CENTRO UNIVERSITÁRIO DA FEI
LEONARDO NAVARENHO DE SOUZA FINO

ESTUDO EXPERIMENTAL DO OCTO SOI MOSFET PARA A IMPLEMENTAÇÃO DE CIRCUITOS INTEGRADOS ANALÓGICOS E DIGITAIS

São Bernardo do Campo
2012

LEONARDO NAVARENHO DE SOUZA FINO

ESTUDO EXPERIMENTAL DO OCTO SOI MOSFET PARA A IMPLEMENTAÇÃO DE CIRCUITOS INTEGRADOS ANALÓGICOS E DIGITAIS

Dissertação de Mestrado apresentada ao Centro Universitário da FEI para a obtenção do título de Mestre em Engenharia Elétrica, orientado pelo Prof. Dr. Salvador Pinillos Gimenez

São Bernardo do Campo

2012

Fino, Leonardo Navarenho de Souza

Estudo experimental do OCTO SOI MOSFET para a implementação de circuitos integrados analógicos e digitais / Leonardo Navarenho de Souza Fino. São Bernardo do Campo, 2012.

190 f. : il.

Dissertação - Centro Universitário da FEI.

Orientador: Prof. Dr. Salvador Pinillos Gimenez

1. OCTO SOI MOSFET. 2. Parâmetros Analógicos e Digitais. 3. Circuitos Integrados. 4. Transistores. I. Gimenez, Salvador Pinillos, orient. II. Título.

CDU 621.381

Centro Universitário da **FEI**

APRESENTAÇÃO DE DISSERTAÇÃO
ATA DA BANCA JULGADORA

PGE- 10

Programa de Mestrado de Engenharia Elétrica

Aluno: Leonardo Navarenho de Souza Fino Matrícula: 1101088

Título do Trabalho: **Estudo experimental do OCTO SOI MOSFET para a implementação de circuitos integrados analógicos e digitais.**

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof. Dr. Salvador Pinillos Gimenez

ORIGINAL ASSINADA

Data da realização da defesa: 10 / abril / 2012

A Banca Julgadora abaixo-assinada atribuiu ao candidato o seguinte:

APROVADO ☒ REPROVADO ☐

São Bernardo do Campo, 10 / 04 / 2012.

MEMBROS DA BANCA JULGADORA

Prof. Dr. Salvador Pinillos Gimenez

Ass.: _____

Prof. Dr. Victor Sonnenberg

Ass.: _____

Prof. Dr. João Antonio Martino

Ass.: _____

VERSÃO FINAL DA DISSERTAÇÃO

ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS RECOMENDAÇÕES DA BANCA EXAMINADORA

_____

Aprovação do Coordenador do Programa de Pós-graduação

_____

Prof. Dr. Carlos Eduardo Thomaz

AGRADECIMENTOS

Ao Prof. Dr. Salvador Pinillos Gimenez, pela saudosa orientação e por confiar a mim, a tarefa de “educar” um de seus “filhos”, o Dispositivo OCTO SOI MOSFET. Obrigado Salvador, academicamente, profissionalmente e pessoalmente.

Aos demais professores doutores do Centro Universitário da FEI, como Pavanello, Bellodi, Giacomini, Paula e Michelly por auxiliarem no processo de lapidação deste novo pesquisador, proporcionadas através das aulas e das discussões.

A General Motors do Brasil pelo apoio financeiro.

Aos funcionários do Centro Universitário da FEI, pelo apoio indireto.

Aos demais alunos do mestrado em IED, em especial ao aluno Daniel Manha Alati pelas enriquecedoras ajudas ofertadas no decorrer do curso. Ao também aluno e irmão Rafael Navarenho de Souza, pelas sempre valiosas observações.

Aos demais irmãos Vinícius Navarenho de Souza e Felipe Navarenho de Souza, por serem ouvintes sempre a postos de microeletrônica.

Aos meus pais Antônio Eduardo de Souza e Solange Isabel Navarenho de Souza pelo incentivo, apoio e “forma humana” no decorrer deste trabalho.

Ao meu sogro Carlos Roberto Fino e sogra Edmeia Mariana Boaretto Fino e cunhada Letícia Fino, que por vezes me pegaram com o computador nas mãos.

A minha amada e querida esposa Patrícia Mariana Fino, pelo apoio, compreensão e sugestões, que contribuíram de forma significativa para a concepção deste trabalho, seja por comentários, carinhos, palavras, silêncios, incensos e energia positiva orientadas para a minha pessoa.

A Deus, por me iluminar...

“Não meças com palavras o Imensurável,
Nem mergulhe a sonda do pensamento no Inatingível.
Quem pergunta, erra;
Quem responde, erra. Nada digas!
Helena Blavatsky

RESUMO

Neste trabalho é estudado o inovador dispositivo OCTO SOI MOSFET (OSM) e suas devidas perspectivas de implementação em circuitos integrados analógicos e digitais. O OSM surgiu da necessidade de melhoria de determinadas características do dispositivo Diamante SOI MOSFET (DSM) como, por exemplo, a tensão de ruptura e a robustez contra descargas eletrostáticas (ESD). A evolução do dispositivo foi visualizada alterando-se o formato das extremidades da região de porta do dispositivo DSM (de formato hexagonal para octogonal) através da devida supressão percentual, representada pelo fator de corte (c) aplicada nas extremidades da região de porta. O comportamento elétrico do OSM foi verificado através de medidas experimentais e suas características elétricas são comparadas com o dispositivo DSM, considerando-se as mesmas condições de polarização e mesmo fator geométrico (W/L) e uma segunda análise é realizada comparando-se o dispositivo OSM e o dispositivo SOI MOSFET convencional (CSM), considerando-se as mesmas condições de polarização e mesma área de porta (A_G). Basicamente, os dispositivos OSMs foram construídos com diferentes fatores de corte (c) (25%, 50% e 75%) e diferentes ângulos α (53,1°, 90° e 126,9°).
A análise comparativa entre o dispositivo OSM com fator de corte (c) igual a 25% e ângulo entre dreno/canal e canal/fonte α igual a 53,1° com o dispositivo DSM com ângulo α também igual a 53,1°, considerando as mesmas condições de polarização e o mesmo fator geométrico apresentou os seguintes resultados a favor do OSM: +18% considerando a corrente de dreno na região de triodo, +5% considerando a transcondutância máxima e +4,89% considerando a frequência de ganho de tensão unitário. Além disso, os seguintes parâmetros do OSM apresentaram os mesmos valores que o DSM equivalente, sendo eles: a corrente de dreno na região de saturação, a corrente de estado ligado, resistência série de estado ligado, tensão Early, a razão da transcondutância pela corrente de dreno em função da corrente de dreno normalizada pelo fator geométrico e o ganho de tensão intrínseco de um único transistor. No entanto, para os parâmetros a seguir o OSM com diferentes fatores de corte (c) e ângulo α obtiveram um comportamento elétrico inferior ao DSM equivalente, sendo eles: corrente de estado desligado (12 vezes maior), a razão da corrente de estado ligado pela corrente de estado desligado (12 vezes menor) e a corrente de fuga (10 vezes maior). Vale ressaltar que o OSM apresentou os desempenhos mencionados acima, considerando uma área de porta (A_G) de 21,43% menor, quando comparado ao DSM equivalente.

A análise comparativa entre o dispositivo OSM com fator de corte (c) igual a 25% e ângulo α igual a 53,1° com o dispositivo CSM equivalente, considerando as mesmas condições de polarização e a mesma área de porta (A_G), apresentou em média um valor de 2,24 vezes maior (superior) em relação à corrente de dreno na região de triodo, a transcondutância, a corrente de estado ligado, a corrente de estado desligado, a razão da corrente de estado ligado pela corrente de estado desligado, a corrente de fuga, a corrente de dreno na região de saturação, a resistência série de estado ligado, a razão da transcondutância pela corrente de dreno em função da corrente de dreno normalizada pelo fator geométrico e frequência de ganho de tensão unitário. Em contra partida a tensão Early do dispositivo OSM obteve um desempenho 2,6 vezes inferior que o seu CSM equivalente. Por fim, ao analisar o ganho de tensão intrínseco de um único transistor, o dispositivo OSM apresentou vantagens apenas se utilizado na região de inversão forte.

No geral, o desempenho superior do OSM quando comparado ao DSM e CSM é devido ao seu maior campo elétrico longitudinal, associado ao comprimento de canal variável ao longo da largura de canal pelo fator de corte (c) e também ao ângulo α da estrutura do OSM. E, um ganho de área de porta de 61% é obtido com a utilização do estilo de leiaute OCTO ao invés do convencional equivalente considerando a mesma corrente de dreno

O desempenho do dispositivo OSM para os principais parâmetros elétrico, aliado ao ganho de área, aponta o dispositivo OSM como uma boa alternativa para implementação de circuitos integrados analógicos e digitais.

Palavra chave: Octo SOI MOSFET, parâmetros analógicos e digitais, circuitos integrados.

ABSTRACT

This paper presents the innovative device OCTO SOI MOSFET (OSM) and their applications in analog and digital integrated circuits. OSM arises to improve the robustness against electrostatic discharge (ESD), and the breakdown voltage of the Diamond SOI MOSFET (DSM). The device evolution was achieved changing the ends´s shape of the diamond gate region (from hexagonal to octagonal) by appropriate percentage suppression, represented by a cut factor (c) applied in the gate region. The electrical behavior of the OSM was verified by experimental measurements and their electrical characteristics are compared with the DSM device, considering the same bias conditions and the same geometric factor (W/L), a second analysis is performed by comparing the OSM device and the conventional SOI MOSFET (CSM), considering the same bias conditions and the same gate area (A_G). Basically, the OSMs were developed with different cut factor (c) (25%, 50% and 75%) and different angles α (53.1°, 90° and 126.9°). The comparative analysis between the OSM device considering a cut factor (c) equal to 25% and the angle α (between the drain / channel and channel / source) equal to 53.1° with the DSM device with angle α also equal to 53.1°, considering the same bias conditions and the same geometric factor showed the following results in favor for the OSM: +18% for the drain current in triode region, +5% for the maximum transconductance and +4.89% considering the unity gain frequency. In addition, the following OSM´s parameters had the same values observed in the equivalent DSM, such as: the drain current in the saturation region, the on state drain current, the on state resistance, the Early voltage, the ratio of the transconductance by the drain current and the voltage gain. However, for the following parameters with different factors the OSM with different cut factor (c) and angle α had a lower electrical behavior if compared with the equivalent DSM, as follows: off-state current (12 times higher), the ratio of the on state current with the off state current (12 times smaller) and the leakage current (10 times higher). In addition the OSM presented these performances, considering a 21.43% gate area (A_G) reduction when compared to the equivalent DSM.

The comparative analysis between the OSM device considering a cut factor (c) equal to 25% and angle α equal to 53.1° with the equivalent CSM device, considering the same bias conditions and the same gate area (A_G), presented an average value of 2.24 times greater than the drain current of the triode region, the transconductance, the on state current, the off state current, the ratio of the on state current by the off state current, the leakage current , the drain current in the saturation region, the on state resistance, the ratio of the transconductance by

the drain current and the unity gain frequency. On the other hand, the Early voltage of the OSM device achieved a performance 2.6 times lower than its equivalent CSM. Finally, when analyzing the intrinsic voltage gain of a single transistor, the OSM device showed advantages only in the strong inversion region.

In general, the higher performance of the OSM when compared with the equivalent DSM and CSM is due to higher longitudinal electric field associated with the variable channel length along to the channel due the cut factor (c) and applied in the OSM structure. And, a 61% of gate area gain is obtained using the OCTO style layout instead of the equivalent conventional using the same drain current.

The OSM´s performance for the main electrical parameters, associate with the gain of area, point the OSM device as a good alternative for implementation of analog and digital integrated circuits.

Keyword:OCTO SOI MOSFET, analog and digital parameter, integrated circuits.

LISTA DE FIGURAS

Figura 1. Capacitâncias parasitárias: (a) representação das capacitâncias de junção para NMOS, (b) representação das capacitâncias de junção para SOI (b). 28
Figura 2: seção transversal de um circuito inversor CMOS convencional, indicando a formação do tiristor parasitário PNPN (a) e seção transversal de um inversor SOI-CMOS, sem a presença do tiristor parasitário (b). Fonte: [6]. 28
Figura 3. Representação 3D do Diamante SOI MOSFET 30
Figura 4. Seção transversal da tecnologia CMOS na tecnologia convencional (bulk) e SOI CMOS 33
Figura 5. Representação das espessuras utilizadas: (a) tecnologia convencional (bulk) e (b) SOI. 34
Figura 6. (a) SOI MOSFET totalmente depletado e (b) SOI MOSFET parcialmente depletado. 34
Figura 7. Técnicas para extração da tensão de limiar: (a) Método do Pico da segunda derivada da curva I_{DS} em função de V_{GS}; (b) Método do potencial de superfície; (c) Método da extrapolação da região linear. 36
Figura 8. Ilustração para obtenção da tensão de limiar pelo método da segunda derivada da curva I_{DS} em função de V_{GS}, considerando $V_{DS}\approx 0V$. 37
Figura 9. Representação da obtenção da inclinação de sublimiar. 41
Figura 10. Representação de I_{ON} e I_{OFF}: (a) para I_{DS} em escala linear e (b) para I_{DS} em escala logarítmica. 43
Figura 11. Gráfico ilustrativo para um chaveamento ideal, chaveamento de um MOS, e chaveamento de um dispositivo de pequena inclinação. Fonte: [23]..... 44
Figura 12. Ilustração da operação linear de um SOI MOSFET na região de triodo para três valores de V_{GS} ($V_{GS3} > V_{GS2} > V_{GS1}$). 45
Figura 13. Comportamento na região de estrangulamento (*pinch-off*): (a) para $V_{DS} = V_{GS} - V_{TH}$ e (b) para $V_{DS} > V_{GS} - V_{TH}$. 46
Figura 14. Método de extração da tensão Early a partir da extrapolação da região linear da região de saturação da curva I_{DS} em função de V_{DS} de um MOSFET. 47
Figura 15. Exemplo de uma curva de g_m/I_{DS} em função de $[I_{DS}/(W/L)]$ de um dispositivo SOI nMOSFET. 48
Figura 16. Curvas de A_V e f_t em função de $[I_{DS}/(W/L)]$. 50

Figura 17. Vista superior do DSM. 52
Figura 18. Ilustração de 4 transistores em paralelo e os diferentes comprimentos de canal. ... 53
Figura 19. Representação da região de canal onde ocorre a soma vetorial: (a) $0° \leq \alpha \leq 90°$, (b) $90° \leq \alpha \leq 180°$. 55
Figura 20. Representação dos vetores resultantes em uma estrutura OSM. 56
Figura 21. Estrutura 3D do OCTO SOI MOSFET gerado a partir do DSM. 57
Figura 22. Exemplo de leiaute do OSM. 58
Figura 23. Estrutura do OCTO criado a partir da estrutura do Diamante para cálculo do comprimento equivalente do canal, considerando (c)=50% e α=90°. 60
Figura 24. Diferentes estruturas de MOSFETs considerando diferentes fatores de corte c. ... 61
Figura 25. Representação dos 4 transistores que formam a estrutura octogonal. 62
Figura 26. Região de porta de um SOI MOSFET convencional (CSM) de porta retangular .. 66
Figura 27. Estrutura DSM, para obtenção da área e demais parâmetros 67
Figura 28. Representação das estruturas CSM e DSM, preservando-se a mesma área de porta. 69
Figura 29. Imagem do circuito integrado fabricado na UCL com os diferentes dispositivos CSM, OSM e DSM utilizados para a realização deste estudo comparativo. 73
Figura 30. Curvas experimentais de I_{DS} / (W/L) em função de V_{GT} para os diferentes dispositivos CSM, DSM e OSM estudados..... 75
Figura 31. Curvas experimentais de I_{DS} / (W/L) em função de V_{GT} para os dispositivos DSM (c= 0% e α= 53,1°), OSM (c= 25% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET..... 76
Figura 32. Curvas experimentais de I_{DS} / (W/L) em função de V_{GT} para os dispositivos OSM (c= 25% e α= 90°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET..... 78
Figura 33. Curvas experimentais de I_{DS} / (W/L) em função de V_{GT} para os dispositivos OSM (c= 25% e α= 126,9°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET..... 79
Figura 34. Curvas experimentais de I_{DS} / (W/L) em função de V_{GT} para os dispositivos OSM (c= 50% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET..... 80
Figura 35. Curvas experimentais de I_{DS} / (W/L) em função de V_{GT} para os dispositivos OSM (c= 50% e α= 126,9°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET..... 81
Figura 36. Curvas experimentais de I_{DS} / (W/L) em função de V_{GT} para os dispositivos OSM (c= 75% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET..... 83
Figura 37. Gráfico de I_{DS}/(W/L) em função do fator de corte c dos dispositivos estudados. .. 84
Figura 38. Gráfico de I_{DS}/(W/L) em função do ângulo α dos dispositivos estudados. 85

Figura 39. Curvas experimentais de g_m / (W/L) em função de V_{GT} para os diferentes dispositivos CSM, DSM e OSM estudados..... 88
Figura 40. Curvas experimentais de g_m / (W/L) em função de V_{GT} para os dispositivos DSM (c= 0% e α= 53,1°), OSM (c= 25% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET..... 90
Figura 41. Curvas experimentais de g_m / (W/L) em função de V_{GT} para os dispositivos OSM (c= 25% e α= 90°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET..... 91
Figura 42. Curvas experimentais de g_m / (W/L) em função de V_{GT} para os dispositivos OSM (c= 25% e α= 126,9°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET..... 92
Figura 43. Curvas experimentais de g_m / (W/L) em função de V_{GT} para os dispositivos OSM (c= 50% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET..... 93
Figura 44. Curvas experimentais de g_m / (W/L) em função de V_{GT} para os dispositivos OSM (c= 50% e α= 126,9°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET..... 94
Figura 45. Curvas experimentais de g_m / (W/L) em função de V_{GT} para os dispositivos OSM (c= 75% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET..... 96
Figura 46. Variação da $g_{m-MÁX}$ / (W/L) em função do fator de corte (c) para os dispositivos CSM, DSM e OSM..... 97
Figura 47. Variação da $g_{m-MÁX}$ / (W/L) em função do ângulo α, para os dispositivos CSM, DSM e OSM..... 98
Figura 48. Curvas de log [I_{DS}/(W/L)] x V_{GT} dos dispositivos OSM e seus equivalentes CSM 100
Figura 49. Gráfico de I_{ON}/(W/L) em função do fator de corte c dos dispositivos CSM, DSM e OSM estudados..... 102
Figura 50. Gráfico de I_{ON}/(W/L) em função do ângulo α dos dispositivos CSM, DSM e OSM estudados..... 103
Figura 51. Gráfico de I_{OFF}/(W/L) em função do fator de corte c dos dispositivos CSM, DSM e OSM estudados..... 106
Figura 52. Gráfico de I_{ON}/(W/L) em função do ângulo α dos dispositivos CSM, DSM e OSM estudados..... 107
Figura 53. Gráfico da razão I_{ON} /I_{OFF} em função do fator de corte (c), dos dispositivos CSM, DSM e OSM estudados..... 109
Figura 54. Gráfico da razão I_{ON} /I_{OFF} em função do ângulo α, dos dispositivos CSM, DSM e OSM..... 110

Figura 55. Gráfico da I_{LEAK} em função do fator de corte (c), dos dispositivos CSM, DSM e OSM estudados..... 112
Figura 56. Gráfico da I_{LEAK} em função do comprimento de canal considerando um ângulo α fixo de 53,1°, para os dispositivos CSM, DSM e OSM estudados..... 113
Figura 57. Gráfico da I_{LEAK} em função de V_{TH} considerando-se um ângulo α fixo de 53,1°, dos dispositivos CSM, DSM e OSM estudados. 114
Figura 58. Gráfico da I_{LEAK} em função do ângulo α, dos dispositivos CSM, DSM e OSM estudados. 115
Figura 59. Gráfico da I_{LEAK} em função do comprimento de canal considerando um fator de corte (c) fixo de 25%, dos dispositivos CSM, DSM e OSM estudados..... 116
Figura 60. Gráfico da I_{LEAK} em função da V_{TH} considerando-se um fator de corte (c) fixo de 25%, dos dispositivos CSM, DSM e OSM estudados. 117
Figura 61. Curvas experimentais de I_{DS} / (W/L) em função de V_{DS} para os melhores e piores casos entre os diferentes dispositivos DSM (c= 0% e α= 53,1°), OSM (c= 25% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET estudados..... 118
Figura 62. Curvas experimentais de I_{DS} / (W/L) em função de V_{DS} para os dispositivos DSM (c= 0% e α= 53,1°), OSM (c= 25% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET..... 119
Figura 63. Curvas experimentais de I_{DS} / (W/L) em função de V_{DS} para os dispositivos OSM (c= 25% e α= 90°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET..... 120
Figura 64. Curvas experimentais de I_{DS} / (W/L) em função de V_{DS} para os dispositivos OSM (c= 25% e α= 126,9°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.... 122
Figura 65. Curvas experimentais de I_{DS} / (W/L) em função de V_{DS} para os dispositivos OSM (c= 50% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET..... 123
Figura 66. Curvas experimentais de I_{DS} / (W/L) em função de V_{DS} para os dispositivos OSM (c= 50% e α= 126,9°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.... 124
Figura 67. Curvas experimentais de I_{DS} / (W/L) em função de V_{DS} para os dispositivos OSM (c= 75% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET..... 126
Figura 68. Gráfico de I_{DS}/(W/L) em função do fator de corte c dos dispositivos estudados. 127
Figura 69. Variação da corrente de dreno na região de saturação em função do ângulo α.... 128
Figura 70. Gráfico de R_{DS-ON}/(W/L) em função do fator de corte c dos dispositivos CSM, DSM e OSM estudados..... 132
Figura 71. Gráfico de R_{DS-ON}/(W/L) em função do ângulo α dos dispositivos CSM, DSM e OSM estudados..... 133

Figura 72. Gráfico de V_{EA} em função do fator de corte c dos dispositivos CSM, DSM e OSM estudados. 135
Figura 73. Gráfico da V_{EA} em função do comprimento de canal considerando um ângulo α fixo de 53,1°, para os dispositivos CSM, DSM e OSM estudados..... 136
Figura 74. Gráfico de V_{EA} em função do fator do ângulo α dos dispositivos CSM, DSM e OSM estudados. 137
Figura 75. Gráfico da V_{EA} em função do comprimento de canal considerando um fator de corte (c) fixo de 25%, para os dispositivos CSM, DSM e OSM estudados. 138
Figura 76. Curvas experimentais de g_m / I_{DS} em função de $[I_{DS} / (W/L)]$ para os dispositivos CSM, DSM e OSM estudados. 139
Figura 77. Curvas experimentais de g_m / I_{DS} em função de $[I_{DS} / (W/L)]$ para os dispositivos DSM (c= 0% e α= 53,1°), OSM (c= 25% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET. 140
Figura 78. Curvas experimentais de g_m / I_{DS} em função de $[I_{DS} / (W/L)]$ para os dispositivos OSM (c= 25% e α= 90°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET. 141
Figura 79. Curvas experimentais de g_m / I_{DS} em função de $[I_{DS} / (W/L)]$ para os dispositivos OSM (c= 25% e α= 126,9°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET. 143
Figura 80. Curvas experimentais de g_m / I_{DS} em função de $[I_{DS} / (W/L)]$ para os dispositivos OSM (c= 50% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET. 144
Figura 81. Curvas experimentais de g_m / I_{DS} em função de $[I_{DS} / (W/L)]$ para os dispositivos OSM (c= 50% e α= 126,9°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET. 145
Figura 82. Curvas experimentais de g_m / I_{DS} em função de $[I_{DS} / (W/L)]$ para os dispositivos OSM (c= 75% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET. 147
Figura 83. Gráfico de g_m / I_{DS} em função do fator de corte (c) dos dispositivos estudados. . 148
Figura 84. Gráfico de g_m / I_{DS} em função do ângulo α dos dispositivos estudados..... 149
Figura 85. Curvas experimentais de A_V em função de $[I_{DS} / (W/L)]$ para os diferentes dispositivos CSM, DSM e OSM estudados..... 150

Figura 86. Curvas experimentais de A_V em função de [I_{DS} / (W/L)] para os dispositivos DSM (c= 0% e α= 53,1°), OSM (c= 25% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET..... 151
Figura 87. Curvas experimentais de A_V em função de [I_{DS} / (W/L)] para os dispositivos OSM (c= 25% e α= 90°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET..... 152
Figura 88. Curvas experimentais de A_V em função de [I_{DS} / (W/L)] para os dispositivos OSM (c= 25% e α= 126,9°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.... 154
Figura 89. Curvas experimentais de A_V em função de [I_{DS} / (W/L)] para os dispositivos OSM (c= 50% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET..... 155
Figura 90. Curvas experimentais de A_V em função de [I_{DS} / (W/L)] para os dispositivos OSM (c= 50% e α= 126,9°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.... 156
Figura 91. Curvas experimentais de A_V em função de [I_{DS} / (W/L)] para os dispositivos OSM (c= 75% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET..... 157
Figura 92. Gráfico de A_V em função do fator de corte (c) dos dispositivos CSM, DSM e OSM estudados. 158
Figura 93. Gráfico ilustrativo da influência da V_{EA} e da g_m/I_{DS} na composição do A_V, considerando a variação do fator de corte e um ângulo α fixo..... 159
Figura 94. Gráfico de A_V em função do ângulo α dos dispositivos CSM, DSM e OSM estudados. 160
Figura 95. V_{EA} x (g_m /I_{DS}) para fator de corte (c) fixo 161
Figura 96. Curvas experimentais de f_T em função de [I_{DS} / (W/L)] para os diferentes dispositivos CSM, DSM e OSM estudados..... 162
Figura 97. Curvas experimentais de f_T em função de [I_{DS} / (W/L)] para os dispositivos DSM (c= 0% e α= 53,1°), OSM (c= 25% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET..... 163
Figura 98. Curvas experimentais de f_T em função de [I_{DS} / (W/L)] para os dispositivos OSM (c= 25% e α= 90°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET..... 164
Figura 99. Curvas experimentais de f_T em função de [I_{DS} / (W/L)] para os dispositivos OSM (c= 25% e α= 126,9°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.... 165
Figura 100. Curvas experimentais de f_T em função de [I_{DS} / (W/L)] para os dispositivos OSM (c= 50% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET..... 167
Figura 101. Curvas experimentais de f_T em função de [I_{DS} / (W/L)] para os dispositivos OSM (c= 50% e α= 126,9°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.... 168

Figura 102. Curvas experimentais de f_T em função de [I_{DS} / (W/L)] para os dispositivos OSM (c= 75% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET..... 169
Figura 103. Gráfico de f_t em função do fator de corte (c) para os diferentes dispositivos CSM, DSM e OSM estudados..... 170
Figura 104. Gráfico de f_t em função do ângulo α, para os diferentes dispositivos CSM, DSM e OSM estudados..... 172

LISTA DE TABELAS

Tabela 1. Comparação entre o novo procedimento para obtenção do comprimento equivalente do canal pelo apresentado pela referência. 65
Tabela 2. Planilha de Excel utilizada para transformar a topologia de leiaute CSM em DSM 70
Tabela 3. Dispositivos utilizados e suas dimensões para a realização do estudo comparativo entre o DSM, OSM e CSM. 72
Tabela 4. Tensões de limiar extraídas dos dispositivos utilizados para a realização do estudo comparativo 74
Tabela 5. Tabela comparativa de I_{DS} / (W/L) para V_{GT}= 2,5V, na região de triodo entre a referência CSM e os dispositivos DSM (c= 0% e α= 53,1°) e OSM (c= 25% e α= 53,1°). 77
Tabela 6. Tabela comparativa de I_{DS} / (W/L) para V_{GT}= 2,5V, na região de triodo entre a referência CSM e o dispositivo OSM (c= 25% e α= 90°)..... 78
Tabela 7. Tabela comparativa de I_{DS} / (W/L) para V_{GT}= 2,5V, na região de triodo entre a referência CSM e o dispositivo OSM (c= 25% e α= 126,9°). 80
Tabela 8. Tabela comparativa de I_{DS} / (W/L para V_{GT}= 2,5V, na região de triodo entre a referência CSM e o dispositivo OSM (c= 50% e α= 53,1°). 81
Tabela 9. Tabela comparativa de I_{DS} / (W/L para V_{GT}= 2,5V, na região de triodo entre a referência CSM e o dispositivo OSM (c= 50% e α= 126,9°). 82
Tabela 10. Tabela comparativa de I_{DS} / (W/L) para V_{GT}= 2,5V, na região de triodo entre a referência CSM e o dispositivo OSM (c= 75% e α= 53,1°). 83
Tabela 11. Comparativo de área e I_{DS} / (W/L) na região de triodo entre a referência (CSM TR3) com os demais dispositivos. 86
Tabela 12. Tabela comparativa entre I_{DS}/(W/L) do OSM com fator de corte c igual a 50% e ângulo α de 126,9° e o respectivo CSM. 87
Tabela 13. Maximizando o ganho de corrente de dreno na região de triodo 87
Tabela 14. Tabela comparativa de $g_{m\ -\ MÁX}$ / (W/L) entre a referência CSM e os dispositivos DSM (c= 0% e α= 53,1°) e OSM (c= 25% e α= 53,1°) 91
Tabela 15. Tabela comparativa de $g_{m\ -\ MÁX}$ / (W/L) entre a referência CSM e o dispositivo OSM (c= 25% e α= 90°). 92
Tabela 16. Tabela comparativa de $g_{m\ -\ MÁX}$ / (W/L) entre a referência CSM e o dispositivo OSM (c= 25% e α= 126,9°). 93

Tabela 17. Tabela comparativa de $g_{m\ -\ MÁX}$ / (W/L) entre a referência CSM e o dispositivo OSM (c= 50% e α= 53,1°)..... 94
Tabela 18. Tabela comparativa de $g_{m\ -\ MÁX}$ / (W/L) entre a referência CSM e o dispositivo OSM (c= 50% e α= 126,9°)..... 95
Tabela 19. Tabela comparativa de $g_{m\ -\ MÁX}$ / (W/L) entre a referência CSM e o dispositivo OSM (c= 25% e α= 53,1°)..... 96
Tabela 20. Tabela comparativa da inclinação de sublimiar entre os dispositivos CSM, DSM e OSM estudados..... 99
Tabela 21. Tabela comparativa da corrente de estado ligado para os diferentes dispositivos CSM, DSM e OSM estudados..... 101
Tabela 22. Tabela comparativa da corrente de estado desligado para os diferentes dispositivos CSM, OSM e DSM estudados..... 105
Tabela 23. Tabela comparativa da razão da corrente de estado ligado pela corrente de estado desligado para os diferentes dispositivos CSM, DSM e OSM estudados..... 108
Tabela 24. Tabela comparativa da corrente de fuga para os diferentes dispositivos CSM, DSM e OSM estudados..... 111
Tabela 25. Tabela comparativa de I_{DS} / (W/L) para V_{DS}= 2,5V, na região de saturação entre a referência CSM e os dispositivos DSM (c= 0% e α= 53,1°) e OSM (c= 25% e α= 53,1°). .. 120
Tabela 26. Tabela comparativa de I_{DS} / (W/L) para V_{DS}= 2,5V, na região de saturação entre a referência CSM e o dispositivo OSM (c= 25% e α= 90°)..... 121
Tabela 27. Tabela comparativa de I_{DS} / (W/L) para V_{DS}= 2,5V, na região de saturação entre a referência CSM e o dispositivo OSM (c= 25% e α= 126,9°)..... 123
Tabela 28. Tabela comparativa de I_{DS} / (W/L) para V_{DS}= 2,5V, na região de saturação entre a referência CSM e o dispositivo OSM (c= 50% e α= 53,1°)..... 124
Tabela 29. Tabela comparativa de I_{DS} / (W/L) para V_{DS}= 2,5V, na região de saturação entre a referência CSM e o dispositivo OSM (c= 50% e α= 126,9°)..... 125
Tabela 30. Tabela comparativa de I_{DS} / (W/L) para V_{DS}= 2,5V, na região de saturação entre a referência CSM e o dispositivo OSM (c= 75% e α= 126,9°)..... 127
Tabela 31. Tabela comparativa de área de porta e I_{DS} / (W/L) para V_{DS}= 2,5V, na região de saturação entre a referência (CSM TR3) e os demais dispositivos..... 129
Tabela 32. Maximizando o ganho de área porta do dispositivo OSM..... 130
Tabela 33. Maximizando o ganho de corrente de dreno na região de triodo 130
Tabela 34. Tabela comparativa de $R_{DS\text{-}ON}$ para os diferentes dispositivos CSM, DSM e OSM estudados..... 131

Tabela 35. Tabela comparativa da V_{EA} para os diferentes dispositivos CSM, DSM e OSM estudados. 134
Tabela 36. Tabela comparativa de g_m / I_{DS} para [I_{DS} / (W/L)]= 1µA, entre a referência CSM e os dispositivos DSM (c= 0% e α= 53,1°) e OSM (c= 25% e α= 53,1°). 141
Tabela 37. Tabela comparativa de g_m / I_{DS} para [I_{DS} / (W/L)]= 1µA, entre a referência CSM e o dispositivo OSM (c= 25% e α= 90°)..... 142
Tabela 38. Tabela comparativa de g_m / I_{DS} para [I_{DS} / (W/L)]= 1µA, entre a referência CSM e o dispositivo OSM (c= 25% e α= 126,9°). 144
Tabela 39. Tabela comparativa de g_m / I_{DS} para [I_{DS} / (W/L)]= 1µA, entre a referência CSM e o dispositivo OSM (c= 50% e α= 53,1°). 145
Tabela 40. Tabela comparativa de g_m / I_{DS} para [I_{DS} / (W/L)]= 1µA, entre a referência CSM e o dispositivo OSM (c= 50% e α= 126,9°). 146
Tabela 41. Tabela comparativa de g_m / I_{DS} para [I_{DS} / (W/L)]=1µA, entre a referência CSM e o dispositivo OSM (c= 75% e α= 53,1°)..... 147
Tabela 42. Tabela comparativa de AV para [IDS / (W/L)]= 6µA, entre a referência CSM e os dispositivos DSM (c= 0% e α= 53,1°) e OSM (c= 25% e α= 53,1°). 152
Tabela 43. Tabela comparativa de A_V para [I_{DS} / (W/L)]= 6µA, entre a referência CSM e o dispositivo OSM (c= 25% e α= 90°)..... 153
Tabela 44. Tabela comparativa de A_V para [I_{DS} / (W/L)]= 6µA, entre a referência CSM e o dispositivo OSM (c= 25% e α= 126,9°)..... 154
Tabela 45. Tabela comparativa de A_V para [I_{DS} / (W/L)]= 6µA, entre a referência CSM e o dispositivo OSM (c= 50% e α= 53,1°). 156
Tabela 46. Tabela comparativa de A_V para [I_{DS} / (W/L)]= 6µA, entre a referência CSM e o dispositivo OSM (c= 50% e α= 126,9°). 157
Tabela 47. Tabela comparativa de A_V para [I_{DS} / (W/L)]= 6µA, entre a referência e o dispositivo OSM (c= 75% e α= 53,1°). 158
Tabela 48. Tabela comparativo de f_T para [I_{DS} / (W/L)]= 6µA, entre a referência CSM e os dispositivos DSM (c= 0% e α= 53,1°) e OSM (c= 25% e α= 53,1°). 164
Tabela 49. Tabela comparativa de f_T para [I_{DS} / (W/L)]= 6µA, entre a referência CSM e o dispositivo OSM (c= 25% e α= 53,1°). 165
Tabela 50. Tabela comparativa de f_T para [I_{DS} / (W/L)]= 6µA entre a referência CSM e o dispositivo OSM (c= 25% e α= 126,9°). 166
Tabela 51. Tabela comparativa de f_T para [I_{DS} / (W/L)]= 6µA, entre a referência CSM e o dispositivo OSM (c= 50% e α= 53,1°). 167

Tabela 52. Tabela comparativa de f_T para [I_{DS} / (W/L)]= 6µA, entre a referência CSM e o dispositivo OSM (c= 50% e α= 126,9°)..... 169
Tabela 53. Tabela comparativa de f_T para [I_{DS} / (W/L)]= 6µA, entre a referência CSM e o dispositivo OSM (c= 75% e α= 53,1°)..... 170
Tabela 54. Tabela comparativa dos parâmetros estudados entre o dispositivo convencional (CSM) e o dispositivo OSM com fator de corte c de 25% e ângulo α de 53,1°..... 173
Tabela 55. Tabela comparativa dos parâmetros estudados entre o dispositivo DSM com ângulo α de 53,1° e o dispositivo OSM com fator de corte c de 25% e ângulo α de 53,1°. .. 174

LISTA DE SÍMBOLOS

A_{CSM}	Área de porta do dispositivo CSM (μm^2)
A_{DSM}	Área de porta do dispositivo DSM (μm^2)
A_V	Ganho de tensão de malha aberta (dB)
c	Fator de corte aplicado no dispositivo (%)
C_{oxb}	Capacitância da região de depleção por unidade de área (F/cm^2)
C_{eff}	Capacitância de saída (F)
C_L	Capacitância de carga (F)
C_{ox}, C_{oxf}	Capacitância do óxido de porta por unidade de área (F/cm^2)
C_{oxb}	Capacitância do óxido enterrado por unidade de área (F/cm^2)
C_{Si}	Capacitância da camada de silício por unidade de área (F/cm^2)
f	Frequência de operação do dispositivo (HZ)
f_T	Frequência de ganho de tensão unitário (Hz)
g_m	Transcondutância (S)
$g_{m\text{-}MAX}$	Transcondutância máxima (S)
I_{DS}	Corrente de dreno (A)
I_{LEAK}	Corrente de fuga (A)
I_{OFF}	Corrente de estado desligado (A)
I_{ON}	Corrente de estado ligado (A)
L	Comprimento do canal (nm)
L_{eff}	Comprimento efetivo do canal (nm)
L_{EQ}	Comprimento equivalente do canal do OSM (nm)
L_R	Comprimento da região retangular do canal do OSM (nm)
L_T	Comprimento da região trapezoidal do canal do OSM (nm)
N_A	Concentração de impurezas aceitadoras em um semicondutor (cm^{-3}).
P_{OFF}	Potência dissipada no estado desligado (W)
P_{ON}	Potência dissipada no estado ligado (W)
q	Carga elementar do elétron ($1{,}6 \times 10^{-19}$ C)
$R_{DS\text{-}ON}$	Resistência de estado ligado do transistor (Ω)
S	Inclinação de sublimiar (mV/década)
SiO_2	Óxido de silício (nm)
t_{ox}, t_{oxf}	Espessura do óxido de porta (nm)

t_{oxb}	Espessura da camada de óxido enterrado (nm)
t_{Si}	Espessura da camada de silício (nm)
V_{DD}	Tensão de alimentação (V)
V_{DS}	Tensão entre dreno e fonte (V)
V_{EA}	Tensão Early (V)
V_{FB}	Tensão de faixa plana (V)
V_{GS}	Tensão aplicada à porta do transistor (V)
V_{GT}	Sobre tensão de porta, onde, $V_{GT} = (V_{GS} - V_{TH})$ (V)
V_{TH}	Tensão de limiar (V)
W	Largura do canal (nm)
W_R	Largura da parte retangular do canal do DSM (nm)
W_T	Largura da parte retangular do canal do DSM (nm)
W/L	Fator geométrico
$X_{dMÁX}$	Profundidade máxima da região de depleção (μm)
α	Ângulo da junção metalúrgica de um dispositivo DSM ou OSM (°)
α´	Fator de acoplamento capacitivo do SOI MOSFET
β	Fator de ganho do transistor
ε	Campo elétrico (V/cm)
ε_{si}	Permissividade do silício ($1{,}06 \times 10^{-12}$ F/cm)
ΔI_{DS}	Variação da corrente de dreno (A)
ΔV_{in}	Variação da tensão de entrada (V)
ΔV_{out}	Variação da tensão de saída (V)
Φ_F	Potencial de Fermi (V)
μn	Mobilidade efetiva dos elétrons na região do canal (cm^2/Vs)

LISTA DE ABREVIATURAS

BJT	*Bipolar Junction Transistor* (Transistor de Junção Bipolar)
CI	Circuito Integrado
CMOS	*Complementary Metal Oxide Semiconductor* (Metal Óxido Semicondutor Complementar)
CSM	Convencional SOI MOSFET
DSM	Diamante SOI MOSFET
ESD	*Electro Static Discharge* (Descarga eletrostática)
FD	*Fully Depleted* (Totalmente depletado)
FET	*Field Effect Transistor* (Transistor de Efeito de Campo)
FinFET	*Fin Field Effect Transistor*
HGG	*Hexagonal Gate Geometry* (Geometria de Porta Hexagonal)
LCE	*Longitudinal Corner Effect* (Efeito de Canto Longitudinal)
MOS	*Metal Oxide Semiconductor* (Metal Óxido Semicondutor)
MOSFET	*Metal Oxide Semiconductor Field Effect Transistor* (Transistor de efeito de campo metal óxido Semicondutor)
NFD	*Near Fully Depleted* (Quase totalmente depletado)
OGG	*Octogonal Gate Geometry* (Geometria de Porta Octogonal)
OSM	Octo SOI MOSFET
OTA	Amplificador Operacional de Transcondutância
PATDCLE	*Parallel Association of Transistors with Different Channel Lebghts* (Associação Paralela de Transistores com Diferentes Comprimentos de Canal)
PD	*Partially Depleted* (Parcialmente depletado)
SOI	*Silicon On Insulator* (Silício Sobre Isolante)
UCL	Université catholique de Louvain
ULSI	Ultra Large Scale Integration (Integração em Alta Escala)
Wave	Transistor com formato do canal em S

SUMÁRIO

1 INTRODUÇÃO 27

2 CONCEITOS FUNDAMENTAIS 32

2.1 Dispositivo Convencional SOI MOSFET (CSM) 32

2.1.1 Estruturas do dispositivo Convencional SOI MOSFET (CSM) 33

2.1.2 Tensão de Limiar (V_{TH}) 35

2.1.3 Transcondutância (g_m) 38

2.1.4 Inclinação de Sublimiar (S) 40

2.1.5 Corrente de estado desligado (I_{OFF}), Corrente de estado ligado (I_{ON}) e corrente de fuga (I_{LEAK}) 42

2.1.6 Resistência série de estado ligado (R_{DS-ON}) 44

2.1.7 Tensão Early (V_{EA}) 46

2.1.8 Curva de g_m / I_{DS} em função de I_{DS} / (W/L) 47

2.1.9 Frequência de ganho de tensão unitário (f_T) 49

2.1.10 Ganho de tensão em malha aberta (A_V) 49

2.2 Dispositivo Diamante SOI MOSFET (DSM) 51

2.3 Dispositivo Octo SOI MOSFET (OSM) 55

3 MODELAGEM DO COMPRIMENTO EQUIVALENTE DE CANAL (L_{EQ}) PARA O DISPOSITIVO OCTO SOI MOSFET 59

3.1 Modelo para Obtenção do Comprimento Efetivo de Canal do OSM 59

4 MODELAGEM DA TRANSFORMAÇÃO TOPOLÓGICA DE UM DISPOSITIVO SOI MOSFET CONVENCIONAL PARA DIAMANTE SOI MOSFET 66

4.1 Desenvolvimento do Processo para Transformação de um Dispositivo MOSFET Convencional em Diamante 66

5 MEDIDAS EXPERIMENTAIS E RESULTADOS 71

5.1 Dispositivos utilizados 71

5.2 Tensão de limiar (V_{TH}) 73

5.3 Corrente de dreno normalizada pelo fator geométrico [I_{DS}/(W/L)] em função da sobretensão de porta (V_{GT}= V_{GS}-V_{TH}) na região de triodo 74

5.4 Transcondutância normalizada pelo fator geométrico [g_m / (W/L)] 88

5.5 Inclinação de sublimiar (S) 98

5.6 Corrente de estado ligado [I_{ON} /(W/L_{EQ})] 101
5.7 Corrente de estado desligado [I_{OFF} /(W/L_{EQ})] 104
5.8 Razão I_{ON} /I_{OFF} 108
5.9 Corrente de fuga [I_{LEAK} / (W/L_{EQ})] 111
5.10 Corrente de dreno normalizada pelo fator geométrico em função da tensão de dreno na região de saturação [I_{DS} / (W/L_{EQ}) x V_{DS}] 117
5.11 Resistência série de estado ligado (R_{DS-ON}) 131
5.12 Tensão Early (V_{EA}) 134
5.13 Razão de g_m / I_{DS} em função da corrente de dreno normalizada pelo fator geométrico 138
5.14 Ganho de tensão em malha aberta (A_v) 150
5.15 Frequência de ganho de tensão unitário (f_T) 161
6 CONCLUSÕES E SEQUÊNCIA DO TRABALHO 175
REFERÊNCIAS 178
APÊNDICE A - ARTIGO DO SAE BRASIL 2011 181
APÊNDICE B – POSTER NO 1° SIMPÓSIO DE PESQUISA DO GRANDE ABC 183
APÊNDICE C – ARTIGO DO EUROSOI 2012 185
APÊNDICE D - ARTIGO DO SEMINATEC 2012 188

1 INTRODUÇÃO

Os transistores são os dispositivos semicondutores presentes na construção de qualquer bloco básico de um circuito integrado. Simplificadamente, os transistores podem ser classificados em transistores de junção bipolar (*bipolar junction transistor* - BJT) e transistores de efeito de campo (*field-effect transistor* – FET) [1]. A família de dispositivos FET engloba outros tipos de transistores, sendo o mais importante o transistor de efeito de campo do tipo metal-óxido-semicondutor (MOSFET) [2]. Os MOSFETs popularizaram-se na década de 80, sendo o dispositivo semicondutor mais utilizado para a fabricação em larga escala de circuitos integrados [3].

Historicamente, o primeiro transistor MOSFET foi proposto através da patente de Lilienfeld em 1926 [3] e em 1928 foi apresentado o conceito de MOSFETs operando no modo depleção [3]. Devido a insucessos nas tentativas de obtenção e fabricação dos dispositivos MOSFET devido à imaturidade do processo de fabricação da época em obter óxidos de porta de boa qualidade [1], o transistor bipolar foi muito difundido e utilizado devido à facilidade do seu processo de fabricação [1,3].

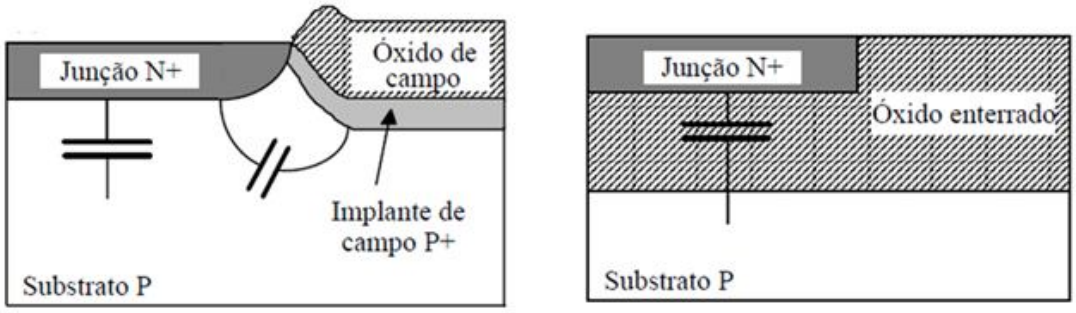
O MOSFET foi reinserido no cenário mundial em 1960, por permitir uma miniaturização muito maior que a dos BJTs [1]. Além disso, enquanto que os transistores bipolares utilizados como, por exemplo, em funções lógicas digitais e memórias, necessitam de resistores ou diodos, a tecnologia metal-óxido-semicondutor complementar (*Complementary Metal Oxide Semiconductor* – CMOS) necessitava apenas de transistores (PMOS ou NMOS). Desta maneira, utilizando a tecnologia CMOS, pode-se obter uma maior escalabilidade (menor área de silício ocupada na pastilha do circuito integrado) e um processo de fabricação mais simples (menor custo de produção) [1,2].

O funcionamento do MOSFET consiste no controle de fluxo de corrente entre os terminais de fonte e dreno, a partir do campo elétrico vertical gerado pela porta, daí o nome de transistor de efeito de campo [2].

Para prover o desenvolvimento tecnológico, surge novamente a necessidade de redução das dimensões dos transistores, agora na tecnologia CMOS, visando circuitos integrados (CIs) com melhor desempenho. No entanto, ao reduzir as dimensões de um dispositivo MOS, surgem efeitos secundários indesejados dificultando a sua integração. Como exemplos destes efeitos indesejados citam-se, os efeitos de canal curto, o aumento da resistência parasitária de fonte e dreno, a perfuração MOS e a injeção de portadores quentes. Observa-se a redução da

capacitância parasitária, com valores menores na tecnologia SOI (como se observa na Figura 1(a) para o NMOS e 1(b) para o silício sobre isolante (silicon-on-insulator SOI) [4,5].

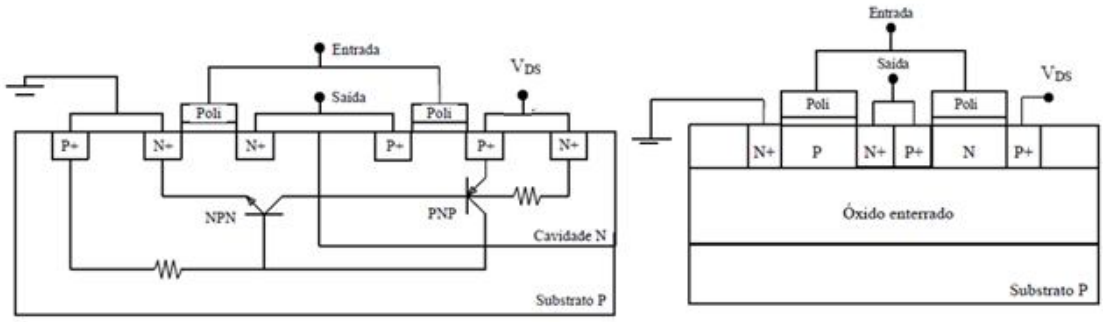
Nota-se a formação de um tiristor parasitário PNPN inerente as estruturas CMOS convencionais como observado na Figura 2(a). Ao utilizar a tecnologia SOI não ocorre a formação do tiristor parasitário, conforme demonstrado na Figura 2(b) [4,5].



(a) (b)

Figura 1. Capacitâncias parasitárias: (a) representação das capacitâncias de junção para NMOS, (b) representação das capacitâncias de junção para SOI (b).

Fonte: Autor "adapatado de" Colinge, J-.P.,Silicon-On-Insulator Technology,2004, 3ed.,p.152



(a) (b)

Figura 2: seção transversal de um circuito inversor CMOS convencional, indicando a formação do tiristor parasitário PNPN (a) e seção transversal de um inversor SOI-CMOS, sem a presença do tiristor parasitário (b).
Fonte: [6].

Na Figura 2, V_{DS} indica a tensão de alimentação do transistor.

Enquanto entravam em produção os transistores MOS, o conceito de silício sobre isolante (*Silicon-On-Insulator* – SOI) era apresentado. A tecnologia SOI foi introduzida como uma alternativa para aumentar a robustez dos dispositivos contra radiação, possibilitar as operações em alta temperatura, aumentar a transcondutância, melhorar a inclinação de

sublimiar além das diminuições das capacitâncias parasitárias e eliminação do tiristor parasitário PNPN [5,7].

O MOSFET acabou perdendo espaço perante as novas necessidades de miniaturização e os dispositivos SOI, que já mostravam alguns benefícios, surgem como uma estrutura alternativa e atrativa para as novas necessidades dimensionais impostas. Nos transistores MOS, somente a região superior do filme de silício da região de canal é utilizada para o transporte de elétrons, ficando a maior parte exposta aos efeitos parasitários. Na tecnologia SOI, os dispositivos são implementados em uma fina camada de silício afastada do substrato por um material isolante. A redução da área ativa aliada a isolação dielétrica do dispositivo com o substrato, proporciona uma maior robustez ao dispositivo SOI, tornando-o menos susceptível aos efeitos parasitários decorrentes da redução dimensional [8].

Constantes estudos são realizados referentes aos dispositivos SOI, destacando cada vez mais os seus benefícios em relação aos dispositivos MOS convencionais, tornando-se inevitável a substituição da tecnologia MOS pela SOI.

Além dos já citados exemplos de superioridade do SOI em relação ao CMOS convencional (bulk), vale ressaltar que este tipo de dispositivo pode prover um aumento de 20% a 25% da velocidade dos microprocessadores e pode atingir marcas de 40% a 50% de redução no consumo de energia, quando comparado ao CMOS convencional [9].

Paralelamente ao estudo de cada parâmetro elétrico inerente as características físicas da tecnologia SOI, o seu processo de fabricação recebeu a mesma atenção, com inúmeros estudos e igual desenvolvimento em termos de qualidade de lâminas, suportando desta maneira a implementação de circuitos integrados em altíssima escala de fabricação (*Ultra Large Scale Integration* – ULSI) [5].

No entanto, a evolução tecnológica exige componentes cada vez mais eficazes e imunes aos efeitos da redução dimensional, inclusive, com condições de reproduzir os sinais analógicos e digitais com maior fidelidade. Neste escopo, os dispositivos tridimensionais são uma alternativa para driblar os efeitos de canal curto (*short channel effects* – SCE) e aumentar a corrente elétrica fornecida pelo dispositivo [10]. Sendo assim, novos dispositivos foram desenvolvidos com diferentes conceitos, arranjos e técnicas de leiaute. Inevitavelmente, algumas topologias propostas são ainda extremamente difíceis de serem fabricadas com precisão, como a topologia de porta circundante (*Gate All Around* – GAA) [11], ou então ocasiona o aumento na área e nas capacitâncias parasitas, culminando com um remanejo de um processo já consolidado para atender as novas necessidades dimensionais e de

desempenho, principalmente devido à utilização de outros materiais tanto para a isolação de porta como na concepção das diferentes regiões do dispositivo.

Cada etapa do processo de fabricação é digna de muita pesquisa e investimento para a sua implementação e controle, o que dificulta ou atrasa a devida implementação desses dispositivos pelos grandes fabricantes e também principalmente pelas incertezas da viabilidade dos novos dispositivos.

Uma outra forma de aumentar o desempenho dos transistores é através do estudo de novos estilos de leiaute, utilizando-se o atual processo de fabricação CMOS, como pode ser observado em pesquisas feitas com o WAVE SOI MOSFET [12] e DIAMANTE SOI MOSFET (DSM) [13,14].

A estrutura 3D do dispositivo DSM é apresentada na Figura 3 [14]. Repare que através de uma simples mudança de leiaute, a geometria da porta foi passada de um formato retangular para um formato hexagonal, permitindo-se assim a utilização do “efeito de canto” na direção longitudinal do canal para aumentar o campo elétrico longitudinal resultante [14].

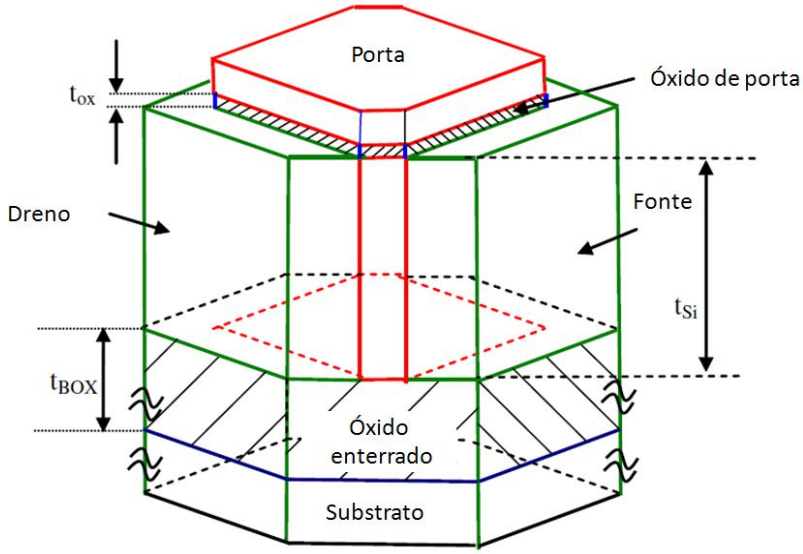


Figura 3. Representação 3D do Diamante SOI MOSFET

Fonte: Autor “adaptado de” [14].

Na Figura 3, t_{ox}, t_{Si} e t_{BOX} representam a espessura do óxido de porta, da camada de silício e do óxido enterrado, respectivamente.

É possível a implementação desta inovadora técnica de leiaute, sem qualquer custo adicional ao atual processo de fabricação dos dispositivos SOI MOSFET e MOSFET convencional (bulk) [14].

A partir deste conceito, este trabalho tem como objetivo principal a apresentação do inovador OCTO SOI MOSFET (OSM) [15] e a devida motivação que levou a sua criação, ou seja, é uma evolução do dispositivo DSM. Também é apresentada uma metodologia de transformação de um MOSFET com porta retangular para uma topologia DIAMANTE, assim como uma equação para a obtenção do comprimento equivalente de canal (L_{EQ}) do OSM. A partir daí, duas analises comparativas experimentais são realizadas, a primeira delas trata-se da comparação dos principais parâmetros elétricos entre o OSM e o DSM, considerando-se as mesmas condições de polarização e o mesmo fator geométrico. A segunda comparação experimental é realizada entre o OSM e o CSM, considerando as mesmas condições de polarização e a mesma área de porta (A_G). Em ambos os casos, são comparados os principais parâmetros elétricos que fundamentam o desenvolvimento de circuitos integrados analógicos e digitais.

Este trabalho subdivide-se em mais cinco capítulos.

No capítulo 2 são apresentados os fundamentos teóricos que norteiam este trabalho, com a devida apresentação do dispositivo Diamante SOI MOSFET, OCTO SOI MOSFET e os principais parâmetros físicos e elétricos que caracterizam estes dispositivos.

Já o capítulo 3, aborda à modelagem do comprimento equivalente do canal (L_{EQ}) para o dispositivo OCTO SOI MOSFET, baseados nas características elétricas da associação paralela de transistores com diferentes comprimentos de canais.

O capítulo 4 apresenta uma metodologia para transformação topológica de um transistor convencional em um Diamante equivalente com a mesma área de porta, com o intuito de facilitar o entendimento e possível substituição da tecnologia convencional para a Diamante.

O capítulo 5 é reservado para a apresentação dos resultados comparativos experimentais dos valores, referentes aos principais parâmetros analógicos e digitais dos dispositivos OCTO, convencional e diamante. Esta análise é realizada comparando-se um dispositivo OSM com fator de corte (c) igual a 25% e ângulo α igual a 53,1° com um dispositivo DSM com ângulo α igual a 53,1°, considerando as mesmas condições de polarização e o mesmo fator geométrico. Além disso, é realizado um estudo comparativo experimental, entre OSM considerando diferentes fatores de corte (c) e diferentes ângulos α com os respectivos CSM equivalentes, considerando as mesmas condições de polarização e a mesma área de porta (A_G).

E o capítulo 6, apresenta as principais conclusões deste trabalho e algumas propostas de trabalhos futuros.

2 CONCEITOS FUNDAMENTAIS

Uma revisão bibliográfica das características do dispositivo Convencional SOI MOSFET (CSM) será desenvolvida para os principais parâmetros analógicos e digitais, para possibilitar a comparação com os dispositivos DSM e OSM, que será apresentada no capítulo 5. Serão abordadas as características elétricas do dispositivo Diamante SOI MOSFET (DSM), suportando desta maneira as características resultantes do OCTO SOI MOSFET (OSM).

2.1 Dispositivo Convencional SOI MOSFET (CSM)

Os dispositivos SOI MOSFETs são a evolução natural dos dispositivos MOS convencionais (bulk). A tecnologia SOI baseia-se na fabricação de transistores e circuitos integrados em uma camada de silício que por sua vez ficam sobre uma camada de material isolante (óxido enterrado). Esta isolação elétrica entre a região ativa do transistor e o substrato proporciona a redução de muitos efeitos parasitários encontrados na tecnologia MOSFET convencional, como o efeito do tiristor parasitário (*latch-up*), das elevadas capacitâncias parasitárias e da corrente de fuga, além da significativa simplificação do processo de fabricação obtida no processo SOI MOSFET [5].

O perfil transversal de um dispositivo CMOS na tecnologia convencional (bulk) e SOI é mostrado na Figura 4, assim como a indicação das espessuras dos óxidos de porta (t_{oxf}) e enterrado (t_{oxb}), a representação da camada de silício (t_{Si}) e por fim a indicação das três interfaces ($S_i - S_iO_2$) presentes na estrutura [7].

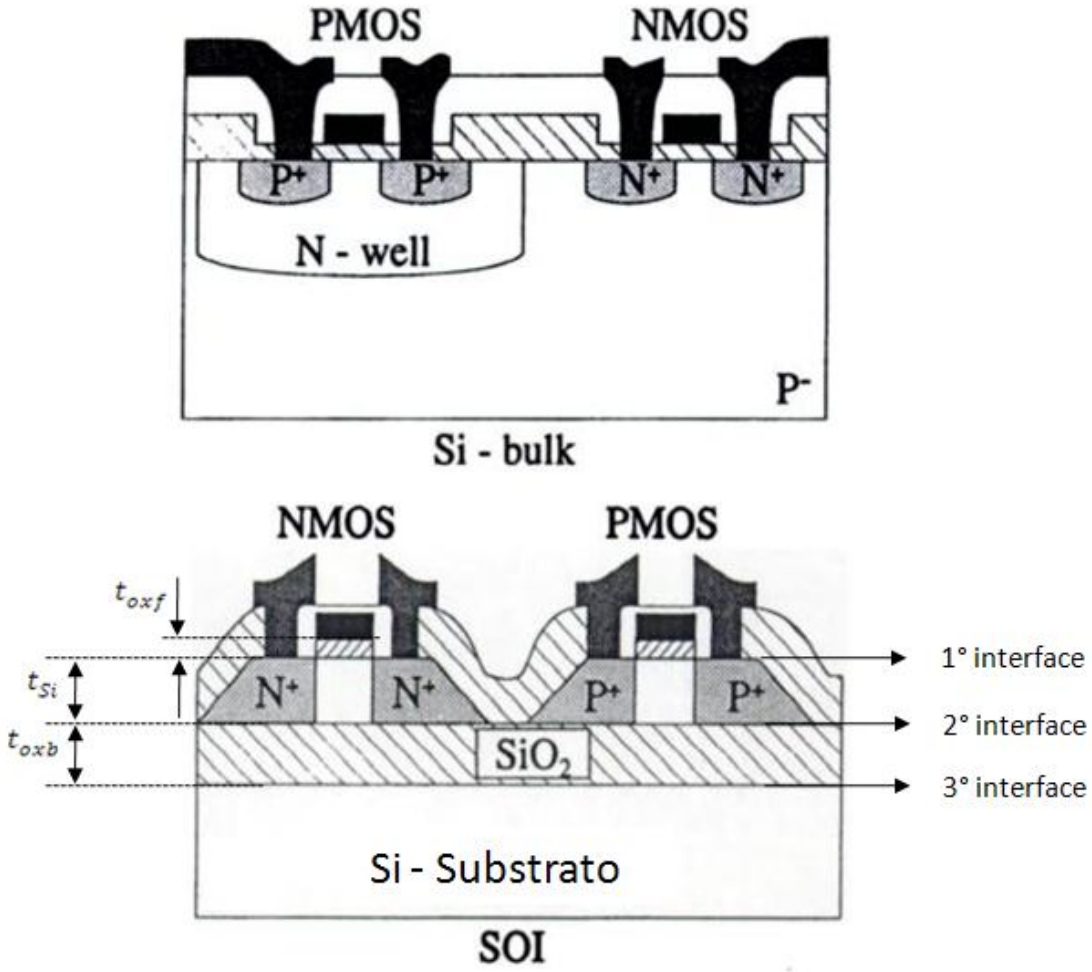
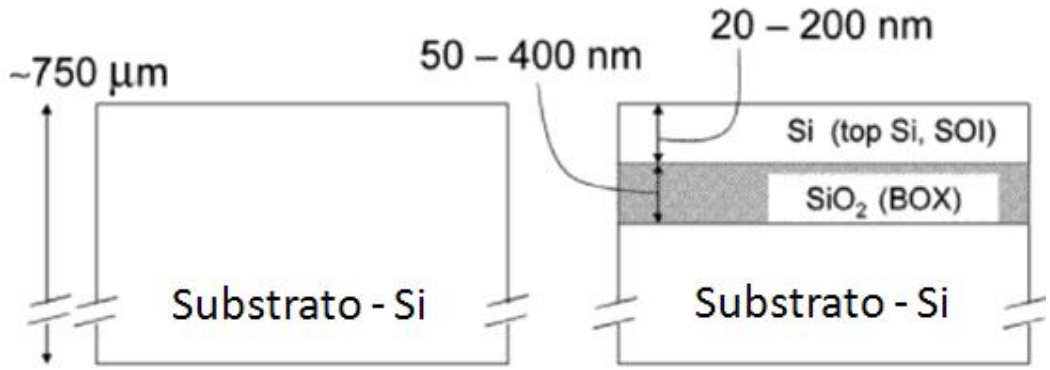


Figura 4. Seção transversal da tecnologia CMOS na tecnologia convencional (bulk) e SOI CMOS

Fonte: Autor “adaptado de” [7].

2.1.1 Estruturas do dispositivo Convencional SOI MOSFET (CSM)

Como os dispositivos CSM são construídos sobre uma camada de silício, a espessura da mesma tem uma forte influência nas características físicas do dispositivo [5]. As espessuras adotadas, que influenciam no comportamento do dispositivo são observadas na Figura 5.

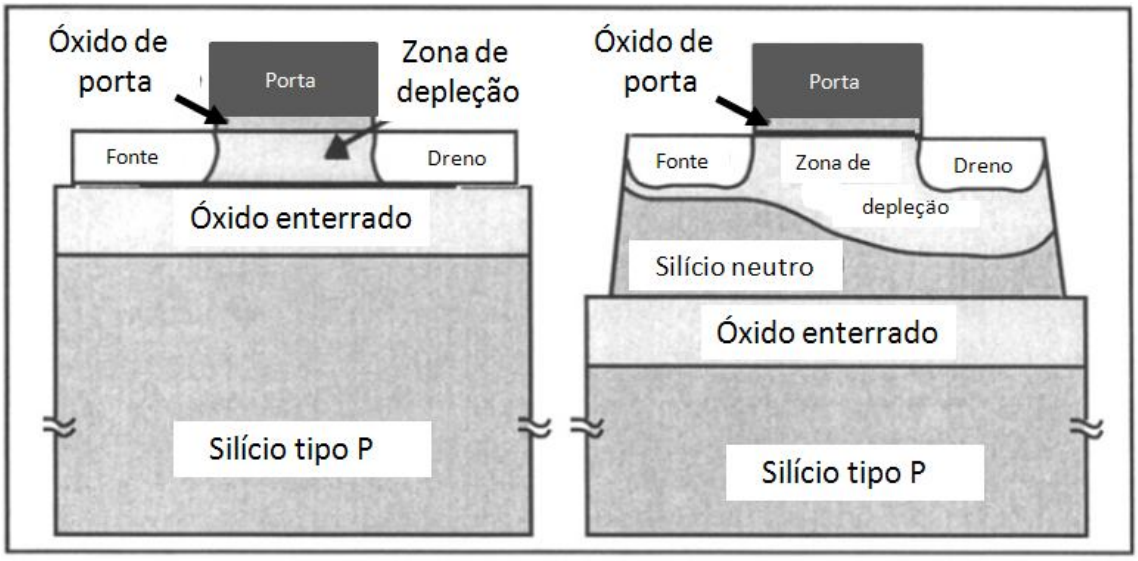


(a) (b)

Figura 5. Representação das espessuras utilizadas: (a) tecnologia convencional (bulk) e (b) SOI.

Fonte: Autor "adaptado de" [8].

Dependendo da espessura da camada superior de silício e de sua concentração, conforme apresentado na Figura 6, os dispositivos são classificados em totalmente depletado (*fully depleted* – FD SOI) se o filme de silício é suficientemente fino possibilitando que a zona de depleção em baixo da porta se estenda por todo o canal até o óxido enterrado [Figura 6 (a)], ou em parcialmente depletado (*partially depleted* – PD SOI) [Figura 6 (b)] em que a zona de depleção não ocupa todo o filme de silício [16].



(a) (b)

Figura 6. (a) SOI MOSFET totalmente depletado e (b) SOI MOSFET parcialmente depletado.

Fonte: Autor "adaptada de" [16].

Devido à maior espessura do filme de silício, no caso do dispositivo PDSOI, não ocorre a interação entre as regiões de depleção, representada pela região neutra, ou silício neutro [Figura 6(b)] [16]. Esta região pode apresentar um contato elétrico, e caso este terminal seja aterrado, o dispositivo PDSOI apresentará um comportamento similar ao MOSFET convencional "bulk" [16].

Por fim, o dispositivo quase totalmente depletado (*near fully depleted* SOI – NFD – SOI), em que dependendo da tensão aplicada no substrato, as regiões de depleção provenientes da primeira e segunda interfaces pode ou não entrar em contato, podendo comportar-se como um dispositivo PDSOI ou FDSOI [5].

Adicionalmente, para os dispositivos SOI MOSFETs, existem dois modos de funcionamento, modo enriquecimento e modo acumulação. Na condição de modo enriquecimento, o fluxo de corrente entre fonte e dreno ocorre pela inversão dos portadores na região do canal, na interface entre óxido de porta e a camada de silício [5]. Já no modo acumulação, o fluxo de corrente entre fonte e dreno ocorre com a acumulação dos portadores na região do canal. Vale ressaltar que na região de canal a dopagem do semicondutor é menor que na região de dreno e fonte [5].

2.1.2 Tensão de Limiar (V_{TH})

A tensão de limiar (V_{TH}) é descrita como a mínima tensão de porta necessária para iniciar-se a inversão forte do canal pela acumulação de cargas móveis na interface Si-SiO_2 [5].

Esta tensão é um importante parâmetro para modelagem, simulação e caracterização dos dispositivos MOSFETs e SOI MOSFETs [3].

Dada a sua importância, métodos de extração visando um valor mais preciso são estudados e propostos constantemente, como alguns exemplos listados abaixo [3], [17]:

(1) – Pela extrapolação da região linear (para baixos valores de V_{DS}) [3];

(2) – Pelo potencial de superfície [3];

(3) – Pelo pico da segunda derivada de I_{DS} em função V_{GS} (para baixos valores de V_{DS}) [3];

(4) – Nível de corrente correspondente – $I_{DS}= 10^{-7}(W/L)$ [3];

(5) – Pela razão de g_m / I_D [3];

A Figura 7 representa um comparativo entre os modelos (1), (2) e (3) [3].

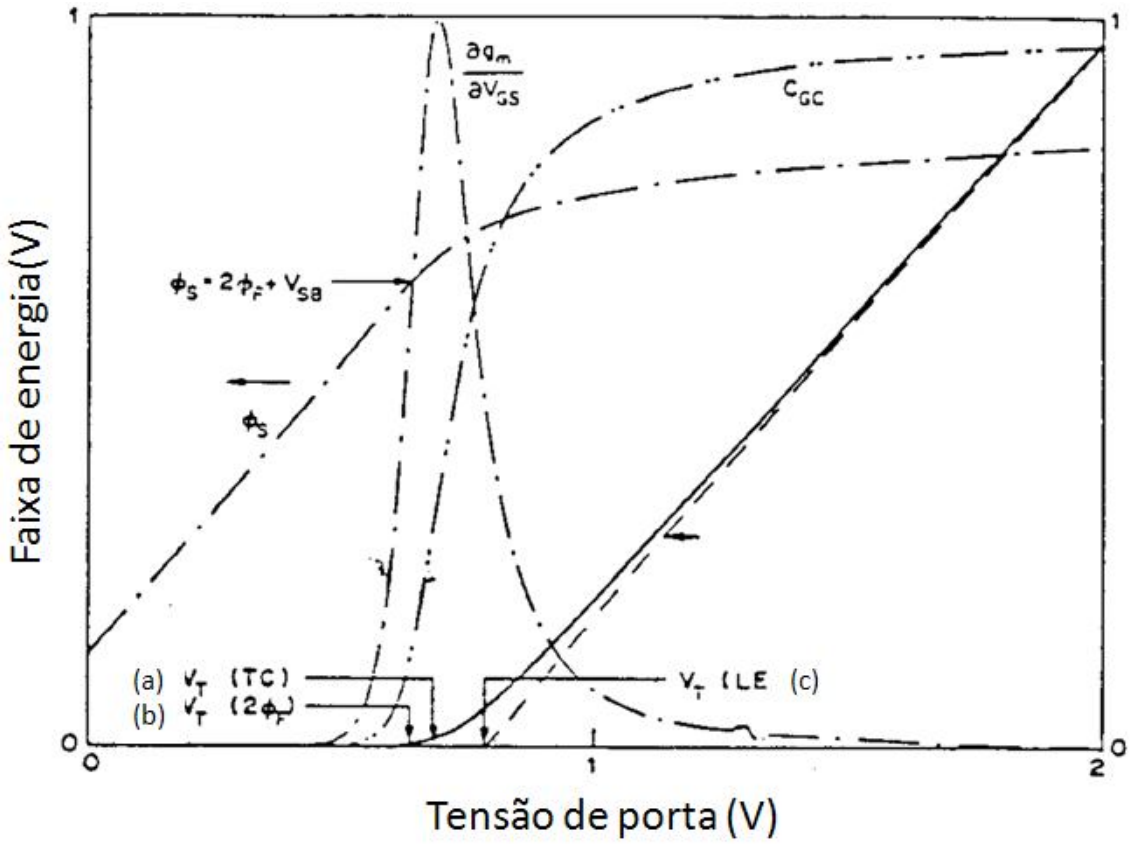


Figura 7. Técnicas para extração da tensão de limiar: (a) Método do Pico da segunda derivada da curva I_{DS} em função de V_{GS}; (b) Método do potencial de superfície; (c) Método da extrapolação da região linear.

Fonte: [3].

Para este trabalho, o método escolhido para a obtenção da tensão de limiar foi o do Pico da segunda derivada da curva I_{DS} em função de V_{GS} (para baixos valores de V_{DS}), conforme Figura 8 [3].

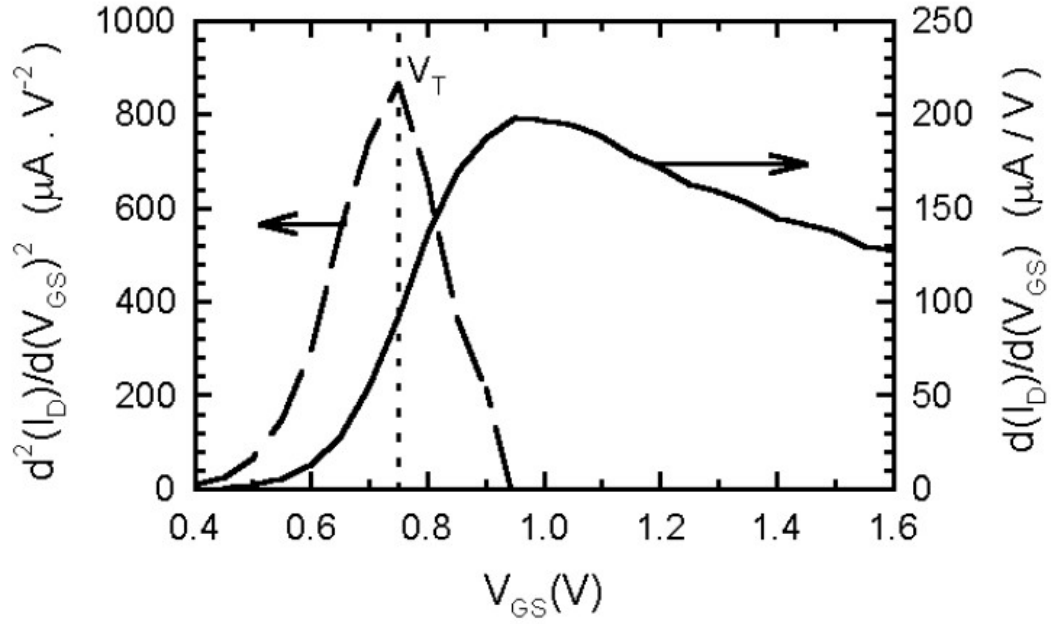


Figura 8. Ilustração para obtenção da tensão de limiar pelo método da segunda derivada da curva I_{DS} em função de V_{GS}, considerando V_{DS}≈0V.

Fonte: [3].

O desenvolvimento matemático da obtenção da tensão de limiar para dispositivos MOS e SOI parcialmente depletado, caracterizado pela não interação entre as regiões de depleção da primeira com a segunda interface é representada pela equação (2.1) [5]:

$$V_{TH} = V_{FB} + 2\phi_F + \frac{qN_A X_{dMÁX}}{C_{OX}} \tag{2.1}$$

onde V_{FB} é a tensão de faixa plana (*flat band*), ϕ_F é o potencial de Fermi, q é a carga elementar do elétron, N_A é a concentração de impurezas aceitadoras do substrato, $X_{dMÁX}$ é a profundidade máxima da região de depleção e C_{ox} é a capacitância do óxido de porta por unidade de área.

V_{FB} é determinada pela equação (2.2) [5];

$$V_{FB} = \phi_{MS} - \frac{Q_{OX}}{C_{OX}} \tag{2.2}$$

onde ϕ_{MS} é a diferença da função trabalho entre o metal de porta e o silício e Q_{ox} é a densidade efetiva de cargas fixas no óxido.

Considerando um dispositivo MOS convencional, a profundidade máxima de depleção é determinada pela equação (2.3) [5];

$$X_{dMÁX} = \sqrt{\frac{4\varepsilon_{Si}\phi_F}{qN_A}} \tag{2.3}$$

onde ε_{Si} é a permissividade do silício.

O potencial de Fermi é representado na equação (2.4) [5];

$$\phi_F = \frac{kT}{q}\, ln\left(\frac{N_A}{n_i}\right) \tag{2.4}$$

onde k é a constante de Boltzmann, T é a temperatura absoluta e n_i é a concentração intrínseca de portadores.

2.1.3 Transcondutância (g_m)

A transcondutância é classificada como um dos parâmetros que sustentam o desenvolvimento dos circuitos integrados analógicos, dado que representa a conversão da tensão de porta em corrente de dreno e é determinada pela equação (2.5) [5].

$$g_m = \frac{dI_{DS}}{dV_{GS}} \tag{2.5}$$

A transcondutância para o MOSFET e para o SOI nMOSFET na saturação é determinada pela equação (2.6) [5];

$$g_m = \frac{\mu_n C_{OXf} W}{(1 + \alpha')L}(V_{GS} - V_{TH}) \tag{2.6}$$

onde μ_n representa a mobilidade efetiva dos elétrons na região de canal, C_{oxf} (ou C_{ox} para transistores MOS convencionais) representa a capacitância do óxido de porta por unidade de

área, α´representa o fator de acoplamento capacitivo entre a porta e o substrato do transistor, W indica a largura do canal e L o comprimento do canal.

O α´para MOS convencional e SOI parcialmente depletado é dada pela equação (2.7) [5].

$$\alpha' = \frac{\varepsilon_{si}}{X_{dMÁX} C_{OX}} \tag{2.7}$$

A representação da transcondutância para dispositivos SOI MOSFET totalmente depletado é determinado pela equação (2.8) [5].

$$g_m = \frac{\mu_n C_{OXf} W}{(1 + \alpha')L}(V_{GS} - V_{TH}) \tag{2.8}$$

Considerando $V_{DS} > V_{Dsat}$, e α´ de acordo com a condição do dispositivo, ou seja, nos dispositivos totalmente depletados com a 2ª interface em acumulação o α´é dado pela equação (2.9) [5] e nos casos de dispositivos totalmente depletados com a 2ª interface depletada o α´é dado pela equação (2.10) [5];

$$\alpha' = \frac{C_{si}}{C_{oxf}} \tag{2.9}$$

onde C_{si} representa a capacitância da camada de silício por unidade de área.

$$\alpha' = \frac{C_{si} C_{oxb}}{C_{oxf}(C_{si} + C_{oxb})} \tag{2.10}$$

onde C_{oxb} representa a capacitância do óxido enterrado por unidade de área.

Outra figura de mérito muito importante para os circuitos integrados analógicos, é a razão da transcondutância pela corrente de dreno (g_m/I_{DS}), como observado na fórmula de ganho DC (2.11) para um MOSFET [8]:

$$\frac{\Delta V_{out}}{\Delta V_{in}} = \frac{\Delta I_{DS}}{gds} \cdot \frac{1}{\Delta V_{in}} = \frac{g_m}{gds} = \frac{g_m}{I_{DS}} \cdot V_{EA} \tag{2.11}$$

Em que ΔV_{out} representa a variação da tensão de saída, ΔV_{in} representa a variação da tensão de entrada, ΔI_{DS} representa a variação da corrente de dreno, g_m representa a transcondutância, gds representa a condutância de saída de dreno e V_{EA} é a tensão Early [8].

A razão de g_m/I_{DS} na condição de inversão fraca e forte, é dada pelas equações (2.12) e (2.13), respectivamente;

$$\frac{g_m}{I_{DS}} = \frac{dI_{DS}}{I_{DS}dV_{GS}} = \frac{\ln(10)}{S} = \frac{q}{(1+\alpha')kT} = \frac{q}{nkT} \tag{2.12}$$

onde S representa a inclinação de sublimiar e n o fator de corpo, sendo n= (1+ α´).

$$\frac{g_m}{I_{DS}} = \sqrt{\frac{2\mu n\, C_{ox}\, W/L}{(1+\alpha')I_{DS}}} = \sqrt{\frac{2\mu n\, C_{ox}\, W/L}{n\, I_{DS}}} \tag{2.13}$$

2.1.4 Inclinação de Sublimiar (S)

A inclinação de sublimiar ou S (*slope*) é dada pelo inverso da inclinação da curva logarítmica de I_{DS} em função de V_{GS} no regime de sublimiar, cuja unidade é expressa em milivolts por década [5].

Este parâmetro é especialmente importante para aplicações de circuitos integrados digitais, dado que, quanto menor este valor, maior a velocidade de chaveamento é suportada pelo dispositivo.

A sua representação é dada pela equação (2.14) [16]:

$$S = \frac{1}{\frac{d(\log I_{DS})}{dV_{GS}}} \tag{2.14}$$

Desprezando-se as armadilhas de interface, a equação (2.14), pode ser representada pela equação (2.15) para o dispositivo MOSFET e SOI MOSFET parcialmente depletado [16].

$$S = \frac{kT}{q}\ln(10)\left(1+\frac{C_D}{C_{ox}}\right) \tag{2.15}$$

onde C_D representa a capacitância da região de depleção por unidade de área.

A inclinação de sublimiar (S) para os dispositivos SOI MOSFET totalmente depletado, desprezando-se as armadilhas de interface é representado pela equação (2.16) [16];

$$S = \frac{kT}{q}\ln(10)\left(1 + \frac{C_{Si}C_{oxb}}{C_{oxf}(C_{si} + C_{oxb})}\right) \tag{2.16}$$

A representação gráfica da inclinação de sublimiar é ilustrada na Figura 9.

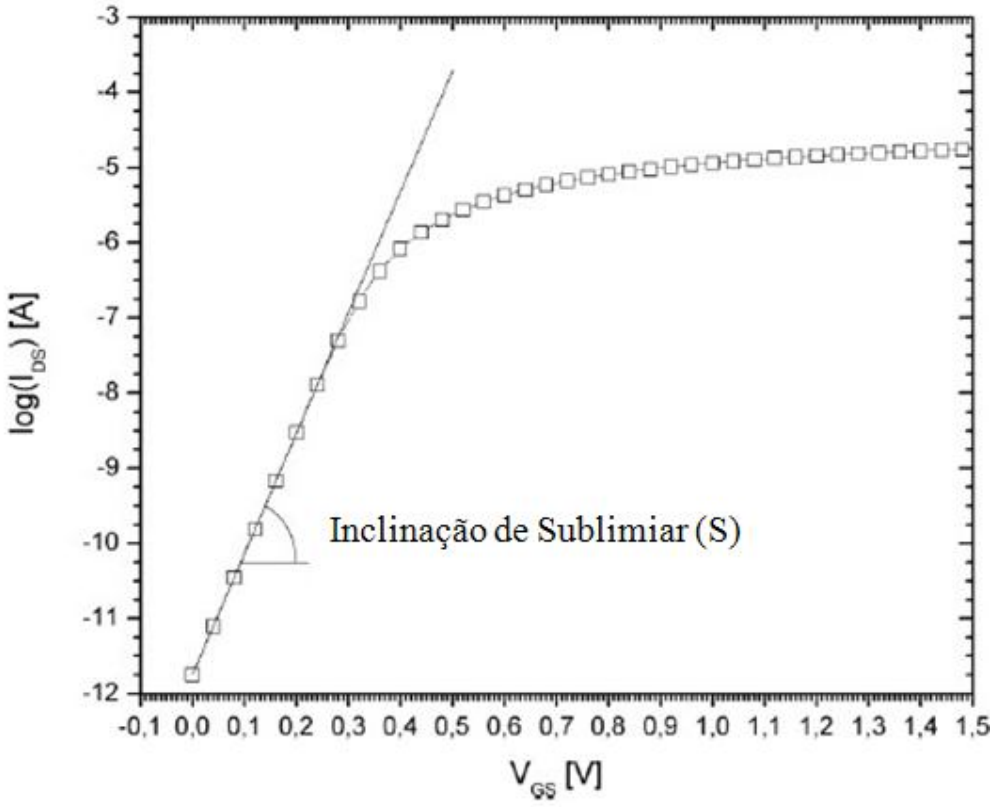


Figura 9. Representação da obtenção da inclinação de sublimiar.

O valor dado pela inclinação de sublimiar representa a velocidade de chaveamento que um dispositivo pode ter [18].

2.1.5 Corrente de estado desligado (I_{OFF}), Corrente de estado ligado (I_{ON}) e corrente de fuga (I_{LEAK})

Nos dispositivos MOSFETs e SOI MOSFETs, o consumo de energia e a dissipação de potência ocorrem tanto no comportamento dinâmico, como no comportamento estático do dispositivo. Considerando-se o comportamento estático, tanto o consumo de energia como a devida dissipação ocorrem no chaveamento de energia no estado ligado (*on-state*), onde ocorre o carregamento e o descarregamento das capacitâncias dos circuitos. No caso do comportamento estático (*off-state*) o consumo de energia e a dissipação ocorrem devido à corrente de fuga (I_{LEAK}) [19].

A potência dissipada durante o chaveamento (P_{ON}) é proporcional a velocidade e a carga e é determinada pela equação (2.17) [19].

$$P_{ON} = C_{eff}(V_{DD})^2 f \tag{2.17}$$

onde C_{eff} representa a capacitância de saída, f a frequência de operação do circuito e V_{DD} a tensão de alimentação.

Similarmente, a potência dissipada no estado desligado (P_{OFF}) é dada pela equação (2.18) [19].

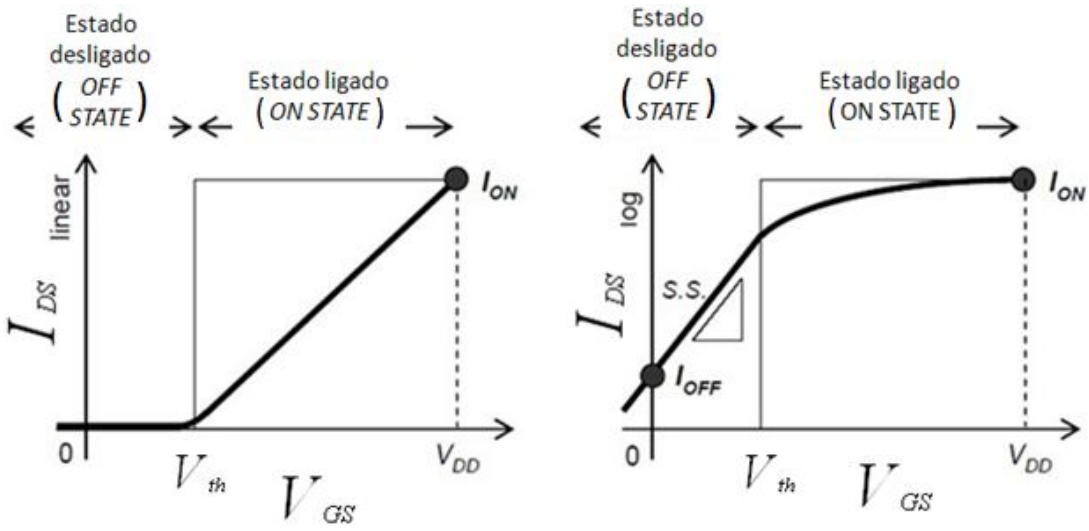
$$P_{OFF} = W_{TOT} V_{DD} I_{OFF} \tag{2.18}$$

Onde W_{TOT} representa a largura total do dispositivo.

A corrente de estado desligado (I_{OFF}) é influenciada pela tensão de limiar (V_{TH}) e pela inclinação de sublimiar (S), enquanto que a corrente de estado ligado (I_{ON}) está relacionada com a tensão de limiar (V_{TH}) e ao fator de ganho β ($\beta = \mu C_{OX} \frac{W}{L}$) do transistor. Na região de estado ligado, observa-se uma elevada condutância de saída e esta relacionada com o fator geométrico do dispositivo, ou seja, ao W/L. Para V_{TH} elevado, a região de desligamento apresenta uma maior região de excursão do sinal (definida entre 0 e V_{TH}) eventualmente com valores baixos de I_{OFF} [20]. No entanto, considerando valores baixos de V_{TH} a região de estado de desligado apresenta uma menor região de excursão do sinal, incrementando o valor de I_{OFF} [20].

A corrente de dreno (I_{DS}) para V_{GS} igual a 0 e V_{DS} igual a V_{DD}, é definida como corrente de estado desligado (*off-state current* - I_{OFF}), considerando V_{DD} igual a tensão de alimentação [21]. Enquanto que, a corrente de dreno (I_{DS}) para V_{GS} igual a V_{DS} igual a V_{DD}, é definida como corrente de estado ligado (*on-state current* -I_{ON}), considerando V_{DD} = tensão de alimentação [21].

Esta transição de estados é representada na Figura 10(a) e 10(b), sendo delimitadas pelo valor de V_{TH} e V_{DD} [22].



(a) (b)

Figura 10. Representação de I_{ON} e I_{OFF}: (a) para I_{DS} em escala linear e (b) para I_{DS} em escala logarítmica.

Fonte: Autor, "adaptada de" [22].

As comparações entre as transições de chaveamento da corrente de estado desligado pela corrente de estado ligado são estudadas visando dispositivos de alto desempenho. Quanto menor a inclinação de sublimiar mais abrupta é a transição do estado desligado para o estado ligado, ou mais próximo do chaveamento ideal, resultando em um baixo consumo de energia [23]. A Figura 11 ilustra apenas de caráter informativo as intensidades das correntes de estado desligado (I_{OFF}), obtidas para um dispositivo ideal, um dispositivo MOS e um dispositivo de baixa inclinação (que neste caso trata-se de um dispositivo com inclinação de sublimiar inferior a 60mV/dec), nota-se que o para o último caso, visualiza-se a menor corrente de estado desligado, quando comparada ao dispositivo MOS [23].

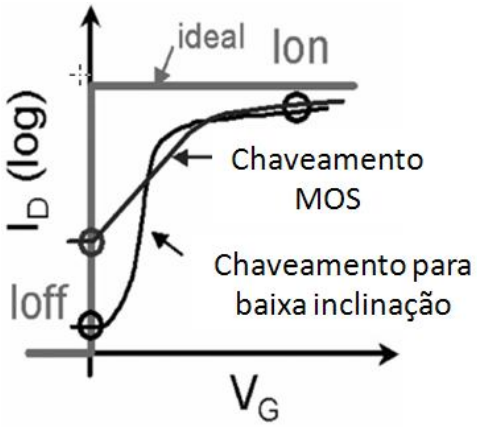


Figura 11. Gráfico ilustrativo para um chaveamento ideal, chaveamento de um MOS, e chaveamento de um dispositivo de pequena inclinação. Fonte: [23].

A partir das correntes de estado desligado e ligado, obtém-se a razão I_{ON}/I_{OFF}. Esta razão está diretamente relacionada com o desempenho em alta frequência e consumo de energia do transistor [18]. Quanto maior a razão I_{ON}/I_{OFF} melhor é o desempenho em alta frequência e o consumo de energia do dispositivo [18].

Estes parâmetros, principalmente I_{OFF} são de suma importância para circuitos de baixíssimo consumo de energia, em que os transistores operam na região de sublimiar [22].

Dentro deste contexto, de redução de consumo de energia elétrica, o valor da corrente de fuga I_{LEAK}, passa a ter uma influência significativa para o desempenho do circuito integrado.

A corrente de fuga (I_{LEAK}) está relacionada com a área lateral formada entre dreno e canal assim como fonte e canal. Neste caso, os dispositivos SOI MOSFETs apresentam uma menor I_{LEAK} através das junções quando comparado aos dispositivos MOSFETs convencionais, devido à menor área lateral resultante [5].

A corrente de fuga (I_{LEAK}), potencializa-se principalmente quando os dispositivos estão sujeitos a altas temperaturas [5].

2.1.6 Resistência série de estado ligado (R_{DS-ON})

Novos processos tecnológicos são necessários para atender as demandas de redução do consumo de energia, assim como a do incremento da velocidade de chaveamento dos circuitos integrados [22]. Dentro deste contexto, a redução do parâmetro elétrico R_{DS-ON} é de suma importância para viabilizar esta evolução [24].

Na região de triodo, a corrente de dreno (I_{DS}) apresenta uma dependência linear com a tensão V_{DS} (para baixos valores de V_{DS}). Como pode ser visualizada pela Figura 12, cada curva pode ser aproximada para uma linha reta na condição de baixo V_{DS}. Esta região linear da curva de I_{DS} em função de V_{DS}, representa o comportamento elétrico de um resistor (R_{DS-ON}) e é dado pela equação (2.19), em que o MOSFET opera como um resistor controlado pela sobretensão de porta ($V_{GT}= V_{GS}-V_{TH}$) (considerando $V_{DS}<< 2(V_{GS}- V_{TH})$) [25].

$$R_{DS-ON} = \frac{1}{\mu n\, C_{OX}\, \frac{W}{L}\, x(V_{GS} - V_{TH})} \tag{2.19}$$

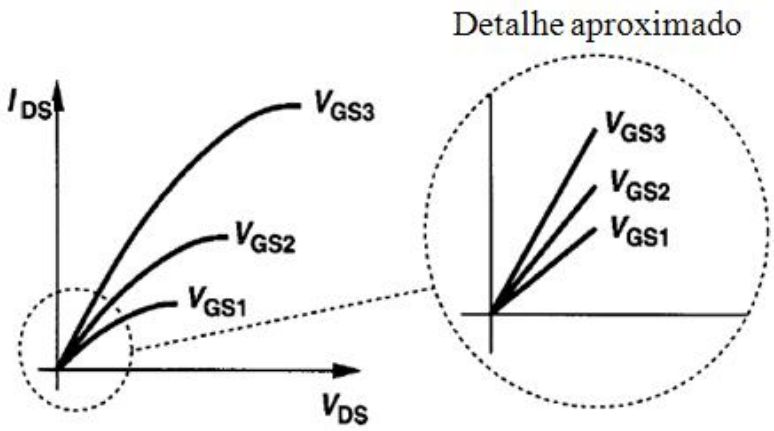


Figura 12. Ilustração da operação linear de um SOI MOSFET na região de triodo para três valores de V_{GS} (V_{GS3}> V_{GS2}> V_{GS1}).

A potência dissipada na condição de estado ligado P_{ON} (*on-state*) em função da resistência série de estado ligado (R_{DS-ON}) é dada pela equação (2.20) [26].

$$P_{ON_diss} = {I_{DS}}^2\, R_{DS-ON} \tag{2.20}$$

2.1.7 Tensão Early (V_{EA})

Este parâmetro é de suma importância para o projeto de circuitos integrados analógicos operando como amplificadores. Este valor está relacionado com a variação da corrente de dreno em função da tensão de dreno (V_{DS}) na região de saturação [25]. Assim que a tensão de dreno atingir o patamar cujo valor é $V_{DS} = V_{GS} - V_{TH}$, será induzido o estrangulamento (*pinch-off*) na região de canal próximo a dreno do dispositivo. Ao incrementar $V_{DS,}$ o ponto de estrangulamento desloca-se na direção da fonte, ocasionando desta maneira na redução do comprimento efetivo do canal (L_{eff}). Como consequência, ocorre o aumento da corrente de dreno na região de saturação [25]. Este comportamento do deslocamento do ponto de *pinch-off* pode ser observado na Figura 13 [25].

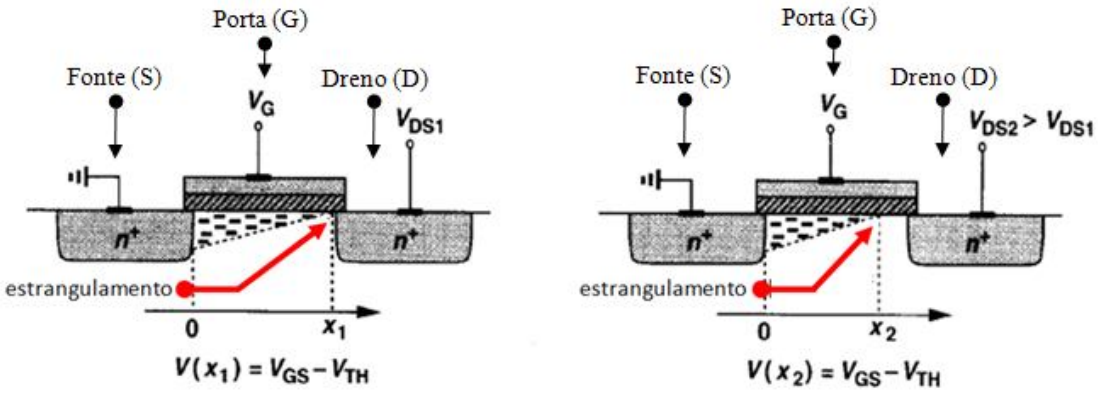


Figura 13. Comportamento na região de estrangulamento (*pinch-off*): (a) para $V_{DS} = V_{GS} - V_{TH}$ e (b) para $V_{DS} > V_{GS} - V_{TH.}$

Na Figura 13, x_1 e x_2 representam o comprimento efetivo do canal e $V(x_1)$ e $V(x_2)$ as devidas tensões de dreno que viabilizam tal condição.

A influência deste efeito é visualizada através da inclinação da curva I_{DS} em função de $V_{DS,}$ que por sua vez afeta a corrente de dreno (I_{DS}) na região de saturação [16]. A influência desta inclinação (ou dos devidos efeitos que a originaram) na corrente de dreno (I_{DS}) na região de saturação é descrita na equação (2.21) [2] e é ilustrada na Figura 14.

$$I_{DS} \cong \frac{1}{2}\mu_n C_{OX} \frac{W}{L} (V_{GS} - V_{TH})^2(1 + \lambda V_{DS}) \tag{2.21}$$

Onde λ é igual a$\left(-\frac{1}{V_{EA}}\right)$.

A tensão Early (V_{EA}) pode ser extraída através da extrapolação da curva de I_{DS} em função de V_{DS} na região de saturação até atingir o eixo x, em que o ponto de cruzamento é definido como Tensão Early [2]. Uma ilustração pode ser observada na Figura 14.

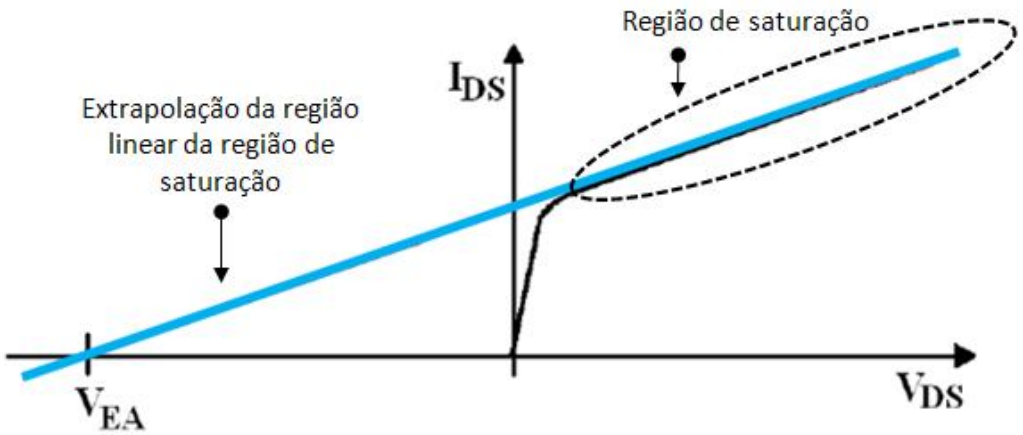


Figura 14. Método de extração da tensão Early a partir da extrapolação da região linear da região de saturação da curva I_{DS} em função de V_{DS} de um MOSFET.

2.1.8 Curva de g_m / I_{DS} em função de I_{DS} / (W/L)

A razão g_m/I_{DS}, representa a eficiência de um MOSFET em converter corrente elétrica em transcondutância, indicando a capacidade de amplificação de um transistor para uma determinada corrente de dreno necessária para polarizá-lo [27]. Vale ressaltar que a eficiência da transcondutância (g_m/I_{DS}) independe do comprimento (L) e largura (W) do dispositivo [27].

Como comentado, a curva g_m / I_{DS} em função de [I_{DS} / (W/L)] está relacionada com o desempenho dos circuitos integrados analógicos, expondo de maneira clara os regimes de inversão dos dispositivos (inversão fraca, moderada e forte) [27], como ilustrado na Figura 15.

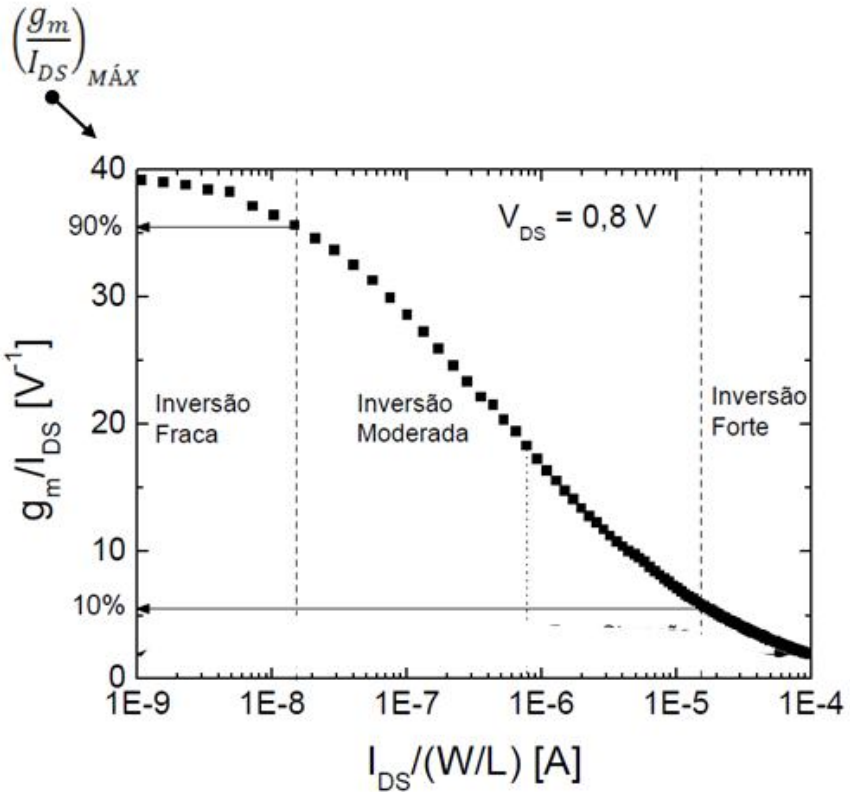


Figura 15. Exemplo de uma curva de g_m/I_{DS} em função de [I_{DS}/ (W/L)] de um dispositivo SOI nMOSFET.

Os regimes de inversão podem ser determinados em função de $(g_m/I_{DS})_{MÁX}$, por exemplo, os limites da região de inversão moderada estão entre 90% e 10% do valor de $(g_m/I_{DS})_{MÁX}$, sendo a região de inversão fraca definida até 100% a 90% do valor de $(g_m/I_{DS})_{MÁX}$ e a região de inversão forte dada para valores inferiores a 10% de $(g_m/I_{DS})_{MÁX}$.

A tendência apresentada na Figura 15 é uma característica universal para qualquer SOI MOSFET do tipo n ou p pertencentes ao mesmo processo de fabricação [27], independente do tamanho do dispositivo, devido a normalização de I_{DS} em função do fator geométrico f_g (W/L). O mesmo conceito pode ser expandido para e tecnologia MOS.

Os valores mais elevados de g_m/I_{DS} são encontrados na região de inversão fraca, devido à relação exponencial entre corrente e tensão nesta região [28].

A região de inversão moderada torna-se atrativa para o desenvolvimento de circuitos integrados analógicos CMOS, contemplando um bom compromisso entre ganho de tensão e resposta em frequência quando comparado com a região de inversão forte, que contempla um baixo ganho de tensão e uma elevada frequência de ganho de tensão unitário [28].

2.1.9 Frequência de ganho de tensão unitário (f_T)

Para circuitos integrados amplificadores, um parâmetro muito importante é a frequência de ganho de tensão unitário (f_T). Este parâmetro do MOSFET representa a frequência de operação dos circuitos em que a amplitude do sinal de entrada é o mesmo resultante na saída (ganho unitário de tensão do circuito) [29].

A frequência de ganho de tensão unitário dos transistores MOS, sofre influência, por exemplo, do tamanho do dispositivo e da corrente de dreno. Considerando-se correntes de dreno (I_{DS}) elevadas, assim como dispositivos pequenos (o que resulta em capacitâncias intrínsecas baixas) e baixas espessuras de óxido de porta, ocasiona o aumento da frequência de ganho de tensão unitário (f_T) e a diminuição do ganho de tensão em malha aberta (A_V). Ao aumentar o tamanho do dispositivo, verificam-se elevadas capacitâncias, ocasionando na diminuição do valor da frequência de ganho de tensão unitário (f_T) e no aumento do ganho de tensão em malha aberta de (A_V) [30].

A frequência de ganho de tensão unitário pode ser descrita pela equação (2.21) [31].

$$f_T = \left(\frac{g_m}{I_{DS}}\right)\frac{I_{DS}}{2\pi C_L} \rightarrow f_T = \frac{g_m}{2\pi C_L} \tag{2.21}$$

onde C_L representa a capacitância de carga (neste trabalho C_L= 10pF).

Como observado f_T é diretamente proporcional a transcondutância e inversamente proporcional a capacitância de carga.

2.1.10 Ganho de tensão em malha aberta (A_V)

Assim como a f_T, o ganho de tensão de um MOSFET (A_V) é um dos parâmetros chave para a resposta em frequência de um circuito integrado analógico, podendo ser representada pela equação (2.22) [32].

$$A_V = \left(\frac{g_m}{I_{DS}}\right) V_{EA} \tag{2.22}$$

Conforme observado na equação 2.22, quanto maior a razão de g_m/I_{DS} e a respectiva tensão Early, maior será o valor do ganho de tensão. Maiores valores de g_m/I_{DS} ocorrem no regime de inversão fraca para o MOSFET, em que a razão de g_m/I_{DS} apresenta o maior valor na curva de g_m/I_{DS} em função de I_{DS} /(W/L) [33]. Já na inversão forte a razão g_m/I_{DS} apresenta um comportamento hiperbólico [27].

O gráfico de A_v em função de [I_{DS} / (W/L)] para um MOSFET apresenta o mesmo comportamento do gráfico g_m/I_{DS} em função de [I_{DS} / (W/L)], em que o valor do ganho de tensão aumenta significativamente com o incremento do comprimento do canal, devido ao incremento da tensão Early [28].

Dentre os parâmetros analógicos, um dos principais "*trade-offs*" é visualizado entre A_v e f_T, pois enquanto f_T aumenta ao se incrementar [I_{DS} / (W/L)], A_v diminui, conforme ilustração na Figura 16 [28].

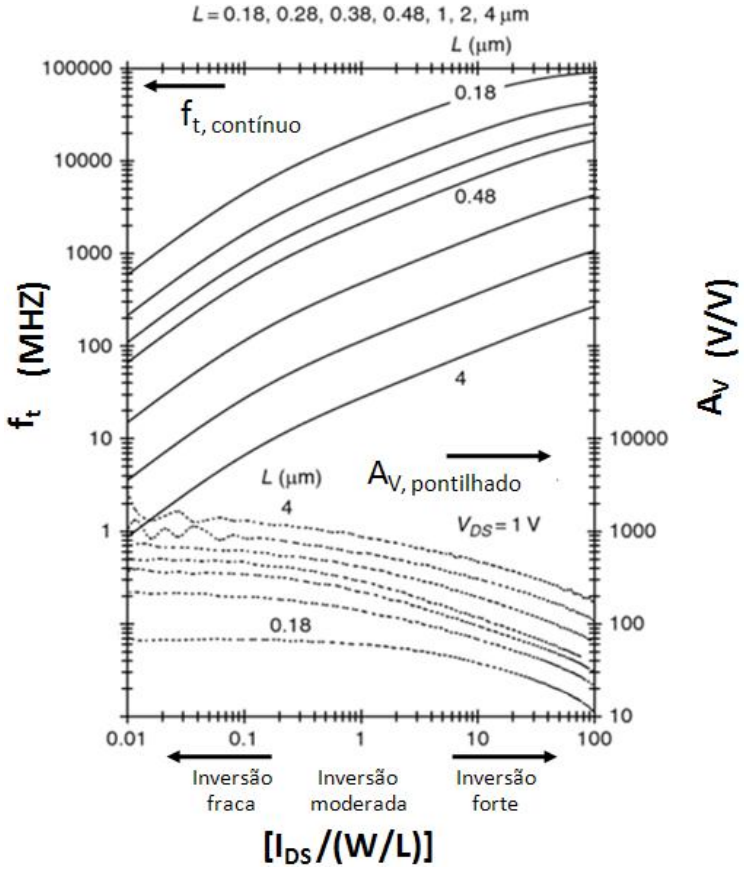


Figura 16. Curvas de A_V e f_t em função de [I_{DS}/(W/L)].

Fonte: Autor "adaptado de" [30].

2.2 Dispositivo Diamante SOI MOSFET (DSM)

A mudança proposta através do dispositivo DSM baseia-se na alteração do leiaute do canal de um formato retangular (CSM) para um formato hexagonal (*hexagonal gate geometry* – HGG) [15]. Desta maneira ocorre a melhoria de alguns parâmetros elétricos como: corrente de dreno, transcondutância e resistência de estado ligado quando comparado com o CSM equivalente considerando a mesma área de porta (A_G) o mesmo fator geométrico assim como as mesmas condições de polarização. Benefícios estes, sem a necessidade de nenhum custo extra ao processo de fabricação do CMOS atual [13,14].

Este fato deve-se ao efeito de canto na direção longitudinal, que aumenta o campo elétrico longitudinal resultante (paralelo na direção do canal), resultando melhorias dos parâmetros elétricos dos transistores, tais como: na transcondutância, na corrente de dreno e na resistência série de estado liga [13,14].

Para o DSM, os cantos são partes inerentes da estrutura física do transistor, e os efeitos de canto longitudinal (*longitudinal corner effect* – LCE), passam a melhorar ou potencializar alguns parâmetros tais como, a corrente de dreno, a transcondutância e a resistência série de estado ligado [13].

A Figura 17 ilustra o leiaute proposto de um estilo de leiaute do tipo Diamante [14]. As letras b e B representam a base menor e a base maior do trapézio respectivamente, que compõe o hexágono da região de porta [14]. A letra W representa a largura do canal e a indicação de t_{Si}, t_{ox} e t_{box}, representam respectivamente, as espessuras do filme de silício, do óxido de porta e do óxido enterrado. O ângulo α representa o ângulo formado pela junção metalúrgica entre a fonte e a região do filme de silício nas extremidades do canal [14].

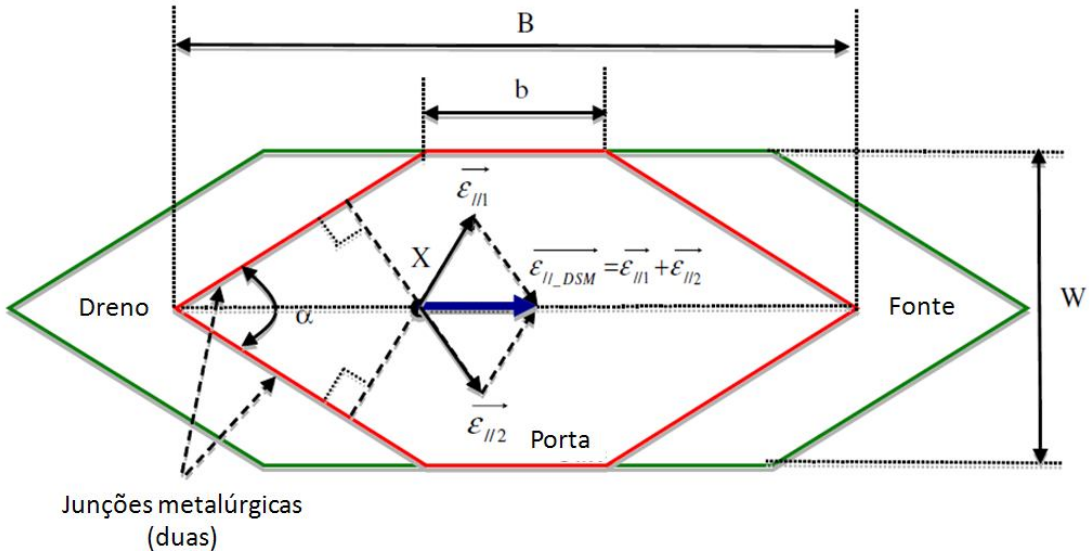


Figura 17. Vista superior do DSM.

Fonte: Autor “adaptado de” [14].

Na Figura 17, os campos elétricos longitudinais da estrutura Diamante são representados pelos vetores $\overrightarrow{\varepsilon_{//1}}$ e $\overrightarrow{\varepsilon_{//2}}$, decorrentes das polarizações de dreno. Estes vetores de campo elétrico longitudinal surgem perpendicularmente as junções metalúrgicas entre as regiões de dreno e do canal. A interação entre eles é representada pelo vetor de campo elétrico resultante ($\overrightarrow{\varepsilon_{//DSM}}$), que nada mais é do que uma soma vetorial desses componentes, ou seja, $\overrightarrow{\varepsilon_{//DSM}} = (\overrightarrow{\varepsilon_{//1}} + \overrightarrow{\varepsilon_{//2}})$ [14].

Analisando a região de canal, pode-se aproximar o seu modelo em dois trapézios que irão compor o comprimento equivalente de canal (L) [14].

Em uma aproximação de primeira ordem, o comprimento equivalente do canal (L_{EQ}) do DSM é dado pela equação (2.23) [14]:

$$L_{EQ} = \frac{b + B}{2} \tag{2.23}$$

Considerando uma mesma área de porta (A_G), o mesmo fator geométrico (W/L) assim como as mesmas condições de polarizações, o dispositivo DSM, apresenta um campo elétrico longitudinal superior ao do CSM equivalente [14].

A estrutura Diamante pode ser representada considerando-se o rearranjo de n transistores em paralelo, tendo em comum as mesmas larguras (W) e como diferencial os comprimentos

(L). A interação entre os n transistores resultam no aumento da corrente de dreno do dispositivo quando comparado com o dispositivo CSM equivalente. Este aumento ocorre da seguinte maneira ou de acordo com a região, nas margens do dispositivo a corrente é resultado da interação entre um comprimento pequeno (L) com um baixo campo elétrico ($\overrightarrow{\varepsilon_{//}}$), enquanto que no centro do dispositivo o valor elevado de corrente deve-se a interação entre o maior comprimento (L) com o alto campo elétrico ($\overrightarrow{\varepsilon_{//}}$). A Figura 18 ilustra os diferentes comprimentos equivalentes de canal considerando n=4.

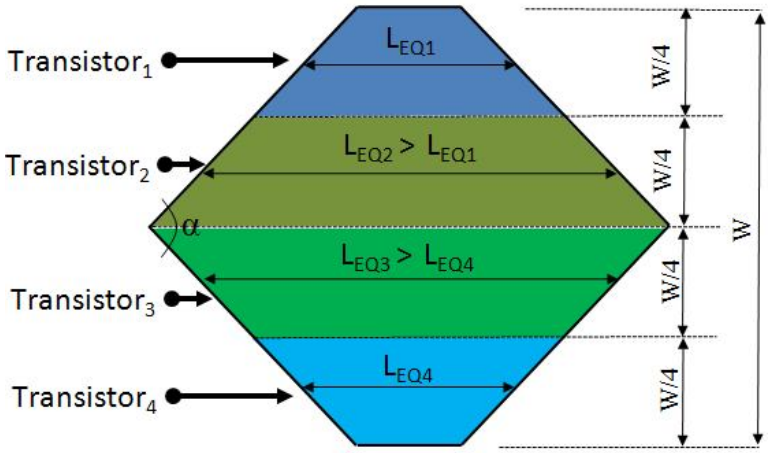


Figura 18. Ilustração de 4 transistores em paralelo e os diferentes comprimentos de canal.

Na Figura 18, W/4 representa a largura do canal e é a mesma para os quatro transistores, L_{EQ}, representa o comprimento equivalente de canal em que os transistores das margens ($Transistor_1$ e $Transistor_4$), possuem comprimentos de canais (L_{EQ1} e L_{EQ4}) inferiores aos comprimentos de canal (L_{EQ2} e L_{EQ3}) dos transistores do centro ($Transistor_2$ e $Transistor_3$).

Considerando as mesmas mobilidades, os valores das correntes de dreno nas regiões de triodo e saturação são modelados a partir do modelo de primeira ordem da corrente no dispositivo CSM do tipo n, em que [2,5]:

$$I_{DS_{CSM-TRIODO}} = \mu_n C_{ox} \frac{W}{L}\left[(V_{GS} - V_{TH})V_{DS} - \frac{(V_{DS})^2}{2}\right] \quad (2.24)$$

$$I_{DS_{CSM-SATURAÇÃO}} = \mu_n C_{ox} \frac{W}{L}\left[\frac{(V_{GS} - V_{TH})^2}{2}\right] \quad (2.25)$$

onde $I_{DS_{CSM-TRIODO}}$ representa a corrente de dreno do dispositivo convencional na região de triodo, $I_{DS_{CSM-SATURAÇÃO}}$ representa a corrente de dreno do dispositivo convencional na região de saturação, μ_n representa a mobilidade dos elétrons, C_{OX} a capacitância do óxido de porta por unidade de área, V_{GS} a diferença de potencial entre porta e fonte, V_{TH} a tensão de limiar, W a largura do canal e L o comprimento do canal transistor.

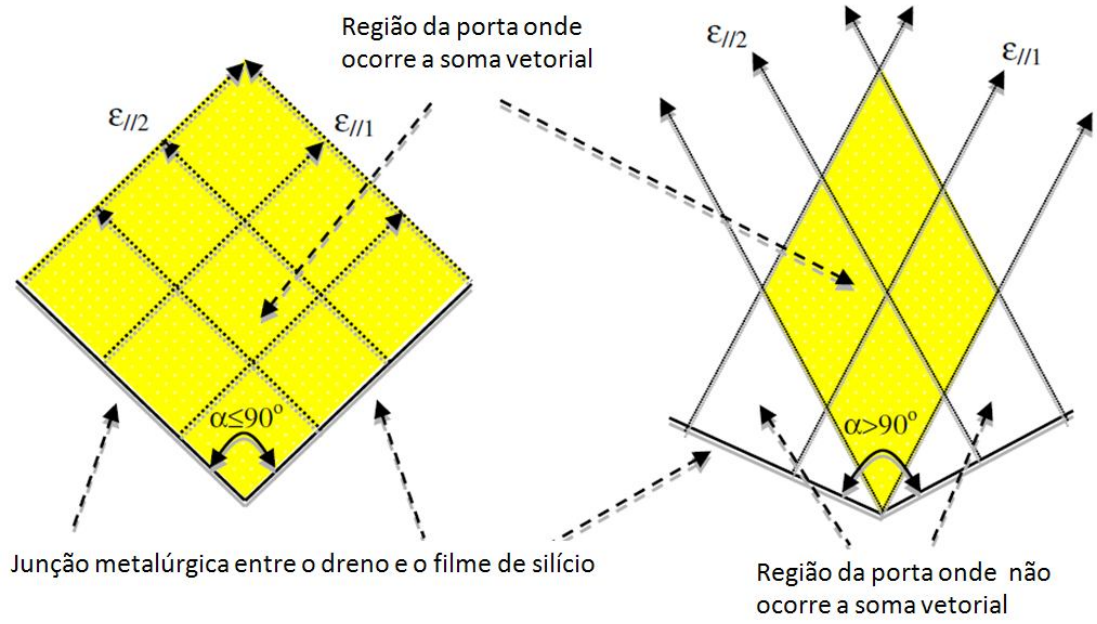
A corrente de dreno para o DSM ($I_{DS\text{-}DSM}$), pode ser modelada por um fator de ajuste que representa a influência do campo elétrico ($\overrightarrow{\varepsilon_{//}}$) em I_{DS} função do ângulo e é dada pela equação (2.26) e (2.27) respectivamente [14]:

$$I_{DS_{DSM}} \cong \left[\sqrt{2(1+\cos\alpha)}\right] I_{DS_CSM} \qquad para\ 0° \leq \alpha \leq 90° \tag{2.26}$$

$$I_{DS_{DSM}} \cong \left[\sqrt{2+\cos\alpha}\right] I_{DS_CSM} \qquad para\ 90° \leq \alpha \leq 180° \tag{2.27}$$

onde I_{DS_CSM} representa c corrente de dreno do dispositivo convencional seja na região de triodo ou saturação.

Analisando a equação (2.26) , quando o ângulo α tende a 0, o valor do fator de ajuste tende a 2, ou seja, $I_{DS_{DSM}} = 2I_{DS_{CSM}}$, dado que a soma das componentes dos campos elétricos longitudinais ocorrem em toda a região do canal [Figura 18 (a)]. Esse comportamento não ocorre para 90°≤ α ≤ 180° [Figura 18 (b)] devido a uma menor sobreposição das linhas de campo elétrico [14].



(a) (b)

Figura 19. Representação da região de canal onde ocorre a soma vetorial: (a) 0°≤ α ≤ 90°, (b) 90°≤ α ≤180°.

Fonte: Autor "adaptado de" [14].

As dimensões de um dispositivo DSM podem ser reduzidas, a fim de se obter o mesmo valor de corrente de dreno (I_{DS}) de um dispositivo CSM, resultando assim em uma redução significativa da área de silício final, e consequentemente, do custo do circuito integrado [14].

Os dispositivos DSM podem ser utilizados em circuitos integrados analógicos devido a sua maior transcondutância e similar tensão Early (no caso de α=110°). Como desvantagem, o dispositivo DSM apresenta um alto valor de corrente de estado desligado I_{OFF} se comparado ao dispositivo CSM, o que o torna menos atrativo para aplicações em circuitos integrados digitais [14].

2.3 Dispositivo Octo SOI MOSFET (OSM)

Com o intuito de prover uma melhor escalabilidade, o dispositivo DSM evoluiu para o OCTO SOI MOSFET (OSM) [14,15]. Esta evolução foi propiciada pelo arredondamento dos cantos das junções metalúrgicas pelo processo de fabricação, alterando-se a geometria de porta de um formato hexagonal (HGG) para um formato de porta octogonal (*octogonal gate geometry* – OGG), como efeito desta também simples mudança de leiaute, origina-se um novo

vetor de campo elétrico longitudinal representado pelo $\overrightarrow{\varepsilon_{//3}}$ além dos outros dois vetores discutidos anteriormente ($\overrightarrow{\varepsilon_{//1}}$ e $\overrightarrow{\varepsilon_{//2}}$) na estrutura diamante, resultando assim na melhoria dos valores de corrente de dreno e da transcondutância quando comparado ao dispositivo DSM equivalente considerando a mesma área de porta (A_G), o mesmo fator geométrico (W/L) e as mesmas condições de polarização [14].

A proposta de modificação de leiaute de hexagonal para octogonal é observada na Figura 20, assim como a interação entre as componentes dos campos elétricos longitudinais presentes na estrutura OSM [14].

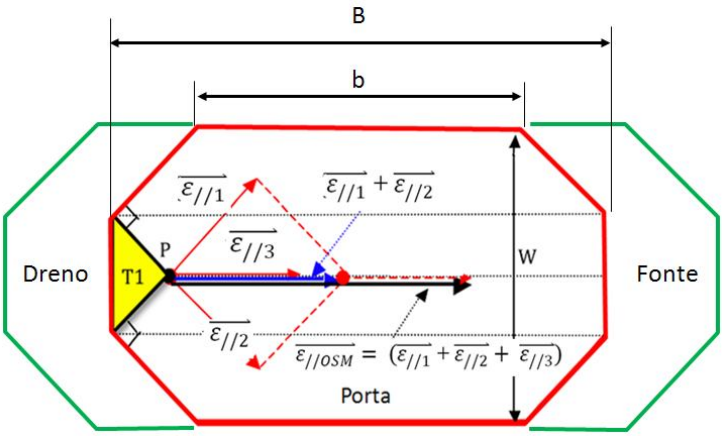


Figura 20. Representação dos vetores resultantes em uma estrutura OSM.

Fonte: Autor “adaptado de” [15].

Onde b e B são os menores e maiores comprimentos de canal (respectivamente), T1 é a região com influência do vetor $\overrightarrow{\varepsilon_{//3}}$ e novo valor do campo elétrico longitudinal do OSM é representado pela soma vetorial dos três campos elétricos, ou seja, $\overrightarrow{\varepsilon_{//OSM}} = (\overrightarrow{\varepsilon_{//1}} + \overrightarrow{\varepsilon_{//2}} + \overrightarrow{\varepsilon_{//3}})$ [14].

A Figura 21 representa a estrutura do OCTO SOI MOSFET [14].

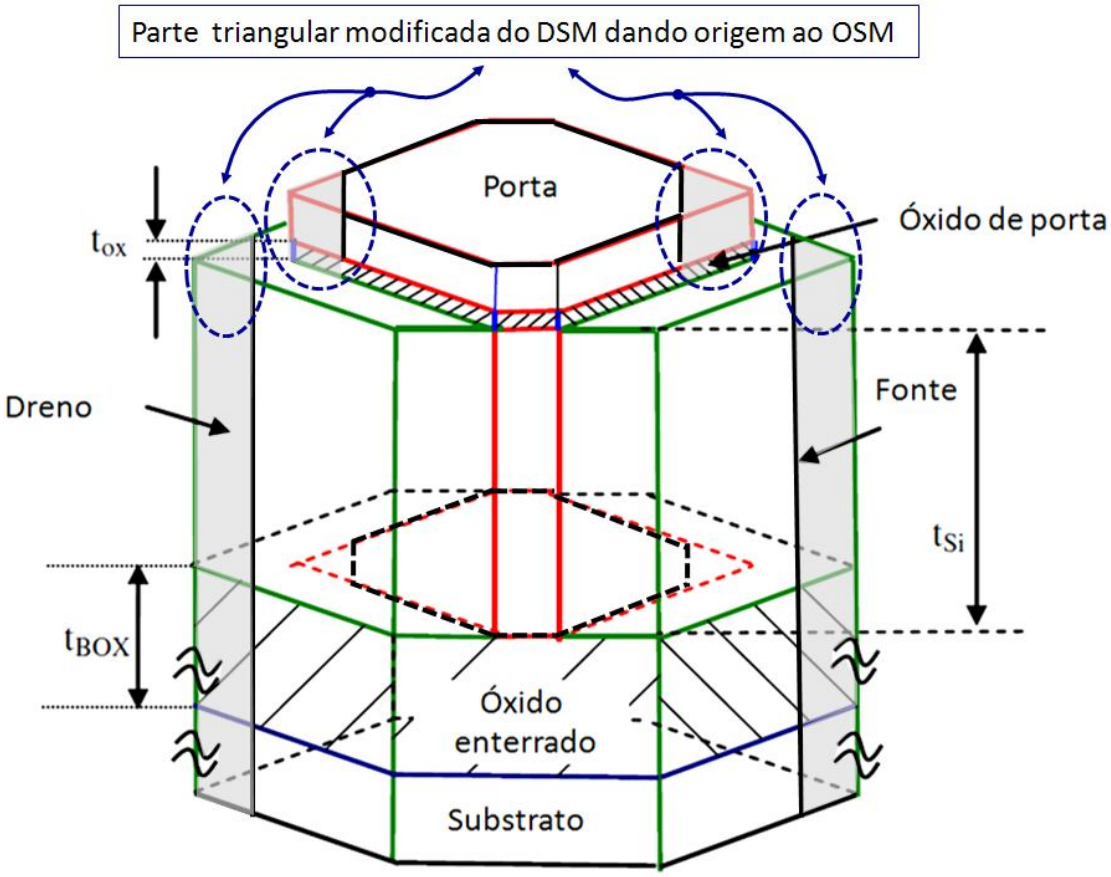


Figura 21. Estrutura 3D do OCTO SOI MOSFET gerado a partir do DSM.

Fonte: Autor “adaptado de” [14].

As variáveis envolvidas no dimensionamento do dispositivo OSM são visualizadas na Figura 22.

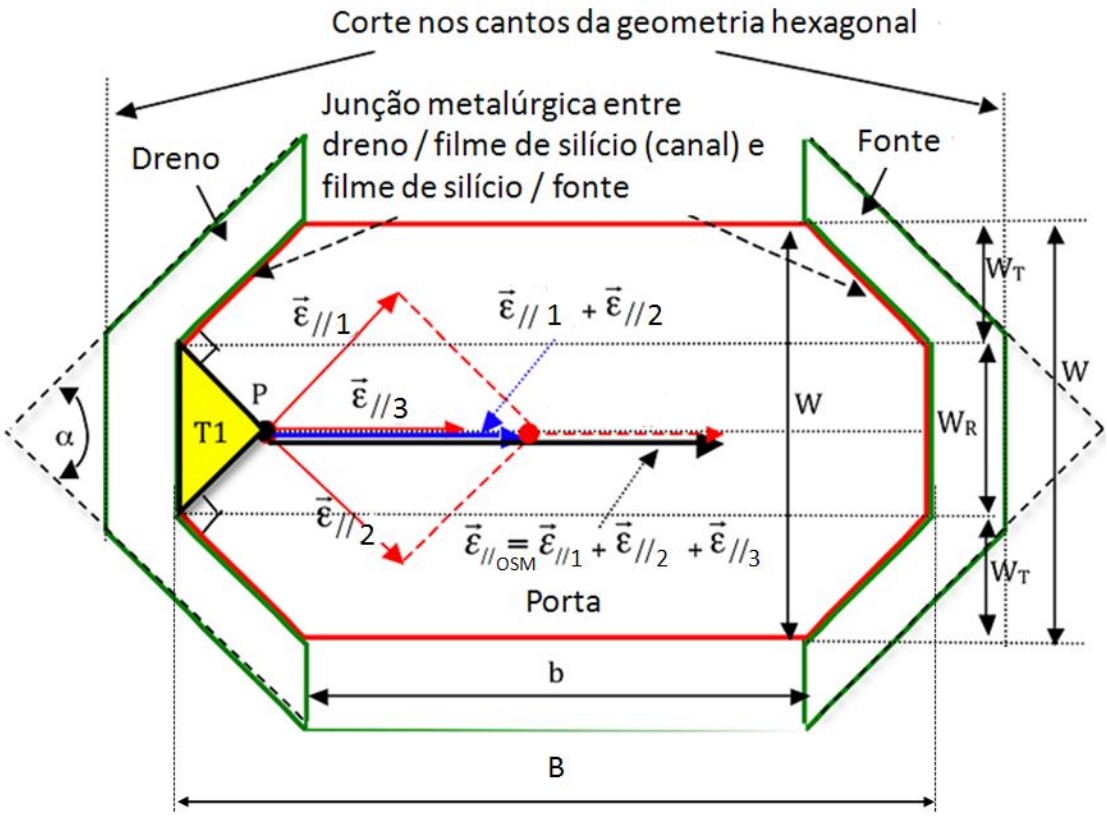


Figura 22. Exemplo de leiaute do OSM.

Fonte: Autor "adaptado de" [15].

Na Figura 22, *b* e *B*, representam a menor e maior distância entre a região de dreno e fonte respectivamente, $W_T = \{[(B-b)/2]\tan(\alpha/2)\}$ e $W_R = (W - 2W_T)$ [14], representam a largura do canal da parte trapezoidal e retangular que compõem o canal de geometria octogonal (OGG), respectivamente. A largura do canal é dada por $W = (W_R + 2W_T)$. O α representa o ângulo da geometria hexagonal que dá origem ao leiaute do OSM e os vetores do campo elétrico longitudinal paralelo são representados pelos $(\overrightarrow{\varepsilon_{//1}} + \overrightarrow{\varepsilon_{//2}} + \overrightarrow{\varepsilon_{//3}})$ [15].

O circuito elétrico equivalente da estrutura OCTO, pode ser representado por três transistores conectados em paralelo, com dois deles definidos com geometria de porta trapezoidal, em que o comprimento equivalente de canal é dado por $L_{EQ_T} \cong [(B + b)/2]$ e o outro com geometria de porta retangular, em que o comprimento equivalente de canal é dado por $L_{EQ_R} = B$. Em uma primeira aproximação (de primeira ordem), o comprimento equivalente do canal do OSM é dado pela média dos comprimentos da região trapezoidal e retangular, ou seja, $L_{EQ_OSM} \cong [(2B + b)/3]$ [15].

3 MODELAGEM DO COMPRIMENTO EQUIVALENTE DE CANAL (L_{EQ}) PARA O DISPOSITIVO OCTO SOI MOSFET

Este capítulo tem por objetivo apresentar um modelo matemático para o cálculo do comprimento equivalente de canal (L_{EQ}) para o OCTO SOI MOSFET, baseando-se nas características elétricas de transistores em paralelo a fim de compará-lo com o modelo desenvolvido pela referência [14].

3.1 Modelo para Obtenção do Comprimento Efetivo de Canal do OSM

O comprimento de canal juntamente com a largura do dispositivo são os dois principais parâmetros físicos que interferem no comportamento do dispositivo, e a razão entre eles (W/L) define o fator geométrico do MOSFET [17]. Normalizações da corrente de dreno (I_{DS}) em função do fator geométrico são comumente utilizadas para eliminar a influência geométrica do dispositivo.

Sendo assim, é proposto um modelo de cálculo do comprimento equivalente de canal bem elaborado e teoricamente mais preciso do que o modelo indicado pela equação (3.1), desenvolvido pela referência [15];

$$L_{EQ_OSM} \cong [(2B + b)/3] \tag{3.1}$$

Vale ressaltar que L_{EQ} representa o comprimento resultante do canal.

A Figura 23 apresenta o leiaute da estrutura OCTO gerado a partir da estrutura do Diamante com as principais dimensões para o desenvolvimento do comprimento de canal equivalente (L_{EQ}). Como o dispositivo OSM é uma evolução do dispositivo DSM, as considerações baseiam-se na estrutura geométrica do dispositivo DSM. Note que a região de porta da estrutura OCTO pode ser representada pela composição de quatro transistores de geometrias diferentes, ou seja, dois com formato trapezoidal e dois com formato retangular.

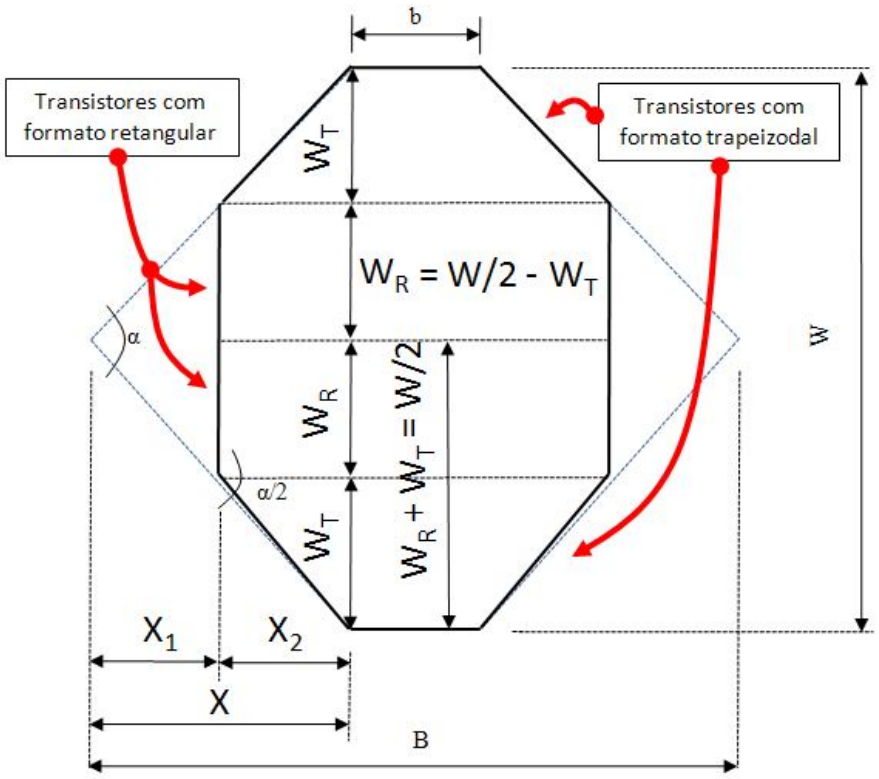
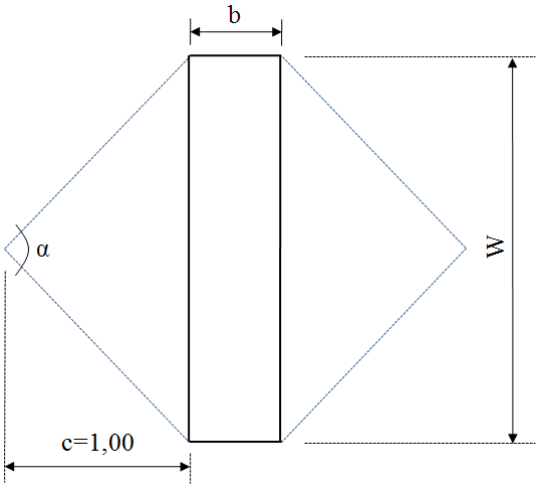
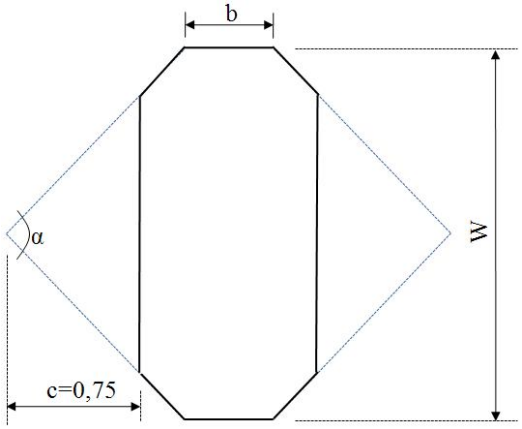


Figura 23. Estrutura do OCTO criado a partir da estrutura do Diamante para cálculo do comprimento equivalente do canal, considerando (c)=50% e α=90°.

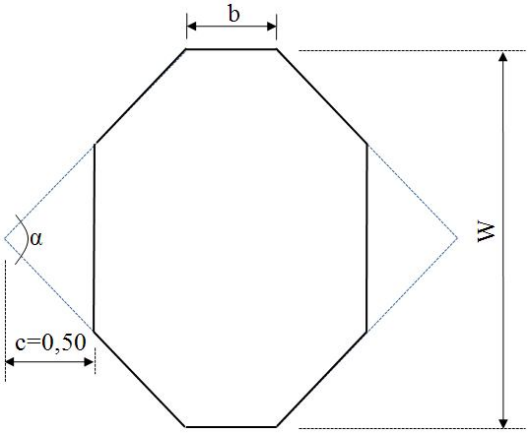
Na Figura 23, b e B representam a base menor e base maior dos trapézios presentes na estrutura, a largura do canal é representada por W e as larguras intrínsecas (transistores em paralelo que compõem o OCTO) da estrutura são representadas por W_T (largura do transistor de formato trapezoidal) e W_R (largura do transistor de formato retangular). X_1 representa a dimensão da região triangular da estrutura do Diamante, que define as interfaces entre a região de fonte e a região de canal e a região de canal com a região de dreno, que deve ser removida para gerar o OSM, x_1 é igual a c.x, onde c é definida como fator de corte ($0 \leq c \leq 1$) que multiplica x, determinando o quanto deve ser cortada a estrutura hexagonal para gerar a estrutura octogonal. Enquanto x é a altura da região triangular que define a interface das regiões de fonte e região de canal e região de canal com a região de dreno. X_2 é igual a (1-c).x e representa a região que deve ser mantida para gerar a estrutura octogonal. Ao considerar c=0, ou seja, sem nenhum corte, resulta em uma estrutura DSM, considerando c=1, ou seja, uma estrutura onde o corte é máximo resulta em uma estrutura CSM, conforme pode ser observado na Figura 24, considerando um ângulo fixo de α de 90°.



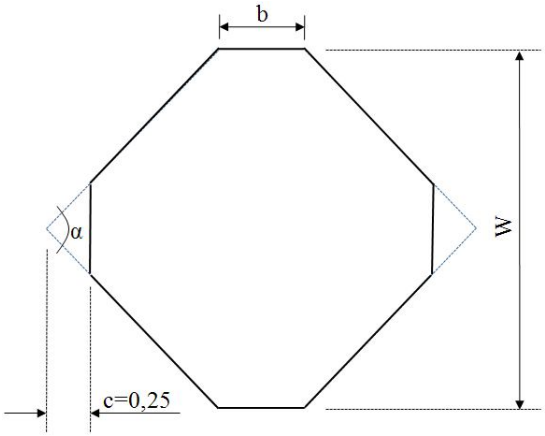
(a) Convencional



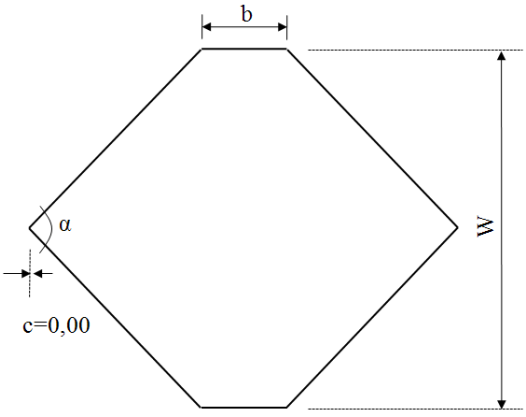
(b) OCTO com c= 0,75



(c) OCTO com c= 0,50



(d) OCTO com c= 0,25



(e) Diamante

Figura 24. Diferentes estruturas de MOSFETs considerando diferentes fatores de corte c.

Considere uma estrutura do formato octogonal composta por quatro (4) transistores em paralelo. Representado por dois transistores de formato trapezoidal e por dois transistores de formato retangular, conforme mostra a Figura 25.

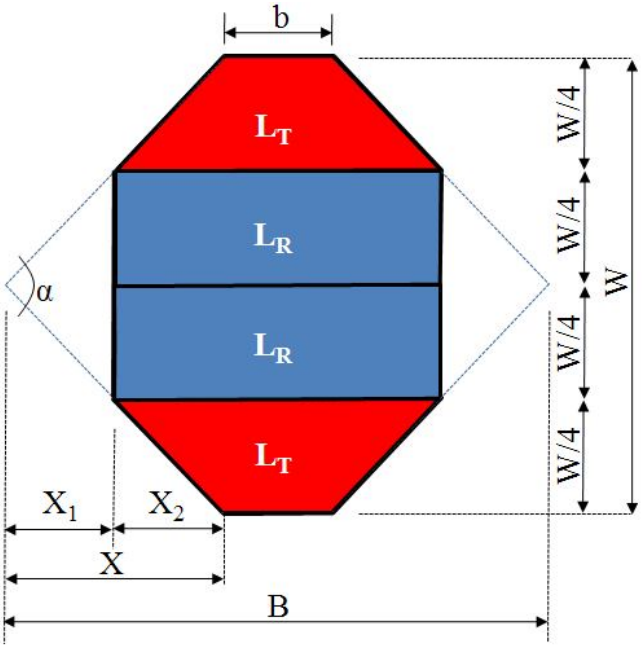


Figura 25. Representação dos 4 transistores que formam a estrutura octogonal.

O comprimento de canal dos transistores de formato retangular (L_R) que compõem o transistor octogonal é dado pela equação (3.2):

$$L_R = [(2X_2) + b] \tag{3.2}$$

E o comprimento de canal dos transistores de formato trapezoidal (L_T) que compõem o transistor octogonal pode ser determinado como sendo a média entre a maior e a menor dimensão dos transistores de formato trapezoidal e é dado pela equação (3.3):

$$L_T = \frac{[(2X_2 + b) + b]}{2} = \frac{2X_2 + 2b}{2} = X_2 + b \tag{3.3}$$

Dessa forma, o fator geométrico (W/L_{EQ}) da associação paralela dos 4 MOSFETS que representam a estrutura octogonal em paralelo, neste caso em particular é dado pela equação (3.4):

$$\frac{W}{L_{EQ}} = \frac{W/4}{L_T} + \frac{W/4}{L_R} + \frac{W/4}{L_R} + \frac{W/4}{L_T} \tag{3.4}$$

A partir da equação (3.4), pode-se determinar o comprimento equivalente do OSM, representado pela equação (3.5):

$$L_{EQ} = \frac{4}{2}\frac{1}{\left(\frac{1}{L_R} + \frac{1}{L_T}\right)} \tag{3.5}$$

Substituindo-se as equações (3.2) e (3.3) em (3.5), o L_{EQ} é dado pela equação (3.6):

$$L_{EQ} = \frac{2}{\frac{1}{(2X_2+b)} + \frac{1}{(X_2+b)}} \tag{3.6}$$

Visando a facilidade de obtenção do comprimento equivalente do canal, a equação (3.6) pode ser reescrita em função dos parâmetros W, b, c e α.

Pela análise geométrica da Figura 22, pode-se obter o valor X= X_1 + X_2 e é dado equação (3.7):

$$X_1 + X_2 = \frac{W/2}{\tan(\alpha/2)} \tag{3.7}$$

Mas X_1 é dada pela equação (3.8);

$$X_1 = c(X_1 + X_2) = cX \tag{3.8}$$

Onde c é o fator de corte da região triangular da estrutura hexagonal do Diamante para formar o MOSFET octogonal.

Desenvolvendo-se a equação (3.8) e isolando o valor de X_2 temos:

$$X_2 = \frac{X_1(1-c)}{c} \tag{3.9}$$

Substituindo a equação (3.7) na equação (3.8) e isolando X_1 observa-se:

$$X_1 = \frac{W/2}{\tan(\alpha/2)} \cdot \frac{1}{1 + \frac{(1-c)}{c}}$$

$$X_1 = \frac{W/2}{\tan(\alpha/2)} \cdot c \tag{3.10}$$

Substituindo a equação (3.10) na equação (3.9), resulta-se:

$$X_2 = \left(\frac{W/2}{\tan(\alpha/2)}\right)(1-c) \tag{3.11}$$

Logo a fórmula do comprimento equivalente do canal do OSM (L_{EQ}), pode ser obtida em função de W, b, c e α, conforme descrito na equação (3.12):

$$L_{EQ} = \frac{2}{\frac{1}{\left\{2\left[\left(\frac{W/2}{\tan(\alpha/2)}\right)(1-c)\right]+b\right\}} + \frac{1}{\left\{\left[\left(\frac{W/2}{\tan(\alpha/2)}\right)(1-c)\right]+b\right\}}} \tag{3.12}$$

Comparando-se a equação completa do L_{EQ} do OSM dada pela equação (3.12) com o modelo proposto pela referência [14] [equação (3.1)], através da Tabela 1, pode-se verificar que o erro máximo entre os valores obtidos para o comprimento de canal é de aproximadamente 2,7%, o que valida e qualifica a equação proposta pela referência [14] que é mais simples e de fácil utilização que a proposta na equação (3.12).

Tabela 1. Comparação entre o novo procedimento para obtenção do comprimento equivalente do canal pelo apresentado pela referência.

W	B_{DSM}	B_{ref}	b	α	corte	L_{EQ} - proposto	L_{EQ} - ref.	Erro (%)
[µm]	[µm]	[µm]	[µm]	[°]	[%]	[µm]	[µm]	---
30	65	50	5	53,1	25	35,504	35,000	1,419
30	35	27,5	5	90	25	20,428	20,000	2,095
30	20,3	16,5	5	126,9	25	12,840	12,667	1,347
30	65	35	5	53,1	50	25,480	25,000	1,884
30	35	20	5	90	50	15,400	15,000	2,597
30	20	12,5	5	126,9	50	10,280	10,000	2,724
30	65	20	5	53,1	75	15,400	15,000	2,597
30	35	12,5	5	90	75	10,280	10,000	2,724
30	21	9	5	126,9	75	7,680	7,660	0,173

4 MODELAGEM DA TRANSFORMAÇÃO TOPOLÓGICA DE UM DISPOSITIVO SOI MOSFET CONVENCIONAL PARA DIAMANTE SOI MOSFET

Este capítulo tem por objetivo apresentar uma metodologia de conversão topológica de um transistor de leiaute convencional para um dispositivo de leiaute do tipo Diamante. Este processo foi consolidado e automatizado através de uma planilha de conversão topológica.

4.1 Desenvolvimento do Processo para Transformação de um Dispositivo MOSFET Convencional em Diamante

Visando difundir a utilização das inovadoras estruturas propostas neste capítulo, é desenvolvida uma metodologia de transformação de uma topologia convencional (CSM) para uma em formato de porta hexagonal (DSM). A metodologia baseia-se em manter a área de porta constante desses dispositivos, mudando-se apenas o formato da geometria de porta de retangular para hexagonal, além de adotar a premissa de ao alterar o ângulo α do dispositivo DSM, o b deve ser mantido constante e igual a menor dimensão permitida pela tecnologia de fabricação do circuito integrado.

Para ilustrar este desenvolvimento, partindo-se de uma topologia convencional definindo-se a largura (W) e o comprimento (L) iguais a 40µm, conforme apresentado na Figura 26.

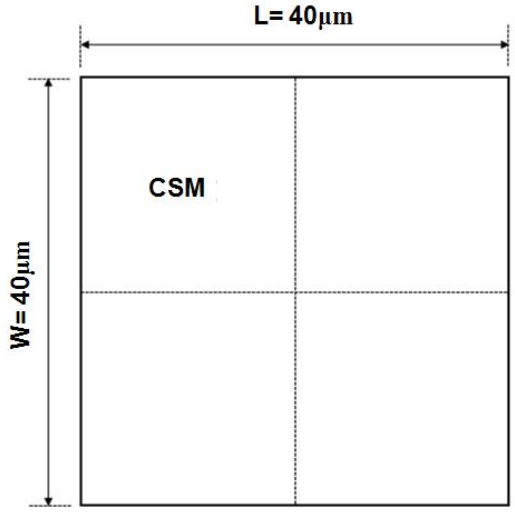


Figura 26. Região de porta de um SOI MOSFET convencional (CSM) de porta retangular

Como a premissa é de manter a mesma área de porta, inicialmente calcula-se a área da estrutura CSM (A_{CSM}), conforme equação (4.1).

$$A_{CSM} = W \cdot L = 40 \times 40 = 1600\,\mu m^2 \tag{4.1}$$

O próximo passo é igualar a área do dispositivo CSM com a área de porta da estrutura do DSM (A_{DSM}), conforme equação (4.2).

$$A_{CSM} = A_{DSM} \tag{4.2}$$

Na próxima etapa, adota-se a mesma largura de canal para ambas as topologias ($W_{CSM} = W_{DSM}$), que neste exemplo é considerada igual a 40 μm. Posteriormente, adota-se o ângulo α igual a 126,9°.

A área de porta do primeiro DSM (A_{DSM}) pode ser representada pelas áreas de dois trapézios, como indicado na Figura 27 e dado pela equação (4.3).

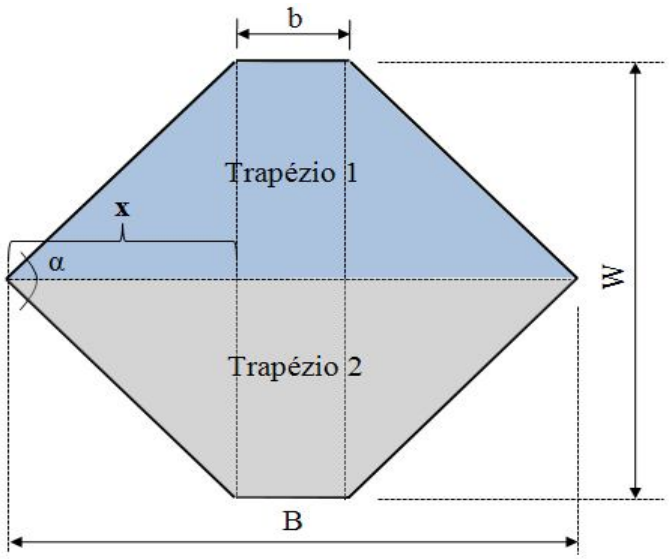


Figura 27. Estrutura DSM, para obtenção da área e demais parâmetros

Na Figura 27, b e B representam a base menor e maior dos trapézios que compõem a forma hexagonal de porta, respectivamente. W é a largura do canal. O ângulo α representa o

ângulo da junção metalúrgica entre as regiões de dreno e canal e canal e fonte. A dimensão x, é a altura da região triangular de canal que interfaceia as regiões de fonte e dreno.

$$A_{DSM} = 2\left[\left(\frac{B + b}{2}\right)h\right] \tag{4.3}$$

Com o objetivo de manter a equação (4.3) apenas em função das principais características geométricas (W, α e b), B é dado pela equação (4.4):

$$B = 2x + b \tag{4.4}$$

Onde x é dado pela equação (4.5):

$$x = \frac{W/2}{\tan(\alpha/2)} \tag{4.5}$$

Substituindo a equação (4.5) na equação (4.4), obtem-se o valor de B em função de W, α e b, conforme é mostrado na equação (4.6).

$$B = \frac{W}{\tan(\alpha/2)} + b \tag{4.6}$$

Substituindo a equação (4.6) na equação (4.3), e substituindo h pelo seu equivalente temos:

$$A_{DSM} = 2\left\{\left[\left(\frac{\left(\frac{W}{\tan(\alpha/2)} + b\right) + b}{2}\right)\right]\frac{W}{2}\right\} \tag{4.7}$$

Ao igualar a equação (4.7) com a área do CSM, a única incógnita é o valor de b, sendo facilmente obtido. Com o valor de b e substituindo-se na equação (4.6), determina-se o valor

de B. Com estes dados pode-se construir a estrutura do DSM, conforme visualizado através da Figura 28.

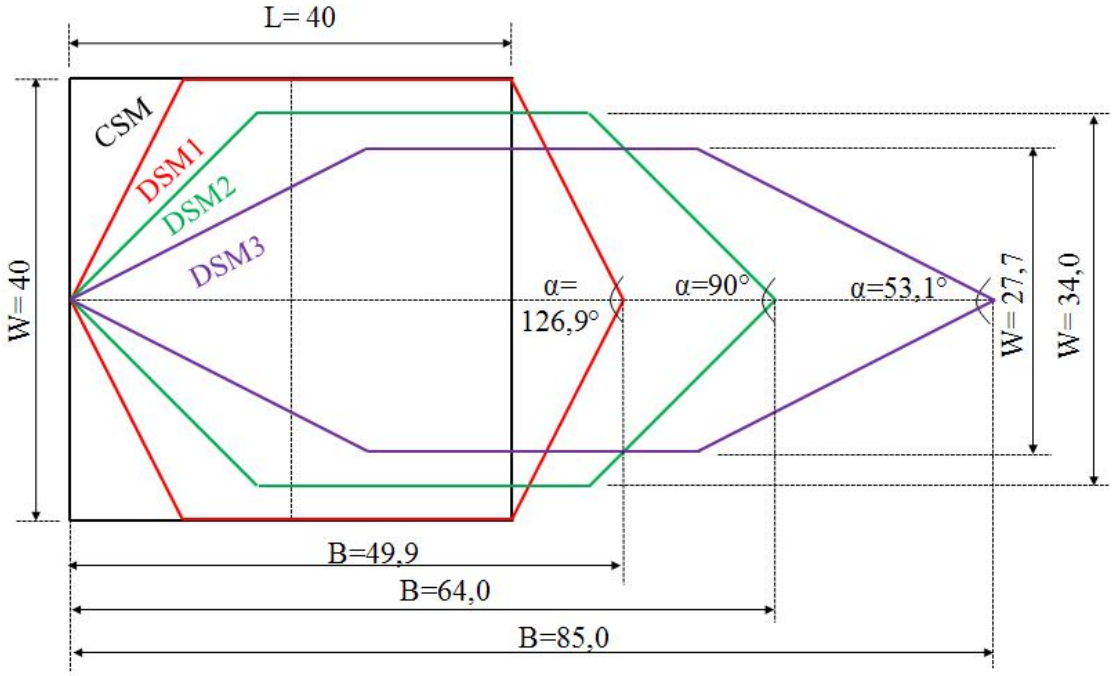


Figura 28. Representação das estruturas CSM e DSM, preservando-se a mesma área de porta.

Como pode ser visto analisando-se a Figura 28, ao diminuir o ângulo α da estrutura DSM e mantendo-se o b constante, o valor de B aumenta e o valor de W diminui. Repare que em todos os casos a área de porta das diferentes estruturas é a mesma e é igual a 1600μm².

A Figura 28 também indica que quanto maior o ângulo α do dispositivo DSM, mais o mesmo se aproxima de uma topologia CSM.

Para definir as demais estruturas DSMs, deve-se utilizar o mesmo valor de b, obtido anteriormente e com os novos valores do ângulo α, como por exemplo α igual a 90° e 53,1° e utilizando-se a equação (4.7), podem-se obter os novos valores de W. Com o novo valor de W, através da equação (4.6), podem-se obter os novos valores de B e consequentemente podem-se definir as novas estruturas DSMs, conforme mostra a Tabela 2.

Tabela 2. Planilha de Excel utilizada para transformar a topologia de leiaute CSM em DSM

PLANILHA DE TRANSFORMAÇÃO TOPOLÓGICA CSM - DSM

	Comprimento	Largura	Menor distância	Maior distância	Ângulo	Área
Estruturas	L [µm]	W [µm]	b [µm]	B [µm]	α [°]	A [µm²]
CSM	40	40	---	---	---	1600
DSM1	---	40	30,0066	49,9934	126,9	1600
DSM2	---	34,0278	30,0066	64,0343	90	1600
DSM3	---	27,712	30,0066	85,4669	53,1	1600

Variáveis de entrada

Valores calculados

5 MEDIDAS EXPERIMENTAIS E RESULTADOS

Este capítulo é dedicado a apresentação dos resultados experimentais comparativos dos principais parâmetros analógicos e digitais dos dispositivos CSM, DSM e OSM, considerando as mesmas condições de polarização entre os dispositivos OSM, DSM e OSM, além da mesma área de porta (A_G) entre os dispositivos OSM e CSM, e o mesmo fator geométrico entre os dispositivos OSM e DSM.

Os dados foram obtidos através de medições realizadas a temperatura ambiente com a utilização do equipamento Keithley 4200.

5.1 Dispositivos utilizados

Os dispositivos foram desenvolvidos no Centro Universitário da FEI e fabricados no Laboratório de Microeletrônica da Universidade Católica de Louvain na Bélgica (*Université catholique de Louvain* UCL), utilizando-se a tecnologia SOI MOSFET de 0,5µm.

Os principais parâmetros tecnológicos desses dispositivos são: t_{ox}, t_{Si} e t_{BOX} iguais a 30nm, 80nm e 390nm respectivamente. E com concentrações na região de canal e dreno/fonte iguais a $6x10^{16}$ e $1x10^{20}cm^{-3}$, respectivamente.

A Tabela 3 sumariza as principais dimensões dos diferentes SOI nMOSFETs utilizados, em função de suas topologias (CSM, DSM e OSM), das variações dos ângulos α (53,1°, 90° e 126,9°) e do fator de corte (c) empregado (25%, 50% e 75%) para o dispositivo OSM.

Tabela 3. Dispositivos utilizados e suas dimensões para a realização do estudo comparativo entre o DSM, OSM e CSM.

Linha	Topologia	Transistor	Corte "c"	Ângulo	W	L_{EQ}	(W/L)	b	B	Área de porta
	---	---	[%]	graus [°]	[µm]	[µm]	---	[µm]	[µm]	µm²
01	DSM	TR57	0	53,1	30	35	0,86	5	65	1050
02	OSM	TR18	25	53,1	30	35	0,86	5	50	825
03	CSM	TR3	---	180	30	27,5	1,09	---	---	825
04	OSM	TR20	50	53,1	30	25	1,2	5	35	600
05	CSM	TR19	---	180	30	20	1,5	---	---	600
06	OSM	TR5	25	90	30	20	1,5	5	27,5	486
07	CSM	TR2	---	180	30	16,2	1,85	---	---	486
08	OSM	TR46	75	53,1	30	15	2	5	20	375
09	CSM	TR39	---	180	30	12,5	2,4	---	---	375
10	OSM	TR4	25	126,9	30	12,67	2,37	5	16,5	324
11	CSM	TR1	---	180	30	10,8	2,79	---	---	324
12	OSM	TR22	50	126,9	30	10	3	5	12,5	264
13	CSM	TR11	---	180	30	8,8	3,41	---	---	264

Como a largura de canal (W) é fixa e igual a 30µm, para os dispositivos OSM manterem a mesma área de porta do equivalente CSM os respectivos comprimentos equivalentes de canal (L_{EQ}) sofreram um aumento em função do ângulo α e do fator de corte (c).

A Figura 29 representa uma imagem do circuito integrado utilizado fabricado na UCL, com as diferentes topologias (CSM, DSM e OSM) e dimensões.

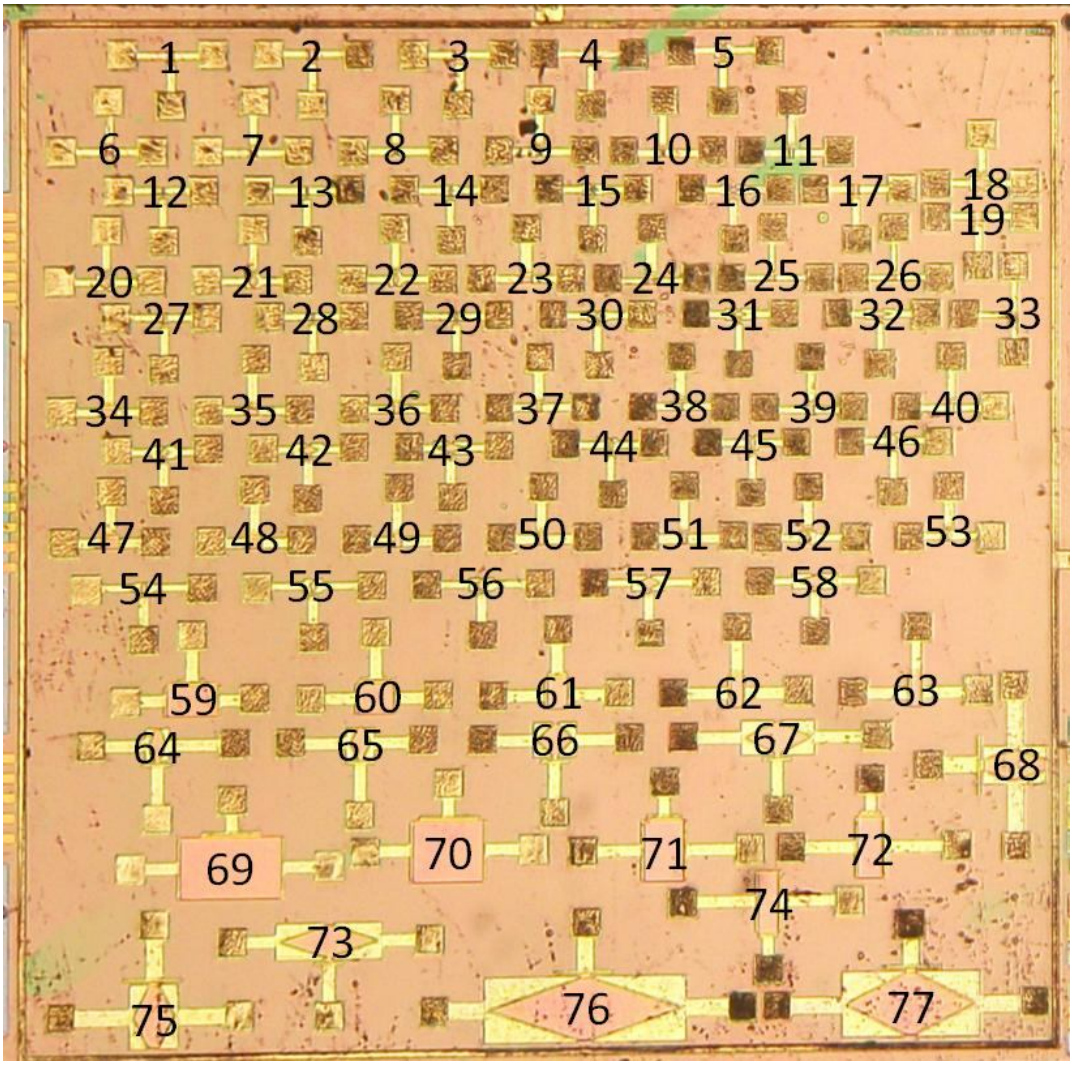


Figura 29. Imagem do circuito integrado fabricado na UCL com os diferentes dispositivos CSM, OSM e DSM utilizados para a realização deste estudo comparativo.

5.2 Tensão de limiar (V_{TH})

A Tabela 4 apresenta os valores das tensões de limiar (V_{TH}) obtidas para cada dispositivo a partir do valor máximo da segunda derivada das curvas da corrente de dreno (I_{DS}) em função da tensão de porta (V_{GS}), considerando-se V_{DS} igual a10 mV.

Tabela 4. Tensões de limiar extraídas dos dispositivos utilizados para a realização do estudo comparativo

Linha	Topologia	Transistor	Corte "c"	Ângulo	V_{TH}
	---	---	[%]	graus [°]	[V]
01	DSM	TR57	0	53,1	0,2865
02	OSM	TR18	25	53,1	0,2928
03	CSM	TR3	---	180	0,3348
04	OSM	TR20	50	53,1	0,2834
05	CSM	TR19	---	180	0,2523
06	OSM	TR5	25	90	0,2834
07	CSM	TR2	---	180	0,2834
08	OSM	TR46	75	53,1	0,2990
09	CSM	TR39	---	180	0,2600
10	OSM	TR4	25	126,9	0,2632
11	CSM	TR1	---	180	0,2600
12	OSM	TR22	50	126,9	0,2583
13	CSM	TR11	---	180	0,1400
				V_{TH} médio	0,2798

Os dispositivos CSM, DSM, e OSM apresentaram valores médios de tensão de limiar de 0,2798V, onde o desvio máximo encontrado em torno do valor médio foi de 19,68% (Obs: o valor de V_{TH} do dispositivo TR11 não entrou nos cálculos). Este desvio pode ser justificado pelo fato do processo de fabricação da UCL não ser comercial e sim de um laboratório universitário.

5.3 Corrente de dreno normalizada pelo fator geométrico [I_{DS}/(W/L)] em função da sobretensão de porta (V_{GT}= V_{GS}-V_{TH}) na região de triodo

A Figura 30 relaciona a corrente de dreno (I_{DS}) dos dispositivos SOI MOSFETs convencional, diamante e em formato octogonal normalizadas por (W/L) (para eliminar a influência do fator geométrico dos dispositivos no resultado), em função da sobre tensão de porta $(V_{GT} = V_{GS} - V_{TH})$ (para eliminar as diferenças das tensões de limiar dos diferentes dispositivos). Cada dispositivo é apresentado em função do fator de corte (c) dado em percentual (%), assim como o ângulo da junção metalúrgica α (°).

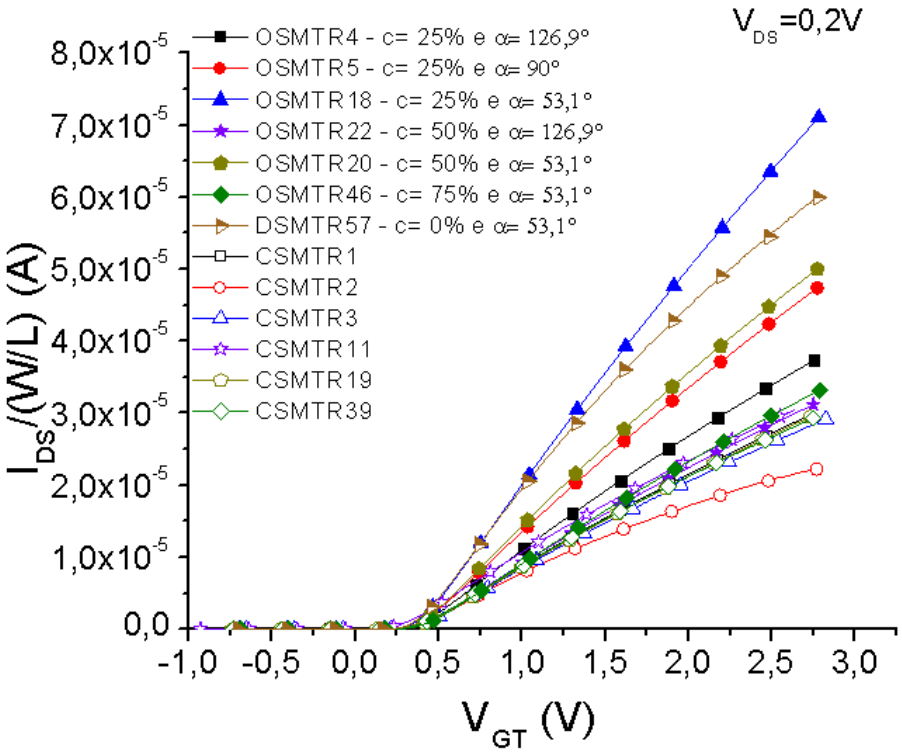


Figura 30. Curvas experimentais de I_{DS} / (W/L) em função de V_{GT} para os diferentes dispositivos CSM, DSM e OSM estudados.

Analisando o gráfico de $I_{DS}/\ (W/L)$ em função de V_{GT} da Figura 30, nota-se que quase em sua totalidade (com exceção do dispositivo OSM de 126,9° e fator de corte (c) igual a 50%), os dispositivos OSM apresentaram valores de $I_{DS}/\ (W/L)$ superiores aqueles observados nos equivalentes CSM, considerando-se a mesma área de porta (A_G) e condições de polarização. Isto pode ser justificado devido ao maior campo elétrico longitudinal presente na estrutura OCTO em comparação ao equivalente CSM. Este comportamento será comprovado ao analisar a tensão Early resultante na estrutura, em que, quanto maior o campo elétrico longitudinal resultante, maior será a modulação do comprimento do canal o que poderá consequentemente, vir a degradar substancialmente o valor da tensão Early.

A formação do campo elétrico no dispositivo OSM é exemplificada da seguinte maneira, o dispositivo OSM pode ser considerado eletricamente como a associação paralela de vários transistores (dado por N), de mesma largura de canal (dada por W/N) e com diferentes comprimentos de canal (com valores variando entre b e B). Devido a estas considerações, a geometria de porta octogonal permite um maior fluxo de corrente de dreno (I_{DS}) pelas extremidades (transistores com menor comprimento de canal L) do que pelo centro (transistores com maiores comprimentos de canal L) da região de canal, adicionalmente ao

comportamento oriundo da influência do LCE (longitudinal corner effect) também presente na estrutura, que força a corrente de dreno (I_{DS}) a fluir mais pelo centro do canal. O efeito ligado a associação paralela de transistores com diferentes comprimentos de canal sobre a corrente de dreno (I_{DS}) é definido e nomeado aqui como PATDCLE (**p**arallel **a**ssociation of **t**ransistors with **d**ifferent **c**hannel **l**enghts). Portanto, no estilo de leiaute OCTO ocorrem dois efeitos simultaneamente (LCE e PATDCLE), o que melhora significativamente a corrente de dreno quando comparado com o transistor equivalente convencional (CSM), considerando a mesma área de porta e condições de polarização.

Os gráficos comparativos dos dispositivos OSM com os respectivos equivalentes CSM (de mesma área de porta) são apresentados nas Figuras de 31 até 36. Em cada gráfico foram inseridas setas que indicam a região ou ponto de obtenção da $I_{DS}/\ (W/L)$ para $V_{GT} = 2{,}5\ V$, assim como o ganho percentual da corrente de dreno normalizada em função do fator geométrico (f_g) entre os dispositivos citados.

A Figura 31 apresenta as curvas de I_{DS}/(W/L) em função de V_{GT} dos SOI nMOSFET Diamante e OCTO com ângulo α igual a 53,1° e o convencional equivalente ao OCTO (mesma área de porta).

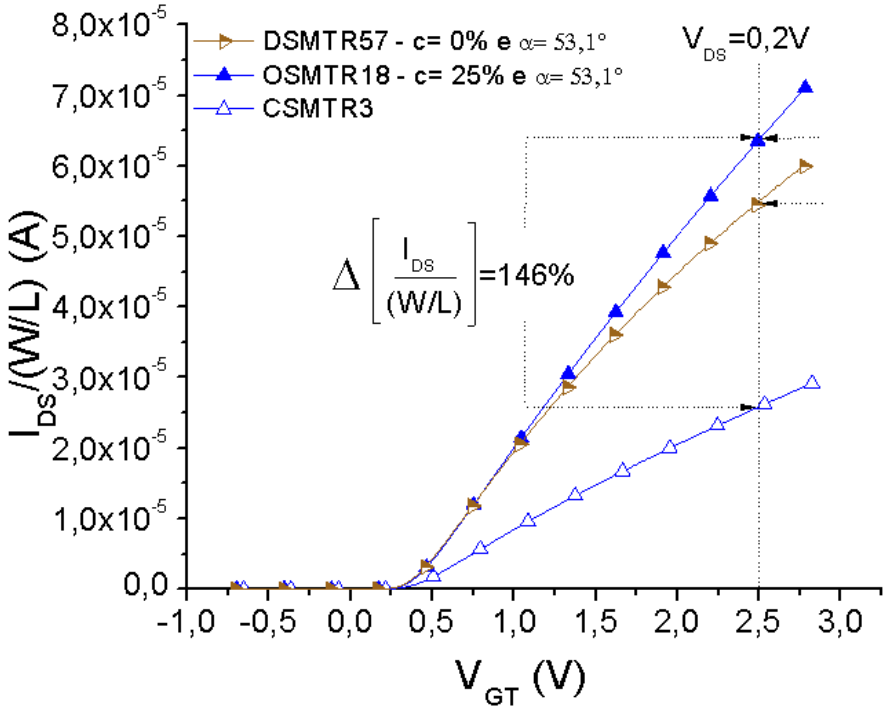


Figura 31. Curvas experimentais de I_{DS} / (W/L) em função de V_{GT} para os dispositivos DSM (c= 0% e α= 53,1°), OSM (c= 25% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 31, $\Delta\left[\frac{I_{DS}}{(W/L)}\right]$ indica a variação do valor de $I_{DS}/(W/L)$ entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Considerando a região de triodo e analisando a corrente de dreno normalizada em função do fator geométrico (f_g) para $V_{GT} = 2{,}5\,V$, o dispositivo OSM apresentou um valor 146% superior ao seu equivalente CSM, considerando-se a mesma área de porta e condições de polarização. Como comentado anteriormente, este comportamento deve-se a influência e interação entre o LCE e PATDCLE, que promovem o incremento do campo elétrico longitudinal $\overrightarrow{(\varepsilon_{//})}$.

Vale ressaltar que a corrente de dreno normalizada pelo fator geométrico do dispositivo OSM apresentou um valor 16% maior quando comparado ao dispositivo DSM equivalente, considerando-se o mesmo fator geométrico (W/L) e condições de polarização. Isso pode ser justificado pelo maior campo elétrico longitudinal resultante presente na estrutura OCTO devido à influência do terceiro campo elétrico longitudinal $\overrightarrow{\varepsilon_{//3}}$. A Tabela 5 sumariza a comparação realizada entre esses dispositivos, considerando a estrutura CSM como referência.

Tabela 5. Tabela comparativa de I_{DS} / (W/L) para V_{GT}= 2,5V, na região de triodo entre a referência CSM e os dispositivos DSM (c= 0% e α= 53,1°) e OSM (c= 25% e α= 53,1°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	I_{DS}/(W/L) na reg. de triodo	
	---	---	%	graus (°)	µm²	---	A	Ganho %
01	DSM	TR57	0	53,1	1050	0,86	5,513E-05	113%
02	OSM	TR18	25	53,1	825	0,86	6,378E-05	146%
03	CSM	TR3	---	---	825	1,09	2,591E-05	0%

A Figura 32 apresenta as curvas de $I_{DS}/(W/L)$ em função de V_{GT} dos SOI nMOSFET OCTO com ângulo α igual a 90° e o convencional equivalente (mesma área de porta).

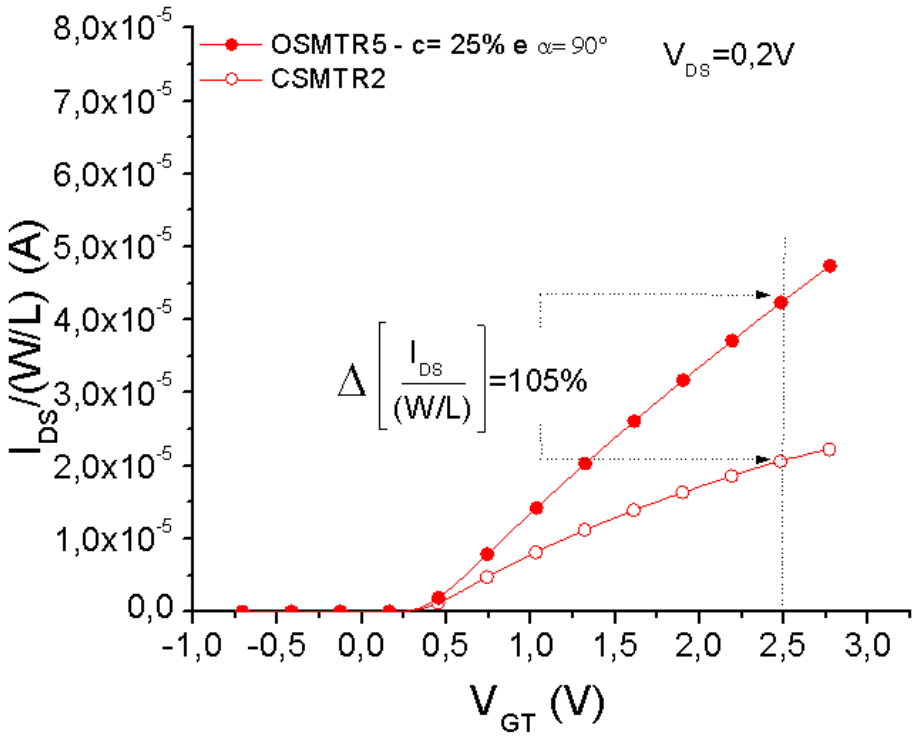


Figura 32. Curvas experimentais de I_{DS} / (W/L) em função de V_{GT} para os dispositivos OSM (c= 25% e α= 90°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 32, $\Delta\left[\frac{I_{DS}}{(W/L)}\right]$ indica a variação do valor de I_{DS}/(W/L) entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Considerando a região de triodo e analisando a corrente de dreno normalizada em função do fator geométrico (f_g) para $V_{GT} = 2{,}5\,V$, o dispositivo OSM apresentou um valor 105% superior ao seu equivalente CSM, considerando-se a mesma área de porta e condições de polarização. Isso pode ser justificado devido aos efeitos do LCE e PATDCLE, que incrementam o campo elétrico longitudinal resultante. A Tabela 6 sumariza a comparação realizada entre esses dispositivos, considerando a estrutura CSM como referência.

Tabela 6. Tabela comparativa de I_{DS} / (W/L) para V_{GT}= 2,5V, na região de triodo entre a referência CSM e o dispositivo OSM (c= 25% e α= 90°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	I_{DS}/(W/L) na reg. de triodo	
	---	---	%	graus (°)	µm²	---	A	Ganho %
06	OSM	TR5	25	90	486	1,5	4,271E-05	⇧ 105%
07	CSM	TR2	---	---	486	1,85	2,081E-05	---

A Figura 33 apresenta as curvas de I_{DS}/(W/L) em função de V_{GT} dos SOI nMOSFET OCTO com ângulo α igual a 126,9° e o convencional equivalente (mesma área de porta).

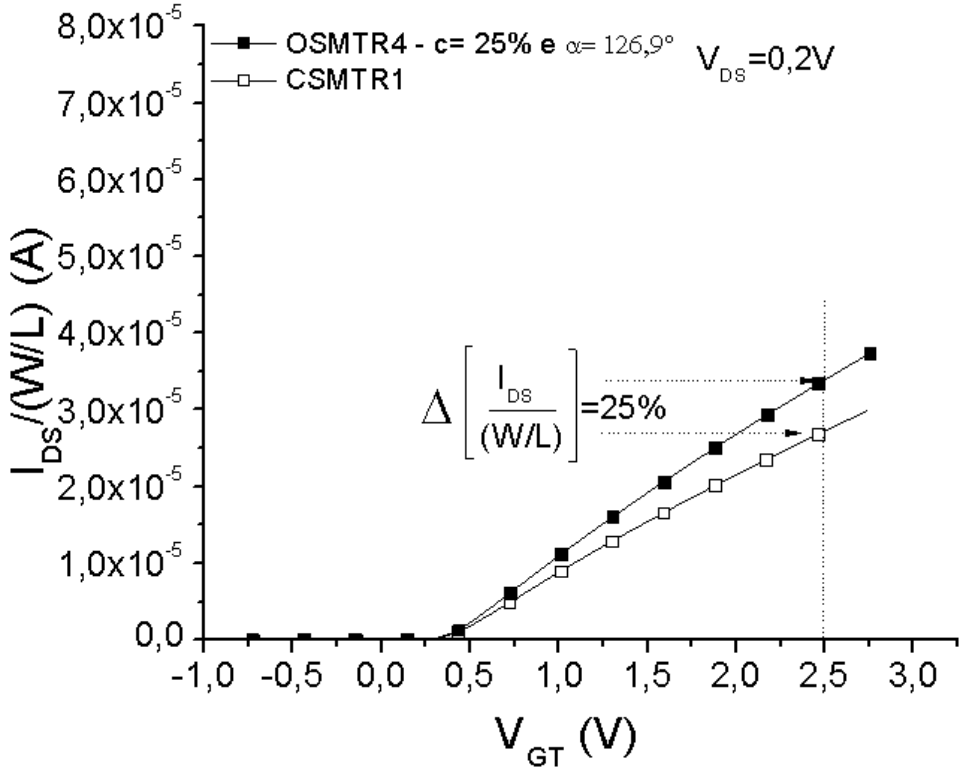


Figura 33. Curvas experimentais de I_{DS} / (W/L) em função de V_{GT} para os dispositivos OSM (c= 25% e α= 126,9°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 33, $\Delta\left[\frac{I_{DS}}{(W/L)}\right]$ indica a variação do valor de I_{DS}/(W/L) entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Considerando a região de triodo e analisando a corrente de dreno normalizada em função do fator geométrico (f_g) para $V_{GT} = 2{,}5\,V$, o dispositivo OSM apresentou um valor 25% superior ao seu equivalente CSM, considerando-se a mesma área de porta e condições de polarização. Este comportamento é justificado devido ao efeito de canto longitudinal (LCE) e da associação paralela de transistores com diferentes comprimentos de canal (PATDCLE), que incrementa o campo elétrico longitudinal resultante, conforme diminui o ângulo α, observa-se uma maior influência do LCE e PATDCLE. A Tabela 7 sumariza a comparação realizada entre esses dispositivos, considerando a estrutura CSM como referência.

Tabela 7. Tabela comparativa de I_{DS} / (W/L) para V_{GT}= 2,5V, na região de triodo entre a referência CSM e o dispositivo OSM (c= 25% e α= 126,9°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	I_{DS}/(W/L) na reg. de triodo	
	---	---	%	graus (°)	µm²	---	A	Ganho %
10	OSM	TR4	25	126,9	324	2,37	3,393E-05	↑ 25%
11	CSM	TR1	---	---	324	2,79	2,723E-05	---

Note que, aumetando-se o ângulo α de 53,1° para 126,9°, com fator de corte (c) igual a 25%, os ganhos de I_{DS}/(W/L) são diminuídos.

A Figura 34 apresenta as curvas de I_{DS}/(W/L) em função de V_{GT} dos SOI nMOSFET OCTO com ângulo α igual a 53,1° e o convencional equivalente (mesma área de porta).

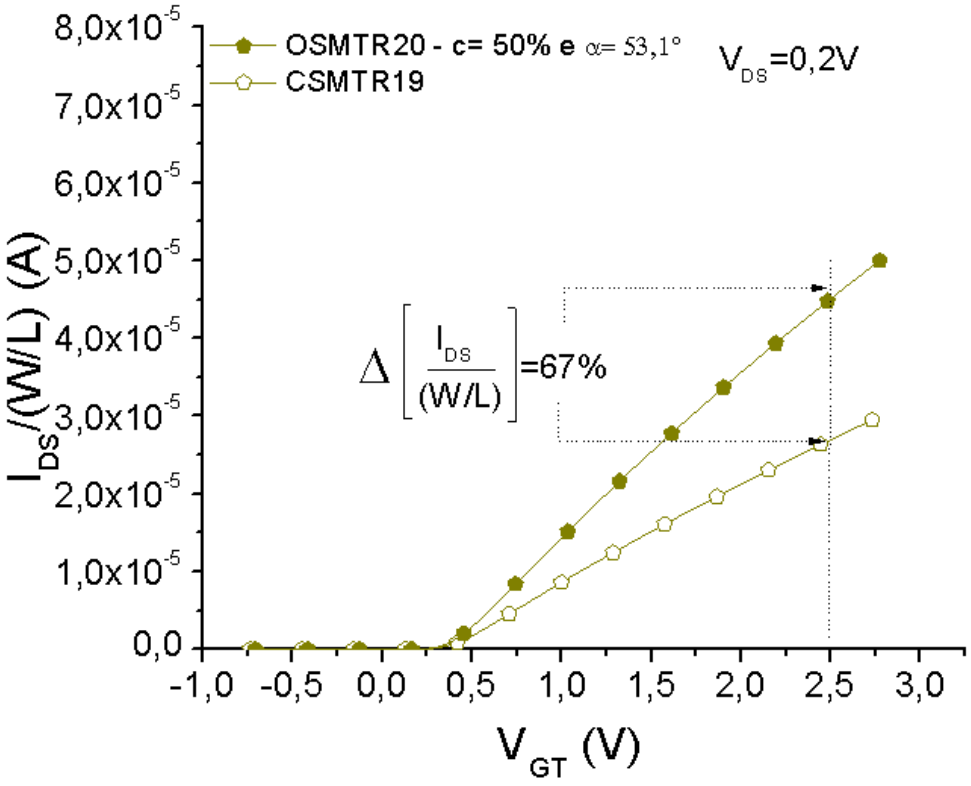


Figura 34. Curvas experimentais de I_{DS} / (W/L) em função de V_{GT} para os dispositivos OSM (c= 50% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 34, $\Delta\left[\frac{I_{DS}}{(W/L)}\right]$ indica a variação do valor de I_{DS}/(W/L) entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Considerando a região de triodo e analisando a corrente de dreno normalizada em função do fator geométrico (f_g) para $V_{GT} = 2{,}5\,V$, o dispositivo OSM apresentou um valor 67%

superior ao seu equivalente CSM, considerando-se a mesma área de porta e condições de polarização. Isso pode ser justificado devido a influência do LCE e PATDCLE que incrementam o campo elétrico longitudinal resultante. A Tabela 8 sumariza a comparação realizada entre esses dispositivos, considerando a estrutura CSM como referência.

Tabela 8. Tabela comparativa de I_{DS} / (W/L para V_{GT}= 2,5V, na região de triodo entre a referência CSM e o dispositivo OSM (c= 50% e α= 53,1°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	I_{DS}/(W/L) na reg. de triodo	
	---	---	%	graus (°)	µm²	---	A	Ganho %
04	OSM	TR20	50	53,1	600	1,2	4,515E-05	⇧ 67%
05	CSM	TR19	---	---	600	1,5	2,697E-05	---

A Figura 35 apresenta as curvas de I_{DS}/(W/L) em função de V_{GT} dos SOI nMOSFET OCTO com ângulo α igual a 126,9° e o convencional equivalente (mesma área de porta).

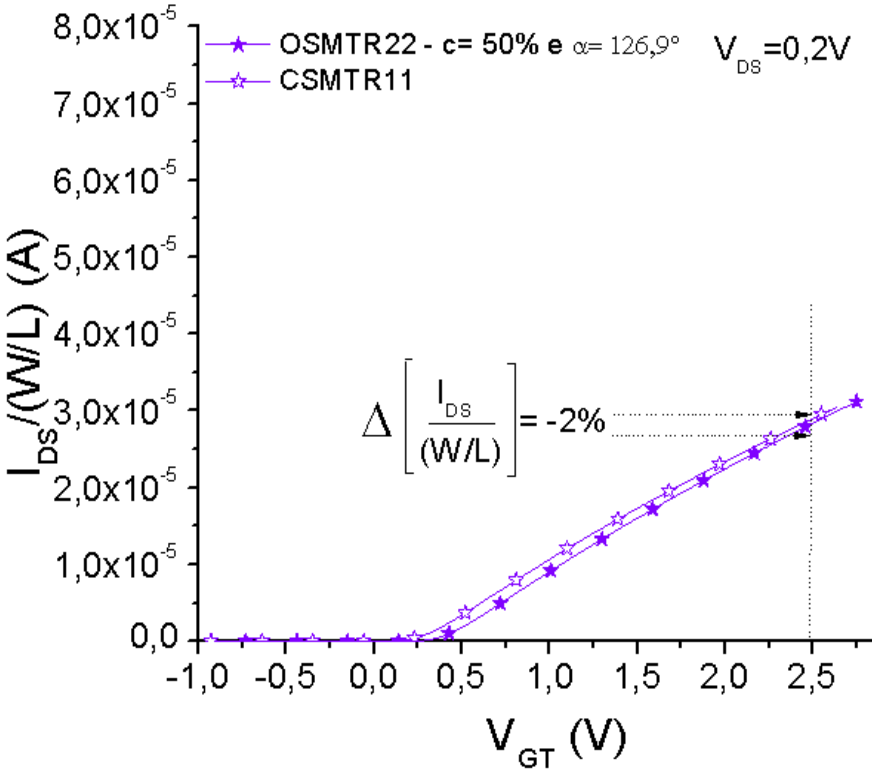


Figura 35. Curvas experimentais de I_{DS} / (W/L) em função de V_{GT} para os dispositivos OSM (c= 50% e α= 126,9°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 35, $\Delta\left[\frac{I_{DS}}{(W/L)}\right]$ indica a variação do valor de $I_{DS}/(W/L)$ entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Considerando a região de triodo e analisando a corrente de dreno normalizada em função do fator geométrico (f_g) para $V_{GT} = 2{,}5\,V$, o dispositivo OSM apresentou um valor -2% inferior ou praticamente similar ao seu equivalente CSM, considerando-se a mesma área de porta e condições de polarização. Neste caso, o campo elétrico longitudinal $\overrightarrow{(\varepsilon_{//})}$ e a influência da geometria octogonal de porta (LCE e PATDCLE) foram muito degradadas devido ao alto ângulo α e ao elevado fator de corte (c) aplicados para gerar a estrutura octogonal, aproximando-se desta maneira o comportamento do OSM ao do CSM. A Tabela 9 sumariza a comparação realizada entre esses dispositivos, considerando a estrutura CSM como referência.

Tabela 9. Tabela comparativa de I_{DS}/ (W/L para V_{GT}= 2,5V, na região de triodo entre a referência CSM e o dispositivo OSM (c= 50% e α= 126,9°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	I_{DS}/(W/L) na reg. de triodo	
	---	---	%	graus (°)	µm²	---	A	Ganho %
12	OSM	TR22	50	126,9	264	3	2,847E-05	-2%
13	CSM	TR11	---	---	264	3,43	2,899E-05	---

A Figura 36 apresenta as curvas de $I_{DS}/(W/L)$ em função de V_{GT} dos SOI nMOSFET OCTO com ângulo α igual a 53,1° e o convencional equivalente (mesma área de porta).

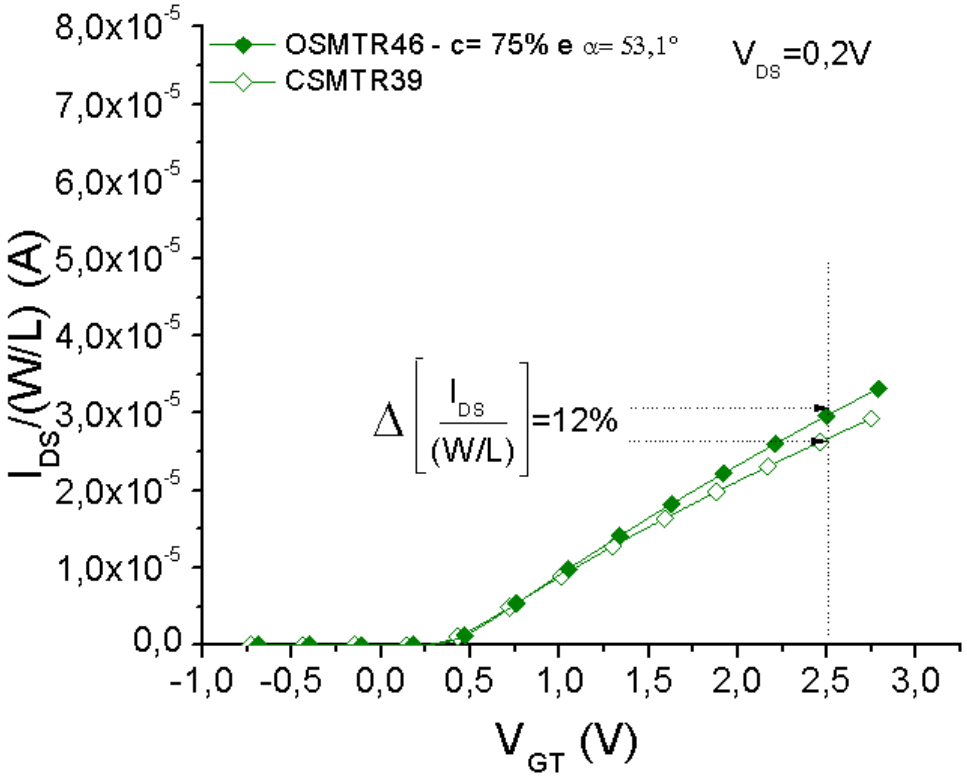


Figura 36. Curvas experimentais de I_{DS} / (W/L) em função de V_{GT} para os dispositivos OSM (c= 75% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 36, $\Delta\left[\frac{I_{DS}}{(W/L)}\right]$ indica a variação do valor de I_{DS}/(W/L) entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Considerando a região de triodo e analisando a corrente de dreno normalizada em função do fator geométrico (f_g) para $V_{GT} = 2{,}5\,V$, o dispositivo OSM apresentou um valor 12% superior ao seu equivalente CSM, considerando-se a mesma área de porta e condições de polarização. Isso pode ser justificado devido a influência dos efeitos do LCE e PATDCLE, ao incrementar o campo elétrico longitudinal resultante. A Tabela 10 sumariza a comparação realizada entre esses dispositivos, considerando a estrutura CSM como referência.

Tabela 10. Tabela comparativa de I_{DS} / (W/L) para V_{GT}= 2,5V, na região de triodo entre a referência CSM e o dispositivo OSM (c= 75% e α= 53,1°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	I_{DS}/(W/L) na reg. de triodo	
	---	---	%	graus (°)	µm²	---	A	Ganho %
08	OSM	TR46	75	53,1	375	2	2,978E-05	⇧ 12%
09	CSM	TR39	---	---	375	2,4	2,668E-05	---

A Figura 37 apresenta o gráfico de I_{DS}/(W/L) na região de triodo (V_{DS} e V_{GT} igual a 0,2V e 2,5V, respectivamente), em função do fator de corte (c) do OSM considerando-se o ângulo α fixo e igual a 53,1°.

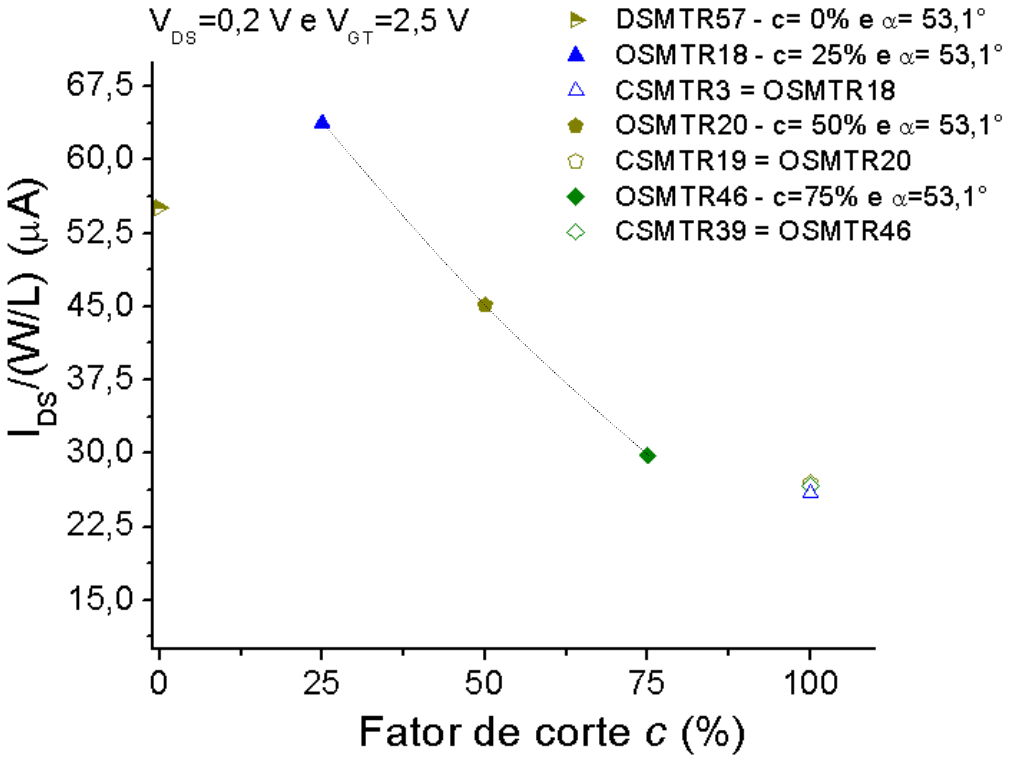


Figura 37. Gráfico de I_{DS}/(W/L) em função do fator de corte c dos dispositivos estudados.

Observando os valores de na região de triodo, em função do fator de corte (c), conforme é ilustrado na Figura 37, que ao diminuir o fator de corte (c), o valor de na região de triodo aumenta, ou seja, quanto menor o corte (c) do dispositivo OSM, maior será o valor de , se comparado com o dispositivo equivalente convencional. Em contra partida, quanto maior o fator de corte (c) utilizado no OSM, mais o dispositivo OSM se assemelha com o dispositivo CSM equivalente, resultando em valores similares de na região de triodo, devido a uma menor interação entre as componentes longitudinais do campo elétrico (redução do efeito de canto longitudinal LCE [12,14]. e menor influência da associação paralela de transistores com diferentes comprimentos de canal - PATDCLE).

A Figura 38 apresenta o gráfico de $I_{DS}/(W/L)$ na região de triodo (V_{DS} e V_{GT} igual a 0,2V e 2,5V, respectivamente), em função do ângulo α do OSM considerando-se o fator de corte (c) fixo e igual a 25%.

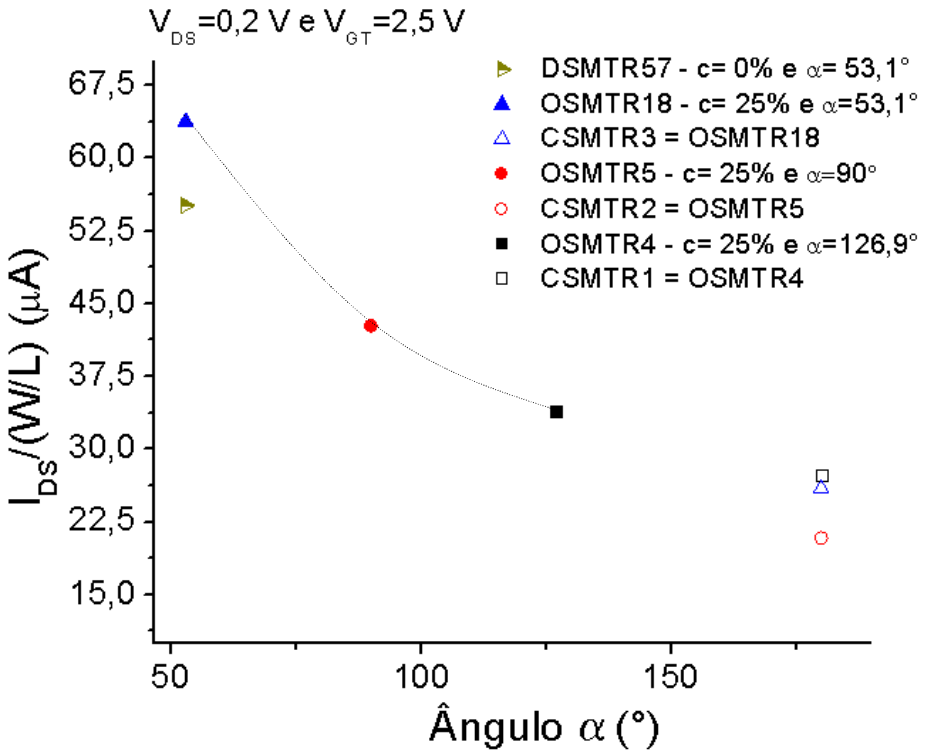


Figura 38. Gráfico de $I_{DS}/(W/L)$ em função do ângulo α dos dispositivos estudados.

Observando os valores de na região de triodo, em função do ângulo α, conforme ilustrado na Figura 38, ao diminuir o ângulo α, o valor de na região de triodo aumenta, ou seja, quanto menor o ângulo α do dispositivo OSM, maior será o valor de , se comparado com o dispositivo equivalente convencional. Em contrapartida, quanto maior o ângulo α utilizado no OSM, mais o dispositivo OSM se assemelha com o dispositivo CSM, resultando em valores de na região de triodo similares, devido a uma menor interação entre as componentes do campo elétrico longitudinal (redução do efeito de canto longitudinal ***LCE***) [12,14] e menor influência da associação paralela de transistores com diferentes comprimentos de canal – PATDCLE.

A Tabela 11 sumariza todos os dispositivos utilizados neste trabalho, contemplando as características construtivas de cada dispositivo, os referidos valores de área de porta e os

devidos valores de $I_{DS}/\ (W/L)$ na região de triodo considerando V_{GT}= 2,5 V. Um ensaio comparativo entre todos os resultados é apresentado adotando-se como referência o dispositivo CSM TR3 (em destaque na Tabela 11). Valores superiores são representados pela seta verde, inferiores pelas setas vermelhas e valores similares pela seta amarela.

Tabela 11. Comparativo de área e I_{DS} / (W/L) na região de triodo entre a referência (CSM TR3) com os demais dispositivos.

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta		W/L	I_{DS}/(W/L) na reg. de triodo	
	---	---	%	graus (°)	µm²	Ganho %	---	A	Ganho %
01	DSM	TR57	0	53,1	1050	↓ -27%	0,86	5,513E-05	↑ 113%
02	OSM	TR18	25	53,1	825	→ 0%	0,86	6,378E-05	↑ 146%
03	CSM	TR3	---	---	825	→ 0%	1,09	2,591E-05	→ 0%
04	OSM	TR20	50	53,1	600	↑ 27%	1,2	4,515E-05	↑ 74%
05	CSM	TR19	---	---	600	---	1,5	2,697E-05	---
06	OSM	TR5	25	90	486	↑ 41%	1,5	4,271E-05	↑ 65%
07	CSM	TR2	---	---	486	---	1,85	2,081E-05	---
08	OSM	TR46	75	53,1	375	↑ 55%	2	2,978E-05	↑ 15%
09	CSM	TR39	---	---	375	---	2,4	2,668E-05	---
10	OSM	TR4	25	126,9	324	↑ 61%	2,37	3,393E-05	↑ 31%
11	CSM	TR1	---	---	324	---	2,79	2,723E-05	---
12	OSM	TR22	50	126,9	264	↑ 68%	3	2,847E-05	↑ 10%
13	CSM	TR11	---	---	264	---	3,43	2,899E-05	---

Supondo a existência de um circuito integrado analógico/digital, elaborado com dispositivos SOI convencionais, em que um dos transistores é projetado para suportar uma corrente de dreno na região de triodo de 25,9µA (como por exemplo, o TR3 da Tabela 11). Seleciona-se através da Tabela 11, um dispositivo OSM que suporte a mesma corrente de dreno na região de triodo que o dispositivo CSM (neste caso, o mais próximo é o TR22 da Tabela 11). A Tabela 12 sumariza o resultado, indicando neste que, para uma mesma corrente de dreno na região de triodo, observa-se caso um ganho de área de porta (A_G) de 68%, utilizando-se o dispositivo OSM.

Tabela 12. Tabela comparativa entre I_{DS}/(W/L) do OSM com fator de corte c igual a 50% e ângulo α de 126,9° e o respectivo CSM.

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta		W/L	I_{DS}/(W/L) na reg. de triodo	
	---	---	%	graus (°)	µm²	Ganho %	---	A	Ganho %
03	CSM	TR3	---	---	825	⇨ 0%	1,09	2,591E-05	⇨ 0%
12	OSM	TR22	50	126,9	264	⇧ 68%	3	2,847E-05	⇧ 10%

Este comportamento da estrutura OSM pode ser justificado pelos efeitos do LCE e PATDCLE.

O que possibilita a sua redução dimensional de 68% na área de porta para equiparação dos valores de corrente de dreno na região de triodo.

O dispositivo OSM que apresentou o referido ganho de área de porta adota um ângulo de 126,9° e um fator de corte (c) de 50%. Conforme apresentado no capítulo 4, quanto maior o ângulo apresentado pelo OSM, mais o mesmo se aproxima da condição do dispositivo convencional, dado que o ângulo teórico do convencional é de 180°. Consequentemente, menor é a interação entre as componentes do campo elétrico longitudinal (redução do efeito de canto longitudinal LCE) [12,14] e menor influência da associação paralela de transistores com diferentes comprimentos de canal - PATDCLE). Um comportamento similar ocorre quando se aumenta o fator de corte (c), em que o dispositivo OSM se aproxima do convencional.

A Tabela 13 considera uma análise para dispositivos CSM e OSM de mesma área de porta.

Tabela 13. Maximizando o ganho de corrente de dreno na região de triodo

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta		W/L	I_{DS}/(W/L) na reg. de triodo	
	---	---	%	graus (°)	µm²	Ganho %	---	A	Ganho %
02	OSM	TR18	25	53,1	825	⇨ 0%	0,86	6,378E-05	⇧ 146%
03	CSM	TR3	---	---	825	⇨ 0%	1,09	2,591E-05	⇨ 0%

Analisando a Tabela 13, para uma mesma área de porta e condições de polarização entre um dispositivo CSM e um dispositivo OSM, o OSM apresentou uma corrente 146% superior ao do convencional equivalente. Este resultado deve-se ao fato do dispositivo OSM possuir um ângulo pequeno (53,1°) privilegiando a ocorrência e aumento do efeito de canto longitudinal LCE [12,14], pela influência do terceiro campo elétrico longitudinal $\overrightarrow{\varepsilon_{//3}}$,

intrínseca da estrutura OSM, assim como dos menores comprimentos de canal presentes nas extremidades da geometria octogonal.

Estes dados, aliados aos ganhos percentuais analisados nas Tabelas 11,12 e 13, consolidam o desempenho superior dos dispositivos OSM para o parâmetro elétrico corrente de dreno normalizado em relação ao fator geométrico na região de triodo.

5.4 Transcondutância normalizada pelo fator geométrico [g_m / (W/L)]

A Figura 39 relaciona a transcondutância (g_m) dos dispositivos SOI MOSFETs convencional, diamante e em formato octogonal normalizadas por (W/L) (para eliminar a influência do fator geométrico dos dispositivos no resultado), em função da sobre tensão de porta ($V_{GT} = V_{GS} - V_{TH}$) (para eliminar as diferenças das tensões de limiar dos diferentes dispositivos). Cada dispositivo é apresentado em função do fator de corte (c) dado em percentual (%), assim com o ângulo da junção metalúrgica α (°).

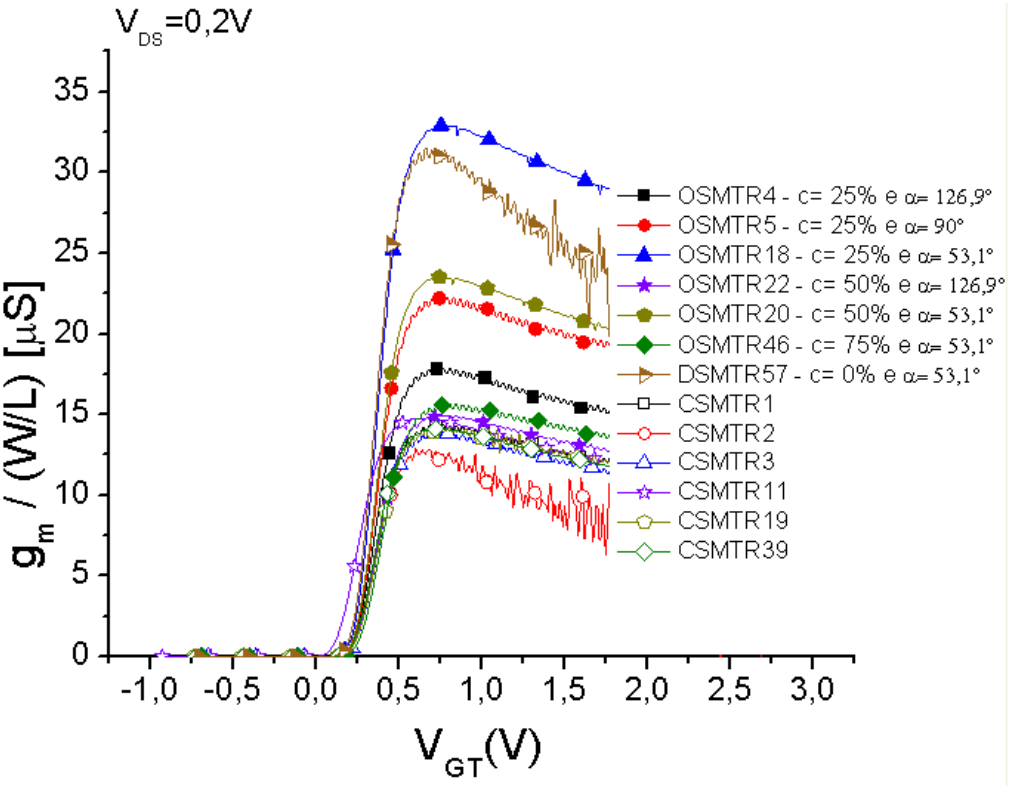


Figura 39. Curvas experimentais de g_m / (W/L) em função de V_{GT} para os diferentes dispositivos CSM, DSM e OSM estudados.

Analisando o gráfico de g_m / (W/L) em função de V_{GT} da Figura 39, nota-se que, em sua totalidade, os dispositivos OSM apresentaram valores de g_m / (W/L) superiores ao observados nos equivalentes CSM, considerando-se a mesma área de porta (A_G) e condições de polarização. Isto pode ser justificado devido ao maior campo elétrico longitudinal presente na estrutura OCTO em comparação ao equivalente CSM, que será comprovada neste trabalho ao analisar a tensão Early do OCTO, que foi degradada pela modulação do comprimento de canal.

Como já comentado, a formação do campo elétrico no dispositivo OSM é exemplificada da seguinte maneira, o dispositivo OSM pode ser considerado eletricamente como a associação paralela de vários transistores (dado por N), de mesma largura de canal (dada por W/N) e com diferentes comprimentos de canal (com valores variando entre b e B). Devido a estas considerações, a geometria de porta octogonal permite um maior fluxo de corrente de dreno (I_{DS}) pelas extremidades (transistores com menor comprimento de canal L) do que pelo centro (transistores com maiores comprimentos de canal L) da região de canal, em adição ao comportamento oriundo da influência do LCE também presente na estrutura, que força a corrente de dreno (I_{DS}) a fluir mais pelo centro do canal. O efeito ligado a associação paralela de transistores com diferentes comprimentos de canal sobre a corrente de dreno (I_{DS}) é definido e nomeado aqui como PATDCLE (parallel association of transistors with different channel lenghts). Portanto, no estilo de leiaute OCTO ocorrem os dois efeitos simultaneamente (LCE e PATDCLE), que melhora significativamente a corrente de dreno quando comparado com o transistor equivalente convencional (CSM), considerando a mesma área de porta e condições de polarização.

Os gráficos comparativos dos dispositivos OSM com os respectivos equivalentes CSM (de mesma área de porta) são apresentados nas Figuras de 40 até 45. Em cada gráfico foram inseridas setas que indicam a região ou ponto de obtenção da $g_{m\text{-}MÁX}$ / (W/L), assim como o ganho percentual de transcondutância entre os dispositivos citados.

A Figura 40 apresenta as curvas de g_m/(W/L) em função de V_{GT} dos SOI nMOSFET Diamante e OCTO com ângulo α igual a 53,1° e o convencional equivalente ao OCTO (mesma área de porta).

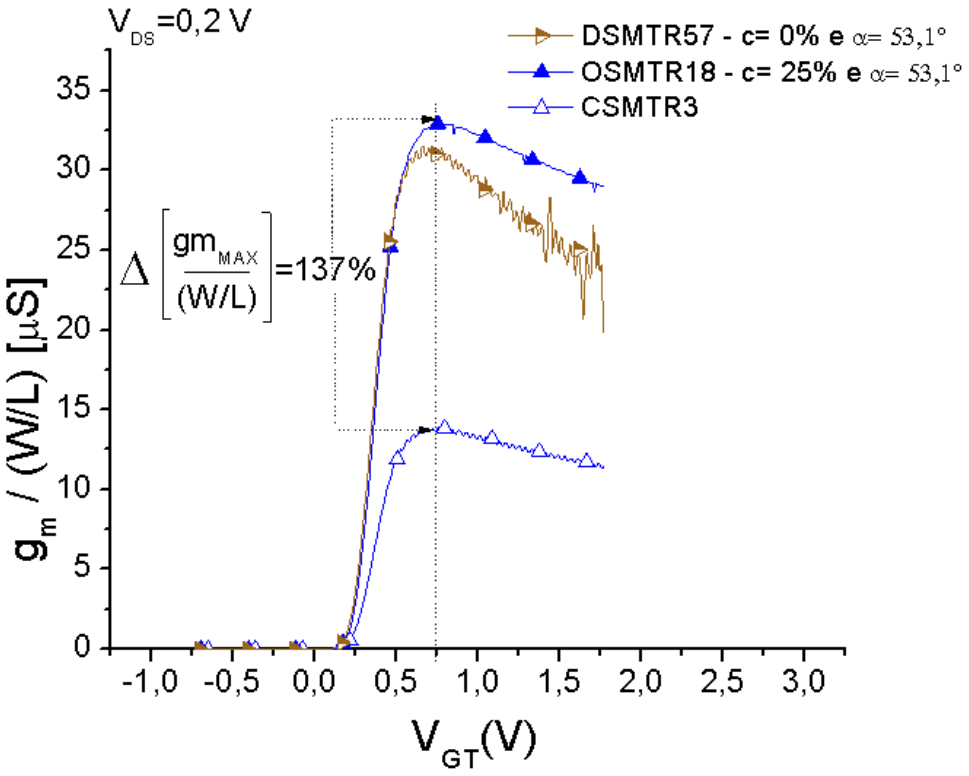


Figura 40. Curvas experimentais de g_m / (W/L) em função de V_{GT} para os dispositivos DSM (c= 0% e α= 53,1°), OSM (c= 25% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 40, $\Delta\left[\frac{g_{m-MÁX}}{(W/L)}\right]$ indica a variação do valor máximo de g_m/(W/L) entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET. Analisando a transcondutância máxima, o dispositivo OSM apresentou um valor 137% superior ao seu equivalente CSM, considerando-se a mesma área de porta e condições de polarização. Isso pode ser justificado devido à maior interação entre os efeitos do LCE e PATDCLE, que incrementam o valor do campo elétrico longitudinal resultante.

Vale ressaltar que a transcondutância máxima do dispositivo OSM apresentou um valor 5% maior quando comparado ao dispositivo DSM equivalente, considerando-se o mesmo fator geométrico (W/L) e condições de polarização. Devido ao maior campo elétrico longitudinal resultante presente na estrutura OCTO devido à influência do terceiro campo elétrico longitudinal $\overrightarrow{\varepsilon_{//3}}$. A Tabela 14 sumariza a comparação realizada entre esses dispositivos, considerando a estrutura CSM como referência.

Tabela 14. Tabela comparativa de $g_{m\,-\,MÁX}$/ (W/L) entre a referência CSM e os dispositivos DSM (c= 0% e α= 53,1°) e OSM (c= 25% e α= 53,1°)

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	gm (máx)/ (W/L)	
	---	---	%	graus (°)	µm²	---	S	Ganho %
01	DSM	TR57	0	53,1	1050	0,86	3,140E-05	126%
02	OSM	TR18	25	53,1	825	0,86	3,292E-05	137%
03	CSM	TR3	100	180	825	1,09	1,387E-05	0%

A Figura 41 apresenta as curvas de g_m/(W/L) em função de V_{GT} dos SOI nMOSFET OCTO com ângulo α igual a 90° e o convencional equivalente (mesma área de porta).

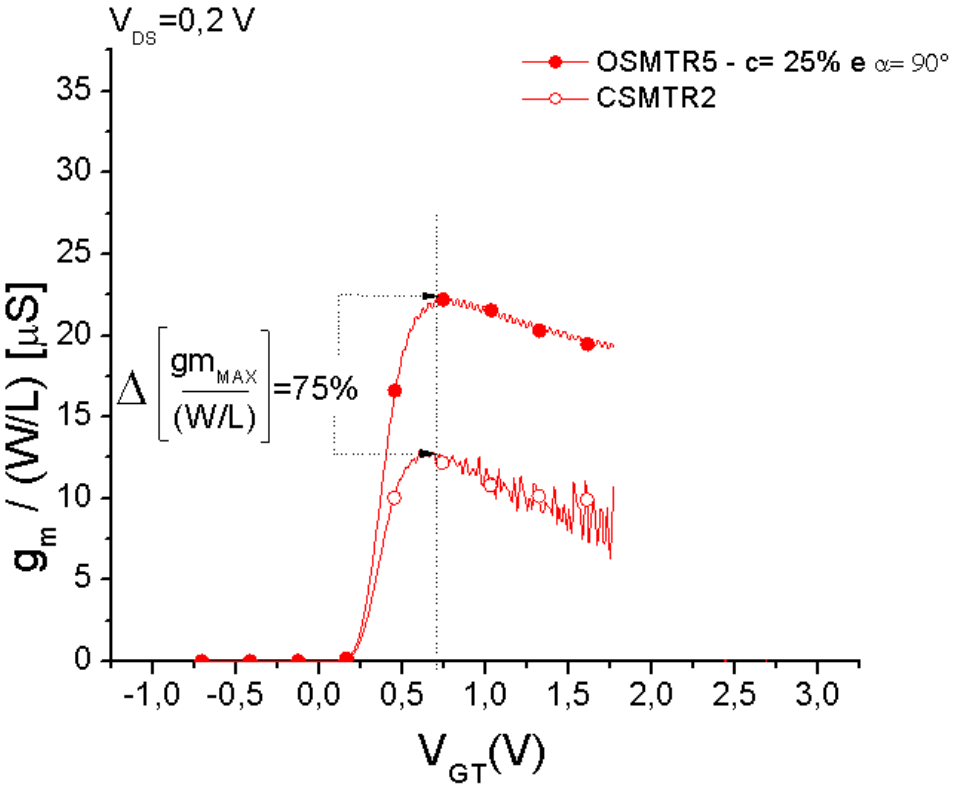


Figura 41. Curvas experimentais de g_m/ (W/L) em função de V_{GT} para os dispositivos OSM (c= 25% e α= 90°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 41, $\Delta\left[\frac{g_{m-MÁX}}{(W/L)}\right]$ indica a variação do valor máximo de g_m/(W/L) entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Analisando a transcondutância máxima, o dispositivo OSM apresentou um valor 75% superior ao seu equivalente CSM, considerando-se a mesma área de porta e condições de polarização. Isso pode ser justificado devido à maior influência dos efeitos do LCE e

PATDCLE, que incrementam o valor do campo elétrico longitudinal resultante. A Tabela 15 sumariza o comparativo considerando a estrutura CSM como referência.

Tabela 15. Tabela comparativa de $g_{m\,-\,MÁX}$ / (W/L) entre a referência CSM e o dispositivo OSM (c= 25% e α= 90°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	gm (máx)/ (W/L)	
	---	---	%	graus (°)	µm²	---	S	Ganho %
06	OSM	TR5	25	90	486	1,5	2,220E-05	⇧ 75%
07	CSM	TR2	---	---	486	1,85	1,268E-05	---

A Figura 42 apresenta as curvas de g_m/(W/L) em função de V_{GT} dos SOI nMOSFET OCTO com ângulo α igual a 126,9° e o convencional equivalente (mesma área de porta).

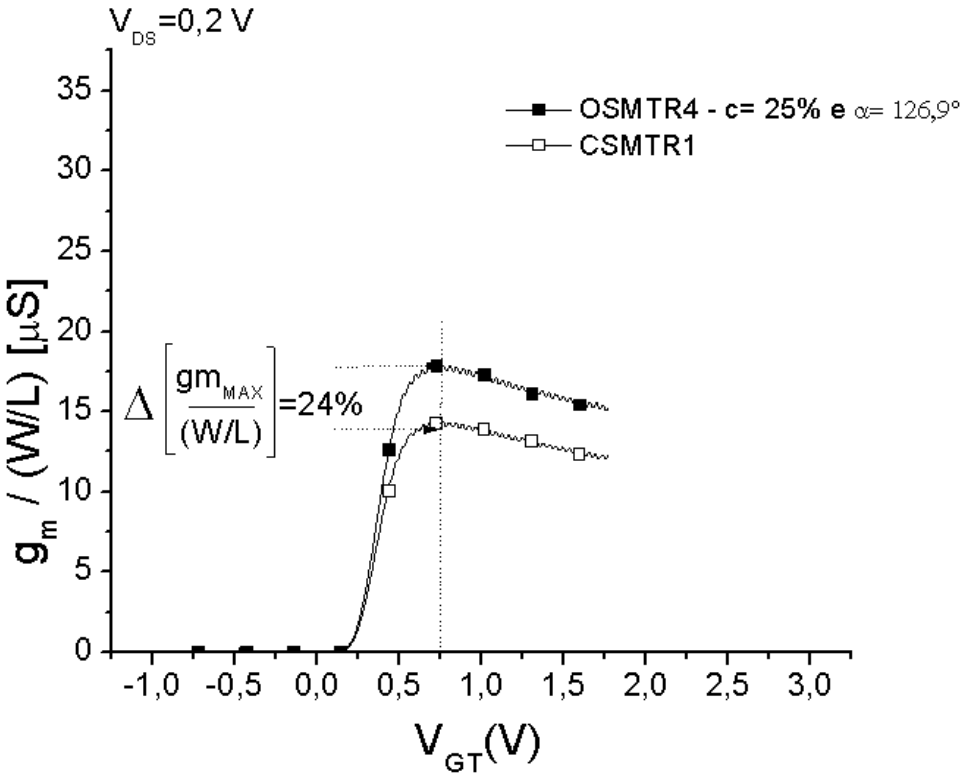


Figura 42. Curvas experimentais de g_m / (W/L) em função de V_{GT} para os dispositivos OSM (c= 25% e α= 126,9°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 42, $\Delta\left[\frac{g_{m-MÁX}}{(W/L)}\right]$ indica a variação do valor máximo de g_m/(W/L) entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Analisando a transcondutância máxima, o dispositivo OSM apresentou um valor 24% superior ao seu equivalente CSM, considerando-se a mesma área de porta e condições de

polarização. Conforme comentado anteriormente, verifica-se o incremento do campo elétrico longitudinal resultante na estrutura OCTO pelos efeitos do LCE e PATDCLE. A Tabela 16 sumariza o comparativo considerando a estrutura CSM como referência.

Tabela 16. Tabela comparativa de $g_{m\,-\,MÁX}$ / (W/L) entre a referência CSM e o dispositivo OSM (c= 25% e α= 126,9°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	gm (máx)/ (W/L)	
	---	---	%	graus (°)	µm²	---	S	Ganho %
10	OSM	TR4	25	126,9	324	2,37	1,786E-05	↑ 24%
11	CSM	TR1	---	---	324	2,79	1,435E-05	---

Note que, aumentando-se o ângulo α de 53,1° para 126,9°, com fator de corte (c) igual a 25%, os ganhos de $g_{m\text{-}MÁX}$/(W/L) são diminuídos.

A Figura 43 apresenta as curvas de g_m/(W/L) em função de V_{GT} dos SOI nMOSFET OCTO com ângulo α igual a 53,1° e o convencional equivalente (mesma área de porta).

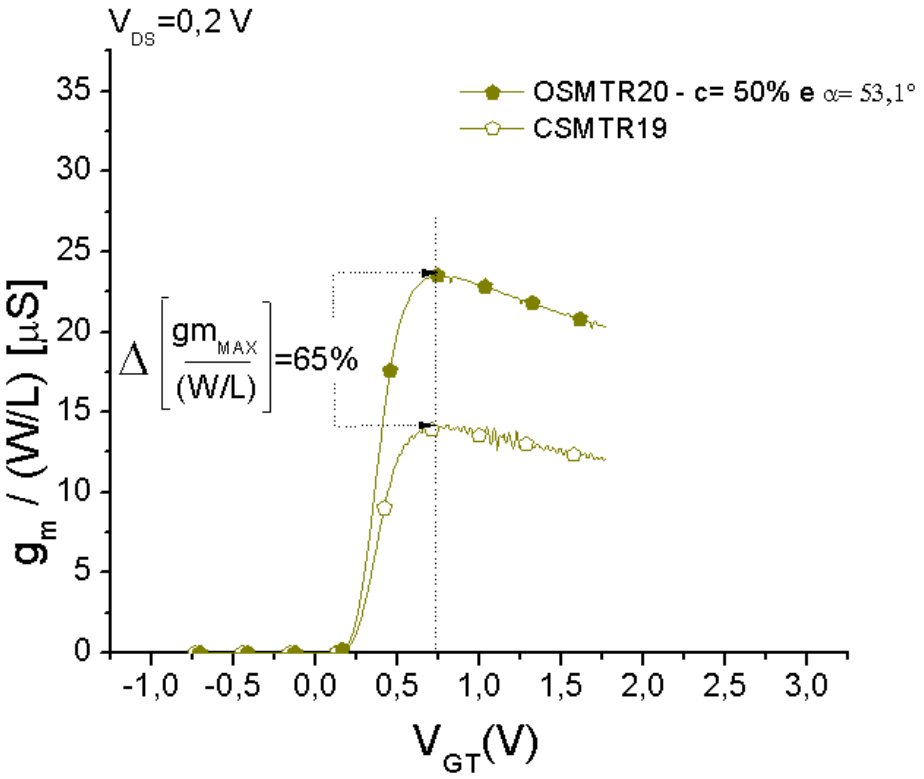


Figura 43. Curvas experimentais de g_m / (W/L) em função de V_{GT} para os dispositivos OSM (c= 50% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 43, $\Delta\left[\frac{g_{m-MÁX}}{(W/L)}\right]$ indica a variação do valor máximo de g_m/(W/L) entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Analisando a transcondutância máxima, o dispositivo OSM apresentou um valor 65% superior ao seu equivalente CSM, considerando-se a mesma área de porta e condições de polarização devido a influência do LCE e PATDCLE, que incrementam o valor do campo elétrico longitudinal resultante. A Tabela 17 sumariza o comparativo considerando a estrutura CSM como referência.

Tabela 17. Tabela comparativa de $g_{m\,-\,MÁX}$ / (W/L) entre a referência CSM e o dispositivo OSM (c= 50% e α= 53,1°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	gm (máx)/ (W/L)	
	---	---	%	graus (°)	µm²	---	S	Ganho %
04	OSM	TR20	50	53,1	600	1,2	2,350E-05	↑ 65%
05	CSM	TR19	---	---	600	1,5	1,420E-05	---

A Figura 44 apresenta as curvas de g_m/(W/L) em função de V_{GT} dos SOI nMOSFET OCTO com ângulo α igual a 126,9° e o convencional equivalente (mesma área de porta).

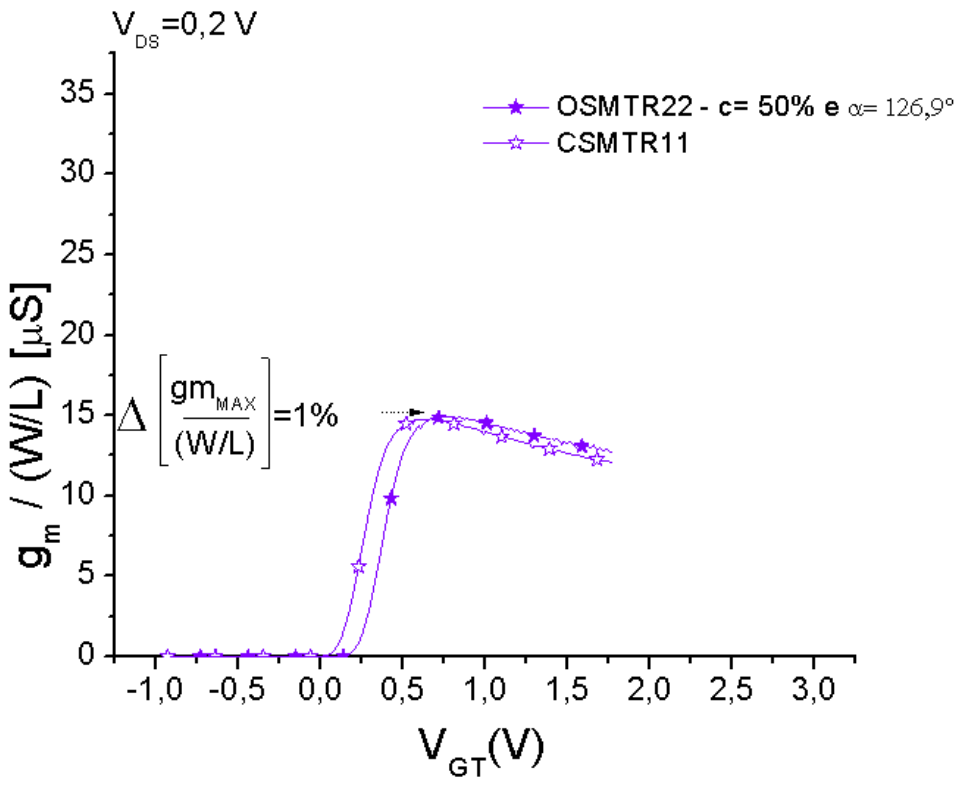


Figura 44. Curvas experimentais de g_m / (W/L) em função de V_{GT} para os dispositivos OSM (c= 50% e α= 126,9°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 44, $\Delta\left[\frac{g_{m-MÁX}}{(W/L)}\right]$ indica a variação do valor máximo de $g_m/(W/L)$ entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET. Analisando a transcondutância máxima, o dispositivo OSM apresentou um valor 1% superior ao seu equivalente CSM, considerando-se a mesma área de porta e condições de polarização. Neste caso, o campo elétrico longitudinal $\overrightarrow{(\varepsilon_{//})}$ e a influência do formato da geometria octogonal (LCE e PATDCLE) foram muito degradadas devido ao alto ângulo α e ao elevado fator de corte (c) aplicados para gerar a estrutura octogonal, aproximando-se desta maneira o comportamento do OSM ao do CSM. A Tabela 18 sumariza o comparativo considerando a estrutura CSM como referência.

Tabela 18. Tabela comparativa de $g_{m\,-\,MÁX}$ / (W/L) entre a referência CSM e o dispositivo OSM (c= 50% e α= 126,9°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	gm (máx)/ (W/L)	
	---	---	%	graus (°)	µm²	---	S	Ganho %
12	OSM	TR22	50	126,9	264	3	1,489E-05	⇧ 1%
13	CSM	TR11	100	180	264	3,43	1,479E-05	---

A Figura 45 apresenta as curvas de $g_m/(W/L)$ em função de V_{GT} dos SOI nMOSFET OCTO com ângulo α igual a 53,1° e o convencional equivalente (mesma área de porta).

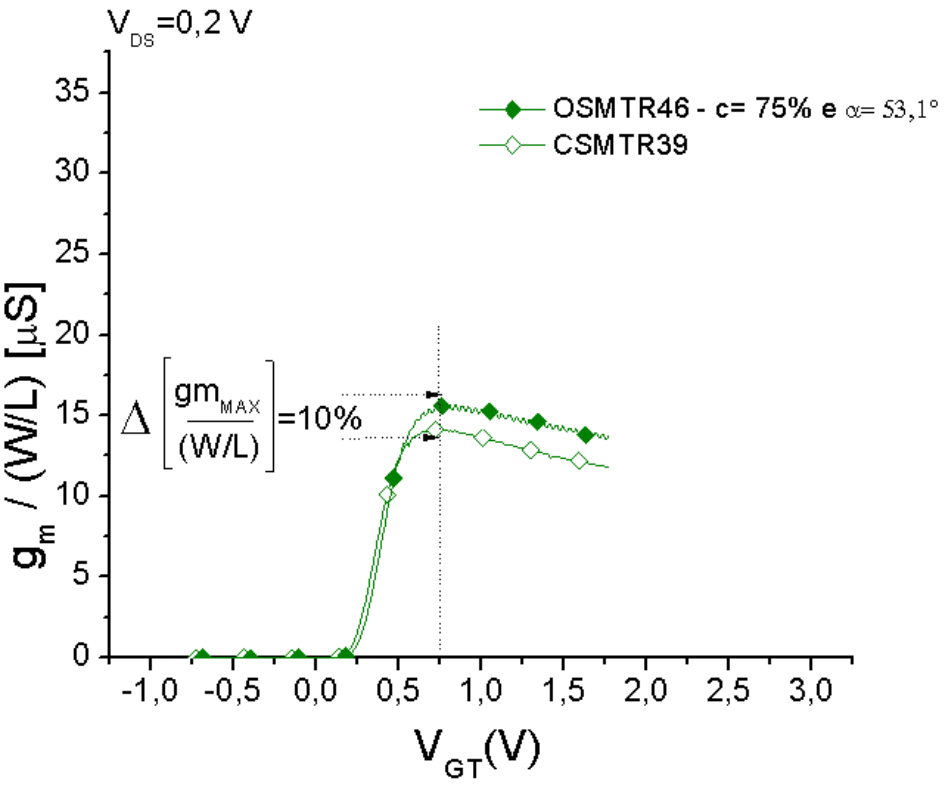


Figura 45. Curvas experimentais de g_m / (W/L) em função de V_{GT} para os dispositivos OSM (c= 75% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 45, $\Delta\left[\frac{g_{m-MÁX}}{(W/L)}\right]$ indica a variação do valor máximo de g_m/(W/L) entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Analisando a transcondutância máxima, o dispositivo OSM apresentou um valor 10% superior ao seu equivalente CSM, considerando-se a mesma área de porta e condições de polarização, devido aos efeitos do LCE e PATDCLE, que incrementam o valor do campo elétrico longitudinal resultante. A Tabela 19 sumariza o comparativo considerando a estrutura CSM como referência.

Tabela 19. Tabela comparativa de $g_{m\,-\,MÁX}$ / (W/L) entre a referência CSM e o dispositivo OSM (c= 25% e α= 53,1°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	gm (máx)/ (W/L)	
	---	---	%	graus (°)	µm²	---	S	Ganho %
08	OSM	TR46	75	53,1	375	2	1,556E-05	⇧ 10%
09	CSM	TR39	---	---	375	2,4	1,414E-05	---

A Figura 46 apresenta o gráfico de $g_{m\text{-}MÁX}/(W/L)$ (V_{DS} igual a 0,2V), em função do fator de corte (c) do OSM considerando-se o ângulo α fixo e igual a 53,1°.

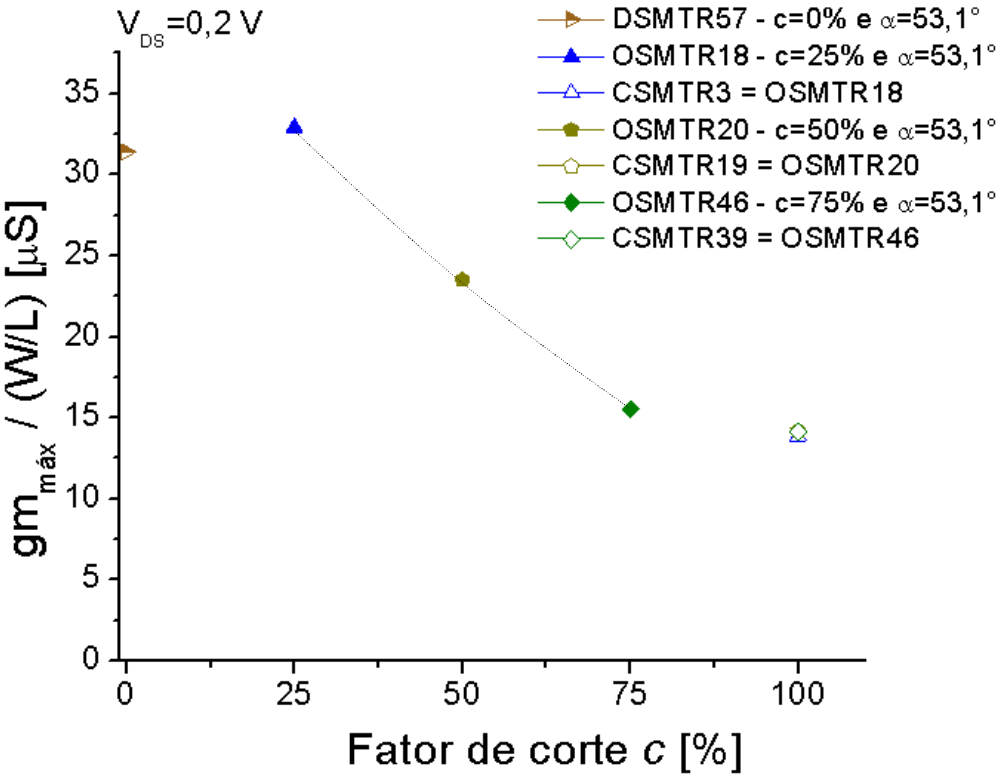


Figura 46. Variação da $g_{m\text{-}MÁX}$ / (W/L) em função do fator de corte (c) para os dispositivos CSM, DSM e OSM.

Observando os valores de $g_{m\text{-}MÁX}/(W/L)$, em função do fator de corte (c), conforme é ilustrado na Figura 46, diminuindo o fator de corte (c), o valor de $g_{m\text{-}MÁX}/(W/L)$ aumenta-se, ou seja, quanto menor o fator de corte do dispositivo OSM, maior será o valor de $g_{m\text{-}MÁX}/(W/L)$, se comparado com o dispositivo equivalente convencional, Em contrapartida, quanto maior o fator de corte (c) utilizado no OSM, mais o dispositivo OSM se assemelha com o dispositivo CSM, resultando em valores de $g_{m\text{-}MÁX}/(W/L)$ similares, devido a uma menor interação entre as componentes longitudinais do campo elétrico (redução do efeito de canto longitudinal LCE) [12,14] além da menor influência da associação paralela de transistores com diferentes comprimentos de canal (PATDCLE).

A Figura 47 apresenta o gráfico de $g_{m\text{-}MÁX}/(W/L)$ (V_{DS} igual a 0,2V), em função do ângulo α do OSM considerando-se o fato e de corte (c) fixo e igual a 25%.

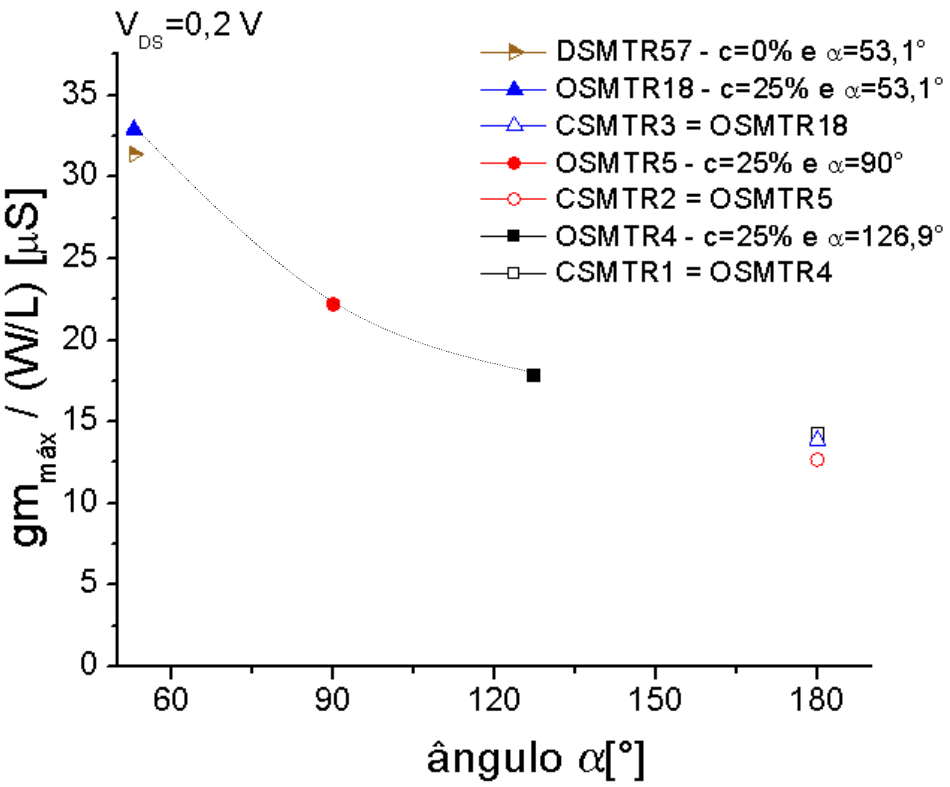


Figura 47. Variação da $g_{m\text{-}MÁX}$ / (W/L) em função do ângulo α, para os dispositivos CSM, DSM e OSM.

Observando os valores de $g_{m\text{-}MÁX}$/(W/L), em função do ângulo α, conforme é ilustrado na Figura 47, ao diminuir o ângulo α, o valor de $g_{m\text{-}MÁX}$/(W/L), ou seja, quanto menor o ângulo α do dispositivo OSM, maior será o valor de $g_{m\text{-}MÁX}$/(W/L), se comparado com o dispositivo equivalente convencional. Em contrapartida, quanto maior o ângulo α utilizado no OSM, mais o dispositivo OSM se assemelha com o dispositivo CSM, resultando em valores de $g_{m\text{-}MÁX}$/(W/L) similares devido a uma menor interação entre as componentes longitudinais do campo elétrico (redução do efeito de canto longitudinal *LCE*) [12,14] e menor influência da associação paralela de transistores com diferentes comprimentos de canal (PATDCLE).

Estes dados consolidam o desempenho superior dos dispositivos OSM para o parâmetro razão da transcondutância máxima pelo fator geométrico.

5.5 Inclinação de sublimiar (S)

A Tabela 20 sumariza os valores da inclinação de sublimiar entre os dispositivos OSM e os seus equivalentes de mesma área de porta CSM, considerando-se as mesmas condições de

polarização, assim como entre o OSM e DSM considerando-se o mesmo fator geométrico (W/L) e as mesmas condições de polarização.

Tabela 20. Tabela comparativa da inclinação de sublimiar entre os dispositivos CSM, DSM e OSM estudados

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	S	
	---	---	%	graus (°)	µm²	---	mV / dec	Ganho %
01	DSM	TR57	0	53,1	1050	0,86	62,11	↑ 7%
02	OSM	TR18	25	53,1	825	0,86	62,28	↑ 6%
03	CSM	TR3	---	---	825	1,09	66,48	→ 0%
04	OSM	TR20	50	53,1	600	1,2	61,66	↑ 1%
05	CSM	TR19	---	---	600	1,5	62,43	---
06	OSM	TR5	25	90	486	1,5	65,38	↓ -4%
07	CSM	TR2	---	---	486	1,85	63,03	---
08	OSM	TR46	75	53,1	375	2	63,07	↓ -2%
09	CSM	TR39	---	---	375	2,4	61,77	---
10	OSM	TR4	25	126,9	324	2,37	64,74	↑ 2%
11	CSM	TR1	---	---	324	2,79	65,88	---
12	OSM	TR22	50	126,9	264	3	60,75	↑ 5%
13	CSM	TR11	---	---	264	3,43	64,15	---

E evolução do perfil da inclinação de sublimiar é verificada através das curvas de log $[I_{DS}/(W/L)]$ x V_{GT} visualizados na Figura 48.

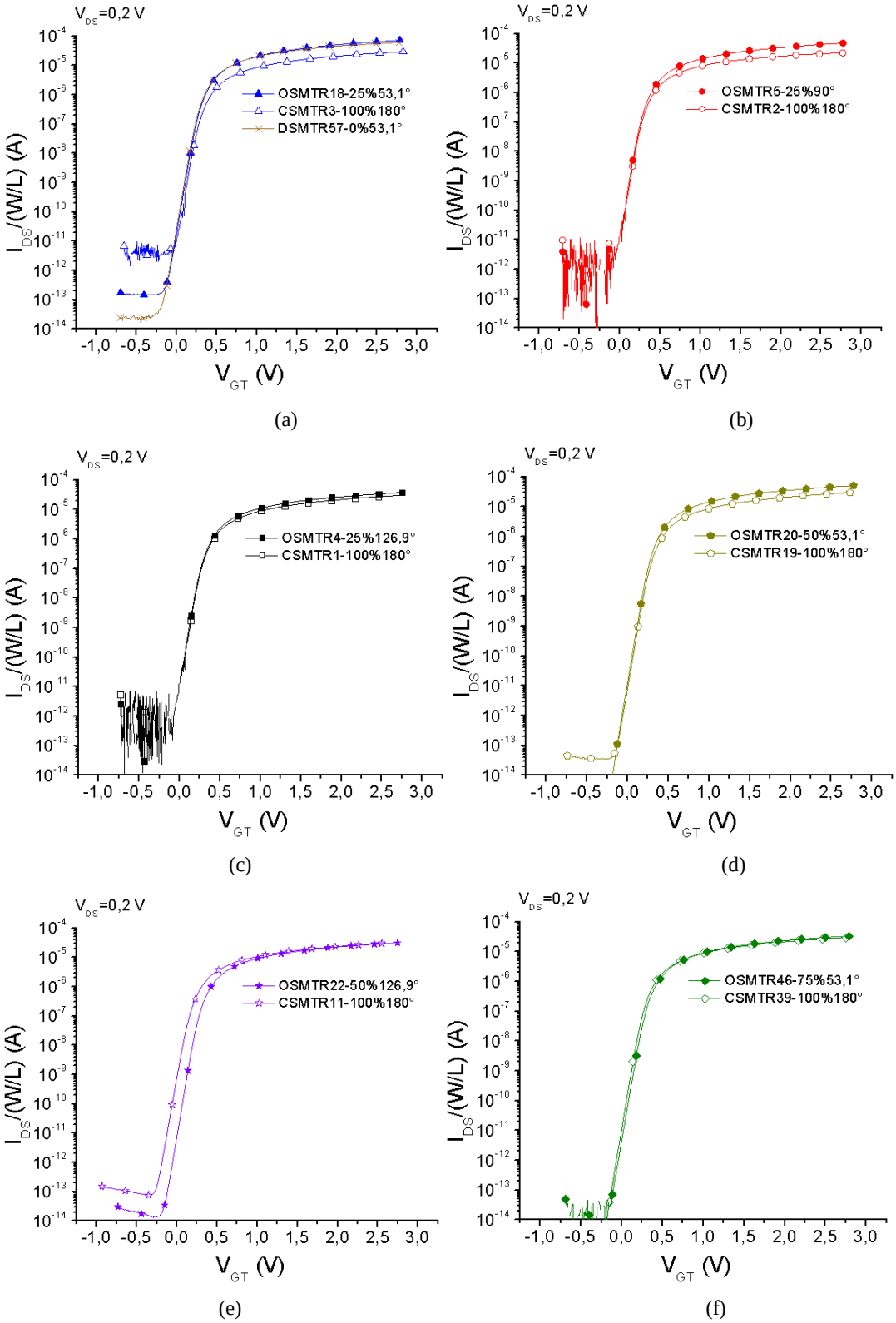


Figura 48. Curvas de log [I_{DS}/(W/L)] x V_{GT} dos dispositivos OSM e seus equivalentes CSM

Os valores apresentados pelos dispositivos foram similares e próximos do valor ideal de 60mV/dec para um dispositivo SOI MOSFET [7].

Na região de sublimiar (local de extração do parâmetro S), a corrente elétrica é dada por difusão, como os valores da inclinação.

5.6 Corrente de estado ligado [$I_{ON}/(W/L_{EQ})$]

Os valores da corrente de estado ligado foram extraídos da curva de log $[I_{DS}/(W/L)]\ x\ V_{GT}$ para $V_{GS} = V_{DS} = V_{DD} = 3{,}5\ V$. A Tabela 21 sumariza e compara os valores da corrente de estado ligado dos dispositivos OSM e CSM, considerando-se a mesma área de porta e condições de polarização, assim como dos dispositivos OSM e DSM, considerando-se o mesmo fator geométrico (W/L) e condições de polarização.

Tabela 21. Tabela comparativa da corrente de estado ligado para os diferentes dispositivos CSM, DSM e OSM estudados.

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	$I_{ON}/(W/L_{EQ})$	
	---	---	%	graus (°)	µm²	---	µA	Ganho %
01	DSM	TR57	0	53,1	1050	0,86	609,40	↑ 148%
02	OSM	TR18	25	53,1	825	0,86	602,70	↑ 145%
03	CSM	TR3	---	---	825	1,09	246,00	→ 0%
04	OSM	TR20	50	53,1	600	1,2	436,00	↑ 63%
05	CSM	TR19	---	---	600	1,5	267,00	---
06	OSM	TR5	25	90	486	1,5	393,00	↑ 52%
07	CSM	TR2	---	---	486	1,85	259,00	---
08	OSM	TR46	75	53,1	375	2	290,00	↑ 19%
09	CSM	TR39	---	---	375	2,4	244,00	---
10	OSM	TR4	25	126,9	324	2,37	321,00	↑ 23%
11	CSM	TR1	---	---	324	2,79	262,00	---
12	OSM	TR22	50	126,9	264	3	267,00	↓ -13%
13	CSM	TR11	---	---	264	3,43	307,00	---

A Figura 49 apresenta o gráfico de $I_{ON}/(W/L)$, (V_{DS} igual à V_{GS} igual V_{DD} igual a 3,5V), em função do fator de corte (c) do OSM considerando-se o ângulo α fixo e igual a 53,1°.

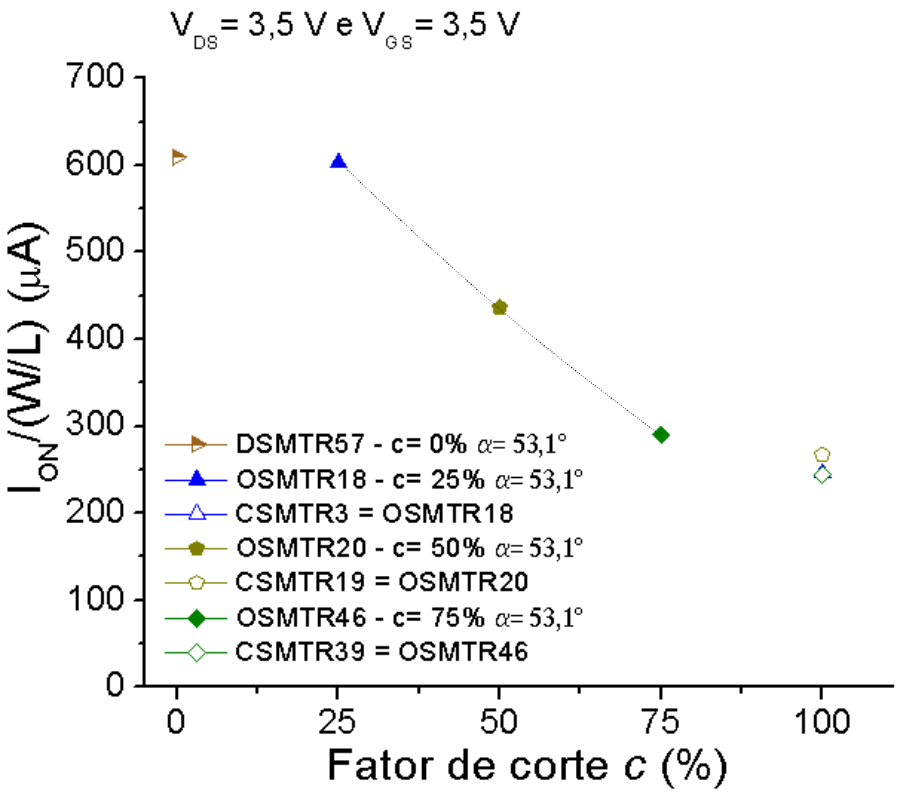


Figura 49. Gráfico de I_{ON}/(W/L) em função do fator de corte c dos dispositivos CSM, DSM e OSM estudados.

Observando os valores de I_{ON}/(W/L), em função do fator de corte (c), conforme é ilustrado na Figura 49, ao diminuindo o fator de corte (c), o valor de I_{ON}/(W/L) aumenta, ou seja, quanto menor o corte do dispositivo OSM, maior será o valor de ION/(W/L), se comparado com o dispositivo equivalente convencional. Em contrapartida, quanto maior o fator de corte (c) utilizado no OSM, mais o dispositivo OSM se assemelha com o dispositivo CSM, resultando em valores de I_{ON}/(W/L) similares, devido a uma menor interação entre as componentes longitudinais do campo elétrico (redução do efeito de canto longitudinal LCE) [12,14], além da menor influência da geometria octogonal, representado pelo efeito PATDCLE.

A Figura 50 apresenta o gráfico de I_{ON}/(W/L), (V_{DS} igual a V_{GS} igual V_{DD} igual a 3,5V), em função do ângulo α do OSM considerando-se o fator de corte (c) fixo e igual a 25%.

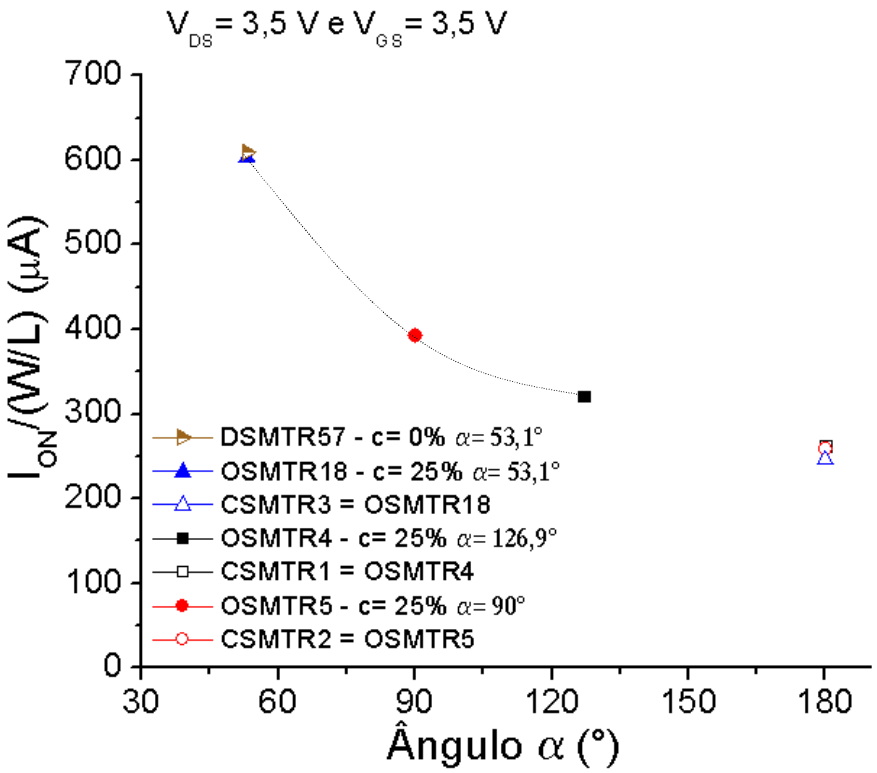


Figura 50. Gráfico de I_{ON}/(W/L) em função do ângulo α dos dispositivos CSM, DSM e OSM estudados.

Observando os valores de I_{ON}/(W/L), em função do ângulo α, conforme é ilustrado na Figura 50, ao diminuindo o ângulo α, o valor de I_{ON}/(W/L) aumenta, ou seja, quanto menor o ângulo α do dispositivo OSM, maior será o valor de I_{ON} /(W/L), se comparado com o dispositivo equivalente convencional, isto deve-se ao fato da maior intensidade do campo elétrico longitudinal (LCE)[12,14] presente na estrutura para ângulos α pequenos, ocasionando na melhor interação entre as componentes do campo elétrico longitudinal, além da influência dada pela geometria octogonal representada pelo efeito PATDCLE. Em contrapartida, quanto maior o ângulo α utilizado no OSM, mais o dispositivo OSM se assemelha com o dispositivo CSM, resultando em valores de I_{ON}/(W/L) similares entre o OSM e CSM, este comportamento deve-se ao fato da menor interação entre as componentes do campo elétrico longitudinal para ângulos α elevados, conforme apresentado no capítulo 4, devido a menor influência do LCE e da menor influência da topologia geométrica octogonal representada pelo efeito PATDCLE .

Devido à influência do terceiro campo elétrico longitudinal , intrínseca da estrutura OSM (LCE), conforme apresentado na sessão 2.12, aliada ao comportamento do comprimento de canal da estrutura (PATDCLE), verifica-se que, em todas as condições (com exceção do

dispositivo OSM com fator de corte (c) igual a 50% e ângulo α igual a 126,9°), o dispositivo OSM apresenta um comportamento superior ao do dispositivo CSM, variando de um ganho mínimo de I_{ON} /(W/L) de 19% para o dispositivo OSM com fator de corte (c) de 75% e ângulo α igual a53,1° para um ganho máximo de I_{ON} /(W/L), observado no dispositivo OSM com fator de corte (c) de 25% e ângulo α igual a 53,1°. Ficando evidenciado que quanto maior o fator de corte da estrutura, aliada a ângulos α elevados, mais a estrutura do OSM é degradada equiparando-se com o dispositivo CSM.

Estes dados consolidam o desempenho superior dos dispositivos OSM para o parâmetro corrente de estado ligado em relação ao fator geométrico.

5.7 Corrente de estado desligado [I_{OFF} /(W/L_{EQ})]

Os valores da corrente de estado desligado foram extraídos da curva de log $[I_{DS} / (W / L)] \, x \, V_{GT}$ obtidos para $V_{GS} = 0 \, e \, V_{DS} = V_{DD} = 3{,}5 \, V$. A Tabela 22 sumariza e compara os valores da corrente de estado desligado dos dispositivos OSM e CSM, considerando-se a mesma área de porta e condições de polarização, assim como dos dispositivos OSM e DSM, considerando-se o mesmo fator geométrico (W/L) e condições de polarização.

Tabela 22. Tabela comparativa da corrente de estado desligado para os diferentes dispositivos CSM, OSM e DSM estudados.

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	I_{OFF} / (W/L_{EQ})	
	---	---	%	graus (°)	µm²	---	A	Ganho %
01	DSM	TR57	0	53,1	1050	0,86	9,697E-14	↑ 95%
02	OSM	TR18	25	53,1	825	0,86	1,182E-12	↑ 39%
03	CSM	TR3	---	---	825	1,09	1,939E-12	→ 0%
04	OSM	TR20	50	53,1	600	1,2	7,380E-13	↓ -36%
05	CSM	TR19	---	---	600	1,5	5,440E-13	---
06	OSM	TR5	25	90	486	1,5	5,982E-13	↓ -178%
07	CSM	TR2	---	---	486	1,85	2,154E-13	---
08	OSM	TR46	75	53,1	375	2	5,190E-14	↑ 88%
09	CSM	TR39	---	---	375	2,4	4,170E-13	---
10	OSM	TR4	25	126,9	324	2,37	3,970E-13	↓ -112%
11	CSM	TR1	---	---	324	2,79	1,870E-13	---
12	OSM	TR22	50	126,9	264	3	3,390E-13	↑ 96%
13	CSM	TR11	---	---	264	3,43	7,630E-12	---

A Figura 51 apresenta o gráfico de $I_{OFF}/(W/L)$, (V_{DS} igual a V_{DD} igual a 3,5V e V_{GS} igual a 0), em função do fator de corte (c) do OSM considerando-se o ângulo α fixo e igual a 53,1°.

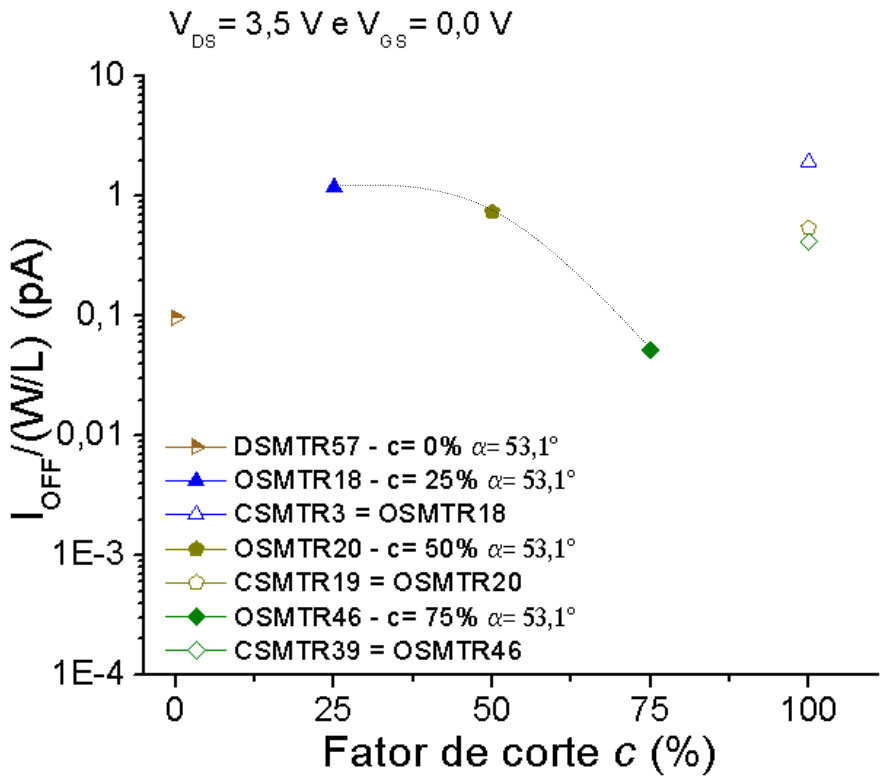


Figura 51. Gráfico de I_{OFF}/(W/L) em função do fator de corte c dos dispositivos CSM, DSM e OSM estudados.

Analisando a Figura 51, observa-se a dependência do valor da corrente de estado ligado, em função do fator de corte (c) a partir de um ângulo α fixo, em que quanto maior o fator de corte (c), menor será a corrente de estado desligado. Nota-se que com a exceção do dispositivo OSM com fator de corte (c) igual a 50% e ângulo α igual a 53,1°, todos os dispositivos OSM obtiveram um desempenho superior ao equivalente convencional, considerando a mesma área de porta e condições de polarização

Vale ressaltar, que o grupo de dispositivos OSM obteve uma maior linearidade entre os valores, dado que o grupo dos dispositivos CSM obteve uma variação dos valores 36,6% superiores quando comparado ao grupo dos OSM.

A Figura 52 apresenta o gráfico de I_{OFF}/(W/L), (V_{DS} igual a V_{DD} igual a 3,5V e V_{GS} igual a 0), em função do ângulo α do OSM, considerando-se o fator de corte (c) fixo e igual a 25%.

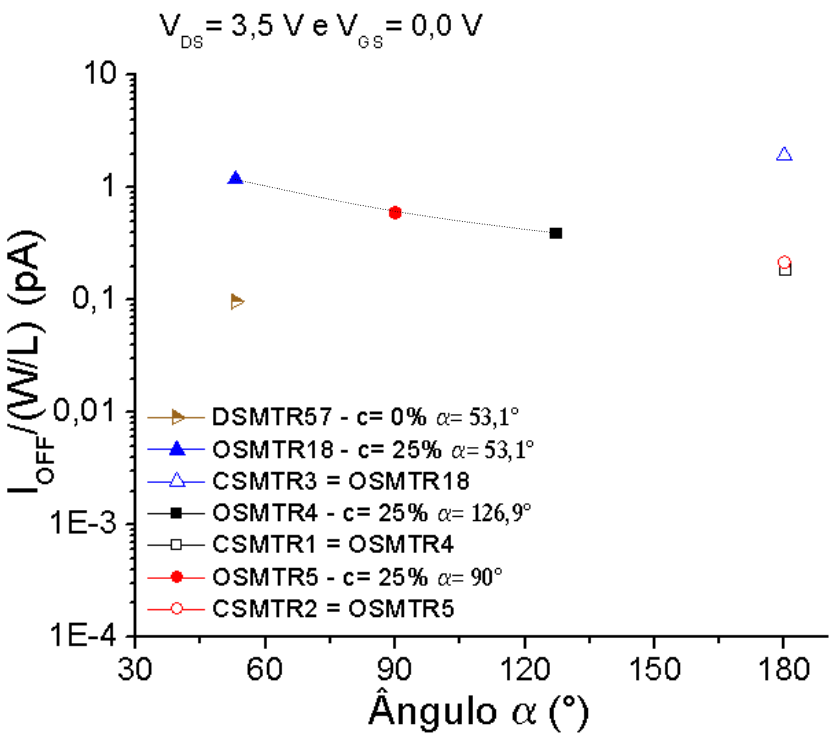


Figura 52. Gráfico de I_{ON}/(W/L) em função do ângulo α dos dispositivos CSM, DSM e OSM estudados.

Analisando a Figura 52, observa-se a dependência do valor da corrente de estado ligado, em função do ângulo α, considerando-se um fator de corte (c) fixo e igual a 25%, em que quanto maior o ângulo α, menor será a corrente de estado desligado, no entanto, com uma menor intensidade quando comparada a influência do fator de corte (c) visualizada na Figura 51. Nota-se que com a exceção do dispositivo OSM com fator de corte (c) igual a 25% e ângulo α igual a 53,1°, todos os dispositivos OSM obtiveram um valor desempenho inferior ao equivalente convencional, considerando a mesma área de porta e condições de polarização

Vale ressaltar, que o grupo de dispositivos OSM obteve uma maior linearidade entre os valores, dado que o grupo dos dispositivos CSM obteve uma variação dos valores 27,3% superiores quando comparado ao grupo dos OSM.

5.8 Razão I_{ON}/I_{OFF}

A Tabela 23 sumariza e compara os valores da razão da corrente de estado ligado com a corrente de estado desligado dos dispositivos OSM e CSM. Um dispositivo DSM de c= 0% e α= 53,1° é inserido para expandir a comparação entre as três diferentes topologias.

Tabela 23. Tabela comparativa da razão da corrente de estado ligado pela corrente de estado desligado para os diferentes dispositivos CSM, DSM e OSM estudados.

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	I_{ON} / I_{OFF}	
	---	---	%	graus (°)	µm²	---		Ganho %
01	DSM	TR57	0	53,1	1050	0,86	6284417861	4853%
02	OSM	TR18	25	53,1	825	0,86	510114261,5	302%
03	CSM	TR3	---	---	825	1,09	126869520,4	0%
04	OSM	TR20	50	53,1	600	1,2	590785907,9	20%
05	CSM	TR19	---	---	600	1,5	490808823,5	---
06	OSM	TR5	25	90	486	1,5	656970912,7	-45%
07	CSM	TR2	---	---	486	1,85	1202414113	---
08	OSM	TR46	75	53,1	375	2	5587668593	855%
09	CSM	TR39	---	---	375	2,4	585131894,5	---
10	OSM	TR4	25	126,9	324	2,37	808564231,7	-42%
11	CSM	TR1	---	---	324	2,79	1401069519	---
12	OSM	TR22	50	126,9	264	3	787610619,5	1857%
13	CSM	TR11	---	---	264	3,43	40235910,88	---

A Figura 53 apresenta o gráfico de $I_{ON}/I_{OFF,}$ em função do fator de corte (c) do OSM considerando-se o ângulo α fixo e igual a 53,1°.

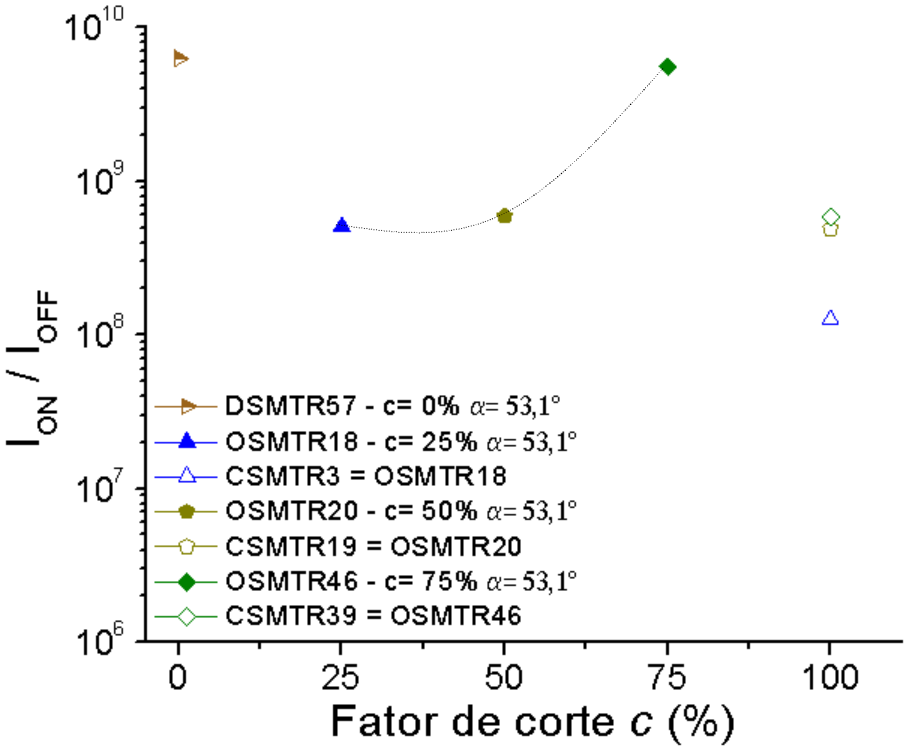


Figura 53. Gráfico da razão I_{ON} /I_{OFF} em função do fator de corte (c), dos dispositivos CSM, DSM e OSM estudados.

Observando os valores da interação dada pela razão de I_{ON}/I_{OFF}, em função do fator de corte (c), conforme é ilustrado na Figura 53, nota-se a forte influência da corrente de estado ligado (devido a sua ordem de grandeza) nos valores obtidos. Observe que para um ângulo fixo e igual a 53,1°, combinado com a variação do fator de corte (c), os transistores OSM apresentaram desempenho superior quando comparado ao seu equivalente CSM, considerando a mesma área de porta e as condições de polarização. Este comportamento deve-se ao maior campo elétrico longitudinal presente na estrutura OCTO em comparação ao equivalente CSM.

A Figura 54 apresenta o gráfico de I_{ON}/I_{OFF}, em função do ângulo α do OSM considerando-se o fator de corte (c) fixo e igual a 25%.

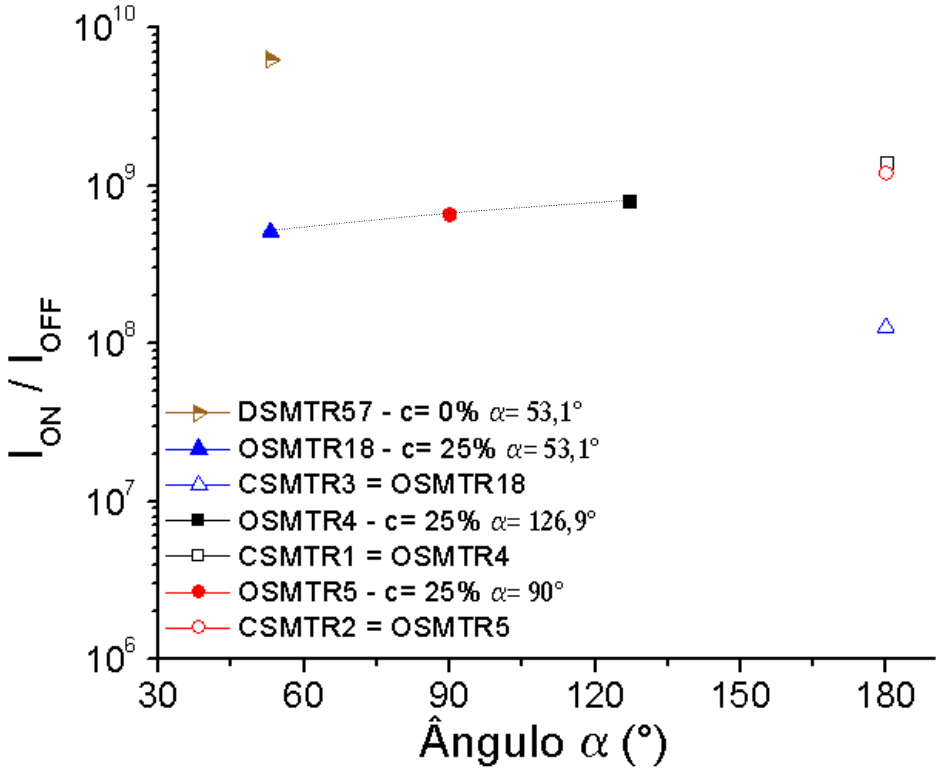


Figura 54. Gráfico da razão I_{ON} /I_{OFF} em função do ângulo α, dos dispositivos CSM, DSM e OSM.

Observando os valores da interação dada pela razão de I_{ON}/I_{OFF}, em função do ângulo α, conforme é ilustrado na Figura 54, nota-se a forte influência da corrente de estado desligado (devido a sua ordem de grandeza) nos valores obtidos. Observe que para um fator de corte fixo e igual a 25%, combinado com a variação do ângulo α, com exceção do dispositivo OSM com ângulo α de 53,1°, os transistores OSM apresentaram desempenho inferior quando comparado ao seu equivalente CSM, considerando a mesma área de porta e as condições de polarização. Este comportamento deve-se ao fato da menor interação entre as componentes do campo elétrico longitudinal presente na estrutura OCTO em comparação ao equivalente CSM devido aos ângulos α elevados.

Vale ressaltar que os valores da razão de I_{ON}/I_{OFF} , apresentaram uma forte dependência pelo valor de I_{OFF}. Esta dependência é observada pelas tendências similares apresentadas pelo I_{OFF} e I_{ON}/I_{OFF},

5.9 Corrente de fuga [I_{LEAK} / (W/L_{EQ})]

Os valores da corrente de fuga foram extraídos da curva log $[I_{DS}\ /(W/L)]\ x\ V_{GT}$ obtidos para $V_{GT} = -0{,}5V\ e\ V_{DS} = V_{DD} = 3{,}5\,V$. A Tabela 24 sumariza e compara os valores da corrente de fuga dos dispositivos OSM e CSM. Um dispositivo DSM de c= 0% e α= 53,1° é inserido para expandir a comparação entre as três diferentes topologias.

Na prática, os valores de I_{LEAK} são muito próximos dos valores de I_{OFF}, sendo assim, os valores são apresentados em caráter ilustrativo, a fim de se avaliar a tendência dos valores.

Tabela 24. Tabela comparativa da corrente de fuga para os diferentes dispositivos CSM, DSM e OSM estudados.

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	I_{LEAK} / (W/L_{eff})	
	---	---	%	graus (°)	µm²	---	A	Ganho %
01	DSM	TR57	0	53,1	1050	0,86	1,210E-13	↑ 94%
02	OSM	TR18	25	53,1	825	0,86	1,230E-12	↑ 42%
03	CSM	TR3	---	---	825	1,09	2,120E-12	→ 0%
04	OSM	TR20	50	53,1	600	1,2	7,490E-13	↓ -22%
05	CSM	TR19	---	---	600	1,5	6,120E-13	---
06	OSM	TR5	25	90	486	1,5	6,280E-13	↓ -177%
07	CSM	TR2	---	---	486	1,85	2,270E-13	---
08	OSM	TR46	75	53,1	375	2	5,970E-14	↑ 87%
09	CSM	TR39	---	---	375	2,4	4,450E-13	---
10	OSM	TR4	25	126,9	324	2,37	4,310E-13	↓ -122%
11	CSM	TR1	---	---	324	2,79	1,940E-13	---
12	OSM	TR22	50	126,9	264	3	3,310E-13	↑ 30%
13	CSM	TR11	---	---	264	3,43	4,730E-13	---

A Figura 55 apresenta o gráfico de I_{LEAK}/(W/L), (V_{DS} igual a V_{DD} igual a 3,5V e V_{GT} igual a -0,5), em função do fator de corte (c) do OSM considerando-se o ângulo α fixo e igual a 53,1°.

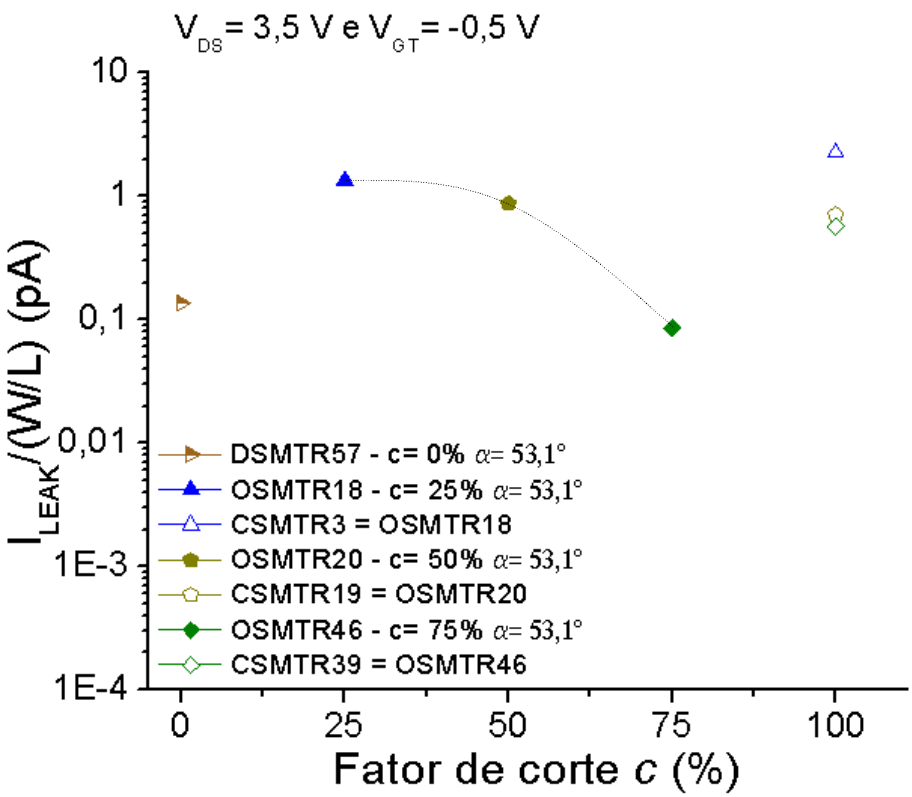


Figura 55. Gráfico da I_{LEAK} em função do fator de corte (c), dos dispositivos CSM, DSM e OSM estudados

Observando os valores de $I_{LEAK}/(W/L)$, em função do fator de corte (c), conforme e ilustrado na Figura 55, ao diminuir o fator de corte (c), o valor de $I_{LEAK}/(W/L)$ aumenta, ou seja, quanto menor o fator de corte do dispositivo OSM, maior será o valor de $I_{LEAK}/(W/L)$, se comparado com o dispositivo equivalente convencional, isto deve-se ao fato da maior intensidade do campo elétrico longitudinal (LCE)[12,14] presente na estrutura para fatores de corte pequenos, além da maior influência da topologia octogonal dado pelo efeito PATDCLE, ocasionando na melhor interação entre as componentes do campo elétrico longitudinal, o que acabe possibilitando um efeito indesejado de elevação da corrente de fuga. Em contrapartida, quanto maior o fator de corte utilizado no OSM, mais o dispositivo OSM se assemelha com o dispositivo CSM, resultando em valores de $I_{ON}/(W/L)$ similares entre o OSM e CSM, este comportamento deve-se ao fato da menor interação entre as componentes do campo elétrico longitudinal para altos fatores de corte (c). Como já comentado, os valores de $I_{OFF}/(W/L)$, também são influenciados pelo comprimento de canal resultante da estrutura octogonal, dado que a estrutura pode ser representada pela associação paralela de diferentes MOSFETS com diferentes comprimentos de canal (PATDCLE), onde a corrente de dreno flui mais pelos L menores, conforme dependência apresentada na Figura 56.

A Figura 56 apresenta o gráfico de $I_{LEAK}/(W/L)$, (V_{DS} igual a V_{DD} igual a 3,5V e V_{GT} igual a -0,5), em função do comprimento equivalente do canal, considerando-se o ângulo α fixo e igual a 53,1°.

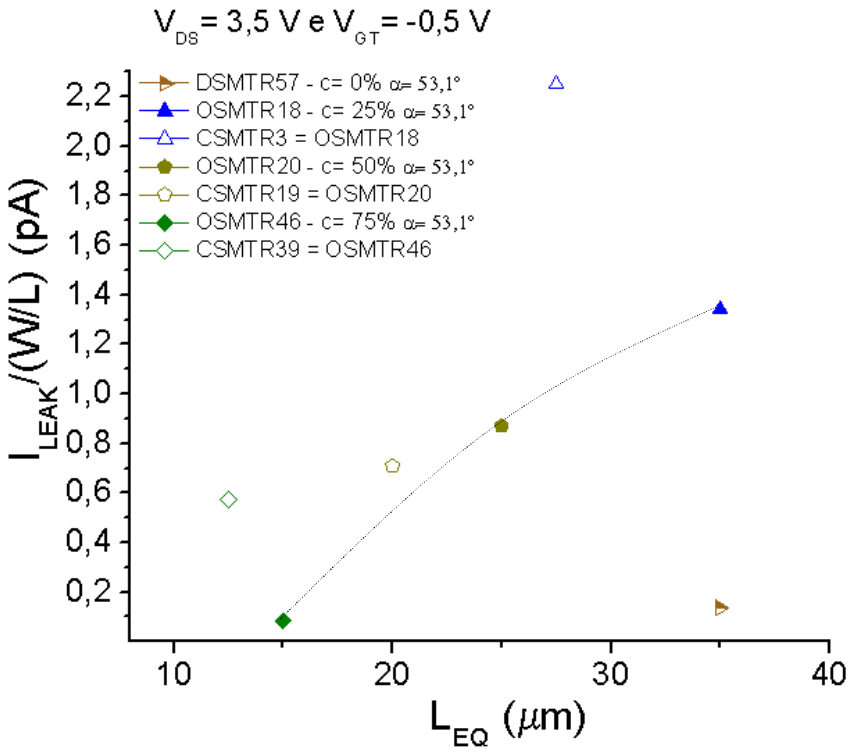


Figura 56. Gráfico da I_{LEAK} em função do comprimento de canal considerando um ângulo α fixo de 53,1°, para os dispositivos CSM, DSM e OSM estudados

Analisando a Figura 56, nota-se a influência do valor do comprimento equivalente de canal na corrente de fuga. Observa-se que, ao aumentar o comprimento equivalente do canal ocorre o aumento da corrente de fuga. Além da influência do comprimento equivalente de canal a corrente de fuga apresenta uma dependência pelo valor da tensão de limiar, conforme Figura 57.

A Figura 57 apresenta o gráfico de $I_{LEAK}/(W/L)$, (V_{DS} igual a V_{DD} igual a 3,5V e V_{GT} igual a -0,5), em função da tensão de limiar, considerando-se o ângulo α fixo e igual a 53,1°.

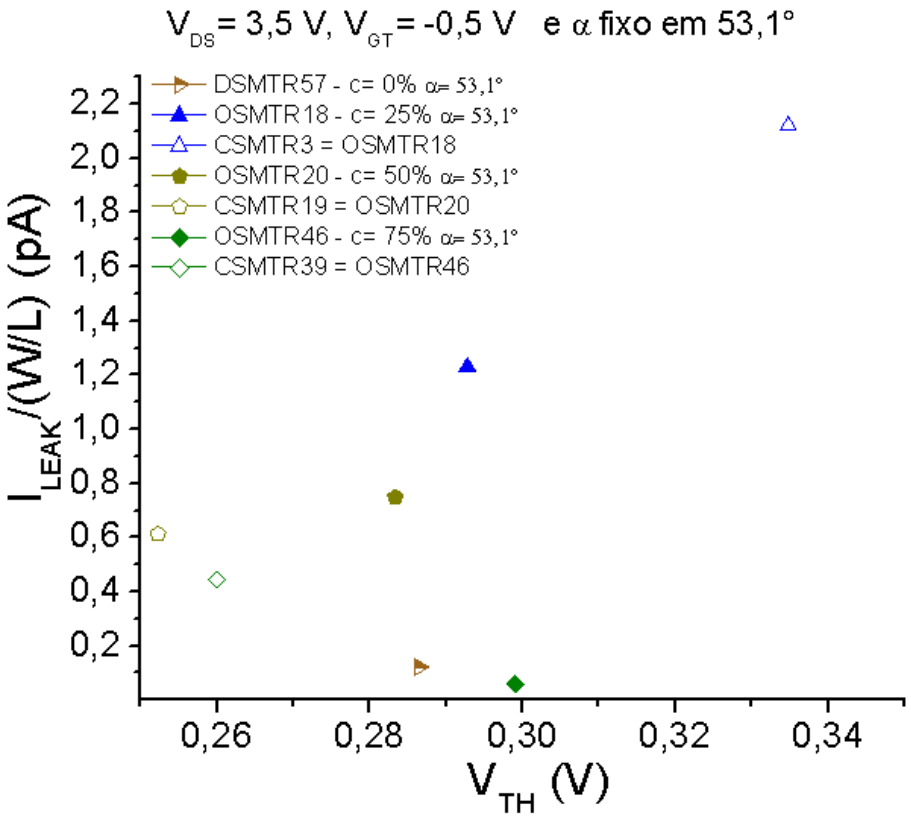


Figura 57. Gráfico da I_{LEAK} em função de V_{TH} considerando-se um ângulo α fixo de 53,1°, dos dispositivos CSM, DSM e OSM estudados.

Analisando a Figura 57, nota-se a influência do valor da tensão de limiar na corrente de fuga. Observa-se que, ao aumentar a tensão de limiar ocorre o aumento da corrente de fuga.

Nas Figuras, 55, 56 e 57, foram apresentados os dados da corrente de fuga em função do fator de corte (c) do OSM, assim como a influência do comprimento equivalente de canal e da tensão de limiar na composição da corrente de fuga. Já as Figuras 58, 59 e 60 representarão o comportamento da corrente de fuga em função da influência do ângulo α (Figura 58), em função da combinação do comprimento equivalente de canal com o ângulo α (Figura 59) e em função da combinação da tensão de limiar com o ângulo α (Figura 60).

A Figura 58 apresenta o gráfico de $I_{LEAK}/(W/L)$, (V_{DS} igual a V_{DD} igual a 3,5V e V_{GT} igual a -0,5), em função do ângulo α do OSM considerando-se o fator de corte fixo e igual a 25%.

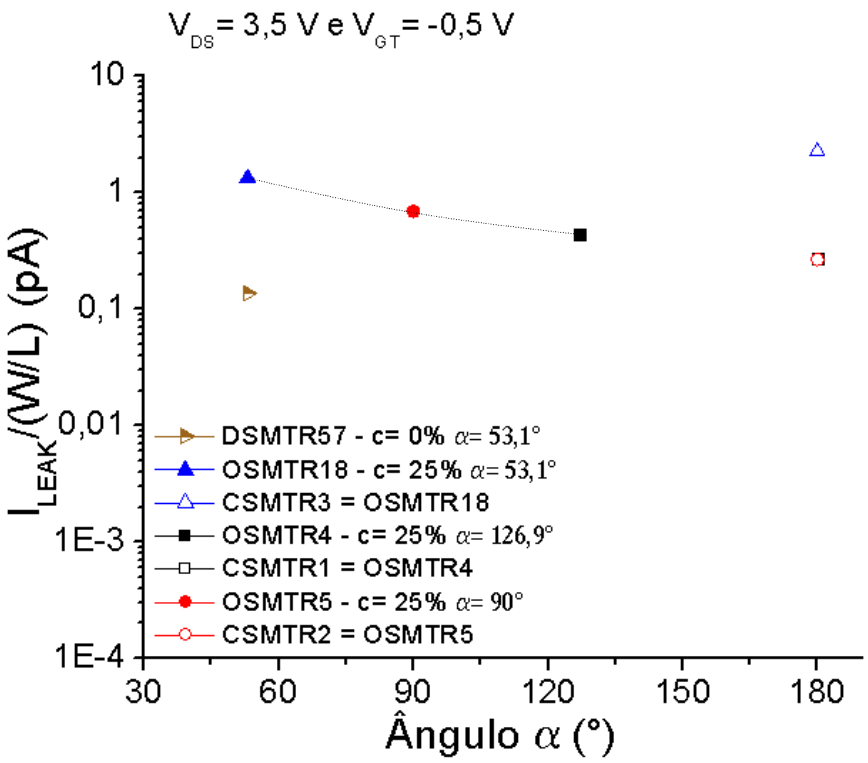


Figura 58. Gráfico da I_{LEAK} em função do ângulo α, dos dispositivos CSM, DSM e OSM estudados.

Observando os valores de I_{LEAK}/(W/L), em função do ângulo α, conforme é ilustrada na Figura 58, ao diminuindo-se o ângulo α, o valor de I_{LEAK}/(W/L) aumenta, ou seja, quanto menor o ângulo α do dispositivo OSM, maior será o valor de I_{LEAK}/(W/L), se comparado com o dispositivo equivalente convencional, o que acaba possibilitando um efeito indesejado de elevação da corrente de fuga. Em contrapartida, quanto maior o ângulo α utilizado no OSM, mais o dispositivo OSM se assemelha com o dispositivo CSM, resultando em valores de I_{ON}/(W/L) similares entre o OSM e CSM. Os valores de I_{LEAK}/(W/L), também são influenciados pelo comprimento de canal resultante da estrutura octogonal, dado que a estrutura pode ser representada pela associação paralela de diferentes MOSFETS com diferentes comprimentos de canal, onde a corrente de dreno flui mais pelos L menores, conforme dependência apresentada na Figura 59.

A Figura 59 apresenta o gráfico de I_{LEAK}/(W/L), (V_{DS} igual a V_{DD} igual a 3,5V e V_{GT} igual a -0,5), em função do comprimento equivalente do canal, considerando-se o fator de corte fixo e igual a 25%.

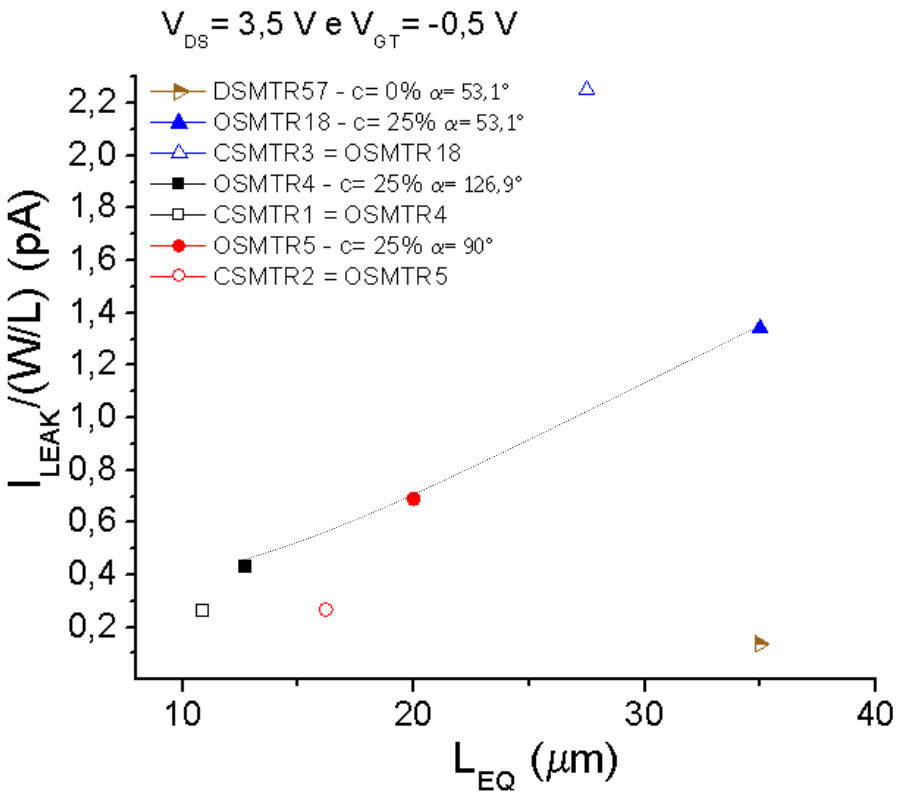


Figura 59. Gráfico da I_{LEAK} em função do comprimento de canal considerando um fator de corte (c) fixo de 25%, dos dispositivos CSM, DSM e OSM estudados.

Analisando a Figura 59, nota-se a influência do valor do comprimento equivalente de canal na corrente de fuga. Observa-se que, ao aumentar o comprimento equivalente do canal ocorre o aumento da corrente de fuga. Além da influência do comprimento equivalente de canal a corrente de fuga apresenta uma dependência pelo valor da tensão de limiar, conforme Figura 60.

A Figura 60 apresenta o gráfico de $I_{LEAK}/(W/L)$, (V_{DS} igual a V_{DD} igual a 3,5V e V_{GT} igual a -0,5V), em função da tensão de limiar, considerando-se o fator de corte fixo e igual a 25%.

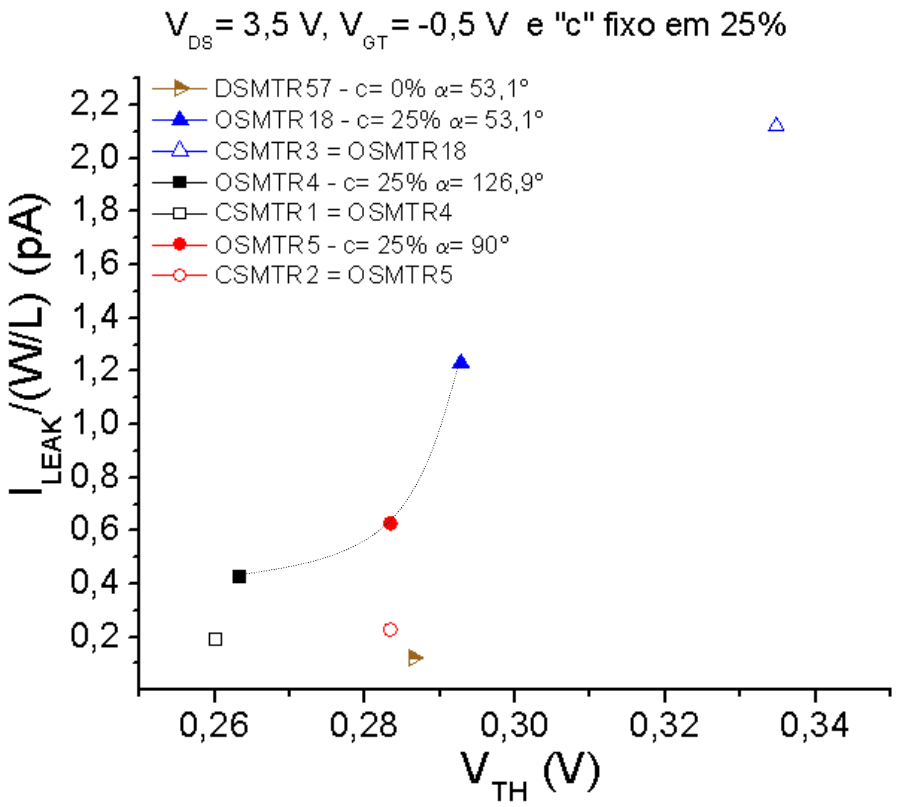


Figura 60. Gráfico da I_{LEAK} em função da V_{TH} considerando-se um fator de corte (c) fixo de 25%, dos dispositivos CSM, DSM e OSM estudados.

Analisando a Figura 60, nota-se a influência do valor da tensão de limiar na corrente de fuga. Observa-se que, ao aumentar a tensão de limiar ocorre o aumento da corrente de fuga, tanto nos dispositivos OSM como CSM.

5.10 Corrente de dreno normalizada pelo fator geométrico em função da tensão de dreno na região de saturação [I_{DS} / (W/L_{EQ}) x V_{DS}]

A Figura 61 representa e relaciona a corrente de dreno para o melhor e pior caso dentre os dispositivos estudados como o SOI MOSFET convencional, Diamante e em formato Octogonal, normalizadas por (para eliminar a influência do fator geométrico dos dispositivos no resultado) em função da tensão de dreno . Cada dispositivo é apresentado em função do fator de corte (c) dado em percentual (%), assim como do ângulo α (°) da junção metalúrgica.

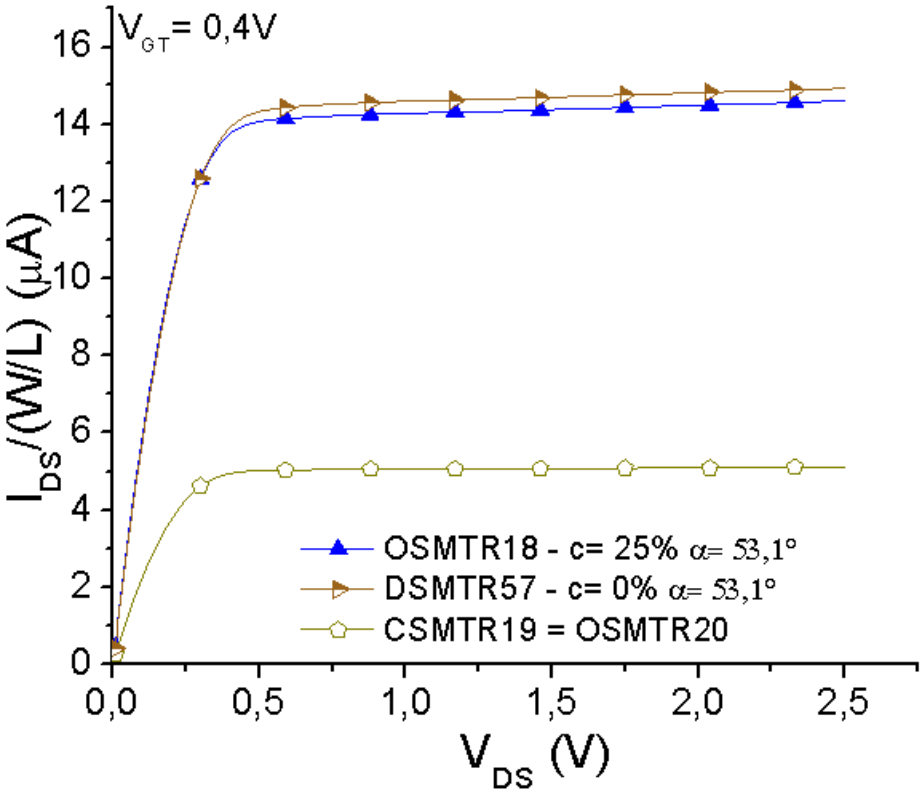


Figura 61. Curvas experimentais de I_{DS} / (W/L) em função de V_{DS} para os melhores e piores casos entre os diferentes dispositivos DSM (c= 0% e α= 53,1°), OSM (c= 25% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET estudados.

Analisando o gráfico de $I_{DS}/\,(W/L)\;\; x\, V_{DS}$ na Figura 61, observa-se a ordem de grandeza entre os valores máximos (encontrados nos dispositivos DSM com ângulo α de 53,1° e fator de corte (c) igual a 0% e OSM com ângulo α de 53,1° e fator de corte (c) de 25%) e o valor mínimo (encontrado no dispositivo CSM). Os dispositivos OSM apresentaram valores de $I_{DS}/\,(W/L)$ superiores aqueles observados nos equivalentes CSM, considerando-se a mesma área de porta (A_G) e condições de polarização. Isto pode ser justificado devido ao maior campo elétrico longitudinal presente na estrutura OCTO em comparação ao equivalente CSM, devido a influência dos efeitos do LCE e influência da topologia octogonal representada pelo efeito PATDCLE. A comprovação do maior campo elétrico presente na estrutura OCTO será melhor entendida ao analisar a tensão Early do OCTO, que será degradada devido a modulação do comprimento do canal, devido ao maior campo elétrico.

Os gráficos comparativos dos dispositivos OSM com os respectivos equivalentes CSM (de mesma área de porta) são apresentados nas Figuras de 62 até 67. Em cada gráfico foram

inseridas setas que indicam a região ou ponto de obtenção da $I_{DS}/\ (W/L)$ para V_{DS} = 2,5 V e V_{GT} = 0,4 V assim como o ganho percentual de corrente de dreno normalizada em função do fator geométrico (f_g) entre os dispositivos citados.

A Figura 62 apresenta as curvas de I_{DS}/(W/L) em função de V_{DS} dos SOI nMOSFET Diamante e OCTO com ângulo α igual a 53,1° e o convencional equivalente ao OCTO (mesma área de porta).

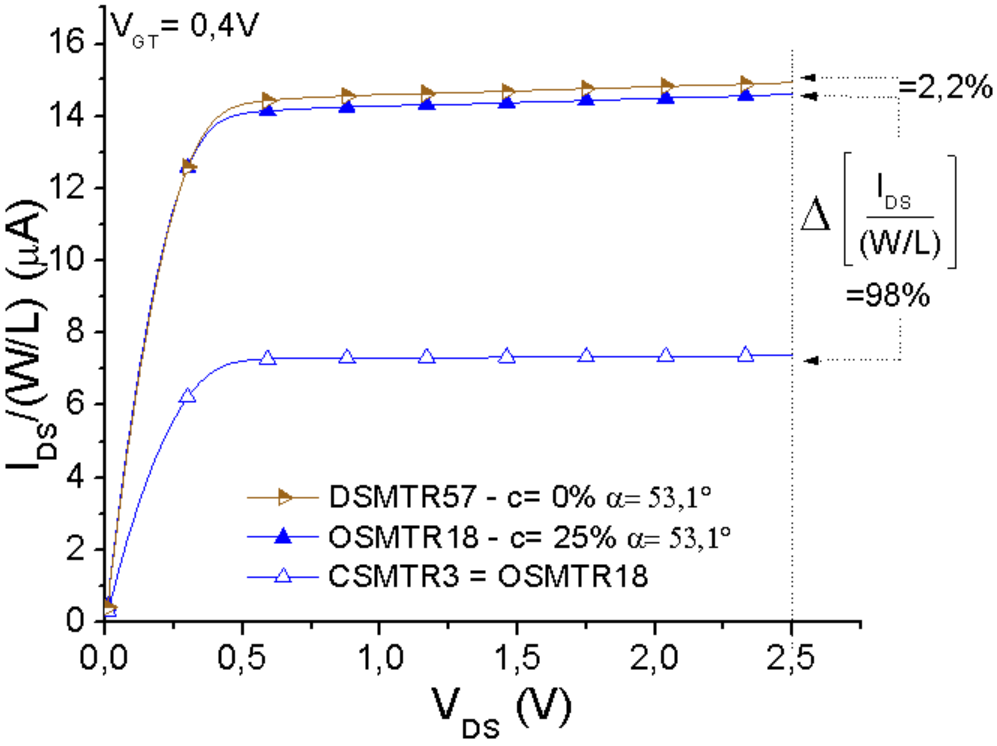


Figura 62. Curvas experimentais de I_{DS} / (W/L) em função de V_{DS} para os dispositivos DSM (c= 0% e α= 53,1°), OSM (c= 25% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 62, $\Delta\left[\frac{I_{DS}}{(W/L)}\right]$ indica a variação do valor de I_{DS}/(W/L) entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Considerando a região de saturação e analisando a corrente de dreno normalizada em função do fator geométrico (f_g) para V_{DS} = 2,5 V, o dispositivo OSM apresentou um valor 98% superior ao seu equivalente CSM, considerando-se a mesma área de porta e condições de polarização. Isso pode ser justificado devido aos efeitos do LCE e PATDCLE, que incrementam o valor do campo elétrico longitudinal resultante. Vale ressaltar que o dispositivo OSM apresentou um valor 2,2% inferior quando comparado ao dispositivo DSM equivalente, considerando-se o mesmo fator geométrico (W/L) e condições de polarização.

Isso pode ser justificado pelo maior campo elétrico longitudinal resultante presente na estrutura OCTO devido a influência do terceiro campo elétrico longitudinal $\overrightarrow{\varepsilon_{//3}}$ (LCE). A Tabela 25 sumariza a comparação realizada entre esses dispositivos, considerando a estrutura CSM como referência.

Tabela 25. Tabela comparativa de I_{DS} / (W/L) para V_{DS}= 2,5V, na região de saturação entre a referência CSM e os dispositivos DSM (c= 0% e α= 53,1°) e OSM (c= 25% e α= 53,1°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	I_{DS} / (W/L) sat.	
	---	---	%	graus (°)	µm²	---	A	Ganho %
01	DSM	TR57	0	53,1	1050	0,86	1,493E-05	102%
02	OSM	TR18	25	53,1	825	0,86	1,461E-05	98%
03	CSM	TR3	---	---	825	1,09	7,373E-06	0%

A Figura 63 apresenta as curvas de I_{DS}/(W/L) em função de V_{DS} dos SOI nMOSFET OCTO com ângulo α igual a 90° e o convencional equivalente (mesma área de porta).

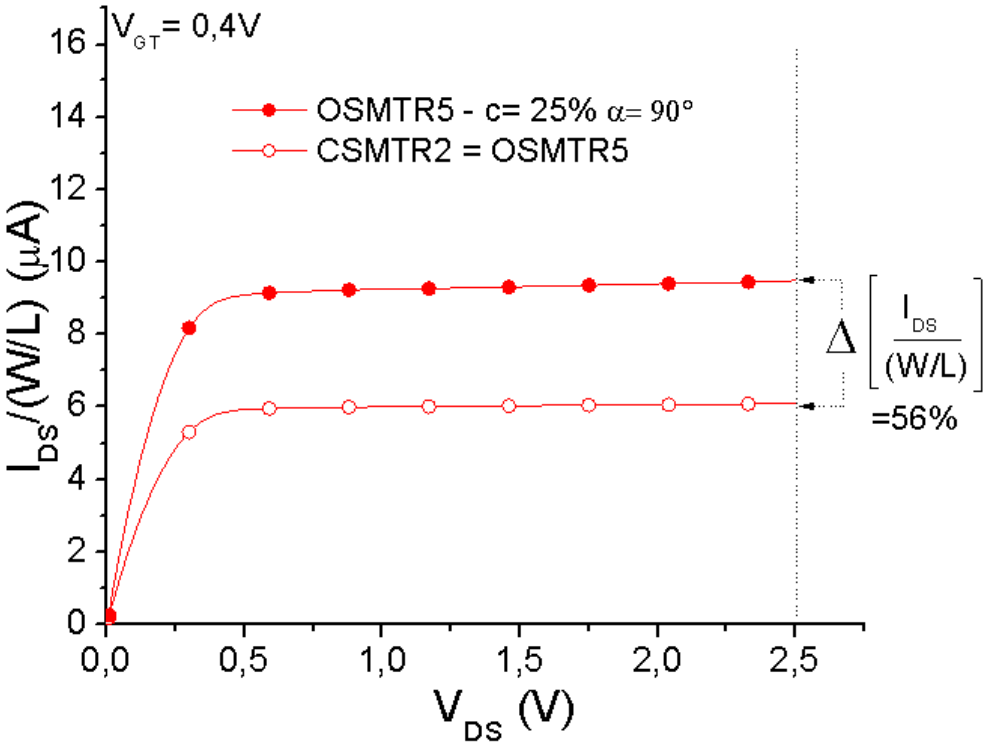


Figura 63. Curvas experimentais de I_{DS} / (W/L) em função de V_{DS} para os dispositivos OSM (c= 25% e α= 90°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 63, $\Delta\left[\frac{I_{DS}}{(W/L)}\right]$ indica a variação do valor de $I_{DS}/(W/L)$ entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Considerando a região de saturação e analisando a corrente de dreno normalizada em função do fator geométrico (f_g) para $V_{DS} = 2{,}5\,V$, o dispositivo OSM apresentou um valor 56% superior ao seu equivalente CSM, considerando-se a mesma área de porta e condições de polarização. Isso pode ser justificado devido aos efeitos do LCE e PATDCLE. A Tabela 26 sumariza a comparação realizada entre esses dispositivos, considerando a estrutura CSM como referência.

Tabela 26. Tabela comparativa de I_{DS} / (W/L) para V_{DS}= 2,5V, na região de saturação entre a referência CSM e o dispositivo OSM (c= 25% e α= 90°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	I_{DS} / (W/L) sat.	
	---	---	%	graus (°)	µm²	---	A	Ganho %
06	OSM	TR5	25	90	486	1,5	9,485E-06	⇧ 56%
07	CSM	TR2	---	---	486	1,85	6,096E-06	---

A Figura 64 apresenta as curvas de $I_{DS}/(W/L)$ em função de V_{DS} dos SOI nMOSFET OCTO com ângulo α igual a 126,9° e o convencional equivalente (mesma área de porta).

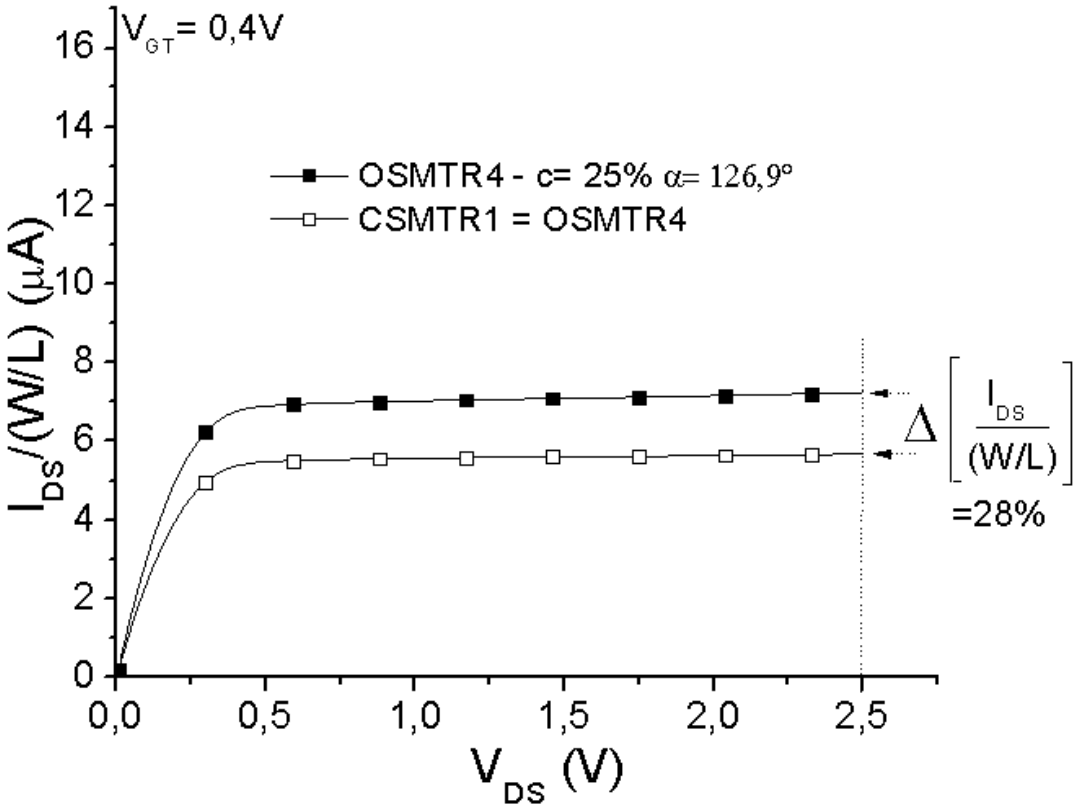


Figura 64. Curvas experimentais de I_{DS} / (W/L) em função de V_{DS} para os dispositivos OSM (c= 25% e α= 126,9°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 64, $\Delta\left[\frac{I_{DS}}{(W/L)}\right]$ indica a variação do valor de I_{DS}/(W/L) entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Considerando a região de saturação e analisando a corrente de dreno normalizada em função do fator geométrico (f_g) para $V_{DS} = 2{,}5\,V$, o dispositivo OSM apresentou um valor 28% superior ao seu equivalente CSM, considerando-se a mesma área de porta e condições de polarização. Isso pode ser justificado, conforme já comentado, devido aos efeitos do LCE e PATDCLE, que incrementam o valor do campo elétrico longitudinal resultante. A Tabela 27 sumariza a comparação realizada entre esses dispositivos, considerando a estrutura CSM como referência.

Tabela 27. Tabela comparativa de I_{DS} / (W/L) para V_{DS}= 2,5V, na região de saturação entre a referência CSM e o dispositivo OSM (c= 25% e α= 126,9°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	I_{DS} / (W/L) sat.	
	---	---	%	graus (°)	µm²	---	A	Ganho %
10	OSM	TR4	25	126,9	324	2,37	7,243E-06	⇧ 28%
11	CSM	TR1	---	---	324	2,79	5,673E-06	---

Note que, aumetando-se o ângulo α de 53,1° para 126,9°, com fator de corte (c) igual a 25%, os ganhos de I_{DS}/(W/L) são diminuídos.

A Figura 65 apresenta as curvas de I_{DS}/(W/L) em função de V_{DS} dos SOI nMOSFET OCTO com ângulo α igual a 53,1° e o convencional equivalente (mesma área de porta).

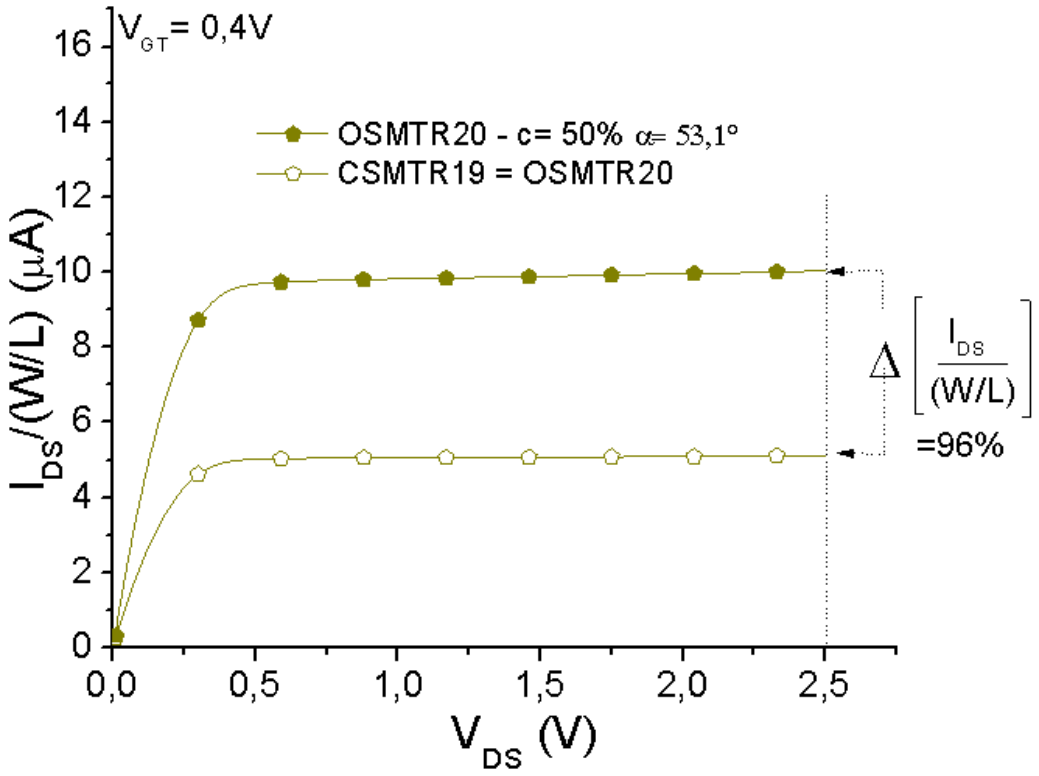


Figura 65. Curvas experimentais de I_{DS} / (W/L) em função de V_{DS} para os dispositivos OSM (c= 50% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 65, $\Delta\left[\frac{I_{DS}}{(W/L)}\right]$ indica a variação do valor de I_{DS}/(W/L) entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Considerando a região de saturação e analisando a corrente de dreno normalizada em função do fator geométrico (f_g) para $V_{DS} = 2{,}5\,V$, o dispositivo OSM apresentou um valor 96% superior ao seu equivalente CSM, considerando-se a mesma área de porta e condições de polarização devido aos efeitos do incremento do campo elétrico longitudinal pelos efeitos do LCE e PATDCLE. A Tabela 28 sumariza a comparação realizada entre esses dispositivos, considerando a estrutura CSM como referência.

Tabela 28. Tabela comparativa de I_{DS} / (W/L) para V_{DS}= 2,5V, na região de saturação entre a referência CSM e o dispositivo OSM (c= 50% e α= 53,1°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	I_{DS} / (W/L) sat.	
	---	---	%	graus (°)	µm²	---	A	Ganho %
04	OSM	TR20	50	53,1	600	1,2	1,003E-05	⇧ 96%
05	CSM	TR19	---	---	600	1,5	5,119E-06	---

A Figura 66 apresenta as curvas de I_{DS}/(W/L) em função de V_{DS} dos SOI nMOSFET OCTO com ângulo α igual a 126,9° e o convencional equivalente (mesma área de porta).

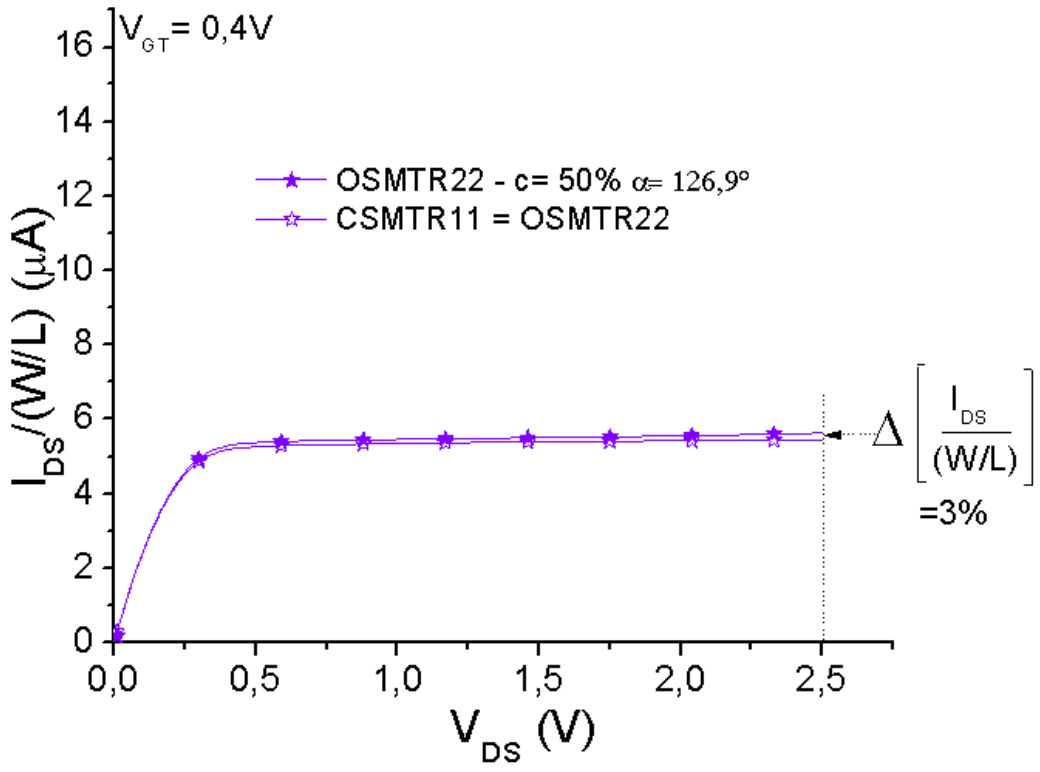


Figura 66. Curvas experimentais de I_{DS} / (W/L) em função de V_{DS} para os dispositivos OSM (c= 50% e α= 126,9°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 66, $\Delta\left[\frac{I_{DS}}{(W/L)}\right]$ indica a variação do valor de $I_{DS}/(W/L)$ entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Considerando a região de saturação e analisando a corrente de dreno normalizada em função do fator geométrico (f_g) para $V_{DS} = 2{,}5\,V$, o dispositivo OSM apresentou um valor 3% superior ao seu equivalente CSM, considerando-se a mesma área de porta e condições de polarização. Neste caso, o campo elétrico longitudinal $\overrightarrow{(\varepsilon_{//})}$ e a influência da geometria octogonal de porta (LCE e PATDCLE) foi muito degradada devido ao alto ângulo α e ao elevado fator de corte (c) aplicados para gerar a estrutura octogonal, aproximando-se desta maneira o comportamento do OSM ao do CSM. A Tabela 29 sumariza a comparação realizada entre esses dispositivos, considerando a estrutura CSM como referência.

Tabela 29. Tabela comparativa de I_{DS} / (W/L) para V_{DS}= 2,5V, na região de saturação entre a referência CSM e o dispositivo OSM (c= 50% e α= 126,9°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	I_{DS} / (W/L) sat.	
	---	---	%	graus (°)	µm²	---	A	Ganho %
12	OSM	TR22	50	126,9	264	3	5,630E-06	⇧ 3%
13	CSM	TR11	---	---	264	3,43	5,447E-06	---

A Figura 67 apresenta as curvas de $I_{DS}/(W/L)$ em função de V_{GDS} dos SOI nMOSFET OCTO com ângulo α igual a 53,1° e o convencional equivalente (mesma área de porta).

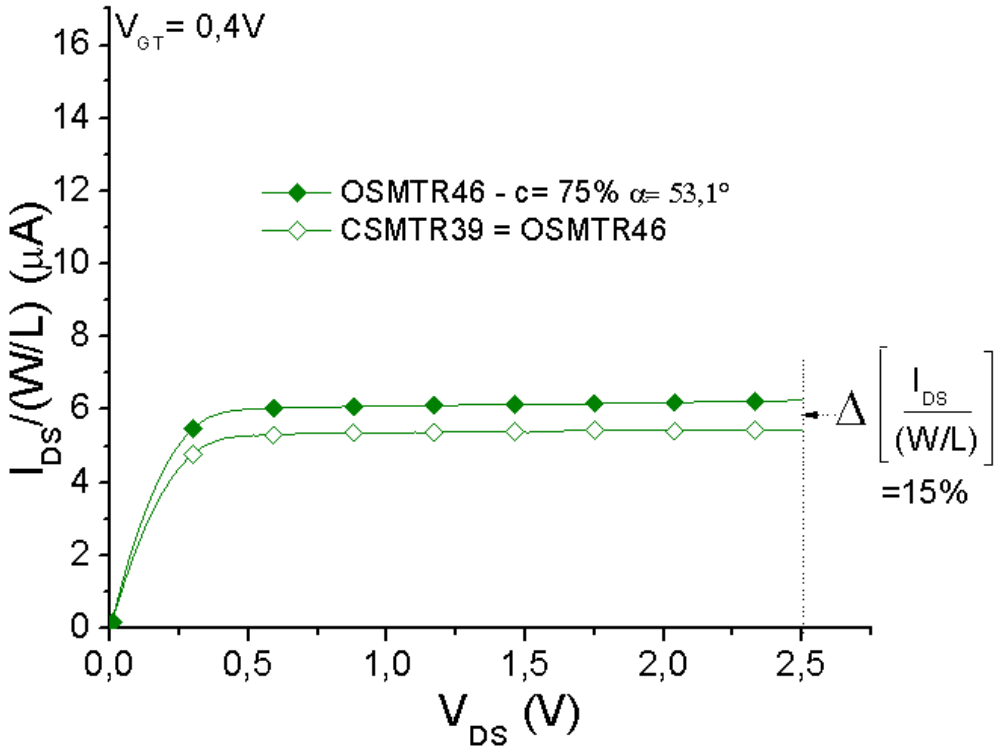


Figura 67. Curvas experimentais de I_{DS} / (W/L) em função de V_{DS} para os dispositivos OSM (c= 75% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 67, $\Delta\left[\frac{I_{DS}}{(W/L)}\right]$ indica a variação do valor de I_{DS}/(W/L) entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Considerando a região de saturação e analisando a corrente de dreno normalizada em função do fator geométrico (f_g) para $V_{DS} = 2{,}5\,V$, o dispositivo OSM apresentou um valor 15% superior ao seu equivalente CSM, considerando-se a mesma área de porta e condições de polarização devido ao maior campo elétrico longitudinal pela influência do LCE e PATDCLE. A Tabela 30 sumariza a comparação realizada entre esses dispositivos, considerando a estrutura CSM como referência.

Tabela 30. Tabela comparativa de I_{DS} / (W/L) para V_{DS}= 2,5V, na região de saturação entre a referência CSM e o dispositivo OSM (c= 75% e α= 126,9°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	I_{DS} / (W/L) sat.	
	---	---	%	graus (°)	µm²	---	A	Ganho %
08	OSM	TR46	75	53,1	375	2	6,259E-06	15%
09	CSM	TR39	---	---	375	2,4	5,445E-06	---

A Figura 68 apresenta o gráfico de I_{DS}/(W/L) na região de saturação (V_{GT} e V_{DS} igual a 0,2V e 2,5V, respectivamente), em função do fator de corte (c) do OSM considerando-se o ângulo α fixo e igual a 53,1°.

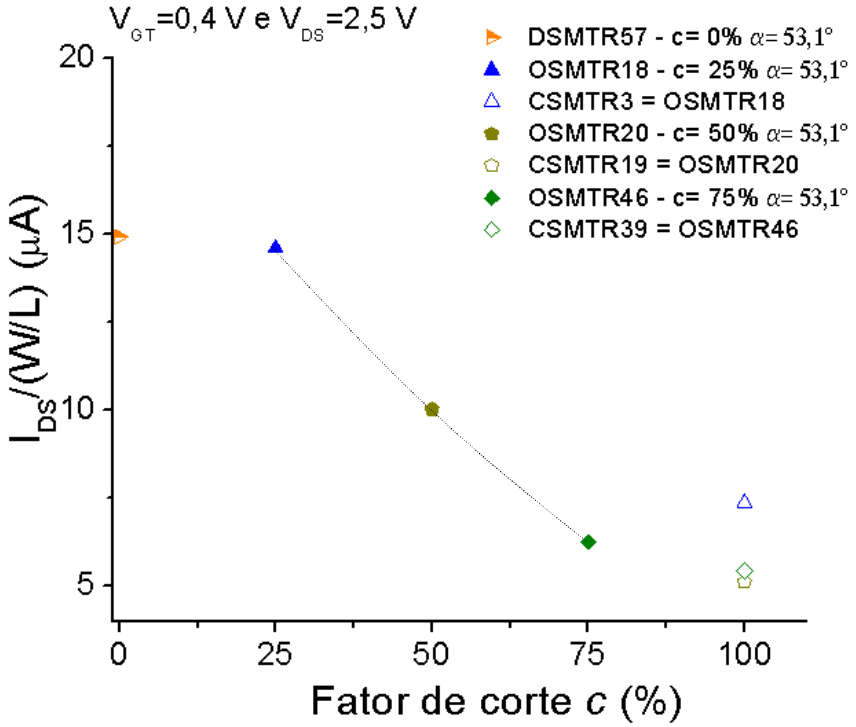


Figura 68. Gráfico de I_{DS}/(W/L) em função do fator de corte c dos dispositivos estudados.

Observando os valores de na região de saturação, em função do fator de corte (c), conforme é ilustrado na Figura 68, ao diminuir o fator de corte (c), o valor de na região de saturação aumenta, ou seja, quanto menor o corte do dispositivo OSM, maior será o valor de , se comparado com o dispositivo equivalente convencional. Em contrapartida, quanto maior o fator de corte utilizado no OSM, mais o dispositivo OSM se assemelha com o dispositivo CSM, resultando em valores de na região de saturação similares, devido a menor interação entre as componentes

do campo elétrico longitudinal (redução do efeito de canto longitudinal *LCE*) [12,14] e redução do efeito devido ao PATDCLE.

A Figura 69 apresenta o gráfico de $I_{DS}/(W/L)$ na região de saturação (V_{GT} e V_{DS} igual a 0,4V e 2,5V, respectivamente), em função do ângulo α do OSM considerando-se o fator de corte (c) fixo e igual a 25%.

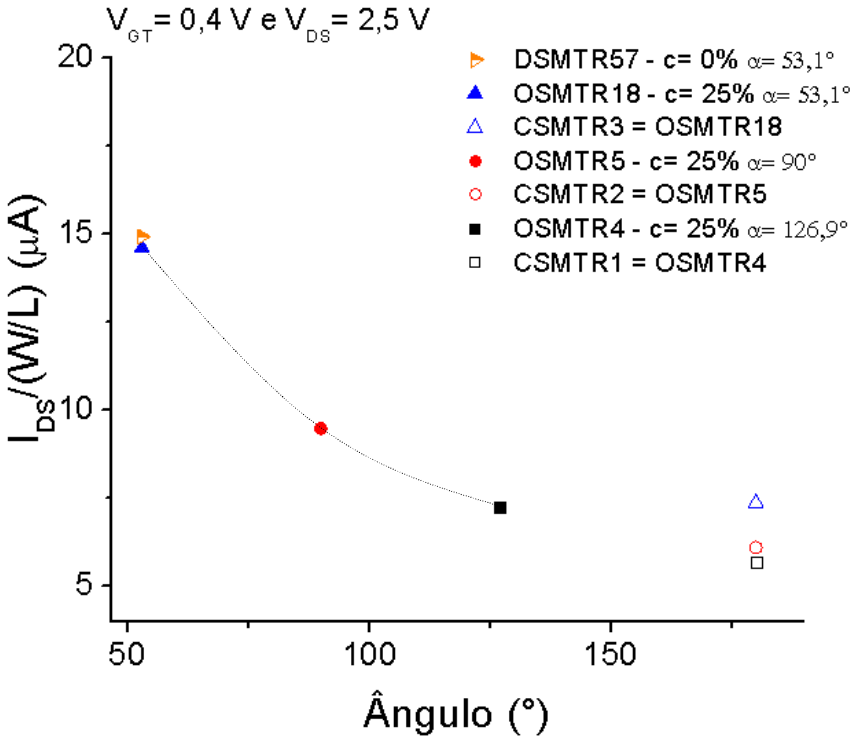


Figura 69. Variação da corrente de dreno na região de saturação em função do ângulo α

Observando os valores de na região de saturação, em função do ângulo α, conforme é ilustrado na Figura 69 confirma-se que ao diminuir o ângulo α, o valor de na região de saturação aumenta, ou seja, quanto menor o ângulo α do dispositivo OSM, maior será o valor de , se comparado com o dispositivo equivalente convencional. Em contrapartida, quanto maior o ângulo α utilizado no OSM, mais o dispositivo OSM se assemelha com o dispositivo CSM, resultando em valores de na região de saturação similares, ou seja, devido a menor é a interação entre as componentes do campo elétrico longitudinal (redução do efeito de canto longitudinal LCE) [12,14] e da associação paralela de transistores com diferentes comprimentos de canal (PATDCLE).

A Tabela 31 sumariza os diferentes dispositivos estudados neste trabalho, contemplando as características construtivas de cada dispositivo, os referidos valores de área de porta e os devidos valores de $I_{DS}/\ (W/L)$ na região de saturação considerando V_{DS}= 2,5 V. Um ensaio comparativo entre todos os resultados é apresentado adotando-se como referência o dispositivo CSM TR3 (em destaque na Tabela 31). Valores superiores são representados pela seta verde, inferiores pelas setas vermelhas e valores similares pela seta amarela.

Tabela 31. Tabela comparativa de área de porta e I_{DS} / (W/L) para V_{DS}= 2,5V, na região de saturação entre a referência (CSM TR3) e os demais dispositivos.

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta		W/L	I_{DS} / (W/L_{eff}) sat.	
	---	---	%	graus (°)	µm²	Ganho %	---	A	Ganho %
01	DSM	TR57	0	53,1	1050	↓ -27%	0,86	1,493E-05	↑ 102%
02	OSM	TR18	25	53,1	825	→ 0%	0,86	1,461E-05	↑ 98%
03	CSM	TR3	---	---	825	→ 0%	1,09	7,373E-06	→ 0%
04	OSM	TR20	50	53,1	600	↑ 27%	1,2	1,003E-05	↑ 36%
05	CSM	TR19	---	---	600	---	1,5	5,119E-06	---
06	OSM	TR5	25	90	486	↑ 41%	1,5	9,485E-06	↑ 29%
07	CSM	TR2	---	---	486	---	1,85	6,096E-06	---
08	OSM	TR46	75	53,1	375	↑ 55%	2	6,259E-06	↓ -15%
09	CSM	TR39	---	---	375	---	2,4	5,445E-06	---
10	OSM	TR4	25	126,9	324	↑ 61%	2,37	7,243E-06	↓ -2%
11	CSM	TR1	---	---	324	---	2,79	5,673E-06	---
12	OSM	TR22	50	126,9	264	↑ 68%	3	5,630E-06	↓ -24%
13	CSM	TR11	---	---	264	---	3,43	5,447E-06	---

Supondo a existência de um circuito integrado analógico/digital, elaborado com dispositivos SOI convencionais, em que um dos transistores é projetado para suportar uma corrente de dreno na região de saturação de 7,37µA (como por exemplo, o TR3 da Tabela 31). Seleciona-se através da Tabela 31, um dispositivo OSM que suporte a mesma corrente de dreno na região de saturação que o dispositivo CSM (neste caso, o mais próximo é o TR4 da Tabela 31). A Tabela 32 sumariza o resultado, indicando neste que, para uma mesma corrente de dreno na região de saturação, observa-se um ganho de área de porta (A_G) de 61%, utilizando-se o dispositivo OSM.

Tabela 32. Maximizando o ganho de área porta do dispositivo OSM

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta		W/L	I_{DS} / (W/L_{eff}) sat.	
	---	---	%	graus (°)	µm²	Ganho %	---	A	Ganho %
03	CSM	TR3	---	---	825	0%	1,09	7,373E-06	0%
10	OSM	TR4	25	126,9	324	61%	2,37	7,243E-06	-2%

Este comportamento deve-se ao fato do dispositivo OSM possuir uma corrente elétrica superior ao dispositivo CSM, devido principalmente ao maior campo elétrico longitudinal resultante da estrutura octogonal, aliada aos menores comprimentos de canal nas extremidades da estrutura. O que possibilita a sua redução dimensional de 61% na área de porta para equiparação dos valores de corrente de dreno na região de saturação.

O dispositivo OSM que apresentou o referido ganho de área de porta adota um ângulo de 126,9° e um fator de corte (c) de 25%. Conforme apresentado no capítulo 4, quanto maior o ângulo apresentado pelo OSM, mais o mesmo se aproxima da condição do dispositivo convencional, dado que o ângulo teórico do convencional é de 180°. Consequentemente, menor é a interação entre as componentes do campo elétrico longitudinal (redução do efeito de canto longitudinal LCE) [12,14] e da influência da geometria de porta (PATDCLE). Um comportamento similar ocorre quando se aumenta o fator de corte (c), em que o dispositivo OSM se aproxima do convencional.

A Tabela 33 considera uma análise para dispositivos CSM e OSM de mesma área de porta.

Tabela 33. Maximizando o ganho de corrente de dreno na região de triodo

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta		W/L	I_{DS} / (W/L_{eff}) sat.	
	---	---	%	graus (°)	µm²	Ganho %	---	A	Ganho %
02	OSM	TR18	25	53,1	825	0%	0,86	1,461E-05	98%
03	CSM	TR3	---	---	825	0%	1,09	7,373E-06	0%

Analisando a Tabela 33, para uma mesma área de porta e condições de polarização entre um dispositivo CSM e um dispositivo OSM, o OSM apresentou uma corrente de dreno 98% superior ao do convencional equivalente. Este resultado deve-se ao fato do dispositivo OSM possuir um ângulo pequeno (53,1°) privilegiando a ocorrência e aumento do efeito de canto longitudinal LCE [12,14], pela influência do terceiro campo elétrico longitudinal $\overrightarrow{\varepsilon_{//3}}$, intrínseca da estrutura OSM, assim como dos menores comprimentos de canal presentes nas

extremidades da geometria octogonal (PATDCLE), conforme apresentado na sessão 2.11 e 2.12.

Estes dados, aliados aos ganhos percentuais analisados nas Tabelas 31,32 e 33, consolidam o desempenho superior dos dispositivos OSM para o parâmetro elétrico corrente de dreno normalizado em relação ao fator geométrico na região de saturação.

5.11 Resistência série de estado ligado (R_{DS-ON})

A Tabela 34 sumariza os valores da resistência de estado ligado entre os dispositivos OSM e os seus equivalentes de mesma área de porta CSM, considerando-se as mesmas condições de polarização, assim como entre o OSM e DSM considerando-se o mesmo fator geométrico (W/L) e as mesmas condições de polarização.

Tabela 34. Tabela comparativa de R_{DS-ON} para os diferentes dispositivos CSM, DSM e OSM estudados.

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	$R_{DS\,ON}$ x (W/L_{EQ})	
	---	---	%	graus (°)	µm²	---	Ω	Ganho %
01	DSM	TR57	0	53,1	1050	0,86	19866,687	↑ 51%
02	OSM	TR18	25	53,1	825	0,86	19745,466	↑ 51%
03	CSM	TR3	---	---	825	1,09	40648,477	→ 0%
04	OSM	TR20	50	53,1	600	1,2	28296,710	↑ 44%
05	CSM	TR19	---	---	600	1,5	50550,025	---
06	OSM	TR5	25	90	486	1,5	29613,348	↑ 32%
07	CSM	TR2	---	---	486	1,85	43578,941	---
08	OSM	TR46	75	53,1	375	2	39961,751	↑ 12%
09	CSM	TR39	---	---	375	2,4	45343,518	---
10	OSM	TR4	25	126,9	324	2,37	39766,213	↑ 19%
11	CSM	TR1	---	---	324	2,79	49072,646	---
12	OSM	TR22	50	126,9	264	3	46979,324	↓ -1%
13	CSM	TR11	---	---	264	3,43	46610,755	---

A Figura 70 apresenta o gráfico de $R_{DS-ON}/(W/L)$, (V_{GT} igual 0,4V), em função do fator de corte (c) do OSM considerando-se o ângulo α fixo e igual a 53,1°.

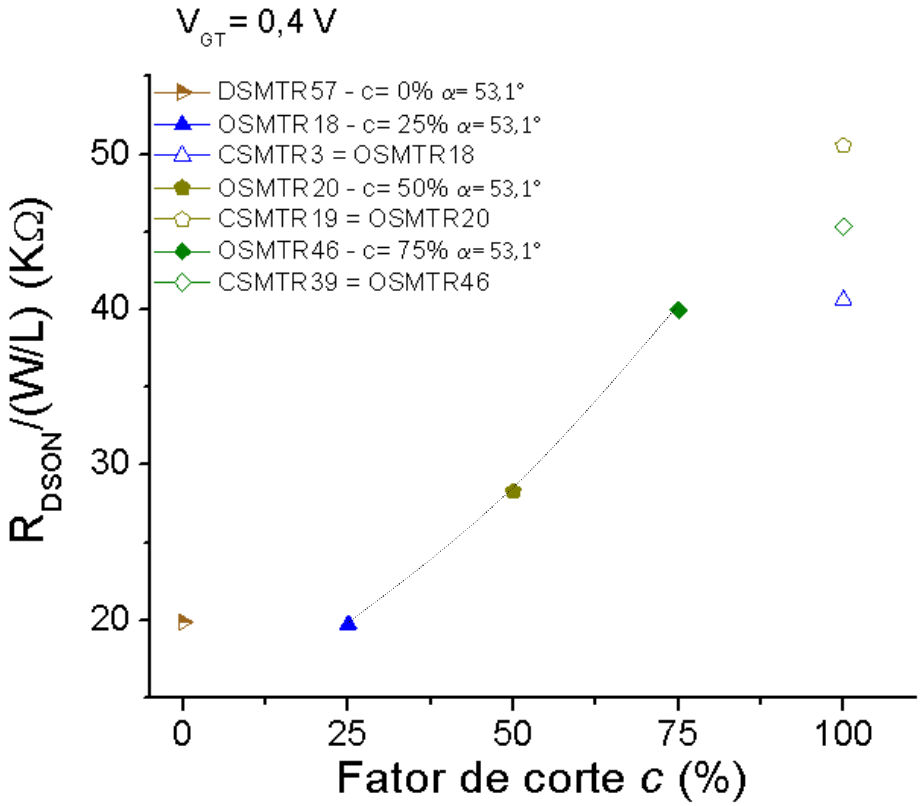


Figura 70. Gráfico de $R_{DS-ON}/(W/L)$ em função do fator de corte c dos dispositivos CSM, DSM e OSM estudados.

Os valores de R_{DS-ON} foram extraídos da curva [I_{DS} / (W/L) em função de V_{DS}] conforme descrição no capítulo 2.

Considerando a região ohmica de operação, os dispositivos OSM apresentaram um desempenho superior aos seus equivalentes CSM, considerando-se a mesma área de porta e condições de polarização. Nota-se na Figura 70 que, ao diminuir o fator de corte (c), o valor de $R_{DS-ON}/(W/L)$ diminui, ou seja quanto menor o fator de corte do dispositivo, menor será o valor de $R_{DS-ON}/(W/L)$, se comparado com o dispositivo equivalente convencional. Isso pode ser justificado devido a maior interação entre as componentes do campo elétrico longitudinal pela influência do LCE e do formato da geometria octogonal de porta (PATDCLE). Em contrapartida, quanto maior o fator de corte utilizado no OSM, mais ele se assemelha do dispositivo CSM (valores mais elevados de $R_{DS-ON}/(W/L)$), ou seja, menor é a interação entre

as componentes do campo elétrico longitudinal (redução do efeito de canto longitudinal LCE) [12,14].

A Figura 71 apresenta o gráfico de $R_{DS-ON}/(W/L)$, (V_{GT} igual 0,4V), em função do ângulo α do OSM considerando-se o fator de corte (c) fixo e igual a 25%.

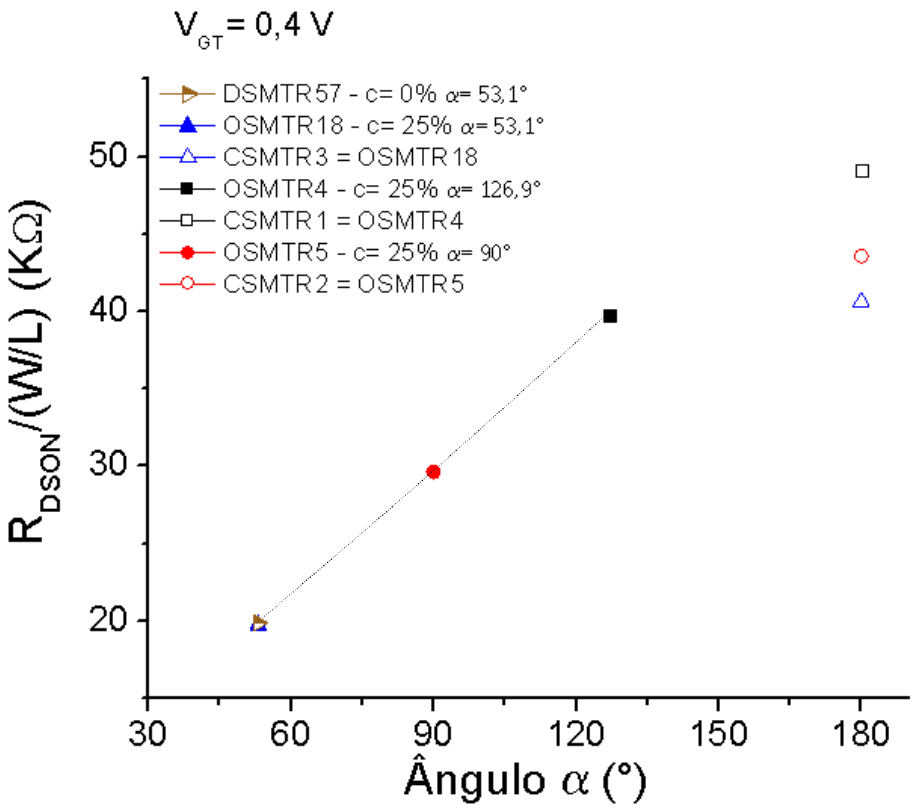


Figura 71. Gráfico de $R_{DS-ON}/(W/L)$ em função do ângulo α dos dispositivos CSM, DSM e OSM estudados.

Considerando a região ôhmica de operação, os dispositivos OSM apresentaram um desempenho superior aos seus equivalentes CSM, considerando-se a mesma área de porta e condições de polarização. Nota-se na Figura 71 que, ao diminuir o ângulo α, o valor de $R_{DS-ON}/(W/L)$ diminui , ou seja quanto menor o ângulo α do dispositivo, menor será o valor de $R_{DS-ON}/(W/L)$, se comparado com o dispositivo equivalente convencional. Em contrapartida, quanto maior o ângulo α utilizado no OSM, mais ele se assemelha do dispositivo CSM (valores mais elevados de $R_{DS-ON}/(W/L)$), ou seja, conforme apresentado no capítulo 4, quanto maior o ângulo apresentado pelo OSM, mais o mesmo se aproxima da condição do dispositivo convencional, dado que o ângulo teórico do convencional é de 180°. Consequentemente, menor é a interação entre as componentes do campo elétrico longitudinal (redução do efeito de canto longitudinal *LCE*) [12,14] e menor é a influência do PATDCLE.

Analisando a Tabela 34, para uma mesma área de porta entre um dispositivo CSM e um dispositivo OSM, o OSM apresentou um desempenho 51% superior ao do convencional. Este resultado deve-se ao fato do dispositivo OSM possuir um ângulo pequeno (53,1°) privilegiando a ocorrência e aumento do efeito de canto longitudinal LC*E* [12,14], pela influência positiva do terceiro campo elétrico longitudinal $\overrightarrow{\varepsilon_{//3}}$, intrínseca da estrutura OSM, possibilitando inclusive que o dispositivo OSM apresenta-se o mesmo comportamento que o DSM, no entanto, ocupando uma área de porta 21,4% inferior.

5.12 Tensão Early (V_{EA})

A Tabela 35 sumariza e compara os valores da tensão Early dos dispositivos OSM e CSM, considerando a mesma área de porta e condições de polarização e de um DSM com o OSM, considerando o mesmo fator geométrico e condições de polarização.

Tabela 35. Tabela comparativa da V_{EA} para os diferentes dispositivos CSM, DSM e OSM estudados.

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	V_{EA}	
	---	---	%	graus (°)	µm²	---	V	Ganho %
01	DSM	TR57	0	53,1	1050	0,86	-63,316	-61%
02	OSM	TR18	25	53,1	825	0,86	-63,073	-61%
03	CSM	TR3	100	180	825	1,09	-163,712	0%
04	OSM	TR20	50	53,1	600	1,2	-67,132	-43%
05	CSM	TR19	100	180	600	1,5	-117,970	---
06	OSM	TR5	25	90	486	1,5	-54,903	-41%
07	CSM	TR2	100	180	486	1,85	-93,521	---
08	OSM	TR46	75	53,1	375	2	-54,045	-66%
09	CSM	TR39	100	180	375	2,4	-161,191	---
10	OSM	TR4	25	126,9	324	2,37	-48,718	-41%
11	CSM	TR1	100	180	324	2,79	-82,874	---
12	OSM	TR22	50	126,9	264	3	-44,874	-52%
13	CSM	TR11	---	---	264	3,43	-92,972	---

A Figura 72 apresenta o gráfico de V_{EA} (V_{GT} igual 0,4V), em função do fator de corte (c) do OSM considerando-se o ângulo α fixo e igual a 53,1°.

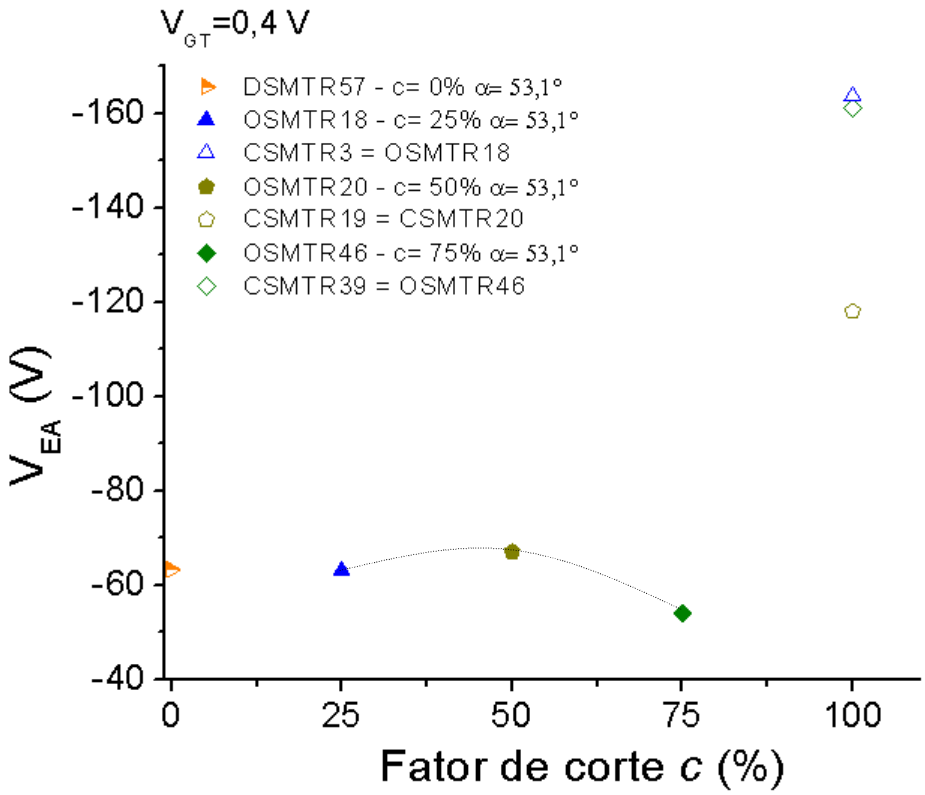


Figura 72. Gráfico de V_{EA} em função do fator de corte c dos dispositivos CSM, DSM e OSM estudados.

Observando os valores de V_{EA}, em função do fator de corte (c), conforme evolução na Figura 72, confirma-se que os dispositivos OSM possuem um desempenho inferior quando comparados ao dispositivo convencional equivalente. O dispositivo OSM apresenta este comportamento devido ao maior campo elétrico longitudinal influenciado pelo LCE e pelo formato da geometria octogonal de porta, representada pela associação paralela de transistores com diferentes comprimentos de canal (PATDCLE). E a V_{EA} está diretamente relacionada a posição da região de estrangulamento do canal ou "*pinch-off*" e a devida modulação do comprimento efetivo do canal (*channel modulation effect*), como os dispositivos OSM apresentam um maior campo elétrico na região de dreno ocorre uma maior modulação do comprimento de canal ($\uparrow\Delta_L$) conforme apresentado na seção 2.7, resultando em um menor comprimento efetivo do canal, que por sua vez diminui consideravelmente o valor de V_{EA}, se comparado ao seu equivalente convencional. O maior campo elétrico do

dispositivo OCTO fica então comprovado e validado ao analisar a degradação da sua tensão Early, quando comparado com o dispositivo convencional.

Outra análise de V_{EA} pode ser obtida ao analisarmos a sua devida dependência com o comprimento de canal do dispositivo, conforme indicado na Figura 73.

A Figura 73 apresenta o gráfico de V_{EA} (V_{GT} igual 0,4V), em função do comprimento equivalente de canal do OSM considerando-se o ângulo α fixo e igual a 53,1°.

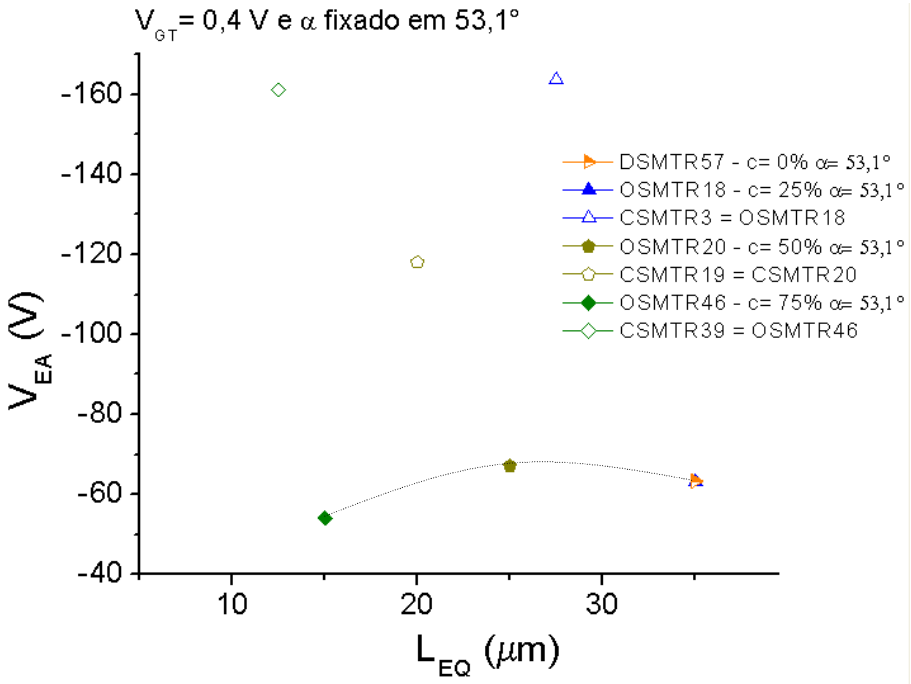


Figura 73. Gráfico da V_{EA} em função do comprimento de canal considerando um ângulo α fixo de 53,1°, para os dispositivos CSM, DSM e OSM estudados.

Considerando a estrutura OSM, ao aumentarmos o comprimento de canal, ocorre um aumento da tensão Early, isto devido a menor modulação do comprimento de canal.

A Figura 74 apresenta o gráfico de V_{EA} (V_{GT} igual 0,4V), em função do ângulo α do OSM considerando-se o fator de corte fixo e igual a 25%.

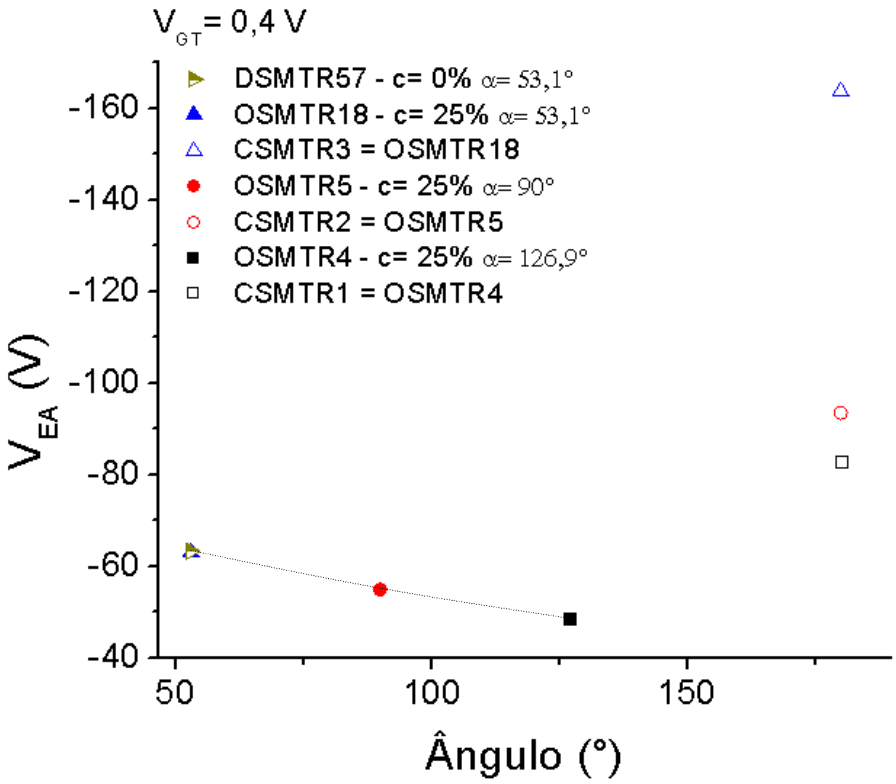


Figura 74. Gráfico de V_{EA} em função do fator do ângulo α dos dispositivos CSM, DSM e OSM estudados.

Observando os valores de V_{EA}, em função do ângulo α, conforme evolução na Figura 74, confirma-se que os dispositivos OSM possuem um desempenho inferior quando comparados ao dispositivo convencional equivalente. O dispositivo OSM apresenta este comportamento devido ao agora comprovado devido ao maior campo elétrico longitudinal devido a influência do LCE e do formato da geometria octogonal de porta (PATDCLE. V_{EA} está diretamente relacionada a posição da região de estrangulamento do canal ou "*pinch-off*" e a devida modulação do comprimento efetivo do canal (*channel modulation effect*), como os dispositivos OSM apresentam um maior campo elétrico na região de dreno ocorre uma maior modulação do comprimento de canal ($\uparrow\Delta_L$) conforme apresentado na seção 2.7, resultando em um menor comprimento efetivo do canal, que por sua vez diminui consideravelmente o valor de V_{EA}, se comparado ao seu equivalente convencional.

Outra análise de V_{EA} pode ser obtida ao analisarmos a sua devida dependência com o comprimento de canal do dispositivo, conforme indicado na Figura 75.

A Figura 75 apresenta o gráfico de V_{EA} (V_{GT} igual 0,4V), em função do comprimento equivalente do canal do OSM considerando-se o fator de corte fixo e igual a 25%.

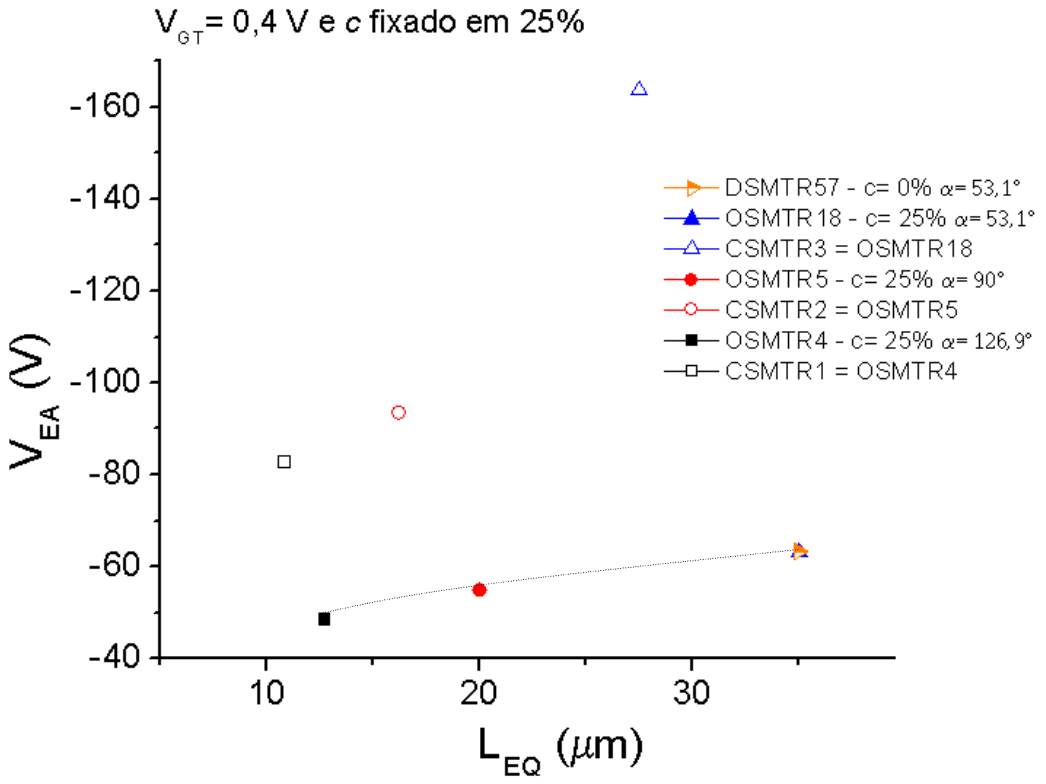


Figura 75. Gráfico da V_{EA} em função do comprimento de canal considerando um fator de corte (c) fixo de 25%, para os dispositivos CSM, DSM e OSM estudados.

Considerando a estrutura OSM, ao aumentarmos o comprimento de canal, ocorre um aumento da tensão Early, isto devido a menor modulação do comprimento de canal.

5.13 Razão de g_m / I_{DS} em função da corrente de dreno normalizada pelo fator geométrico

A Figura 76 relaciona g_m / I_{DS} dos dispositivos SOI MOSFETs convencional, diamante e em formato octogonal em função de I_{DS} normalizadas por (W/L) (para eliminar a influência do fator geométrico dos dispositivos no resultado).

Cada dispositivo é apresentado em função do fator de corte (c) dado em percentual (%), assim como o ângulo da junção metalúrgica α (°).

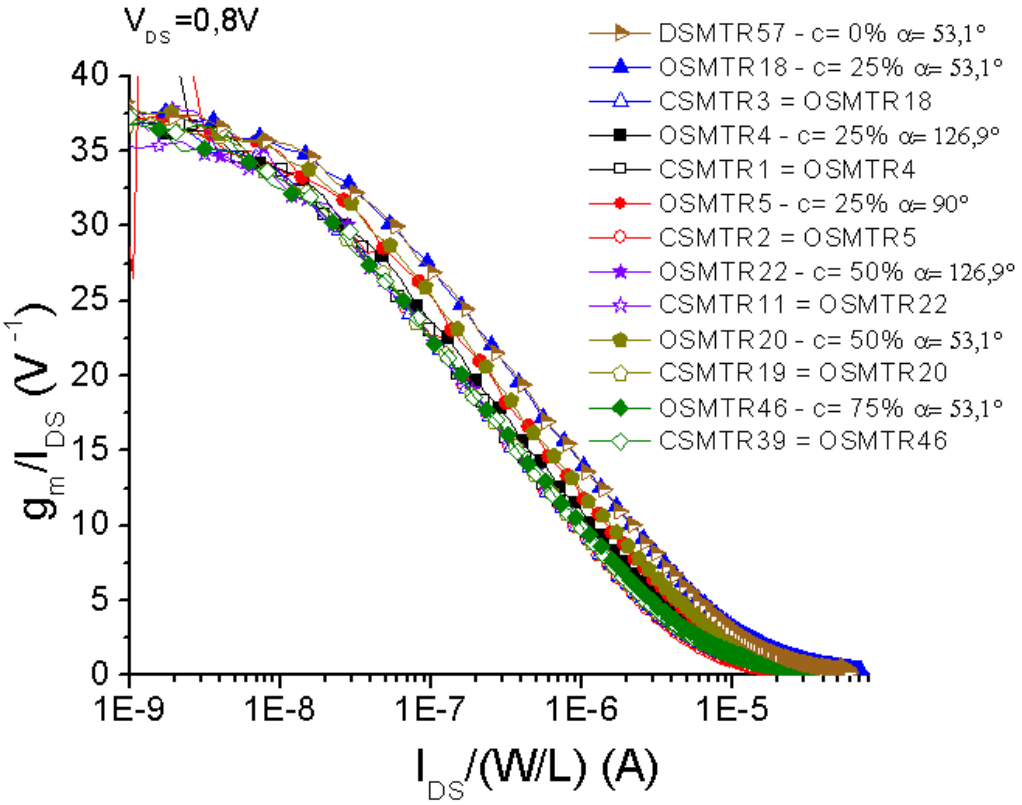


Figura 76. Curvas experimentais de g_m / I_{DS} em função de [I_{DS} / (W/L)] para os dispositivos CSM, DSM e OSM estudados.

Analisando o gráfico de g_m / I_{DS} x [I_{DS} / (W/L)] na Figura 76, nota-se que em sua totalidade independente da região de inversão do dispositivo, seja inversão fraca, moderada ou forte, os dispositivos OSM apresentaram valores de g_m / I_{DS} superiores que aos seus devidos equivalentes CSM (de mesma área de porta).

Os gráficos comparativos dos dispositivos OSM com os respectivos equivalentes CSM (de mesma área de porta) são apresentados na Figura 77 até 82. Em cada gráfico foram inseridas setas que indicam o ponto de obtenção da g_m / I_{DS} para [I_{DS} /(W/L)]= 1µA, assim como o ganho percentual de g_m / I_{DS} entre os dispositivos citados.

A Figura 77 representa uma comparação entre os modelos equivalentes em área de porta OSM de c= 25%, α= 53,1° e CSM de c= 100% e α= 180°. Um dispositivo DSM de c= 0% e α= 53,1° é inserido para expandir a comparação entre as três diferentes topologias.

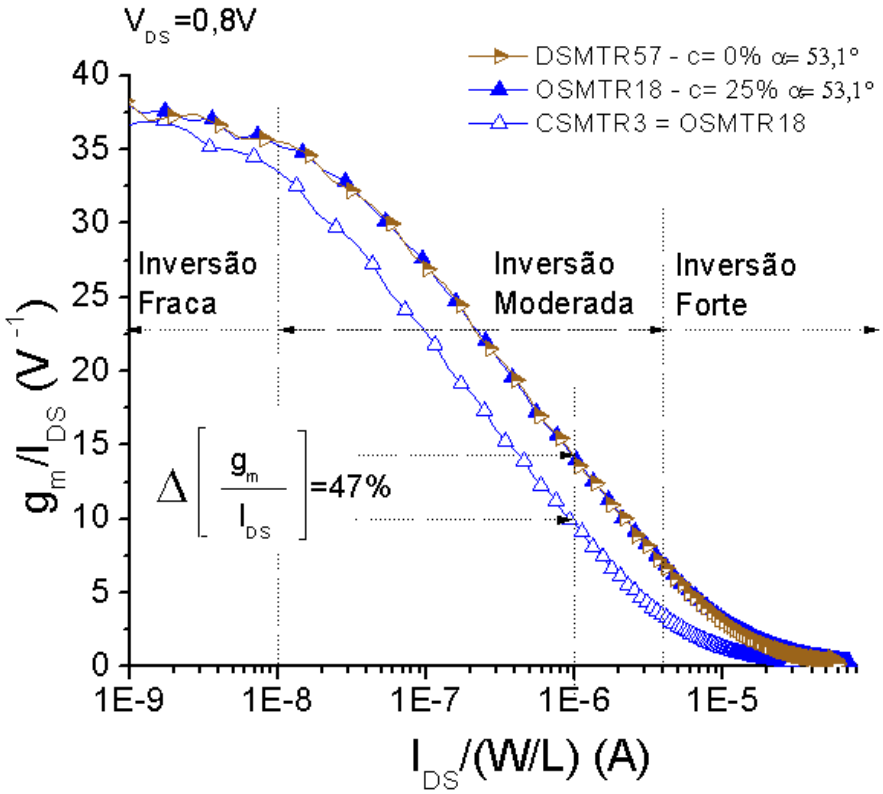


Figura 77. Curvas experimentais de g_m / I_{DS} em função de $[I_{DS} / (W/L)]$ para os dispositivos DSM (c= 0% e α= 53,1°), OSM (c= 25% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 77, —— indica a variação do valor de $g_m/(I_{DS})$ entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Considerando a região de operação moderada ($[I_{DS}/(W/L)]$= 1μA) e analisando g_m / I_{DS}, o dispositivo OSM apresentou um valor 47% superior ao seu equivalente CSM, considerando-se a mesma área de porta e condições de polarização. Isso pode ser justificado devido ao maior campo elétrico longitudinal da topologia octogonal pelos efeitos do LCE e PATDCLE.

Vale ressaltar que a corrente de dreno do dispositivo OSM apresentou o mesmo valor quando comparado ao dispositivo DSM equivalente, considerando-se o mesmo fator geométrico (W/L) e condições de polarização. Isso pode ser justificado pelo maior campo elétrico longitudinal resultante presente na estrutura OCTO devido a influência do terceiro campo elétrico longitudinal .

Nota-se na Figura 77 que, tanto o dispositivo DSM como o OSM, possuem desempenho superior em todas as regiões de inversão como fraca, moderada e forte, quando

comparado ao equivalente convencional. A Tabela 36 sumariza o comparativo considerando e estrutura CSM como referência.

Tabela 36. Tabela comparativa de g_m / I_{DS} para $[I_{DS} / (W/L)]$= 1µA, entre a referência CSM e os dispositivos DSM (c= 0% e α= 53,1°) e OSM (c= 25% e α= 53,1°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	g_m / I_{DS}	
	---	---	%	graus (°)	µm²	---	V^{-1}	Ganho %
01	DSM	TR57	0	53,1	1050	0,86	14,176	47%
02	OSM	TR18	25	53,1	825	0,86	14,176	47%
03	CSM	TR3	---	---	825	1,09	9,646	0%

A Figura 78 representa uma comparação entre os modelos equivalentes em área de porta OSM de c= 25% e α= 90° e CSM de c= 100% e α= 180°.

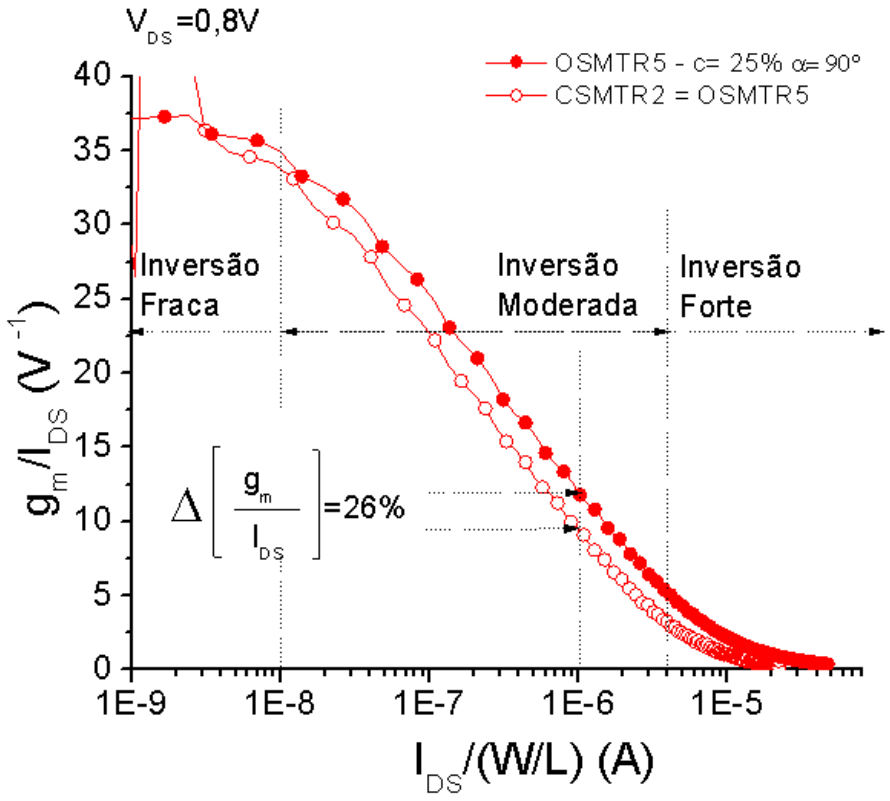


Figura 78. Curvas experimentais de g_m / I_{DS} em função de $[I_{DS} / (W/L)]$ para os dispositivos OSM (c= 25% e α= 90°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 78, $\Delta\left[\frac{g_m}{(I_{DS})}\right]$ indica a variação do valor de $g_m/(I_{DS})$ entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Considerando a região de operação moderada ([I_{DS} /(W/L)]= 1µA) e analisando g_m / I_{DS}, o dispositivo OSM apresentou um valor 26% superior ao seu equivalente CSM, considerando-se a mesma área de porta e condições de polarização devido ao efeito do LCE e PATDCLE, que incrementa o campo elétrico longitudinal. Nota-se na Figura 78 que o dispositivo OSM, possui desempenho superior em todas as regiões de inversão como fraca, moderada e forte, quando comparado ao equivalente convencional. A Tabela 37 sumariza o comparativo considerando e estrutura CSM como referência.

Tabela 37. Tabela comparativa de g_m / I_{DS} para [I_{DS} / (W/L)]= 1µA, entre a referência CSM e o dispositivo OSM (c= 25% e α= 90°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	g_m /I_{DS}	
	---	---	%	graus (°)	µm²	---	V^{-1}	Ganho %
06	OSM	TR5	25	90	486	1,5	12,008	⇧ 26%
07	CSM	TR2	---	---	486	1,85	9,536	---

A Figura 79 representa uma comparação entre os modelos equivalentes em área de porta OSM de c= 25% e α= 126,9° e CSM de c= 100% e α= 180°.

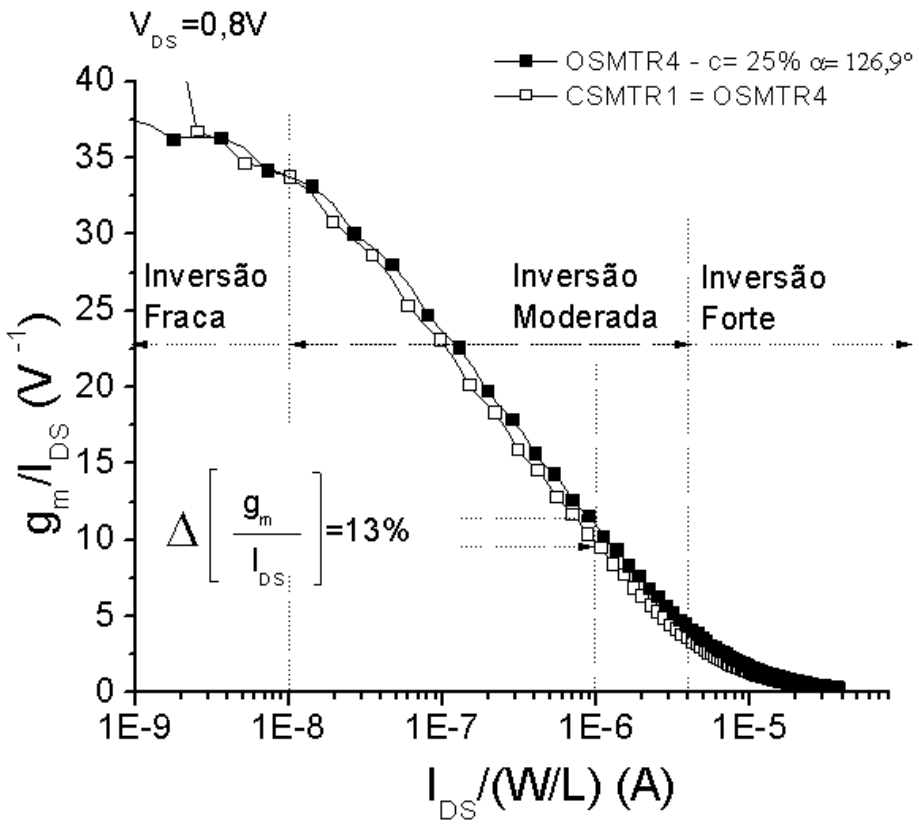


Figura 79. Curvas experimentais de g_m / I_{DS} em função de $[I_{DS} / (W/L)]$ para os dispositivos OSM (c= 25% e α= 126,9°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 79, $\Delta\left[\frac{g_m}{(I_{DS})}\right]$ indica a variação do valor de $g_m/(I_{DS})$ entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Considerando a região de operação moderada ($[I_{DS}/(W/L)]$= 1μA) e analisando g_m / I_{DS}, o dispositivo OSM apresentou um valor 13% superior ao seu equivalente CSM, considerando-se a mesma área de porta e condições de polarização devido ao maior campo elétrico longitudinal da topologia octogonal devido aos efeitos do LCE e PATDCLE. Nota-se na Figura 79 que o dispositivo OSM, possui desempenho simular na região de inversão fraca e superior nas regiões de inversão moderada e forte, quando comparado ao equivalente convencional. A Tabela 38 sumariza o comparativo considerando e estrutura CSM como referência.

Tabela 38. Tabela comparativa de g_m / I_{DS} para [I_{DS} / (W/L)]= 1µA, entre a referência CSM e o dispositivo OSM (c= 25% e α= 126,9°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	g_m /I_{DS}	
	---	---	%	graus (°)	µm²	---	V^{-1}	Ganho %
10	OSM	TR4	25	126,9	324	2,37	10,958	⇧ 13%
11	CSM	TR1	---	---	324	2,79	9,737	---

A Figura 80 representa uma comparação entre os modelos equivalentes em área de porta OSM de c= 50%, α= 53,1° e CSM de c= 100% e α= 180°.

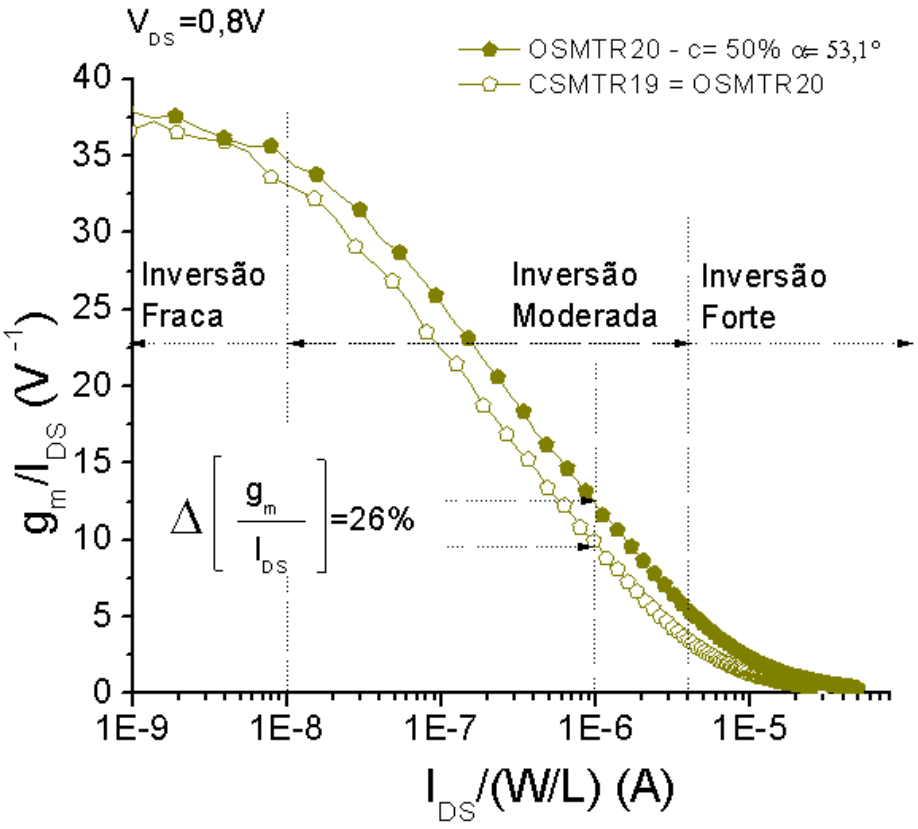


Figura 80. Curvas experimentais de g_m / I_{DS} em função de [I_{DS} / (W/L)] para os dispositivos OSM (c= 50% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 80, $\Delta\left[\frac{g_m}{(I_{DS})}\right]$ indica a variação do valor de $g_m/(I_{DS})$ entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Considerando a região de operação moderada ([I_{DS} /(W/L)]= 1µA) e analisando g_m / I_{DS}, o dispositivo OSM apresentou um valor 26% superior ao seu equivalente CSM, considerando-se a mesma área de porta e condições de polarização devido ao LCE e

PATDCLE, que incrementam o campo elétrico longitudinal. Nota-se na Figura 80 que o dispositivo OSM, possui desempenho superior em todas as regiões de inversão como fraca, moderada e forte, quando comparado ao equivalente convencional. A Tabela 39 sumariza o comparativo considerando e estrutura CSM como referência.

Tabela 39. Tabela comparativa de g_m / I_{DS} para $[I_{DS} / (W/L)]$= 1µA, entre a referência CSM e o dispositivo OSM (c= 50% e α= 53,1°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	g_m / I_{DS}	
	---	---	%	graus (°)	µm²	---	V^{-1}	Ganho %
04	OSM	TR20	50	53,1	600	1,2	11,899	⇧ 26%
05	CSM	TR19	---	---	600	1,5	9,450	---

A Figura 81 representa uma comparação entre os modelos equivalentes em área de porta OSM de c= 50%, α= 126,9° e CSM de c= 100% e α= 180°.

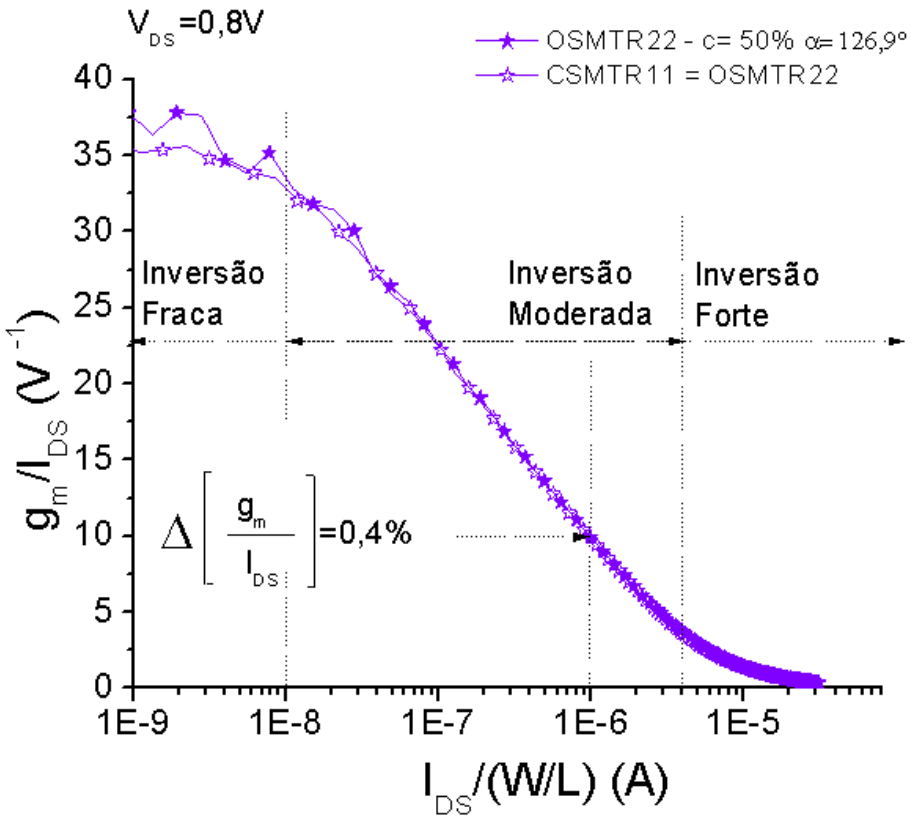


Figura 81. Curvas experimentais de g_m / I_{DS} em função de $[I_{DS} / (W/L)]$ para os dispositivos OSM (c= 50% e α= 126,9°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 81, $\Delta\left[\frac{g_m}{(I_{DS})}\right]$ indica a variação do valor de $g_m/(I_{DS})$ entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Considerando a região de operação moderada ($[I_{DS}/(W/L)]= 1\mu A$) e analisando g_m / I_{DS}, o dispositivo OSM apresentou um valor 0,4% superior ao seu equivalente CSM. Neste caso, o campo elétrico longitudinal $(\overrightarrow{\varepsilon_{//}})$ e a influência do formato de geometria octogonal (LCE e PATDCLE) foi muito degradada devido ao alto ângulo α e ao elevado fator de corte (c) aplicados para gerar a estrutura octogonal, aproximando-se desta maneira o comportamento do OSM ao do CSM. Nota-se na Figura 81 que o dispositivo OSM, possui desempenho similar em todas as regiões de inversão como fraca, moderada e forte, quando comparado ao equivalente convencional. A Tabela 40 sumariza o comparativo considerando e estrutura CSM como referência.

Tabela 40. Tabela comparativa de g_m / I_{DS} para $[I_{DS} / (W/L)]= 1\mu A$, entre a referência CSM e o dispositivo OSM (c= 50% e α= 126,9°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	g_m / I_{DS}	
	---	---	%	graus (°)	µm²	---	V^{-1}	Ganho %
12	OSM	TR22	50	126,9	264	3	9,865	⇧ 0,4%
13	CSM	TR11	---	---	264	3,43	9,829	---

A Figura 82 representa uma comparação entre os modelos equivalentes em área de porta OSM de c= 75%, α= 53,1° e CSM de c= 100% e α= 180°.

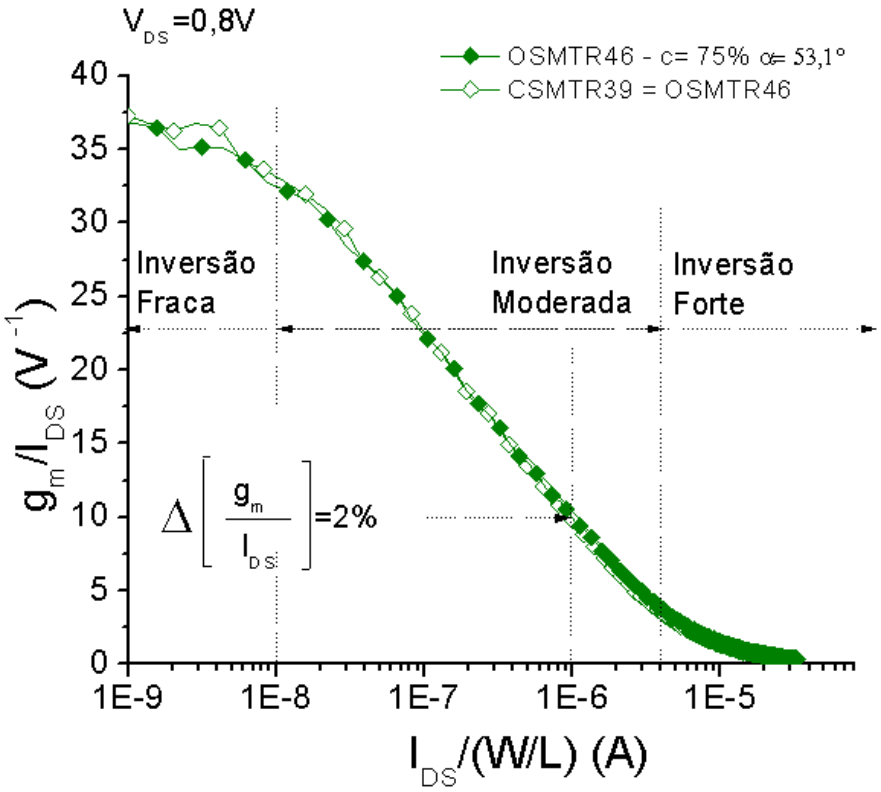


Figura 82. Curvas experimentais de g_m / I_{DS} em função de $[I_{DS} / (W/L)]$ para os dispositivos OSM (c= 75% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 82, $\Delta\left[\frac{g_m}{(I_{DS})}\right]$ indica a variação do valor de $g_m/(I_{DS})$ entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Considerando a região de operação moderada ($[I_{DS} /(W/L)]$= 1µA) e analisando g_m / I_{DS}, o dispositivo OSM apresentou um valor 2% superior ao seu equivalente CSM. Neste caso, o campo elétrico longitudinal $\overrightarrow{(\varepsilon_{//})}$ e a influência do formato da geometria octogonal (LCE e PATDCLE) foi muito degradada devido ao elevado fator de corte (c) aplicados para gerar a estrutura octogonal, aproximando-se desta maneira o comportamento do OSM ao do CSM. Nota-se na Figura 82 que o dispositivo OSM, possui desempenho similar em todas as regiões de inversão como fraca, moderada e forte, quando comparado ao equivalente convencional. A Tabela 41 sumariza o comparativo considerando e estrutura CSM como referência.

Tabela 41. Tabela comparativa de g_m / I_{DS} para $[I_{DS} / (W/L)]$=1µA, entre a referência CSM e o dispositivo OSM (c= 75% e α= 53,1°)

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	g_m / I_{DS}	
	---	---	%	graus (°)	µm²	---	V⁻¹	Ganho %
08	OSM	TR46	75	53,1	375	2	9,956	⇧ 2%
09	CSM	TR39	---	---	375	2,4	9,755	---

A Figura 83 apresenta o gráfico de g_m /I_{DS} (V_{DS} igual a 0,8V), em função do fator de corte (c) do OSM considerando-se o ângulo α fixo e igual a 53,1°.

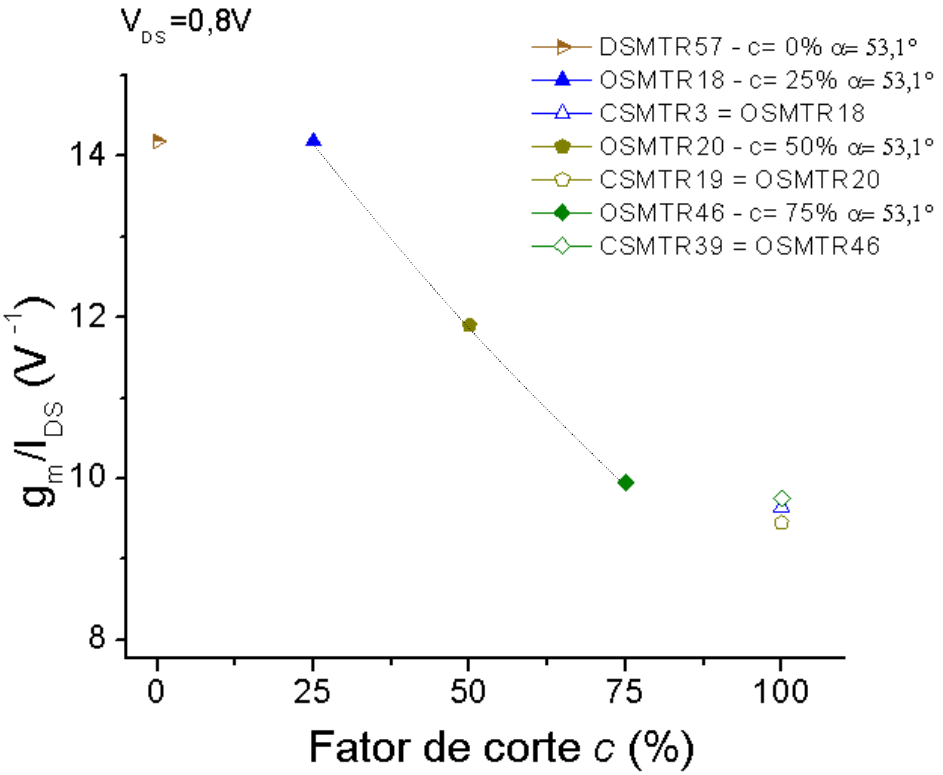


Figura 83. Gráfico de g_m / I_{DS} em função do fator de corte (c) dos dispositivos estudados.

Observando os valores de g_m/I_{DS}, em função do fator de corte (c), conforme é ilustrada na Figura 83, confirma-se que os dispositivos OSM possuem um desempenho superior quando comparados ao dispositivo convencional equivalente. Nota-se que ao diminuir o fator de corte (c), o valor de g_m/I_{DS} aumenta, ou seja, quanto menor o fator de corte do dispositivo, maior será o valor de g_m/I_{DS}, se comparado com o dispositivo equivalente convencional. Em contrapartida, quanto maior o fator de corte utilizado no OSM, mais ele se assemelha do dispositivo CSM (menores valores de g_m/I_{DS}), conforme apresentado no capítulo 3, quanto maior o fator de corte (c) apresentado pelo OSM, mais o mesmo se aproxima da condição do dispositivo convencional, dado que em uma aproximação para análise, o fator de corte (c) do convencional é de 100%. Consequentemente, menor é a interação entre as componentes do campo elétrico longitudinal (redução do efeito de canto longitudinal LCE) [12,14] e dos efeitos do PATDCLE.

A Figura 84 apresenta o gráfico de g_m /I_{DS} (V_{DS} igual a 0,8V), em função do ângulo α do OSM considerando-se o fator de corte fixo e igual a 25%.

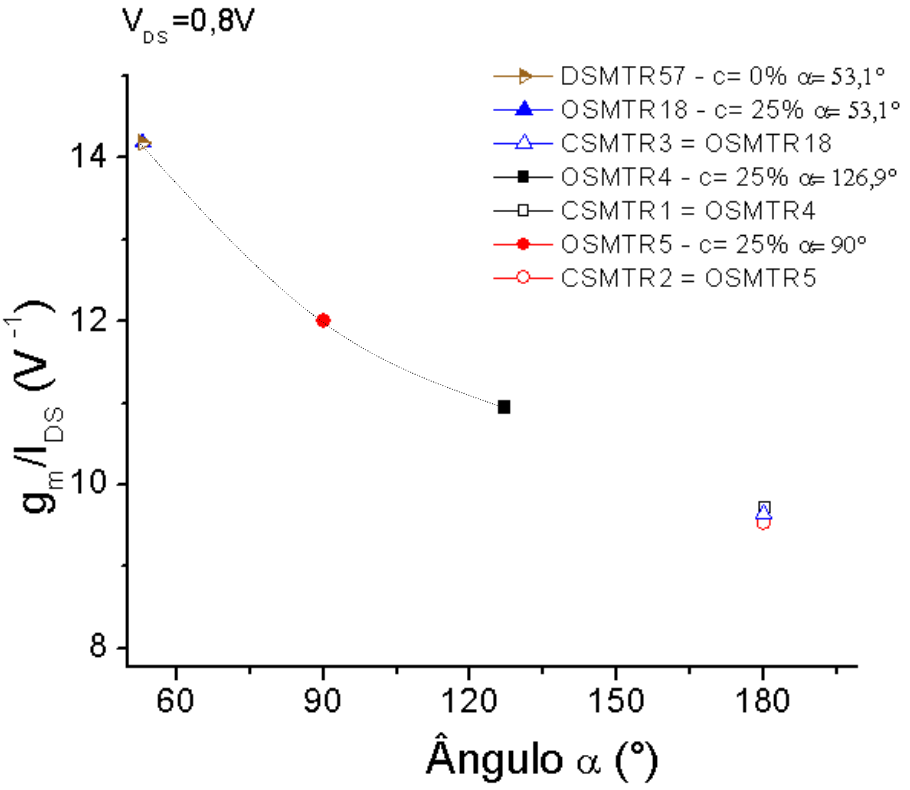


Figura 84. Gráfico de g_m / I_{DS} em função do ângulo α dos dispositivos estudados.

Observando os valores de g_m/I_{DS} , em função do ângulo α, conforme é ilustrado na Figura 84, confirma-se que os dispositivos OSM possuem um desempenho superior quando comparados ao dispositivo convencional equivalente. Nota-se que ao diminuir o ângulo α, o valor de g_m/I_{DS} aumenta, ou seja quanto menor o ângulo α do dispositivo, maior será o valor de g_m/I_{DS}, se comparado com o dispositivo equivalente convencional. Em contrapartida, quanto maior o ângulo α utilizado no OSM, mais ele se assemelha do dispositivo CSM (menores valores de g_m/I_{DS}), ou seja, conforme apresentado no capítulo 4, quanto maior o ângulo apresentado pelo OSM, mais o mesmo se aproxima da condição do dispositivo convencional, dado que o ângulo teórico do convencional é de 180°. Consequentemente, menor é a interação entre as componentes do campo elétrico longitudinal (redução do efeito de canto longitudinal LCE) [12,14] e da influência do PATDCLE.

Estes dados, aliados aos ganhos percentuais analisados nas Tabelas de 36 a 41, consolidam o desempenho superior dos dispositivos OSM para g_m / I_{DS} em função da corrente de dreno normalizada pelo fator geométrico.

5.14 Ganho de tensão em malha aberta (A_v)

A Figura 85 relaciona o ganho A_V dos dispositivos SOI MOSFETs convencional, diamante e em formato octogonal, em função de I_{DS} normalizadas por (W/L) (para eliminar a influência do fator geométrico dos dispositivos no resultado). Cada dispositivo é apresentado em função do fator de corte (c) dado em percentual (%), assim com o ângulo da junção metalúrgica α (°).

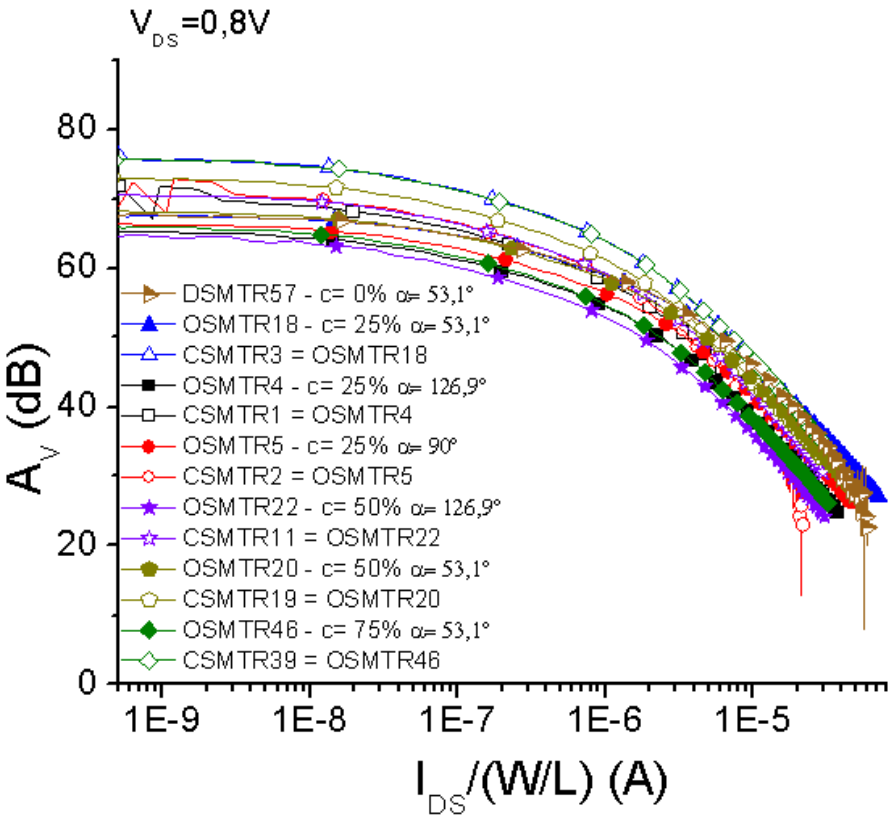


Figura 85. Curvas experimentais de A_V em função de [I_{DS} / (W/L)] para os diferentes dispositivos CSM, DSM e OSM estudados.

Analisando o gráfico de A_V em função de [I_{DS} / (W/L)] na Figura 85, nota-se que em sua totalidade, os dispositivos OSM apresentaram valores do A_V nas regiões de inversão fraca e

moderada inferiores que aos seus devidos equivalentes CSM, considerando-se a mesma área de porta. Isso pode ser justificado devido aos valores de tensão Early muito inferiores dos dispositivos OSM quando comparados aos seus equivalentes convencionais, degradando desta maneira o valor do ganho.

Os gráficos comparativos dos dispositivos OSM com os respectivos equivalentes CSM (de mesma área de porta) são apresentados nas Figuras de 86 até 101. Em cada gráfico foram inseridas setas na região de inversão forte, que indicam o ponto de obtenção do A_V para [I_{DS} /(W/L)]= 6µA, assim como o ganho percentual do A_V entre os dispositivos citados.

A Figura 86 apresenta as curvas de A_V em função de I_{DS}/(W/L) dos SOI nMOSFET Diamante e OCTO com ângulo α igual a 53,1° e o convencional equivalente ao OCTO (mesma área de porta).

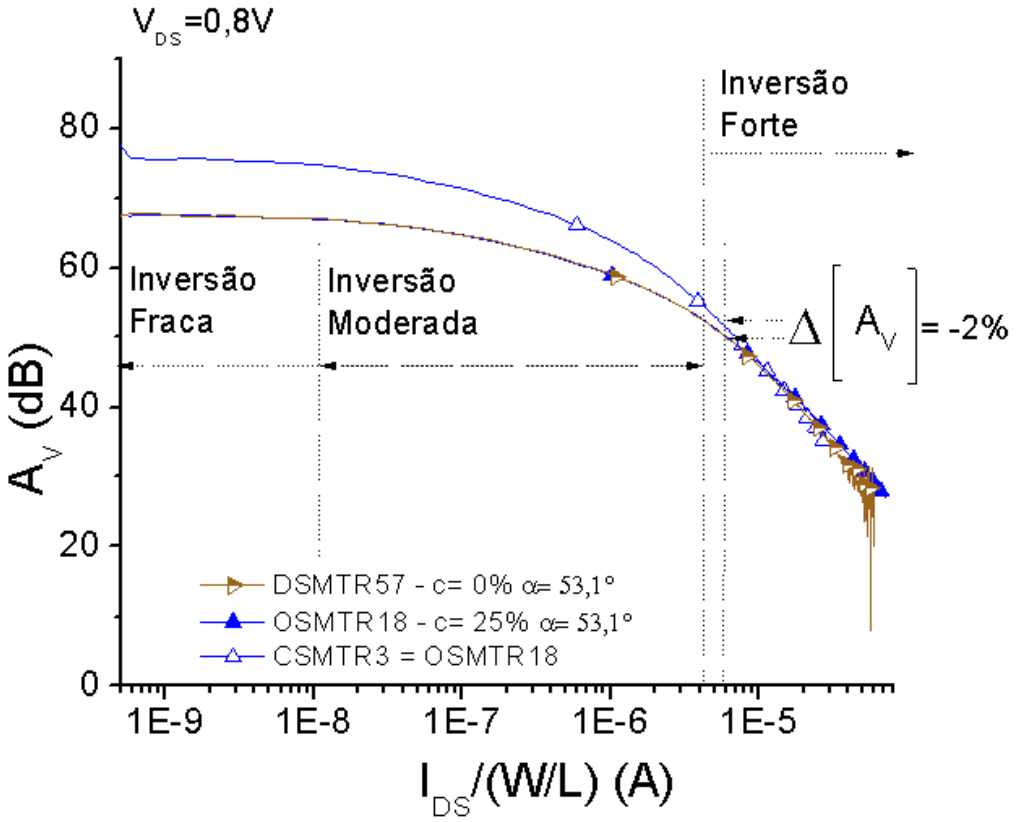


Figura 86. Curvas experimentais de A_V em função de [I_{DS} / (W/L)] para os dispositivos DSM (c= 0% e α= 53,1°), OSM (c= 25% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 86, $\Delta[A_V]$ indica a variação do valor de A_V entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Nota-se pela Figura 86, que os valores de A_V tornam-se atrativos na região de inversão forte. Considerando [I_{DS} /(W/L)]= 6µA, o dispositivo OSM apresentou um valor similar (-

2%) se comparado ao seu equivalente CSM. Vale ressaltar que o dispositivo OSM também apresentou um valor similar (+1%) se comparado ao dispositivo DSM. Isto pode ser justificado devido ao baixo valor da tensão Early, que degradou o valor do ganho. A Tabela 42 sumariza o comparativo considerando a estrutura CSM como referência.

Tabela 42. Tabela comparativa de AV para [IDS / (W/L)]= 6µA, entre a referência CSM e os dispositivos DSM (c= 0% e α= 53,1°) e OSM (c= 25% e α= 53,1°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	A_V	
	---	---	%	graus (°)	µm²	---	dB	Ganho %
01	DSM	TR57	0	53,1	1050	0,86	49,900	-3%
02	OSM	TR18	25	53,1	825	0,86	50,280	-2%
03	CSM	TR3	---	---	825	1,09	51,250	0%

A Figura 87 apresenta as curvas de A_V em função de I_{DS}/(W/L) dos SOI nMOSFET Diamante e OCTO com ângulo α igual a 90° e o convencional equivalente ao OCTO (mesma área de porta).

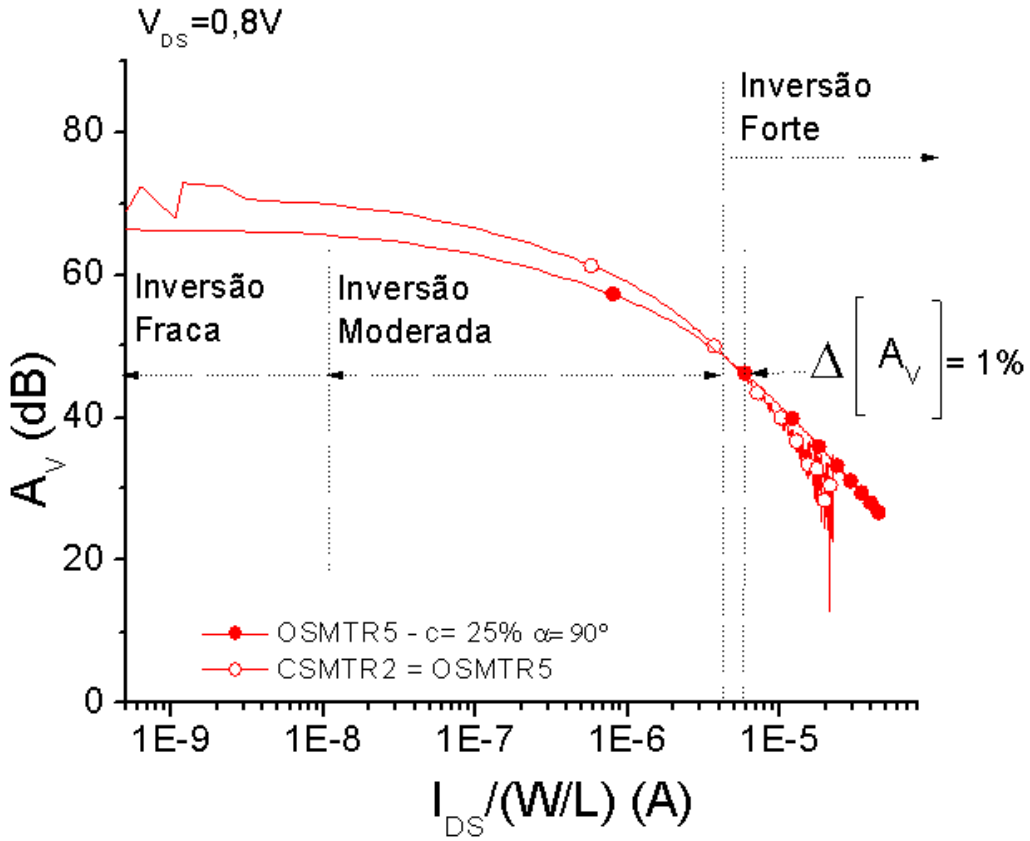


Figura 87. Curvas experimentais de A_V em função de [I_{DS} / (W/L)] para os dispositivos OSM (c= 25% e α= 90°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 87, $\Delta[A_V]$ indica a variação do valor de A_V entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Nota-se pela Figura 87, que os valores de A_V tornam-se atrativos na região de inversão forte. Considerando $[I_{DS}/(W/L)]$= 6µA, o dispositivo OSM apresentou um valor similar (+1%) se comparado ao seu equivalente CSM. Isto pode ser justificado devido ao baixo valor da tensão Early, que degradou o valor do ganho. Isto pode ser justificado devido ao baixo valor da tensão Early, que degradou o valor do ganho. A Tabela 43 sumariza o comparativo considerando a estrutura CSM como referência.

Tabela 43. Tabela comparativa de A_V para $[I_{DS}/(W/L)]$= 6µA, entre a referência CSM e o dispositivo OSM (c= 25% e α= 90°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	A_V	
	---	---	%	graus (°)	µm²	---	dB	Ganho %
06	OSM	TR5	25	90	486	1,5	46,010	⇧ 1%
07	CSM	TR2	---	---	486	1,85	45,530	---

A Figura 88 apresenta as curvas de A_V em função de $I_{DS}/(W/L)$ dos SOI nMOSFET Diamante e OCTO com ângulo α igual a 126,9° e o convencional equivalente ao OCTO (mesma área de porta).

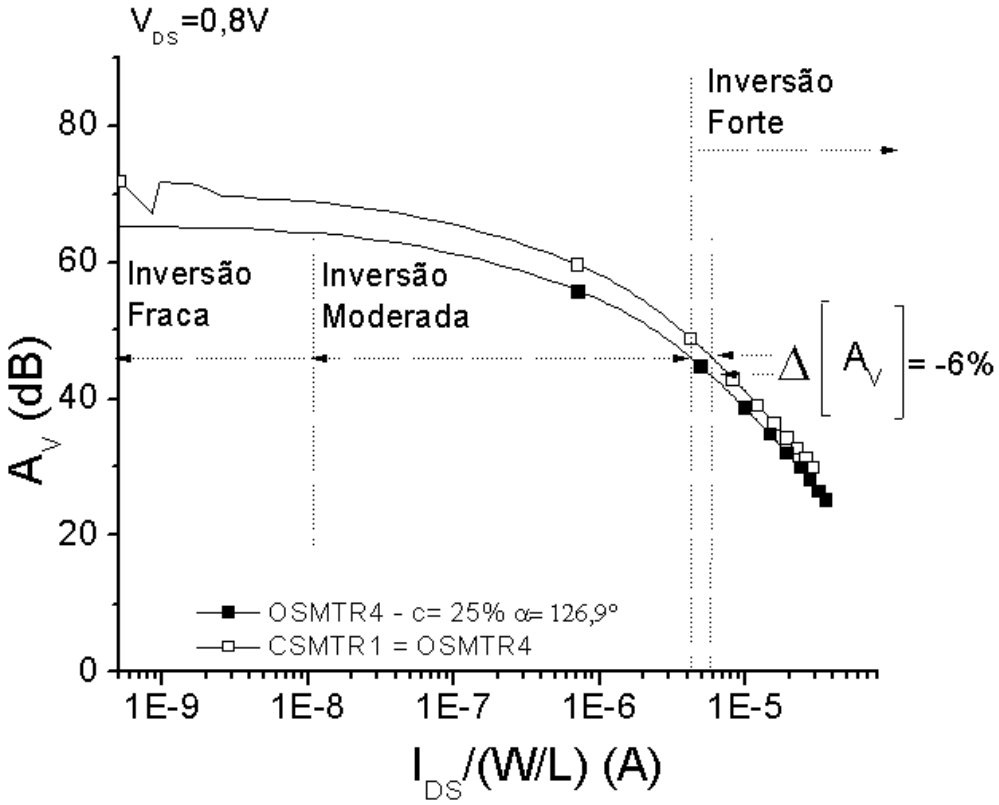


Figura 88. Curvas experimentais de A_V em função de [I_{DS} / (W/L)] para os dispositivos OSM (c= 25% e α= 126,9°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 88, $\Delta[A_V]$ indica a variação do valor de A_V entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Nota-se pela Figura 88, que os valores de A_V tornam-se atrativos na região de inversão forte. Considerando [I_{DS} /(W/L)]= 6µA, o dispositivo OSM apresentou um valor similar (-6%) se comparado ao seu equivalente CSM. Isto pode ser justificado devido ao baixo valor da tensão Early, que degradou o valor do ganho. A Tabela 44 sumariza o comparativo considerando a estrutura CSM como referência.

Tabela 44. Tabela comparativa de A_V para [I_{DS} / (W/L)]= 6µA, entre a referência CSM e o dispositivo OSM (c= 25% e α= 126,9°)

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	A_V	
	---	---	%	graus (°)	µm²	---	dB	Ganho %
10	OSM	TR4	25	126,9	324	2,37	43,360	⇩ -6%
11	CSM	TR1	---	---	324	2,79	45,930	---

A Figura 89 apresenta as curvas de A_V em função de I_{DS}/(W/L) dos SOI nMOSFET Diamante e OCTO com ângulo α igual a 53,1° e o convencional equivalente ao OCTO (mesma área de porta).

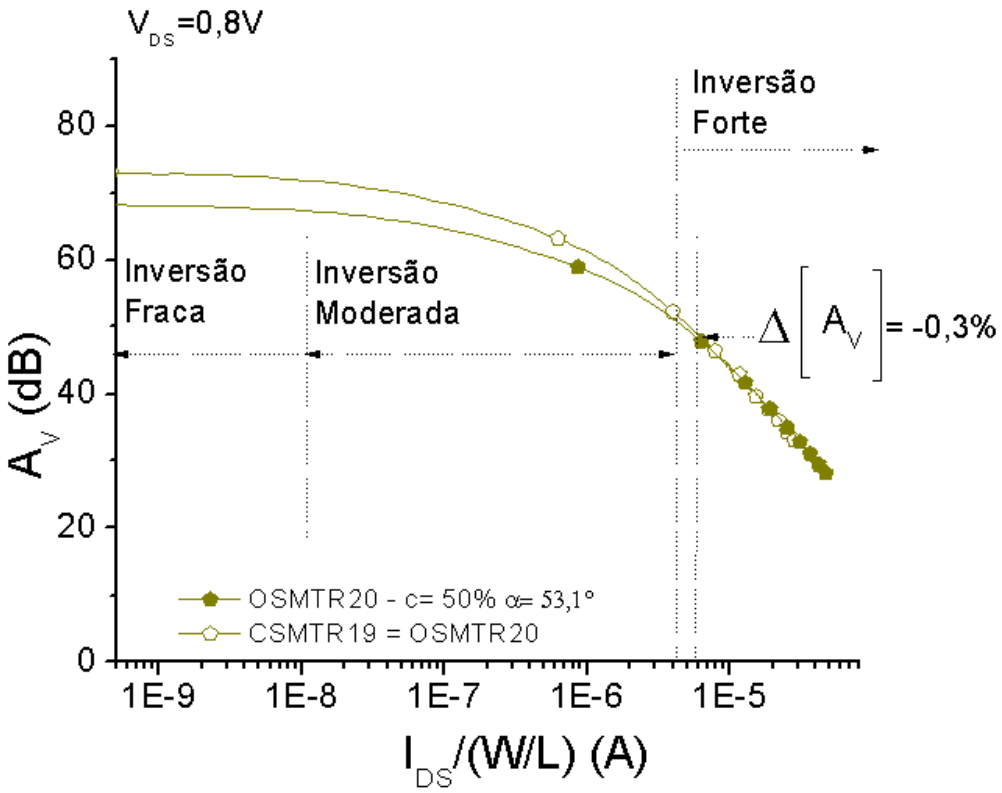


Figura 89. Curvas experimentais de A_V em função de [I_{DS} / (W/L)] para os dispositivos OSM (c= 50% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 89, $\Delta[A_V]$ indica a variação do valor de A_V entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Nota-se pela Figura 89, que os valores de A_V tornam-se atrativos na região de inversão forte. Considerando [I_{DS} /(W/L)]= 6μA, o dispositivo OSM apresentou um valor similar (-0,3%) se comparado ao seu equivalente CSM. Isto pode ser justificado devido ao baixo valor da tensão Earl, que degradou o valor do ganho. A Tabela 45 sumariza o comparativo considerando a estrutura CSM como referência.

Tabela 45. Tabela comparativa de A_V para [I_{DS} / (W/L)]= 6µA, entre a referência CSM e o dispositivo OSM (c= 50% e α= 53,1°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	A_V	
	---	---	%	graus (°)	µm²	---	dB	Ganho %
04	OSM	TR20	50	53,1	600	1,2	48,760	-0,3%
05	CSM	TR19	---	---	600	1,5	48,900	---

A Figura 90 apresenta as curvas de A_V em função de I_{DS}/(W/L) dos SOI nMOSFET Diamante e OCTO com ângulo α igual a 126,9° e o convencional equivalente ao OCTO (mesma área de porta).

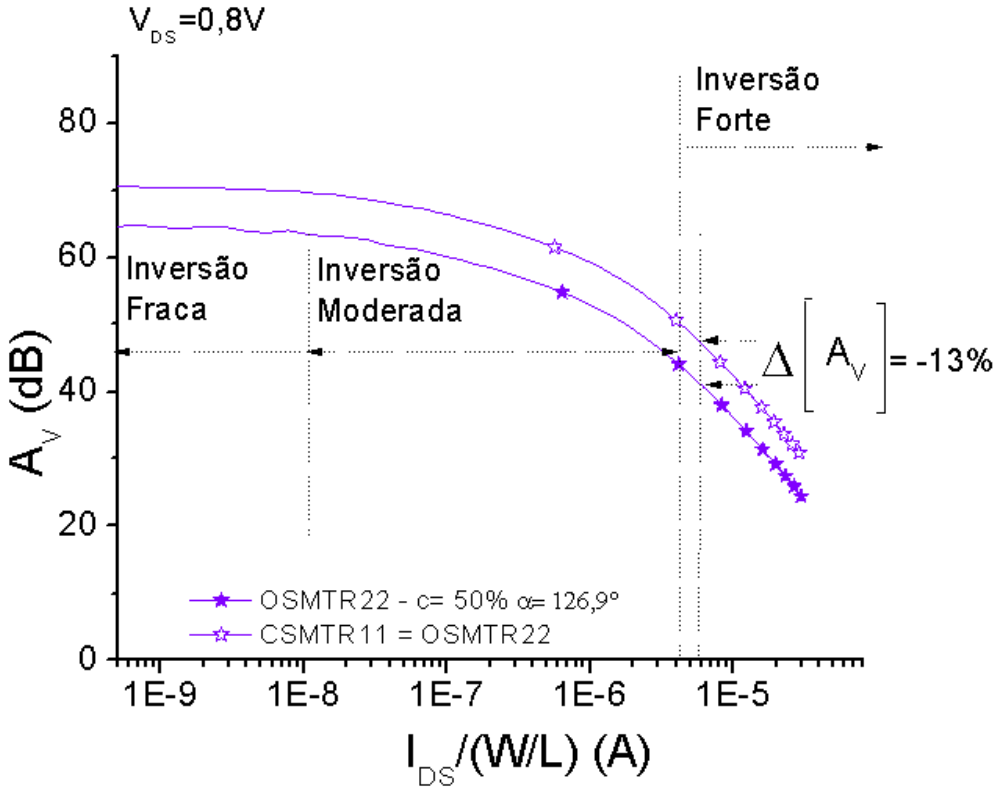


Figura 90. Curvas experimentais de A_V em função de [I_{DS} / (W/L)] para os dispositivos OSM (c= 50% e α= 126,9°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 90, $\Delta[A_V]$ indica a variação do valor de A_V entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Nota-se pela Figura 90, que os valores de A_V tornam-se atrativos na região de inversão forte. Considerando [I_{DS} /(W/L)]= 6µA, o dispositivo OSM apresentou um valor similar (-13%) se comparado ao seu equivalente CSM. Isto pode ser justificado devido ao baixo valor

da tensão Earl, que degradou o valor do ganho. A Tabela 46 sumariza o comparativo considerando a estrutura CSM como referência.

Tabela 46. Tabela comparativa de A_V para [I_{DS} / (W/L)]= 6µA, entre a referência CSM e o dispositivo OSM (c= 50% e α= 126,9°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	A_V	
	---	---	%	graus (°)	µm²	---	dB	Ganho %
12	OSM	TR22	50	126,9	264	3	41,030	⇩ -13%
13	CSM	TR11	---	---	264	3,43	47,110	---

A Figura 91 apresenta as curvas de A_V em função de I_{DS}/(W/L) dos SOI nMOSFET Diamante e OCTO com ângulo α igual a 53,1° e o convencional equivalente ao OCTO (mesma área de porta).

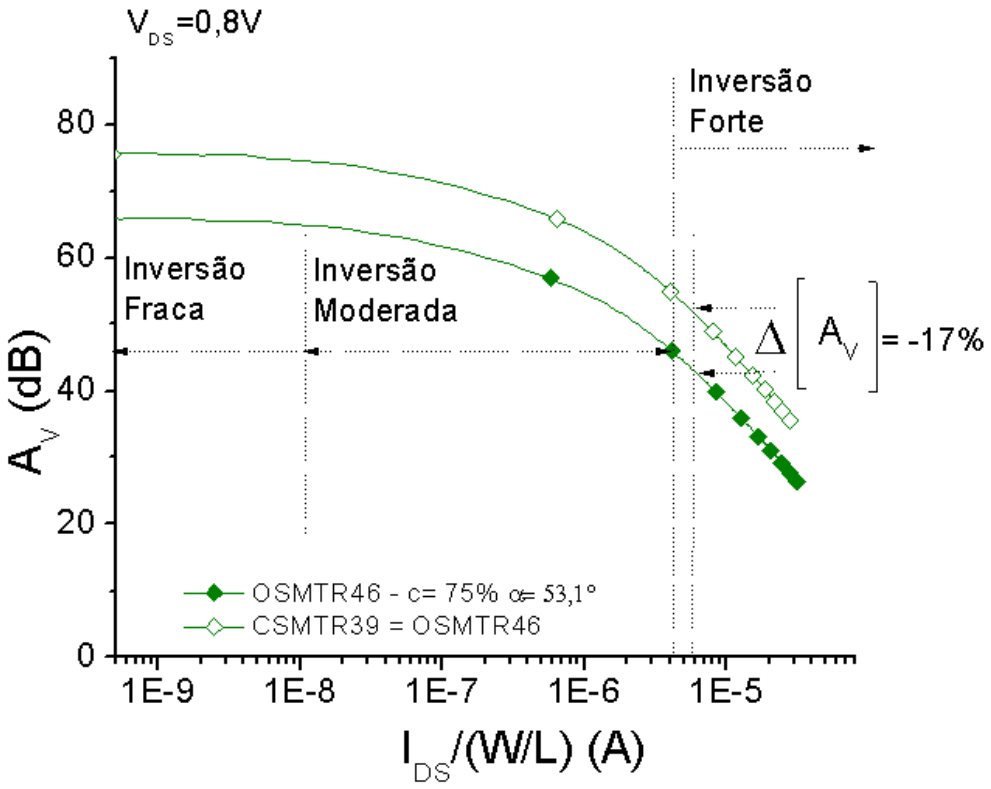


Figura 91. Curvas experimentais de A_V em função de [I_{DS} / (W/L)] para os dispositivos OSM (c= 75% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 91, $\Delta[A_V]$ indica a variação do valor de A_V entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Nota-se pela Figura 91, que os valores de A_V tornam-se atrativos na região de inversão forte. Considerando [I_{DS} /(W/L)]= 6µA, o dispositivo OSM apresentou um valor inferior (-17%) se comparado ao seu equivalente CSM. Isto pode ser justificado devido ao baixo valor da tensão Early, que degradou o valor do ganho. A Tabela 47 sumariza o comparativo considerando a estrutura CSM como referência.

Tabela 47. Tabela comparativa de A_V para [I_{DS}/ (W/L)]= 6µA, entre a referência e o dispositivo OSM (c= 75% e α= 53,1°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	A_V	
	---	---	%	graus (°)	µm²	---	dB	Ganho %
08	OSM	TR46	75	53,1	375	2	43,000	-17%
09	CSM	TR39	---	---	375	2,4	51,510	---

A Figura 92 apresenta o gráfico de A_{VS} (V_{DS} igual a 0,8V), em função do fator de corte (c) do OSM considerando-se o ângulo α fixo e igual a 53,1°.

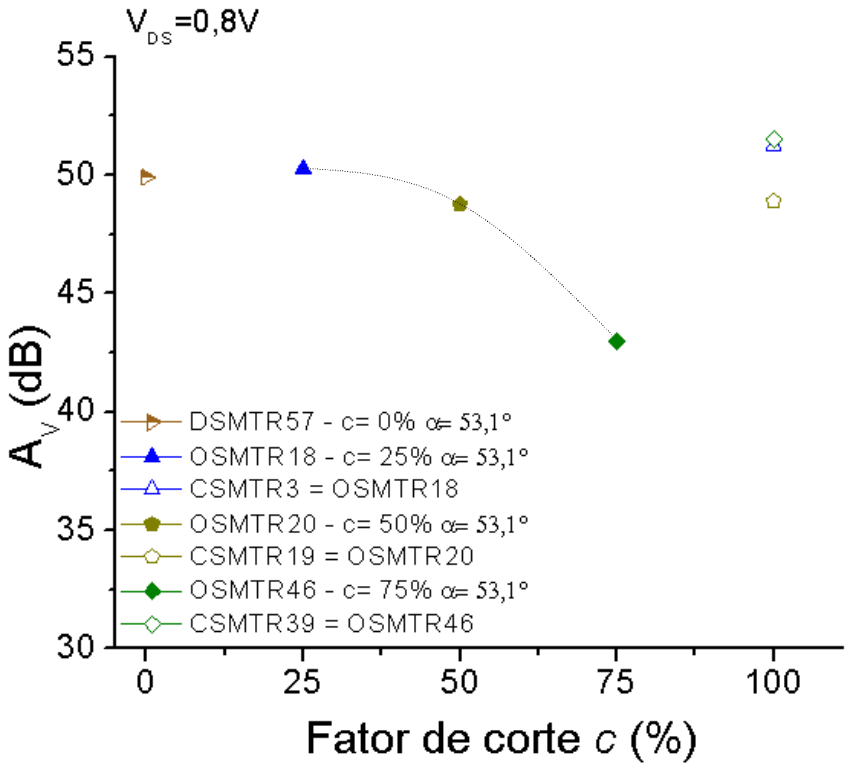


Figura 92. Gráfico de A_V em função do fator de corte (c) dos dispositivos CSM, DSM e OSM estudados.

Observando os valores de A_V, em função do fator de corte (c), conforme é ilustrado na Figura 92 confirma-se que ao diminuir o fator de corte (c), o valor de A_V aumenta, ou seja, quanto menor o corte do dispositivo OSM, maior será o valor de A_V, se comparado com o dispositivo equivalente convencional. Em contrapartida, quanto maior o fator de corte utilizado no OSM, menor será o valor de A_V. Isso pode ser justificado devido a menor influência do LCE e PATDCLE.

Como apresentado no capítulo 2 o ganho de malha aberta A_V é dado pelo produto de (g_m / I_{DS}) por V_{EA}**.** Os resultados inferiores de A_V do dispositivo OSM, foram possibilitados pela forte influência negativa da tensão Early na composição do valor final da A_V (degradando-o). A influência de cada termo (g_m/I_{DS} e V_{EA}) na composição do ganho A_V, pode ser visualizada na Figura 93.

A Figura 93 apresenta o gráfico de V_{EA}, em função de $g_m/I_{DS,}$ variando o fator de corte (c) do OSM considerando-se o ângulo α fixo e igual a 53,1°.

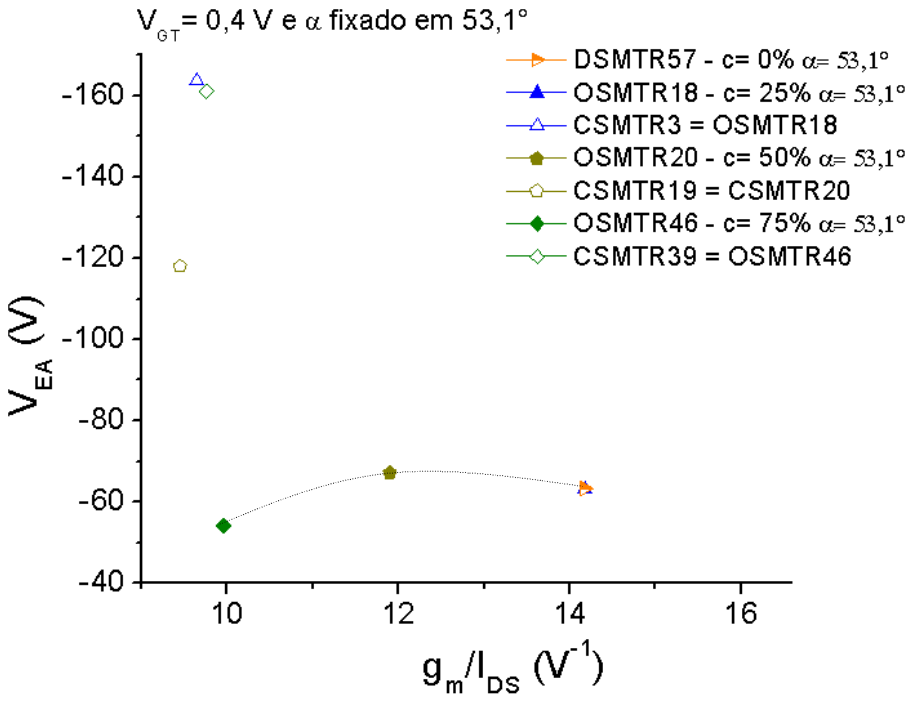


Figura 93. Gráfico ilustrativo da influência da V_{EA} e da g_m/I_{DS} na composição do A_V, considerando a variação do fator de corte e um ângulo α fixo.

Analisando a Figura 93, verifica-se a maior influência (maiores valores) da tensão Early na composição final do valor do ganho A_V. O que ocasiona em uma baixa eficiência do dispositivo OSM neste quesito.

A Figura 94 apresenta o gráfico de A_{VS} (V_{DS} igual a 0,8V), em função do ângulo α do OSM considerando-se um fator de corte fixo e igual a 25%.

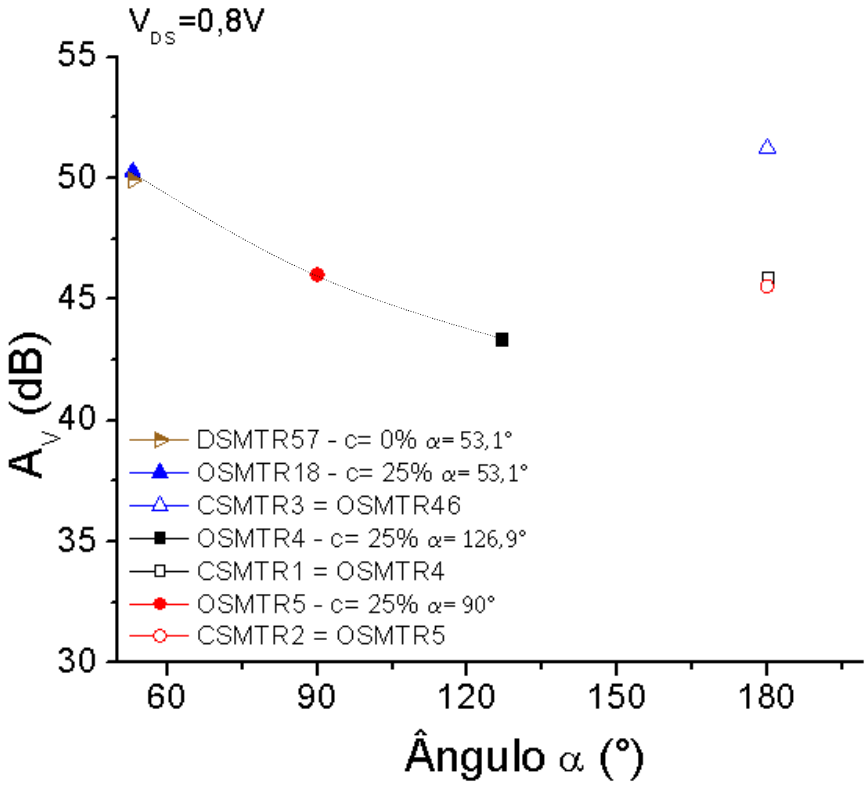


Figura 94. Gráfico de A_V em função do ângulo α dos dispositivos CSM, DSM e OSM estudados.

Observando os valores de A_V, em função do ângulo α, conforme evolução na Figura 94 confirma-se que ao diminuir o ângulo α, o valor de A_V aumenta, ou seja, quanto menor o ângulo α do dispositivo OSM, maior será o valor de A_V, se comparado com o dispositivo equivalente convencional. Em contrapartida, quanto maior ângulo α utilizado no OSM, menor será o valor de A_V. Isso pode ser justificado devido a menor influência do LCE e PATDCLE.

Como apresentado no capítulo 2 o ganho de malha aberta A_V é dado pelo produto de (g_m / I_{DS}) por V_{EA}. Os resultados inferiores de A_V do dispositivo OSM, foram possibilitados pela forte influência negativa da tensão Early na composição do valor final da A_V (degradando-o). A influência de cada termo (g_m/I_{DS} e V_{EA}) na composição do ganho A_V, pode ser visualizada na Figura 95.

A Figura 95 apresenta o gráfico de V_{EA}, em função de g_m/I_{DS}, variando o ângulo α do OSM considerando-se o um fator de corte fixo e igual a 25%.

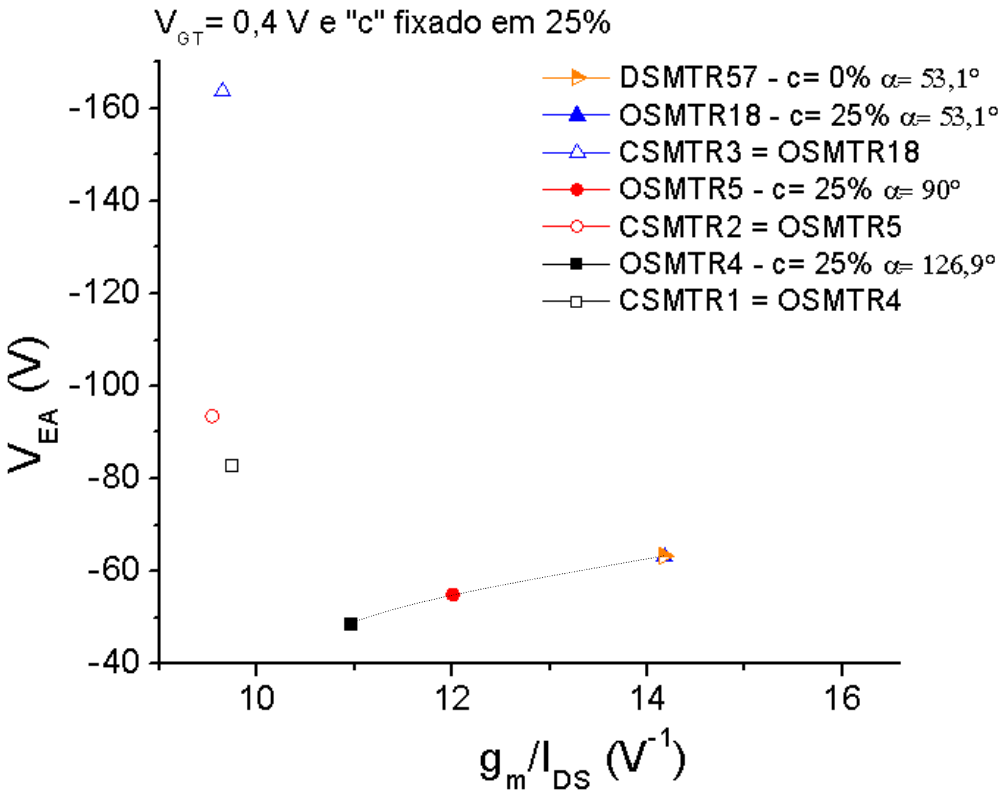


Figura 95. V_{EA} x (g_m/I_{DS}) para fator de corte (c) fixo

Analisando a Figura 95, verifica-se a maior influência (maiores valores) da tensão Early na composição final do valor do ganho A_V. O que ocasiona em uma baixa eficiência do dispositivo OSM neste quesito.

Desta maneira, considerando o parâmetro A_V , os dispositivos OSM são indicados para utilização na região de inversão forte.

5.15 Frequência de ganho de tensão unitário (f_T)

A Figura 96 relaciona f_T dos dispositivos SOI MOSFETs convencional, diamante e em formato octogonal em função de I_{DS} normalizadas pelo fator geométrico (W/L) (para eliminar a influência do fator geométrico dos dispositivos no resultado).

Cada dispositivo é apresentado em função do fator de corte (c) dado em percentual (%), assim com o ângulo da junção metalúrgica α (°).

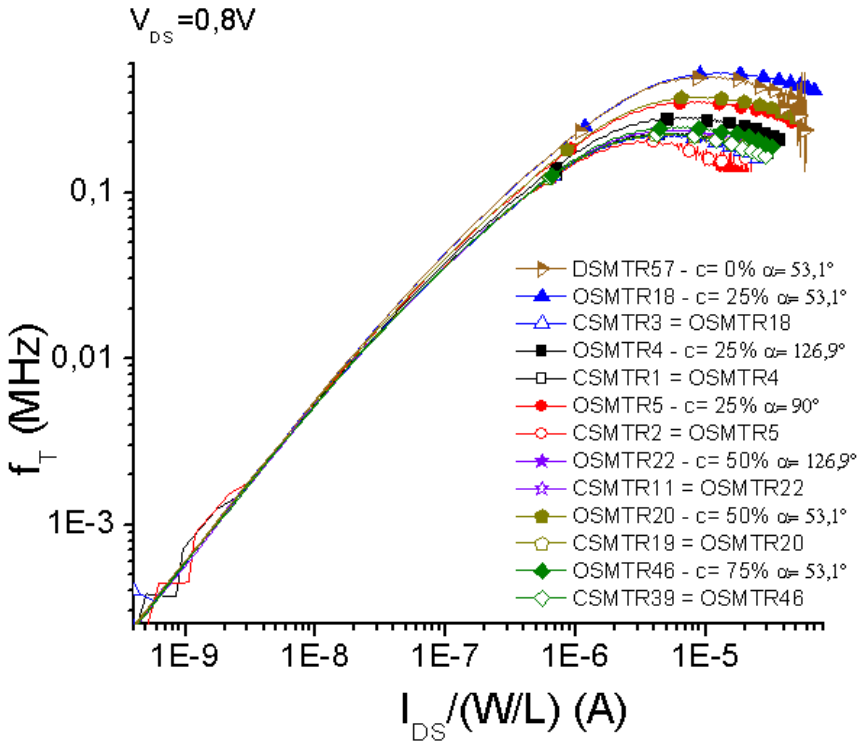


Figura 96. Curvas experimentais de f_T em função de [I_{DS} / (W/L)] para os diferentes dispositivos CSM, DSM e OSM estudados.

Analisando o gráfico de f_t x [I_{DS} / (W/L)] na Figura 96, nota-se que os dispositivos OSM apresentaram valores de f_T superiores ou equivalentes que os seus devidos equivalentes CSM, considerando-se a mesma área de porta e condições de polarização. Isto pode ser justificado devido ao maior campo elétrico longitudinal presente na estrutura OCTO em comparação ao equivalente CSM propiciado pelo LCE e PATDCLE. Os gráficos comparativos dos dispositivos OSM com os respectivos equivalentes CSM (de mesma área de porta) são apresentados nas Figuras de 97 até 102. Em cada gráfico foram inseridas setas na região de inversão forte que indicam o ponto de obtenção da f_T para [I_{DS} /(W/L)]= 6μA, assim como o ganho percentual da f_t entre os dispositivos citados.

A Figura 97 apresenta as curvas de f_T em função de I_{DS}/ (W/L) dos SOI nMOSFET Diamante e OCTO com ângulo α igual a 53,1° e o convencional equivalente ao OCTO (mesma área de porta).

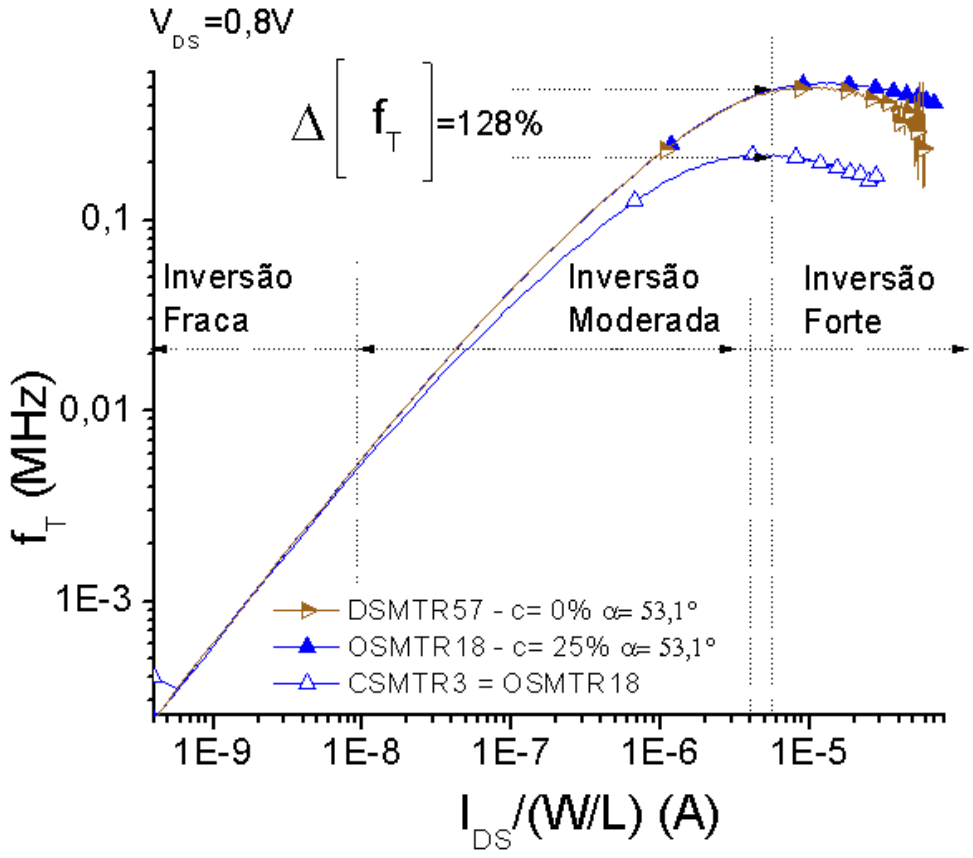


Figura 97. Curvas experimentais de f_T em função de [I_{DS} / (W/L)] para os dispositivos DSM (c= 0% e α= 53,1°), OSM (c= 25% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 97, $\Delta[f_T]$ indica a variação do valor de f_T entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Analisando a Figura 97 e considerando [I_{DS} /(W/L)]= 6µA, o dispositivo OSM apresentou um valor 128% superior ao seu equivalente CSM devido ao maior campo elétrico longitudinal pela influência do LCE e PATDCLE Vale ressaltar que o dispositivo OSM apresentou um valor de f_T 4,6% superior ao dispositivo DSM equivalente, considerando-se neste caso o mesmo fator geométrico (W/L) assim como as mesmas condições de polarização. Isso pode ser justificado devido ao maior campo elétrico longitudinal resultante presente na estrutura OCTO.

Os dispositivos OSM e DSM, obtiveram um desempenho superior em todas as regiões de inversão quando comparado aos CSM equivalente, principalmente na região de inversão forte. A Tabela 42 sumariza o comparativo considerando a estrutura CSM como referência.

Tabela 48. Tabela comparativo de f_T para [I_{DS}/ (W/L)]= 6µA, entre a referência CSM e os dispositivos DSM (c= 0% e α= 53,1°) e OSM (c= 25% e α= 53,1°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	f_T	
	---	---	%	graus (°)	µm²	---	MHz	Ganho %
01	DSM	TR57	0	53,1	1050	0,86	0,470	117%
02	OSM	TR18	25	53,1	825	0,86	0,493	128%
03	CSM	TR3	---	---	825	1,09	0,216	0%

A Figura 98 apresenta as curvas de f_T em função de I_{DS}/ (W/L) dos SOI nMOSFET OCTO com ângulo α igual a 90° e o convencional equivalente ao OCTO (mesma área de porta).

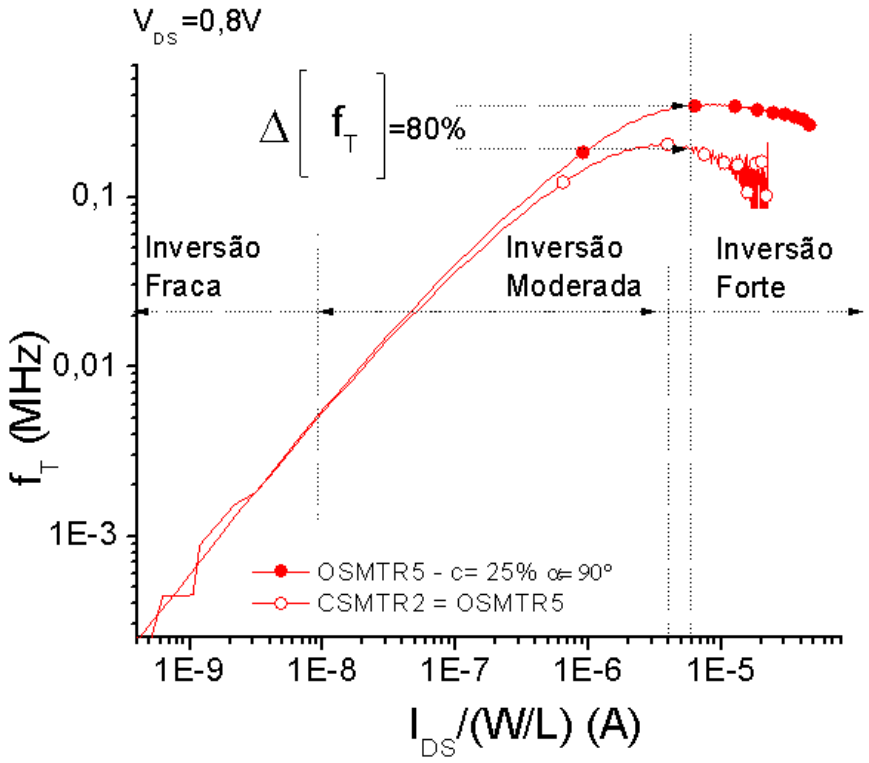


Figura 98. Curvas experimentais de f_T em função de [I_{DS} / (W/L)] para os dispositivos OSM (c= 25% e α= 90°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 98, $\Delta[f_T]$ indica a variação do valor de f_T entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Analisando a Figura 98 e considerando [I_{DS} /(W/L)]= 6µA, o dispositivo OSM apresentou um valor 80% superior ao seu equivalente CSM. Como já comentado, isso pode ser

justificado devido a influência do LCE e PATDCLE, que incrementam o valor co campo elétrico longitudinal. Os dispositivos OSM, obtiveram um desempenho superior em todas as regiões de inversão quando comparado aos CSM equivalente, principalmente na região de inversão forte. A Tabela 48 sumariza o comparativo considerando a estrutura CSM como referência.

Tabela 49. Tabela comparativa de f_T para [I_{DS} / (W/L)]= 6µA, entre a referência CSM e o dispositivo OSM (c= 25% e α= 53,1°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	f_T	
	---	---	%	graus (°)	µm²	---	MHz	Ganho %
06	OSM	TR5	25	90	486	1,5	0,351	⇧ 80%
07	CSM	TR2	---	---	486	1,85	0,195	---

A Figura 99 apresenta as curvas de f_T em função de I_{DS}/ (W/L) dos SOI nMOSFET Diamante e OCTO com ângulo α igual a 126,9° e o convencional equivalente ao OCTO (mesma área de porta).

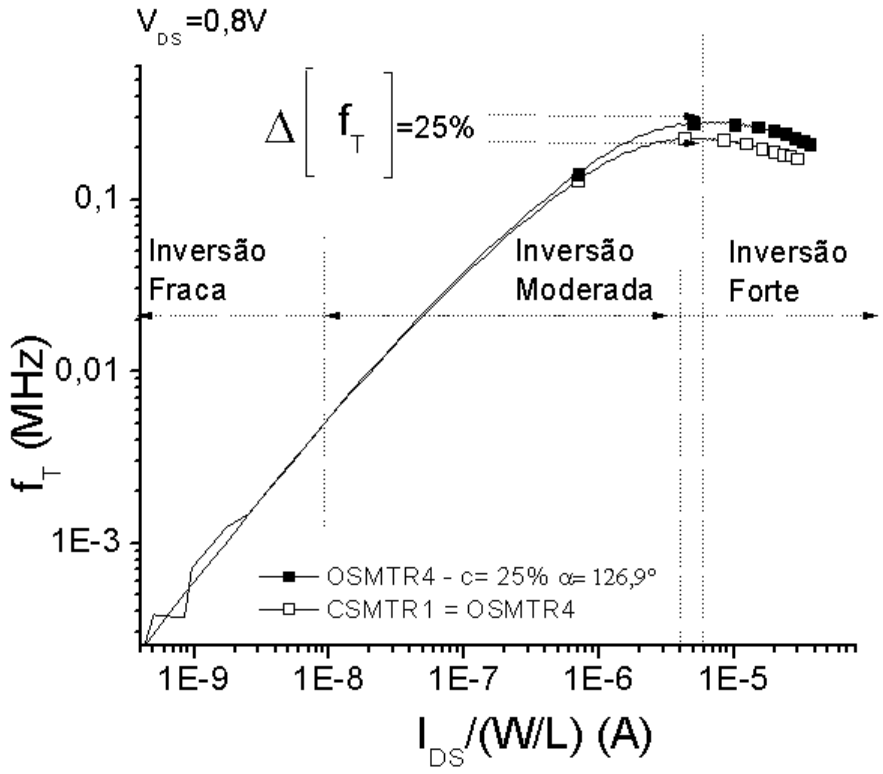


Figura 99. Curvas experimentais de f_T em função de [I_{DS} / (W/L)] para os dispositivos OSM (c= 25% e α= 126,9°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 99, $\Delta[f_T]$ indica a variação do valor de f_T entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Analisando a Figura 99 e considerando [I_{DS} /(W/L)]= 6µA, o dispositivo OSM apresentou um valor 25% superior ao seu equivalente CSM. Isso pode ser justificado devido ao maior campo elétrico longitudinal pela maior influência do LCE e PATDCLE. Os dispositivos OSM, obtiveram um desempenho superior em todas as regiões de inversão quando comparado aos CSM equivalente, principalmente na região de inversão forte. A Tabela 50 sumariza o comparativo considerando a estrutura CSM como referência.

Tabela 50. Tabela comparativa de f_T para [I_{DS} / (W/L)]= 6µA entre a referência CSM e o dispositivo OSM (c= 25% e α= 126,9°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	f_T	
	---	---	%	graus (°)	µm²	---	MHz	Ganho %
10	OSM	TR4	25	126,9	324	2,37	0,284	⇧ 25%
11	CSM	TR1	---	---	324	2,79	0,228	---

A Figura 100 apresenta as curvas de f_T em função de I_{DS}/ (W/L) dos SOI nMOSFET Diamante e OCTO com ângulo α igual a 53,1° e o convencional equivalente ao OCTO (mesma área de porta).

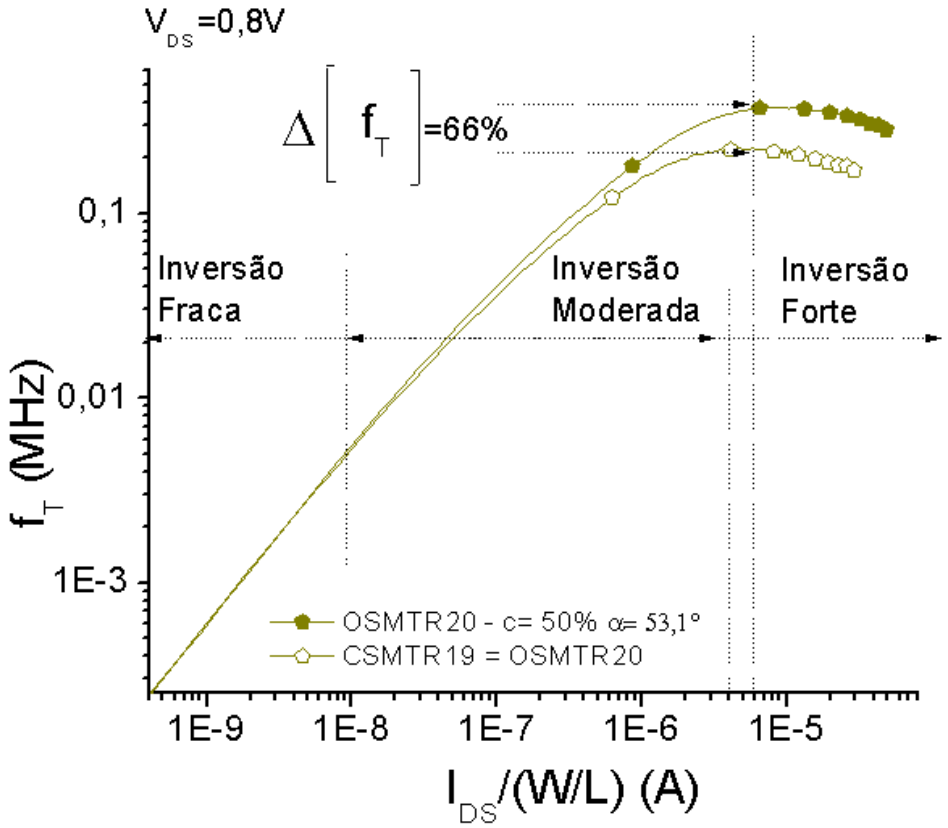


Figura 100. Curvas experimentais de f_T em função de [I_{DS} / (W/L)] para os dispositivos OSM (c= 50% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 100, $\Delta[f_T]$ indica a variação do valor de f_T entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Analisando a Figura 100 e considerando [I_{DS} /(W/L)]= 6µA, o dispositivo OSM apresentou um valor 66% superior ao seu equivalente CSM devido ao LCE e PATDCLE, que incrementa o valor do campo elétrico longitudinal. Os dispositivos OSM, obtiveram um desempenho superior em todas as regiões de inversão quando comparado aos CSM equivalente, principalmente na região de inversão forte. A Tabela 51 sumariza o comparativo considerando a estrutura CSM como referência.

Tabela 51. Tabela comparativa de f_T para [I_{DS} / (W/L)]= 6µA, entre a referência CSM e o dispositivo OSM (c= 50% e α= 53,1°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	f_T	
	---	---	%	graus (°)	µm²	---	MHz	Ganho %
04	OSM	TR20	50	53,1	600	1,2	0,368	⇧ 66%
05	CSM	TR19	---	---	600	1,5	0,222	---

A Figura 101 apresenta as curvas de f_T em função de I_{DS}/ (W/L) dos SOI nMOSFET Diamante e OCTO com ângulo α igual a 126,9° e o convencional equivalente ao OCTO (mesma área de porta).

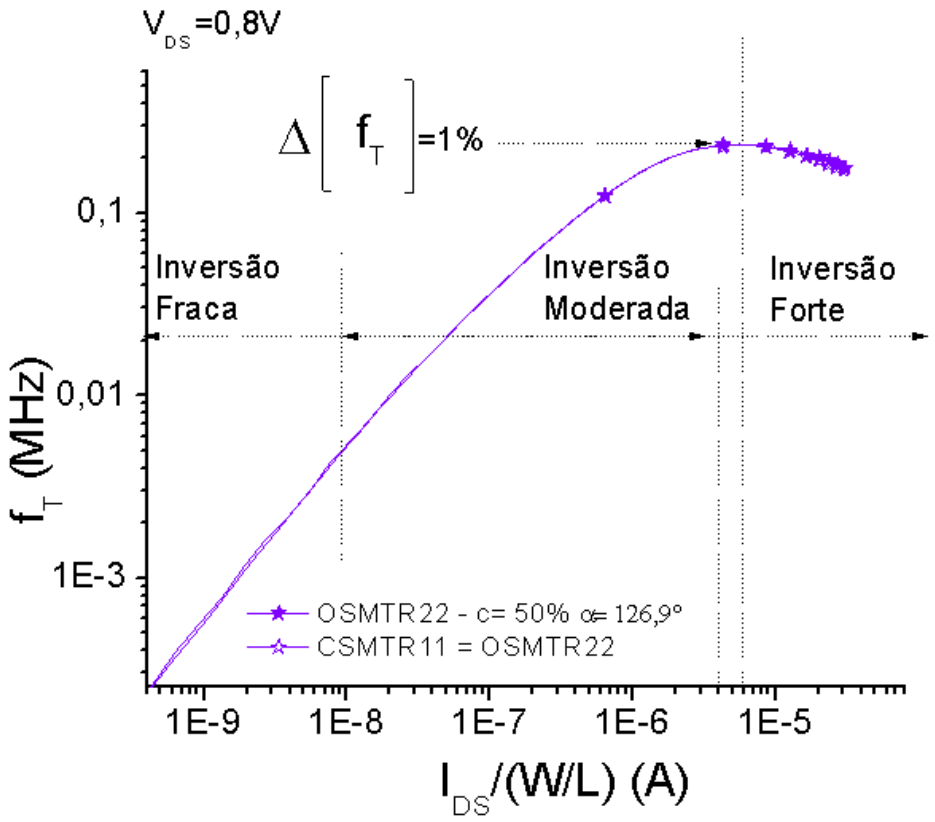


Figura 101. Curvas experimentais de f_T em função de [I_{DS} / (W/L)] para os dispositivos OSM (c= 50% e α= 126,9°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 101, $\Delta[f_T]$ indica a variação do valor de f_T entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Analisando a Figura 101 e considerando [I_{DS} /(W/L)]= 6µA, o dispositivo OSM apresentou valores similares ao seu equivalente CSM. Neste caso, o campo elétrico longitudinal $\overrightarrow{(\varepsilon_{//})}$ e a influência da geometria octogonal (LCE e PATDCLE) foram muito degradadas devido ao alto ângulo α e ao elevado fator de corte (c) aplicados para gerar a estrutura octogonal, aproximando-se desta maneira o comportamento do OSM ao do CSM

Os dispositivos OSM, obtiveram um similar em todas as regiões de inversão quando comparado aos CSM equivalente, principalmente na região de inversão forte. A Tabela 52 sumariza o comparativo considerando a estrutura CSM como referência.

Tabela 52. Tabela comparativa de f_T para [I_{DS} / (W/L)]= 6µA, entre a referência CSM e o dispositivo OSM (c= 50% e α= 126,9°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	f_T	
	---	---	%	graus (°)	µm²	---	MHz	Ganho %
12	OSM	TR22	50	126,9	264	3	0,238	1%
13	CSM	TR11	---	---	264	3,43	0,235	---

A Figura 102 apresenta as curvas de f_T em função de I_{DS}/ (W/L) dos SOI nMOSFET Diamante e OCTO com ângulo α igual a 53,1° e o convencional equivalente ao OCTO (mesma área de porta).

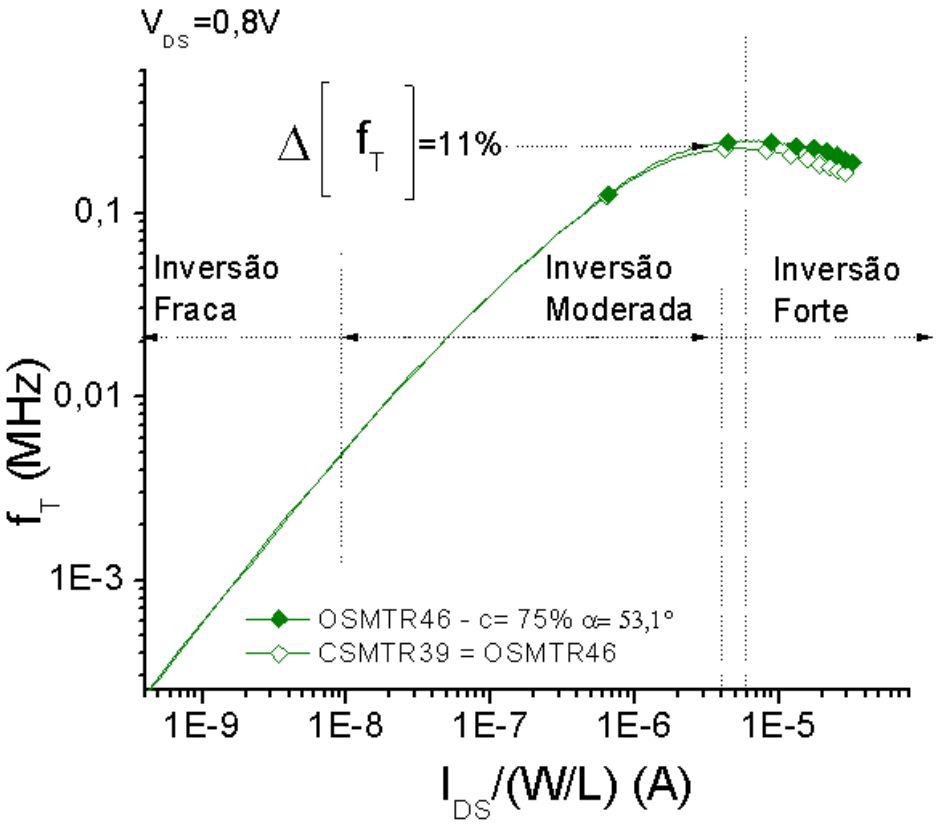


Figura 102. Curvas experimentais de f_T em função de [I_{DS} / (W/L)] para os dispositivos OSM (c= 75% e α= 53,1°) e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Na Figura 102, $\Delta[f_T]$ indica a variação do valor de f_T entre o OCTO SOI nMOSFET e o CSM equivalente em área de porta ao OCTO SOI nMOSFET.

Analisando a Figura 102 e considerando [I_{DS} /(W/L)]= 6µA, o dispositivo OSM apresentou um valor 11% superior ao seu equivalente CSM devido a influência positiva do

LCE e PATDCLE. Os dispositivos OSM, obtiveram um desempenho superior em todas as regiões de inversão quando comparado aos CSM equivalente, principalmente na região de inversão forte. A Tabela 53 sumariza o comparativo considerando a estrutura CSM como referência.

Tabela 53. Tabela comparativa de f_T para [I_{DS} / (W/L)]= 6µA, entre a referência CSM e o dispositivo OSM (c= 75% e α= 53,1°).

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta	W/L	f_T	
	---	---	%	graus (°)	µm²	---	MHz	Ganho %
08	OSM	TR46	75	53,1	375	2	0,249	11%
09	CSM	TR39	---	---	375	2,4	0,223	---

A Figura 103 apresenta o gráfico de f_T (V_{DS} e V_{GT} igual a 0,8V e 0,2V respectivamente), em função do fator de corte (c) do OSM considerando-se o ângulo α fixo e igual a 53,1°.

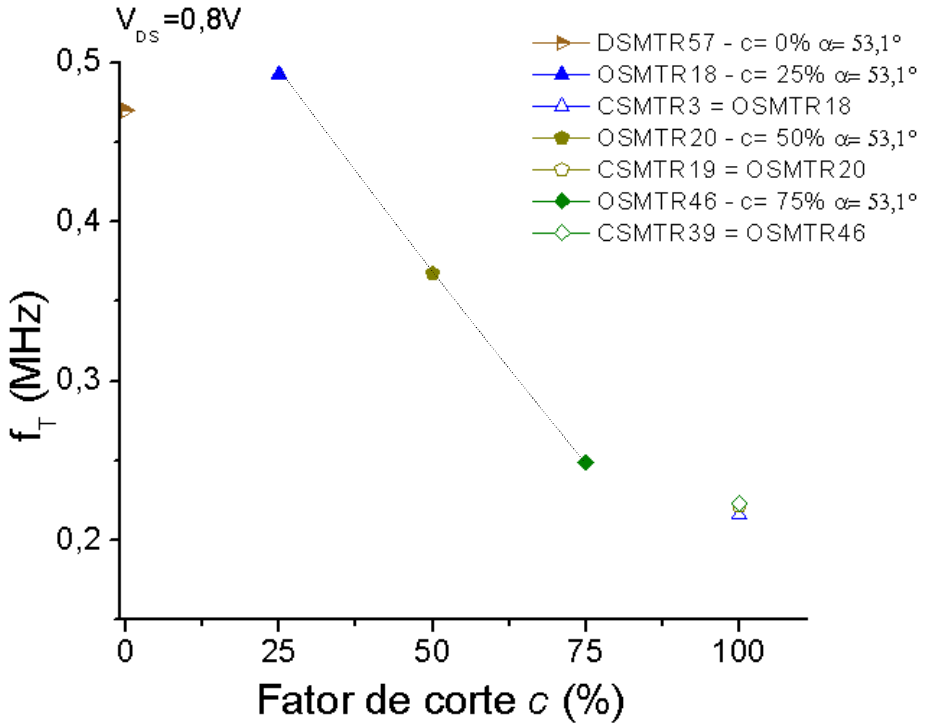


Figura 103. Gráfico de f_t em função do fator de corte (c) para os diferentes dispositivos CSM, DSM e OSM estudados.

Observando os valores de f_T, em função do fator de corte (c), conforme evolução na Figura 103, ao diminuir o fator de corte (c), o valor de f_T aumenta, ou seja, quanto menor o

corte do dispositivo OSM, maior será o valor de f_T, se comparado com o dispositivo equivalente convencional, isto se deve ao fato da maior intensidade do campo elétrico longitudinal (LCE)[12,14] e da influência do PATDCLE presente na estrutura para fatores de corte pequenos, ocasionando na melhor interação entre as componentes do campo elétrico longitudinal. Em contrapartida, quanto maior o fator de corte utilizado no OSM, mais o dispositivo OSM se assemelha com o dispositivo CSM, resultando em valores de f_T similares entre o OSM e CSM, conforme apresentado no capítulo 3, quanto maior o fator de corte (c) apresentado pelo OSM, mais o mesmo se aproxima da condição do dispositivo convencional, dado que em uma aproximação para análise, o fator de corte (c) do convencional é de 100%. Consequentemente, menor é a interação entre as componentes do campo elétrico longitudinal (redução do efeito de canto longitudinal LCE) [12,14]. Os valores de f_T, também são influenciados pela geometria octogonal, que pode ser representada pela composição de quatro transistores em paralelo, sendo dois de geometria retangular (localizados no centro da geometria octogonal) e dois com geometria trapezoidal (localizados nas extremidades da geometria octogonal), onde na geometria trapezoidal o L diminui do centro para as extremidades, portanto uma maior corrente de dreno flui através desses transistores que se localizam nas extremidades da geometria.

A Figura 104 apresenta o gráfico de f_T (V_{DS} e V_{GT} igual a 0,8V e 0,2V respectivamente), em função do ângulo α do OSM considerando-se o fator de corte fixo e igual a 25%.

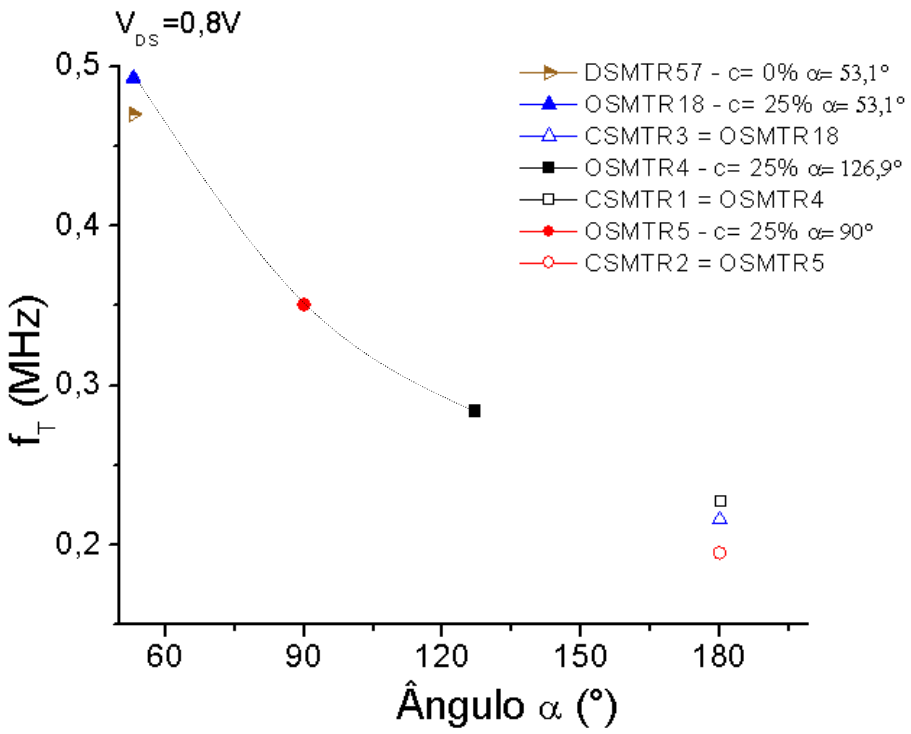


Figura 104. Gráfico de f_t em função do ângulo α, para os diferentes dispositivos CSM, DSM e OSM estudados.

Observando os valores de f_T, em função do ângulo α, conforme evolução na Figura 104, confirma-se que diminuindo o ângulo α, o valor de f_T aumenta, ou seja, quanto menor o ângulo α do dispositivo OSM, maior será o valor de f_T, se comparado com o dispositivo equivalente convencional, isto deve-se ao fato da maior intensidade do campo elétrico longitudinal (LCE)[12,14] e da influência do PATDCLE presente na estrutura para ângulos α pequenos, ocasionando na melhor interação entre as componentes do campo elétrico longitudinal. Similarmente, quanto maior o ângulo α utilizado no OSM, mais o dispositivo OSM se assemelha com o dispositivo CSM, resultando em valores de f_T similares entre o OSM e CSM, conforme apresentado no capítulo 4, quanto maior o ângulo apresentado pelo OSM, mais o mesmo se aproxima da condição do dispositivo convencional, dado que o ângulo teórico do convencional é de 180°. Consequentemente, menor é a interação entre as componentes do campo elétrico longitudinal (redução do efeito de canto longitudinal *LCE*) [12,14].

Os valores de f_T, também são influenciados pelo comprimento de canal resultante da estrutura octogonal, dado que a estrutura pode ser representada pela composição de quatro transistores em paralelo, sendo dois de geometria retangular (localizados no centro da geometria octogonal) e dois com geometria trapezoidal (localizados nas extremidades da

geometria octogonal), onde na geometria trapezoidal o L diminui do centro para as extremidades, portanto uma maior corrente de dreno flui através desses transistores que se localizam nas extremidades da geometria.

Estes dados consolidam o desempenho superior dos dispositivos OSM para o parâmetro frequência de ganho de tensão unitário f_T.

Vale ressaltar que pela influência positiva do terceiro campo elétrico longitudinal $\overrightarrow{\varepsilon_{//3}}$, intrínseca da estrutura OSM, conforme apresentado na sessão 2.12, o dispositivo OSM com fator de corte (c) de 25% e ângulo α de 53,1° apresenta um valor de f_T superior ao DSM.

A Tabela 54, sumariza o desempenho do dispositivo OSM com fator de corte (c) de 25% e ângulo α de 53,1°, em relação ao dispositivo equivalente convencional, considerando a mesma área de porta (A_G) e condições de polarização para os parâmetros elétricos estudados e analisados.O sinal de menos (-) indica um resultado inferior e o sinal de mais (+) indica um resultado superior.

Tabela 54. Tabela comparativa dos parâmetros estudados entre o dispositivo convencional (CSM) e o dispositivo OSM com fator de corte c de 25% e ângulo α de 53,1°.

α=53,1° e c = 25%	CSM	OSM	Condições de polarização
$I_{DS\text{-}triodo/(W/L)}$	-	+ (146%) ou 2,46 vezes maior	V_{DS} =0,2V
$g_{m\text{-}MÁX/(W/L)}$	-	+ (137%) ou 2,37 vezes maior	V_{DS} =0,2V
$I_{ON/(W/L)}$	-	+ (145%) ou 2,45 vezes maior	V_{DS} =3,5V V_G =3,5V
$I_{OFF/(W/L)}$	-	+ (39%) ou 1,64 vezes menor	V_{DS} =3,5V V_G =0,0V
I_{ON}/ I_{OFF}	-	+ (302%)ou 4 vezes maior	-
$I_{LEAK/(W/L)}$	-	+ (42%) ou 1,72 vezes menor	V_{DS} =3,5V V_G =-0,5V
$I_{DS\text{-}sat/(W/L)}$	-	+ (98%) ou 1,98 vezes maior	V_{GT} =0,4V
V_{EA}	+	- (61%)ou 2,6 vezes menor	V_{GT} =0,4V
R_{DS_on} .(W/L)	-	+ (51%) ou 2 vezes maior	V_{GT} =0,4V
$g_{m/(W/L)}$ x I_{DS}/W/L	-	+ (47%) ou 1,47 vezes maior	V_{DS} =0,8V
A_V	+	0 (para inversão forte)	V_{DS} =0,8V
f_T	-	+ (128%) ou 2,28 vezes maior	V_{DS} =0,8V
A_G	0	(caso a caso)	

A Tabela 55, sumariza o desempenho do dispositivo OSM com fator de corte (c) de 25% e ângulo α de 53,1°, em relação ao dispositivo equivalente DSM, considerando o mesmo fator geométrico e condições de polarização para os parâmetros elétricos estudados e analisados.O

sinal de menos (-) indica um resultado inferior e o sinal de mais (+) indica um resultado superior.

Tabela 55. Tabela comparativa dos parâmetros estudados entre o dispositivo DSM com ângulo α de 53,1° e o dispositivo OSM com fator de corte c de 25% e ângulo α de 53,1°.

α=53,1° e c = 25%	DSM	OSM	Condições de polarização
$I_{DS\text{-}triodo/(W/L)}$	-	+ (18%) ou 1,2 vezes maior	V_{DS} =0,2V
$g_{m\text{-}MÁX/(W/L)}$	-	+ (5%) ou 1,05 vezes maior	V_{DS} =0,2V
$I_{ON/(W/L)}$	0	0	V_{DS} =3,5V V_G =3,5V
$I_{OFF/(W/L)}$	+	- (1118%) ou 12 vezes maior	V_{DS} =3,5V V_G =0,0V
I_{ON}/ I_{OFF}	+	- (92%) ou 12 vezes menor	-
$I_{LEAK/(W/L)}$	+	- (885%) ou 10 vezes maior	V_{DS} =3,5V V_G =-0,5V
$I_{DS\text{-}sat/(W/L)}$	0	0	V_{GT} =0,4V
V_{EA}	0	0	V_{GT} =0,4V
R_{DS_on} .(W/L)	0	0	V_{GT} =0,4V
$g_{m/(W/L)}$ x I_{DS}/W/L	0	0	V_{DS} =0,8V
A_V	0	+(1%) ou 1,01 vezes maior	V_{DS} =0,8V
f_T	-	+ (4,9%) ou 1,04 vezes maior	V_{DS} =0,8V
A_G	0	+ (21,43%) ou 1,27 vezes menor	

6 CONCLUSÕES E SEQUÊNCIA DO TRABALHO

Neste trabalho foi apresentado e estudado experimentalmente o inovador dispositivo denominado de OCTO SOI MOSFET (OSM), assim como a análise do seu desempenho elétrico levando-se em conta os principais parâmetros elétricos, quando comparado com um dispositivo convencional (CSM) equivalente, considerando a mesma área de porta (A_G) e condições de polarização, assim como o estudo comparativo experimental com o Diamante SOI MOSFET (DSM), considerando o mesmo fator geométrico e condições de polarização.

Várias combinações entre o fator de corte (c) e o ângulo α da estrutura do OCTO SOI MOSFET foram estudadas e o estilo de leiaute de porta octogonal com fator de corte igual a 25% e ângulo α igual a 53,1° foi o dispositivo que apresentou o melhor desempenho quando comparado ao seu equivalente convencional. Este comportamento é justificado devido a influência do menor fator de corte que foi estudado por este trabalho, que neste caso foi de 25%, acarretando numa maior interação entre as três (3) componentes longitudinais do campo elétrico decorrente da estrutura octogonal de porta e também devido ao menor ângulo α, onde a soma vetorial das componentes do campo elétrico longitudinal gera um maior campo elétrico resultante. Além disso, o fato do comprimento de canal variável ao longo da largura de canal da estrutura OCTO, acarreta no aumento da corrente de dreno na direção das margens do dispositivo, que pose ser representada pela associação paralela de vários transistores com comprimentos de canal diferentes, onde no centro da estrutura tem-se o maior comprimento de canal e nas bordas no menor comprimento de canal.

A análise comparativa experimental entre o OSM com fator de corte (c) de 25% e ângulo α de 53,1° com o dispositivo DSM equivalente com ângulo α de 53,1° revelou uma melhoria de 9,3% em média do OSM em relação a corrente de dreno na região de triodo, a transcondutância máxima e a frequência de ganho de tensão unitário. Considerando a corrente de dreno de estado ligado normalizado pelo fator geométrico, a corrente de dreno na região de saturação normalizado pelo fator geométrico, a tensão Early, a resistência série de estado ligado e a transcondutância normalizada pelo fator geométrico em função da corrente de dreno normalizada pelo fator geométrico, o dispositivo OSM obteve praticamente o mesmo desempenho que o DSM, estes resultados podem ser justificados pelo maior campo elétrico longitudinal resultante presente na estrutura OCTO devido à presença do terceiro campo elétrico longitudinal $\overrightarrow{\varepsilon_{//3}}$ decorrente da estrutura de porta octogonal, mesmo apresentando uma área de porta 21,43% inferior que o DSM equivalente.

No entanto, ao analisar a corrente de dreno de fuga, a corrente de dreno de estado desligado e a razão da corrente de dreno de estado ligado pela corrente de dreno de estado desligado, na média foi 11 vezes maior que o DSM equivalente.

O dispositivo OCTO, com fator de corte (c) de 25% e ângulo α de 53,1°, apresentou um desempenho em média de 2,24 vezes maior que o CSM equivalente com relação aos seguintes parâmetros: corrente de dreno na região de triodo, transcondutância, corrente de dreno de estado ligado, corrente de dreno de estado desligado, a razão da corrente de dreno de estado ligado pela corrente de dreno de estado desligado, corrente de fuga, corrente de dreno na região de saturação, resistência série de estado ligado, razão da transcondutância pela corrente de dreno em função da corrente de dreno normalizada pelo fator geométrico e frequência de ganho de tensão unitário. Este comportamento é justificado devido ao maior campo elétrico longitudinal presente na estrutura octogonal. A formação do campo elétrico no dispositivo OSM é exemplificada da seguinte maneira, o dispositivo OSM pode ser considerado eletricamente como a associação paralela de vários transistores (dado por N), de mesma largura de canal (dada por W/N) e com diferentes comprimentos de canal (com valores variando entre b e B). Devido a estas considerações, a geometria de porta octogonal permite um maior fluxo de corrente de dreno (I_{DS}) pelas extremidades (transistores com menor comprimento de canal L) do que pelo centro (transistores com maiores comprimentos de canal L) da região de canal, em adição ao comportamento oriundo da influência do LCE (longitudinal corner effect) também presente na estrutura, que força a corrente de dreno (I_{DS}) a fluir mais pelo centro do canal. O efeito ligado a associação paralela de transistores com diferentes comprimentos de canal sobre a corrente de dreno (I_{DS}) é definido e nomeado aqui como PATDCLE (**p**arallel **a**ssociation of **t**ransistors with **d**ifferent **c**hannel **l**enghts). Portanto, no estilo de leiaute OCTO ocorrem dois efeitos simultaneamente (LCE e PATDCLE), o que melhora significativamente a corrente de dreno quando comparado com o transistor equivalente convencional (CSM), considerando a mesma área de porta e condições de polarização.

Um fato negativo da estrutura octogonal de porta do OSM é o de apresentar um campo elétrico longitudinal resultante maior que o DSM e o CSM equivalente, que afeta significativamente a tensão Early do OCTO, que considerando o OSM com fator de corte (c) igual a 25% e ângulo α de 53,1° foi reduzida em 61% em relação ao CSM equivalente, o que comprova o maior campo elétrico longitudinal presente na estrutura octogonal, limitando sua aplicação nos estágios de saída em circuitos integrados analógicos.

O ganho de tensão do OSM (para todos os transistores estudados) é inferior ao do CSM equivalente na região de inversão fraca e moderada, devido a sua menor tensão Early quando comparado ao CSM equivalente, embora o g_m/I_{DS} do OSM seja maior do que o do CSM equivalente em todas as regiões de inversão. Em contrapartida, o ganho de tensão do OSM é praticamente o mesmo que o do CSM equivalente quando ele opera na região de inversão forte. Dessa forma o OSM é uma alternativa para aplicação de circuitos integrados analógicos operando em alta frequência.

Portanto, podemos concluir que o estilo de leiaute OCTO é uma alternativa para aumentar o desempenho dos transistores e consequentemente dos circuitos integrados analógicos e digitais com a significativa redução da área de silício, quando consideramos uma mesma polarização da corrente de dreno.

Como sugestão de trabalhos futuros, pode-se estudar o comportamento da estrutura OCTO em temperaturas elevadas, em temperaturas criogênicas, e em ambientes radioativos, assim como a sua devida robustez em ambientes automotivos visando imunidade em ESD, e contra interferência eletromagnética (*Electromagnetic Interference* - EMI). Uma outra análise poderia ser focada na combinação de transistores OSM com CSM na concepção dos mais variados circuitos integrados como, por exemplo, inversores, *drivers* de corrente e amplificadores operacionais de transcondutância. Uma outra linha a se seguir, seria a de expandir o conceito do OSM para um FinFET OSM.

REFERÊNCIAS

[1] SCHNEIDER, M. C. ; MONTORO, C. G. ; **CMOS Analog Design Using All- Region Mosfet Modeling.** New York: Cambridge University, 2010.

[2] SEDRA, A. S. ; SMITH, K. C. **Microeletrônica.** São Paulo: Makron Books, 2000.

[3] J.J. Liou; A.ORTIZ CONDE; F. GARCIA SANCHEZ. **Analysis and Design of Mosfets Modeling, Simulation, and Parameter Extraction.** London: Kluwer Academic Publishers, 1998.

[4] MARTINO, J. A. ; PAVANELO, M. A. ; VERDONCK,.B. **Caracterização Elétrica de Tecnologia e Dispositivos MOS.** São Paulo: Pioneira Thomson Learning, 2003.

[5] COLINGE, J-. P. **Silicon-On-Insulator Technology:** Materials to VLSI. 3 ed. Boston: Kluwer Academic Publishers, 2004.

[6] SONNENBERG, V. ; NICOLETT, A. S. ; Transistores MOSFETS Fabricados na Tecnologia de Silício Sobre Isolante – SOI MOSFET: A Caminho do Futuro. **Boletim Técnico da Faculdade de Tecnologia de São Paulo**, São Paulo, v. BT14, p.14-23, 2003.

[7] CRISTOLOVEANU, S. ; LI, S. S. **Electrical Characterization of Silicon-On-Insulator Materials and Devices.** 2 ed. Boston: Kluwer Academic Publishers. 1995.

[8] SAKURAI, T. ; MATSUZAWA, A. ; DOUSEKI, T. ; **Fully – Depleted SOI CMOS Circuits and Technology for Ultralow-Power Applications.** Netherlands: Springer. 2006.

[9] CULURCIELLO, E. ; **Silicon-on-Sapphire Circuits and Systems, Sensor and Biosensor Interfaces,** [S.I], McGraw-Hill Companies, 2010.

[10] COLINGE, J-. P; **FinFETS and others multi-gate transistors.** Massachusetts: Springer, 2008.

[11] SHIN, C. ; **Advanced Mosfet Designs and Implications for SRAM Scaling,** 2011. 108 f. Tese (Doutorado em Engenharia Elétrica e Ciências da Computação). University of California, Berkeley.

[12] GIMENEZ, S.P. ; **The Wave SOI MOSFET:** A New Accuracy Transistor Layout to Improve Drain Current and Reduce Die Area for Current Drivers Applications**.** Electrochemical Society, ECS Transactions, 2009.v.19. p. 153-158.

[13] GIMENEZ, S.P. ; BELLODI, M. **Diamond MOSFET:** A New Drain and Source/Channel Interface Layout to Improve Drain Current. Sweden, EUROSOI 2009, 2009.

[14] GIMENEZ, S.P. **Diamond MOSFET**: An innovative layout to improve performance of ICs. Solid-State Electronics, v.54, p.1690-1699, 2010.

[15] GIMENEZ, S.P.; ALATI, D. M. **OCTO SOI MOSFET:** An Evolution of the Diamond to Be Used in the Analog Integrated Circuits. EUROSOI 2011. Granada: Universidade de Granada, 2011. v.1, p.91-92.

[16] COLINGE, J-. P; COLINGE, C. A. **Physics of Semiconductor Devices.** Boston: Kluwer Academic Publishers, 2002.

[17] SCHNEIDER, M. C. ; MONTORO, C. G. **MOSFET Modeling for Circuits Analysis and Design.** Singapore: World Scientific Publishing, 2007.

[18] LI, Y. ; CHOU, H-M. **" Comparative Study of Electrical Characteristic on Sub-10-nm Double-Gate MOSFETs"**, **IEEE Transactions on NanotechnologyElectron**, v.4, n.5, p.645-647, Sept. 2005.

[19] SHACHAM-DIAMAND,Y. et al. **Advanced Nanoscale ULSI Interconnects:** Fundamentals ans Applications. New York: Springer, 2009.

[20] KAESLIN, H.; **Digital Integrated Circuit Design From VLSI Architectures to CMOS Fabrication.** New York: Cambridge University Press, 2008.

[21] RODDER, M.; **"ON/OFF Current Ratio in p-Channel Poly-Si MOSFET´s: Dependence on Hot-Carrier Stress Conditions"**, **IEEE Electron Device Letters,** v.11, n.8, p346-348, Aug. 1990.

[22] TACHI, K.; **A Study on Carrier Transport Properties of Vertically- Stacked Nanowire Transistors,** 2011. 176 f. Tese (Doutorado em Engenharia). Tokyo Institute of Technology.

[23] BALESTRA, F. **New Semiconductor Devices.** Acta Physica Polonica A,v.114, n.5, p. 945-974. 2008.

[24] VASHCHENKO, V. , SHIBKOV, A. **ESD Design for Analog Circuits.** New York: Springer, 2011.

[25] RAZAVI, B. **Design of Analog CMOS Integrated Circuits.** Boston: McGraw-Hill, 2001.

[26] RASHID, M. H. **Power Electronics Handbook:** Devices, Circuits and Applications Handbook. 3 ed. Oxford: Butterworth-Heinemann, 2011.

[27]SILVEIRA, F.; FLANDRE, D.; JESPERS, P. G. A.; **"A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA"**, **IEEE J. Solid-State Circuits**, v.31, p. 1314-1319, Sept. 1996.

[28] Binkley, D. M. **Tradeoffs and optimization in analog CMOS design.** England: John Wiley & Sons, 2008.

[29] SAKURAI, S. e ISMAEL, M.; **Low Voltage CMOS Operational Amplifiers Theory, Design and Implementation.** London: Kluwer Academic Publishers, 1994.

[30] ALVAREZ, A. R. **BiCMOS Technology and Applications.** 2 ed**.** Netherlands: Kluwer Academic Publishers, 1993.

[31] LIN, M-B.; **Introduction to VLSI Systems. A Logic, Circuit, and System Perspective.** 2 ed. USA: CRC Press, 2012.

[32] FLANDRE, D. ; RASKIN, J. P. ; VANHOENACKER-JANVIER, D. **SOI CMOS Transistors FOR RF and Microwave Applications.** International Journal of High Speed Electronics and Systems, v.11, n.4, p1159-1248, 2001.

[33] VITTOZ, E A.; **Tech. Digest of Papers,** ISSCC, p.14, 1994.

APÊNDICE A - ARTIGO DO SAE BRASIL 2011

Neste apêndice consta o artigo que foi aceito para publicação e apresentação no 20° Congresso e Exposição Internacionais de Tecnologia da Mobilidade, que por direitos autorais só pode ser apresentado parcialmente. Este artigo aborda a utilização de circuitos integrados na tecnologia SOI MOSFET para aplicações automotivas.

SAE The Engineering Society For Advancing Mobility Land Sea Air and Space® INTERNATIONAL

2011-36-0371

The Evolution of Microelectronics in Automotive Modules

Rafael Navarenho de Souza
Product Engineering, General Motors

Leonardo Navarenho de Souza Fino
Product Engineering, General Motors

Copyright © 2011 SAE International

ABSTRACT

It has the aim to discuss the evolution of electronics components, integrated circuits, new transistors concepts and associate its importance in the automotive modules. Today, the challenge is to have devices which consume less power, suitable for high-energy radiation environment, less parasitic capacitances, high speed, easier device isolation, high gain, easier scale-down of threshold voltage, no latch-up and higher integration density. The improvement of those characteristics mentioned and others in the electronic devices enable the automotive industry to have a more robust product and give the possibility to integrate new features in comfort, safety, infotainment and telematics modules. Finally, the intention is to discuss advanced structures, such as the silicon-on-insulator (SOI) and show how it affects the electronics modules applied for the automotive area.

Electronic systems are related with some automotive technologies such as fuel economy, lower emissions, battery management, electromagnetic compatibility, high temperature management and others, so that new devices are needed in order to support developments.

APÊNDICE B – POSTER NO 1° SIMPÓSIO DE PESQUISA DO GRANDE ABC

Neste apêndice consta o POSTER que foi aceito para apresentação no 1° Simpósio de Pesquisa do Grande ABC 2011

NOVOS TRANSISTORES SOI MOSFET PELO REARRANJO GEOMÉTRICO PARA APLICAÇÕES EM CIRCUITOS INTEGRADOS ANALÓGICOS E DIGITAIS

Centro Universitário da FEI
www.fei.edu.br
Departamento de Engenharia Elétrica

Leonardo Navarenho de Souza Fino[1] e Salvador Pinillos Gimenez[1]

[1] Centro Universitário da FEI, Departamento de Engenharia Elétrica, Av. Humberto de Alencar Castelo Branco nº. 3972, São Bernardo do Campo, SP, CEP 09850-901, Brasil

leonardosfs@gmail.com ou sgimenez@fei.edu.br

SPG ABC
SIMPÓSIO DE PESQUISA DO GRANDE ABC
Exatas e Engenharia

• Motivação

O contexto da microeletrônica mundial segue basicamente duas vertentes, a primeira delas baseia-se no estudo das etapas do processo de fabricação e a segunda baseia-se no estudo de novas topologias geométricas. A última vertente requer um investimento praticamente nulo, dado que não altera o processo de fabricação.

➢ Estudos do processo de fabricação ⇧ S

➢ Estudos de novas topologias geométricas ⇩ S

• Objetivos

Este trabalho tem como objetivo a comparação experimental entre os dispositivos OCTO SOI MOSFET (OSM), Convencional SOI MOSFET (CSM) e Diamante SOI MOSFET (DSM) para os principais parâmetros elétricos, visando a aplicação em circuitos analogicos e digitais.

• OCTO SOI MOSFET

O dispositivo OCTO, foi desenvolvido na tecnologia SOI MOSFET, ou seja, transistor de efeito de campo tipo metal-óxido-semicondutor em silício sobre isolante.

A Figura 1 representa a estrutura do dispositivo OCTO SOI MOSFET.

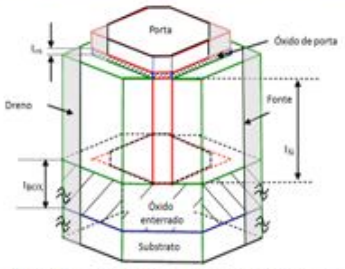


Figura 1: Representação 3D do dispositivo OCTO SOI MOSFET.

A Figura 2, indica o comportamento elétrico do dispositivo OSM e o seu devido campo elétrico resultante.

$$\overrightarrow{\varepsilon_{//OSM}} = (\overrightarrow{\varepsilon_{//1}} + \overrightarrow{\varepsilon_{//2}} + \overrightarrow{\varepsilon_{//3}})$$

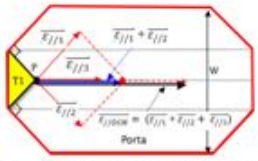


Figura 2: Representação dos vetores resultantes em um estrutura OSM.

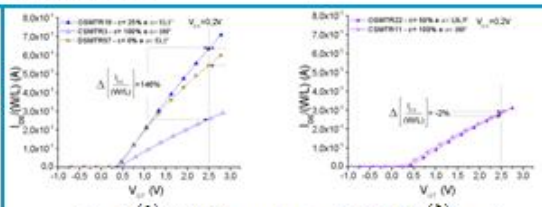


Figura 3: Curvas $I_{DS}/(W/L)$ x V_{GT} para os dispositivos OSM, DSM e CSM no melhor caso (a) e para os dispositivos OSM e CSM no pior caso (b).

Tabela 1: Maximizando o ganho de área de porta do dispositivo

Linha	Topologia	Transistor	Corte	Ângulo	Área de porta		W/L	$I_{DS}/(W/L)$ na reg. de triodo	
	---	---	%	graus (°)	µm²	Ganho %	---	A	Ganho %
03	CSM	TR3	100	180	825	0%	1,09	2,591E-05	0%
13	OSM	TR22	50	126,9	264	⇧ 68%	3	2,847E-05	⇧ 10%

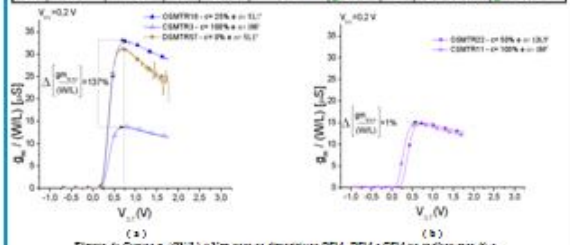


Figura 4: Curvas $g_m/(W/L)$ x V_{GT} para os dispositivos OSM, DSM e CSM no melhor caso (a) e para os dispositivos OSM e CSM no pior caso (b).

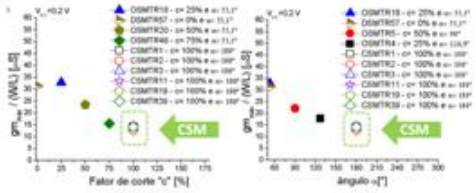


Figura 5: Variação de $g_m/(W/L)$ para os dispositivos OSM, DSM e CSM em função do fator de corte "c" (a) e em função do ângulo α (b).

• Conclusões

✓Através de resultados experimentais, foi verificado a superioridade do dispositivo OSM ao considerar $I_{DS}/(W/L)$ na região de triodo, em que o dispositivo OSMTR18 – c=25% e α= 53,1° apresentou um valor 146% superior ao seu equivalente convencional em área de porta, e ao analisarmos a g_m , o mesmo dispositivo apresentou um valor 136% superior.

✓Fixando os valores de $I_{DS}/(W/L)$ na região de triodo, o dispositivo OSMTR22 – c=50% e α= 126,9° apresentou um valor de área de porta 68% inferior se comparado ao seu equivalente em $I_{DS}/(W/L)$.

✓Mediante aos resultados obtidos, o dispositivo OSM disponta como uma alternativa para aplicações em circuitos analógicos e digitais, com uma redução da área ocupada e incremento da robustez contra ESD.

Agradecimentos: A General Motors do Brasil Ltda pelo apoio.

APÊNDICE C – ARTIGO DO EUROSOI 2012

Neste apêndice consta o artigo que foi aceito para apresentação no EUROSOI 2012.

Experimental Study of the OCTO SOI nMOSFET to Improve the Device Performance

Leonardo Navarenho de Souza Fino[1], Christian Renaux[2], Denis Flandre[2] and Salvador Pinillos Gimenez[1]

[1]Centro Universitário da FEI, Av. Humberto de Alencar Castelo Branco, 3972, São Bernardo do Campo, 09850-901, São Paulo, Brazil.

[2]ICTEAM/ELEN, Université catholique de Louvain, Place Du Levant 3, B-1348 Louvain-la-Neuve, Belgium

sgimenez@fei.edu.br

1. Abstract

This paper presents an experimental comparative study between the OCTO Silicon-On-Insulator (SOI) nMOSFET (OSM), Diamond SOI nMOSFET (DSM) and the Conventional SOI nMOSFET counterparts (CSM), considering the same bias condition in order to verify the benefits that OSM can bring for integrated circuits (ICs) applications, due to its higher longitudinal electric field along the channel than in the other devices.

2. Introduction

The ICs industries continue working hard to reduce the dimensions and to improve the current drive of planar CSMs. In addition, it is also looking for new 3D MOSFETs structures to reduce the Short Channel Effects (SCE) and Drain-Induced-Barrier-Lowering (DIBL) effects [1]. Focusing on planar devices, a new channel engineering approach has been proposed to improve the CSM performance. This is implemented easily and without additional manufacture cost by a simple change in the gate geometric shape, as demonstrated by the following layout styles: Wave SOI MOSFET [2], Overlapping-Circular Gate (O-CGT) [3], Diamond SOI MOSFET (DSM) [4] and OCTO SOI MOSFET [5]. OSM (octagonal gate geometry) is an evolution of the DSM (hexagonal gate geometry) because OSM presents three longitudinal electric field components in contrast to the two longitudinal electric field components of the DSM [4], producing a resultant electric field ($\varepsilon_{//}$) higher than in the DSM counterpart and consequently a higher mobile carriers average drift velocity in the channel, drain current (I_{DS}), transconductance (g_m) and a lower on-state series resistance (R_{DS_on}) [5]. OSM structure was created when we cut, by a factor "c", the extreme corners of the DSM, to improve the longitudinal corner effect, the electrostatic discharge (ESD) robustness and the breakdown voltage (BV_{DS}), and consequently further reducing the chip die area of analog ICs [5]. Figure 1 presents the OSM 3D structure generated from the DSM.

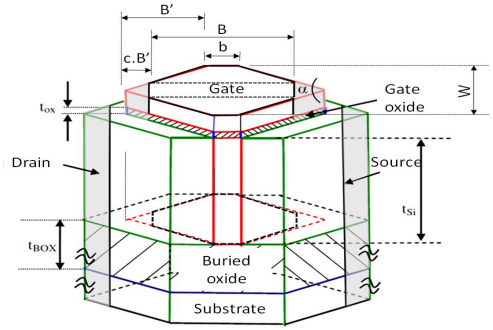


Fig. 1.*OCTO SOI MOSFET 3D structure obtained from DSM.*

In Fig. 1, b and B are respectively the shorter and longer channel dimensions, B' is the height of the triangle part of the Diamond's hexagonal geometry, W is the channel width, t_{ox}, t_{Si} and t_{BOX} are the gate oxide, silicon film and buried oxide thicknesses, respectively; the effective channel length (L_{eff}) being given by (b+2B)/3 [5] and α is the angle formed by the triangle part edges of the hexagonal geometry of the Diamond.

The objective of this paper is to perform an experimental comparative study between OSM with α=53,1° and CSM counterpart considering the same gate area (A_G) and bias conditions. Besides that, an experimental comparison is performed between the OSM with c=25% and DSM, both with α=53,1° and regarding the same W/L_{eff} and bias conditions in order to verify the benefits of the OSM use instead of the DSM in ICs applications such as pass transistors, buffers and current drivers.

3. Experimental Results

The SOI devices used in this work were manufactured in the WINFAB cleans rooms of the Université catholique de Louvain (UCL) and Table I presents their dimensions. The technological parameters of these devices are: t_{ox}, t_{Si} and t_{BOX} equal to 30 nm, 80 nm and 390 nm, respectively, and MOSFET channel and drain/source doping concentrations to $6x10^{16}$ and $1x10^{20}$ cm^{-3}, respectively.

Table I. *Threshold voltage (V_{TH}) and Dimensions of the OSM, DSM and CSM.*

Dev.	V_{TH} [V]	Cut "c" [%]	α [°]	W [µm]	Leff [µm]	(W/Leff) ---	b [µm]	B [µm]	A_G [µm²]
OSM	0.293	25	53.1	30	35	0.86	5	50	825
DSM	0.286	0	53.1	30	35	0.86	5	65	1050
CSM	0.334	100	180	30	27.5	1.09	---	---	825

Figure 2 presents the experimental results of $I_{DS}/(W/L_{eff})$ and $\log[I_{DS}/(W/L_{eff})]$ as a function of gate overdrive voltage ($V_{GT}=V_{GS}-V_{TH}$, where V_{GS} is gate voltage) for V_{DS}=3.5V, respectively. I_{DS} was normalized as a function of W/L_{eff} (= f_g) to eliminate the devices size influence.

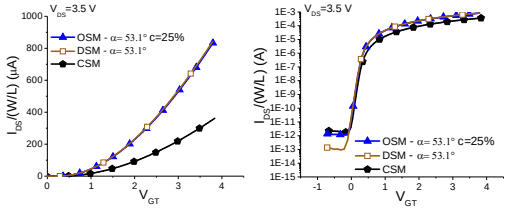


Fig. 2. *Experimental results of I_{DS}/f_g (a) and $Log[I_{DS}/f_g]$ (b) as a function of V_{GT} for V_{DS}=3.5V of the CSM, DSM and OSM, respectively.*

Table II shows the values of I_{ON}/f_g (i.e. I_{DS}/f_g for V_{GS} equal to power supply) and I_{OFF}/f_g (i.e. I_{DS}/f_g for V_{GS} equal to ground) (Table II.a) and I_{ON}/I_{OFF} and I_{LEAK}/f_g (Table II.b) of the OSM, DSM and CSM, respectively. The I_{ON}/f_g was obtained considering $V_{GS}=V_{DS}=V_{DD}$=3.5V. I_{OFF}/f_g and I_{LEAK}/f_g were extracted to V_{GS} equal to 0 and -1V, with V_{DS}=3.5V, respectively [6].

Table II. *I_{ON}/f_g and I_{OFF}/f_g (a) and I_{ON}/I_{OFF} and I_{LEAK}/f_g (b) values of OSM, DSM and CSM, respectively.*

(a)

Dev.	$I_{ON}/(W/L_{eff})$ µA	Gain %	$I_{OFF}/(W/L_{eff})$ A	Gain %
OSM	602.7	↑ 145%	1.182E-12	↑ 39%
DSM	609.4	↑ 148%	9.697E-14	↑ 95%
CSM	246.0	→ 0%	1.939E-12	→ 0%

(b)

Dev.	(I_{ON}/I_{OFF}) #	Gain %	$I_{LEAK}/(W/L_{eff})$ A	Gain %
OSM	5.10E+08	↑ 302%	1.34E-12	↑ 40%
DSM	6.28E+09	↑ 4853%	1.36E-13	↑ 94%
CSM	1.27E+08	→ 0%	2.25E-12	→ 0%

Notice that, the OSM presents significant better values of I_{ON}/f_g (145%), I_{OFF}/f_g (39%), I_{ON}/I_{OFF} ratio (302%) and I_{LEAK}/f_g (40%) than those found for the CSM counterpart, considering the same A_G and bias conditions. Besides, it observes that with a smaller A_G (21.4%), the OSM I_{ON}/f_g is practically the same than the one observed in the DSM, due to the higher OSM $\varepsilon_{//}$ than the one found in DSM.

Figure 3 presents the experimental result of I_{DS}/f_g as a function of drain current (V_{DS}) for V_{GT}= 0.4V and Table III shows the $[R_{DS_on}.f_g]$ values of the CSM, DSM and OSM, respectively, extracted of the triode region.

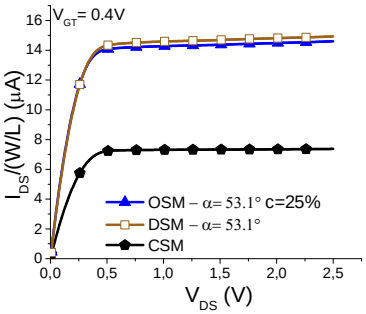


Fig. 3. *Experimental results of I_{DS}/f_g as a function of V_{DS} for V_{GT}=0.4V.*

Table III. *R_{DS_on}/f_g experimental values of OSM, DSM and CSM.*

Dev.	$R_{DS\ ON}$ x (W/L_{eff}) KΩ	Gain %
OSM	19.75	↑ 51%
DSM	19.87	↑ 51%
CSM	40.65	→ 0%

By analyzing Table III, we observe that the OSM $R_{DS_on}.f_g$ is 51% lower than the one observed in the CSM counterpart, regarding the same A_G and bias conditions and is the same than the one observed in DSM counterpart, but with a OSM A_G 21.4% smaller than the one found in DSM counterpart, considering the same f_g and bias conditions, due to the higher OSM $\varepsilon_{//}$ than the those found in the others devices.

In conclusion, by analysing these parameters, we can verify that OSM is an important alternative to be used to improve the velocity, power dissipation and reduce die area of the ICs, such as current drivers, pass transistors and buffers.

4. Conclusions

We experimentally verified and quantified the benefits of use of the OCTO SOI nMOSFETs (octagonal layout style) instead of the Conventional SOI nMOSFETs, in order to increase significantly the performance of the ICs in term of velocity, power dissipation and die area reduction, if we use OSM as pass transistor, current driver and buffer. Besides, we verify that with a gate area reduction of 21.4%, the OSM I_{ON}/f_g is practically the same than the one found in the Diamond SOI nMOSFET counterpart, regarding the same f_g and bias conditions, due to the higher OSM $\varepsilon_{//}$ than the others studied devices.

References

[1] J.-P. Colinge, FinFETs and Other MOSFET Multi-Gate
Transistors, Springer (2008).
[2] S. P. Gimenez, et al, ECS Trans., 2009.v.19. p. 153-158.
[3] S. P. Gimenez, et al, IEEE Transactions on Power Electronics, v. 99, p. 20-30, 2011.
[4] S. P. Gimenez, Solid-State Electronics, v.54 p.1690-1696, 2010.
[5] S. P. Gimenez , D. M Aladi, EUROSOI 2011. v.1. p.91-92
[6] Rodder, M.; IEEE Electron Device Letters, v.11, no. 8, pp 346-348, August 1990.

APÊNDICE D - ARTIGO DO SEMINATEC 2012

Neste apêndice consta o artigo que foi aceito para publicação no SEMINATEC 2012 – VII Workshop on Semiconductors and Micro & Nano Technology.

Using OCTO SOI nMOSFET to Reduce Die Area of Analog Integrated Circuits

Leonardo Navarenho de Souza Fino[1], Christian Renaux[2], Denis Flandre[2] and Salvador Pinillos Gimenez[3]

[1,3]Centro Universitário da Fei, Av. Humberto de Alencar Castelo Branco, 3972, São Bernardo do Campo, 09850-901, São Paulo, Brazil.

[2]ICTEAM/ELEN, Université catholique de Louvain, Place Du Levant 3,

B-1348 Louvain-la-Neuve, Belgium

[1]leonardonds@gmail.com

1. Abstract

This paper presents an experimental comparative study between the OCTO Silicon-On-Insulator (SOI) nMOSFET (OSM), Conventional SOI nMOSFET counterparts (CSM) and Diamond SOI nMOSFET (DSM), considering the same bias condition for all devices, the same gate area (AG) between OSM and CSM and the same geometric factor (fg= W/L) between OSM and DSM, in order to verify the influence of the longitudinal electric field to enhance drain current (IDS) and AG reduction in analog integrated circuits (ICs).

2. Introduction

The ICs industries are being forced to scale down the devices dimensions and to improve the current drive of the current planar CSMs, mainly without increase the cost of the complementary metal-oxide-semiconductor (CMOS) manufacturing process. In addition, it is also looking for new three dimensional (3D) MOSFETs structures to reduce the Short Channel Effects (SCE) and Drain-Induced-Barrier-Lowering (DIBL) effects [1]. Regarding the planar MOSFET technology, a new channel engineering approach has been proposed to improve the device performance. It can be obtained by changing the gate geometric shape to provide longitudinal corner effects (LCE). This was first implemented in the DSM device, where the LCE effects increased the values of drain current (I_{DS}) [2], and transconductance (g_m) [3]. This simple change in the gate geometric shape is performed without any additional manufacturing cost. This concept was applied in other devices such as Wave SOI MOSFET [4], Overlapping-Circular Gate (O-CGT) [5], and Diamond SOI MOSFET (DSM) [6]. Eventually, thinking of combining the new gate geometric shape with a greater influence of the longitudinal electric field arises the OCTO SOI nMOSFET [7]. On this way, OSM (octagonal gate geometry) is an evolution of the DSM (hexagonal gate geometry) because OSM presents three longitudinal electric field components in contrast to the two longitudinal electric field components of the DSM [6], producing a resultant electric field ($\overrightarrow{\varepsilon_{//}}$) higher than the one observed in the DSM counterpart and consequently OSM presents a higher mobile carriers average drift velocity in the channel ($\overrightarrow{v_{//}}$), drain current (I_{DS}), transconductance (g_m) and a lower on-state series resistance (R_{DS_on}) [7]. OSM structure is created when we cut, by a factor "c", the extreme corners of the DSM (Figure 1), in order to improve the longitudinal corner effect, the electrostatic discharge (ESD) robustness and the breakdown voltage (BV_{DS}), and consequently further reducing the chip die area of analog ICs [7].

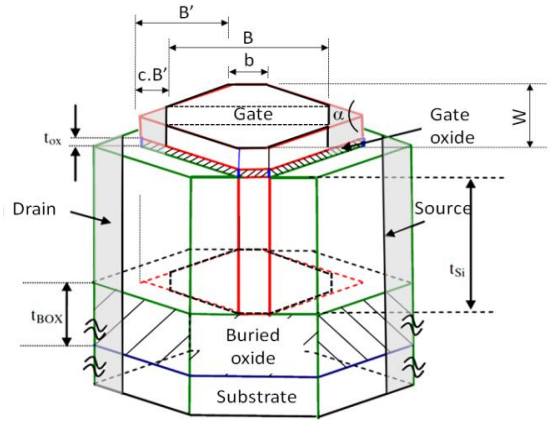


***Figure 1**. The OCTO SOI MOSFET 3D structure obtained from DSM.*

In Fig. 1, the shorter and longer channel dimensions are represented by b and B, respectively, B' is the height of the triangle part of the Diamond's hexagonal geometry, W is the channel width, t_{ox}, t_{Si} and t_{BOX} are the gate oxide, silicon film and buried oxide thicknesses, respectively; the equivalent channel length (L_{EQ}) being given by (b+2B)/3 [7] and α is the angle formed by the triangle part edges of the hexagonal geometry of the Diamond.

In this context, this paper compares experimentally the I_{DS} values of the OSM, DSM and CSM counterparts in order to verify the positive influence of the third longitudinal electric field component in the OSM structure. Besides that, we perform a comparison between the OSM, DSM and CSM structures, by fixing the I_{DS}, in order to measure the A_G gain that we can obtain by using OSM instead DSM and CSM, due to the additional electric field component presented in OSM in comparison to the DSM.

3. Experimental

The SOI devices used in this work were developed in FEI University Center and manufactured in the WINFAB clean rooms of the Université catholique de Louvain (UCL). Table I presents the threshold voltage (V_{TH}) and the respective dimensions of the devices considered in this study.

Table I. *Threshold voltage (V_{TH}) and Dimensions of the OSM, DSM and CSM studied.*

Dev.	V_{TH}	Cut "c"	α	W	L_{EQ}	f_g	b	B	A_G
	[V]	[%]	[°]	[µm]	[µm]	---	[µm]	[µm]	[µm²]
CSM	0.334	100	180	30	27.5	1.09	---	---	825
DSM	0.286	0	53.1	30	35	0.86	5	65	1050
OSM1	0.293	25	53.1	30	35	0.86	5	50	825
OSM2	0.2632	25	126.9	30	12.67	2.37	5	16.5	264

The technological parameters of these devices are: t_{ox}, t_{Si} and t_{BOX} equal to 30 nm, 80 nm and 390 nm, respectively, and MOSFET channel and drain/source doping concentrations equal to $6x10^{16}$ and $1x10^{20}$ cm-3, respectively.

Figure 2 presents the experimental results of the I_{DS}/f_g curves as a function of drain current (V_{DS}) for a gate overdrive voltage ($V_{GT}=V_{GS}-V_{TH}$) equal to 0.4V.

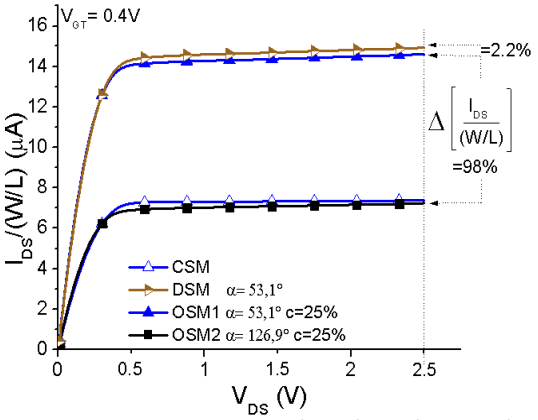


***Figure2**.Experimental results of I_{DS}/f_g as a function of V_{DS} for V_{GT} = 0.4V of the CSM, DSM, OSM1 and OSM2.*

Analysing Fig. 2, we can see that OSM1 with α angle equal to 53.1° and c equal to 25% presents practically the same I_{DS}/f_g (2.2% smaller) than the one observed in DSM with α angle equal to 53.1°, but the DSM A_G is 27% higher than the one found in OSM1, as indicated in Table II. This can be justified because of the additional electric field component presented in OSM structure as compared with DSM counterpart. Besides that, OSM1 I_{DS}/f_g with α=53.1° and c=25% is 98% higher than the one verified in the CSM counterpart, considering the same A_G and bias conditions. Additionally, if we fix the I_{DS}/f_g, we can see that the OSM2 with α angle equal to 126.9° and c equal to 25% can practically drive the same I_{DS}/f_g (2% lower) than the one found in the CSM, but with a remarkable OSM2 A_G reduction around 61% as compared to the CSM.

Table II. *Devices studied, dimensions, A_G, A_G gain, f_g, I_{DS}/f_g in the saturation region $(I_{DS}/fg)_{sat}$ extracted for V_{DS}=2.5V and $(I_{DS}/fg)_{sat}$ gain.*

Device	Cut "c"	α	A_G		f_g	(I_{DS}/f_g) sat.	
---	[%]	[°]	[µm²]	Gain %	---	[µA]	Gain %
CSM	100	180	825	0%	1.09	7.37	0%
DSM	0	53.1	1050	-27%	0.86	14.93	102%
OSM1	25	53.1	825	0%	0.86	14.61	98%
OSM2	25	126.9	324	61%	2.37	7.24	-2%

So, based on this experimental study, OCTO layout style can be considered a device alternative to reduce significantly the transistor gate area and consequently to improve the integration of the integrated circuits.

4. Conclusions

An experimental comparative study of the I_{DS}/f_g between three different layout styles was performed regarding octagonal, hexagonal and conventional gate geometries. It was demonstrated that the OSM with α angle equal to 53.1° and c equal to 25% can drive practically the same I_{DS}/f_g than the one observed in DSM with α angle equal to 53.1° and with a gate area 27% higher. And, remarkable gate area reduction around 61% can be reached, when the OSM features α angle equal to 126.9° and c equal to 25% to drive the same CSM I_{DS}/f_g. So, OCTO layout style can bring significant enhancement in the integration of the integrated circuits.

Acknowledgments

Salvador Pinillos Gimenez and Leonardo Navarenho de Souza Fino would like to thank Université catholique de Louvain (UCL) for manufacturing the SOI MOSFETs.

References

[1] J.-P. Colinge, FinFETs and Other MOSFET Multi-Gate
Transistors, Springer (2008).
[2] S. P. Gimenez, M. Bellodi, EUROSOI 2009 (2009).
[3] S. P. Gimenez, Solid-State Electronics, v.54 p.1690-1696, 2010.
[4] S. P. Gimenez, et al, ECS Trans., 2009.v.19. p. 153-158.
[5] S. P. Gimenez, et al, IEEE Transactions on Power Electronics, v. 99, p. 20-30, 2011.
[6] S. P. Gimenez, Solid-State Electronics, v.54 p.1690-1696, 2010.
[7] S. P. Gimenez , D. M Aladi, EUROSOI 2011. v.1. p.91-92