CENTRO UNIVERSITÁRIO DA FEI

GENARO MARINIELLO DA SILVA

ESTUDO DAS CAPACITÂNCIAS DE PORTA EM TRANSISTORES MOS SEM JUNÇÃO

São Bernardo do Campo
2012

GENARO MARINIELLO DA SILVA

ESTUDO DAS CAPACITÂNCIAS DE PORTA EM TRANSISTORES MOS SEM JUNÇÃO

Dissertação de Mestrado apresentada ao Centro Universitário da FEI para obtenção do título de Mestre em Engenharia Elétrica, orientado pelo Prof. Dr. Marcelo Antonio Pavanello.

São Bernardo do Campo
2012

Centro Universitário da FEI

APRESENTAÇÃO DE DISSERTAÇÃO
ATA DA BANCA JULGADORA

PGE- 10

Programa de Mestrado de Engenharia Elétrica

Aluno: Genaro Mariniello da Silva

Matrícula: 1101047

Título do Trabalho: **ESTUDO DAS CAPACITÂNCIAS DE PORTA EM TRANSISTORES MOS SEM JUNÇÃO.**

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof. Dr. Marcelo Antonio Pavanello

ORIGINAL ASSINADA

Data da realização da defesa: 29 / maio / 2012

A Banca Julgadora abaixo-assinada atribuiu ao candidato o seguinte:

APROVADO ☒ REPROVADO ☐

São Bernardo do Campo, 29 / 05 / 2012.

MEMBROS DA BANCA JULGADORA

Prof. Dr. Marcelo Antonio Pavanello

Ass.: _____

Prof. Dr. Victor Sonnenberg

Ass.: _____

Prof. Dr. José Alexandre Diniz

Ass.: _____

VERSÃO FINAL DA DISSERTAÇÃO

ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS RECOMENDAÇÕES DA BANCA EXAMINADORA

_____

Aprovação do Coordenador do Programa de Pós-graduação

_____

Prof. Dr. Carlos Eduardo Thomaz

Dedico este trabalho a minha família que sempre esteve ao meu lado e, principalmente à minha mãe que sempre me apoiou desde o início, investindo em meus estudos e acreditando no meu potencial.

AGRADECIMENTOS

Em primeiro lugar, gostaria de agradecer ao Prof. Dr. Marcelo Antonio Pavanello pela oportunidade de ser meu orientador nesse projeto de mestrado, além de demonstrar todo apoio e confiar no meu trabalho.

À minha família que compreendeu meus momentos de ausência, ansiedade, e que principalmente pôde fazer parte dos momentos de felicidade durante a execução deste projeto.

Aos amigos Renan Trevisoli Dória , Rodrigo Trevisoli Dória e Márcio de Souza por me auxiliar nesse projeto, muitas vezes disponibilizando de longos tempos para discutir idéias e solucionar dúvidas.

À amiga Michelly de Souza pela dedicação e apoio ao projeto.

Aos amigos João Felipe, Arianne do Nascimento, Cristiano Malheiro, Daniel Manha; Ingrid e Juliana Nemer pela companhia.

Aos professores e colegas de mestrado que sempre me apoiaram.

Aos funcionários da FEI que sempre demonstraram prontidão em todos os momentos.

Ao CNPq, pelo financiamento dos meus estudos durante os dois anos possibilitando o meu crescimento pessoal com a obtenção do título de Mestre.

O insucesso é apenas uma oportunidade para recomeçar
de novo com mais inteligência.

Henry Ford

RESUMO

Este trabalho consiste em apresentar e analisar o comportamento das capacitâncias de porta de um transistor sem junção (JNT). Os transistores sem junção apresentam uma estrutura semelhante aos transistores FinFET. A única diferença entre eles está relacionada com a forma em que as regiões de fonte, canal e dreno estão dopadas. Nos transistores FinFETs, tem-se que as regiões de dreno e fonte estão dopadas com a mesma quantidade e o mesmo tipo de portadores, enquanto que na região de canal a quantidade e o tipo de impureza no silício são diferentes. Já nos transistores sem junção, não há diferença entre o tipo e a quantidade de dopantes ao longo de toda a estrutura, isto é, as regiões de fonte, canal e dreno estão dopadas com o mesmo elemento químico e com a mesma concentração de portadores. Para que estes dispositivos funcionem adequadamente, faz-se necessário que a concentração de portadores seja muito maior nos JNTs do que nos transistores SOI MOSFETs. O aumento da concentração de dopantes na estrutura reduz a profundidade máxima de depleção dos transistores sem junção e, consequentemente, faz-se necessário reduzir a espessura da camada de silício para que estes estejam totalmente depletados quando o dispositivo estiver desligado. Além disso, a função trabalho da porta também tem um papel importante nos JNT que permite que o dispositivo esteja ligado ou desligado. Como o transistor sem junção apresenta a mesma concentração de dopantes ao longo de toda sua estrutura, seu modo de operação ocorre quando há o acúmulo de cargas na região de canal, operando em modo acumulação, o que os tornam diferentes dos FinFETs que operaram em modo inversão.Os JNTs apresentam algumas vantagens perante aos dispositivos que operam em modo inversão tais como, facilidade no processo de produção de dispositivos com dimensões reduzidas devido à inexistência de junções, redução do efeito de canal curto já que o dispositivo requer maior redução na espessura do silício e menor corrente de fuga. Com o propósito de estudar as capacitâncias obtidas nestes transistores, o modelo de um transistor sem junção semelhante aos dispositivos FinFETs é utilizado para analisar o comportamento capacitivo da estrutura através do uso do simulador Synopsys Sentaurus, onde são simuladas várias curvas de capacitâncias com diferentes dimensões, para que seja possível obter algumas conclusões pertinentes ao dispositivo. Nota-se que, da mesma forma como ocorrem com os transistores SOIMOSFETs, as capacitâncias de porta nos JNTs apresentam um comportamento similar à estes, porém observa-se uma grande dependência com a variação da concentração de dopantes utilizada nos dispositivos, bem como uma grande dependência com o óxido de porta gerando resultados bastante interessantes. Além disso, pode-se verificar a dependência tridimensional

da estrutura com os resultados obtidos nas simulações. Com o aumento da espessura do óxido de porta acompanhado da redução das dimensões do transistor, faz-se necessário o uso de um fator de correção para que seja possível considerar o efeito de canto numa estrutura JNT e, consequentemente considerá-la nas análises das curvas de capacitância. As capacitâncias intrínsecas presentes nos transistores sem junção operam de forma semelhante aos transistores SOI MOSFETs em modo acumulação. Portanto, o valor de C_{gs} não atinge o valor de 2/3 da capacitância de óxido como ocorre nos transistores SOI totalmente depletados. Já o valor de C_{gd} é zero quando o transistor opera na região de triodo, aumentando ao seguir para a saturação, se aproximando do valor de C_{gs}. Os resultados obtidos experimentalmente puderam demonstrar significativamente a análise perante as simulações devido à similaridade entre as curvas obtidas.

Palavras chave: Transistores sem junção, capacitância de porta.

ABSTRACT

This work aims to present and analyze the behavior of the gate capacitances of a Junctionless Nanowire Transistors (JNT). Junctionless transistors have a structure similar to FinFET transistors. The only difference is according to the manner that the regions of source, channel and drain are doped. In the FinFETs transistors, the drain and the source regions are doped with the same quantity and the same type of carriers, while in the channel region of the quantity and type of impurities in silicon are different. In a junctionless transistors there is no difference between the type and amount of doping concentration throughout the structure, i.e., the regions of source, drain and channel are doped with the same chemical element with the same carrier concentration. For these devices work properly, it is necessary that the carrier concentration is a big deal higher than the JNTs SOI MOSFET transistors. The increasing doping concentration in the structure reduces the maximum depletion depth of the junctionless transistor and, therefore, it is necessary to reduce the thickness of the silicon for they work in a fully depleted way when the device is in a turned off state. Furthermore, the work function of the gate also has an important role in JNT that allows the device is turned on or off. As a junctionless transistor has the same doping concentration over its entire structure, the operation mode occurs when the charge in the channel region accumulates operating in accumulation mode, which makes them different from FinFETs that operated in iversion mode. The JNT presents some advantages before the devices operating in inverse mode such as an ease production of the devices with reduced dimensions with the absence of junctions, reduction of the short channel effect as the device requires a greater thickness reduction of silicon and, lower leakage current. In order to study the capacitances obtained in these transistors, the model of an junctionless transistor similar to FinFETs devices is used to analyze the capacitance behavior of the structure by using the simulator Sentaurus Synopsys, where various capacitance curves are simulated with different dimensions for getting some relevant devices conclusions. It is possible to notice that, in the same way as occurs with SOIMOSFETs transistors, the gate capacitances of the JNTs exhibit a similar behavior as the other one, however there is a great dependence on the variance of the doping concentration used in devices as well as a large dependence on the gate oxide generating interesting results. Furthermore, it is possible to see the dependence of three-dimensional structure with the simulation results. With the increasing of the gate oxide thickness accompanied by the reduction of the dimensions of the transistor, it is necessary to use a correction factor to be able to consider the corner effect in a JNT structure and, therefore to consider it in the

analyses of the capacitance curves. The intrinsic capacitances present at the junctionless transistors operate similarly to the SOI MOSFET transistors in accumulation mode. Therefore, the value of C_{gs} does not reach a value of 2/3 of the capacitance oxide as occurs in fully depleted SOI transistors. On the other hand, the value of the C_{gd} is zero when the transistor operates in the triode region, increasing when it follows to the saturation value approaching C_{gs}. The experimental results were able to demonstrate significant analysis before the simulations due to the similarity between the curves obtained.

Keywords: junctionless transistors, gate capacitance.

LISTA DE TABELAS

Tabela I – Comparação de C_{ox} com variação de W_{fin} 62
Tabela II – Cálculo de C_{ox} num transistor circular com W_{ef} próximo de 50nm. 64
Tabela III - Cálculo de V_T 66

LISTA DE ILUSTRAÇÕES

Figura 1 – Representação esquemática de um transistor SOI MOSFET.....25
Figura 2- (a) Representação esquemática de um transistor FDSOI. (b) Diagrama de faixas de energia. 26
Figura 3 – (a) Representação esquemática de um transistor PDSOI. (b)Diagrama de faixas de energia. 27
Figura 4 – (a) Diagrama de faixas de energia de um substrato de silício com impurezas tipo P. (b) Diagrama de faixas de energia de um substrato de silício tipo N. 29
Figura 5 – Curva de log(I_D) X V_G de um transistor nMOS para extração de S. 32
Figura 6 – Distribuição das cargas de depleção (Q_d) controladas pela porta em um transistor nMOS. (a) Transistor de canal longo, (b) transistor de canal curto.....33
Figura 7- Distribuição das cargas de depleção (Q_d) controladas pela porta em um transistor SOI MOSFET tipo n. (a) Transistor de canal longo, (b) transistor de canal curto. 34
Figura 8 – Tensão de limiar em função do comprimento efetivo de canal em transistores nMOSFETs e FDSOI tipo n. 35
Figura 9 – Ilustração de um Transistor SOI MOSFET sem junções PN 36
Figura 10 – Curvas de corrente de um transistor SOI MOSFET tipo P. (a) V_{G2} = 0V (b) V_{G2} = -5V. 37
Figura 11 – Esquema de um transistor de porta dupla: FinFET. 38
Figura 12 – Dispositivo multi-fins.....39
Figura 13 – Transistor Π-Gate. 40
Figura 14- Transistor Ω-Gate. 41
Figura 15 - Representação esquemática de um transistor de múltiplas portas com efeito de canto. 42
Figura 16 – Representação esquemática de um transistor sem junção. 43
Figura 17– Corte transversal de um transistor sem junção. 44
Figura 18 – (a) Concentração de portadores mais abundantes na interface silício-óxido num transistor de modo inversão; (b) Concentração de portadores muito presentes na maior parte do transistor (c) Praticamente todos os portadores passam pelo centro da estrutura. 45
Figura 19 – (a) Transistor em modo inversão com pouca mobilidade efetiva nas interfaces. (b) JNT com mobilidade efetiva no centro da estrutura bem maior que na interface do modo inversão. 48

Figura 20 – Representação esquemática de um capacitor de placas paralelas 49
Figura 21 – Curva C-V em alta frequência de um capacitor p-MOS. [14] 50
Figura 22 – Associação das capacitâncias em uma estrurura MOSFET e uma estrutura SOI MOSFET. 51
Figura 23 – Representação esquemática da secção transversal de um trigate JNT. [45] 53
Figura 24 – Comportamento de C_{gs} e C_{gd} em função de V_G de um 20/20 μm SOI n-MOSFET com várias polarizações de substrato. [47] 54
Figura 25 - Comportamento de C_{gs} e C_{gd} em função de V_D de um 20/20 μm SOI n-MOSFET com V_G =2V. [47] 54
Figura 27 – Esquema de um transistor sem junção usado em simulações. 62
Figura 28 - Curva de C_{gg} em função de V_G de um JNT tipo N, com W_{fin} = H_{fin} = 10nm , t_{ox} = 2nm, L = 1μm e N_D= $2.10^{19}cm^{-3}$. 63
Figura 29 – Esquema de um transistor sem junção com a superfície semicircular. 64
Figura 30 – Curva de C_{gg} em função de V_G com variação de N_d (t_{ox} = 10nm) 65
Figura 31 – Curva de C_{gg} em função de V_G com variação de N_d (t_{ox} = 2nm) 66
Figura 32 – Curva de C_{gg} em função de V_G com variação de W_{fin} 67
Figura 33 – Curva de C_{gg}/ W_{ef} em função de V_G com variação de W_{fin} (N_D=$2.10^{19}cm^{-3}$ e tox=10nm) 68
Figura 34 – Curva de C_{gg}/ W_{ef} em função de V_G com variação de W_{fin} (N_D=$1.10^{19}cm^{-3}$ e tox=10nm) 69
Figura 35- Curva de C_{gg} em função de V_G com variação de W_{fin} (N_D=$1.10^{19}cm^{-3}$ e tox=2nm) 69
Figura 36 – Curva de C_{gg}/ W_{ef} em função de V_G com variação de W_{fin} (N_D=$1.10^{19}cm^{-3}$ e tox=2nm) 70
Figura 37 – Curva de C_{gg} em função de V_G com variação de H_{fin} 71
Figura 38 – Curva de C_{gg}/ W_{ef} em função de V_G com variação de H_{fin} com N_D = $2.10^{19}cm^{-3}$ e t_{ox} = 10nm 71
Figura 39 - Curva de C_{gg}/ W_{ef} em função de V_G com variação de H_{fin} com N_D = $5.10^{18}cm^{-3}$ e t_{ox} = 10nm 72
Figura 40 - Curva de C_{gg}/ W_{ef} em função de V_G com variação de H_{fin} com N_D = $5.10^{18}cm^{-3}$ e t_{ox} = 10nm 73
Figura 41- Capacitâncias intrínsicas no JNT com V_D = 10mV. 74
Figura 42- Capacitâncias intrínsicas no JNT com V_D = 1V. 74
Figura 43- Capacitâncias intrínsicas no JNT com V_D = 3V. 75

Figura 44 – Curva de C_{gg} em função de V_G obtida experimentalmente com variação de N_d (EOT = 2nm) 77
Figura 45- Curvas experimentais de C_{gg} em função de V_G com variação de W_{fin} (20nm e 40nm) 78
Figura 46- Curva experimental de C_{gg} em função de V_G com variação de W_{fin} (20, 40, 190, 290, 440 e 940nm) 78
Figura 47- Curva experimental de C_{gg} em função de V_G nas regiões entre inversão e depleção 79
Figura 48- Curva experimental de C_{gg}/ W_{ef} em função de V_G com variação de W_{fin} (N_D=1.10^{19}cm^{-3} e EOT=2nm) 79

LISTA DE ABREVIATURAS E SIGLAS

MOSFET	Metal Oxide Field Efect Transistor
FDSOI MOSFET	Fully Depleted Silicon-On-Insulator Metal Oxide Field Efect Transistor
NFDSOI MOSFET	Near Fully Depleted Silicon-On-Insulator Metal Oxide Field Efect Transistor
PDSOI MOSFET	Patially Depleted Silicon-On-Insulator Metal Oxide Field Efect Transistor
SOI MOSFET	Silicon-On-Insulator Metal Oxide Field Efect Transistor
FET	Field Efect Transistor
JNT	Junctionless Nanowire Transistor
XMOS	Primeiro transistor de porta tripla proposto
DELTA	Fully DEpleted Lean channel transistor

LISTA DE SÍMBOLOS

C_D	Capacitância de depleção	[fF]
C_{gd}	Capacitância de porta para dreno	[fF]
C_{gg}	Capacitância total de porta	[fF]
C_{gs}	Capacitância de porta para fonte	[fF]
C_{it}	Capacitância de interface	[fF]
C_{ox}	Capacitância do óxido de porta	[fF]
C'_{ox}	Capacitância do óxido de porta por unidade de comprimento	[F/cm]
C_{oxb}	Capacitância no óxido enterrado	[fF]
C_{us}	Capacitânca de um quadrado unitário	[fF]
ξ	Campo elétrico	$[V.m^{-1}]$
E_C	Nível de condução	[eV]
E_F	Nível de Fermi	[eV]
E_g	Energia de Gap (Banda proibida)	[V]
E_i	Nível intrínseco	[eV]
E_V	Nível de valência	[eV]
g_m	Transcondutancia	$[A.V^{-1}]$
$\hbar$	Constante de Planck	$4{,}135.10^{-15}$[eV.s]
H_{fin}	Altura do finFET	[nm]
I_{acc}	Corrente elétrica de acumulação	[mA]
I_{body}	Corrente elétrica de corpo	[mA]
$I_{Dsat,acc}$	Corrente elétrica de saturação em modo acumulação	[mA]
I_{D0}	Corrente que flui em um finger	[mA]
$I_{D\text{-}multi}$	Corrente total nos dispositivos multi-fins	[mA]
I_{DS}	Corrente de Dreno	[mA]
k	Constante de Boltzman	$8{,}617.10^{-5}[eV.K^{-1}]$
L	Comprimento de canal de um transistor planar	[nm]
m_e^*	Massa efetiva do elétron	Kg
n	Fator de corpo	-
N_A	Concentração de impurezas aceitadoras de elétrons	$[cm^{-3}]$
N_D	Concentração de impurezas doadoras de elétrons	$[cm^{-3}]$
n_i	Concentração intrínseca de portadores	$[cm^{-3}]$
q	Carga elementar do elétron	[C]

$\mathbf{Q_d}$	Densidade de Cargas de depleção	[C/nm]
$\mathbf{Q_{inv}}$	Densidade de Cargas de inversão	[C/nm]
$\mathbf{Q_{ox1}}$	Densidade de Cargas no óxido de porta	[C/nm]
$\mathbf{Q_{Si}}$	Densidade de Cargas no silício	[C/nm]
$\mathbf{Q_{SS}}$	Densidade de carga elétrica no óxido	[C/nm]
S	Inclinação de Sublimiar	[mV/déc]
$\mathbf{S_1}$	Superfície Condutora	[μm^2]
T	Temperatura absoluta	[K]
$\mathbf{t_{ox}}$	Espessura do óxido de porta	[nm]
$\mathbf{t_{oxb}}$	Espessura do óxido enterrado	[nm]
$\mathbf{t_{Si}}$	Espessura da película de silício	[nm]
$\mathbf{V_D}$	Tensão de dreno	[V]
$\mathbf{V_{FB}}$	Tensão de faixa plana	[V]
$\mathbf{V_G}$	Tensão de porta	[V]
$\mathbf{V_{G1}}$	Tensão na porta superior	[V]
$\mathbf{V_{G2}}$	Tensão de Substrato	[V]
$\mathbf{V_{G2\text{-}acc2}}$	Tensão na porta inferior com segunda interface em acumulação	[V]
$\mathbf{V_{ox}}$	Tensão do óxido de porta	[V]
$\mathbf{V_S}$	Tensão de fonte	[V]
$\mathbf{V_T}$	Tensão de limiar	[V]
$\mathbf{V_{T1,acc2}}$	Tensão de limiar com a segunda interface acumulada	[V]
$\mathbf{V_{T1,dep2}}$	Tensão de limiar com a segunda interface em depleção	[V]
$\mathbf{V_{T1,inv2}}$	Tensão de limiar com a segunda interface invertida	[V]
W	Largura de canal de um transistor planar	[nm]
$\mathbf{W_{ef}}$	Largura efetiva do FinFET	[nm]
$\mathbf{W_{fin}}$	Largura do FinFET	[nm]
$\mathbf{x_{dmáx}}$	Profundidade máxima de depleção da camada de silício	[nm]
$\boldsymbol{\alpha}$	Acoplamento capacitivo	-
$\boldsymbol{\varepsilon_{ox}}$	Permissividade do óxido	[F/cm^2]
$\boldsymbol{\varepsilon_{Si}}$	Permissividade do silício	[F/cm^2]
$\boldsymbol{\lambda}$	Efeito de modulação	-
$\boldsymbol{\mu}$	Mobilidade	[$cm^2/V.s$]
$\boldsymbol{\Phi}$	Potencial Elétrico	[V]

$\mathbf{\Phi_F}$	Potencial de Fermi	[V]
$\mathbf{\Phi_M}$	Função trabalho do metal de porta	[V]
$\mathbf{\Phi_S}$	Potencial de superfície do semicondutor	[V]
$\mathbf{\Phi_{Si}}$	Função trabalho do semicondutor	[V]
χ_{Si}	Afinidade eletrônica do silício	[V]

SUMÁRIO

1 INTRODUÇÃO 22

1.1 Histórico 22

1.2 Motivação e Objetivo 23

1.3 Organização do Trabalho 23

2 CONCEITOS FUNDAMENTAIS 25

2.1 Transistor SOI MOSFET 25

2.1.1 Características gerais do transistor SOI MOSFET 25

2.1.2 Tensão de faixa plana e fator de corpo 28

2.1.3 Caracterização I_D por V_{DS} 30

2.1.4 Transcondutância 31

2.1.5 Inclinação de sublimiar 31

2.2 Transistor SOI MOSFET modo acumulação 35

2.3 Transistor SOI MOSFET de múltiplas portas 38

2.3.1 Transistores de porta dupla 38

2.3.2 Transistores de porta tripla 39

2.3.3 Efeito de Canto 41

2.4 Transistor Sem Junção 42

2.4.1 Origem do transistor sem junção 42

2.4.2 Características elétricas do transistor sem junção 44

2.4.3 Tensão de limiar nos transistores sem junção (V_T) 45

2.4.4 Mobilidade no transistor sem junção 48

2.5 Capacitâncias.....49

2.5.1 Definição de capacitâncias 49

2.5.2 Capacitor MOS 50

2.5.3 Capacitâncias nos transistores 51

2.5.3.1 Capacitância de porta (C_{ox}) e Capacitância no Silício (C_{Si}) 51

2.5.3.2 Cálculo da capacitância de porta por unidade de comprimento (C'_{ox}) com fator de correção do efeito de canto em transistores sem junção. 52

2.5.3.3 Definição de capacitâncias intrínsecas 53

3 SIMULADOR SYNOPSYS SENTAURUS 56

3.1 Sentaurus Structure Editor 56

3.2 Sentaurus Device.....57

3.3 Tecplot SV 57

3.4 Inspect 58

3.5 Modelos Utilizados nas Simulações 58

3.6 Arquivos de Simulação no Sentaurus 60

3.7 Método de obtenção das capacitâncias no Sentaurus.....61

4 ESTUDO DAS CAPACITÂNCIAS NOS TRANSISTORES SEM JUNÇÃO ...62

4.1 Estudo das Capacitâncias de Porta em Função da Concentração 65

4.2 Estudo da Capacitância de Porta em função das dimensões (W_{fin}, H_{fin} e t_{ox}) nos JNTs 67

4.3 Capacitâncias intrínsecas de porta 73

5 RESULTADOS EXPERIMENTAIS 76

5.1 Capacitâncias de Porta em Função da Concentração 76

5.2 Estudo da Capacitância de Porta em função das dimensões (W_{fin}, H_{fin} e t_{ox}) nos JNTs 78

6 CONCLUSÕES E TRABALHOS FUTUROS 80

REFERÊNCIAS 82

ANEXOS 87

APÊNDICE A – CÓDIDO DO STRUCTURE EDITOR 87

APENDICE B – CÓDIGO DO SDEVICE 93

1 INTRODUÇÃO

1.1 Histórico

Os transistores são dispositivos que tem como função controlar uma corrente que passa num circuito eletrônico. No caso de um transistor MOSFET [1], a corrente que passa pelo transistor é controlada por uma tensão aplicada ao terminal de porta e essa corrente sai do dispositivo através de outro terminal, o qual denomina-se dreno.

Esses dispositivos são aplicados em circuitos eletrônicos analógicos como, por exemplo, circuitos retificadores e amplificadores, e também são aplicados nos mais diversos sistemas digitais, como memórias e micro controladores utilizados em sistemas computacionais.

Os transistores MOSFETs são muito utilizados comercialmente, porém pesquisas mostram que estes dispositivos apontaram algumas desvantagens. Dentre elas aparecem o indesejável efeito de canal curto, resultado da redução do comprimento de canal onde perde-se o controle da corrente pela tensão de porta causado pela influência das regiões de fonte e dreno na região de canal; o efeito bipolar parasitário que propicia um aumento na corrente de fuga, dentre outros.

Uma solução eficaz apresentada foi uma melhoria nos MOSFETs com a inserção de um óxido enterrado abaixo de sua estrutura ativa, desenvolvendo um novo conceito na tecnologia dos transistores, denominado de SOI MOSFET (Silicon on Insulator - Metal Oxide Silicon Field Effect Transistors) [2].

Essa nova adaptação nos transistores proporcionou uma melhoria dos problemas encontrados nos MOSFETs como, por exemplo, melhor controle da corrente através da tensão aplicada na porta do dispositivo, por reduzir os efeitos de canal curto, eliminou o efeito bipolar parasitário com a presença do óxido enterrado. Entretanto existem muitas dificuldades perante o processo de fabricação destes dispositivos já que estes necessitam de diferentes dopagens e implantações de diferentes materiais para sua confecção.

Outras propostas foram estudadas e o surgimento de novos dispositivos, tais como os FinFETs e os transistores de porta tripla, foram apresentados como soluções para alguns problemas encontrados nos outros transistores, tais como redução do efeito de canal curto, melhora da inclinação de sublimiar, aumento de mobilidade, entre outros [3]. Essa nova tecnologia, consiste em uma verticalização do canal que aumentou o controle do potencial eletrostático do dispositivo além de apresentar uma redução significativa da inclinação de

sublimiar, aumento da corrente resultante em relação aos dispositivos de porta simples, aumento nos valores de transcondutância e outras vantagens.

De acordo com o que foi citado anteriormente, o processo de fabricação desses dispositivos tornou-se complicado, principalmente pelas junções existentes entre as regiões de fonte-canal e canal-dreno, onde acarreta mudança de componentes químicos (impurezas) com diferentes concentrações.

Visando encontrar uma solução para esse caso, um novo conceito de transistor sem essas junções, proposto por Jean Pierre Colinge, começou a ser estudado e apresentou resultados muito significativos quando comparados com os transistores FinFET, pois apesar de não haver junções, o comportamento deste novo dispositivo apresentou similaridades com os demais transistore. Esses transistores foram denominados de Transistores Sem Junção (Junctionless Nanowire Transistors - JNT) [4] pelo fato de não apresentarem diferenças de impurezas nem de concentrações entre as regiões de dreno, canal e fonte.

1.2 Motivação e Objetivo

Os transistores sem junção, diferentemente da maioria dos transistores SOI MOSFETs e FinFETs, funcionam em modo acumulação. Portanto, trabalhar com estes dispositivos passa a ser um desafio já que estes são considerados atraentes pela comunidade acadêmica, devido ao seu processo de fabricação ser mais viável com relação aos demais pelo simples fato da utilização de um único substrato de silício dopado uniformemente.

O objetivo deste trabalho será apresentar e estudar as capacitâncias dos transistores sem junção, através de simulações com uso do TCAD Synopsys e através de resultados experimentais com o uso do módulo de capacitâncias do Keithley 4200, motivado pelo desafio de obter medidas de capacitâncias extremamente baixas e obter conclusões pertinentes ao estudo dos JNTs, onde, até o presente momento existem poucas referências que tratam deste assunto.

1.3 Organização do Trabalho

Este trabalho contém 6 capítulos organizados da seguinte forma:

Capítulo 1: Uma breve introdução sobre os transistores e uma pequena descrição do que será feito este trabalho.

Capítulo 2: Neste capítulo serão abordados os principais conceitos fundamentais para facilitar a compreensão dos dispositivos sem junção através da comparação entre os transistores SOI MOSFETs modo inversão e modo acumulação bem como as mobilidades envolvidas, o conceito de transcondutância, inclinação de sublimar, tensão de faixa plana, fator de corpo, entre outros. Em seguida, será feita um introdução às características presentes nos JNTs e seu funcionamento. Na sequencia, serão abordadas as características elétricas para a análise dos transistores sem junção através do estudo da mobilidade, da transcondutância e da tensão de limiar. Ainda neste capítulo, será ilustrado um modelo de obtenção dos valores da tensão de limiar, com aplicação nas curvas simuladas em seu respectivo capítulo. Por fim, será feito um estudo sobre as capacitâncias nos diversos transistores e o efeito de canto pela sobreposição do óxido de porta nos cantos do transistor bem com seu impacto no valor da capacitância máxima de porta.

Capítulo 3: Neste capítulo será abordado o uso do simulador TCAD Sentaurus, com a finalidade de entender alguns modelos que foram utilizados para simular os dispositivos que serão abordados neste trabalho.

Capítulo 4: As pesquisas sobre capacitâncias de porta serão o assunto tratado neste capítulo. O objetivo será uma análise do que ocorrem com os transistores sem junção em diversas configurações, baseados em simulações no TCAD Sentaurus.

Capítulo 5: Nesta seção, serão feitas as comparações entre os resultados obtidos em simulações e os obtidos através de experimentos.

Capítulo 6: Conclusões e possíveis trabalhos futuros serão abordados neste capítulo.

2 CONCEITOS FUNDAMENTAIS

2.1 Transistor SOI MOSFET

2.1.1 Características gerais do transistor SOI MOSFET

O transistor fabricado com silício sobre isolante (Silicon On Insulator), o SOI MOSFET tem proporcionado várias vantagens sobre o MOSFET convencional. A presença de um isolante enterrado sob a camada de silício propiciou um dispositivo com melhores propriedades como redução do efeito de canal curto, aumento da mobilidade e menor corrente de fuga [5][6]. Esse transistor possui um material isolante (geralmente um óxido) que separa a região ativa do transistor do substrato de silício, como apresentado na Figura 1 [7].

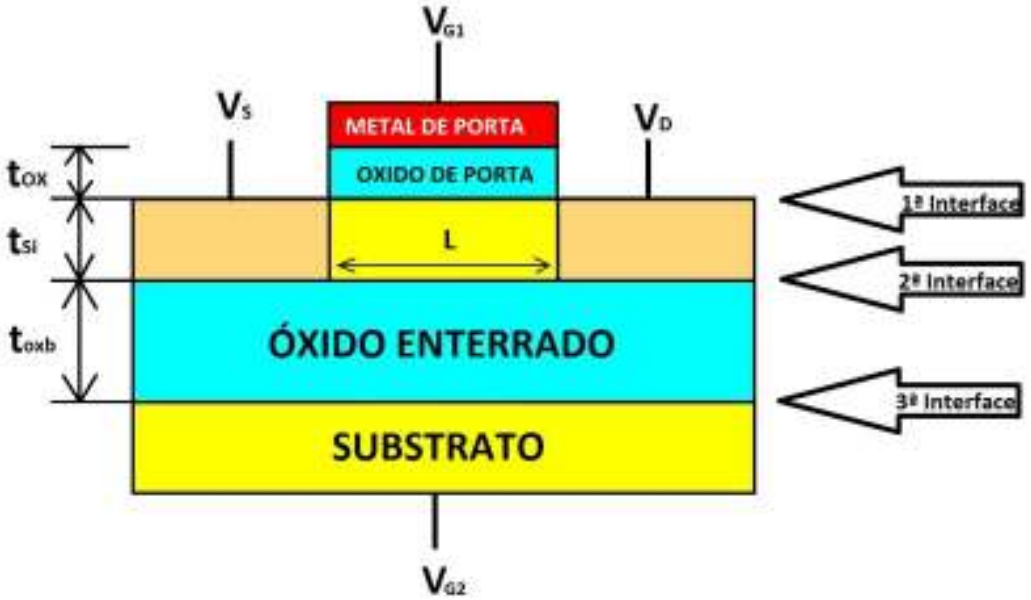


Figura 1 – Representação esquemática de um transistor SOI MOSFET [2]

Pesquisas revelam que essa tecnologia começou a ser estudada para a aplicação em circuitos integrados em 1964 [8].

Basicamente, podem-se caracterizar os SOI MOSFETs como totalmente depletados (Full Depleted – FDSOI MOSFETs) ou como parcialmente depletados (Partially Depleted – PDSOI MOSFETs). cujas nomenclaturas relacionam-se com a espessura da camada de silício (t_{Si}) e com a profundidade máxima de depleção .

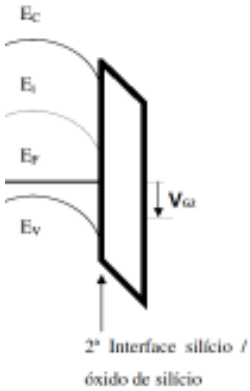
$$x_{dmáx} = \sqrt{\frac{4\varepsilon_{Si}\Phi_F}{q.N_A}} \tag{2.1}$$

Caso t_{Si} seja menor $x_{dmáx}$, conforme expressa na equação (2.1) [9], dependente da concentração de portadores no substrato (N_A ou N_D), da permissividade do silício (ε_{Si}), do potencial de Fermi (Φ_F), e da carga elementar do elétron (q), ocorrerá a depleção total na camada de silício, independente da polarização do substrato. Temos então a configuração de um transistor SOI totalmente depletado (Fully Depleted SOI MOSFET – FDSOI) [2].

O valor de Φ_F, como descrito na equação (2.2) depende da constante de Boltzman (k), do valor da temperatura em escala absoluta (T), de q, de N_A e da concentração intrínseca de portadores do semicondutor (n_i).

$$\Phi_F = -\frac{kT}{q} ln \frac{N_D}{n_i} \ (substrato\ tipo\ N)\ ;\ \Phi_F = \frac{kT}{q} ln \frac{N_A}{n_i}\ (substrato\ tipo\ P) \tag{2.2}$$

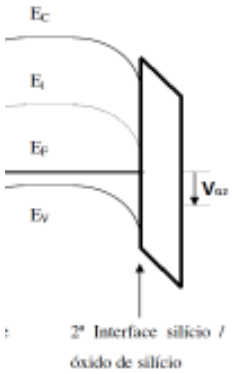
Na Figura 2, tem-se um esquema de um transistor FDSOI junto do diagrama de faixas de energia para exemplificar seu funcionamento, onde E_C é o nível de condução, E_V é o nível de valência, E_F é o nível de Fermi, E_i é o nível intrínseco, V_{G1} é a tensão aplicada na porta e, finalmente, V_{G2} é a tensão aplicada no substrato. [2]



ixas de energia. [2]

Pode-se observar na Figura 2b, que o filme de silício encontra-se totalmente depletado indicado pela curvatura dos níveis de energia ao longo da camada de silício. No caso dos transistores FDSOI, simplesmente pelo fato da tensão aplicada em V_{G1} atingir o valor de limiar, o canal atinge a depleção máxima mesmo com o terminal V_{G2} aterrado. Porém, para altas polarizações aplicadas em V_{G2} e dependendo do tipo de substrato (P ou N), podem ser geradas camadas de acumulação ou inversão na segunda interface[10].

Por outro lado, quando o t_{Si} for maior que o dobro de $x_{dmáx}$, as camadas de depleção da primeira e da segunda interfaces nunca se interceptarão. Nessa configuração, o transistor é conhecido como um SOI MOSFET parcialmente depletado (Partially Depleted SOI MOSFET – PDSOI). Consequentemente, uma região neutra surgirá entre elas levando o transistor a se comportar como um transistor MOSFET convencional, como exemplificado na Figura 3(a)[2], a qual apresenta um esquema deste transistor.



xas de energia **[2]**.

Como pode ser observado na figura 3b, não há interação entre as zonas de depleção formadas pelos potenciais aplicados à porta e ao substrato, resultando em uma região neutra desprovida de depleção. Se o potencial no substrato for aterrado ($V_{G2} = 0$), as características do dispositivo serão semelhantes às de um MOSFET[2].

Também há o transistor SOI quase totalmente depletado (Near Full Depleted SOI MOSFET - NFD SOI) que são dispositivos cuja espessura da camada de silício é maior $x_{dmáx}$, porém menor que $2.x_{dmáx}$ ($x_{dmáx} < t_{Si} < 2.x_{dmáx}$). Com isso o transistor poderá assumir a configuração de um transistor FDSOI ou poderá assumir o papel de um PDSOI, já que as camadas de depleção da primeira e segunda interface poderão ou não estar em contato uma com a outra, dependendo de V_{G2}.

De todas as configurações, o FDSOI é o que apresenta maior vantagem em relação aos demais pelo fato da redução da espessura da camada de silício contribuir com a redução do efeito de canal curto, menor inclinação de sublimiar e principalmente a redução destes em relação aos transistores MOSFETs. Estes transistores apresentam maior mobilidade dos portadores na região do canal para transistores com filme de silício bastante fino [11].

2.1.2 Tensão de faixa plana e fator de corpo

A tensão de faixa plana (V_{FB}) pode ser entendida como a tensão que aplicada na porta do transistor fará com que se inicie a formação de cargas de depleção [12]. Assim, a tensão de faixa plana, ao ser aplicada na porta, faz com que o potencial na superfície seja nulo ($\Phi_S = 0$), provocando a ausência de carga no semicondutor ($Q_{Si} = 0$) [12].

Portanto, quando a função trabalho entre o metal e o semicondutor for nula ($\Phi_{MS} = 0$), e a densidade de carga efetiva no óxido de porta também for nula ($Q_{SS} = 0$), então o dispositivo terá o valor de $V_{FB} = 0$.

Entretanto, caso os valores de Φ_{MS} e Q_{SS} não sejam nulos, determina-se o valor de V_{FB} através da equação (2.3) [12] :

$$V_{FB} = -\frac{Q_{SS}}{C_{OX}} + \Phi_{MS} \tag{2.3}$$

O valor de Φ_{MS} é a diferença entre a função trabalho do metal (Φ_M) e a função trabalho do semicondutor (Φ_{Si}), conforme a equação (2.4) [12], onde este valor representa a energia necessária para que um elétron presente no nível de Fermi seja extraído deste local.

$$\Phi_{MS} = \Phi_M - \Phi_{Si} \tag{2.4}$$

O valor de Φ_M é dependente do tipo do metal utilizado na confecção da porta do transistor. Se o material for o alumínio, então Φ_M (Al) = 4,1eV. No entanto, se o material de porta for silício-poli tipo N, tem-se que o nível de Fermi do metal será próximo do nível de condução no silício, portanto pode-se dizer que seu valor é aproximadamente igual à afinidade eletrônica do silício (χ_{Si}) conforme a equação (2.5). Se o material for silício-poli tipo P, tem-se que o nível de Fermi do metal será próximo do nível de valência no silício, onde o valor de Φ_M sofrerá um aumento causado pela diferença entre os valores dos níveis de energia das camadas de condução e de valência ($E_C - E_V$), representado pela faixa proibida, conforme a equação (2.6). De acordo com a Figura 4, pode-se verificar o comportamento dos potenciais elétricos através da representação dos diagramas de faixa de energia.

Figura 4 – (a) Diagrama de faixas de energia de um substrato de silício com impurezas tipo P. (b) Diagrama de faixas de energia de um substrato de silício tipo N.**[12]**

$$\Phi_M = \chi_{Si} \qquad \text{polissilício N} \tag{2.5}$$

$$\Phi_M = \chi_{Si} + \frac{E_g}{q} \qquad \text{polissilício P} \tag{2.6}$$

Como demonstra a Figura 4, o valor de Φ_{Si} também pode ser relacionado com χ_{Si}, Φ_F e com a metade do potencial da banda proibida, de acordo com a equação (2.7).

$$\Phi_{Si} = \chi_{Si} + \frac{E_g}{2q} + \Phi_{Fp} \quad \text{ou} \quad \Phi_{Si} = \chi_{Si} + \frac{E_g}{2q} - \Phi_{Fn} \tag{2.7}$$

Nos MOSFETs e PDSOIs o acoplamento capacitivo (α) é um fator que atrapalha um bom desempenho do dispositivo, pois a razão da capacitância de depleção (C_D) presente no silício com a capacitância do óxido de porta (C_{ox}) geram valores elevados ocasionando um alto valor no fator de corpo (n).[2]

$$n = 1 + \alpha \tag{2.8}$$

$$\alpha = \frac{C_D}{C_{ox}} \tag{2.9}$$

Este fator de corpo pode ser interpretado como algo que gera dificuldades no dispositivo para que o eletrodo de porta faça o controle da superfície da primeira interface[13]. O valor de α é exatamente o valor do acoplamento capacitivo no dispositivo.

Num transistor FDSOI, esse acoplamento capacitivo gera valores bem menores do que o MOSFET, diminuindo o efeito de corpo e consequentemente melhorando o desempenho. Essa característica pode ser observada com a redução da inclinação de sublimar. Quando o transistor FDSOI está com a segunda interface acumulada, a equação (2.10) descreve seu comportamento. Já quando o FDSOI está com a segunda interface depletada a equação (2.11) descreve um acoplamento muito melhor, onde podemos verificar uma associação série da capacitância do silício (C_{si}) com a capacitância do óxido enterrado (C_{oxb}).

$$\alpha = \frac{C_{si}}{C_{ox}} \tag{2.10}$$

$$\alpha = \frac{C_{si}.C_{oxb}}{C_{ox}.(C_{si} + C_{oxb})} \tag{2.11}$$

2.1.3 Caracterização I_D por V_{DS}

Em síntese, temos que a corrente que passará pelo transistor dependerá da tensão aplicada entre a fonte e o dreno (V_{DS}), da tensão aplicada na porta (V_G), da mobilidade dos elétrons no material (μ_N – substrato tipo N), da permissividade do óxido (ε_{ox}), da espessura do óxido (t_{ox}), do comprimento (L), da largura (W) de canal do fator de corpo no qual está submetido o transistor (n). Quando o dispositivo estiver operando na região de saturação, deve-se levar em consideração o efeito de modulação do comprimento de canal devido à tensão aplicada no dreno (λ).

a) Na região de triodo ($V_{DS} \leq V_G - V_T$):

$$I_{DS} = \frac{\mu_N.\varepsilon_{OX}}{t_{OX}}\left(\frac{W}{L}\right).\left[(V_G - V_T).V_{DS} - \frac{n.(V_{DS})^2}{2}\right] \tag{2.12}$$

b) Na região de saturação ($V_{DS} \geq V_G - V_T$):

$$I_{DS} = \frac{\mu_N.\varepsilon_{OX}}{t_{OX}}\left(\frac{W}{L}\right).\frac{(V_G - V_T)^2}{2n}.(1 + \lambda.V_{DS}) \tag{2.13}$$

2.1.4 Transcondutância

Um dos parâmetros importantes analisado nos transistores, em geral, é a mobilidade (μ) devido à sua dependência com o campo elétrico gerado no semicondutor. Uma das formas de obter seu valor é através da curva de transcondutância (g_m) de um transistor com canal longo. O valor máximo extraído do gráfico da transcondutância ($g_{m,máx}$) possibilita o cálculo da mobilidade máxima que o transistor oferece.

Define-se transcondutância como sendo a derivada parcial da corrente elétrica entre dreno e fonte pela tensão aplicada entre a porta e a fonte, conforme a equação (2.14).

$$g_m = \left.\frac{\partial I_{DS}}{\partial V_G}\right|_{\mathrm{V_D\ cte}} \tag{2.14}$$

2.1.5 Inclinação de sublimiar

A corrente elétrica que passa por um transistor também pode ser analisada em escala logarítmica, para que seja possível verificar qual a variação de V_G que aumenta de uma década de I_{DS} em regime sublimiar. Essa informação não é possível ser vista em escala linear devido à curva dar a falsa impressão de que antes de V_T não há corrente elétrica passando no

transistor. Já em escala logarítmica verifica-se, como na

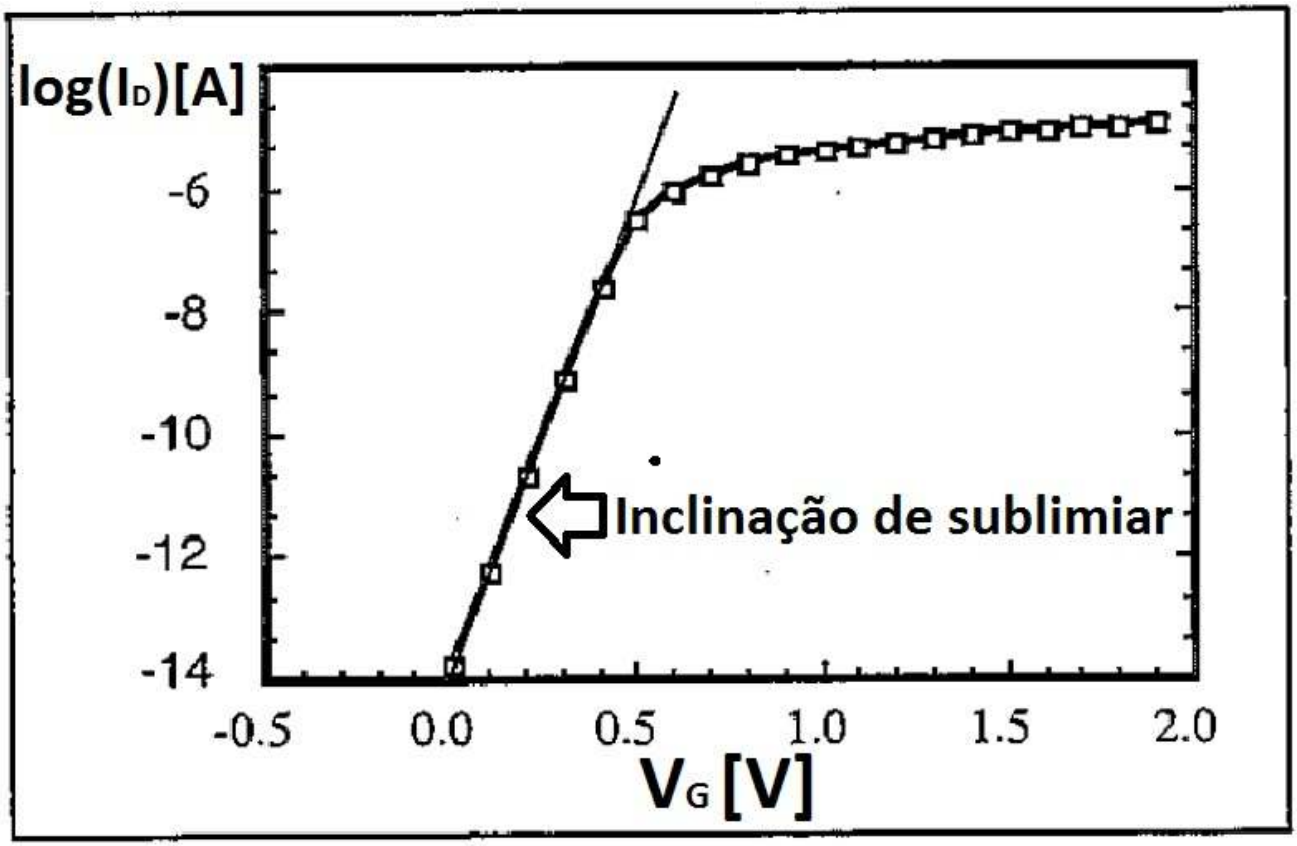


Figura 5, que há uma curva que demonstra uma grande variação de I_{DS} em função de V_G.

A essa curva atribui-se o nome de inclinação de sublimiar (*S*), já que são valores analisados antes da tensão de limiar. A expressão que determina o valor dessa inclinação de sublimiar é:

$$S = \frac{dV_G}{d(\log I_{DS})} \tag{2.15}$$

Com a condição de I_{DS} na região de sublimiar obtém-se da equação (2.15) a equação (2.16):

$$S = \frac{k.T}{q}\ln(10)\,.\,\mathrm{n} \tag{2.16}$$

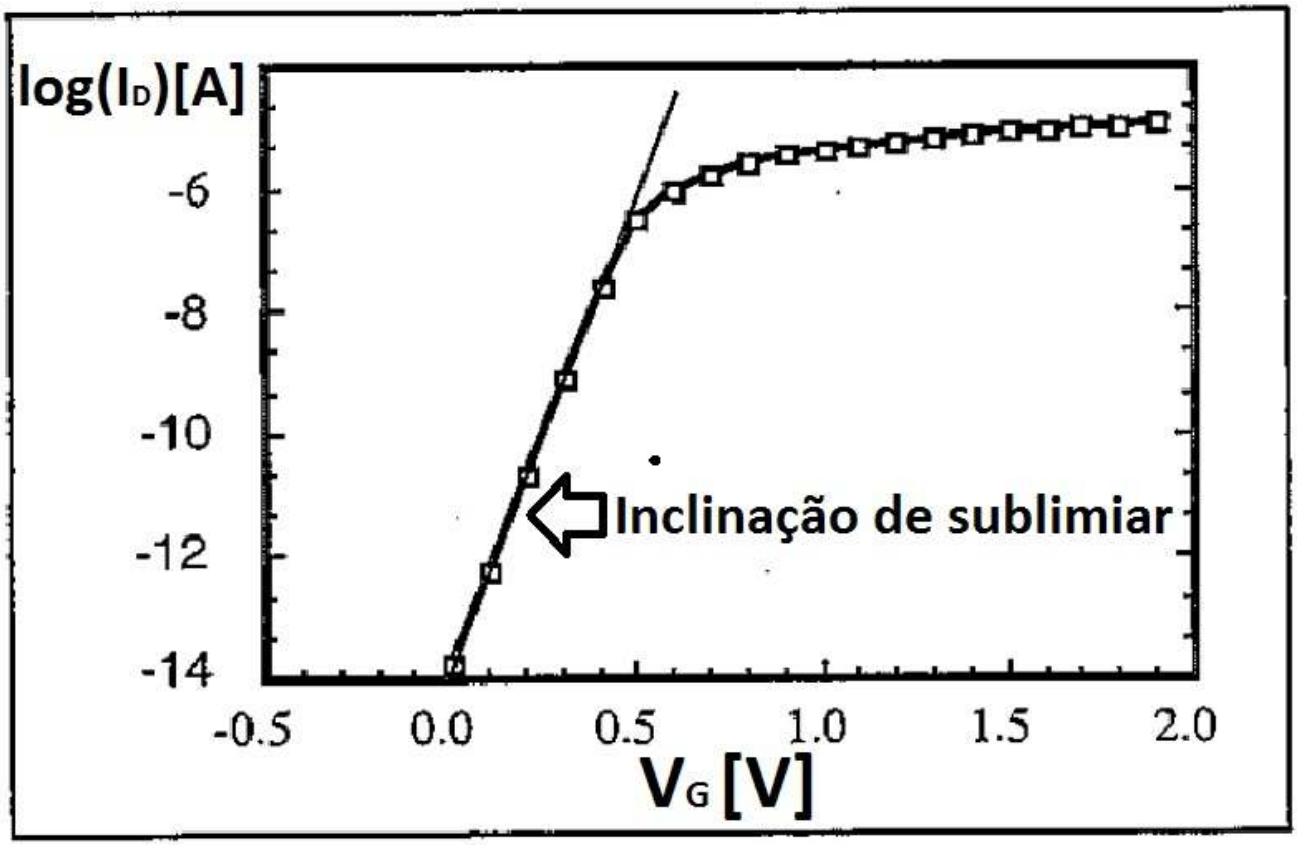


Figura 5 – Curva de log(I_D) X V_G de um transistor nMOS para extração de S.

Para um transistor, quanto menor o valor de S, menor será o valor de V_G necessário para que a corrente I_D varie de uma década, portanto melhor será seu desempenho. Sendo assim o valor do limite teórico de S será atingido quando o termo n for bem próximo de 1, isto é, quando α for próximo de zero, o que resultaria S ≈ 60mV/dec em temperatura ambiente.

2.1.6 Efeito de canal curto

O efeito de canal curto ocorre com a redução das dimensões de um transistor, de tal forma que o comprimento de canal não atinge dimensões suficientes e acaba comprometido pelas zonas de depleção induzidas nas junções de fonte e dreno, onde estas atingem proporções significativas, reduzindo o controle da porta sobre as cargas da região de depleção do canal, devido ao compartilhamento dessas cargas entre fonte, dreno e porta [14].

Uma consequência desvantajosa devido a essa causa é uma alteração no valor de V_T, além da degradação de S e outros efeitos indesejados [14].

Esse efeito nos FDSOI é menor do que nos MOSFETs devido à fina espessura da camada de silício e devido à presença do óxido enterrado. Na Figura 6 e na Figura 7 estão

apresentados os transistores MOSFETs sem a presença do óxido enterrado e SOIMOSFETs com a presença do óxido, respectivamente, onde pode-se ilustrar essas diferenças:

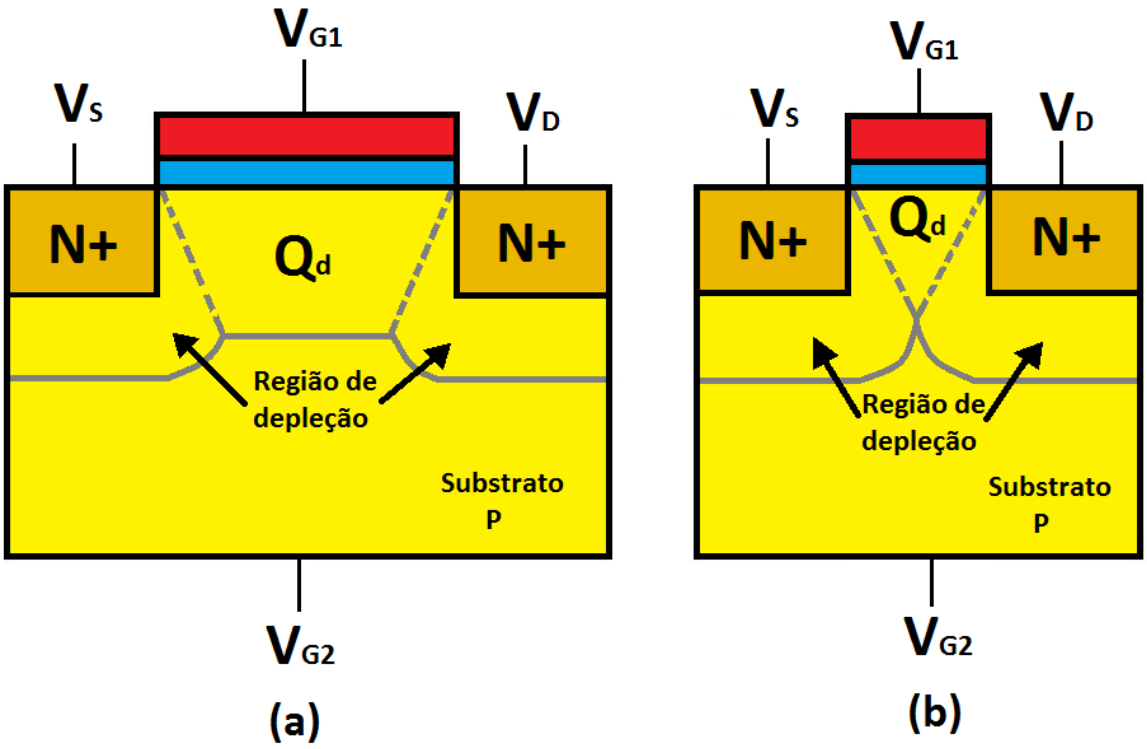


Figura 6 – Distribuição das cargas de depleção (Q_d) controladas pela porta em um transistor nMOS. (a) Transistor de canal longo, (b) transistor de canal curto.

Nota-se da Figura 6 que no MOSFET de canal longo, as cargas de depleção representadas pela área do trapézio, são controladas pela porta já que não há a indução das zonas de depleção nas junções de fonte e dreno. Já no MOSFET de canal curto, as cargas de depleção representadas pela área do triângulo permite observar as zonas de depleção do dreno próximo à fonte e vice-versa acarretando na perda do controle de porta.

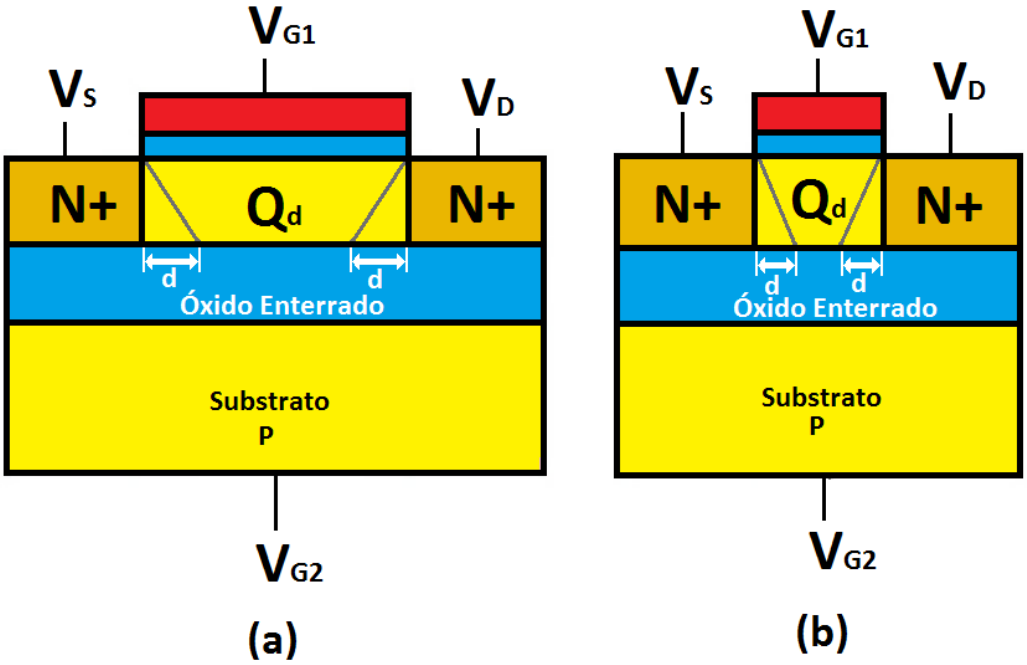


Figura 7- Distribuição das cargas de depleção (Q_d) controladas pela porta em um transistor SOI MOSFET tipo n. (a) Transistor de canal longo, (b) transistor de canal curto.

Nos transistores FDSOI, as cargas de depleção em um dispositivo de canal longo apresentam um comportamento similar aos transistores MOSFETs já que as cargas de depleção representadas pela área do trapézio demonstram que não ocorre a indução das zonas de depleção das junções de fonte e dreno. Nos transistores FDSOI com redução do comprimento de canal, também é possível observar que, em relação aos MOSFETs, estes apresentam uma redução no efeito de canal curto, pelo fato da dificuldade da indução das zonas de depleção de fonte e dreno ocorrer nestes dispositivos. Ainda a região das cargas de depleção nestes, apresenta uma geometria trapezoidal, mostrando que não ocorre essa indução.

Como um dos principais problemas do efeito de canal curto é a perda do controle da porta, e consequentemente, uma diminuição nos valores de V_T, de acordo com a Figura 8, pode-se concluir que os transistores SOIMOSFETs apresentam melhor controle desse efeito, devido à menor alteração dos valores da tensão de limiar com a redução do comprimento efetivo de canal.

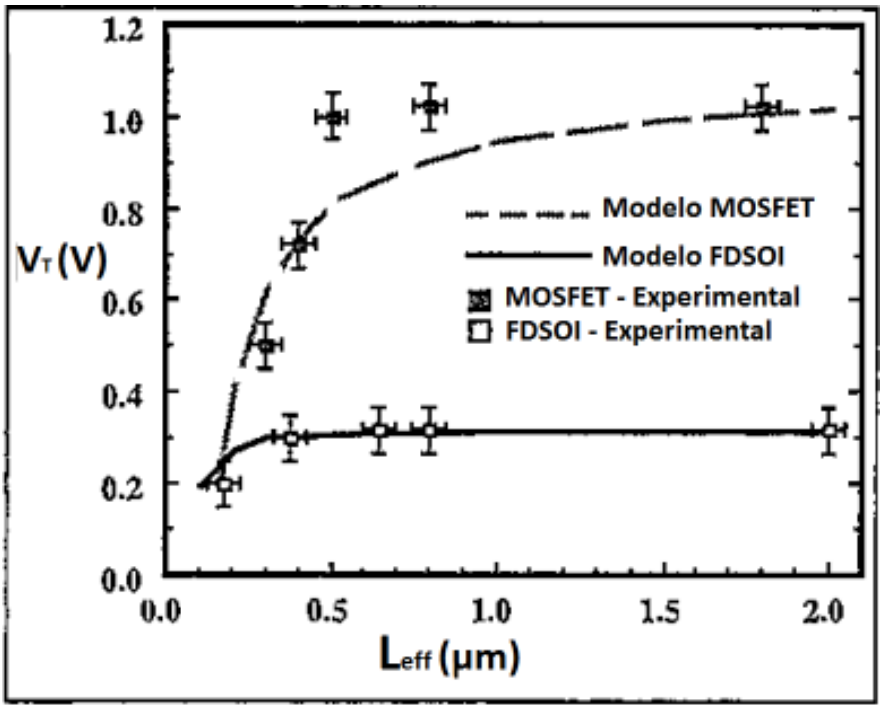


Figura 8 – Tensão de limiar em função do comprimento efetivo de canal em transistores nMOSFETs e FDSOI tipo n.

2.2 Transistor SOI MOSFET modo acumulação

Um transistor SOI MOSFET com ausência de junção PN entre as regiões de fonte/canal e canal/dreno pode ser fabricado com características elétricas semelhantes aos de um transistor SOI MOSFET com junções PN.

A Figura 9 ilustra um transistor SOI MOSFET com canal tipo P, onde as regiões de fonte e dreno também apresentam impurezas do tipo P+, isto é, estas regiões estão com concentrações de dopantes maiores que a região de canal.

Para que este dispositivo funcione corretamente, é necessário que o material de porta seja polissilício tipo N+, para que, quando desligado o filme de silício esteja totalmente depletado devido à presença de cargas positivas na interface e da diferença da função trabalho entre a porta e o canal. Quando o dispositivo é ligado, a condução ocorre devido à redução da região de depleção tanto corpo do transistor quanto na superfície do canal com a interface em acumulação [15] [16].

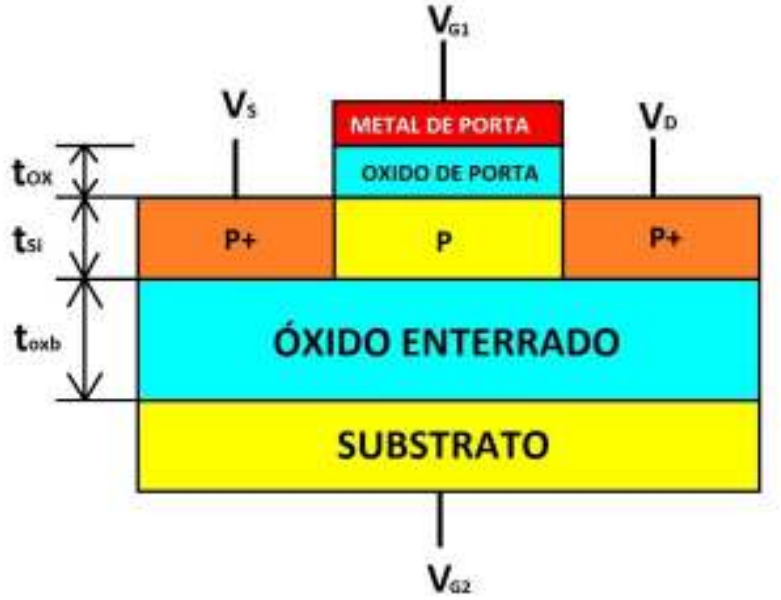


Figura 9 – Ilustração de um Transistor SOI MOSFET sem junções PN

Enquanto não houver tensão aplicada a porta do transistor ($V_G = 0$), o canal estará totalmente depletado, conforme dito anteriormente, devido ao material de porta ser polissilício N+. Sendo assim, o valor de Φ_{MS} será obtido através da equação (2.17), baseando-se no diagrama de bandas de energia da Figura 4.

$$\Phi_{MS} = -\frac{E_g}{2q} - \Phi_{Fp} \tag{2.17}$$

Ao aplicar-se um potencial negativo na porta do dispositivo, verifica-se um aumento na concentração de lacunas na camada de silício até que, ao atingir um determinado potencial, as cargas de depleção praticamente desaparecem. Nesta situação, qualquer aumento na tensão propicia a formação de uma superfície da acumulação de portadores na região de canal. Assim, a tensão de limiar é alcançada quando o potencial de superfície na primeira interface do dispositivo é zero ($\Phi_S = 0$) (2.18).

$$V_{T,acc} = \Phi_{MS} - \frac{Q_{ox}}{C_{ox}} \tag{2.18}$$

O transistor operando em modo acumulação apresenta uma corrente elétrica proveniente da região formada pela acumulação das cargas na interface do dispositivo e, também pela corrente que flui da fonte para o dreno através do corpo do transistor. Essa condução ocorre na parte neutra do corpo onde as dimensões dessa região estão relacionadas

com a extensão das zonas de depleção proporcionadas pela polarização da porta e do substrato.

A corrente que passa pela interface do dispositivo (I_{acc}) é obtida através da equação (2.19) .

$$I_{acc} = \frac{\mu_p . \varepsilon_{OX}}{t_{OX}} \left(\frac{W}{L}\right) . \left[\left(V_{G1} - V_{T,acc}\right) . V_{DS} - \frac{(V_{DS})^2}{2} \right] \tag{2.19}$$

Na região em que $V_{DS} > V_{G1} - V_T$, tem-se o valor da corrente de saturação ($I_{Dsat,\ acc}$)

$$I_{Dsat,acc} = \frac{\mu_p . \varepsilon_{OX}}{t_{OX}} \left(\frac{W}{L}\right) . \left(V_{G1} - V_{T,acc}\right)^2 \tag{2.20}$$

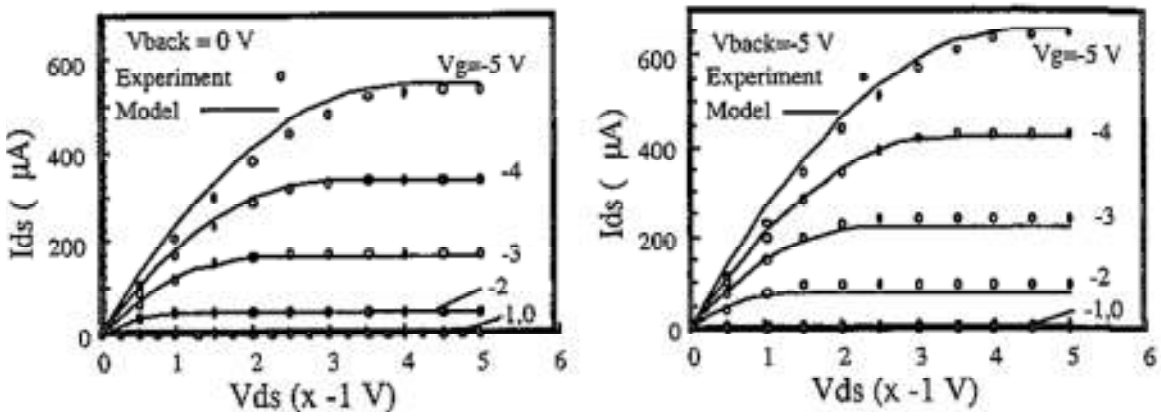
A corrente que passa pelo corpo do transistor (I_{body}) depende da concentração de portadores (N_A), da carga elementar do elétron (q), da mobilidade de portadores que passa pelo corpo ($\mu_{p'}$) , de W, L e do campo elétrico (ξ), como descreve a equação (2.21).

$$I_{body} = q . N_A . \mu_{p'} . \frac{W}{L} . \xi \tag{2.21}$$

Finalmente, a corrente total de dreno (I_D) é a soma da corrente de acumulação com a corrente de corpo.

$$I_{DS} = I_{acc} + I_{body} \tag{2.22}$$

A Figura 10 contém curvas de corrente de um transistor SOI MOSFET tipo P operando em modo acumulação com t_{Si} = 100nm e $N_A = 4.10^{16}$ cm^{-3}.



(a) (b)

Figura 10 – Curvas de corrente de um transistor SOI MOSFET tipo P. (a) V_{G2} = 0V (b) V_{G2} = -5V.

2.3 Transistor SOI MOSFET de múltiplas portas

2.3.1 Transistores de porta dupla

Os transistores de porta dupla têm como finalidade apresentar uma série de vantagens em relação aos transistores descritos anteriormente. Uma delas é propor um modelo que apresente uma grande redução de efeito de canal curto além de um alto controle do potencial no filme de silício através da inserção de portas superiores e inferiores ao longo do canal do transistor [17].

O primeiro transistor, o XMOS, foi proposto em 1984 e proporcionava as melhorias com relação ao efeito de canal curto, reduzindo os efeitos recorrentes a esse fator[17]. Já o primeiro SOI MOSFET, de porta dupla, fabricado foi o DELTA [18](fully DEpleted Lean channel transistor) em 1989, levando ao surgimento de outros dispositivos como o SOI MOSFET FinFET [19] (Figura **11**) e o MFXMOS [20][21]

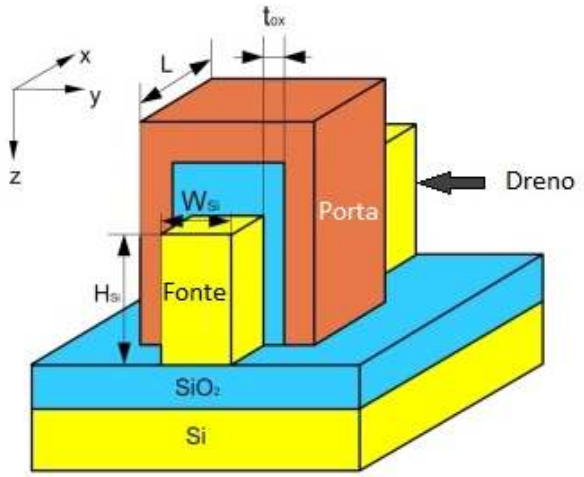


Figura 11 – Esquema de um transistor de porta dupla: FinFET. **[22]**

Estes novos tipos de transistores tiveram um novo formato ocasionado pela verticalização do canal. O grande avanço dessa tecnologia, permitiu além da redução dos efeitos de canal curto, uma melhora na inclinação de sublimiar com níveis muito próximos ao limite teórico de 60 mV/dec, e aumento da corrente de condução ocasionado pela presença dos dois canais gerados pela duplicação da porta. Além disso, a corrente resultante de um transistor FinFET aproxima-se do dobro de uma corrente que passa por um dispositivo de porta simples, já que a intensidade da corrente é proporcional a largura do canal (W) e inversamente proporcional ao comprimento do canal (L). [23]

Com essas novas tecnologias de múltiplas portas, significativas melhorias puderam ser observadas como, por exemplo, o aumento nos valores de transcondutância que representaram uma grande vantagem no controle de I_{DS} pela tensão de porta V_G, em relação aos dispositivos SOI com portas simples. [24]

Uma técnica de fabricação muito utilizada para possibilitar o aumento de corrente em um dispositivo de múltiplas portas é a conexão de vários fins em paralelo conhecidas como multi-dedos como na Figura 12 abaixo:

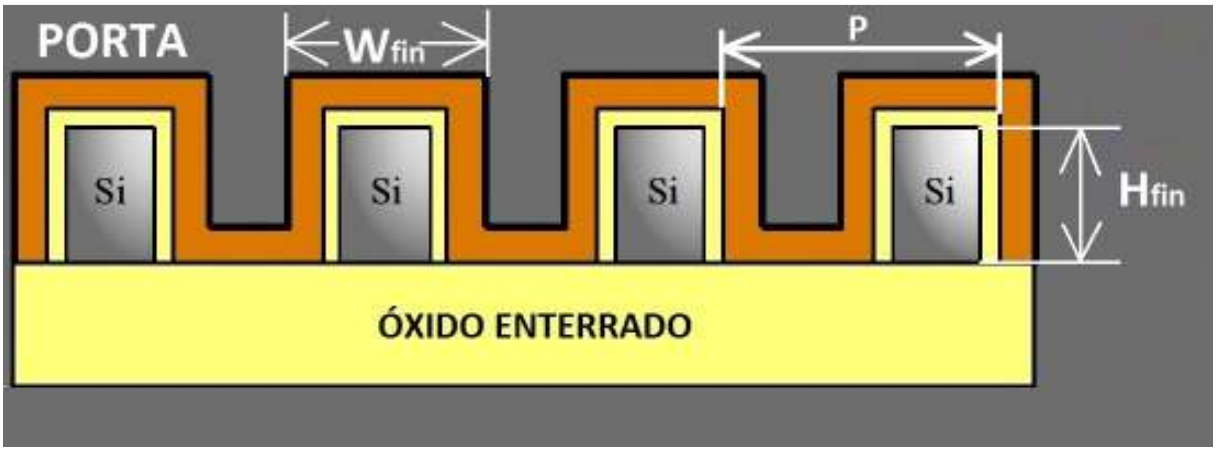


Figura 12 – Dispositivo multi-fins.

A corrente (2.23) que passa neste dispositivo multi-fins composto por transistores de porta tripla (I_{Dmulti}) é composta pela corrente que flui em um transistor planar por unidade de largura do canal (I_{D0}), e depende de W_{fin}, de H_{fin} e do período (P), que é a distância entre o início de um fin e o seu subsequente [3].

$$I_{D_{multi}} = I_{D0}.\left(\frac{W_{fin} + 2H_{fin}}{P}\right) \tag{2.23}$$

2.3.2 Transistores de porta tripla

Um transistor será caracterizado como sendo de porta dupla quando somente as portas laterais do dispositivo tiverem influência na determinação do campo elétrico no substrato. Isso, geralmente ocorre quando o valor de H_{fin} for muito superior ao valor de $W_{fin,}$ ou quando o óxido presente entre a porta superior e o substrato for mais espesso que o óxido entre as laterais e o substrato [25].

Porém, quando a porta superior também apresentar um alto controle da corrente elétrica que passa pelo substrato, o dispositivo será caracterizado com um transistor de porta

tripla. Nestes casos, o isolante entre a porta superior e o substrato apresenta a mesma espessura do óxido de porta. [26].

A implantação de mais portas em dispositivos pode causar o fenômeno de inversão de volume [27], principalmente em dispositivos totalmente depletados. Este fenômeno consiste no aumento da concentração de elétrons no interior da camada de silício, isto é, os portadores se distribuem ao longo do canal porém, não se concentram na superfície da interface entre o corpo e o óxido e porta, e sim mais no interior do substrato.

Esse efeito implica no surgimento do efeito quântico, necessitando da inserção da equação de Schrödinger [28] junto da equação de Poisson. A inversão de volume causa o aumento da transcondutância devido ao aumento da mobilidade dos portadores no interior do substrato. Por isso, espera-se um ganho na mobilidade média do dispositivo em inversão de volume. Contudo, este fenômeno torna-se importante em dispositivos de camada de silício com espessura inferior a 30nm [24].

Alguns exemplos de portas triplas podem ser citadas como os dispositivos Π-gates [29] [30] (Figura 13)e Ω-gate [31] (Figura 14) . Estes dispositivos se diferenciam pela maneira de como a porta está confeccionada no substrato.

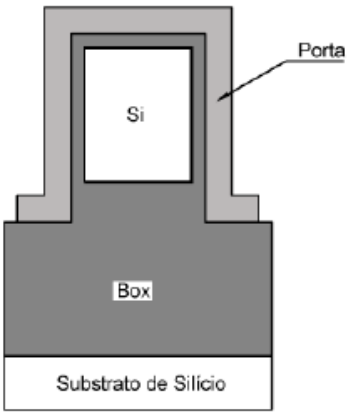


Figura 13 – Transistor Π-Gate.

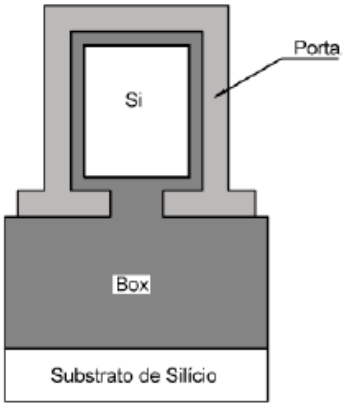


Figura 14- Transistor Ω-Gate.

O objetivo destes dispositivos é atuarem com melhor potencial no interior do canal, mas precisamente, na parte inferior do silício.

2.3.3 Efeito de Canto

O efeito de canto aparece em vários transistores devido a junção de dois planos de portas e suas consequências podem ser verificadas nos dispositivos com o aumento do potencial, tensão de ruptura e concentração de elétrons nas regiões de canto. Uma forma de abordar este efeito analiticamente é encontrar uma soma vetorial de campo elétrico no canto do dispositivo maior que os próprios vetores de campo elétrico nas paredes do canal do transistor.

Os dispositivos tridimensionais de múltiplas portas estão suscetíveis ao efeito de canto por apresentarem arestas nos locais das junções entre as portas (superior-lateral, no caso da maioria dos dispositivos de múltiplas portas e/ou inferior-lateral, no caso de dispositivos Gate All Around) conforme a Figura **15**.

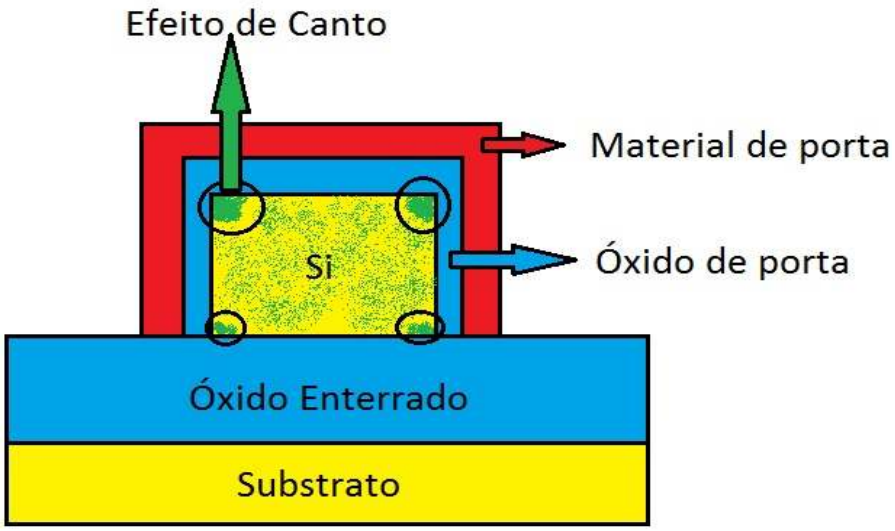


Figura 15 - Representação esquemática de um transistor de múltiplas portas com efeito de canto.

A junção entre as portas apresenta uma região com maior campo elétrico, conforme apresentado na Figura **15**, onde este ocasiona a passagem de corrente por canais parasitários para tensões de porta menores que a tensão de limiar [32].

O aumento da concentração de dopantes em um transistor com múltiplas portas prejudica o seu funcionamento por influenciar no acoplamento das portas laterais sobre os portadores na região de canal contribuindo com o surgimento do efeito de canto. Consequentemente, o potencial de superfície o a tensão de limiar variam ao longo da região de canal[33][34].

2.4 Transistor Sem Junção

2.4.1 Origem do transistor sem junção

Os Transistores Sem Junção tiveram como ponto de partida o conceito utilizado pelo físico Julius Edgar Lilienfeld, em 22 de outubro de 1925 no Canadá. O transistor de Lilienfeld apresenta uma fina película de semicondutor depositada numa fina camada de isolante. Além disso, para que haja contato, está depositado um metal sobre esta película semicondutora formando uma estrutura muito parecida com um transistor MOS. [35]

Assim, podemos então perceber que a estrutura proposta por Lilienfeld é um dispositivo com efeito de campo como nos transistores da tecnologia MOS. Entretanto, este dispositivo não deixa de ser um simples resistor, onde a aplicação de uma tensão de porta

permite que os portadores da película de semicondutor sejam depletados nos permitindo o controle da condutividade [36].

Diferentemente de quaisquer outros tipos de transistores, o transistor de Lilienfeld não contém nenhuma junção, facilitando o processo de fabricação e a miniaturização destes dispositivos.

Com a possibilidade de controlar o fluxo de corrente com a depleção da fina camada de silício temos, então, um transistor e, como não há diferença de gradientes de concentração de dopantes, temos um transistor sem junção. Além disso, as dimensões na região do substrato destes transistores (W_{fin} e H_{fin}) são bem menores em relação aos demais, principalmente pelo fato da ausência de diferentes concentrações de dopagens, por isso podem ser construídos com uma grande diminuição do comprimento de canal, sem sofrer do indesejável efeito de canal curto. E, assim, este transistor será denominado como Transistor Sem Junção (Junctionless Nanowire Transistor) ou, simplesmente JNT [4], como apresentado esquematicamente na Figura 16 e na Figura 17.

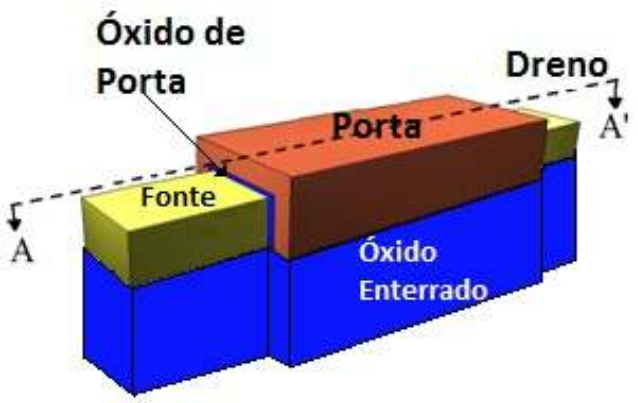


Figura 16 – Representação esquemática de um transistor sem junção. **[37]**

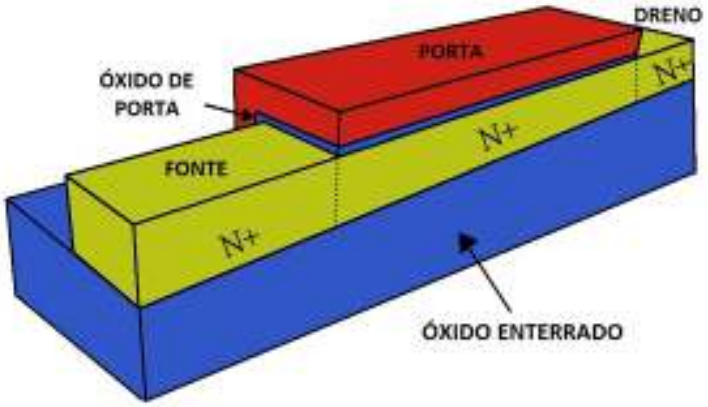


Figura 17– Corte transversal de um transistor sem junção. **[37]**

2.4.2 Características elétricas do transistor sem junção

O transistor sem junção é, basicamente, um resistor que pode ser desligado devido à diferença da função trabalho da porta. A concentração de dopantes nestes dispositivos é constante ao longo de toda a estrutura [38], isto é, não há diferença entre as concentrações presentes no dreno, no canal e na fonte, nem diferença do tipo de dopantes. Portanto, o transistor sem junção ou é inteiramente constituído por portadores do tipo p ou do tipo n. [4]

Ao eliminar-se a junção do transistor nenhum processo de difusão causada pelo gradiente de concentração de dopantes ocorre nestes dispositivos, mesmo porque o gradiente é eliminado com a ausência da junção. Sendo assim, não faz-se necessário utilizar-se de processos com técnicas de recozimentos ultra velozes para a implantação de diferentes dopantes na estrutura e facilita a fabricação de dispositivos com comprimentos de canal reduzidos.[4]

Para que haja a região de depleção nestes dispositivos quando desligado é importante a fabricação destes transistores com uma camada de silício que seja fina e estreita o suficiente. No entanto, o semicondutor deverá ter uma alta dopagem para permitir a passagem de corrente quando o dispositivo estiver ligado. [4]

Estes dispositivos apresentam excelente inclinação de sublimiar, baixa corrente de fuga, e uma alta taxa de corrente on/off. [39]

O valor de V_T nos transistores JNTs, depende principalmente da concentração de dopantes da estrutura, da espessura do óxido de porta, da secção transversal do dispositivo e do material de porta utilizado na confecção do transistor. [40]

Segundo constam em literaturas, os JNTs de múltiplas portas, funcionam como um "resistor com porta" em modo acumulação [39]. Num transistor modo inversão nota-se que os portadores se acumulam em maior quantidade nas interfaces como demonstra a Figura 18a. Porém, nos transistores sem junção (Figura 18b e 13c) verifica-se que os portadores se distribuem em praticamente toda a região do canal, conduzindo a corrente elétrica também pelo corpo do transistor. Nota-se que esta condução ocorre com maior intensidade onde há o aumento da concentração dos portadores como ocorre na Figura 18c:

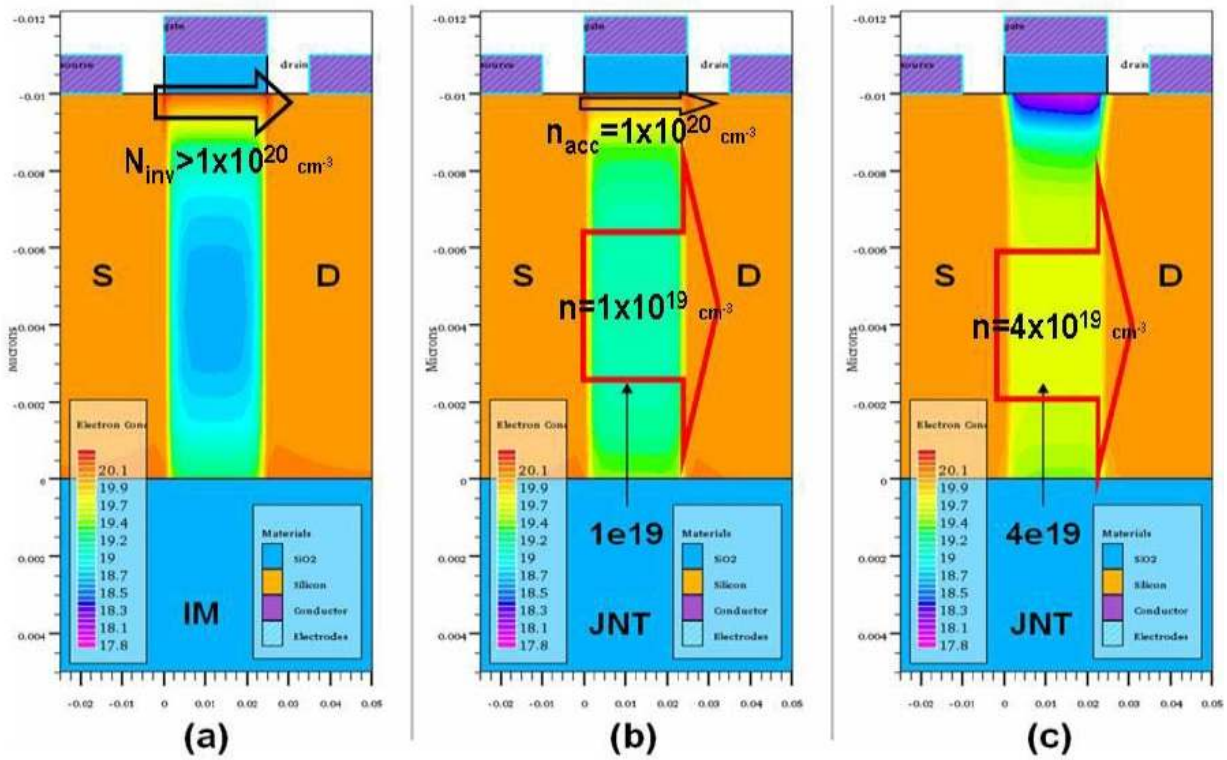


Figura 18 – (a) Concentração de portadores mais abundantes na interface silício-óxido num transistor de modo inversão; (b) Concentração de portadores muito presentes na maior parte do transistor (c) Praticamente todos os portadores passam pelo centro da estrutura. **[41]**

Nota-se, portanto, que nos transistores sem junção, a concentração de portadores é praticamente constante ao longo de todo o canal. [41]

2.4.3 Tensão de limiar nos transistores sem junção (V_T)

Como dito anteriormente, os JNTs apresentam valores de V_T dependentes da concentração de dopantes, da espessura do óxido de porta, da secção transversal do dispositivo e do material de porta utilizado. A equação para obter-se a tensão de limiar é obtida a partir da equação de Poisson para dispositivos nMOS bidimensionais (2.24)

$$\frac{d^2\Phi}{dx^2} + \frac{d^2\Phi}{dz^2} = -\frac{qN_D}{\varepsilon_{Si}} \tag{2.24}$$

onde Φ é o potencial, x e y representam a largura e o comprimento da estrutura, q é a carga elementar do elétron e, ε_{Si}, a permissividade do silício [37].

Nos JNTs, o valor de V_T é controlado pela profundidade da região de depleção. Sendo assim, somente as cargas de depleção serão consideradas. Multiplicando-se os dois lados da equação por $\frac{d\Phi}{dx}.\frac{d\Phi}{dz}$ obtém-se a equação (2.25) a seguir [37]:

$$\frac{d}{dx}\left(\frac{d\Phi}{dx}\right)^2\frac{d\Phi}{dz}+\frac{d}{dz}\left(\frac{d\Phi}{dz}\right)^2\frac{d\Phi}{dx}=-2\,\frac{qN_D}{\varepsilon_{Si}}\frac{d\Phi}{dx}\frac{d\Phi}{dz} \tag{2.25}$$

Apesar dos potenciais nas direções x e y serem diferentes, as simulações revelaram que a diferença entre o mínimo potencial de superfície e o potencial de superfície, e ainda a diferença entre o mínimo potencial elétrico e o potencial elétrico na superfície é aproximadamente o mesmo tanto para a superfície nas laterais do dispositivo quanto na região inferior. Portanto, baseando nessas informações temos que a variação de Φ tanto no sentido x quanto no sentido z é praticamente a mesma possibilitando dizer que $\frac{d\Phi}{dx}=\frac{d\Phi}{dz}$. Sendo assim, a equação (2.25) pode ser simplificada gerando a equação (2.26) a seguir [37]:

$$2d\left(\frac{d\Phi}{dx}\right)^2=-2\,\frac{qN_D}{\varepsilon_{Si}}d\Phi \tag{2.26}$$

Para que seja possível determinar a tensão de limiar é necessário que a tensão aplicada na porta seja o suficiente para formar uma região não depletada no silício. Sendo assim, quando um único ponto no centro do canal estiver na condição fora da depleção, com a fonte do transistor aterrado, pode-se considerar que o potencial neste ponto será zero ($\Phi_{centro} = 0$). Além disso, neste ponto o campo elétrico também é zero ($\xi_{centro} = 0$). Considerando-se que o potencial de superfície e o campo elétrico de superfície são constantes ao longo da região, isto é, que os valores efetivos destes parâmetros são constantes, obtém-se a equação (2.27) a seguir [37]:

$$\int_{\xi_{superfície}}^{\xi_{centro}} d\left(\frac{d\Phi}{dx}\right)^2=\frac{qN_D}{\varepsilon_{Si}}\int_{\Phi_{superfície}}^{\Phi_{centro}}d\Phi \tag{2.27}$$

Da equação (2.27) pode-se obter a relação entre o potencial e o campo elétrico cuja equação está representada a seguir:

$$\xi_{superfície} = \sqrt{\frac{qN_D}{\varepsilon_{Si}}\Phi_{superfície}} \tag{2.28}$$

A tensão no óxido de porta obtido num capacitor MOS é expressa por:

$$V_{ox} = \frac{Q_{Si}}{C'_{ox}} \tag{2.29}$$

onde Q_{Si} é a densidade de carga no silício que pode ser obtida através do campo elétrico de superfície, conforme equação (2.30) e C'_{ox} a capacitância do óxido de porta por unidade de área [37].

$$Q_{Si} = \varepsilon_{Si}\xi_{superfície}W_{ef} \tag{2.30}$$

O valor de W_{ef} é o comprimento total do silício cercado pelo óxido de porta. Nos transistores de porta tripla, pode ser representado pela equação .

$$W_{ef} = W_{fin} + 2.H_{fin} \tag{2.31}$$

Ao operar no limiar da condução, o dispositivo terá toda carga depletada no silício tal que $Q_{si} = qN_DWH$, e qualquer aumento na tensão de porta levará o dispositivo à uma operação onde a depleção é parcial. Combinando essa equação junto às equações (2.28) e (2.30) obtém-se:

$$\Phi_{superfície} = \frac{qN_D}{\varepsilon_{Si}}\left(\frac{W_{fin}H_{fin}}{W_{ef}}\right)^2 \tag{2.32}$$

Da estrutura MOS tem-se:

$$V_{FB} - V_G - \Phi_{superfície} = \frac{Q_{Si}}{C_{ox}} \tag{2.33}$$

Substituindo-se as equações (2.29) e (2.32) na equação (2.33), onde V_G está na condição de limiar ($V_G = V_T$) obtém-se a expressão analítica de V_T [37]:

(2.34)

$$V_T = V_{FB} - qN_D\left[\frac{W_{fin}H_{fin}}{C'_{ox}} + \frac{1}{\varepsilon_{Si}}\left(\frac{W_{fin}H_{fin}}{W_{ef}}\right)^2\right]$$

Em dispositivos com dimensões inferiores à 10nm, os portadores poderão estar em confinamento quântico[42], incorporando a solução de Schrödinger à equação (2.34) conforme equação (2.35) [37]:

$$V_T = V_{FB} - qN_D\left[\frac{W_{fin}H_{fin}}{C'_{ox}} + \frac{1}{\varepsilon_{Si}}\left(\frac{W_{fin}H_{fin}}{W_{ef}}\right)^2\right] + \frac{\pi^2\hbar^2}{2qm_e^*}\left[\frac{1}{H_{fin}^2} + \frac{1}{W_{fin}^2}\right] \quad (2.35)$$

onde $\hbar$ é a constante de Planck e m_e^* é a massa efetiva do elétron.

2.4.4 Mobilidade no transistor sem junção

Devido ao aumento da dopagem nos JNTs, a mobilidade é menor neste tipo de transistor. Embora essa situação nos leve a interpretar como uma desvantagem desse dispositivo, pesquisas revelam que a mobilidade num transistor comum em modo inversão atinge significativamente uma mobilidade menor nas interfaces do que num transistor sem junção. Além disso, a mobilidade presente em toda a camada de silício no JNT é maior do que a mobilidade que passa na interface no transistor modo-inversão[41]. A Figura 19 demonstra esse resultado.

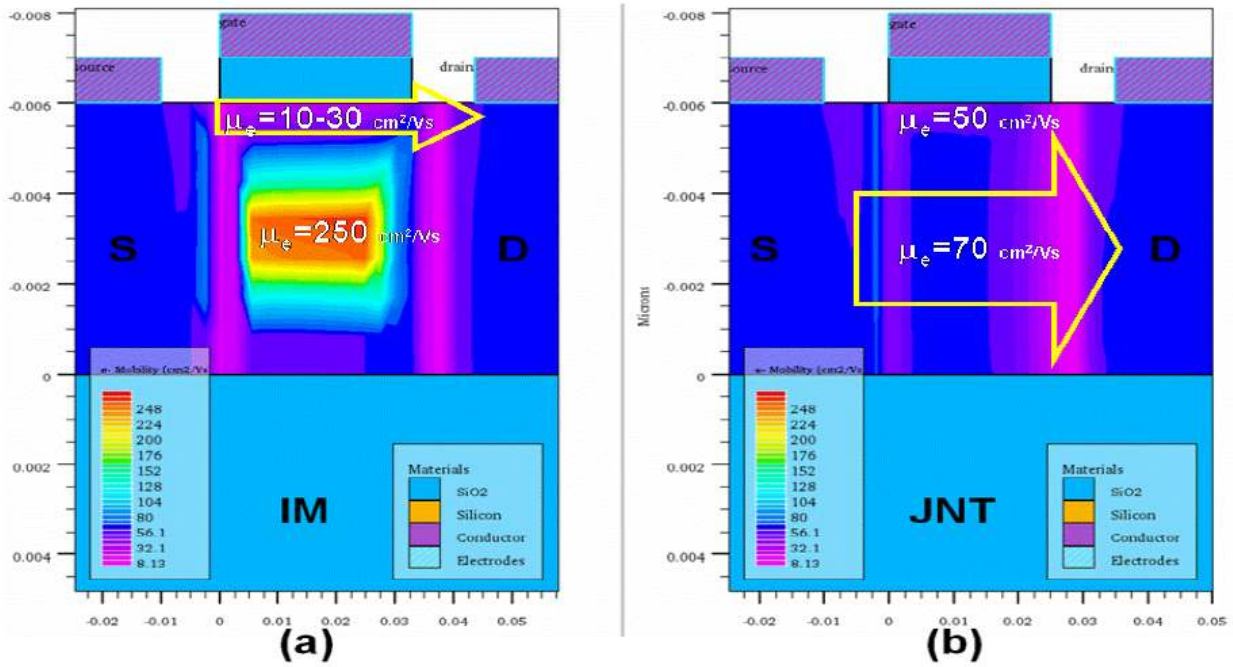


Figura 19 – (a) Transistor em modo inversão com pouca mobilidade efetiva nas interfaces. (b) JNT com mobilidade efetiva no centro da estrutura bem maior que na interface do modo inversão.
Fonte: Colinge **[41]**

2.5 Capacitâncias

2.5.1 Definição de capacitâncias

Define-se capacitância de um sistema de dois condutores, um com carga total positiva e outro com carga total negativa, de tal forma que a quantidade de carga total no sistema seja nula, como a razão entre a magnitude da carga total (Q) em ambos os condutores e a magnitude da diferença de potencial (V_0) entre os condutores. A partir disso, em um sistema simples de dois condutores no qual os condutores são planos paralelos idênticos com separação d e, escolhendo o plano inferior em z = 0 e o superior em z = d, como na Figura 20, uma lâmina de carga superficial uniforme ±ρs em cada condutor leva a campo uniforme (E) e onde a permissividade do dielétrico homogêneo (ε) está presente entre os condutores, demonstra-se que a capacitância pode ser equacionada em função de d, ε, e a superfície condutora (S_1), como segue a equação (2.36). [43]

$$C = \frac{Q}{V_0} = \frac{\varepsilon S_1}{d} \tag{2.36}$$

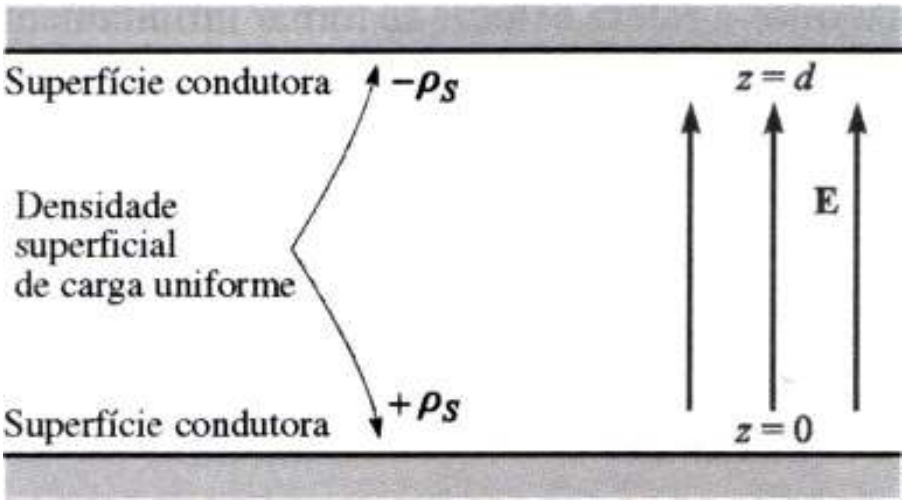


Figura 20 – Representação esquemática de um capacitor de placas paralelas **[43]**

O estudo de capacitâncias nos transistores é importante para que possamos entender melhor o funcionamento destes transistores nos mais diversos circuitos. A capacitância é responsável pelo desempenho de um circuito, tornando-o mais rápido quanto menor ela for.

2.5.2 Capacitor MOS

Entender o capacitor MOS (Metal Óxido Semicondutor) é fundamental para compreender as capacitâncias envolvidas num transistor. Através da curva de capacitância em função da tensão aplicada na porta de um transistor p-MOS é possível verificar o comportamento da capacitância total do dispositivo [12].

Com os terminais de fonte e dreno em curto-circuito de um transistor é possível obter a curva de capacitância. Na Figura 21 pode-se verificar o comportamento capacitivo de um transistor nMOS ideal em alta frequência, que é quando os portadores minoritários da camada de inversão não tem tempo para responder à variação de dV_G imposta pela porta.

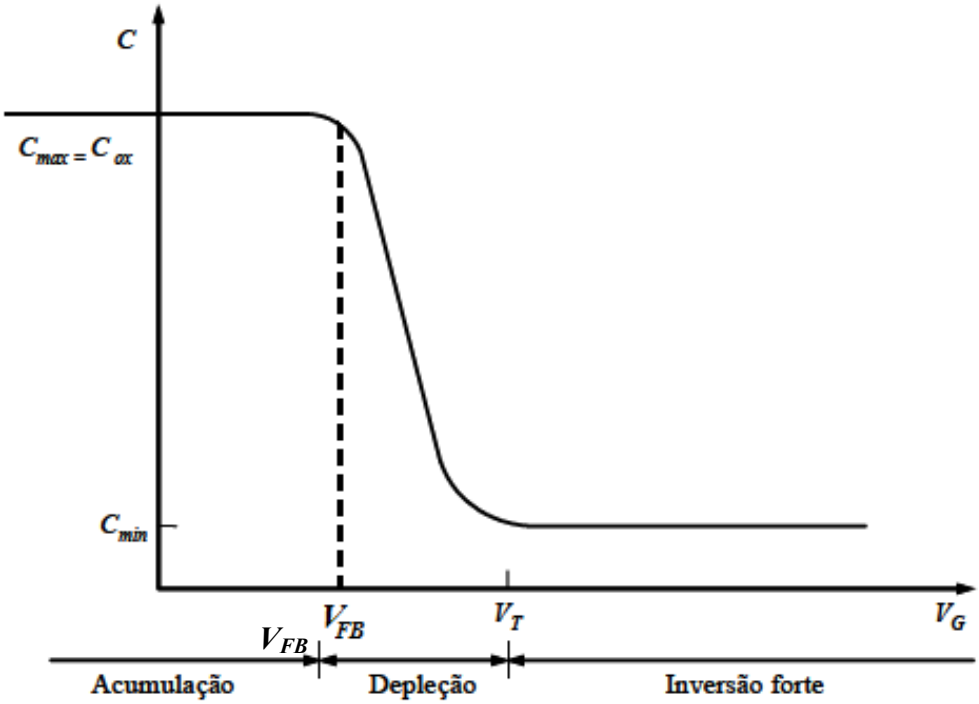


Figura 21 – Curva C-V em alta frequência de um capacitor p-MOS. **[12]**

Pode-se observar que a curva apresenta três regiões importantes: Região em que o capacitor está em acumulação, região em que opera em depleção e, por fim a região em inversão forte.

Basicamente, pode-se interpretar essa curva pelo fato da existência de duas capacitâncias em série atuando sobre o capacitor MOS, que é a capacitância no óxido em série com a capacitância no silício, no caso do MOSFET e, no caso do SOI MOSFET, ainda terá a capacitância do óxido enterrado em série com as demais.

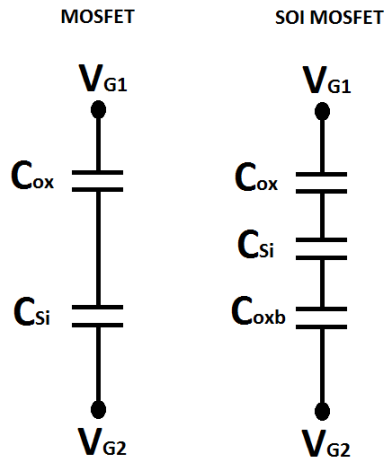


Figura 22 – Associação das capacitâncias em uma estrurura MOSFET e uma estrutura SOI MOSFET.

Quando o dispositivo não está depletado, pode-se considerar que neste, somente a capacitância do óxido atua no dispositivo, onde este opera na região em acumulação. Já quando o dispositivo começa a entrar em depleção, a capacitância no silício começa a ter efeito no dispositivo reduzindo a capacitância total por ser menor que a capacitância de porta e, ainda estar associada em série com esta. Essa capacitância no silício diminui cada vez mais conforme aumenta a profundidade da depleção até que atinja o seu valor máximo causando a redução máxima da capacitância no silício e, consequentemente a redução máxima da capacitância total, colocando o transistor na região de inversão.

2.5.3 Capacitâncias nos transistores

2.5.3.1 Capacitância de porta (C_{ox}) e Capacitância no Silício (C_{Si})

Pela definição de capacitâncias, podemos definir a capacitância presente em um óxido como sendo a razão da permissividade do óxido (ε_{ox}) pela espessura do óxido de porta (t_{ox}) multiplicada pela área da superfície condutora (A) conforme a equação (2.37). Da mesma forma, capacitância presente no silício como sendo a razão da permissividade do silício (ε_{si}) pela espessura da lâmina de silício (t_{Si}) multiplicada pela área da superfície condutora (A).

$$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}.A \tag{2.37}$$

$$C_{Si} = \frac{\varepsilon_{Si}}{t_{Si}}.A \tag{2.38}$$

No caso dos transistores planares, $A = W.L$, onde $L = 1\mu m$. Caso o transistor seja um Tri-Gate, então $A = W_{ef}.L$.

2.5.3.2 Cálculo da capacitância de porta por unidade de comprimento (C'_{ox}) com fator de correção do efeito de canto em transistores sem junção.

Para um transistor sem junção com uma configuração semelhante a um transistor Trigate a capacitância do óxido de porta pode ser aproximada pela equação (2.39) com t_{ox} muito menor que W_{fin} e H_{fin}.

$$C'_{ox} = \varepsilon_{ox}.\frac{W_{ef}}{t_{ox}} \tag{2.39}$$

Com a redução das dimensões de W_{fin} e H_{fin}, a espessura do óxido influencia significativamente no resultado numérico da capacitância do óxido de porta, conforme comentado anteriormente no tópico 2.1.6. Sendo assim, ao adotarmos o perímetro da geometria como sendo o considerado pela equação (2.31), esta não inclui os cantos da estrutura já que não apresenta a espessura do óxido de porta e, sendo assim, faz-se necessário incluir os cantos para estimar a capacitância existente em todo o óxido de porta. Portanto, faz-se necessário a inclusão de um fator de correção (*f*) que possa corrigir o novo valor de C'_{ox} já com este efeito. A equação (2.40) apresenta este fator de correção [44].

$$C'_{ox} = \varepsilon_{ox}.\left(\frac{W_{ef}}{t_{ox}} + f\right) \tag{2.40}$$

A aproximação do fator f pode ser obtida através da capacitância por unidade quadrada (C_{us}), que pode ser definia como a capacitância entre o centro e as laterais do quadrado e é obtida numericamente pela equação (2.41) a seguir [45]:

$$C_{us} = 0.37 \times 4\pi\varepsilon_{ox} \tag{2.41}$$

Os cantos superiores podem ser considerados juntos como sendo metade da capacitância de um quadrado como indicado na Figura 23. Sendo assim, f pode ser considerado como sendo [44]:

$$f = \frac{C_{us}}{2\varepsilon_{ox}} = 0.37 \times 2\pi = 2{,}3050 \tag{2.42}$$

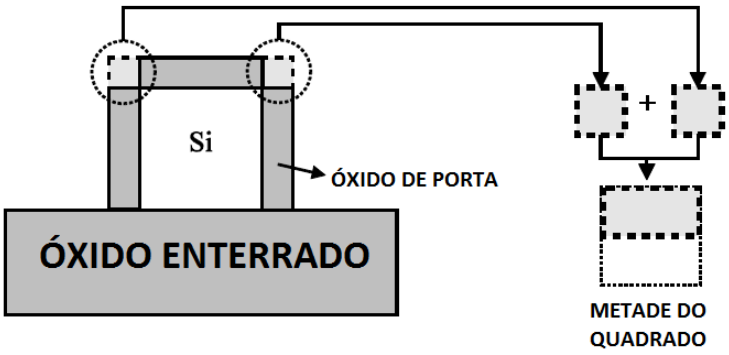


Figura 23 – Representação esquemática da secção transversal de um trigate JNT. **[44]**

2.5.3.3 Definição de capacitâncias intrínsecas

As capacitâncias intrínsecas representam a variação da quantidade de carga armazenada num determinado terminal de um dispositivo em resposta da variação da tensão aplicada em outro terminal[46].

As capacitâncias intrínsecas entre os terminais i e j pode ser definido conforme equação (2.43) a seguir[46]:

$$C_{ij} = \sigma.\frac{\partial Q_i}{\partial V_j} \tag{2.43}$$

onde i e j simboliza a região de fonte, dreno, porta ou substrato. O valor de σ será -1, caso i≠j ou 1, se i=j. Q_i refere-se a carga interna armazenada no dispositivo associado ao terminal i com tensão aplicada no terminal j. Essas capacitâncias intrínsecas não são recíprocas, isto é $C_{ij} \neq C_{ji}$ [46].

Ao aplicar-se uma baixa tensão no terminal de dreno (V_D = 50mV) em um n-MOSFET planar com t_{Si} = 250nm, L= 27nm, t_{oxb} = 2.1μm e $N_A = 5.10^{16}cm^{-3}$, com material de porta sendo polissilício N+, para tensões de porta positivas nota-se um aumento dos valores de C_{gs} a partir da inversão até um valor próximo da metade de C_{ox}, onde seus resultados são dependentes de V_{G2}, conforme Figura 24. [46]

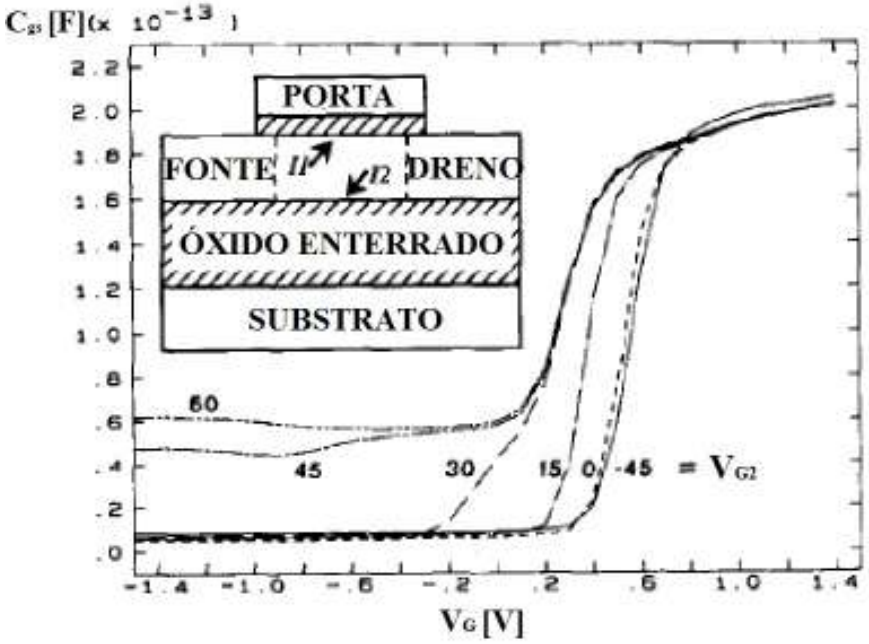


Figura 24 – Comportamento de C_{gs} e C_{gd} em função de V_G de um 20/20 µm SOI n-MOSFET operando em modo inversão com várias polarizações de substrato. **[46]**

No mesmo dispositivo, operando na saturação, coforme Figura 25, os valores de C_{gs} e C_{gd} de um SOI-MOSFET apresentam maiores diferenças com relação aos MOSFETs, devido a estes parâmetros serem independentes de V_D, V_G e $V_{G2,}$ além de seus valores normalizados corresponderem a 2/3 de C_{ox}, no caso de C_{gs} e 0, no caso de $C_{gd.}$ [46]

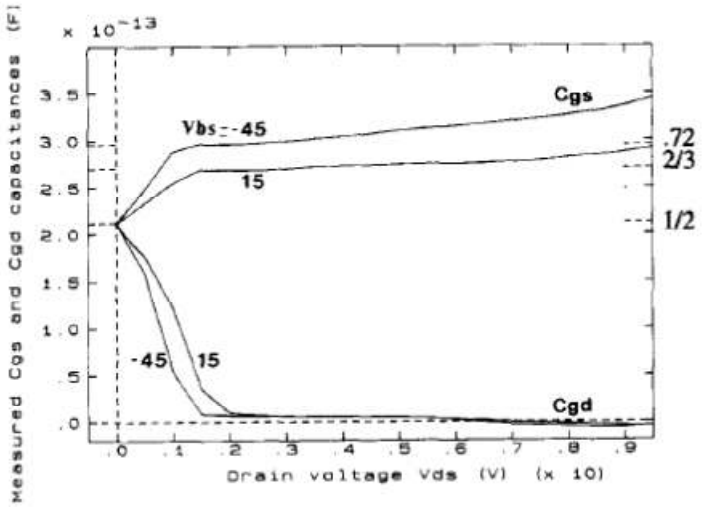


Figura 25 - Comportamento de C_{gs} e C_{gd} em função de V_D de um 20/20 µm SOI n-MOSFET com V_G =2V. **[46]**

Num transistor SOI MOSFET modo acumulação, com comprimento de canal de 19,7µm, largura efetiva de canal de 19,7µm, t_{Si} = 83nm, t_{ox} = 34nm, t_{oxb} = 380nm, N_A = $9{,}5.10^{16}$ cm^{-3}, verifica-se que uma região praticamente neutra se desenvolve na camada de silício antes dos primeiros níveis de acumulação na primeira interface do substrato e antes da condução no centro da região não depletada do filme de silício. [47]

Nestes modelos de transistores, as capacitâncias correspondem à associação série da capacitância do óxido de porta e da capacitância de depleção e o valor de C_{gs} não atinge 2/3 de C_{ox} como ocorre com os transistores FDSOI devido à contribuição da corrente que passa pelo corpo do dispositivo. Já o valor de C_{gd} decresce até 0, como nos outros transistores. [47]

3 SIMULADOR SYNOPSYS SENTAURUS

Para que fosse possível realizar este trabalho, o uso de um TCAD (Technology Computer-Aided Design) foi necessário para simular estruturas construídas computacionalmente, com a finalidade de auxiliar nos estudos e proporcionar conclusões confiáveis.

Com a capacidade de simular dispositivos bidimensionais ou tridimensionais e gerar gráficos com alta confiabilidade além de fornecer parâmetros físicos e elétricos com a possibilidade de calibrar uma simulação com o objetivo de fornecer resultados mais reais possíveis, o TCAD acaba sendo um pacote de programas muito utilizado em universidades e até mesmo em indústrias.

Nessa linha de pesquisa, foi utilizado o pacote TCAD desenvolvido pela Synopsys®, por apresentar um conjunto de modelos de simulação altamente confiáveis para o entendimento das capacitâncias no JNT.

Dentre os softwares utilizados tem-se:

a) Sentaurus Structure Editor – Editor de estruturas para gerar o dispositivo;
b) Sentaurus Device – O Simulador de dispositivos;
c) Tecplot SV – Visualizador de estruturas;
d) Inspect – Visualizador de resultados.

3.1 Sentaurus Structure Editor

Para que seja possível construir um dispositivo no simulador Sentaurus faz-se necessário o uso do Sentaurus Structure Editor (SDE) para gerar a estrutura, seja bidimensional ou tridimensional.

O SDE está disponível em modo texto ou em modo de interface gráfica, possibilitando as pessoas que tem certas dificuldades em escrever códigos a operá-lo com os botões de manuseio rápido. Neste trabalho, todas as estruturas foram geradas através de códigos escritas em arquivos de edição de texto em ambiente Linux, já que o TCAD Synopsys é executado neste sistema operacional. Além disso a extensão necessária para a execução deste arquivo de texto necessita ser gravada como scm.

Neste ambiente, são criadas regiões com informações do material utilizado (silício, óxido, metal, etc), concentração de dopantes de cada região, eletrodos, refinamento de grade e outros parâmetros que sejam necessários para a confecção da estrutura.

Desta forma, um dispositivo com características bem definidas é criado virtualmente com uma matriz de pontos (grade) sem que haja uma uniformidade, porém com cada ponto registrado com as informações das coordenadas no plano a ser utilizada na simulação do dispositivo.

3.2 Sentaurus Device

Para a simulação dos dispositivos que foram criados com o SDE, faz-se necessário o uso do programa Sentaurus Device (SDevice) que tem a função de caracterizar numericamente o comportamento elétrico destes dispositivos. Este simulador tem a capacidade de gerar arquivos de simulações, sejam elas unidimensionais (1D), bidimensionais (2D) ou até mesmo tridimensionais (3D).

O SDevice conta com uma série de equações a serem aplicadas na simulação com resoluções numéricas basicamente solucionadas por interpolações nos pontos de cruzamento da grade aplicada ao dispositivo pelo SDE, com alta confiabilidade nas informações obtidas com seu uso correto e bem operado por quem tem conhecimento do software. Como forma de exemplificar algumas das equações utilizadas pelo simulador, podemos destacar a equação de Poisson, a equação de continuidade para elétrons e lacunas, densidades de corrente além de uma série de modelos físicos e analíticos que podem ser utilizadas dependendo das necessidades de suas utilizações.

3.3 Tecplot SV

O Tecplot SV é um programa onde é possível visualizar as estruturas geradas tanto pelo SDE, que são estruturas sem nenhuma polarização quanto estruturas simuladas pelo SDevice, onde é possível obter informações das estruturas polarizadas. É no Tecplot SV que permite visualizar a concentração de dopantes, obter melhores informações de grade, verificar os contatos, obter parâmetros como campo elétrico, densidade de corrente e lacunas, potencial elétrico, etc.

Na maior parte das simulações geradas pelo SDE, a análise da estrutura pelo Tecplot SV é fundamental para a verificação de possíveis erros de construção do dispositivo antes de iniciar a simulação do mesmo. É neste local também, que é possível fazer medidas de comprimentos na estrutura para ver se todos os dados estão de acordo com o desejado para uma ótima simulação, como espessura do óxido de porta, comprimento e largura de canal, etc.

3.4 Inspect

A principal função do Inspect é permitir a visualização dos dados obtidos pelo simulador, gerados em tabelas, em funções para uma análise quantitativa com diversas funções matemáticas além de permitir salvá-las em formatos que podem ser adaptados em outros softwares para cálculos e obtenções de informações que não estão explicitamente nas curvas geradas pelo simulador.

3.5 Modelos Utilizados nas Simulações

Neste trabalho, alguns modelos foram utilizados com o objetivo de aproximar os resultados com possíveis valores reais. Apesar do pouco conhecimento sobre os JNTs, os modelos utilizados foram baseados em informações que já discutidas em artigos sobre este tipo de transistor.

A) PhuMob

O modelo PhuMob (Philips Unified Mobility Model): considera a mobilidade unificado por Philips, proposto por Klaasen [48][49]. Este modelo descreve de forma unificada a mobilidade dos portadores minoritários e majoritários além de descrever a dependência da mobilidade com a temperatura dados os mecanismos de degradação da mobilidade ocasionados pelo espalhamento pelas impurezas e portador-portador. A equação da mobilidade dos portadores (μ_0) é dependente da mobilidade dos portadores independente do campo elétrico ($\mu_{i,L}$) que representa os mecanismos de espalhamento de rede, e também é dependente da mobilidade gerada através de um modelo unificado [50] para os mecanismos de espalhamento portador-portador e impurezas ionizadas ($\mu_{i,DAeh}$), conforme equação (3.1) a seguir :

$$\mu_0 = \frac{1}{\frac{1}{\mu_{i,L}} + \frac{1}{\mu_{i,DAeh}}} \tag{3.1}$$

B) Enormal

O modelo Enormal representa a degradação da mobilidade nas interfaces proposto por Lombardi. Este modelo considera o efeito do campo elétrico transversal que é responsável pelo aumento da interação dos portadores com a interface semicondutor-isolante e, consequentemente aumenta a degradação devido aos mecanismos de espalhamento por fônons acústicos e pela rugosidade na superfície (μ_{sr}) [51] .Também inclui dependências com a temperatura e com a concentração de dopantes. A equação do campo elétrico transversal é dependente de μ_{sr}, do espalhamento de rede (μ_{ac}) e da mobilidade do substrato (μ_B), dada pela equação 3.2 a seguir:

$$\frac{1}{\mu_{eff}} = \frac{1}{\mu_{sr}} + \frac{1}{\mu_{ac}} + \frac{1}{\mu_B} \tag{3.2}$$

C) HighFieldSaturation

O modelo HighFieldSaturation foi proposto por Canali. Este modelo considera o alto campo elétrico, onde a mobilidade já deixa de ser proporcional ao campo elétrico graças a velocidade de saturação dos portadores. Este modelo também considera a dependência com a temperatura.

D) SRH

O modelo SRH (Shockey-Read-Hall) é um modelo de geração-recombinação de portadores cujo processo envolve a troca de portadores entre a faixa de condução e de valência. Foi utilizado com dois sub modelos, DopingDep e TempDep, que consideram, respectivamente os efeitos da concentração de dopantes e o efeito da redução da temperatura em conjunto com tempo de vida dos portadores na recombinação.

E) BandGapNarrowing

O modelo BandGapNarrowing (OldSlotboom) é um modelo dependente da temperatura que considera o estreitamento da faixa proibida devido ao alto campo elétrico.

3.6 Arquivos de Simulação no Sentaurus

Para obter as curvas de capacitância no Sentaurus, foi-se necessário, primeiramente criar uma estrutura do dispositivo com o SDE. As estruturas para a simulação de um dispositivo JNT necessita de muitos pontos de grade, já que a corrente elétrica é abundante em praticamente todo o substrato. O apêndice A mostra um arquivo com os parâmetros do dispositivo. Nesse arquivo são definidos os parâmetros das variáveis que serão utilizadas para criar a estrutura utilizando-se do comando *define.* A seguir, tem-se o comando *define-refinement-size* para que seja definida a estrutura de espaçamentos que serão utilizados na grade. Esse comando requer duas coordenadas de pontos (x,y,z) com parâmetros máximos e mínimos, respectivamente para a confecção da grade.

Em seguida criam-se as regiões que formarão a estrutura desejada utilizando-se as coordenadas retangulares para cada região.

Após construir a estrutura, deve-se adicioná-la os contatos para que seja possível polarizá-la na simulação. Primeiramente cria-se o nome do contato junto de sua espessura e cor para sua visualização no computador através do comando *define-contact-set*. Após criar um nome para o contato, deve-se torná-lo ativo através do comando *set-current-contact-set* e finalmente criar a região de contato com o comando *define-2d-contact-set* ou *define-3d-contact-set*, dependendo das dimensões do dispositivo.

As dopagens também devem ser inseridas através do comando *define-constant-profile*, para dopá-la corretamente.

Sendo assim, devem-se inserir as regiões onde serão aplicadas as grades descriminadas anteriormente, através do comando *define-refeval-window* e finalmente aplicar as grades com o uso do comando *define-refinement-placement* para gerar o dispositivo desejado e, através do comando *build-mesh* criam-se os arquivos de saída.

Com a estrutura gerada, um arquivo com os dados de simulação é implementado, conforme apêndice B.

Inicialmente declara-se um nome para programa e, a seguir, inserem-se os comandos para caracterizar a simulação. O comando *Electrode* deverá conter as regiões do transistor simulado seguindo-se das tensões pré-estabelecidas no início da simulação (geralmente 0V).

Em seguida, através do comando *File* declara-se de onde o arquivo deverá retirar as informações do dispositivo e quais arquivos ele deverá criar.

Sendo assim inseri-se o comando *Physics* com os modelos de simulação e logo após o comando *Plot* com os dados que se desejam obter da simulação.

Por fim, declaram-se os métodos matemáticos para a obtenção dos resultados com o comando *Math*, colocam-se as informações iniciais do dispositivo com o comando *System* e com o comando *Solve* declaram-se as polarizações, passos e outros parâmetros para simular a estrurura.

3.7 Método de obtenção das capacitâncias no Sentaurus

Para simular as capacitâncias no Sentaurus, dentro do comando solve, coloca-se o comando *ACCoupled* com as infomações de frenquência, número de pontos por década, os nós onde serão informados as capacitâncias (d, s, g ou b) e se há o interesse em excluir a análise AC para determinada polarização.

Esse comando opera com pequenos sinais senoidais AC aplicados nos terminais desejados. A resposta do dispositivo é calculada em função da frequência e do ponto de operação em análise DC. Através de um sistema linear algébrico o software calcula a solução das partes reais e imaginárias da variação do vetor solução induzido pela perturbação senoidal nos contatos.

4 ESTUDO DAS CAPACITÂNCIAS NOS TRANSISTORES SEM JUNÇÃO

O objetivo deste trabalho é realizar o estudo das capacitâncias num transistor sem junção com múltiplas portas conforme a Figura 26 a qual representa um dispositivo JNT semelhante a um transistor de porta tripla:

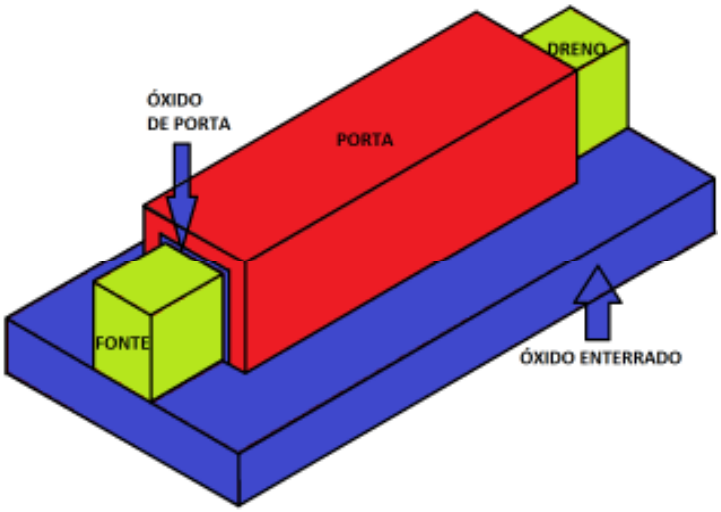


Figura 26 – Esquema de um transistor sem junção usado em simulações.

Foram feitas diversas simulações para analisar o comportamento da capacitância de porta (C_{ox}) em transistores não polarizados e comparados com seus valores teóricos.

No início deste trabalho foi verificado o comportamento capacitivo de um dispositivo sem junção sem polarização de dreno e fonte ($V_D = V_S = 0$) e com variação da tensão de porta de -0.5V à 3.5V, com L=1µm, $N_D = 2.10^{19}cm^{-3}$, t_{oxb} = 100nm, o óxido de porta e o óxido enterrado são de SiO_2 ($\varepsilon_{ox} = 34,55.10^{-14}F/cm$), o metal de contato é o alumínio, com $L_{Fonte} = L_{Dreno}$ = 5nm, H_{fin} = 10nm, t_{ox} = 2nm e variação dos valores da largura da camada de silício (W_{fin}). Os resultados obtidos podem ser verificados na

Tabela I:

Tabela I – Comparação de C_{ox} com variação de W_{fin}

W_{fin}	H_{fin}	W_{ef}	t_{ox}	$C_{ox,calc}$	$C_{ox,sim}$	|E%|
10nm	10nm	30nm	2nm	0,598fF	0,636fF	6,36
20nm	10nm	40nm	2nm	0,771fF	0,811fF	5,22
30nm	10nm	50nm	2nm	0,944fF	0,992fF	5,14
10nm	20nm	50nm	2nm	0,944fF	0,977fF	3,55
40nm	10nm	60nm	2nm	1,12fF	1,18fF	5,71

As capacitâncias de porta foram calculadas baseando-se na equação (2.40), porém considerando todo o comprimento de canal ($L=1\mu m$) com a finalidade de obter-se os resultados múltiplos da unidade de capacitância (F – Faraday).

Já os valores de C_{ox} simulados, foram obtidos através do valor máximo de C_{gg} gerado nas curvas simuladas.

O cálculo para um dispositivo com W_{fin} = 10nm da

Tabela **I**, pode ser obtido através da equação (2.40), multiplicada pelo comprimento de canal para obter-se o resultado na unidade de capacitância em Faraday.

$$C_{ox} = \varepsilon_{ox}.\left(\frac{W_{ef}}{t_{ox}} + f\right).L = 34{,}55.10^{-14}\frac{F}{cm}.\left(\frac{30nm}{2nm} + 2{,}3050\right).1.10^{-4}cm = 0{,}598fF$$

A Figura 27, mostra o comportamento da curva da capacitância de um dispositivo com as dimensões obtidas na

Tabela I, para W_{fin} = 10nm.

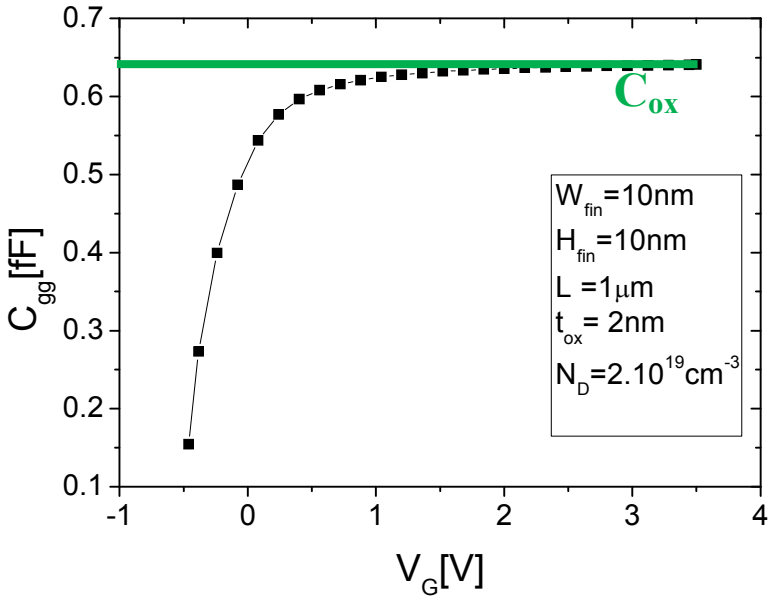


Figura 27 - Curva de C_{gg} em função de V_G de um JNT tipo N, com W_{fin} = H_{fin} = 10nm , t_{ox} = 2nm, L = 1μm e N_D= $2.10^{19}cm^{-3}$.

Pelos resultados obtidos na Tabela I verificou-se que os erros entre os valores calculados e os valores simulados foram menores que 10%, o que demonstra que é possível obter respostas de simulação muito similares aos esperados dando credibilidade aos estudos feitos através do programa para compreensão da tendência do comportamento capacitivo de um JNT.

O valor de C_{ox} foi calculado considerando-se o efeito de canto devido a sobreposição dos óxidos nos cantos da estrutura. Com a finalidade de verificar se um dispositivo com dimensões semelhantes, porém, com a ausência de sobreposição de óxidos, simulou-se uma estrutura com uma geometria semicircular, conforme Figura 28 para diminuir ao máximo o efeito de canto e, permitindo uma análise da capacitância desprezando o fator f.

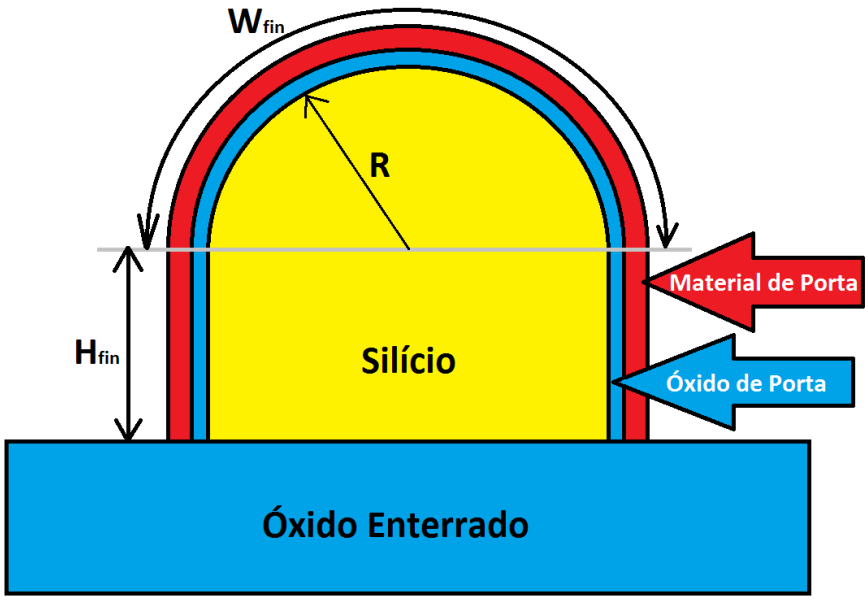


Figura 28 – Esquema de um transistor sem junção com a superfície semicircular.

A simulação desta estrutura gerou o seguinte resultado conforme a Tabela **II**:

Tabela II – Cálculo de C_{ox} num transistor circular com W_{ef} próximo de 50nm.

$R = H_{fin}$	t_{ox}	$C_{ox,calc}$	$C_{ox,sim}$	|E%|
10nm	2nm	0,974fF	1,02fF	4,72

Para compararmos o resultado é interessante observar que o W_{ef} é próximo de 50nm, e que os parâmetros de simulação da Tabela **II** são os mesmos adotados na Tabela I. Entretanto, de acordo com o que foi apresentado anteriormente, neste caso a equação (2.39) foi utilizada o que nos apresenta um resultado parecido com o que se verifica nos transistores retangulares. Com isso, o efeito de canto será um fator observado ao longo deste trabalho.

4.1 Estudo das Capacitâncias de Porta em Função da Concentração

Para averiguar o comportamento capacitivo em função da concentração, foi construído um JNT no simulador Synopsys Sentaurus com W_{fin} = H_{fin} = 10nm, o comprimento de canal L_{fin} = 1μm, a espessura do óxido de porta t_{ox} = 10nm. Essas medidas foram baseadas nos dispositivos existentes em laboratório para que futuramente haja a possibilidade de fazer comparações entre resultados simulados e resultados medidos experimentalmente. As dopagens da estrutura variaram de 1.10^{19} cm^{-3} a 5.10^{19} cm^{-3} e não há polarização aplicada ao dreno ($V_D=0$). O resultado pode ser visto na Figura 29 a qual representa as curvas de capacitância de porta em função da tensão aplicada na porta de um JNT com W_{fin} = H_{fin} = t_{ox} = 10nm e L_{fin} = 1μm.

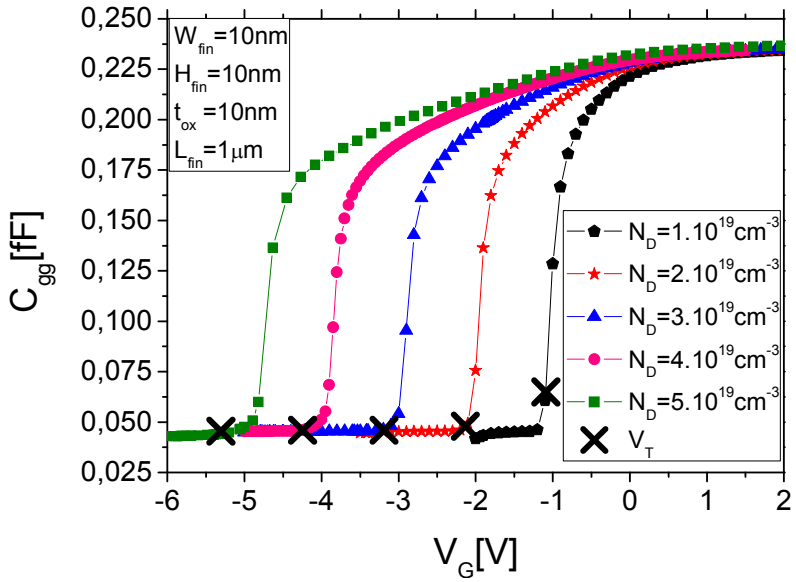


Figura 29 – Curva de C_{gg} em função de V_G com variação de N_d (t_{ox} = *10nm*)

Pode-se notar que com o aumento de N_D, o valor de C_{gg} inicia com a redução do valor de V_G enquanto que, quando C_{gg} atinge a região de acumulação, o valor da capacitância máxima ($C_{gg} = C_{ox}$) é similar para qualquer concentração N_D.

Como a estrutura capacitiva é muito semelhante ao capacitor MOS de modo inversão, pode-se explicar este comportamento como uma associação série entre a capacitância de porta (C_{ox}) e a capacitância de depleção no silício (C_{dep}). Quando a profundidade de depleção atingir seu valor máximo ($d_{máx} = t_{Si}$), verifica-se o menor valor de capacitância de porta

($C_{gg,mín}$) e como num JNT o transistor, quando desligado já está totalmente depletado, este valor é constante independente dos valores de concentração contidas no dispositivo, quando estas são da ordem de grandeza de 10^{19} portadores/cm^3 [52]

Quando a espessura do óxido de porta é reduzida, pode-se verificar uma pequena alteração no comportamento capacitivo conforme a Figura 30 que apresenta a curva C_{gg} em função de V_G para um transistor com $W_{fin} = H_{fin} = 10$nm, $t_{ox} = 2$nm e $L_{fin} = 1\mu$m:

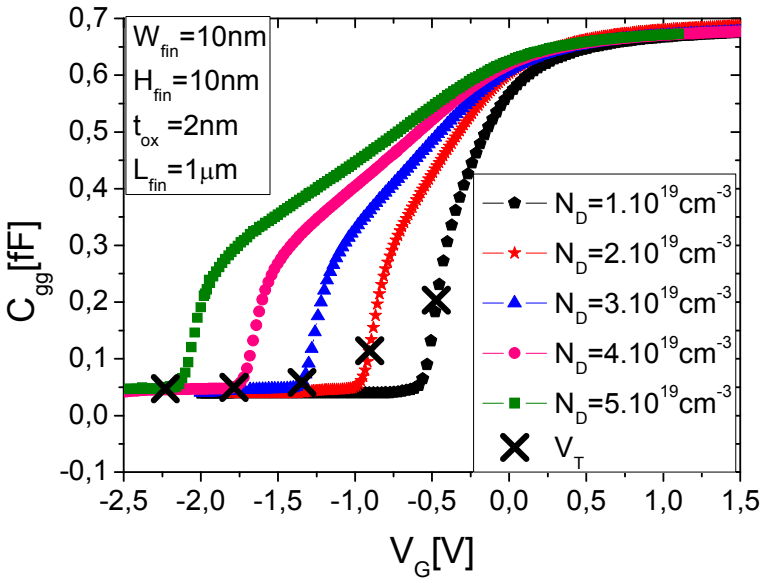


Figura 30 – Curva de C_{gg} em função de V_G com variação de N_d ($t_{ox} = 2$nm)

Nas simulações anteriores, a densidade de cargas na interface (Q_{ss}) não foi considerada. Sendo assim, o valor de V_{FB} será aproximadamente o valor de $\Phi_{MS} = -0.55 - \Phi_F$ que resulta $\Phi_{MS} \approx 0$V para todas as concentrações. Vale notar que nas curvas das figuras o valor de V_{FB} em modo acumulação ocorre em aproximadamente 0V para todas as concentrações.

Assim de acordo com a equação (2.34) pode-se determinar analiticamente os valores de V_T das curvas apresentadas, conforme a

Tabela **III**:

Tabela III - Cálculo de V_T

N_D [cm^{-3}]	**V_T [V]**		**V_{FB} [V]**
	tox = 2nm	*tox = 10nm*	*tox = 2nm e 10nm*
1.10^{19}	-0,473	-1,088	-0,022
2.10^{19}	-0,904	-2,134	-0,049
3.10^{19}	-1,344	-3,189	-0,005
4.10^{19}	-1,786	-4,246	0,013

5.10^{19}	-2,230	-5,305	0,018

De acordo com a tabela anterior, pode-se verificar que os valores de V_T decrescem com o aumento da concentração de portadores e com o aumento da espessura do óxido de porta.

Além disso, puderam-se obter os valores de V_T através da segunda derivada de I_D em função de V_G para as curvas com $N_D = 2.10^{19}cm^{-3}$, e os resultados para t_{ox} = 2nm e t_{ox} = 10nm foram –0,87V e –2,02V, o que demonstram valores muito próximos ao modelo.

Portanto, conclui-se que a concentração de portadores é um fator importante para o valor da tensão de limiar e é fundamental na determinação do valor de V_G onde o transistor sai do regime de inversão forte para o regime de depleção. Porém, não é um parâmetro que interfere no valor da capacitância máxima, nem no valor da capacitância mínima.

4.2 Estudo da Capacitância de Porta em função das dimensões (W_{fin}, H_{fin} e t_{ox}) nos JNTs

O estudo de V_G em função de N_D, com ausência de tensão nos terminais de fonte e dreno ($V_S = V_D = 0$), foi realizado verificando-se as dependências da tensão de porta em função dos parâmetros de W_{fin} e H_{fin}.

O transistor simulado terá as seguintes características: $H_{fin} = t_{ox}$ = 10nm, L = 1μm, a dopagem está com impurezas do tipo N, com $N_D = 2.10^{19}cm^{-3}$ e os parâmetros de W variados de 10nm, 15nm e 20nm. A Figura 31 mostra o comportamento de C_{gg} em função de V_G.

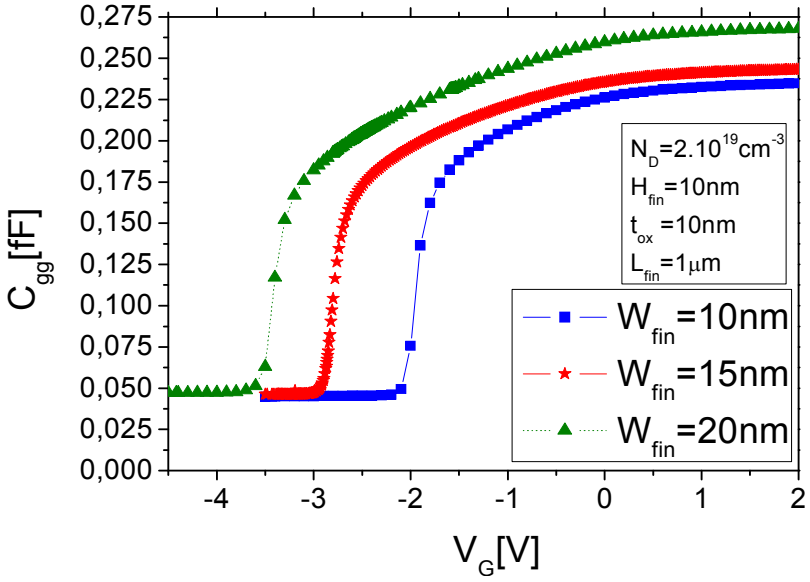


Figura 31 – Curva de C_{gg} em função de V_G com variação de W_{fin}

As curvas demonstram que, com a variação de W_{fin} as capacitâncias máximas também variam e quanto maior o valor de W_{fin}, maior o valor de C_{ox}, o que pode ser compreendido pela proporcionalidade entre C_{ox} e W_{fin}, conforme a equação (2.40).

Da mesma forma, um estudo realizado para verificar as capacitâncias com a alteração de H_{fin} também foi abordado. Conforme a Figura 36, uma simulação de um transistor, com as mesmas características apresentadas anteriormente, foi simulado variando-se o valor H_{fin} em 10nm, 20nm e 30nm com o valor de W_{fin} constante e igual a 10nm.

Outras análises foram abordadas em curvas com variações de W_{fin} e H_{fin} para que fosse possível verificar a presença do efeito de canto no transistor. Para esse fim, traçamos a curva de C_{gg} em função de V_G e uma curva C_{gg} normalizada por W_{ef}. As curvas obtidas podem ser verificadas a seguir:

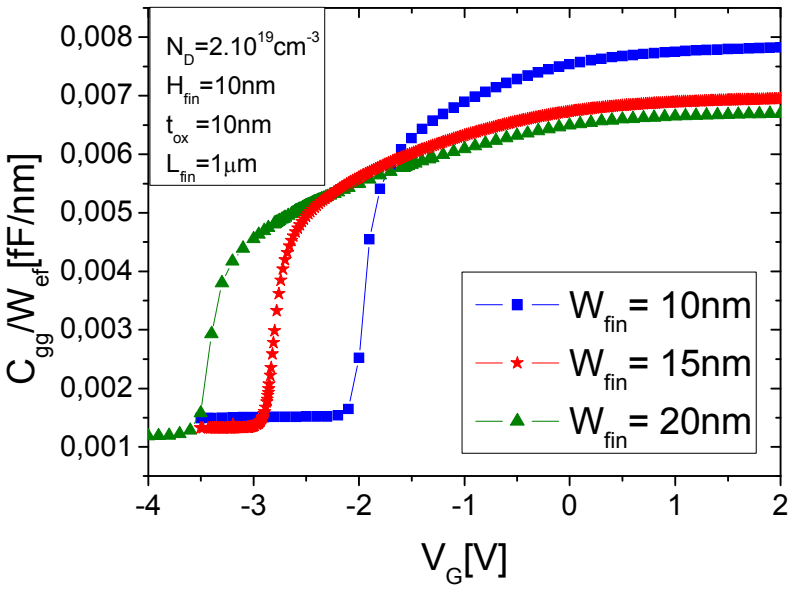


Figura 32 – Curva de C_{gg}/ W_{ef} em função de V_G com variação de W_{fin} (N_D=2.10^{19}cm^{-3} e tox=10nm)

Na Figura 32, após normalizar as curvas por W_{ef}, observa-se que os resultados apresentaram uma diferença entre valores máximos de C_{gg}/W_{ef}, quando se esperava que todas se sobrepusessem já que o resultado normalizado máximo esperado seria uma constante ε_{ox}/t_{ox}.

Um dos fatores que diferenciam os valores máximos obtidos na curva é a presença do efeito de canto. De acordo com a equação (2.40), a redução do valor de t_{ox} aumenta a relação W_{ef}/t_{ox} e, consequentemente, reduz o efeito do fator f no resultado de C_{ox}. Visto que essa relação independe da concentração, pode-se verificar que em um dispositivo com as mesmas

características porém, com alteração do valor de N_D para 1.10^{19} portadores/cm^3, o efeito de canto não é alterado.

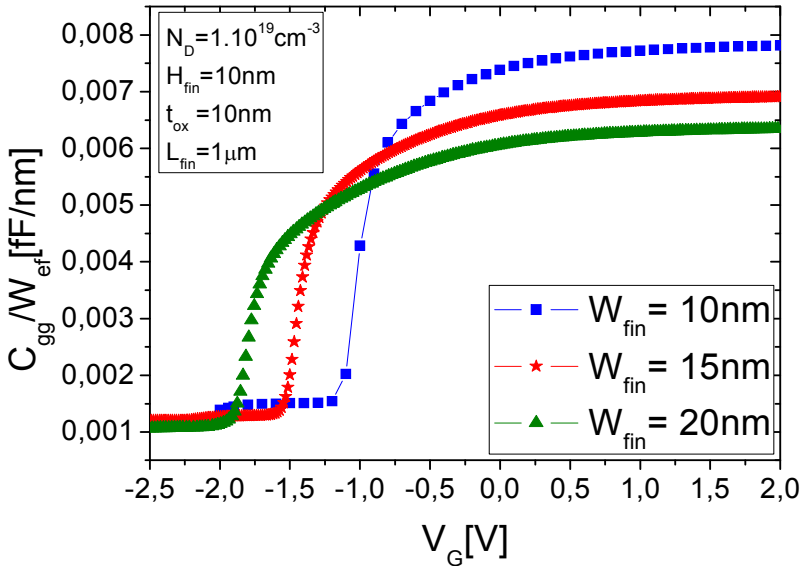


Figura 33 – Curva de C_{gg}/ W_{ef} em função de V_G com variação de W_{fin} (N_D=1.10^{19}cm^{-3} e tox=10nm)

De acordo com a Figura 33, constata-se que realmente a alteração da concentração não influi no efeito de canto. Entretanto, de acordo com a equação (2.40) nota-se que se o termo W/t_{ox} for muito elevado, o fator f para correção do efeito de canto não seria significativo, possibilitando a sobreposição das curvas. Para tanto, uma nova curva (Figura 34) foi obtida a partir da Figura 33 , porém com a redução de valor de t_{ox} para verificar tal comportamento.

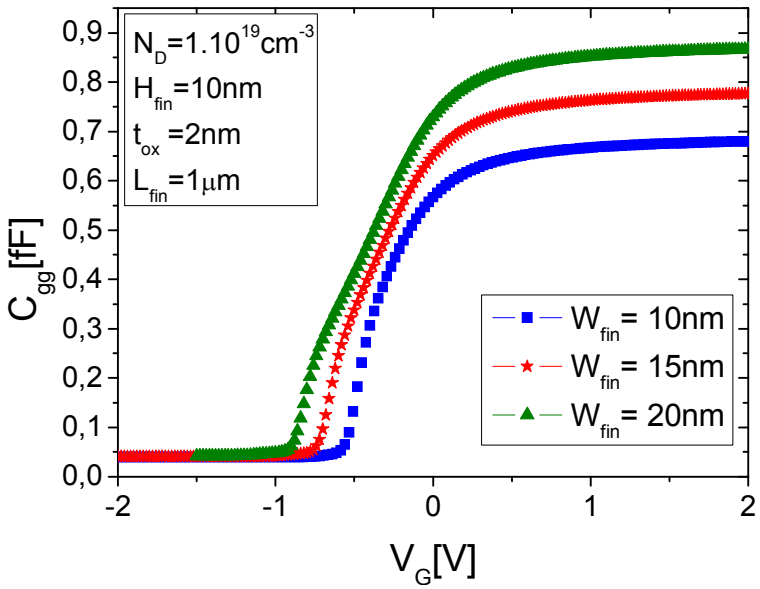


Figura 34- Curva de C_{gg} em função de V_G com variação de W_{fin} (N_D=1.10^{19}cm^{-3} e tox=2nm)

Com a redução de t_{ox}, as capacitâncias mínimas continuam sendo as mesmas, porém verifica-se um aumento na capacitância máxima, conforme Figura 34 pelo fato desta ser inversamente proporcional ao valor de t_{ox}. Além disso, verifica-se que o ponto em que a capacitância começa a aumentar, isto é, o dispositivo sai do modo de inversão e começa a operar em modo acumulação, apresenta uma menor variação de V_G com diferentes valores de W_{fin}, quando comparados com a simulação de um dispositivo com maior valor de t_{ox}.

Quando normalizamos a curva C_{gg} normalizada por W_{ef} Verifica-se que as curvas estão praticamente sobrepostas na região da capacitância máxima, o que nos leva a concluir que o efeito de canto é reduzido, praticamente, em sua totalidade com a redução do óxido de porta.

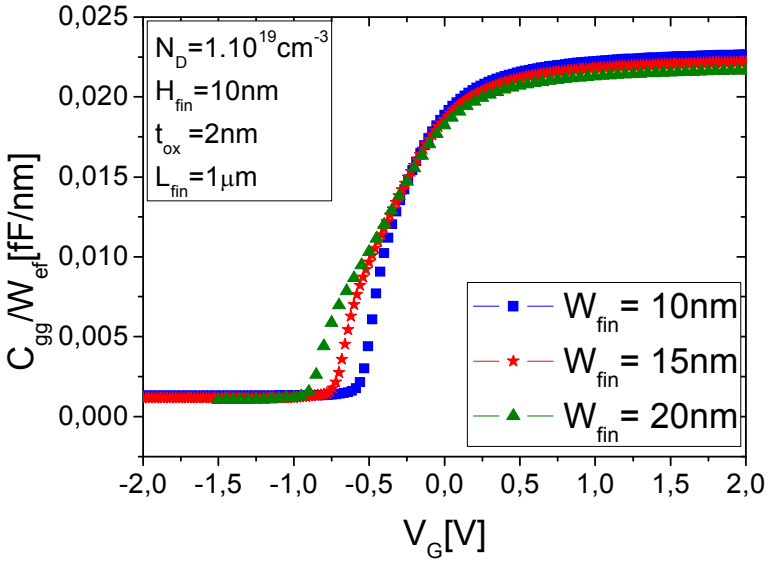


Figura 35 – Curva de C_{gg}/ W_{ef} em função de V_G com variação de W_{fin} (N_D=1.10^{19}cm^{-3} e tox=2nm)

O parâmetro H_{fin} também é proporcional ao W_{fin} e, portanto também é uma variável importante que tem relação com a capacitância de porta máxima, já que este é proporcional à W_{ef}. Sendo assim, o transistor simulado terá as seguintes características: W_{fin} = t_{ox} = 10nm, L = 1μm, a dopagem está com impurezas do tipo N, sendo N_D = 2.10^{19}cm^{-3} e os parâmetros de H_{fin} variados de 10nm, 20nm e 30nm. A Figura 36 mostra o comportamento de C_{gg} em função de V_G.

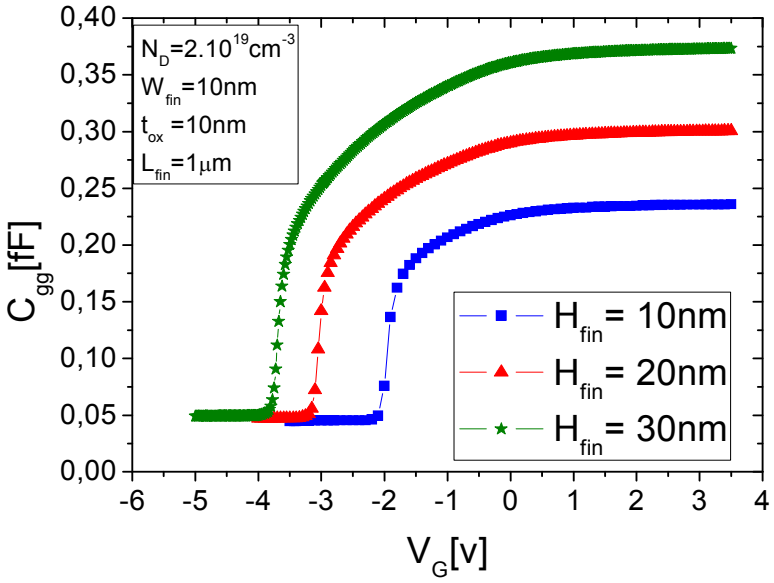


Figura 36 – Curva de C_{gg} em função de V_G com variação de H_{fin}

Pela curva de C_{gg} em função de V_G nota-se que C_{ox} também é dependente de H_{fin}. Porém, verifica-se que quanto maior for o valor de H_{fin}, menor é a tensão de porta necessária para que haja o aumento de capacitância, a partir da capacitância mínima conduzindo o transistor para a região de acumulação.

Ao normalizar-se a curva de capacitância por W_{ef} verifica-se o mesmo comportamento quando comparado aos valores de W_{fin}, isto é, como o valor de t_{ox} é elevado observa-se que os valores de $C_{gg,máx}/W_{fin}$ não se sobrepõem devido à presença do fator de efeito de canto.

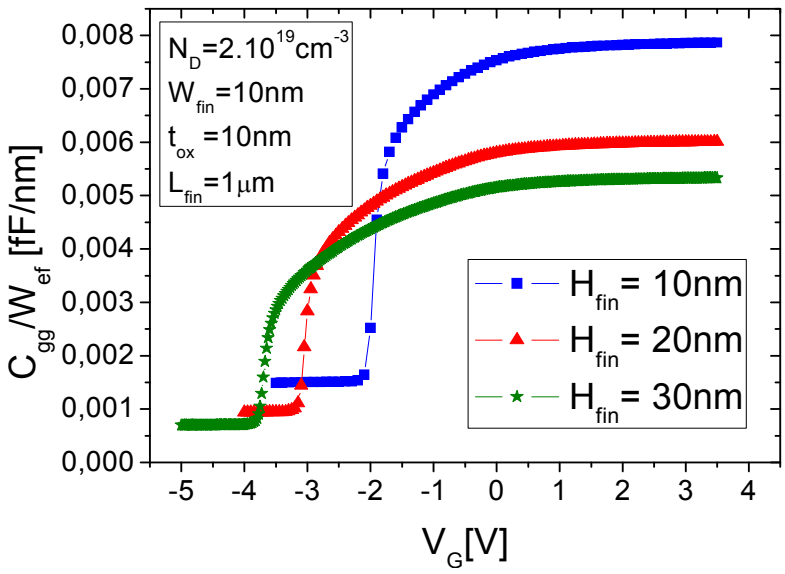


Figura 37 – Curva de C_{gg}/ W_{ef} em função de V_G com variação de H_{fin} com $N_D = 2.10^{19}cm^{-3}$ e t_{ox} = 10nm

Pelas curvas apresentadas pode-se concluir que o efeito de canto é bem maior nos transistores que apresentam com menor W_{fin} e menor H_{fin}.

Além disso, nota-se que nos JNTs com estrutura retangular simulados apresenta uma dependência do parâmetro H_{fin} maior quando comparado ao W_{fin}, devido ao fato de W_{ef} ser o dobro de H_{fin}, conforme equação (2.9).

De acordo a Figura 38, com a redução da concentração pode-se observar que ainda o efeito de canto devido à sobreposição do óxido está presente, pelo fato das capacitâncias máximas não se sobreporem.

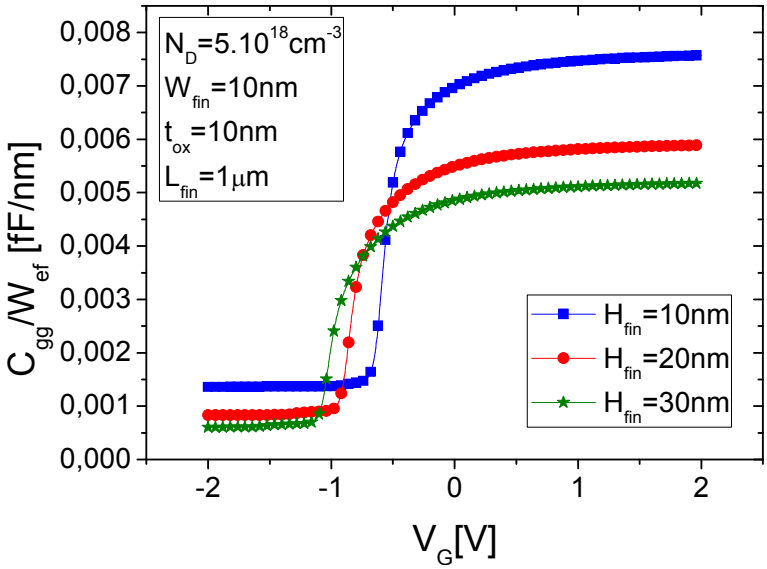


Figura 38 - Curva de C_{gg}/ W_{ef} em função de V_G com variação de H_{fin} com $N_D = 5.10^{18}cm^{-3}$ e t_{ox} = 10nm

No, entanto, quando reduz-se o valor de t_{ox}, observa-se uma aproximação desses valores, porém verifica-se que quando o parâmetro H_{fin} é de 10nm, ainda a curva não se sobrepõem às outras mostrando que, neste caso, existem outros fatores existentes que não possibilitam a normalização da curva conforme era esperado.

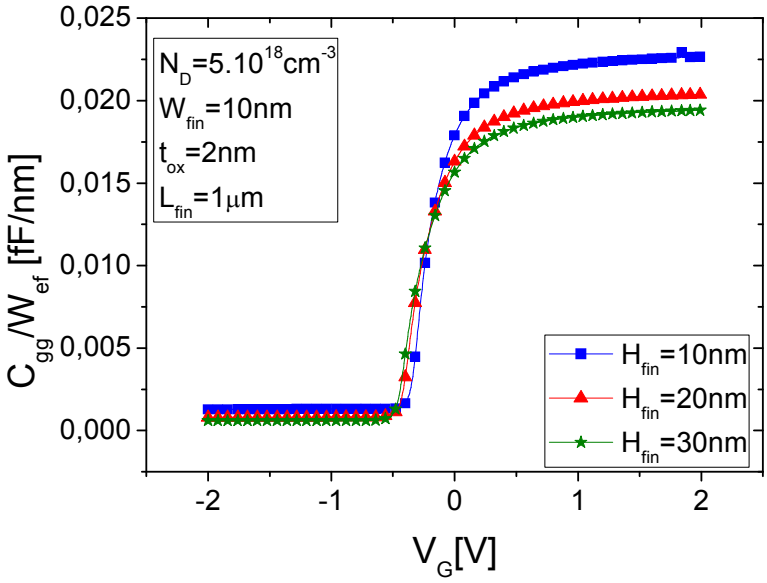


Figura 39 - Curva de C_{gg}/ W_{ef} em função de V_G com variação de H_{fin} com N_D = 5.10^{18}cm^{-3} e t_{ox} = 10nm

Portanto, pode-se concluir que, da mesma forma como ocorre com W_{fin}, os valores de H_{fin} ao serem normalizados por W_{ef} apresentaram uma redução significativa nos valores de capacitância máxima com a redução de t_{ox}, demonstrando menor efeito de canto causado pela superposição de óxido.

4.3 Capacitâncias intrínsecas de porta

Quando uma tensão é aplicada no dreno, nota-se que o comportamento da capacitância de porta é similar quando comparado com a simulação de uma estrutura com o terminal de dreno aterrado. Porém, é possível fazer uma análise das capacitâncias intrínsecas como C_{gs}, C_{gd} e C_{gb}. Nota-se que a capacitância C_{gs} é praticamente igual a capacitância C_{gd} e a capacitância C_{gg} é a soma de C_{gs}, C_{gd} e C_{gg}, conforme Figura 40.

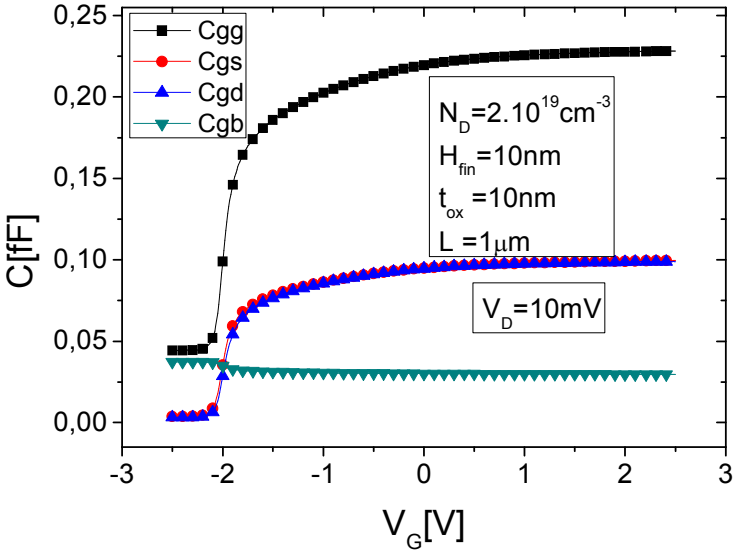


Figura 40- Capacitâncias intrínsicas no JNT com V_D = 10mV.

Quando aumenta-se a tensão aplicada no dreno para 1V, nota-se que o comportamento da capacitância de porta ainda parte da mesma capacitância mínima e atinge o mesmo valor da capacitância quando comparado com a simulação da Figura 40. Entretanto, ao longo da curva de C_{gg}, verifica-se dois patamares devido ao atraso do aumento de C_{gd} de aproximadamente 1V em relação à C_{gs}.

Ao aumentarmos ainda mais o valor de V_D para 3V, verifica-se na Figura 42, que, apesar do aumento da concentração de portadores, o valor de V_D detém-se de um atraso de 3V, o que ocasiona um patamar na curva de C_{gg} quando V_G estiver entre -5 e -2V.

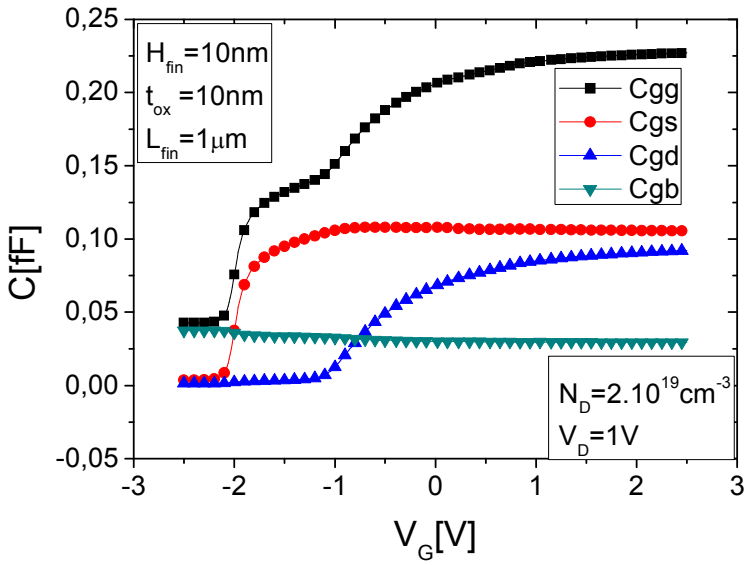


Figura 41- Capacitâncias intrínsicas no JNT com V_D = 1V.

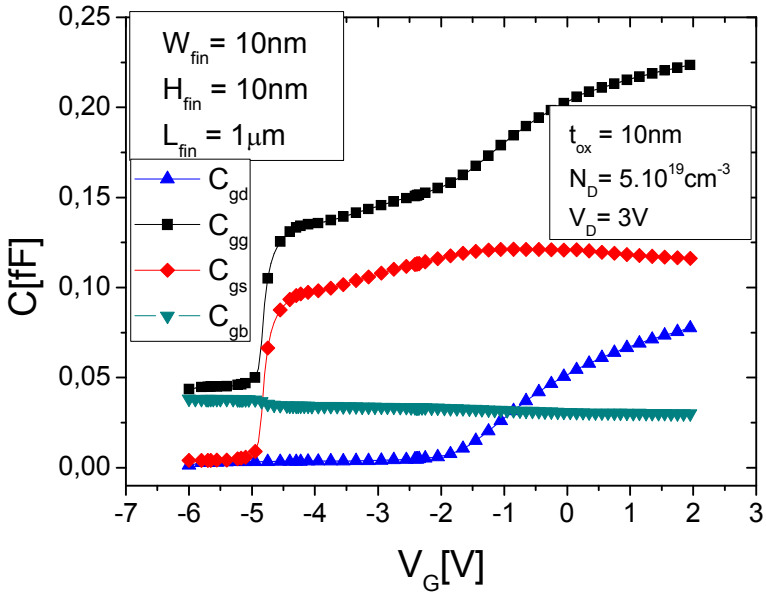


Figura 42- Capacitâncias intrínsicas no JNT com V_D = 3V.

Conforme nota-se na Figura 42, o aumento de V_D para 3V acarreta no aumento da tensão necessária para que o valor de C_{gd} aumente a partir de seu valor mínimo. Apesar do aumento da concentração para $5.10^{19}cm^{-3}$, a capacitância máxima de C_{gg} tende a assumir o seu valor máximo como todas as outras curvas de C_{gg}, por volta de 0,22fF, já que o valor da concentração não influencia nesse parâmetro.

Concluindo, nota-se que em todas as curvas de capacitância em função de V_G, a curva de C_{gs} parte de seu valor mínimo com uma tensão menor do que a de C_{gd}, gerando dois patamares na curva de C_{gg}, um sem e o outro com a contribuição do valor de C_{gd} . Além disso, estas curvas apresentam o valor de C_{gg} como sendo a soma das demais capacitâncias intrínsecas e nota-se que os valores de C_{gs} não atinge 2/3 de C_{ox} como ocorre nos transistores modo inversão. Verifica-se, também, que o valor máximo de C_{gs} é o mesmo para todas as curvas, já que os valores de W_{ef} e de t_{ox} são os mesmos em todas as simulações e, ainda C_{ox} não depende de N_D, mas está relacionado com V_D, já que este altera a curva de C_{gd}.

5 RESULTADOS EXPERIMENTAIS

A princípio, as simulações foram feitas com o objetivo de comparar com as estruturas fabricadas com espessura de óxido de porta de 10nm. Entretanto, não foi possível obter os resultados obtidos experimentalmente devido às capacitâncias serem muito pequenas, não sendo detectadas pelo dispositivo de medida.

Sendo assim, as curvas experimentais foram obtidas a partir de um dispositivo JNT tipo N fabricado no CEA-LETI, com 50 "fins" em paralelo com W_{fin} = 940nm, H_{fin} = 10nm, L=10μm, espessura efetiva do óxido de porta (EOT = 2nm) e o material de porta utilizado na confecção do transistor foi o titânio. Além disso, há dispositivos com diferentes concentrações de portadores, sendo uma delas com $N_D = 5.10^{18}cm^{-3}$ e a outra como sendo $N_D = 1.10^{19}cm^{-3}$.

Essas curvas foram obtidas mediante ao uso do módulo de capacitância do Keithley 4200 SCS, onde uma das pontas de prova foi utilizada para referenciar os terminais de fonte e dreno mantendo-os como referência ao terra e a outra ponta de prova foi utilizada para aplicar a tensão no terminal da porta do dispositivo. A tensão AC aplicada na porta foi de 50mV pico a pico com frequência de 1MHz e foi utilizada a associação paralela por esta ser mais eficaz em detectar pequenas medidas de capacitância do que a associação série.

O próprio equipamento obtém as informações da ponta de prova através da calibração automática configurado previamente no setup do dispositivo.

5.1 Capacitâncias de Porta em Função da Concentração

Nota-se uma similaridade das curvas experimentais com as simuladas. As capacitâncias mínimas das curvas experimentais contêm valores muito próximos, onde o mesmo ocorre com as curvas simuladas. Além disso, percebe-se que com o aumento do valor da capacitância num dispositivo com espessura de óxido de 2nm, aparecem duas regiões notáveis: 1 - onde ocorre uma elevação abrupta da capacitância, por volta de valores de C_{gg} entre 0,05fF e 0,25fF, nas curvas simuladas e entre 1pF e 4pF nas curvas experimentais. 2 – onde o aumento de capacitância ocorre gradativamente com a variação de V_G, até atingir seu valor máximo.

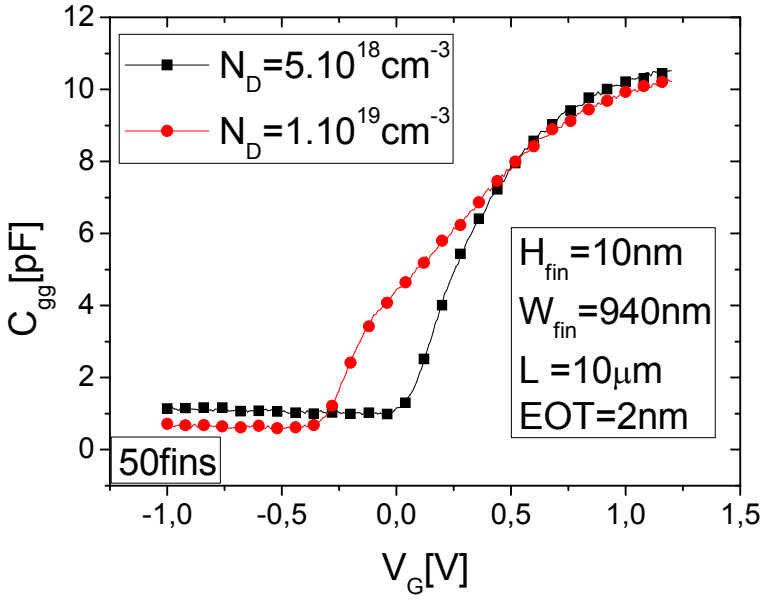


Figura 43 – Curva de C_{gg} em função de V_G obtida experimentalmente com variação de N_d (EOT = 2nm)

A partir dessas análises, podem ser feitas algumas comparações com resultados obtidos experimentalmente em um dispositivo JNT.

A Figura 44 e a Figura 45 contém as curvas experimentais obtidas a partir de um dispositivo JNT tipo N com 50 "fins" em paralelo com N_D = 1.10^{19}cm^{-3}, H_{fin} = 10nm, L=10μm, espessura efetiva do óxido de porta (*EOT = 2nm*). Cada uma das curvas contém diferentes valores de W_{fin} sendo: 20nm, 40nm, 190nm, 290nm, 440nm e 949nm.

Como nas simulações, e possível verificar que independente do valor de W_{fin}, a capacitância mínima inicia-se no mesmo ponto, porém, para maiores valores de W_{fin}, o dispositivo entra em regime de depleção com menores valores de V_G. Além disso, conforme as equações (2.39) e (2.40), o aumento de W_{fin} ocasiona o aumento da capacitância máxima como ocorre nas curvas experimentais.

5.2 Estudo da Capacitância de Porta em função das dimensões (W_{fin}, H_{fin} e t_{ox}) nos JNTs

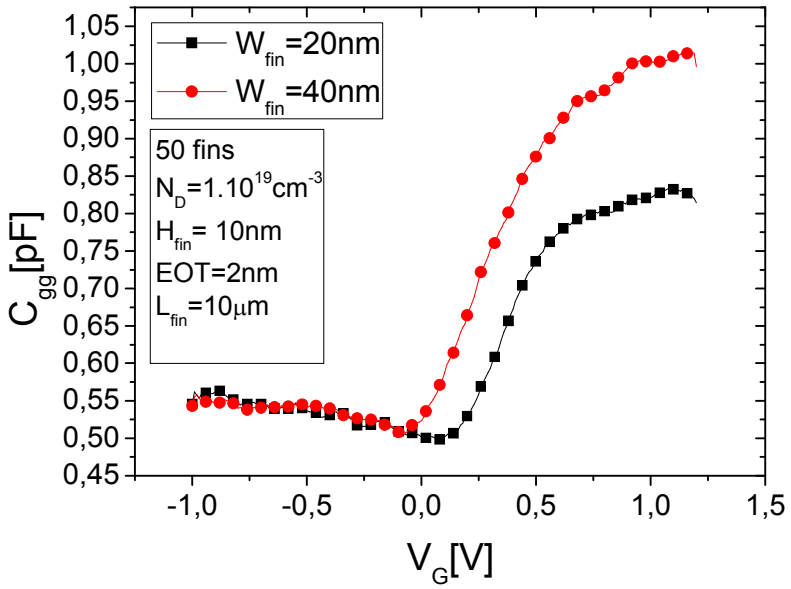


Figura 44- Curvas experimentais de C_{gg} em função de V_G com variação de W_{fin} (20nm e 40nm)

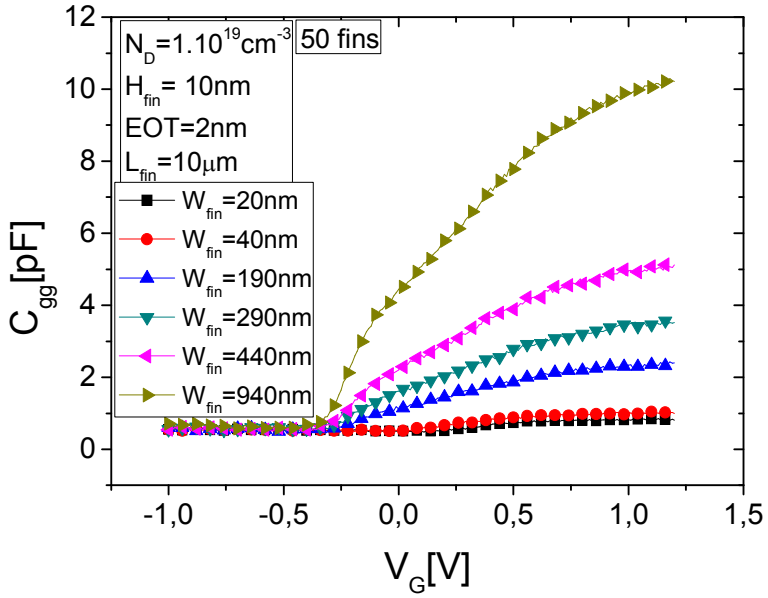


Figura 45- Curva experimental de C_{gg} em função de V_G com variação de W_{fin} (20, 40, 190, 290, 440 e 940nm)

Apesar da Figura 45 transparecer que a capacitância começa a aumentar no mesmo ponto para diferentes valores de V_G, isso não ocorre, pois como apresentado na Figura 34, percebe-se que o aumento de C_{gg} partindo da região de inversão forte, ocorre com pequenas variações de V_G para diferentes valores de W_{fin} . Sendo assim, ao ampliarmos essa região pode-se verificar essa pequena variação.

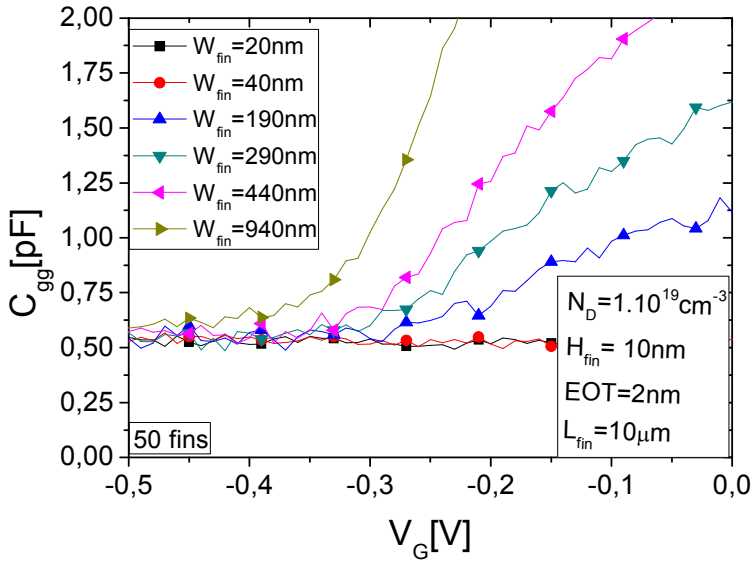


Figura 46- Curva experimental de C_{gg} em função de V_G nas regiões entre inversão e depleção

A obtenção da curva normalizada de C_{gg} por W_{ef}, apresentou uma pequena variação nos resultados da capacitância mínima normalizada, porém as curvas tendem a se sobreporem umas às outras, conforme verificado nos resultados de simulação da Figura 35.

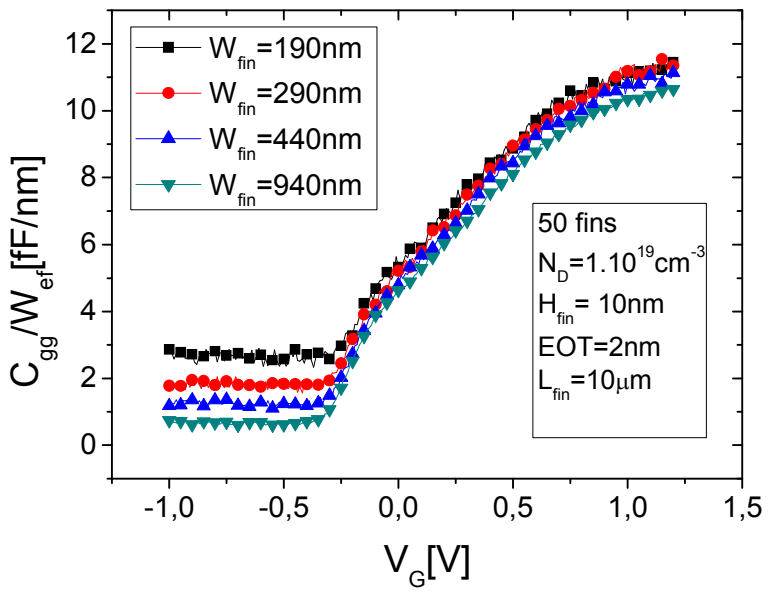


Figura 47- Curva experimental de C_{gg}/ W_{ef} em função de V_G com variação de W_{fin} (N_D=1.10^{19}cm^{-3} e EOT=2nm)

6 CONCLUSÕES E TRABALHOS FUTUROS

Neste trabalho pôde-se compreender que os JNTs apresentam uma estrutura diferente dos demais transistores por não apresentarem diferença no tipo e na quantidade de concentração de portadores ao longo da estrutura, isto é, a fonte o canal e o dreno tem uma concentração de dopantes constante.

O valor de V_T é altamente dependente da secção transversal do transistor, do material de porta, da espessura do óxido de porta e principalmente da concentração de dopantes.

Ao realizar-se uma análise do comportamento capacitivo, nota-se que o valor de $C_{gg,mín}$ não está correlacionado com nenhum dos parâmetros estudados, mantendo-se constante com as possíveis variações de N_D, W_{fin}, H_{fin} e t_{ox} . Já, com relação ao C_{ox}, este se mantém constante com a variação de N_D, porém é dependente dos valores de H_{fin}, W_{fin} e t_{ox}, conforme descreve a equação (2.39) e, quando apresentado as curvas normalizadas por W_{fin} percebe-se que para altos valores de t_{ox} faz-se necessário a inclusão do fator de correção para eliminar o efeito de canto causado pela superposição do óxido de porta, conforme a equação (2.40).

As capacitâncias intrínsecas partem sempre do mesmo valor mínimo, porém o valor de C_{gd} é dependente da polarização no terminal de dreno. Já capacitância máxima de C_{gg} tende ao valor de C_{ox} independentemente da concentração de portadores presentes no dispositivo. Os valores de C_{gs} e C_{gd} também apresentam seus valores máximos muito próximos, e iguais em todas as curvas com diferentes concentrações e diferentes polarizações de dreno. Entretanto, o valor máximo de C_{gs} não atinge 2/3 de C_{ox} como acontece nos transistores que operam em modo inversão.

Sendo assim, pode-se concluir que as curvas simuladas com aplicação da tensão de dreno apresentam um comportamento já esperado, onde o valor de C_{gg} é a soma das demais capacitâncias intrínsecas envolvidas. Entretanto, o aumento da tensão de dreno implica em num maior potencial a ser aplicado para que o valor de C_{gd} saia do regime de inversão para o regime de depleção, gerando um patamar na curva de C_{gg}, parecido com o efeito kink de corrente.

De acordo com os resultados experimentais, pôde-se constatar a confiabilidade do Simulador Sinopsys Sentaurus em simular estruturas que puderam garantir a interpretação dos resultados que possivelmente seriam extraídos de dados experimentais.

Como trabalho futuro, pode-se buscar por modelos que descrevem essas capacitâncias, bem como verificar o comportamento destas em transistores operando em baixas temperaturas.

REFERÊNCIAS

[1] SEDRA, A. S.; SMITH, K. C. . **Microeletrônica**. [S.l.]: São Paulo: MAKRON Books, v. 2000..

[2] COLINGE, J. P. The SOI MOSFET. In: COLINGE **Silicon-On-Insulator Technology:** Materials to VLSI. Boston: Kluwer Academic Publishers, 2003.

[3] COLINGE, J. P. **FinFets and Other Multi-Gate Transistors**. [S.l.]: Springer, 2008.

[4] COLINGE, J. P. et al. Nanowire transistors without junctions. **Nature Nanotechnology**, v. 5, p. 225-229, March 2010. ISSN 10.1038/NNANO.2010.15.

[5] COLINGE, J. P. Thin-film SOI technology: the solution to many submicron CMOS problems. **IEEE International Electron Devices Meeting IEDM**, p. 817-820, 1989.

[6] YOSHIMI, M. et al. Observation of mobility enhancement in ultrathin SOI MOSFETs. **Electronics Letters**, v. 24, n. 17, p. 1078-1079, 1988.

[7] CRISTOLOVEANU, S.; LI, S. S. Electrical Characterization of Silicon-on-Insulator Material and Devices. **Kluwer Academic Publishers**, Boston, 1995.

[8] MANASEVIT, H. M.; SIMPSON, W. I. Single - Crystal Silicon on a Sapphire Substrate. **Journal of Applied Physicsl**, v. 35, n. 4, p. 1349-1351, 1964.

[9] FLANDRE, D.; WIELE, V. D. **F. Procedings of IEEE SOS/SOI Technology Conference**, 1989. 27.

[10] COLINGE, J. P. **Silicon-On-Insulator Technology:** Materials to VLSI. Boston: Kluwer Academic Publishers, 2003.

[11] YOSHIMI, M. et al. Two-dimensional simulation and measurement of high-performance MOSFETs made on a very thin SOI fim. **IEEE Transactions on Electron Devices**, v. 36, n. 3, p. 493-503, 1989.

[12] MARTINO, J. A.; PAVANELLO, M. A.; VERDONCK, P. B. **Caracterização Elétrica de Tecnologia e Dispositivos MOS**. [S.l.]: THOMSON, 2003.

[13] LIM, H. K.; FOSSUM, J. G. Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's. **IEEE Transactions on Electron Devices**, v. 30, n. 10, p. 1244-1251, 1983.

[14] VEERARACHAVAN, S.; FOSSUM, J. G. A Short-channel effects in SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 36, n. 3, p. 522-528, 1989.

[15] COLINGE, J. P. Conduction mechanisms in thin-film accumulation-mode SOI p-channel MOSFETs. **IEEE Transactions on Electron Devices**, v. 37, p. 718-723, Março 1990.

[16] SU, K. W.; KUO, J. B. Analysis of current conduction in short-channel accumulation-mode SOI PMOS devices. **IEEE Transactions on Electron Devices**, v. 44, p. 832-840, Maio 1997.

[17] SEKIGAWA; HAYASHI, T.; Y. Calculated threshold-voltage characteristics of an XMOS transistor having an additional botton gate. **Solid-States Electronics**, v. 27, n. 8-9, p. 827-828, 1984.

[18] HISAMOTO, D. et al. A Fully Depleted Lean-Channel Transistor (DELTA) - A Novel Vertical Ultra Thin SOI MOSFET. **Technical Digest of IEDM**, 1989. 833-836.

[19] HUANG, X. et al. Sub 50-nm FinFET: PMOS. **Techincal Digest of IEDM**, 1999. 67-70.

[20] LIU, Y. K. et al. Ideal Rectangular Cross-Section Si-Fin Channel Double-Gate MOSFETs Fabricated Using Orientations-Dependent Wet Etching. **IEEE Electron Device Letters**, v. 24, n. 7, p. 484-486, 2003.

[21] LIU, Y. K. et al. Multi-Fin Double-Gate MOSFET Fabricated by Using (110)-Oriented SOI Wafers and Orientation-Dependent Etching. **Electrochemical Society Proceedings 2003-05**, v. PV2003-05, p. 255-261, 2003.

[22] HTTP://WWW-INESS.C-STRASBOURG.FR/COMPACT-MODELLING-OF-ADVANCED. **InESS - Institut d'Électronique du Solide et des Systèmes**.

[23] COLINGE, J. P. **Silicon-On-Insulator Technology:** Materials to VLSI. 3ª. ed. Boston: Kluwer Academic Publishers, 2003.

[24] COLINGE, J. P. et al. Silicon-on-Insulator "Gate-All-Around Device". **Technical Digest of IEDM**, 1990. 595-598.

[25] DONGGUN, P. **Proceedings IEEE International SOI Conference**, 2006. 131.

[26] PEI, G. et al. FinFET design considerations based on 3-D simulation and analytical modeling. **IEEE Transactions on Electron Devices**, v. 49, n. 8, p. 1411-1419, 2002.

[27] BALESTRA, F. et al. Double-gate silicon-on-insulator transistor with volume inversion: A new device with enhanced performance. **IEEE Electron Device Letters**, v. 8, p. 410-412, September 1987.

[28] ERNEST, T. et al. Ultimately Thin SOI MOSFETs: Characteristics and Mechanisms. **Proceedings of the IEEE International SOI Conference**. 92-93.

[29] PARK, J. T.; COLINGE, J. P.; DIAZ, C. H. Multiple-gate soi mosfets: Device design guidelines. **IEEE Transactions on Electron Devices**, 2002. 2222-2229.

[30] PARK, J. T.; COLINGE, J. P.; DIAZ., C. H. Pi-gate soi mosfet. **IEEE Electron Device Letters**, 2001. 405-406.

[31] YANG, F. L. et al. 25 nm cmos omega fets. **IEDM 02 Digest International Electron Devices Meeting**, 2002. 255–258.

[32] RITZENTHALER, R. et al. Corner and coupling effects in multiple-gate fets. **Electrochemical Society Proceedings**, p. 283-288, 2005.

[33] CURENKOV, A.; LORENZ, J. Corner effect in double and triple gate FinFETs. **Proceedings of the European Solid State Device Research Conference ESSDERC**, p. 135, 2003.

[34] STADELE, M. E. A. A comprehensive study of corner effects in tri-gate transistors. **Proceedings of the European Solid State Device Research Conference ESSDERC**, p. 165-168, 2004.

[35] LILIENFELD, J. E. **Method and apparatus for controlling electric current.** US patent 1,745,175, 1925.

[36] LILIENFELD, J. E. **Device for controlling electric current**. US patent 1,900,018, 1928.

[37] TREVISOLI, R. D. et al. Threshold Voltage in Junctionless Nanowire Transistors. **Semiconductor, Science and Technology**, v. 26, p. 1-8, 2011.

[38] LEE, C. W. et al. Junctionless multigate field effect transistor. **Applied Physics Letters**, v. 94, n. 5, p. 053 511, 2009.

[39] COLINGE, J. P. et al. SOI Gated Resistor: CMOS without Junctions. **IEEE SOI Conference Proceedings**, 2009. 1-2.

[40] KRANTI, A. et al. **Proceedings ESSDERC**, 2010. 357.

[41] COLINGE, J. P. et al. A Simulation Comparisson between Junctionless and Inversion-Mode MuGFETs. **219th ECS Meeting**, Montreal, v. 35, p. 63-72, 2011.

[42] COLINGE, J. P.; COLINGE, A. C. **Physics of Semiconductor Devices**, p. 449, 2002.

[43] WILLIAM H. HAYT, J.; BUCK, J. A. **Eletromagnetismo**. [S.l.]: [s.n.], 2003.

[44] TREVISOLI, R. D.; DORIA, R. T.; PAVANELLO, M. A. Analytical Model for the Threshold Voltage in Junctionless Nanowire Transistors of Different Geometries. **Semiconductor Science and Technology**, 2010. 1-2.

[45] READ, F. H. Improved Extrapolation Technique in the Boundary Element Method to Find the Capacitances of the Unit Square and Cube. **Journal of Computational Physics**, v. 133, p. 1-5, 1997.

[46] FLANDRE, D. Analysis of Floating Substrate Effects on the Intrinsic Gate Capacitance of SOI MOSFET's Using Two-Dimensional Device Simulation. **IEEE Transactions on Electron Devices**, v. 40, p. 1789-1796, October 1993. ISSN 10.

[47] GENTINNE, B. A Study of the Potencial of SOI Technology for analog applications. **Teste de Doutorado**, Louvain, Bélgica, Julho 1996.

[48] KLAASSEN, D. B. M. A Unified Mobility Model for Device Simulation - I. Model Equations and Concentration Dependence. **Solid-State Electronics**, v. 35, n. 7, p. 953-959, 1992.

[49] KLAASSEN, D. B. M. A Unified Mobility Model for Device Simulation - II. Temperature Dependence of Carrier Mobility and Lifetime. **Solid-State Electronics**, v. 35, n. 7, p. 961-967, 1992.

[50] GUTIERREZ, E. A. **Low Temperature Electronics:** Physics, Devices, Circuits and Applications. [S.l.]: Academic Press, 1991.

[51] LOMBARDI, C. et al. A Physically Based Mobility Model for Numerical Simulation of Nonplanar Devices. **IEEE trans on Computer Aided Design**, v. 7, n. 11, p. 1164-1171, 1988.

[52] MARINIELLO, G. et al. Analysis of Gate Capacitance of n-type Junctionless Transistors Using Three-Dimensional Device Simulations. **International Caribbean Conference on Devices, Circuits and Systems (ICCDCS)**, 2012.

[53] SUZUKI, K. et al. Scaling Theory for Double-Gate SOI MOSFET's. **IEEE Transactions on Electron Devices**, v. 40, n. 12, p. 2326-2329, 1993.

[54] YONG, K. K. Short-channel effect in fully depleted SOI MOSFETs. **IEEE Transactions on Electron Device Letters**, v. 36, n. 11, p. 497-499, 1995.

[55] YANG, F. L. et al. 25 nm cmos omega fets. **IEDM 02 Digest International Electron Devices Meeting**, 2002. 255-258.

[56] FREI, J. et al. Body Effect in Tri- and Pi-Gate SOI MOSFETs. **IEEE Electron Device Letters**, v. 25, n. 12, 2004.

[57] COLINGE, J. P. Conduction Mechanisms in Thin-Film Accumulation-Mode SOI p Channel MOSFETs. **IEEE Transactions on Electron Devices**, v. 37, p. 718-723, 1990.

[58] B. INIGUEZ; L. F. FERREIRA; B. GENTINNE; D. FLANDRE. A physically based C∞-continuous fully depleted SOI MOSFET model for analog applications. **IEEE Transactions Electron Devices**, v. 43, p. 568-575, 1996.

[59] GNANI, E. et al. Theory of the Junctionless Nanowire FET. **IEEE Transactions on Electron Devices**, v. 58, n. 9, p. 2903-2910, Setembro 2011.

[60] SALLESE, J.-M. et al. Charge-Based Modeling of Junctionless Double-Gate Field-Effect Transistors. **IEEE Transactions on Electron Devices**, v. 58, n. 8, p. 2628-2637, Agosto 2011.

[61] TREVISOLI, R. D. et al. Drain Current Model for Junctionless Nanowire Transistors. **IEEE Transactions on Electron Devices**, 2012.

]62] COLINGE, J. P. **Silicon-On-Insulator Technology:** Materials to VLSI. 3ª. ed. Boston: Kluwer Academic Publishers, 2003.

ANEXOS

APÊNDICE A – CÓDIDO DO STRUCTURE EDITOR

```
; Limpa
(sde:clear)

; dimensoes
(define Wfin              0.010)
(define Lfin             1.000)
(define Lfin2        (/ Lfin 2))
(define Hfin             0.010)
(define Lfonte            0.150)
(define Ltotal  (+ Lfin Lfonte))
(define tox               0.010)
(define tox2        (* tox 0.20))
(define tox3        (* tox 0.70))
(define tbox              0.100)
(define Wbox              0.120)
(define Na               3e+19)


(define RefinoDrenoDist         0.020)
(define RefinoDrenoCanalDist    0.020)

;Nome
(define nome         "JunctionlessICCDCS_W20H10L1000ND2TOX10")


; Definição refino

(sdedr:define-refinement-size "DefRef0" (/ Wfin 20) (/ Ltotal 20) (/
Hfin 20)    (/ Wfin 40) (/ Ltotal 40) (/ Hfin 40))
(sdedr:define-refinement-size "DefRef1" (/ Wfin 10) (/ Ltotal 10) (/
Hfin 10)    (/ Wfin 20) (/ Ltotal 20) (/ Hfin 20))
(sdedr:define-refinement-size "DefRefD" (/ Wfin 30) (/ Ltotal 80) (/
Hfin 30)    (/ Wfin 50) (/ Ltotal 100) (/ Hfin 50))
(sdedr:define-refinement-size "DefRefO" (/ Wfin 60) (/ Ltotal 50) (/
Hfin 60)    (/ Wfin 80) (/ Ltotal 70) (/ Hfin 80))

;;;;;;;;;;;;;
;; REGIOES ;;
;;;;;;;;;;;;;

; Define o canal 2D
(define r1 (sdegeo:create-cuboid
     (position (- (/ Wfin 2)) (- (+ (/ Lfin 2) Lfonte)) (- (/ Hfin
2)))
     (position (/ Wfin 2)         (+ (/ Lfin 2) Lfonte)      (/ Hfin
2))
     "Silicon" "corpo"
     )
)
```

```
; Define o oxido de porta 2D
(define r3 (sdegeo:create-polygon (list
     (position (- (/ Wfin 2))            (- (/ Lfin 2))   (- (/ Hfin
2)))
     (position (- (+ tox (/ Wfin 2)))   (- (/ Lfin 2))   (- (/ Hfin
2)))
     (position (- (+ tox (/ Wfin 2)))   (- (/ Lfin 2))   (+ tox (/
Hfin 2)))
     (position (+ tox (/ Wfin 2))        (- (/ Lfin 2))   (+ tox (/
Hfin 2)))
     (position (+ tox (/ Wfin 2))       (- (/ Lfin 2))   (- (/ Hfin
2)))
     (position (/ Wfin 2)                (- (/ Lfin 2))   (- (/ Hfin
2)))
     (position (/ Wfin 2)              (- (/ Lfin 2))   (/ Hfin 2))
     (position (- (/ Wfin 2))          (- (/ Lfin 2))   (/ Hfin 2))
     (position (- (/ Wfin 2))            (- (/ Lfin 2))   (- (/ Hfin
2)))
     )
     "Oxide" "oxido"
))

; Alonga o oxido de porta no eixo z
(sdegeo:extrude (list (car (find-body-id (position (- (+ (/ Wfin 2)
(/ tox 2))) (- (/ Lfin 2)) (- (/ Hfin 2)))))) (- Lfin))

; Define o substrato 3D
(define r4 (sdegeo:create-cuboid
     (position  (- (/ Wbox 2))    (- (+ (/ Lfin 2) Lfonte))    (- (/
Hfin 2)))
     (position  (/ Wbox 2)        (+ (/ Lfin 2) Lfonte)        (- (+
(/ Hfin 2) tbox)))
     "Oxide" "box"
     )
)


;;;;;;;;;;;;;;
;; CONTATOS ;;
;;;;;;;;;;;;;;

; Contato de porta
(sdegeo:define-contact-set "porta" 0.001 (color:rgb 1 0 0) "##")

(sdegeo:set-current-contact-set "porta")

(sdegeo:define-3d-contact (list (car  (find-face-id  (position  (-  (+
tox (/ Wfin 2)))  0.000   0.000              )))) "porta")
(sdegeo:define-3d-contact (list (car  (find-face-id  (position  0.000
0.000   (+ tox (/ Hfin 2))  )))) "porta")
(sdegeo:define-3d-contact (list (car (find-face-id (position (+ tox
(/ Wfin 2))      0.000   0.000              )))) "porta")

; Contato de dreno
(sdegeo:define-contact-set "dreno" 0.001 (color:rgb 1 0 0) "##")
```

```
(sdegeo:set-current-contact-set "dreno")

(sdegeo:define-3d-contact (list (car (find-face-id (position -0.001
(+ (/ Lfin 2) Lfonte)   0.000  )))) "dreno")
(sdegeo:define-3d-contact (list (car (find-face-id (position  0.001
(+ (/ Lfin 2) Lfonte)   0.000  )))) "dreno")
(sdegeo:define-3d-contact (list (car (find-face-id (position  0.000
(+ (/ Lfin 2) Lfonte)   (- (/ Hfin 2) 0.001)  )))) "dreno")

; Contato de fonte
(sdegeo:define-contact-set "fonte" -0.001 (color:rgb 1 0 0) "##")

(sdegeo:set-current-contact-set "fonte")

(sdegeo:define-3d-contact (list (car (find-face-id (position -0.001
(- (+ (/ Lfin 2) Lfonte))   0.000)))) "fonte")
(sdegeo:define-3d-contact (list (car (find-face-id (position  0.001
(- (+ (/ Lfin 2) Lfonte))   0.000)))) "fonte")
(sdegeo:define-3d-contact (list (car (find-face-id (position  0.000
(- (+ (/ Lfin 2) Lfonte))   (- (/ Hfin 2) 0.001) )))) "fonte")

; Contato do substrato
(sdegeo:define-contact-set  "substrato"  -0.001  (color:rgb  1  0  0)
"##")

(sdegeo:set-current-contact-set "substrato")

(sdegeo:define-3d-contact (list (car  (find-face-id  (position  0.000
0.000 (- (+ (/ Hfin 2) tbox))  )))) "substrato")



;;;;;;;;;;;;;
;; DOPAGEM ;;
;;;;;;;;;;;;;

; Canal
(sdedr:define-constant-profile    "definicao_perfil_constante_canal"
"ArsenicActiveConcentration" Na)
(sdedr:define-constant-profile-region
"placement_perfil_constante_canal"
"definicao_perfil_constante_canal" "corpo")


;;;;;;;;;;;
;; GRADE ;;
;;;;;;;;;;;

; Definição de janelas


;;Grade da estrutura;;

(sdedr:define-refeval-window "Refino0" "Cuboid" (position (- (+ tox2
(/ Wfin 2))) (- (* Lfin2 0.95)) (- (+ tox2 (/ Hfin 2)))) (position
(+ tox2 (/ Wfin 2)) (* Lfin2 0.95) (+ tox2 (/ Hfin 2))))
```

```
;;Grade da regiao de silicio;;

(sdedr:define-refeval-window "Refino1" "Cuboid" (position (-(/ Wfin
2)) (- (+ (/ Lfin 2) Lfonte)) (- (/ Hfin 2))) (position (/ Wfin 2)
(+ (/ Lfin 2) Lfonte) (/ Hfin 2)))

;;Grade mais refinada nas regioes de dreno e fonte;;

(sdedr:define-refeval-window "RefinoDreno" "Cuboid" (position (-(/
Wfin 2)) (-(* Lfin2 1.05)) (-(/ Hfin 2))) (position (/ Wfin 2) (-(*
Lfin2 0.95)) (/ Hfin 2)))

(sdedr:define-refeval-window "RefinoFonte" "Cuboid" (position (-(/
Wfin 2)) (* Lfin2 1.05) (-(/ Hfin 2))) (position (/ Wfin 2) (* Lfin2
0.95) (/ Hfin 2)))


;;Grade ao redor do oxido;;


(sdedr:define-refeval-window "RefinoOx1" "Cuboid" (position (- (+
tox2 (/ Wfin 2))) (/ Lfin 2) (- (+ tox2 (/ Hfin 2)))) (position (-
(- tox (/ Wfin 2))) (* Lfin2 0.95) (+ tox2 (/ Hfin 2))))

(sdedr:define-refeval-window "RefinoOx2" "Cuboid" (position (- (+
tox2 (/ Wfin 2))) (-(/ Lfin 2)) (- (+ tox2 (/ Hfin 2)))) (position
(- (- tox (/ Wfin 2))) (-(* Lfin2 0.95)) (+ tox2 (/ Hfin 2))))

(sdedr:define-refeval-window "RefinoOx3" "Cuboid" (position (+ tox2
(/ Wfin 2)) (/ Lfin 2) (- (+ tox2 (/ Hfin 2)))) (position  (- tox (/
Wfin 2)) (* Lfin2 0.95) (+ tox2 (/ Hfin 2))))

(sdedr:define-refeval-window "RefinoOx4" "Cuboid" (position (+ tox2
(/ Wfin 2)) (-(/ Lfin 2)) (- (+ tox2 (/ Hfin 2)))) (position  (- tox
(/ Wfin 2)) (-(* Lfin2 0.95)) (+ tox2 (/ Hfin 2))))

(sdedr:define-refeval-window "RefinoOx5" "Cuboid" (position (-(- tox
(/ Wfin 2))) (- (/ Lfin 2))  (+ tox2 (/ Hfin 2))) (position  (- tox
(/ Wfin 2)) (-(* Lfin2 0.95))   (- tox2 (/ Hfin 2))))

(sdedr:define-refeval-window "RefinoOx6" "Cuboid" (position (-(- tox
(/ Wfin 2))) (/ Lfin 2)  (+ tox2 (/ Hfin 2))) (position  (- tox (/
Wfin 2)) (* Lfin2 0.95)   (- tox2 (/ Hfin 2))))

(sdedr:define-refeval-window "RefinoOx7" "Cuboid" (position (-(- tox
(/ Wfin 2))) (-(/ Lfin 2))  (-(+ tox2 (/ Hfin 2)))) (position  (-
tox (/ Wfin 2)) (-(* Lfin2 0.95))  (-(- tox2 (/ Hfin 2)))))

(sdedr:define-refeval-window "RefinoOx8" "Cuboid" (position (-(- tox
(/ Wfin 2))) (/ Lfin 2)  (-(+ tox2 (/ Hfin 2)))) (position  (- tox
(/ Wfin 2)) (* Lfin2 0.95)  (-(- tox2 (/ Hfin 2)))))

(sdedr:define-refeval-window "RefinoOx9" "Cuboid" (position (-(+ tox
(/ Wfin 2))) (/ Lfin 2)  (-(/ Hfin 2))) (position  (-(+ tox3 (/ Wfin
2))) (* Lfin2 0.95)  (+ tox (/ Hfin 2))))
```

```
(sdedr:define-refeval-window  "RefinoOx10"  "Cuboid"  (position  (-(+
tox (/ Wfin 2))) (-(/ Lfin 2))  (-(/ Hfin 2))) (position  (-(+ tox3
(/ Wfin 2))) (-(* Lfin2 0.95))  (+ tox (/ Hfin 2))))

(sdedr:define-refeval-window "RefinoOx11" "Cuboid" (position (+ tox
(/ Wfin 2)) (-(/ Lfin 2))  (-(/ Hfin 2))) (position  (+ tox3 (/ Wfin
2)) (-(* Lfin2 0.95))  (+ tox (/ Hfin 2))))

(sdedr:define-refeval-window "RefinoOx12" "Cuboid" (position (+ tox
(/ Wfin 2)) (/ Lfin 2)  (-(/ Hfin 2))) (position  (+ tox3 (/ Wfin
2)) (* Lfin2 0.95)  (+ tox (/ Hfin 2))))

(sdedr:define-refeval-window  "RefinoOx13"  "Cuboid"  (position  (-(+
tox (/ Wfin 2))) (/ Lfin 2)  (+ tox3 (/ Hfin 2))) (position  (+ tox
(/ Wfin 2)) (* Lfin2 0.95)  (+ tox (/ Hfin 2))))

(sdedr:define-refeval-window  "RefinoOx14"  "Cuboid"  (position  (-(+
tox (/ Wfin 2))) (- (/ Lfin 2))  (+ tox3 (/ Hfin 2))) (position  (+
tox (/ Wfin 2)) (-(* Lfin2 0.95))  (+ tox (/ Hfin 2))))

;#################################################################
#################################################

; Aplicação refino

(sdedr:define-refinement-placement "Ref0"   "DefRef0"  "Refino0" )
(sdedr:define-refinement-placement "Ref1"   "DefRef1"  "Refino1" )
(sdedr:define-refinement-placement    "RefDreno"            "DefRefD"
"RefinoDreno" )
(sdedr:define-refinement-placement    "RefFonte"            "DefRefD"
"RefinoFonte" )
(sdedr:define-refinement-placement "RefOx1"   "DefRefO"  "RefinoOx1"
)
(sdedr:define-refinement-placement "RefOx2"   "DefRefO"  "RefinoOx2"
)
(sdedr:define-refinement-placement "RefOx3"   "DefRefO"  "RefinoOx3"
)
(sdedr:define-refinement-placement "RefOx4"   "DefRefO"  "RefinoOx4"
)
(sdedr:define-refinement-placement "RefOx5"   "DefRefO"  "RefinoOx5"
)
(sdedr:define-refinement-placement "RefOx6"   "DefRefO"  "RefinoOx6"
)
(sdedr:define-refinement-placement "RefOx7"   "DefRefO"  "RefinoOx7"
)
(sdedr:define-refinement-placement "RefOx8"   "DefRefO"  "RefinoOx8"
)
(sdedr:define-refinement-placement "RefOx9"   "DefRefO"  "RefinoOx9"
)
(sdedr:define-refinement-placement     "RefOx10"           "DefRefO"
"RefinoOx10" )
(sdedr:define-refinement-placement     "RefOx11"           "DefRefO"
"RefinoOx11" )
(sdedr:define-refinement-placement     "RefOx12"           "DefRefO"
"RefinoOx12" )
```

```
(sdedr:define-refinement-placement      "RefOx13"           "DefRefO"
"RefinoOx13" )
(sdedr:define-refinement-placement      "RefOx14"           "DefRefO"
"RefinoOx14" )
;;;;;;;;;;;;;;;;;;;;;;;;;
;; CONSTRUCAO DA GRADE ;;
;;;;;;;;;;;;;;;;;;;;;;;;;


(sde:build-mesh "mesh" "-P -R -F tdr" nome)
```

APENDICE B – CÓDIGO DO SDEVICE

```
#-----------------------------------------------------#
#- Sentaurus Device command file for
#- AC analysis at 1 GHz while Vg=-3V to 3V and Vd=0V
#-----------------------------------------------------#
Device Junctionless {
   Electrode {
      { Name="fonte"    Voltage=0.0 }
      { Name="dreno"     Voltage=0.0 }
      { Name="porta"      Voltage=0.0 Barrier=-0.55 }
      { Name="substrato" Voltage=0.0 }
   }
   File {
      Grid    = "JunctionlessICCDCS_W10H10L1000ND3TOX10_msh.tdr"
      Current = "C_VG_W10H10L1000ND3TOX10VD0"
      Doping =  "JunctionlessICCDCS_W10H10L1000ND3TOX10_msh.tdr"
      Plot    = "C_VGW10H10L1000ND3TOX10VD0"
      Param   = "Param5.par"
   }
   Physics {
       Mobility (HighFieldSaturation Enormal)
       EffectiveIntrinsicDensity(BandGapNarrowing (OldSlotboom))
   }
   Plot {
           eDensity hDensity eCurrent hCurrent
     equasiFermi hquasiFermi
     eTemperature
     ElectricField eEparallel hEparallel
     Potential SpaceCharge
     SRHRecombination Auger
     eMobility hMobility eVelocity hVelocity
     Doping DonorConcentration AcceptorConcentration
     ElectricField
     BandGap BandGapNarrowing Affinity ConductionBand valenceBand
   }
}
Math {
           ExitOnFailure
     Method = ils
     number_of_threads = 1
     stacksize = 1000000
}
File {
      Output    = "CxVg_W10H10L1000ND3TOX10_VD0"
      ACExtract = "cxvg_W10H10L1000ND3TOX10_VD0"
}
System {
      Junctionless trans (dreno=d fonte=s porta=g substrato=b)
      Vsource_pset vd (d 0) {dc=0}
      Vsource_pset vs (s 0) {dc=0}
      Vsource_pset vg (g 0) {dc=0}
      Vsource_pset vb (b 0) {dc=0}
}
```

```
Solve {
   #-a) zero solution
   Poisson
   Coupled { Poisson Electron Hole }
   #-b) ramp drain to positive starting voltage
   Quasistationary (
      InitialStep=0.01 MaxStep=0.005 Minstep=1.E-5
      Goal { Parameter=vd.dc Voltage=0.0 }
      )
   { Coupled { Poisson Electron Hole} CurrentPlot (time = (-1))}
   #-c) ramp gate to negative starting voltage
   Quasistationary (
     InitialStep=0.01 MaxStep=0.05 Minstep=1.E-5
     Goal { Parameter=vg.dc Voltage=-3.0}
     )
     { Coupled {Poisson Electron Hole} CurrentPlot (time = (-1))}
  #-d) ramp gate -6.0V..2.0V : AC analysis at each step.
  Quasistationary (
     InitialStep=0.01 MaxStep=0.04 MinStep=1.E-5
     Goal { Parameter=vg.dc Voltage= 3.0}
     )
     # Análise AC
     { ACCoupled (
         StartFrequency=1e6 EndFrequency=1e6
         NumberOfPoints=1 Decade
         Node(d s g b) Exclude(vd vs vb)
         )
      { Poisson Electron Hole } CurrentPlot (time = (range = (0 1)
intervals= 300)) }
      }
```