CENTRO UNIVERSITÁRIO DA FEI

CAIO CESAR MENDES BORDALLO

ESTUDO DO EFEITO DA RADIAÇÃO DE PRÓTONS EM TRANSISTORES SOI MOSFETS DE MÚLTIPLAS PORTAS

São Bernardo do Campo

2014

CAIO CESAR MENDES BORDALLO

ESTUDO DO EFEITO DA RADIAÇÃO DE PRÓTONS EM TRANSISTORES SOI MOSFETS DE MÚLTIPLAS PORTAS

Dissertação de Mestrado apresentada ao Centro Universitário da FEI para a obtenção do título de Mestre em Engenharia Elétrica, orientado pela Profa. Dra. Paula Ghedini Der Agopian

São Bernardo do Campo

2014

Centro Universitário da **FEI**

APRESENTAÇÃO DE DISSERTAÇÃO
ATA DA BANCA JULGADORA

PGE-10

Programa de Mestrado de Engenharia Elétrica

Aluno: Caio Cesar Mendes Bordallo **Matrícula:** 112101-1

Título do Trabalho: Estudo do efeito da radiação de prótons em transistores SOI MOSFETS de múltiplas portas.

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof.ª Dr.ª Paula Ghedini Der Agopian

Data da realização da defesa: 22/01/2014

ORIGINAL ASSINADA

A Banca Julgadora abaixo-assinada atribuiu ao aluno o seguinte:

APROVADO ☒ REPROVADO ☐

São Bernardo do Campo, 22 de Janeiro de 2014.

MEMBROS DA BANCA JULGADORA

Prof.ª Dr.ª Paula Ghedini Der Agopian

Ass.: _____

Prof.ª Dr.ª Michele Rodrigues

Ass.: _____

Prof. Dr. Sebastião Gomes dos Santos Filho

Ass.: _____

VERSÃO FINAL DA DISSERTAÇÃO

ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS RECOMENDAÇÕES DA BANCA EXAMINADORA

_____

Aprovação do Coordenador do Programa de Pós-graduação

_____

Prof. Dr. Carlos Eduardo Thomaz

Bordallo, Caio Cesar Mendes.
Estudo do efeito da radiação de prótons em transistores SOI MOSFETs de múltiplas portas / Caio Cesar Mendes Bordallo. São Bernardo do Campo, 2013.
99 f. : il.

Dissertação - Centro Universitário da FEI.
Profa. Dra. Paula Ghedini Der Agopian.

1. FinFET. 2. Radiação. 3. Tensionamento Mecânico. I. Der Agopian, Paula Ghedini, orient. II. Título.

CDU 621.382.3

Dedico este trabalho aos meus pais pelo
exemplo e educação que me deram, à minha
noiva pelo amor e dedicação, que me motivaram
durante o desenvolvimento deste trabalho

AGRADECIMENTOS

A realização deste trabalho foi possível graças à confiança e dedicação da minha orientadora e amiga Profa. Dra. Paula Ghedini Der Agopian, que me inspirou, motivou e ajudou a concluir este projeto.

Ao Prof. Dr. João Antonio Martino, pelo conhecimento e experiência compartilhados e o grande incentivo.

Aos amigos da FEI e da USP que muito me ajudaram e inspiraram, e também pelo companheirismo, compartilhamento de experiências profissionais e pessoais e mútua torcida.

Aos professores do grupo IED pelo conhecimento e experiência compartilhados.

Sou muito grato ao amor e grande incentivo da minha mãe, e de todo o aprendizado que meu pai sempre me deu para enfrentar a vida. À minha família, meus primos e tios, minha querida avó, minha irmã, minha sogrinha e todos os meus grandes amigos, que sempre acreditaram no meu potencial, tiveram fé e me apoiaram muito para que se pudesse tornar realidade o desafio de concluir o mestrado. Agradeço principalmente ao amor e compreensão da minha noiva, Amanda.

Ao Centro Universitário da FEI, pela oportunidade, por oferecer a infraestrutura para a realização dessa pesquisa.

A FAPESP, pelo apoio financeiro indispensável para a realização deste trabalho.

A tantas outras pessoas, que de alguma forma colaboraram para a realização deste trabalho.

Quando você souber que sua hora esta chegando, talvez então comece a entender, que a vida aqui embaixo é apenas uma estranha ilusão.

Steve Harris

RESUMO

Este trabalho apresenta a influência da radiação no comportamento de transistores verticais de múltiplas portas (MuGFETs) fabricados na tecnologia de Silício sobre Isolante. Este tipo de dispositivo une a vantagem da maior imunidade da tecnologia SOI aos efeitos da radiação ao melhor desempenho e a menor susceptibilidade dos MuGFETs aos efeitos de canal curto. Foram estudados também transistores com tensionamento mecânico do silício, cuja finalidade é aumentar a mobilidade dos portadores e consequentemente aumentar a condução de corrente do dispositivo. Foi constatado que o principal efeito permanente da radiação de prótons e de Raios-X nos transistores estudados é decorrente das cargas armazenadas no óxido enterrado que deslocam a tensão de limiar da segunda interface e pode gerar um aumento da corrente de fuga pela mesma. No entanto enquanto este comportamento degrada as características do transistor de canal "n", a radiação pode ser benéfica para alguns parâmetros, como a inclinação de sublimiar por exemplo, quando avaliamos os transistores tipo "p". Além da radiação de prótons, também estudou-se a influência da radiação de Raios-X no comportamento dos dispositivos, porém neste caso, o estudo foi realizado em função da dose. A energia utilizada na irradiação de prótons foi de 60MeV, enquanto para radiação de Raios-X, foi utilizada a energia de 10keV, com uma taxa de 15krad(Si)/s resultando em uma dose final de 150Mrad.O efeito da radiação nos MuGFETs foi explorado nos dispositivos através de diversos parâmetros, em função da temperatura e considerando-se dispositivos com canal tensionado e não tensionado. Ao se considerar os três efeitos juntos (radiação, tensionamento e temperatura) a corrente de estado desligado chega a valores maiores que 10μA, inviabilizando o uso para aplicações espaciais.

Palavras chave: Radiação. Temperatura. Tensionamento Mecânico. FinFET. GIDL.

ABSTRACT

This work presents the radiation influence on behavior of vertical multiple gate transistors (MuGFET) made in SOI technology. These devices unite the vantages of higher radiation immunity of SOI technology to the better performance and less short channel effects susceptibility in MuGFETs. Transistors with mechanical stress of silicon, that focus on increase the carriers mobility, and consequently, increase the devices current also have been studied. It has found that the main permanent effect of proton and X-Ray radiation in transistors is due to the trapped charges in the buried oxide, which shifts the second interface threshold voltage, leading to an increase of the leakage current. However, while this behavior damages the n-channel transistors, radiation can be beneficial to some parameters when considering p-channel transistors evaluation. In addition to proton radiation, X-Ray radiation was also studied, but in this case, the study was done in function of the dose. The energy used in proton irradiation was 60MeV, while for X-Ray it was used an energy of 10keV, with a dose rate of 15krad(Si)/s, resulting in a total ionization dose of 150Mrad. The radiation effect on MuGFETs was explored in the devices through some electric parameters, in function of the temperature and considering stressed and unstressed devices. Considering these three effects together (radiation, temperature and stress) the off state current reaches values higher than 10μA, invalidating the use for special applications.

Keywords: Radiation. Temperature. Stress. FinFET. GIDL.

LISTA DE FIGURAS

Figura 1 – Geração de pares elétron-lacuna em um dispositivo MOSFET convencional (A) e em um dispositivo SOI MOSFET (B). 20

Figura 2 – Transistor de canal vertical, porta dupla (A) e porta tripla (B). 21

Figura 3 – Transistor SOI MOSFET planar. 25

Figura 4 – Modos de operação e um transistor FDSOI com canal n. 26

Figura 5 – Representação do tunelamento entre bandas. 34

Figura 6 – Transistor SOI MOSFET planar, sem efeito de canal curto (A) e com efeito de canal curto (B). 36

Figura 7 – Estrutura de um transistor SOI FinFET. 37

Figura 8 – FinFET com múltiplas aletas (A) e a vista superior de um dispositivo experimental (B). 38

Figura 9 – Dependência da espessura do filme de silício sobre tensão de limiar em um dispositivo de porta dupla. 39

Figura 10 – Representação de uma estrutura cristalina da liga de silício e germânio e do silício separados (A) e após o crescimento epitaxial do silício sobre a liga de silício e germânio (B). 43

Figura 11 – Representação de uma estrutura cristalina da liga de silício e germânio e do silício separados (A) e após o crescimento epitaxial do silício sobre a liga de silício e germânio (B). 45

Figura 12 – Processo de geração dos pares elétron-lacuna no óxido. 47

Figura 13 – Estrutura do dispositivo FinFET analisado. 49

Figura 14 – Transcondutância experimental em função da tensão de porta para quatro diferentes técnicas de tensionamento em dois dispositivos diferentes: A) L=50nm e W_{FIN}=20nm e B) L=150nm e W_{FIN}=120nm. 52

Figura 15 – Tensão de limiar em função do tipo de tensionamento, para diferentes valores de W_{FIN}. 53
Figura 16 – Curva experimental da corrente de dreno (A) e de porta (B) em função de V_{GT} para as quatro diferentes lâminas utilizando WF_{IN} de 370nm. 54
Figura 17 – Curva Simulada da corrente de dreno em função de V_{GT} variando apenas a largura de banda de 1,08 eV até 0,95 eV. Dentro os valores de GIDL obtidos com variação de W_{FIN}. 56
Figura 18 – Curva experimental do GIDL para quatro diferentes tipos de tensionamento em função de W_{FIN} (A) e em função do comprimento de canal (B).....57
Figura 19 – Curva Experimental da corrente de dreno em função de V_{GT} com W_{FIN} de 370 nm, antes e depois da radiação, para quatro lâminas diferentes. 59
Figura 20 – Curva Experimental da corrente de dreno e de porta em função de V_{GT} com W_{FIN} de 120 nm, antes e depois da radiação de prótons.....60
Figura 21 – Curva Experimental da corrente de dreno em função de V_{GT}, em dispositivos pMuGFET, com W_{FIN} de 370 nm, antes e depois da radiação de prótons, para as quatro lâminas estudadas. 61
Figura 22 – Curva Experimental da corrente de dreno e de porta em função de V_{GT} com W_{FIN} de 120 nm, para dispositivos pMuGFETs, antes e depois da radiação. 62
Figura 23 – Transcondutância em função de V_{GS} antes e depois da radiação, com larguras de 40 nm e 120 nm, para diferentes temperaturas em dispositivos tensionados e não tensionados.....63
Figura 24 – Curva experimental da corrente de dreno em função de V_{GT} antes e depois da radiação, para diferentes temperaturas em dispositivos tensionados e não tensionados. 64
Figura 25 – Corrente de dreno simulada em função de V_{GT}, variando a temperatura (a) e as cargas no óxido enterrado (b).....65

Figura 26 – Inclinação de sublimiar em função de W_{FIN}, em diferentes temperaturas, antes e depois da radiação, para dispositivos não tensionados (a) e tensionados (b). ...67
Figura 27 – DIBL em função de W_{FIN}, em diferentes temperaturas, antes e depois da radiação, para dispositivos não tensionados (A) e tensionados (B). 68
Figura 28 – Condutância de saída e transcondutância em função da temperatura para dispositivos tensionados e não tensionados, antes e depois da radiação. 69
Figura 29 – Ganho intrínseco de tensão em função da temperatura para dispositivos tensionados e não tensionados, antes e depois da radiação. 69
Figura 30 – Corrente I_{OFF} em função da temperatura para dispositivos tensionados e não tensionados, antes e depois da radiação. 70
Figura 31 – Corrente I_{DS} em função de V_{GS} para dispositivos nFinFET (A) e pFinFET (B), antes e depois da radiação. 72
Figura 32 – Tensão de limiar em função da dose de radiação de Raios-X, para dispositivos nFinFETs (A) e pFinFETs (B). 73
Figura 33 – Tensão de limiar em função da dose de radiação de Raios-X, para dispositivos nFinFETs e pFinFETs com comprimento de canal de 900 nm. 74
Figura 34 – Inclinação de sublimiar em função da dose de radiação de Raios-X, para dispositivos nFinFETs (A) e pFinFETs (B). 75
Figura 35 – Transcondutância em função de V_{GS} para dispositivos nFinFET (A) e pFinFET (B), antes e depois da radiação. 77
Figura 36 – Transcondutância em função de V_{GS} para dispositivos nFinFET, antes (a) e depois (b) da radiação. 78
Figura 37 – Transcondutância em função de V_{GB} para dispositivos nFinFET, com alteração na tensão de porta. 79
Figura 38 – Transcondutância em função de V_{GS} (a) e em função de V_{GB} (b) para dispositivos pFinFET 80
Figura 39 – Transcondutância em função de V_{GS} (A) para dispositivos nFinFET e pFinFET,

e em função de V_{GB} (B) para dispositivos nFinFET, ambos tensionados. 81

Figura 40 – Transcondutância em função da dose de radiação de Raios-X, para dispositivos nFinFETs (A) e pFinFETs (B). 82

Figura 41 – Condutância de saída em função da dose de radiação de Raios-X, para dispositivos nFinFETs (A) e pFinFETs (B). 83

Figura 42 – Ganho intrínseco de tensão em função da dose de radiação de Raios-X, para dispositivos nFinFETs (A) e pFinFETs (B). 84

LISTA DE SÍMBOLOS

A	Parâmetro pré-exponencial do GIDL [adimensional]
A_V	Ganho intrínseco de tensão [V/V]
B	Parâmetro exponencial do GIDL [adimensional]
C_{OX}	Capacitância do óxido de porta de um transistor por unidade de área [F/cm^2]
C_{BOX}	Capacitância do óxido enterrado do transistor SOI por unidade de área [F/cm^2]
C_{Si}	Capacitância do silício por unidade de área [F/cm^2]
E_C	Nível de energia inferior da faixa de condução [eV]
E_F	Nível de Fermi do semicondutor [eV]
E_G	Largura em Energia da Faixa Proibida (*Bandgap)* [eV]
E_i	Nível de energia intrínseco [eV]
E_S	Campo elétrico de superfície [V/m]
E_{TOT}	Campo elétrico total [V/m]
E_V	Nível de energia superior da faixa de valência [eV]
g_D	Condutância de saída [S]
g_{Dsat}	Condutância de saída na região de saturação [S]
gm	Transcondutância [S]
gm_{max}	Valor máximo da transcondutância [S]
gm_{sat}	Transcondutância em saturação [S]
gm_{Triodo}	Transcondutância na região linear [S]
H_{FIN}	Altura da aleta no transistor FinFET [nm]
$I_{Dplanar}$	Corrente calculada para um transistor SOI planar hipotético [A]
I_{DS}	Corrente de dreno no transistor [A]
I_{Dsat}	Corrente de dreno na região de saturação [A]
$I_{Dtriodo}$	Corrente de dreno na região de triodo [A]
I_G	Corrente de porta [A]

I_{OFF}	Corrente de dreno no estado desligado [A]
J_{GIDL}	Densidade de corrente de GIDL [A]
K	Constante de Boltzmann [1,38066 x 10^{-23} J/K]
L	Comprimento de máscara do canal do transistor [nm]
m_r	Massa reduzida efetiva de elétrons e lacunas [Kg]
N	Concentração de impurezas em um semicondutor [cm^{-3}]
N_A	Concentração de impurezas aceitadoras em um semicondutor [cm^{-3}]
n_i	Concentração intrínseca de portadores em um semicondutor [cm^{-3}]
n	Número de portas de um MuGFET [adimensional]
P	Espaçamento entre as aletas no FinFET [nm]
q	Carga elementar do elétron [1,6 x 10^{-19} C]
Q_{D1}	Carga de depleção controlada pela porta [C/m^2]
Q_{depl}	Carga total de depleção do canal do transistor por unidade de área [C/cm^2]
$Q_{depl,MOS}$	Carga total de depleção do canal do transistor MOS convencional por unidade de área [C/cm^2]
$Q_{depl,SOI}$	Carga total de depleção na camada de silício do transistor FDSOI por unidade de área [C/cm^2]
Q_{inv1}	Densidade de carga de inversão na primeira interface do transistor SOI [C/cm^2]
Q_{OX}	Densidade de carga fixa no óxido de porta do transistor MOS [C/cm^2]
Q_{BOX}	Densidade de carga fixa no óxido enterrado do transistor SOI [C/cm^2]
Q_{S2}	Densidade de carga de inversão ou acumulação na segunda interface do transistor SOI [C/cm^2]
SS	Inclinação de sublimiar [mV/dec]
T	Temperatura absoluta [K]
t_{BOX}	Espessura do óxido enterrado [nm]
T_{high-K}	Espessura do dielétrico de alta constante dielétrica [nm]
t_{OX}	Espessura do óxido de porta [nm]
t_{Si}	Espessura da camada de silício [nm]

V_{DS}	Tensão aplicada ao dreno do transistor MOS [V]
V_{DG}	Tensão aplicada entre dreno e a porta do transistor MOS [V]
V_{Dsat}	Tensão de dreno na região de saturação [V]
$V_{Dtriodo}$	Tensão de dreno na região de triodo [V]
V_{FB}	Tensão de faixa plana [V]
V_{GS}	Tensão aplicada à porta de um transistor [V]
V_{GB}	Tensão aplicada ao substrato do transistor SOI [V]
$V_{GB,acc2}$	Tensão aplicada ao substrato do transistor SOI com a segunda interface acumulada [V]
V_{GT}	Sobretensão de porta [V]
V_T	Tensão de limiar do transistor MOS [V]
V_{T1}	Tensão de limiar da primeira interface do transistor FDSOI [V]
$V_{T1,acc2}$	Tensão de limiar da primeira interface do transistor FDSOI com a segunda interface acumulada [V]
$V_{T1,depl2}$	Tensão de limiar da primeira interface do transistor FDSOI com a segunda interface depletada [V]
$V_{T1,inv2}$	Tensão de limiar da primeira interface do transistor FDSOI com a segunda interface invertida [V]
V_{T2}	Tensão de limiar da segunda interface do transistor FDSOI [V]
V_{Tsat}	Tensão de limiar na região de saturação [V]
$V_{Ttriodo}$	Tensão de limiar na região de triodo [V]
W	Largura do canal do transistor [nm]
W_{FIN}	Largura da aleta no transistor FinFET [nm]
W_{EFF}	Largura efetiva de um FinFET [nm]
x_{dmax}	Profundidade máxima de depleção [nm]
α	Coeficiente que relaciona as capacitâncias de um transistor [adimensional]
β	Ganho do transistor bipolar parasitário [adimensional]
ΔE_C	Variação da banda de condução [eV]

ΔE_V	Variação da banda de valência [eV]
ε_{OX}	Permissividade do óxido de silício [3,45 x 10^{-13} F/cm]
$\varepsilon_{high\text{-}K}$	Permissividade do dielétrico de alta constante dielétrica [F/cm]
ε_{Si}	Permissividade do silício [1,06 x 10^{-12} F/cm]
$\hbar$	Constante de Planck [4,136 x 10^{-15} eV.s]
ϕ	Potencial elétrico [V]
ϕ_F	Potencial de Fermi da camada de silício [V]
ϕ_{MS}	Diferença de função trabalho entre metal de porta e semicondutor [V]
ϕ_{MS1}	Diferença de função trabalho entre metal e semicondutor na primeira interface do transistor SOI [V]
ϕ_{MS2}	Diferença de função trabalho entre metal e semicondutor na segunda interface do transistor SOI [V]
ϕ_{S1}	Potencial de superfície na primeira interface do transistor SOI [V]
ϕ_{S2}	Potencial de superfície na segunda interface do transistor SOI [V]
θ	Constante de variação entre porta dupla e porta tripla [adimensional]
μ	Mobilidade [cm^2/V.s]
μ_0	Mobilidade de baixo campo elétrico [cm^2/V.s]
$\mu_{lateral}$	Mobilidade das interfaces das portas laterais [cm^2/V.s]

LISTA DE ABREVIATURAS

BOX	Buried Oxide
CMOS	Complementary Metal Oxide Semiconductor
CESL	Contact Etch Stop Layer
DIBL	Drain Induced Barrier Lowering
FDSOI	Fully depleted Silicon On Insulator
FinFET	Fin Field Effect Transistor
GIDL	Gate Induced Drain Leakage
MOS	Metal Oxide Semiconductor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
MuGFET	Multiple Gate Field Effect Transistor
NFDSOI	Near Fully Depleted Silicon On Insulator
PDSOI	Partially Depleted Silicon On Insulator
SCE	Short Channel Effects
SEG	Selective Epitaxial Growth
SOI	Silicon On Insulator
TAT	Trap assisted tunneling
TID	Total Ionization Dose

SUMÁRIO

1 INTRODUÇÃO 19

1.1 Objetivos 22

1.2 Apresentação do Trabalho 22

2 CONCEITOS BÁSICOS 24

2.1 Dispositivos SOI 24

2.1.1 Condições de Operação 25

2.1.1.1 SOI parcialmente depletado 26

2.1.1.2 SOI totalmente depletado 26

2.1.1.3 SOI quase totalmente depletado 27

2.1.2 Tensão de Limiar 27

2.1.3 Inclinação de Sublimiar 30

2.1.4 Transcondutância 31

2.1.5 Condutância de saída 32

2.1.6 Ganho intrínseco de tensão 33

2.1.7 Corrente de fuga do dreno induzida pela porta 33

2.1.8 Diminuição da altura da barreira junto à fonte induzida pelo dreno 35

2.1.9 Efeitos de canal curto 35

2.1.10 Transistores SOI de Múltiplas Portas 36

2.1.10.1 Corrente de dreno 37

2.1.10.2 Tensão de limiar 39

2.1.10.3 Inversão de volume 40

2.2 Materiais de alta constante dielétrica 40
2.3 Eletrodo de porta metálico 41
2.4 Tensionamento mecânico 42
2.4.1 Tensionamento mecânico bidirecional 43
2.4.2 Tensionamento mecânico unidirecional 44
2.5 Efeitos da radiação 45
2.5.1 Efeitos de evento único 46
2.5.2 Efeitos da dose ionizante total 46
2.5.2.1 Cargas fixas armadilhadas no óxido 46
2.5.2.2 Armadilhas de interface no óxido 47
2.5.2.3 Efeito resultante de cargas armadilhadas no óxido e armadilhas de interface 48
2.5.3 Comparação do efeito da radiação entre SOI MOSFETs e MOSFETs convencionais 48
3 PROCEDIMENTOS EXPERIMENTAIS 49
3.1 Dispositivos utilizados 50
3.2 Radiação 50
4 RESULTADOS OBTIDOS 51
4.1 Estudo da eficiência do tensionamento mecânico nos dispositivos sem radiação 51
4.2 Resultados obtidos considerando a radiação de prótons 58
4.3 Estudo da influência da temperatura nos dispositivos antes e após a radiação de prótons 62
4.4 Resultados obtidos em radiação de Raios-X 70
5 CONCLUSÕES 86
6 PUBLICAÇÕES GERADAS DURANTE O PERÍODO DE MESTRADO 89
6.1 Publicações aceitas em periódicos 89
6.2 Publicações submetidas em periódicos 89
6.3 Publicações aceitas em congressos 89
6.4 Publicações submetidas em congressos 90
REFERÊNCIAS 91

1 INTRODUÇÃO

Para se aumentar cada vez mais o desempenho dos circuitos integrados, e consequentemente obter evolução tecnológica, se faz necessário diminuir as dimensões dos dispositivos para que caibam cada vez mais transistores em uma mesma lâmina. Um método muito utilizada para prever o número de transistores em uma mesma área de silício é a Lei de Moore (1), a qual prevê um crescimento exponencial do número de transistores em um chip no tempo com o mesmo custo.

Como resultado desta redução das dimensões dos dispositivos, efeitos parasitários chamados de efeitos de canal curto (SCE) começaram a ser altamente significativos em dispositivos *Metal Oxide Semiconductor* (MOS) convencionais.

O uso da estrutura *Silicon On Insulator* (SOI) surgiu como uma solução para dificultar o aparecimento dos efeitos de canal curto decorrentes da redução de dispositivos MOS convencionais (2,3). Esta tecnologia utiliza uma camada de silício sobre um isolante, sendo o SiO_2 o mais utilizado, mantendo a parte ativa do silício isolada do restante do substrato.

Os dispositivos que usam estruturas SOI possuem melhores características elétricas quando comparadas a dispositivos MOS convencionais. Esta melhora pode ser relacionada a redução das capacitâncias parasitárias. Além disso a tecnologia SOI permite a isolação dielétrica entre os dispositivos e a supressão do efeito de transistor parasitário (4).

Inicialmente esta tecnologia era apenas utilizada em aplicações aeroespaciais, devido à sua alta resistência à radiação (5,6) e baixa sensibilidade à variação de temperatura (7,8). Com o desenvolvimento desta tecnologia, as principais indústrias de microeletrônica do mundo começaram a apresentar os primeiros circuitos comerciais em tecnologia SOI (9,10,11,12), levando esta tecnologia a se tornar uma alternativa real para o uso em indústrias. Recentemente a tecnologia de silício sobre isolante tornou-se a principal tecnologia na fabricação de microprocessadores, deixando de ser uma alternativa para se tornar uma tecnologia muito utilizado pela indústria.

Também, na área espacial, todos os dispositivos eletrônicos estão sujeitos à radiação, ou seja, sujeitos a partículas ionizadas, ou ondas eletromagnéticas que atravessam os mesmos podendo causar a mudança de estado lógico. A utilização da tecnologia SOI torna-se fundamental uma vez que os transistores MOS convencionais são muito sensíveis à exposição à radiação, sendo mais susceptíveis a eventos como: perturbação de evento único (*single-event*

upset), acionamento do efeito tiristor parasitário (*single-event latchup*), efeitos de dose total (TID), entre outros (13).

Pode-se dizer que a alta resistência à radiação dos dispositivos da tecnologia SOI deve-se à camada de óxido de silício enterrada que separa a região ativa do transistor do restante da lâmina de silício, minimizando o efeito na região ativa do silício, como pode ser observado na Figura 1. Assim, a maioria dos efeitos citados são bastante reduzidos ou até eliminados (5,13).

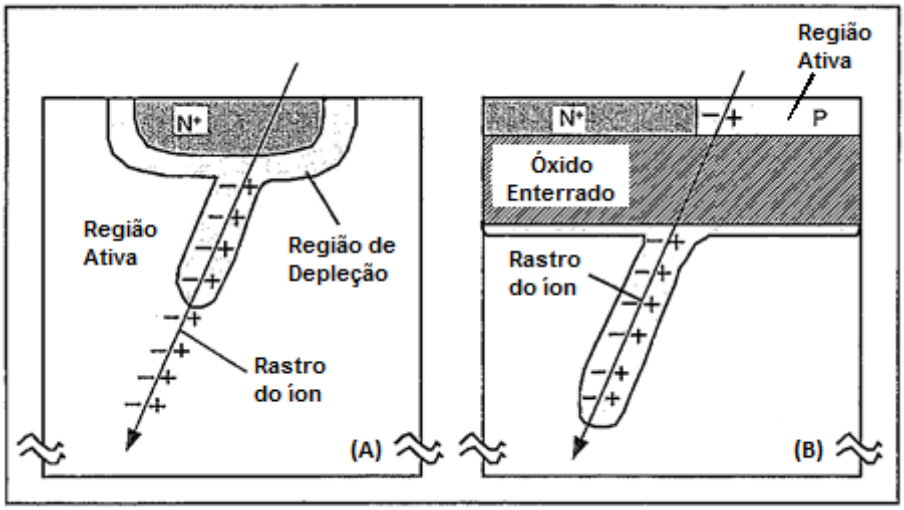

Figura 1 – Geração de pares elétron-lacuna em um dispositivo MOSFET convencional (A) e em um dispositivo SOI MOSFET (B).
Fonte: Autor "adaptado de" (13).

Dentre os transistores SOI, os dispositivos com fina camada de silício sobre o óxido enterrado (totalmente depletados) mostraram ter um melhor comportamento quando trabalhando sob influência da radiação se comparados aos transistores de camada espessa (parcialmente depletados) (14). No entanto, ainda assim, estes transistores são muito sensíveis a dois efeitos resultantes da radiação: a densidade de estados de interface e densidade de carga no óxido enterrado (15). Mais uma vez, os transistores de múltiplas portas (MuGFET) têm chamado a atenção da comunidade científica, desta vez para futuras aplicações espaciais. Como os dispositivos MuGFETs são construídos sobre uma fina aleta de silício, a influência do óxido enterrado e consequentemente das cargas no mesmo acaba sendo limitada.

Apesar da melhoria dos efeitos de canal curto com os transistores SOI, com a contínua evolução dos dispositivos mesmo a tecnologia SOI, começa a apresentar problemas com o controle das cargas na região de canal para transistores com comprimento de canal abaixo de 32 nm. Uma das soluções encontradas para melhorar o controle destas cargas na região de canal é o uso dos transistores SOI de múltiplas portas de canal vertical (16).

Os FinFETs, que são MuGFETs de canal vertical com duas ou mais portas, possui a sua porta recobrindo três lados do corpo (o topo e as laterais). O topo do dispositivo pode ou não ser utilizado como porta dependendo da espessura do óxido de porta. Quando o óxido desta região é espesso (Figura 2A), o transistor é controlado apenas pelas portas laterais (transistor de porta dupla), mas quando o óxido no topo é fino podemos dizer que o dispositivo é um transistor de porta tripla (Figura 2B).

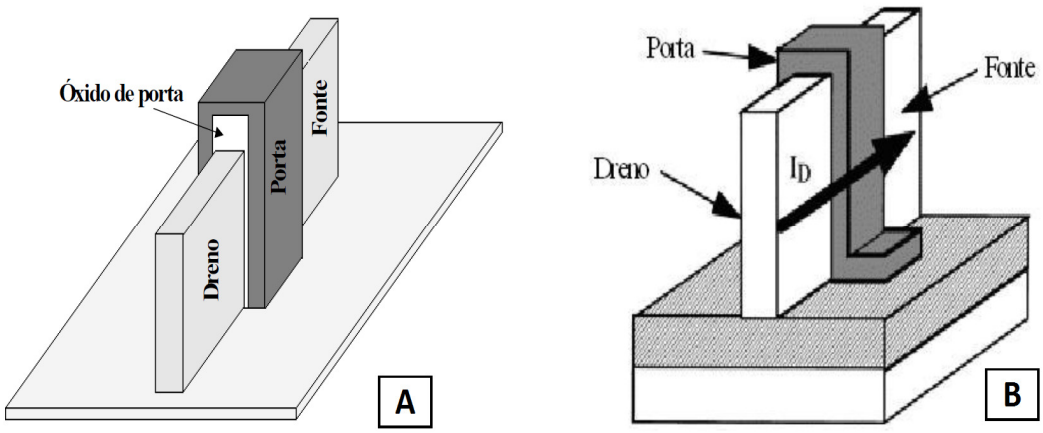

Figura 2 – Transistor de canal vertical, porta dupla (A) e porta tripla (B).
Fonte: Autor.

A arquitetura de múltiplas portas tem apresentado um desempenho superior quando comparada com a de porta simples (17,18,19,20,21,22,23,24,25,26,27). Além da vantagem da redução do efeito de canal curto ainda podemos citar: o aumento da transcondutância e uma inclinação de sublimiar muito próxima do ideal (16). A evolução dos transistores de múltiplas portas permitiu que esta tecnologia também se tornasse uma realidade em empresas como o uso da Intel em seus processadores IVY BRIDGE (28).

Outros fatores a serem considerados na evolução das tecnologias são: a redução da corrente de fuga e o aumento da capacidade de corrente do dispositivo.

Dispositivos de múltiplas portas apresentam sua condução de corrente principal fluindo através das laterais dos dispositivos, com orientação cristalina (100), resultando em uma menor mobilidade para dispositivos com canais tipo n (29).

Atualmente, o uso de materiais isolantes de alta constante dielétrica tem se tornado bastante comum pois reduz consideravelmente a corrente de fuga pela porta (30). No entanto, o uso deste tipo de material resulta em uma pior qualidade de interface entre o óxido de porta e a camada de silício do dispositivo em comparação com o uso de óxido de silício, o que leva

também a uma menor mobilidade de portadores neste local. Esta diminuição de mobilidade somada com a diminuição de mobilidade resultante da condução pelas portas laterais resulta em uma grande e significativa redução de mobilidade (31).

Uma solução que tem sido muito estudada para se tentar minimizar o efeito da redução da mobilidade de portadores na região do canal é a inserção do tensionamento mecânico do dispositivo. Alguns estudos recentes reportam que o uso da tensão mecânica em transistores SOI nMOSFETs resulta em um aumento de até 60 % na mobilidade de elétrons, resultado este que promove um aumento da transcondutância e da corrente de dreno do transistor (32).

1.1 Objetivos

Atualmente compreender os efeitos da radiação torna-se cada vez mais importante uma vez que os dispositivos podem estar sujeitos a ela, tanto em aplicações aeroespaciais como em ambientes hospitalares.

O objetivo deste trabalho é fazer uma análise dos efeitos da radiação nas características elétricas de dispositivos de porta tripla tensionados e não tensionados mecanicamente, operando na temperatura ambiente e em altas temperaturas. Foram analisados os principais parâmetros digitais e analógicos dos transistores MuGFETs de porta tripla (FinFET).

1.2 Apresentação do Trabalho

Este trabalho está dividido em seis capítulos. O capítulo 2 apresenta uma revisão bibliográfica sobre a tecnologia SOI, onde serão apresentados conceitos básicos de transistores SOI de porta única e múltiplas portas.

No capítulo 3 serão descritos os dispositivos experimentais utilizados e alguns de seus processos importantes.

O capítulo 4 apresentará os resultados obtidos em radiação de prótons e em radiação de Raios-X.

No capítulo 5 serão listadas as principais conclusões obtidas no desenvolvimento do trabalho e algumas perspectivas futuras.

O capítulo 6 apresenta um resumo de todas as publicações geradas no período de realização do mestrado.

A seguir, são apresentadas as referências bibliográficas.

2 CONCEITOS BÁSICOS

Neste capítulo é apresentada a tecnologia SOI e suas características em dispositivos de porta única e múltiplas portas. Também serão apresentados os efeitos da radiação em dispositivos SOI.

2.1 Dispositivos SOI

A tecnologia silício sobre isolante (*Silicon on Insulator – SOI*) consiste na fabricação de dispositivos semicondutores em uma camada de silício, isolada do substrato de silício por meio de um isolante, como por exemplo, o óxido de silício, também chamado de óxido enterrado (*Buried Oxide - BOX*).

Esta tecnologia apresenta vantagens em relação à tecnologia MOS convencional, como menor inclinação de sublimiar, maior transcondutância, eliminação do efeito tiristor parasitário no inversor CMOS (33,34), facilidade no processo de fabricação com relação ao isolamento entre dispositivos, aumento na densidade de integração, devido à ausência de cavidades, entre outras.

Algumas desvantagens podem ser destacadas também, tais como alto custo gerado na fabricação da lamina SOI, efeito transistor bipolar parasitário (35), elevação abrupta de corrente (36) e a intensificação do efeito do auto aquecimento (37).

Os transistores SOI planares são dispositivos que apresentam apenas um plano de condução de corrente, exatamente como um MOSFET convencional, porém acrescidos do óxido enterrado entre a região ativa e o restante do substrato, conforme mostrado na Figura 3.

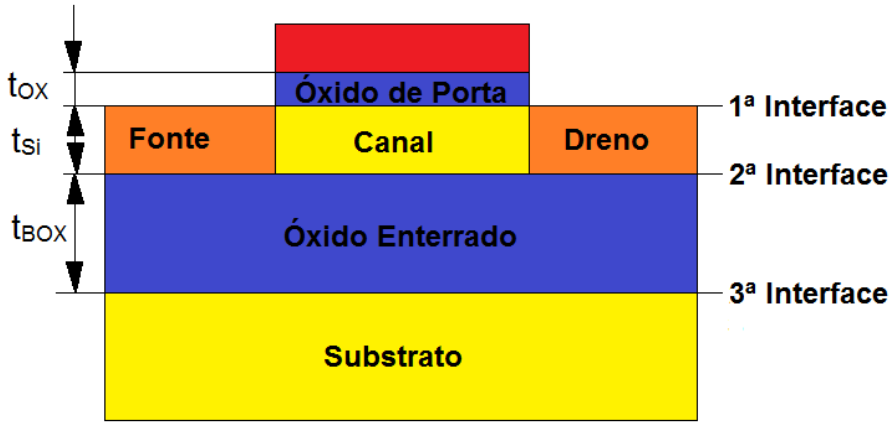

Figura 3 – Transistor SOI MOSFET planar.
Fonte: Autor.

2.1.1 Condições de Operação

Os transistores SOI podem ser classificados quanto ao seu modo de funcionamento: SOI Parcialmente Depletado (PD SOI), SOI Totalmente Depletado (FD SOI) e SOI Próximo da Depleção Total (NFD SOI).

O modo de funcionamento depende da espessura do filme de silício (t_{Si}), da concentração de dopantes na região do canal e da temperatura (T), que exercem influência sobre a profundidade máxima de depleção (x_{dmax}), dada pela equação (1) (38).

$$x_{dmax} = \sqrt{\frac{4 \,.\, \varepsilon_{Si} \,.\, \phi_F}{q \,.\, N_A}}, \text{onde } \phi_F = \frac{K \,.\, T}{q} \,.\ln\left(\frac{N_A}{n_i}\right) \tag{1}$$

Onde ε_{Si} é a permissividade do silício, ϕ_F é o potencial de Fermi da camada de silício, q é a carga elementar do elétron, N_A é a concentração de impurezas aceitadoras na região do canal, n_i é a concentração intrínseca de portadores, K é a constante de Boltzmann e T é a temperatura absoluta em Kelvin.

2.1.1.1 SOI parcialmente depletado

Dada uma lâmina SOI cuja camada de silício seja duas vezes mais espessa do que a profundidade máxima de depleção ($t_{Si} > 2x_{dmáx}$), tem-se uma região neutra entre as depleções, a qual não gera a interação entre as regiões da primeira e segunda interface. Quando essa região neutra é flutuante, o transistor poderá sofrer alguns efeitos, como o efeito da elevação abrupta da corrente (efeito *kink*) e o efeito do transistor bipolar parasitário (39). O transistor SOI parcialmente depletado possui comportamento muito próximo ao do MOS convencional.

2.1.1.2 SOI totalmente depletado

A camada de silício sobre isolante estará totalmente depletada quando sua espessura for menor do que a profundidade máxima de depleção ($t_{Si} < x_{dmáx}$). Quando a primeira interface atingir a inversão, a profundidade de depleção proveniente desta interface é suficiente para resultar em um transistor totalmente depletado, exceto quando a tensão aplicada ao substrato for suficiente para inverter ou acumular a segunda interface (40,41,42,43).Como não há uma região neutra entre as interfaces, existe uma grande interação entre a primeira e a segunda interface, fazendo com que haja diferentes modos de operação, como mostrados na Figura 4. Nesta figura o eixo vertical é a tensão aplicada à porta (V_{GS}) e o eixo horizontal é a tensão aplicada ao substrato (V_{GB}). Como não é desejável que exista corrente passando através da segunda interface (região A da Figura 4) e normalmente a primeira interface não é polarizada para atingir a região de acumulação (região B da Figura 4), os dispositivos são normalmente polarizados na região azul (região C) da Figura 4.

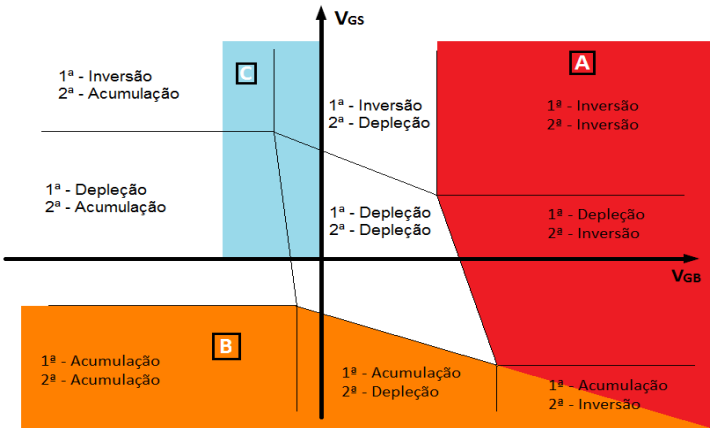

Figura 4 – Modos de operação e um transistor FDSOI com canal n.
Fonte: Autor "adaptado de" (13).

Esta mesma figura funciona analogamente para dispositivos pMOS, mas com a diferença de ter o sentido do eixo VGB contrário ao mostrado na figura, ou seja, ao se aumentar a tensão no substrato (V_{GB}) a segunda interface do dispositivo tende à acumulação, e ao se aumentar a tensão na porta (V_{GS}) a primeira interface tende à acumulação.

O uso de transistores FD SOI apresentam melhores características elétricas, como menor sensibilidade aos efeitos de canal curto, maior transcondutância, inclinação de sublimiar próxima ao limite teórico de 60 mV/déc e imunidade ao efeito *kink* (13,36,40,41,42,43,44).

2.1.1.3 SOI quase totalmente depletado

Um transistor é chamado de quase totalmente depletado quando a espessura do filme de silício é maior que a profundidade máxima de depleção e menor que o dobro desta profundidade ($2x_{dmáx} > t_{Si} > x_{dmáx}$). Neste caso a polarização de ambas as interfaces vão definir a existência de uma região neutra entre as interfaces. Se houver região neutra entre as interfaces, se comporta como um PD SOI. Caso contrário se comportará como um FD SOI.

Os principais parâmetros que devem ser estudados em um transistor SOI para poder analisar suas principais características estão listados a seguir.

2.1.2 Tensão de Limiar

A tensão de limiar (V_T) em um MOSFET é definida como a tensão aplicada à porta do dispositivo que induz uma quantidade de portadores na interface necessária para a formação de um canal de inversão, o qual deve ser suficiente para que permita a condução de corrente entre fonte e dreno. Isto acontece em transistores planares quando o potencial na superfície do silício é aproximadamente igual a $2\phi_F$. Em um nMOSFET convencional (*Bulk*), a tensão de limiar pode ser descrita pela equação (2) (45).

$$V_T = V_{FB} + 2 \,.\, \phi_F - \frac{Q_{depl,MOS}}{C_{OX}} \qquad (2)$$

onde V_{FB} é a tensão de faixa plana, que pode ser descrita pela equação (3), C_{OX} é a capacitância do óxido de porta por unidade de área, com sua razão podendo ser descrita pela equação (4) e $Q_{depl,MOS}$ é a carga total de depleção do canal do transistor MOS por unidade de área, descrita na equação (5)

$$V_{FB} = \phi_{MS} - \frac{Q_{OX}}{C_{OX}} \tag{3}$$

$$C_{OX} = \frac{\varepsilon_{OX}}{t_{OX}} \tag{4}$$

$$Q_{depl,MOS} = -q \,.\, N_A \,.\, x_{dmax} \tag{5}$$

onde ϕ_{MS} é a diferença de função trabalho entre o metal de porta e o semicondutor, Q_{OX} é a densidade de carga fixa no óxido de porta e ε_{OX} é a permissividade do óxido.

Como em um transistor PD SOI não existe interferência direta da segunda interface na primeira, a tensão de limiar também pode ser calculada através da equação (2) nestes dispositivos. Entretanto, para um transistor FD SOI, o qual possui interação entre as interfaces, a tensão de limiar pode ser calculada através do modelo descrito em (46). Este modelo relaciona as tensões de porta e de substrato com os potenciais de superfície de ambas as interfaces, sendo descrita pelas equações (6) e (7).

$$V_{GS} = \phi_{MS1} - \frac{Q_{OX}}{C_{OX}} + \left(1 + \frac{C_{Si}}{C_{OX}}\right).\phi_{S1} - \frac{C_{Si}}{C_{OX}} \,.\, \phi_{S2} - \frac{\frac{1}{2}Q_{depl,SOI} + Q_{inv1}}{C_{OX1}} \tag{6}$$

$$V_{GB} = \phi_{MS2} - \frac{Q_{BOX}}{C_{BOX}} + \left(1 + \frac{C_{Si}}{C_{BOX}}\right).\phi_{S2} - \frac{C_{Si}}{C_{BOX}} \,.\, \phi_{S1} - \frac{\frac{1}{2}Q_{depl,SOI} + Q_{S2}}{C_{BOX}} \tag{7}$$

onde ϕ_{MS1} e ϕ_{MS2} são respectivamente as diferenças de função trabalho entre porta e a camada de silício e a diferença de função trabalho entre o substrato e a camada de silício. C_{OX} e C_{BOX} são respectivamente a capacitância do óxido de porta e do óxido enterrado por unidade de área e C_{Si} é a capacitância da camada de silício por unidade de área. Q_{OX} e Q_{BOX} são,

respectivamente, as densidades de carga fixa da primeira e da segunda interface, Q_{inv1} é a carga na inversão na primeira interface por unidade de área ($Q_{inv1}<0$ quando a primeira interface estiver invertida para SOI nMOSFET), Q_{S2} é carga na segunda interface por unidade de área ($Q_{S2} < 0$ quando a segunda interface estiver invertida e $Q_{S2} > 0$ quando estiver acumulada para SOI nMOSFET) e $Q_{depl,SOI}$ é a carga total de depleção na camada de silício do transistor FD SOI por unidade de área, a qual pode ser descrita pela equação (8).

$$Q_{depl,SOI} = -q \,.\, N_A \,.\, t_{Si} \tag{8}$$

Combinando as equações (6) e (7), é possível obter as equações para a tensão de limiar da primeira interface (V_{T1}) conforme a condição de polarização do substrato (V_{GB}) (acumulação, inversão ou depleção).

Para a análise da tensão de limiar com a segunda interface acumulada, sabemos que $\phi_{S1}=2\phi_F$, $\phi_{S2}=0$ e $Q_{inv1}=0$, e ao substituir estes valores na equação (6), resulta na equação (9).

$$V_{T1,acc2} = \phi_{MS1} - \frac{Q_{OX}}{C_{OX}} + \left(1 + \frac{C_{Si}}{C_{OX}}\right).2\phi_F - \frac{\frac{1}{2}Q_{depl,SOI}}{C_{OX}} \tag{9}$$

Para a análise da tensão de limiar com a segunda interface invertida, sabemos que $\phi_{S1}=2\phi_F$, $\phi_{S2}=2\phi_F$ e $Q_{inv1}=0$, e ao substituir estes valores na equações (6) e (7), resulta na equação (10).

$$V_{T1,inv2} = \phi_{MS1} - \frac{Q_{OX}}{C_{OX}} + 2\phi_F - \frac{\frac{1}{2}Q_{depl,SOI}}{C_{OX}} \tag{10}$$

Para a análise da tensão de limiar com a segunda interface depletada, sabemos que $\phi_{S1}=2\phi_F$, $0<\phi_{S2}<2\phi_F$ e $Q_{inv1}=0$, e ao substituir estes valores na equação (6), resulta na equação (11).

$$V_{T1,depl2} = V_{T1,acc2} - \frac{C_{Si} \,.\, C_{BOX}}{C_{OX} \,.\, (C_{Si} + C_{BOX})} \,.\, \left(V_{GB} - V_{GB,acc2}\right) \tag{11}$$

onde o valor de $V_{GB,acc2}$ é obtido ao substituir $\phi_{S1}=2\phi_F$, $\phi_{S2}=0$ e $Q_{S2}=0$ na equação (7), resultando na equação (12).

$$V_{GB,acc2} = \phi_{MS2} - \frac{Q_{BOX}}{C_{BOX}} - \frac{C_{Si}}{C_{BOX}} . 2\phi_F - \frac{\frac{1}{2}Q_{depl,SOI}}{C_{BOX}} \quad (12)$$

2.1.3 Inclinação de Sublimiar

Inclinação de sublimiar (SS) é o parâmetro que descreve o desempenho do chaveamento de estados lógicos de um dispositivo. SS pode ser definido como a taxa de variação da corrente de dreno, analisada em sua escala logarítmica, com a variação da tensão de porta, como demonstrado na equação (13). É importante salientar que esta análise é sempre feita na região de sublimiar, para valores baixos de tensão de dreno.

$$SS = \frac{dV_{GS}}{d(logI_{DS})} \quad (13)$$

Sabendo-se que na região de sublimiar, a corrente de difusão é predominante, é possível utilizar a equação (14) para a determinação da inclinação de sublimiar (47).

$$SS = \frac{K.T}{q} . \ln(10)(1 + \alpha) \quad (14)$$

onde α é o coeficiente que relaciona as capacitâncias de um transistor, K é a constante de Boltzmann, T é a temperatura em Kelvin e q a carga elementar de um elétron.

O coeficiente α para um dispositivo totalmente depletado com acumulação na segunda interface é o mesmo que para um dispositivo MOSFET convencional (Equação (15)) devido ao desacoplamento eletrostático gerado pela camada de acumulação na segunda interface.

$$\alpha = \frac{C_{Si}}{C_{OX}} \quad (15)$$

onde C_{Si} é a capacitância no filme de silício e C_{OX} é a capacitância no óxido de porta.

Entretanto, com a segunda interface em depleção, o coeficiente α passa a ser definido pela equação (16) (48), uma vez que há acoplamento eletrostático entre as interfaces, fazendo com que a capacitância do óxido enterrado diminua a capacitância MOS total do transistor.

$$\alpha = \frac{C_{Si} C_{BOX}}{C_{OX}(C_{Si} + C_{BOX})} \tag{16}$$

Como a relação entre as capacitâncias é menor em um dispositivo FD SOI, a inclinação de limiar tende a ficar mais próxima do limite teórico, o qual ocorreria se α fosse igual a zero, resultando em uma inclinação de sublimiar de 60 mV/Dec na temperatura ambiente (49).

2.1.4 Transcondutância

A transcondutância (gm) é um parâmetro muito importante de um dispositivo, o qual reflete o controle das cargas do canal pela tensão aplicada na porta do transistor. A transcondutância pode ser definida pela equação (17).

$$gm = \frac{dI_{DS}}{d(V_{GS})} \tag{17}$$

Resolvendo a derivada da equação (17) na região de saturação, utilizando a equação de corrente de dreno como apresentada na equação (18) obtemos a equação (19).

$$ID_{sat} = \frac{\mu_N . C_{OX}}{2(1+\alpha)} . \frac{W}{L} \ (V_{GS} - \mathrm{V}_T)^2 \tag{18}$$

$$gm_{sat} = \frac{\mu_N . C_{OX}}{(1+\alpha)} . \frac{W}{L} \ (V_{GS} - \mathrm{V}_T) \tag{19}$$

onde μ_N é a mobilidade de portadores. É possível notar que a transcondutância é diretamente proporcional à mobilidade.

Resolvendo a mesma equação (17) agora na região de triodo, utilizando a modelagem de corrente de dreno presente na equação (20), pode-se obter a equação (21).

$$I_{Dtriodo} = \frac{\mu_N . C_{OX} . W}{L} \left(V_{GS} . V_{DS} - \frac{(1+\alpha){V_{DS}}^2}{2}\right) \tag{20}$$

$$gm_{triodo} = \frac{\mu_N . C_{OX} . W}{L} . V_{DS} \tag{21}$$

Desta maneira é possível obter uma aproximação para a mobilidade de baixo campo, pois na região de triodo a mobilidade ainda é pouco afetada pelos campos elétricos horizontais.

2.1.5 Condutância de saída

Condutância de saída (g_D) é um importante parâmetro a ser analisado em transistores MOSFETs. Este parâmetro indica o quanto a saída do dispositivo é diretamente influenciado pelas resistências parasitárias. A condutância de saída pode ser definida pela variação na corrente de dreno conforme se varia a tensão no dreno. Idealmente a corrente deveria ser mantida constante na região de saturação mesmo com a variação da tensão de dreno (50). A equação (22) indica esta variação.

$$g_D = \frac{dI_{DS}}{d(V_{DS})} \tag{22}$$

Resolvendo a equação (22) na região de saturação, utilizando a modelagem de corrente de dreno presente na equação (23), pode-se obter a equação (24).

$$I_{Dsat} = \frac{\mu_N . C_{OX}}{2(1+\alpha)} . \frac{W}{L} \left(V_{GS} - V_T\right)^2 . (1 + \lambda V_{DS}) \tag{23}$$

$$g_{D_{sat}} = \frac{\mu_N . C_{OX}}{2(1+\alpha)} . \frac{W}{L} \left(V_{GS} - V_T\right)^2 . \lambda \tag{24}$$

onde λ é a constante relativa ao efeito de modulação do canal.

Ao se analisar g_D é possível observar que o seu valor é constante para qualquer valor de V_{DS} quando o transistor está na região de saturação.

2.1.6 Ganho intrínseco de tensão

O ganho intrínseco de tensão (A_V) relaciona efetividade do controle de corrente, considerando também a resistência de saída. Para isso, o A_V pode ser escrito como a razão entre gm e g_D, como pode ser observado na equação (25).

$$A_V = \frac{gm}{g_D} \tag{25}$$

2.1.7 Corrente de fuga do dreno induzida pela porta

A corrente de fuga induzida pela tensão aplicada a porta (Gate Induced Drain Leakage – GIDL) é a parcela da corrente de fuga do dreno gerada através de tunelamento de portadores entre banda. O tunelamento entre bandas ocorre quando há tensão na porta e no dreno capazes de habilitar o tunelamento do elétron da banda de valência (dreno) para banda de condução (canal – primeira interface), como pode ser visto na Figura 5 (51,52). Como o tunelamento no GIDL é de elétrons, este efeito é mais notável em dispositivos nMOS, do que em dispositivos pMOS devido ao portador principal em dispositivos pMOS serem as lacunas (53).

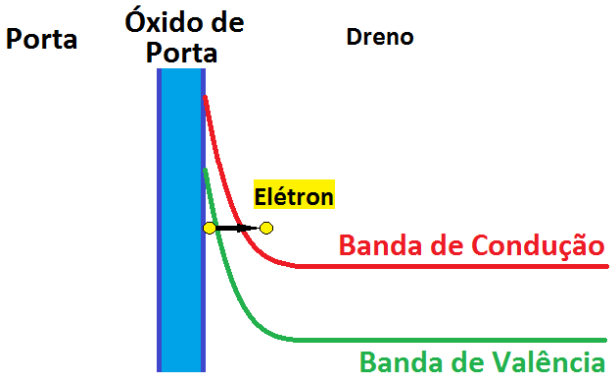

Figura 5 – Representação do tunelamento entre bandas.
Fonte: Autor.

A densidade desta corrente pode ser modelada através da equação (26) (52).

$$J_{GIDL} = A_{GIDL}.E_{TOT}\ \mathrm{e}^{-\frac{B_{GIDL}}{E_{TOT}}} \tag{26}$$

onde A e B são o parâmetro pré-exponencial e o parâmetro exponencial, respectivamente. E_{TOT} é o campo elétrico total. Ambos os parâmetros A e B dependem da largura em energia da faixa proibida (E_g) como pode ser visto nas equações (27) e (28).

$$A_{GIDL} = \frac{2qm_r\pi E_g^2}{\hbar^3} \tag{27}$$

$$B_{GIDL} = \frac{\pi^2\sqrt{m_r E_g^3}}{q\hbar\sqrt{2}} \tag{28}$$

onde ħ é a constante de Planck e mr é a massa reduzida efetiva de elétrons e lacunas. Es é o campo elétrico de superfície, o qual é a maior parcela de E_{TOT}, e pode ser modelado em (29).

$$E_S = \frac{V_{DG} - 1.2}{3t_{ox}} \tag{29}$$

onde V_{DG} é a tensão do dreno para a porta e tox a espessura do óxido de porta.

2.1.8 Diminuição da altura da barreira junto à fonte induzida pelo dreno

A diminuição da barreira induzida pelo dreno (Drain Induced Barrier Lowering – DIBL) significa o quanto a tensão de limiar é influenciada pelo aumento da tensão no dreno. Para de determinar o valor de DIBL (mV/V) pode ser utilizada a equação (30) (54).

$$DIBL = \frac{V_{T_{Triodo}} - V_{T_{Sat}}}{V_{D_{Sat}} - V_{D_{Triodo}}} \tag{30}$$

Este efeito ocorre devido ao compartilhamento de cargas entre as junções e a porta, fazendo com que ocorra uma junção PN entre as regiões de fonte e dreno e o corpo do dispositivo (55). Ao se aplicar tensão no dreno aumentam-se as cargas de depleção devido à polarização reserva da junção PN. Então, ao diminuir o comprimento do canal, dependendo da tensão aplicada ao dreno, pode ocorrer uma diminuição da barreira de potencial. Como resultado, ao se aumentar V_{DS}, a carga de depleção controlada pela porta é reduzida, fazendo com que a tensão de limiar diminua.

2.1.9 Efeitos de canal curto

Com a necessidade de redução dos dispositivos, todas as dimensões do dispositivo sofrem reduções, inclusive o comprimento de canal (L). Ao reduzir o comprimento de canal ocorre a aproximação das regiões de depleção de fonte e dreno e a região de depleção provenientes das junções começa a ocupar uma parcela significativa da região de depleção sob a porta. Isto faz com que as cargas de depleção que antes eram controladas quase totalmente pela porta, agora passem também a ser controladas pelas regiões de fonte e dreno.

Quando a quantidade de cargas de depleção, que não são controladas pela porta, começa a ser significativa no canal, dizemos que os dispositivos sofrem de efeitos de canal curto. Estes efeitos parasitários afetam alguns parâmetros como a tensão de limiar e a inclinação de sublimiar, resultando na redução da tensão de limiar e no aumento (degradação) da inclinação

de sublimiar, fazendo com que o dispositivo tenha uma degradação significativa em seu funcionamento (38).

A Figura 6 apresenta a situação das cargas de depleção controladas pela porta (Q_{D1}) de um dispositivo SOI sem efeito de canal curto (A) e com efeito de canal curto (B). Apesar de o dispositivo SOI apresentar menor efeito de canal curto devido ao fato do óxido enterrado prevenir a aproximação da região de depleção da fonte e do dreno, quando é diminuído demasiadamente o comprimento de canal do dispositivo, esta aproximação ainda ocorre fazendo com que o dispositivo continue sofrendo de efeitos de canal curto (Figura 6B).

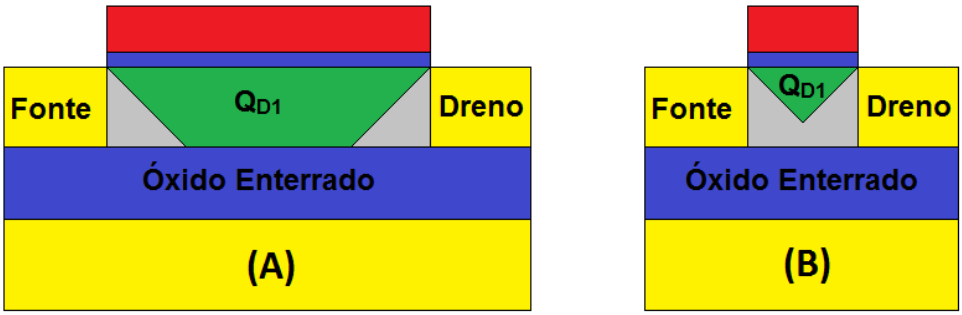

Figura 6 – Transistor SOI MOSFET planar, sem efeito de canal curto (A) e com efeito de canal curto (B).
Fonte: Autor.

2.1.10 Transistores SOI de Múltiplas Portas

Os transistores de múltiplas portas (MuGFETs) apareceram como uma alternativa para se conseguir diminuir ainda mais os dispositivos e aumentar a densidade de corrente. Devido ao acoplamento eletrostático entre as portas, os MuGFETs apresentam melhor controle das cargas no canal, isto é, apresentam maior imunidade aos efeitos de canal curto (16).

Um dispositivo muito utilizado é o FinFET, que é um dispositivo que possui duas ou mais portas, de canal vertical. A estrutura esquemática deste tipo de transistor é apresentada na Figura 7.

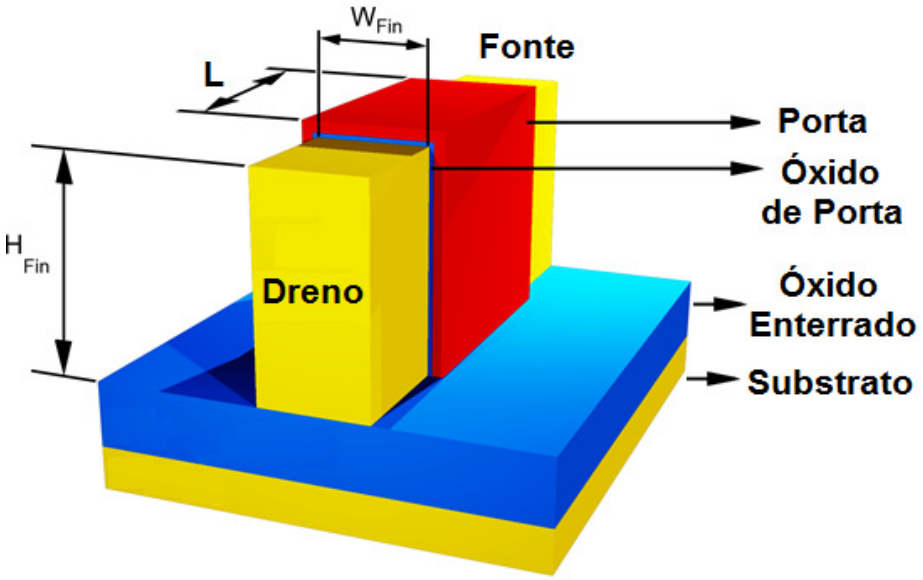

Figura 7 – Estrutura de um transistor SOI FinFET.
Fonte: Autor.

2.1.10.1 Corrente de dreno

As correntes no dispositivo FinFET fluem através dos canais formados devido às três portas, as duas laterais e a porta superior. A largura efetiva do canal pode ser calculada pela soma da largura da aleta (W_{FIN}) e da altura das duas portas laterais (H_{FIN}), ou seja, $W_{eff}=W_{FIN}+2.H_{FIN}$.

Neste dispositivo, para manter o melhor acoplamento entre as portas e consequentemente um maior controle das cargas no canal, é necessário que a aleta deste dispositivo seja a mais fina e mais alta possível (56).

Utilizando um dispositivo FinFET otimizado, o qual possui W_{FIN} bem fina, a densidade de corrente que o dispositivo pode suportar é bem pequena. Ao contrário de dispositivos planares que a largura do canal é alterada para se permitir mais corrente fluindo através do dispositivo, em FinFETs são utilizadas múltiplas aletas idênticas em paralelo (16), espaçadas entre si por uma distância chamada passo, para não haver interferência entre elas, como indicada na Figura 8A, e como também pode ser vista na foto da Figura 8B, a qual mostra a vista superior de um dispositivo real. Ao se comparar a capacidade de condução de corrente um dispositivo MuGFET com um dispositivo SOI planar com a mesma área na lâmina, o dispositivo MuGFET apresenta maior capacidade de corrente que o SOI planar.

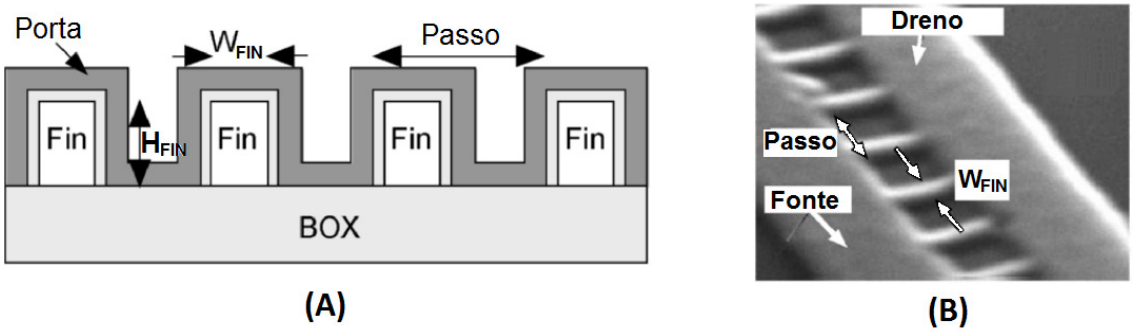

Figura 8 – FinFET com múltiplas aletas (A) e a vista superior de um dispositivo experimental (B).
Fonte: Autor "adaptado de" (16)

A corrente também é diretamente proporcional à mobilidade dos portadores dentro de um cristal semicondutor. Esta mobilidade está correlacionada com a orientação cristalográfica presente no seu plano de condução, entretanto, transistores de múltiplas portas apresentam planos de condução com diferentes orientações cristalográficas. A porta superior possui orientação na direção <100> enquanto as portas laterais possuem orientação na direção <110>, sendo que esta orientação possui menor mobilidade quando comparada à orientação na direção <100> (57). Além disso, as portas laterais ainda apresentam mais rugosidade gerada pelo processo de fabricação, as quais tendem a reduzir bastante esta mobilidade.

A corrente efetiva de um transistor de porta duplas ou de porta tripla pode ser calculada através da equação (31).

$$I_{D_{MuGFET}} = I_{D_{Planar}} \frac{\theta . \mu_{topo} . \mathrm{W} + 2 . \mu_{lateral} . \mathrm{t}_{si}}{\mu_{topo} . P} \tag{31}$$

Onde $I_{DPlanar}$ é a corrente calculada para um transistor SOI planar hipotético, o qual não sofre de efeitos de canal curto. P é o passo entre as aletas dos transistores (distância entre aletas), μ_{topo} é a mobilidade da interface do topo, $\mu_{lateral}$ é a mobilidade das interfaces das portas laterais e θ é uma constante que possui valor 1 se for porta tripla e valor 0 se forem porta dupla.

2.1.10.2 Tensão de limiar

A tensão de limiar em dispositivos de múltiplas portas não pode ser definida da mesma forma que a tensão de limiar em dispositivos de portas simples, pois a inversão pode ocorrer em diferentes partes do canal, para diferentes tensões aplicadas, e ainda a condução pode não ocorrer em inversão forte ($\phi_S=2\phi_F$), podendo até ocorrer em inversão fraca (ϕ_S pouco menor que $2\phi_F$) (58). Em dispositivos de múltiplas portas a tensão de limiar pode ser definida como mostra a equação (32) (59).

$$V_{T_{MuGFET}} = \phi_{MS} + \frac{KT}{q} ln\left(\frac{2C_{OX}KT}{q^2 n_i t_{si}}\right) + \frac{\pi^2 \hbar^2}{2qm_r t_{si}^2} \tag{32}$$

onde o último termo pode ser desprezado caso a espessura do filme de silício seja maior que 20nm, conforme mostrado na Figura 9.

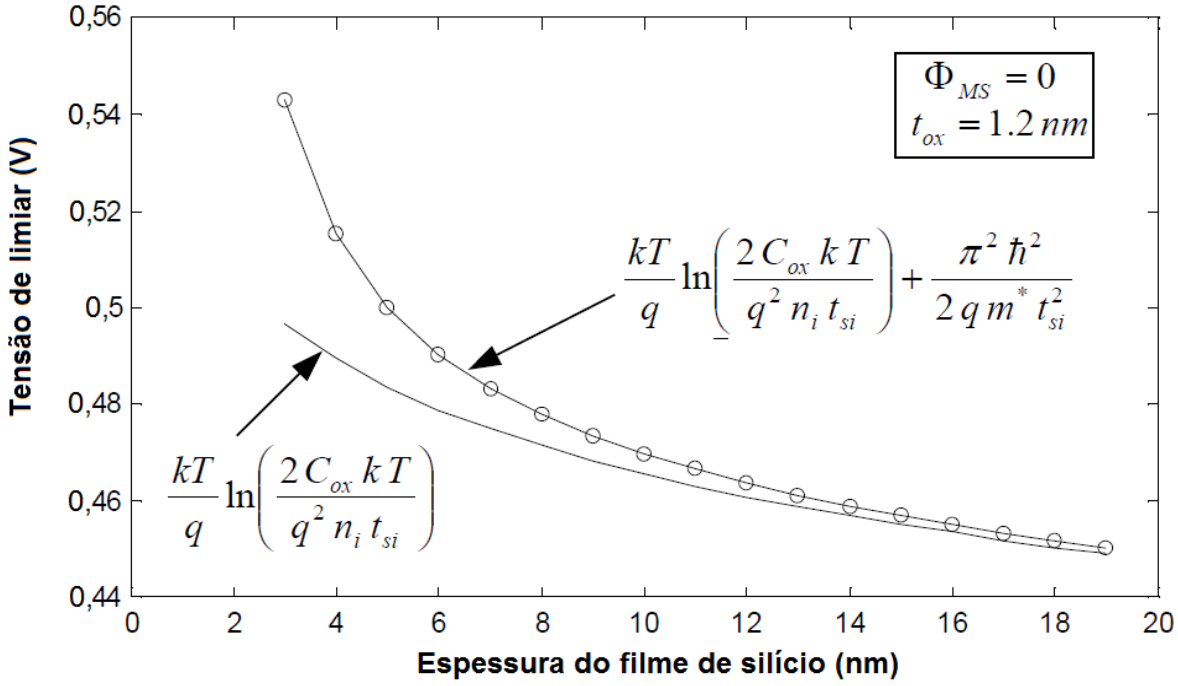

Figura 9 – Dependência da espessura do filme de silício sobre tensão de limiar em um dispositivo de porta dupla.
Fonte: Autor "adaptado de" (16).

2.1.10.3 Inversão de volume

Em transistores de múltiplas portas cujo filme de silício é muito estreito (t_{si}<20nm) ocorre um fenômeno chamado inversão de volume. Quando este fenômeno ocorre, a inversão dos portadores passa a não mais ficar restrita à interface do óxido de porta com o silício, passa a inverter no centro do canal. Isto faz com que as cargas de inversão, agora no centro do canal, sofram menos espalhamento de superfície. Isto resulta em uma maior mobilidade em dispositivos de múltiplas portas com canal estreito (60).

2.2 Materiais de alta constante dielétrica

Para se minimizar ainda mais os efeitos de canal curto em um MuGFET faz-se necessário aumentar ainda mais o controle eletrostático das cargas. Este controle eletrostático pode ser modelado proporcionalmente conforme a equação (33).

$$Controle\ Eletrostático \propto \frac{\mathrm{n}.\varepsilon_{ox}}{\varepsilon_{si}} . \frac{1}{t_{si}.t_{ox}} \tag{33}$$

Onde n é o número de portas, t_{si} é a espessura do silício, t_{ox} é a espessura do óxido de porta, ε_{si} a constante dielétrica do silício e ε_{ox} a constante dielétrica do óxido de porta.

Para se aumentar o controle eletrostático das cargas é necessário ou diminuir t_{si} ou t_{ox} ou aumentar ε_{ox}. Como há limites para se diminuir t_{si} (difícil realização de processo de fabricação) e t_{ox} (aumento da corrente de fuga da porta) a única alternativa viável é o aumento da constante dielétrica ε_{ox}.

Sabendo-se ainda que quanto menores as capacitâncias melhor o desempenho e melhores parâmetros como a inclinação de sublimiar, deseja-se a menor capacitância possível, portanto a menor razão ε_{ox}/ t_{ox} possível.

Para isso é necessário encontrar novos materiais, os quais possuam constante dielétrica elevada. Com materiais com altas constantes dielétricas, t_{ox} maiores podem ser utilizados tornando o dispositivo menos susceptíveis às correntes de fuga pela porta e ainda assim aumentar o desempenho do dispositivo. Com o intuito de facilitar os cálculos, como nas equações de corrente ou tensão de limiar, é utilizado um parâmetro que indica qual seria a espessura de óxido equivalente (EOT) se fosse utilizado SiO_2 na porta do dispositivo, como é definido (61) na equação (34).

$$C_{ox} = \frac{\varepsilon_{ox}}{EOT} = \frac{\varepsilon_{high-k}}{t_{high-k}} \tag{34}$$

Para evitar um número excessivo de armadilhas de interface, evita-se colocar diretamente o material de alta constante dielétrica em contato com o silício do canal. Para melhorar a qualidade da interface é primeiramente produzida uma camada pelicular interfacial de SiO_2, para então ser depositada sobre esta camada o óxido de alta constante dielétrica (62).

Entretanto, a constante dielétrica não é o único parâmetro que aumenta a corrente de fuga pela porta. Outro fator que deve aumenta esta corrente é a largura em energia da faixa proibida (*Bandgap*), ou seja, o material que deve substituir o SiO_2 não deve só apresentar alta constante dielétrica como também deve apresentar uma grande largura em energia da faixa proibida (63,64).

Materiais como óxido de háfnio e zircônio têm sido bastante estudados pois além de apresentarem uma constante dielétrica maior, apresentam também uma grande largura em energia da faixa proibida, comparada ao do óxido de silício, e uma boa estabilidade termodinâmica com o silício (65,66).

2.3 Eletrodo de porta metálico

Com a redução das dimensões dos dispositivos a níveis nanométricos, o controle da tensão de limiar convencional, feito pela dopagem na região do canal, torna-se pouco efetivo pois os dispositivos mais recentes possuem pouca área de silício ativo, ou seja, pode haver uma variação significativa entre as concentrações dos dispositivos devido à incerteza da dopagem.

Esta incerteza faz com que a tensão de limiar varie significativamente entre dispositivos de uma mesma lâmina.

Uma técnica que vem sendo utilizada recentemente para controle da tensão de limiar é o uso de metais nos eletrodos de porta, a fim de alterar a função trabalho do eletrodo de porta. Para um transistor de múltiplas portas trabalhar com alto desempenho, faz-se necessário um metal na porta com função trabalho próximo a ±200meV a partir do meio da banda de silício (16).

O nitreto de titânio (TiN) é um dos metais que vem sendo utilizado como metal de porta, pois apresenta muitas vantagens, dentre elas pode-se citar a baixa resistividade e a função trabalho no meio da banda. A função trabalho pode ser facilmente alterada ao se variar a espessura do filme do TiN (67,68,69).

2.4 Tensionamento mecânico

A tecnologia do tensionamento mecânico surgiu como uma alternativa para aumentar a mobilidade de portadores e consequentemente aumentar sua corrente de dreno e sua transcondutância. Com o uso de transistores de múltiplas portas, a principal condução de corrente ocorre pelas portas laterais resultando em uma mobilidade de portadores bastante reduzida, e uma maior rugosidade gerada pelo próprio processo de corrosão. Para melhorar o desempenho do dispositivo, faz-se necessário o estudo de técnicas que proporcionem um aumento na mobilidade do dispositivo.

Uma técnica bastante utilizada é o uso do tensionamento mecânico, no qual estudos mostram um ganho de até 60% na mobilidade, resultando em um aumento significativo da corrente de estado ligado (I_{ON}), sem que aumente a corrente de estado desligado (I_{OFF}), através do uso desta técnica (70).

O tensionamento mecânico pode ser obtido por diferentes técnicas, as quais podem ser divididas dois grupos, o que possui tensionamento que envolvendo a lâmina toda e o que possui tensionamento localizado.

Dispositivos que possuem tensionamento em ambas as direções do (bidirecional) possuem tensionamento envolvendo a lâmina toda. Entretanto dispositivos os quais possuem

tensionamento apenas longitudinal (unidirecional) possuem tensionamento localizado nos dispositivos. O tensionamento unidimensional pode ser tanto tensivo quanto compressivo.

2.4.1 Tensionamento mecânico bidirecional

O tensionamento bidirecional pode ser obtido a partir de uma liga de Si_xGe_{1-x}. Fazendo o crescimento epitaxial do silício em cima desta liga de silício e germânio, a qual possui um parâmetro de rede maior, ou seja, uma rede cristalina com seus átomos mais espaçados do que do silício (Figura 10A), faz com que o silício seja tensionado em ambas as direções (Figura 10B) (71). Este tensionamento resulta em uma melhoria na mobilidade de elétrons, enquanto resulta na piora da mobilidade das lacunas.

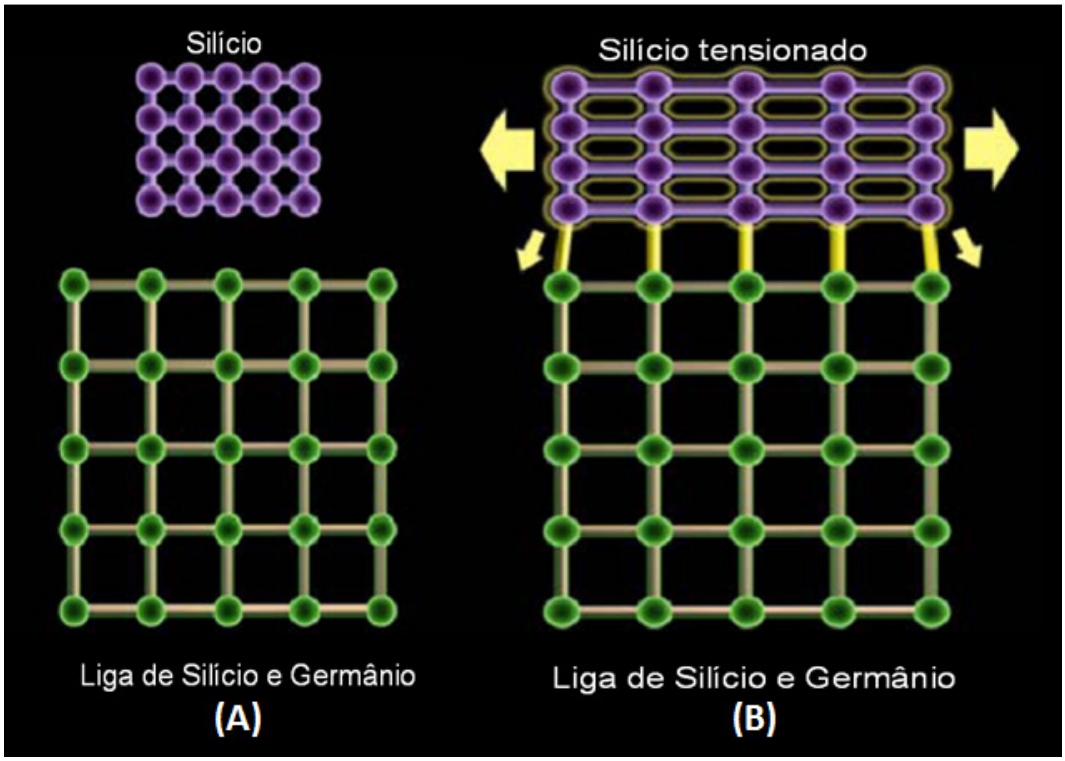

Figura 10 – Representação de uma estrutura cristalina da liga de silício e germânio e do silício separados (A) e após o crescimento epitaxial do silício sobre a liga de silício e germânio (B).
Fonte: Autor "adaptado de" (72)

2.4.2 Tensionamento mecânico unidirecional

Há dois tipos de tensionamento unidirecional, o tensionamento compressivo, e o tensionamento tensivo (73).

O tensionamento da rede pode ser obtido através da deposição de uma camada de nitreto (*Contact Etch Stop Layer – CESL*) sobre o dispositivo. Uma força tensora então é gerada por essa camada induzindo uma força tensora ao longo do canal (Figura 11B). A efetividade do tensionamento é definida pelo comprimento do canal, no qual quanto menor o comprimento do canal mais efetiva será este tensionamento. Este tensionamento melhora a mobilidade dos elétrons, pois facilita a passagem de elétrons livres pela rede cristalina, sendo mais aplicado em dispositivos nMOS.

Uma das maneiras de se obter a compressão da rede de silício é através da deposição de uma liga de silício e germânio na fonte e no dreno, gerando uma compressão na direção longitudinal entre o dreno e a fonte (Figura 11A). A efetividade desta compressão é definida pela concordância entre as regiões de fonte e dreno e o canal, sendo que se as redes não se adequarem após o processo a compressão será menos efetiva no canal. A efetividade é também definida pelo comprimento do canal, no qual quanto menor o comprimento do canal mais efetiva será esta compressão. Esta técnica melhora a mobilidade das lacunas, pois facilita a locomoção de elétrons em ligação covalente, ou seja, na camada de valência, por isso é mais aplicado em dispositivos pMOS. Outra maneira de se obter tensionamento compressivo é pela deposição de uma camada de nitreto com mais oxigênio (29).

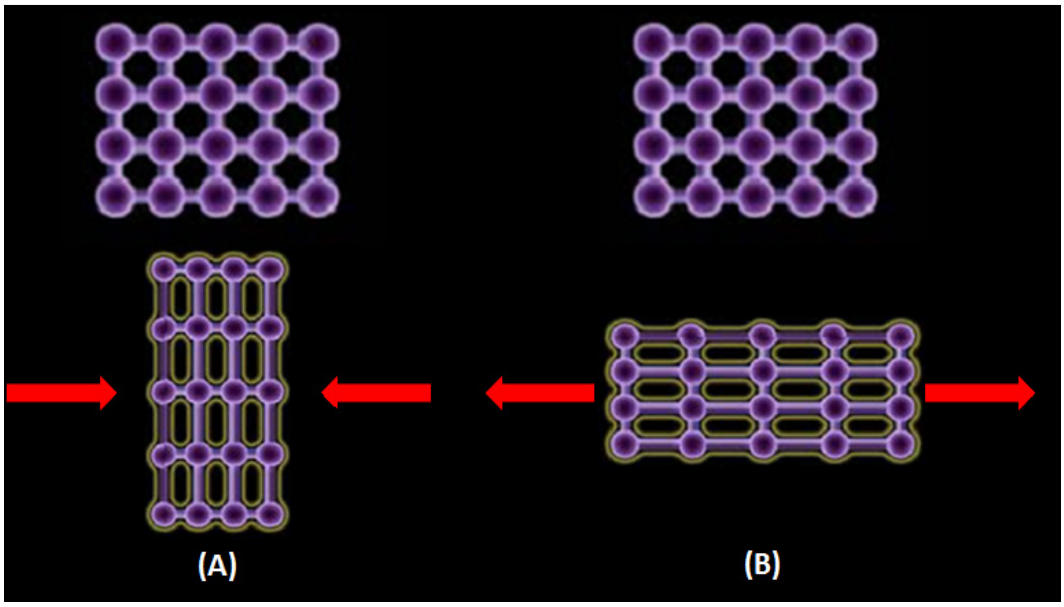

Figura 11 – Representação de uma estrutura cristalina da liga de silício e germânio e do silício separados (A) e após o crescimento epitaxial do silício sobre a liga de silício e germânio (B).
Fonte: Autor "adaptado de" (72)

A grande vantagem do uso da técnica unidirecional é que o tensionamento gerado é localizado, sendo possível em uma mesma lâmina fazer uso de tensionamento tanto tensivo quanto compressivo.

2.5 Efeitos da radiação

O estudo dos efeitos da radiação em dispositivos eletrônicos está cada vez mais ganhando espaço nas pesquisas, pois seu efeito, na maioria das vezes, é muito prejudicial aos dispositivos.

A radiação pode ser dividida em dois grupos, partículas e ondas eletromagnéticas. No primeiro caso, partículas com grande energia colidem diretamente no dispositivo e já no segundo caso, ondas eletromagnéticas atingem o dispositivo gerando efeito fotoelétrico ao penetrá-lo. A radiação de partículas, diferentemente da radiação de ondas eletromagnéticas, causa deslocamentos atômicos os quais tem por efeito principal a redução direta da mobilidade.

Um dos principais efeitos da radiação, tanto de partículas quanto de ondas eletromagnéticas, é a geração de pares elétron-lacuna. Se a energia da radiação for suficiente para ionizar um átomo, este átomo pode perder um elétron, gerando este par elétron-lacuna, e

este par criado ainda pode ter energia suficiente para influenciar mais átomos a gerar mais pares, gerando em efeito em cascata em muitos outros átomos (15).

Efeitos transitórios, tais como mudança de estados lógicos momentânea (*Single event upset*), travamento do dispositivo no estado ligado (*Single event latch up*), entre outros efeitos, ocorrerão quando estes pares elétron-lacuna forem criados na parte ativa do silício. Quando estes pares elétron-lacuna forem criados no óxido, efeitos permanentes ocorrerão.

2.5.1 Efeitos de evento único

Os efeitos de evento único, também conhecidos como efeitos transitórios da radiação, na sua maior parte são criados pela geração de pares elétron-lacuna na região ativa do silício, na qual o elétron é direcionado pelo campo elétrico do maior potencial polarizado, e no caso de um nMOS polarizado de modo que o transistor conduza corrente, incrementa a corrente entre fonte e dreno, causando picos nesta corrente à medida que os pares elétrons lacunas são gerados, podendo ocasionar mudança de estado lógico de dispositivos. Estes efeitos são transitórios porque após algum tempo os pares elétron-lacuna são recombinados e o dispositivo volta a seu funcionamento normal (13).

2.5.2 Efeitos da dose ionizante total

Os efeitos da dose ionizante total são efeitos permanentes, que afetam as principais características dos dispositivos permanentemente e, em casos extremos, podem até impedir o seu funcionamento.

2.5.2.1 Cargas fixas armadilhadas no óxido

Os pares elétron-lacuna criados, gerados pela radiação, não somente são criados na região ativa do silício, como também no óxido dos dispositivos. Destes pares gerados no óxido, os elétrons que não se recombinarem com as lacunas conseguem escapar pela porta devido a

sua maior mobilidade. Entretanto as lacunas que sobraram ficam armadilhadas no óxido devido a sua baixa mobilidade (74). O processo de geração destas cargas é mostrado na Figura 12.

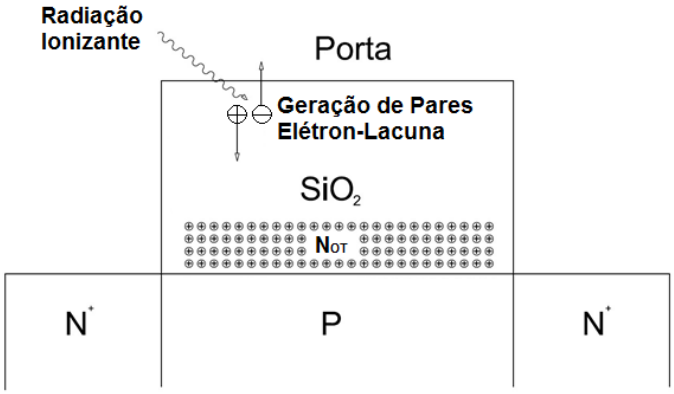

Figura 12 – Processo de geração dos pares elétron-lacuna no óxido.
Fonte: Autor.

Estas lacunas por possuírem carga positiva, atuam como cargas fixas armadilhadas no óxido, e também alteram a tensão de limiar, visto a dependência da tensão de limiar com a carga no óxido (Q_{OX}) mostrada na equação (6). Sabendo que esta carga é sempre positiva, o deslocamento da tensão de limiar é sempre na direção de menor tensão de porta, independentemente do tipo do canal do transistor.

2.5.2.2 Armadilhas de interface no óxido

A radiação no óxido leva também à geração de armadilhas na interface Si/SiO_2 (75). As armadilhas de interface são cargas que possuem comportamento fixo, que dependem do nível de energia da armadilha e da sua localização no diagrama de faixas de energia.

Armadilhas cuja energia está situada na parte de baixo da banda proibida são predominantemente doadoras, ou seja, se o nível de *Fermi* da interface estiver abaixo da energia da armadilha, a armadilha doa um elétron para o silício, fazendo com que a carga da armadilha seja positiva.

De forma análoga, se a energia da armadilha estiver situada na parte de cima da banda proibida, as armadilhas são predominantemente aceitadoras, ou seja, a armadilha aceita um elétron do silício possuindo, então, carga negativa.

Levando isso em consideração, pode-se notar que em um dispositivo de canal n, cuja tensão de limiar é afetada primeiro pelas armadilhas com níveis de energia na parte superior da banda proibida, as armadilhas de interface são predominantemente negativas e consequentemente deslocam a tensão de limiar no sentido de maior tensão de porta. Analogamente, pode-se dizer que as armadilhas de interface para dispositivos de canal p possuem carga predominantemente positiva, deslocando a tensão de limiar no sentido oposto (15).

2.5.2.3 Efeito resultante de cargas armadilhadas no óxido e armadilhas de interface

Ao se analisar o efeito das cargas fixas armadilhadas no óxido e armadilhas de interface juntas no dispositivo nota-se que para dispositivos de canal n, os efeitos tendem a se subtrair, pois o deslocamento gerado pelas cargas fixas faz a tensão de limiar diminuir e as armadilhas de interface fazem a tensão de limiar aumentar, resultando em uma menor queda da tensão de limiar, visto que o efeito predominante é o efeito gerado pelas cargas fixas. Já em dispositivos de canal p, os efeitos são somatórios, visto que ambos deslocam a tensão de limiar negativamente.

2.5.3 Comparação do efeito da radiação entre SOI MOSFETs e MOSFETs convencionais

Ao se analisar o efeito transitório, conclui-se que o SOI MOSFET é muito melhor que o dispositivo MOSFET convencional, pois o dispositivo SOI possui uma área de silício ativa muito menor do que o convencional, resultando em uma menor influência da criação de pares elétron-lacuna.

Embora a menor área ativa de silício resulte em menor influência da geração de pares elétron-lacuna no comportamento transitório do dispositivo SOI, a presença do óxido enterrado faz com que este tipo de transistor seja mais susceptível a efeitos permanentes (cargas fixas no óxido e armadilhas de interface).

3 PROCEDIMENTOS EXPERIMENTAIS

Os dispositivos estudados são FinFETs de portas triplas (MuGFETs), fabricados no imec, na Bélgica. A estrutura dos dispositivos estudados está mostrada na Figura 13, e têm as seguintes características: largura da aleta (W_{FIN}) variando de 20 nm até 870 nm, comprimento de canal (L) de 150 nm, altura da aleta (H_{FIN}) de 65 nm e espessura do óxido enterrado (t_{BOX}) de 150 nm. O eletrodo de porta é composto de 5 nm de TiN e 100 nm de silício policristalino. O dielétrico de porta consiste em 2.3 nm de HfSiON sobre 1 nm de SiO_2, resultando em um EOT de 1.5 nm. A dopagem do canal é a dopagem natural, de aproximadamente $1x10^{15}$ cm^{-3}.

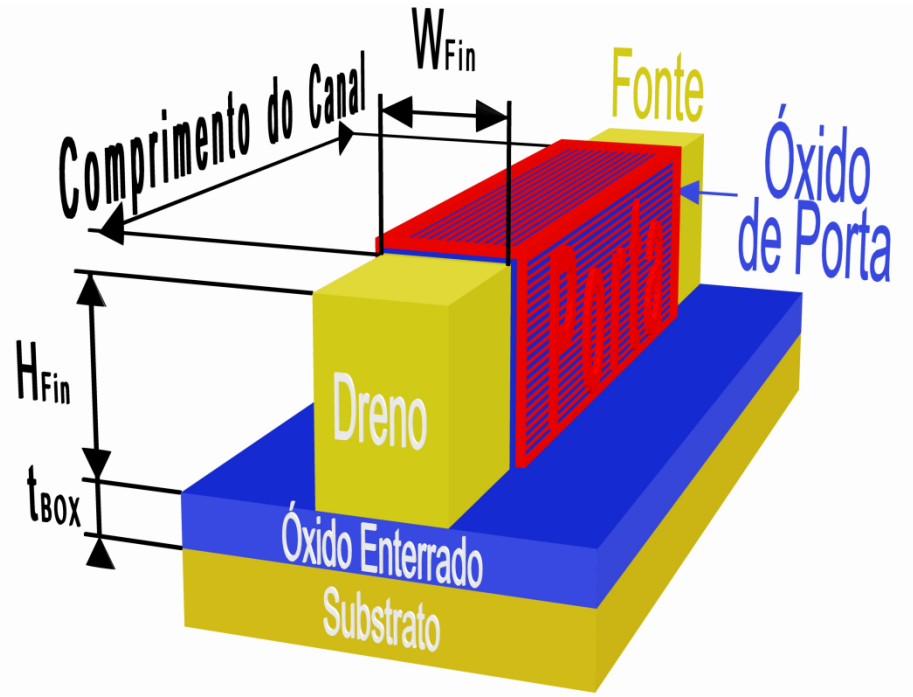

Figura 13 – Estrutura do dispositivo FinFET analisado.
Fonte: Autor.

Todas a caracterização elétrica foi realizada utilizando um analisador de parâmetros de semicondutores Agilent 4156C, localizado na Universidade de São Paulo.

3.1 Dispositivos utilizados

Foram utilizadas para análise 6 tipos de lâmina diferentes.

Lâmina D04, a qual possui dispositivos SOI FinFET (SOI).

Lâmina D05, a qual possui dispositivos FinFET SOI com tensionamento uniaxial, tensivo para dispositivos com canal n e compressivos para dispositivos com canal p. Para gerar este tipo de tensionamento, é depositada uma camada SiNx em cima da porta (SOI+CESL).

Lâmina D12, a qual possui dispositivos FinFET SOI com crescimento epitaxial na fonte e no dreno (SEG), com o intuito de diminuir a resistência série (76) (SOI+SEG).

Lâmina D13, a qual possui dispositivos FinFET SOI com tensionamento uniaxial, gerado da mesma maneira que a lâmina D05, porém esta lâmina possui também SEG (SOI+CESL+SEG).

Lâmina D20, a qual possui dispositivos FinFET SOI com tensionamento biaxial. Para gerar este tipo de tensionamento, é utilizada uma liga de silício e germânio, o qual obriga o silício a se tencionar globalmente (sSOI+SEG).

Lâmina D21, a qual possui dispositivos FinFET SOI com tensionamento uniaxial e biaxial em uma só lâmina, os quais foram gerados da mesma maneira das lâminas D13 e D20, e esta lâmina também possui SEG (sSOI+CESL+SEG).

3.2 Radiação

A radiação de prótons foi realizada no *Cyclone*, em Louven-la-Neuve (Bélgica) com uma fluência de 10^{12} p/cm^2 sem potencial aplicado com uma energia de 60MeV. Esta configuração foi estudada com o intuito de se obter o maior efeito possível na segunda interface.

A radiação de Raios-X foi realizada com o intuito de emular a radiação de prótons, pois como o Raios-X não geram tantos danos à rede cristalina, pode-se obter estudos em função da dose. A irradiação de Raios–X foi realizada no Centro Universitário da FEI, em São Bernardo do Campo (Brasil) utilizando um difractrômetro de Raio-X XRD-7000 com uma taxa de exposição de 15.09 krad(Si)/s. com uma energia efetiva gerada de 10keV. Atingindo uma dose total de 150Mrad. Com esta configuração é possível emular os efeitos da radiação de prótons no dispositivo.

4 RESULTADOS OBTIDOS

Neste capítulo será mostrada a análise dos efeitos da radiação de prótons e da radiação de Raios-X em dispositivos experimentais. Foi estudada também a influência da radiação em dispositivos tensionados.

4.1 Estudo da eficiência do tensionamento mecânico nos dispositivos sem radiação

O estudo da eficiência do tensionamento mecânico foi realizado em 4 tipos de lâminas diferentes:

a) D12 (SOI+SEG)
b) D13 (SOI+SEG+CESL)
c) D20 (sSOI+SEG)
d) D21 (sSOI+SEG+CESL).

É importante notar que todas as lâminas analisadas sofreram crescimento epitaxial na fonte e no dreno para reduzir a resistência série. Inicialmente optou-se em realizar o estudo do tensionamento mecânico em alguns parâmetros elétricos básicos, para ser possível distinguir os efeitos causados pela radiação e os efeitos causados por tensionamento mecânico.

A Figura 14 apresenta a transcondutância em função da tensão de porta para dispositivos SOI nMOSFET de três portas operando na região linear, com W_{FIN} de 20 nm e L de 50 nm (Figura 14A), e W_{FIN} de 120 nm e L de 150 nm (Figura 14B), ambos polarizados com 50 mV no dreno e com polarização nula no substrato.

Foi analisado inicialmente o comportamento da transcondutância para os dispositivos não radiados. Quando é observado o comportamento de transistores de menor dimensão (W_{FIN}=20 nm e L=50 nm), mostrados na Figura 14A, é possível ver que a menor transcondutância foi obtida para a lâmina não tensionada, enquanto lâminas que possuem tensionamento uniaxial apresentam maiores valores de transcondutância. Os dispositivos estreitos tensionados biaxialmente não apresentaram tensionamento efetivo na direção da largura do canal e portanto o único tensionamento considerado é o na direção do comprimento de canal. Neste caso, o tensionamento biaxial, além de ser pouco efetivo na direção da largura do canal, pois o dispositivo é fino, também é pouco efetivo na direção do comprimento do

canal, pois este dispositivo tem o canal bastante curto (50nm). Ainda considerando os dispositivos tensionados, porém agora com tensionamento uniaxial, sabe-se que quanto mais curto o comprimento de canal mais efetivo é o tensionamento obtido. Assim, quando são analisados dispositivos ao mesmo tempo curtos e estreitos, o tensionamento dominante é o uniaxial (na direção do comprimento de canal) causado pela deposição de camadas (*cap layer*).

Sabe-se que quanto maior é a efetividade do tensionamento, maior é a mobilidade de portadores e consequentemente maior é a transcondutância. Nesta mesma figura, nota-se que as curvas com tensionamento uniaxial e a que combina ao mesmo tempo tensionamento uniaxial e biaxial possuem valorem máximos bem próximos, pois como a largura é bem pequena, nesta última lâmina o tensionamento dominante é o uniaxial. Quando analisados dispositivos mais largos, mostrados na Figura 14B, o tensionamento biaxial passa a ser mais efetivo, e portanto, neste caso a lâmina que possui maior transcondutância é a que combina os dois tipos de tensionamento, uniaxial e biaxial.

Sabendo-se que o valor máximo da transcondutância está diretamente relacionado com a mobilidade de portadores no silício, como o tensionamento melhora a mobilidade de portadores, pode-se afirmar que gm também está relacionado com a eficiência do tensionamento. Além do efeito do tensionamento na transcondutância máxima, é também possível notar um deslocamento da curva de gm no sentido dos menores valores de tensão de porta causado pelo tensionamento, indicando uma ligeira variação na tensão de limiar do dispositivo.

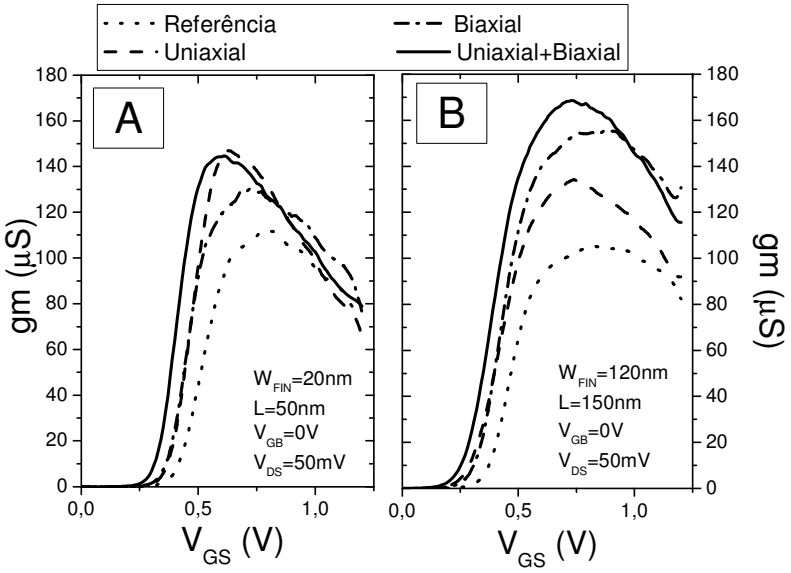

Figura 14 – Transcondutância experimental em função da tensão de porta para quatro diferentes técnicas de tensionamento em dois dispositivos diferentes: A) L=50nm e W_{FIN}=20nm e B) L=150nm e W_{FIN}=120nm.
Fonte: Autor.

A Figura 15 mostra a variação da tensão de limiar com a eficiência do tensionamento variando também a largura da aleta do dispositivo (W_{FIN}=40, 120, 370 e 870 nm). A redução da aleta está muito provavelmente provocando um aumento da concentração de portadores no canal, resultando em um aumento do potencial nesta região. O potencial elétrico do canal se torna maior que $2\phi_F$ (77), o que resulta em um aumento da tensão de limiar.

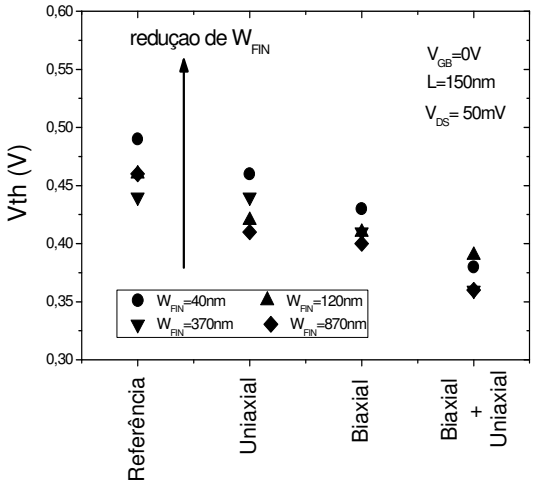

Figura 15 – Tensão de limiar em função do tipo de tensionamento, para diferentes valores de W_{FIN}.
Fonte: Autor.

Analisando as diferentes técnicas de tensionamento, sabe-se que o efeito do tensionamento na estrutura de silício faz com que ocorra uma variação na banda de condução (ΔE_C) e na banda de valência (ΔE_V), resultando em um estreitamento da largura da banda (78), consequentemente reduzindo a tensão de limiar.

Na análise da influência de GIDL (região de estado desligado, I_{OFF}) a tensão de dreno é 1.2V, para permitir tunelamento entre bandas. A corrente de dreno foi analisada em função de V_{GT} para eliminar a influência da diferença entre as tensões de limiar nesta análise (Figura 16A). É importante ressaltar que a corrente de porta (Figura 16B) não tem grande influência sobre a corrente de dreno, pois a mesma é muitas ordens de grandeza menor (Figura 16A).

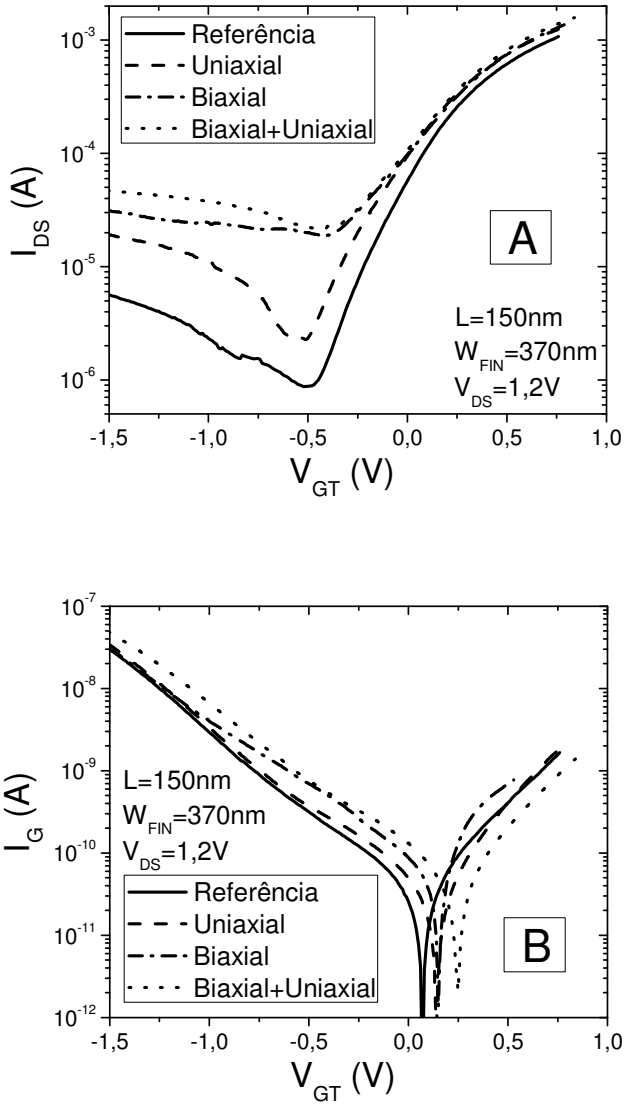

Figura 16 – Curva experimental da corrente de dreno (A) e de porta (B) em função de V_{GT} para as quatro diferentes lâminas utilizando WF_{IN} de 370nm.
Fonte: Autor.

Quando valores de corrente com tensões negativas de porta são analisados, uma forte influência da efetividade do tensionamento mecânico no GIDL pode ser observada. Foi selecionada a largura de 370nm, pois em dispositivos finos o tensionamento uniaxial é predominante e em dispositivos mais largos o biaxial passa a exercer influência na característica de corrente, portanto um W_{FIN} de 370 nm permite que ambos os tipos de tensionamento, uniaxial e biaxial, exerçam influência na corrente I_{OFF} e a diferença de GIDL para cada lâmina é mais visível.

Através da Figura 16A é possível observar que a corrente I_{OFF} aumenta conforme a efetividade do tensionamento, ou seja, há um aumento no GIDL. O maior GIDL foi observado

para lâminas com a combinação de tensionamento uniaxial e biaxial, apresentando o valor de GIDL uma ordem de grandeza maior que à lâmina não tensionada.

A relação da efetividade do tensionamento com o GIDL pode ser explicado através do estreitamento da faixa proibida que é mais pronunciada quanto maior a efetividade do tensionamento.

A variação das camadas de valência e condução, e consequentemente, o estreitamento da largura de banda do silício causado pelo tensionamento reduz ambos os parâmetros A e B, nas equações (27) e (28).

Embora o parâmetro A seja mais reduzido pelo estreitamento da largura de banda que o parâmetro B, a diminuição de A diminui a corrente de GIDL linearmente, enquanto a redução de B faz com que o GIDL cresça exponencialmente, conforme a equação (26). Portanto, uma pequena redução da largura de banda pode ser responsável por um grande aumento na corrente de fuga.

Para se considerar apenas o efeito do estreitamento da largura de banda no GIDL, simulações numéricas bidimensionais foram realizadas mantendo todos os parâmetros constantes para um dispositivo não tensionados e variando apenas a largura de banda. Estas simulações foram feitas utilizando o simulador Atlas da Silvaco (79). Nestas simulações foram considerados os modelos de tunelamento de banda para banda, tunelamento auxiliado pelas armadilhas e a recombinação de Shockley-Read-Hall com o intuito de reproduzir melhor a corrente I_{OFF}. Os valores da largura de banda foram alterados e os novos valores da largura de banda foram levados em conta nos parâmetros A e B do modelo de tunelamento de banda para banda, nas equações (27) e (28).

A Figura 17 mostra a corrente de dreno em função de V_{GT} para diferentes valores da largura de banda. As simulações variando apenas os valores da largura de banda foram realizadas para dois valores de largura da aleta (40 nm e 120 nm) como pode ser observado na figura dentro da Figura 17.

Através da Figura 17, nota-se que a redução da largura de banda pode ser a responsável pelo aumento do GIDL. Este comportamento ocorre devido ao aumento do mecanismo do tunelamento de banda para banda, confirmando a sugestão dada previamente. Analisando o gráfico de dentro da Figura 17, pode ser observada a variação do GIDL com a variação de W_{FIN}, com as simulações mostrando o mesmo comportamento encontrado experimentalmente. Para simulações com a largura de banda ajustado para o dispositivo não tensionado, não há variação

significativa no GIDL simulado para ambas as dimensões de W_{FIN}. Entretanto, quando a largura de banda é reduzida, o GIDL aumenta e a diferença entre os valores de GIDL para diferentes valores de W_{FIN} fica mais notável.

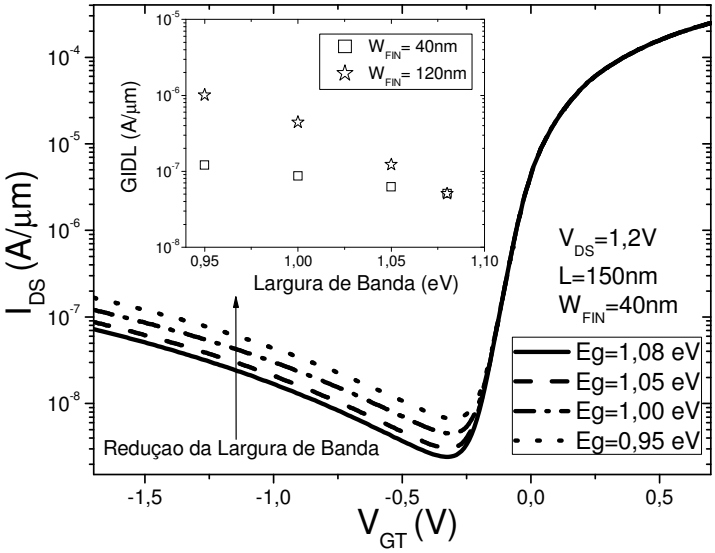

Figura 17 – Curva Simulada da corrente de dreno em função de V_{GT} variando apenas a largura de banda de 1,08 eV até 0,95 eV. Dentro os valores de GIDL obtidos com variação de W_{FIN}.
Fonte: Autor.

A influência do tensionamento no GIDL foi também estudada para dispositivos com comprimento de canal de 150 nm e W_{FIN} variando entre 40 nm e 870 nm (Figura 18A) e para dispositivos estreitos (W_{FIN}=20 nm) com o comprimento de canal variando entre 50 nm e 900 nm (Figura 18B).

Os valores de GIDL apresentados na Figura 18 foram extraídos na região de saturação (V_{DS}=1.2 V) e para um V_{GT} de -1.5 V. Sabendo que GIDL é uma corrente que possui uma dependência direta da largura da aleta, quando esta dimensão é aumentada GIDL aumenta também. Ao analisar os diferentes tipos de tensionamento, o comportamento de GIDL observado sugere que quanto mais efetivo for o tensionamento, maior é o E_G e consequentemente maior será o GIDL. Quando W_{FIN} é muito pequeno (40 nm) o tensionamento efetivo está na direção do comprimento do canal, tanto para o tensionamento uniaxial quanto para o tensionamento biaxial.

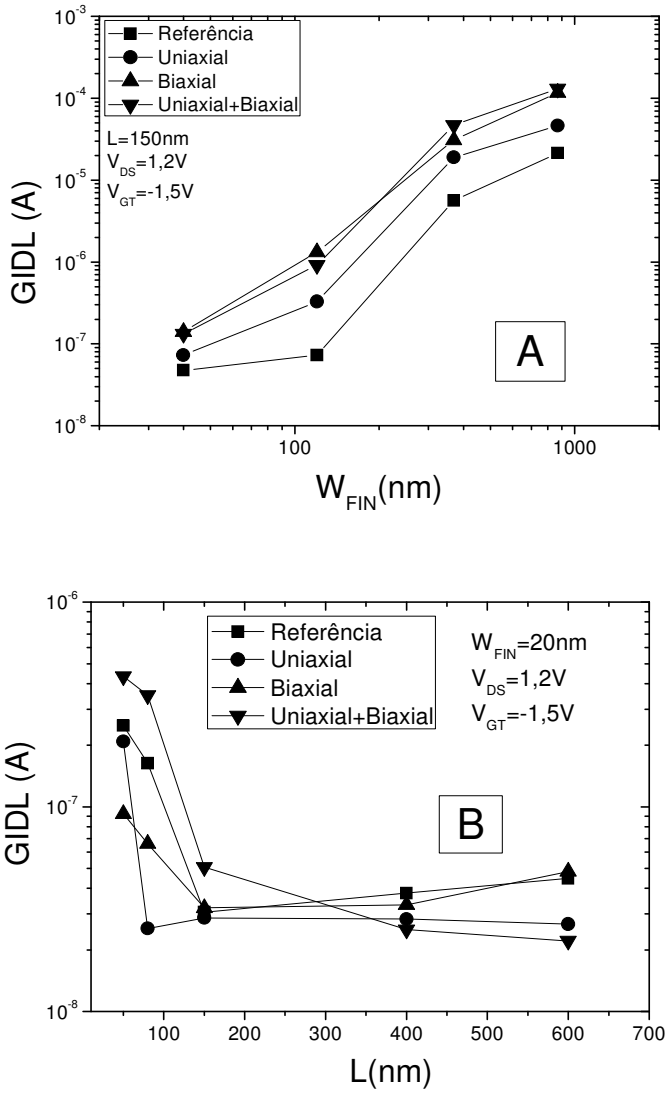

Figura 18 – Curva experimental do GIDL para quatro diferentes tipos de tensionamento em função de W_{FIN} (A) e em função do comprimento de canal (B).
Fonte: Autor.

A Figura 18A mostra os valores de GIDL em função do comprimento de canal para um W_{FIN} de 20nm. Para dispositivos estreitos, o tensionamento biaxial tensivo (sSOI) relaxa para um tensionamento uniaxial tensivo ao longo do canal.

Analisando a influência do comprimento de canal no GIDL, é possível notar que para dispositivos com comprimento de canal abaixo de 100 nm, o GIDL aumenta, mas o aumento desta corrente pode ser relacionado à amplificação da mesma devido ao efeito do transistor bipolar parasitário (80), conforme a equação (35).

$$I_{DS} = I_{GIDL}(\beta + 1) \tag{35}$$

Para dispositivos com comprimento de canal de 150 nm, o dispositivo sem tensionamento, com tensionamento uniaxial e o dispositivo com tensionamento biaxial mostraram ter o quase o mesmo valor de GIDL, e somente a lâmina que contém os dois tipos de tensionamento resultou em um pequeno aumento de GIDL. Entretanto, quando dispositivos mais longos são estudados, o comportamento do GIDL é dividido em dois grupos, com e sem tensionamento induzido por deposição de camadas (*cap layer*) (81).

Na análise em dispositivos com um longo comprimento de canal, a lâmina com tensionamento biaxial apresentou um maior GIDL enquanto lâminas com tensionamento uniaxial apresentaram menor corrente de fuga. É possível notar um GIDL maior para a lâmina com tensionamento biaxial, pois em dispositivos com longo comprimento de canal o tensionamento uniaxial gerado por deposição de camadas perde sua eficiência e o tensionamento biaxial resulta em um tensionamento mais efetivo ao longo do canal, novamente sugerindo que o GIDL é mais notável para lâminas com mais efetividade de tensionamento. Nos dispositivos que contém tensionamento uniaxial, induzidos pela deposição de camadas (*cap layer*) perdem a eficiência de tensionamento e consequentemente possuem um menor GIDL, porém este tipo de tensionamento pode provavelmente causar um grande número de defeitos na interface, que pode promover uma grande recombinação na interface e pode resultar em menor corrente de fuga, e consequentemente em um menor GIDL comparando-se com a lâmina não tensionada.

4.2 Resultados obtidos considerando a radiação de prótons

As análises considerando a radiação de próton também foram realizadas nas lâminas D12 (SOI+SEG), D13 (SOI+SEG+CESL), D20 (sSOI+SEG) e D21 (sSOI+SEG+CESL). Vale lembrar que todas estas lâminas analisadas sofreram crescimento epitaxial na fonte e no dreno para reduzir a resistência série.

Com o intuito de analisar a influência da radiação de prótons no comportamento do GIDL, foi realizada uma análise comparativa entre as características do dispositivo antes e depois da irradiação de 60 MeV de prótons. A Figura 19 mostra a corrente de dreno em função de V_{GT} antes e depois da irradiação de prótons para todas as lâminas analisadas.

Embora a radiação usualmente afete ambos os óxidos, de porta e enterrado, as recentes tecnologias possuem um óxido de porta muito fino, resultando como efeito principal da radiação as cargas armadilhadas no óxido enterrado (BOX) e o aumento na densidade de armadilhas de interface na interface de silício/BOX (82).

Na Figura 19 é possível observar que a radiação causa um aumento na corrente de fuga com a polarização negativa de porta. O aumento da corrente de fuga com a radiação de prótons é associado a dois efeitos: o aumento de GIDL depois da radiação, causado pelo aumento das armadilhas de interface que promovem o tunelamento assistido por armadilhas (TAT), e o aumento da condução através da segunda interface, como observado para SOI planares totalmente depletados (77).

A radiação de prótons é responsável pela criação de cargas dentro do óxido enterrado, o que causa uma redução da tensão de limiar da segunda interface e consequentemente em um aumento da corrente de fuga pela segunda interface. O aumento da densidade de armadilhas na segunda interface facilita o tunelamento entre bandas (83) aumentando o GIDL e consequentemente resultam em uma maior corrente I_{OFF} para polarização negativa de porta, após a radiação de prótons. É possível notar que a radiação é responsável por um grande aumento de GIDL. Apesar do aumento das armadilhas na primeira interface favorecerem o tunelamento de banda para banda, o efeito principal em I_{OFF} é causado pela corrente de fuga pela segunda interface.

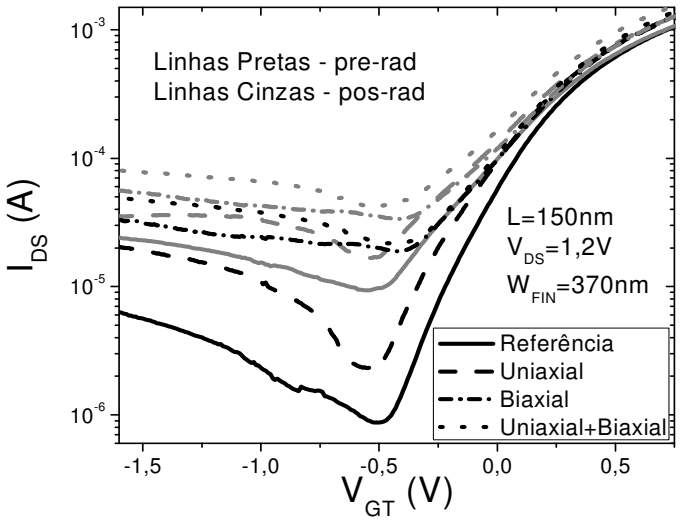

Figura 19 – Curva Experimental da corrente de dreno em função de V_{GT} com W_{FIN} de 370 nm, antes e depois da radiação, para quatro lâminas diferentes.
Fonte: Autor.

Visando quantificar a influência da corrente de porta (I_G) na corrente I_{OFF} e sua variação com a radiação, na Figura 20 é apresentada a corrente de dreno e de porta antes e depois da radiação em função de V_{GT}. Pela Figura 20 pode ser visto que a influência da radiação de prótons na corrente de porta pode ser considerada desprezível. Pode ser notado também que a corrente de porta é muito pequena devido ao uso de materiais de alta constante dielétrica na porta e também pode ser notado que I_G tem pouca influência em I_{OFF}. Pode-se então supor que a corrente de fuga pela segunda interface e o GIDL são predominantes em I_{OFF}.

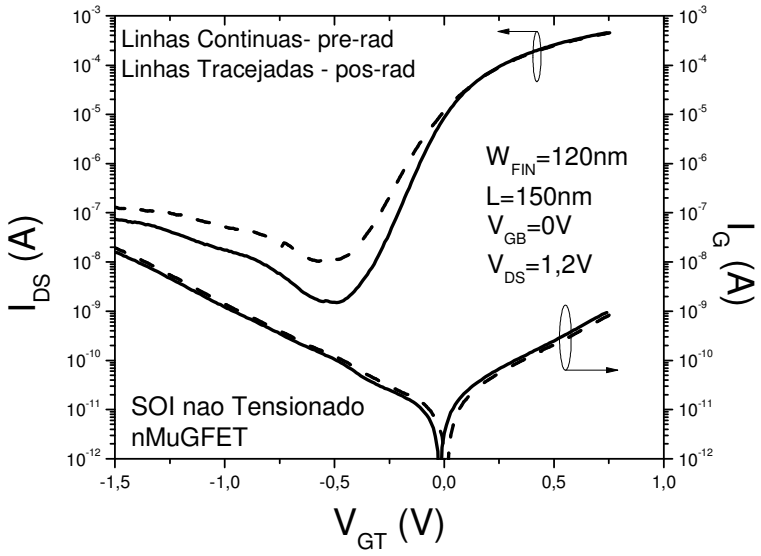

Figura 20 – Curva Experimental da corrente de dreno e de porta em função de V_{GT} com W_{FIN} de 120 nm, antes e depois da radiação de prótons.
Fonte: Autor.

Avaliando MuGFETs de canal p, a corrente de dreno antes e depois da radiação é mostrada no gráfico em função de V_{GT} para as mesmas lâminas na Figura 21. Analisando-se o comportamento da corrente de dreno na região de sublimiar para pMuGFETs, foi notado que nem a radiação nem o tipo de tensionamento mecânico tem muita influência na corrente de estado desligado (I_{OFF}) para estes dispositivos.

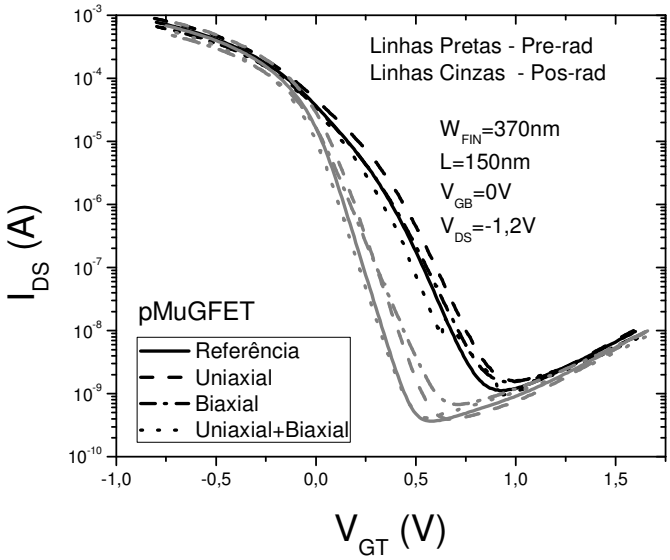

Figura 21 – Curva Experimental da corrente de dreno em função de V_{GT}, em dispositivos pMuGFET, com W_{FIN} de 370 nm, antes e depois da radiação de prótons, para as quatro lâminas estudadas.
Fonte: Autor.

Na análise das características da corrente de dreno na região de sublimiar para dispositivos irradiados, uma melhora no comportamento da mesma pode ser observada para as quatro lâminas estudadas. De maneira similar ao nMuGFET, as cargas induzidas pela radiação no pMuGFET também provocam uma variação no sentido negativo da tensão de limiar da segunda interface. Entretanto, para dispositivos que possuem canal tipo p, quanto mais negativa for a tensão de limiar da segunda interface menor será a condução pela segunda interface, resultando em uma menor corrente de fuga. Este impedimento do fluxo da corrente pela segunda interface resulta em uma melhoria da inclinação de sublimiar.

A corrente de porta antes e depois da radiação para dispositivos pMuGFET também foi estudada e na Figura 22 é mostrada a corrente de dreno e de porta em função de V_{GT} para pMuGFETs. Através da comparação entre a corrente de dreno e de porta é possível notar que os valores de correntes são iguais para polarização de porta positiva, ou seja, a corrente I_{OFF} não varia porque ela não depende de GIDL, mas sim está relacionada ao tunelamento direto através do dielétrico de porta, que possui um nível de corrente muito superior que o GIDL, e esta corrente de porta por sua vez não foi suficientemente degradado para o nível de radiação estudado. Em dispositivos nMuGFET a corrente de porta influência é bastante inferior a I_{OFF} (Figura 20), sendo portanto o GIDL é o fator predominante na composição de I_{OFF}, quando comparados aos dispositivos pMuGFETs.

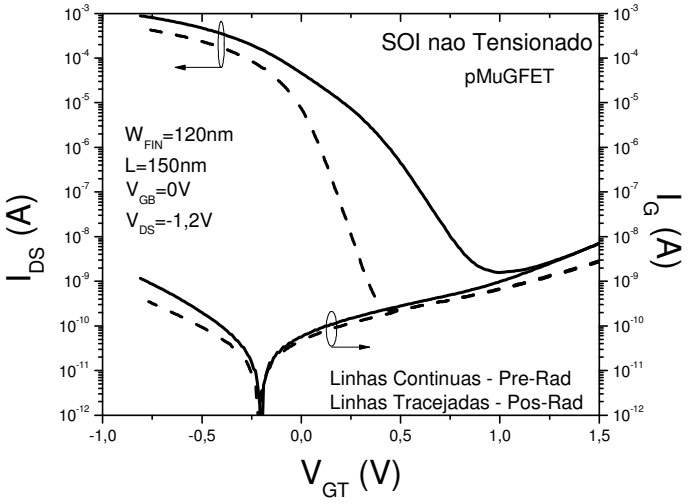

Figura 22 – Curva Experimental da corrente de dreno e de porta em função de V_{GT} com W_{FIN} de 120 nm, para dispositivos pMuGFETs, antes e depois da radiação.
Fonte: Autor.

4.3 Estudo da influência da temperatura nos dispositivos antes e após a radiação de prótons

Considerando que para a maioria das dimensões estudadas a maior efetividade do tensionamento é obtida para o uso de tensionamento uniaxial e biaxial em uma mesma lâmina, os estudos realizados em função da temperatura serão feitos apenas em duas lâminas, a lâmina não tensionada (D12 – SOI+SEG) e a lâmina tensionada uniaxialmente e biaxialmente (D21 – sSOI+SEG+CESL).

A Figura 23 mostra a influência da temperatura, do tensionamento e da radiação de prótons no comportamento da transcondutância, para nMuGFETs com larguras de 40 nm e 120 nm. Focando-se no efeito da temperatura, é possível observar uma menor transcondutância para dispositivos submetidos a temperatura mais elevada devido à redução da mobilidade de portadores. Além disso, como esperado, uma leve redução da tensão de limiar também é notada.

Neste caso, a lâmina tensionada apresenta alta efetividade de tensionamento e, portanto o aumento da mobilidade dos portadores causado pelo tensionamento prevalece sobre a redução da mobilidade causada pelo aumento da temperatura, resultando em uma maior transcondutância para os dispositivos tensionados.

Com o intuito de analisar no efeito da radiação é possível notar que em dispositivos mais estreitos a radiação causa apenas uma pequena degradação na transcondutância. No

entanto, para dispositivos mais largos uma variação mais significativa da transcondutância pode ser notada. Isto ocorre devido ao melhor controle das cargas no canal devido a um melhor acoplamento eletrostático, assim apresentando menor influência da segunda interface.

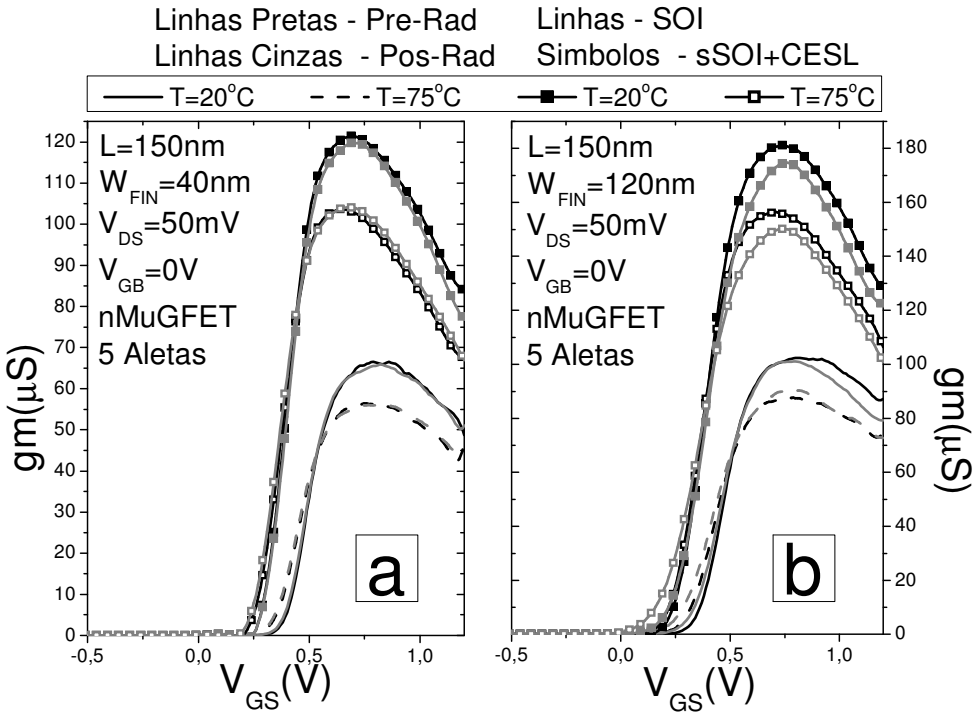

Figura 23 – Transcondutância em função de V_{GS} antes e depois da radiação, com larguras de 40 nm e 120 nm, para diferentes temperaturas em dispositivos tensionados e não tensionados.
Fonte: Autor.

Em uma primeira análise da mobilidade de baixo campo elétrico (μ_0), o qual é proporcional à transcondutância (para valores de $V_{GS}>V_T$) os resultados sugerem que quando consideradas as três influências, o tensionamento mecânico possui uma maior influência sobre a mobilidade de baixo campo, que a temperatura pois apesar do aumento da temperatura degradar μ_0 o ganho que se obtém com o tensionamento é bastante superior. Ainda analisando-se a mobilidade de baixo campo elétrico, o efeito da radiação foi o menos nocivo.

Para estudar a influência da temperatura na corrente I_{OFF}, faz-se necessário analisar o gráfico da corrente de dreno em função de V_{GT} (Figura 24). A partir desta figura pode-se notar que a temperatura, o tensionamento e a radiação, todos colaboram com o aumento da corrente I_{OFF}. Tanto a temperatura quanto o tensionamento geram um estreitamento da largura de banda, o que resulta em um aumento do GIDL, como já demonstrado na seção 4.1. Além de aumentar GIDL, e consequentemente, aumentar I_{OFF}, a temperatura também provoca a redução da tensão

de limiar da segunda interface causando uma maior condução pela mesma, resultando em uma maior corrente I_{OFF}.

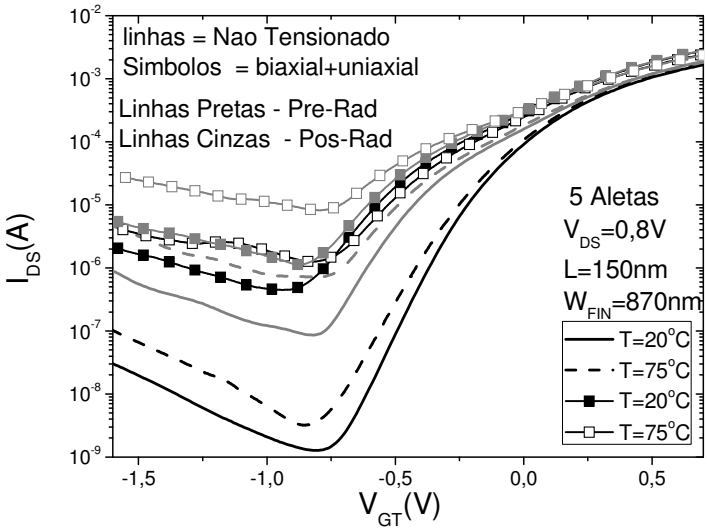

Figura 24 – Curva experimental da corrente de dreno em função de V_{GT} antes e depois da radiação, para diferentes temperaturas em dispositivos tensionados e não tensionados.
Fonte: Autor.

Com o intuito de separar os efeitos da temperatura e da radiação de prótons que contribuem para a corrente I_{OFF}, algumas simulações numéricas foram desenvolvidas. A Figura 25 mostra o resultado da variação de cada parâmetro, temperatura (Figura 25A) e cargas no óxido (Figura 25B), na corrente de dreno.

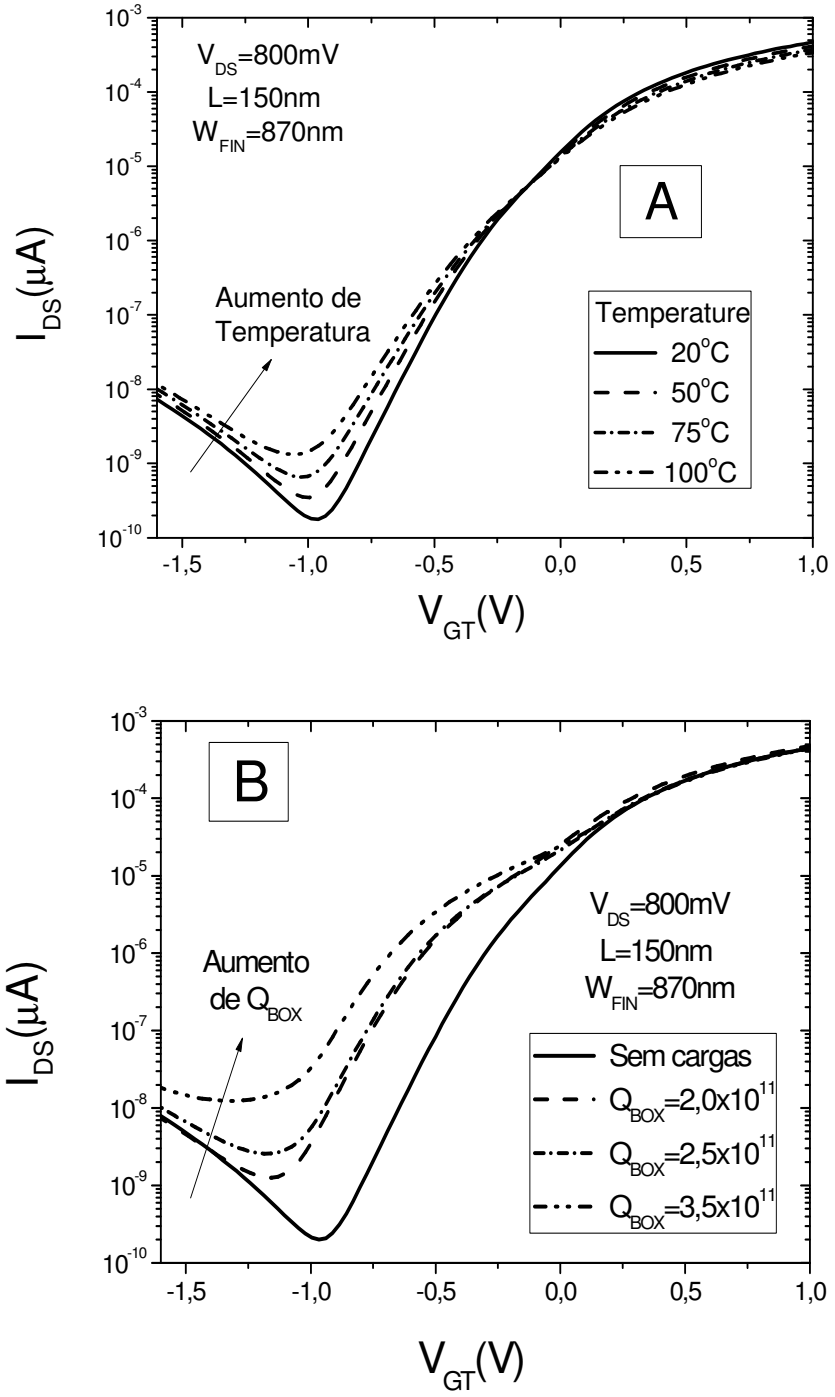

Figura 25 – Corrente de dreno simulada em função de V_{GT}, variando a temperatura (a) e as cargas no óxido enterrado (b).
Fonte: Autor.

Da mesma forma como foi feito para verificar o efeito do estreitamento da largura de banda, para analisar a influência da temperatura em I_{OFF}, todos os outros parâmetros foram mantidos constantes variando apenas a temperatura. É possível perceber através da Figura 25A que para valores de V_{GT} menores que -1.3V, região cuja corrente predominante é o GIDL, a

variação de temperatura tem pouca influência na corrente de dreno, indicando que este aumento seja causado pelo estreitamento da largura de banda associado ao tunelamento de banda para banda. Embora o GIDL seja pouco influenciado pela temperatura, quando é analisada a região de sublimiar é possível notar uma degradação da inclinação de sublimiar com aumento da temperatura devido tanto a uma relação direta da temperatura com a região de difusão, quanto ao aumento da corrente de fuga que passa através da segunda interface devido à diminuição de sua tensão de limiar.

O efeito da radiação de prótons pode ser dividido em duas partes, a densidade de armadilhas de interface e as cargas fixas no óxido. Sabendo que as armadilhas de interface contribuem para o tunelamento de portadores entre bandas, este componente afeta diretamente o GIDL e consequentemente I_{OFF}. Já as cargas fixas no óxido enterrado criadas pela radiação são responsáveis por uma diminuição de V_{T2}, e como pode ser observada na Figura 25B há uma grande condução pela segunda interface, onde há um *plateau* anômalo na região de sublimiar, para altos valores de carga fixa. Esta alta corrente pela segunda interface é mais importante que o GIDL, dominando a corrente de fuga para polarização negativa.

Analisando a inclinação de sublimiar para dispositivos tensionados (Figura 26A) e não tensionados (Figura 26B), pode-se notar que dispositivos mais largos apresentam uma maior inclinação de sublimiar devido ao menor acoplamento entre as portas. Dispositivos mais largos, por possuírem um menor acoplamento eletrostático, são mais susceptíveis a efeitos de canal curto.

A radiação em dispositivos mais estreitos não afeta muito a inclinação de sublimiar, devido a dispositivos estreitos possuírem menor área afetada e maior acoplamento entre as portas. Já em dispositivos mais largos a inclinação de sublimiar é bastante afetada pela radiação devido ao aumento da corrente de fuga pela segunda interface causada pela redução de V_{T2} (grande influência das cargas armadilhadas no óxido enterrado).

Já os outros efeitos estudados, o tensionamento e a temperatura, ambos geram estreitamento da largura de banda (52) e também correntes de fuga pela segunda interface, resultando em degradação da inclinação de sublimiar.

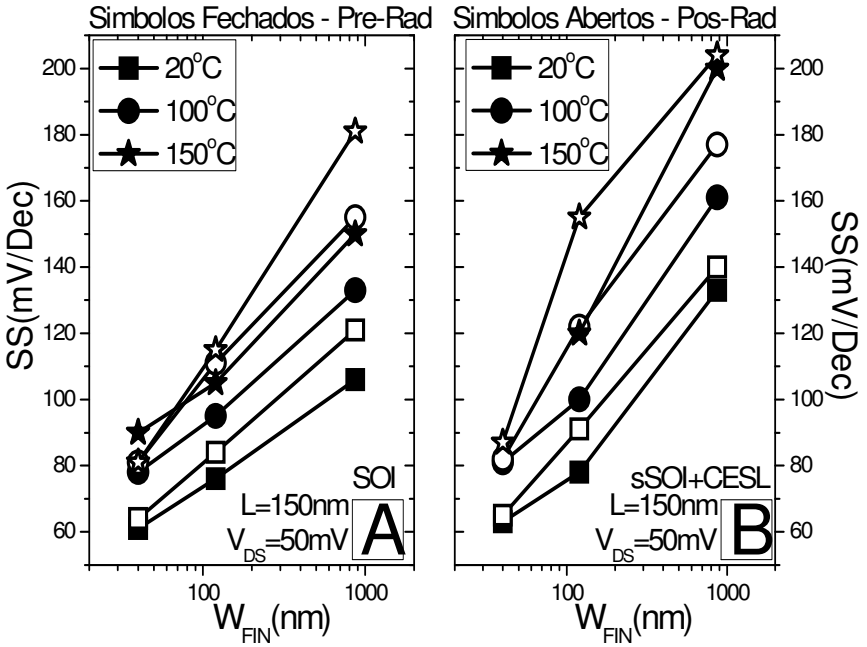

Figura 26 – Inclinação de sublimiar em função de W_{FIN}, em diferentes temperaturas, antes e depois da radiação, para dispositivos não tensionados (a) e tensionados (b).
Fonte: Autor.

A Figura 27 apresenta o parâmetro de diminuição da altura barreira de potencial junto à fonte induzida pelo dreno (DIBL) (84) em função da largura do dispositivo para diferentes temperaturas, antes e depois da radiação para dispositivos não tensionados (Figura 27A) e tensionados (Figura 27B).

O DIBL foi extraído através da diferença das tensões de limiar com a tensão de dreno polarizada em 50 mV e em 0,8 V, dividido pela diferença das tensões de dreno aplicadas. A tensão de limiar para o dispositivo com a tensão de dreno de 50 mV foi extraída através do método da segunda derivada, e a tensão de limiar para o dispositivo com tensão de dreno de 0,8V foi extraída através do método do nível de corrente, adotando o nível de corrente obtida com a tensão de limiar com tensão de dreno de 50 mV como o nível necessário para extrair a tensão de limiar com tensão de dreno de 0,8 V.

O DIBL é mais pronunciado e dispositivos mais largos, pois há um menor acoplamento entre as portas o que aumenta os efeitos de canal curto. O efeito da temperatura também é mais significativo em dispositivos com aletas largas, pois a mesma causa diminuição do campo elétrico vertical, aumentando a influência do dreno resultando em mais DIBL.

Focando no efeito da radiação, esta também faz com que aumente o DIBL devido ao surgimento de cargas fixas armadilhadas no óxido enterrado, aumentando a corrente de fuga

pela segunda interface, a qual tem um significativo aumento com a elevação da tensão de dreno. Já o tensionamento (Figura 27B) aumenta o número de defeitos, causando estreitamento da largura da banda, consequentemente aumentando o DIBL (85). Comparando-se os diversos efeitos em DIBL, o componente mais prejudicial encontrada nesta análise foi o tensionamento mecânico (86).

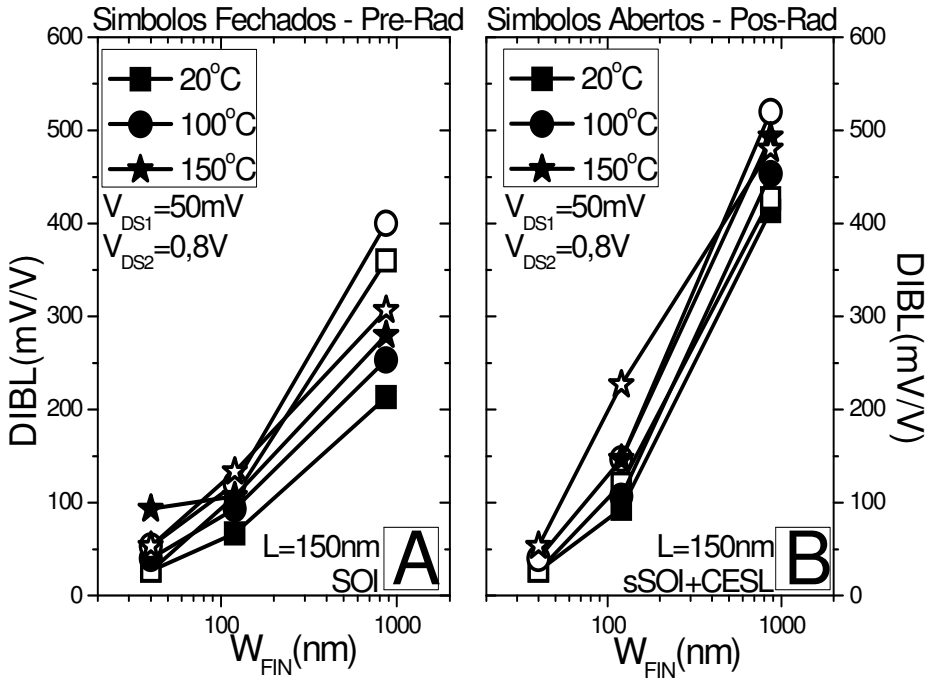

Figura 27 – DIBL em função de W_{FIN}, em diferentes temperaturas, antes e depois da radiação, para dispositivos não tensionados (A) e tensionados (B).
Fonte: Autor.

Ao analisar a transcondutância em saturação (gm_{sat}) e a condutância de saída (g_D) (Figura 28), nota-se que o aumento da temperatura diminui gm_{sat}, pois degrada a mobilidade dos portadores, e também diminui g_D, pois diminui o campo elétrico do dreno, o qual reduz a região de depleção. Já o tensionamento aumenta ambos, pois melhora a mobilidade de portadores. Quando se aumenta a temperatura de dispositivos tensionados tem-se grande impacto no dispositivo devido à degradação da mobilidade e o relaxamento do tensionamento e do espalhamento de rede.

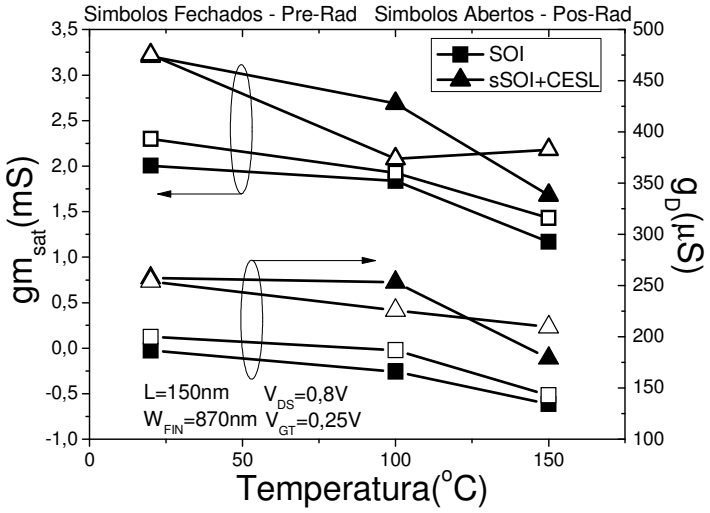

Figura 28 – Condutância de saída e transcondutância em função da temperatura para dispositivos tensionados e não tensionados, antes e depois da radiação.
Fonte: Autor.

Através da análise da Figura 29, a qual mostra o ganho intrínseco de tensão (A_V) em função da temperatura, pode-se notar que não há uma variação considerável de A_V com o tensionamento, havendo apenas uma pequena variação de A_V com a temperatura. Sabendo-se que A_V pode ser modelado pela equação (20), nota-se que o tensionamento não alterou consideravelmente A_V, pois aumentou proporcionalmente g_D e gm_{sat}, fazendo com que razão entre os dois ficasse praticamente constante. Já o aumento da temperatura fez com que diminuísse gm_{sat} um pouco mais que g_D, resultando em uma pequena diminuição do A_V.

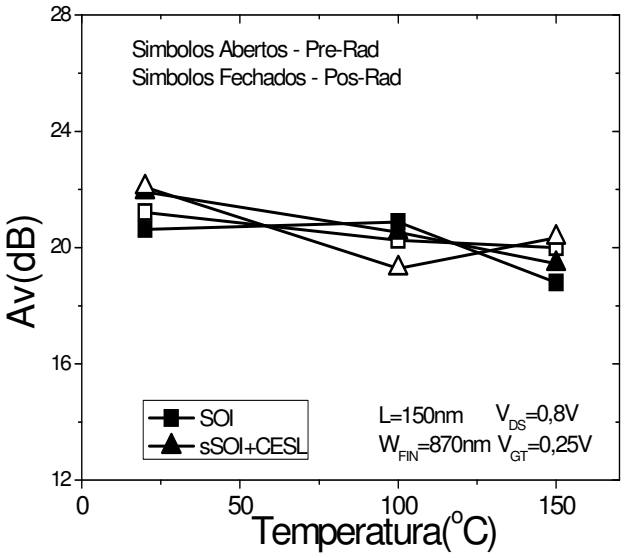

Figura 29 – Ganho intrínseco de tensão em função da temperatura para dispositivos tensionados e não tensionados, antes e depois da radiação.
Fonte: Autor.

Quando os efeitos da radiação, altas temperaturas e tensionamento juntos na corrente I_{OFF} são estudados (Figura 30), nota-se que I_{OFF} atinge valores maiores que 10 µA e embora a corrente do dispositivo ligado também aumente, o aumento de I_{OFF} é tão grande que reduz muito a razão entre as correntes de estado ligado e desligado, podendo alterar a confiabilidade do transistor estudado, apresentando uma relação I_{ON}/I_{OFF} de apenas 10^3. Pode-se notar também que o efeito menos prejudicial é o da temperatura, o efeito intermediário é a radiação de prótons e o tensionamento é o efeito que mais eleva a corrente de estado desligado, prejudicando o funcionamento dos dispositivos.

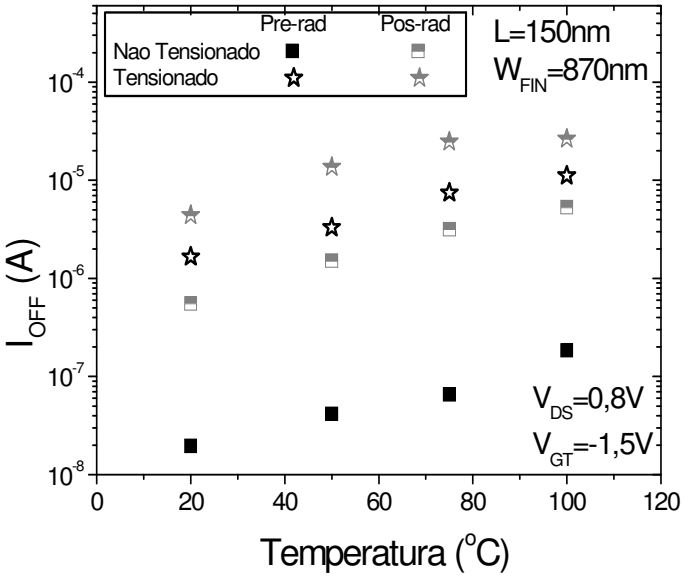

Figura 30 – Corrente I_{OFF} em função da temperatura para dispositivos tensionados e não tensionados, antes e depois da radiação.
Fonte: Autor.

4.4 Resultados obtidos em radiação de Raios-X

Sabendo-se que a radiação de Raios-X pode provocar o mesmo efeito de geração de parem elétron-lacuna e consequentemente a mesma variação de cargas nas interfaces e armadilhas nos óxidos que a radiação de prótons, sem no entanto causar danos na estrutura cristalina (ocorre quando consideramos partículas grandes como prótons), o estudo do comportamento dos dispositivos em função da dose foi realizado utilizando-se este tipo de radiação.

Uma diferença entre os tipos de radiação abordados acima que temos que ter em mente é que considerando a radiação de prótons, por ser uma partícula, causa danos na estrutura

cristalina afetando diretamente a mobilidade, enquanto para a radiação de Raios-X isto não ocorre.

As análises de radiação de Raios-X foram realizadas nas lâminas D04 (SOI) e D05 (SOI+CESL). Note que para estas análises nenhuma lâmina sofreu crescimento epitaxial na fonte e no dreno. Foram realizados estudos envolvendo os efeitos da radiação de Raios-X e tensionamento com o intuito de relacionar a importância da radiação comparada ao tensionamento.

Analisando dispositivos tensionados e não tensionados nFinFETs, antes e depois da radiação de Raios-X (Figura 31A) é possível notar que a inclinação de sublimiar aumenta devido às cargas positivas geradas no óxido enterrado (15). Estas cargas também diminuem a tensão de limiar da segunda interface, induzindo um aumento da corrente de fuga, resultando em um aumento de inclinação de sublimiar, fazendo a curva se deslocar da direita para a esquerda.

Na Figura 31B, onde a mesma análise foi realizada para dispositivos com canal p, foi observado que há uma melhora (diminuição) da inclinação de sublimiar, fazendo com que este parâmetro se aproxime do ideal (60mV/Dec). Este comportamento pode ser explicado pela variação da tensão de limiar na direção de valores negativos de V_{GS} causado pelas cargas positivas no óxido enterrado, ou seja, a radiação de Raios-X gera um crescimento do valor absoluto da tensão de limiar da segunda interface, resultando em uma diminuição da corrente parasita nesta interface. Novamente, os dispositivos tensionados sofreram menos com a radiação, ou seja, sofreram menores variações que podem ser notadas através da Figura 31.

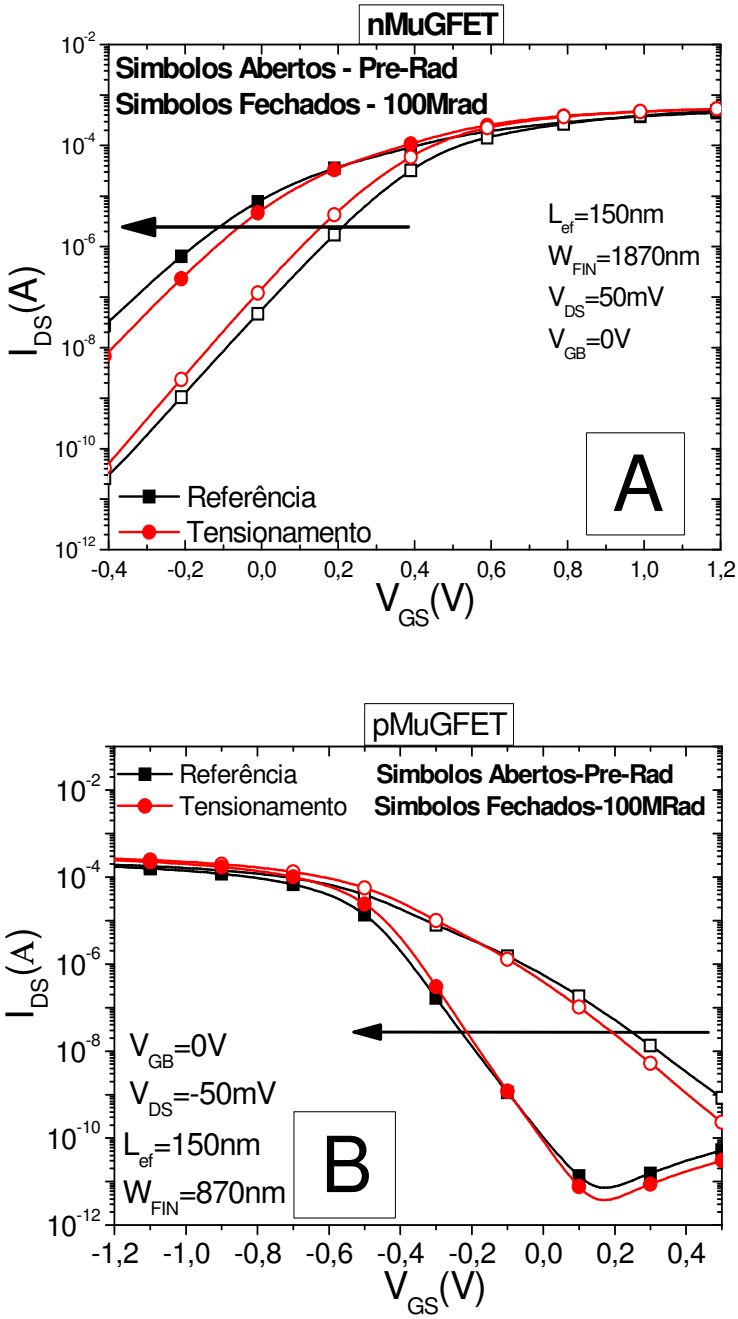

Figura 31 – Corrente I_{DS} em função de V_{GS} para dispositivos nFinFET (A) e pFinFET (B), antes e depois da radiação.
Fonte: Autor.

A Figura 32 mostra a tensão de limiar em função da dose total de ionização para diferentes larguras dos dispositivos para nFinFETs (Figura 32A) e pFinFETs (Figura 32B).

Considerando que os dispositivos estudados são totalmente depletados, qualquer mudança na segunda interface afetará a primeira interface. A Figura 32A mostra uma redução da tensão de limiar efetiva devido a redução da tensão de limiar da segunda interface, com o incremento da dose da radiação acima de 100 Mrad, que consequentemente reduz a tensão de

limiar da primeira interface. Este comportamento pode ser observado tanto para dispositivos largos quanto para dispositivos mais estreitos.

Para dispositivos pFinFETs o mesmo efeito pode ser notado (Figura 32B), onde o aumento do valor absoluto da tensão de limiar da segunda interface com o aumento da dose também aumenta a tensão de limiar da primeira interface nos dispositivos estudados.

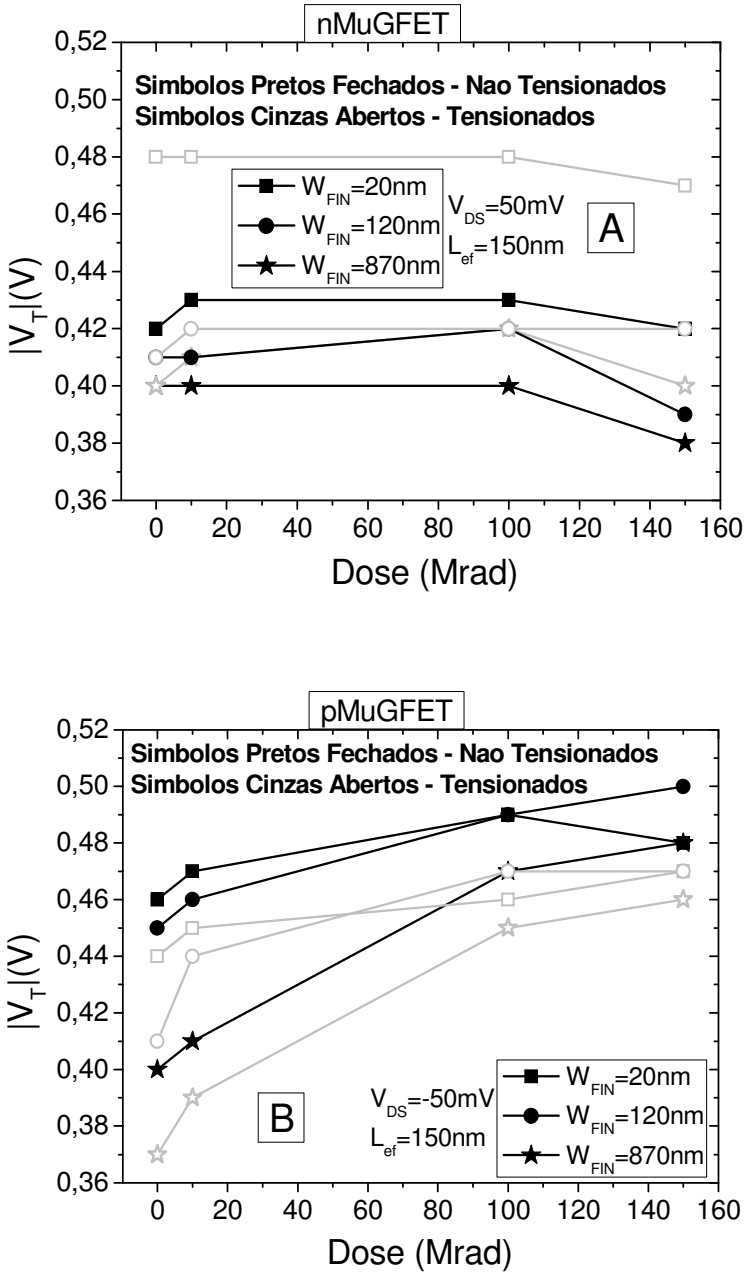

Figura 32 – Tensão de limiar em função da dose de radiação de Raios-X, para dispositivos nFinFETs (A) e pFinFETs (B).
Fonte: Autor.

A maior variação da tensão de limiar é observada para dispositivos bem largos devido à maior exposição do óxido e menor acoplamento eletrostático. Com o intuito de provar que a variação da tensão de limiar não está sendo alterada por algum efeito de canal curto, a mesma análise da tensão de limiar em função da dose foi realizada para o dispositivo mais longo (Figura 33).Ambos os tipos de dispositivos apresentaram a mesma tendência previamente discutida. Quando comparado o efeito da radiação de Raios-X em ambos os dispositivos, uma grande variação da tensão de limiar pode ser percebida nos dispositivos pFinFET. Nos dispositivos pFinFETs, a tensão de limiar medida após a radiação é maior, quando comparada ao dispositivo nMuGFET, pois tende a levar a segunda interface à acumulação, e para níveis de radiação mais altos a variação é apenas da tensão de limiar da primeira interface devido à inibição da segunda interface, diminuindo a variação de V_T. Os dispositivos nFinFET aumentam a condução pela segunda interface resultando em uma tensão de limiar medida das duas interfaces, reduzindo a variação de V_T.

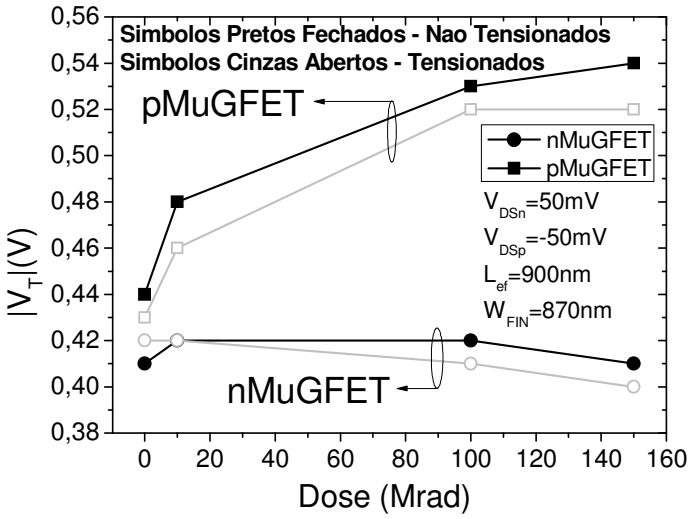

Figura 33 – Tensão de limiar em função da dose de radiação de Raios-X, para dispositivos nFinFETs e pFinFETs com comprimento de canal de 900 nm.
Fonte: Autor.

Quando a inclinação de sublimiar (SS) é analisada na Figura 34, um aumento em SS pode ser observado para dispositivos nFinFETs. Este aumento é devido ao aumento da condução pela segunda interface, conforme mencionado anteriormente. Dispositivos mais estreitos apresentam uma menor degradação em SS ou uma menor influência da radiação sobre SS devido ao melhor controle de cargas no canal, causado por um melhor acoplamento entre as portas.

Entretanto, pFinFETs mostram a tendência oposta quando comparados aos nFinFETs. Para dispositivos pFinFETs a radiação tende a reduzir a corrente de fuga pela segunda interface, melhorando o desempenho do dispositivo e consequentemente reduzindo SS.

Através da Figura 32, da Figura 33 e da Figura 34 uma observação importante pode ser notada, que os dispositivos tensionados são menos susceptíveis aos efeitos da radiação. É sugerido que a deposição da camada de nitreto sobre a porta (76,87) pode proteger o dispositivo atenuando a dose que chega ao óxido enterrado.

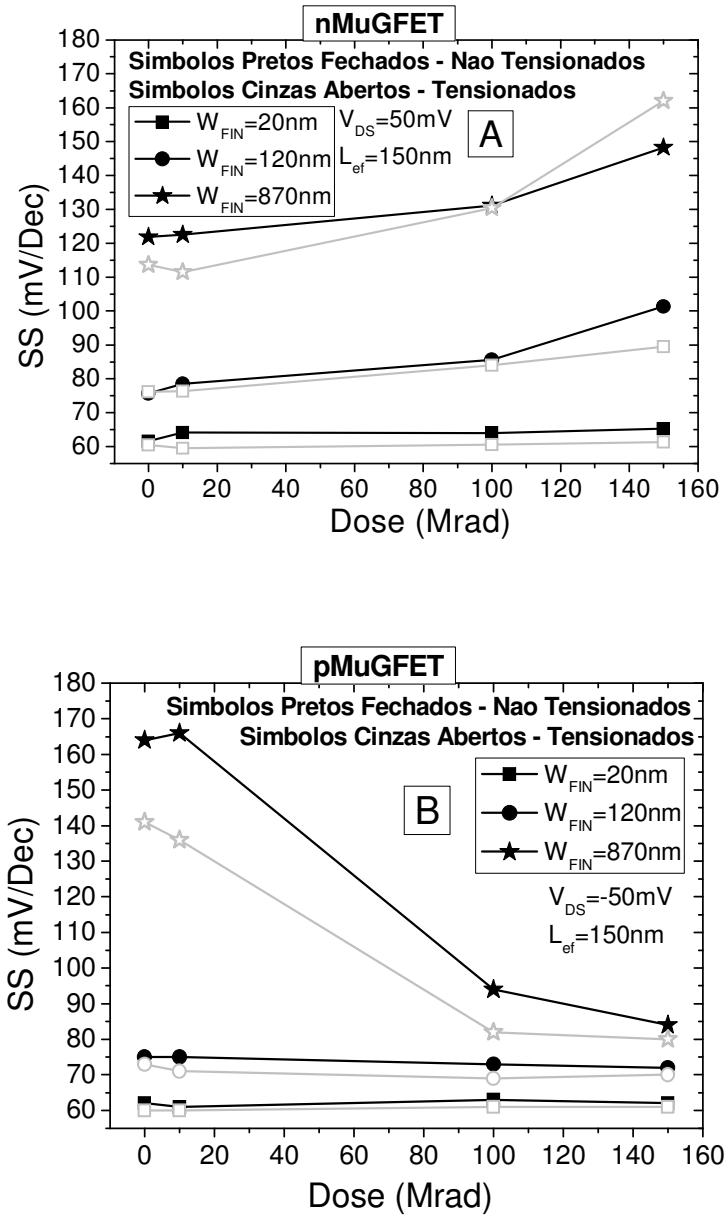

Figura 34 – Inclinação de sublimiar em função da dose de radiação de Raios-X, para dispositivos nFinFETs (A) e pFinFETs (B).
Fonte: Autor.

A Figura 35 mostra a curva da transcondutância em função de V_{GS} para dispositivos nFinFET (Figura 35A) e pFinFET(Figura 35B). Através da Figura 35A é possível ver que a radiação causa um aumento da transcondutância na região de sublimiar, indicando que o dispositivo começa a conduzir através da segunda interface antes mesmo que a primeira interface.

Cargas positivas geradas no óxido enterrado reduzem as tensões de limiar de ambas as interfaces. Sabendo que o óxido enterrado é muito mais espesso que o óxido de porta, a variação da tensão de limiar da segunda interface se torna muito mais significativa do que a da primeira interface. Em ambos os casos ouve uma redução do valor máximo da transcondutância, o que se deve a dois fatores: a redução da mobilidade e o aumento da corrente de fuga.

Dispositivos não tensionados com uma maior largura, mesmo antes da radiação, apresentam um comportamento anômalo na curva da transcondutância devido à condução pelas duas interfaces, causando um *plateau* na curva da transcondutância (88) impedindo o uso da extração do valor máximo de gm para estimar a mobilidade de baixo campo.

A Figura 35B mostra o comportamento da transcondutância antes e depois da radiação para dispositivos pFinFET. Através desta figura é possível ver que a região de sublimiar apresenta uma transição mais abrupta depois da radiação, ou seja, aparentemente para dispositivos com canal p, a radiação faz com que o dispositivo pare de conduzir pela segunda interface, melhorando o desempenho do dispositivo. Com o intuito de analisar a transcondutância máxima (gm_{max}), antes da radiação os dispositivos de canal p mostraram um menor gm_{max} que depois de irradiado. Este comportamento não esperado pode ser explicado pela corrente de fuga pela segunda interface já apresentada antes da radiação e consequentemente pelo menor controle da tensão de porta para dispositivos não radiados. Depois de irradiados a corrente passa predominantemente pela primeira interface, aumentando o nível da transcondutância.

Conclui-se que para dispositivos que possuem condução pela segunda interface, não é possível associar o valor da mobilidade de baixo campo diretamente com o valor máximo da transcondutância, pois este é afetado pela condução pela segunda interface.

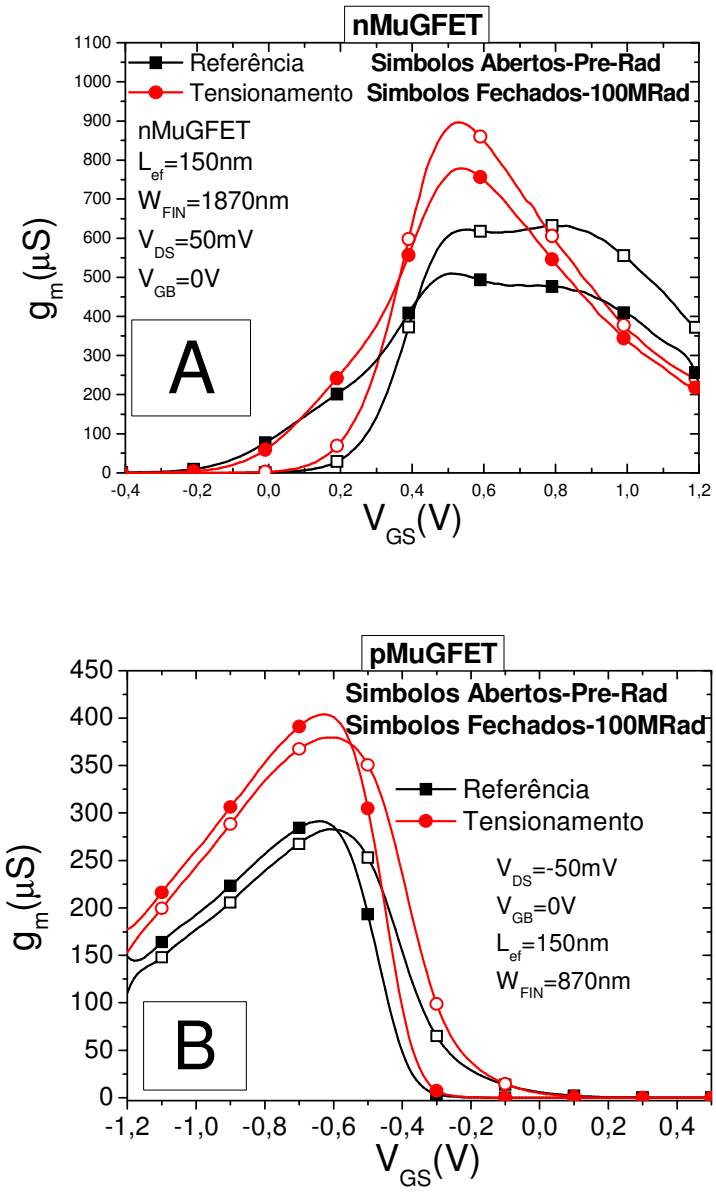

Figura 35 – Transcondutância em função de V_{GS} para dispositivos nFinFET (A) e pFinFET (B), antes e depois da radiação.
Fonte: Autor.

Para analisar a influência da segunda interface foram feitas medidas mudando a polarização do substrato. Os dispositivos FinFET não tensionados tem a tensão de substrato variando de 0 até -15 V, antes (Figura 36A) e depois (Figura 36B) da radiação. Pela redução da tensão do substrato (valores negativos) a corrente parasita da segunda interface o efeito anômalo tende a desaparecer.

Quando o substrato do dispositivo é polarizado no sentido oposto à condução, negativamente para nMuGFETs e positivamente para pMuGFETs, a segunda interface tende a acumular e o potencial do corpo é mudado. Esta condição da segunda interface, associada a

cargas positivas induzidas pela radiação (Figura 36B), resultam no aparecimento de um efeito que distorce a curva da transcondutância (88). A mudança no comportamento da curva da transcondutância na região de sublimiar com o substrato polarizado confirma a sugestão dada previamente sobre a condução através da segunda interface. Sabendo que a polarização de substrato se torna mais negativa, a condução pela mesma passa a desaparecer e, consequentemente, há uma melhora na curva da transcondutância.

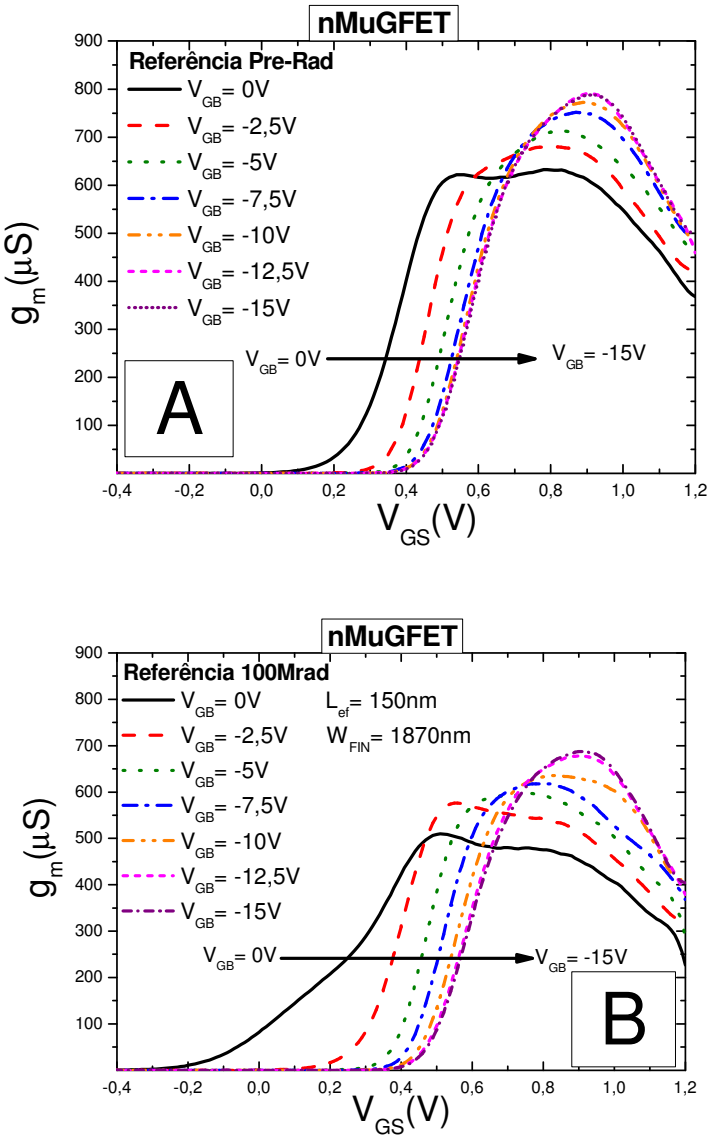

Figura 36 – Transcondutância em função de V_{GS} para dispositivos nFinFET, antes (a) e depois (b) da radiação.
Fonte: Autor.

Para melhor entender o comportamento da corrente de fuga pela segunda interface, o transistor de baixo (considerando o substrato como a porta) foi medida variando-se a tensão em

V_{GB} de –2V até 16V, considerando a tensão de porta da primeira interface para 4 valores diferentes (0 V; 0,5 V; 1,0 V e 1,5V), como pode ser observado na Figura 37.

É possível notar que quando V_{GS}=0 V há picos distintos, o que mostra que a condução em cada interface ocorre independentemente. Para V_{GS}=0.5 V há dois picos parcialmente sobrepostos, aparecendo o comportamento anômalo de gm, e impossível distingui-los aumentando V_{GS} ainda mais a corrente da primeira interface é desligada e apenas um pico é visível na curva da transcondutância.

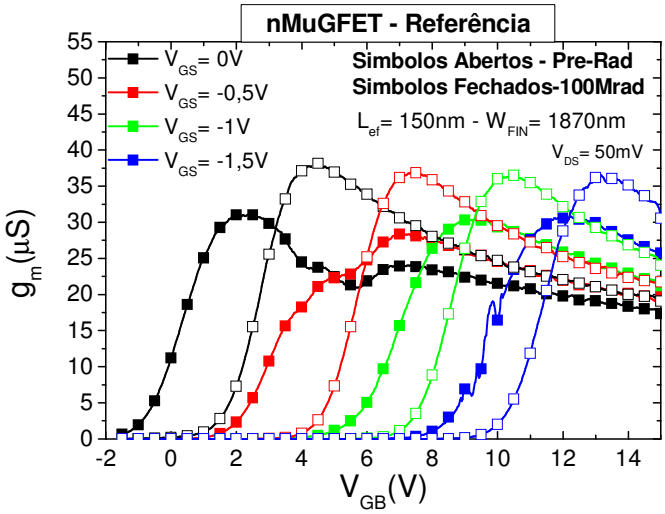

Figura 37 – Transcondutância em função de V_{GB} para dispositivos nFinFET, com alteração na tensão de porta.
Fonte: Autor.

A influência da polarização do substrato foi analisada para dispositivos pFinFET não tensionados (Figura 38A), com o objetivo de isolar o efeito da segunda interface na transcondutância. Quando aplicada diferentes tensões é notável que para polarizações positivas de V_{GB} o nível de transcondutância permanece o mesmo antes e depois da radiação, sugerindo que até a dose de 100MRad a radiação de Raios-X não tem influência na mobilidade de portadores.

Quando é analisada a transcondutância em função de V_{GB} para diferentes valores de V_{GS}, é notado que a segunda interface é mais afetada pela radiação que a primeira (Figura 38B). Para todas as polarizações de porta analisadas, a radiação causa uma degradação e uma variação negativa na curva. Ambos os efeitos podem ser explicados pelo aumento das cargas fixas armadilhadas e das armadilhas de interface induzidas pela radiação.

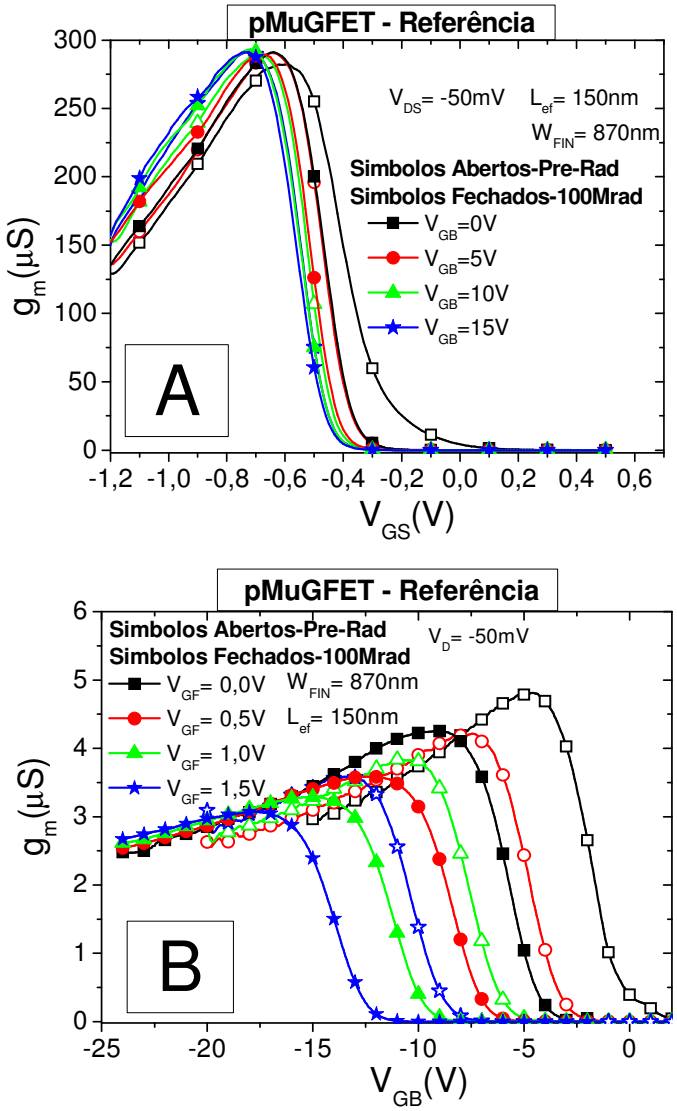

Figura 38 – Transcondutância em função de V_{GS} (a) e em função de V_{GB} (b) para dispositivos pFinFET .
Fonte: Autor.

A Figura 39A descreve a transcondutância em dispositivos tensionados em função de V_{GS}. Dispositivos com canal n e p foram estudados com diferentes tensões de substrato antes e depois da radiação. A transcondutância na região de sublimiar em dispositivos nFinFET cresceu após a radiação enquanto os dispositivos pFinFET apresentaram redução, porque a radiação cria cargas positivas no óxido enterrado de ambos os dispositivos, reduzindo a tensão de limiar pela segunda interface, o que facilita a passagem da corrente da segunda interface para dispositivos de canal n e dificulta para dispositivos de canal p.

A Figura 39B mostra a transcondutância em função da tensão de substrato para diferentes valores de V_{GS}. É possível observar que o valor máximo da transcondutância diminui

com a radiação, e isso pode ser causado pelo efeito da radiação na redução da mobilidade da segunda interface.

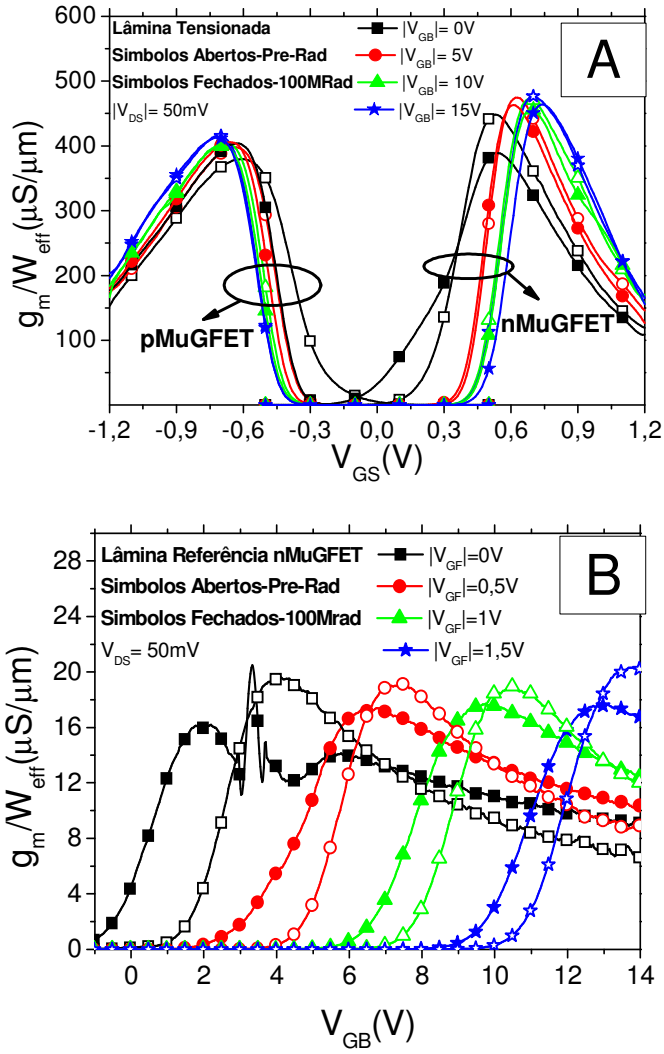

Figura 39 – Transcondutância em função de V_{GS} (A) para dispositivos nFinFET e pFinFET, e em função de V_{GB} (B) para dispositivos nFinFET, ambos tensionados.
Fonte: Autor.

A Figura 40 apresenta a curva da transcondutância em função da dose para FinFETs na região de saturação. Através desta figura é possível notar que uma leve redução da transcondutância com a dose da radiação. Esta redução é um pouco mais pronunciada para dispositivos mais largos, quando eles são submetidos a uma grande dose de radiação. Há dois fatores que influenciam a redução da transcondutância em nMuGFETs: a mobilidade e a condução pela segunda interface.

A diminuição da mobilidade é causada pela radiação, mas é óbvio que quando dispositivos são irradiados com íons pesados porque afetam diretamente a rede cristalina.

Raios-X tem este efeito indiretamente, por cargas armadilhadas nos óxidos e armadilhas de interface.

Quando um dispositivo começa a conduzir pela segunda interface, o controle da porta exercido sobre a corrente de dreno é menos significativo, resultando em uma menor transcondutância.

Em dispositivos pFinFETs, os efeitos antes mencionados atuam em diferentes direções, gerando competição entre os efeitos da radiação na transcondutância. A redução da mobilidade faz com que a transcondutância diminua e uma menor corrente de fuga pela segunda interface faz com que a transcondutância aumente.

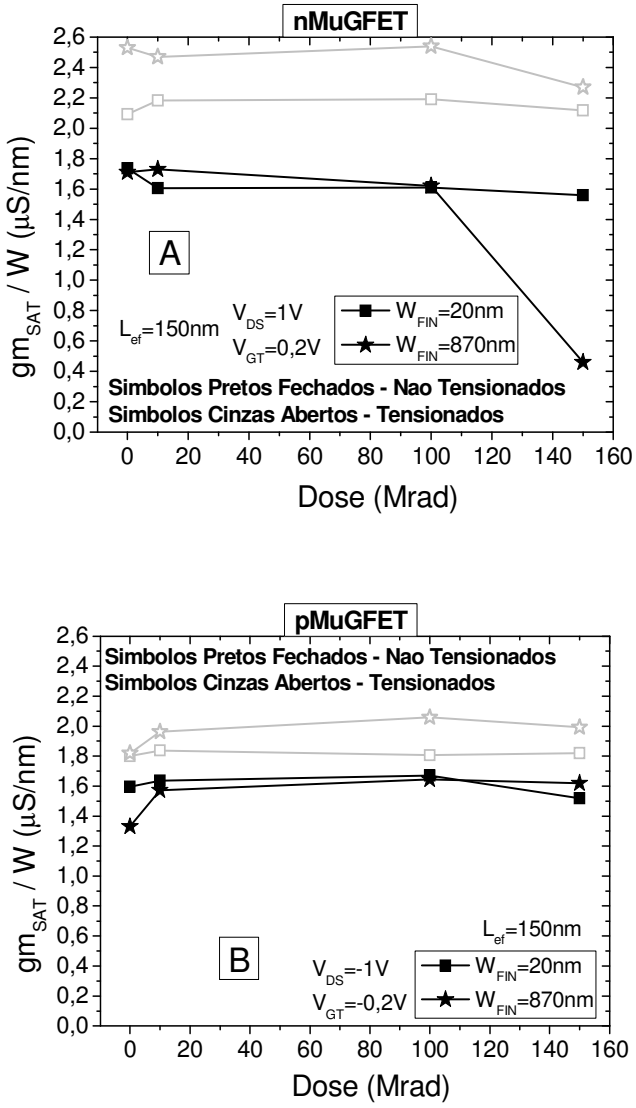

Figura 40 – Transcondutância em função da dose de radiação de Raios-X, para dispositivos nFinFETs (A) e pFinFETs (B).
Fonte: Autor.

A condutância de saída (g_D) é apresentada na Figura 41A para nFinFETs. Pode ser observado que aparentemente a radiação não tem influência em g_D, há apenas uma pequena degradação (aumento) para uma alta dose de radiação. Este comportamento pode ser explicado pela competição entre a diminuição da mobilidade (diminuição de g_D) e a um aumento da corrente de fuga pela segunda interface (aumento de g_D).

Analisando os dispositivos pFinFETs (Figura 41B), sabendo que a corrente de fuga foi suprimida com a radiação, o único parâmetro que influicia g_D é a mobilidade. Pode ainda ser observado que dispositivos mais largos apresentaram uma melhora de g_D, devido a degradação da mobilidade.

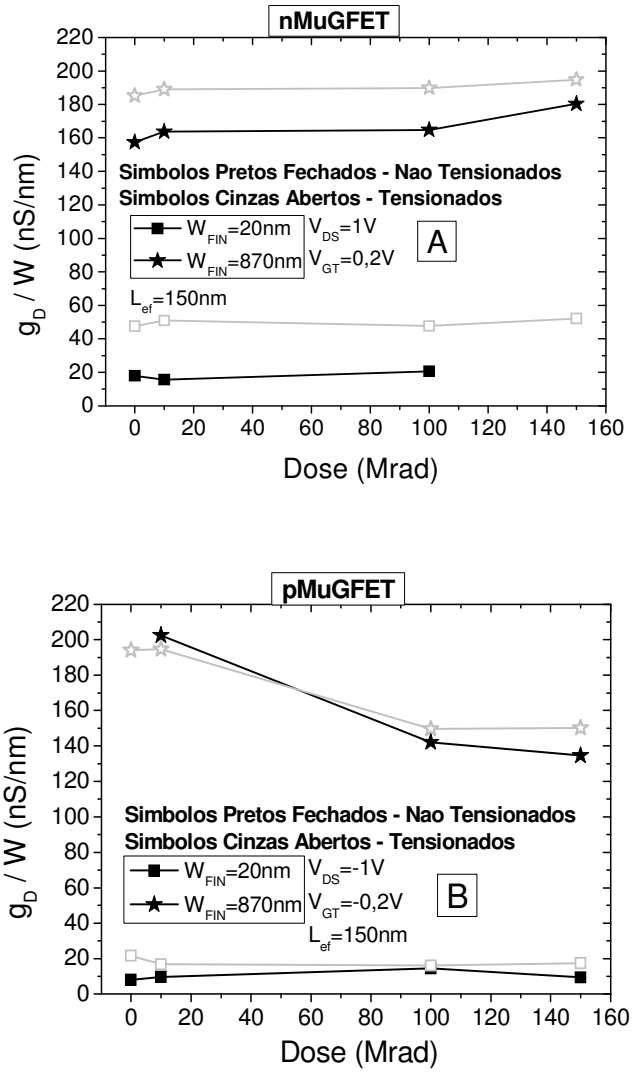

Figura 41 – Condutância de saída em função da dose de radiação de Raios-X, para dispositivos nFinFETs (A) e pFinFETs (B).
Fonte: Autor.

O ganho intrínseco de tensão (A_V) é apresentado na Figura 42A para nFinFET e pela Figura 42B para pFinFETs. Em ambos os casos, os dispositivos mais largos apresentam pouca mudança no comportamento de A_V. Embora para dispositivos mais largos, uma maior degradação em gm e g_D foi encontrada, e quando os valores de A_V são calculados estes valores compensam um ao outro resultando em um quase constante ganho intrínseco de tensão.

Os dispositivos não tensionados mostraram ser mais afetados pela radiação de Raios-X. Entretanto, para altas doses de radiação g_D começa a crescer e então o ganho intrínseco de tensão é mais reduzido para todas as larguras de dispositivos. O maior valor de A_V para o dispositivo mais estreito é devido ao alto valor de gm obtido. No caso de pFinFETs, como não há variação significativa em gm, o ganho intrínseco de tensão praticamente segue a tendência de g_D.

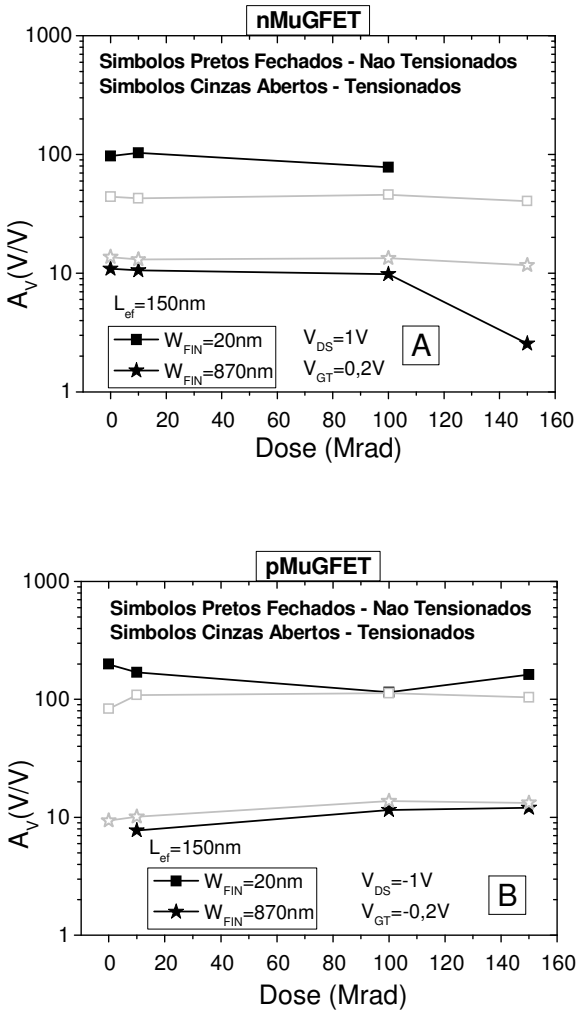

Figura 42 – Ganho intrínseco de tensão em função da dose de radiação de Raios-X, para dispositivos nFinFETs (A) e pFinFETs (B).
Fonte: Autor.

Após todas estas análises pode-se comparar os efeitos dos dois tipos de radiação estudados. Quando o foco está em parâmetros como a mobilidade, a radiação de prótons mostrou-se mais nociva à performance do dispositivo, uma vez que prótons são partículas grandes e pesadas que prejudicam a estrutura cristalina ao atravessá-la. No entanto, observando os danos causados por cargas acumuladas no óxido enterrado e pelas armadilhas de interface, ambos os tipos de radiação apresentaram o mesmo tipo de comportamento.

Considerando ainda os dois tipos de transistores estudados (canal p e canal n), independente de terem ou não sido submetidos a tensionamento mecânico, os transistores canal-n de maneira geral sofreram uma grande degradação de seu funcionamento quando submetidos à radiação, enquanto os de canal-p obtiveram uma melhoria quando se tratava de parâmetros dependentes das cargas armadilhadas no óxido enterrado. Quando o foco é a mobilidade, os transistores de canal-p ainda foram menos afetados (menor degradação da mobilidade), sendo assim, este tipo de transistor mostrou ser mais robusto à radiação e melhor para este tipo de aplicação.

5 CONCLUSÕES

Neste trabalho foram apresentados os efeitos da radiação de prótons e de Raios-X, da temperatura e do tensionamento mecânico nos principais parâmetros dos dispositivos SOI FinFET.

O efeito da radiação no óxido enterrado do dispositivo é mais prejudicial que o efeito no óxido de porta, pois a espessura do óxido de porta é muitas vezes menor que a espessura do óxido enterrado. A radiação causa um aumento das cargas fixas no óxido enterrado (Q_{BOX}), resultando em uma redução na tensão de limiar da segunda interface.

Além desta redução da tensão de limiar da segunda interface afetar a tensão de limiar da primeira interface devido ao acoplamento entre as duas interfaces, a redução da tensão de limiar da segunda interface, nos transistores nMOS, gera um aumento da corrente de fuga que flui através da segunda interface. Esta corrente de fuga faz com que se reduza o controle da corrente de dreno total do dispositivo, degradando assim parâmetros como a inclinação de sublimiar e a transcondutância.

Em contrapartida, quando são analisados dispositivos de canal do tipo “p”, o deslocamento da tensão de limiar na direção da tensão mais negativa de porta, causada pelas cargas positivas armadilhadas no óxido, resulta no desligamento do transistor parasitário e portanto melhora das características da inclinação de sublimiar e da transcondutância (tendência oposta à obtida para nMuGFETs).

Embora o tensionamento mecânico usualmente melhore o comportamento dos dispositivos de múltiplas portas, quando o foco está nas correntes de desligamento (I_{OFF}), ele é o que apresenta um pior comportamento devido ao estreitamento de bandas, que resulta em uma significativa piora do GIDL. A radiação de prótons, embora não seja o efeito mais danoso considerando I_{OFF}, também contribui com grande aumento de I_{OFF} devido a dois efeitos, o aumento de armadilhas na interface, que facilita o tunelamento entre bandas e a redução da tensão de limiar da segunda interface, que aumenta a corrente de fuga pela segunda interface. Como o efeito dominante é o armadilhamento de cargas no óxido enterrado, a principal causa da degradação de I_{OFF} é o aumento das correntes de fuga pela segunda interface. A temperatura, segundo este estudo, foi o parâmetro que gerou menor degradação de GIDL, e menor degradação da tensão de limiar da segunda interface. Assim a temperatura foi o fator que apresentou menor influência sobre a corrente de desligamento do dispositivo.

A seguir é apresentada uma tabela que quantifica os efeito causados por cada um dos fatores estudados (radiação, temperatura e tensionamento mecânico). A partir desta tabela é possível saber o quanto o determinado parâmetro variou em porcentagem, quando comparado ao dispositivo considerado referência (sem tensionamento, antes da radiação de prótons e em temperatura ambiente) nos parâmetros estudados neste trabalho. Nesta tabela estão quantificadas as variações da inclinação de sublimiar, do DIBL, da transcondutância e da condutância do dreno na região de saturação, do ganho intrínseco de tensão e da corrente de estado desligado em saturação. Vale lembrar que a alta temperatura considerada para todos os parâmetros foi de 150ºC, com exceção da corrente de estado desligado, cuja alta temperatura foi considerada de 100ºC, e que o dispositivo considerado é um nMuGFET com comprimento de 150 nm e largura da aleta de 870 nm, com o intuito de se obter na tabela a maior variação dos parâmetros obtida entre todos os parâmetros analisados.

Parâmetro	SS (%)	DIBL (%)	gm_{sat} (%)	g_D (%)	A_V (%)	I_{OFF} (%)
Radiação de prótons	14,15	69,01	15,00	6,70	2,91	2737
Radiação de prótons e Temperatura	70,75	43,66	-30,00	-23,32	-2,91	26992
Temperatura	41,51	31,46	-40,00	-28,04	-8,74	839
Temperatura e Tensionamento	88,68	131,46	-15,00	-4,02	-5,63	56584
Tensionamento	25,47	93,90	60,00	36,73	6,31	8369
Tensionamento e Radiação de prótons	32,08	100,00	60,00	36,19	7,09	22369
Radiação de prótons, Temperatura e Tensionamento	92,45	125,35	10,00	12,06	-1,26	135058

Tabela 1 – Quantificação dos efeitos da radiação, tensionamento mecânico e temperatura, isolados e juntos, em parâmetros estudados (SS, DIBL, gm_{sat}, g_D, A_V e I_{OFF})

A partir dos valores apresentados é possível concluir que quando são considerados os três efeitos analisados (radiação, temperatura e tensionamento mecânico), estes causam uma degradação acumulativa nos parâmetros digitais (SS, DIBL, IOFF). Isto é, quando há dois ou mais efeitos juntos o resultado é sempre pior que quando comparado aos efeitos isoladamente.

Já no caso dos parâmetros analógicos, estes efeitos nem sempre são acumulativos, pois muitas vezes eles dependem de uma competição de fatores, como é o caso da condutância de saída e da transcondutância, e por consequência, o ganho intrínseco de tensão.

O estudo realizado utilizando radiação por Raios-X apontou que não é recomendável estimar a mobilidade de portadores utilizando a transcondutância em dispositivos que possuem uma condução parasitária pela segunda interface significativa, pois esta condução pela segunda interface diminui o controle da porta sobre a corrente de dreno, também resultando em uma degradação da transcondutância. Como usualmente extrai-se da transcondutância em tríodo o valor da mobilidade de baixo campo, se for utilizado este método em transistores que sofrem de condução parasitária pela segunda interface, isto pode levar a uma interpretação errônea dos resultados obtidos.

O estudo da radiação em dispositivos pMuGFETs mostrou também que apesar da radiação causar muitos danos nos dispositivos, quando é analisada a corrente de fuga pela segunda interface a radiação melhora o comportamento do dispositivo devido ao aumento de cargas positivas armadilhadas no óxido enterrado.

Uma possível perspectiva para dar sequência a este trabalho seria o estudo do efeito das taxas de dose nos efeitos da radiação, a comparação dos efeitos da radiação de prótons e Raios-X no GIDL e DIBL.

6 PUBLICAÇÕES GERADAS DURANTE O PERÍODO DE MESTRADO

6.1 Publicações aceitas em periódicos

1. AGOPIAN, P. G. D.; BORDALLO, C. C. M.; SIMOEN, E.; CLAEYS, C. and MARTINO, J. A. Stress engineering and proton radiation influence on off-state leakage current in triple-gate SOI devices. **Solid-State Electronics**, v. 90, p. 155-159, 2013.

6.2 Publicações submetidas em periódicos

1. BORDALLO, C. C. M.; TEIXEIRA, F. F.; SILVEIRA, M. A. G. ;AGOPIAN, P. G. D.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. Analog performance of standard and uniaxial strained triple-gate SOI FinFETs under X-ray radiation. **IEEE Transactions on Nuclear Science**, 2013.

6.3 Publicações aceitas em congressos

1. AGOPIAN, P. G. D.; BORDALLO, C. C. M.; SIMOEN, E.; CLAEYS, C. and MARTINO, J. A. The influence of different stress techniques and proton radiation on GIDL in triple-gate SOI Devices. **EuroSOI**,2012.

2. BORDALLO, C. C. M.; AGOPIAN, P. G. D.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. Radiation influence on biaxial+uniaxial strained silicon MuGFETs. **222nd Meeting of the Electrochemical Society**, 2012,

3. OLIVEIRA, A. V.; BORDALLO, C. C. M.; AGOPIAN, P. G. D. Influência de cargas e armadilhas na tensão de limiar de transistores PD e FD SOI nMOSFETs. **15º Simpósio de Iniciação Científica e Tecnológica - SICT FATEC**, 2012,

4. OLIVEIRA, A. V.; BORDALLO, C. C. M.; AGOPIAN, P. G. D. Estudo comparativo dos parâmetros básicos de transistores SOI. **20º Simpósio Internacional de Iniciação Científica - SIICUSP**, 2012,

5. BORDALLO, C. C. M.; AGOPIAN, P. G. D.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. Radiation influence on biaxial+uniaxial strained silicon MuGFETs. **223nd Meeting of The Electrochemical Society**, 2013, Toronto.

6. BORDALLO, C. C. M.; AGOPIAN, P. G. D.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. The effect of temperature, stress and proton radiation on the off-state current of nMuGFETs. **VIII Workshop on Semiconductors and Micro & Nano Technology – Seminatec**, 2013, Campinas

7. TEIXEIRA, F. F.; BORDALLO, C. C. M.; SILVEIRA, M. A. G. ;AGOPIAN, P. G. D.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. Radiation Effect on Parasitic Conduction on Triple-Gate SOI FinFETs. **28th SBMicro**, 2013, Curitiba.

8. BORDALLO, C. C. M.; TEIXEIRA, F. F.; SILVEIRA, M. A. G. ;AGOPIAN, P. G. D.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. Influence of X-ray radiation on standard and uniaxial strained triple-gate SOI FinFETs. **23rd RADECS**, 2013, United Kingdom.

6.4 Publicações submetidas em congressos

1. BORDALLO, C. C. M.; TEIXEIRA, F. F.; SILVEIRA, M. A. G. ;AGOPIAN, P. G. D.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. The effect of X-Ray Radiation on DIBL for Standard and Strained Triple-Gate SOI MuGFETs. **9th International Caribbean Conference on Devices, Circuts and Systems (ICCDCS)**, 2014, Playa Del Carmen.

REFERÊNCIAS

1 MOORE, G. E. Progress in Digital Integrated Electronics. **International Electron Devices Meeting**, v. 21, p. 11-13, 1975.

2 IZUMI, K. **Proceedings of the Fourth International Symposium on Silicon-On-Insulator Technology and Advices**, Vol. 90-6, p.3, 1990.

3 COLINGE, J. P. Thin-film SOI technology: the solution to many submicron CMOS problems. **IEDM**, p. 817, 1989.

4 KATO, K.; WADA, T. and TANIGUCHI, T. Analysis of Kink Characteristics in Silicon-on-lnsulator MOSFET's Using Two-Carrier Modeling. **I.E.E.E. Transactions on Electron Devices**, v. 32, p. 458-462, 1985.

5 LERAY, J. L.; DUPONT-NIVET, E.; MUSSEAU, O.; COIC, Y.M.; UMBERT, A.; LALANDE, P.; PERE, J.F.; AUBERTON-HERVE, A.J.; BRUEL, M.; JAUSSAUD, C.; MARGAIL, J.; GIFFARD, B.; TRUCHE, R.; MARTIN, F. From substrate to VLSI: investigation of hardened SIMOX without epitaxy, for dose, dose rate and SEU phenomena. **IEEE Transactions. on Nuclear Science**, Vol. 35. p. 1355, 1988.

6 DAVIS, G.E.; HITE, L.R.; BLAKE, T.G.W.; CHEN, C.-E.; LAM, H.W.; DEMOYER, R. Transient Radiation Effects in SOI Memories. **IEEE Trans. on Nuclear Science**, Vol. 32, p. 4432, 1985.

7 KRULL, W. A. and LEE, J. C. Demonstration of the benefits of SOI for high temperature operation. **Proceedings of SOS/SOI Technology Workshop**, p. 69, 1989.

8 MASZARA, W. P. **Proceedings of the Fourth International Symposium on Silicon-On-Insulator Technology and Devices**, Vol. 90-6, p. 199, 1990.

9 FUJISHIMA, M., ASSADA, K., OMURA, Y. AND IZUMI, K., Low-power 1/2 frequency dividers using 0.1-µm CMOS circuits built with ultrathin SIMOX substrates. **IEEE Journal of Solid-State Circuits**, vol. 28, n. 4, p. 510-512, 1993.

10 KADO, Y., OHNO, T., HARADA, M., DEGUCHI, K., TSUCHIYA, T. Enhanced performance of multi-GHz PLL LSIs using sub-1/4-micron gate ultrathin film CMOS/SIMOX technology with synchrotron X-ray lithography. **IEDM**, p. 243, 1993.

11 SHAHIDI, G. G., NING, T. H., CHAPPELL, T. I., COMFORT, J. H., CHAPPELL, B. A., FRANCH, R., ANDERSON, C. J., COOK, P. W., SCHUSTER, S. E., ROSENFIELD, M. G., POLCARI, M. R., DENNARD, R. H., and DAVARI, B. SOI for a 1-volt CMOS technology and application to a 512 Kb SRAM with 3.5 ns access time. **IEDM**, p. 813, 1993.

12 KIM, C. S. (**Semiconductors Asia/Pacific**), Dataquest-Korea, Maio, 1997.

13 COLINGE, J. P. **Silicon-On-Insulator Technology:, Materials to VLSI.** 3. ed. Boston: Kluwer Academic, 2004.

14 MUSSEAU, O. Single-Event Effects in SOI Technologies and Devices. **IEEE Transaction on Nuclear Science**, Vol.43, p. 603, 613.

15 SCHWANK, J. R.; SHANEYFELT, M. R.; FLEETWOOD, D. M.; FELIX, J. A.; DODD, P. E.; PAILLET, P.; FERLET-CARVOIS V. Radiation Effects in MOS Oxides. **IEEE Transactions on Nuclear Science**, v. 55, n. 4, p. 1883, 2008.

16 J COLINGE, J. P. **FinFETs and Other Multi-Gate Transistors**. New York: Springer, 2008.

17 BÜHLER, R T ; GIACOMINI, R ; MARTINO, J. A. ; PAVANELLO, M A. Trapezoidal SOI FinFET analog parameters' dependence on cross-section shape. **Semiconductor Science and Technology** , v. 24, p. 115017, 2009.

18 PAVANELLO, M. A. ; MARTINO, J. A. ; SIMOEN, E. ; ROOYACKERS, R. ; COLLAERT, N. ; CLAEYS, C. Performance of source follower buffers implemented with standard and strained triple-gate nFinFETs. **JICS. Journal of Integrated Circuits and Systems** (Ed. Português), v. 5, p. 168-173, 2010.

19 DORIA, R. T.; CERDEIRA, A; MARTINO, J. A.; SIMOEN, E; PAVANELLO, M. A. Harmonic distortion of unstrained and strained FinFETs operating in saturation. **IEEE Transactions on Electron Devices**, v. 57, p. 3303-3311, 2010.

20 RODRIGUES, M.; MARTINO, J A; MERCHA, A ; COLLAERT, N.; SIMOEN, E. ; CLAEYS, C. Low-frequency noise and static analysis of the impact of the TiN metal gate thicknesses on n- and p-channel MuGFETs. **Solid-State Electronics**, v. 54, p. 1592-1597, 2010.

21 BUHLER, R. T.; MARTINO, J. A.; AGOPIAN, P. G. D.; GIACOMINI, R. C.; SIMOEN, E; CLAEYS, C. Fin Shape Influence on the Analog Performance of Standard and Strained MuGFETs. **IEEE International SOI Conference**, 2010, San Diego. Proceedings of IEEE International SOI Conference, 2010.

22 MARTINO, M.D.V.; AGOPIAN, P. G. D.; MARTINO, J. A.. Cross-Section Features Influence on Surrounding MuGFETs. **ECS Transactions, Microelectronics Technology and Devices**. Pennington, NJ - USA : The Electrochemical Society, 2010. v. 31.

23 AGOPIAN, P. G. D.; PACHECO, V. H.; MARTINO, J. A.; SIMOEN, E; CLAEYS, C. SEG and Uniaxial Strain influence on FinFET Performance at Low Temperature. **Proceedings of the Ninth Interntioanl Workshop on Low Temperature Electronics**, p. 23-25, 2010.

24 AGOPIAN, P. G. D. ; MARTINO, J. A. ; SIMOEN, E ; CLAEYS, C. Study of the Transconductance Ramp in FinFET Devices. **Sixth Workshop of the Thematic Network on Silicon-On-Insulator Technology, Devices and Circuits**, p. 51-52, 2010.

25 PACHECO, V. H.; AGOPIAN, P. G. D.; MARTINO, J. A.; SIMOEN, E ; CLAEYS, C. The Relation ship Between SEG and Uniaxial Strain in the FinFET Performance. **Sixth Workshop of the Thematic Network on Silicon-On-Insulator Technology, Devices and Circuits**, p. 49-50, 2010

26 BUHLER, R. T.; MARTINO, J. A.; AGOPIAN, P. G. D.; GIACOMINI, R. C.; SIMOEN, E.; CLAEYS, C. Fin Shape Influence on Analog Performance of MuGFETs at Romm and at Low Temperature. **VII Workshop16 of the Thematic Network on Silicon On Insulator Technology, Devices and Circuits**, p. 45-46, 2011.

27 AGOPIAN, P. G. D.; PACHECO, V. H.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. Impact of SEG on uniaxially strained MuGFET performance. **Solid-State Electronics**, 2011.

28 http://www.intel.com/content/www/us/en/silicon-innovations/intel-22nm-technology.html

29 CLAEYS, C.; SIMOEN; E., PUT, S.; GIUSI, G.; CRUPI, F. Impact strain engineering on gate stack quality and reliability. **Solid-State Electronics**, vol. 52, no. 8, p. 1115, 2008.

30 LIU, H. X.; MA, F.; FAN, J. B.; FAN, X. J.; FEI, C. X.; LUO, Y.; LIU, C. Off-state leakage current of nano-scaled MOSFETs with high-k gate dielectric. **IEEE 11th International Conference on Solid-State and Integrated Circuit Technology (ICSICT)**, p. 1-4, 2012.

31 YOUNGA, C. D.; AKARVARDARA, K.; BERSUKERA, G.; OKA, I.; NGAIA, T.; ANGA, K.-W.; HOBBSA, C.; KIRSCHA, P. and JAMMYA R. Performance and Reliability Investigation of (110) and (100) Sidewall Oriented MugFETs. **International Semiconductor Device Research Symposium (ISDRS)**, p. 1, 2011.

32 GIUSI, G.; CRUPI, F.; SIMOEN, E.; ENERMAN, G. and JURCZAK, M. Performance and Reliability of Strained-Silicon nMOSFETs with SiN Cap Layer. **IEEE Transactions on Electron Devices**, vol.54, n.1, p.78-82, 2007.

33 PERIN, A. L.; PEREIRA, A. S. N.; AGOPIAN, P. G. D.; MARTINO, J. A.; GIACOMINI, R. A Simple Electron Mobility Model Considering the Silicon-Dielectric Interface Orientation for Circular Surrounding-Gate Transistor. **JICS. Journal of Integrated Circuits and Systems** (Ed. Português), 2012.

34 MALHEIRO, C. T.; PEREIRA, A. S. N.; GIACOMINI, R. An Analytical Estimation Model for the Spreading Resistance of Double Gate FinFETs. **8th International Caribbean Conference on Devices, Circuits and Systems – ICCDCS**, Playa Del Carmen, 2012.

35 CHOI, J. Y.; FOSSUM, J. G. Analysis and Control of Floating-Body Bipolar Effects in Fully Depleted Submicrometer SOI MOSFET's. **IEEE Electron Transection on Electron Devices**, v. 38, n. 6, 1991.

36 COLINGE, J. P. Reduction of kink effect in thin-film SOI MOSFETs. **IEEE Electron Device Letters**, v. 9, n. 2, 1988.

37 SU, L. T.; CHUNG, J. E.; ANTONIADIS, D. A., GOODSON, K. E.; FLIK, M. L. Measurement and modeling of self-heating in SOI nMOSFET's. **IEEE Electron Transection on Electron Devices**, v. 41, n. 1, 1994.

38 MARTINO, J. A.; PAVANELLO, M. A.; VERDONCK, P. B. **Caracterização Elétrica de Tecnologia e Dispositivos MOS**. São Paulo: Thomson, 2003.

39 KRISHNAN, S.; FOSSUM, J. G. Grasping SOI floating-body effects. **IEEE Circuits and Devices Magazine**, v. 14, n. 4, p. 32-37, 1998.

40 COLINGE, J. P. Subthreshold Slope of Thin-Film SOI MOSFET's. **IEEE Electron Devices Letters**, v. 7, n. 4, 1986.

41 KISTLER, N.; WOO, J. Detailed characterization and analysis of the breakdown voltage in fully depleted SOI n-MOSFET's. **IEEE Transactions on Electron Devices**, v. 41, n. 7, p. 1217-1221, 1994.

42 YOUNG, K. K. Short-channel effect in fully depleted SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 36, n. 2, p. 399-402, 1989.

43 OUISSE, T.; CRISTOLOVEANU, S.; BOREL, G. Influence of series resistances and interface coupling on the transconductance of fully-depleted silicon-on-insulator MOSFETs. **Solid State Electronics**, v. 35, n. 2, p. 141-149, 1992.

44 COLINGE, J. P. Thin-Film SOI Technology: The Solution to Many Submicron CMOS Problems. **International Electron Devices Meeting**, p. 817-820, 1989.

45 SZE, S. M. **Physics of Semiconductor Devices**. New York: John Wiley & Sons, 1981.

46 LIM, H. K.; FOSSUM, J. G. Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's. **IEEE Transactions on Electron Devices**, v. 30, n. 10, p. 1244-1251, 1983.

47 BREWS, J. R.; Subthreshold behavior of uniformly and nonuniformly doped longchannel MOSFET. **IEEE Transactions on Electron Devices**, v. 26, n. 9, p. 1282-1291.

48 STURM, J.C. and TOKUNAGA, K., Dependence of transconductance on substrate bias in ultrathin silicon-on-insulator MOS transistors. **Electronics Letters**, Vol 25, p. 1233-1234, 1989.

49 AKARVARDAR, K.; MERCHA, A.; CRISTOLOVEANU, S.; GENTIL, P.; SCHRIMPF, R.D. ; BLALOCK, B.J. A Two-Dimensional Model for Interface Coupling in Triple-Gate Transistors. **IEEE Transactions on Electron Devices**, v. 54, n. 4, p.767-775, 2007.

50 SUBRAMANIAN, V.; PARVAIS, B.; BORREMANS, J.; MERCHA, A.; LINTEN, D.; WAMBACQ, P.; LOO, J. ; DEHAN, M. ; COLLAERT, N. ; KUBICEK, S. ; LANDER, R. J. P. ; HOOKER, J. C. ; CUBAYNES, F. N.; DONNAY, S.; JURCZAK, M.; GROESENEKEN, G.; SANSEN, W.; DECOUTERE, S. Device and circuit-level analog performance trade-offs: a comparative study of planar bulk FETs versus FinFETs. **Techinical Digest of IEDM,** 851, 2005.

51 CHAN, T. Y.; CHEN, J.; KO, P.K.; HU, C. The impact of gate-induced drain leakage current on MOSFET scaling. **IEEE International Electron Devices Meeting IEDM**,p. 718-721,1987.

52 CHEN, J.; CHAN, T.Y.; CHEN, I.C.; KO, P.K.; HU, C. Subbreakdown drain leakage current in MOSFET, **IEEE Electron Device Letters**, vol. EDL-8, p. 515-517, 1987.

53 AGOPIAN, P. G. D.; BORDALLO, C. C. M.; SIMOEN, E.; CLAEYS, C. and MARTINO, J. A. Stress engineering and proton radiation influence on off-state leakage current in triple-gate SOI devices. Solid-State Electronics, v. 90, p. 155-159, 2013..

54 HAMID, H. A. E. Two dimensional analytical threshold voltage and subthreshold swing models of undoped symmetric double-gate mosfets. **IEEE transactions on eléctron devices** v.54 p.1402-1408,2007.

55 VEERARAGHAVAN, S.; FOSSUM J. G. A. Short Channel effects in SOI MOSfets. **IEEE transactions on eléctron devices** v.36, n.3 p.522-528,1989.

56 BORDALLO ,C; AGOPIAN, P. G. D.; MARTINO, J. A.; SIMOEN, E.;CLAEYS, C. Temperature Influence on Strained nMuGFETs after Proton Radiation. **223th ECS meeting**, 2013.

57 LANDGRAF, E. Influence of crystal orientation and body doping on trigate transistor performance. **IEEE Electron Device Letters**, v.8, n. 9, p.410-412,1987.

58 COLINGE, J. P.; PARK, J. W.; XIAONG, W. Threshold voltage and subthreshold slope of multiple-gate SOI MOSFETs. **IEEE Electron Device Letters**, v. 24, n. 8, p. 515-517, 2003.

59 POIROUX, T.; VINET, M.; FAYNOT, O.; WIDIEZ, J.; LOLIVIER, J.; ERNST, T.; PREVITALI, B.; DELEONIBUS, S. Multiple gate devices: advantages and challenges. **Microelectronic Engineering**, v. 80, p. 378, 2005.

60 BALESTRA, F.; CRISTOLOVEANU, S.; BENACHIR, M.; BRINI, J.; ELEWA, T. Double-gate silicon on insulator transistor with volume inversion: A new device with greatly enhanced performance. **IEEE Electron Device Letters**, v. 8, n. 9, p. 410-412, 1987.

61 RUIZ, F. J. G.; TIENDA-LUNA, I. M.; GODOY, A.; DONETTI, L.; GÁMIZ, F. Equivalent oxide thickness of trigate SOI MOSFETs with high-K insulators. **IEEE Transactions on Electron Devices**, v. 56, n. 11, p. 2711-2719, 2009.

62 BENDER, H. Physical characterization of high-k gate stacks deposited on Hf-last surfaces. **Proceedings of the International Workshop on Gate Insulator**, p. 86-92, 2001.

63 PEACOCK, P. W.; ROBERTSON, J. Band offsets and Schottky barriers heights of high dielectric constant oxide. **Journal of Applied Physics**, v. 92, n. 8, p. 4712-4721, 2002.

64 LEE, S. I. Recent progress in high-k dielectric films for ULSIs. **Proceedings of the International Conference on Solid State Devices and Materials SSDM**, p. 8, 2001.

65 LEE, B. H. Ultrathin hafnium oxide with low leakage and excellent reliability for alternative gate dielectric application. **IEEE Internation Electron Devices Meeting IEDM**, p. 133-136, 1999.

66 COPEL, M.; BRIBELYUK, M.; GUSEV, E. Structure and stability of ultrathin zirconium oxide layers on Si(001). **Applied Physics Letters**, v. 76, n. 4, p. 436, 2000.

67 LIU, Y. Investigation of the TiN gate electrode with tunable work function and its aplication for FinFETs fabrication. **IEEE Transactions on Nanotechnology**, v. 5, n. 6, p. 723-730, 2006.

68 SINGANAMALLA, R. On the impact of TiN thickness variations on the effective work function of poly-Si/TiN/SiO_2 and Poly-Si/TiN/HfSiON gate stacks. **IEEE Electron Device Letters**, v. 27, n. 5, p. 332-334, 2006.

69 CHOI, K. The effect of metal thickness, overlayer and high-k surface treatment on the effective work function of metal electrode. **Proceedings of the European Solid State Device Research Conference ESSDERC**, p. 101-104, 2005.

70 NAYFEH, H. M.; Effect of tensile uniaxial stress on the electron transport properties of deep scaled FD-SOI n-type MOSFETs. **IEEE Electron Device Letters**, v. 27, n. 4, p. 288-290, 2006.

71 LIM, J. S.; THOMPSON, S. E.; FOSSUM, J. G. Comparison of threshold voltage shifts for uniaxial and biaxial tensile stressed nMOSFETs. **IEEE Electron Device Letters**, v. 25, n. 11, p. 731-733, 2004.

72 http://www.penstarsys.com/editor/tech/cpu/amd/str_sil/

73 THOMPSON, S. E.; SUN, G.; CHOI, Y. S.; NISHIDA, T. Uniaxial process induced strained-Si: Extending the CMOS roadmap. **IEEE Electron Device Letters**, v. 53, n. 5, p. 1010-1020, 2006.

74 HUGHES R. C. Hole mobility and transport in thin SiO films. **Applied Physics Letters**, vol. 26, no. 8, pp. 436–438, Apr. 1975.

75 WINOKUR P. S.; MA, T. P. and DRESSENDORFER, P. V. **Radiation-induced interface traps in Ionizing Radiation Effects in MOS Devices and Circuits**, , Eds. New York: Wiley, pp. 193–255, 1989.

76 COLLAERT N., ROOYACKERS R., CLEMENTE F., ZIMMERMAN P., CAYREFOURCQ I., GHYSELEN B., SAN K. T., EYCKENS B., JURCZAK M., BIESEMANS S. Performance Enhancement of MUGFET Devices Using Super Critical Strained-SOI (SC-SSOI) and CESL. **Symposium on VLSI Technology Digest of Technical Papers**, p. 52-53, 2006.

77 POIROUX, T.; VINET, M.; FAYNOT, O.; WIDIEZ, J.; LOLIVIER, J.; ERNST, T.; PREVITALI, B.; DELEONIBUS, S. Multiple gate devices: advantages and challenges. **Microelectronic Engineering.**, 378–385, 2005.

78 NAYFEH H. M.; HASAN M.; HOYT, J.L.; ANTONIADIS, D.A. A physically based analytical model for the threshold voltage of strained-Si n-MOSFETs. **IEEE Transactions on Electron Devices**, 51, p. 2069-2072, 2004.

79 AGOPIAN, P. G. D.; BORDALLO, C. C. M.; SIMOEN, E.; CLAEYS, C. and MARTINO, J. A. The influence of different stress techniques and proton radiation on GIDL in triple-gate SOI devices. **VIII Workshop of the Thematic Network on Silicon on Insulator technology, devices and circuits - EuroSOI 2012**, p. 51-52, 2012.

80 CHEN, J.; ASSADERAGHI, F.; KO, P.-K. and HU, C. The enhancement of gate-induced-drain-leakage (GIDL) current in short-channel SOI MOSFET and its application in measuring lateral bipolar current gain beta. **IEEE Electron Devices Letters**, v. 13, p. 572-574, 1992.

81 CLAEYS, C.; SIMOEN, E.; PUT, S.; GIUSI, G.; CRUPI, F. Impact strain engineering on gate stack quality and reliability. **Solid State Electronics**, v. 52, p. 1115-1126, 2008.

82 MAYER, D.C. Modes of operation and radiation sensitivity of ultrathin SOI transistors. **IEEE Transactions on Electron Devices**, 37, p. 1280-1288, 1990.

83 ADELL, P.C.; BARNABY, H.J.; SCHRIMPF, R.D.; VERMEIRE, B. Band-to-Band Tunneling (BBT) Induced Leakage Current Enhancement in Irradiated Fully Depleted SOI Devices. **IEEE Transactions on Nuclear Science**, 54, p. 2174-2180, 2007.

84 DEEN, M. J. and YAN, Z.X. DIBL in short-channel NMOS devices at 77 K. **IEEE Transactions on Electron Devices**, 39, p. 908, 1992.

85 AGOPIAN, P.G.D.; MARTINO, J.A.; KOBAYASHI, D.; SIMOEN, E.; CLAEYS, C. Influence of 60-MeV Proton-Irradiation on Standard and Strained n- and p-Channel MuGFETs. **IEEE Transactions on Nuclear Science**, 59, p. 707, 2012.

86 SANTOS, S. D.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. DIBL Study Using Triple Gate Unstrained and Uniaxial/Biaxial Strained FinFETs. **ECS Transactions**, 23, (1), p. 591-596, 2009.

87 SLEECKX, E.; SCHAEKERS, M.; SHI, X.; KUNNEN, E.; DEGROOTE, B.; JURCZAK, M.; BROECK M. P. and AUGENDRE, E. Optimization of low temperature silicon nitride processes for improvement of device performance. **Microelectronics Reliability**, V. 45, p. 865-868, 2005.

88 J MARTINO, J.A.; AGOPIAN, P.G.D.; COLLAERT, N.; SIMOEN, E.; CLAEYS, C. Transconductance Ramp Effect in High-k Triple Gate sSOI nFinFETs, **IEEE International SOI Conference**, p.1-2, 2009.