

CENTRO UNIVERSITÁRIO DA FEI

JORGE GIROLDO JUNIOR

**INFLUÊNCIA DAS DIMENSÕES GEOMÉTRICAS NO COMPORTAMENTO DA
CORRENTE DE FUGA EM DISPOSITIVOS SOI nMOSFETs DE MÚLTIPLAS
PORTAS EM ALTAS TEMPERATURAS**

São Bernardo do Campo

2010

JORGE GIROLDO JUNIOR

**INFLUÊNCIA DAS DIMENSÕES GEOMÉTRICAS NO COMPORTAMENTO DA
CORRENTE DE FUGA EM DISPOSITIVOS SOI nMOSFETs DE MÚLTIPLAS
PORTAS EM ALTAS TEMPERATURAS**

Dissertação de Mestrado apresentada ao
Centro Universitário da FEI como parte
dos requisitos necessários para obtenção
do título de Mestre em Engenharia
Elétrica.

Orientador: Prof.^o Dr. Marcello Bellodi

São Bernardo do Campo

2010

Giroldo Junior, Jorge.

Influência das dimensões geométricas no comportamento da corrente de fuga em dispositivos SOI nMOSFETs de múltiplas portas em altas temperaturas / Jorge Giroldo Junior, São Bernardo do Campo, 2010.

108 f. : il.

Dissertação (Mestrado) – Centro Universitário da FEI
Orientador: Prof. Dr. Marcello Bellodi

1.SOI. 2. FinFET 4.Corrente de fuga. 5.Alta Temperatura. I. Bellodi, Marcello, orientador. II. Título

CDU 621.381



Centro Universitário da FEI

APRESENTAÇÃO DE DISSERTAÇÃO ATA DA BANCA JULGADORA

PGE- 10

Programa de Mestrado de Engenharia Elétrica

Aluno: Jorge Giroldo Júnior

Matrícula: 1081033

Título do Trabalho: **Influência das Dimensões Geométricas no Comportamento da Corrente de Fuga em Dispositivos SOI nMOSFETs de Múltiplas Portas em Altas Temperaturas.**

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof. Dr. Marcello Bellodi

Data da realização da defesa: 7 / maio / 2010

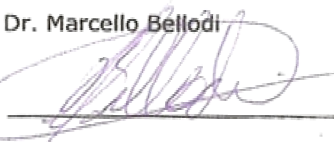
A Banca Julgadora abaixo-assinada atribuiu ao candidato o seguinte:

APROVADO ☒REPROVADO ☐

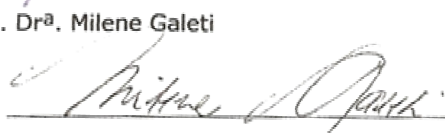
São Bernardo do Campo, 07 / 05 / 2010.

MEMBROS DA BANCA JULGADORA

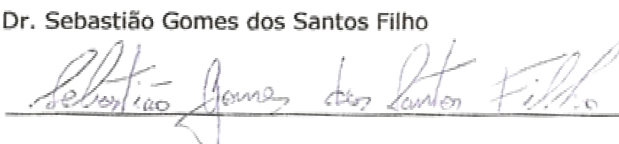
Prof. Dr. Marcello Bellodi

Ass.: 

Profª. Drª. Milene Galeti

Ass.: 

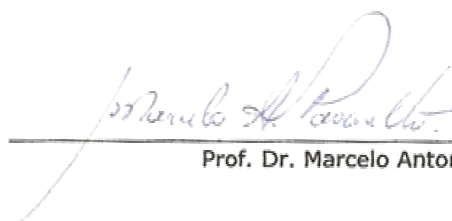
Prof. Dr. Sebastião Gomes dos Santos Filho

Ass.: 

VERSÃO FINAL DA DISSERTAÇÃO

ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS
RECOMENDAÇÕES DA BANCA EXAMINADORA

Aprovação do Coordenador do Programa de Pós-graduação



Prof. Dr. Marcelo Antonio Pavanello

AGRADECIMENTOS

Ao Prof. Dr. Marcello Bellodi, por sua orientação clara e objetiva, por todas as suas contribuições, por seu incentivo e por todo o tempo dedicado, tornando possível e gratificante a realização deste trabalho.

Aos professores das disciplinas deste curso de mestrado, Dr. Marcelo Antonio Pavanello, Dr. Marcello Bellodi, Dr. Renato Camargo Giacomini e Dr. Salvador Pinillos Gimenez, por suas aulas produtivas.

Aos professores Dr^a Milene Galeti e Dr. Renato Camargo Giacomini por suas contribuições no exame de qualificação deste trabalho.

Aos colegas de mestrado conhecidos durante o período deste trabalho e ao pessoal da secretaria do mestrado, por estarem sempre dispostos a ajudar.

À minha querida esposa Fátima, por sua compreensão, paciência e incentivo que ajudaram na conclusão deste trabalho.

Ao meu pai (Jorge), à minha mãe (Milma), as minhas irmãs (Pri, Tati, Lê e Lari), ao meu tio (Hamilton) e minha avó (Leda), que sempre incentivaram e acreditaram neste trabalho.

Ao querido primo Mateus, que a pouco mais de um ano foi chamado à casa de Deus, deixando não somente as boas lembranças de nossa convivência, mas também as lições que a fé, as boas ações, o bom coração e a luta por nossos sonhos são fundamentais para a vida.

RESUMO

Giroldo, Jorge Jr. **Influência das dimensões geométricas no comportamento da corrente de fuga em dispositivos SOI nMOSFETs de múltiplas portas em altas temperaturas**, 2010. 108 f., Dissertação (Mestrado) – Centro Universitário da FEI, São Bernardo do Campo, 2010.

Neste trabalho foi avaliado o comportamento da corrente de fuga do dreno (I_{DLeak}) em transistores de múltiplas portas (MuGFET) canal N na tecnologia de Silício sobre Isolante (SOI), operando desde a temperatura ambiente (27 °C) até 300°C.

Foram realizadas simulações numéricas tridimensionais em dispositivos de duas, três e quatro portas, com o objetivo de investigar o comportamento de I_{DLeak} , a sua composição de portadores (elétrons e lacunas), e a sua distribuição pelo filme de silício que compõe a região do canal dos dispositivos. Além da variação de temperatura, também foi avaliado o comportamento destes dispositivos com relação a variação de suas dimensões geométricas, sendo que o comprimento de canal (L) foi variado desde 100 nm até 1µm, a largura do dispositivo (W_{FIN}) e a altura (H_{FIN}) assumiram valores entre 30 e 240 nm.

Com os resultados destas simulações foram levantadas as curvas características da corrente de dreno (I_{DS}) em função da tensão de porta (V_{GS}), o que permitiu a extração de I_{DLeak} . Também foram realizados estudos na estrutura de cada um dos dispositivos polarizados na região de corte, onde foram extraídas as densidades (elétrons, lacunas e total) de I_{DLeak} .

Como esperado, foi observado que I_{DLeak} é fortemente dependente da variação da temperatura e da área das junções (fonte-canal e dreno-canal), assumindo valores entre 10^{-20} A e 10^{-10} A com o aumento da área das junções e conforme a temperatura é elevada. Também foi observado que I_{DLeak} assume valores entre 10^{-10} A e 10^{-6} A com a redução de L , independente da estrutura analisada.

Em todos os dispositivos avaliados foi verificado que I_{DLeak} é majoritariamente composta por elétrons e que circula principalmente na região mediana do filme de silício que compõe o canal do dispositivo. Comparando os dispositivos de duas, três e quatro portas quando operam nas mesmas condições de polarização e na mesma faixa de temperatura, foi notado que I_{DLeak} assume menores valores em dispositivos com maior número de portas.

Palavra chave: Transistor. SOI. FinFET. MuGFET. Altas Temperaturas. Corrente de fuga do dreno.

ABSTRACT

Giroldo, Jorge Jr. **Geometric dimensions influence in leakage current behavior of multiple gate SOI nMOSFETs at high temperatures**, 2010. 108 f., Dissertation (Master) – Centro Universitário da FEI, São Bernardo do Campo, 2010.

In this study was evaluated the drain leakage current (I_{DLeak}) behavior on N-channel multiple gate transistors (MuGFET) in Silicon on Insulator (SOI) technology operating from room temperature (27 °C) up to 300 °C.

Numerical three-dimensional simulations were performed in double-gate, triple-gate and quadruple-gate devices, in order to investigate the I_{DLeak} behavior, the composition of carriers (electrons and holes) and its distribution through the silicon film in the channel region. In addition to a function of the temperature variation, it was also analyzed the behavior of these devices in relation to changes in geometrical dimensions, and the channel length (L) was changed from 100 nm up to 1 μ m, the width (W_{FIN}) and height (H_{FIN}) of the devices was ranged values of 30 up to 240nm.

Through the results of these simulations, the characteristic curves of drain current (I_{DS}) was raised as a function of gate voltage (V_{GS}), which allowed the extraction of I_{DLeak} , and it was also carried out studies on the structure of each device in the cut-off polarized region, from where it was extracted drain leakage current densities (electrons, holes and total).

As expected, it was observed that I_{DLeak} is highly dependent on temperature variation and the junction areas (source-channel and drain-channel), assuming values between 10^{-20} A e 10^{-10} A with increasing junction areas and according the increasing of high temperature. It was also observed that I_{DLeak} is larger in devices with L smaller assuming values between 10^{-10} A e 10^{-6} A, independent of the analyzed devices structure.

In all evaluated devices, it was found that I_{DLeak} is mainly composed of electrons, which flows mainly in the middle of the silicon film. Comparing double, triple and quadruple gates devices when operating at same polarization and same temperature conditions level, it was noted that I_{DLeak} assumes lower values for devices with more gates.

Key words: Transistor. SOI. FinFET. MuGFET. High Temperatures. Drain Leakage Current.

SUMÁRIO

LISTA DE FIGURAS	9
LISTA DE SÍMBOLOS	12
LISTA DE ABREVIATURAS	15
1 INTRODUÇÃO	16
1.1 Objetivos.....	17
1.2 Estrutura do trabalho	19
2 REVISÃO BIBLIOGRÁFICA	20
2.1 Transistor SOI MOSFET	20
2.1.1 Parâmetros Elétricos	26
2.1.1.1 Tensão de Limiar	26
2.2 Dispositivos de múltiplas portas	28
2.2.1 Dispositivo de duas portas	29
2.2.2 Dispositivo de três portas.....	31
2.2.3 Dispositivo de quatro portas.....	32
2.2.4 Parâmetros elétricos de dispositivos de múltiplas portas.....	33
2.2.4.1 Corrente de Dreno em dispositivos de múltiplas portas.....	33
2.2.4.2 Tensão de limiar em dispositivos de múltiplas portas	33
2.3 Dispositivos SOI MOSFET operando em altas temperaturas.....	34
2.3.1 Corrente de fuga	35
3 ESTRUTURA DOS DISPOSITIVOS ESTUDADOS	38
3.1 Dispositivo de duas portas	38
3.2 Dispositivo de três portas.....	39
3.3 Dispositivo de quatro portas	41
4 SIMULAÇÕES NUMÉRICAS TRIDIMENSIONAIS	42
4.1 Apresentação do simulador numérico de dispositivos ATLAS	42
4.2 Construção dos dispositivos.....	42
4.3 Modelos numéricos utilizados.....	44
4.4 Extração de parâmetros	45
4.4.1 Extração da corrente de fuga do dreno	45
4.4.2 Extração da densidade de corrente de fuga e composição de portadores.....	46
5 RESULTADOS OBTIDOS	52
5.1 Corrente de fuga do dreno	52
5.1.1 Influência do comprimento de canal e da temperatura na corrente de fuga do dreno	53
5.1.2 Influência da largura e da altura do canal na corrente de fuga do dreno.....	62

5.2	Densidade e composição da corrente de fuga do dreno	69
5.2.1	Distribuição da densidade de corrente de fuga ao longo da largura do canal	69
5.2.2	Distribuição da densidade de corrente de fuga ao longo da altura do canal.....	78
5.2.3	Densidade de corrente de fuga na região mediana do canal.....	91
6	CONCLUSÕES	93
	REFERÊNCIAS BIBLIOGRÁFICAS	95
	APÊNDICE 1	98
	APÊNDICE 2	102
	APÊNDICE 3	106

LISTA DE FIGURAS

Figura 2.1 - Perfil de transistores canal N (A) MOSFET convencional, (B) SOI MOSFET..	21
Figura 2.2 – Típico substrato de silício SOI.....	21
Figura 2.3 – Perfil de um transistor SOI MOSFET canal N.	22
Figura 2.4 – Diagramas de faixa de energia para transistores SOI (A) parcialmente depletados e (B) totalmente depletados.....	24
Figura 2.5 Evolução da tecnologia SOI e dos dispositivos MuGFET [1].....	29
Figura 2.6 – Transistor XMOS.....	29
Figura 2.7 - Dispositivo DELTA (A) e o dispositivo FinFET de duas portas (B).	30
Figura 2.8 – Dispositivo de três portas.	31
Figura 2.9 – Corte da seção transversal dos dispositivos de três portas, porta- π e porta- Ω	32
Figura 2.10 – Estrutura (A) e corte da seção transversal (B) de dispositivos de quatro portas.	32
Figura 2.11 – Corrente de fuga do dreno em dispositivo convencional (A) e SOI (B).	35
Figura 3.1 – Dispositivo SOI FinFET de duas portas (DGFinFET).....	38
Figura 3.2 – Dispositivo SOI MOSFET de três portas (TGFinFET).....	40
Figura 3.3 – Dispositivo SOI MOSFET de quatro portas (QGFinFET).....	41
Figura 4.1 – Aspecto da grade de pontos para dispositivos de duas portas (A), três portas (B) e quatro portas (C), aplicadas nas simulações numéricas tridimensionais.	43
Figura 4.2 - Curva de I_{DS} em função de V_{GS} para um dispositivo TGFinFET com $L = 1 \mu m$, $V_{DS} = 25 mV$ operando em altas temperaturas. Exemplo de ponto para extração de I_{DLeak}	46
Figura 4.3 – Plano de corte gerado no Tonyplot3D para extração da densidade e composição da corrente de fuga em um DGFinFET.	47
Figura 4.4 – Plano de corte exportado ao Tonyplot para extração da densidade e composição da corrente de fuga em um DGFinFET através das linhas de corte 1 e 2.	47
Figura 4.5 – Localização da linha de corte transversal (“linha1”) para extração das densidades e composição da corrente de fuga na largura de canal.....	48
Figura 4.6 – Localização das interfaces de portas nos dispositivos DGFinFET (A), TGFinFET (B) e QGFinFET(C).....	49
Figura 4.7 – Localização da linha de corte perpendicular (“linha 2”) para extração das densidades e composição da corrente de fuga na altura do canal.....	50
Figura 4.8 – Gráficos com as densidade e composição da corrente de fuga do dreno obtidos com a “linha 1” (A) e com a “linha 2” (B).....	51

Figura 5.1 – Curva de I_{DS} x V_{GS} para um dispositivo DGFinFET com $L = 1\mu m$, $H_{FIN}=W_{FIN} = 120nm$	53
Figura 5.2 – Curva de I_{DS} x V_{GS} para um dispositivo TGFinFET com $L = 1\mu m$, $H_{FIN}=W_{FIN} = 120nm$	54
Figura 5.3 – Curva de I_{DS} x V_{GS} para um dispositivo QGFinFET com $L = 1\mu m$, $H_{FIN}=W_{FIN} = 120nm$	54
Figura 5.4 – I_{DLeak} x Temperatura para dispositivos MuGFET com $L = 1\mu m$, $W_{FIN} = H_{FIN} = 120nm$	55
Figura 5.5 – I_{DLeak} x Temperatura para um dispositivo MuGFET com $L = 100nm$, $W_{FIN} = H_{FIN} = 120nm$	56
Figura 5.7. Comparação de I_{DLeak} em um TGFinFET em função da temperatura, desde a ambiente até 300°C, para diferentes valores de L.	59
Figura 5.8. Comparação de I_{DLeak} em um QGFinFET em função da temperatura, desde a ambiente até 300°C, para diferentes valores de L.	59
Figura 5.9. Comparação do comportamento de I_{DLeak} em função da temperatura desde a ambiente até 300 °C, entre MuGFETs com $L = 100 nm$, $W_{FIN} = H_{FIN} = 120nm$	60
Figura 5.10. Comparação da I_{DLeak} em função de L para faixas de temperatura desde a ambiente até 300°C para TGFinFET com $W_{FIN} = H_{FIN} = 120nm$	61
Figura 5.11. Comparação de I_{DLeak} em função de L entre os dispositivos MuGFET em altas temperaturas com $W_{FIN} = H_{FIN} = 120nm$	61
Figura 5.12. I_{DLeak} em função de área da junção normalizada em W_{FIN} , para DGFinFET (A), TGFinFET (B) e QGFinFET (C).	66
Figura 5.13. I_{DLeak} em função de área da junção normalizada em H_{FIN} , para DGFinFET (A), TGFinFET (B) e QGFinFET (C).	67
Figura 5.14. Comparação de I_{DLeak} em dispositivos com mesma área de junção normalizada DGFinFET (A), TGFinFET (B) e QGFinFET (C).	68
Figura 5.15. Distribuição de J_{TLeak} para dispositivos com $L = 1\mu m$, $W_{FIN} = H_{FIN} = 120 nm$ do tipo DGFinFET (A), TGFinFET (B) e QGFinFET (C).	70
Figura 5.16. Distribuição de J_{TLeak} para dispositivos com $L = 100 nm$, $W_{FIN} = H_{FIN} = 120 nm$, DGFinFET(A), TGFinFET (B) e QGFinFET (C).	72
Figura 5.17. Distribuição de J_{TLeak} para dispositivos DGFinFET com $L = 1\mu m$ e $H_{FIN} = 120nm$, com $W_{FIN}=60nm$ (A) e $W_{FIN} = 240 nm$ (B).....	73
Figura 5.18. Distribuição e composição de I_{DLeak} em dispositivos $L = 1\mu m$ e $W_{FIN}=H_{FIN}= 120 nm$, DGFinFET (A), TGFinFET (B), QGFinFET (C), operando em 300 °C.	75
Figura 5.19. Distribuição e composição I_{DLeak} para um DGFinFET com $L = 100 nm$ e $W_{FIN} = 30nm$ (A), TGFinFET com $L = 100 nm$ e $W_{FIN} = 60nm$ (B) e QGFinFET com $L = 500 nm$ e $W_{FIN} = 30nm$ (C), operando em 300°C.	76

Figura 5.20. Distribuição e composição de J_{TLeak} para TGFinFETs com $L = 1 \mu m$, com $W_{FIN} = 240nm$ (A) e $W_{FIN} = 60nm$ (B), operando em $27^\circ C$	77
Figura 5.21. Distribuição de J_{TLeak} em H_{FIN} para dispositivos com $L = 1 \mu m$ e $W_{FIN}=H_{FIN}= 120 nm$, DGFinFET (A) e TGFinFET (B) e QGFinFET (C).....	79
Figura 5.22. Distribuição de J_{TLeak} em H_{FIN} para dispositivos com $L = 100 nm$ e $W_{FIN}=H_{FIN}= 120 nm$, DGFinFET (A), TGFinFET (B) e QGFinFET (C), operando em altas temperaturas.....	81
Figura 5.24. Distribuição de J_{TLeak} , $J_{Lacunas}$ e $J_{ELeitrons}$ em H_{FIN} para dispositivos com $L = 1 \mu m$ e $W_{FIN}=120 nm$, DGFinFET com $H_{FIN} = 150nm$ (A), TGFinFET com $H_{FIN} = 150nm$ (B), QGFinFET com $H_{FIN} = 120nm$ (C), operando em $300^\circ C$	85
Figura 5.25. Distribuição de J_{TLeak} , $J_{Lacunas}$ e $J_{ELeitrons}$ em H_{FIN} para dispositivos com $L = 100 nm$ e $W_{FIN}=120 nm$, DGFinFET com $H_{FIN} = 150nm$ (A), TGFinFET com $H_{FIN} = 150nm$ (B), QGFinFET com $H_{FIN} = 120nm$ (C), operando em $300^\circ C$	87
Figura 5.26. Distribuição de J_{TLeak} , $J_{Lacunas}$ e $J_{ELeitrons}$ em H_{FIN} para dispositivos com $L = 500 nm$ e $W_{FIN}=120 nm$, DGFinFET com $H_{FIN} = 150nm$ (A), TGFinFET com $H_{FIN} = 150nm$ (B), QGFinFET com $H_{FIN} = 120nm$ (C), operando em $300^\circ C$	88
Figura 5.27. Distribuição de J_{TLeak} , $J_{Lacunas}$ e $J_{ELeitrons}$ em H_{FIN} para dispositivos com $L = 200 nm$ e $W_{FIN}=120 nm$, DGFinFET com $H_{FIN} = 150nm$ (A), TGFinFET com $H_{FIN} = 150nm$ (B), QGFinFET com $H_{FIN} = 120nm$ (C), operando em $100^\circ C$	89
Figura 5.28. Distribuição de J_{TLeak} , $J_{Lacunas}$ e $J_{ELeitrons}$ em H_{FIN} para dispositivos com $L = 200 nm$ e $W_{FIN}=120 nm$, DGFinFET com $H_{FIN} = 150nm$ (A), TGFinFET com $H_{FIN} = 150nm$ (B), QGFinFET com $H_{FIN} = 120nm$ (C), operando em $200^\circ C$	90
Figura 5.29. Distribuição de J_{TLeak} no volume de silício do canal para dispositivos DGFinFET (A), TGFinFET (B) e QGFinFET (C), operando em $300^\circ C$	92

LISTA DE SÍMBOLOS

A	Área da junção [μm^2].
C_D	Capacitância de depleção [F/cm^2].
C_{OX1}	Capacitância do óxido de porta por unidade de área [F/cm^2].
C_{Si}	Capacitância do silício por unidade de área [F/cm^2].
C_{OX2}	Capacitância do óxido enterrado por unidade de área [F/cm^2].
C_{OX}	Capacitância do óxido de porta [F/cm^2].
D_n	Coeficiente de difusão do elétron [cm^2/s].
E_C	Nível de energia da camada de condução [eV].
E_F	Nível de Fermi para semicondutores [eV].
E_{FM}	Nível de Fermi do metal [eV].
E_i	Nível intrínseco em um semicondutor [eV].
E_V	Nível de energia de camada de valência [eV].
E_g	Faixa proibida de energia (<i>band gap</i>) [eV].
H_{FIN}	Altura do canal do FinFET [nm].
I_{DLeak}	Corrente de fuga do dreno [A].
I_{DS}	Corrente de dreno [A].
I_{D0}	Corrente de dreno em um dispositivo SOI planar [A].
J_{TLeak}	Densidade total de corrente de fuga [A/cm^2].
$J_{\text{Elétrons}}$	Densidade de elétrons [A/cm^2].
J_{Lacunas}	Densidade de lacunas [A/cm^2].
k	Constante de Boltzmann [eV/K].
L	Comprimento de canal [μm].
L_D	Comprimento da região de dreno [nm].
L_S	Comprimento da região de fonte [nm].

N_A	Concentração de impurezas aceitadoras tipo P [cm^{-3}].
n	Número efetivo de portas.
n_i	Concentração intrínseca de portadores no silício [cm^{-3}].
T	Temperatura [K].
q	Carga elementar do elétron ($1,6 \times 10^{-19}$) [C].
Q_{OX1}	Densidade de carga fixa no óxido [C/cm^2].
Q_{depl}	Carga total de depleção da camada de silício [C/cm^2].
Q_{Deff}	Carga de depleção efetiva [C/cm^2].
t_{ox}	Espessura do óxido de porta [nm].
t_{oxsup}	Espessura de óxido de porta superior em dispositivos de duas portas [nm].
t_{Box}	Espessura do óxido enterrado [nm].
t_{Si}	Espessura da camada de silício [nm].
V_T	Tensão de Limiar [V].
$V_{\text{TH1,acc2}}$	Tensão de limiar da primeira interface com a segunda em acumulação [V].
$V_{\text{TH1,inv2}}$	Tensão de limiar da primeira interface com a segunda em inversão [V].
$V_{\text{TH1,depl2}}$	Tensão de limiar da primeira interface com a segunda em depleção [V].
V_{thn}	Tensão de limiar em dispositivos de múltiplas portas [V].
V_{FB}	Tensão de faixa plana [V].
V_{GS}	Tensão aplicada à porta [V].
V_{G1}	Tensão aplicada à primeira porta [V].
V_{G2}	Tensão aplicada à segunda porta [V].
$V_{\text{G2,acc}}$	Tensão aplicada à segunda interface que causa a depleção [V].
X_{d1}	Profundidade da camada de depleção da primeira interface [μm].
X_{d2}	Profundidade da camada de depleção da segunda interface [μm].
X_{dmax}	Profundidade máxima da camada da depleção [nm].

W_{FIN}	Largura do canal do FinFET [nm].
W_{Si}	Largura do filme de silício [nm].
W_{d}	Largura da região de depleção [nm].
ϵ_{Si}	Permissividade o silício [F/cm].
ϵ_{OX}	Permissividade do óxido de silício ($3,45 \times 10^{-13}$) [F/cm].
Φ_{F}	Nível de Fermi [V].
Φ_{S}	Potencial de superfície [V].
Φ_{MS1}	Diferença da função trabalho entre metal e semiconductor da primeira interface [V].

LISTA DE ABREVIATURAS

BOX	Buried Oxide (Óxido enterrado).
Bulk	Substrato de silício, tecnologia convencional.
CMOS	Complementary Metal Oxide Semiconductor (Metal-Óxido-Semicondutor Complementar).
DGMOS	Double Gate Metal Oxide Semiconductor (Metal-Óxido-Semicondutor de duas portas).
DGFinFET	Double Gate Fin Field Effect Transistor (Transistor de Efeito de Campo de Duas Portas).
FinFET	Fin Field Effect Transistor (Transistor de Efeito de Campo tipo “Fin”).
FDSOI	Fully Depleted SOI (Silício sobre Isolante Totalmente Depletado).
IGFET	Insulated Gate Field Effect Transistor (Transistor de Efeito de Campo com Porta Isolada).
MOSFET	Metal Oxide Semiconductor Field Effect Transistor (Transistor de Efeito de Campo Metal-Óxido-Semicondutor).
MuGFET	Multi Gate Field Effect Transistor (Transistor de Efeito de Campo de Múltiplas Portas).
NFDSOI	Near Fully Depleted SOI (Silício sobre Isolante Quase Totalmente Depletado).
NMOS	Metal Oxide semiconductor channel N (Metal Óxido Semicondutor de canal N).
PDSOI	Partially Depleted SOI (Silício sobre Isolante Parcialmente Depletado).
QGFinFET	Quadruple Gate Fin Field Effect Transistor (Transistor de Efeito de Campo de Quatro Portas).
SIMOX	Separation by IMplantation of Oxygen (Separação por implantação de oxigênio).
SCE	Short Channel Effect (Efeito de canal curto).
SOI	Silicon on Insulator (Silício sobre isolante).
TGFinFET	Triple Gate Fin Field Effect Transistor (Transistor de Efeito de Campo de Três Portas).

1 INTRODUÇÃO

Com a contínua busca para a redução das dimensões de dispositivos integrados, novas tecnologias estão em estudo objetivando melhorias não somente nas dimensões dos dispositivos, mas também que estes sejam capazes de operar adequadamente em altas temperaturas [1, 2].

A tecnologia de fabricação de transistores MOSFET em substratos de silício convencional (bulk) está próxima de seu limite de escalamento podendo resultar no fim da lei de Moore nos próximos anos [1]. Com a redução do comprimento de canal (L) e a operação em altas temperaturas, surgem efeitos não desejados que podem prejudicar o controle do dispositivo, como a excessiva corrente de fuga nas junções, a variação na tensão de limiar [2,3] e a presença do efeito de latch-up [4].

Com a construção de transistores MOSFET em substratos de silício sobre isolante (SOI - Silicon on Insulator) observa-se uma isolação completa entre os dispositivos evitando efeitos parasitários indesejados [5]. Desta forma, dispositivos construídos na tecnologia SOI apresentam como algumas de suas vantagens a redução das capacitâncias parasitas e o aumento da corrente de condução [1], a redução do efeito de canal curto e baixa sensibilidade dos parâmetros com a variação da temperatura [3], eliminação do efeito de latch-up e menor corrente de fuga das junções [4, 6]

Melhores resultados podem ser alcançados com a construção de dispositivos de duas portas totalmente depletados (FDSOI - Fully Depleted SOI) [7]. A evolução destes dispositivos para estruturas verticais com múltiplas portas (MuGFET - Multi Gate Field Effect Transistor) permite uma maior capacidade de corrente proporcional à quantidade de portas, redução dos efeitos de canal curto, melhor controle do potencial do canal pelas portas, e a redução da corrente de fuga [8, 9, 10], fazendo com que os MuGFETs sejam fortes candidatos para a futura geração de dispositivos [11].

Devido a estas características, atualmente os dispositivos com múltiplas portas têm sido alvo de estudos por pesquisadores em diversas instituições e indústrias, e seu comportamento elétrico quando submetido a altas temperaturas é importante para aplicações industriais, automobilísticas e aeroespaciais [1, 5, 7, 8, 9, 10].

1.1 Objetivos

Neste trabalho serão desenvolvidos estudos sobre a corrente de fuga do dreno em transistores de efeito de campo com múltiplas portas da tecnologia Metal-Óxido-Semicondutor de canal N (NMOS), construídos em substratos SOI, operando desde a temperatura ambiente (27°C) até 300 °C.

Serão realizadas comparações do comportamento elétrico da corrente de fuga do dreno em dispositivos de duas portas (DGFinFET - Double Gate Fin Field Effect Transistor), de três portas (TGFinFET - Triple Gate Fin Field Effect Transistor) e de quatro portas (QGFinFET – Quadruple Gate Fin Field Effect Transistor) de mesmas dimensões geométricas para o comprimento de canal (L), a largura (W_{FIN}) e a altura (H_{FIN}).

Sabe-se que a corrente de fuga é de forma expressiva a principal causa de falhas de transistores e circuitos integrados quando submetidos a altas temperaturas [2, 3]. Dispositivos convencionais apresentam efeitos como uma elevada corrente de fuga e o efeito latch-up, enquanto os dispositivos SOI apresentam menor corrente de fuga e a eliminação do efeito de latch-up [2, 4, 6, 12, 13]. Por estas razões, neste estudo serão realizadas investigações da corrente de fuga do dreno, de sua composição de portadores (elétrons e lacunas) e de sua respectiva distribuição nas estruturas dos dispositivos MuGFET operando em tais condições.

Os parâmetros elétricos analisados neste trabalho serão extraídos através de simulações numéricas tridimensionais dos dispositivos MuGFET, fazendo uso do software de simulação numérica de dispositivos ATLAS [14], no qual todos os dispositivos serão submetidos à polarização e as variações da temperatura nos pontos de interesse.

Para os dispositivos MuGFET estudados, suas dimensões físicas serão variadas com o objetivo de entender a sua influência no comportamento elétrico destas estruturas. Para tanto, a altura do filme de silício que compõe a região do canal (H_{FIN}) assume valores de 30, 60, 120, 150 e 240 nm enquanto o valor da largura do canal deste dispositivo (W_{FIN}) é mantida em 120 nm. Por outro lado, quando W_{FIN} assumir os valores de 30, 60, 120 e 240 nm, H_{FIN} será mantida em 120 nm. Para todos os dispositivos avaliados nestas condições, o comprimento de canal (L) será variado desde 100 nm até 1µm.

A partir destes dispositivos, foram realizadas simulações numéricas na região de corte e foram extraídos e analisados os dados referentes ao comportamento da corrente de fuga de

dreno (I_{DLeak}), da sua densidade total de corrente de fuga do dreno (J_{TLeak}) e suas parcelas de portadores compostas por elétrons ($J_{Elétrons}$) e lacunas ($J_{Lacunas}$), que ajudarão no entendimento do comportamento de I_{DLeak} nos dispositivos avaliados no decorrer deste trabalho.

1.2 Estrutura do trabalho

Capítulo 2 - Apresentará a revisão bibliográfica das tecnologias de transistores SOI MOSFET utilizados neste trabalho, abrangendo estruturas clássicas do tipo planar, estruturas de múltiplas portas e a operação destes dispositivos em altas temperaturas.

Capítulo 3 - Serão descritos os dispositivos de duas portas, de três portas e de quatro portas utilizados para a realização deste trabalho, focando em suas dimensões, materiais utilizados e nas concentrações de dopantes.

Capítulo 4 - Apresenta o simulador numérico de dispositivos, a metodologia de construção da grade de pontos necessária para a realização das simulações numéricas tridimensionais, os modelos físicos utilizados e a metodologia de obtenção dos dados.

Capítulo 5 - Será utilizado para apresentação e discussão de todos os resultados obtidos com as simulações numéricas tridimensionais, realizadas com dispositivos MuGFET submetidos às altas temperaturas, comparando o comportamento de I_{DLeak} de sua distribuição e composição de portadores entre os dispositivos avaliados.

Capítulo 6 - Serão apresentadas as conclusões deste trabalho bem como sugestões para trabalhos futuros.

2 REVISÃO BIBLIOGRÁFICA

Neste capítulo será apresentada a revisão bibliográfica dos Transistores de Efeito de Campo do tipo Metal Óxido Semicondutor (MOSFET - Metal Oxide Semiconductor Field Effect Transistor) construídos na tecnologia do Silício sobre Isolante (SOI – Silicon on Insulator).

A apresentação será iniciada pelos dispositivos SOI MOSFET clássicos, de construção planar no filme de silício. Em seguida, será feita a revisão dos transistores de múltiplas portas e suas configurações de portas construídos em estruturas verticais. Para ambos os tipos de transistores serão apresentados alguns de seus parâmetros elétricos e suas vantagens em relação às tecnologias convencionais (bulk). Logo após, será apresentado o comportamento elétrico desses transistores quando submetidos às altas temperaturas.

2.1 Transistor SOI MOSFET

Pode-se considerar que a primeira descrição de um transistor em substrato isolante foi feita por Lilienfield em 1926, que descreveu a patente de um transistor de efeito de campo tendo a região ativa de óxido de cobre depositada sobre um substrato isolante (IGFET - Insulated-Gate Field-Effect Transistor). Porém, somente em 1960 com o avanço da tecnologia a fabricação do primeiro transistor MOSFET funcional foi possível [5, 6].

Dispositivos construídos em tecnologia SOI permitem a diminuição dos efeitos parasitários encontrados nos substratos convencionais, devido a isolação dielétrica entre os dispositivos proporcionada pela camada de óxido enterrado (t_{Box}). A fabricação de dispositivos em substratos SOI compartilha muitas fases de processo com a tecnologia MOSFET convencional, sendo mais um atrativo para a mesma [3, 5]. A figura 2.1 mostra o perfil dos transistores MOSFET canal N fabricados nas tecnologias convencional (A) e na silício sobre isolante (B).

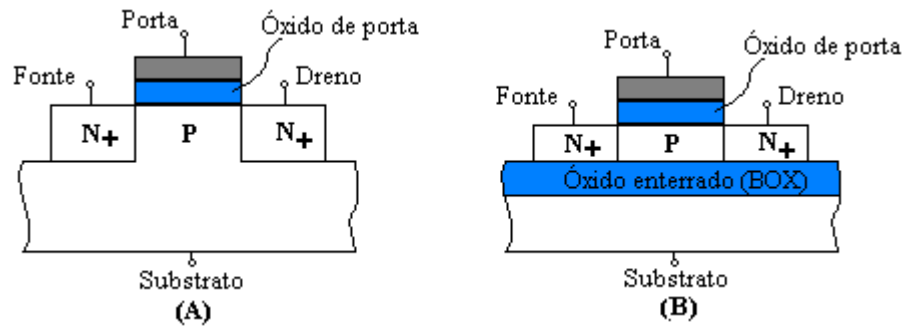


Figura 2.1 - Perfil de transistores canal N (A) MOSFET convencional, (B) SOI MOSFET.

A tecnologia SOI apresenta vantagens sobre a tecnologia convencional, dentre outras, uma menor inclinação de sublimar, menores efeitos de canal curto, maior controle do canal pela interface de porta, alta densidade de integração, diminuição da corrente de fuga das junções e a eliminação do efeito de latch-up [3, 4, 5, 6, 12].

Existem diversos processos para a obtenção de substratos de silício da tecnologia SOI, por exemplo, pode-se citar alguns deles como o SIMOX (Separation by IMplantation of OXygen), BESOI (Bond and Etch Back SOI), FIPOS (Full Isolation by Porous Silicon), SON (Silicon On Nothing), SIMNI (Separation by Implanted NItrogen) e UNIBOND (Smart Cut process) [5, 15, 16, 17].

Todos estes processos e suas variações têm como objetivo comum a obtenção de um substrato com uma camada isolante de óxido de silício, abaixo da camada de silício que é utilizada para a construção dos dispositivos e circuitos integrados de alta densidade de integração. Na figura 2.2 é mostrado um típico substrato SOI.

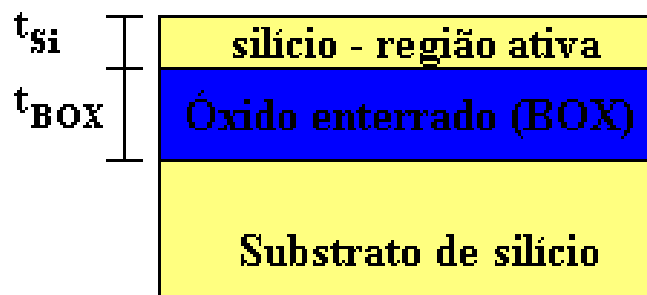


Figura 2.2 – Típico substrato de silício SOI.

Na figura 2.3 pode ser visto o perfil de um transistor SOI MOSFET canal N, onde são indicados a espessura do filme de silício (t_{Si}), a espessura do óxido de porta (t_{ox}), a espessura do óxido enterrado (t_{Box}), o contato de porta (V_{G1}), o contato do substrato (V_{G2}), o contato de dreno (V_D) e o contato de fonte (V_S).

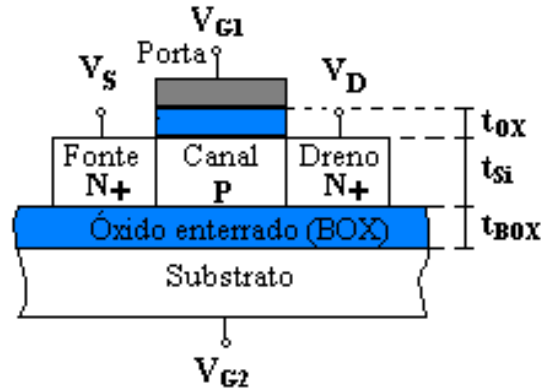


Figura 2.3 – Perfil de um transistor SOI MOSFET canal N.

Para este tipo de dispositivo apresentado na figura 2.3, a profundidade máxima da região de depleção (X_{dmax}) é estendida desde a interface óxido de silício – filme de silício, até o seu máximo valor possível na região interna do canal, que pode ser calculado pela equação (2.1) [5, 18].

$$X_{dmax} = \sqrt{\frac{4\epsilon_{Si} \Phi_F}{q N_A}} \quad (2.1)$$

onde:

X_{dmax}	Profundidade máxima da camada de depleção [nm].
ϵ_{Si}	Permissividade do silício [F/cm].
q	Carga elementar do elétron ($1,6 \times 10^{-19}$) [C].
N_A	Concentração de impurezas aceitadoras tipo P [cm^{-3}].
Φ_F	Potencial de Fermi [V].

Com o potencial de Fermi (Φ_F), para um substrato tipo P, sendo dado pela equação (2.2) [5, 18].

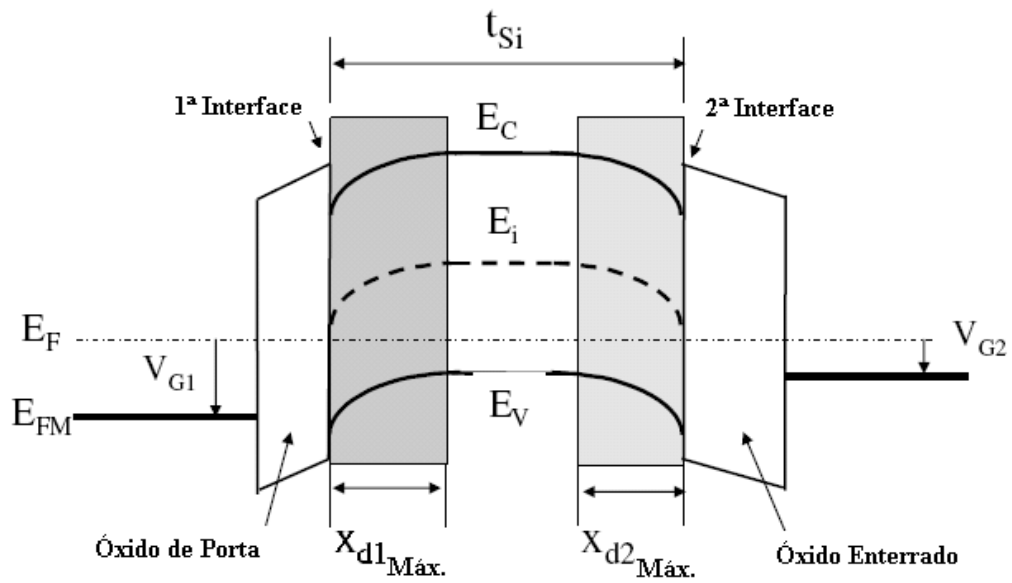
$$\Phi_F = \frac{k T}{q} \ln \left(\frac{N_A}{n_i} \right) \quad (2.2)$$

onde:

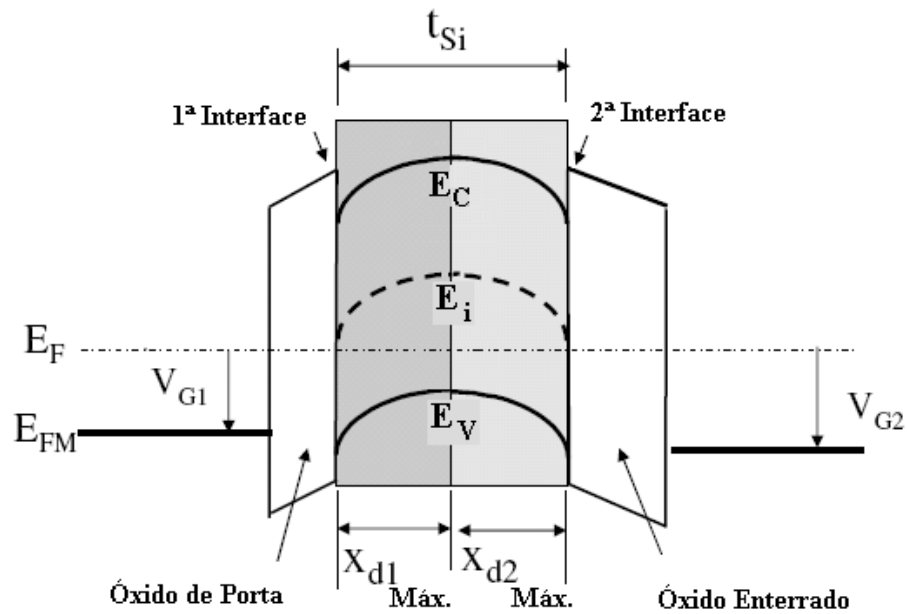
k	Constante de Boltzmann [eV/K].
T	Temperatura [K].
n_i	Concentração intrínseca de portadores no Si [cm^{-3}].

O funcionamento dos dispositivos SOI MOSFET é dependente da espessura da camada de silício (t_{Si}), da concentração de dopantes e também da temperatura, os quais influenciam na profundidade da região de depleção. Pode-se observar o diagrama de faixas de energia para os dispositivos classificados como parcialmente depletados e totalmente depletados na figura 2.4.

Nos dois casos da figura 2.4, pode ser visto a presença da primeira interface e da segunda interface para este tipo de dispositivo.



(A)



(B)

Figura 2.4 – Diagramas de faixa de energia para transistores SOI (A) parcialmente depletados e (B) totalmente depletados.

Na figura 2.4 os símbolos utilizados estão descritos abaixo:

E_C	Nível de energia da camada de condução [eV].
E_F	Nível de Fermi para semicondutores [eV].
E_{FM}	Nível de Fermi do metal [eV].

E_i	Nível intrínseco em um semiconductor [eV].
E_v	Nível de energia da camada de valência [eV].
t_{Si}	Espessura da camada de silício [nm].
V_{G1}	Tensão aplicada à primeira porta [V].
V_{G2}	Tensão aplicada à segunda porta [V].
X_{d1max}	Profundidade máxima de depleção da primeira interface [μm].
X_{d2max}	Profundidade máxima de depleção da segunda interface [μm].

Os transistores SOI MOSFET parcialmente depletados (PDSOI – Partially Depleted SOI), apresentam uma camada de silício sobre óxido duas vezes maior que a máxima largura da região de depleção, ou seja $t_{Si} > 2 X_{dmax}$. Nesta condição, não existe interação entre as regiões de depleção da primeira interface e a segunda interface fazendo com que exista uma região neutra entre elas. Logo, o seu funcionamento é similar ao de um transistor convencional, possuindo efeitos como o corpo flutuante, variação da tensão de limiar e o aparecimento de efeito “kink” [5].

A classificação do transistor SOI MOSFET como quase totalmente depletado (NFDSOI – Near Fully Depleted SOI), indica que a espessura de silício sobre o óxido enterrado está compreendida entre a máxima profundidade da depleção X_{dmax} e duas vezes este valor ($2 X_{dmax}$), sendo que as regiões de depleção da primeira e da segunda interface podem estar em contato dependendo da tensão aplicada ao substrato [5].

Quando classificado como transistor SOI MOSFET totalmente depletado, apresenta uma camada de silício sobre isolante de espessura menor que a região de depleção X_{dmax} , isto é, quando aplicado uma tensão na porta maior que a tensão de limiar, a região de depleção alcança toda a espessura do filme de silício $t_{Si} < X_{dmax}$. Os melhores resultados para o uso da tecnologia SOI foram encontrados com este tipo de dispositivo, uma vez que o controle da região do canal passa a ser executado com mais eficiência pela interface de porta [5, 19].

2.1.1 Parâmetros Elétricos

2.1.1.1 Tensão de Limiar

A tensão de limiar (V_T) é o valor de tensão aplicada à porta do dispositivo, que seja suficiente para a formação de uma camada de inversão na região do canal do dispositivo [18].

Tomando como exemplo um transistor tipo N modo enriquecimento, no qual a região do canal é composta por dopantes tipo P (predominando as lacunas), quando é aplicada uma tensão positiva à porta do dispositivo inicia-se o processo de depleção da região do canal; com isto as lacunas são afastadas da região da interface de porta e os elétrons que até então eram portadores minoritários passam a ser os portadores majoritários. Desta forma, há a inversão dos portadores na região do canal e há a criação de uma camada de condução de corrente, composta por elétrons, entre a fonte e o dreno do dispositivo.

Para o dispositivo SOI MOSFET parcialmente depletado, a determinação da tensão de limiar é a mesma do dispositivo convencional, uma vez que não há interação entre as regiões de depleção da primeira com a segunda interface, sendo dada pela equação (2.3) [5].

$$V_T = V_{FB} + 2\Phi_F + \frac{q N_A X_{dmax}}{C_{OX}} \quad (2.3)$$

Onde:

V_T Tensão de Limiar [V].

V_{FB} Tensão de faixa plana [V].

C_{OX} Capacitância do óxido de porta [F/cm^2].

Para o dispositivo totalmente depletado, a tensão de limiar pode ser obtida através da equação de Poisson (2.4) [5].

$$\frac{d^2 \Phi}{dx^2} = \frac{q N_A}{\epsilon_{Si}} \quad (2.4)$$

Através da solução da equação (2.4), podem ser obtidas diferentes expressões para a tensão de limiar da primeira interface dependendo da polarização do substrato, a qual pode ser vista na equação (2.5) [5] para a segunda interface em acumulação quando o potencial de superfície da segunda interface é aproximadamente zero ($\Phi_{S2}=0$). Na equação (2.6) [5] para a segunda interface em inversão quando o potencial de superfície da segunda interface é aproximadamente $\Phi_{S2} = 2 \Phi_F$. Já na equação (2.7) [5] para a segunda interface em depleção quando o potencial de superfície da segunda interface está na faixa de 0 à $2\Phi_F$ [5].

$$V_{TH1,acc2} = \Phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + \left(1 + \frac{C_{Si}}{C_{OX1}}\right) 2\Phi_F - \frac{Q_{depl}}{2C_{OX1}} \quad (2.5)$$

$$V_{TH1,inv2} = \Phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + 2\Phi_F - \frac{Q_{depl}}{2C_{OX1}} \quad (2.6)$$

$$V_{TH1,depl2} = V_{TH1,acc2} - \frac{C_{Si}C_{OX2}}{C_{OX1}(C_{Si}+C_{OX2})} (V_{G2}-V_{G2,acc}) \quad (2.7)$$

Onde:

C_{OX1}	Capacitância do óxido de porta por unidade de área [F/cm^2].
C_{Si}	Capacitância do silício por unidade de área [F/cm^2].
C_{OX2}	Capacitância do óxido de enterrado por unidade de área [F/cm^2].
Q_{OX1}	Densidade de carga fixa no óxido [C/cm^2].
Q_{depl}	Carga total de depleção da camada de silício [C/cm^2].
V_{G2}	Tensão aplicada à segunda porta [V].
$V_{G2,acc}$	Tensão aplicada à segunda interface que causa a depleção [V].
$V_{TH1,acc2}$	Tensão de limiar da primeira interface com a segunda interface em acumulação [V].
$V_{TH1,inv2}$	Tensão de limiar da primeira interface com a segunda interface em inversão [V].

$V_{TH1,depl2}$	Tensão de limiar da primeira interface com a segunda interface em depleção [V].
Φ_{MS1}	Diferença da função trabalho entre metal e semiconductor da primeira interface [V].

2.2 Dispositivos de múltiplas portas

Seguindo a tendência de escalamento, os transistores MOSFET devem alcançar um comprimento de canal próximo a 15 nm no ano de 2015 [20], possibilitando a construção de circuitos integrados de alta performance.

Para atingir comprimentos de canal abaixo de 100 nm, os dispositivos de múltiplas portas (MuGFET – Multiple Gate Field Effect Transistor) vem despertando maiores interesses devido ao melhor controle dos efeitos de canal curto, à sua maior capacidade de corrente proporcional ao seu número de portas e por muitas vezes possuírem um processo de construção semelhante ao padrão CMOS existente, sendo considerado os principais candidatos para a nova geração de dispositivos [1, 5, 8, 9, 11, 20, 21]. Além disto, este tipo de dispositivo apresenta um melhor controle da região do canal, possui menor corrente de fuga quando comparados aos transistores da tecnologia SOI MOSFET planar, sendo menores ainda quando comparados com dispositivos planares construídos na tecnologia convencional [9,10].

A evolução dos dispositivos MuGFET construídos na tecnologia SOI pode ser vista na figura 2.5[1], na qual observa-se os diferentes tipos de dispositivos que estão sendo alvo de estudos para a substituição da tecnologia SOI planar de porta única. Variações na geometria dos dispositivos são suficientes para que estes abram uma nova classificação, como por exemplo, a extensão da porta nos dispositivos de três portas cria a possibilidade de dois diferentes dispositivos, o de porta- Ω e o de porta- π .

Ao longo deste trabalho para os MuGFETs avaliados serão adotadas as nomenclaturas “DGFinFET” para os dispositivos de duas portas, “TGFinFET” para dispositivos de três portas e “QGFinFET” para dispositivos de quatro portas.

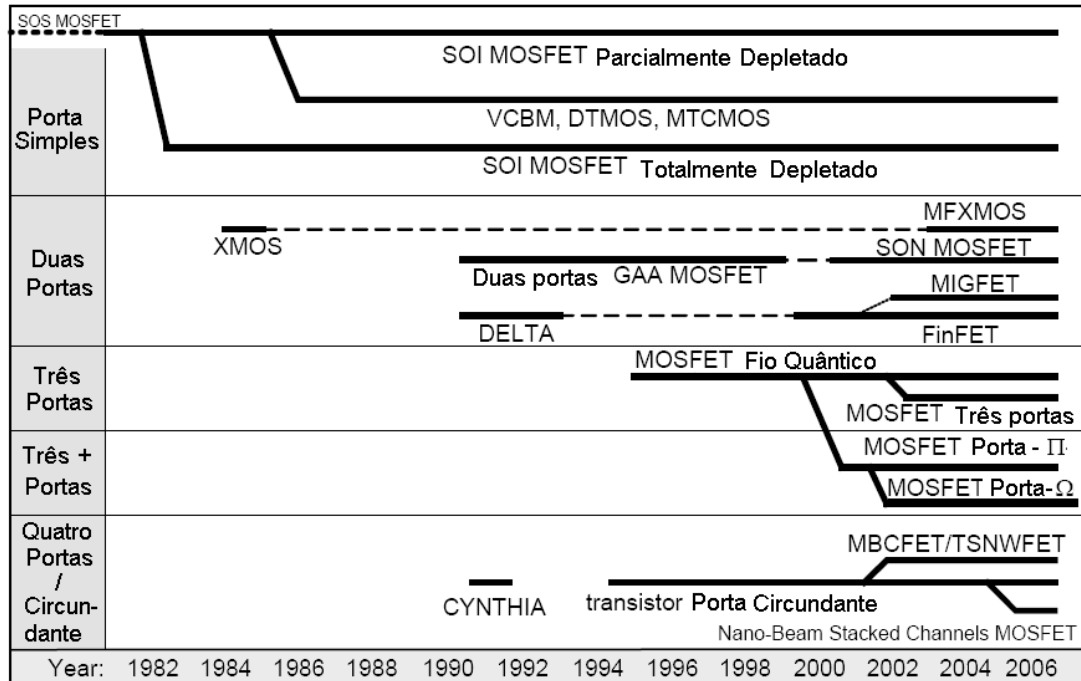


Figura 2.5 Evolução da tecnologia SOI e dos dispositivos MuGFET [1].

2.2.1 Dispositivo de duas portas

O conceito do dispositivo de duas portas do tipo metal óxido semiconductor (DGMOS – Double Gate Metal Oxide Semiconductor) é conhecido desde 1984 com a publicação do primeiro artigo sobre este tipo de dispositivo [7], que mostra a redução dos efeitos de canal curto utilizando duas portas opostas em um dispositivo SOI totalmente depletado de construção planar, o qual foi nomeado como XMOS. O perfil deste dispositivo pode ser visto na figura 2.6.

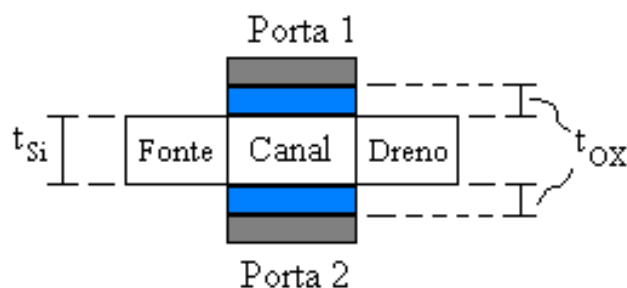


Figura 2.6 – Transistor XMOS.

A fabricação de dispositivos de duas portas é interessante pelo fato de que este tipo de transistor possui melhores características elétricas quando comparados aos dispositivos SOI

MOSFET de porta única, como por exemplo, a redução significativa dos efeitos de canal curto (SCE – Short Channel Effects) [22, 23].

O primeiro dispositivo de duas portas com canal vertical, construído em 1989, foi o transistor de canal estreito totalmente depletado (DELTA - Fully Depleted Lean Channel Transistor), fabricado em uma curta e estreita ilha de silício chamada de “fin” [7].

Com a evolução do dispositivo DELTA, surgiu o FinFET de duas portas (DGFinFET – Double Gate Fin Field Effect Transistor), tendo como diferença um óxido de porta superior (t_{oxsup}) de maior espessura o que inibe a ação da porta superior do dispositivo, como pode ser visto na figura 2.7.

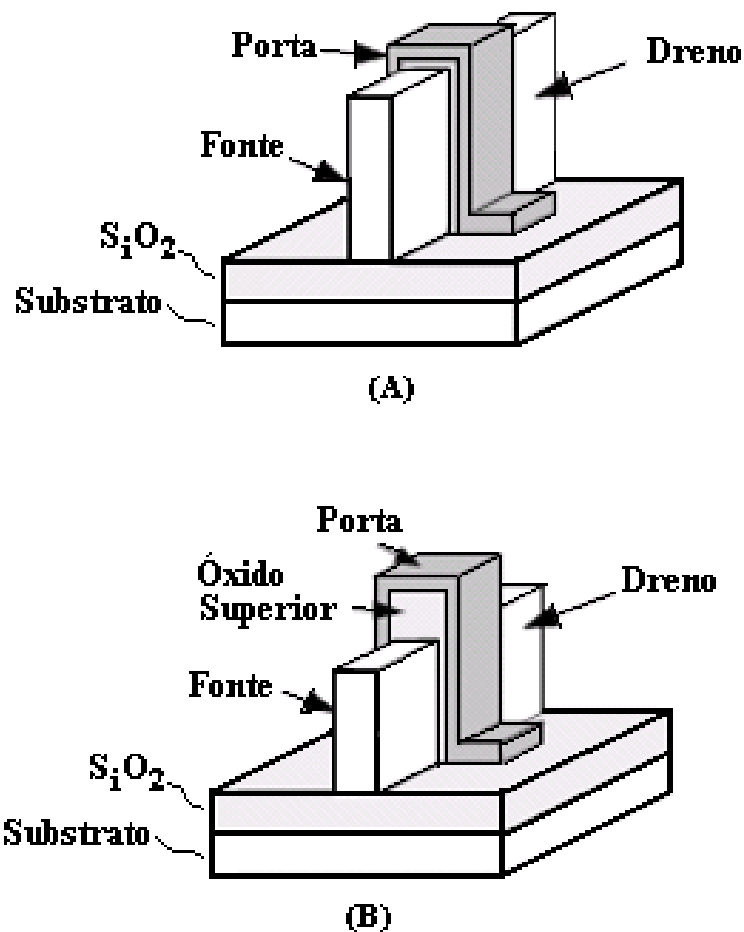


Figura 2.7 - Dispositivo DELTA (A) e o dispositivo FinFET de duas portas (B).

Existem outras implementações de dispositivos de duas portas com canal vertical, encontradas em [1, 7], os quais não serão abordados neste estudo, no qual o objetivo é manter o foco direcionado aos dispositivos FinFET com configuração de duas, três e quatro portas.

2.2.2 Dispositivo de três portas

O dispositivo de três portas é mais uma variação das estruturas MuGFET. Fabricado em uma curta e estreita ilha de silício chamada de “fin”, com eletrodo de porta abrangendo três de seus lados, como pode ser visto na figura 2.8.

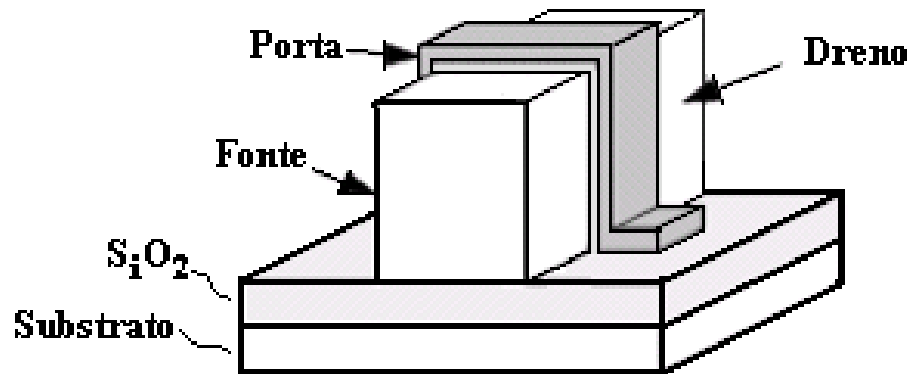


Figura 2.8 – Dispositivo de três portas.

Em um dispositivo de três portas (TGFinFET), a camada de óxido superior (t_{oxsup}) é de mesma espessura do óxido de porta (t_{ox}) presente em suas portas laterais, fazendo com que a interface superior tenha ação sobre a região do canal, possuindo um maior controle da região do canal e por consequência diminuindo os efeitos de canal curto. Com esta configuração, um TGFinFET apresenta maior capacidade de corrente e melhor controle do canal quando comparados aos dispositivos de duas portas [1].

Um melhor controle eletrostático do canal poderá ser obtido estendendo o eletrodo de porta para dentro do óxido enterrado e por baixo da região do canal. Desta maneira, a formação de estruturas mais eficientes para dispositivos de três portas foram definidas. A figura 2.9 mostra esta extensão das portas nos dispositivos denominados porta- π e porta- Ω (π -gate e Ω -gate) [8, 24].

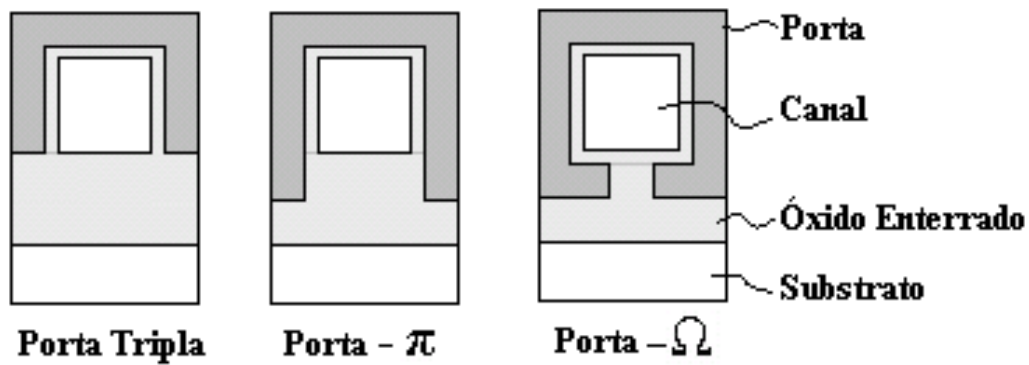


Figura 2.9 – Corte da seção transversal dos dispositivos de três portas, porta- π e porta- Ω .

2.2.3 Dispositivo de quatro portas

Na figura 2.10 é apresentada a estrutura (A) e o corte transversal (B) de um dispositivo de quatro portas (QGFinFET). Este tipo de dispositivo apresenta as melhores condições para o controle do canal, devido a presença de portas que envolvem toda a região do canal [1,25, 26].

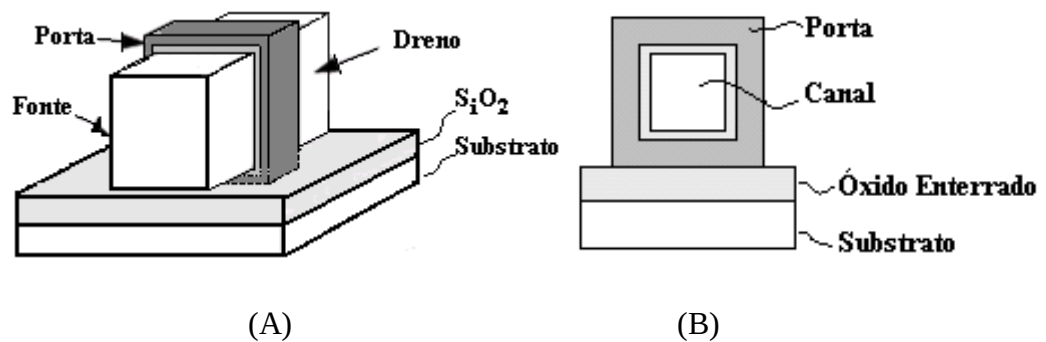


Figura 2.10 – Estrutura (A) e corte da seção transversal (B) de dispositivos de quatro portas.

Também conhecido na literatura como “Gate-All-Around FET” (GAA) e “Surrounding-Gate FET”, apresentam variações em sua construção como a seção cilíndrica e quadrada em um pilar de silício vertical ou de construção planar [1, 7, 25, 26]. Na figura 2.10 é mostrado um dispositivo de seção quadrada.

2.2.4 Parâmetros elétricos de dispositivos de múltiplas portas

2.2.4.1 Corrente de Dreno em dispositivos de múltiplas portas

De um modo geral, a corrente de dreno nos dispositivos de múltiplas portas é igual à somatória das correntes que circulam nas portas presentes na estrutura, sendo igual a corrente de um dispositivo de porta única multiplicada pelo número de portas presentes na estrutura, isto se os portadores possuírem a mesma mobilidade em cada uma das interfaces de porta. Comparando com um dispositivo planar de porta única, um dispositivo de duas portas poderá ter o dobro da corrente e o de três portas ou quatro portas poderá ter aproximadamente três e quatro vezes mais corrente, dependendo da orientação cristalográfica na qual eles foram construídos e das dimensões de cada porta presente na estrutura [1, 7].

2.2.4.2 Tensão de limiar em dispositivos de múltiplas portas

A definição clássica para a tensão de limiar em dispositivos SOI MOSFET, mostra que ocorre na inversão forte quando $\Phi_S = 2\Phi_F$. Esta definição não é adequada para dispositivos MuGFET [1, 5, 8].

As equações 2.5, 2.6 e 2.7 apresentaram um modelo de 1ª ordem para a tensão de limiar em dispositivos de duas portas, Uma equação geral para a tensão de limiar em dispositivos de múltiplas portas pode ser vista abaixo na equação 2.8 [6,8].

$$V_{thn} = V_{FB} + 2\Phi_F + \frac{qN_A}{C_{OX}} \cdot \frac{t_{Si}}{n} \quad (2.8)$$

Onde:

V_{thn}	Tensão de limiar em dispositivos MuGFET [V].
V_{FB}	Tensão de faixa plana [V].
t_{Si}	Espessura do filme de silício [nm].
n	Número efetivo de portas.

A dependência da tensão de limiar com a espessura do filme de silício pode ser vista no terceiro termo da equação, enquanto o segundo termo nos indica a dependência com a temperatura dado pela equação (2.2).

Os valores para o parâmetro n foram mostrados em [6, 8], sendo o valor $n = 2$ para dispositivos de duas portas, $n = 3$ para dispositivos de três portas e $n = 4$ para dispositivos de quatro portas. Existem outros modelos discutidos para a determinação da tensão de limiar em MuGFETs, que dentre outras podem ser vistos em [9, 27].

2.3 Dispositivos SOI MOSFET operando em altas temperaturas

Existem diversas aplicações para dispositivos SOI MOSFET operando em altas temperaturas [2, 3,19], exigindo que estes dispositivos operem de forma adequada mantendo suas características funcionais.

Transistores MOSFET fabricados na tecnologia convencional apresentam uma maior variação nos parâmetros elétricos com a elevação de temperatura, como por exemplo, o deslocamento da tensão de limiar e o aumento da corrente de fuga das junções, as quais afetam a correta operação dos transistores e de circuitos integrados, que por muitas vezes, levam estes dispositivos a perderem as suas funcionalidades [2, 3]. A tecnologia SOI permite a operação de transistores e circuitos integrados em faixas de temperaturas até então não possíveis para a tecnologia convencional, por possuírem menores variações nestes parâmetros [4, 5].

Podem ser citadas algumas das aplicações de alta temperatura para área automotiva, tais como, injeção eletrônica, unidade de controle eletrônicas (ECU – Electronic Control Unit), controle de transmissão, controle de suspensão, sistemas de freios antibloqueante (ABS – Anti-Block System), sistema de navegação, alternador e controle climático. Para aplicações aeroespaciais podem ser citados como exemplos de aplicações, os sensores de monitoramento de chamas e sistemas de resfriamento e controles de ventilação. Na área industrial encontramos importantes aplicações, tais como, resolução e precisão de instrumentos de medição, eliminação de sistemas de resfriamento e controle adequado da temperatura de operação [3, 28].

2.3.1 Corrente de fuga

O aumento da corrente de fuga nas junções é uma das principais causas de falhas em circuitos integrados quando estiverem operando em altas temperaturas. Esta corrente é proporcional às áreas das junções e ocorrem principalmente quando os transistores estão operando na região de corte [2, 3, 5, 29]. A corrente de fuga em transistores SOI MOSFET é cerca de três ordens de grandeza menor quando comparada à transistores da tecnologia convencional [5, 12].

Na figura 2.11 (A) são mostrados os possíveis caminhos para I_{DLeak} em um dispositivo convencional, enquanto a figura 2.11 (B) esta corrente é mostrada em um dispositivo SOI.

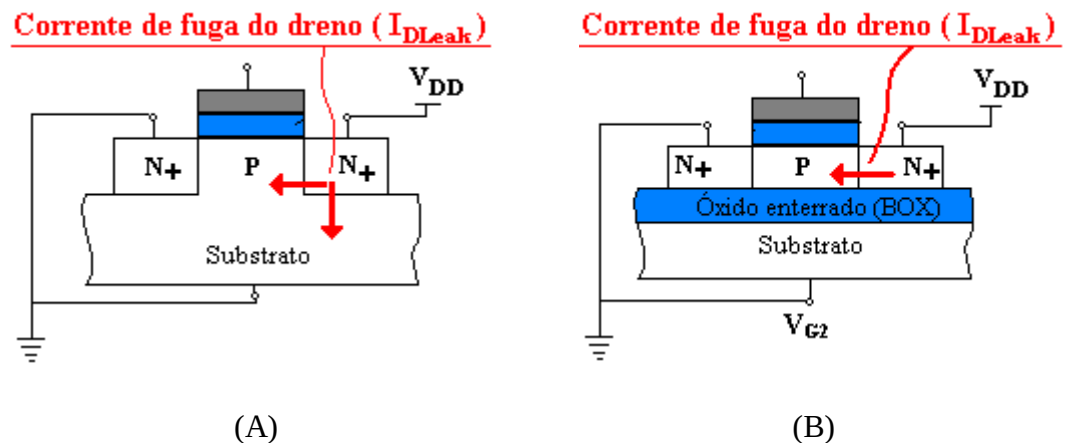


Figura 2.11 – Corrente de fuga do dreno em dispositivo convencional (A) e SOI (B).

Em dispositivos construídos em substrato convencional, existe a necessidade da implantação de cavidades com dopantes diferentes do tipo de dopantes do substrato, para que seja possível a construção de dispositivos CMOS [30]. Esta cavidade forma uma grande junção pn que contribui de forma significativa para uma elevada corrente de fuga [12]. As regiões de dreno e fonte mostradas na figura 2.11 (A) para um dispositivo NMOS estão em contato direto com o substrato, desta forma uma região de depleção das regiões dreno e fonte penetram na direção do substrato e parte do canal do dispositivo, o que acaba contribuindo para uma corrente de fuga mais elevada [12].

Já em dispositivos construídos em substratos SOI como mostrado na figura 2.11(B), a corrente de fuga das junções é reduzida principalmente pelo fato de que o óxido enterrado limita a largura da região de depleção do dreno e da fonte, isolando-as do substrato. Neste tipo de tecnologia não existe a necessidade de cavidades para a construção de dispositivos CMOS, contribuindo de forma significativa para a redução da corrente de fuga das junções [12].

Dispositivos operando na região corte constituem uma junção pn reversamente polarizada. A expressão da corrente de fuga de uma junção pn reversamente polarizada é demonstrada na equação (2.9) [5, 12].

$$I_{\text{Leak}} = q A \left(\frac{D_n}{\tau_n} \right)^{\frac{1}{2}} \frac{n_i^2}{N_A} + q A \frac{n_i W_d}{\tau_e} \quad (2.9)$$

Onde:

A	Área da junção [μm^2].
D_n	Coeficiente de difusão do elétron [cm^2/s].
τ_n	Tempo de vida do elétron em silício neutro tipo P [s].
W_d	Largura da região de depleção [nm].
τ_e	Tempo de vida efetivo da geração térmica na região de depleção [s].

O primeiro termo da equação (2.9) corresponde à componente de difusão da corrente na região quase neutra da junção e possui dependência de n_i^2 , enquanto o segundo termo desta equação é correspondente à componente de geração térmica na região de depleção, sendo dependente de n_i .

A partir da equação (2.9) observa-se que a corrente de fuga é dependente da temperatura. Esta dependência é demonstrada através da concentração intrínseca de portadores no silício (n_i), conforme a equação (2.10) [30]. Para o silício o valor típico de n_i na temperatura ambiente é $1,45 \cdot 10^{10} \text{ cm}^{-3}$ [31].

$$n_i = \sqrt{B \cdot T^3 \cdot e^{-\left(\frac{E_g}{kT}\right)}} \quad (2.10)$$

onde:

k	Constante de Boltzmann [eV/k].
T	Temperatura [K].
E _g	Largura da faixa proibida de energia (<i>band gap</i>) [eV].
B	Constante dependente do material, sendo para o silício =5,4.10 ³¹

A faixa de energia proibida (E_g) é definida como a mínima energia para que um elétron passe da banda de valência para a banda de condução, tornando-se um elétron livre [18]. Em altas temperaturas, alguns elétrons ganham energia térmica suficiente para quebrar suas ligações e circular pelo filme de silício. O valor desta faixa de energia proibida para o silício é 1,12 eV em materiais puros, já para o silício altamente dopado este valor tende a diminuir. A elevação da temperatura incidente ao silício também diminui o valor de E_g [32], quanto maior a temperatura menor será a energia necessária para que um elétron ultrapasse a faixa de energia proibida.

Conforme a temperatura é elevada, maiores valores para n_i serão encontrados mostrando a sua dependência com a temperatura [33] e voltando com estes valores à equação (2.9) observa-se que esta elevação na concentração intrínseca, ocasiona uma maior corrente de fuga nas junções devido às componentes de difusão e de geração térmica serem dependente de n_i.

Como mostrado, a corrente de fuga é proporcional às áreas de junções da estrutura, a qual é dada pela multiplicação da altura do filme de silício por sua largura. Desta forma é esperado que os dispositivos MuGFET avaliados neste trabalho com maior largura ou altura, apresentem maiores valores para a corrente de fuga quando comparado a dispositivos com menores dimensões.

3 ESTRUTURA DOS DISPOSITIVOS ESTUDADOS

A seguir serão apresentadas as estruturas dos dispositivos utilizados ao longo deste trabalho, descrevendo suas dimensões físicas, o tipo e as concentrações de dopagem nas regiões de dreno, fonte e canal. Devido às características de dopagem da região do canal e das dimensões avaliadas neste estudo, todos os dispositivos estão totalmente depletados, isto pode ser visto pelo cálculo da profundidade da região de depleção de cada porta do dispositivo.

As dimensões e os parâmetros adotados para os dispositivos avaliados foram retirados das referências bibliográficas consultadas ao longo deste trabalho e representam o estado da arte dos dispositivos para este tipo de tecnologia.

3.1 Dispositivo de duas portas

A figura 3.1 mostra a estrutura de um dispositivo SOI FinFET de duas portas.

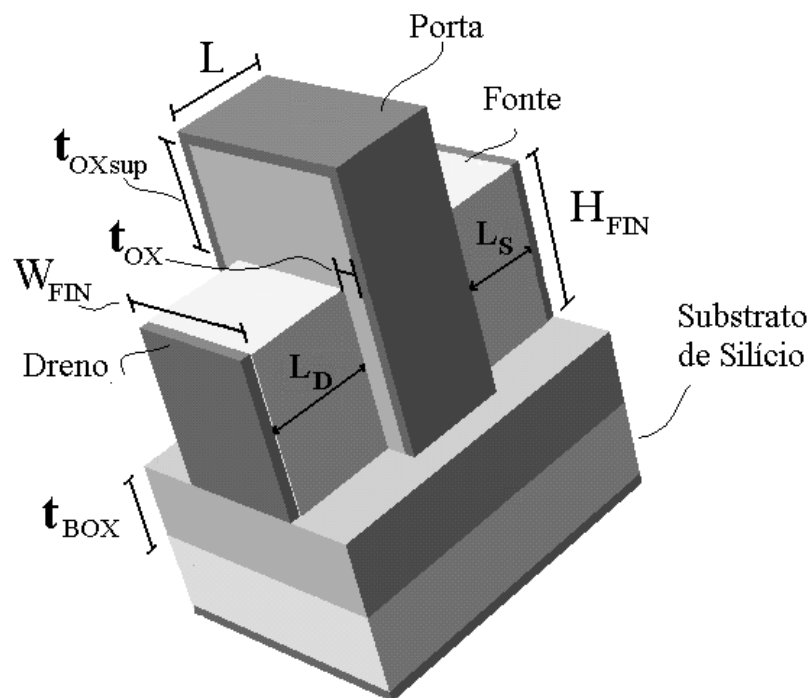


Figura 3.1 – Dispositivo SOI FinFET de duas portas (DGFinFET)

Para que um dispositivo DGFinFET possa ser construído, é necessário garantir que as duas portas laterais sejam capazes de controlar a região do canal simultaneamente e que a porta superior não tenha ação sobre a região do canal. Para isto, é utilizada neste trabalho uma camada de óxido de silício com espessura $t_{ox} = 2$ nm nas portas laterais e uma camada espessa de óxido de silício igual à $t_{oxsup} = 100$ nm na região superior do filme de silício.

A largura do “fin” deste DGFinFET é dada por W_{FIN} assumindo os valores de 30, 60, 120 e 240 nm, enquanto a sua altura dada por H_{FIN} variou entre 30, 60, 120, 150 e 240 nm, os comprimentos das regiões de Dreno e Fonte sendo L_D e $L_S = 100$ nm, respectivamente, possuindo a concentração de dopantes do tipo N sendo $N_D = 1.10^{20} \text{ cm}^{-3}$ para que a resistência de acesso nestas regiões seja diminuída.

Quanto ao comprimento de canal (L), neste trabalho foram utilizados valores de 100 nm, 200 nm, 500 nm, 700 nm e 1 μ m. A concentração de dopantes do tipo P na região do canal é igual a $N_A = 1.10^{15} \text{ cm}^{-3}$, esta é a concentração natural da lâmina de silício encontrada usualmente na literatura consultada.

Com a definição das dimensões, da concentração e tipo dopagem, as estruturas dos dispositivos DGFinFET de canal n puderam ser descritas, polarizadas e simuladas utilizando um simulador numérico tridimensional, o qual será apresentado com maiores detalhes no próximo capítulo.

3.2 Dispositivo de três portas

No dispositivo de três portas TGFinFET, a porta superior deve ter ação simultânea com as portas laterais e para que isto ocorra neste estudo, uma camada de óxido de silício com a espessura $t_{ox} = 2$ nm foi utilizado na região das portas laterais e da porta superior.

A figura 3.2 mostra a estrutura de um dispositivo SOI MOSFET de três portas.

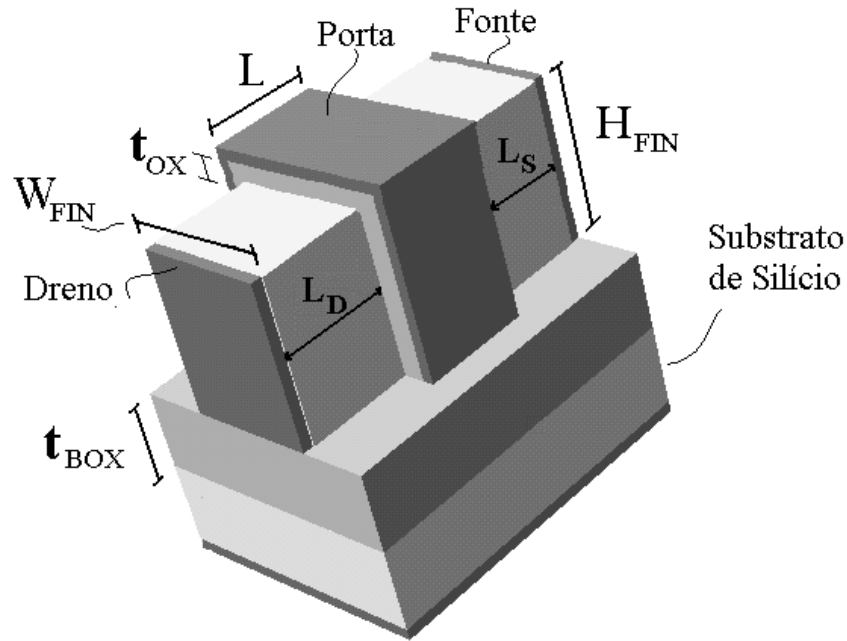


Figura 3.2 – Dispositivo SOI MOSFET de três portas (TGFinFET).

As mesmas dimensões dos dispositivos de duas portas foram mantidas nos dispositivos de três portas para as demais regiões. A largura do “fin” deste TGFinFET é dada por W_{FIN} com os valores de 30, 60, 120 e 240 nm, H_{FIN} assumindo valores de 30, 60, 120, 150 e 240 nm, os comprimentos das regiões de Dreno e Fonte $L_D = L_S = 100\text{nm}$, respectivamente, com a concentração de dopantes do tipo N sendo $N_D = 1.10^{20}\text{ cm}^{-3}$ para que a resistência de acesso nestas regiões seja diminuída.

Quanto ao comprimento de canal (L), neste trabalho para os TGFinFET foram utilizados valores de 100 nm, 200 nm, 500 nm, 700 nm e $1\mu\text{m}$. A concentração de dopantes do tipo P na região do canal é igual a $N_A = 1.10^{15}\text{ cm}^{-3}$, esta é a concentração natural da lâmina de silício.

De forma análoga aos dispositivos de duas portas, a definição das dimensões, da concentração e tipo dopagem, permitiram a descrição das estruturas dos dispositivos TGFinFET de canal n. As mesmas polarizações e procedimentos para simulação foram respeitadas utilizando as ferramentas adequadas que serão descritas no próximo capítulo.

3.3 Dispositivo de quatro portas

Em um dispositivo de quatro portas QGFinFET, existe a ação das portas laterais, da porta superior e da porta inferior abaixo da região do canal, e para que todas as portas tenham ação simultânea, uma camada de óxido de silício com a espessura $t_{ox} = 2$ nm foi utilizada em todas as regiões de portas. A figura 3.3 mostra a estrutura de um dispositivo SOI MOSFET de quatro portas.

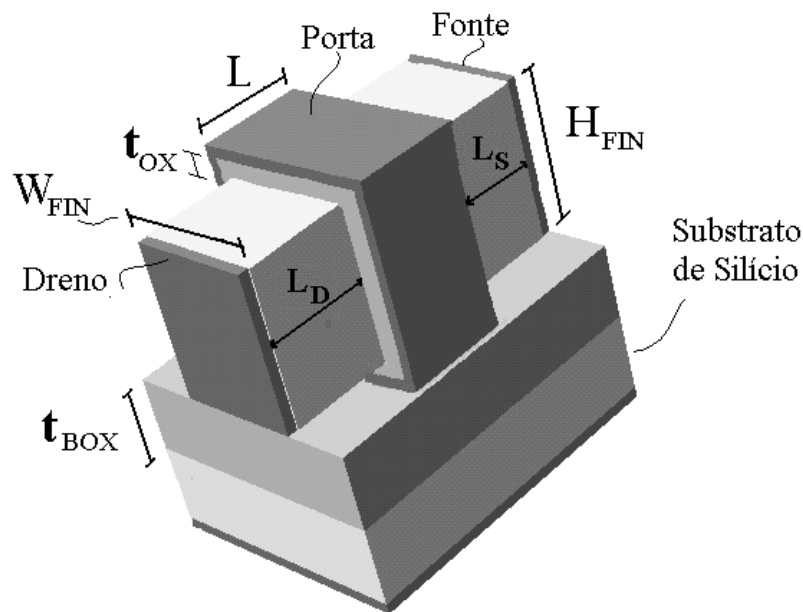


Figura 3.3 – Dispositivo SOI MOSFET de quatro portas (QGFinFET).

Para este tipo de dispositivo as dimensões avaliadas foram similares às utilizadas nos demais dispositivos, a largura e altura destes QGFinFET assumiram os valores de 30, 120 e 240 nm, $L_D = L_S = 100$ nm com concentração $N_D = 1.10^{20} \text{ cm}^{-3}$, diminuindo a resistência de acesso nestas regiões. Quanto ao comprimento de canal (L), para os QGFinFET foram utilizados valores de 100 nm, 200 nm, 500 nm e 1 μm . A concentração de dopantes do tipo P na região do canal é igual a $N_A = 1.10^{15} \text{ cm}^{-3}$, esta é a concentração natural da lâmina de silício.

De forma análoga aos DGFinFET e TGFinFET, a definição das dimensões, da concentração e tipo dopagem, permitiram a descrição das estruturas dos dispositivos QGFinFET de canal n. As mesmas polarizações e procedimentos para simulação foram respeitadas, utilizando as ferramentas adequadas que serão descritas a seguir.

4 SIMULAÇÕES NUMÉRICAS TRIDIMENSIONAIS

Neste capítulo será feita a apresentação do simulador numérico ATLAS, do ambiente de trabalho DECKBUILD, das ferramentas para análise de estruturas TONYPLOT e para criação de dispositivos DEVEDIT3D, as quais foram amplamente utilizadas tanto para a construção quanto para a realização de uma série de simulações numéricas dos diversos dispositivos estudados ao longo do trabalho.

4.1 Apresentação do simulador numérico de dispositivos ATLAS

O ATLAS é um simulador numérico bidimensional e tridimensional para dispositivos desenvolvido pela SILVACO [10], o qual faz o uso de equações físicas que descrevem o comportamento elétrico dos semicondutores.

O simulador é executado dentro do ambiente de trabalho DECKBUILD, sendo que o seu controle é feito através do uso linhas de comando permitindo especificar as polarizações e tipo de material para cada região do objeto em estudo, possibilitando também salvar arquivos e estruturas polarizadas com os resultados das soluções numéricas encontradas.

Existem diferentes modelos numéricos que podem ser utilizados para a solução das equações, os quais podem ser selecionados de acordo com o tipo da estrutura e da análise que deseja-se executar. Para a realização deste trabalho foram selecionados os modelos mais adequados para estruturas de dispositivos verticais e modelos que possuem dependência com a variação da temperatura, permitindo assim a análise dos dispositivos MuGFET operando em altas temperaturas.

4.2 Construção dos dispositivos

Os dispositivos simulados neste trabalho foram inicialmente descritos com a ferramenta DEVEDIT3D, dentro da qual podem ser determinadas as dimensões das regiões do dispositivo, especificar o seu tipo de material, incluir contatos elétricos e finalmente determinar uma grade de pontos tridimensionais com eixos x, y e z, sendo que os cruzamentos

destes pontos serão a referência para a solução das equações físicas dos semicondutores, as quais permitirão uma avaliação de forma adequada dos dispositivos estudados operando em altas temperaturas. Para obter uma melhor precisão nos resultados das simulações, as linhas nas direções x, y e z que formam a grade de pontos, precisam de maior concentração nas regiões de interfaces dos materiais.

Para a evolução deste estudo a necessidade da variação nas dimensões do comprimento de canal (L), da sua altura (H_{FIN}), da sua largura (W_{FIN}) e da espessura do óxido de porta superior (t_{oxsup}), as estruturas dos dispositivos e suas linhas de grade foram descritas através de linhas de comando dentro do ambiente DECKBUILD, o que permitiu uma melhor dinâmica e refinamento do processo de ajuste das linhas de grades e das dimensões.

Este processo de refinamento das linhas de grades permite ajustar a grade de pontos para cada uma das regiões da estrutura que deseja-se estudar, no caso deste estudo uma quantidade maior de pontos foi utilizada também na a região mediana do filme de silício. A figura 4.1 mostra os exemplos destas estruturas com as linhas de grades descritas para os dispositivos DGFinFET, TGFinFET e QGFinFET, as quais resultaram na quantidade aproximada de até 50, 60 e 65 mil pontos respectivamente.

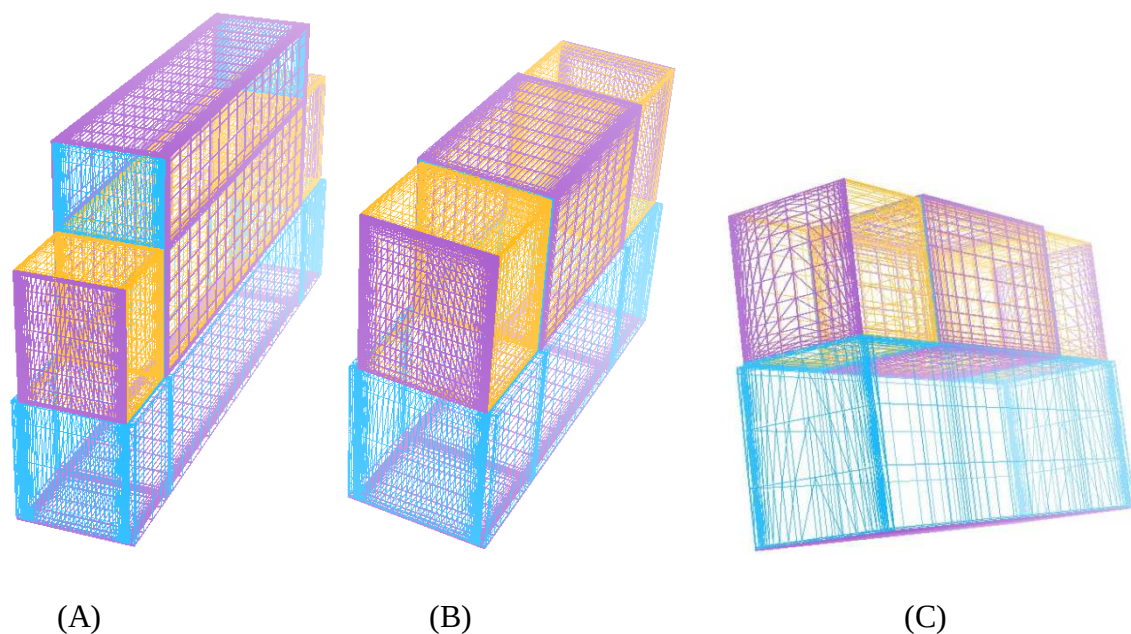


Figura 4.1 – Aspecto da grade de pontos para dispositivos de duas portas (A), três portas (B) e quatro portas (C), aplicadas nas simulações numéricas tridimensionais.

4.3 Modelos numéricos utilizados

Dentre os modelos disponíveis no simulador ATLAS, foram feitas as escolhas descritas abaixo, visando utilizar os modelos mais adequados para o tipo das estruturas dos dispositivos utilizados neste trabalho os quais também levam em consideração o efeito da variação da temperatura.

- SRH – Modelo de recombinação, onde o tempo de vida dos portadores minoritários e majoritários podem ser ajustados;
- AUGER – Modelo de recombinação, que utiliza a transição direta de três partículas, onde um portador é emitido ou capturado. Importante em altas densidades de corrente;
- BGN – Modelo importante para regiões fortemente dopadas e para a correta modelagem do transistor parasitário na tecnologia SOI, deve ser utilizado em conjunto com o modelo Klassen (KLA);
- KLA – Modelo de mobilidade que aplica diferentes mobilidades para portadores minoritários e majoritários, possui dependência da concentração de dopantes, da concentração intrínseca do semiconductor e da temperatura;
- FLDMOB – Modelo de mobilidade que considera os efeitos do campo elétrico paralelo em estruturas de silício e arseneto de gálio;
- CVT – Um modelo de mobilidade completo que leva em conta os efeitos do campo elétrico perpendicular e paralelo, a variação de temperatura e concentração de dopantes.

No apêndice 1 deste trabalho é apresentado o exemplo de um arquivo utilizado para a descrição da estrutura, de sua grade de pontos e seleção de modelos numéricos para a simulação de um dispositivo DGFinFET. Da mesma forma, no apêndice 2 pode ser visto um exemplo de um arquivo descrito para um dispositivo TGFinFET e no apêndice 3 para um dispositivo QGFinFET.

4.4 Extração de parâmetros

Com a definição dos tipos de estruturas a serem estudadas, seu método de construção e tendo executado as simulações com os modelos numéricos adequados, a análise dos dados foram realizadas utilizando os arquivos de resultados gerados pelo simulador ATLAS. Estes arquivos são definidos através de linhas de comandos, focando os pontos de interesse para o estudo, estes arquivos contém todas as informações do estado da estrutura do dispositivo para o ponto de polarização escolhido. Os dados obtidos desta forma permitiram a extração da corrente de fuga do dreno e a análise da composição de portadores (elétrons e lacunas), no volume de silício da região do canal dos dispositivos avaliados.

4.4.1 Extração da corrente de fuga do dreno

A partir dos arquivos de simulação gerados pelo ATLAS, os quais contém os resultados das simulações numéricas referentes aos diversos dispositivos estudados, foram geradas as curvas características da corrente do dreno (I_{DS}) em função da tensão de porta (V_{GS}) para cada um dos dispositivos simulados em toda a faixa de temperatura analisada.

Para analisar I_{DLeak} cada dispositivo foi polarizado na região linear, sendo aplicada uma tensão constante entre dreno e fonte $V_{DS} = 25 \text{ mV}$ enquanto V_{GS} variou entre -1V e $1,2\text{V}$.

Através da análise das curvas características de I_{DS} em função de V_{GS} , foi possível observar que ao aplicar uma tensão de porta negativa $V_{GS} = -0,5\text{V}$, a qual mantém o dispositivo na região de corte, pois $V_{GS} \ll V_{TH}$, a corrente de dreno tem a tendência de ser aproximadamente constante com a redução de V_{GS} em toda a faixa de temperatura analisada.

Diante disto, foi adotado que I_{DLeak} poderá ser extraída nesta condição de polarização de porta, pois esta condição de I_{DS} foi notada de forma similar em todos os dispositivos avaliados ao longo do trabalho.

A curva $I_{DS} \times V_{GS}$ para um dispositivo TGFinFET com $L=1 \text{ }\mu\text{m}$ pode ser vista na figura 4.2, na qual observa-se a variação da tensão aplicada à porta e a corrente de dreno resultante, enquanto a tensão aplicada entre dreno e fonte é $V_{DS}=25\text{mV}$. Além disto, também esta sendo ilustrado o procedimento utilizado para a extração da corrente de fuga do dreno.

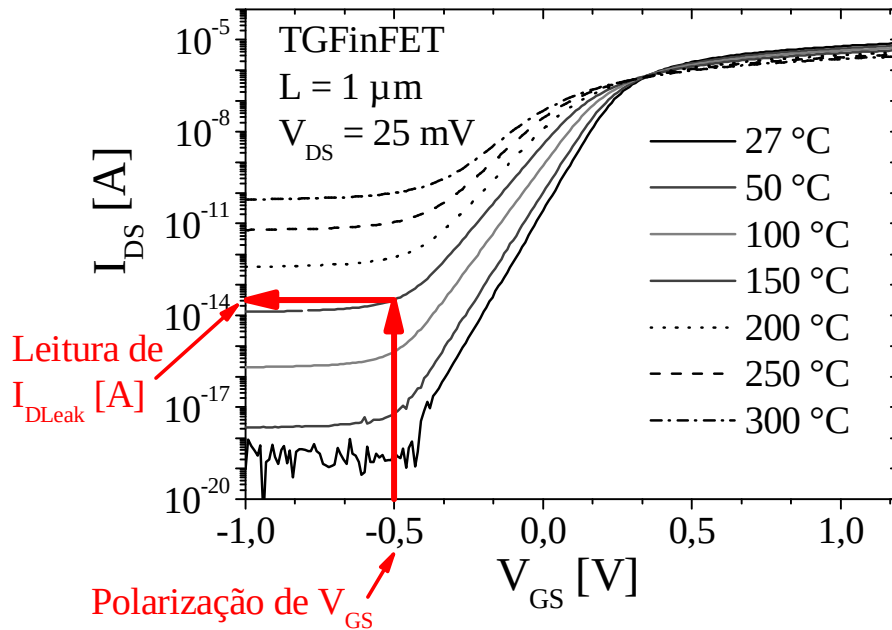


Figura 4.2 - Curva de I_{DS} em função de V_{GS} para um dispositivo TGFinFET com $L = 1 \mu m$, $V_{DS} = 25 mV$ operando em altas temperaturas. Exemplo de ponto para extração de I_{DLeak} .

Como mostrado na figura 4.2, quando a tensão porta é igual à $V_{GS} = -0,5V$ é feita a leitura de I_{DS} correspondente, sendo que esta corrente será adotada como a condição na qual I_{DLeak} será extraída e analisada ao longo de todo o trabalho.

4.4.2 Extração da densidade de corrente de fuga e composição de portadores.

A extração da composição de portadores de I_{DLeak} (elétrons e lacunas), bem como da densidade total da corrente de fuga do dreno, foram obtidas através de um comando do simulador numérico com o qual é possível salvar em um arquivo de dados com extensão “str” as estruturas dos dispositivos SOI MOSFETs polarizados na região de fuga. No caso deste trabalho as estruturas foram salvas quando os dispositivos foram polarizados com $V_{GS} = -0,5V$ e $V_{DS} = 25mV$.

Com o uso da ferramenta de visualização de estruturas em três dimensões TONYPLOT3D é possível exportar um plano de corte posicionado no centro desta estrutura, conforme mostra a figura 4.3. Este plano, ao ser exportado para a ferramenta de visualização

de estruturas em duas dimensões TONYPLOT, permite a análise e extração da densidade e da composição da corrente de fuga do dreno através linhas de corte transversal (linha 1) e perpendicular (linha 2), como mostrado na figura 4.4.

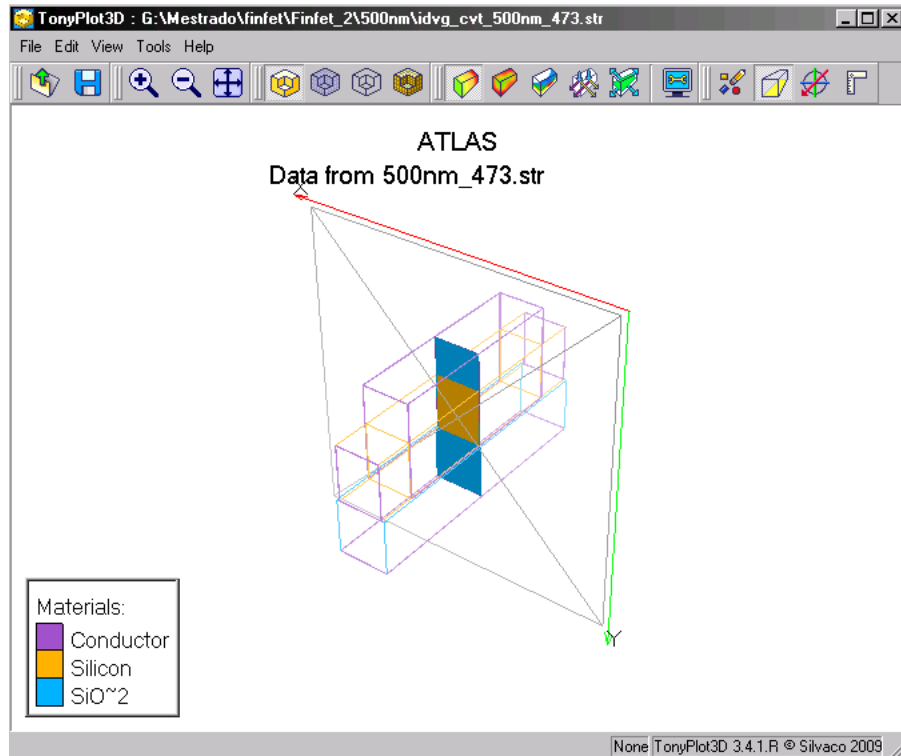


Figura 4.3 – Plano de corte gerado no Tonyplot3D para extração da densidade e composição da corrente de fuga em um DGFinFET.

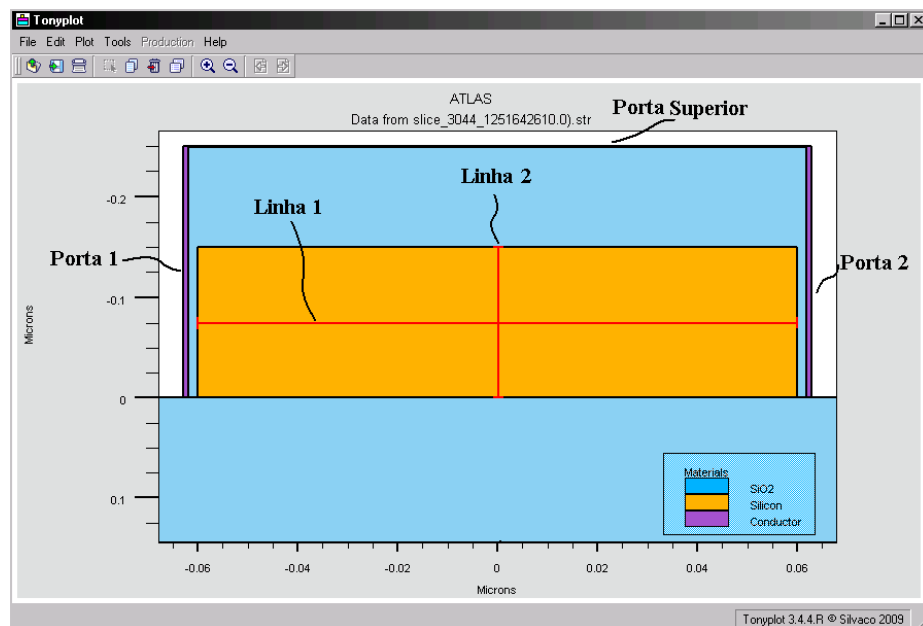


Figura 4.4 – Plano de corte exportado ao Tonyplot para extração da densidade e composição da corrente de fuga em um DGFinFET através das linhas de corte 1 e 2.

A primeira linha de corte (“linha 1”) é iniciada na interface S_i-SiO_2 da porta 1 sendo estendida por toda a largura do canal (W_{FIN}) até alcançar a interface S_i-SiO_2 da porta 2, a qual encontra-se na metade da altura do filme de silício do dispositivo, dado pelo valor de $H_{FIN}/2$. Com este tipo de linha de corte foi possível avaliar o comportamento da densidade total da corrente de fuga (J_{TLeak}) e de seus portadores (elétrons e lacunas) ao longo da largura do filme de silício e nas interfaces de portas laterais dos dispositivos DGFinFET, TGFinFET e QGFinFET estudados.

A posição desta linha de corte a meia altura do canal foi escolhida para que seja possível equalizar os efeitos das portas laterais do dispositivo e avaliar a sua influência. Este corte pode ser visto com mais detalhes na figura 4.5.

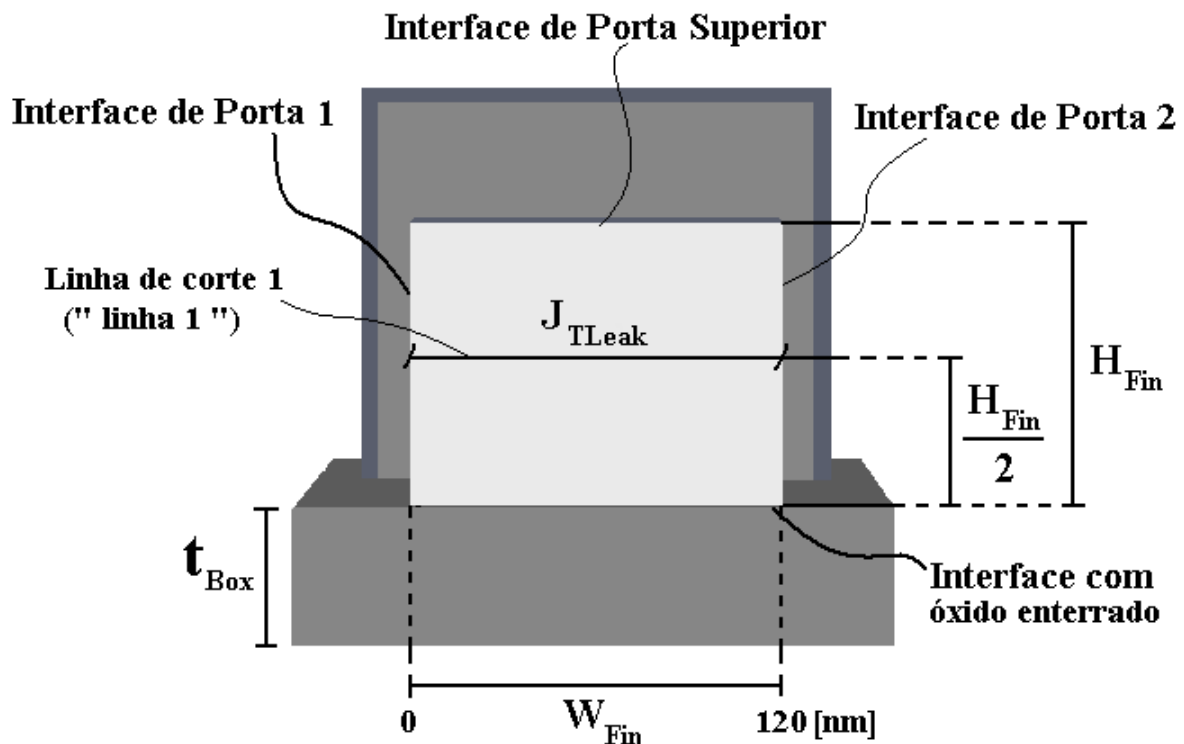


Figura 4.5 – Localização da linha de corte transversal (“linha1”) para extração das densidades e composição da corrente de fuga na largura de canal.

A segunda linha de corte denominada de “linha 2” é iniciada na interface S_i-SiO_2 da porta superior sendo estendida por toda a altura do canal H_{FIN} até alcançar a interface S_i-SiO_2 com o óxido enterrado nos casos dos dispositivos duas e três portas, e com óxido de porta no caso de um dispositivo de quatro portas, como pode ser visto na figura 4.6. A “linha 2” foi

alocada na posição mediana da largura dos dispositivos, dado por $W_{\text{FIN}}/2$. Este tipo de linha de corte permitiu a avaliação do comportamento da densidade total da corrente de fuga (J_{TLeak}) e de seus portadores (elétrons e lacunas) na altura do filme de silício H_{FIN} e a influência da porta superior nos dispositivos DGFinFET, TGFinFET e QGFinFET estudados. Este corte pode ser visto com mais detalhes na figura 4.7.

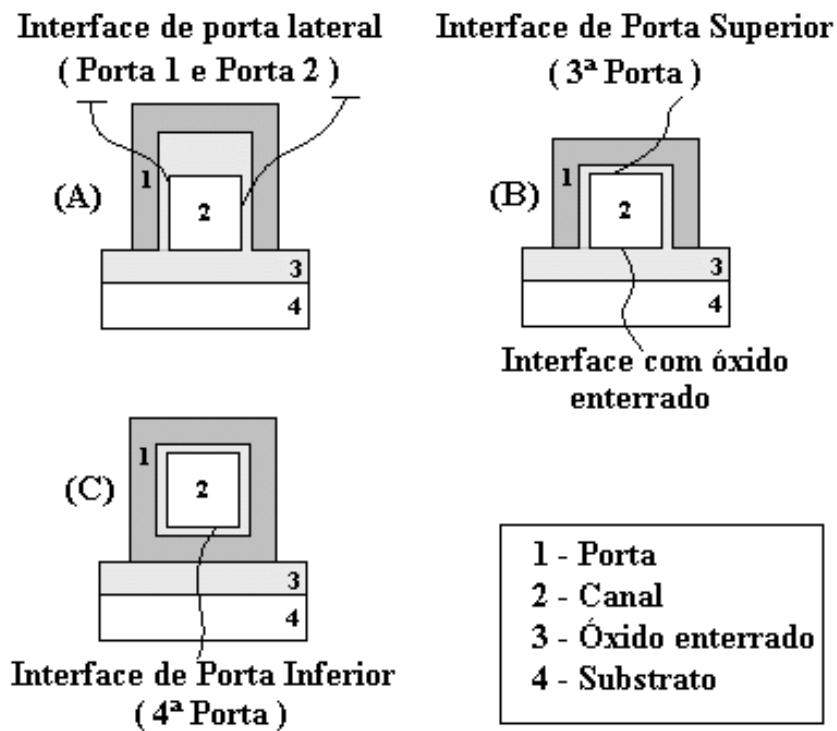


Figura 4.6 – Localização das interfaces de portas nos dispositivos DGFinFET (A), TGFinFET (B) e QGFinFET(C).

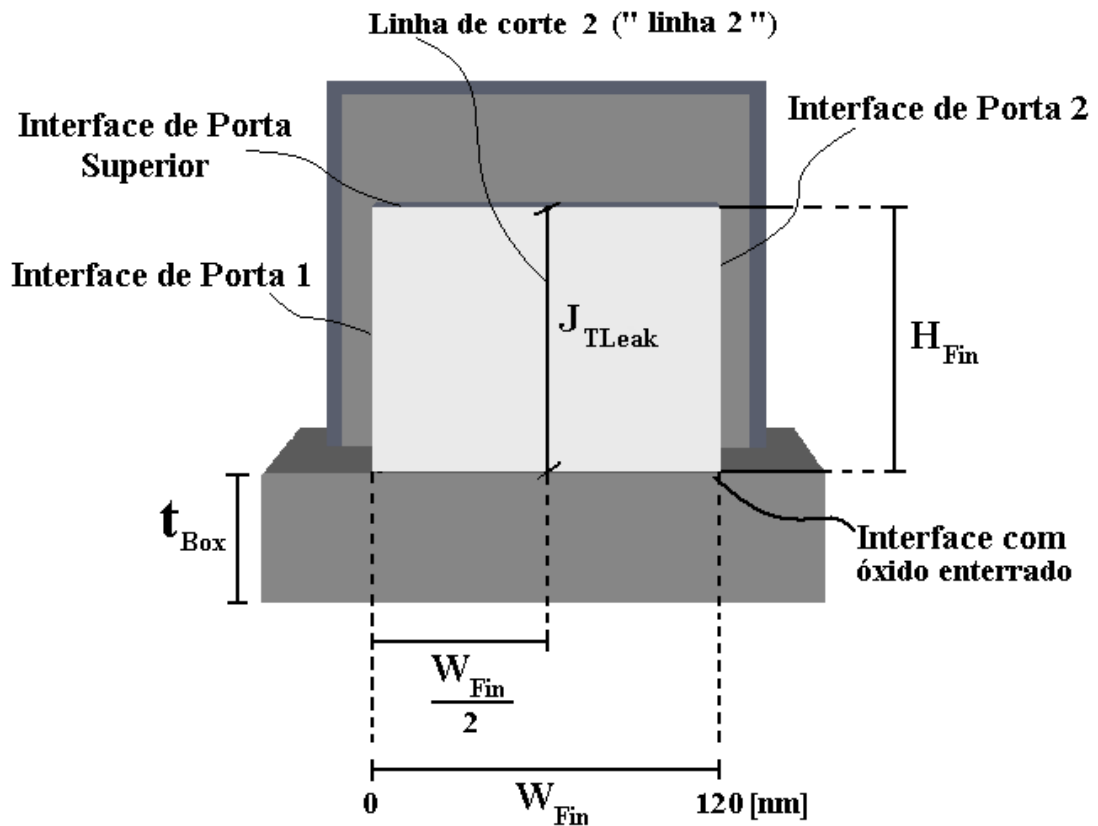


Figura 4.7 – Localização da linha de corte perpendicular (“linha 2”) para extração das densidades e composição da corrente de fuga na altura do canal.

Estas duas linhas de corte transportam todos os dados referentes às condições da região onde o plano de corte foi realizado, tais como, J_{TLeak} , a densidade de elétrons ($J_{Elétrons}$) e a densidade de lacunas ($J_{Lacunas}$), logo, de posse destas informações os gráficos mostrados na figura 4.8 podem ser gerados, permitindo então a análise das composições de portadores e de sua distribuição no filme de silício.

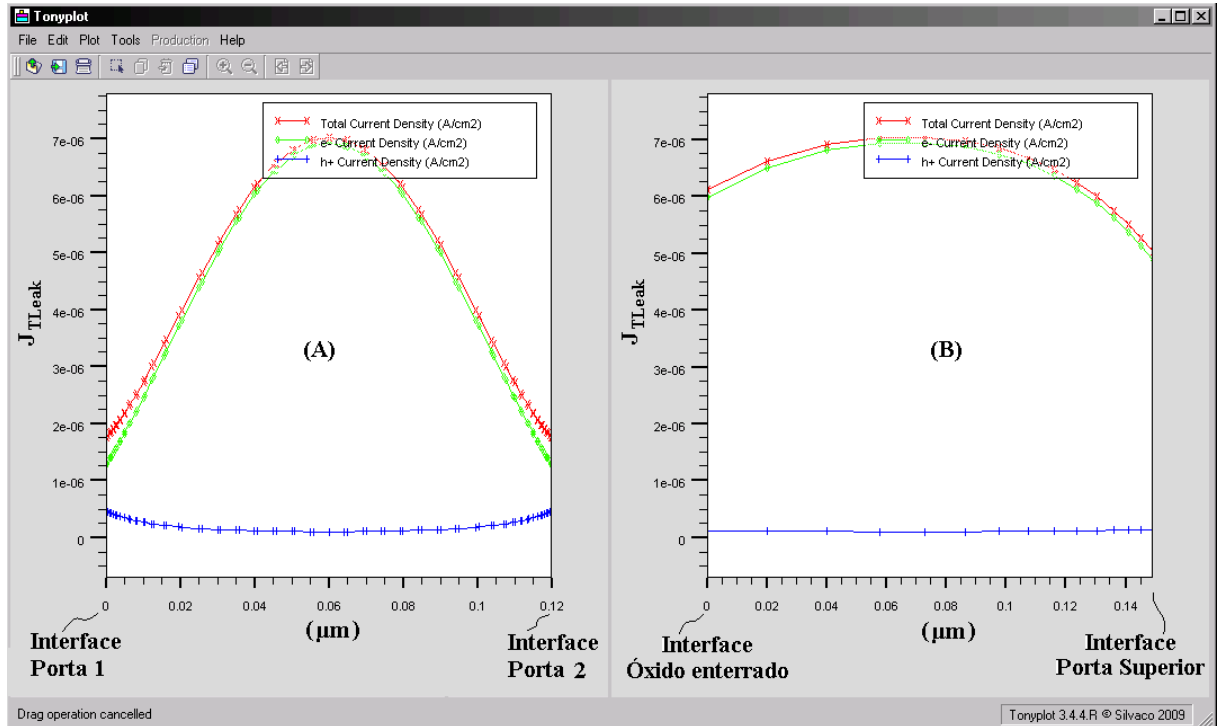


Figura 4.8 – Gráficos com as densidade e composição da corrente de fuga do dreno obtidos com a “linha 1” (A) e com a “linha 2” (B).

Como pode ser observado na figura 4.8, J_{TLeak} mostra-se composta por parcelas de elétrons e lacunas, sendo que a maior parcela flui pela região mediana do filme de silício. Pode-se observar que J_{TLeak} é fortemente dependente do número de portas, pois como visto na figura acima seu valor é reduzido nas imediações de cada uma das interfaces de porta.

A distribuição de J_{TLeak} ao longo da largura e da altura dos dispositivos será explicada com maior detalhamento no próximo capítulo.

5 RESULTADOS OBTIDOS

Neste capítulo serão apresentados os resultados provenientes das simulações numéricas tridimensionais realizadas para os dispositivos SOI MOSFET de duas, três e quatro portas, iniciando com a apresentação dos resultados referentes ao comportamento da corrente total de fuga do dreno (I_{DLeak}) em função da temperatura. Em seguida serão apresentadas e analisadas as densidades da corrente total de fuga (J_{TLeak}) bem como a sua respectiva composição em parcelas de elétrons ($J_{Elétrons}$) e lacunas ($J_{Lacunas}$), em função da temperatura, que neste estudo foi variada entre 27 °C e 300 °C.

Serão realizadas comparações entre os dispositivos avaliados, com a intenção de apontar a estrutura de dispositivo que apresenta o melhor comportamento no que diz respeito à I_{DLeak} , quando submetidos às altas temperaturas.

Como parte integrante dos resultados obtidos neste trabalho, conforme será descrito neste capítulo, foram publicados dois artigos, onde o primeiro deles foi apresentado no Student Forum 2009 [34], e o segundo no 217th Electrochemical Society Meeting o qual ocorrerá em Vancouver, Canadá [35] em abril deste ano.

5.1 Corrente de fuga do dreno

A corrente de fuga do dreno foi extraída a partir da curva I_{DS} em função de V_{GS} para uma tensão constante de porta $V_{GS} = -0,5$ V, como descrito no capítulo 4, pois para valores negativos a partir desta polarização de porta, observando a curva de $I_{DS} \times V_{GS}$ em cada temperatura estudada, a corrente de dreno (I_{DS}) torna-se praticamente constante na região de corte. Este comportamento foi observado em todos os dispositivos avaliados ao longo deste trabalho.

5.1.1 Influência do comprimento de canal e da temperatura na corrente de fuga do dreno

Na figura 5.1 são apresentadas as curvas de $I_{DS} \times V_{GS}$ para o dispositivo DGFinFET com $L = 1 \mu m$, submetidos a diferentes temperaturas. Um dos efeitos que pode ser relacionado com a elevação da temperatura é a degradação da inclinação de sublimiar, a qual sofre uma diminuição em seu valor tornando o controle do dispositivo menos eficiente [3]. Este tipo de comportamento foi identificado de forma semelhante em todos os dispositivos DGFinFET estudados.

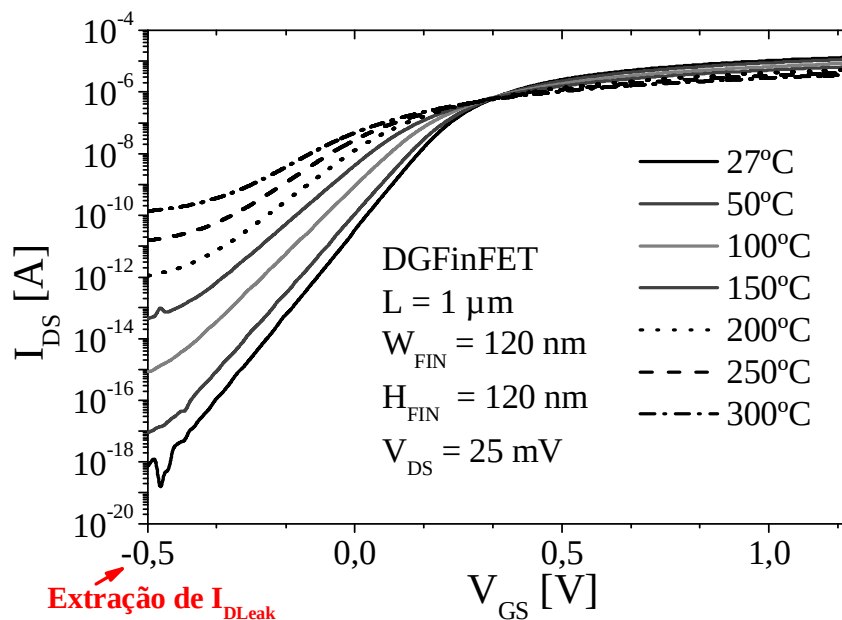


Figura 5.1 – Curva de $I_{DS} \times V_{GS}$ para um dispositivo DGFinFET com $L = 1 \mu m$, $H_{FIN} = W_{FIN} = 120 nm$.

O mesmo procedimento para a extração de I_{DLeak} também foi adotado para os dispositivos de três portas, conforme mostrado na figura 5.2 para um TGFinFET com $L = 1 \mu m$. Quando aplicada uma tensão $V_{GS} = -0,5 V$ o comportamento de I_{DS} foi semelhante para todos os dispositivos de três portas estudados, permitindo assim manter a mesma referência para a extração de I_{DLeak} para todos os dispositivos avaliados ao longo deste trabalho.

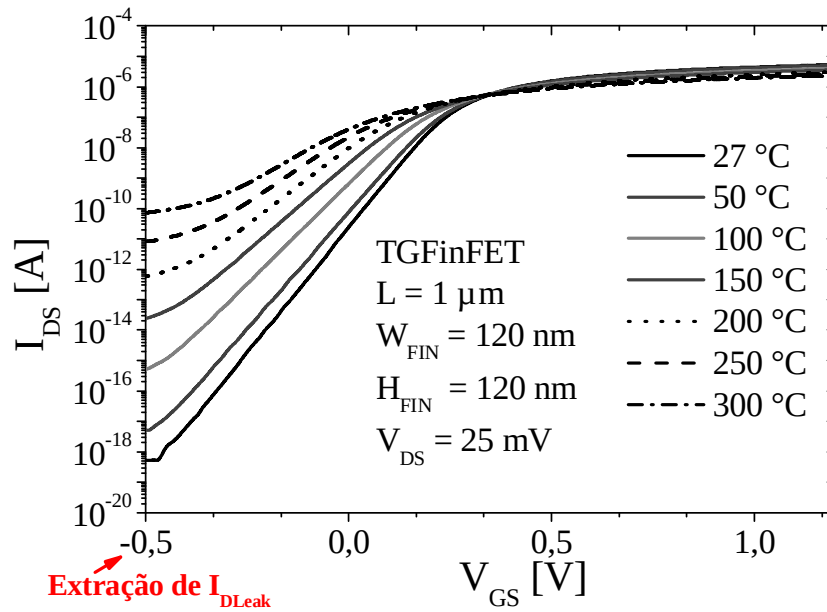


Figura 5.2 – Curva de I_{DS} x V_{GS} para um dispositivo TGFinFET com $L = 1 \mu m$, $H_{FIN}=W_{FIN} = 120nm$.

Resultados similares, porém com níveis diferentes de I_{DLeak} também foram encontrados para os QGFinFET estudados, conforme é mostrado na figura 5.3 para um QGFinFET com $L = 1 \mu m$.

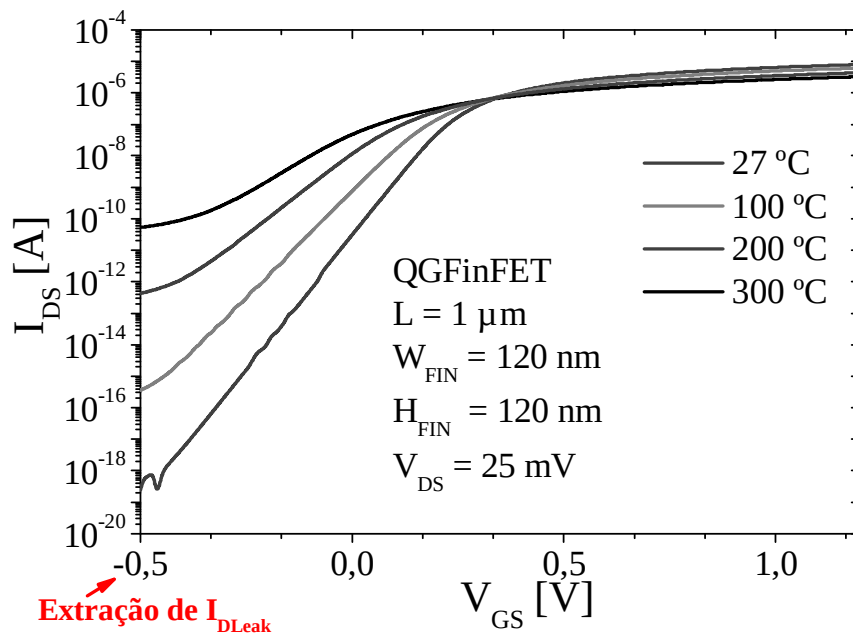


Figura 5.3 – Curva de I_{DS} x V_{GS} para um dispositivo QGFinFET com $L = 1 \mu m$, $H_{FIN}=W_{FIN} = 120nm$.

Os resultados mostram que em todos os MuGFET com seção quadrada $W_{\text{FIN}}=H_{\text{FIN}}=120$ nm e com $L = 1\mu\text{m}$, I_{DLeak} possui valores próximos quando os dispositivos operam em temperatura ambiente. Por outro lado, analisando estes mesmos dispositivos operando acima de 100°C , conforme mostra a figura 5.4, nota-se uma redução de I_{DLeak} em dispositivos com maior número de portas quando estão operando na mesma temperatura.

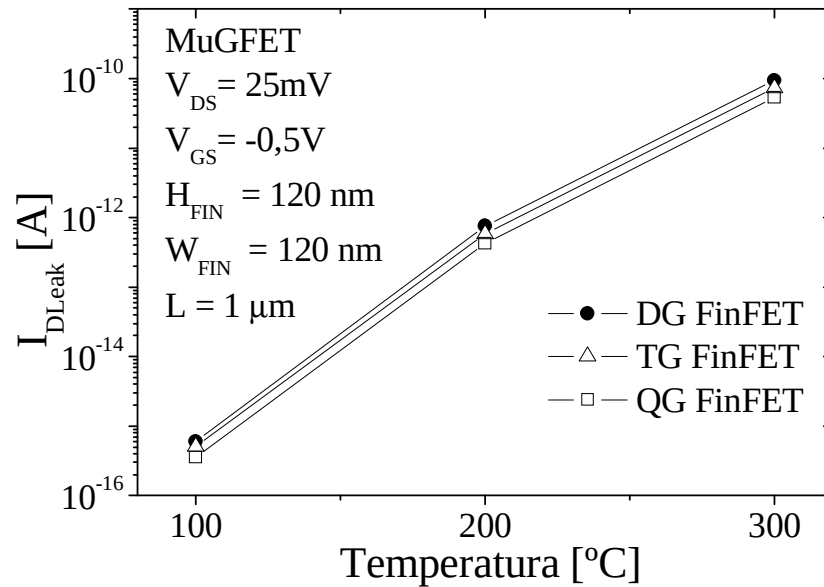


Figura 5.4 – I_{DLeak} x Temperatura para dispositivos MuGFET com $L = 1\mu\text{m}$, $W_{\text{FIN}} = H_{\text{FIN}} = 120\text{nm}$.

Para todos os dispositivos MuGFET avaliados neste trabalho, independente de suas dimensões geométricas, os mesmos procedimentos foram adotados para a extração de I_{DLeak} .

Pode ser observado nos MuGFET com $L = 100$ nm, de seção quadrada e operando em altas temperaturas como mostrado na figura 5.5, a mesma tendência de elevação dos níveis de I_{DLeak} com o acréscimo da temperatura, porém a redução de I_{DLeak} é mais significativa para dispositivos com maior número de portas, sendo de até 2 ordens de grandeza entre um DGFinFET e um QGFinFET, quando operando nas mesmas condições de temperatura e polarização.

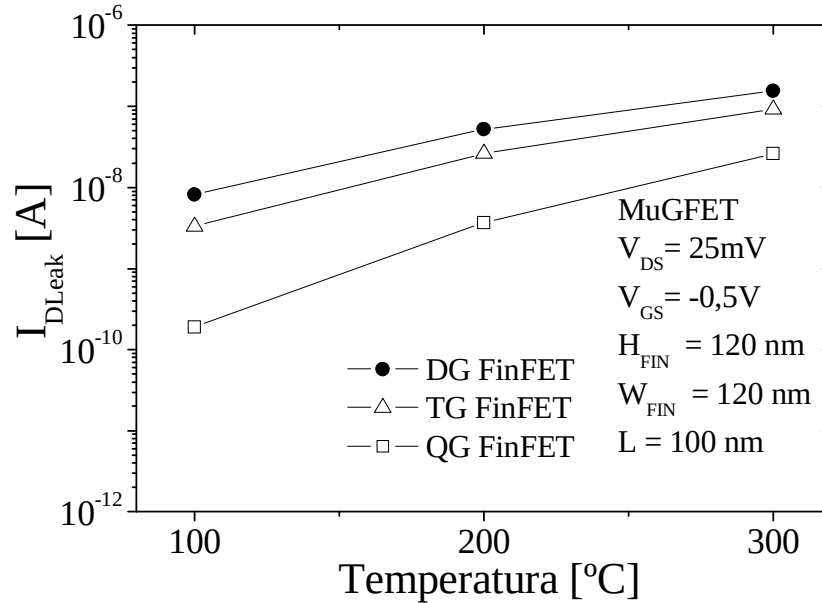


Figura 5.5 – I_{DLeak} x Temperatura para um dispositivo MuGFET com $L = 100\text{nm}$, $W_{FIN} = H_{FIN} = 120\text{nm}$.

A tabela 5.1 mostra os valores obtidos para I_{DLeak} extraídos dos MuGFET simulados, onde são apresentados os valores de I_{DLeak} para as estruturas possuindo W_{FIN} fixo em 120 nm enquanto foram variadas as dimensões H_{FIN} e L para a faixa de temperatura avaliada.

Na tabela 5.1, pode-se identificar os valores das correntes para os dispositivos de duas portas nas linhas denominadas “DG”, para os dispositivos de três portas nas linhas denominadas “TG” e para os dispositivos de quatro portas nas linhas “QG”. Uma análise prévia dos resultados obtidos para estes dispositivos, permite concluir que a elevação da temperatura, o aumento de H_{FIN} (área de junção maior) e a redução do L (menor barreira energética) promovem o aumento em I_{DLeak} . Através de uma avaliação mais cuidadosa observa-se que os dispositivos de quatro portas apresentam os menores valores para I_{DLeak} entre os MuGFETs simulados com as mesmas dimensões geométricas e operando em uma mesma temperatura.

A tabela 5.2 mostra os valores de I_{DLeak} extraídos dos MuGFET simulados, para as estruturas com H_{FIN} de 120 nm enquanto foram variadas as dimensões W_{FIN} e L para a faixa de temperatura avaliada.

Tabela 5.1 – I_{DLeak} em dispositivos MuGFET para $W_{FIN}=120$ nm e diferentes valores de L e H_{FIN} .

			27 °C			100 °C			200 °C			300 °C			
			H _{FIN} [nm]			H _{FIN} [nm]			H _{FIN} [nm]			H _{FIN} [nm]			
			30	120	240	30	120	240	30	120	240	30	120	240	
Comprimento de canal (L) [μm]	0,2	DG	5,99E-17	5,68E-16	1,46E-15	2,43E-14	1,79E-13	4,26E-13	5,56E-12	3,56E-11	8,26E-11	2,72E-10	1,73E-09	3,88E-09	Corrente de fuga (I _{DLeak}) [A]
		TG	1,28E-18	1,89E-16	9,72E-16	1,23E-15	7,37E-14	3,01E-13	7,49E-13	2,01E-11	6,47E-11	6,34E-11	1,17E-09	3,26E-09	
		QG	2,39E-19	1,09E-17	3,08E-16	9,96E-17	1,08E-14	1,36E-13	1,16E-13	6,99E-12	4,33E-11	1,41E-11	6,04E-10	2,57E-09	
	0,5	DG	2,19E-19	2,71E-18	2,35E-18	3,23E-16	1,75E-15	3,54E-15	3,19E-13	1,98E-12	4,21E-12	3,48E-11	2,29E-10	4,96E-10	
		TG	1,46E-19	1,08E-18	3,22E-18	1,39E-16	1,37E-15	3,25E-15	1,23E-13	1,54E-12	3,83E-12	1,32E-11	1,80E-10	4,53E-10	
		QG	5,30E-20	6,56E-19	4,04E-18	3,35E-17	8,45E-16	2,55E-15	3,78E-14	1,01E-12	3,18E-12	4,72E-12	1,23E-10	3,86E-10	
	1	DG	1,46E-19	2,15E-19	1,27E-18	1,17E-16	6,03E-16	1,28E-15	1,22E-13	7,58E-13	1,60E-12	1,22E-13	9,45E-11	2,03E-10	
		TG	8,84E-20	5,25E-19	1,21E-18	6,17E-17	5,07E-16	1,17E-15	5,33E-14	2,43E-14	1,45E-12	5,87E-12	7,25E-11	1,83E-10	
		QG	2,54E-20	2,43E-19	8,07E-19	3,07E-17	3,56E-16	9,85E-16	1,83E-14	4,23E-13	1,26E-12	2,29E-12	5,29E-11	1,61E-10	

Tabela 5.2 – I_{DLeak} em dispositivos MuGFET para $H_{FIN}=120$ nm e diferentes valores de L e W_{FIN} .

			27 °C			100 °C			200 °C			300 °C			
			W _{FIN} [nm]			W _{FIN} [nm]			W _{FIN} [nm]			W _{FIN} [nm]			
			30	120	240	30	120	240	30	120	240	30	120	240	
Comprimento de canal (L) [μm]	0,2	DG	4,06E-19	5,68E-16	1,09E-10	2,75E-16	1,79E-13	1,79E-09	2,09E-13	3,56E-11	1,77E-08	2,00E-11	1,73E-09	7,33E-08	Corrente de fuga (I _{DLeak}) [A]
		TG	3,38E-19	1,89E-16	1,44E-12	2,37E-16	7,37E-14	6,30E-11	2,03E-13	2,01E-11	1,75E-09	1,95E-11	1,17E-09	1,88E-08	
		QG	2,13E-19	1,09E-17	3,09E-16	2,66E-16	1,08E-14	1,46E-13	1,96E-13	6,99E-12	4,33E-11	1,95E-11	6,04E-10	2,57E-09	
	0,5	DG	2,29E-20	2,71E-18	1,83E-17	8,42E-17	1,75E-15	1,98E-14	6,59E-14	1,98E-12	1,75E-11	6,65E-12	2,29E-10	1,65E-09	
		TG	1,34E-19	1,08E-18	3,86E-18	7,38E-17	1,37E-15	7,24E-15	6,22E-14	1,54E-12	8,15E-12	6,51E-12	1,80E-10	8,87E-10	
		QG	2,21E-19	6,56E-19	1,73E-18	7,34E-17	8,45E-16	2,67E-15	6,39E-14	1,01E-12	3,18E-12	6,36E-12	1,23E-10	3,86E-10	
	1	DG	4,90E-20	2,15E-19	2,55E-18	4,05E-17	6,03E-16	3,34E-15	3,11E-14	7,58E-13	4,50E-12	3,18E-12	9,45E-11	5,50E-10	
		TG	2,29E-20	5,25E-19	1,00E-18	4,99E-17	5,07E-16	2,00E-15	3,07E-14	2,43E-14	2,62E-12	3,14E-12	7,25E-11	3,26E-10	
		QG	1,76E-20	2,43E-19	1,04E-18	4,07E-17	3,56E-16	9,85E-16	2,93E-14	4,23E-13	1,27E-12	3,10E-12	5,29E-11	1,61E-10	

Avaliando os resultados apresentados na tabela 5.2, pode-se notar o mesmo comportamento de I_{DLeak} em função da temperatura, a qual assume maiores valores a medida que L reduz, com a elevação da temperatura e com o aumento da área junção através de maiores valores de W_{FIN} . Também foi notado que I_{DLeak} assume menores valores para dispositivos com maior número de portas.

Nos gráficos apresentados nas figuras 5.6, 5.7 e 5.8, são mostrados o comportamento de I_{DLeak} em função da temperatura, respectivamente para os dispositivos DGFinFET, TGFinFET e QGFinFET, para diversos valores de L. Observa-se que a elevação da

temperatura provoca um acréscimo em I_{DLeak} para todos os dispositivos estudados, tal comportamento já era esperado para os dispositivos SOI MOSFET operando em altas temperaturas [1, 2, 3].

Tomando como referência a temperatura máxima (300 °C) e a mínima (27°C), nota-se que a diferença de I_{DLeak} entre os dispositivos com $L = 1 \mu m$ e $L = 100 \text{ nm}$ é menor quando submetidos a ação das altas temperaturas, sendo aproximadamente oito ordens de grandezas quando operam à 27 °C, e em torno de três ordens de grandeza quando submetidos à 300 °C.

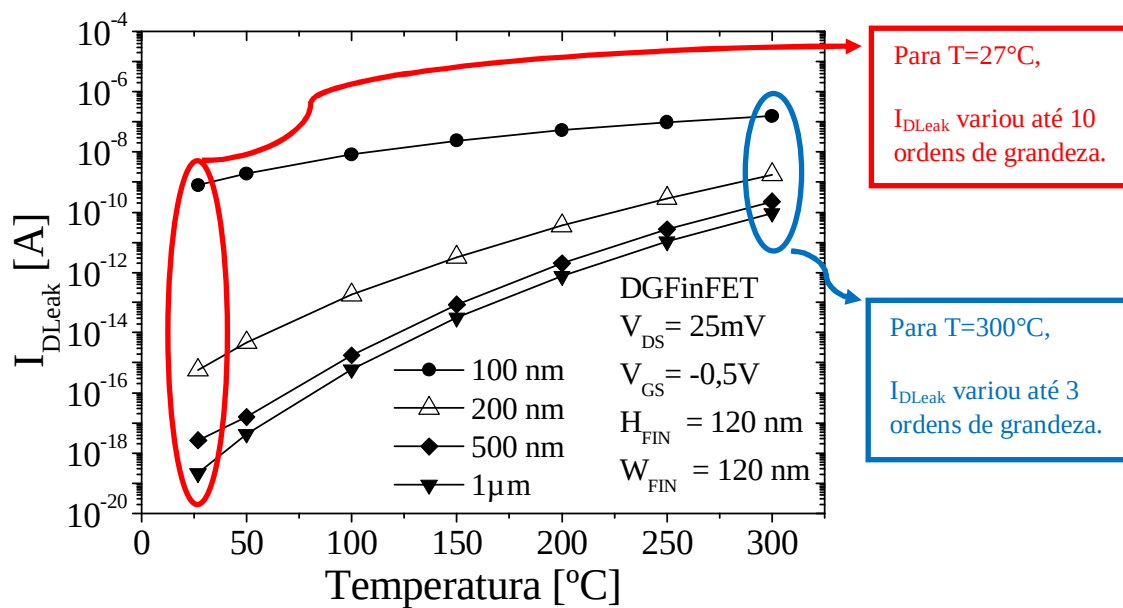


Figura 5.6. Comparação de I_{DLeak} em um DGFInFET em função da temperatura, desde a ambiente até 300°C, para diferentes valores de L .

Analisando o comportamento de dispositivos com L maiores, nota-se que na temperatura ambiente a parcela de I_{DLeak} é menor do que a encontrada em um dispositivo com comprimento de canal menor, entretanto, a elevação da temperatura em dispositivos com L maiores, por exemplo $L = 1 \mu m$, gera uma variação de oito ordens de grandezas nos valores de I_{DLeak} , enquanto esta variação é de duas ordens de grandezas no dispositivo com o menor comprimento de canal estudado ($L = 100 \text{ nm}$).

Na figura 5.7 observa-se um comportamento semelhante de I_{DLeak} em função da variação da temperatura, conforme visto anteriormente. Porém é observado que agora os níveis de I_{DLeak} são menores quando comparados aos dispositivos de duas portas, como mostrado nas tabelas 5.1 e 5.2.

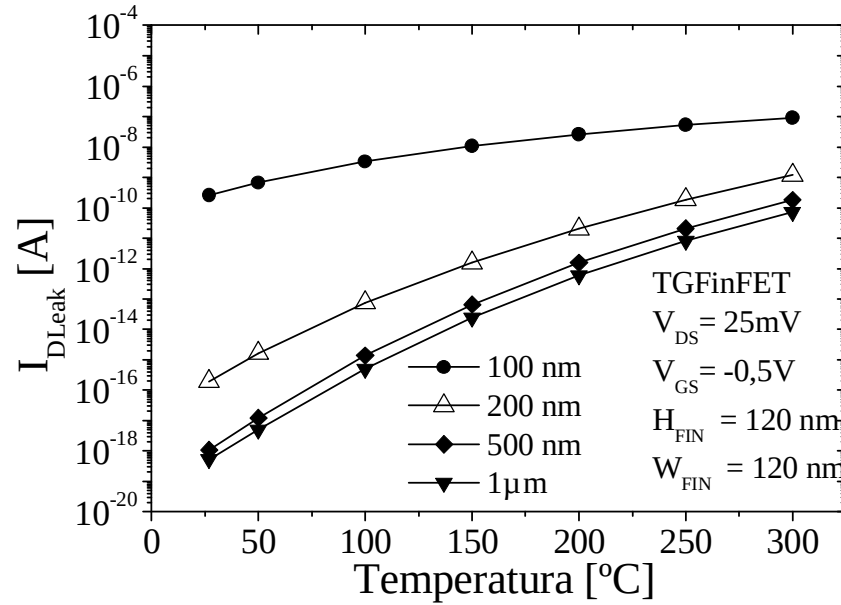


Figura 5.7. Comparação de I_{DLeak} em um TGFInFET em função da temperatura, desde a ambiente até 300°C, para diferentes valores de L .

Na figura 5.8, para os dispositivos de quatro portas, a similaridade do comportamento de I_{DLeak} em função da temperatura pode ser facilmente notado, entretanto, os níveis de I_{DLeak} são reduzidos entre uma e duas ordens de grandeza quando comparados aos dispositivos de duas e três portas possuindo as mesmas dimensões geométricas.

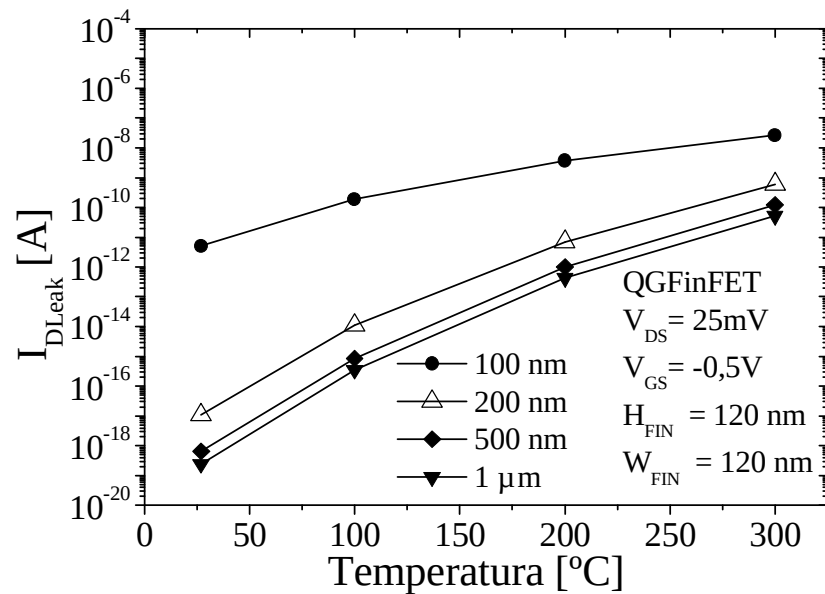


Figura 5.8. Comparação de I_{DLeak} em um QGFInFET em função da temperatura, desde a ambiente até 300°C, para diferentes valores de L .

Através da figura 5.9 pode-se notar a diferença de I_{DLeak} em função da temperatura entre alguns dos dispositivos MuGFET operando nas mesmas polarizações, com $L = 100$ nm. Esta diferença foi a maior encontrada entre todos os dispositivos estudados e mostra que de uma forma geral, I_{DLeak} é menor em dispositivos QGFinFET, quando comparado aos demais dispositivos para toda faixa de temperatura analisada.

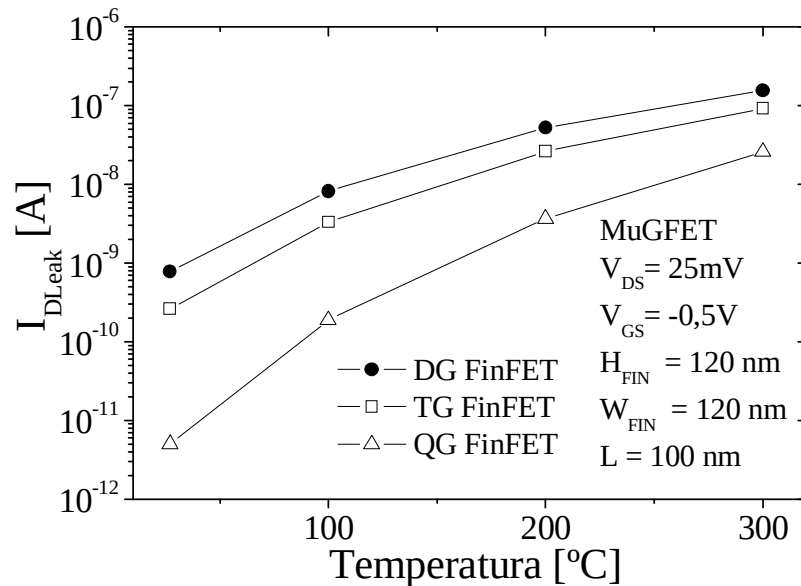


Figura 5.9. Comparação do comportamento de I_{DLeak} em função da temperatura desde a ambiente até 300 °C, entre MuGFETs com $L = 100$ nm, $W_{FIN} = H_{FIN} = 120\text{nm}$.

Ao analisar I_{DLeak} em função do comprimento de canal em uma mesma faixa de temperatura conforme mostrado na figura 5.10, observa-se que na medida em que L reduz I_{DLeak} aumenta várias ordens de grandeza para a mesma temperatura. Comportamento similar de I_{DLeak} é observado para todos os dispositivos avaliados, porém conforme mencionado anteriormente, I_{DLeak} encontrada nos dispositivos QGFinFET são menores quando comparados aos DGFinFET e TGFinFET. Esta diferença nos níveis de I_{DLeak} em função do L pode ser vista na figura 5.11.

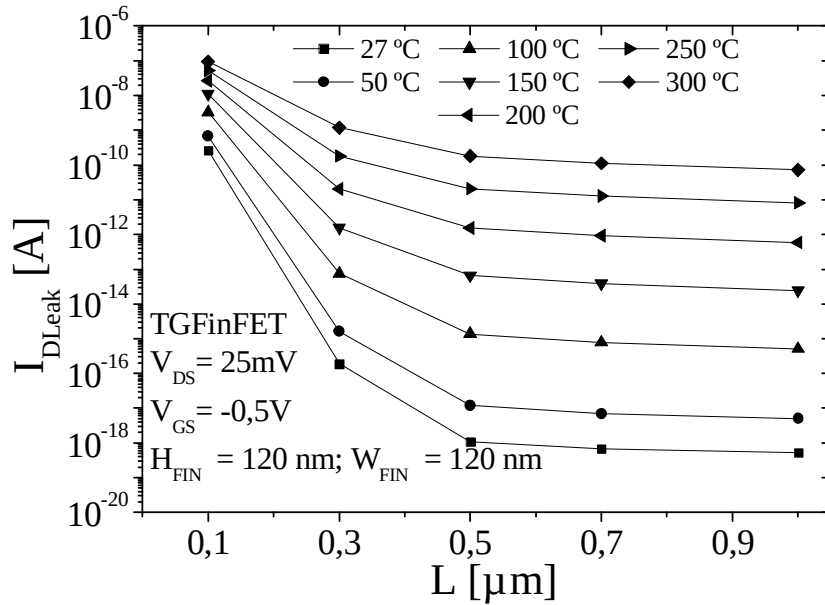


Figura 5.10. Comparação da I_{DLeak} em função de L para faixas de temperatura desde a ambiente até 300°C para TGFinFET com $W_{FIN} = H_{FIN} = 120nm$.

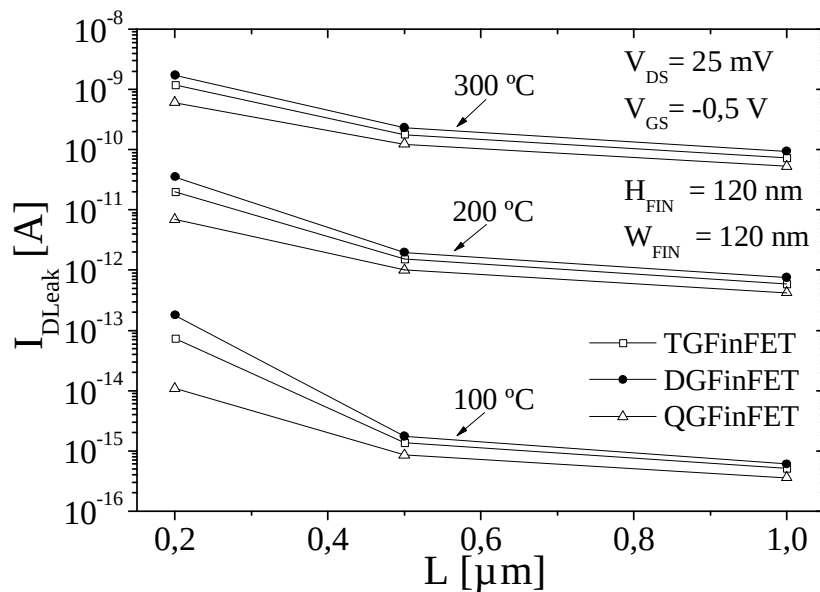


Figura 5.11. Comparação de I_{DLeak} em função de L entre os dispositivos MuGFET em altas temperaturas com $W_{FIN} = H_{FIN} = 120nm$.

Até este ponto, foram avaliados o comportamento de I_{DLeak} nos dispositivos em função da variação da temperatura e do comprimento de canal. Seguindo com o estudo, serão feitas análises do comportamento de I_{DLeak} em função das variações das dimensões W_{FIN} e H_{FIN} para a mesma faixa de temperatura e polarizações, conforme será apresentado a seguir.

5.1.2 Influência da largura e da altura do canal na corrente de fuga do dreno

Afim de compreender a influências das dimensões de W_{FIN} e H_{FIN} no comportamento de I_{DLeak} , o valor de H_{FIN} foi fixado em 120 nm enquanto W_{FIN} variou entre os valores de 30, 60, 120 e 240 nm, permitindo a análise da influência de W_{FIN} em I_{DLeak} . E de forma complementar, fixando o valor de W_{FIN} em 120nm, H_{FIN} variou entre os valores de 30, 60, 120, 150 e 240 nm, onde pode ser observado a influência da variação de H_{FIN} em I_{DLeak} .

Voltando ao capítulo 2, segundo a equação (2.9) nota-se que a corrente de fuga é fortemente dependente das áreas das junções do dispositivo. A área de junção de um dispositivo MuGFET é dada pela multiplicação dos valores de W_{FIN} e H_{FIN} .

Desta forma, para que fique mais clara a análise comparativa dos valores de I_{DLeak} em função das variações das dimensões de H_{FIN} e W_{FIN} , as áreas das junções fonte-canais e drenos foram normalizadas através da divisão dos valores de H_{FIN} pelo valor constante de $W_{FIN}=120$ nm, permitindo assim avaliar a influência da variação de H_{FIN} em I_{DLeak} e dividindo os valores de W_{FIN} por $H_{FIN}=120$ nm constante para a análise da influência de W_{FIN} em I_{DLeak} . Os resultados provenientes desta avaliação estão sumarizados na tabela 5.3.

Tabela 5.3 – Valores das áreas de junções normalizadas em H_{FIN} (A) e W_{FIN} (B).

$H_{FIN} = 120$ nm		$W_{FIN} = 120$ nm	
W_{FIN} [nm]	Área Normalizada	H_{FIN} [nm]	Área Normalizada
30	0,25	30	0,25
60	0,5	60	0,5
120	1	120	1
240	2	150	1,25
		240	2

(A)
(B)

A influência da variação de H_{FIN} em I_{DLeak} pode ser vista na figura 5.12, a qual observa-se que o aumento dos valores de H_{FIN} , o que aumenta as áreas das junções, eleva o nível de I_{DLeak} . Resultados similares são observados para todos os dispositivos MuGFETs avaliados ao longo deste trabalho.

A partir da figura 5.12, nota-se que I_{DLeak} aumenta de forma significativa com a elevação da temperatura, conforme mencionado anteriormente. Porém, avaliando-se I_{DLeak} em cada uma das temperaturas, observa-se que I_{DLeak} tem um acréscimo de cerca de uma ordem de grandeza entre a menor e a maior área de junção (H/W). Resultados similares são observados para todos os MuGFETs avaliados na figura 5.12.

Na figura 5.13 é apresentada a influência da variação de W_{FIN} em I_{DLeak} para H_{FIN} constante e igual a 120 nm, onde nota-se que o aumento nos valores de W_{FIN} também contribui para a elevação de I_{DLeak} . Um comportamento análogo em função da elevação da temperatura também foi observado.

Uma análise comparativa da influência de W_{FIN} e H_{FIN} em I_{DLeak} pode ser observada na figura 5.14. Nos três casos apresentados nesta figura, as áreas das junções de todos os dispositivos avaliados são iguais, levando em consideração tanto a multiplicação dos seus valores de W_{FIN} por H_{FIN} quanto o valor normalizado para a sua área de junção.

Porém, como se pode observar em cada um dos casos existem duas situações, a primeira quando W_{FIN} assume o valor de 120 nm e H_{FIN} terá o seu valor igual a 240 nm e a segunda quando estes valores são trocados, ou seja, $W_{FIN} = 240$ nm e $H_{FIN} = 120$ nm. Ambas as situações resultando em uma área de junção de $28,8 \cdot 10^{-3} \mu m^2$, normalizando esta área de junção conforme descrito anteriormente, tem-se o valor adimensional 2.

Neste ponto é importante ressaltar que os dispositivos estão polarizados na região de corte para uma tensão de porta $V_G = -0,5V$, o que provoca o acúmulo de lacunas na região do canal. Desta forma, a quantidade e o tamanho das portas presentes na estrutura do dispositivo influenciam diretamente na quantidade e tipo de portadores, gerando acumulação de lacunas e diminuindo a quantidade de elétrons disponíveis e por consequência reduzindo I_{DLeak} .

A figura 5.14 (A), mostra que apesar dos DGFinFET apresentados possuírem uma área de junção equivalente, existe uma diferença no valor de I_{DLeak} entre eles. Pode-se entender esta diferença em I_{DLeak} através da análise das somatórias das áreas de portas do dispositivo, as quais agem sobre o controle do seu canal. Para o DGFinFET, a somatória das áreas de porta pode ser calculada através da equação (5.1).

$$\Sigma A_{DG} = 2 \cdot (H_{FIN} \cdot L) \quad (5.1)$$

Onde:

$$\Sigma A_{DG} \quad \text{Somatória das áreas das portas em um DGFinFET [nm}^2\text{]}$$

Quando o dispositivo assume o valor de $H_{FIN} = 120\text{nm}$, a somatória de sua área de porta será 240 nm^2 , e sendo $W_{FIN} = 240\text{nm}$ as duas portas laterais estarão mais distantes da região mediana do canal do dispositivo. Analisando a somatória das áreas de porta do dispositivo quando $H_{FIN} = 240 \text{ nm}$, constata-se que a somatória das áreas de porta deste dispositivo será o dobro, e estarão mais próximas da região mediana do canal pois W_{FIN} terá seu valor igual à 120 nm .

Desta forma, o dispositivo que possui um maior valor para a somatória das áreas de portas é capaz de controlar com maior eficiência o canal do dispositivo contribuindo para um menor valor de I_{DLeak} , como mostra a figura 5.14 (A).

Fazendo a mesma análise com os TGFinFETs mostrados na figura 5.14 (B), pode ser observado que a diferenças de I_{DLeak} entre eles é menor, pois neste dispositivo também existe a influência da porta superior e a somatória das áreas de porta deste dispositivo pode ser dada pela equação (5.2).

$$\Sigma A_{TG} = 2 \cdot (H_{FIN} \cdot L) + (W_{FIN} \cdot L) \quad (5.2)$$

Onde:

$$\Sigma A_{TG} \quad \text{Somatória das áreas das portas em um TGFinFET [nm}^2\text{]}$$

Desta maneira, o valor encontrado para ΣA_{TG} quando o dispositivo assume $H_{FIN}=120\text{nm}$ e $W_{FIN} = 240\text{nm}$ será 480 nm^2 e quando os valores assumem $H_{FIN} =240\text{nm}$ e $W_{FIN}=120\text{nm}$ a soma será 600 nm^2 , a diferença das áreas das portas é de $1/5$ entre os dois casos apresentados nesta figura. Com isto, um dispositivo com maior área de porta possui

menores valores de I_{DLeak} , pois será capaz de controlar com mais eficiência as cargas presentes na região do canal.

Na figura 5.14 (C), analogamente para os QGFinFET, observa-se que a diferença de I_{DLeak} entre os dispositivos é praticamente nula, decorrente do melhor controle do canal que as quatro portas presentes na estrutura proporcionam. A somatória da área de portas destes dispositivos é dada pela equação (5.3).

$$\Sigma A_{QG} = 2.(H_{FIN} . L) + 2.(W_{FIN} . L) \quad (5.3)$$

Onde:

$$\Sigma A_{QG} \quad \text{Somatória das áreas das portas em um QGFinFET [nm}^2\text{]}$$

Calculando a equação (5.3) com os valores de H_{FIN} e W_{FIN} presentes na figura 5.14 (C), nota-se que ambos dispositivos resultam em uma mesma área de porta de 720 nm², possuindo assim a mesma capacidade de controle do canal e resultando em níveis de I_{DLeak} praticamente iguais, porém, é importante notar que os valores de I_{DLeak} encontrados nestes dispositivos são menores quando comparados aos DGFinFET e TGFinFET.

Resultados similares também foram obtidos estendendo este tipo de análise para os demais dispositivos com as variações de W_{FIN} e H_{FIN} .

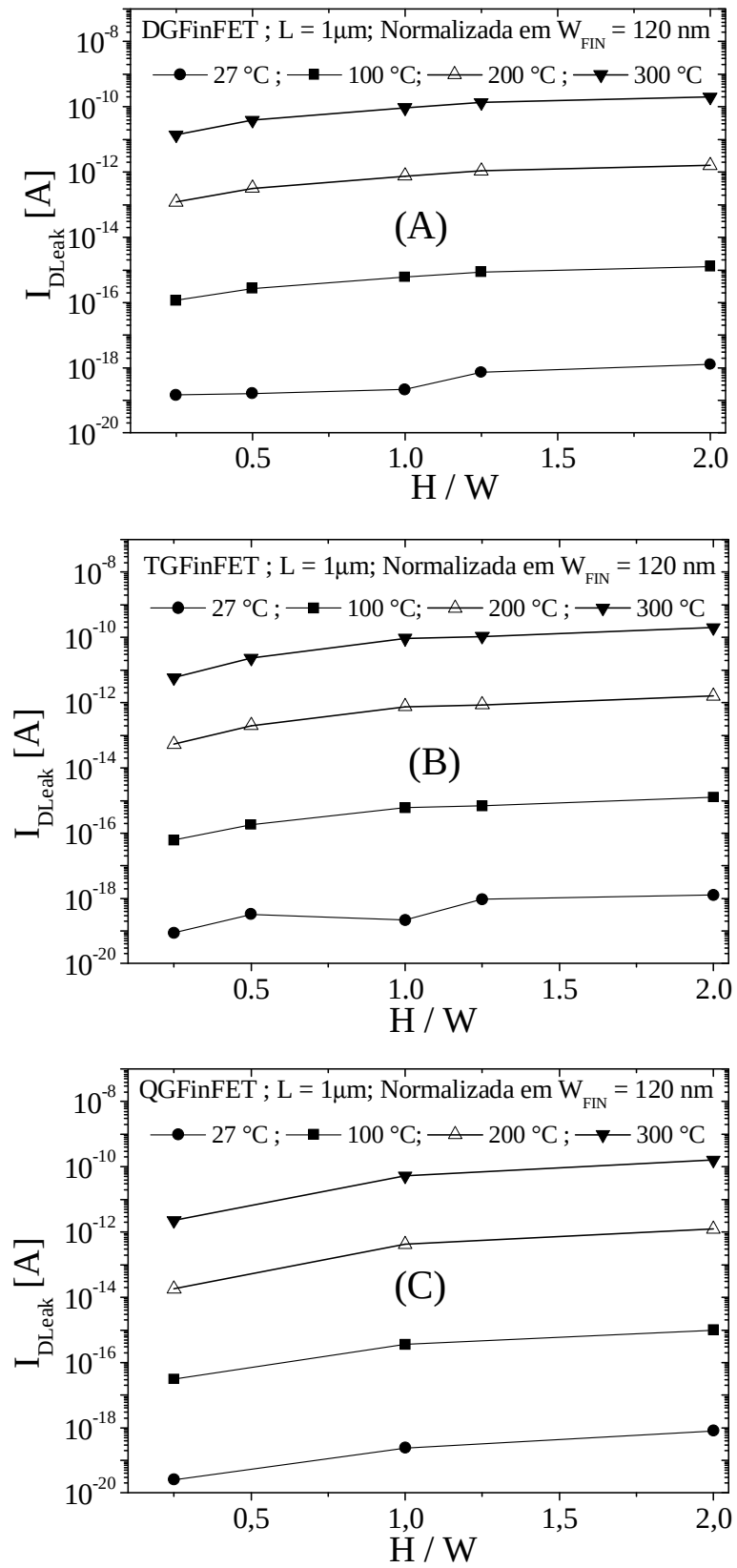


Figura 5.12. I_{DLeak} em função de área da junção normalizada em W_{FIN} , para DGFinFET (A), TGFinFET (B) e QGFinFET (C).

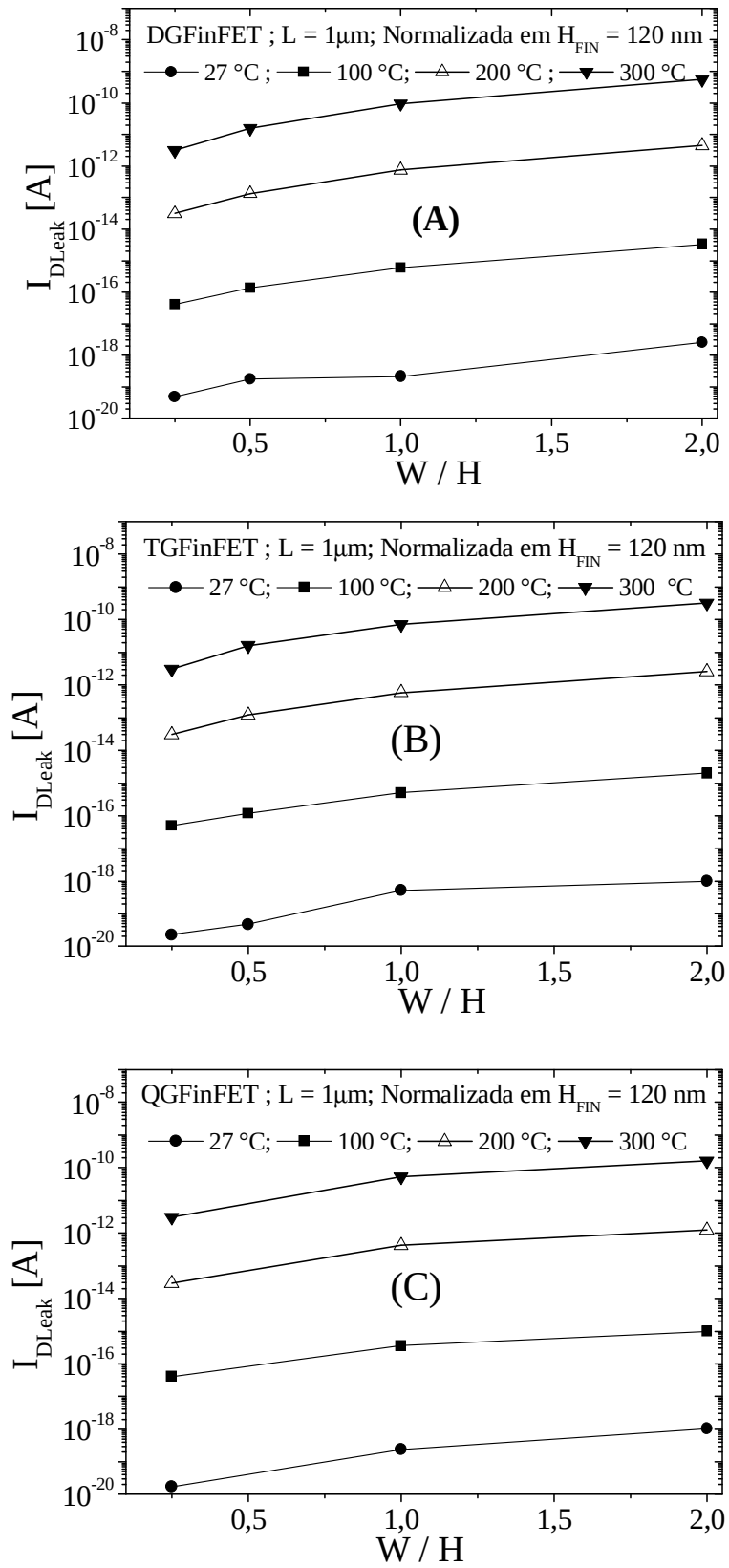


Figura 5.13. I_{DLeak} em função de área da junção normalizada em H_{FIN} , para DGFinFET (A), TGFinFET (B) e QGFinFET (C).

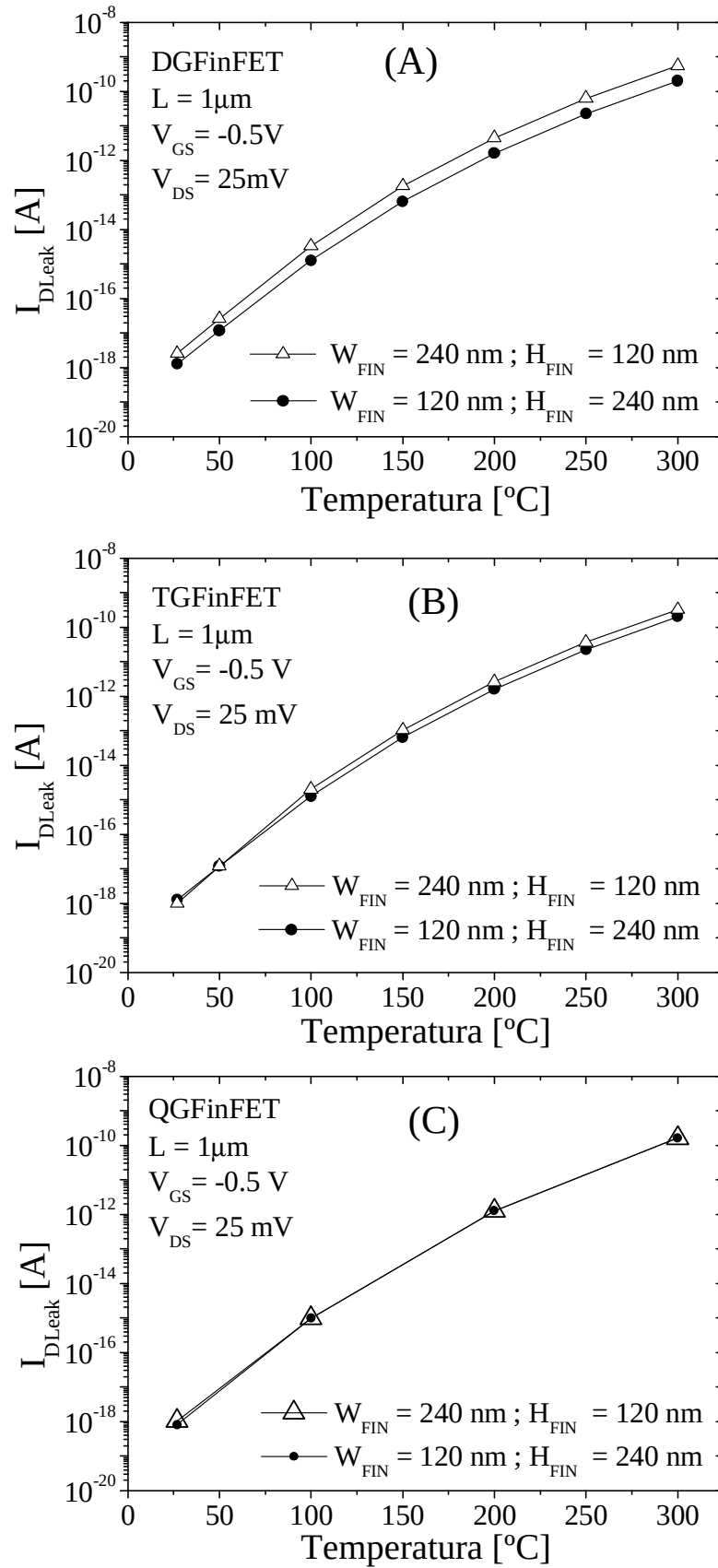


Figura 5.14. Comparação de I_{DLeak} em dispositivos com mesma área de junção normalizada DGFinFET (A), TGFinFET (B) e QGFinFET (C).

Com a intenção de analisar com maiores detalhes o comportamento de I_{DLeak} nos dispositivos DGFinFET, TGFinFET e QGFinFET em função de L , da temperatura de operação e dos valores de H_{FIN} e W_{FIN} , no próximo item serão apresentados os resultados referentes às investigações de J_{TLeak} , de sua distribuição ao longo do filme de silício e de sua composição dada por elétrons ($J_{Elétrons}$) e lacunas ($J_{Lacunas}$).

5.2 Densidade e composição da corrente de fuga do dreno

Para aprofundar o entendimento do comportamento de I_{DLeak} em função de L , da variação da temperatura e das dimensões da W_{FIN} e H_{FIN} foi realizado um estudo de J_{TLeak} nos DGFinFET, TGFinFET e QGFinFET sob avaliação. Para tanto, as estruturas destes dispositivos foram devidamente polarizados na região de fuga, conforme descrito no capítulo 4. Este estudo permitiu a análise mais detalhada da composição de portadores majoritários e minoritários, bem como, sua distribuição no canal dos dispositivos.

Com os dados obtidos das densidades de corrente que fluem ao longo do canal dos dispositivos SOI MOSFETs estudados, foi possível analisar em quais regiões do filme de silício J_{TLeak} é mais intensa e determinar a sua respectiva composição de portadores de cargas, quantificando-a em parcelas de elétrons ($J_{Elétrons}$) e de lacunas ($J_{Lacunas}$). A somatória destas parcelas de portadores compõe J_{TLeak} e conseqüentemente I_{DLeak} .

5.2.1 Distribuição da densidade de corrente de fuga ao longo da largura do canal

Efetuando um corte no sentido da “linha 1”, conforme descrito no capítulo 4 através da figura 4.5, J_{TLeak} que flui na largura do canal foi extraída para todos os dispositivos de duas, três e quatro portas. Na figura 5.15 são mostradas estas densidades de J_{TLeak} para dispositivos com $L=1\mu m$ operando em altas temperaturas.

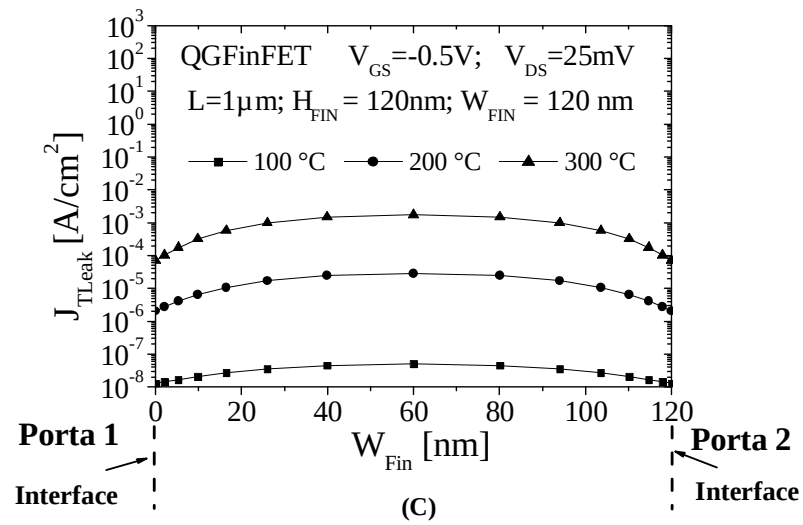
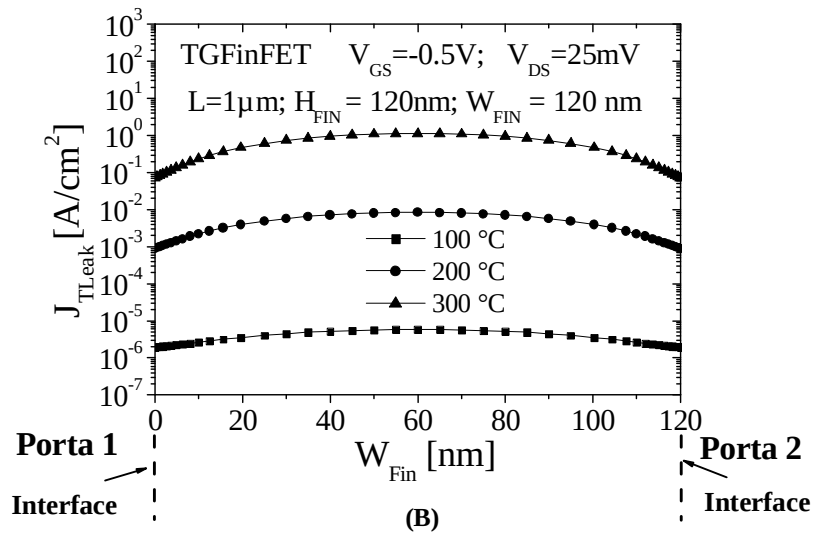
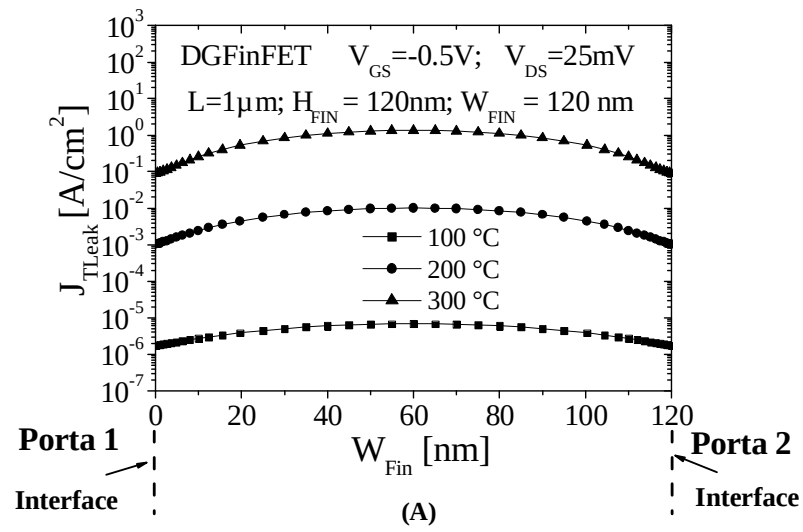


Figura 5.15. Distribuição de J_{TLeak} para dispositivos com $L = 1 \mu m$, $W_{FIN} = H_{FIN} = 120 nm$ do tipo DGFinFET (A), TGFinFET (B) e QGFinFET (C).

Através da análise da distribuição de J_{TLeak} em cada uma das temperaturas mostradas na figura 5.15, nota-se que J_{TLeak} flui predominantemente na região mediana do filme de silício, sendo que nas imediações das interfaces (óxido de silício – silício) das portas 1 e 2 estas densidades de corrente são menos intensas, quando comparada à intensidade observada na região mediana do filme de silício. A elevação da temperatura gera um aumento substancial nas densidades de corrente, porém, mantém o mesmo comportamento de sua distribuição ao longo do volume do filme de silício. A distribuição e os níveis destas densidades em dispositivos DGFinFET e TGFinFET com comprimento de canal $L = 1 \mu m$ são semelhantes. Já nos QGFinFETs com as mesmas dimensões e operando na mesma temperatura, pode ser visto que existe uma redução em torno de três ordens de grandeza em J_{TLeak} por toda a extensão de W_{FIN} , quando comparados aos dispositivos DGFinFET e TGFinFET.

A redução de L provoca um aumento significativo em J_{TLeak} , como pode ser visto na figura 5.16 para os dispositivos com $L = 100 \text{ nm}$, porém o mesmo comportamento na distribuição de J_{TLeak} é observado, sendo que a maior parcela da corrente flui na região mediana de W_{FIN} e aumenta conforme a temperatura é elevada. Comportamentos similares também foram observados nos demais dispositivos de acordo com a variação de W_{FIN} , operando nas mesmas condições de polarização e temperatura.

Para os casos mostrados na figura 5.16, a comparação entre os dispositivos mostra que os níveis de I_{DLeak} são menores em dispositivos com quatro portas ao longo de toda a faixa de temperatura avaliada. Resultados similares foram observados para os demais dispositivos avaliados ao longo deste trabalho.

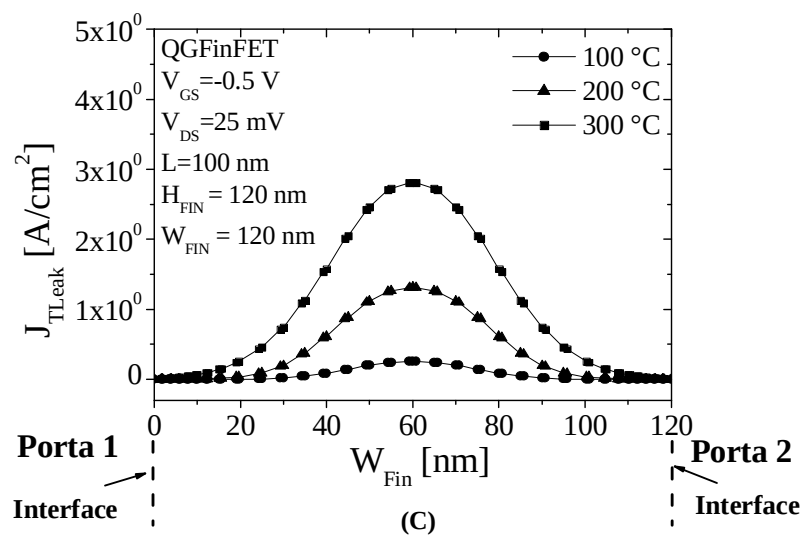
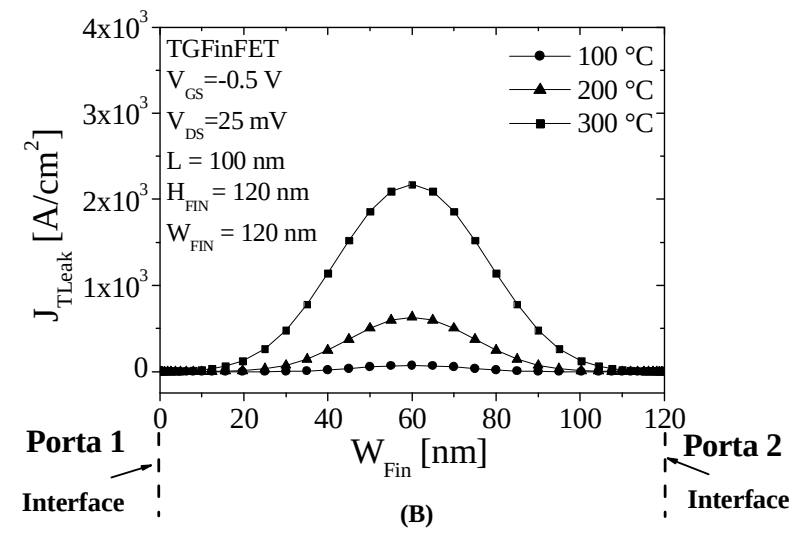
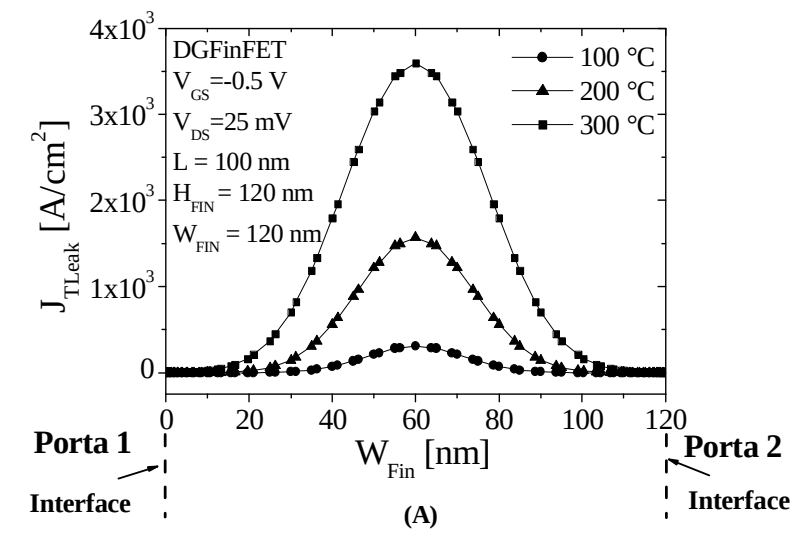


Figura 5.16. Distribuição de J_{TLeak} para dispositivos com $L = 100$ nm, $W_{FIN} = H_{FIN} = 120$ nm, DGFinFET(A), TGFinFET (B) e QGFinFET (C).

Conforme pode ser visto na figura 5.17, o perfil da distribuição de J_{TLeak} por toda a extensão de W_{FIN} é semelhante nos dois DGFinFET apresentados. Porém, nota-se que para $W_{\text{FIN}} = 240 \text{ nm}$ J_{TLeak} torna-se maior (figura 5.17 (B)), devido ao aumento da área das junções, como mencionado anteriormente. Nos demais dispositivos, a variação de W_{FIN} mostrou resultados similares para a distribuição de J_{TLeak} ao longo de W_{FIN} .

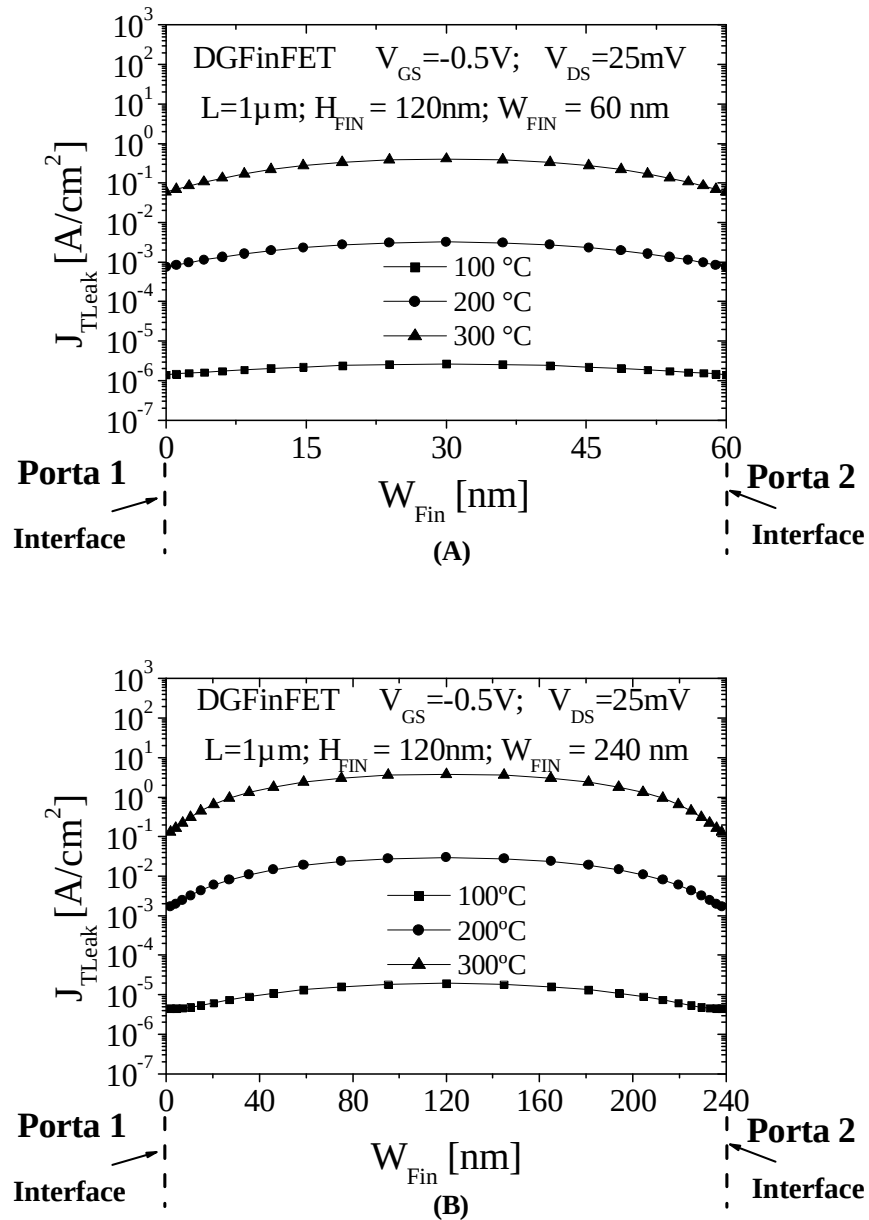


Figura 5.17. Distribuição de J_{TLeak} para dispositivos DGFinFET com $L = 1 \mu\text{m}$ e $H_{\text{FIN}} = 120 \text{ nm}$, com $W_{\text{FIN}} = 60 \text{ nm}$ (A) e $W_{\text{FIN}} = 240 \text{ nm}$ (B).

Com o objetivo de entender o comportamento da distribuição de J_{TLeak} em função da temperatura, da variação de L e da variação da W_{FIN} foi investigado o comportamento das componentes de I_{DLeak} (elétrons e lacunas), ao longo da largura do dispositivo e também como contribuem para I_{DLeak} nos diversos dispositivos investigados.

Quando analisadas estas parcelas de portadores que compõe I_{DLeak} , conforme ilustra a figura 5.18 (A) para um dispositivo DGFinFET de $1\mu m$ na temperatura de $300\text{ }^{\circ}C$, observa-se que I_{DLeak} flui predominantemente na região mediana do filme de silício, sendo composta majoritariamente por elétrons. Nota-se neste mesmo gráfico, que a concentração de lacunas é mais significativa nas imediações das interfaces das portas, isto devido à polarização negativa aplicadas às portas ($V_{GS} = -0,5\text{ V}$) provocando naturalmente o acúmulo de lacunas nas interfaces das portas para de dispositivos NMOS.

Na região mediana de W_{FIN} existe a diferença de três ordem de grandeza entre $J_{Elétrons}$ e $J_{Lacunas}$. Analisando um dispositivo TGFinFET operando nas mesmas condições de polarização e temperatura, com o mesmo valor de L e W_{FIN} foi notado que as densidades e as distribuições no filme de silício são semelhantes ao observados nos DGFinFETs, conforme mostrado na figura 5.18 (B).

Na figura 5.18 (C), para um QGFinFET, observa-se também que J_{TLeak} é composta majoritariamente por elétrons, a qual circula principalmente na região mediana do filme de silício da região do canal. Neste caso, há a mesma diferença de três ordens de grandeza entre os $J_{Elétrons}$ e as $J_{Lacunas}$, porém pode ser notado que a J_{TLeak} é reduzida de forma significativa neste dispositivo, sendo três ordens de grandeza menor quando comparados às estruturas similares com duas e três portas.

Resultados similares para a composição e distribuição de portadores podem ser observados nos dispositivos DGFinFET, TGFinFET e QGFinFET com diferentes valores de L e de W_{FIN} , como pode ser visto na figura 5.19.

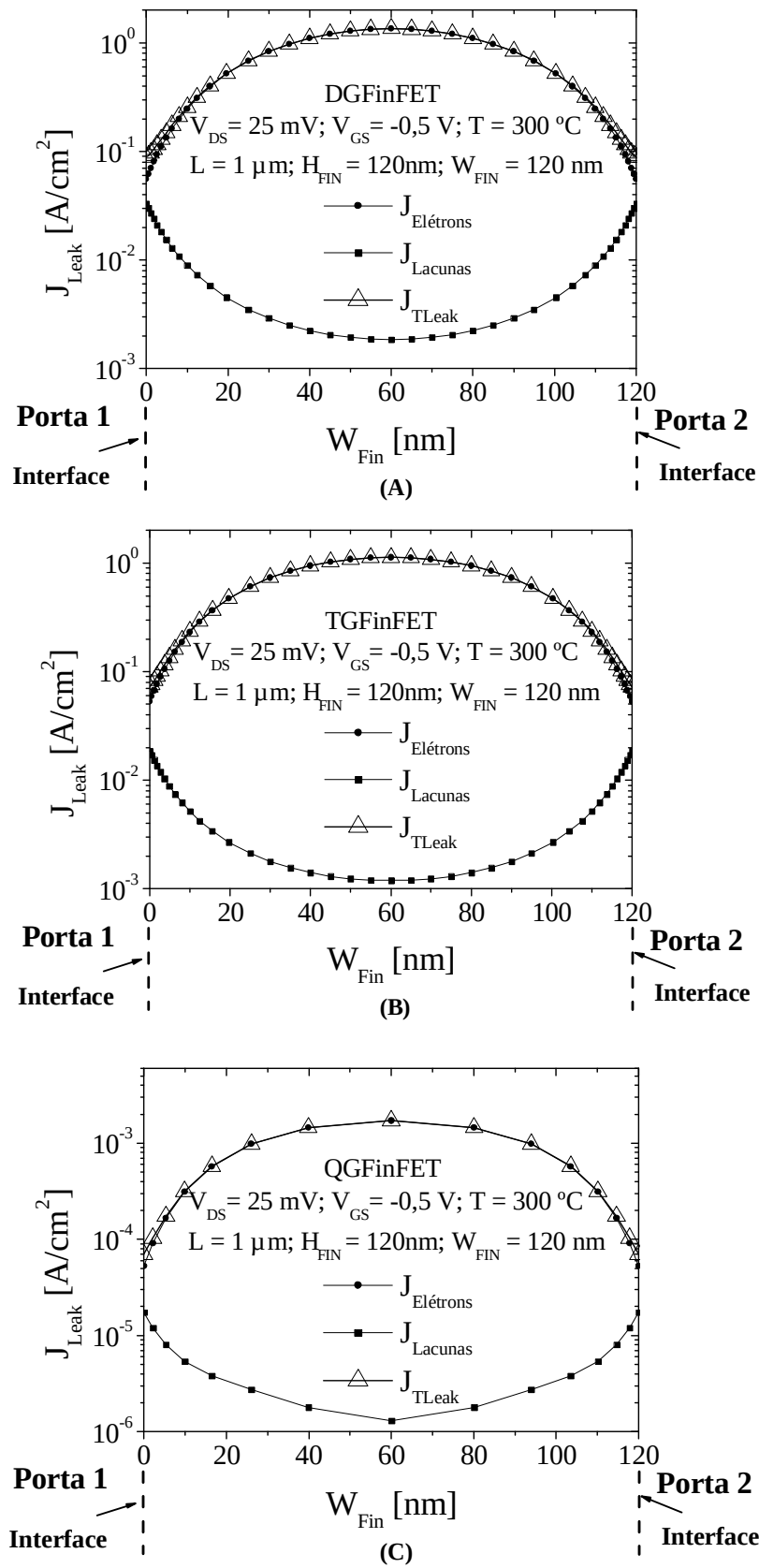


Figura 5.18. Distribuição e composição de I_{DLeak} em dispositivos $L = 1 \text{ } \mu\text{m}$ e $W_{FIN}=H_{FIN}= 120 \text{ nm}$, DGFinFET (A), TGFinFET (B), QGFinFET (C), operando em $300 \text{ }^{\circ}\text{C}$.

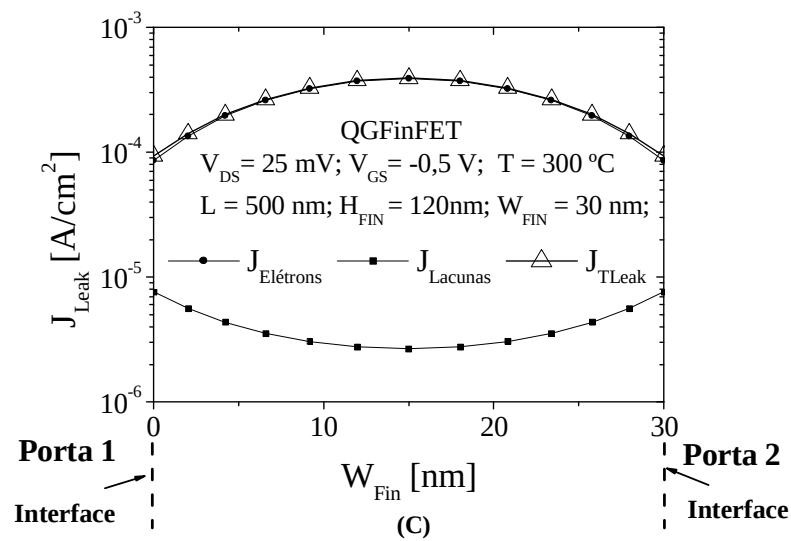
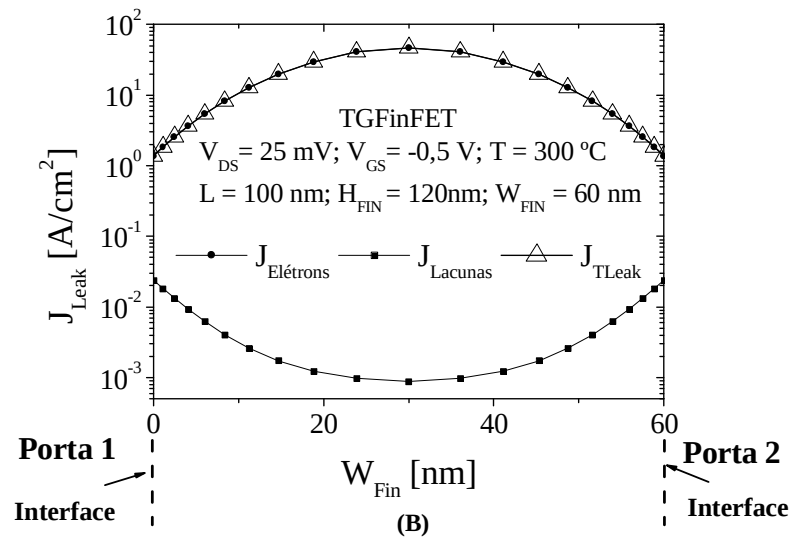
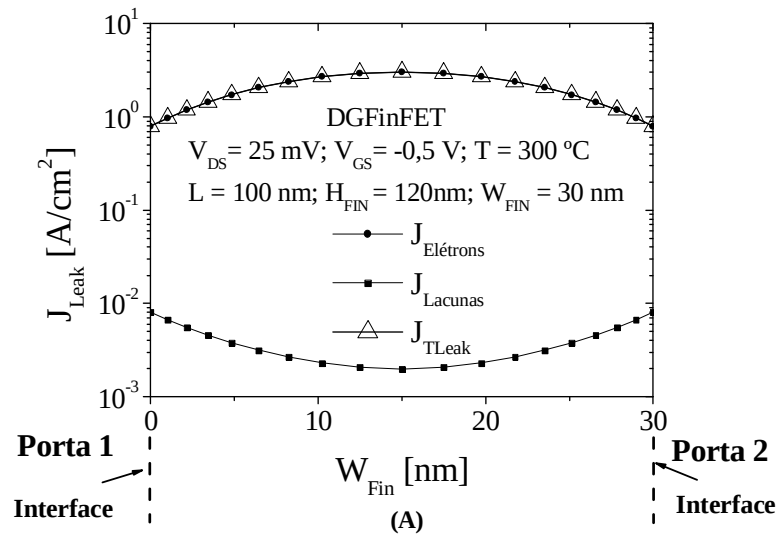


Figura 5.19. Distribuição e composição I_{DLeak} para um DGFinFET com $L = 100 \text{ nm}$ e $W_{FIN} = 30\text{nm}$ (A), TGFinFET com $L = 100 \text{ nm}$ e $W_{FIN} = 60\text{nm}$ (B) e QGFinFET com $L = 500 \text{ nm}$ e $W_{FIN} = 30\text{nm}$ (C), operando em 300°C .

Porém, quando os dispositivos são analisados na temperatura ambiente (27 °C), nota-se um caso particular para a composição de I_{DLeak} encontrada nos dispositivos com $L = 1\mu m$. Neste caso, os portadores (elétrons e lacunas) possuem a sua intensidade na mesma ordem de grandeza e como a I_{DLeak} é dada pela somatória destas parcelas, ambos portadores participam ativamente na composição de I_{DLeak} , conforme visto na figura 5.20.

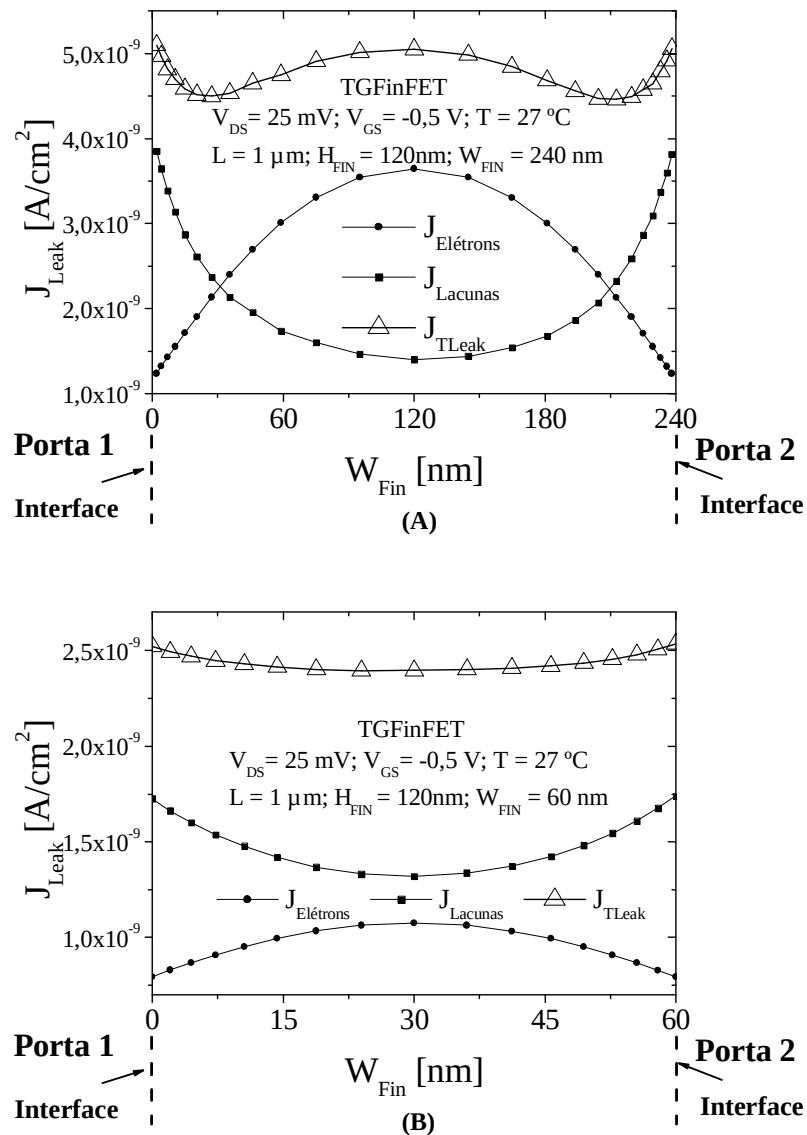


Figura 5.20. Distribuição e composição de J_{TLeak} para TGFFinFETs com $L = 1\mu m$, com $W_{Fin} = 240$ nm (A) e $W_{Fin} = 60$ nm (B), operando em 27 °C

Os resultados apresentados na figura 5.20 (A) mostram que nas imediações das interfaces de porta as lacunas representam a maior parcela na composição de I_{DLeak} , enquanto na região mediana do filme de silício os elétrons são majoritários, cuja somatória de ambas parcelas representa I_{DLeak} que circula neste dispositivo.

Já os resultados presentes na figura 5.20 (B) mostram que quando o dispositivo tem W_{FIN} reduzido para 60 nm, as lacunas assumem uma maior parcela de J_{TLeak} por todo o filme de silício, porém, permanecendo ainda na mesma ordem de grandeza dos elétrons.

5.2.2 Distribuição da densidade de corrente de fuga ao longo da altura do canal

Na figura 5.21 são mostradas as densidades de J_{TLeak} nos dispositivos DGFinFET, TGFinFET e QGFinFET, operando em altas temperaturas. Desta vez o sentido da linha de corte é referente à “linha 2”, conforme apresentado no capítulo 4 através da figura 4.7.

Este tipo de corte mostra o comportamento de J_{TLeak} que flui por H_{FIN} e foi feito em todos os dispositivos MuGFETs avaliados ao longo deste trabalho.

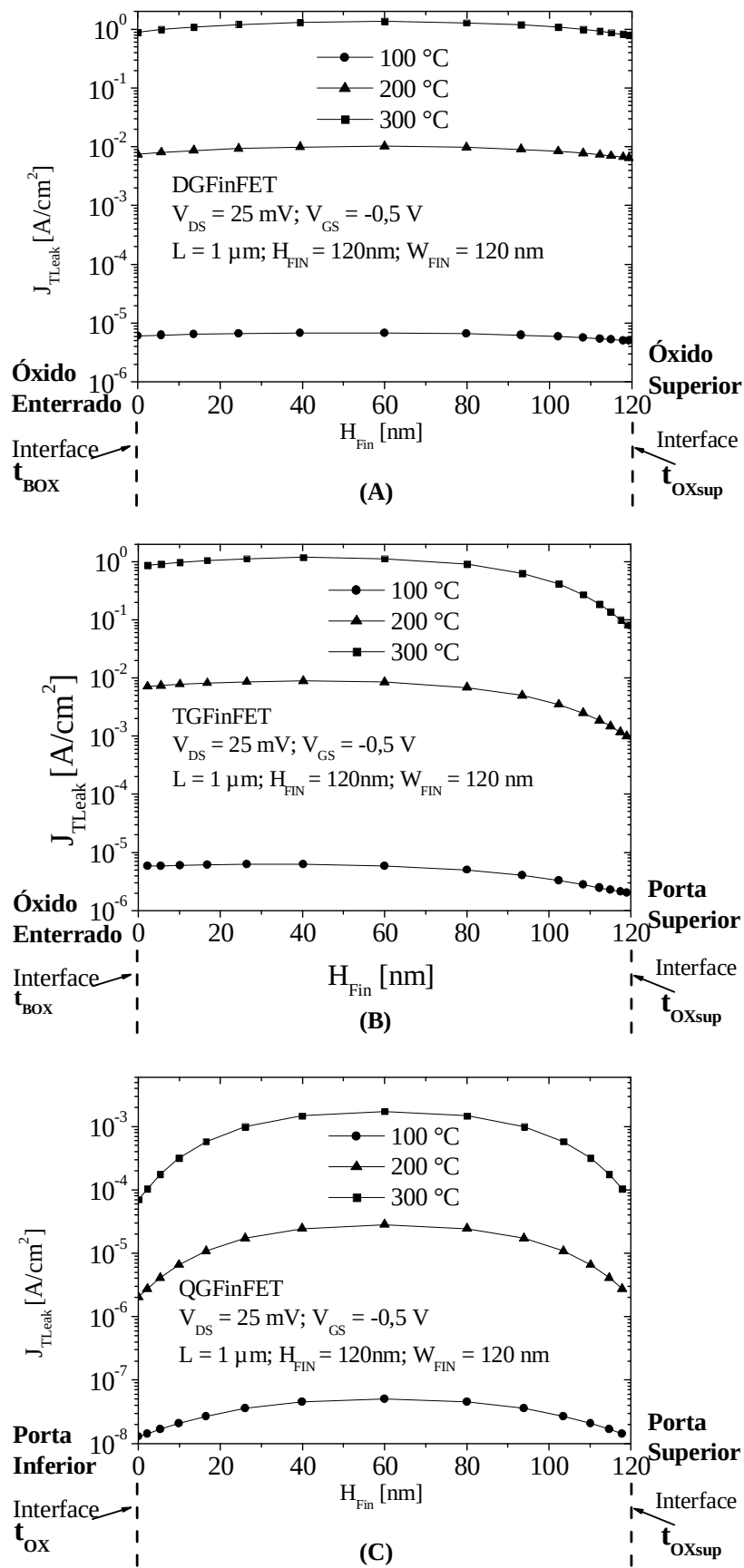


Figura 5.21. Distribuição de J_{TLeak} em H_{FIN} para dispositivos com $L = 1 \mu\text{m}$ e $W_{FIN} = H_{FIN} = 120 \text{ nm}$, DGFinFET (A) e TGFinFET (B) e QGFinFET (C).

Com a elevação da temperatura é possível observar um acréscimo de algumas ordens de grandeza em J_{TLeak} para toda a faixa de temperatura estudada. Tanto para os dispositivos de duas portas quanto para os dispositivos de três portas com $L = 1 \mu\text{m}$, pode-se observar que J_{TLeak} está distribuída ao longo de H_{FIN} e que nas proximidades da interface superior, indicada por t_{oxsup} , J_{TLeak} tende ser menor. Nos dispositivos de quatro portas, I_{DLeak} tem a tendência de ser menor tanto nas regiões próximas a porta superior quanto nas próximas à porta inferior deste dispositivo.

Esta redução de J_{TLeak} nas regiões da interface superior é mais acentuado nos TGFinFET devido à ação da porta superior, o que contribui para a redução de I_{DLeak} . Nos dispositivos DGFinFET estudados, a presença de um óxido espesso inibe de forma significativa a ação da porta superior e contribui para a elevação de I_{DLeak} , por este motivo observa-se na figura 5.21 (A) que J_{TLeak} ao logo de H_{FIN} no DGFinFET é praticamente linear, enquanto no dispositivo TGFinFET, figura 5.21 (B), existe uma redução de uma ordem de grandeza nas proximidades da interface de porta superior.

Já nos dispositivos QGFinFET apresentados na figura 5.21 (C), é observado a influência das portas superior e inferior do dispositivo e nas regiões próximas destas interfaces existe uma redução de quase uma ordem de grandeza nos níveis de J_{TLeak} , dependendo da temperatura de operação. Com isto, nota-se que os níveis de I_{DLeak} são menores nos dispositivos de quatro portas.

Analisando-se a distribuição de J_{TLeak} ao longo de H_{FIN} em dispositivos com L menores, nota-se um aumento significativo nas densidades de corrente, como pode-se observar nos três casos apresentados na figura 5.22. Nota-se ainda a diferença entre J_{TLeak} encontradas nas imediações da interface com a porta superior dos MuGFET, as quais são menores nos TGFinFET (B) e QGFinFET (C). Para o QGFinFET, também nota-se uma significativa redução de J_{TLeak} nas imediações da interface de porta inferior.

No caso do DGFinFET mostrado na figura 5.22 (A), nota-se que há uma redução discreta em J_{TLeak} na região da interface superior, enquanto para o TGFinFET nas mesmas condições de polarização e de temperatura esta redução é cerca de seis ordens de grandeza.

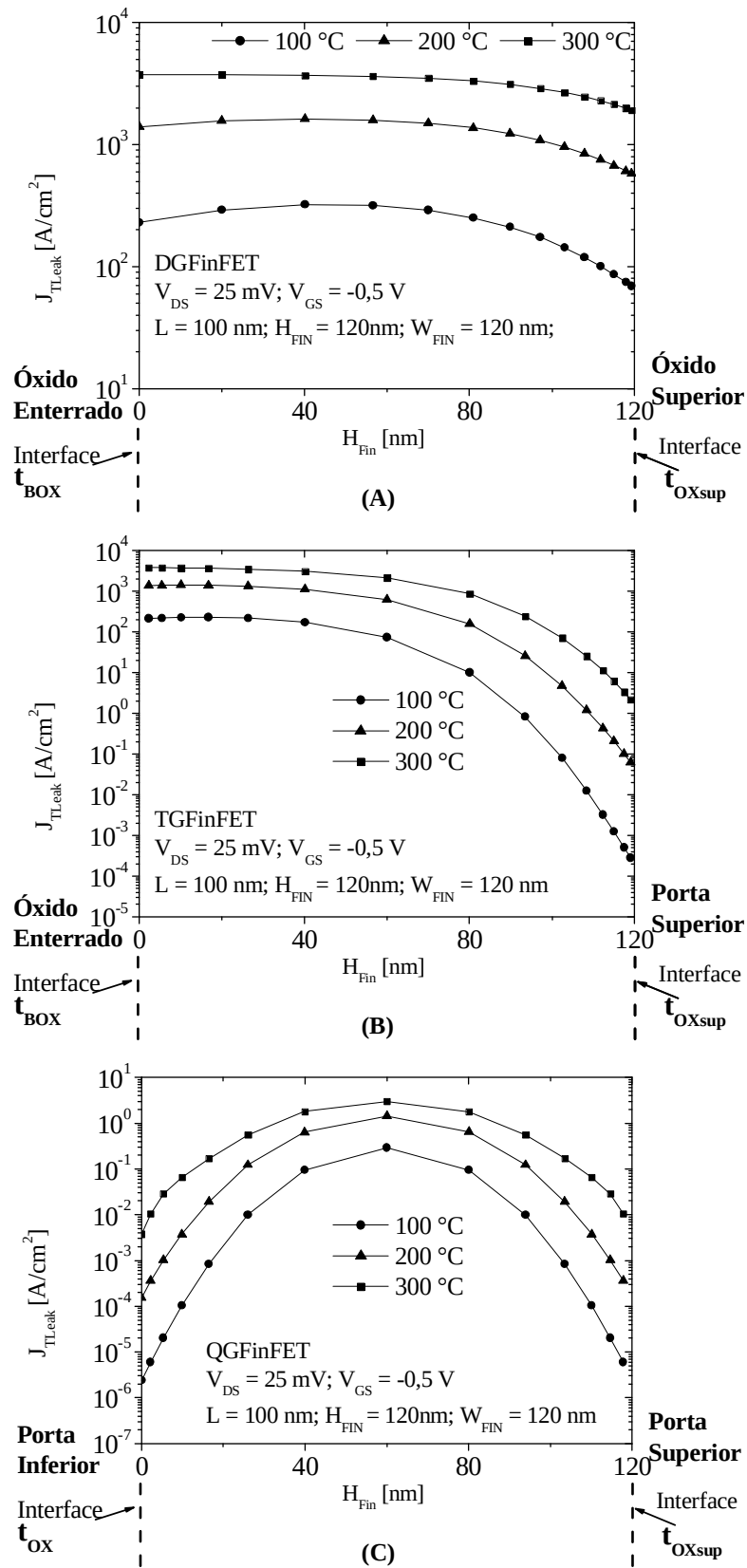


Figura 5.22. Distribuição de J_{TLeak} em H_{FIN} para dispositivos com $L = 100 \text{ nm}$ e $W_{FIN}=H_{FIN}= 120 \text{ nm}$, DGFinFET (A), TGFinFET (B) e QGFinFET (C), operando em altas temperaturas.

Avaliando o dispositivo de quatro portas mostrado na figura 5.22 (C), observa-se a forte influência das portas superior e inferior, fazendo que a redução de J_{TLeak} seja em torno de quatro ordens de grandeza nas regiões próximas a cada uma destas interfaces, contribuindo significativamente para que I_{DLeak} seja menor nos QGFinFETs quando comparadas aos DGFinFETs e TGFinFETs avaliados neste trabalho.

Na figura 5.23, são mostrados os dispositivos quando H_{FIN} assume diferentes valores. Os perfis de J_{TLeak} são semelhantes para cada tipo de dispositivo e a típica redução das densidades nas regiões de interface também podem ser observadas, como mostrado anteriormente.

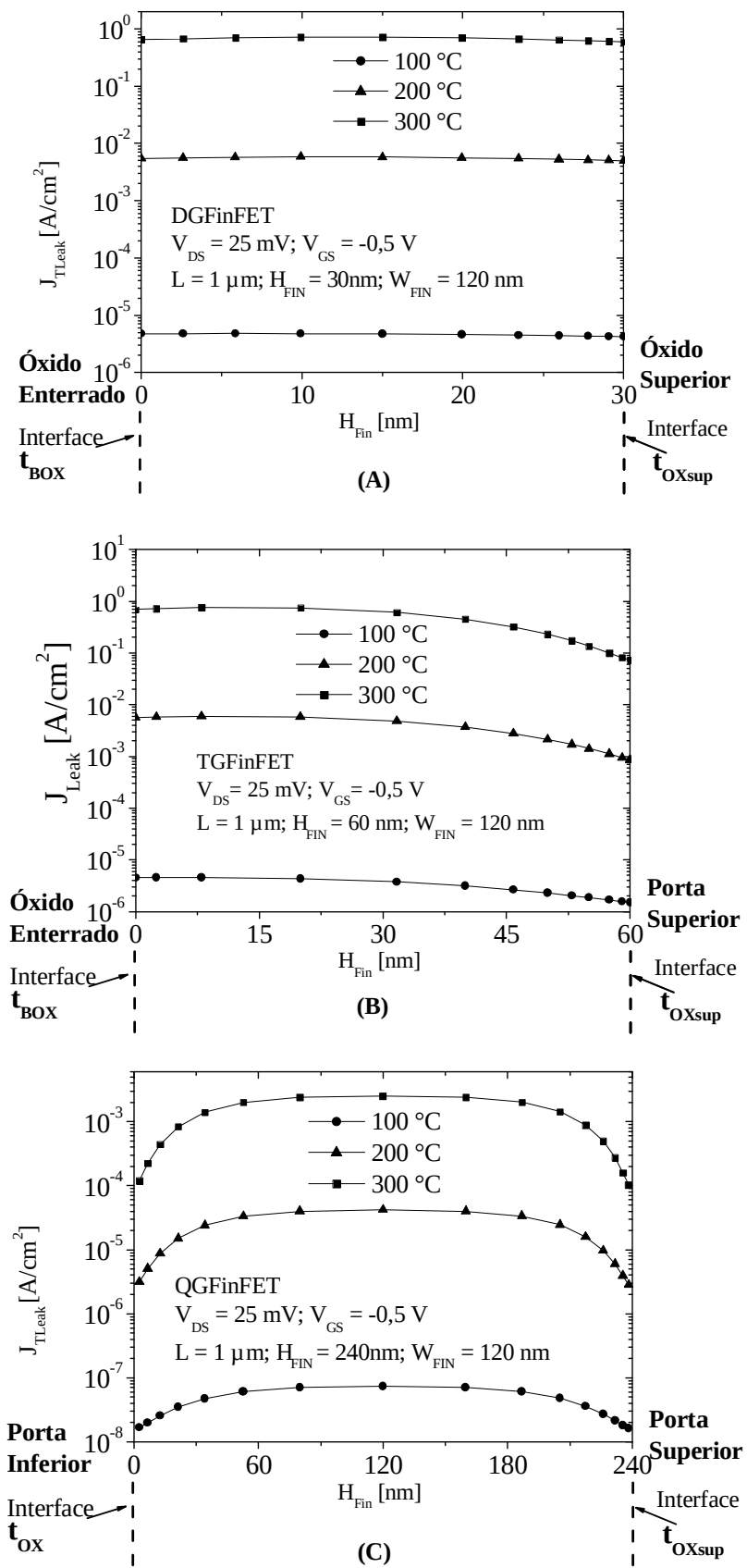


Figura 5.23. Distribuição de J_{TLeak} em H_{FIN} para dispositivos DGFinFET com $H_{FIN} = 30 \text{ nm}$ (A), TGFinFET com $H_{FIN} = 60 \text{ nm}$ (B) e QGFinFET com $H_{FIN} = 240 \text{ nm}$ (C).

Para compreender este comportamento de J_{TLeak} ao longo de H_{FIN} , foram analisadas as composições desta densidade que é dada por parcelas de $J_{Elétrons}$ e $J_{Lacunas}$.

Na figura 5.24 são mostradas as composições dos portadores em I_{DLeak} e sua distribuição na extensão de H_{FIN} para os dispositivos DGFinFET, TGFinFET e QGFinFET com canal $L = 1\mu m$, operando em altas temperaturas.

Nota-se através da figura 5.24 (A), que em um DGFinFET J_{TLeak} em função de H_{FIN} é majoritariamente composta por elétrons e que na região de interface com o óxido superior existe uma tendência da diminuição desta densidade. Para o TGFinFET, na figura 5.24 (B), I_{DLeak} também mostra ser majoritariamente composta por elétrons em toda a extensão de H_{FIN} , entretanto na região de interface com a porta superior é notada uma redução de uma ordem de grandeza em J_{TLeak} e a elevação de $J_{Lacunas}$. Isto ocorre devido à presença da porta superior com uma polarização negativa ($V_{GS} = -0,5V$), o que acaba gerando um acúmulo de lacunas e contribui para a redução de I_{DLeak} .

Para o QGFinFET da figura 5.24 (C), J_{TLeak} mostra ser predominantemente composta por elétrons, porém, neste tipo de dispositivo o nível de J_{TLeak} é bem menor quando comparado aos demais dispositivos. A influência das portas superior e inferior, ambas polarizadas simultaneamente com $V_{GS} = -0,5V$, atrai uma quantidade maior de lacunas para suas interfaces, reduzindo $J_{Elétrons}$ nesta região e contribuindo para a diminuição de I_{DLeak} .

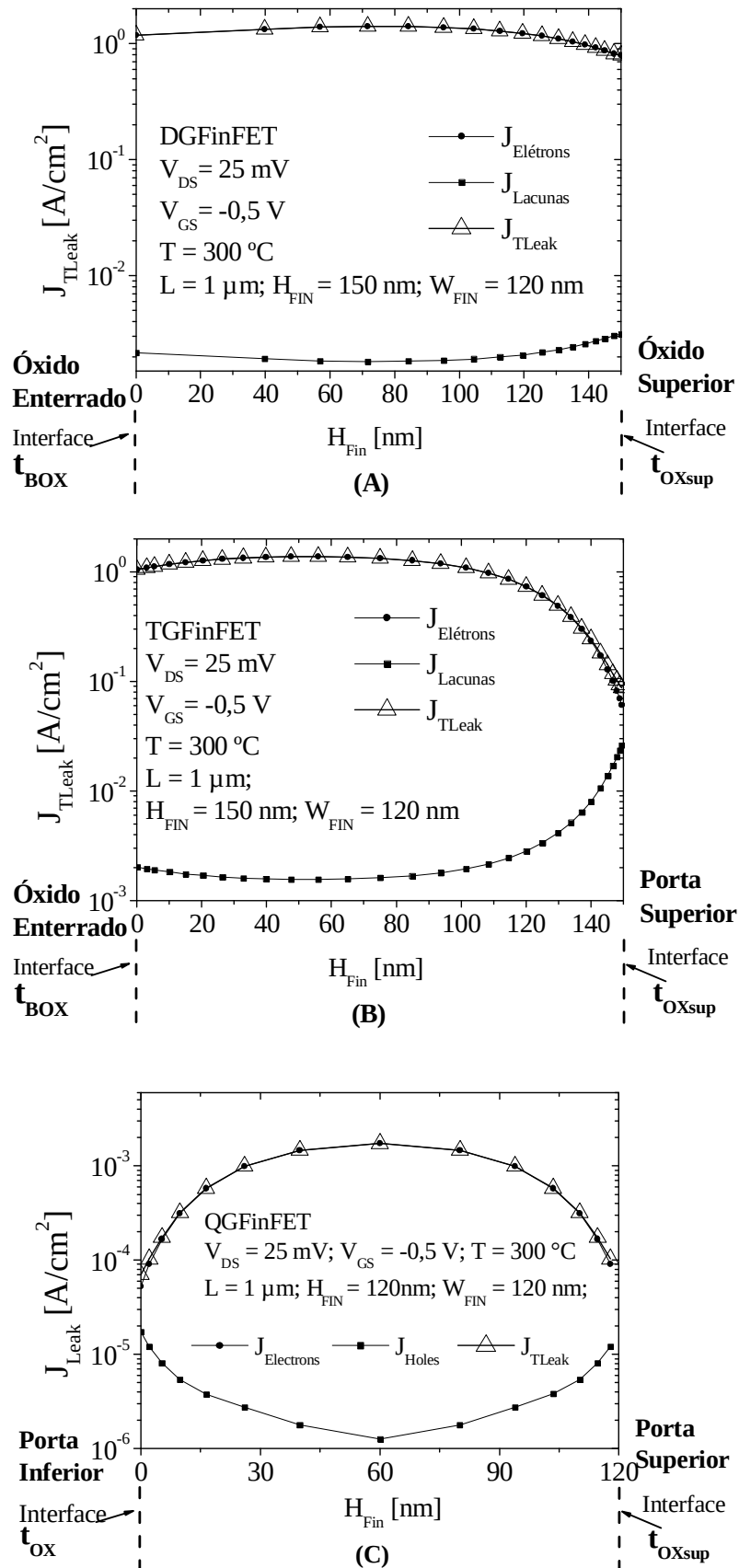


Figura 5.24. Distribuição de J_{TLeak} , J_{Lacunas} e $J_{\text{Elétrons}}$ em H_{Fin} para dispositivos com $L = 1 \text{ } \mu\text{m}$ e $W_{\text{Fin}} = 120 \text{ nm}$, DGFinFET com $H_{\text{Fin}} = 150 \text{ nm}$ (A), TGFinFET com $H_{\text{Fin}} = 150 \text{ nm}$ (B), QGFinFET com $H_{\text{Fin}} = 120 \text{ nm}$ (C), operando em 300°C .

Na figura 5.25 são mostradas as composições dos portadores e sua distribuição em H_{FIN} para os dispositivos MuGFET com $L = 100$ nm operando em altas temperaturas. Para os três casos apresentados, as densidades mantiveram um comportamento similar na sua distribuição e composição ao longo de H_{FIN} . A influência da porta superior e da porta inferior também foi semelhante ao comportamento encontrado nos dispositivos com L maiores.

Pode-se observar na figura 5.26, que o comportamento na distribuição de J_{TLeak} em H_{FIN} nos dispositivos MuGFET com $L = 500$ nm e operando na temperatura de 300 °C é similar aos demais dispositivos avaliados.

Nas figuras 5.27 e 5.28 observa-se também um comportamento similar para os dispositivos com $L = 200$ nm e operando em temperaturas de 100 °C e 200 °C, respectivamente.

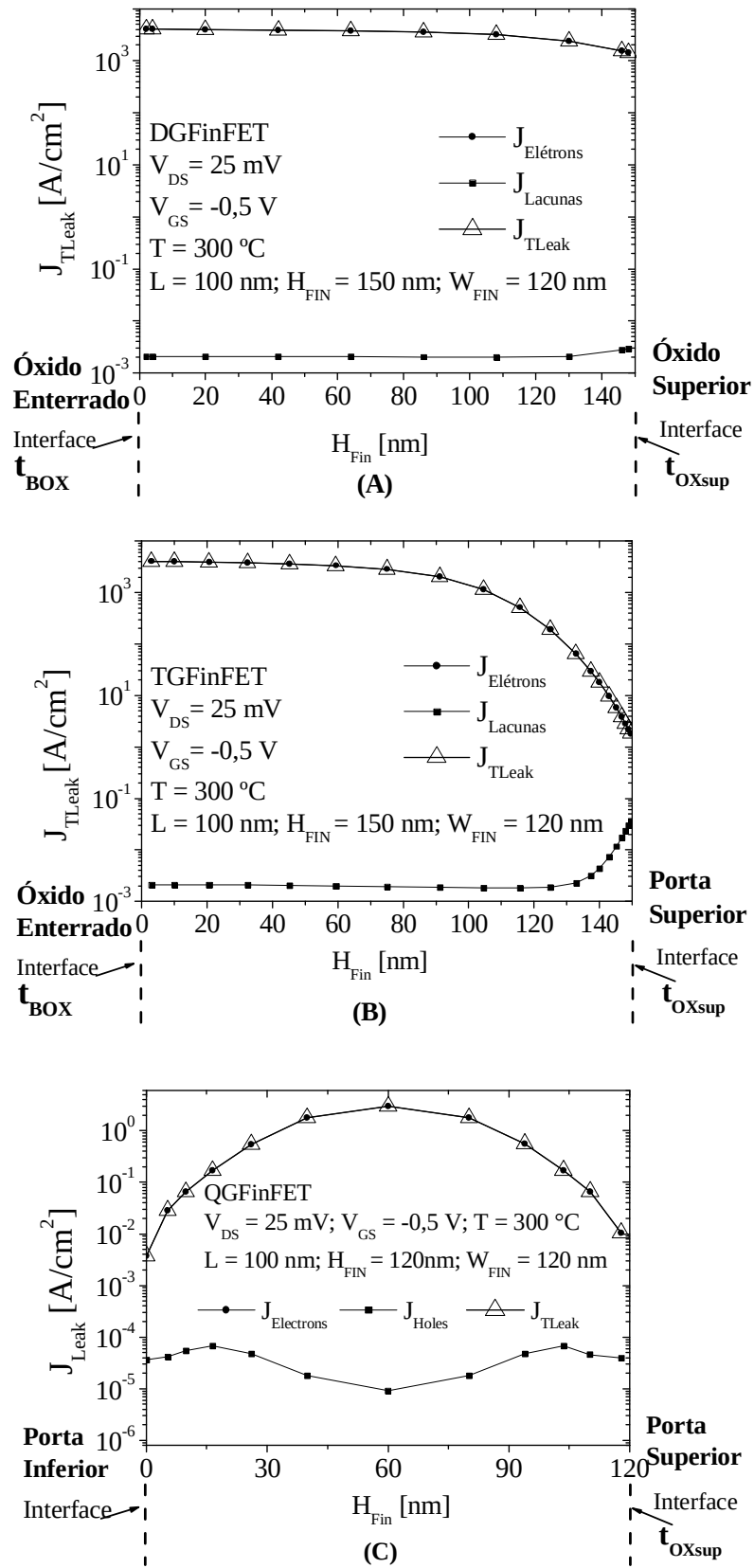


Figura 5.25. Distribuição de J_{TLeak} , $J_{Lacunas}$ e $J_{Elétrons}$ em H_{FIN} para dispositivos com $L = 100 \text{ nm}$ e $W_{FIN} = 120 \text{ nm}$, DGFinFET com $H_{FIN} = 150 \text{ nm}$ (A), TGFinFET com $H_{FIN} = 150 \text{ nm}$ (B), QGFinFET com $H_{FIN} = 120 \text{ nm}$ (C), operando em 300°C .

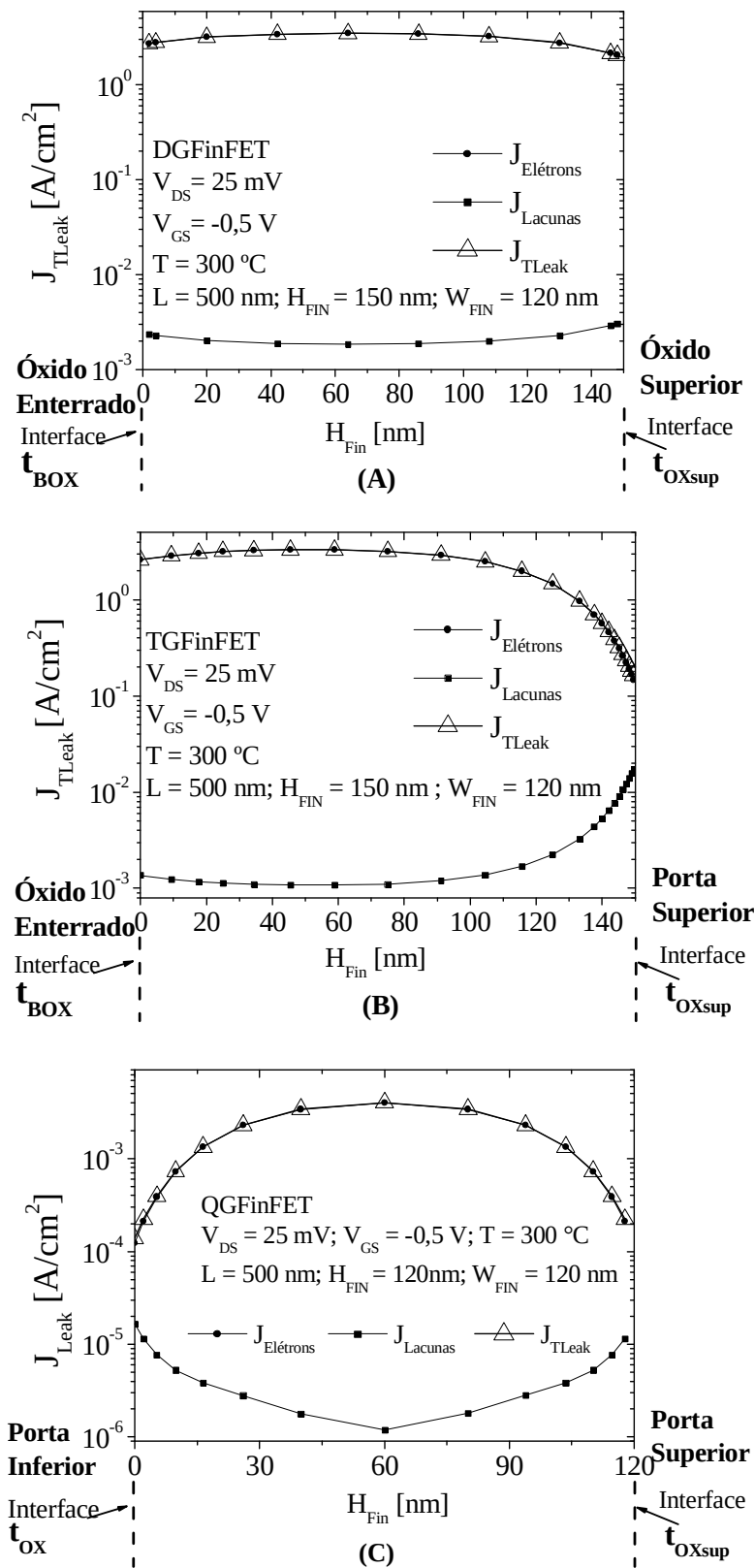


Figura 5.26. Distribuição de J_{TLeak} , J_{Lacunas} e $J_{\text{Elétrons}}$ em H_{Fin} para dispositivos com $L = 500 \text{ nm}$ e $W_{\text{Fin}} = 120 \text{ nm}$, DGFinFET com $H_{\text{Fin}} = 150 \text{ nm}$ (A), TGFinFET com $H_{\text{Fin}} = 150 \text{ nm}$ (B), QGFinFET com $H_{\text{Fin}} = 120 \text{ nm}$ (C), operando em 300°C .

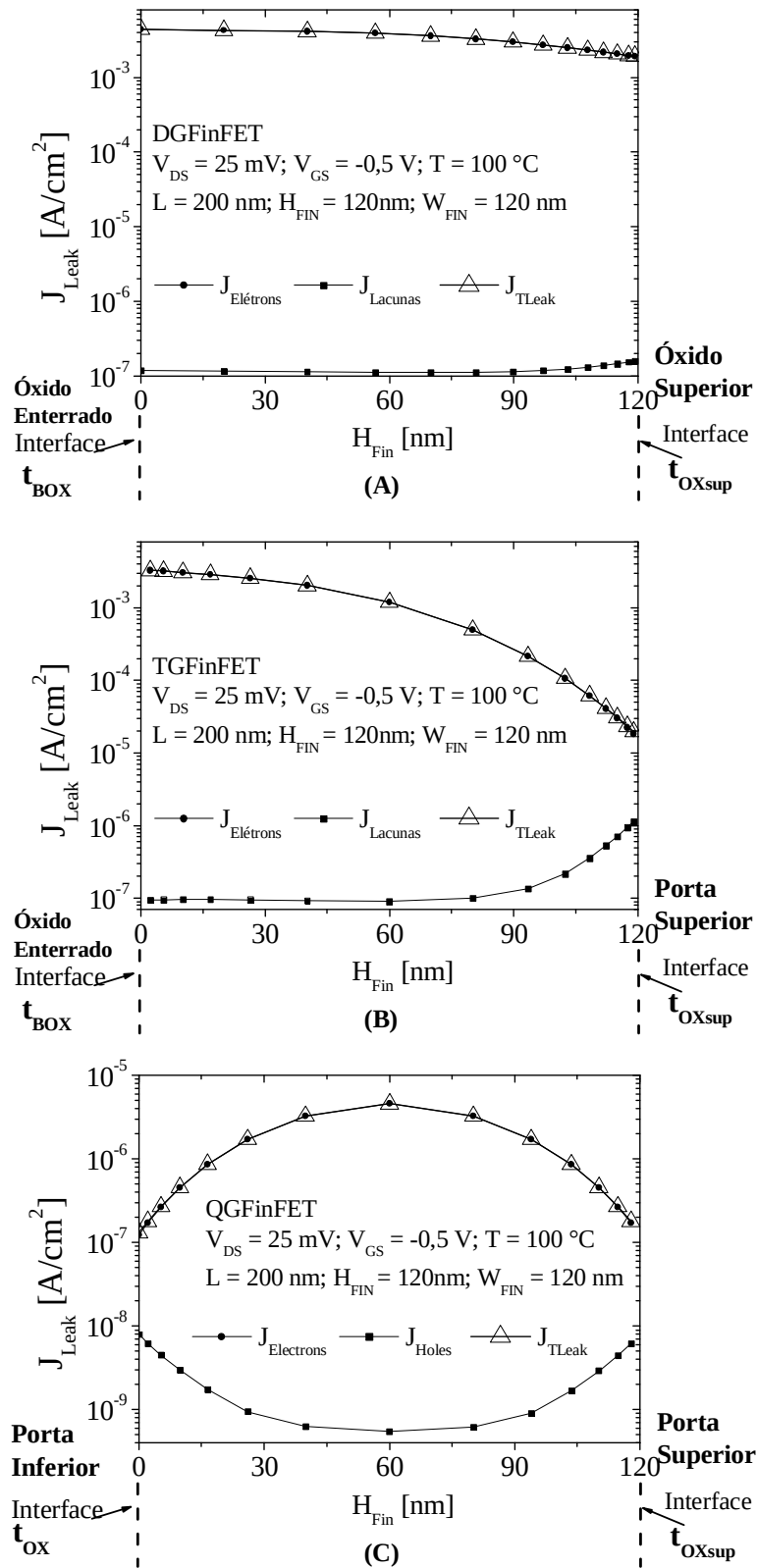


Figura 5.27. Distribuição de J_{TLeak} , $J_{Lacunas}$ e $J_{Elétrons}$ em H_{FIN} para dispositivos com $L = 200 \text{ nm}$ e $W_{FIN} = 120 \text{ nm}$, DGFinFET com $H_{FIN} = 150 \text{ nm}$ (A), TGFinFET com $H_{FIN} = 150 \text{ nm}$ (B), QGFinFET com $H_{FIN} = 120 \text{ nm}$ (C), operando em 100°C .

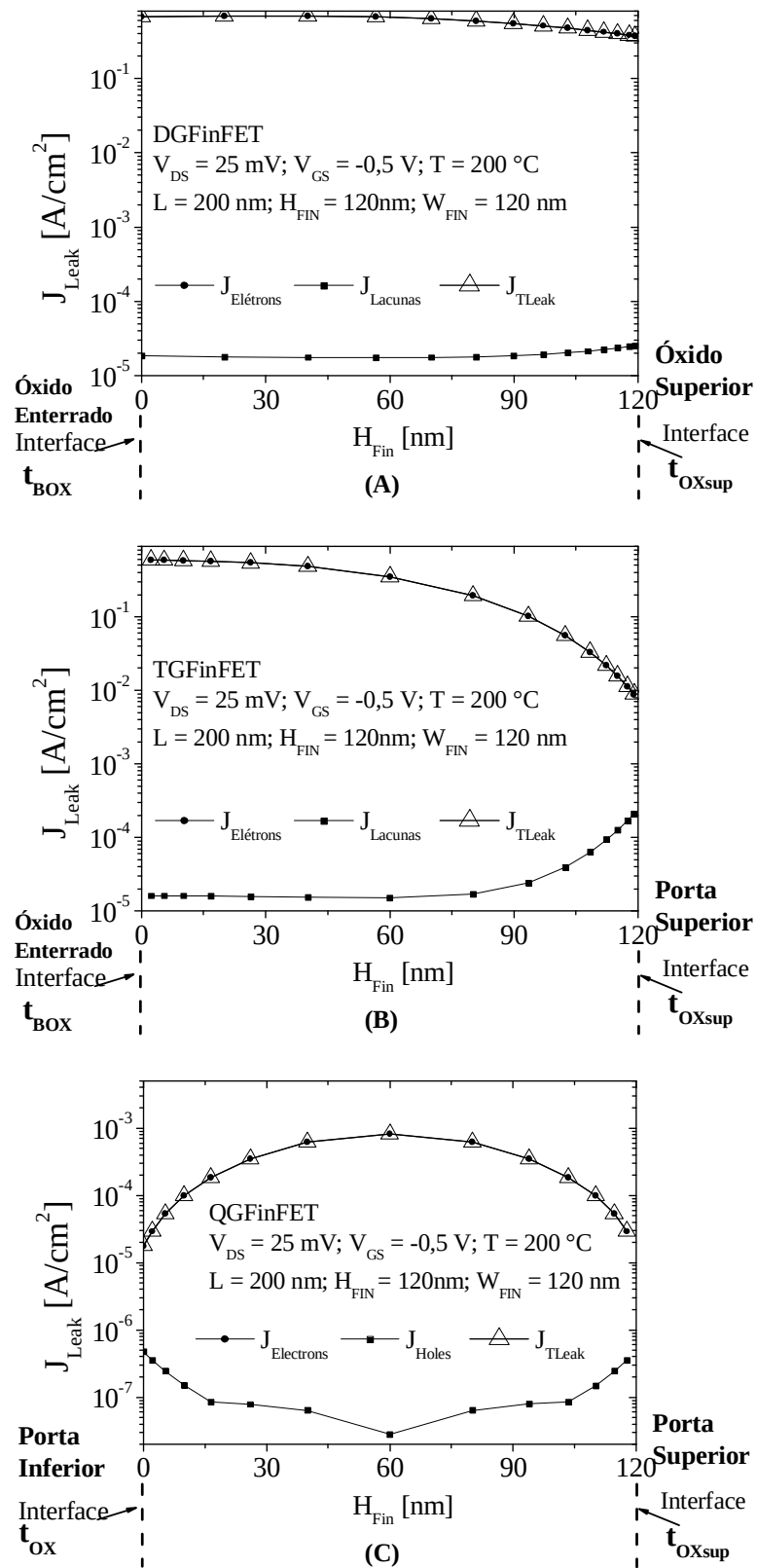


Figura 5.28. Distribuição de J_{TLeak} , $J_{Lacunas}$ e $J_{Elétrons}$ em H_{FIN} para dispositivos com $L = 200 \text{ nm}$ e $W_{FIN} = 120 \text{ nm}$, DGFinFET com $H_{FIN} = 150 \text{ nm}$ (A), TGFinFET com $H_{FIN} = 150 \text{ nm}$ (B), QGFinFET com $H_{FIN} = 120 \text{ nm}$ (C), operando em 200°C .

5.2.3 Densidade de corrente de fuga na região mediana do canal

Na figura 5.29 é mostrado o plano de corte com a distribuição de J_{TLeak} no volume do silício do canal para os dispositivos DGFinFET, TGFinFET e QGFinFET, com $L = 1 \mu m$ e operando na temperatura de $300^\circ C$.

Observa-se que para o DGFinFET mostrado na figura 5.29 (A), J_{TLeak} está concentrada principalmente na região mediana da estrutura e que nas imediações das portas laterais J_{TLeak} tende a reduzir. Nota-se ainda que uma parte da densidade de corrente tende a circular nas regiões de óxido.

Pode-se observar que a ação da porta superior nos dispositivos TGFinFET, figura 5.29(B), contribui para a redução de J_{TLeak} nas imediações desta porta, fazendo com que a maior parcela da densidade de corrente seja então levemente deslocada da região mediana do filme de silício em direção ao óxido enterrado. Existe uma maior acumulação de lacunas nas imediações da porta superior, contribuindo para a redução de elétrons e por consequência a redução da corrente de fuga.

Analisando-se a figura 5.29 (C) para um QGFinFET, nota-se que nas imediações de todas as portas presentes na estrutura (laterais, superior e inferior), existe uma redução de J_{TLeak} . Estas portas contribuem para um melhor controle das cargas presentes na região do canal, acumulando maiores quantidade de lacunas e reduzindo a quantidade de elétrons. Como pode ser visto, as quatro portas deste dispositivo confinam J_{TLeak} na região mediana do canal e influenciam de forma mais significativa na redução de I_{DLeak} .

A distribuição destas densidades apresentadas na figura 5.29, foram encontradas de forma similar em todos os dispositivos DGFinFET, TGFinFET e QGFinFET avaliados neste trabalho, quando submetidos às altas temperaturas.

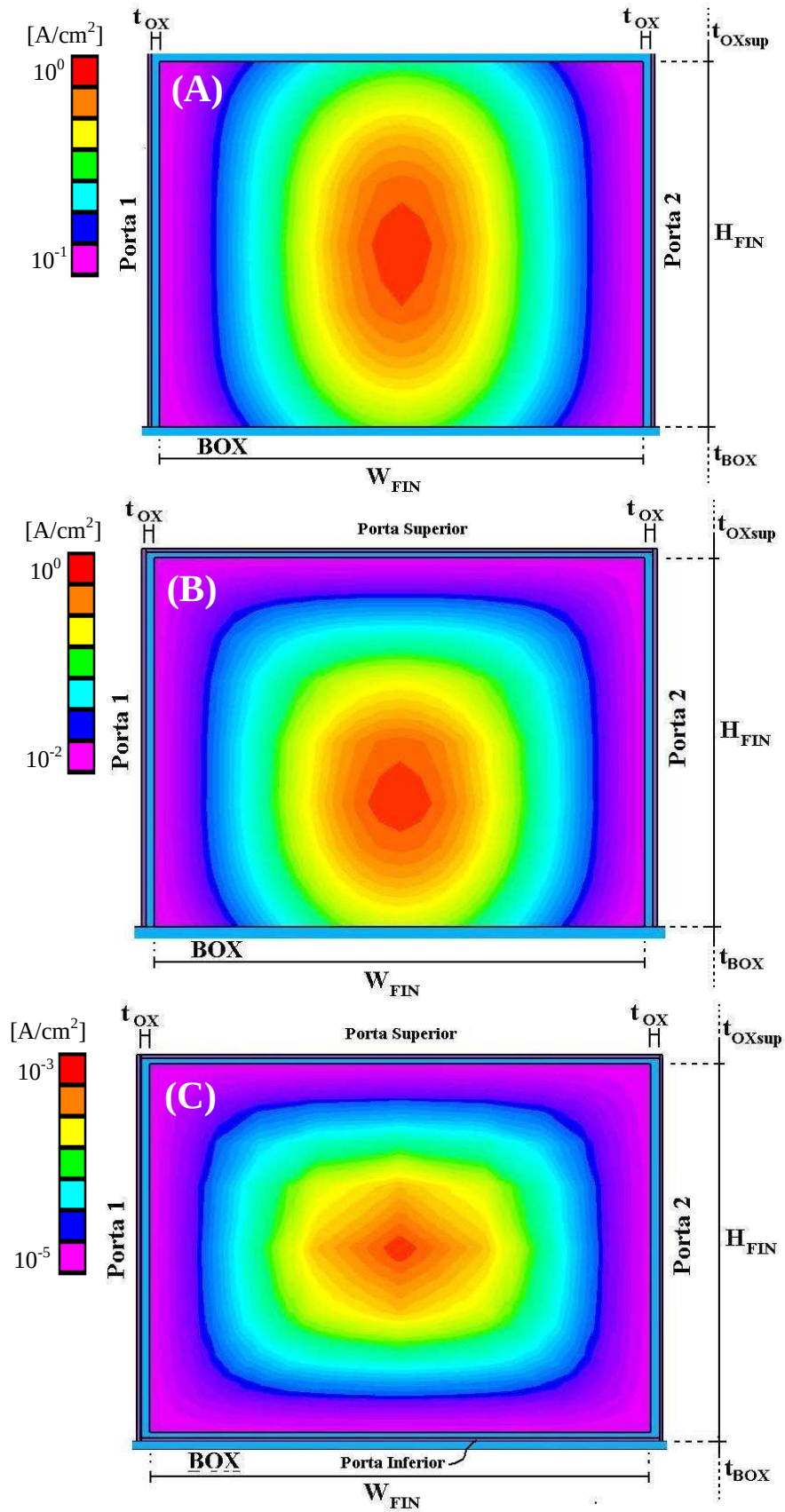


Figura 5.29. Distribuição de J_{TLeak} no volume de silício do canal para dispositivos DGFinFET (A), TGFinFET (B) e QGFinFET (C), operando em 300 °C.

6 CONCLUSÕES

Neste estudo foi avaliado o comportamento da corrente de fuga do dreno (I_{DLeak}) e de sua composição em dispositivos SOI DGFinFET, TGFinFET e QGFinFET operando desde a temperatura ambiente (27 °C) até 300°C.

Foram realizadas simulações numéricas tridimensionais para auxiliar o entendimento do comportamento de I_{DLeak} , de suas densidades e distribuições em dispositivos de múltiplas portas (MuGFET), em função das variações do comprimento de canal (L), da altura (H_{FIN}) e da largura (W_{FIN}) e em função da variação da temperatura. Conforme esperado, foi observado que a corrente de fuga do dreno é altamente dependente da temperatura, tornando-se maior à medida que a temperatura de operação dos dispositivos aumenta.

Os resultados mostraram que a redução do comprimento de canal destes dispositivos provoca um aumento substancial na intensidade de I_{DLeak} , tornando-se ainda maiores quando estes dispositivos estiverem submetidos às temperaturas elevadas (10^{-10} à 10^{-6} A), independente das configurações de porta avaliadas.

Quando variada as dimensões geométricas correspondentes a H_{FIN} e W_{FIN} dos MuGFETs foi possível verificar que o aumento do valor de um destes parâmetros acarreta no aumento das área de junções, e por consequência um incremento em I_{DLeak} (10^{-20} à 10^{-10} A).

Também foi observado que J_{TLeak} no filme de silício é dada pela somatória de $J_{Lacunas}$ e $J_{Elétrons}$ e de acordo com os resultados obtidos nas condições impostas, I_{DLeak} é composta majoritariamente por elétrons em praticamente toda a faixa de temperatura e para todos os tipos de dispositivos avaliados neste trabalho.

Quando comparados os dispositivos DGFinFET, TGFinFET e QGFinFET nas mesmas condições de temperatura, de polarização e com mesmas dimensões geométricas, os resultados obtidos mostraram que I_{DLeak} assume maiores valores em dispositivos de duas portas, sendo menor em dispositivos de três portas devido a ação da porta superior e ainda menores ainda em dispositivos de quatro portas no qual as portas superior e inferior contribuem de forma mais intensa para o controle do canal do dispositivo.

Analisando-se os resultados obtidos neste trabalho é possível sugerir como trabalhos futuros a variação da concentração de dopantes na região do canal e a investigação de I_{DLeak} em dispositivos com L abaixo de 100 nm. Outro ponto que poderá gerar resultados

interessantes é a variação da polarização do substrato, que dependendo de seu valor poderá influenciar na composição de I_{DLeak} , bem como na sua distribuição e intensidade quando submetidos às altas temperaturas.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] COLINGE, J. P. **FinFETs and Other Multi-Gate Transistors**, Cambridge: Springer, 2007.
- [2] BELLODI, M. ; MARTINO, J. A. Study of the drain leakage current carriers in silicon-on-insulator MOSFETs at high temperatures. *Solid-State Electronics*, v. 45, p. 683-688, 2001.
- [3] BELLODI M. Estudo das Componentes e Modelagem das Correntes de Fuga em Dispositivos SOI MOSFETs Operando em Altas Temperaturas. São Paulo – Brasil, 2001. Tese de Doutorado – Universidade de São Paulo.
- [4] GOEL, A.K.; TAN T.H. High-temperature and self-heating effects in fully depleted SOI MOSFETs. *Microelectronics Journal* 37, p. 963–975, 2006.
- [5] COLINGE, J. P. **Silicon-On-Insulator Technology: Materials to VLSI**, 3. ed. Boston: Kluwer Academic Publishers, 2004.
- [6] TAKAVASU, S.; MATSUZAWA, A.; DOUSEKI, T. **Fully-Depleted SOI CMOS Circuits and Technology for ultralow-Power Applications**, Netherlands: Springer, 2006.
- [7] COLINGE, J.P. : Multi-gate MOSFETs. *Microelectronic Engineering*, v.84, p. 2071-2076, 2007.
- [8] LEE, C.W.; YUN S.R.N.; YU, C.G.; PARK, J.T.; COLINGE, J.P. Device Design guidelines for nano-scale MuGFETs. *Solid-State Electronics*, v. 51, p. 505-510, 2007.
- [9] KILCHYTSKA, V.; COLLAERT, N.; JURCZAK, M.; FLANDRE, D. : Specific features of multiple-gate MOSFET threshold voltage and subthreshold slope behavior at high temperatures. *Solid-State Electronics*, v. 51, p. 1185-1193, 2007.
- [10] COLLAERT, N.; KEERSGIETER, A. ; DIXIT, A.; FERAIN, I.; LAI , L.-S.; LENOBLE , D.; MERCHA, A.; NACKAERTS , A.; PAWLAK , B.J.; ROOYACKERS, R.; SCHULZ, T. ; SAN, K.T.; SON, N.J. ; VAN DAL, M.J.H.; VERHEYEN, P. ; VON ARNIM, K.; WITTERS, L.; DE MEYER, K.; BIESEMANS, S. ; JURCZAK, M. : Multi-gate devices for the 32 nm technology node and beyond. *Solid-State Electronics*, v. 52, p. 1291-1296, 2008.
- [11] TSORMPATZOGLOU, A.; DIMITRIADIS, C.A.; MOUIS, M.; GHIBAUDO, G.; COLLAERT, N. : Experimental characterization of the subthreshold leakage current in triple-gate FinFETs. *Solid-State Electronics*, v. 53, p. 359-363, 2009.
- [12] INIGUEZ, B.; RASKIN, JP.; SIMON, P; FLANDRE, D.; SEGURA, J.; A review of leakage current in SOI CMOS ICs: impact on parametric testing techniques. *Solid-State Electronics* 47, p.1959–1967, 2003.

- [13] GALETI, M.; PAVANELLO, M.A.; MARTINO J.A. Evaluation of graded-channel SOI MOSFET operation at high temperatures. *Microelectronics Journal* 37, p.601–607, 2006.
- [14] ATLAS Device Simulation User's Manual, v. 5.10.0.R, Silvaco International, Santa Clara , CA USA -2005.
- [15] SHIMURA, T.; HOSOI, T.; UMENO, M. Characterization of SOI wafers by X-ray CTR scattering. *Journal of Crystal Growth* 210, p.98-101,2003
- [16] NOWOROLSKI, J.M; KLAASSEN, E. ; LOGAN, J.; PETERSEN, K.; MALUF, N. Fabrication of SOI wafers with buried cavities using silicon fusion bonding and electrochemical etchback. *Sensors and Actuators A* 54, p.709-713, 1996.
- [17] Chenga, X.; Lina, Z. ; Wanga, Y.; Zhanga, F.; Zoua, S.; Luob, E.; Wilsonb, I.H. A study of Si epitaxial layer growth onSOI wafers prepared by SIMOX Vacuum 75, p. 25–32, 2004.
- [18] MARTINO, J. A.; PAVANELLO, M. A.; VERDONOCK, P. B. **Caracterização Elétrica e Dispositivos MOS**, São Paulo: Pioneira Thomson Learning, 2003.
- [19] GENTINNE ,B.; EGGERMONT, J.-P.; FLANDRE, D.; COLINGE, J.-P. Fully depleted SOI-CMOS technology for high temperature IC applications. *Materials Science and Engineering* 46, p. 1-7, 1997.
- [20] International Technology Roadmap for Semiconductor 2007 ed. <<http://public.itrs.net>>.
- [21] NAWAZA, M.; MOLZERA,W.; DECKERA, S.; GILESA, L.; SCHULZ, T. On the device design assessment of multigate FETs (MuGFETs) using full process and device simulation with 3D TCAD. *Microelectronics Journal* 38, p. 1238–1251, 2007.
- [22] CHUNG, T.M.; OLBRECHTS, B.; SODERVALL, U.; BENGTSSON, S.; FLANDRE, D.; RASKIN, J.P. : Planar double-gate SOI MOS devices: Fabrication by wafer bonding over pre-patterned cavities and electrical characterization. *Solid-State Electronics*, v.51, p. 231-238, 2007.
- [23] CHIANG, T.K.; A new scaling theory for fully-depleted SOI double-gate MOSFET_s: including effective conducting path effect (ECPE). *Solid-State Electronics* 49, p. 317–322, 2005.
- [24] RITZENTHALER, R.; CRISTOLOVEANU, S.; FAYNOT, O.; JAHAN, C.; KURIYAMA, A.; BREVARD, L.; DELEONIBUS, S. : Lateral coupling and immunity to substrate effect in Ω FET devices. *Solid-State Electronics*, v.50, p. 558-565, 2006.
- [25] AKARVARDAR , K.; CRISTOLOVEANU , S.; BAWEDIN, M.; GENTIL, P.; BLALOCK, B.J.; FLANDRE, D. Thin film fully-depleted SOI four-gate transistors. *Solid-State Electronics* 51, p. 278–284, 2007.

- [26] ANDRADE, M.G.C.; MARTINO, J.A. Threshold voltages of SOI MuGFETs. *Solid-State Electronics* 52, p.1877–1883, 2008.
- [27] POIROUX, T.; VINET, M.; FAYNOT, O.; WIDIEZ1, J.; LOLIVIER, J.; ERNST, T.; PREVITALI, B.; DELEONIBUS, S. Multiple gate devices advantages and challenges. *Microelectronic Engineering*, v.80, p. 378-385, 2005.
- [28] BALESTRA, F.; NAZAROV, A.; LYSENKO, V.S.; **Progress in SOI Structures and Devices Operating at Extreme Conditions**, Boston: Kluwer Academic Publishers, 2002, p 131-135.
- [29] TANAKA, S. Theory of Drain Leakage current in silicon MOSFETs. *Solid-State Electronics* 38, p. 683-491, 1995
- [30] SEDRA, A. S. ; SMITH, K. C. **Microeletrônica**, 4ª edição, São Paulo, Makron books, 2000.
- [31] COLINGE, J.P.; COLINGE, C.A. **Physics of Semiconductor Devices**, Kluwer Academic Publishers, Massachusetts, 2002.
- [32] SZE, S. M.; **Physics of Semiconductor Devices**, 2ª edição, Nova York, John Wiley&Sons,1981.
- [33] STREETMAN B.G.; BANERJEE S. **Solid State Electronic Device**, Prentice Hall 5thEdition, 2000.
- [34] GIROLDO, J.Jr.; BELLODI, M. ; Evaluation of the drain leakage current behavior in double gate FinFETs, 9th Microelectronics Student Forum, SFORUM 2009, Natal, Setembro, 2009.
- [35] GIROLDO, J.Jr.; BELLODI, M.; Drain Leakage Current in MuGFETs at high temperature, 217th ECS Transactions 28 (4), p.119-129, 2010.

APÊNDICE 1

Arquivo para simulação numérica de um DGFinFET com $L = 200\text{nm}$ operando à temperatura de 300°C .

```
#####
#####
#Temperatura 300°C
go atlas
TITLE SOI Multiplas Portas
#####
# Dispositivo SOI FinFET de Duas portas (DGFinFET) #
# Comportamento elétrico em função da Temperatura #
# L=200nm; Ld=Ls=100nm ; Wfin=120nm ; Hfin=150nm #
# Toxlat=2nm ; Toxsup=100nm ; Box=145nm ; Eletrodos=1nm #
# Concentração = Dreno/Fonte=1e20 | Canal=1e15 #
# Vds=25mV | Vg= -0,5 à 1,2V | Temperatura= 27 à 300°C #
#####
#####
# definição do modo da grade
mesh three.d space.mult=1.0
#####
# grade no sentido x - largura
x.mesh loc=-0.068 spac=0.005
x.mesh loc=-0.063 spac=0.001
x.mesh loc=-0.060 spac=0.002
x.mesh loc= 0.000 spac=0.02
x.mesh loc= 0.060 spac=0.002
x.mesh loc= 0.063 spac=0.001
x.mesh loc= 0.068 spac=0.005
#####
# grade no sentido y - altura
y.mesh loc=-0.251 spac=0.001
y.mesh loc=-0.250 spac=0.002
y.mesh loc=-0.200 spac=0.05
y.mesh loc=-0.150 spac=0.002
y.mesh loc=-0.075 spac=0.02
y.mesh loc=0.000 spac=0.002
y.mesh loc=0.071 spac=0.07
y.mesh loc=0.145 spac=0.002
y.mesh loc=0.146 spac=0.001
#####
# grade no sentido z - comprimento
z.mesh loc=-0.201 spac=0.002
z.mesh loc=-0.200 spac=0.002
z.mesh loc=-0.150 spac=0.05
z.mesh loc=-0.100 spac=0.001
z.mesh loc=0.000 spac=0.025
z.mesh loc=0.100 spac=0.001
```

```

z.mesh loc=0.150 spac=0.05
z.mesh loc=0.200 spac=0.002
z.mesh loc=0.201 spac=0.002
#####
#####
# DEFINIÇÃO DAS REGIÕES
# Box - oxido enterrado
region num=1 x.min=-0.068 x.max=0.068 y.min=0.0 y.max=0.146 z.min=-0.201
z.max=0.201 oxide
# tox - oxido de porta
region num=2 x.min=-0.062 x.max=0.062 y.min=-0.250 y.max=0.000 z.min=-0.100
z.max=0.100 oxide
# canal - região de canal
region num=3 x.min=-0.060 x.max=0.060 y.min=-0.150 y.max=0.000 z.min=-0.100
z.max=0.100 silicon
# fonte - região de fonte
region num=4 x.min=-0.060 x.max=0.060 y.min=-0.150 y.max=0.000 z.min=-0.200
z.max=-0.100 silicon
# dreno - região de dreno
region num=5 x.min=-0.060 x.max=0.060 y.min=-0.150 y.max=0.000 z.min=0.100
z.max=0.200 silicon
#####
#####
# DEFINIÇÃO DE ELETRODOS
# eletrodos de porta (1,2,3)
electrode name=ContPorta x.min=-0.062 x.max=0.062 y.min=-0.251 y.max=-0.250
z.min=-0.100 z.max=0.100
electrode name=ContPorta2 x.min=0.062 x.max=0.063 y.min=-0.251 y.max=0.000
z.min=-0.100 z.max=0.100
electrode name=ContPorta3 x.min=-0.063 x.max=-0.062 y.min=-0.251
y.max=0.000 z.min=-0.100 z.max=0.100
# eletrodos de fonte (4)
electrode name=ContFonte x.min=-0.060 x.max=0.060 y.min=-0.150 y.max=0.000
z.min=-0.201 z.max=-0.200
# eletrodos de dreno (5)
electrode name=ContDreno x.min=-0.060 x.max=0.060 y.min=-0.150 y.max=0.000
z.min=0.200 z.max=0.201
# eletrodos de substrato (6)
electrode name=ContSub x.min=-0.068 x.max=0.068 y.min=0.145 y.max=0.146
z.min=-0.201 z.max=0.201
#####
#
#####
#
# DOPAGEM DAS REGIÕES
doping      uniform conc=1e15 p.type  reg=3
doping      uniform conc=1e20 n.type  reg=4
doping      uniform conc=1e20 n.type  reg=5
#####
#

```

```
#####
#
# SALVAR ESTRUTURA INICIAL
structure outf=DG_200nm_573.str

#####
#
#####
#
# DEFINIÇÃO DE CONTATO
contact name=ContPorta workfunc=4.57
contact name=ContPorta2 workfunc=4.57 common=ContPorta
contact name=ContPorta3 workfunc=4.57 common=ContPorta
contact name=ContSub workfunc=4.95
#####
#
#####
#
# MODELOS
models kla srh auger bgn cvt print temp=573
method gummel newton autonr bicgst trap maxtrap=10 carriers=2
#####
#
#####
#
# Contatos:
#
# ContSub=6, ContDreno=5, ContFonte=4, ContPorta=1
#
#####
#
#####
#
# Polarização inicial
solve init
solve prev
solve v1=0
solve v4=0
solve v5=0
solve v6=0
#####
#
#####
#
# Polarização de Dreno
solve v5=1e-4
solve v5=1e-3
solve v5=2e-3
solve v5=3e-3
solve v5=4e-3
solve v5=5e-3
```

```

solve v5=6e-3
solve v5=7e-3
solve v5=8e-3
solve v5=9e-3
solve v5=10e-3
solve v5=15e-3
solve v5=20e-3
solve v5=25e-3
#####
#
#####
#
# Polarização de Porta
solve v1=-1e-4
solve v1=-0.5e-3
solve v1=-1e-3
solve v1=-5e-3
solve v1=-10e-3
solve v1=-50e-3
solve v1=-100e-3
solve v1=-200e-3
solve v1=-250e-3
solve v1=-300e-3
solve v1=-350e-3
solve v1=-400e-3
solve v1=-450e-3
solve v1=-500e-3
#####
#
#####
#
# Salvando pontos de solução para extração de IDleak
save outf=DG_200nm_573_Idleak.str
#####
#
#####
#
#Iniciando arquivo de resultados
log outf=idvg_DG_200nm_573.log
#####
#
# Subindo a Curva IDS x VGS
solve v1=-1 vstep=0.01 vfinal=1.2 name=ContPorta
#####
#
#####
quit

```

APÊNDICE 2

Arquivo para simulação numérica de um TGFinFET com $L = 1 \mu\text{m}$ operando à temperatura de 100°C .

```
#####
#####
#Temperatura 100°C
go atlas
TITLE SOI Multiplas Portas
#####
# Dispositivo SOI FinFET de Três portas (TGFinFET) #
# Comportamento elétrico em função da Temperatura #
# L=1um; Ld=Ls=100nm ; Wfin=120nm ; Hfin=150nm #
# Toxlat=2nm ; Toxsup=2nm ; Box=145nm ; Eletrodos=1nm #
# Concentração = Dreno/Fonte=1e20 | Canal=1e15 #
# Vds=25mV | Vg= -0,5 à 1,2V | Temperatura= 27 à 300°C #
#####
#####
# definição do modo da grade
mesh three.d space.mult=1.0
#####
# grade no sentido x - largura
x.mesh loc=-0.068 spac=0.005
x.mesh loc=-0.063 spac=0.001
x.mesh loc=-0.060 spac=0.002
x.mesh loc= 0.000 spac=0.02
x.mesh loc= 0.060 spac=0.002
x.mesh loc= 0.063 spac=0.001
x.mesh loc= 0.068 spac=0.005
#####
# grade no sentido y - altura
y.mesh loc=-0.153 spac=0.002
y.mesh loc=-0.152 spac=0.002
y.mesh loc=-0.150 spac=0.002
y.mesh loc=-0.075 spac=0.02
y.mesh loc=0.000 spac=0.002
y.mesh loc=0.071 spac=0.07
y.mesh loc=0.145 spac=0.002
y.mesh loc=0.146 spac=0.001
#####
# grade no sentido z - comprimento
z.mesh loc=-0.601 spac=0.002
z.mesh loc=-0.600 spac=0.002
z.mesh loc=-0.550 spac=0.05
z.mesh loc=-0.500 spac=0.001
z.mesh loc=0.000 spac=0.08
z.mesh loc=0.500 spac=0.001
z.mesh loc=0.550 spac=0.05
```

```

z.mesh loc=0.600 spac=0.002
z.mesh loc=0.601 spac=0.002
#####
#####
# DEFINIÇÃO DAS REGIÕES
# Box - oxido enterrado
region num=1 x.min=-0.068 x.max=0.068 y.min=0.0 y.max=0.146 z.min=-0.601
z.max=0.601 oxide
# tox - oxido de porta
region num=2 x.min=-0.062 x.max=0.062 y.min=-0.152 y.max=0.000 z.min=-0.500
z.max=0.500 oxide
# canal - região de canal
region num=3 x.min=-0.060 x.max=0.060 y.min=-0.150 y.max=0.000 z.min=-0.500
z.max=0.500 silicon
# fonte - região de fonte
region num=4 x.min=-0.060 x.max=0.060 y.min=-0.150 y.max=0.000 z.min=-0.600
z.max=-0.500 silicon
# dreno - região de dreno
region num=5 x.min=-0.060 x.max=0.060 y.min=-0.150 y.max=0.000 z.min=0.500
z.max=0.600 silicon
#####
#####
# DEFINIÇÃO DE ELETRODOS
# eletrodos de porta (1,2,3)
electrode name=ContPorta x.min=-0.062 x.max=0.062 y.min=-0.153 y.max=-0.152
z.min=-0.500 z.max=0.500
electrode name=ContPorta2 x.min=0.062 x.max=0.063 y.min=-0.153 y.max=0.000
z.min=-0.500 z.max=0.500
electrode name=ContPorta3 x.min=-0.063 x.max=-0.062 y.min=-0.153
y.max=0.000 z.min=-0.500 z.max=0.500
# eletrodos de fonte (4)
electrode name=ContFonte x.min=-0.060 x.max=0.060 y.min=-0.150 y.max=0.000
z.min=-0.601 z.max=-0.600
# eletrodos de dreno (5)
electrode name=ContDreno x.min=-0.060 x.max=0.060 y.min=-0.150 y.max=0.000
z.min=0.600 z.max=0.601
# eletrodos de substrato (6)
electrode name=ContSub x.min=-0.068 x.max=0.068 y.min=0.145 y.max=0.146
z.min=-0.601 z.max=0.601
#####
#####
# DOPAGEM DAS REGIÕES
doping      uniform conc=1e15 p.type  reg=3
doping      uniform conc=1e20 n.type  reg=4
doping      uniform conc=1e20 n.type  reg=5
#####
#####
# SALVAR ESTRUTURA INICIAL
structure outf=TG_1um.str

```



```
#####
#####
# DEFINIÇÃO DE CONTATO
contact name=ContPorta workfunc=4.57
contact name=ContPorta2 workfunc=4.57 common=ContPorta
contact name=ContPorta3 workfunc=4.57 common=ContPorta
contact name=ContSub workfunc=4.95
#####
#####
# MODELOS
models kla srh auger bgn cvt   print temp=373
method gummel newton autonr bicgst trap maxtrap=10 carriers=2
#####
#####
# Contatos:
# ContSub=6, ContDreno=5, ContFonte=4, ContPorta=1
#####
#####
# Polarização inicial
solve init
solve prev
solve v1=0
solve v4=0
solve v5=0
solve v6=0
#####
#####
# Polarização de Dreno
solve v5=1e-4
solve v5=1e-3
solve v5=2e-3
solve v5=3e-3
solve v5=4e-3
solve v5=5e-3
solve v5=6e-3
solve v5=7e-3
solve v5=8e-3
solve v5=9e-3
solve v5=10e-3
solve v5=15e-3
solve v5=20e-3
solve v5=25e-3
#####
#####
# Polarização de Porta
solve v1=-1e-4
solve v1=-0.5e-3
solve v1=-1e-3
solve v1=-5e-3
solve v1=-10e-3
solve v1=-50e-3
```

```

solve v1=-100e-3
solve v1=-200e-3
solve v1=-250e-3
solve v1=-300e-3
solve v1=-350e-3
solve v1=-400e-3
solve v1=-450e-3
solve v1=-500e-3
#####
#####
# Salvando pontos de solução para extração de IDleak
save outf=TG_1um_473_Idleak.str
#####
#####
#Iniciando arquivo de resultados
log outf=idvg_TG_1um_473.log
#####
# Subindo a Curva IDS x VGS
solve v1=-1 vstep=0.01 vfinal=1.2 name=ContPorta
#####
#####
quit

```

APÊNDICE 3

Arquivo para simulação numérica de um TGFinFET com $L = 200$ nm operando à temperatura de 27°C .

```
#####
#####
#Temperatura 27°C
#####
go atlas
TITLE SOI Multiplas Portas
#####
# Dispositivo SOI FinFET de Porta Quadrupla(QGFinFET)      #
# Comportamento elétrico em função da Temperatura          #
# L=200nm; Ld=Ls=100nm ; Wfin=120nm ; Hfin=120nm            #
# Toxlat=2nm ; Toxsup=2nm ; Box=145nm ; Eletrodos=1nm      #
# Concentração = Dreno/Fonte=1e20 | Canal=1e15              #
# Vds=25mV | Vg= -0,5 à 1,2V | Temperatura= 27 °C          #
#####
# definição do modo da grade
mesh three.d space.mult=1.0
#####
# grade no sentido x - largura
x.mesh loc=-0.068 spac=0.005
x.mesh loc=-0.064 spac=0.005
x.mesh loc=-0.063 spac=0.001
x.mesh loc=-0.060 spac=0.002
x.mesh loc= 0.000 spac=0.02
x.mesh loc= 0.060 spac=0.002
x.mesh loc= 0.063 spac=0.001
x.mesh loc= 0.064 spac=0.005
x.mesh loc= 0.068 spac=0.005
#####
# grade no sentido y - altura
y.mesh loc=-0.126 spac=0.001
y.mesh loc=-0.125 spac=0.001
y.mesh loc=-0.123 spac=0.002
y.mesh loc=-0.063 spac=0.02
y.mesh loc=-0.003 spac=0.002
y.mesh loc=-0.001 spac=0.001
y.mesh loc=0.000 spac=0.01
y.mesh loc=0.005 spac=0.05
y.mesh loc=0.143 spac=0.05
y.mesh loc=0.145 spac=0.001
y.mesh loc=0.146 spac=0.001
#####
# grade no sentido z - comprimento
z.mesh loc=-0.201 spac=0.001
z.mesh loc=-0.200 spac=0.05
z.mesh loc=-0.100 spac=0.005
```

```

z.mesh loc=0.000 spac=0.030
z.mesh loc=0.100 spac=0.005
z.mesh loc=0.200 spac=0.05
z.mesh loc=0.201 spac=0.001
#####
# DEFINIÇÃO DAS REGIÕES
# Box - oxido enterrado
region num=1 x.min=-0.068 x.max=0.068 y.min=0.0 y.max=0.146 z.min=-0.201
z.max=0.201 oxide
# tox - oxido de porta
region num=2 x.min=-0.062 x.max=0.062 y.min=-0.125 y.max=-0.001 z.min=-
0.100 z.max=0.100 oxide
# canal - região de canal
region num=3 x.min=-0.060 x.max=0.060 y.min=-0.123 y.max=-0.003 z.min=-
0.100 z.max=0.100 silicon
# fonte - região de fonte
region num=4 x.min=-0.060 x.max=0.060 y.min=-0.123 y.max=-0.003 z.min=-
0.200 z.max=-0.100 silicon
# dreno - região de dreno
region num=5 x.min=-0.060 x.max=0.060 y.min=-0.123 y.max=-0.003 z.min=0.100
z.max=0.200 silicon
# Box - região de fonte
region num=6 x.min=-0.060 x.max=0.060 y.min=-0.003 y.max=-0.000 z.min=-
0.201 z.max=-0.100 oxide
# Box - região de dreno
region num=7 x.min=-0.060 x.max=0.060 y.min=-0.003 y.max=-0.000 z.min=0.100
z.max=0.201 oxide
#####
# DEFINIÇÃO DE ELETRODOS
# eletrodos de porta (1,2,3,4)
electrode name=ContPorta x.min=-0.062 x.max=0.062 y.min=-0.126 y.max=-0.125
z.min=-0.100 z.max=0.100
electrode name=ContPorta2 x.min=0.062 x.max=0.063 y.min=-0.126 y.max=0.000
z.min=-0.100 z.max=0.100
electrode name=ContPorta3 x.min=-0.063 x.max=-0.062 y.min=-0.126
y.max=0.000 z.min=-0.100 z.max=0.100
electrode name=ContPorta4 x.min=-0.062 x.max=0.062 y.min=-0.001 y.max=0.000
z.min=-0.100 z.max=0.100
# eletrodos de fonte (5)
electrode name=ContFonte x.min=-0.060 x.max=0.060 y.min=-0.123 y.max=-0.003
z.min=-0.201 z.max=-0.200
# eletrodos de dreno (6)
electrode name=ContDreno x.min=-0.060 x.max=0.060 y.min=-0.123 y.max=-0.003
z.min=0.200 z.max=0.201
# eletrodos de substrato (7)
electrode name=ContSub x.min=-0.068 x.max=0.068 y.min=0.145 y.max=0.146
z.min=-0.201 z.max=0.201
#####
# DOPAGEM DAS REGIÕES
doping          uniform conc=1e15 p.type  reg=3
doping          uniform conc=1e20 n.type  reg=4

```

```

doping      uniform conc=1e20 n.type  reg=5
#####
# SALVAR ESTRUTURA INICIAL
structure outf=QG_02_H120_W120_27.str
#####
# DEFINIÇÃO DE CONTATO
contact name=ContPorta workfunc=4.57
contact name=ContPorta2 workfunc=4.57 common=ContPorta
contact name=ContPorta3 workfunc=4.57 common=ContPorta
contact name=ContPorta4 workfunc=4.57 common=ContPorta
contact name=ContSub workfunc=4.95
#####
# MODELOS
models kla srh auger bgn cvt print temp=300
method gummel newton autonr bicgst trap maxtrap=10 carriers=2
#####
# Contatos:
# ContSub=6, ContDreno=5, ContFonte=4, ContPorta=1
#####
# Polarização inicial
solve init
solve prev
solve v1=0
solve v5=0
solve v6=0
solve v7=0
# Polarização de Dreno
solve v6=1e-3
solve v6=5e-3
solve v6=10e-3
solve v6=15e-3
solve v6=20e-3
solve v6=25e-3
# Polarização de Porta
# Curva IDS x VGS para VDS=25mV #
log outf=idvg_vd25mv_02_H120_W120_27.log
solve v1=1.2 vstep=-0.01 vfinal=-500e-3 name=ContPorta
# Salvando pontos de solução
save outf=Jtleak_02_H120_W120_27.str

```