

CENTRO UNIVERSITÁRIO FEI  
NILTON GRAZIANO JUNIOR

**ESTUDO DO EFEITO NBTI EM TRANSISTORES MOS SEM JUNÇÕES**

São Bernardo do Campo

2018

NILTON GRAZIANO JUNIOR

**ESTUDO DO EFEITO NBTI EM TRANSISTORES MOS SEM JUNÇÕES**

Dissertação de Mestrado apresentada ao Centro  
Universitário FEI, para obtenção do título de  
Mestre em Engenharia Elétrica.  
Orientado pelo Prof. Dr. Rodrigo Trevisoli  
Doria.

São Bernardo do Campo

2018

Graziano Junior, Nilton .  
ESTUDO DO EFEITO NBTI EM TRANSISTORES MOS SEM  
JUNÇÕES / Nilton Graziano Junior. São Bernardo do Campo, 2018.  
126 f.

Dissertação - Centro Universitário FEI.  
Orientador: Prof. Dr. Rodrigo Trevisoli Doria.

1. Transistores MOS. 2. Tecnologia SOI. 3. Transistores sem junções  
JNTs. 4. Degradação por efeito NBTI. I. Trevisoli Doria, Rodrigo, orient.  
II. Título.

**Aluno:** Nilton Graziano Junior

**Matrícula:** 115317-0

**Título do Trabalho:** Estudo do efeito NBTI em transistores MOS sem junções.

**Área de Concentração:** Nanoeletrônica e Circuitos Integrados

**Orientador:** Prof. Dr. Rodrigo Trevisoli Doria

**Data da realização da defesa:** 07/06/2018

**ORIGINAL ASSINADA**

**Avaliação da Banca Examinadora:**

---

---

---

---

---

São Bernardo do Campo, 07 / 06 / 2018.

**MEMBROS DA BANCA EXAMINADORA**

Prof. Dr. Rodrigo Trevisoli Doria Ass.: \_\_\_\_\_

Prof.<sup>a</sup> Dr.<sup>a</sup> Marcilei Aparecida Guazzelli da Silveira Ass.: \_\_\_\_\_

Prof.<sup>a</sup> Dr.<sup>a</sup> Sara Dereste dos Santos Perseghini Ass.: \_\_\_\_\_

A Banca Julgadora acima-assinada atribuiu ao aluno o seguinte resultado:

APROVADO

REPROVADO

**VERSÃO FINAL DA DISSERTAÇÃO**

APROVO A VERSÃO FINAL DA DISSERTAÇÃO EM QUE  
FORAM INCLUÍDAS AS RECOMENDAÇÕES DA BANCA  
EXAMINADORA

Aprovação do Coordenador do Programa de Pós-graduação

\_\_\_\_\_  
Prof. Dr. Carlos Eduardo Thomaz

Dedico este estudo especialmente aos meus pais, pois sem o incentivo deles esta etapa do meu trabalho não seria possível.

## **AGRADECIMENTOS**

Agradeço, primeiramente, ao meu orientador, Professor Dr. Rodrigo Trevisoli Doria pela dedicação, paciência e atenção que permearam nosso relacionamento durante o desenvolvimento desse projeto.

Ao corpo docente que se dedicou a suprir-me dos conhecimentos necessários para que eu estivesse à altura dos desafios.

À FEI- Fundação Educacional Inaciana Pe. Sabóia de Medeiros -, esta grande instituição, que me munuiu de todas as ferramentas necessárias para meu crescimento.

A minha esposa, Gimena Daniele Carvalho, que com suas críticas, conselhos e apoio, permitiu que esse trabalho se apresentasse de forma condizente com a qualidade pretendida pelo autor.

Agradeço, novamente, a meus pais que a cada momento estiveram a meu lado.

## RESUMO

No presente trabalho, a degradação por efeito NBTI (*Negative Bias Temperature Instability*) foi analisada em transistores MOS sem junções (JNTs) com canal tipo P. O efeito NBTI incide sobre a confiabilidade dos dispositivos, especialmente para comprimentos de canal nanométricos. Este efeito está associado à degradação do dielétrico de porta dos dispositivos ao longo do tempo devido à presença de armadilhas de interface, sendo responsável por uma degradação da corrente ( $I_D$ ) e tensão de limiar ( $V_{TH}$ ) dos dispositivos. Os transistores JNTs são dopados com o mesmo tipo de dopante no canal, fonte e dreno, fato este que redundava em vantagens como o menor efeito de canal curto e beneficia o maior escalamento em relação a outras estruturas<sup>1</sup>. Os dispositivos JNTs possuem a maior parte da carga fluindo pelo interior do canal, além de apresentarem menor campo elétrico na região de canal. Portanto, observa-se que tais dispositivos estão menos sujeitos às armadilhas de interface. Assim, ao longo deste trabalho, objetivou-se verificar se estas características fazem com que transistores produzidos nessa tecnologia sejam menos suscetíveis à degradação por efeito NBTI. Para tal, foram simulados dispositivos JNTs com concentração de dopantes de  $5 \times 10^{18} \text{ cm}^{-3}$  e  $1 \times 10^{19} \text{ cm}^{-3}$  e diferentes comprimentos de canal entre 20 nm e 100 nm. Para fins comparativos, usamos transistores FinFET (FD-SOI) como referência, pois já possuem uma grande gama de estudos. Todos os dispositivos foram submetidos a duas tensões de dreno diferentes, -0,05 V e -0,9 V. A princípio, as simulações tiveram por objetivo a obtenção dos valores da tensão de limiar para cada dispositivo estudado. Depois, com os valores das tensões de limiar calculados, foi obtida a degradação da tensão de limiar dos dispositivos devido ao NBTI. A análise descrita acima foi repetida em dispositivos JNTs experimentais e o comportamento destes foi comparado com os simulados. Pôde-se concluir que a degradação por efeito NBTI em transistores JNT é inferior à obtida em transistores modo inversão de dimensões similares. Em dispositivo JNTs com concentração de dopantes de  $1 \times 10^{19} \text{ cm}^{-3}$  a variação média da tensão de limiar foi de 0,04 V, enquanto que FinFETs apresentaram uma degradação da ordem de 0,06 V. Observou-se, outrossim, que a degradação por efeito NBTI em dispositivos JNTs é inversamente proporcional ao comprimento de canal, à concentração de dopantes e à tensão de dreno.

Palavras-chave: Transistores MOS. Tecnologia SOI. Transistores sem junções JNTs. Degradação por NBTI.

## ABSTRACT

In this work, the Negative Bias Temperature Instability (NBTI) degradation was evaluated for p-type channel MOS junctionless nanowire transistors (JNTs). The NBTI effect focuses on the reliability of the devices, especially for nanometric channel lengths. This effect is associated to the degradation of the gate dielectric of the devices along the time due to the presence of interface traps and is responsible for the degradation of the drain current and threshold voltage of the transistors. The JNTs are doped with the same type of dopant, for the channel, source and drain, which results in advantages such as the smaller short-channel effect, allowing for a greater miniaturization in relation to other structures<sup>1</sup>. JNTs present most of the charge, flowing through the interior of the channel instead of the interfaces, besides presenting a lower electric field in the channel region. Therefore, it is less susceptible to interface traps. So that, this work aimed to verify if these features make transistors produced in this technology less susceptible to NBTI degradation. For that, JNTs with channel doping concentrations of  $5 \times 10^{18} \text{ cm}^{-3}$ ,  $1 \times 10^{19} \text{ cm}^{-3}$  with different channel lengths from 20 nm up to 100 nm were simulated. For comparative purposes, we have used FinFET transistors as reference, since these devices already have a wide range of studies available in literature. All the devices were subjected to two different drain voltages, -0.05 V and -0.9 V. Initially, the simulations had the objective of obtaining the threshold voltage values for each device. Then, with the values of the threshold voltages calculated, the degradation of the threshold voltage due to the NBTI was extracted. The same analysis was repeated for experimental devices and their behavior were compared to the simulated one. It was possible to conclude that the degradation by NBTI effect in JNT transistors is inferior to that obtained in inversion mode transistors of similar dimensions. In JNTs with channel doping concentration of  $1 \times 10^{19} \text{ cm}^{-3}$  the mean degradation due to the NBTI was in the order of 0.04 V whereas FinFETs presented a mean threshold voltage variation of about 0.06 V. It was also observed that the degradation by NBTI effect in JNTs devices is inversely proportional to the channel length and directly proportional to the channel doping concentration and the drain voltage.

Keywords: MOS Transistors. SOI Technology. Junctionless Transistors JNTs. NBTI degradation.

## LISTA DE FIGURAS

Figura 1 –Dispositivos SOI.....	24
Figura 2 - Transistor SOI.....	26
Figura 3 – Transistor modo acumulação $V_{GS} < V_{TH}$ Canal em depleção, não há condução.....	28
Figura 4 – Transistor modo acumulação $V_{FB} > V_{GS} > V_{TH}$ Formação de um canal de condução.....	28
Figura 5 – Regime de trabalho do transistor modo acumulação.....	29
Figura 6 – Transistor XMOS.....	30
Figura 7 - Transistor Delta.....	31
Figura 8 - Estruturas não planares: Porta $\Pi$ e Porta $\Omega$ .....	31
Figura 9 - Estruturas planar de um dispositivo JNTs.....	33
Figura 10 – Distribuição das cargas dos dispositivos JNTs.....	34
Figura 11 – Curva característica $I_{DS} \times V_{GS}$ .....	37
Figura 12 - Inclinação de Sublimiar.....	40
Figura 13 – Curvas $I_{DS} \times V_{DS}$ e a extração da tensão de Early.....	41
Figura 14 – Efeito de canal curto.....	43
Figura 15 – Efeito DIBL para dispositivos de canal curto.....	44
Figura 16 – Efeito <i>Pinch-off</i> no canal do dispositivo.....	45
Figura 17 - Implantação do LDD ( <i>Lightly Doped Drain</i> ).....	46
Figura 18 – Efeito TDDDB ( <i>Time-dependent dielectric breakdown</i> ).....	47
Figure 19 - <i>Charge pumping</i> , com sinal aplicado ao contato de porta.....	49
Figura 20 - Mecanismo de geração de armadilhas de interface Dit.....	51
Figura 21 - Modelo de difusão do hidrogênio.....	52
Figura 22 - Interface $SiO_2$ e $SiO_2/Si$ .....	53
Figura 23– Dispositivo JNTs planar de porta simples.....	58
Figura 24 – Corrente de dreno pelo tempo para dispositivos JNTs, planar com porta simples, com comprimento de canal de 20 nm e tensão de dreno de -0,05 V.....	58
Figura 25 – Dispositivo JNTs porta tripla.....	59
Figura 26 - Corrente de dreno em função da tensão de porta para dispositivos JNTs com dopagem de canal de $5 \times 10^{18} \text{ cm}^{-3}$ e tensão de dreno de -0,05 V.....	60

Figura 27 - Corrente de dreno em função da tensão de porta para dispositivos JNTs com de canal de $5 \times 10^{18} \text{ cm}^{-3}$ e tensão de dreno de -0,9 V.....	61
Figura 28 - Corrente de dreno em função da tensão de porta para dispositivos JNTs com dopagem de canal de $1 \times 10^{19} \text{ cm}^{-3}$ e tensão de dreno de -0,05 V.....	61
Figura 29 - Corrente de dreno em função da tensão de porta para dispositivos JNTs com dopagem de canal de $1 \times 10^{18} \text{ cm}^{-3}$ e tensão de dreno de -0,9 V.....	62
Figura 30 - Corrente de dreno em função da tensão de porta para dispositivos FinFET com tensão de dreno de -0,05 V.....	62
Figura 31 - Corrente de dreno pela tensão de porta para dispositivos FinFET com tensão de dreno de -0,9 V.....	63
Figura 32 – Função da transcondutância sobre a corrente de dreno.....	64
Figura 33- Tensão de limiar pelo comprimento de canal para tensão de dreno de - 0,05 V.....	65
Figura 34- Tensão de limiar pelo comprimento de canal para tensão de dreno de -0,9 V.....	66
Figura 35 – Normalização por $V_G - V_{TH}$ para dispositivos JNTs com $N_A$ de $5 \times 10^{18} \text{ cm}^{-3}$ e $V_D$ de -0,9 V.....	67
Figura 36 – Normalização por $V_G - V_{TH}$ para dispositivos JNTs com $N_A$ de $1 \times 10^{19} \text{ cm}^{-3}$ e $V_D$ de -0,9 V.....	67
Figura 37 – Normalização por $V_G - V_{TH}$ para dispositivos FinFET com $V_D$ de -0,9 V.....	68
Figura 38 – Corrente de dreno pelo tempo para dispositivos JNTs com dopagem de canal de $5 \times 10^{18} \text{ cm}^{-3}$ e tensão de dreno de -0,05 V.....	69
Figura 39 – Corrente de dreno pelo tempo para dispositivos JNTs com dopagem de canal de $5 \times 10^{18} \text{ cm}^{-3}$ e tensão de dreno de -0,9 V.....	70
Figura 40 – Corrente de dreno pelo tempo para dispositivos JNTs com dopagem de canal de $1 \times 10^{19} \text{ cm}^{-3}$ e tensão de dreno de -0,05 V.....	70
Figura 41 – Corrente de dreno pelo tempo para dispositivos JNTs com dopagem de canal de $1 \times 10^{19} \text{ cm}^{-3}$ e tensão de dreno de -0,9 V.....	71
Figura 42 – Corrente de dreno pelo tempo para dispositivos FinFET com tensão de dreno de - 0,05 V.....	71
Figura 43 – Corrente de dreno pelo tempo para dispositivos FinFET com tensão de dreno de - 0,9 V.....	72
Figura 44 – $I_{Dxt}$ simulado sem o modelo highfieldsaturation para dispositivos JNTs com $N_A$ de $1 \times 10^{19} \text{ cm}^{-3}$ e $V_D$ de -0,9 V .....	73

Figura 45 – Comparação entre as correntes de dreno sujeitas ou não ao efeito NBTI para dispositivos JNTs com dopagem de canal de $5 \times 10^{18} \text{ cm}^{-3}$ e tensão de dreno de -0,05 V.....	74
Figura 46 – Comparação entre as correntes de dreno sujeitas ou não ao efeito NBTI para dispositivos JNTs com dopagem de canal de $5 \times 10^{18} \text{ cm}^{-3}$ e tensão de dreno de -0,9 V.....	74
Figura 47 – Comparação entre as correntes de dreno sujeitas ou não ao efeito NBTI para dispositivos JNTs com dopagem de canal de $1 \times 10^{19} \text{ cm}^{-3}$ e tensão de dreno de -0,05 V.....	75
Figura 48 – Comparação entre as correntes de dreno sujeitas ou não ao efeito NBTI para dispositivos JNTs com dopagem de canal de $1 \times 10^{19} \text{ cm}^{-3}$ e tensão de dreno de -0,9 V.....	75
Figura 49 – Comparação entre as correntes de dreno sujeitas ou não ao efeito NBTI para dispositivos FinFET com tensão de dreno de -0,05 V.....	76
Figura 50 – Comparação entre as correntes de dreno sujeitas ou não ao efeito NBTI para dispositivos FinFET com tensão de dreno de -0,9 V.....	76
Figura 51 – Corrente de dreno pelo comprimento de canal sem efeito NBTI para dispositivos com tensão de dreno de -0,05 V.....	77
Figura 52 – Corrente de dreno pelo comprimento de canal sem efeito NBTI para dispositivos com tensão de dreno de -0,9V.....	77
Figura 53 – Corrente de dreno pelo comprimento de canal com efeito NBTI para dispositivos com tensão de dreno de -0,05 V.....	78
Figura 54 – Corrente de dreno pelo comprimento de canal com efeito NBTI para dispositivos com tensão de dreno de -0,9 V.....	78
Figura 55 – Degradação da tensão limiar pelo comprimento de canal para dispositivos com tensão de dreno de -0,05 V.....	80
Figura 56 – Degradação da tensão limiar pelo comprimento de canal para dispositivos com tensão de dreno de -0,9 V.....	80
Figura 57 – Campo elétrico em um dispositivo JNTs com comprimento de canal de 50 nm, $N_A$ de $5 \times 10^{18} \text{ cm}^{-3}$ e $V_D$ de -0,9 V com plano de corte junto a fonte.....	81
Figura 58 – Campo elétrico em um dispositivo JNTs com comprimento de canal de 50 nm, $N_A$ de $1 \times 10^{19} \text{ cm}^{-3}$ e $V_D$ de -0,9 V com plano de corte junto a fonte.....	82

Figura 59 – Campo elétrico em um dispositivo FinFET com comprimento de canal de 50 nm e $V_D$ de -0,9 V com plano de corte junto a fonte.....	82
Figura 60 – Campo elétrico em um dispositivo JNTs com comprimento de canal de 50 nm, $N_A$ de $5 \times 10^{18} \text{ cm}^{-3}$ e $V_D$ de -0,9 V com plano de corte junto ao dreno.....	83
Figura 61 – Campo elétrico em um dispositivo JNTs com comprimento de canal de 50 nm, $N_A$ de $1 \times 10^{19} \text{ cm}^{-3}$ e $V_D$ de -0,9 V com plano de corte junto ao dreno.....	83
Figura 62 – Campo elétrico em um dispositivo FinFET com comprimento de canal de 50 nm e $V_D$ de -0,9 V com plano de corte junto ao dreno.....	84
Figura 63 – Campo elétrico em um dispositivo JNTs com comprimento de canal de 50 nm, $N_A$ de $5 \times 10^{18} \text{ cm}^{-3}$ e $V_D$ de -0,9 V com plano de corte no centro do canal.....	84
Figura 64 – Campo elétrico em um dispositivo JNTs com comprimento de canal de 50 nm, $N_A$ de $1 \times 10^{19} \text{ cm}^{-3}$ e $V_D$ de -0,9 V com plano de corte no centro do canal.....	85
Figura 65 – Campo elétrico em um dispositivo FinFET com comprimento de canal de 50 nm e $V_D$ de -0,9 V com plano de corte no centro do canal.....	85
Figura 66 – Amostra contendo dispositivos JNTs usada nos testes.....	87
Figura 67 – Display do <i>Keysight</i> B1500.....	88
Figura 68 – Tela de configuração do <i>Keysight</i> B1500 para obtenção de curvas $I_{DX}V_G$ .....	89
Figura 69 – Tela de levantamento das curvas $I_{DX}V_G$ do analisador <i>Keysight</i> B1500.....	90
Figura 70 – Curvas $I_{DX}V_G$ e $\text{Log}I_{DX}V_G$ para dispositivos JNTs tipo P com dopagem de $5 \times 10^{18} \text{ cm}^{-3}$ e $V_D$ de -0.05 V.....	91
Figura 71 – Curvas $I_{DX}V_G$ e $\text{Log}I_{DX}V_G$ para dispositivos JNTs tipo P com dopagem de $5 \times 10^{18} \text{ cm}^{-3}$ e $V_D$ de -1.0 V.....	91
Figura 72 – Curvas $I_{DX}V_G$ e $\text{Log}I_{DX}V_G$ para dispositivos JNTs tipo P com dopagem de $1 \times 10^{19} \text{ cm}^{-3}$ e $V_D$ de -0.05 V.....	92
Figura 73 – Curvas $I_{DX}V_G$ e $\text{Log}I_{DX}V_G$ para dispositivos JNTs tipo P com dopagem de $1 \times 10^{19} \text{ cm}^{-3}$ e $V_D$ de -1.0 V.....	92
Figura 74 – Valores de $V_{TH}$ pelo os comprimentos de canal nos dispositivos JNTs tipo P com $N_A$ de $5 \times 10^{18} \text{ cm}^{-3}$ .....	93
Figura 75 – Valores de $V_{TH}$ para os comprimentos de canal nos dispositivos JNTs tipo P com $N_A$ $1 \times 10^{19} \text{ cm}^{-3}$ .....	94
Figura 76 – Tela de configuração do <i>Keysight</i> B1500 para obtenção da degradação por efeito NBTI.....	95
Figura 77 – Tela do modulo de degradação por efeito BTI do analisador <i>Keysight</i> B1500 em sua primeira fase.....	96

Figura 78 – Tela do modulo de degradação por efeito NBTI do analisador <i>Keysight</i> B1500 em sua segunda fase.....	97
Figura 79 – Tela do modulo de degradação por efeito BTI do analisador <i>Keysight</i> B1500 em sua terceira fase.....	98
Figura 80 – Tela do modulo de degradação por efeito BTI do analisador <i>Keysight</i> B1500 em sua quarta fase.....	99
Figura 81 – Comparação das curvas de degradação do $V_{THxt}$ devido ao efeito NBTI para dispositivos JNTs tipo P com concentração de dopantes de $5 \times 10^{18} \text{ cm}^{-3}$ e $V_D$ de $-0.05 \text{ V}$ .....	100
Figura 82 – Comparação das curvas de degradação do $V_{THxt}$ devido ao efeito NBTI para dispositivos JNTs tipo P com concentração de dopantes de $5 \times 10^{18} \text{ cm}^{-3}$ e $V_D$ de $-1.0 \text{ V}$ .....	100
Figura 83 – Comparação das curvas de degradação do $V_{THxt}$ devido ao efeito NBTI para dispositivos JNTs tipo P com concentração de dopantes de $1 \times 10^{19} \text{ cm}^{-3}$ e $V_D$ de $-0.05 \text{ V}$ .....	101
Figura 84 – Comparação das curvas de degradação do $V_{THxt}$ devido ao efeito NBTI para dispositivos JNTs tipo P com concentração de dopantes de $1 \times 10^{19} \text{ cm}^{-3}$ e $V_D$ de $-1.0 \text{ V}$ .....	101
Figura 85 – Comparação entre a degradação da corrente de dreno devido ao efeito NBTI para dispositivo JNTs tipo P com $V_D$ de $-0.05 \text{ V}$ .....	102
Figura 86 – Comparação entre a degradação da corrente de dreno devido ao efeito NBTI para dispositivo JNTs tipo P com $V_D$ de $-1.0 \text{ V}$ .....	103
Figura 87 – Comparação entre a degradação da tensão de limiar devido ao efeito NBTI para dispositivo JNTs tipo P $N_A$ $5 \times 10^{18} \text{ cm}^{-3}$ e $1 \times 10^{19} \text{ cm}^{-3}$ , com $V_D$ de $-0.05 \text{ V}$ e $-1,0 \text{ V}$ .....	104

## LISTA DE SÍMBOLOS

A	Constantes relacionadas com a massa efetiva e a altura da barreira
$A_V$	Ganho de tensão em malha aberta [V/V ou dB]
$C_{OX}$	Capacitância da camada de óxido por unidade de comprimento [F/cm <sup>2</sup> ]
$C_{OX1}$	Capacitância do óxido de porta [F/cm <sup>2</sup> ]
$C_{OX2}$	Capacitância do óxido enterrado [F/cm <sup>2</sup> ]
$C_{Si}$	Capacitância do silício [F/cm <sup>2</sup> ]
$D_H$	Coefficiente de difusão medio para o hidrogênio [cm <sup>2</sup> /s]
$D_{it}$	Armadilha de interface [armadilhas/cm <sup>2</sup> eV]
$d_{max}$	Máxima depleção [nm]
$g_m$	Transcondutância [S]
$g_d$	Condutância de dreno [S]
$\hbar$	Constante de Planck normalizada [eVs]
$H_{fin}$	Altura do fin [nm]
$I_{DS}$	Corrente de dreno [A]
J	Densidade de corrente de óxido [A / m <sup>2</sup> ]
K	Constante de Boltzmann [1,38x10 <sup>-23</sup> J/K]
$K_F$	Tacha de ligações quebradas do Si com o H [M <sup>-1</sup> s <sup>-1</sup> ]
$K_r$	Taxa de recuperação [M <sup>-1</sup> s <sup>-1</sup> ]
L	Comprimento de canal [nm]
$L_{FD}$	Comprimento de fonte e dreno [nm]
$L_{fin}$	Comprimento do fin [nm]
n	Fator de corpo do transistor
$N_A$	Concentração de impurezas aceitadoras [cm <sup>-3</sup> ]
$N_0$	Número de ligações iniciais de Si-H
$N_h$	Densidade do hidrogênio na interface.
$N_{IT}$	Número de armadilhas de interface por unidade de área [armadilhas/cm <sup>2</sup> eV]
q	Carga elementar do elétron [1,6x10 <sup>-12</sup> C]
$Q_{depl}$	Carga de depleção [C/cm]
$Q_{ox1}$	Carga do óxido da primeira interface [C/cm]
$Q_{si}$	Densidade de cargas fixas no silício por unidade de comprimento [C/cm]
$Q_{Sifmax}$	Densidade de cargas de depleção máxima no silício por unidade de comprimento [C/cm]

$Q_{ss}$	Densidade de carga efetiva no óxido por unidade de comprimento [C/cm]
S	Inclinação de sublimiar [V/Década]
T	Temperatura absoluta [K]
$t_{box}$	Espessura do oxido enterrado [nm]
$t_{ox}$	Espessura do oxido de porta [nm]
$t_{si}$	Espessura da camada ativa de silício [nm]
$V_{EA}$	Tensão de Early [V]
$V_D$	Tensão de dreno [V]
$V_{DS}$	Tensão entre fonte e dreno [V]
$V_{FB}$	Tensão de faixa plana [V]
$V_G$	Tensão de porta [V]
$V_{GB}$	Tensão entre porta e substrato [V]
$V_{GS}$	Tensão entre porta e fonte [V]
$V_S$	Tensão de fonte [V]
$V_{TH}$	Tensão de limiar [V]
$W_{Fin}$	Largura do canal [nm]
$\alpha$	Parâmetro usado no cálculo da mobilidade limitada pelo espalhamento de rede
$\Delta\Phi_{MI}$	Diferença da função trabalho entre o material de porta e o silício intrínseco [V]
$\mu$	Mobilidade das cargas [cm <sup>2</sup> /V.s]
$\mu_{eff}$	Mobilidade efetiva das cargas [cm <sup>2</sup> /V.s]
$\Phi_{Fp}$	Potencial de Fermi [V]
$\Phi_{MS}$	Diferença da função trabalho entre o material de porta e o silício [V]
$\Phi_{MSI}$	É a diferença da função trabalho entre o metal e o silício da primeira interface [V]
$\pi$	Constante [3,1416]

## LISTA DE ABREVIATURAS

1D	Uma dimensão
2D	Duas dimensões
3D	Três dimensões
AC	Corrente alternada
BTI	<i>Bias Temperature Instability</i>
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
DC	Corrente contínua
DELTA	<i>Fully Depleted Lean-channel Transistor</i>
DIBL	<i>Drain-Induced Barrier Lowering</i>
FinFET	<i>Finfield-Effect Transistor</i>
FDSOI	<i>Fully Depleted Silicon On Insulator</i>
FDTD	<i>Finite-Difference Time-Domain</i>
FPGA	<i>Field Programmable Gate Array</i>
HCEI	<i>Hot Carriers Effect</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
JNT	<i>Junctionless Nanowire Transistors</i>
LD MOS	<i>Laterally Diffused Metal Oxide Semiconductor</i>
LDD	<i>Lightly Doped Drain</i>
MOS	<i>Metal Oxide Semiconductor</i>
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
NBTI	<i>Negative Bias Temperature Instability</i>
PBTI	<i>Positive Bias Temperature Instability</i>
PMOS	<i>P-type metal-oxide-semiconductor</i>
PN	Junção metalúrgica entre semicondutores tipo P e N
SDE	<i>Source and Drain Extensions</i>
SEU	<i>Single event upset</i>
SET	<i>Single event transient</i>
SNM	<i>Static Noise Margin</i>
SOI	<i>Silicon On Insulator</i>
SOI FD	<i>Fully Depleted SOI</i>
SOI PD	<i>Partially Depleted SOI</i>

SRAM	<i>Static Random Access Memory</i>
TDDDB	<i>Time-Dependent Dielectric Breakdown</i>
TID	Efeitos de Dose de Ionização Total
VLSI	<i>Very Large Scale Integration</i>
ZTC	Ponto invariante de temperatura

## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO</b> .....	19
1.1	OBJETIVO.....	21
<b>2</b>	<b>REVISÃO BIBLIOGRÁFICA</b> .....	23
2.1	TECNOLOGIA “ <i>SILICON ON INSULATOR</i> ”.....	23
2.1.1	<b>Transistores modo inversão</b> .....	25
2.1.2	<b>Transistor modo acumulação</b> .....	27
2.1.3	<b>Dispositivos de múltiplas portas</b> .....	28
2.1.4	<b>Transistores sem junções</b> .....	32
2.1.4.1	<i>Funcionamento dos dispositivos MOS sem junção</i> .....	33
2.2	PRINCIPAIS PARÂMETROS ELÉTRICOS.....	35
2.2.1	<b>Tensão de limiar</b> .....	35
2.2.2	<b>Corrente de dreno</b> .....	36
2.2.3	<b>Transcondutância</b> .....	38
2.2.4	<b>Mobilidade</b> .....	39
2.2.5	<b>Inclinação de sublimiar</b> .....	39
2.2.6	<b>Condutância de dreno</b> .....	40
2.2.7	<b>Tensão Early</b> .....	41
2.2.8	<b>Ganho de tensão de malha aberta</b> .....	42
2.2.9	<b>Relação <math>g_m/I_{DS}</math></b> .....	43
2.3	EFEITOS DECORENTES DA REDUÇÃO DO CANAL.....	43
2.3.1	<b>Efeitos de canal curto</b> .....	43
2.3.2	<b>Efeito DIBL (<i>Drain Induced Barrier Lowering</i>)</b> .....	44
2.4	PARÂMETROS DE CONFIABILIDADE NOS TRANSISTORES MOS.....	45
2.4.1	<b>Efeito de elétrons quentes</b> .....	45
2.4.2	<b>Ruptura do dielétrico por dependência do tempo</b> .....	47
2.4.3	<b>Instabilidade de temperatura por aplicação de tensão negativa</b> .....	48
2.5	SIMULADOR SENTAURUS.....	54
2.5.1	<b>Funcionamento do simulador Sentaaurus</b> .....	54

2.5.2	A modelagem da degradação NBTI no Sentaurus.....	55
<b>3</b>	<b>RESULTADOS SIMULADOS.....</b>	<b>57</b>
3.1	ARMADILHAS DA INTERFACE.....	57
3.2	ESTRUTURA SIMULADA.....	57
3.3	CURVAS $I_{DS}$ x $V_{GS}$ .....	59
3.4	TENSÃO DE LIMIAR.....	63
3.5	NORMATIZAÇÃO POR $V_G - V_{TH}$ .....	66
3.6	CURVAS $I_{DS}$ xTempo.....	68
3.7	CORRENTE PELO COMPRIMENTO DE CANAL.....	73
3.8	DEGRADAÇÃO DO $V_{TH}$ .....	79
3.9	CAMPO ELÉTRICO.....	81
<b>4</b>	<b>ENSAIOS LABORATORIAIS.....</b>	<b>87</b>
4.1	KEYSIGHT B1500.....	88
4.2	OBTENÇÃO DAS CURVAS $I_D$ x $V_G$ .....	89
4.3	EXTRAÇÃO DA TENSÃO DE LIMIAR.....	93
4.4	DEGRADAÇÃO POR EFEITO BTI NO ANALISADOR KEYSIGHT B1500.....	94
4.5	EFEITO NBTI, CURVAS EXPERIMENTAIS.....	100
4.5.1	Degradação da corrente de dreno.....	103
4.5.2	Degradação da tensão de limiar.....	104
<b>5</b>	<b>CONCLUSÃO.....</b>	<b>105</b>
<b>6</b>	<b>TRABALHOS FUTUROS.....</b>	<b>108</b>
	REFERÊNCIAS BIBLIOGRÁFICAS.....	109
	APÊNDICE 1 – ARQUIVO DE SIMULAÇÃO DA ESTRUTURA.....	116
	APÊNDICE 2 – ARQUIVO DE SIMULAÇÃO DO DISPOSITIVO.....	123

## 1 INTRODUÇÃO

Este trabalho pretende transitar por novas possibilidades de dispositivos a base de silício, que a cada dia parecem estar mais perto de seus limites físicos. Em que presta a existência desta limitação, simultaneamente, novas abordagens e visões inovadoras ampliam as utilidades e eficiência dos dispositivos citados para um futuro, isto levando em conta manutenção do paradigma da Lei de Moore<sup>2</sup>. Esta lei, proposta em 1965, predizia que o número de transistores dos chips dobraria, pelo mesmo custo, a cada período de 18 meses. A Lei de Moore norteia a indústria eletrônica, bem como o desenvolvimento científico.

O silício possui maiores vantagens sobre outros materiais em virtude de sua abundância e a vasto conhecimento científico acumulada nos últimos setenta anos. Posto isso, o propósito do trabalho é apresentar o estudo de parâmetros elétricos de um novo dispositivo baseado em silício foi desenvolvido visando uma maior miniaturização e taxa de integração.

Os Nanofios Transistores Sem Junções (JNTs - *Junctionless Nanowire Transistors*<sup>3</sup>), apresentam vários aspectos diferentes em relação ao MOS convencional, em virtude da ausência de dopagem diferenciada de fonte e dreno em relação ao canal. Desta feita, a física envolvida se difere, sobremaneira.

O fato dos JNTs não possuírem fonte e dreno diferenciados, ou seja, apresentarem um mesmo material dopante que permeia a estrutura no que tange à fonte, canal e dreno, acarreta a eliminação do problema da implantação iônica para formação destas regiões (fonte e dreno). Este tipo de implantação requer um controle muito rigoroso e aprimorado para se evitar a difusão de dopantes no canal, principalmente para as necessidades atuais de comprimentos de canal inferiores a 20 nm<sup>4</sup>. Justamente esta característica faz com que a confecção de dispositivos JNTs seja mais simples que os dispositivos equivalentes de tecnologias concorrentes<sup>5</sup>.

A degradação por efeito NBTI (*Negative Bias Temperature Instability*) ou Instabilidade de Temperatura por Aplicação de Tensão Negativa<sup>6</sup> são uma preocupação de confiabilidade desde os primeiros circuitos integrados, em meados da década de sessenta. Frise-se que há muitos relatórios sobre vários aspectos da degradação NBTI ao longo dos últimos quarenta anos<sup>7</sup>. Porém, a importância de estudos relativos a este efeito aumenta de forma inversamente proporcional à diminuição dos comprimentos de canal em tecnologias mais atuais<sup>8</sup>. Assim, é possível antever que este efeito tem potencial para se tornar um grande problema de confiabilidade nos dispositivos nanométricos em função de seus efeitos deletérios.

O efeito BTI deve-se, basicamente, a um fenômeno associado à quebra de ligações Si-H junto à interface silício-dielétrico de porta dos dispositivos. Embora o H seja liberado como

H atômico, ele converte-se e difunde-se como H<sub>2</sub> molecular. Basicamente, o fenômeno ocorre a partir de um defeito na interface<sup>9</sup>. Quando um átomo de hidrogênio é liberado junto à interface Si / SiO<sub>2</sub>, a fronteira entre o óxido de porta e o canal, a partir do rompimento de uma ligação Si-H, o hidrogênio (H) difunde-se no óxido ou silício do substrato. Ao se difundir para o silício, o átomo de hidrogênio pode passivar íons de boro. Por conseguinte, tem-se a geração de uma armadilha de interface<sup>10</sup>.

O projeto de qualquer circuito digital leva em consideração a presunção de que os parâmetros do transistor permanecerão limitados por uma determinada margem (tipicamente  $\pm 15\%$ <sup>11</sup>) durante sua vida útil. Esta margem consiste na tolerância de fabricação, bem como em outros parâmetros dependentes do tempo, devido a vários mecanismos de degradação de transistores, como a degradação por elétrons quentes (*Hot Carriers Effect* - HCE)<sup>12</sup>, a ruptura do dielétrico por efeito do tempo (*Time-Dependent Dielectric Breakdown* - TDDB)<sup>13</sup> e a Instabilidade de Temperatura por Aplicação de Tensão Negativa (NBTI)<sup>14</sup>.

A degradação NBTI (*Bias Temperature Instability*), que é um problema inerente aos transistores tipo P, é um dos mais significativos problemas de confiabilidade e constante preocupação na tecnologia CMOS para comprimentos de canal abaixo de 130 nm<sup>15</sup>. Especificamente, o NBTI provoca uma degradação sistemática nos parâmetros elétricos do transistor como, por exemplo, corrente de dreno, transcondutância, tensão de limiar e capacitância.

A geração de armadilhas de interface sob condições de polarização negativa ( $V_{GS} - V_{DS}$ ), sendo  $V_{GS}$  a tensão entre porta e fonte de um transistor MOS e  $V_{DS}$  a tensão entre dreno e fonte do mesmo dispositivo, nos transistores tipo P, tem provado ser uma ameaça crescente em relação à confiabilidade dos circuitos para escalas nanométricas. As consequências são o aumento da tensão limiar do transistor ( $V_{TH}$ ) e uma redução da corrente de dreno ( $I_{DS}$ ), que conduz a um desempenho reduzido, podendo-se até levar à perda da confiabilidade e falhas.

Uma das principais preocupações de confiabilidade nas tecnologias abaixo de 130 nm, para memórias SRAM (*Static Random Access Memory*)<sup>16</sup>, é o efeito NBTI, uma vez que este faz com que a tensão de limiar de transistores PMOS degrade em até 10%. Tal fato pode piorar significativamente o desempenho temporal em sistemas CMOS, em especial à margem de ruído estático (*Static Noise Margin* – SNM) das células SRAM<sup>17</sup>, demonstrando-se que a SNM degrada cerca de 8% após 10<sup>8</sup> s em células de 100 nm e 70 nm, ocasionando, por vezes, problemas de estabilidade de leitura<sup>18</sup>.

Em nossos estudos do NBTI em transistores sem junções, procuraremos comparar os resultados obtidos com aqueles apresentados por transistores modo inversão de múltiplas portas

ou FinFET (*Fin Field-Effect Transistor*). Para isto, utilizaremos transistores de diferentes comprimentos de canal ( $L$ ) polarizados com dois valores de  $V_{DS}$ . Faremos uso do Simulador *Sentaurus*, alimentando-o com arquivos referentes tanto a dispositivos JNTs, foco de nosso trabalho, bem como dispositivos FinFET.

Em suma, apresentaremos quais são as diferenças entre os dois tipos de dispositivos no que tange ao seu modo de funcionamento em relação às tensões de limiar, às correntes de dreno e à degradação da tensão de limiar, quando submetidos à degradação por efeito NBTI. Os resultados serão posteriormente confirmados com a caracterização elétrica experimental de transistores sem junções.

## 1.1 OBJETIVOS

A nano e microeletrônica consistem em um universo extremamente dinâmico, no qual fragmentos de conhecimento são sobrepostos velozmente para se construírem sistemas cada vez mais eficientes. Há fortes indicações de que, para as tecnologias atuais que temos disponíveis comercialmente, um comprimento de canal inferior a 10 nm seja uma barreira de difícil transposição<sup>19</sup>.

Como já demonstrado na literatura, os dispositivos MOS sem junções apresentam algumas vantagens visivelmente relevantes sobre os dispositivos modo inversão<sup>20</sup>. Entretanto, nos trabalhos disponíveis na literatura, ainda existem diversas lacunas sobre o funcionamento de transistores sem junções, sendo algumas delas relativas à sua confiabilidade<sup>21</sup>. No presente trabalho será abordada uma destas lacunas. Mais especificamente, aprofundaremos na degradação das características elétricas dos dispositivos por efeito NBTI, o qual tem potencial para ser uma preocupação importante relativa ao desempenho, confiabilidade e durabilidade de dispositivos e, possivelmente, um dos fatores que determinam a “escolha” da tecnologia responsável pela perpetuação dos preceitos da lei de Moore.

Os dispositivos JNTs operam na maior parte do tempo em depleção parcial. A maioria do fluxo de elétrons passa pelo interior do canal. Portanto, espera-se que os dispositivos supramencionados sofram menor degradação ocasionada pelo efeito NBTI, uma vez que menos carga tem contato com as armadilhas de interface. Além disso, o campo elétrico na região de canal destes dispositivos é sensivelmente inferior ao de transistores modo inversão, reduzindo o efeito das armadilhas de interface nas características elétricas dos dispositivos. Nossa proposta é investigar o efeito acima indicado e, por meio desta investigação, comprovar se os

dispositivos JNTs realmente possuem vantagem sobre transistores que operam em modo inversão.

Escolhemos para balizar nossa pesquisa os dispositivos FinFET, que sera o parâmetro comparativo para os dispositivos MOS sem junções.

## 2 REVISÃO BIBLIOGRÁFICA

Faremos, neste capítulo, um breve apanhado de termos e tecnologias pertinentes ao nosso trabalho, para que tenhamos um encadeamento de informações.

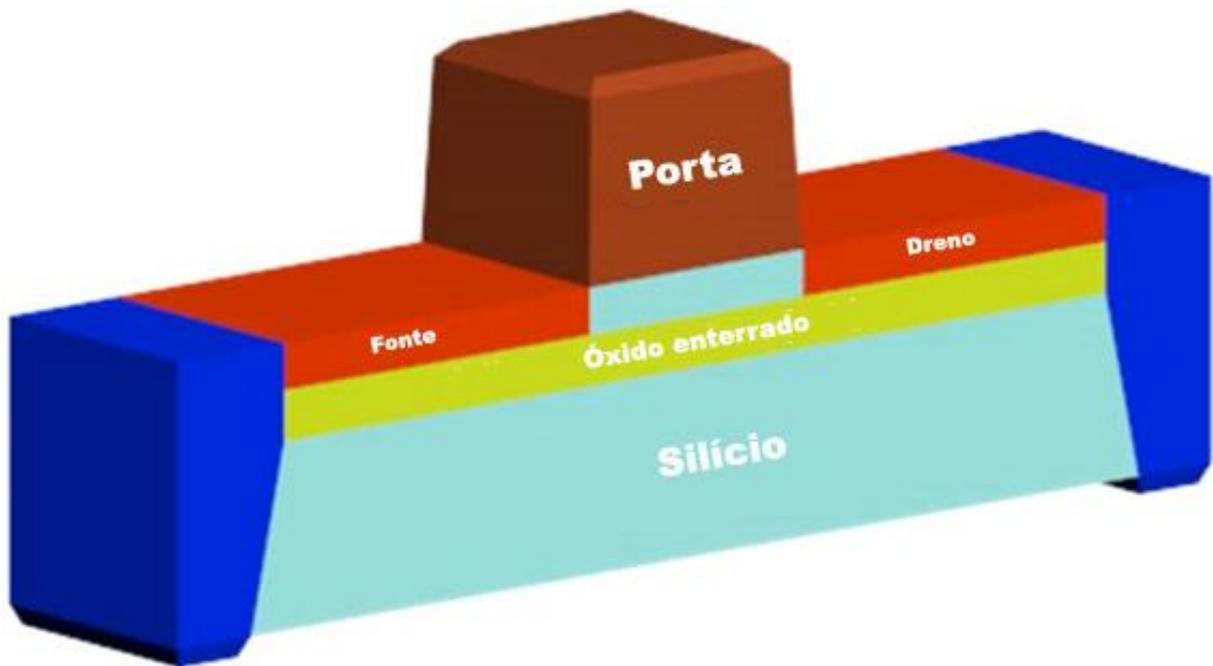
### 2.1 TECNOLOGIA “*SILICON ON INSULATOR*”

O transistor de efeito de campo tipo Metal-Óxido-Semicondutor (MOSFET) foi arquitetado por Lilienfeld, em 1926<sup>20</sup>. No entanto, a sua efetiva implementação só foi realizada em meados de 1960, com os avanços das tecnologias, principalmente, a depuração da qualidade do óxido de porta<sup>21</sup>. A partir de então, teve início uma revolução na tecnologia eletrônica, especialmente, em relação à tecnologia MOS, estudada exaustivamente nas últimas décadas.

Com os avanços na fabricação dos dispositivos, as dimensões diminuíram para valores abaixo de 100 nm, adensando-se a integração de dispositivos. Porém, os processos envolvendo a confecção do MOSFET na tecnologia convencional (*Bulk Technology*) tornaram-se, com o passar do tempo, cada vez mais complexos, intensificando-se os efeitos parasitários, tais como transistor parasitário (*Latch-up*) para a tecnologia CMOS<sup>22</sup>, o efeito de perfuração MOS (*Punchthrough*), o aumento na resistência série e a perfuração de junções rasas (*Spikes*)<sup>23</sup>.

Motivado pela necessidade de redução da incidência de efeitos parasitários, surgiram novas tecnologias. Uma das mais representativas delas, a de silício sobre isolante (*Silicon On Insulator* - SOI), este utiliza, normalmente, óxido de silício para a isolamento da região ativa da lâmina do substrato, tendo como vantagens a facilidade de processamento. Na figura 1, pode-se ver um exemplo de SOI.

Figura 1 – Dispositivos SOI.



Fonte: Autor

O SOI MOSFET mostra-se superior em relação ao transistor na tecnologia MOS convencional, principalmente no caso do SOI MOSFET de camada fina operando totalmente depletado (*Thin Film Fully Depleted - FDSOI*), porque apresenta supressão do efeito tiristor parasitário, menor inclinação de sublimiar (aproximadamente 60 mV/dec), maior mobilidade de portadores, maior escalonamento para circuitos com alta escala de integração (*Very Large Scale Integration – VLSI*), menores capacitâncias parasitárias, entre outras vantagens, como comportamentos que, inequivocamente, denotam aperfeiçoamento em relação ao MOS<sup>24</sup>. Estas características permitem à tecnologia SOI aplicações em baixa tensão e baixa potência (*Low Power Low Voltage*)<sup>25</sup>.

A tecnologia SOI traduz-se em dispositivos integrados com camada de silício, isolada do substrato de silício por meio de um determinado isolante, geralmente o dióxido de silício, que separa o dispositivo ativo do substrato. Desta forma, obtém-se maiores vantagens, dentre as quais, podemos destacar a facilidade no processo de fabricação com relação ao isolamento entre dispositivos, o aumento na densidade de integração em circuitos CMOS devido à ausência das cavidades e, por fim, a redução das etapas de processamento<sup>26</sup>.

Todavia, há algumas desvantagens, dentre as quais se evidencia o custo de fabricação da lâmina SOI, o efeito da elevação abrupta de corrente, o efeito transistor bipolar parasitário e

a forte dependência da tensão de limiar de porta com a espessura e concentração de dopantes da camada de silício, além da existência do óxido enterrado que dificulta a dissipação do calor gerado.

### 2.1.1 Transistores modo inversão

Um esboço da seção transversal de um transistor SOI MOSFET modo inversão de canal tipo N é apresentado na Figura 2. Este dispositivo apresenta duas regiões tipo N fortemente dopadas, denominadas fonte e dreno, separadas por uma região de silício tipo P, sobre a qual é construída a porta do transistor. Não há diferença física entre o dreno e a fonte. A menor tensão entre estas duas regiões define a fonte. Este dispositivo apresenta diferentes regimes de funcionamento, dependendo dos potenciais aplicados a cada um de seus terminais ( $V_D$ ,  $V_G$  e  $V_S$ , tensões de dreno, porta e fonte, respectivamente).

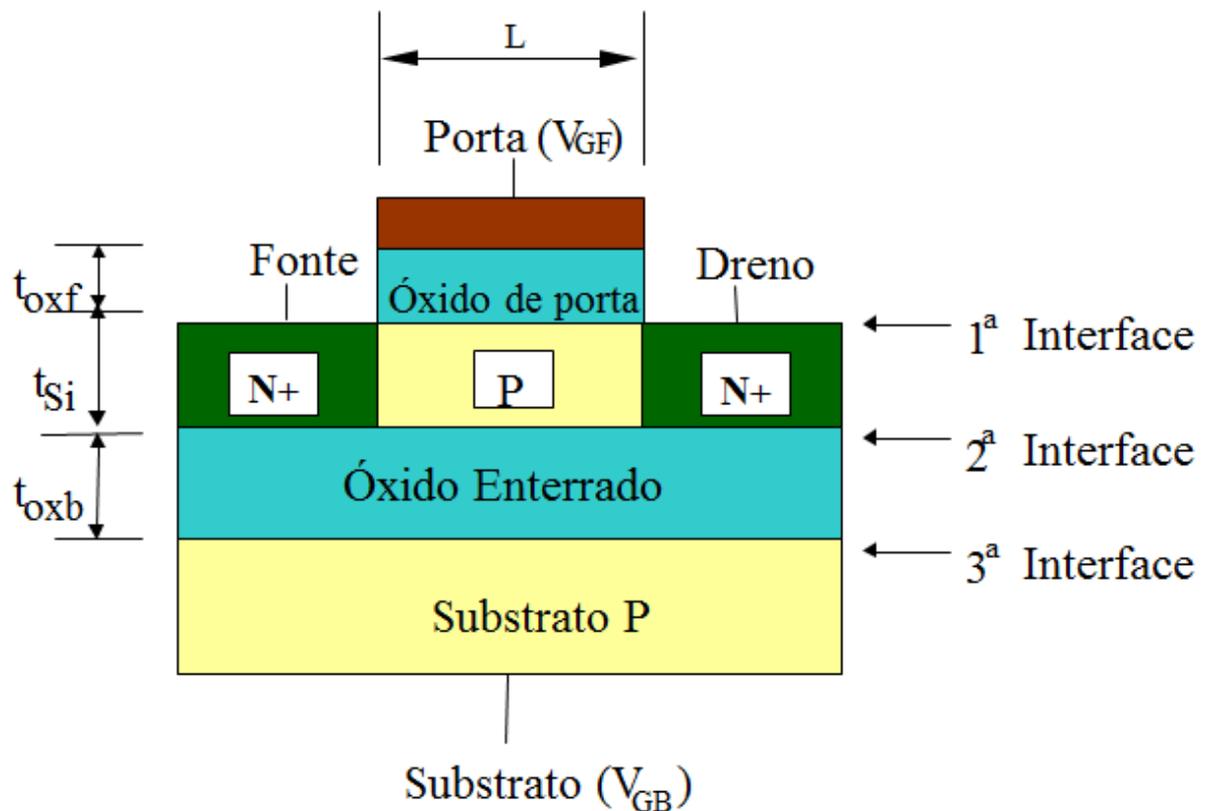
Para diferenças de potencial entre porta e fonte ( $V_{GS}$ ) inferiores à tensão de faixa plana ( $V_{FB}$  - considerando-se que  $V_{FB}$  corresponde à tensão aplicada à porta em que a carga na região de canal é nula) diz-se que o transistor opera na região de acumulação. Neste caso, forma-se um canal com densidade de lacunas  $p^+$  e, mesmo que as tensões de dreno e fonte aumentem, a condução é desprezível.

Na Região de Depleção, um  $V_G$  superior a  $V_{FB}$  atua de uma forma capacitiva para colocar uma igual variação de carga, positiva ( $Q^+$ ) e negativa ( $Q^-$ ), na porta e à superfície da região ativa de silício, respectivamente. As lacunas serão repelidas, sendo possível encontrar um  $V_G$  que induza uma situação de depleção  $V_{FB} < V_{GS} < V_{TH}$ , onde  $V_{TH}$  é a tensão de limiar do dispositivo. Neste regime de operação, a presença de cargas móveis na região de canal abaixo da porta ainda é bastante pequena. Portanto, a corrente será considerada desprezível nesta circunstância.

Com o aumento de  $V_{GS}$ , o campo elétrico gerado pela tensão na porta faz com que cargas das regiões de fonte e dreno se desloquem para o canal. Assim, a quantidade de elétrons supera a de lacunas nesta região, para  $V_{GS} > V_{TH}$ . Para baixos valores de tensão entre dreno e fonte ( $V_{DS} < V_{GS} - V_{TH}$ ), diz-se que o dispositivo opera em saturação. Caso contrário ( $V_{DS} > V_{GS} - V_{TH}$ ), considera-se que o transistor está operando em triodo.

Podemos observar o esboço de um transistor SOI na figura 2.

Figura 2 - Transistor SOI.



Fonte: Material didático de PEL 107

À primeira vista, a característica mais latente que diferencia a tecnologia SOI da MOS convencional é o óxido enterrado. Esta divergência faz com que o SOI se torne distinto sobremaneira do MOS convencional, pois a capacitância parasitária na estrutura SOI apresenta apenas um componente: a própria capacitância da estrutura MOS. Observa-se que esta capacitância sempre é maior que a do óxido enterrado, sendo tipicamente inferior à de junção do MOS convencional.

O funcionamento do transistor SOI depende da espessura da camada de silício ( $t_{Si}$ ), da concentração de dopantes e da temperatura. Distinguimos dois tipos principais de dispositivos SOI: os parcialmente depletados (PD) e os totalmente depletados (FD).

Naturalmente, os SOI PD são aqueles em que a profundidade máxima da região de depleção ( $d_{máx}$ ) nunca ocupará toda a camada de silício.

Os SOI FD são aqueles em que toda a camada de silício apresentará depleção durante o regime de condução.

No SOI PD, a espessura da camada ativa do silício deve ser  $t_{Si} > 2d_{máx}$  (depleção máxima). Então, não há interação entre as regiões de depleção da primeira e segunda interfaces. Já para o SOI FD  $t_{Si} < d_{máx}$ , portanto a camada de silício fica completamente depletada ao se

polarizar o dispositivo acima da tensão de limiar, independentemente da tensão aplicada ao substrato.

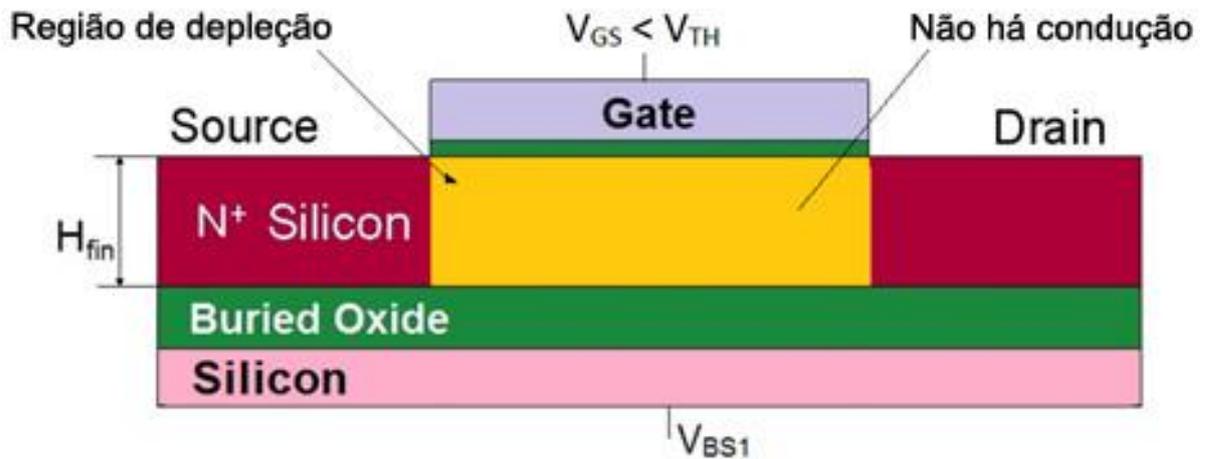
É importante citar que os dispositivos SOI FD apresentam as melhores características elétricas entre os SOI MOSFET como maior mobilidade, menor inclinação de sublimiar, maior corrente de saturação, menor efeito de canal curto, entre outras<sup>27</sup>.

### 2.1.2 Transistor modo acumulação

Transistores SOI modo acumulação apresentam mesmo tipo de dopante entre fonte, dreno e canal. Isto propicia que, enquanto a tensão aplicada à porta for nula, a diferença entre a função trabalho de porta e o silício da região ativa ( $\Phi_{MS}$ ), somada ao potencial decorrente das cargas positivas na interface entre o óxido de porta e o silício, fazem com que a camada de silício na região ativa esteja totalmente depletada. Portanto, não há corrente entre fonte e dreno, o que faz que o dispositivo permaneça cortado. Se considerarmos um transistor pMOS, ao se aplicar uma tensão negativa na porta, teremos uma decorrente redução da depleção no canal e, conseqüentemente, uma corrente entre fonte e dreno.

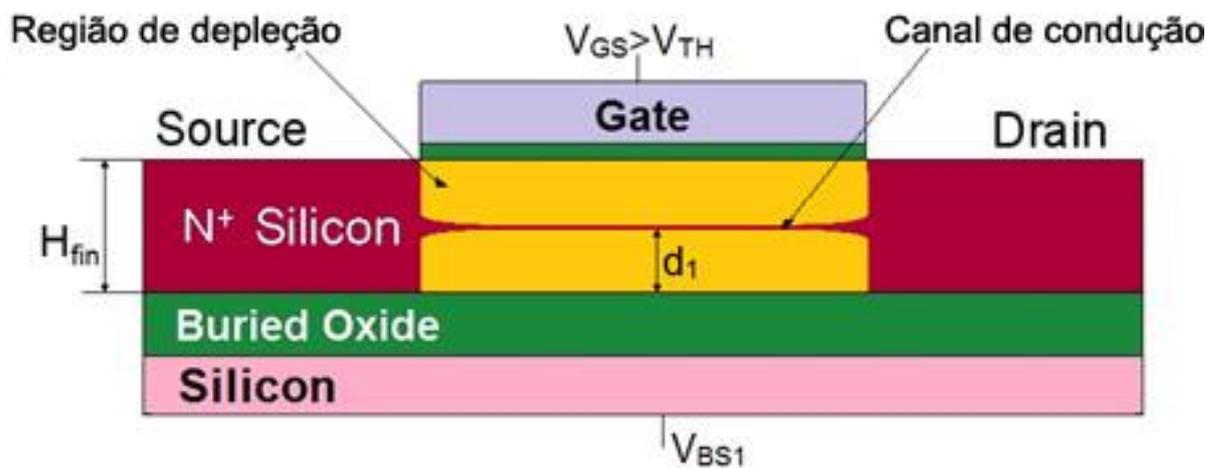
Para este tipo de dispositivo, a corrente flui pelo corpo e junto ao óxido de porta. Isto ocorre porque a tensão de faixa plana deste dispositivo é bastante próxima à tensão de limiar. Deste modo, o dispositivo operará em regime de depleção parcial apenas por um pequeno intervalo de tensão de porta (dezenas ou poucas centenas de mV), entrando rapidamente no regime de acumulação. Podemos ver na figura 3, 4 e 5 a representação de um transistor modo acumulação e seu regime de operação.

Figura 3 – Transistor modo acumulação  $V_{GS} < V_{TH}$  Canal em depleção, não há condução.



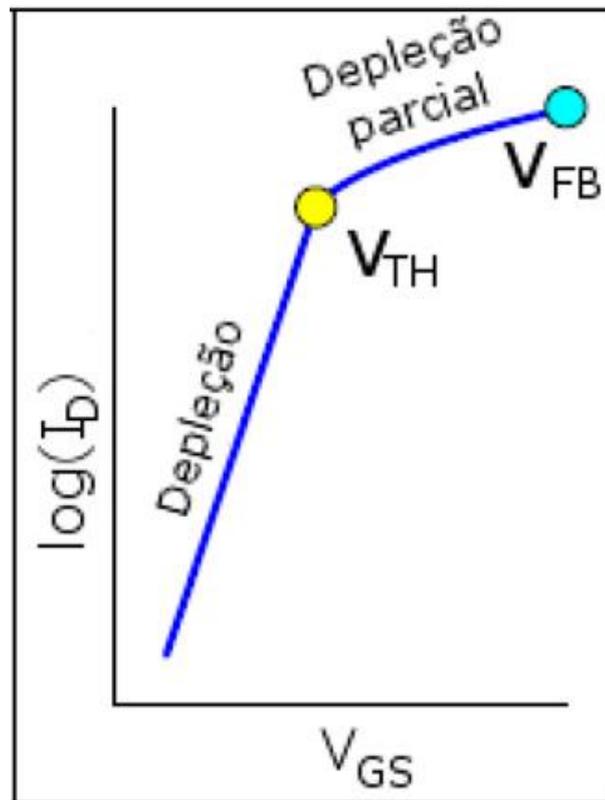
Fonte: Autor

Figura 4 – Transistor modo acumulação  $V_{FB} > V_{GS} > V_{TH}$  Formação de um canal de condução.



Fonte: Autor

Figura 5 – Regime de trabalho do transistor modo acumulação.



Fonte: Autor

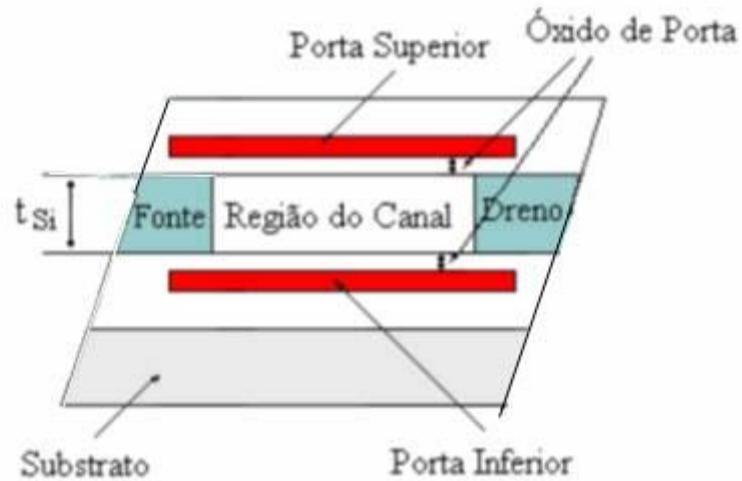
Observa-se que, acima de  $V_{BF}$ , o dispositivo operará em acumulação.

### 2.1.3 Dispositivos de múltiplas portas

O primeiro transistor SOI MOSFET de porta única, produzido antes de 1964, foi construído utilizando a tecnologia silício sobre safira (SOS)<sup>28</sup>. Esta tecnologia avançou e, nos anos oitenta, foi proposto o transistor SOI MOSFET totalmente depletado com maior transcondutância, uma maior corrente de saturação e uma melhor inclinação de sublimiar<sup>29</sup>. Em função da facilidade dos processos de fabricação em substrato SOI em relação ao SOS, os dispositivos convencionais SOI MOSFET, desde então, são amplamente utilizados.

A necessidade de promover, tanto o aumento da corrente, quanto uma melhoria na característica de canal curto, motivaram as pesquisas e o consequente surgimento de dispositivos de múltiplas portas, como porta dupla, porta tripla e quádrupla. Em meados da década de oitenta, foi proposto o primeiro transistor SOI MOSFET de porta dupla em geometria planar, o XMOS<sup>30</sup>, esquematizado de forma simplificada na figura 6.

Figura 6 – Transistor XMOS.



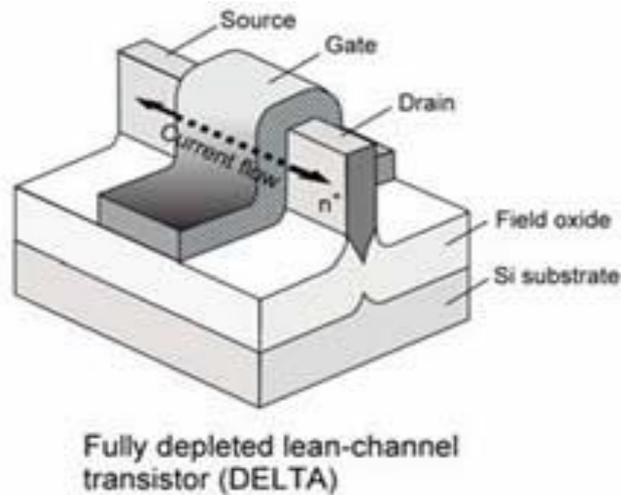
Fonte: Autor

Os dispositivos de porta dupla são uma solução para aumentar a capacidade de escalamento e de integração, uma vez que promovem um melhor acoplamento capacitivo, aumentando o controle das cargas na região de canal pela porta, de modo a reduzir os efeitos de canal curto.

No ano de 1989, foi fabricado o primeiro transistor de porta dupla utilizando uma geometria vertical, o transistor DELTA (*Fully Depleted Lean-channel Transistor*)<sup>31</sup>, como representado na figura 7, na qual é possível visualizar a disposição de suas portas.

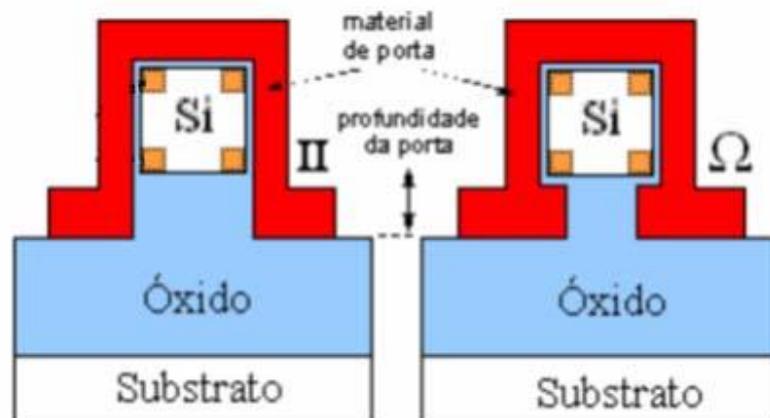
Posteriormente, tivemos os transistores de canais verticais, tais como o SOI MOSFET triangular-wire, FinFET<sup>32</sup> entre outros.

Figura 7- Transistor Delta



Fonte: Engineering . Electrical and Electronic Engineering . **Advances in Solid State Circuit Technologies**. Book edited by Paul K Chu, ISBN 978-953-307-086-5, Published: April 1, 2010 under CC BY-NC-SA 3.0 license. © The Author(s).

Outros transistores com estruturas não planares também foram desenvolvidos, tais como o de estrutura de porta  $\Pi$ <sup>33</sup> e Porta  $\Omega$ <sup>34</sup>. Como podemos ver na secção transversal apresentada na figura 8, estes transistores possuem três portas, com uma extensão do eletrodo de porta ou porta virtual abaixo da região de silício do canal, que proporciona um aumento na corrente e melhora o efeito de canal curto.

Figura 8 - Estruturas não planares: Porta  $\Pi$  e Porta  $\Omega$ .

Fonte: Dissertação de Carolina Davanzo Gomes dos Santos

Com o aumento do número de portas dos transistores, houve uma melhora sensível na inclinação de sublimar, pois o controle da região de canal pela porta se tornou mais efetivo, visto que as múltiplas portas oferecem maior proteção da região de canal em relação às linhas do campo elétrico do dreno. Estes transistores oferecem alta corrente e efeito de canal curto reduzido<sup>35</sup>.

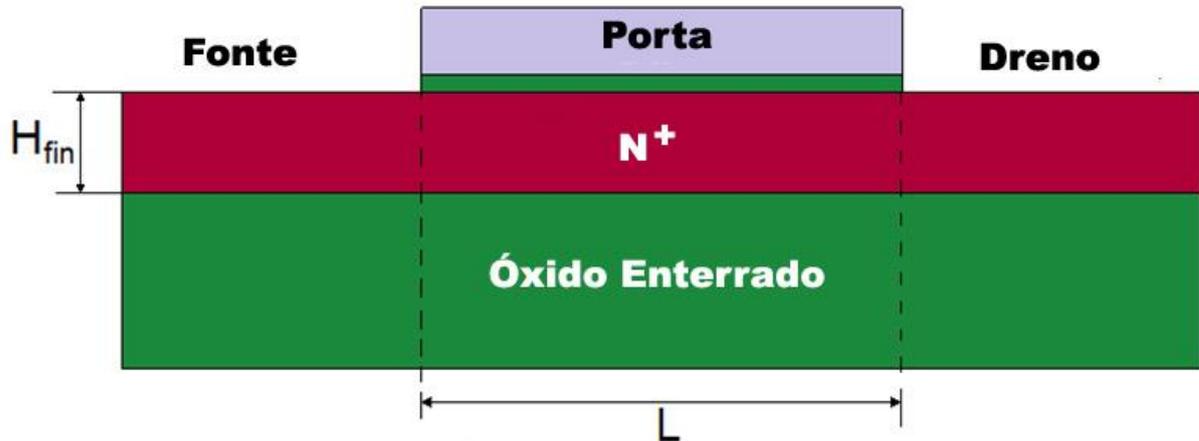
#### **2.1.4 Transistores sem junções**

Considerando-se a necessidade de produção de circuitos com dispositivos cada vez menores com uma taxa de integração progressivamente mais robusta, observa-se que os dispositivos JNTs satisfazem plenamente esta premissa. Evidencia-se, por sua vez, que as tecnologias concorrentes, tais como as de modo inversão, já apresentam deficiências e grandes dificuldades para continuar fazendo frente à Lei de Moore. Uma das principais barreiras encontradas, é o fato de que os dopantes de fonte e dreno acabam por contaminar em alguma medida o canal, pois se difundem para este durante o processo de fabricação. Naturalmente, quanto menor o canal, mais significativa torna-se esta contaminação. Portanto, evitar e/ou controlar este evento danoso tem-se mostrado um grande desafio para a indústria e pesquisa<sup>34</sup>.

Insta enfatizar que, por sua natureza, os dispositivos JNTs não enfrentam esse dilema, visto que a concentração de dopantes é constante, isto é, o mesmo tipo e concentração de dopantes está presente tanto na fonte e no dreno como no canal. Esta simplicidade faz com que esta tecnologia mereça uma ampla investigação de suas propriedades para se determinar sua viabilidade para atender demandas hodiernas e futuras.

Na figura 9, observa-se uma representação típica de um dispositivo JNTs.

Figura 9 - Estruturas planar de um dispositivo JNTs.



Fonte: Autor

#### 2.1.4.1 Funcionamento dos dispositivos MOS sem junções

Como já mencionado, os dispositivos JNTs apresentam o mesmo tipo de dopantes da fonte ao dreno, diferentemente dos dispositivos modo inversão. A concentração de dopantes é da ordem de  $10^{19} \text{ cm}^{-3}$ . Por sua vez, os dispositivos modo inversão de última geração, normalmente tem uma concentração de dopantes no canal de, aproximadamente,  $10^{15} \text{ cm}^{-3}$ . A alta concentração de dopantes nos dispositivos JNTs permite uma corrente que flui por toda a espessura da camada de silício na condição de acumulação<sup>36</sup>.

Embora a concentração de dopantes seja alta para a região de canal, ela é mais baixa que a utilizada nas regiões de fonte e dreno de transistores modo inversão. Tal fato faz com que haja uma maior influência da resistência série nos dispositivos JNTs quando comparada aos dispositivos modo inversão<sup>37</sup>.

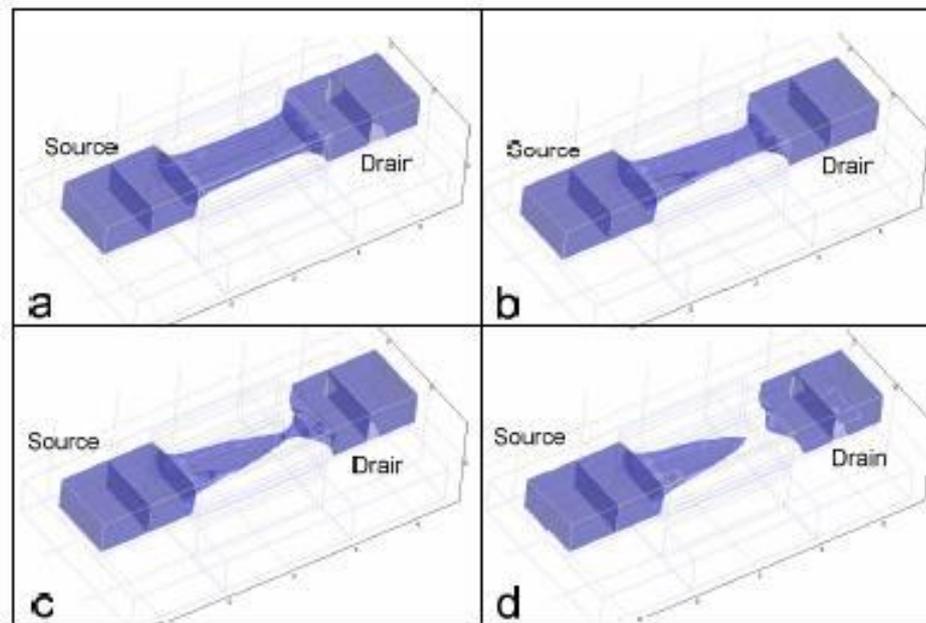
Os dispositivos JNTs funcionam de maneira análoga aos dispositivos SOI modo acumulação. Porém, este não é propriamente um dispositivo modo acumulação, pois a maior parte da corrente passa pelo corpo e não pela superfície como nos dispositivos SOI modo acumulação<sup>38</sup>,

A diferença de função trabalho entre o material de porta e a camada de silício fica entre 0,5 e 1V, fazendo com que esta camada esteja totalmente depletada quando a porta é polarizada com  $V_G = 0 \text{ V}$ . Com isso, não há portadores livres para a formação de uma camada de condução. Ao se aplicar uma tensão na porta (positiva no caso de transistores nMOS e negativa no caso de pMOS), a camada de depleção terá sua profundidade diminuída e, progressivamente, uma

camada não depletada surgirá com o aumento de tensão de porta, até que a camada de silício deixe a depleção, permitindo o início da condução<sup>39</sup>. Para tensões de porta acima da faixa plana, toda a camada de silício passa a conduzir e tem início uma componente de corrente superficial devido à acumulação de portadores junto ao óxido.

A figura 10 ilustra a maneira pela qual os dispositivos JNTs conduzem e como a corrente se propaga.

Figura 10 – Distribuição das cargas dos dispositivos JNTs



Fonte: Junctionless Nanowire Transistor (JNT): Properties and design guidelines J.P. Colinge , A. Kranti, R. Yan, C.W. Lee, I. Ferain, R. Yu, N. Dehdashti Akhavan, P. RazaviTyndall National Institute, University College Cork, Lee Maltings, Dyke Parade, Cork, Ireland.

Figura (a) dispositivo com dopagem de  $5 \times 10^{18} \text{ cm}^{-3}$  e  $V_D$  baixo, em acumulação; Figura (b) dispositivo com dopagem de  $1 \times 10^{19} \text{ cm}^{-3}$  e  $V_D$  baixo, em acumulação; Figura (c) dispositivo com dopagem de  $5 \times 10^{18} \text{ cm}^{-3}$  e  $V_D$  alto, em depleção parcial; Figura (d) dispositivo com dopagem de  $1 \times 10^{19} \text{ cm}^{-3}$  e  $V_D$  alto, em depleção parcial

## 2.2 PRINCIPAIS PARÂMETROS ELÉTRICOS

Definiremos aqui os principais parâmetros elétricos que usaremos doravante para nortear nossas análises.

### 2.2.1 Tensão de limiar

Em transistores que operam em modo inversão, a tensão de limiar  $V_{TH}$  é definida como a tensão aplicada à porta dos dispositivos a partir da qual há formação da camada de inversão no canal junto ao óxido de porta, permitindo que haja fluxo de corrente nesta região. Assim sendo, observa-se que a tensão aplicada à porta forma um canal de inversão na região ativa da lâmina com concentração de portadores minoritários similar à de majoritários do substrato. O evento ocorre para um potencial de superfície que pode ser aproximado pelo dobro do potencial de Fermi ( $2\Phi_{Fp}$ ), conforme definido na expressão (1), desenvolvida para transistores MOS convencionais e SOI parcialmente depletados:

$$V_{TH} = -\frac{Q_{Sifmax}}{C_{OX}} - \frac{Q_{SS}}{C_{OX}} + 2 \cdot \phi_{Fp} + \phi_{MS} \quad (1)$$

onde  $Q_{Sifmax}$  é a máxima densidade de carga de depleção,  $C_{ox}$  é a capacitância do óxido de porta,  $Q_{SS}$  é a densidade de carga de interface do óxido de silício,  $\phi_{Fp}$  potencial de Fermi, para substrato tipo P e  $\phi_{MS}$  é a diferença da função trabalho entre o metal e o semiconductor.

No caso de transistores SOI totalmente depletados, a tensão de limiar é dada pelas expressões (2), (3) e (4), uma vez que, neste caso, a tensão de limiar do dispositivo terá dependência com o regime de polarização da segunda interface. A expressão (2) aplica-se para o cálculo do  $V_{TH}$  da primeira interface com a segunda interface em inversão ( $\Phi_{S2} = 2 \cdot \Phi_F$ ), Na expressão (3), temos o  $V_{TH}$  da primeira interface com a segunda interface em acumulação ( $\Phi_{S2} = 0$ ) e na expressão (4) temos o  $V_{TH}$  da primeira interface para a segunda interface em depleção ( $0 < \Phi_{S2} < 2 \cdot \Phi_F$ ).

$$V_{TH1,inv2} = \phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + 2 \cdot \phi_{Fp} - \frac{Q_{depl}}{2C_{OX1}} \quad (2)$$

$$V_{TH1,acc2} = \Phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right) - Q_{depl2} \cdot C_{OX1} \quad (3)$$

$$V_{TH1,depl2} = V_{TH1,acc2} - \frac{C_{Si} \cdot C_{OX2}}{C_{OX1}(C_{Si} + C_{OX2})} (V_{G2} - V_{G2,acc2}) \quad (4)$$

onde  $\Phi_{MS1}$  é a diferença da função trabalho entre o metal e o silício da primeira interface,  $Q_{ox1}$  é a carga do óxido da primeira interface,  $\Phi_{Fp}$  é o potencial de Fermi,  $Q_{depl}$  é a carga de depleção,  $C_{ox1}$  é a capacitância do óxido de porta,  $C_{ox2}$  é a capacitância do óxido enterrado e  $C_{Si}$  é a capacitância do silício. Todas as capacitâncias são dadas por unidade de área.

Por seu turno, para dispositivos JNTs, devemos adotar outras considerações para definir o  $V_{TH}$ . Podemos utilizar elementos de igualdade de deriva e de difusão da corrente ou a relação entre a capacitância. Esta última situação mostra-se abaixo representada (5):

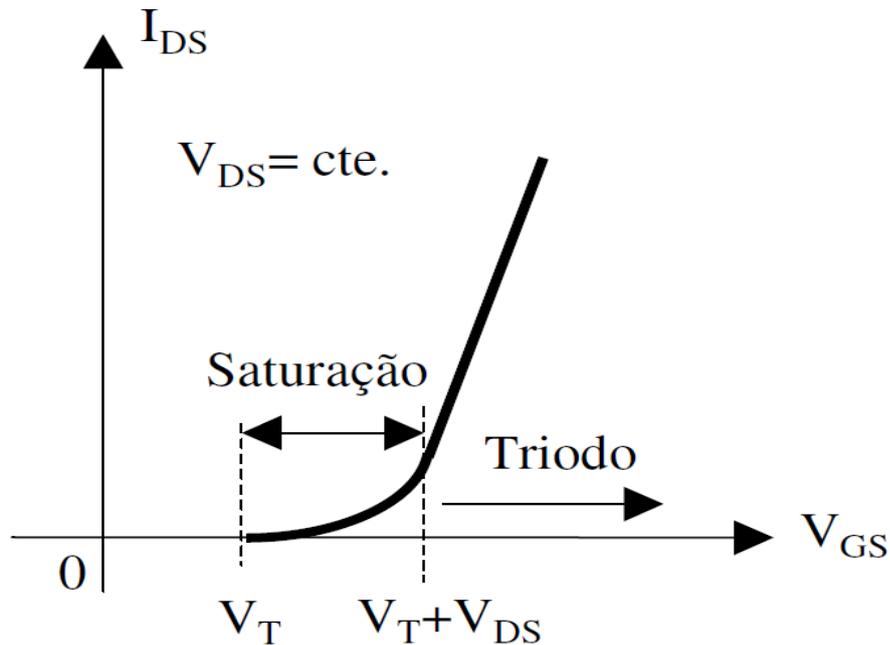
$$V_{TH} = \Delta\Phi_{mi} + \frac{KT}{q} \ln\left(\frac{2C_{ox}KT}{q^2 n_i W_{fin}}\right) + \frac{2\pi\hbar^2}{2qW_{fin}^2} \quad (5)$$

onde  $\Delta\Phi_{mi}$  é diferença da função trabalho entre o material de porta e o silício intrínseco,  $K$  é a constante de Boltzmann,  $T$  é a temperatura,  $q$  é a carga do elétron,  $C_{ox}$  é a capacitância do óxido,  $n_i$  é a dopagem intrínseca,  $W_{fin}$  é a largura do fin e  $\hbar$  é constante de Planck normalizada.

Outra característica relativa ao JNTs a diferenciar bastante o dispositivo supramencionado dos demais, diga-se convencionais, consiste no fato do  $V_{TH}$  possuir uma íntima dependência com as características físicas do dispositivo. Tal situação pode parecer, em princípio, uma dificuldade de projeto, mas, por outro lado, um  $V_{TH}$  flexível pode, em muitos casos, constituir vantagem, como, por exemplo, para projetos envolvendo amplificadores de correntes, pois este tipo de circuito exige muitos ajustes.

### 2.2.2 Corrente de dreno

A figura 11 demonstra como, de maneira genérica, opera um transistor pela perspectiva da curva  $I_{DS} \times V_{GS}$ .

Figura 11 – Curva característica  $I_{DS} \times V_{GS}$ 

Fonte: Material didático PEL 108

A corrente de dreno em dispositivos JNTs tende a ser menor que a de dispositivos FinFET, pois a maior concentração de dopantes na região de canal faz com que se tenha uma menor mobilidade dos portadores. Esta afirmação é confirmada em nossas simulações e em diversos trabalhos já disponíveis na literatura<sup>38</sup>.

Podemos calcular a corrente de dreno para dispositivos SOI FD pelas expressões abaixo de (6) à (8):

$$I_{DS} = \frac{\mu \cdot W \cdot C_{ox1}}{L} \left[ (V_{G1} - V_{TH}) - (1 + \alpha) \left( \frac{V_{DS}^2}{2} \right) \right] \text{ Triodo} \quad (6)$$

$$I_{DS} = \mu C_{ox1} \frac{W}{L} \frac{(V_{G1} - V_{TH1})^2}{2(1 + \alpha)} \text{ Saturação} \quad (7)$$

$$\alpha = \frac{C_{Si}}{C_{ox1}} \text{ Para segunda interface em acumulação} \quad (8)$$

$$\alpha = \frac{C_{Si} \cdot C_{ox2}}{C_{ox1}(C_{Si} + C_{ox2})} \text{ Para segunda interface em depleção} \quad (9)$$

onde  $C_{ox1}$  é a capacitância do óxido na primeira interface,  $V_{G1}$  é a tensão de porta da primeira interface e  $V_{TH1}$  é a tensão de limiar da primeira interface.

Já, para dispositivos JNTs, podemos usar a expressão (10):

$$I_{D=}= -\frac{\mu_{eff}}{L} \int_0^{V_A} Q_1(\gamma) dV_\gamma - \frac{\mu_{eff}}{L} \int_{V_A}^{V_B} Q_2(\gamma) dV_\gamma \quad (10)$$

onde  $V_A$  é aproximadamente  $V_{GS}-\Phi_{MS}$ ,  $V_B$  é  $V_{DS}$  e  $\mu_{eff}$  é a mobilidade efetiva.

Em dispositivos convencionais, ao se reduzir a temperatura, tem-se um acréscimo tanto da mobilidade como da tensão de limiar. Existe um ponto (*Zero Temperature Coefficient – ZTC*) no qual a corrente de dreno se mantém constante, independentemente da temperatura.

Por sua vez, em dispositivos JNTs, o ponto ZTC pode não existir. Tal fato está relacionado à grande dependência da tensão de limiar e à pequena dependência da mobilidade com a temperatura neste tipo de dispositivos<sup>40</sup>, além do efeito da resistência série sobre a corrente destes dispositivos.

### 2.2.3 Transcondutância

A transcondutância ( $g_m$ ) de um SOI MOSFET é a medida da efetividade do controle da corrente de dreno pela tensão de porta. Determina-se o valor da transcondutância na região de saturação, derivando-se a equação da corrente de dreno ( $I_{DS}$ ) em relação ao potencial de porta ( $V_{GS}$ ), conforme a equação abaixo (11), desenvolvida para transistores MOS convencionais<sup>39</sup>.

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = \frac{\mu C_{ox} W}{(1+\alpha)L} (V_{GS} - V_{TH}), \text{ para } (V_{DS} > V_{DSsat}) \quad (11)$$

onde  $I_{DS}$  é a corrente de dreno,  $\mu$  é a mobilidade das cargas,  $C_{ox}$  é a capacitância do óxido,  $W$  é a largura do canal,  $L$  o comprimento do canal,  $\alpha$  é o parâmetro para o cálculo da mobilidade e  $V_{DSsat}$  é a tensão de saturação.

### 2.2.4 Mobilidade

Uma característica interessante e diversa dos dispositivos JNTs em relação aos convencionas diz respeito à mobilidade dos portadores ( $\mu$ ). Nos dispositivos atuais, temos uma dependência entre mobilidade efetiva e a temperatura ( $T$ ) apontada pelo potencial de Fermi, o

qual aumenta com a redução de  $T$  e, conseqüentemente, majora o campo elétrico efetivo e a degradação da mobilidade<sup>41</sup>.

Nos JNTs, a tensão de porta só afetará a mobilidade se  $V_{GS}$  for maior que a tensão de faixa plana. Desta forma, somente afetará  $\mu$ , quando ocorrer formação da camada de acumulação.

Todavia, a mobilidade é pouco afetada quando o dispositivo encontra-se conduzindo pelo corpo, uma vez que o campo elétrico induzido pelas portas nas cargas fixas mostra-se baixo. Apesar disso, a mobilidade dos portadores em transistores sem junções é significativamente inferior à apresentada por transistores modo inversão, devido à maior concentração de dopantes na região de canal.

### 2.2.5 Inclinação de sublimiar

A inclinação de sublimiar é definida como a variação da tensão de porta necessária para aumentar a corrente de dreno em uma década, conforme equação (12):

$$S = n \frac{KT}{q} \ln 10 \quad (12)$$

onde  $n$  é o fator de corpo, com o limite mínimo 1,  $K$  é a constante de Boltzmann,  $T$  é a temperatura e  $q$  é a carga do elétron.

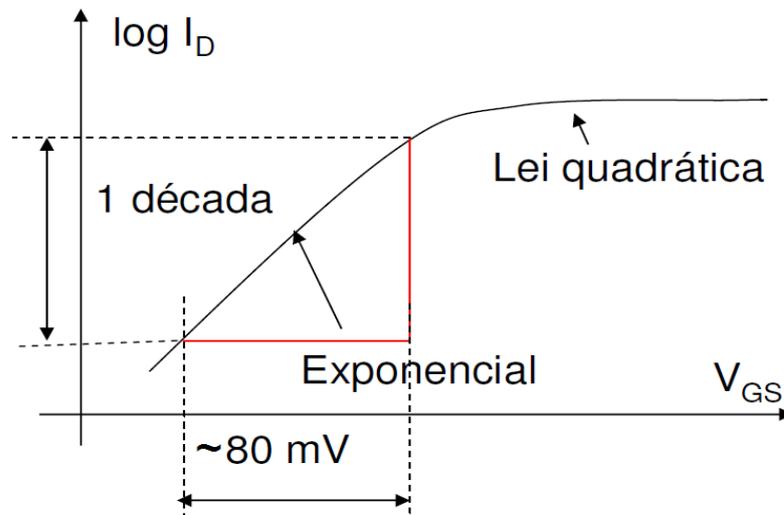
Por sua vez, o principal operador na região de subliminar é a corrente de dreno como apontado na equação (13). Assim temos:

$$S = \frac{\partial V_{GS}}{\partial (\log(I_{DS}))} \quad (13)$$

onde  $V_{GS}$  é a tensão de porta e  $I_{DS}$  é a corrente de dreno.

Na figura 12 é apresentado um esboço da característica de sublimiar de um transistor MOS convencional.

Figura 12 - Inclinação de Sublimiar



Fonte: NTUEE Electronics – L. H. Lu

Sabe-se que o fator de corpo está ligado ao acoplamento capacitivo. Então, nos dispositivos SOI FD, evidencia-se um acoplamento capacitivo melhor que nos MOS convencionais e nos SOI PD.

Por sua vez, nota-se que, nos dispositivos de múltiplas portas, o fator de corpo mostra-se muito próximo a 1. Desta feita, a inclinação de sublimiar fica próxima ao limite teórico. Nos JNTs, n fica muito perto de 1 e, conseqüentemente, a inclinação de sublimiar também se aproxima do limite teórico<sup>42</sup>.

### 2.2.6 Condutância de dreno

Em dispositivos MOS, operando em saturação, ocorre um efeito denominado *pinch-off*, que consiste em um pinçamento do canal próximo ao dreno<sup>43</sup>, conforme ilustrado na Figura 10.

Se aumentarmos a tensão  $V_{DS}$ , a depleção junto ao dreno também se torna maior. Assim, o pinçamento desloca-se para dentro do canal. Por conseguinte, observa-se uma diminuição do comprimento de canal efetivo e um conseqüente aumento da corrente de dreno. Por sua vez, esta região de saturação da curva  $I_{DS} \times V_{DS}$  adquire uma inclinação característica. Esta inclinação pode ser avaliada a partir da condutância de dreno ( $g_D$ ) apresentada pelos dispositivos e dada pela equação (14)<sup>44</sup>:

$$g_D = \partial I_{DS} / \partial V_{DS} \quad (14)$$

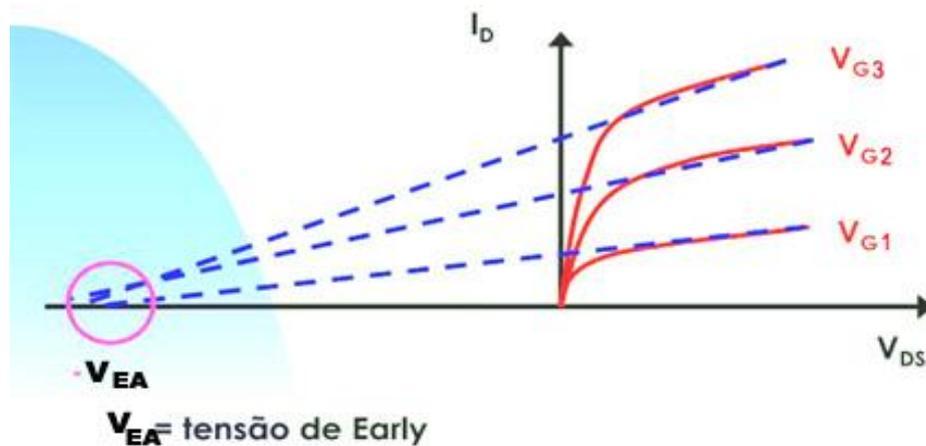
onde  $V_{GS}$  é a tensão de porta e  $I_{DS}$  é a corrente de dreno.

Devido ao melhor controle do potencial no interior do canal nos dispositivos de múltiplas portas como FinFETs e transistores sem junções, há uma menor influência do potencial de dreno na corrente de condução, resultando-se em uma menor condutância de dreno, fato este que eleva a tensão Early<sup>45</sup> ( $V_{EA}$ ), descrita no tópico seguinte.

### 2.2.7 Tensão Early

A tensão Early ( $V_{EA}$ ) pode ser obtida graficamente a partir do prolongamento da reta apresentada pela corrente na região de saturação em função da tensão de dreno até o ponto de cruzamento do eixo  $V_{DS}$ , como podemos ver na figura 13.

Figura 13 – Curvas  $I_D \times V_{DS}$  e a extração da tensão de Early



Fonte: Autor

Para dispositivos de múltiplas portas, há um maior controle das cargas no canal quando comparados a dispositivos de porta simples. Reduzindo-se a largura do dispositivo ( $W$ ), reduz-se a penetração do campo elétrico no dreno. Consequentemente,  $V_{EA}$  aumenta devido ao maior acoplamento das portas laterais.

Os dispositivos JNTs apresentam maior tensão Early quando comparados aos dispositivos modo inversão<sup>46</sup>, se os valores aplicados a  $V_{GS}$  se mostrarem baixos (poucas

centenas de mV acima do limiar). Este fenômeno é explicado em razão da menor condutância de dreno, quando o dispositivo opera próximo ao limiar.

Em dispositivos modo inversão, a condutância degrada com a redução da temperatura devido à modulação do comprimento de canal causa a diminuição da tensão Early. Entretanto, nos dispositivos JNTs, a mobilidade possui fraca dependência com a temperatura. Fato este que impacta no aumento de  $V_{EA}$ .

### 2.2.8 Ganho de tensão de malha aberta

O ganho de tensão de malha aberta é uma grandeza que se relaciona, principalmente, com transistores operando como amplificadores e obedece a relação da equação (15)<sup>47</sup>:

$$|AV| = \frac{V_{DS} - gm}{V_{GS} g_D} \cong \frac{gm}{I_{DS}} |V_{EA}| \quad (15)$$

onde  $g_D$  é a condutância de dreno e  $V_{EA}$  é a tensão de Early.

Observa-se, na equação (15), que o ganho  $A_V$  tem relação direta com a tensão Early. Assim sendo, em dispositivos de múltiplas portas, evidencia-se uma maior tensão Early que resulta em um maior ganho  $A_V$ . Por sua vez, no caso dos dispositivos JNTs, o ganho é maior do que dispositivos modo inversão, para  $V_{GS}$  baixos.

### 2.2.9 Relação $gm/I_{DS}$

Esta razão reflete a eficácia do dispositivo na conversão da corrente elétrica em transcondutância. Na região de sublimiar, está relacionada a inversão da inclinação de sublimiar do dispositivo, como apontado na equação (16). Sendo que o valor máximo se estabelece para os dispositivos quando em inversão fraca.

$$\frac{gm}{I_D} = \frac{q}{nKT} \quad (16)$$

onde  $n$  é o fator de corpo, com o limite mínimo 1,  $K$  é a constante de Boltzmann,  $T$  é a temperatura e  $q$  é a carga do elétron.

Em dispositivos de múltiplas portas, o fator de corpo está muito próximo a 1, sendo a razão  $g_m/I_{DS}$  inversamente proporcional ao potencial térmico<sup>48</sup>. Na inversão forte, esta razão diminuirá<sup>49</sup>.

Os dispositivos JNTs, quando em inversão forte, tem uma mesma razão  $g_m/I_{DS}$  que independe da temperatura. Tal fato se deve a uma menor degradação da mobilidade  $e$ , consequentemente, traduz-se em vantagem em relação a dispositivos convencionais.

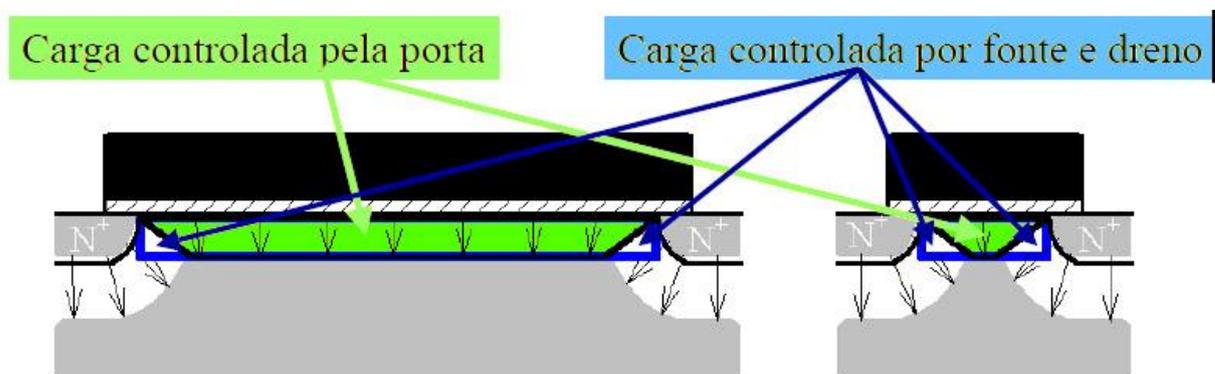
## 2.3 EFEITOS DECORENTES DA REDUÇÃO DO CANAL

A redução de canal é meta fundamental para evolução do projeto de circuitos, os quais cada vez se mostram mais densos.

### 2.3.1 Efeitos de canal curto

Nos dispositivos modo inversão, a existência de menores comprimentos de canal torna mais crítica a influência da área de depleção de fonte e dreno para o interior do canal, sendo que esta depleção ameaça o controle das cargas exercido pelas portas. Como consequência, há uma redução na tensão de limiar e um decorrente aumento na inclinação de sublimiar, prejudicando a eficiência do dispositivo. Isto é, conforme o comprimento de canal é reduzido, a quantidade carga de depleção controlada pelas junções de fonte e dreno deixa de ser desprezível frente à carga controlada pela porta, o que reduz  $V_{TH}$ . Podemos observar como esse fenômeno ocorre, ao observar a figura 14.

Figura 14 – Efeito de canal curto



Fonte: Autor

No caso de um dispositivo de canal curto, a tensão aplicada ao dreno pode reduzir a barreira de potencial na fonte. Com isso, reduz-se a tensão de limiar para altos valores de  $V_{DS}$ . Esta dinâmica recebe o nome de DIBL (*Drain Induced Barrier Lowering*)<sup>50</sup>.

Em função deste efeito, não calculamos diretamente a tensão de limiar para  $|V_{DS}|$  alto, quando o dispositivo opera em saturação. Esta ocorrência será melhor explicitada abaixo.

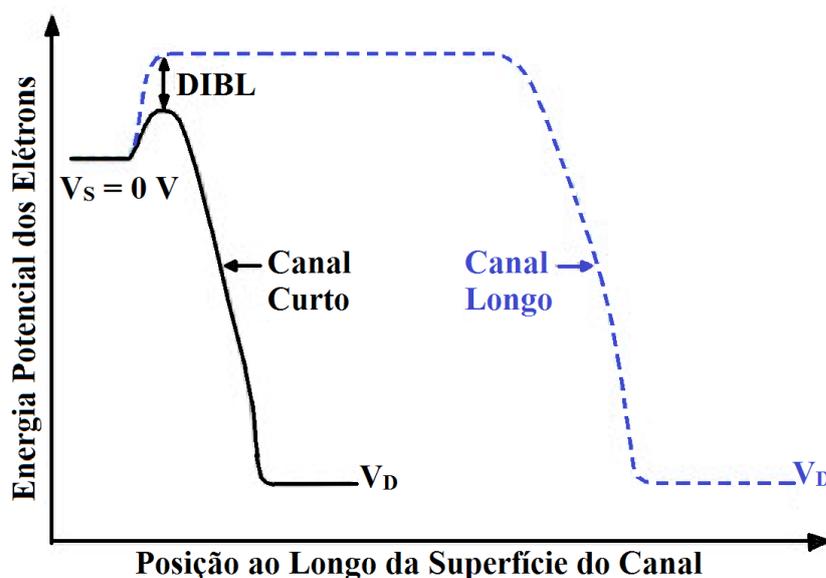
Como os dispositivos JNTs não tem junções de fonte e dreno, mostram-se menos susceptíveis ao efeito DIBL.

### 2.3.2 Efeito DIBL (*Drain Induced Barrier Lowering*)

O DIBL é decorrente das reduções dos comprimentos de canal e se faz sentir, sobremaneira, em transistores de canal curto, ao se aumentar (em módulo) a tensão aplicada ao dreno nesses transistores. Com isso, as regiões de depleção entre fonte e dreno passam a interagir. Em decorrência disto, o aumento de  $V_{DS}$  pode causar uma diminuição da barreira de potencial junto à fonte. Na figura 15, é mostrada uma representação gráfica do efeito DIBL, na qual podemos observar que, quanto mais curto o canal, mais significativo é o efeito.

Por sua vez, a redução na barreira de potencial faz com que a tensão de limiar sofra redução com o aumento de  $V_{DS}$ . Este efeito acaba refletido na obtenção do  $V_{TH}$  por métodos que consideram as curvas  $I_{DS} \times V_{GS}$ .

Figura 15 – Efeito DIBL para dispositivos de canal curto.



Fonte: Adaptado de J.P. Colinge, *Physics of Semiconductor Devices*, 2004.

## 2.4 PARÂMETROS DE CONFIABILIDADE NOS TRANSISTORES MOS

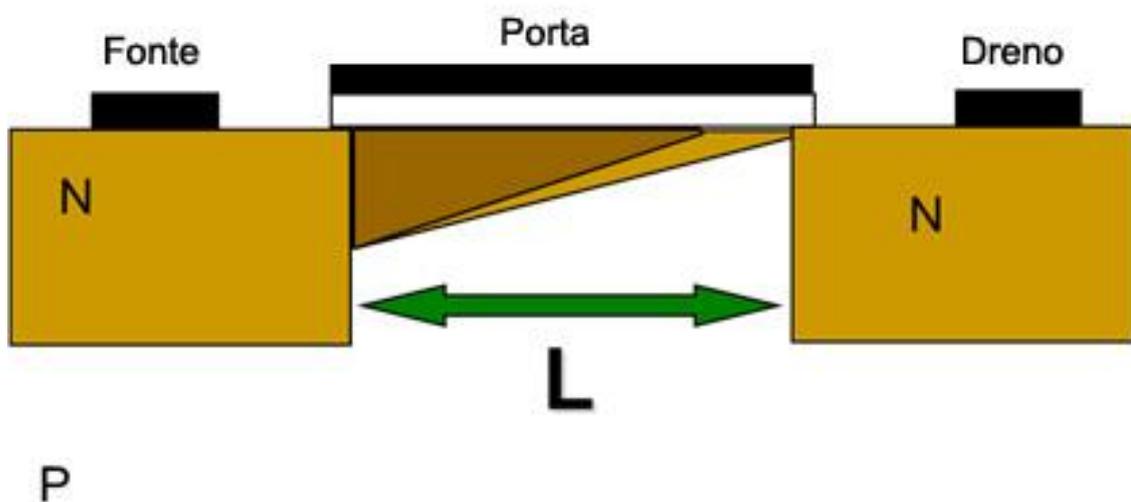
Dispositivos atuais sofrem vários efeitos que podem reduzir a sua confiabilidade, causando falhas após um extenso período de funcionamento. Tais efeitos são, usualmente, decorrentes da energia térmica, sendo esta uma grande preocupação de projeto e execução dos circuitos eletrônicos. Na sequência, são apresentados os principais parâmetros de confiabilidade apresentados por transistores MOS de última geração.

### 2.4.1 Efeito de elétrons quentes

Os efeitos deletérios termicamente ativados apresentam múltiplas facetas. Dentre elas pode-se ressaltar o *Hot Carriers Effect* (HCE)<sup>51</sup>. Este efeito consiste na degradação causada pelo espalhamento de transportadores de carga de alta energia, ou seja, transportadores de carga cujos efeitos térmicos são maiores que a temperatura da rede.

Este fenômeno consiste no surgimento de intensos campos elétricos entre as regiões de *pinch-off* e o dreno, como vemos na figura 16. Assim, os elétrons são acelerados a altíssimas velocidades e podem colidir com a rede cristalina, criando pares elétron-lacuna. Este fenômeno é denominado ionização por impacto e costuma ocorrer para altos valores de  $V_{DS}$ . Tal mecanismo pode, por fim, prejudicar o funcionamento ou mesmo inutilizar o dispositivo.

Figura 16 – Efeito Pinch-off no canal do dispositivo



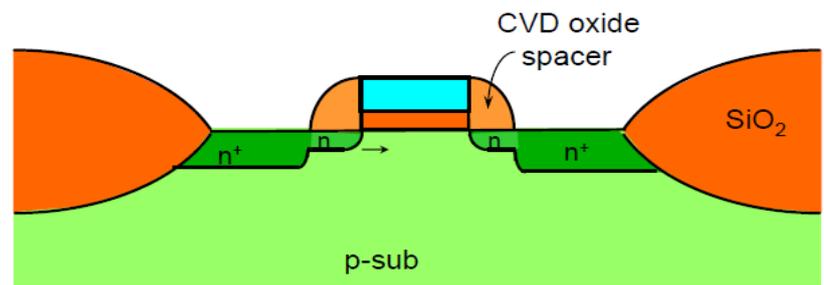
Fonte: Transistor de Efeito de Campo, Paulo Lopes, ISCTE 2003

A geração de transportadores quentes pode afetar a saturação do dispositivo, além de gerar ligações pendentes em interfaces e corrente “parasitária” de substrato, em razão da ionização por impacto.

A corrente de substrato só ocorre em dispositivos *bulk*. Em transistores SOI, o óxido enterrado impede a ida das lacunas junto ao dreno para o substrato. Deste modo, elas se movem para a região de menor potencial, usualmente, a região de canal junto à fonte, aumentando este potencial. Assim, a barreira de potencial fonte/canal é reduzida, reduzindo a tensão de limiar do dispositivo para uma mesma condição de polarização e aumentando a corrente. Este é o chamado efeito *kink*. A par disto, os elétrons gerados na região junto ao dreno podem se incorporar à corrente na região de canal ou então ser injetados no óxido de porta, gerando uma corrente de porta que pode vir a romper o óxido, queimando o dispositivo.

Depois de operar por algum tempo sob o efeito de elétrons quentes, o dispositivo corre o risco de deixar de funcionar. Normalmente, a implantação de uma “extensão” junto a fonte e o dreno, denominada estrutura LDD (*Lightly Doped Drain*) ou SDE (*Source and Drain Extensions*) é utilizada como solução para diminuir a possibilidade de ocorrência da degradação por elétrons quentes<sup>52</sup>. Insta mencionar que o LDD, como aponta a figura 17, é um prolongamento das regiões de fonte e dreno para dentro do canal, com menor concentração de dopantes. Assim, a largura das regiões de depleção da fonte com o canal e do dreno com o canal aumenta e, como decorrência, ocorre a redução do campo elétrico.

Figura 17 - Implantação do LDD (Lightly Doped Drain).



Fonte: N. Cheng, IC Process Integration

De se ver que esta técnica incorre em mais outra dificuldade construtiva em dispositivos convencionais, principalmente se pensarmos em dispositivos de canal curto. Como nos dispositivos JNTs os portadores de cargas normalmente fluem no interior da camada de silício, o campo elétrico e a sua corrente de dreno são significativamente inferiores aos de transistores

modo inversão, a ocorrência de HCE pode ser desprezada. Longe das interfaces, não há a necessidade da formação da região de LDD.

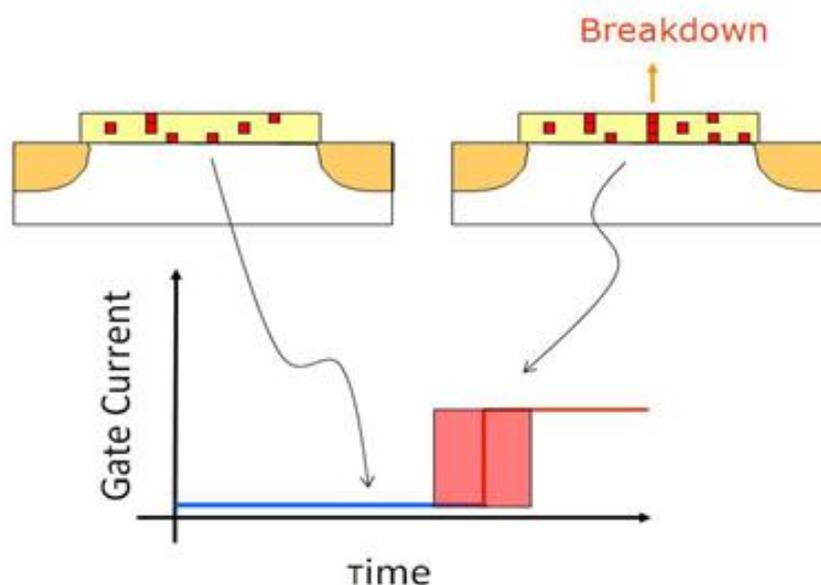
A degradação por elétrons quentes é extremamente importante em transistores canal N, devido à alta mobilidade dos elétrons.

#### 2.4.2 – Ruptura do dielétrico por dependência do tempo

Por sua vez, a ruptura do dielétrico por dependência do tempo TDDB (*Time-dependent dielectric breakdown*) refere-se à formação de um caminho de condução através do dielétrico de porta, causado pelo tunelamento, levando-se os transportadores do canal para o dielétrico<sup>53</sup>. Este efeito está diretamente ligado à espessura do óxido e ao contato da área superficial com o canal, bem como com a constante dielétrica do material de óxido de porta e a temperatura do dispositivo. Portanto, muito se faz para produzir um óxido ultra-limpo para maximizar a vida útil TDDB.

Na figura 18 podemos observar a ilustração da ruptura do dielétrico sob influência do efeito TDDB.

Figura 18 – Efeito TDDB (*Time-dependent dielectric breakdown*).



Fonte: Electrical and Computer Engineering, Purdue University, West Lafayette, IN

O tempo de vida de um óxido de porta particular é determinado pela quantidade total de carga que flui através deste óxido, por corrente de tunelamento. A corrente de tunelamento

eletrônico é modelada pela equação de Fowler-Nordheim para a densidade de corrente de óxido,  $J$ , como apontado pela equação (17)<sup>54</sup>:

$$J = AE^2 e^{\frac{B}{E}} \quad (17)$$

onde A e B são constantes relacionadas com a massa efetiva e a altura da barreira, sendo E o campo elétrico.

Uma vez que os elétrons tenham violado a barreira de potencial do óxido, eles são acelerados através do óxido pelo campo elétrico que é determinado pela tensão aplicada e pelo óxido.

Assim, ligações podem ser quebradas pela carga acelerada, e uma vez que as ligações químicas foram quebradas, estes pontos tornam-se locais nos quais a carga pode ficar presa, alterando a quantidade de cargas armadilhadas no óxido. Essa carga armadilhada terá influência na mobilidade dos transistores, podendo reduzir seu ganho em aplicações analógicas. Adicionalmente, esta carga tem o efeito de aumentar o campo elétrico localmente, aumentando o tunelamento local<sup>55</sup>.

### 2.4.3 Instabilidade de temperatura por aplicação de tensão negativa

Dentre os vários mecanismos intrínsecos de desgaste que contribuem para a eventual falha ou que abreviam a vida útil de um transistor de metal-óxido-semicondutor (MOS), tem-se a Instabilidade de Temperatura por Aplicação de Tensão Negativa (NBTI). Este é, talvez, um dos efeitos mais controversos e, possivelmente, um dos que possui maior potencial de contribuir, de forma maléfica, para o desenvolvimento de novos dispositivos, pois demonstra relação direta com a diminuição do comprimento de canal, causando a degradação das características de tensão de limiar e corrente de um dispositivo devido à acumulação de cargas positivas na interface canal/dielétrico da porta e a geração de estados de interface carregados positivamente. Este mecanismo é termicamente ativado e não linearmente dependente do campo elétrico no óxido de porta<sup>56</sup>.

Trataremos, principalmente, de dispositivos JNTs pMOS, pois a difusão do hidrogênio do substrato quebra as ligações do boro (usado como dopante nos transistores JNTs pMOS) com o hidrogênio. Este evento ocorre mais facilmente que a quebra das ligações do boro, usado

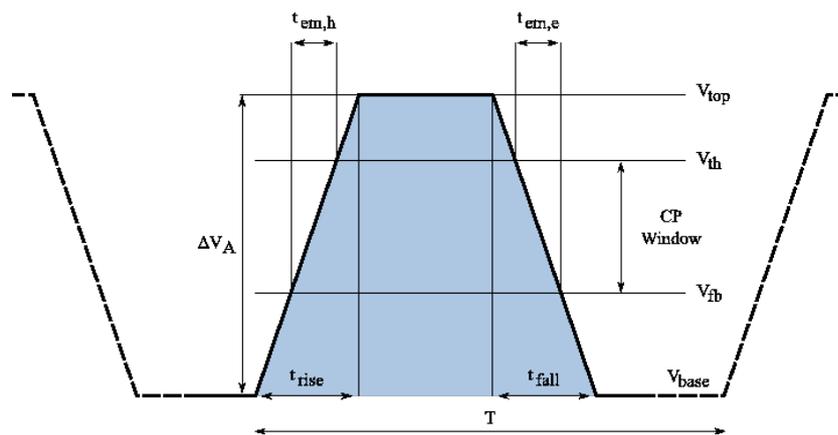
nos transistores nMOS. Como resultado da quebra da ligação do hidrogênio com os átomos dopantes do silício, o hidrogênio livre difunde-se em direção à interface, assim, passiva as ligações incompletas do silício.

Insta enfatizar que a degradação por efeito NBTI ainda não é uma questão fechada. Os modelos clássicos de NBTI baseiam-se na dinâmica de ligações de Si-H quebradas, que são frequentemente validados contra dados de bombeamento de carga (*charge pumping*)<sup>57</sup>.

O método de bombeamento de carga mostrou ser muito confiável e preciso, o que permite a análise detalhada da interface, diretamente no dispositivo MOSFET. Porém, como contamos com um analisador de parâmetros semicondutores Keysight B1500, o qual permite a avaliação do NBTI através de métodos mais simples, usaremos outro método mais adequado aos nossos propósitos, explanado posteriormente.

Do ponto de vista histórico, vale a pena salientar que o bombardeamento de cargas foi um dos primeiros métodos utilizados para estudar o efeito e foi relatado pela primeira vez por Brugler e Jaspers em 1969<sup>58</sup>. Eles perceberam uma corrente de substrato ao aplicar pulsos periódicos à porta de um transistor MOS, enquanto se mantinha a fonte e o dreno aterrados. Verificou-se que a corrente era proporcional à área da porta e à frequência dos pulsos aplicados, e fluía na direção oposta da corrente de fuga da fonte<sup>59</sup>. A figura 19 mostra como se daria um sinal *charge pumping*.

Figure 19 - *Charge pumping*, com sinal aplicado ao contato de porta.



Fonte: Dissertation Modeling and Simulation of Negative Bias Temperature Instability, Robert Entner

Um sinal de bombeamento de carga é aplicado ao contato de porta. O sinal é caracterizado por tempos de subida e descida,  $t_{rise}$  e  $t_{fall}$ , e a amplitude  $\Delta V_A$ . Para a emissão de

elétrons e lacunas apenas a janela entre a tensão de faixa plana  $V_{FB}$  e a tensão limiar  $V_{TH}$  é significativa.

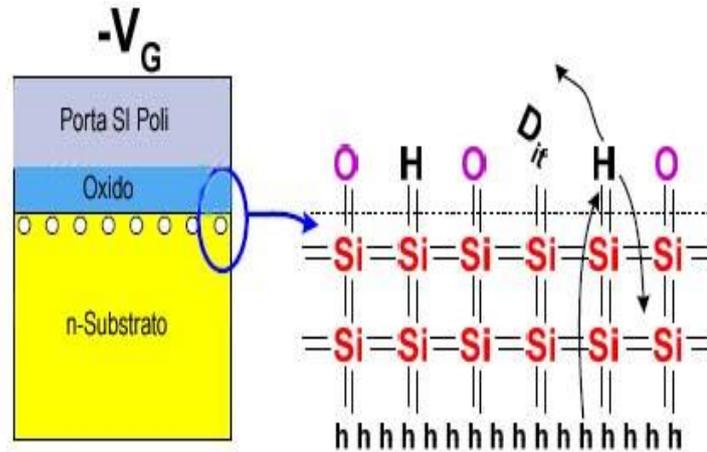
Os mesmos efeitos de flutuação do potencial de superfície e modulação na janela CP (*Charge pumping* - intervalo entre  $V_{FB}$  e  $V_{TH}$ ) influenciam a característica  $I_{CP}$ . O transistor está completamente em inversão durante todo o pulso. A corrente medida do substrato consiste apenas nas correntes de fuga da fonte e do dreno.

Brugler e Jespers mostraram que a corrente  $I_{CP}$  origina-se da recombinação de portadores minoritários e majoritários em armadilhas na interface<sup>60</sup>. Portanto, o método pode ser usado para medir a densidade da armadilha de interface em MOSFETs para avaliação da degradação. Todavia, esta técnica detecta ligações de Si-O e Si-H quebradas e não pode distinguir entre elas, dificultando a análise do NBTI.

Primeiramente, os átomos de H livres são oriundos da fase de fabricação dos dispositivos visando melhorar a qualidade das interfaces. No decorrer do processo de fabricação, estas são passivadas com átomos de hidrogênio. Tais átomos preenchem as ligações quebradas formando ligações Si-H e diminuindo a densidade de armadilhas de interface. O NBTI surge devido à quebra de ligações Si-H na interface Si / SiO<sub>2</sub>. Esta quebra apresenta uma dependência com o tempo devido ao estresse presente em decorrência da aplicação de tensão. A degradação surge em razão de combinação de fatores como campo elétrico e temperatura, resultando na geração de ligações incompletas nos átomos de silício da interface. Estas ligações geram estados capazes de prender portadores de carga na interface que são os chamados *traps* ou armadilhas. A quebra destas ligações também resultará na liberação de íons H<sup>+</sup>, os quais se difundirão dentro do óxido e, por vezes, formarão ligações H<sub>2</sub>.

Por seu turno, a taxa de dissociação é proporcional ao número de "lacunas" da camada de inversão que são capturadas pelas ligações Si-H. A ligação covalente Si-H de dois elétrons é enfraquecida quando uma "lacuna" é capturada. Por sua vez, esta ligação é facilmente quebrada a uma temperatura baixa. Assim sendo, as ligações de Si quebradas atuam como uma armadilha e contribuem para a mudança na tensão de limiar e redução na mobilidade. Por fim, os átomos de H<sup>+</sup> liberados no processo podem difundir para longe da interface, como podemos ver na figura 20, na qual é ilustrada a geração de uma armadilha de interface devido ao NBTI.

Figura 20 - Mecanismo de geração de armadilhas de interface Dit.

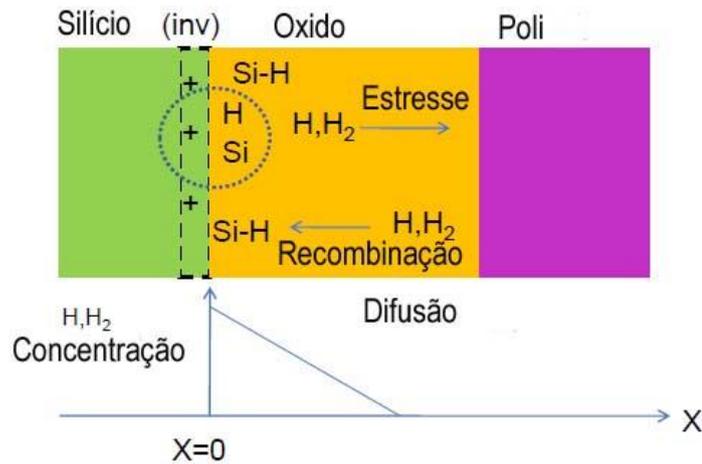


Fonte: *Negative Bias Temperature Instability (NBTI) Physics, Materials, Process, and Circuit Issues*, Dieter K. Schroder, Arizona State University

- Uma “Lacuna” (h) é atraída pela interface Si / SiO<sub>2</sub>;
- Isto enfraquece a ligação Si-H até quebrar;
- O hidrogênio (H) difunde no óxido ou silício da região do canal;
- Se H difunde no silício, pode passivar íons de fósforo, anulando-os;
- Deixa uma armadilha de interface D<sub>it</sub>.

Na figura 21, podemos observar o mecanismo de difusão do hidrogênio no óxido de porta.

Figura 21 - Modelo de difusão do hidrogênio.



Fonte: Introduction on NBTI, Chan Tuck Boon, UCLA

- A concentração de H e H<sub>2</sub> é maior junto ao canal;
- Lacunas interagem com a ligação Si-H;
- As lacunas enfraquecem a ligação Si-H;
- Devido à temperatura elevada, as ligações Si-H se dissociam;
- Dá-se início à reação química  $\text{Si}_3\equiv\text{SiH} + \text{H}^+ \rightarrow \text{Si}_3\equiv\text{Si} + \text{H}^+$ ;
- Inicialmente, ocorre a dissociação de Si-H (reação limitada);
- Mais tarde, a difusão de hidrogênio (difusão limitada);
- A degradação NBTI é relativamente lenta e cumulativa.

A formação de armadilhas de interface e a difusão de átomos de hidrogênio são descritos pelas seguintes equações diferenciais (18) e (19):

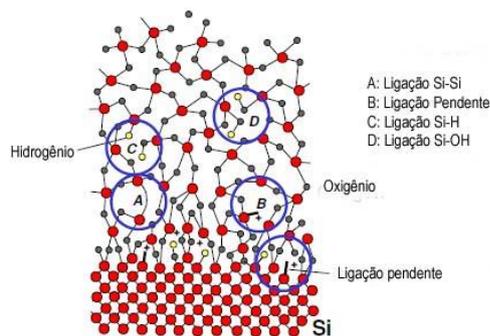
$$\frac{dN_{it}}{dt} = kf(N_0 - N_{IT}) - k_r N_h N_{it} \quad \text{- Reação} \quad (18)$$

$$\frac{dN_{it}}{dt} = \frac{D_H d^2 N_H}{dx^2} \quad \text{- Difusão} \quad (19)$$

onde  $N_{IT}$  é o número de armadilhas de interface por unidade de área,  $N_0$  número de ligações iniciais de Si-H.  $k_f$  é a taxa de ligações quebradas do Si com o H,  $k_r$  é a de taxa recuperação,  $N_h$  densidade do hidrogênio na interface e  $D$  é o coeficiente de difusão média para o hidrogênio.

Na figura 22, são apresentados, de forma detalhada, a representação da interface SiO<sub>2</sub> e os defeitos da estrutura do óxido.

Figura 22 - Interface SiO<sub>2</sub> e SiO<sub>2</sub>/Si



Fonte: Negative Bias Temperature Instability (NBTI) Physics, Materials, Process, and Circuit Issues, Dieter K. Schroder, Arizona State University.

- Hidrogênio de derivações do substrato de silício para SiO<sub>2</sub> na interface;
- H perto ou na interface SiO<sub>2</sub> / Si se liga ao silício gerando uma armadilha H<sup>+</sup>;
- H<sup>+</sup> passiva a ligação Si-H;
- Tem início a reação  $Si_3 \equiv SiH + H + Si_3 \equiv Si + H_2$ ;
- Alguns H<sup>+</sup> derivam em SiO<sub>2</sub>.

Os principais problemas decorrentes da degradação por efeito BTI ocorrem, especialmente, em MOSFET de canal p, com viés negativo da tensão de porta, e mostram-se insignificantes para tensão de porta positiva. Nos circuitos CMOS, verifica-se, mais comumente, durante o estado “ligado” dos MOSFET de canal p.

A degradação assimétrica em intervalos de tempo pode levar à não funcionalidade da lógica sensível de circuitos, como são as dos circuitos digitais, os quais tem tendência a problemas em desempenho de FPGAs (*Field Programmable Gate Array* – Arranjo de Portas Programáveis). Este consiste em um circuito integrado projetado para ser configurado por um consumidor ou projetista após a fabricação<sup>61</sup> em relação à frequência máxima de osciladores

em anel, nas margens de ruído estático de SRAMs e em microprocessadores. Nos circuitos analógicos, também veremos a degradação, sendo, por vezes, observados problemas relativos aos espelhos de corrente e aos amplificadores operacionais.

A diferença no potencial de superfície faz com que os defeitos na interface causem um potencial positivo na interface dos transistores PMOS, enquanto causam um potencial negativo na interface dos transistores NMOS. Porém, como as armadilhas existentes no interior do óxido são armadilhas para lacunas, ou seja, aprisionam cargas positivas, independentemente de ser PMOS ou NMOS, o efeito de NBTI no NMOS, denominado PBTI, é parcialmente anulado.

## 2.5 SIMULADOR *SENTAURUS*

Há algum tempo, os simuladores tornaram-se um gigantesco atalho para o desenvolvimento de uma miríade de elementos que permeiam a evolução da humanidade. Na eletrônica não poderia ser diferente. A complexidade desta área aumenta, de forma abrupta, tornando imprescindível o uso de ferramentas computacionais que visem abreviar o processo de projeto de dispositivos, circuitos, *chips* e toda gama de produtos desta ordem.

Vislumbra-se que o processo de fabricação de dispositivos é extremamente caro. Portanto, a existência de inexatidões e dúvidas sobre o funcionamento do protótipo deve ser minimizada.

Por sua vez, evidencia-se que o funcionamento dos simuladores é baseado em modelos matemáticos e/ou físicos, nos quais diferentes métodos são empregados consonante às especificidades de cada tipo de implementação com as quais são trabalhadas.

Na hipótese do presente trabalho, adotamos o *Sentaurus*, desenvolvido pela empresa estadunidense *Synopsys*<sup>62</sup>. Consigne-se que essa ferramenta foi empregada em razão do grande grau de confiabilidade e em virtude de nos proporcionar recursos necessários para o objetivo almejado. Desta feita, vislumbra-se que o objetivo final de nossos estudos é determinar se dispositivos JNTs apresentam menor degradação por efeito NBTI em relação a dispositivos bastante conhecidos, tais como os FinFETs. Para tanto, testamos o modelo de degradação por efeito NBTI do simulador *Sentaurus* com dispositivos planares JNTs em duas dimensões. Depuramos os arquivos até que estes apresentassem funcionalidades para comprimentos de canais entre 10 nm a 100 nm. Em seguida, de posse destes dados, partimos para o real objeto de nossos estudos, a saber, a comparação dos dispositivos JNTs de porta tripla com FinFETs de dimensões similares.

### 2.5.1 Funcionamento do simulador *Sentaurus*

O *Sentaurus Device* consiste em um avançado simulador multidimensional (1D / 2D / 3D), desenvolvido pela empresa estadunidense *Synopsys*, para fins de estudo de dispositivos. Suas ferramentas são capazes de simular características elétricas, térmicas e ópticas de dispositivos semicondutores baseados em silício e compostos.

Insta salientar que o simulador *Sentaurus* mostra-se extremamente útil e ideal para projetar e otimizar dispositivos semicondutores atuais e futuros, possuindo como principal característica ser uma ferramenta de simulação de dispositivos de propósito geral.

Para os nossos propósitos, o simulador *Sentaurus* permite a investigação de novas estruturas feitas de diferentes materiais e exploração de novos conceitos de dispositivos, para os quais os processos de fabricação ainda não estão definidos e/ou suas características elétricas são pouco conhecidas. Tal processo é efetuado por meio da física avançada e da capacidade de adicionar modelos definidos pelo usuário. Possibilita, também, caracterizar o comportamento elétrico, térmico e óptico de dispositivos semicondutores para prototipagem rápida, o desenvolvimento e a otimização de desempenho e redução do tempo de desenvolvimento, complementando dados experimentais com uma visão física profunda a partir da simulação e estudos da sensibilidade das características do dispositivo, variando-se o processo e/ou seus parâmetros físicos e elétricos.

### 2.5.2 Modelagem da degradação NBTI no *Sentaurus*

A Instabilidade de Temperatura por Aplicação de Tensão Negativa (NBTI) é considerada pelo simulador *Sentaurus* apenas para transistores PMOS. Tal evento incide sobre a tensão de limiar e a corrente de dreno. Partindo-se de tal premissa, o simulador *Sentaurus* interpreta a degradação de NBTI como um processo desenvolvido em duas fases<sup>63</sup>.

A primeira etapa inclui a criação de ligações pendentes em óxidos amorfos a partir dos seus precursores de vacância de oxigênio neutro, da carga e descarga e o recozimento total destes. A segunda etapa considera a criação de centros pouco recuperáveis na interface de óxido de silício. Frise-se que, no modelo de degradação NBTI em dois estágios, os níveis de energia envolvidos e as energias de ativação são amplamente distribuídos e são tratados como variáveis aleatórias.

Abaixo, é apresentado o modelo lógico que deve ser definido ao longo do arquivo de simulação:

```
Physics( MaterialInterface = "Silicon/Oxide" ) {  
  NBTI (  
    Conc = 5.0e12 # N_0 [/cm^2]  
    NumberOfSamples = 1000 # N_sample [1]  
    hSHEDistribution | -hSHEDistribution # (off by default)  
  )  
}
```

É importante destacar que o modelo de simulação NBTI do *Sentaurus* não coaduna com os comandos para simulação de influências quânticas, fato este que compromete, de alguma forma, a confiabilidade dos resultados obtidos, principalmente se levarmos em consideração os comprimentos de canal diminutos, para os quais os efeitos quânticos são mais importantes.

### 3 RESULTADOS SIMULADOS

Estudar o comportamento de dispositivos JNTs no tocante à degradação por efeito NBTI, é o principal objetivo deste trabalho. A partir deste estudo, podemos chegar a caracterização do evento supracitado, o que, naturalmente, nos permitirá fundamentar um série de conclusões.

#### 3.1 ARMADILHAS DE INTERFACE

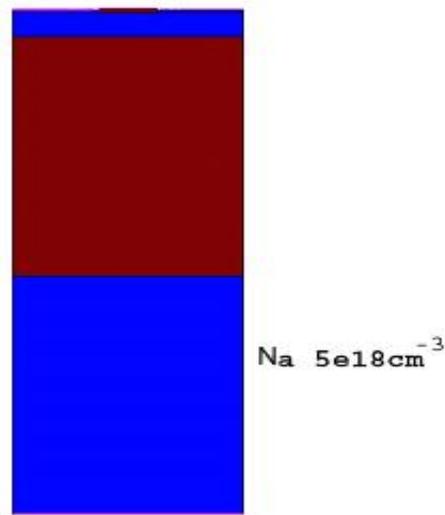
Consideramos, inicialmente, o efeito NBTI em transistores sem junções com uma densidade de armadilhas de interface de  $5 \times 10^{12}$  armadilhas/cm<sup>2</sup>.

Simulações com densidades de armadilhas menores tornam a influência da degradação por efeito NBTI quase inexistente. No caso da utilização de densidades de armadilhas maiores, problemas de convergência tornam-se muito comuns.

#### 3.2 ESTRUTURA SIMULADA

Utilizamos duas estruturas durante nossos estudos. A primeira corresponde a um dispositivo planar com espessura de óxido de porta ( $t_{ox}$ ) de 1,7 nm,  $t_{Si}$  de 10 nm e espessura de óxido enterrado ( $t_{box}$ ) de 100 nm. Variamos o comprimento de canal entre 10 e 100 nm para os dispositivos com concentração de dopantes de  $5 \times 10^{18}$  cm<sup>-3</sup> e de  $1 \times 10^{19}$  cm<sup>-3</sup>. Para cada dopagem, aplicamos  $V_{DS}$  de -0,05 V e de -0,9 V. Entretanto, considerando-se que os transistores sem junções possuem múltiplas portas, em função de um melhor controle da corrente no canal, o tempo de simulação das características elétricas da estrutura planar mostra-se extremamente inferior ao das estruturas 3D. Assim, tais estruturas foram inicialmente utilizadas com o intuito de entender o funcionamento do modelo de NBTI no *Sentaurus* e determinar sua funcionalidade para transistores sem junções. Um esboço da estrutura planar gerada no *Sentaurus* é apresentado na Figura 23.

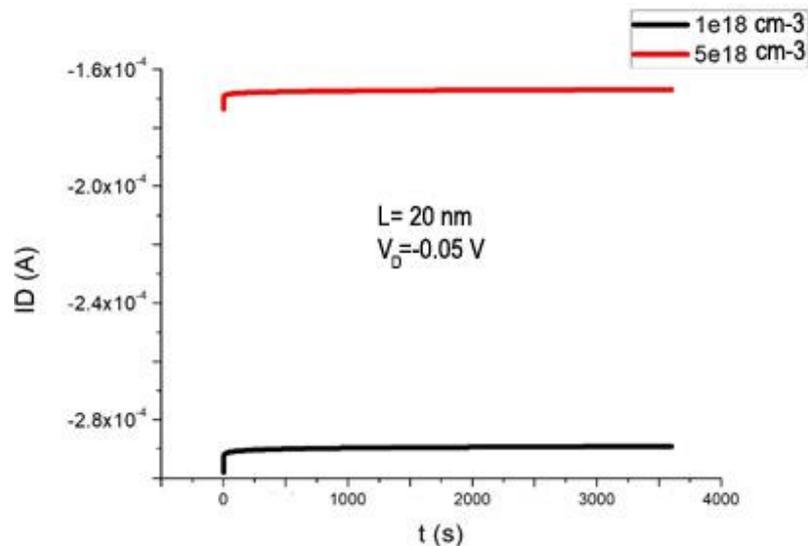
Figura 23 – Dispositivo JNTs planar de porta simples.



Fonte: Autor

Os dispositivos acima descritos foram simulados em 2D, o que nos ajudou a depurar o arquivo e constatar que o modelo de degradação por efeito NBTI do *Sentaurus* é funcional em transistores JNTs, visto que a corrente de dreno sofre variação ao longo do tempo, indicando alteração da tensão de limiar dos dispositivos, como se pode observar na figura 24.

Figura 24 – Corrente de dreno pelo tempo para dispositivos JNTs, planar com porta simples, com comprimento de canal de 20 nm e tensão de dreno de -0,05 V

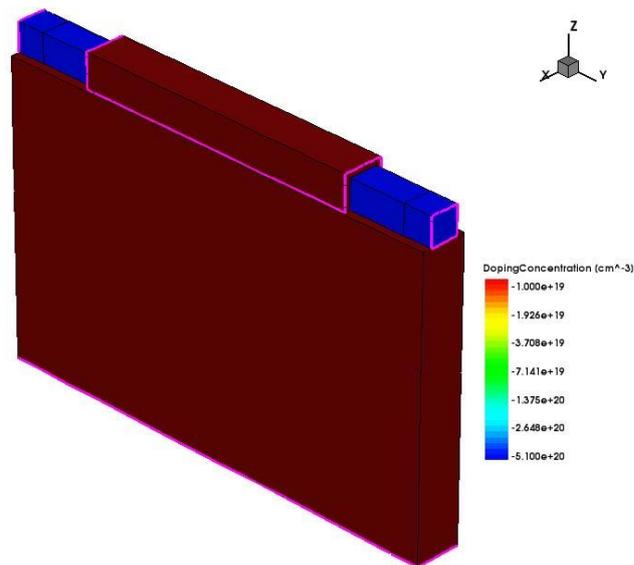


Fonte: Autor

A partir da verificação do modelo de NBTI efetuado na estrutura planar, desenvolveu-se uma estrutura que consiste em um dispositivo de porta tripla, nossa segunda estrutura, simulado em 3D, com comprimento de fonte e dreno de 30 nm,  $W_{fin}$  de 10 nm,  $t_{ox}$  de 2 nm,  $t_{box}$  de 100 nm e  $H_{fin}$  de 10 nm. Para os dispositivos JNTs, variamos o comprimento de canal entre 10 e 100 nm para as dopagens com concentração de  $5 \times 10^{18} \text{ cm}^{-3}$  e de  $1 \times 10^{19} \text{ cm}^{-3}$ . Para cada dopagem, aplicamos  $V_{DS}$  de -0,05 V e de -0,9 V. Esta estrutura também foi utilizada para a simulação de dispositivos FinFET, com dopagem de canal da ordem de  $1 \times 10^{15} \text{ cm}^{-3}$  e de fonte e dreno com  $5 \times 10^{20} \text{ cm}^{-3}$ . Todos os demais parâmetros físicos e elétricos foram variados de forma similar em JNTs e FinFETs. Na figura 25 é apresentado um esboço tridimensional, gerado por nosso arquivo de simulação, da estrutura 3D.

A estrutura tridimensional apresentada foi utilizada durante toda a análise do NBTI realizada durante nossos estudos, cujos resultados são expostos a seguir.

Figura 25 – Dispositivo JNTs porta tripla.



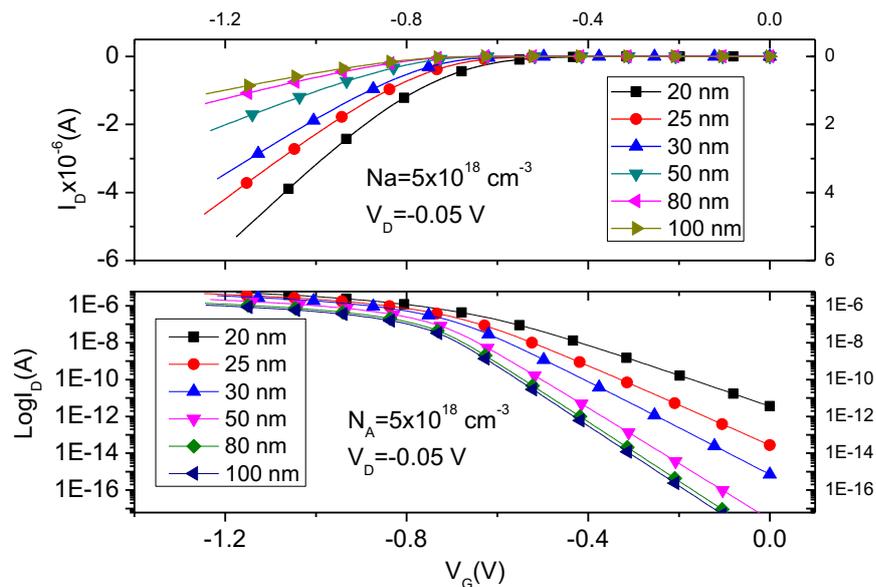
Fonte: Autor.

### 3.3 CURVAS $I_{DS}$ x $V_{GS}$ .

A curva  $I_{DS}$  x  $V_{GS}$  é o ponto de partida de nossa pesquisa. Para a realização dos trabalhos, exigiu-se a depuração do arquivo de simulação. O processo foi realizado até que fosse coeso o bastante e apresentasse a amplitude necessária para fins de extração dos valores das tensões de limiar da curva supra mencionada, pelo método de  $g_m/I_{DS}$ <sup>64</sup>, abordado mais adiante.

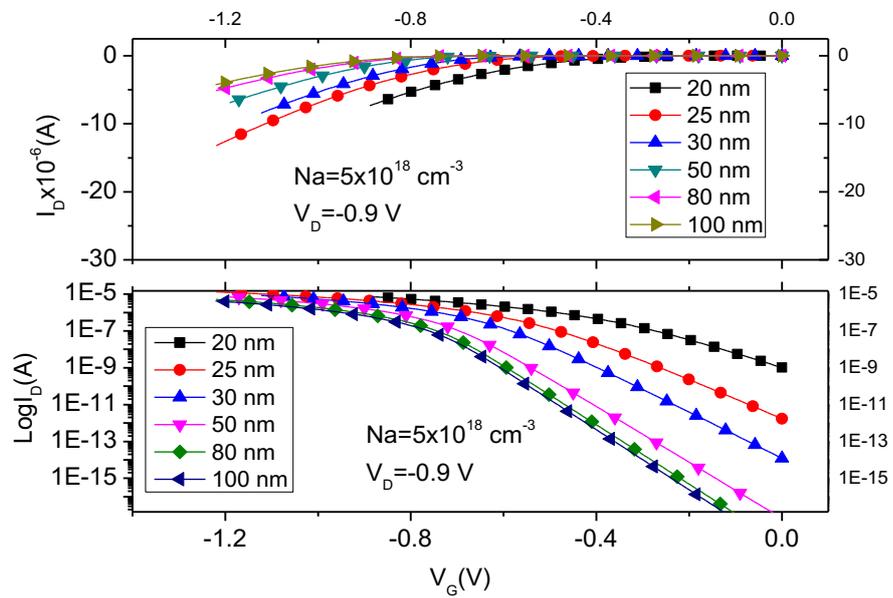
Vislumbra-se, nas figuras 26 a 31, via de regra, que, quanto maior o comprimento de canal, menor a corrente (em módulo) para um mesmo  $V_{GS}$ . Isto, até o dispositivo cortar. Todas as curvas foram usadas para obtenção dos respectivos  $V_{TH}$ . A partir das curvas apresentadas, pode-se notar que a tensão de limiar dos dispositivos é reduzida (em módulo) ao se reduzir o comprimento de canal dos dispositivos. Este comportamento está relacionado ao aumento da influência dos efeitos de canal curto. De modo similar, nota-se uma redução da tensão de limiar (em módulo) ainda maior, ao se variar  $V_{DS}$  de  $-0,05$  V para  $-0,9$  V, devido à influência do DIBL. Com relação aos valores de  $I_{DS}$  obtidos, pode-se perceber que os transistores sem junções apresentam menor corrente em relação aos FinFETs para uma mesma condição de polarização, o que está relacionado à menor mobilidade dos portadores apresentada por estes dispositivos.

Figura 26 – Corrente de dreno em função da tensão de porta para dispositivos JNTs com dopagem de canal de  $5 \times 10^{18} \text{ cm}^{-3}$  e tensão de dreno de  $-0,05$  V



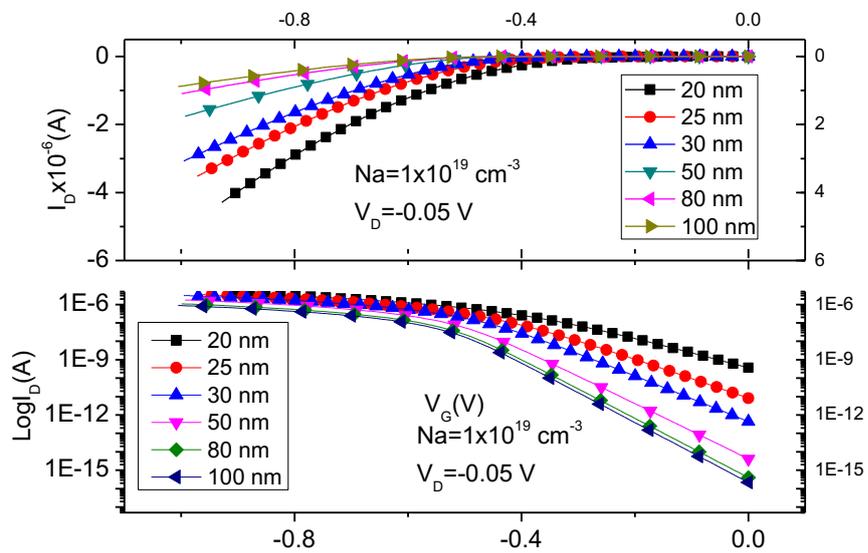
Fonte: Autor

Figura 27 – Corrente de dreno em função da tensão de porta para dispositivos JNTs com dopagem de canal de  $5 \times 10^{18} \text{ cm}^{-3}$  e tensão de dreno de  $-0,9 \text{ V}$



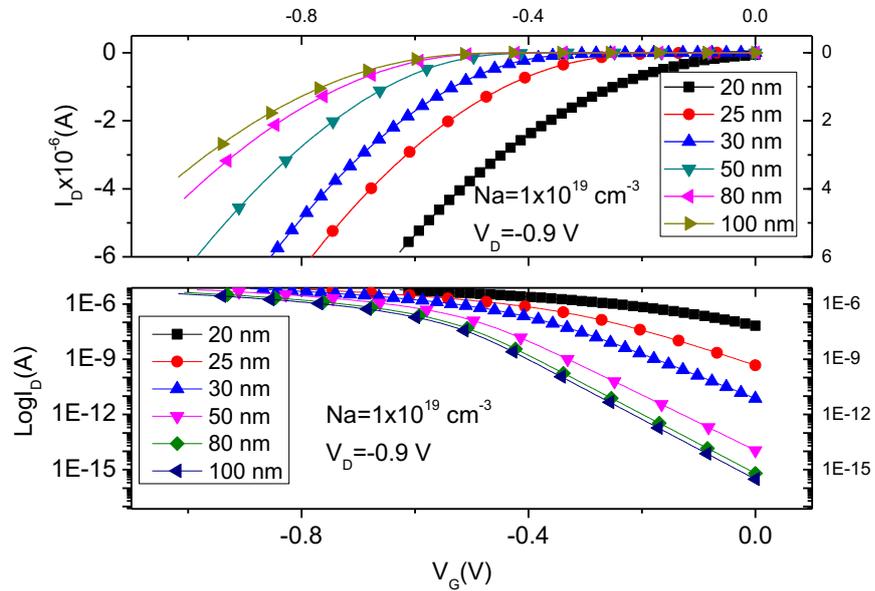
Fonte: Autor

Figura 28 – Corrente de dreno em função da tensão de porta para dispositivos JNTs com dopagem de canal de  $1 \times 10^{19} \text{ cm}^{-3}$  e tensão de dreno de  $-0,05 \text{ V}$



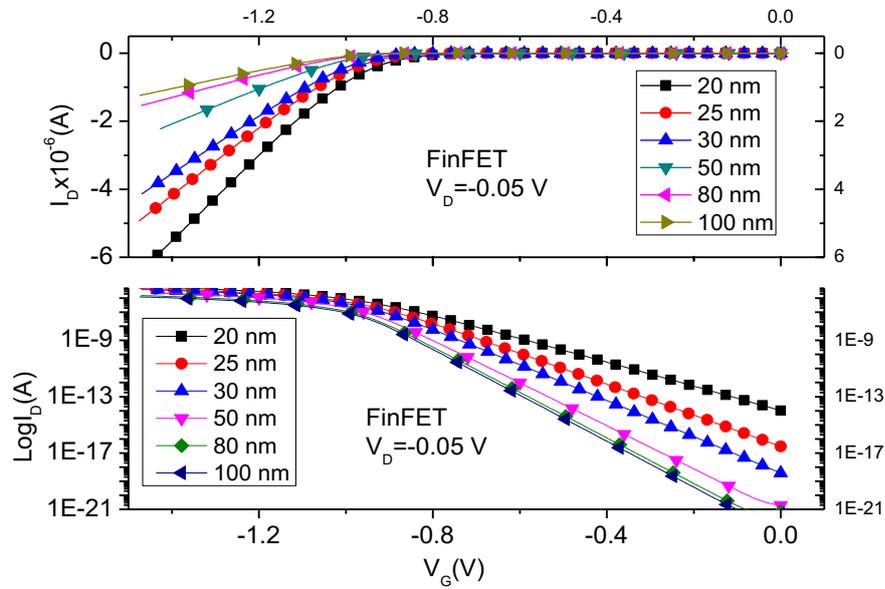
Fonte: Autor

Figura 29 – Corrente de dreno pela tensão de porta para dispositivos JNTs com dopagem de canal de  $1 \times 10^{19} \text{ cm}^{-3}$  e tensão de dreno de  $-0,9 \text{ V}$



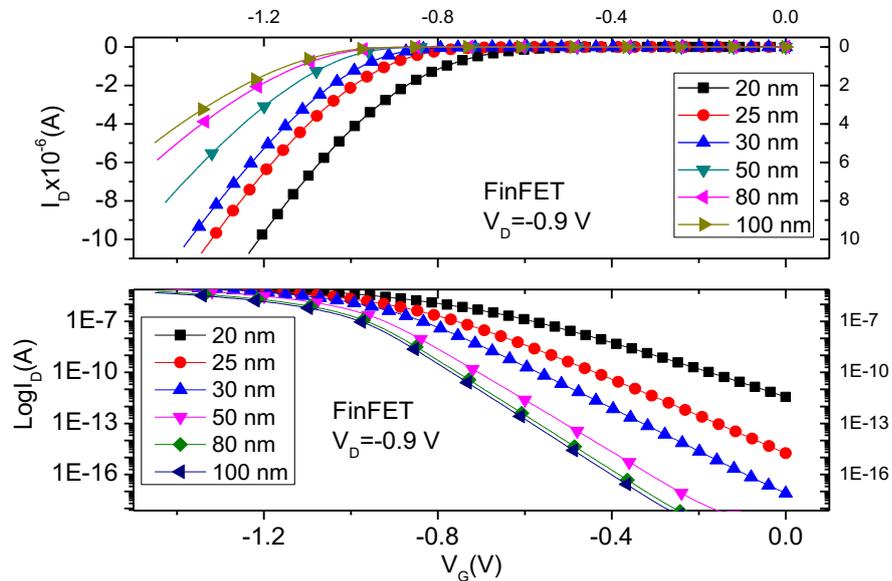
Fonte: Autor

Figura 30 – Corrente de dreno em função da tensão de porta para dispositivos FinFET com tensão de dreno de  $-0,05 \text{ V}$



Fonte: Autor

Figura 31 – Corrente de dreno em função da tensão de porta para dispositivos FinFET com tensão de dreno de  $-0,9\text{ V}$



Fonte: Autor

A partir dos resultados apresentados para a corrente de dreno dos dispositivos em escala log, fica clara a degradação da inclinação de sublimiar em dispositivos com  $L < 30\text{ nm}$ , em especial para  $V_{DS} = -0,9\text{V}$ , devido à ocorrência de efeitos de canal curto e DIBL. Esta degradação dificulta a extração da tensão de limiar dos dispositivos, podendo resultar em tensões de limiar irreais.

### 3.4 TENSÃO DE LIMIAR

Primeiramente, utilizamos o método da segunda derivada da curva  $I_{DS} \times V_{GS}$ <sup>65</sup> que obtivemos por meio do simulador *Sentaurus* para determinar as tensões de limiar dos dispositivos de diversos comprimentos de canal. Para tanto, utilizamo-nos das ferramentas disponíveis no programa *Origin*<sup>66</sup>.

Ao longo de nossa trajetória, entretanto, concluímos que, como as simulações foram efetuadas em passos de  $10\text{ mV}$ , o método não apresenta a precisão desejada no trabalho, o que nos levou a migrar para um método mais preciso, a saber,  $g_m/I_{DS}$ , o qual será detalhado na sequência.

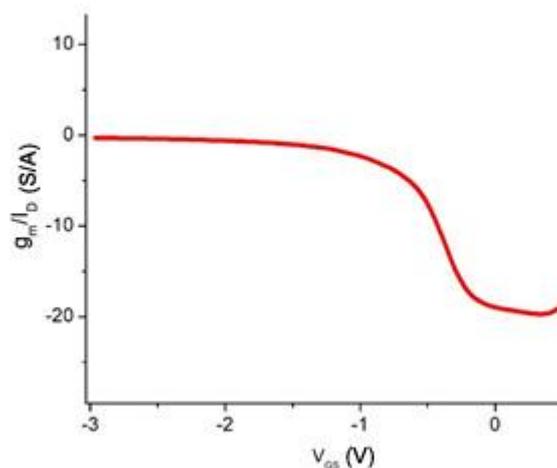
Os valores de  $V_{TH}$  só devem ser obtidos com este método para os dispositivos com  $V_{DS}$  de  $-0,05\text{V}$  ( $V_{DS}$  baixos). Assim sendo, primeiramente simulamos os dispositivos JNTs de

concentração de dopantes de  $5 \times 10^{18} \text{ cm}^{-3}$ , os dispositivos JNTs de concentração de dopantes de  $1 \times 10^{19} \text{ cm}^{-3}$  e os dispositivos FinFET, todos com  $V_{DS}$  baixos.

Chegamos à conclusão que, para a obtenção da tensão de limiar de todos os dispositivos estudados, era mister adotarmos o valor inicial de  $V_{GS}$  de 1,5 V, uma vez que alguns transistores possuíam tensão de limiar positiva. Este valor de  $V_{GS}$  mostrou-se suficientemente grande para contemplar a formação de inflexão da curva característica de transcondutância.

Para obter o  $V_{TH}$ , primeiro, calculamos o logaritmo neperiano do módulo da curva  $I_{DS} \times V_{GS}$ , em seguida efetuamos a sua derivada. A curva resultante consiste em  $g_m/I_{DS} \times V_{GS}$ , a qual é apresentada com uma curva típica na figura 32.

Figura 32 – Função da transcondutância sobre a corrente de dreno



Fonte: Autor

A partir da curva resultante obtivemos o  $V_{TH}$ , considerando-se o valor mínimo do eixo de  $g_m/I_{DS}$ , dividido por 2. A seguir, com esse número em mãos, recorremos à curva e aferimos o correspondente valor de tensão no eixo X que contempla a tensão de porta. O resultado apontado corresponde a  $V_{TH}$  para o dado dispositivo. Este método é baseado na física de funcionamento dos dispositivos e considera  $V_{TH}$  como o  $V_{GS}$  em que os componentes de corrente de difusão e deriva são iguais.

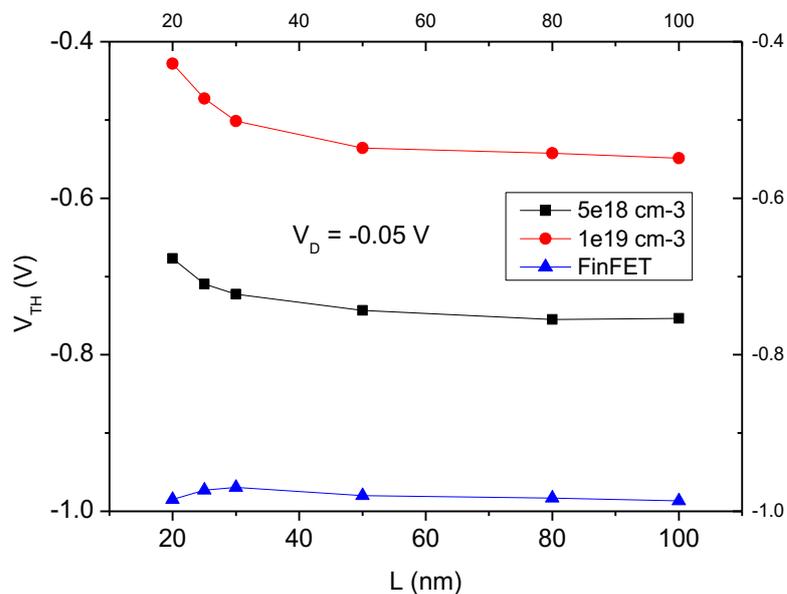
Aplicando-se este procedimento aos dispositivos citados e seus vários comprimentos de canal, chegamos a todos os valores de  $V_{TH}$  no que tange o  $V_{DS}$  de -0,05 V. Por seu turno, para a obtenção das tensões de limiar para os dispositivos com o dreno submetido a uma tensão de -0,9 V, precisamos levar em conta o efeito *Drain Induced Barrier Lowering* (DIBL).

Tanto para os dispositivos JNTs como para os FinFET, as estruturas permaneceram as mesmas, exceto pelo  $V_{DS}$  aplicado. Portanto, consideramos que a corrente  $I_{DS}$  em  $V_{TH}$  é idêntica para ambos  $V_{DS}$ . Sendo assim, uma vez determinado o  $V_{TH}$  de um dado dispositivo, com  $V_{DS}$  de  $-0.05$  V, determinamos sua corrente  $I_{DS}(V_{TH})$  e esta será usada para determinar o  $V_{TH}$  do mesmo dispositivo com  $V_{DS}$  de  $-0.9$  V.

Geralmente, o  $V_{TH}$  aumenta (em módulo) com o comprimento de canal, o que é coerente com a realidade e traduz o comportamento dos dispositivos conforme os efeitos de canal curto passam a ganhar importância. Vale salientar que a tensão de limiar dos FinFETs sofreu uma alteração mínima, mesmo para dispositivos com comprimento de canal de  $20$  nm, indicando grande imunidade aos efeitos de canal curto. Este evento mostra-se presente em dispositivos submetidos a um  $V_{DS}$  baixo (no nosso caso  $-0,05$  V). Em relação a transistores submetidos a  $V_{DS}$  alto ( $-0.9$  V, adotado em nosso trabalho), existe uma maior variação de  $V_{TH}$  devido ao DIBL.

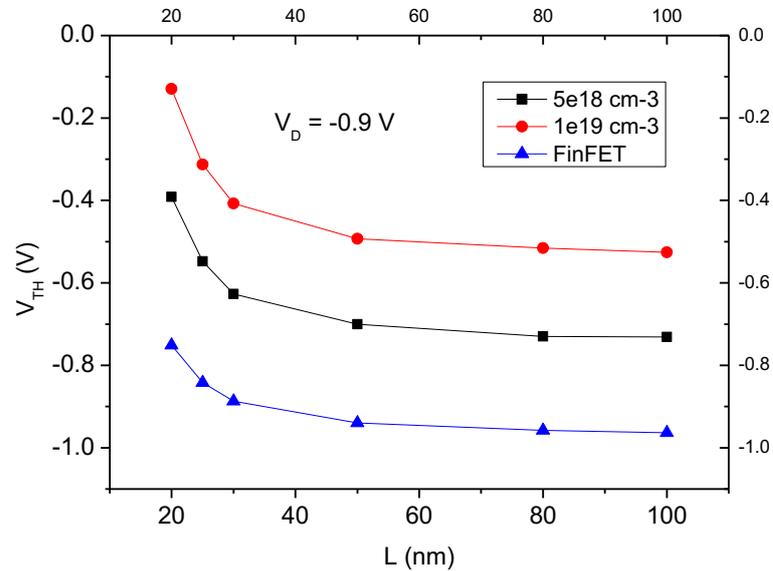
Se compararmos os  $V_{TH}$  de cada tipo de dispositivo separados pela tensão aplicada aos drenos, veremos que os transistores FinFET estudados apresentam uma tensão de limiar maior (em módulo) que os JNTs. Por sua vez, quanto menor a dopagem dos transistores sem junções, maior seu  $V_{TH}$  (em módulo), pois ao se aumentar a dopagem, temos um melhor controle das cargas. A situação mencionada resta nítida ao observarmos as figuras 33 e 34.

Figura 33- Tensão de limiar pelo comprimento de canal para tensão de dreno de  $-0,05$  V.



Fonte: Autor

Figura 34- Tensão de limiar pelo comprimento de canal para tensão de dreno de -0,9 V



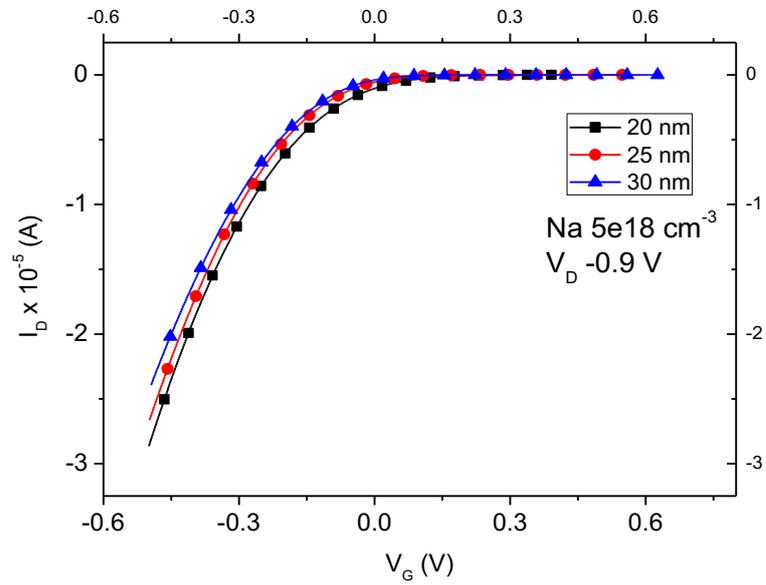
Fonte: Autor

### 3.5 NORMALIZAÇÃO POR $V_G - V_{TH}$

Uma forma de reforçarmos a confiança nos resultados obtidos, visando verificar se os valores de  $V_{TH}$  extraídos estão corretos, em especial para dispositivos de comprimento menor e  $V_{DS} = -0,9$  V, onde a incidência de DIBL é maior, é normalizar as curvas  $I_D V_G$  adotando o que o eixo das tensões é igual a  $V_{GS} - V_{TH}$ . Desta forma, se os resultados são coerentes, é de se esperar que as curvas, até certo ponto, se sobreponham.

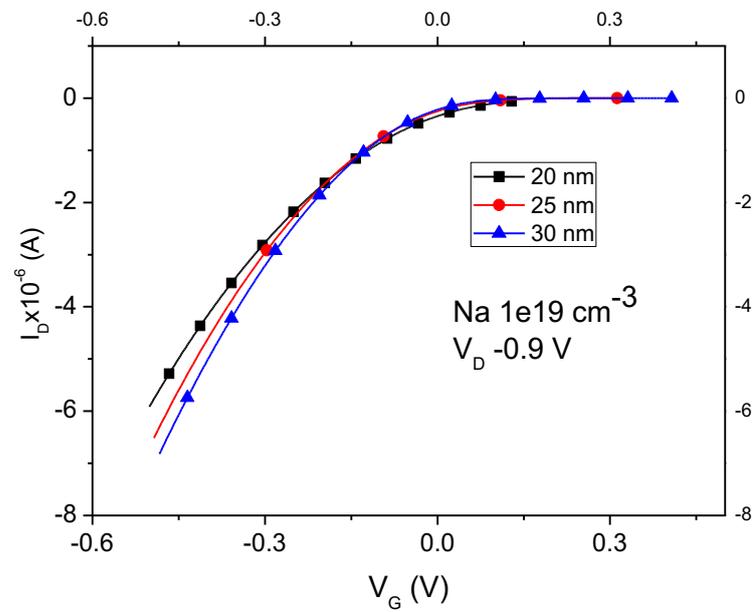
Vemos nas figuras 35, 36 e 37 as curvas para os dispositivos de canal igual a 20, 25 e 30 nm para a tecnologia JNTs com dopagem de  $5 \times 10^{18} \text{ cm}^{-3}$  e  $1 \times 10^{19} \text{ cm}^{-3}$  e para os FinFETs.

Figura 35 – Normalização por  $V_G - V_{TH}$  para dispositivos JNTs com Na de  $5 \times 10^{18} \text{ cm}^{-3}$  e  $V_D$  de  $-0,9 \text{ V}$



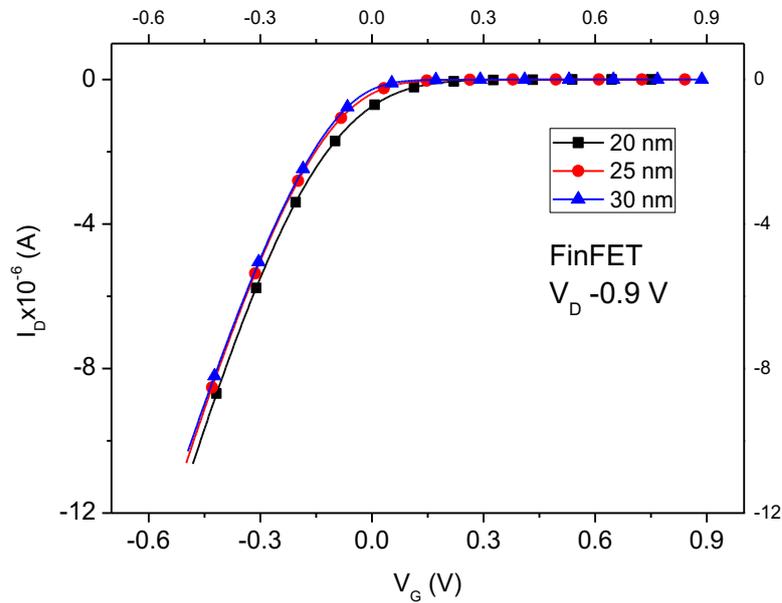
Fonte: Autor

Figura 36 – Normalização por  $V_G - V_{TH}$  para dispositivos JNTs com Na de  $1 \times 10^{19} \text{ cm}^{-3}$  e  $V_D$  de  $-0,9 \text{ V}$



Fonte: Autor

Figura 37 – Normalização por  $V_G - V_{TH}$  para dispositivos FinFET com  $V_D$  de -0,9 V



Fonte: Autor

Realizamos ensaios simulados nos dispositivos de canal mais curtos (20, 25 e 30 nm) e  $V_D$  mais alto (-0.9 V), pois são estes os que apresentam maior degradação da tensão de limiar devido à ocorrência do efeito DIBL.

### 3.6 CURVAS $I_{DS}$ x TEMPO

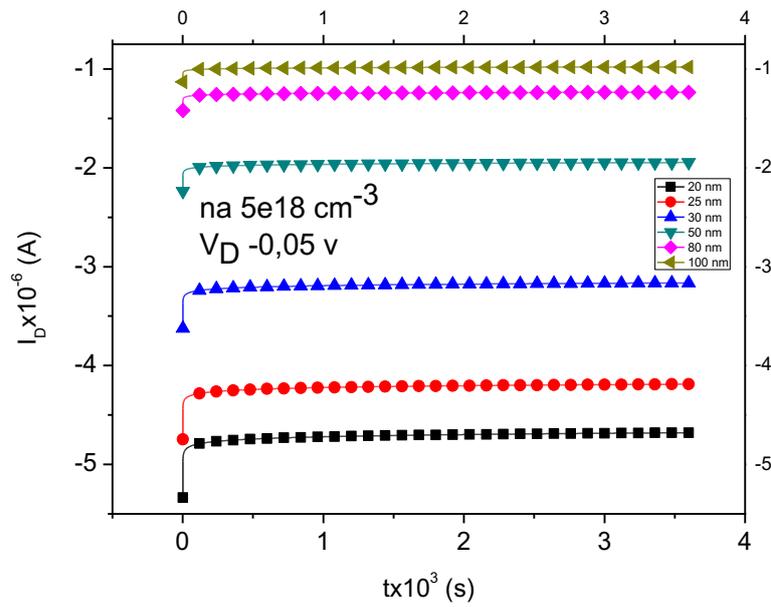
A partir das tensões de limiar obtidas, pode-se definir uma mesma sobretensão de porta ( $V_{GS} - V_{TH}$ ) para todos os dispositivos, possibilitando-se efetuar a análise de modo que todos os transistores apresentassem a mesma polarização. Estes resultados possibilitaram comparar as curvas para cada tipo de dispositivo. Para tanto, usamos a expressão (20), que balizará os cálculos do  $V_{GS}$ .

$$V_{GS} - V_{TH} = 0.5 \text{ V} \quad (20)$$

Utilizando-se do modelo de degradação por efeito NBTI, consideramos a corrente DC, no instante de tempo  $t$  igual a zero, como a corrente que está livre da influência da degradação por efeito NBTI. Este parâmetro é importante para relacionarmos os dispositivos. Adotamos o tempo  $t$  igual a 1000 s como referência e extraímos a corrente degradada pelo efeito NBTI.

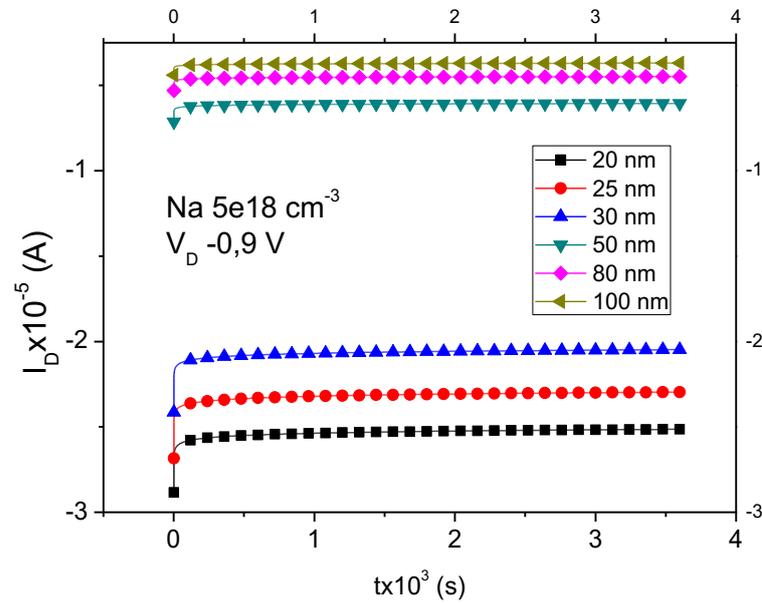
Nas figuras 38 a 43, observamos claramente a influência da degradação por efeito NBTI em todas as curvas das correntes pelo tempo. Pode-se notar, outrossim, que, de forma geral, quanto maior o canal, menor é a corrente (em módulo). Tal fato apenas não é observado em dispositivos de comprimentos de canal inferiores a 30 nm, como será abordado mais adiante.

Figura 38 – Corrente de dreno pelo tempo para dispositivos JNTs com dopagem de canal de  $5 \times 10^{18} \text{ cm}^{-3}$  e tensão de dreno de  $-0,05 \text{ V}$



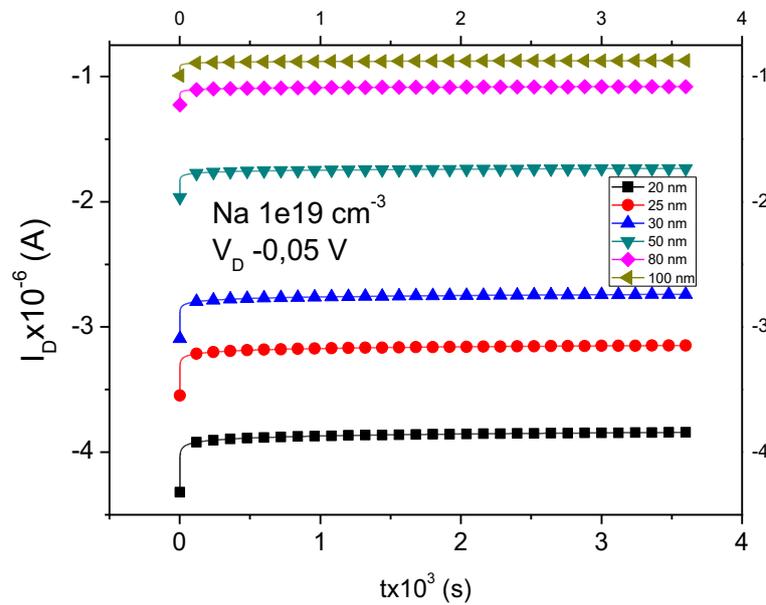
Fonte: Autor

Figura 39 – Corrente de dreno pelo tempo para dispositivos JNTs com dopagem de canal de  $5 \times 10^{18} \text{ cm}^{-3}$  e tensão de dreno de  $-0,9 \text{ V}$



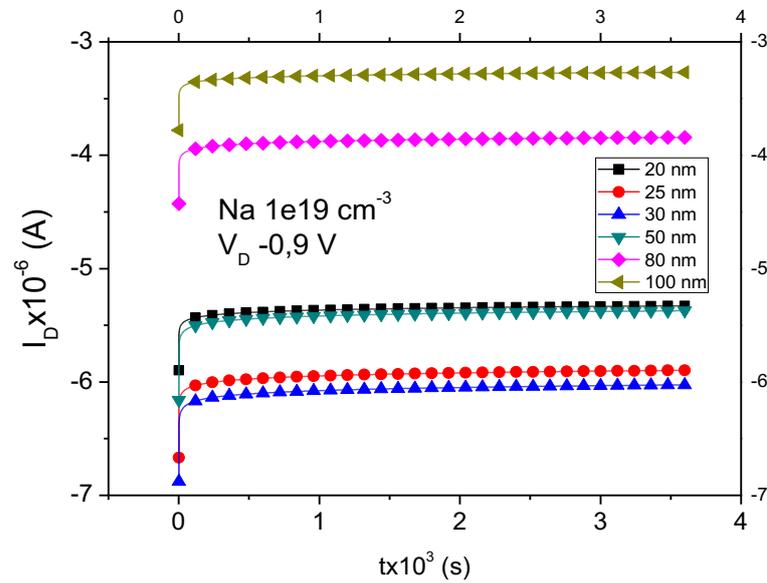
Fonte: Autor

Figura 40 – Corrente de dreno pelo tempo para dispositivos JNTs com dopagem de canal de  $1 \times 10^{19} \text{ cm}^{-3}$  e tensão de dreno de  $-0,05 \text{ V}$



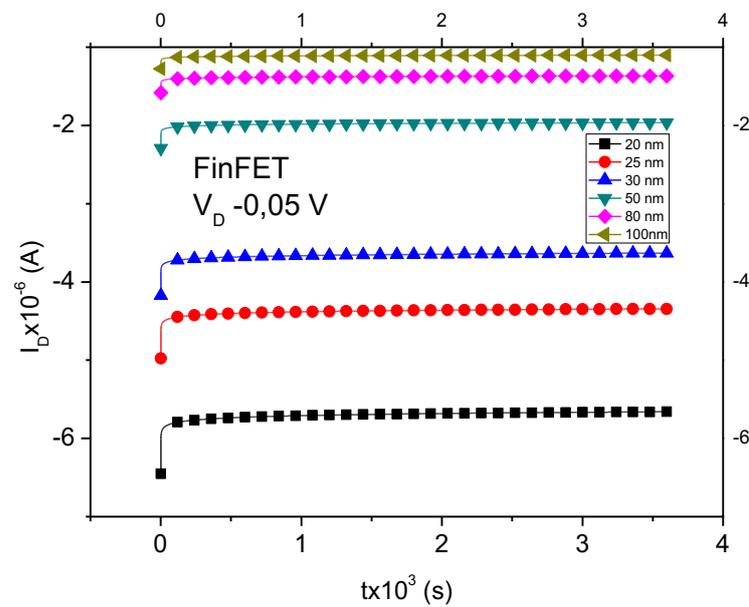
Fonte: Autor

Figura 41 – Corrente de dreno pelo tempo para dispositivos JNTs com dopagem de canal de  $1 \times 10^{19} \text{ cm}^{-3}$  e tensão de dreno de  $-0,9 \text{ V}$



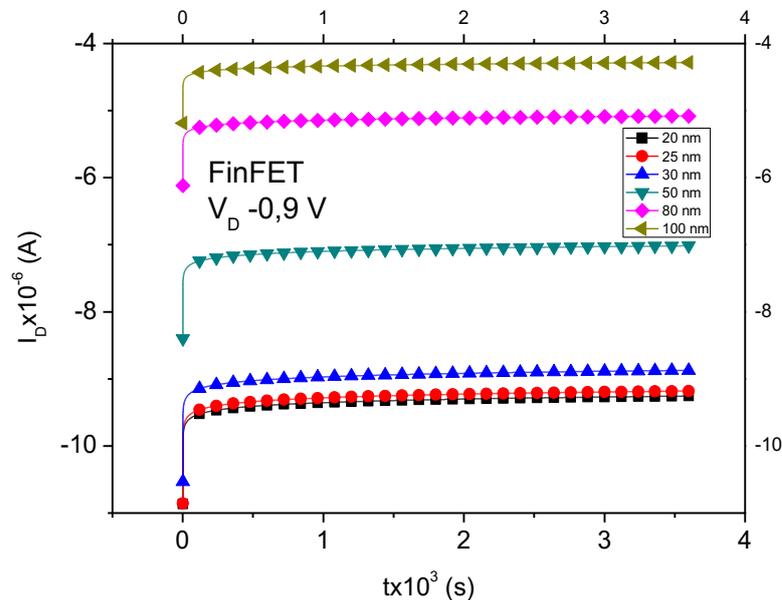
Fonte: Autor.

Figura 42 – Corrente de dreno pelo tempo para dispositivos FinFET com tensão de dreno de  $-0,05 \text{ V}$



Fonte: Autor

Figura 43 – Corrente de dreno pelo tempo para dispositivos FinFET com tensão de dreno de -0,9 V



Fonte: Autor

Com os valores das correntes  $I_{DS}$  de referência obtidas no instante inicial e  $I_{DS}$  degradada pelo NBTI após 1000 s ( $I_D(BTI)$ ), voltamos às respectivas curvas  $I_{DS} \times V_{GS}$  e determinamos o quanto de deslocamento de tensão de limiar tivemos. Estes valores correspondem às nossas degradações da tensão de limiar por efeito NBTI.

Insta enfatizar que, para reduzir o efeito da resistência série sobre a corrente aferida, usamos uma dopagem diferenciada de fonte e dreno nos dispositivos JNTs, sendo o valor adotado  $5 \times 10^{20} \text{ cm}^{-3}$ , o qual é idêntico ao utilizado nas regiões de fonte e dreno dos FinFETs.

Recorremos à curva da corrente  $I_{DS}$  pelo tempo, utilizando-se dos parâmetros informados acima com vistas à extração das correntes  $I_D$  e  $I_D(BTI)$ , sendo a última referente à corrente degradada.

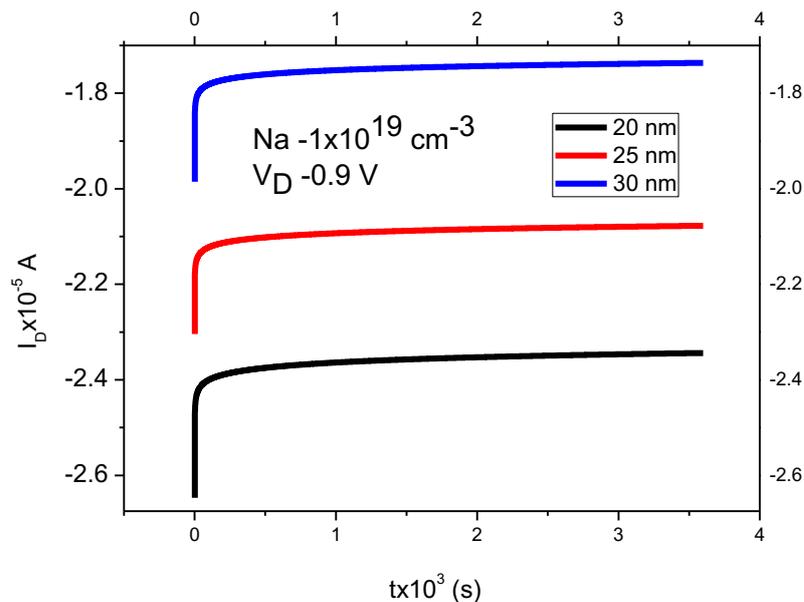
Como já mencionado, pode-se observar um aumento de  $I_{DS}$  para pequenos  $L$ . Este aumento é observado nas simulações com  $V_{DS} = -0,9 \text{ V}$  para JNTs com dopagem de  $1 \times 10^{19} \text{ cm}^{-3}$  e refletido no gráfico da figura 44 e não condiz com a teoria de transistores MOS. A partir das curvas de  $I_{DS} \times V_{GS}$  observadas anteriormente, pode-se constatar uma grande degradação da inclinação de sublimiar, fazendo com que tais dispositivos não desliguem mesmo para  $V_{GS}$  extremamente positivos. Assim, os valores de  $V_{TH}$  extraídos para estes dispositivos se mostram irrealistas. Além disso, em dispositivos de canal curto a tensão de saturação pode ser levemente

reduzida, fazendo com que os dispositivos com  $|V_{DS}|$  alto (-0,9 V) trabalhem em um regime de saturação mais “profundo”, reduzindo  $I_{DS}$ .

Uma forma de verificar se este efeito está relacionado à tensão de saturação e ao DIBL é refazer as simulações para os três dispositivos, removendo-se o modelo *highfieldsaturation*. O modelo *highfieldsaturation* do Dispositivo *Sentaurus* diz respeito ao campo elétrico lateral efetivo dos dispositivos, que pode ser calculado para um transportador específico.

O resultado obtido para as curvas da corrente de dreno em função do tempo, removendo-se o modelo *highfieldsaturation*, pode ser visto na figura 44. Os resultados apresentam um aumento de  $|I_{DS}|$  com a redução do comprimento de canal, mesmo para  $L = 20$  nm, como esperado.

Figura 44 –  $I_{DXT}$  simulado sem o modelo *highfieldsaturation* para dispositivos JNTs com  $N_A$  de  $1 \times 10^{19} \text{ cm}^{-3}$  e  $V_D$  de -0,9 V

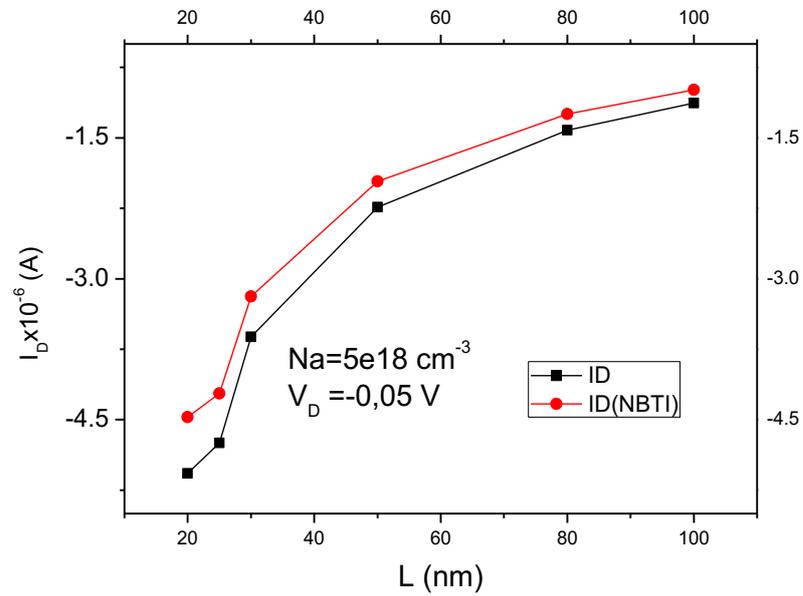


Fonte: Autor

### 3.7 CORRENTE DE DRENO PELO COMPRIMENTO DE CANAL

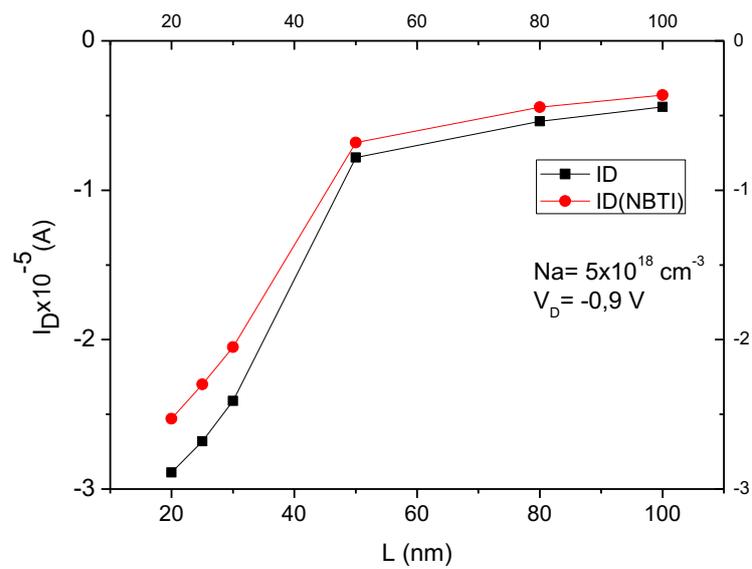
Podemos verificar, ao examinar as figuras 45 a 50 que, como esperávamos, as correntes de dreno sujeitas à degradação, por efeito NBTI, são sempre menores (em módulo) que as correntes não submetidas e este efeito.

Figura 45 – Comparação entre as correntes de dreno sujeitas ou não ao efeito NBTI para dispositivos JNTs com dopagem de canal de  $5 \times 10^{18} \text{ cm}^{-3}$  e tensão de dreno de  $-0,05 \text{ V}$



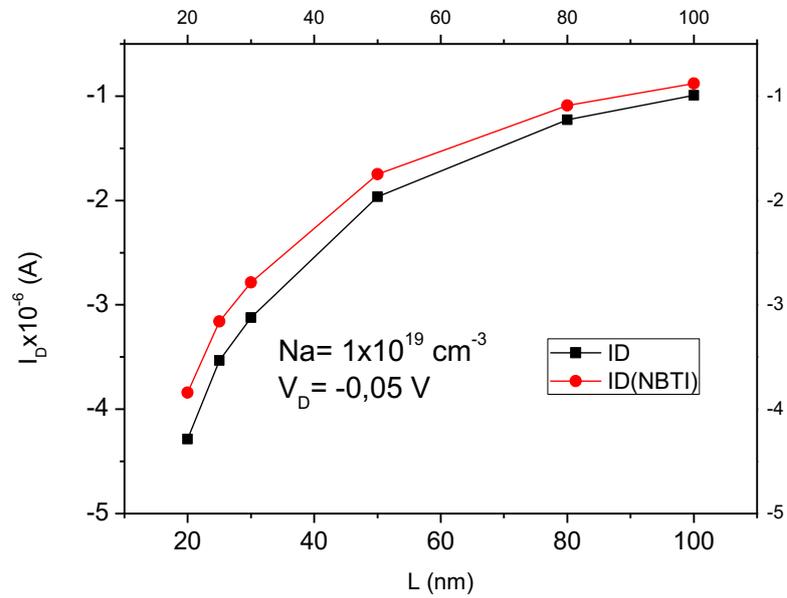
Fonte: Autor

Figura 46 – Comparação entre as correntes de dreno sujeitas ou não ao efeito NBTI para dispositivos JNTs com dopagem de canal de  $5 \times 10^{18} \text{ cm}^{-3}$  e tensão de dreno de  $-0,9 \text{ V}$



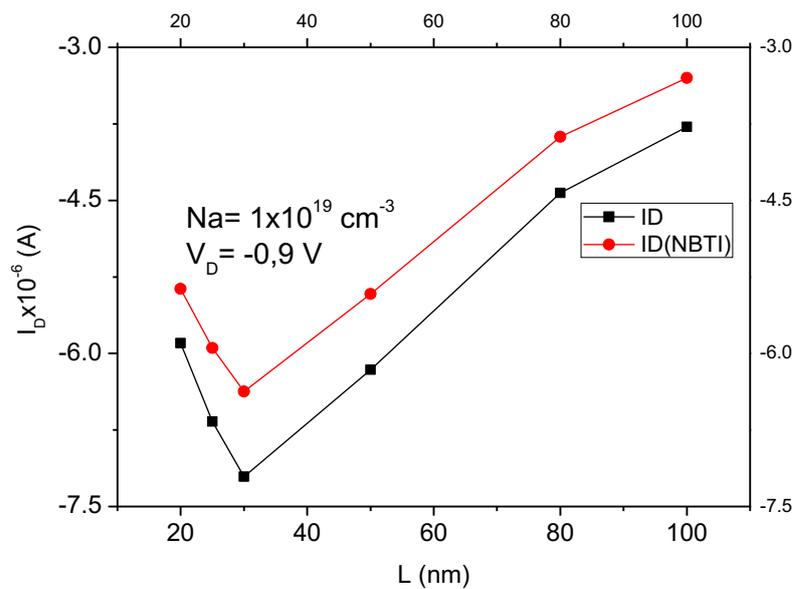
Fonte: Autor

Figura 47 – Comparação entre as correntes de dreno sujeitas ou não ao efeito NBTI para dispositivos JNTs com dopagem de canal de  $1 \times 10^{19} \text{ cm}^{-3}$  e tensão de dreno de  $-0,05 \text{ V}$



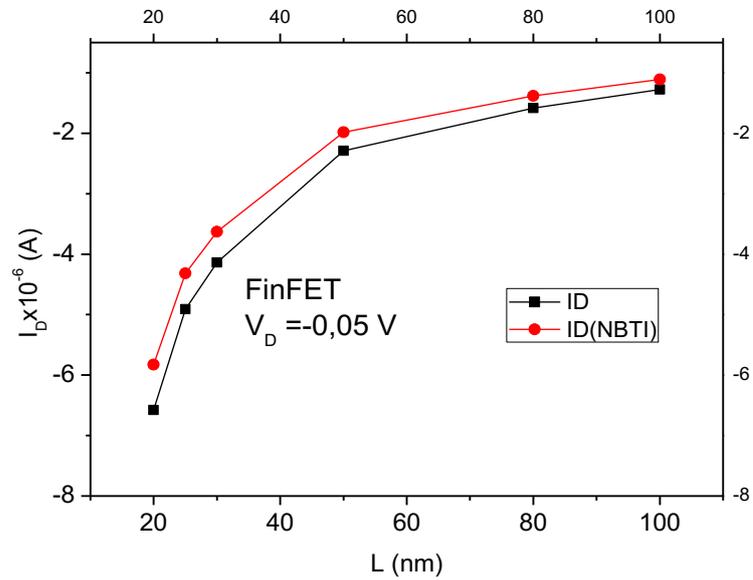
Fonte: Autor

Figura 48 – Comparação entre as correntes de dreno sujeitas ou não ao efeito NBTI para dispositivos JNTs com dopagem de canal de  $1 \times 10^{19} \text{ cm}^{-3}$  e tensão de dreno de  $-0,9 \text{ V}$



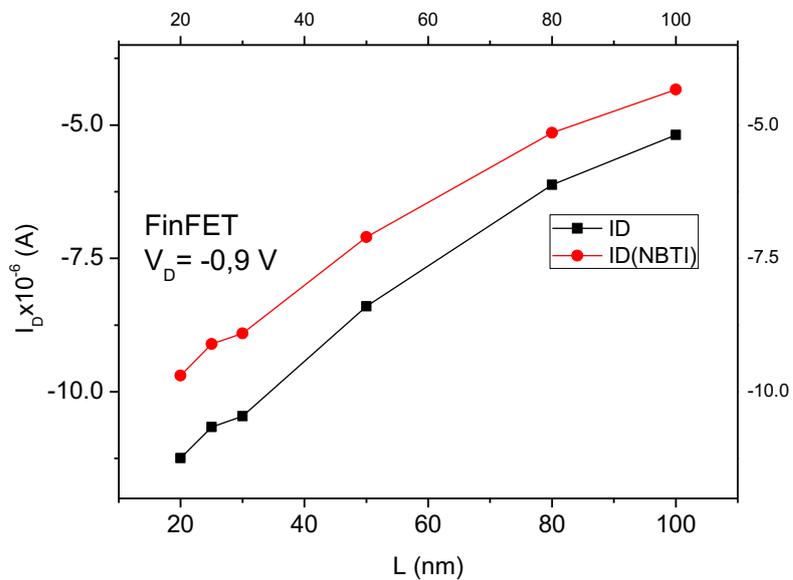
Fonte: Autor

Figura 49 – Comparação entre as correntes de dreno sujeitas ou não ao efeito NBTI para dispositivos FinFET com tensão de dreno de -0,05 V



Fonte: Autor

Figura 50 – Comparação entre as correntes de dreno sujeitas ou não ao efeito NBTI para dispositivos FinFET com tensão de dreno de -0,9 V

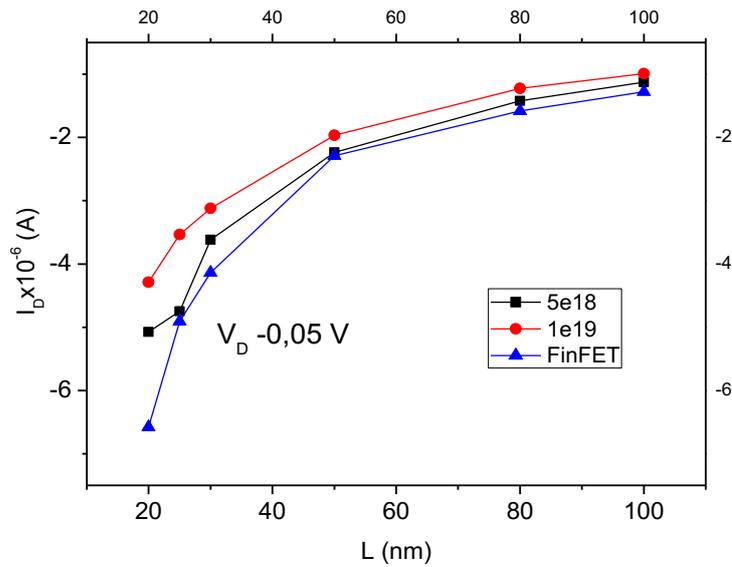


Fonte: Autor

Se compararmos as correntes entre dispositivos em função do comprimento de canal para o mesmo  $V_{DS}$ , como apresentado nas Figuras 51 a 54, constatamos que os dispositivos

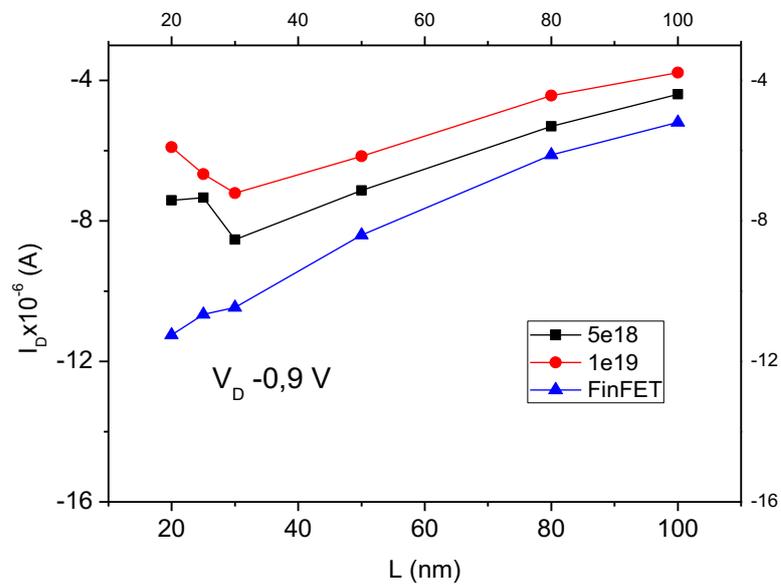
FinFETs apresentam uma maior corrente (em módulo) para cada comprimento de canal. Entre os dispositivos JNTs, quanto menor a dopagem, maior a corrente (em módulo). Isto se deve ao fato de que se aumentarmos a dopagem do canal, diminuiremos a mobilidade das cargas.

Figura 51 – Corrente de dreno pelo comprimento de canal sem efeito NBTI para dispositivos com tensão de dreno de -0,05 V



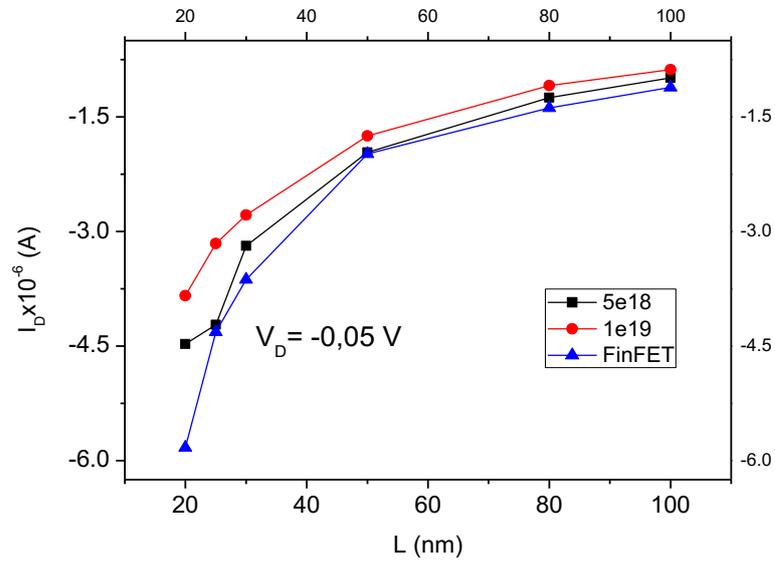
Fonte: Autor

Figura 52 – Corrente de dreno pelo comprimento de canal sem efeito NBTI para dispositivos com tensão de dreno de -0,9V



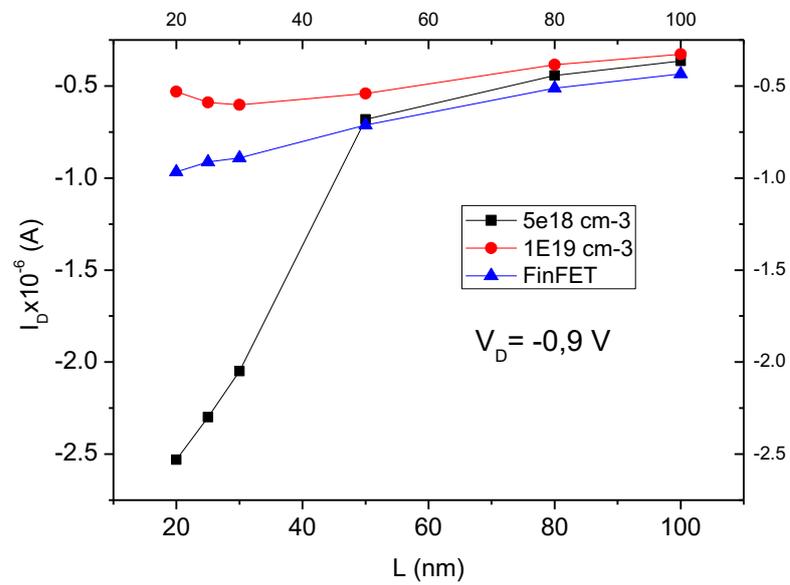
Fonte: Autor

Figura 53 – Corrente de dreno pelo comprimento de canal com efeito NBTI para dispositivos com tensão de dreno de -0,05 V



Fonte: Autor

Figura 54 – Corrente de dreno pelo comprimento de canal com efeito NBTI para dispositivos com tensão de dreno de -0,9 V



Fonte: Autor

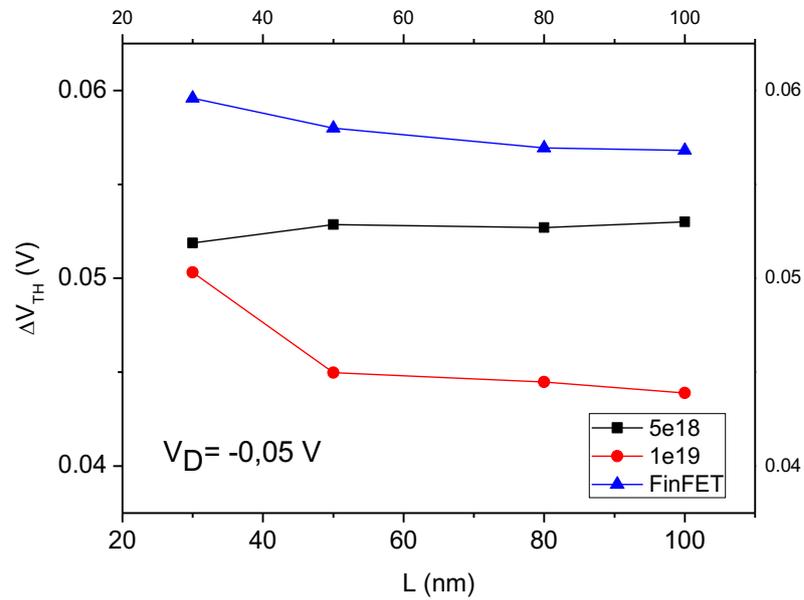
### 3.8 DEGRADAÇÃO DO $V_{TH}$

Consideramos a corrente  $I_{DS}$ , relacionada pela curva  $I_{DS} \times V_{GS}$ , a uma dada tensão de limiar ( $V_{TH}$ ) e a corrente  $I_{DS(BTI)}$  também pela mesma curva, a outra dada tensão de limiar ( $V_{TH}$ ). Tendo em vista que o efeito BTI faz, por assim dizer, com que haja um “deslocamento” da tensão de limiar de  $V_{TH}$  para  $V_{TH(BTI)}$ , podemos admitir que a diferença entre as duas tensões de limiar reflete a degradação por efeito NBTI. Assim, foi extraída a variação da tensão de limiar dos dispositivos devido ao NBTI. Em razão do aumento de  $I_{DS}$  observado para transistores sem junções com  $L$  inferiores a 30 nm apresentado no item anterior, a análise do NBTI foi efetuada apenas para dispositivos com  $L \geq 30$  nm, visando à uma maior confiabilidade.

Seguindo o mesmo critério das simulações anteriores, a degradação por NBTI foi extraída para  $|V_{GS} - V_{TH}| = 0,5$  V. Então, foram traçados os gráficos comparativos nas figuras 55 e 56, a partir dos quais podemos concluir que dispositivos JNTs apresentam uma menor degradação por efeito NBTI em relação aos dispositivos FinFET. Isto parece bastante razoável uma vez que, nos dispositivos JNTs, grande parte da corrente flui pelo corpo. Porém, para a polarização de  $V_{GS}$  utilizada, os dispositivos JNTs já devem estar polarizados em acumulação, visto que, como a tensão de faixa plana de ambos os dispositivos devem estar entre -0.5V e -1V, ao polarizá-los em  $V_{GS} - V_{TH}$  alto, ambos já terão condução por toda a camada de silício, inclusive junto à interface. Assim, talvez o que melhor reflita o comportamento, seja a relação ao campo elétrico dos dispositivos.

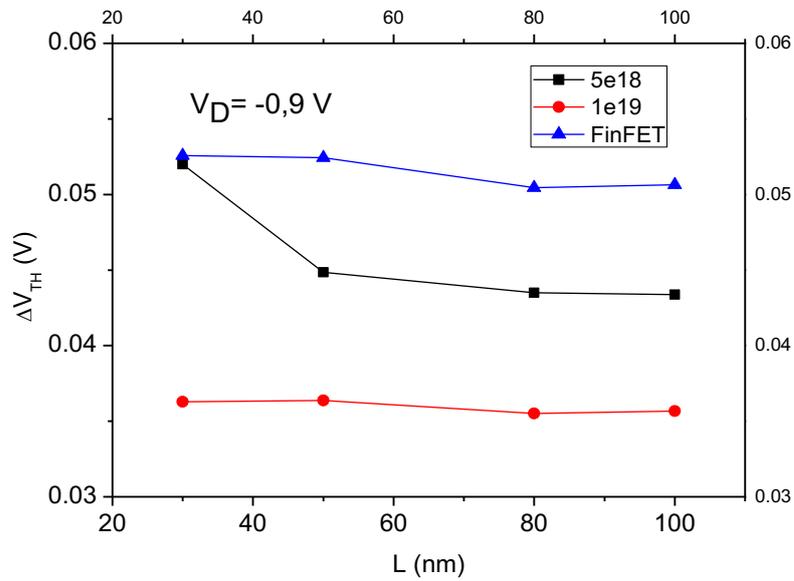
Com relação aos diferentes  $V_{DS}$  utilizados, pode-se notar que todos os dispositivos apresentam uma maior degradação por NBTI ao ser polarizados com baixo  $V_{DS}$  (-0,05 V). Neste caso, a explicação também deve estar relacionada ao campo elétrico presente na estrutura, uma vez que a diferença de potencial entre porta e dreno aumenta com a aplicação de baixos  $V_{DS}$ , elevando o campo elétrico na região junto ao dreno e intensificando o efeito do NBTI.

Figura 55 – Degradação da tensão limiar pelo comprimento de canal para dispositivos com tensão de dreno de -0,05 V



Fonte: Autor

Figura 56 – Degradação da tensão limiar pelo comprimento de canal para dispositivos com tensão de dreno de -0,9 V

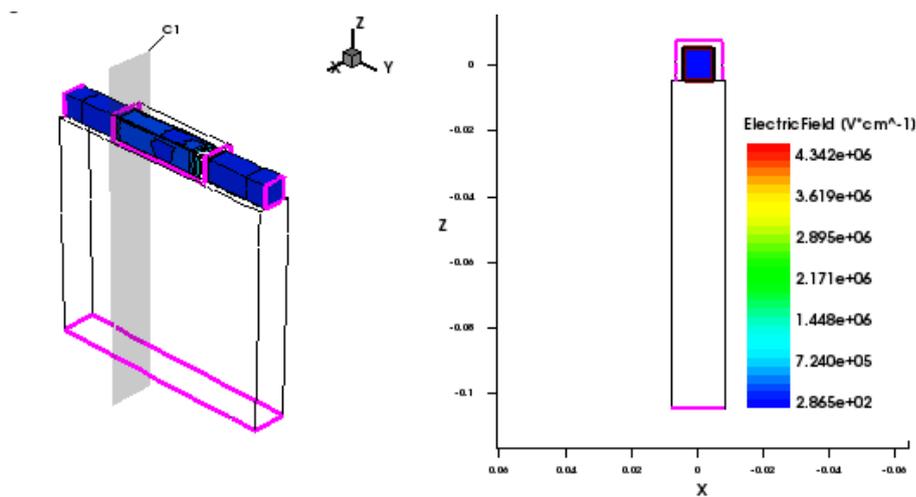


Fonte: Autor

### 3.9 CAMPO ELÉTRICO

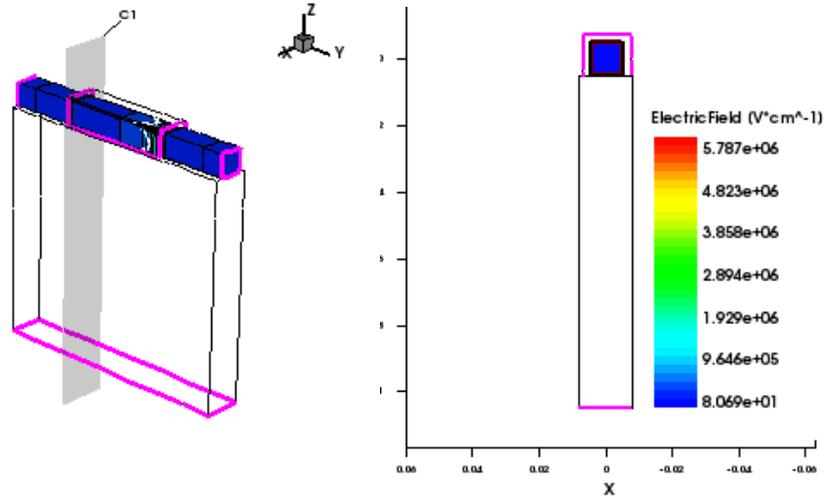
Nas figuras 57 a 65 é apresentado o campo elétrico no interior dos dispositivos estudados. O campo é apresentado nas secções transversais do canal junto ao dreno, à fonte e no centro do canal dos dispositivos. Nos dispositivos JNTs, o campo elétrico é maior próximo ao dreno da estrutura com  $N_A$  de  $5 \times 10^{18} \text{ cm}^{-3}$ , chegando a  $1,0 \times 10^6 \text{ Vxcm}^{-1}$ . Já para  $N_A = 1 \times 10^{19} \text{ cm}^{-3}$ , temos o campo elétrico da ordem de  $1 \times 10^5 \text{ Vxcm}^{-1}$ . Nas figuras supramencionadas mostram-se presentes também os dispositivos FinFET para fins de parametrização.

Figura 57 – Campo elétrico em um dispositivo JNTs com comprimento de canal de 50 nm,  $N_A$  de  $5 \times 10^{18} \text{ cm}^{-3}$  e  $V_{DS}$  de -0,9 V com plano de corte junto a fonte.



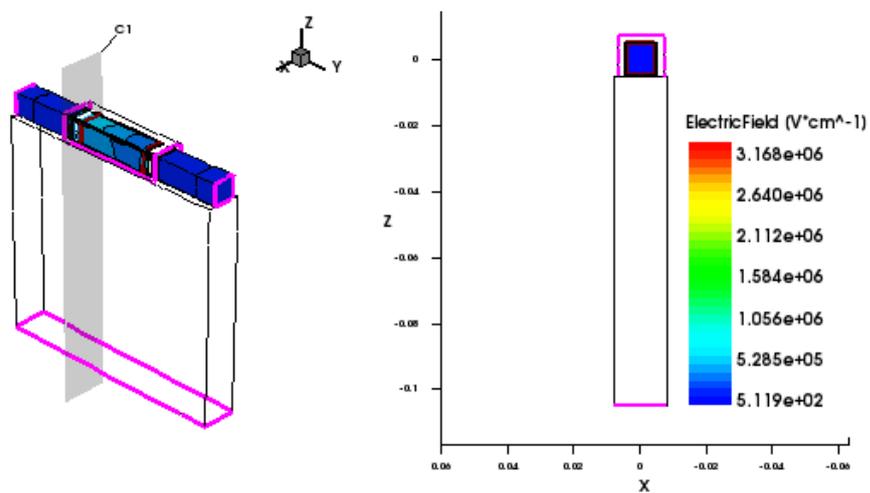
Fonte: Autor

Figura 58 – Campo elétrico em um dispositivo JNTs com comprimento de canal de 50 nm,  $N_A$  de  $1 \times 10^{19} \text{ cm}^{-3}$  e  $V_{DS}$  de -0,9 V com plano de corte junto a fonte.



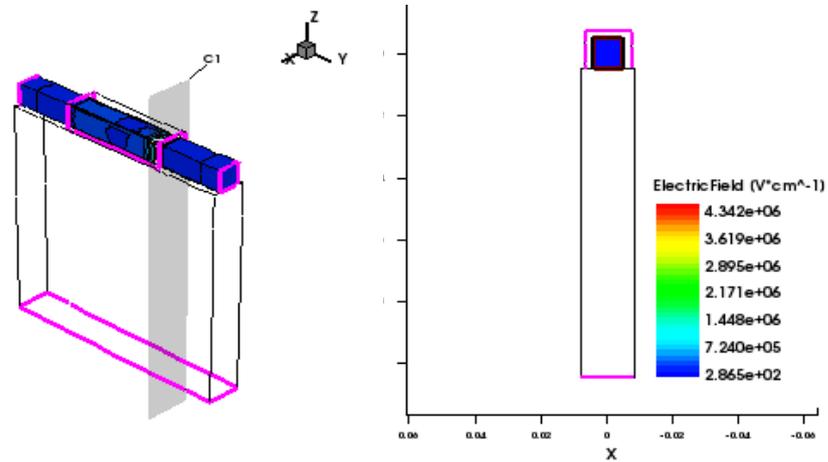
Fonte: Autor

Figura 59 – Campo elétrico em um dispositivo FinFET com comprimento de canal de 50 nm e  $V_{DS}$  de -0,9 V com plano de corte junto a fonte.



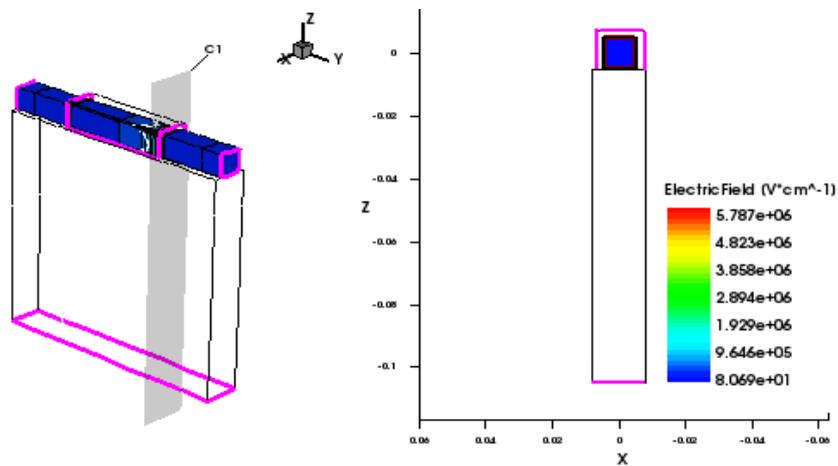
Fonte: Autor

Figura 60 – Campo elétrico em um dispositivo JNTs com comprimento de canal de 50 nm,  $N_A$  de  $5 \times 10^{18} \text{ cm}^{-3}$  e  $V_{DS}$  de -0,9 V com plano de corte junto ao dreno.



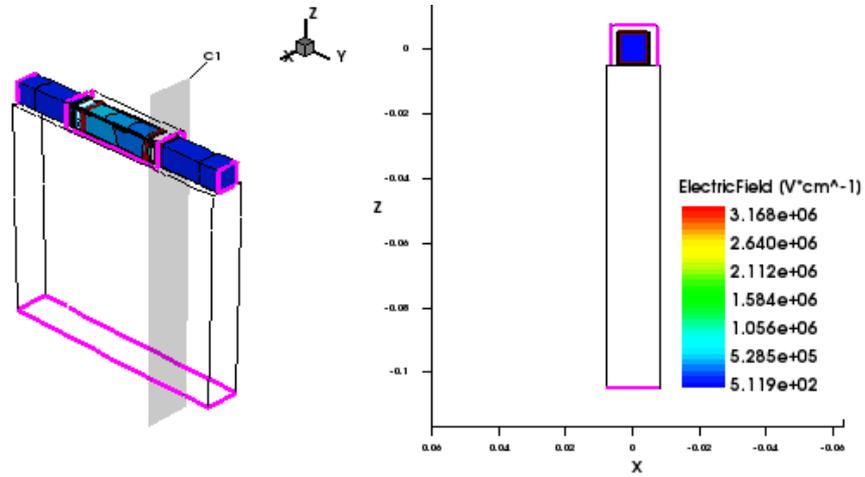
Fonte: Autor

Figura 61 – Campo elétrico em um dispositivo JNTs com comprimento de canal de 50 nm,  $N_A$  de  $1 \times 10^{19} \text{ cm}^{-3}$  e  $V_{DS}$  de -0,9 V com plano de corte junto ao dreno.



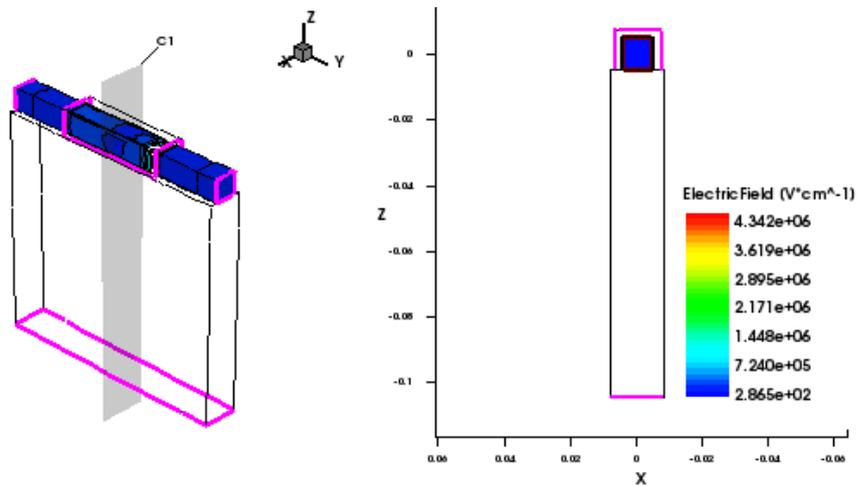
Fonte: Autor

Figura 62 – Campo elétrico em um dispositivo FinFET com comprimento de canal de 50 nm e  $V_{DS}$  de -0,9 V com plano de corte junto ao dreno.



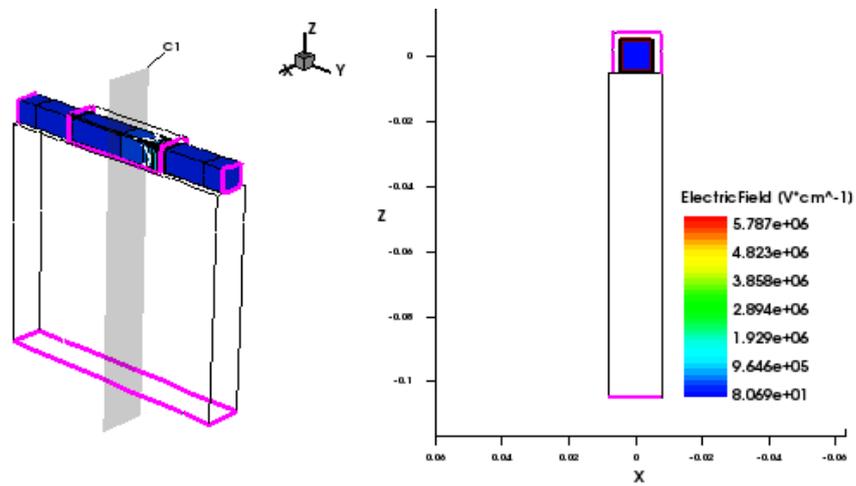
Fonte: Autor

Figura 63 – Campo elétrico em um dispositivo JNTs com comprimento de canal de 50 nm,  $N_A$  de  $5 \times 10^{18} \text{ cm}^{-3}$  e  $V_{DS}$  de -0,9 V com plano de corte no centro do canal.



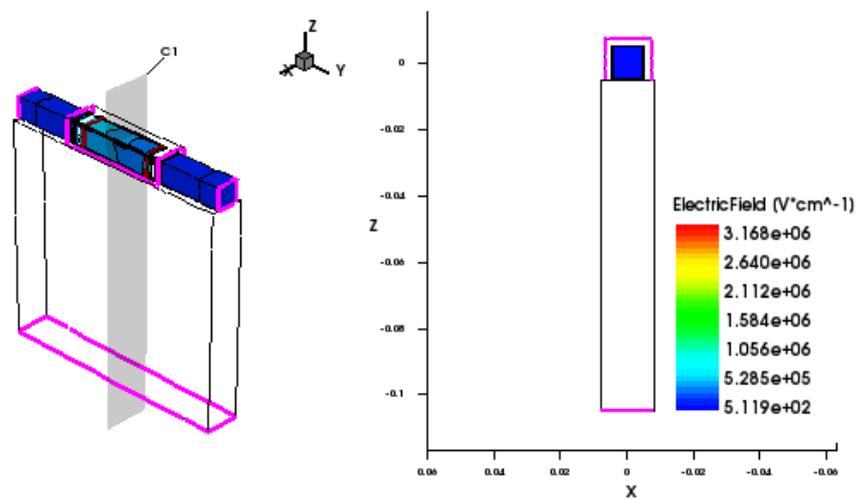
Fonte: Autor

Figura 64 – Campo elétrico em um dispositivo JNTs com comprimento de canal de 50 nm,  $N_A$  de  $1 \times 10^{19} \text{ cm}^{-3}$  e  $V_{DS}$  de -0,9 V com plano de corte no centro do canal.



Fonte: Autor

Figura 65 – Campo elétrico em um dispositivo FinFET com comprimento de canal de 50 nm e  $V_{DS}$  de -0,9 V com plano de corte no centro do canal.



Fonte: Autor

Nas figuras apresentada, estão presentes os perfis dos campos elétricos ao longo da seção transversal do canal de dois JNTs com diferentes concentrações de dopagem dos dispositivos. Os transistores foram polarizados nas mesmas condições ( $V_{DS} = -0,05$  V e  $-0,9$  para  $|V_{GS}-V_{TH}| = 0,5$  V). Como se pode notar, o campo elétrico para o transistor dopado com  $N_A$  de  $5 \times 10^{18}$   $\text{cm}^{-3}$  é muito maior quando comparadas o dispositivo com  $N_A$  de  $1 \times 10^{19}$   $\text{cm}^{-3}$ . De fato, o campo elétrico do JNTs com  $N_A = 1 \times 10^{19}$   $\text{cm}^{-3}$  são extremamente baixo, indicando que este dispositivo opera próximo da faixa plana, enquanto o outro transistor opera mais perto da acumulação. Por este motivo, transistores JNT com maior dopagem apresentam menor degradação por NBTI. No caso de FinFETs, o campo elétrico é ainda maior<sup>67</sup>, resultando em maior degradação por NBTI.

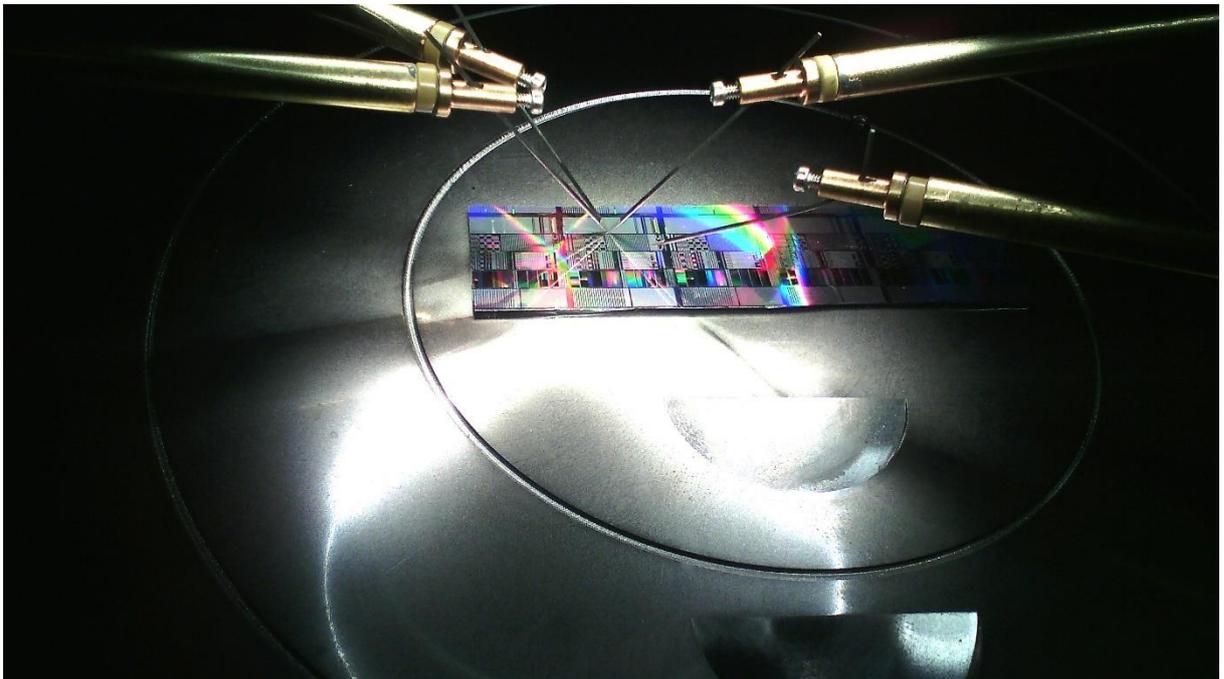
#### 4 ENSAIOS LABORATORIAIS

Nesta etapa, utilizamo-nos dos diversos dispositivos que foram fabricados no *Cea-Leti*, em Grenoble, França, e nos foram fornecidos pelo Dr. Sylvian Barraud. Estes transistores permitiram-nos obter leituras confiáveis de forma a balizar as nossas conclusões com segurança. Felizmente, pudemos contar com amostras de dispositivos e equipamento apropriado para realizar os ensaios necessários. Utilizamos lâminas com dispositivos JNTs do tipo P, com as dopagens de  $5 \times 10^{18} \text{ cm}^{-3}$  e  $1 \times 10^{19} \text{ cm}^{-3}$ .

Para realizar as medidas experimentais, utilizou-se o equipamento *Keysight B1500*, que permitiu esmiuçar as características dos dispositivos de forma pertinente às necessidades de nosso trabalho.

Na figura 66 podemos ver uma lâmina JNTs na mesa do microscópio e as pontas de prova.

Figura 66 – Amostra contendo dispositivos JNTs usada nos testes



Fonte: Autor

#### 4.1 KEYSIGHT B1500

O analisador de dispositivos semicondutores *Keysight B1500A* é um instrumento modular baseado na tecnologia da *Keysight de SMU (Source Monitor Unit)* com alta resolução e precisão<sup>64</sup>. Fornece medições críticas desde DC até pulsada para atender diversas aplicações. A interface de usuário é a *Microsoft® Windows®* tem suporte para o software *EasyEXPERT* da *Keysight*, o qual tem uma abordagem mais intuitiva, orientada por tarefa, para caracterização de dispositivos. O equipamento possui também recursos de medição de capacitância integrados, o que confere a possibilidade de ser usado em diversas aplicações de caracterização de dispositivos semicondutores. Ele também é uma solução para caracterização de células de memória não voláteis e de dispositivos de alta velocidade, inclusive medições avançadas de NBTI e ruído<sup>65</sup>.

Dentre os recursos, cabe destacar: para curvas IxV, a resolução de medição de 0,1 fA / 0,5  $\mu$ V, varredura de um ou múltiplos canais, amostragem de tempo, CxV quasi-estática (usando as SMUs), controle direto e geração de formas de onda lineares arbitrarias (ALWG) com GUI para HV-SPGUs, suporta medições de CxV até 5 MHz.

Na figura 67 são representadas algumas das funcionalidades de uma tela típica do *Keysight B1500*.

Figura 67 – *Display do Keysight B1500*



Fonte: Manual Startup B1500A, Bruno Meneses

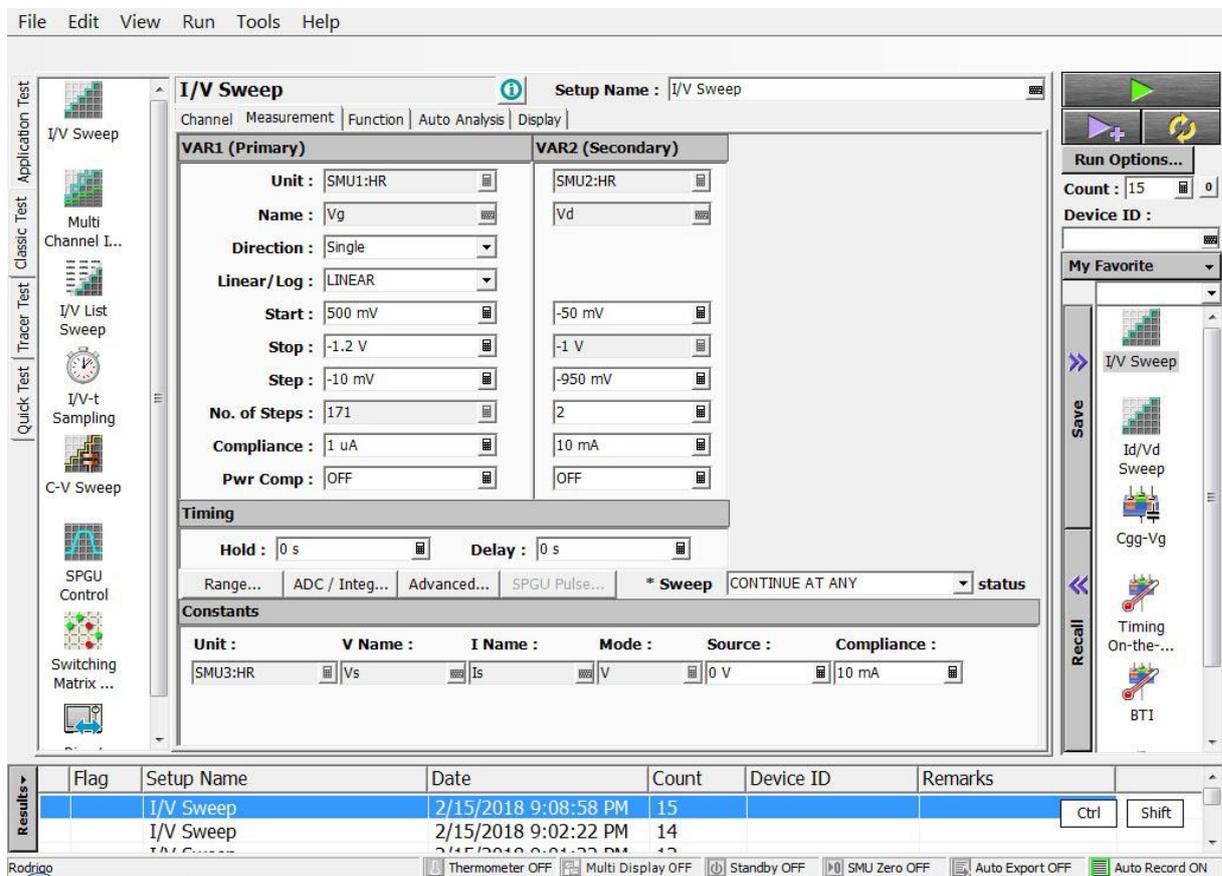
## 4.2 OBTENÇÃO DAS CURVAS $I_D \times V_G$

Nas medições, devemos posicionar a lâmina com as amostras dos dispositivos na mesa do microscópio e, em seguida, ajustar as pontas de prova aos contatos do objeto a ser medido.

Na sequência, já usando o *software EasyEXPERT*, presente no analisador *Keysight B1500*, escolhemos o modelo adequado aos nossos testes. No caso, o módulo para medição das curvas  $I_D \times V_G$ . Configuramos a sequência das portas, com o cabeamento ligados a elas, os parâmetros elétricos, como faixa de tensão de porta, tensão de dreno, entre outros. Então, executamos o aplicativo que nos retorna a curva característica do dado dispositivo.

Na figura 68, vemos uma das telas de configuração do analisador B1500, voltada a obtenção da curva  $I_D \times V_G$ . Podemos observar a configuração dos parâmetros para obtenção da curva  $I_D \times V_G$  do dispositivo. *A priori*, selecionamos como variável primária o  $V_G$  e os parâmetros desejados como tensão de partida e final, qual o passo desejado e a variável secundária, que no nosso caso é o  $V_D$ , que para nossos propósitos são  $-0.05\text{ V}$  e  $-1.0\text{ V}$ .

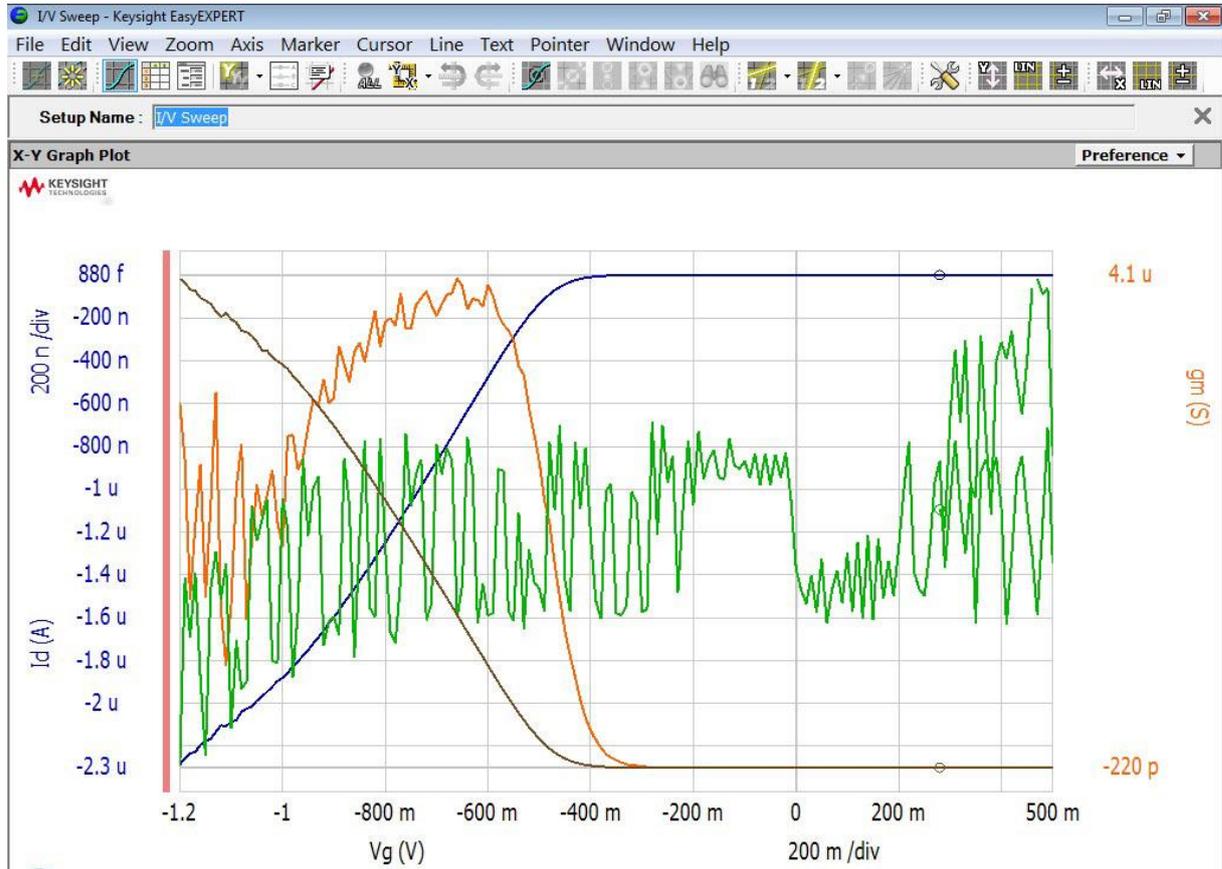
Figura 68 – Tela de configuração do *Keysight B1500* para obtenção de curvas  $I_D \times V_G$



Fonte: Autor

Na figura 69, observamos um exemplo da aferição das curvas  $I_{DxV_G}$  no analisador *Keysight B1500*. Podemos ver as curvas de  $I_D$  (azul), corrente de porta  $I_G$  (verde), corrente de fonte  $I_S$  (marrom) e transcondutância  $g_m$  (laranja).

Figura 69 – Tela de levantamento das curvas  $I_{DxV_G}$  do analisador *Keysight B1500*

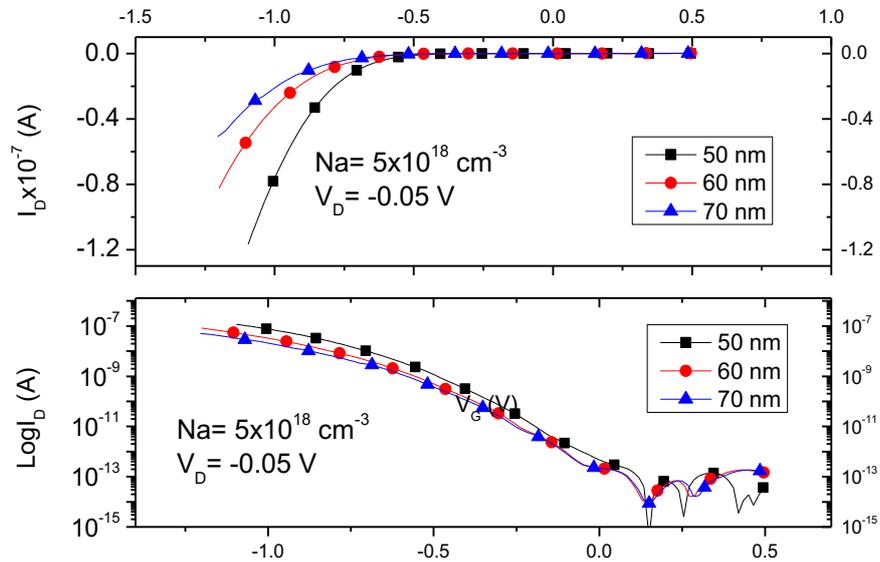


Fonte: Autor

Assim como nas simulações, a curva  $I_{DS} \times V_{GS}$  é nosso ponto de partida nesta etapa do trabalho, pois com esta curva em mãos, podemos calcular o  $V_{TH}$  pelo método de  $g_m/I_{DS}$ , explanado anteriormente.

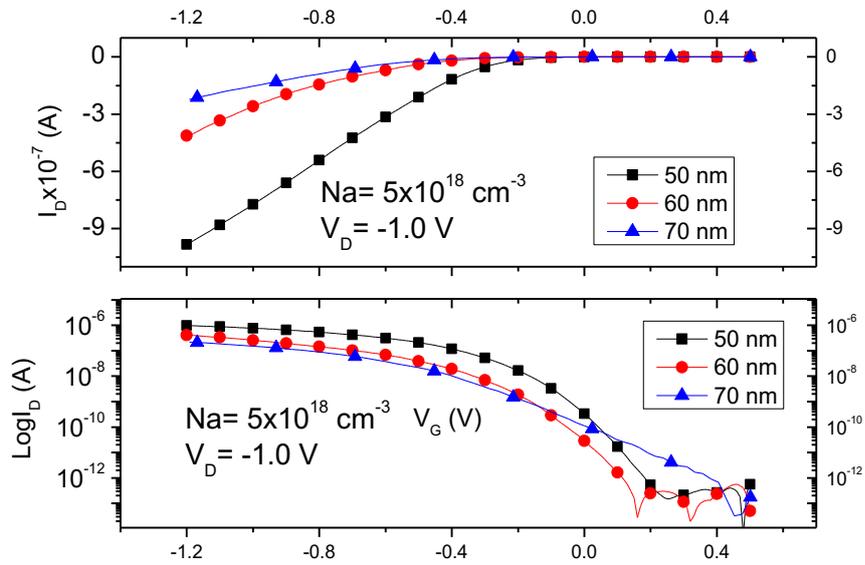
Nas figuras 70 a 73, vemos o conjunto de curvas  $I_{DS} \times V_{GS}$  referentes aos dispositivos JNTs tipo P com dopagem de  $5 \times 10^{18} \text{ cm}^{-3}$  e  $V_{DS}$  de  $-0.05 \text{ V}$ . Quanto maior o comprimento de canal, menor a corrente (em módulo) para um mesmo  $V_{GS}$ . Também nota-se que a tensão de limiar dos dispositivos é reduzida (em módulo) ao se reduzir o comprimento de canal dos dispositivos. Este comportamento está relacionado ao aumento da influência dos efeitos de canal curto. Além disso, há redução da tensão de limiar (em módulo) ao se variar  $V_{DS}$  de  $-0,05 \text{ V}$  para  $-1.0 \text{ V}$ , devido à influência do DIBL.

Figura 70 – Curvas  $I_D \times V_G$  e  $\text{Log} I_D \times V_G$  para dispositivos JNTs tipo P com dopagem de  $5 \times 10^{18} \text{ cm}^{-3}$  e  $V_D$  de  $-0.05 \text{ V}$



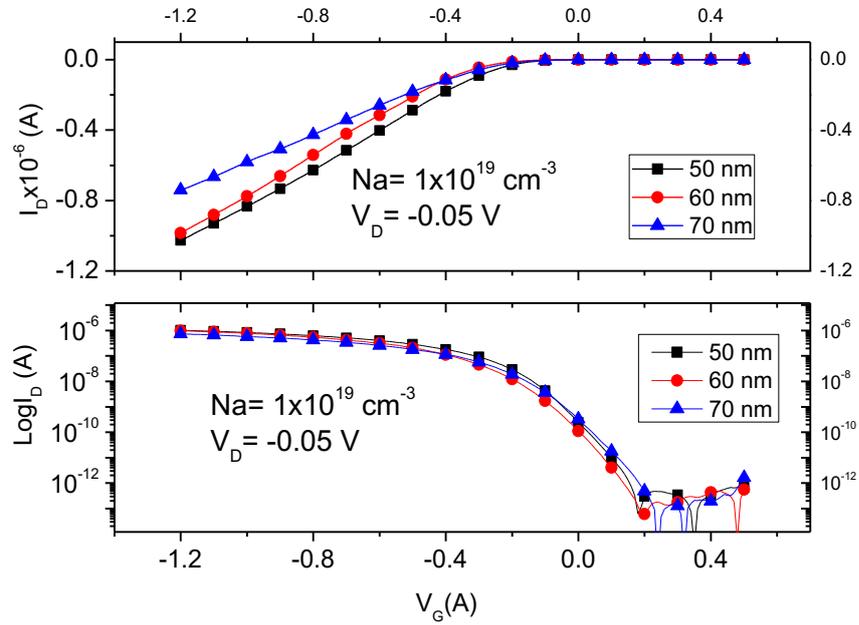
Fonte: Autor

Figura 71 – Curvas  $I_D \times V_G$  e  $\text{Log} I_D \times V_G$  para dispositivos JNTs tipo P com dopagem de  $5 \times 10^{18} \text{ cm}^{-3}$  e  $V_D$  de  $-1.0 \text{ V}$



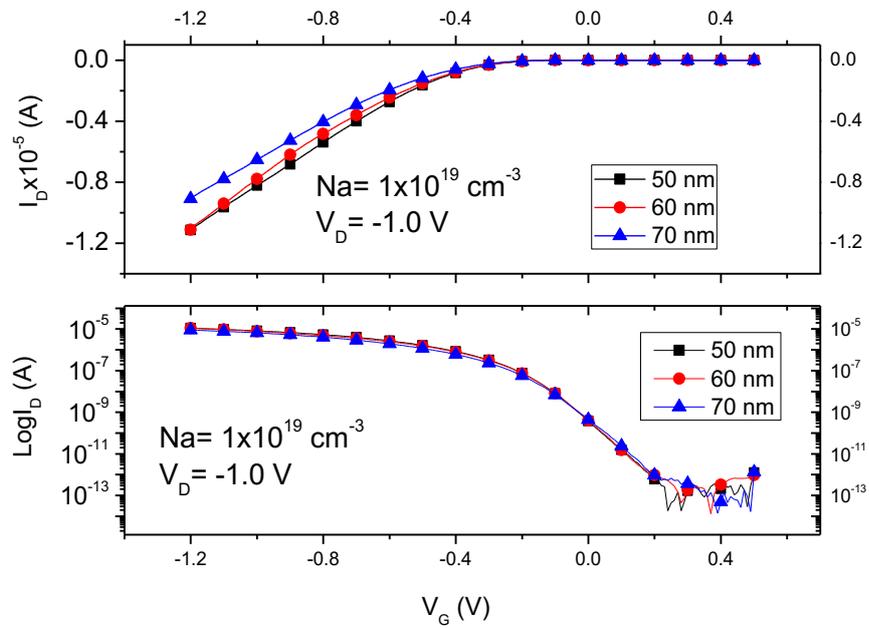
Fonte: Autor

Figura 72 – Curvas  $I_D \times V_G$  e  $\text{Log} I_D \times V_G$  para dispositivos JNTs tipo P com dopagem de  $1 \times 10^{19} \text{ cm}^{-3}$  e  $V_D$  de  $-0.05 \text{ V}$



Fonte: Autor

Figura 73 – Curvas  $I_D \times V_G$  e  $\text{Log} I_D \times V_G$  para dispositivos JNTs tipo P com dopagem de  $1 \times 10^{19} \text{ cm}^{-3}$  e  $V_D$  de  $-1.0 \text{ V}$



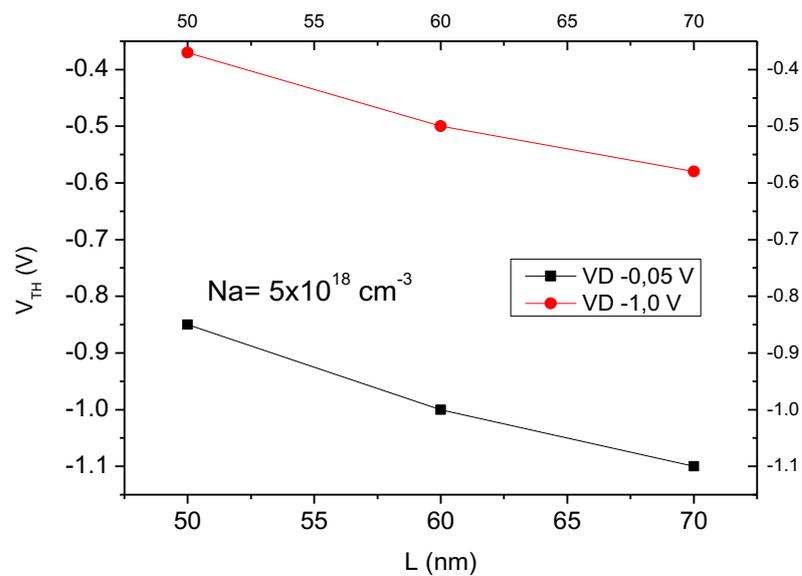
Fonte: Autor

### 4.3 EXTRAÇÃO DA TENSÃO DE LIMIAR

Com os dados das curvas características de todos os dispositivos pertinentes em mãos, passamos a calcular os respectivos valores de  $V_{TH}$ . Para tanto, lançamos mão do método  $g_m/I_D$  descrito anteriormente.

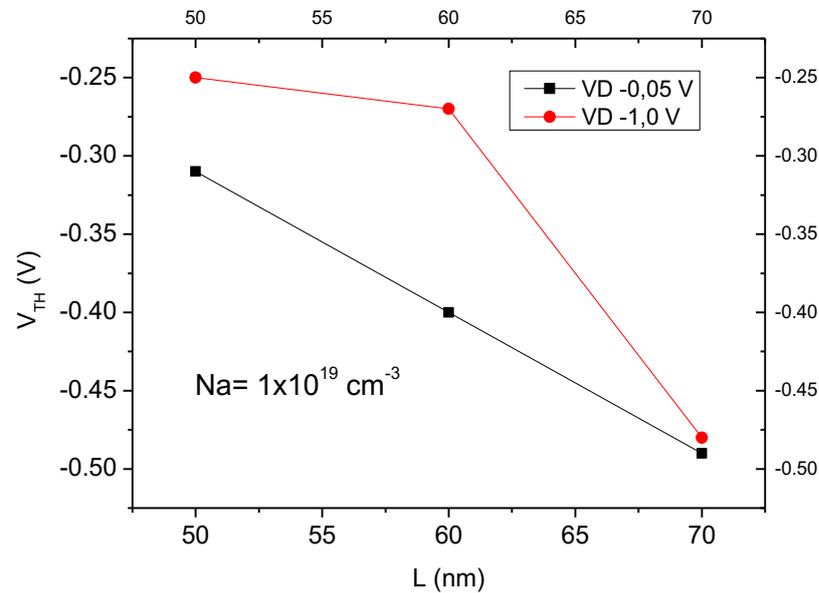
Para determinar um  $V_{TH}$  inicial, o analisador *Keysight B1500* faz uso do método de  $V_{TH}=1.3 \times 10^{-7} \times W/L$ , como valor estimado. No decorrer dos testes, novos valores de  $V_{TH}$  são extraídos a cada ciclo, e, com eles traçamos, as curvas das Figuras 74 e 75, em que estão representados valores de  $V_{TH}$  em função do comprimento de canal para dispositivos com a mesma tecnologia e dopagem.

Figura 74 – Valores de  $V_{TH}$  para os comprimentos de canal nos dispositivos JNTs tipo P com  $N_a$  de  $5 \times 10^{18} \text{ cm}^{-3}$



Fonte: Autor

Figura 75 – Valores de  $V_{TH}$  para os comprimentos de canal nos dispositivos JNTs tipo P com  $N_A 1 \times 10^{19} \text{ cm}^{-3}$



Fonte: Autor

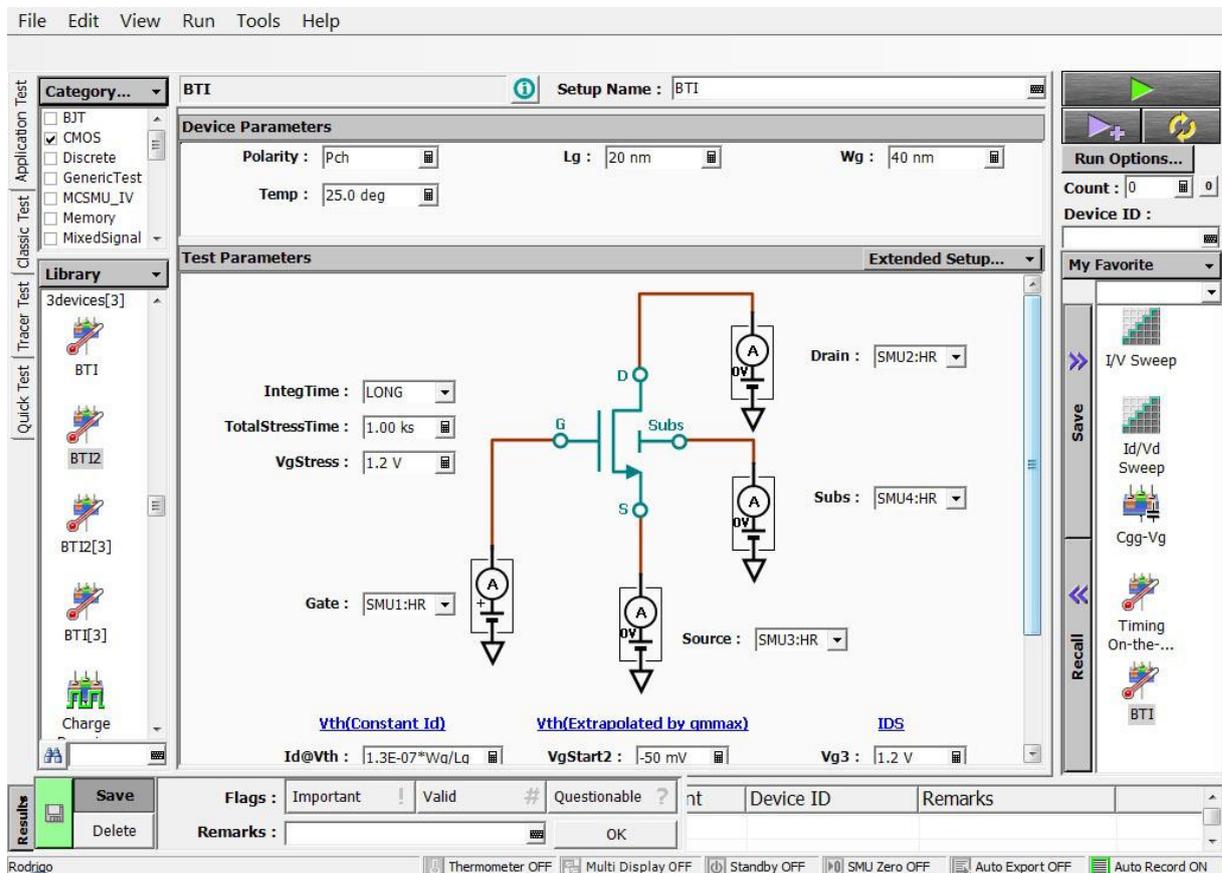
Como podemos ver, o  $V_{TH}$  diminui de maneira direta com a redução do canal, devido ao efeito de canal curto, e aumenta diretamente com o  $V_D$ , pois ao elevarmos a tensão de dreno, aumentamos o controle das cargas pela fonte e dren.

#### 4.4 DEGRADAÇÃO POR EFEITO NBTI NO ANALISADOR *KEYSIGHT* B1500

O analisador *Keysight B1500* oferece diversos modelos para obtenção da degradação por efeito NBTI. Naturalmente, escolhemos o que mais se adequava aos nossos dados e a perspectiva de nossa pesquisa. Também levamos em consideração o método utilizado nas simulações para que fosse possível estabelecer um paralelo entre dispositivos simulados e os testados em laboratório. Este modelo deve ser alimentado com os dados dos dispositivos como as dimensões L e W, limites de tensão para estresse, tensão de dreno entre outro.

Na figura 76, vemos uma das telas de configuração do analisador B1500 voltada à obtenção da degradação por efeito NBTI.

Figura 76 – Tela de configuração do *Keysight B1500* para obtenção da degradação por efeito NBTI

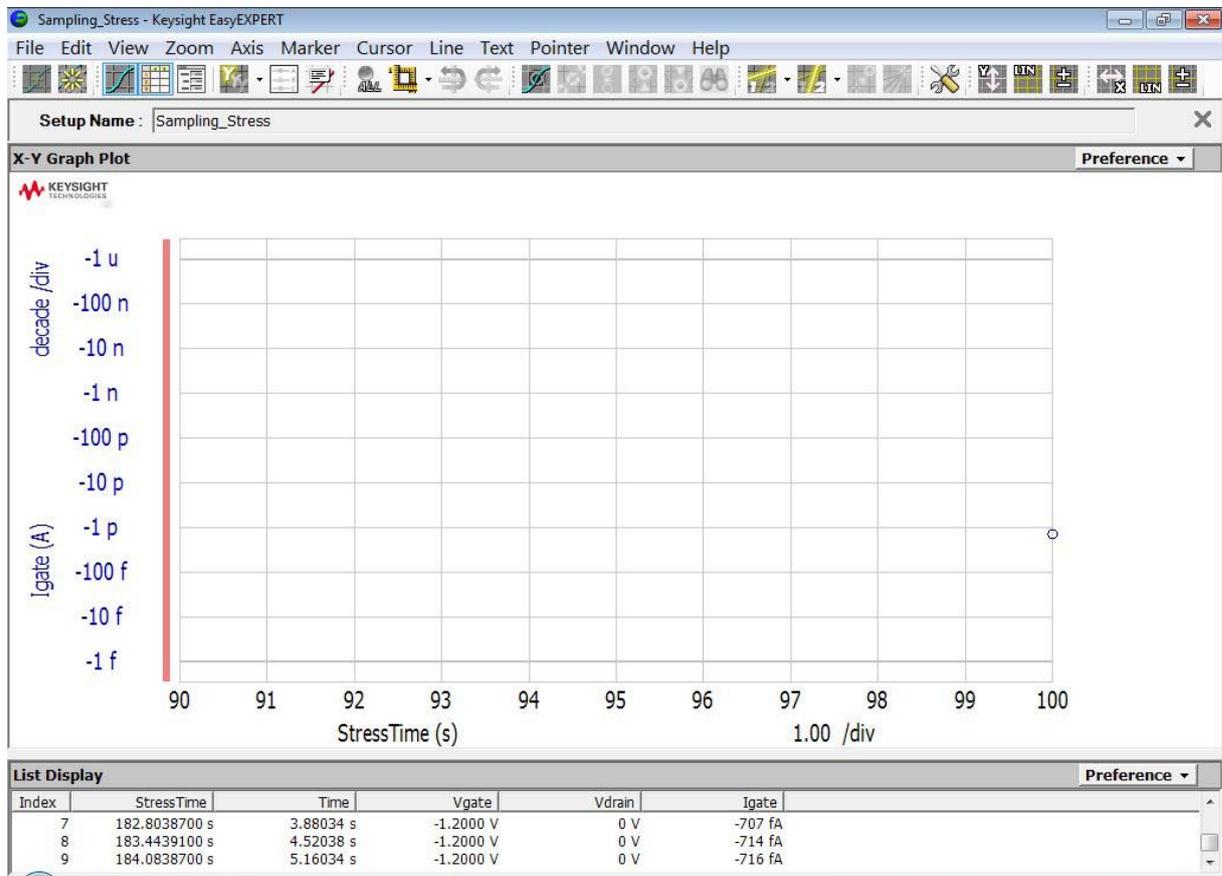


Fonte: Autor

Para permanecer coerente com as simulações, adotamos como referência o tempo de  $10^3$  s. Ao longo deste tempo, o analisador realiza vinte ciclos de testes, nos quais ele estressa o dispositivo até a máxima tensão que determinamos e, em seguida, afere diversas características como curva  $I_{DX}V_G$ ,  $I_D$ ,  $g_m$ ,  $V_{TH}$ , entre outros, ao final de cada ciclo.

Na primeira etapa, o analisador estressa o dispositivo, mantendo por 50 s a tensão de  $V_{gs} - V_{th} = -0,5$  fixo na porta (1.2 V no caso em apreço). Na figura 77, vemos o exemplo da tela referente à esta fase.

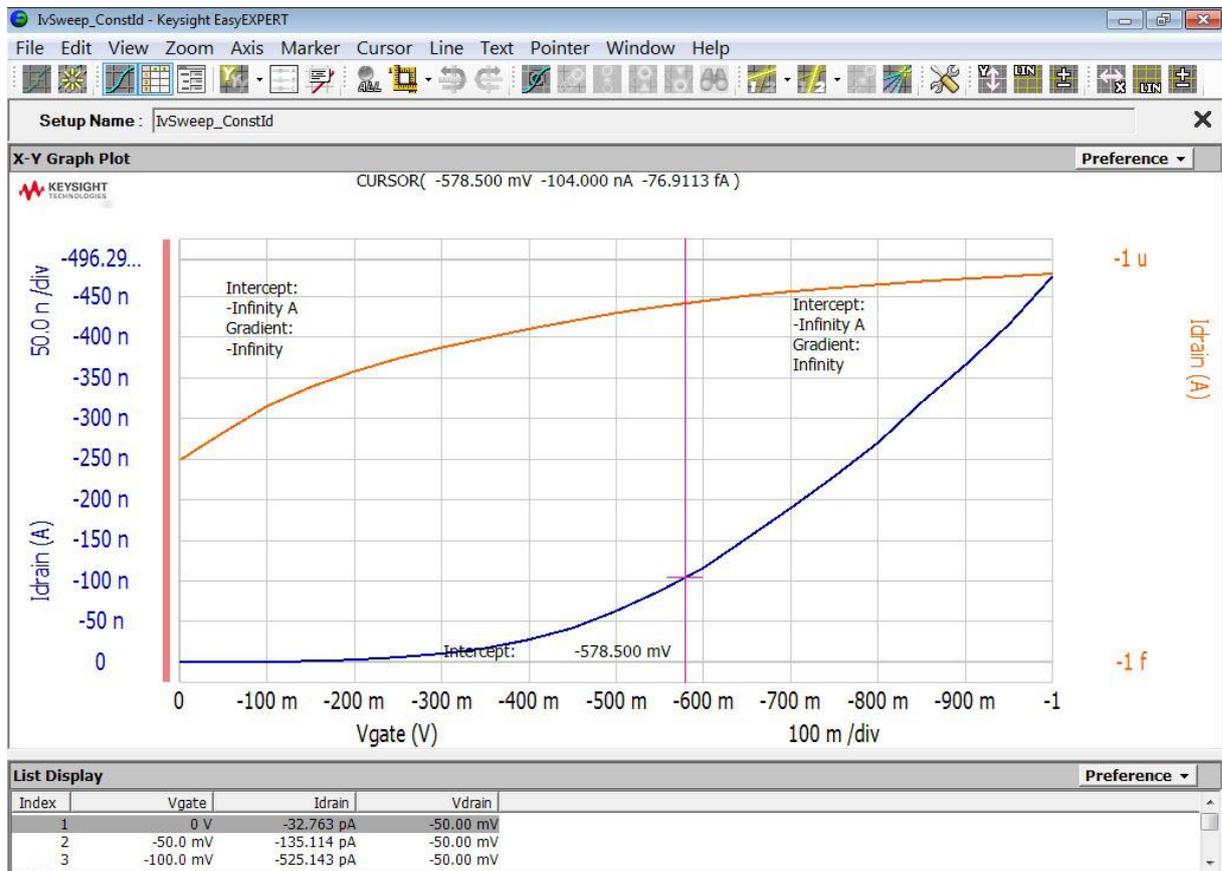
Figura 77 – Tela do módulo de degradação por efeito BTI do analisador Keysight B1500 em sua primeira fase



Fonte: Autor

Na segunda etapa, o analisador afere o  $V_{TH}$  em função de  $I_{DS}$ . O  $V_{DS}$  é definido pelo usuário. Os testes são repetidos a cada ciclo e o resultado é computado. Na figura 78, vemos o exemplo da tela referente a esta segunda fase.

Figura 78 – Tela do módulo de degradação por efeito NBTI do analisador Keysight B1500 em sua segunda fase



Fonte: Autor

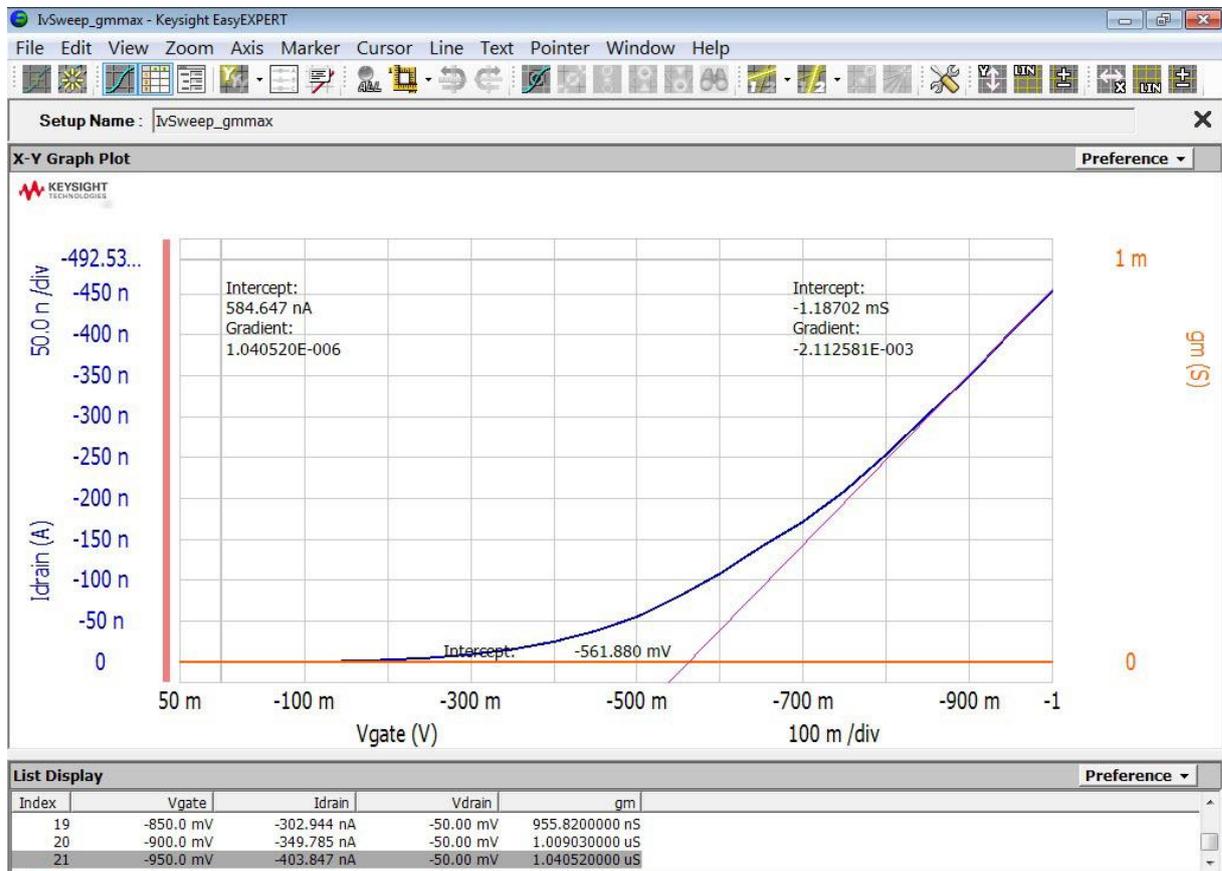
Na terceira etapa, o analisador afere o  $V_{TH}$  em função de  $g_m$ . O  $V_D$  é uma variável definido pelo usuário, e o  $V_{TH}$  inicial é calculado pelo analisador usando a expressão (21):

$$V_{TH} = 1.3 \times 10^{-7} * W/L \quad (21)$$

Como já foi informado anteriormente, calculamos o  $V_{TH}$  através da curva  $I_{DX}V_G$  pelo método do  $g_m/I_D$ . A diferença entre os métodos acontece, pois, de nossa parte, o método do  $g_m/I_D$  nos parece bastante confiável. O fabricante do analisador, utiliza o método da equação 21.

Na figura 79, vemos o exemplo da tela que reflete esta terceira fase.

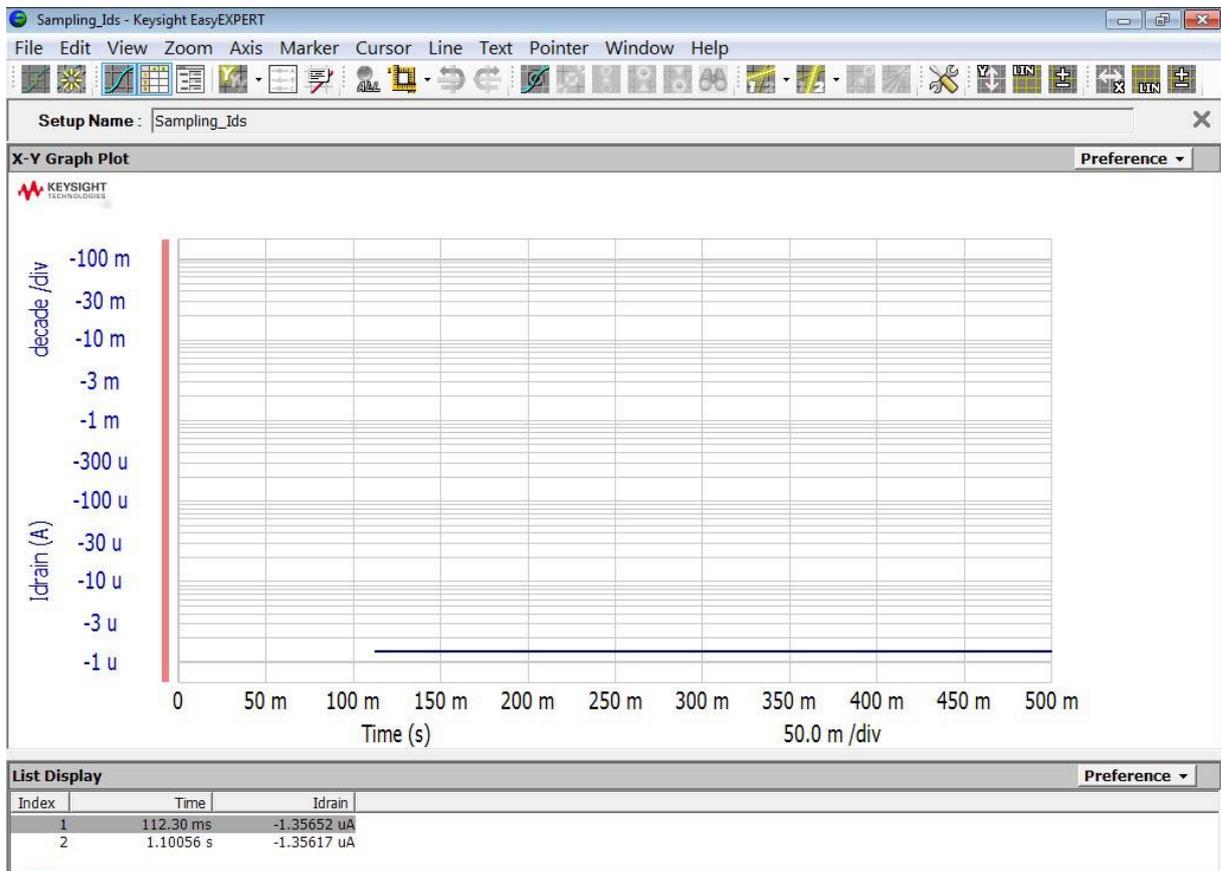
Figura 79 – Tela do módulo de degradação por efeito NBTI do analisador *Keysight* B1500 em sua terceira fase



Fonte: Autor

Finalmente, na quarta etapa, o analisador faz o levantamento da corrente  $I_D$ . Na figura 80, vemos o exemplo da tela referente a esta quarta fase.

Figura 80 – Tela do módulo de degradação por efeito NBTI do analisador *Keysight* B1500 em sua quarta fase



Fonte: Autor

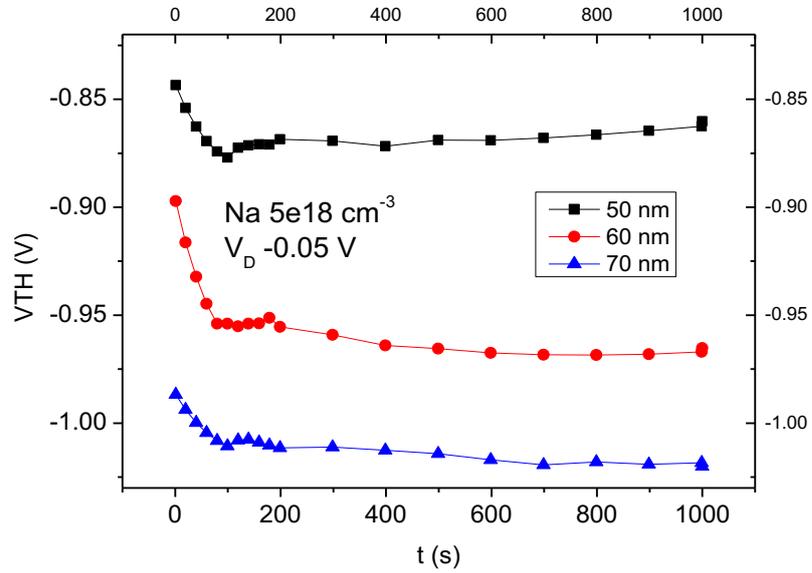
Como já mencionamos, este ciclo de testes repete-se até que o tempo de estresse se esgote.

#### 4.5 EFEITO NBTI: CURVAS EXPERIMENTAIS

Para cada tipo de dispositivos, elegemos três comprimentos de canais diferentes, de forma a permitir observar a evolução da degradação por efeito NBTI em função do canal.

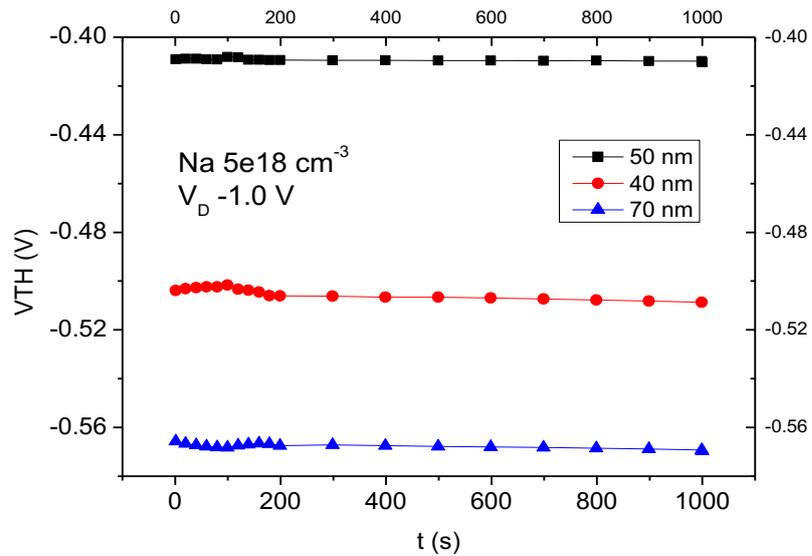
Nas curvas das figuras 81 a 84, visualizamos como o  $V_{\text{TH}}$  evolui em decorrência do tempo, submetendo-se o dispositivo à estresse.

Figura 81 – Comparação das curvas de degradação do  $V_{THxt}$  devido ao efeito NBTI para dispositivos JNTs tipo P com concentração de dopantes de  $5 \times 10^{18} \text{ cm}^{-3}$  e  $V_D$  de  $-0.05 \text{ V}$



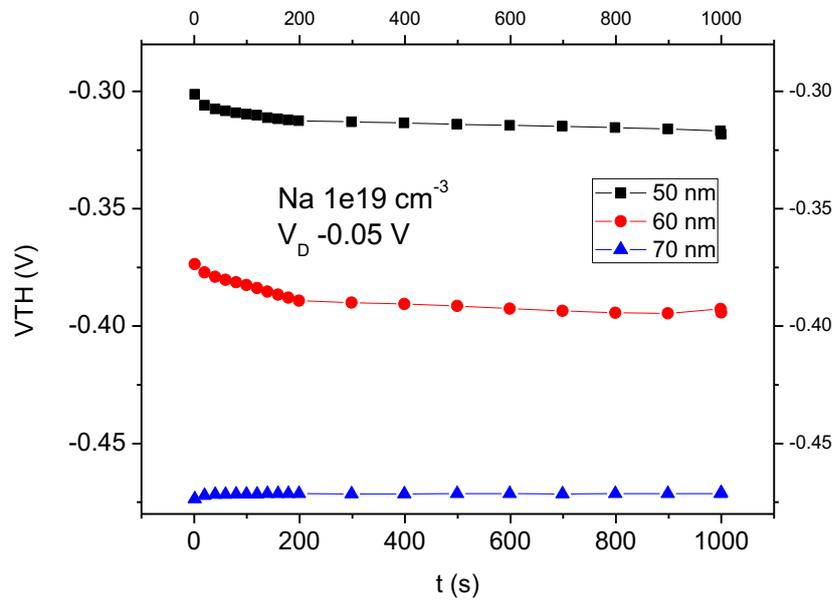
Fonte: Autor

Figura 82 – Comparação das curvas de degradação do  $V_{THxt}$  devido ao efeito NBTI para dispositivos JNTs tipo P com concentração de dopantes de  $5 \times 10^{18} \text{ cm}^{-3}$  e  $V_D$  de  $-1.0 \text{ V}$



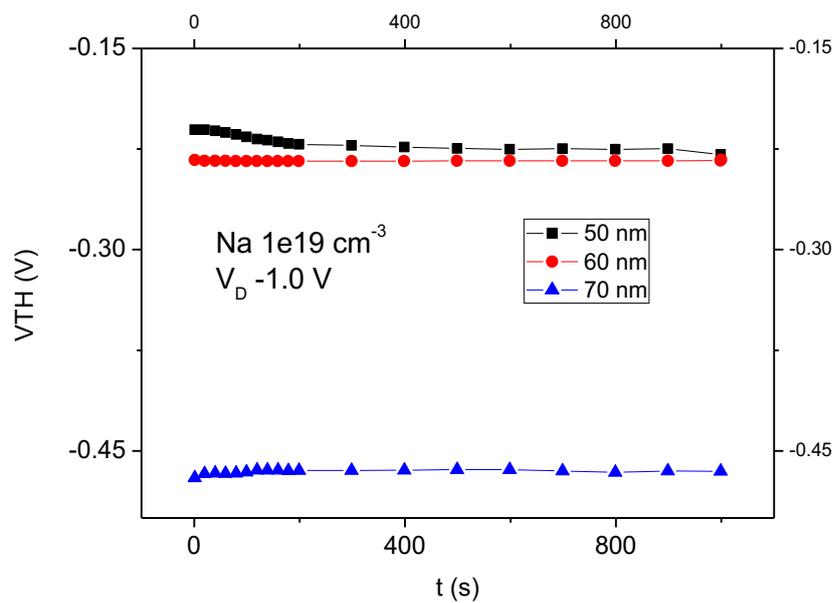
Fonte: Autor

Figura 83 – Comparação das curvas de degradação do  $V_{THXT}$  devido ao efeito NBTI para dispositivos JNTs tipo P com concentração de dopantes de  $1 \times 10^{19} \text{ cm}^{-3}$  e  $V_D$  de  $-0.05 \text{ V}$



Fonte: Autor

Figura 84 – Comparação das curvas de degradação do  $V_{THXT}$  devido ao efeito NBTI para dispositivos JNTs tipo P com concentração de dopantes de  $1 \times 10^{19} \text{ cm}^{-3}$  e  $V_D$  de  $-1.0 \text{ V}$

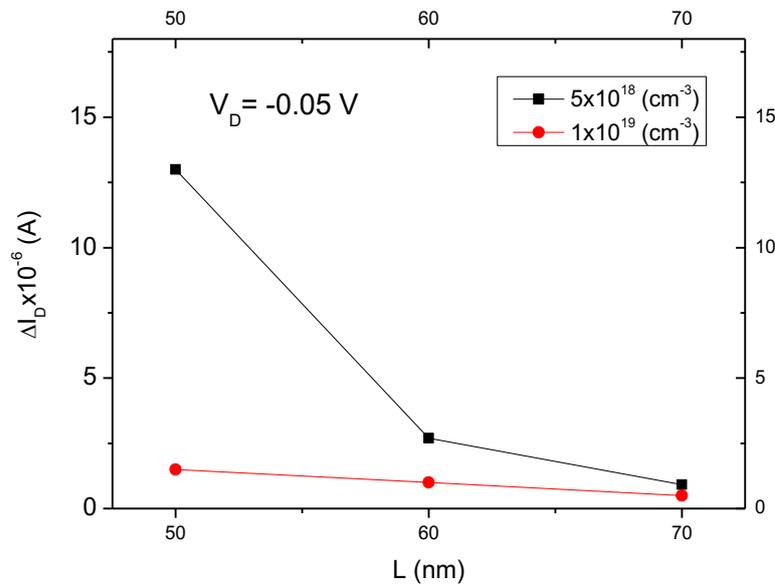


Fonte: Auto

#### 4.5.1 Degradação da corrente de dreno

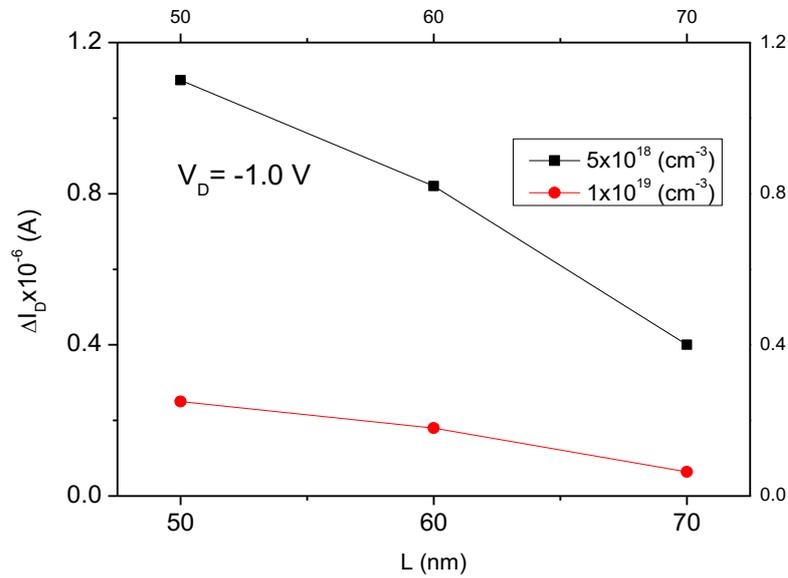
Outro resultado importante que colhemos em nossos testes com o modelo de degradação por efeito BTI do analisador, diz respeito à corrente de dreno. Podemos observar das curvas das figuras 85 e 86, que as correntes se degradam mais para comprimentos de canal e para dopagens menores. Em relação à dopagem, isto ocorre pois quanto menor ela for, maior será o campo elétrico. Em relação ao canal, o encurtamento faz com que este fique sujeito a vários efeitos como efeito de canal curto, DIBL, resistência série, degradando-se a condição do dispositivo.

Figura 85 – Comparação entre a degradação da corrente de dreno devido ao efeito NBTI para dispositivo JNTs tipo P com  $V_D$  de -0.05 V



Fonte: Autor

Figura 86 – Comparação entre a degradação da corrente de dreno devido ao efeito NBTI para dispositivo JNTs tipo P com  $V_D$  de -1.0 V



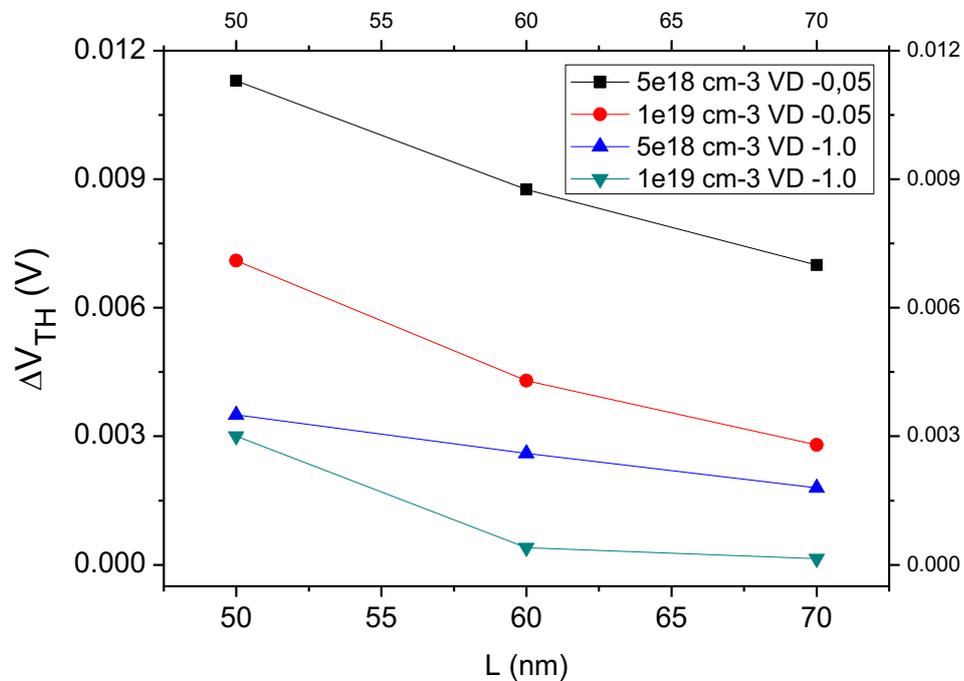
Fonte: Autor

#### 4.5.2 Degradação da tensão de limiar

Com as curvas da tensão de limiar em mãos, podemos calcular o  $\Delta V_{TH}$ , que reflete a degradação por efeito NBTI e, então, traçarmos as curvas. Na figura 87, temos a comparação entre a degradação da tensão de limiar por efeito NBTI para dispositivos JNTs tipo P, com dopagens de  $5 \times 10^{18} \text{ cm}^{-3}$  e  $1 \times 10^{19} \text{ cm}^{-3}$  com diferentes tensões de dreno (-0,05 V e -1,0 V).

Observando as figuras correspondentes ao  $\Delta I_D$  e as comparando àquelas obtidas por simulação, verificamos que todas seguem a mesma tendência.

Figura 87 – Comparação entre a degradação da tensão de limiar devido ao efeito NBTI para dispositivo JNTs tipo P  $N_A$   $5 \times 10^{18} \text{ cm}^{-3}$  e  $1 \times 10^{19} \text{ cm}^{-3}$ , com  $V_D$  de  $-0.05 \text{ V}$  e  $-1,0 \text{ V}$



Fonte: Autor

Outra similaridade entre os levantamentos das tensões de limiar nos simuladores e no analisador é apontada nas curvas comparativas. A degradação é maior para dispositivos com menor dopagem, o que pode ser consequência do maior campo elétrico. Podemos observar que ao se variar o  $V_{DS}$ , de forma diretamente proporcional, reduzimos o campo elétrico na região de dreno, diminuindo a degradação por efeito NBTI.

## 5 CONCLUSÃO

De forma sucinta, o trabalho baseiou-se na simulação e caracterização elétrica de dispositivos JNTs para fins do estudo de seus parâmetros elétricos sob o efeito de degradação por NBTI. Por meio das simulações supramencionadas, primeiro, discorreremos acerca de dispositivos planares, seguindo-se dos transistores de porta tripla. Então, obtivemos os dados e verificamos os resultados.

Inicialmente, foram obtidas as curvas simuladas da corrente de dreno em função da tensão de porta para transistores sem junções com diferentes concentrações de dopantes e comprimentos de canal, além de transistores modo inversão com dimensões similares. A partir destas curvas, foi determinada a tensão de limiar dos dispositivos. Assim, pode-se polarizá-los em uma mesma sobretensão de porta de 0,5 V, por um período de 1000 s, objetivando verificar a degradação da corrente e da tensão de limiar devido à degradação por NBTI. Na sequência, analisou-se o campo elétrico dos dispositivos, visando explicar os fenômenos observados.

Em uma segunda etapa, fizemos ensaios em dispositivos físicos. Escolhemos os aplicativos de testes no analisador *Keysight* B1500, que atendiam as premissas de nossa pesquisa.

Conclui-se que os resultados se mostraram coerentes com os obtidos por intermédio das simulações.

Mostra-se relevante a validação do modelo de degradação NBTI para os dispositivos JNTs, uma vez que estudos futuros poderão surgir e seguir diversas direções.

É importante salientar que, tendo em mãos os dados obtidos, constatamos que a degradação NBTI é, de fato, menor em dispositivos JNTs em relação a transistores modo inversão, o que se deve ao menor campo elétrico apresentado no canal destes dispositivos.

Para os transistores JNTs, evidencia-se que a degradação é maior para dispositivos com menor dopagem e observa-se que ao se variar o  $V_{DS}$ , de forma diretamente proporcional, reduzimos o campo elétrico na região de dreno, diminuindo a degradação por efeito NBTI.

A degradação por efeito NBTI é deletéria e inversamente proporcional ao comprimento de canal. Os nossos dados sustentam esta afirmação, o que elevará, cada vez mais, sua relevância, visto que é provável que dispositivos ainda menores sejam necessários para se elevar o escalamento e desempenho dos circuitos eletrônicos.

Portanto, sob a óptica da degradação por NBTI, a utilização destes transistores mostra-se ser uma alternativa para as demandas de canais nanométricos.

A degradação por efeito NBTI em dispositivos JNTs é um tópico que só agora começa a ser explorado. Este trabalho apenas enfatizou alguns aspectos. Estamos certos de que muito mais ainda há para ser feito, como por exemplo, variarmos a corrente de dreno e explorarmos aspectos como a temperatura, que afeta os dispositivos JNTs, para fins de efeito NBTI, entre outros.

Enfim, existe um vasto campo de pesquisa pela frente para ser descoberto e explorado por aqueles aficionados pela nanoeletrônica.

## 6 TRABALHOS FUTUROS

Sabemos que só começamos a explorar o tema “Degradação por efeito NBTI em dispositivos JNTs”.

Há muitos elementos correlatos da degradação citada a ser melhor entendidos, como por exemplo, um estudo pormenorizado da influência da tensão de dreno, ou mesmo as implicações da variação da temperatura no dispositivo.

Espera-se que o mais promissor e interessante campo estudo será a variação da tensão de porta, uma vez que este possui potencial para alterar o regime de trabalho do dispositivo, com consequências relevantes para o estudo do efeito NBTI. Tema de nossos próximos estudos.

## REFERÊNCIAS

- <sup>1</sup> COLINGE, J. P. et al. **Junction less Nanowire Transistor (JNT): Properties and design guidelines**. Ireland: Solid-State Electronics, 2013. p. 33-37.
- <sup>2</sup> DISCO, Cornelius; VAN DER MEULEN, Barend. **Getting new technologies together**. New York: Walter de Gruyter, 2008. p. 206–207.
- <sup>3</sup> COLINGE, J. P.; KRANTI, A.; Yan, R.; LEE, C. W.; FERAIN, I.; Yu, R.; DEHDASHTI, Akhavan, N.; RAZAVI, P. **Junctionless Nanowire Transistor (JNT) - Properties and design guidelines**. Ireland: Solid-State Electronics, 2013. p. 65-66.
- <sup>4</sup> D. FLANDRE, J. P. COLINGE, **High Temperature Characteristics of CMOS Devices and Circuits on Silicon-On-Insulator (SOI) Substrates**, Anais do IX Congresso da Sociedade de Microeletrônica, Rio de Janeiro, 1991, p. 777..
- <sup>5</sup> COLINGE, J. P. et al. **Junctionless Nanowire Transistor (JNT): Properties and design guidelines**. Ireland: Solid-State Electronics, 2013. p. 33-37.
- <sup>6</sup> M. ALAM. S. MAHAPATRA. **A comprehensive model of PMOS NBTI degradation**. Microelectronics Reliability, vol. 45, 2005. p. 71–81.
- <sup>7</sup> SEEVINCK, E.; LIST, F. J. and LOHSTROH, J., **Static-Noise Margin Analysis of MOS SRAM Cells.**: Solid-State Circuits, IEEE Journal of. 1987.
- <sup>8</sup> WANG, W. et. al. **An efficient method to identify critical gates under circuit aging**. Proc. ICCAD, 2007. p.735 – 740.
- <sup>9</sup> H. REISINGER, O. BLANK, W. HEINRIGS, A. MÜHLHOFF, W. GUSTIN, AND C. SCHLÖNDER, Proc. IRPS, 2006, p. 448–453.
- <sup>10</sup> S. MAHAPATRA, V. D. MAHETA, A. E. ISLAM, M. A. ALAM. **Isolation of NBTI stress generated interface trap and hole-trapping components in PNO p-MOSFETs**. IEEE Trans. Electron Devices, vol. 56, 2009. p. 236-242.

- <sup>11</sup> KUMAR, Sanjay V, KIM, Chris H., and SAPATNEKAR, **Sachin S. Department of Electrical and Computer Engineering**, University of Minnesota, Minneapolis, MN 55455
- <sup>12</sup> TISDALE, W. A.; WILLIAMS, K. J.; TIMP, B. A.; NORRIS, D. J.; AYDIL, E. S.; ZHU, X.-Y. (2010). **Hot-Electron Transfer from Semiconductor Nanocrystals**. Science, 2010. p. 328-1543.
- <sup>13</sup> CHEN, F., SHINOSKY, M. A., **Electron fluence driven, Cu catalyzed, interface breakdown mechanism for BEOL low-k time dependent dielectric breakdown.**: Microelectronics Reliability, 2014. p. 54, 529.
- <sup>14</sup> M.A.ALAM AND S.MOHAPATRA. **A comprehensive model of PMOS NBTI degradation**. Journal of Microelectronics Reliability, 2005. p 45:71–81.
- <sup>15</sup> S. ZAFAR, A. KUMAR, E. GUSEV, AND E. CARTIER. **Threshold voltage instability in high-k gate dielectric stacks**. IEEE Trans. Device and Materials Reliability, vol. 5, 2004. p. 45-64.
- <sup>16</sup> KUMAR, SANJAY V, KIM, CHRIS H., AND SAPATNEKAR Department of Electrical and Computer Engineering, University of Minnesota, Minneapolis, MN 55455
- <sup>17</sup> A. HAGGAG, G. ANDERSON, S. PARIHAR, D. BURNETT, ET AL. **Understanding SRAM High-Temperature Operating-Life NBTI: Statistics and Permanent vs Recoverable Damage**. Proc. IEEE International Reliability Physics Symposium, 2007. p. 452-456.
- <sup>18</sup> R. SALOMON AND F. SILL. **High-speed, low-leakage integrated circuits: An evolutionary algorithm perspective**. J. Syst. Archit., vol. 53, 2007. p. 321–327.
- <sup>19</sup> LEE, CHI-WOO, ET AL. **Performance estimation of junctionless multigate transistor**. Solid-State Electronic (2010); 50: p 97-103

- <sup>20</sup> JOHN ATALLA AND DAWON KAHNG. **Fabricate working transistors and demonstrate the first successful MOS field-effect amplifier** (U.S. Patent 3,102,230 filed in 1960, issued in 1963)". Computer History Museum.
- <sup>21</sup> JAN, M. RABAEY, ANANTHA CHANDRAKASAN. **Digital Integrated Circuits**. Berkeley
- <sup>22</sup> H. WANG, J. LI, H. LI, K. XIAO AND H. CHEN. **Experimental study and Spice simulation of CMOS inverters latch-up effects due to high power microwave interference**. 2008.
- <sup>23</sup> LEE, J. H. E CRISTOLOVEANU, S., **Accurate Technique for CV Measurements on SOI Structures Excluding Parasitic Capacitance Effects**, IEEE Electron Device Letters, Vol. EDL7, 537, 1986.
- <sup>24</sup> COLINGE, J.P.: **Silicon On Insulator Technology: Materials to VLSI**. Kluwer Academic Publishers, 1997.
- <sup>25</sup> PELLOIE, J.L. : "SOI for Low-Power Low-Voltage - Bulk versus SOI", Microelectronic Engineering, Vol. 39, pag. 155, 1997.
- <sup>26</sup> BOERSCH, HANS; RADELOFF, C.; SAUERBREY, G. (1961). "**Über die an Metallen durch Elektronen ausgelöste sichtbare und ultraviolette Strahlung**". Zeitschrift für Physik A (in German). 165 (4): 464–484
- <sup>27</sup> COLINGE, J.P.: "**Silicon On Insulator Technology: Materials to VLSI**"; Kluwer Academic Publishers, segunda edição, 1997. EL-MANSY, Y. : IEEE Transactions on Electron Devices, Vol. 29, p.567, 1982.
- <sup>28</sup> MUELLER, C.W; RO, BINSON. **Grown-film silicon transistors on sapphire**. IEEE Transactions on Electron Devices, v. 11, n. 11 p. 530-530, 1964.

- <sup>29</sup> STURM, J. C, TOKUNAGA, K; COLINGE, J. P. **Increased drain saturation current in ultra-thin silicon-on-insulator (SOI) MOS transistors.** IEEE Electron Device Letters, v. 9, n. 9 p. 460-463, 1988.
- <sup>30</sup> SEKIGAWA, T.; HAYASHI, Y. **CALCULATED THRESHOLD-VOLTAGE CHARACTERISTICS OF AN XMOS TRANSISTOR HAVING AN ADDITIONAL BOTTOM GATE.** Solid-State Electronics. v. 27, n. 8/9, p. 827-828, 1984.
- <sup>31</sup> HISAMOTO, Digh; KAGA, Toru; KAWAMOTO, Y.; TAKEDA, Eui. **Fully Depleted Lean-channel Transistor (DELTA) - A novel vertical ultra thin SOI MOSFET.** IEEE Electron Device Letters, v. 11, n. 1, p. 36-38, 1990.
- <sup>32</sup> LIU, Y.; ISHII, K.; TSUTSUMI, T.; MASAHARA, M.; SUZUKI, E. **Ideal Rectangular Cross-Section Si-Fin Channel Double-Gate MOSFETs Fabricated Using Orientation Dependent Wet Etching.** IEEE Electron Device Letters, v. 24, n. 7, p. 484-486, 2003.
- <sup>33</sup> PARK, J. T.; COLINGE J. P.; DIAZ C. H. **Pi-Gate SOI MOSFET.** IEEE Electron Device Letters, n. 22, v. 8, p. 405-406, 2001.
- <sup>34</sup> YANG, F. L.; CHEN H. Y.; CHENG, F. C.; HUANG, C. C.; CHANG, C. Y.; CHIU, H. K. **25 nm CMOS Omega FETs. In: Technical Digest of IEDM - International Electron Devices Meeting,** p. 255-258, 2002.
- <sup>35</sup> XIONG, W.; PARK, J. W.; COLINGE, J. P. **Corner Effect in Multiple-Gate SOI MOSFETs,** In: SOI Conference IEEE International, p. 111-113, 2003.
- <sup>36</sup> COLINGE J.P. KRANTI, A; YAN, LEE C.W. ET AL,; **Junctionless Nanowire Transistor (JNT); Properties and Desing Guidelines, Solid- State. Electronics** Vol 65-66, N. 1, PP 33-37, 2011
- <sup>37</sup> DORIA R. T.; PAVANELLO, M. A.; TREVISOLI, R.D.; SOUSA, M DE ET AL.; **Analyses of the Low-Frequency Noise of Junctionless Nanowire Transistors Operating in Saturation,** IEEE International SOI Conference, 2011, pp. 1-2, 2011

<sup>38</sup> KRANTI, A; YAN, LEE C.W.; FERAIN, I. ET AL.; **Junctionless Nanowire Transistor (JNT); Properties and Desing Guidelines.** **Proceedings of the European Solid- State Device Reserarch Conference (ESSDERC), 2010, PP 357-360, 2010**

<sup>39</sup> DORIA R. T **Dissertação de doutorado de: Operação e modelagem de transistores mos sem junsão, 2013.**

<sup>34</sup> COLINGE, J. P. **Silicon-on-Insulator Technology: Materials to VLS.** Boston: Kluwer Academic Publisher , 2003.

<sup>41</sup> RUNYUN, W. R.; WATELSKI, S. B.; HARPER, C. A . **Handbook of materials and processes for electronics.** New York: McGraw-Hill, 1970

<sup>43</sup> BIN, Y.; CHANG L.; AHMED, S.; WANG H.; BELL, S.; YANG, C. Y.; TABERY, C.; HO, C.; XIANG, Q.; KING, T. J.; BOKOR, J.; HU, C.; LIN, M. R.; KYSER, D. **FinFET Scaling to 10 nm Gate Length. In: Technical Digest of IEDM - International Electron Devices Meeting, p. 251–254, 2002**

<sup>43</sup> D. CHATTOPADHYAY; For a discussion of JFET structure and operation, see for example. **§13.2 Junction field-effect transistor (JFET)". Electronics (fundamentals and applications).** New Age International. pp. 269 (2006).

<sup>44</sup> GIMENEZ, S. P.; FERREIRA, R. M. G; MARTINO, J. A. **Early Voltage Behavior in Circular Gate SOI nMOSFET Using 0.13  $\mu$ M Partially-Depleted SOI CMOS Technology.** SBMicro, vol. 4, p. 319-328, 2006.

<sup>45</sup> KRANTI, A.; CHUNG, T. M.; FLANDRE, D.; RASKIN, J-. P.; **Laterally Asymmetric Channel Engineering in Fully Depleted Double Gate SOI MOSFETs for High Performance Analog Applications, Solid-State Electronics, v. 48, no. 6, p. 947-959, 2004.**

<sup>46</sup> GIMENEZ, S. P.; FERREIRA, R. M. G; MARTINO, J. A. **Early Voltage Behavior in Circular Gate SOI nMOSFET Using 0.13  $\mu$ M Partially-Depleted SOI CMOS Technology.** SBMicro, vol. 4, p. 319-328, 2006.

- <sup>47</sup> PERTENCE JUNIOR, ANTONIO **Amplificadores Operacionais e Filtros Ativos**. Porto Alegre: Bookman, 2003. P 302.
- <sup>48</sup> D. FLANDRE, A. VIVIANI, J.-P. EGGERMONT, P. JESPERS, "**Improved synthesis of regulated-cascode gain-boosting CMOS stage using symbolic analysis and gm/ID methodology**", **IEEE Journal of Solid-State Circuits** (Special Issue on 22nd ESSCIRC conference), 32 (1997) 1006-1012.
- <sup>49</sup> SILVEIRA F., FLANDRE D., JESPERS P.G.A. **A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-ion-insulator micropower OTA**. **IEEE Journal of Solid State Circuits**. Vol. 31, pg 1314-1319, Sept. 1996.
- <sup>50</sup> J.P. COLINGE, **FinFETs and Other Multi-Gate Transistors**, Springer, 2008, 340p.
- <sup>51</sup> QU, S.-X.; CLELAND, A.; GELLER, M. (2005). "**Hot electrons in low-dimensional phonon systems**". **Physical Review B**.72.
- <sup>52</sup> T. TERADA AND H. MUTA, "**A new method to determine effective MOSFET channel length**," **Jap. J. Appl. Phys.**, vol. 18, p. 953, 1979.
- <sup>53</sup> A. ELHAMI KHORASANI, "**A Fast I-V Screening Measurement for TDDB Assessment of Ultra-Thick Inter-Metal Dielectrics**," **IEEE Electron Dev. Lett.**, vol. 35, pp. 117-119, 2014
- <sup>54</sup> C. HU, ET. AL., "**A Unified Gate Oxide Reliability Model**", IRPS, 1999
- <sup>55</sup> P. E. NICOLLIAN, ET. AL., "**Experimental Evidence for Voltage Driven Breakdown Models in Ultrathin Gate Oxide**", IRPS 2000.
- <sup>56</sup> FERRI, C.; PAPAGIANNPOULOS, D.; BAHAR, R.; CALIMERA, A., **NBTI-Aware DATA Allocation Strategies for Scratchpad Memory Based Embedded Systems, Test Workshop (LATW)**, 2011 12th Latin American.

- <sup>57</sup> T. GRASSER, W. GÖS, V. SVERDLOV, AND B. KACZER, **The Universality of NBTI Relaxation and its Implications for Modeling and Characterization**, in Proc. Intl.Rel.Phys.Symp., pp. 1-13, 2007
- <sup>58</sup> J. S. BRUGLER AND P. JESPER, **Charge pumping in MOS devices**, IEEE Trans. Electron Devices, vol. 16, pp. 297-302, March 1969.
- <sup>59</sup> Z. SINGER, A. EMANUEL, AND M. S. ERLICKI, **Power regulation by means of a switched capacitor,**” in Proc. of the Institution of Electrical Engineers, Vol. 119, №2, 1972, pp. 149–152.
- <sup>60</sup> R. ENTNER: **Modeling and Simulation of Negative Bias Temperature Instability**
- <sup>61</sup> REIS, RENATO UBIRATAN. **Circuitos assíncronos na plataforma FPGA.**, 2007.
- <sup>62</sup> **Sentaurus™ Device User Guide Version L-2016.03**, March 2016 p 3-22
- <sup>63</sup> **Sentaurus™ Device User Guide Version L-2016.03**, March 2016 p 540-550
- <sup>64</sup> D. FLANDRE, A. VIVIANI, J.-P. EGGERMONT, P. JESPER. **Improved synthesis of regulated-cascode gain-boosting CMOS stage using symbolic analysis and gm/ID methodology.** IEEE Journal of Solid-State Circuits, 1997. p. 1006-1012.
- <sup>65</sup> BRUNO MENEZES, (16 de novembro de 2017) :Startu de B1500
- <sup>66</sup> Keysight Technologies Challenges and Solutions for Material Science/Engineering Testing Applications
- <sup>67</sup> COLINGE, J.P. ET AL., In: Proc. of International SOI Conference, 1(2009)



```
.....
```

```
:: REGIOES ::
```

```
.....
```

```
; Define o oxido de porta
```

```
(define r1 (sdegeo:create-cuboid
  (position (- (+ tox (/ Wfin 2))) (- (/ Lfin 2)) (- (/ Hfin 2)))
  (position (+ tox (/ Wfin 2)) (/ Lfin 2) (+ (/ Hfin 2) tox))
  "Oxide" "oxido"
  )
)
```

```
; Define o canal
```

```
(define r2 (sdegeo:create-cuboid
  (position (- (/ Wfin 2)) (- (+ (/ Lfin 2) Lfonte)) (- (/ Hfin 2)))
  (position (/ Wfin 2) (+ (/ Lfin 2) Lfonte) (/ Hfin 2))
  "Silicon" "corpo"
  )
)
```

```
(define r21 (sdegeo:create-cuboid
```

```
  (position (- (/ Wfin 2)) (- (+ (/ Lfin 2) Lfonte)) (- (/ Hfin 2)))
  (position (/ Wfin 2) (- 0.010 (+ (/ Lfin 2) Lfonte)) (/ Hfin 2))
  "Silicon" "corpoS"
  )
)
```

```
(define r22 (sdegeo:create-cuboid
```

```
  (position (- (/ Wfin 2)) (- (+ (/ Lfin 2) Lfonte) 0.010) (- (/ Hfin 2)))
  (position (/ Wfin 2) (+ (/ Lfin 2) Lfonte) (/ Hfin 2))
  "Silicon" "corpoD"
  )
)
```

```
; Define o substrato
```

```

(define r3 (sdegeo:create-cuboid
  (position (- (/ Wbox 2)) (- (+ (/ Lfin 2) Lfonte)) (- (/ Hfin 2)))
  (position (/ Wbox 2) (+ (/ Lfin 2) Lfonte) (- (+ (/ Hfin 2) tbox)))
  "Oxide" "box"
)
)

;;;;;;;;;;;;
;; CONTATOS ;;
;;;;;;;;;;;;

; Contato de porta
(sdegeo:define-contact-set "porta" 0.001 (color:rgb 1 0 0) "###")

(sdegeo:set-current-contact-set "porta")

(sdegeo:define-3d-contact (list (car (find-face-id (position (- (+ tox (/ Wfin 2))) 0.000
0.000 ))) "porta")
(car (find-face-id (position 0.000 0.000 (+
tox (/ Hfin 2)) ))) "porta")
(sdegeo:define-3d-contact (list (car (find-face-id (position (+ tox (/ Wfin 2)) 0.000
0.000 ))) "porta")

; Contato de dreno
(sdegeo:define-contact-set "dreno" 0.001 (color:rgb 1 0 0) "###")

(sdegeo:set-current-contact-set "dreno")

;(sdegeo:define-3d-contact (list (car (find-face-id (position 0.000 (- (+ (/ Lfin 2) Lfonte)
(/ contato 2)) (/ Hfin 2) ))) "dreno")
(sdegeo:define-3d-contact (list (car (find-face-id (position 0.000 (+ (/ Lfin 2) Lfonte) 0
)))) "dreno")

; Contato de fonte

```

```
(sdegeo:define-contact-set "fonte" -0.001 (color:rgb 1 0 0) "##")
```

```
(sdegeo:set-current-contact-set "fonte")
```

```
;(sdegeo:define-3d-contact (list (car (find-face-id (position 0.000 (- (/ contato 2) (+ (/ Lfin 2) Lfonte)) (/ Hfin 2) )))) "fonte")
```

```
(sdegeo:define-3d-contact (list (car (find-face-id (position 0.000 (- (+ (/ Lfin 2) Lfonte)) 0 ))) "fonte")
```

```
; Contato do substrato
```

```
(sdegeo:define-contact-set "substrato" -0.001 (color:rgb 1 0 0) "##")
```

```
(sdegeo:set-current-contact-set "substrato")
```

```
(sdegeo:define-3d-contact (list (car (find-face-id (position 0.000 0.000 (- (+ (/ Hfin 2) tbox)) )))) "substrato")
```

```
.....
```

```
:: DOPAGEM ::
```

```
.....
```

```
; Canal
```

```
(sdedr:define-constant-profile "definicao_perfil_constante_canal"
```

```
"BoronActiveConcentration" dop)
```

```
(sdedr:define-constant-profile-material "placement_perfil_constante_canal"
```

```
"definicao_perfil_constante_canal" "Silicon")
```

```
; Dreno
```

```
;(sdedr:define-refeval-window "DopGaussDrenoJan" "Cuboid" (position (- (/ Wfin 2)) (- (+ (/ Lfin 2) Lfonte)) (- (/ Hfin 2))) (position (/ Wfin 2) (- (/ Lfin 2)) (/ Hfin 2)) )
```

```
;(sdedr:define-gaussian-profile "DopGaussDrenoDef" "ArsenicActiveConcentration"
```

```
"PeakPos" 0 "PeakVal" 5e20 "Length" 0.0015 "Gauss" "Length" 0)
```

```
;(sdedr:define-analytical-profile-placement "DopGaussDreno" "DopGaussDrenoDef"
"DopGaussDrenoJan" "Both" "NoReplace" "Eval")
```

```
; Fonte
```

```
;(sdedr:define-refeval-window "DopGaussFonteJan" "Cuboid" (position (- (/ Wfin 2)) (+ (/
Lfin 2) Lfonte) (- (/ Hfin 2))) (position (/ Wfin 2) (/ Lfin 2) (/ Hfin 2)) )
```

```
;(sdedr:define-gaussian-profile "DopGaussFonteDef" "ArsenicActiveConcentration"
"PeakPos" 0 "PeakVal" 5e20 "Length" 0.0015 "Gauss" "Length" 0)
```

```
;(sdedr:define-analytical-profile-placement "DopGaussFonte" "DopGaussFonteDef"
"DopGaussFonteJan" "Both" "NoReplace" "Eval")
```

```
;;;;;;;;;;
```

```
:: GRADE ::
```

```
;;;;;;;;;;
```

```
; DefiniÃ§Ã£o de janelas
```

```
::Fonte-Canal-Dreno
```

```
(sdedr:define-refeval-window "CanalFonte" "Cuboid"
(position (- (/ Wfin 2)) (- (/ Lfin 2)) (- (/ Hfin 2)))
(position (/ Wfin 2) (- refino_canal (/ Lfin 2)) (/ Hfin 2)) )
```

```
(sdedr:define-refeval-window "CanalDreno" "Cuboid"
(position (- (/ Wfin 2)) (/ Lfin 2) (- (/ Hfin 2)))
(position (/ Wfin 2) (- (/ Lfin 2) refino_canal) (/ Hfin 2)) )
```

```
(sdedr:define-refeval-window "Fonte" "Cuboid"
(position (- (/ Wfin 2)) (- (/ Lfin 2)) (- (/ Hfin 2)))
(position (/ Wfin 2) (- (+ refino_FD (/ Lfin 2))) (/ Hfin 2)) )
```

```
(sdedr:define-refeval-window "Dreno" "Cuboid"
(position (- (/ Wfin 2)) (/ Lfin 2) (- (/ Hfin 2)))
(position (/ Wfin 2) (+ (/ Lfin 2) refino_FD) (/ Hfin 2)) )
```

```
(sdedr:define-refeval-window "ContatoFonte" "Cuboid"
(position (- (/ Wfin 2)) (- (+ (/ Lfin 2) Lfonte)) (- (/ Hfin 2)))
(position (/ Wfin 2) (- refino_canal (+ (/ Lfin 2) Lfonte)) (/ Hfin 2)) )
```

```
(sdedr:define-refeval-window "ContatoDreno" "Cuboid"
```

```
(position (- (/ Wfin 2)) (+ (/ Lfin 2) Lfonte) (- (/ Hfin 2)))
(position (/ Wfin 2) (- (+ (/ Lfin 2) Lfonte) refino_canal) (/ Hfin 2) )
```

```
; Multibox fonte-canal-dreno
```

```
(sdedr:define-multibox-size "MultiboxCanalFonte"
```

```
0.020 0.10 0.020
```

```
0.010 0.002 0.010
```

```
1 1.8 1)
```

```
(sdedr:define-multibox-size "MultiboxCanalDreno"
```

```
0.020 0.10 0.020
```

```
0.010 0.002 0.010
```

```
1 -2 1)
```

```
(sdedr:define-multibox-size "MultiboxFonte"
```

```
0.020 0.10 0.020
```

```
0.010 0.002 0.010
```

```
1 -2 1)
```

```
(sdedr:define-multibox-size "MultiboxDreno"
```

```
0.020 0.10 0.020
```

```
0.010 0.002 0.010
```

```
1 2 1)
```

```
(sdedr:define-multibox-size "MultiboxContatoFonte"
```

```
0.020 0.10 0.020
```

```
0.010 0.001 0.010
```

```
1 2 1)
```

```
(sdedr:define-multibox-size "MultiboxContatoDreno"
```

```
0.020 0.10 0.020
```

```
0.010 0.001 0.010
```

```
1 -2 1)
```

; AplicaÃ§Ã£o refino materiais

(sdedr:define-refinement-material "RefSi" "Si" "Silicon" )

(sdedr:define-refinement-placement "RefOx" "Ox" "Oxide" )

; AplicaÃ§Ã£o multibox

(sdedr:define-multibox-placement "RefMultiboxCanalFonte" "MultiboxCanalFonte"  
"CanalFonte")

(sdedr:define-multibox-placement "RefMultiboxCanalDreno" "MultiboxCanalDreno"  
"CanalDreno")

(sdedr:define-multibox-placement "RefMultiboxFonte" "MultiboxFonte" "Fonte")

(sdedr:define-multibox-placement "RefMultiboxDreno" "MultiboxDreno" "Dreno")

(sdedr:define-multibox-placement "RefMultiboxContatoFonte" "MultiboxContatoFonte"  
"ContatoFonte")

(sdedr:define-multibox-placement "RefMultiboxContatoDreno" "MultiboxContatoDreno"  
"ContatoDreno")

; Refino Interfaces

(sdedr:define-refinement-function "Si" "MaxLenInt" "Silicon" "Oxide" 0.0005 2.5  
"DoubleSide")

.....

:: CONSTRUCAO DA GRADE ::

.....

(sde:build-mesh "snmesh" "" nome)

## APÊNDICE 2 – ARQUIVO DE SIMULAÇÃO DO DISPOSITIVO

```

File {
    * output files:
    Output = "IdxVg_L10000-tsi10-tox1.7-tbox100_des.out"
    Plot = "IdxVg_Lfd30_H10_L25_W10_tbox_100_tox2_Na5.tdr"
    Current = "IdxVg_BTI-
Lfd30_H10_L30_Vd@Vd@_W10_tbox_100_tox2_Na5_JNTs.plt"
    PMIPath = "."
}

Physics {
    Temperature=300
    Mobility (
#         Phumob
#         Enormal
        HighFieldSaturation
    )
    Recombination( SRH(DopingDep TempDependence)
)
    EffectiveIntrinsicDensity (BandGapNarrowing (OldSlotboom))
}

#Physics (Material="Silicon") { eQuantumPotential}

Physics ( MaterialInterface = "Oxide/Silicon" ) {
    NBTI (
        Conc = 5.0e12                # N_0 [/cm^2]
        NumberOfSamples = 1000      # N_sample [1]
        -hSHEDistribution           # (off by default)
    )
}

```

```

Plot {
    AcceptorConcentration
    BandGap BandGapNarrowing
    ConductionBandEnergy
    ConductionCurrent
    DielectricConstant
    DonorConcentration
    Doping
    DisplacementCurrent
    eCurrent eDensity eDriftVelocity eEffectiveStateDensity eENormal eEparallel
eEquilibriumDensity
    eMobility eQuantumPotential eQuasiFermi eRelativeEffectiveMass
eSaturationVelocity eVelocity
    EffectiveBandGap EffectiveIntrinsicDensity
    ElectricField
    ElectronAffinity
    Potential EquilibriumPotential
    hCurrent hDensity hDriftVelocity hEffectiveStateDensity hENormal hEparallel
hEquilibriumDensity
    hMobility hQuantumPotential hQuasiFermi hRelativeEffectiveMass
hSaturationVelocity hVelocity
    IntrinsicDensity
    Temperature
    Current
    TotalRecombination
    ValenceBandEnergy
    SpaceCharge
    SRHRecombination
}

```

```
Device JL{
```

```
File {
```

```
* input files:
```

```

Grid = "L@L@-W@W@-H@H@-tox@tox@-tbox@tbox@-Na@Na@e18-
Lfd@Lfd@_msh.tdr"

Parameter = "Param.par"

* output files:

}

Electrode {
    { Name="fonte" Voltage= 0.000 }
    { Name="dreno" Voltage= 0.000 }
    { Name="porta" Voltage= 0.000 Workfunction=4.15 }
    { Name="substrato" Voltage= 0.000 Material="Silicon"(P=1e15)}
}

# CurrentPlot {
#     Potential ((0,0,0) (0,-0.45,0) (0,0.45,0) (0.005,0,0) (0.005,-0.45,0)
(0.005,0.45,0))
#     eDensity ( Average( Window[(-0.005,-0.45,-0.005) (0.005,-0.4,0.005)] )
#                 Average( Window[(-0.005,0.45,-0.005) (0.005,0.4,0.005)] )
#                 )
# }
}

System {
    JL t1 (fonte=f dreno=d porta=g substrato=s)
    Vsource_pset Vd (d 0) {dc=0}
    Vsource_pset Vg (g 0) {dc=0}
    Vsource_pset Vf (f 0) {dc=0}
    Vsource_pset Vs (s 0) {dc=0}
    Plot "IdxVg_BTI_Lfd30_H10_L25_Vd@Vd@_W10_tbox_100_tox2_Na5_JNTs.txt"
(v(g f) v(d f) v(s f) i(t1 f))
}

Math {
    Extrapolate
#     NotDamped=2

```



```

    {Coupled(Iterations=50) { Poisson Electron Hole } CurrentPlot ( Time = (-1))
}

# Save (FilePrefix="Vd005V_IdxVg_L@L@-W@W@-H@H@-tox@tox@-
Nd@Nd@e18_")
# NewCurrentPrefix="Vd005V_"
#
    Quasistationary      ( Initialstep=1 Minstep=1e-12 Maxstep=1
        Goal {Parameter=Vg.dc Value=-1.2019} )
        {Coupled(Iterations=10) { Poisson Electron Hole } CurrentPlot( Time =
(range = (0 1) intervals = 120)) }

    Transient (InitialTime=0 FinalTime=3600 Initialstep=1 Minstep=1e-12 MaxStep=01)
        {Coupled(Iterations=5) { Poisson Electron Hole} }

#
# Load (FilePrefix="Vd005V_IdxVg_L@L@-W@W@-H@H@-tox@tox@-
Nd@Nd@e18_")
# NewCurrentPrefix="Vd1V_"
#
# Quasistationary      ( Initialstep=1 Minstep=1e-12 Maxstep=1
# Goal {Parameter=Vd.dc Value=1 } )
# {Coupled(Iterations=30) { Poisson Electron Hole Circuit Contact
eQuantumPotential} CurrentPlot ( Time = (-1)) }
#
# Quasistationary      ( Initialstep=1 Minstep=1e-12 Maxstep=1
# Goal {Parameter=Vg.dc Value=0 } )
# {Coupled(Iterations=10) { Poisson Electron Hole Circuit Contact
eQuantumPotential} CurrentPlot( Time = (range = (0 1) intervals = 200)) }
}

```