

DARCIO SILVESTRE SABBADIN

**ESTUDO DO EFEITO DO DESALINHAMENTO DA MÁSCARA DE
PORTA SOBRE A CORRENTE DE DRENO EM MOSFETS COM
GEOMETRIA DE PORTA TRAPEZOIDAL**

Dissertação de Mestrado apresentada ao Centro
Universitário da FEI para a obtenção do título de
Mestre em Engenharia Elétrica, orientado pelo
Prof. Dr. Renato Camargo Giacomini

São Bernardo do Campo

2014

Sabbadin, Darcio Silvestre

Estudo do efeito do desalinhamento da máscara de porta sobre a corrente de dreno em MOSFETS com geometria de porta trapezoidal / Darcio Silvestre Sabbadin. São Bernardo do Campo, 2014.
106 f. : il.

Dissertação - Centro Universitário da FEI.

Orientador: Prof. Dr. Renato Camargo Giacomini.

1. Desalinhamento. 2. Transistor de Porta Trapezoidal. I. Giacomini, Renato Camargo, orient. II. Título.

CDU 621.382.3



Centro Universitário da **FEI**

APRESENTAÇÃO DE DISSERTAÇÃO ATA DA BANCA JULGADORA

PGE-10

Programa de Mestrado de Engenharia Elétrica

Aluno: Dárcio Silvestre Sabbadin

Matrícula: 112107-8

Título do Trabalho: Estudo do efeito do desalinhamento da máscara de porta sobre a corrente de dreno em MOSFETS com geometria de porta trapezoidal.

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof. Dr. Renato Camargo Giacomini

Data da realização da defesa: 27/02/2014

ORIGINAL ASSINADA

A Banca Julgadora abaixo-assinada atribuiu ao aluno o seguinte:

APROVADO ☒

REPROVADO ☐

São Bernardo do Campo, 27 de Fevereiro de 2014.

MEMBROS DA BANCA JULGADORA

Prof. Dr. Renato Camargo Giacomini

Ass.: _____

Prof. Dr. Salvador Pinillos Gimenez

Ass.: _____

Prof. Dr. Ely Antonio Tadeu Dirani

Ass.: _____

VERSÃO FINAL DA DISSERTAÇÃO

ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS
RECOMENDAÇÕES DA BANCA EXAMINADORA

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz

Dedico este trabalho à minha família, colegas,
amigos e alunos.

AGRADECIMENTOS

Um especial agradecimento a Instituição que um dia nos idos de 1983 me recrutou e me agraciou com bolsa de isenção de 40% e 60% nos dois primeiros anos de minha vida acadêmica, a qual logo que comecei a ministrar aulas e a fazer estágio, de pronto devolvi à Instituição para que outros colegas pudessem ser agraciados como eu, e que mal podia eu imaginar receber de volta, somadas, resultando 100%, por mais dois anos de Mestrado, na mesma Instituição, que aprendi a amar e respeitar, após 24 anos de minha graduação, a essa Instituição, FEI - Faculdade de Engenharia Industrial, hoje Centro Universitário da FEI, a seus Colaboradores, Mestres, Doutores e Funcionários, o meu muito obrigado.

Gostaria ainda de citar apenas um nome, para não ser injusto dentre tantos professores que tive, entre muitos professores, a minha primeira professora, Dona Ana (*“in memoriam”*), pois o primeiro passo dessa longa jornada acadêmica foi ela que me ensinou e dali em diante nunca mais parei de caminhar.

RESUMO

Este trabalho trata do estudo do efeito do desalinhamento da máscara de porta sobre as características elétricas dos MOSFETs (*Metal Oxide Semiconductor Field Effect Transistor*), com formato de portas não retangulares. Para a parte experimental, alguns protótipos foram manufaturados em tecnologia CMOS, utilizando-se o programa educacional multiusuário de fabricação de circuitos integrados do *MOSIS*. A estrutura de teste triangular desalinhada é um arranjo de MOSFETs, com portas não retangulares, utilizável para extração do desalinhamento entre a porta do MOSFET e as demais estruturas, em função das diferenças de corrente de dreno. Embora tais estruturas tenham formatos não retangulares, que podem ser inadequados ao projeto de circuitos convencionais, a vantagem de se medir corrente em relação à tensão, as fazem muito úteis. Este trabalho foi executado em três etapas. Na primeira etapa foram simuladas estruturas tridimensionais em tecnologia Convencional (*Bulk*) e SOI (*Silicon On Insulator*) mantendo-se a largura de canal dos MOSFETs constante e variando-se os desalinhamentos de porta na faixa de 0 nm a 250 nm. Na segunda etapa foram simuladas estruturas Convencionais (*Bulk*) e SOI (*Silicon On Insulator*), com as medidas reais construídas pela tecnologia oferecida pelo programa de pesquisa do *MOSIS*, variando-se a largura de canal dos MOSFETs e deslocando a porta na faixa de 0 nm a 490 nm. Na terceira e última etapa foram realizadas medidas experimentais em 30 dispositivos de portas trapezoidais com dois drenos distintos e fonte em comum. Um modelo algébrico para cálculo de desalinhamento foi estudado e aferido a partir das medidas e simulações. Como resultado das simulações e medições constatou-se a precisão do modelo de desalinhamento estudado em ambas as tecnologias, Convencional (*Bulk*) e SOI (*Silicon On Insulator*).

Palavras chave: Desalinhamento de Máscara de Porta. Transistor de Porta Trapezoidal.

ABSTRACT

This work deals with the study of the effect of gate mask misalignment on the electrical characteristics of the MOSFETs (*Metal-Oxide-Semiconductor Field Effect Transistor*) structures with non-rectangular gate shapes. For the experimental part, some prototypes were manufactured of CMOS technology in educational multi-user manufacture program of integrated circuits *MOSIS*. The misaligned triangular test structure is an arrangement of MOSFETs with non-rectangular gates, usable for extraction of misalignment between gate and the other MOSFET structures, as a function of the differences in drain current. Although such structures have non-rectangular shapes, which may be unsuitable to the conventional circuit design, the advantage of measuring current over-voltage, make them very useful. This work was performed in three steps. In the first step were simulated three-dimensional structures in conventional technology (*Bulk*) and SOI (*Silicon On Insulator*) maintaining the channel width of MOSFETs constant and varying the gate misalignment in the range of 0 nm to 250 nm. In the second step were simulated conventional structures (*Bulk*) and SOI (*Silicon On Insulator*) with the actual measures constructed by the technology offered by *MOSIS*, varying the channel width of the MOSFETs and shifting the gate in the range of 0 nm to 490 nm. In the third and final step, experimental measurements were performed on 30 trapezoidal gates devices with two distinct drains and common source. An algebraic model for calculation of misalignment was studied and benchmarked from measurements and simulations. As a result of the simulations and measurements, were confirmed the accuracy of the misalignment model studied in both technologies, conventional (*Bulk*) and SOI (*Silicon On Insulator*).

Keywords: Gate Mask Misalignment. Trapezoidal Gate.

LISTA DE FIGURAS

Figura 1 – Lei de Moore.....	20
Figura 2 – MOSFETS de portas trapezoidais, assimétrico e simétrico.....	21
Figura 3 – Esquema de um dispositivo MOSFET de quatro terminais.....	23
Figura 4 – Regiões e regimes de operação do nMOSFET, sublimiar, linear e saturação	25
Figura 5 – Curva velocidade dos elétrons no interior do canal do MOSFET versus campo elétrico horizontal aplicado ao dreno do MOSFET.....	26
Figura 6 – Circuito elétrico equivalente do inversor CMOS e curva característica ideal	28
Figura 7 – Processos CMOS, LOCOS, SOI, STI e TRIPLO STI	29
Figura 8 – Detalhe do Bico de pássaro da tecnologia CMOS, processo LOCOS.....	30
Figura 9 – Esquema simplificado da fotolitografia por feixe de elétrons.....	33
Figura 10 – Fotomáscaras para inversor CMOS	34
Figura 11 – Leiaute de um inversor CMOS típico	35
Figura 12 – Corte transversal região de porta e canal MOSFETS n e p do par inversor CMOS	35
Figura13–Vista tridimensional do inversor CMOS	36
Figura 14– Exemplos de desalinhamentos de mascaras típicos	37
Figura 15– Detalhe das capacitâncias e resistência parasitárias do MOSFET	37
Figura 16– Estrutura ótica em nível único de conjunto de linhas	40
Figura 17– Estrutura ótica em nível único de quadrados para avaliação do processo litográfico	40
Figura 18 – Estrutura ótica em nível único em forma de cruz para avaliação do processo litográfico.....	41
Figura 19 – Estrutura ótica em dois níveis para avaliação da litografia	42
Figura 20 – Estrutura ótica do tipo Verniers para avaliação do erro de alinhamento de máscaras	43

Figura 21 – Estrutura elétrica de medição de desalinhamentos de Van der Pauw	44
Figura 22 – Estrutura elétrica de medição de desalinhamentos de subtração	46
Figura 23 – Estrutura elétrica de teste tipo Kelvin	47
Figura 24 – Estrutura elétrica de medição de desalinhamento de Lozzano	48
Figura 25 – Estrutura de teste de desalinhamento e seu respectivo circuito elétrico equivalente.....	49
Figura 26 – Dispositivo de porta trapezoidal projetado para teste de desalinhamento da máscara de porta.....	50
Figura 27 – Projeto em IC Station, visão parcial do circuito integrado	50
Figura 28 – Visão chip como construído.....	51
Figura 29 – Detalhe de imagem de microscópio de um dos dispositivos de porta trapezoidal, com deslinhamento de 105 nm	52
Figura 30 – Desalinhamento da estrutura de teste, mostrando as linhas de corrente e de potencial dentro do canal do MOSFET	53
Figura 31 – Largura infinitesimal do transistor e definição de dimensões	54
Figura 32– Curva $L_L(x)$ fator K.....	55
Figura 33 – Curva $\Delta_x(x)$ Δ_{LL}	56
Figura 34– Características do dispositivo simulado BULK	58
Figura 35– Características do dispositivo simulado SOI.....	59
Figura 36 – Curvas desvios simulados versus desvio real/teórico, para faixa de aresta menor do trapézio de 13 a 12 μm , para tecnologias bulk e soi.....	61
Figura 37 – Curvas desvios simulados versus desvio real/teórico, para faixa de aresta menor do trapézio de 12 a 11 μm , para tecnologias bulk e soi.....	62
Figura 38 – Curvas desvios simulados versus desvio real/teórico, para faixa de aresta menor do trapézio de 11 a 10 μm , para tecnologias bulk e soi.....	62
Figura 39 – Curvas desvios simulados versus desvio real/teórico, para faixa de aresta menor do trapézio de 10 a 9 μm , para tecnologias bulk e soi.....	63

Figura 40 – Curvas desvios simulados versus desvio real/teórico, para faixa de aresta menor do trapézio de 9 a 8 μm , para tecnologias bulk e soi.....	63
Figura 41 – Curvas desvios simulados versus desvio real/teórico, para faixa de aresta menor do trapézio de 8 a 7 μm , para tecnologias bulk e soi.....	64
Figura 42 – Curvas desvios simulados versus desvio real/teórico, para faixa de aresta menor do trapézio de 7 a 6 μm , para tecnologias bulk e soi.....	64
Figura 43 – Curvas desvios simulados versus desvio real/teórico, para faixa de aresta menor do trapézio de 6 a 5 μm , para tecnologias bulk e soi.....	65
Figura 44 – Curvas desvios simulados versus desvio real/teórico, para faixa de aresta menor do trapézio de 5 a 4 μm , para tecnologias bulk e soi.....	65
Figura 45 – Curvas desvios simulados versus desvio real/teórico, para faixa de aresta menor do trapézio de 4 a 3 μm , para tecnologias bulk e soi.....	66
Figura 46 – Curvas desvios simulados versus desvio real/teórico, para faixa de aresta menor do trapézio de 3 a 2 μm , para tecnologias bulk e soi.....	66
Figura 47 – Curvas desvios simulados versus desvio real/teórico, para faixa de aresta menor do trapézio de 2 a 1 μm , para tecnologias bulk e soi.....	67
Figura 48 – Curva dos desvios simulados para dispositivo BULK na faixa de 0 a 250 nm	71
Figura 49 – Curva dos desvios simulados para dispositivo SOI na faixa de 0 a 250 nm	72
Figura 50 – Corte típico na estrutura Bulk simulada logo abaixo ao óxido de porta, mostrando as linhas equipotenciais.....	73
Figura 51 – Corte típico na estrutura Bulk simulada logo abaixo ao óxido de porta, mostrando a densidade de corrente próxima ao dreno do MOSFET.....	73
Figura 52 – Corte transversal na região ativa do canal mostrando a densidade de corrente.....	74
Figura 53 – Curvas $I_D \times V_G$, para os conjuntos de transistores com desvio de porta de 0 nm.....	75
Figura 54 – Curvas $I_D \times V_D$, para os conjuntos de transistores com desvio de porta de 0 nm.....	76

Figura 55 – Curvas $I_D \times V_G$, para $V_D = 50$ mV, para os conjuntos de transistores com desvio de porta de 0 nm.....	76
Figura 56 – Curva $I_D \times V_G$, para os conjuntos de transistores com desvio de porta de 43,75 nm.....	77
Figura 57 – Curva $I_D \times V_D$, para os conjuntos de transistores com desvio de porta de 43,75 nm.....	78
Figura 58 – Curvas $I_D \times V_G$, para $V_D = 50$ mV, para os conjuntos de transistores com desvio de porta de 43,75 nm.....	78
Figura 59 – Curva $I_D \times V_G$, para os conjuntos de transistores com desvio de porta de 105 nm.....	79
Figura 60 – Curva $I_D \times V_D$, para os conjuntos transistores com desvio de porta de 105 nm.....	80
Figura 61 – Curvas $I_D \times V_G$, $V_D = 50$ mV, para os conjuntos de transistores com desvio de porta de 105 nm.....	80
Figura 62 – Curva $I_D \times V_G$, para os conjuntos de transistores com desvio de porta de 245 nm.....	81
Figura 63 – Curva $I_D \times V_D$, para os conjuntos de transistores com desvio de porta de 245 nm.....	82
Figura 64 – Curvas $I_D \times V_G$, $V_D = 50$ mV, para os conjuntos de transistores com desvio de porta de 245 nm.....	82
Figura 65 – Curva $I_D \times V_G$, para os conjuntos de transistores com desvio de porta de 490 nm.....	83
Figura 66 – Curva $I_D \times V_D$, para os conjuntos de transistores com desvio de porta de 490 nm	84
Figura 67 – Curvas $I_D \times V_G$, para $V_D = 50$ mV, para os conjuntos de transistores com desvio de porta de 490 nm.....	84
Figura 68 – Curva comparativa dos desvios simulados, medidos e teórico, versus desvio projetado com MOSFETs Mosis.....	87

LISTA DE TABELAS

Tabela 1 - Dimensões da estrutura BULK criada em 3D no simulador ATLAS	58
Tabela 2 - Dimensões da estrutura SOI criada em 3D no simulador ATLAS.....	59
Tabela 3 - Quadro comparativo BULK/SOI para desvio simulado de 50 nm.....	68
Tabela 4 - Quadro comparativo BULK/SOI para desvio simulado de 100 nm.....	68
Tabela 5 - Quadro comparativo BULK/SOI para desvio simulado de 150 nm.....	69
Tabela 6 - Quadro comparativo BULK/SOI para desvio simulado de 200 nm.....	69
Tabela 7 - Quadro comparativo BULK/SOI para desvio simulado de 250 nm.....	70
Tabela 8- Dimensões dos MOSFETs medidos e erros obtidos das simulações e medições em tecnologia convencional para desvio de 0 nm	85
Tabela 9- Dimensões dos MOSFETs medidos e erros obtidos das simulações e medições em tecnologia convencional para desvio de 43,75 nm.....	85
Tabela 10- Dimensões dos MOSFETs medidos e erros obtidos das simulações e medições em tecnologia convencional para desvio de 105 nm.....	85
Tabela 11- Dimensões dos MOSFETs medidos e erros obtidos das simulações e medições em tecnologia convencional para desvio de 245 nm.....	86
Tabela 12- Dimensões dos MOSFETs medidos e erros obtidos das simulações e medições em tecnologia convencional para desvio de 490 nm.....	86

LISTA DE SÍMBOLOS

a	Fator de simetria da estrutura de Van der Pauw [adimensional]
C_{DS}	Capacitância entre dreno e substrato [F/cm^2]
C_{FS}	Capacitância entre fonte e substrato [F/cm^2]
C_{GD}	Capacitância entre porta e dreno [F/cm^2]
C_{GS}	Capacitância entre porta e substrato [F/cm^2]
C_{ox}	Capacitância do óxido [F/cm^2]
$C_{nós}$	Capacitância dos nós de saída do circuito CMOS [F]
d_x	Distância na direção horizontal x [μm]
d_y	Distância na direção vertical y [μm]
freq	Frequência de chaveamentos dos dispositivos MOSFETS [chav/s]
H_B	Altura do dispositivo MOSFET convencional simulado [μm]
H_j	Altura da junção do dispositivo MOSFET convencional simulado [μm]
H_S	Altura do dispositivo MOSFET de tecnologia SOI simulado [μm]
I_{D1}	Corrente de dreno do MOSFET 1 [A]
I_{D2}	Corrente de dreno do MOSFET 2 [A]
I_{dbm}	Corrente de dreno antes do desalinhamento da máscara de porta [A]
I_{dam}	Corrente de dreno após o desalinhamento da máscara de porta [A]
I_{DS}	Corrente entre dreno e fonte [A]
K	Fator de forma do modelo de desalinhamento [adimensional]
k	Constante de Boltzmann [$1,38065 \times 10^{-23}$ J/K]
k_s	Constante dielétrica relativa do silício [adimensional]
k_{ox}	Constante dielétrica relativa do óxido de silício [adimensional]
L	Comprimento de máscara do canal do MOSFET [nm]
L_{eff}	Comprimento efetivo do canal do MOSFET [nm]
L_H	Comprimento da aresta maior do trapézio da porta do MOSFET [μm]

L_K	Comprimento braço estrutura do tipo Kelvin [μm]
L_L	Comprimento da aresta menor do trapézio da porta do MOSFET [μm]
LL_{ad}	Comprimento da aresta menor do trapézio antes do desalinhamento [μm]
LL_{dd}	Comprimento da aresta menor do trapézio depois do desalinhamento [μm]
L_S	Comprimento do dispositivo MOSFET simulado em tecnologia SOI [μm]
N_{SUB}	Concentração de impurezas no substrato [cm^{-3}]
N_A	Concentração de impurezas aceitadoras no semiconductor [cm^{-3}]
N_D	Concentração de impurezas doadoras no semiconductor [cm^{-3}]
n_g	Número de portas comutando em um circuito [adimensional]
n_i	Concentração intrínseca de portadores de carga [cm^{-3}]
P	Potência dissipada no circuito CMOS [W]
q	Carga elementar do elétron [$1,6 \times 10^{-19}$ C]
R_{PAR}	Resistência parasitária [Ω]
R_S	Resistência de folha [Ω]
$R_{x'}$	Resistência no sentido x' da estrutura de Van der Pauw [Ω]
$R_{x''}$	Resistência no sentido x'' da estrutura de Van der Pauw [Ω]
$R_{y'}$	Resistência no sentido y' da estrutura de Van der Pauw [Ω]
$R_{y''}$	Resistência no sentido y'' da estrutura de Van der Pauw [Ω]
T	Temperatura absoluta [K]
T_d	Erro médio quadrático do desalinhamento de máscaras
T_i	Número de máscaras a serem sobrepostas
t_{BOX}	Espessura do óxido enterrado [nm]
t_{OX}	Espessura do óxido de porta do dispositivo MOSFET BULK simulado [nm]
t_{OX1}	Espessura do óxido de porta do dispositivo MOSFET SOI simulado [nm]
t_{OX2}	Espessura do óxido enterrado do dispositivo MOSFET SOI simulado [nm]
t_{Si}	Espessura da camada de silício no transistor SOI [nm]
v	Velocidade dos elétrons [cm/s]

v_d	Velocidade dos elétrons em direção ao dreno do MOSFET [cm/s]
v_{max}	Velocidade máxima dos portadores livres no canal do MOSFET [cm/s]
V	Tensão elétrica [V]
V_{dd}	Tensão elétrica de polarização de dreno no circuito CMOS [V]
V_{in}	Tensão elétrica de entrada no circuito CMOS [V]
V_{out}	Tensão elétrica de saída no circuito CMOS [V]
V_{chav}	Diferença de tensão entre os níveis lógicos alto e baixo durante o chaveamento[V]
V_D	Tensão de dreno do MOSFET [V]
V_{DS}	Tensão entre dreno e fonte [V]
V_{FB}	Tensão de banda plana [V]
V_G	Tensão de porta do MOSFET [V]
V_{GS}	Tensão entre porta e fonte [V]
V_{SUB}	Tensão de substrato do MOSFET [V]
V_S	Tensão de fonte do MOSFET [V]
V_T	Tensão de Limiar [V]
W	Largura de canal do MOSFET [μm]
W_B	Largura do canal dispositivo MOSFET de tecnologia convencional simulado [μm]
W_S	Largura do canal dispositivo MOSFET de tecnologia SOI simulado [μm]
Θ	Angulo do trapézio [rad]
Δ_L	Diferença entre o comprimento de máscara e o comprimento efetivo de canal dos MOSFETs [μm]
ΔL_K	Diferença de comprimento da estrutura do tipo Kelvin [μm]
ΔL_L	Diferença de comprimento entre arestas menores do trapézio [μm]
ΔR	Diferença de resistência da estrutura tipo Kelvin [Ω]
ΔR_x	Diferença de resistência na direção x da estrutura de subtração [Ω]
ΔR_y	Diferença de resistência na direção y da estrutura de subtração [Ω]
Δ_x	Desalinhamento [μm]

$\Delta_{x,y}$	Desalinhamento nas direções x e y do modelo de Lozzano [μm]
ε	Campo elétrico [Vcm]
ε_c	Campo elétrico no cruzamento das regiões de triodo e saturação do MOSFET [V/cm]
ε_x	Campo elétrico horizontal no MOSFET [V/cm]
ε_{Si}	Permissividade do silício [$1,06 \times 10^{-12} \text{ F/cm}$]
μ	Mobilidade dos portadores de cargas livres do MOSFET [$\text{cm}^2/\text{V.s}$]
μ_{eff}	Mobilidade efetiva dos portadores de carga livres [$\text{cm}^2/\text{V.s}$]
ϕ_F	Potencial de Fermi da camada de silício [V]
ϕ_S	Potencial de superfície [V]
ρ_C	Resistência de contato simulada [Ωcm^2]

LISTA DE ABREVIATURAS

ATG	<i>Asymmetric Trapezoidal Gate</i>
BOX	<i>Buried Oxide</i>
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
FLDMOB	<i>Lateral Field Mobility Degradation Model</i>
LOCOS	<i>Local Oxidation of Silicon</i>
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i>
NMOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor N Type Substrate</i>
PMOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor P Type Substrate</i>
SHI	<i>Shirahata</i>
SOI	<i>Silicon-On-Insulator</i>
SRH	<i>Shockley-Read-Hall</i>
STG	<i>Symmetric Trapezoidal Gate</i>
STI	<i>Shallow Trench Isolation</i>
TSTI	<i>Triple Shallow Trench Isolation</i>
MOS	<i>Metal-Oxide-Semiconductor</i>

SUMÁRIO

1 INTRODUÇÃO.....	20
1.1 Motivação do trabalho	22
1.2 Apresentação do trabalho	22
2 TECNOLOGIAS E PROCESSOS BÁSICOS DE FABRICAÇÃO DE MOSFETS.....	23
2.1 Tecnologia MOS.....	23
2.2 Tecnologia CMOS.....	27
2.3 FOTOLITOGRAFIA.....	31
2.3.1 Fotolitografia ótica	32
2.3.2 Fotolitografia por feixe de elétrons	32
2.3.3 Fotolitografia por raio X.....	33
2.3.4 Fotomáscaras e leiaute para um inversor CMOS (típico).....	33
2.4 Erros típicos de alinhamento de máscaras	36
2.5 Problemas advindos da litografia e escalamento	36
3 ESTRUTURAS DE TESTES DE DESALINHAMENTO.....	39
3.1 Estruturas Óticas.....	39
3.1.1 Estruturas em nível único	39
3.1.2 Estruturas em vários níveis.....	41
3.1.3 Estruturas Verniers	42
3.2Estruturas Elétricas	44

3.2.1 Estrutura de teste de Van der Pauw	44
3.2.2 Estrutura de subtração	46
3.2.3 Estrutura tipo Kelvin	47
3.2.4 Estrutura proposta por Lozzano.....	48
3.3 Projeto MOSIS	52
3.4 Modelo de erro de desalinhamento.....	52
4 SIMULAÇÕES NUMÉRICAS TRIDIMENSIONAIS.....	57
4.1 O simulador atlas	57
4.2 Estruturas simuladas	58
5 RESULTADOS OBTIDOS.....	61
5.1 Resultados simulações Bulk/SOI.....	61
5.2 Cortes típicos	73
5.3 Medidas realizadas	75
5.3.1 Curvas características	75
6 CONCLUSÕES.....	88
ESTUDOS FUTUROS.....	89
PUBLICAÇÕES GERADAS.....	90
REFERÊNCIAS.....	91
ANEXOS.....	94

1 INTRODUÇÃO

A confecção de circuitos integrados envolve diversas etapas de fabricação e diversas máscaras de fotolitografia. Cada nova etapa deve ser alinhada fisicamente com as anteriores. Os deslocamentos que surgem como imperfeição do processo, são denominados de desvios, desalinhamentos ou erros de alinhamento.

Com o advento da tecnologia planar na década de 60 e sua posterior evolução até os dias de hoje, o escalamento dos dispositivos no circuito integrado evoluiu, os dispositivos passaram de micrométricos, a sub-micrométricos e até nanométricos, evolução esta chamada de escalamento da tecnologia que a lei de Moore descreve com clareza. Como as dimensões dos dispositivos estão cada vez mais reduzidas devido ao processo de escalamento, conforme ilustrado na figura 1, que representa a evolução da quantidade de MOSFETs em um circuito integrado ao longo do tempo, os tais erros de desalinhamento são mais significativos.

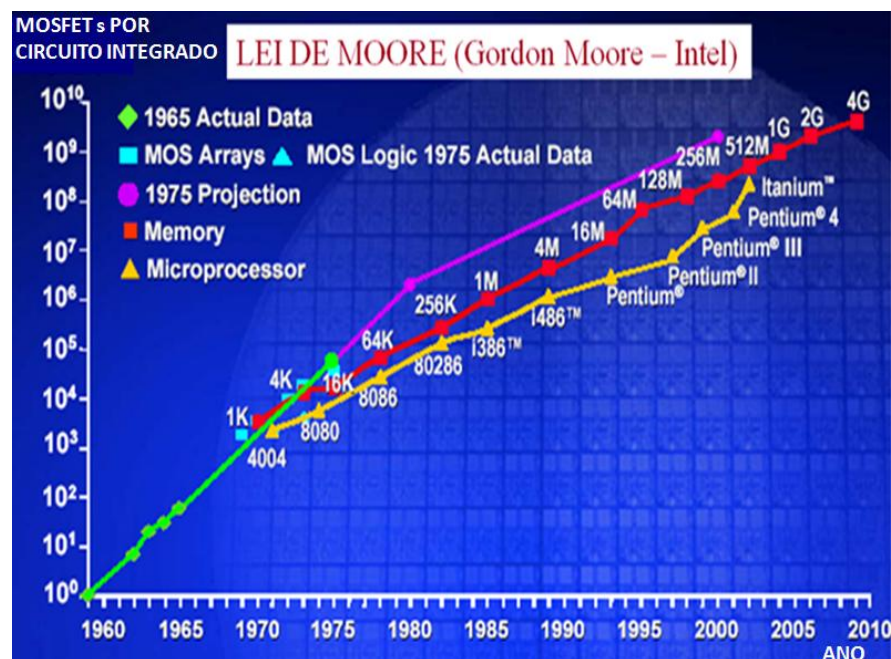


Figura 1 - Lei de Moore

Fonte: INTEL, disponível em <http://www.intel.com/technology/mooreslaw>, 2010

Em 50 anos, houve redução de 10^9 vezes no tamanho dos dispositivos integrados, aumentando proporcionalmente a quantidade de dispositivos semicondutores no circuito integrado. Com esse escalamento, intensificaram-se os problemas de desalinhamento de máscaras e com eles a criação de estruturas de medidas dos mesmos tornaram-se necessárias

para garantir o bom funcionamento do circuito e padronização do processo fabril e posterior correção.

O teste elétrico de desalinhamento de estruturas mais comum reportado até aqui em literaturas do gênero está baseado na diferença de dois resistores, usualmente em ponte, tais como as estruturas de Van der Pauw e Kelvin, entre outras, nas quais as dimensões, comprimento e largura, são afetadas pelo desalinhamento (MARTINO ; PAVANELLO ; VERDONCK, 2003). Isto implica na medida de dois ou mais resistores de valores similares. A experiência tem mostrado que é preferível medir corrente a tensão, pois a sensibilidade é melhor para essas medidas, em semicondutores (GIACOMINI ; MARTINO 2004).

Alguns testes de estruturas têm traduzido tais diferenças de corrente devido ao desalinhamento, tais como as estruturas utilizando MOSFETs de portas trapezoidais.

Conforme Mohan ; Can (1973) ; Grignoux ; Randall (1982) ; Wong (1998) ; o MOSFET de porta trapezoidal está dividido entre simétrico (STG - *Symmetric Trapezoidal Gate*) e assimétrico (ATG - *Asymmetric Trapezoidal Gate*). No MOSFET simétrico, fonte e dreno estão separados pela porta equidistantemente e no MOSFET assimétrico, o dreno ficará na aresta menor do MOSFET e a fonte na aresta maior do MOSFET, conforme ilustrado na figura 2.

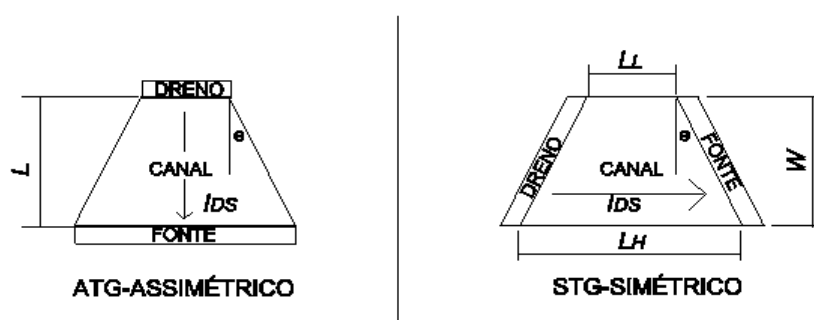


Figura 2 - MOSFETS de portas trapezoidais, assimétrico e simétrico

Fonte: Autor “adaptado de” Wong, 1998, IEEE vol.45, no. 7

Na figura 2, L é o comprimento do canal de corrente do MOSFET assimétrico, L_L e L_H são respectivamente menor e maior comprimento de canal de corrente do MOSFET simétrico, W é a largura do MOSFET simétrico, θ o ângulo trapezoidal e I_{DS} a corrente elétrica entre dreno e fonte do MOSFET.

Um trabalho anterior foi realizado para Tecnologia SOI (*Silicon on Insulator*) em 2004, apenas com simulações (GIACOMINI ; MARTINO, 2004). Ele propunha um modelo analítico preciso para o cálculo do erro de alinhamento, que aqui será utilizado também para a tecnologia MOS convencional, agora com medidas realizadas em circuito integrado confeccionado em programa multiusuário educacional (*MOSIS*) e simulações também.

1.1 Motivação do trabalho

O que motivou esse trabalho foi a lacuna de conhecimento de estruturas de formas não retangulares, assimétricas e simétricas e suas aplicações em estruturas de testes para detecção de desalinhamento de processos de fotolitografia, em especial o modelo matemático criado em 2004, para tecnologia SOI abordado na obra Giacomini ; Martino (2004), que agora pode ser verificado experimentalmente em tecnologia convencional, pois foi confeccionado em programa multiusuário educacional (*MOSIS*), permitindo a caracterização e comparação com a simulação do modelo proposto.

1.2 Apresentação do trabalho

Este trabalho está dividido em seis capítulos. O capítulo 2 apresenta uma revisão bibliográfica sobre as tecnologias de fabricação enfatizando o processo da Fotolitografia, suas etapas de fabricação e processos. No capítulo 3 são expostas estruturas funcionais e de testes. O capítulo 4 descreve o Simulador Atlas e as estruturas dos dispositivos, modelos utilizados, tipo de simulação tridimensional e estruturas simuladas. No capítulo 5 são mostrados os resultados obtidos através da comparação dos modelos propostos com os dados extraídos das simulações e medidas com dados experimentais obtidos da literatura. O capítulo 6 apresenta as conclusões obtidas no desenvolvimento do trabalho.

2 TECNOLOGIAS E PROCESSOS BÁSICOS DE FABRICAÇÃO DE MOSFETS

2.1 Tecnologia MOS

Segundo Campbell (1977), os primeiros dispositivos da tecnologia MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) eram formados com substrato com dopagem tipo n e dreno e fonte de material tipo p. No começo dos anos 70, foram substituídos pelos dispositivos nMOSFET, de substrato tipo p e dreno e fonte de material tipo n, devido à maior mobilidade dos elétrons em relação aos dispositivos pMOSFET, partícula majoritária na região n.

Um MOSFET básico contém quatro terminais: porta, dreno, fonte e substrato, conforme ilustrado na figura 3. As principais equações dos dispositivos MOSFETs são válidas tanto para dispositivos nMOSFET quanto para dispositivos pMOSFET (SZE, 1981).

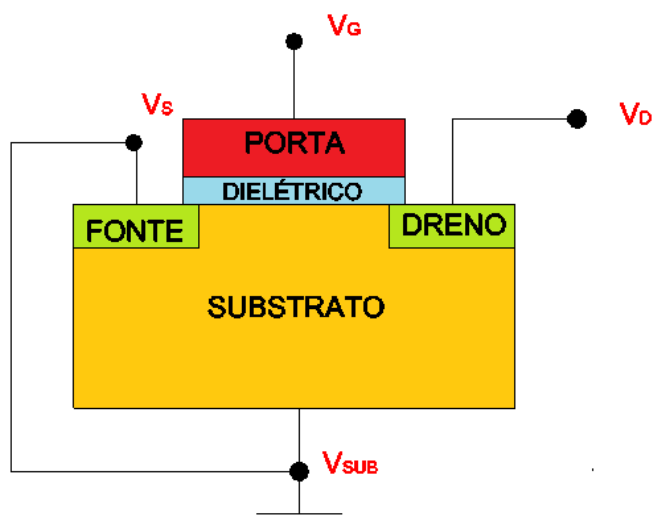


Figura 3 - Esquema de um dispositivo MOSFET de quatro terminais

Fonte: Autor “adaptado de” Campbell, 1977, p. 425

Na Figura 3, V_G é a tensão de porta do MOSFET, V_D é a tensão de dreno do MOSFET, V_S é a tensão de fonte do MOSFET e V_{SUB} é a tensão de substrato do MOSFET.

A tensão de limiar V_T é definida como a tensão de porta em que a superfície do canal logo abaixo ao dielétrico se encontra em inversão forte de portadores majoritários. No caso do pMOSFET, a região logo abaixo ao dielétrico, formará um canal p, e no nMOSFET, a região

formará um canal n. Nessa região, o potencial da superfície (ϕ_s) será igual a duas vezes o potencial de Fermi, (ϕ_F), dado pelas equações 1 e 2 (CAMPBELL, 1977).

$$\phi_F = \frac{kT}{q} * \ln\left(\frac{N_{sub}}{n_i}\right), \text{ para pMOS} \quad (1)$$

$$\phi_F = \frac{-kT}{q} * \ln\left(\frac{N_{sub}}{n_i}\right), \text{ para nMOS} \quad (2)$$

Onde N_{sub} é a concentração de impurezas no substrato, aceitadoras (material p) e doadoras (material n), n_i é a concentração intrínseca de portadores, k é a constante de Boltzmann, T a temperatura absoluta do dispositivo e q a carga elementar do elétron.

Para um MOSFET canal p, a tensão de porta pode ser expressa em termos do potencial (ϕ_s), de acordo com a equação 3, (CAMPBELL, 1977):

$$V_G = \phi_s + \frac{k_s \cdot t_{ox}}{k_{ox}} \cdot \sqrt{\frac{2 \cdot q \cdot N_{sub} \cdot \phi_s}{k_s \cdot \epsilon_0}} \quad (3)$$

Onde k_s e k_{ox} , são as constantes dielétricas relativas do silício e do dióxido de silício (dielétrico utilizado), t_{ox} a espessura do dielétrico (óxido de porta) e ϵ_0 a permissividade dielétrica do vácuo.

Como o potencial de superfície (ϕ_s) *equivale a* ($2 \cdot \phi_F$) na inversão forte, que significa na obtenção da tensão de limiar (V_T), substituindo-se na equação 3, tem-se a tensão de limiar (V_T), para os transistores pMOSFET e nMOSFET, (CAMPBELL, 1977):

$$V_T = 2 \cdot \phi_F + \frac{k_s \cdot t_{ox}}{k_{ox}} \cdot \sqrt{\frac{4qN_{sub}}{k_s \cdot \epsilon_0}} \phi_F \quad (4)$$

$$V_T = 2 \cdot \phi_F - \frac{k_s \cdot t_{ox}}{k_{ox}} \cdot \sqrt{\frac{4qN_{sub}}{k_s \cdot \epsilon_0}} (-\phi_F) \quad (5)$$

O MOSFET pode operar em três regiões distintas, dependendo dos potenciais aplicados a seus terminais. A primeira é a região denominada de sublimiar, onde $V_G < V_T$, a

segunda região é denominada de região linear, onde $V_T < V_G$ e $0 < V_D < V_G - V_T$ e a terceira região é a região de saturação, onde $V_T < V_G$ e $V_G - V_T \leq V_D$, conforme está ilustrado na figura 4.

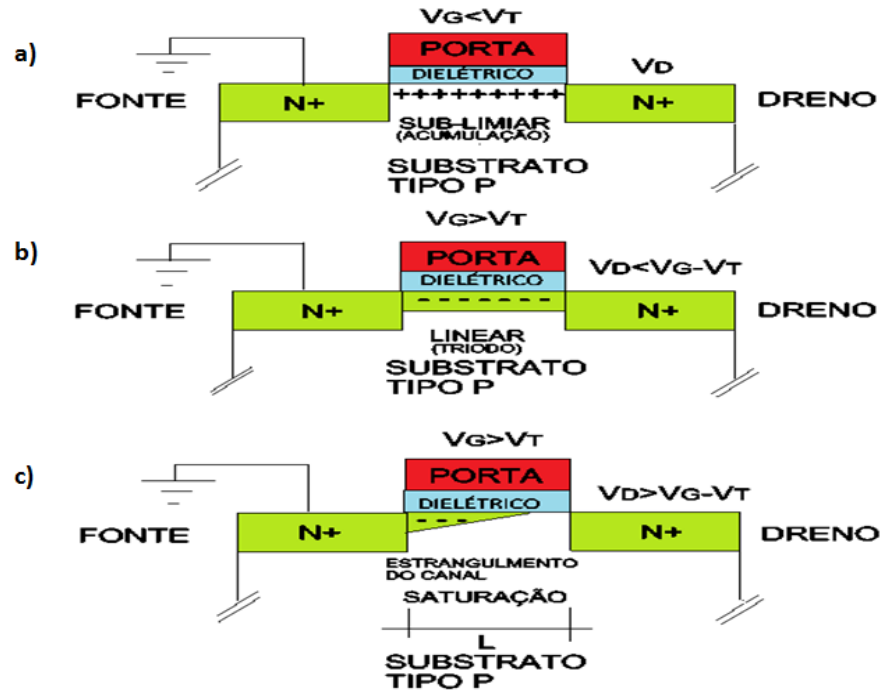


Figura 4 - Regiões e regimes de operação do nMOSFET, sublimiar, linear e saturação

Fonte: Autor “adaptado de” Campbell, 1977, p. 426

Na região de sub-limiar de operação do MOSFET, ilustrada na figura 4 a), ocorrerá o acúmulo de cargas positivas majoritárias em substrato tipo p (lacunas) logo abaixo ao dielétrico, que à medida em que a tensão de porta ultrapassar a tensão de banda plana (V_{FB}) e ficar abaixo da tensão de limiar V_T ($V_{FB} < V_G < V_T$), formará uma região de depleção, sem portadores livres, logo abaixo ao dielétrico, na região de canal que compreende a distância entre dreno e fonte do MOSFET, (CAMPBELL, 1977).

A região linear de operação do MOSFET, ilustrada na figura 4 b), é a mais fácil de ser equacionada, e é dividida em regimes de operação de inversão e triodo, pois nesta região o canal forma uma fina camada de inversão de portadores livres abaixo da porta do MOSFET, que como um resistor, tem sua condutância proporcional ao seu fator de forma, ou seja à razão W (largura) sobre L (comprimento), à capacitância do óxido de porta, à mobilidade dos portadores de cargas elétricas livres, diretamente proporcional à diferença entre a tensão de porta e a tensão de limiar do MOSFET e à tensão aplicada ao dreno do MOSFET conforme mostra a equação 6.

$$I_{DS} \approx \frac{W}{L} \cdot \mu_{eff} \cdot C_{ox} \cdot (V_G - V_T) \cdot V_D \quad (6)$$

Onde μ_{eff} é a mobilidade efetiva dos elétrons no canal do MOSFET, e C_{ox} a capacitância do dióxido de silício por unidade de área, L é o comprimento do canal do MOSFET, W é a largura do canal do MOSFET, V_G a tensão entre porta e fonte do MOSFET, V_T a tensão de limiar do MOSFET e V_D a tensão entre dreno e fonte do MOSFET.

A mobilidade efetiva μ_{eff} , representa uma aproximação da mobilidade real dos elétrons no canal do MOSFET, que nas primeiras aproximações dos modelos da corrente de dreno, era considerada constante e chamada apenas de μ (TSIVIDS, 2011).

Na verdade, a mobilidade dos elétrons no canal do transistor é afetada pela rugosidade do dióxido de porta, campos elétricos vertical e horizontal aplicados em relação à porta do MOSFET, temperatura, à vibração da rede cristalina do silício, fenômeno chamado de “*phonon scattering*” (TSIVIDS, 2011), e cargas armadilhadas na interface óxido/semicondutor, chamada de “*Coulomb scattering*” (TSIVIDS, 2011 ; COLINGE, 1986). O termo “*scattering*” pode ser definido como dispersão, no caso, significa a dispersão dos elétrons devido à troca de energia cinética/momento dos elétrons em seu ambiente, que é o canal do MOSFET.

Estima-se por essas razões que a mobilidade dos elétrons na superfície do canal seja 50 % menor que a mobilidade dos elétrons na região de depleção do canal (TSIVIDS, 2011).

A velocidade dos elétrons (v) no canal é diretamente proporcional ao campo elétrico horizontal ($\mathcal{E}_x$) e à mobilidade dos elétrons (μ), conforme equação 7 e ilustração da figura 5.

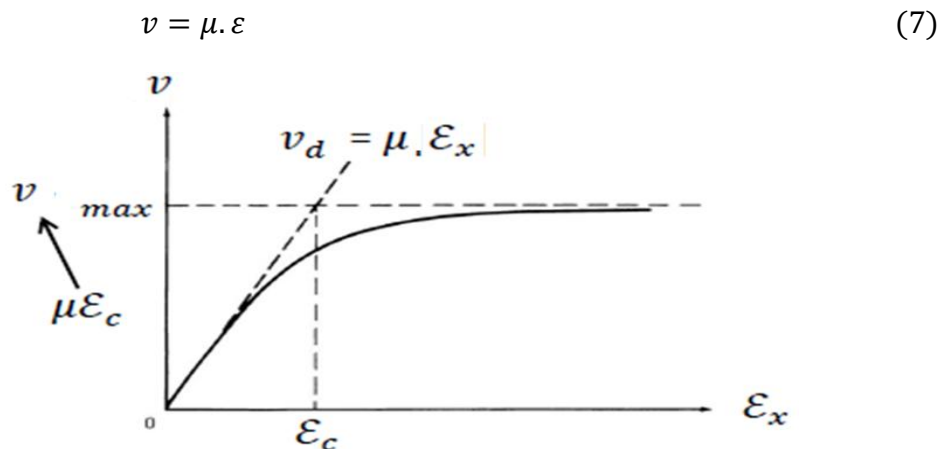


Figura 5 - Curva velocidade dos elétrons no interior do canal do MOSFET versus campo elétrico horizontal aplicado ao dreno do MOSFET.

Fonte: Autor “adaptado de” Tsivids, 2011, p. 300

A figura 5 mostra a dependência da velocidade dos elétrons no canal do MOSFET com o campo elétrico horizontal, na região linear da curva e ao atingir sua velocidade máxima torna-se uma constante. Em analogia pode-se comparar a velocidade à corrente de dreno do MOSFET (I_{DS}) e o campo elétrico horizontal à tensão entre dreno e fonte do MOSFET (V_D).

Quando a tensão de dreno V_D , for maior que zero, a concentração de portadores no canal do MOSFET diminui, levando à equação 8.

$$I_{DS} = \frac{W}{L} \cdot \mu_{eff} \cdot C_{ox} \cdot \left[(V_G - V_T) \cdot V_D - \frac{V_D^2}{2} \right], \text{ para } V_G - V_T > V_D \text{ e } V_G > V_T \quad (8)$$

Na terceira região de operação do MOSFET, ilustrada na figura 4 c), o canal não se estende totalmente da fonte ao dreno do MOSFET, ocorrendo o seu estrangulamento (*pinch-off*). Esse estrangulamento do canal do MOSFET, é ocasionado devido ao acúmulo de cargas negativas sem portadores livres em volta do dreno, formando uma região de depleção, e devido ao alto campo elétrico na região do dreno do MOSFET que repele as cargas positivas livres (lacunas) daquela região. A corrente nessa região torna-se independente da tensão de dreno, transformando o dispositivo em uma fonte de corrente, conforme a equação 9, (CAMPBELL, 1977).

$$I_{DS} = \frac{W}{L} \cdot \mu_{eff} \cdot C_{ox} \cdot \frac{(V_G - V_T)^2}{2}, \text{ para } 0 < V_G - V_T < V_D \quad (9)$$

2.2 Tecnologia CMOS

O processo de fabricação CMOS (*Complementary MOS*) de circuitos integrados, surgiu da necessidade de se reduzir a corrente de dreno dos MOSFETs no chaveamento de cargas ativas e consiste na confecção sobre uma lâmina convencional (*Bulk*) ou SOI (*Silicon On Insulator*), de circuitos compostos por dois tipos de MOSFETs simétricos e complementares, compondo um inversor lógico, conforme ilustrado na figura 6. O MOSFET de canal p será construído em um poço (*well*) de impurezas n implantadas ionicamente, e o MOSFET de canal n será construído diretamente no substrato do tipo p. Os dois MOSFETs têm valores iguais e opostos de V_G , V_T e I_{DS} , (MALVINO ; BATES, 2011).

Outra característica da tecnologia CMOS é a de que apenas um MOSFET de um inversor ou porta lógica estará conduzindo, enquanto a entrada estiver em nível alto ou baixo, dissipando potência apenas no chaveamento de um estado lógico para outro estado lógico, conforme a equação 10 (CAMPBELL, 1977).

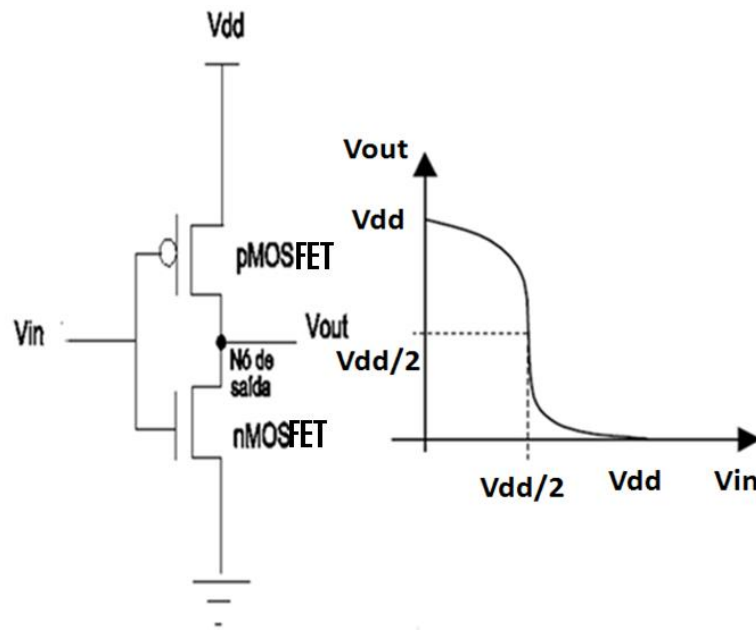


Figura 6: Circuito elétrico equivalente do inversor CMOS e sua curva característica ideal

Fonte: Autor “adaptado de” Campbell, 1977, p. 427

$$P \sim n_g \cdot \left(\frac{freq}{2} \right) \cdot C_{nós} \cdot V_{(chav.)}^2 \quad (10)$$

Onde: P é a potência dissipada no chaveamento do estado lógico do circuito CMOS;

n_g é o numero de portas (*gates*) comutando;

freq. é a frequência de chaveamento dos dispositivos;

$C_{nós}$ é a capacitância do nó de saída;

$V_{(chav.)}$ é a diferença de tensão entre os níveis lógicos alto e baixo durante o chaveamento;

V_{dd} é a tensão de polarização de dreno;

V_{in} é a tensão de entrada;

V_{out} é a tensão de saída.

Na figura 6, observa-se como a tensão de saída (V_{out}) varia em função da tensão de entrada (V_{in}). O ponto de cruzamento entre os extremos da curva V_{out} (x) V_{in} , significa que os dois MOSFETs têm resistências iguais, e as tensões de entrada e saída são iguais à metade da tensão de polarização de dreno ($V_{dd}/2$). Nessa transição, que é muito rápida, ocorre apenas um pulso breve de corrente de dreno, elevando a potência dinâmica do circuito, mas que ainda assim é muito baixa devido à rapidez dos pulsos de corrente de dreno e como a corrente

quiescente de dreno é determinada pelo dispositivo que não está conduzindo, o consumo de energia sem carga equivale a zero (MALVINO ; BATES, 2011).

Existem diversos tipos de processos CMOS, conforme ilustra a figura 7:

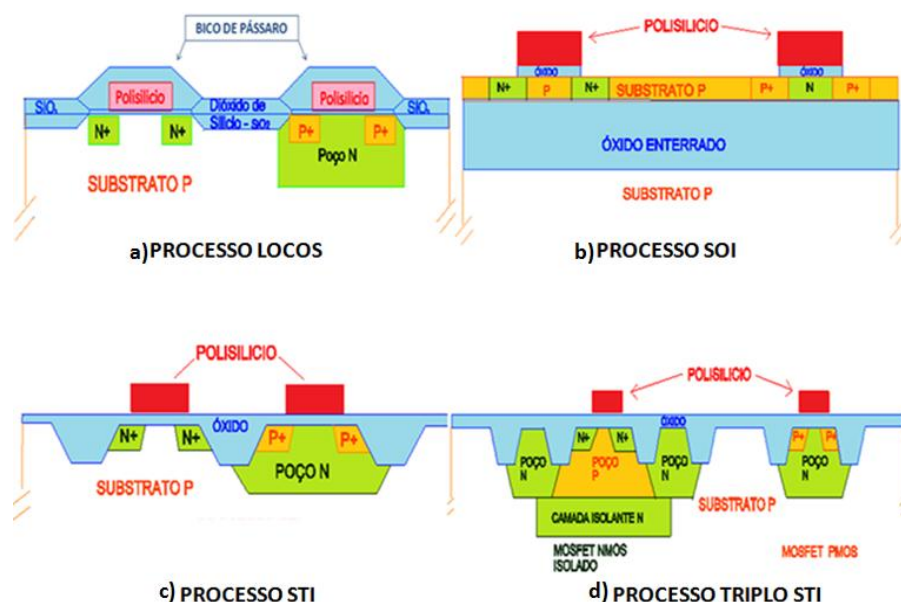


Figura 7 - Processos CMOS, LOCOS, SOI, STI e TRIPLO STI

Fonte: Autor "adaptado de" Tsividis, 2011, p. 17

a) LOCOS (*Local Oxidation of Silicon*): oxidação local de silício.

Já foi um processo muito utilizado, porém nos dias de hoje, a sua aplicação restringe-se a projetos de potência, que utilizam MOSFETS de dimensões maiores, (TSIVIDIS, 2011).

O processo LOCOS, ilustrado na figura 7 a), caracteriza-se por ter em uma lâmina de substrato p, geralmente um poço n, chamado de "*n-well*", que possibilita a confecção do MOSFET complementar característico da tecnologia, (TSIVIDIS, 2011).

A isolamento de óxido de silício separa fisicamente ambos os MOSFETs evitando contatos metálicos indutores de campo elétrico nessa região, porém ocupando um espaço no circuito integrado um tanto quanto maior, diminuindo a densidade da lâmina, relativamente às outras tecnologias devido a um defeito inerente à tecnologia, que forma um canal parasita entre os dois MOSFETs que compõem o circuito CMOS, denominado bico de pássaro (*Bird's Beak*), caracterizado pela variação da espessura do óxido de silício na lâmina, (TSIVIDIS, 2011), conforme ilustrado na figura 8:

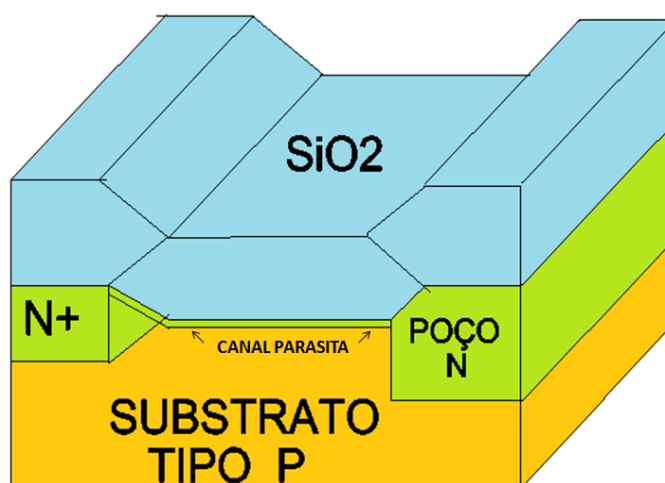


Figura 8: Detalhe do Bico de pássaro da tecnologia CMOS, processo LOCOS

Fonte: Autor, 2014

c) STI (*Shallow Trench Isolation*): processo dominante nos dias de hoje, o isolamento de junções rasas, ilustrado na figura 7 c), consiste na deposição de óxido de silício em um vale formado por processo de corrosão da lâmina, isolando os dois transistores complementares, dispensando assim a Oxidação Local (LOCOS), melhorando a densidade da lâmina, (TSIVIDIS, 2011).

d) STI (*Triple Well*): processo com três poços n, implantados em um substrato p, conforme ilustrado na figura 7d), foi criado com a finalidade de se minimizar efeitos parasitários, tais como tiristor, e isolando o MOSFET canal n, do par inversor, totalmente do MOSFET canal p do inversor complementar, (TSIVIDIS, 2011).

O processo SOI (*Silicon on Insulator*), ilustrado na figura 7 b), é o processo no qual a lâmina, tem uma fina camada de dióxido de silício (SiO_2) acima do substrato, permitindo uma série de vantagens ao desempenho do dispositivo(COLINGE, 2004).

A tecnologia SOI consiste na fabricação de um dispositivo MOSFET sobre uma camada de dióxido de silício, chamada óxido enterrado (*Buried OXide - BOX*) que isola a região ativa do transistor do contato do substrato. Esta tecnologia é muito utilizada atualmente na indústria, pois apresenta vantagens em relação à tecnologia MOS (*Metal Oxide Semiconductor*) convencional, tais como menor inclinação de sublimar, maior transcondutância, maior imunidade à radiação e eliminação do efeito tiristor parasitário no inversor CMOS (*Complementary Metal Oxide Semiconductor*) (TSIVIDS, 2011, p. 18).

2.3 Fotolitografia

A litografia é um processo de escrita assim definido:

O termo litografia provém do grego Lithos (pedra), daí pode-se dizer que litografia significa escrita na pedra, literalmente. Porém, desde o fim dos anos 70, passou-se a utilizar esse termo para processos que permitam que algo gravado originalmente em um lugar possa ser gravado em outro (ESTRADA ; ESCOBOSA, 2012, p. 410).

Os processos de fabricação de dispositivos semicondutores requerem a transferência de figuras geométricas, geralmente retangulares, de uma placa de vidro ou quartzo a um disco (*wafer*) de material semicondutor, através de processo fotográfico, conhecido como fotolitografia, (CAMPBELL, 1977). Tal processo define as dimensões dos dispositivos semicondutores, portanto interfere no desempenho no que diz respeito à velocidade de chaveamento dos MOSFETS no circuito integrado e até mesmo ao consumo de energia.

O projeto, a fabricação e reprodução das máscaras que contém as figuras geométricas a serem transferidas para o circuito integrado, interferem na fotolitografia. A falha na superposição precisa de máscaras é causa fundamental de possíveis problemas de desalinhamento (CAMPBELL, 1977, p. 153).

Em um circuito integrado pode-se ter problemas de alinhamento entre as máscaras que compõem o processo, sendo o mais crítico o desalinhamento da máscara de porta em relação à zona ativa do MOSFET (canal). Na lâmina podem ocorrer desalinhamentos entre circuitos integrados. A fabricação requer um processo repetitivo para gravação de uma lâmina, e devido à precisão requerida, adota-se um percentual de aceitação por lâmina como forma de avaliação de rendimento do processo (CAMPBELL, 1977).

O projeto e fabricação das máscaras contém as formas geométricas necessárias à transferência para a lâmina. Tais formas geométricas formarão a topologia de cada processo fotolitográfico necessário para confecção do circuito integrado propriamente dito.

O recobrimento da lâmina de silício é feito através de uma fotoresina, que é fotosensível, tal qual a um processo fotográfico, a cada passo do processo.

O alinhamento das máscaras é a superposição das figuras contidas na máscara com as gravadas no silício anteriormente na lâmina. Assim, finalmente se ataca a superfície da lâmina, através das janelas criadas na fotoresina, para gravação permanente do projeto desejado sobre a pastilha de silício. O processo é concluído com a limpeza e eliminação da fotoresina no semiconductor.

Existem três processos fotolitográficos:

- a) Fotolitografia ótica;
- b) Por feixe de elétrons;
- c) Raio X.

2.3.1 Fotolitografia ótica

Estrada ; Escobosa (2012) afirmam que:

A fotolitografia ótica é aquela em que a sensibilização da fotoresina se faz mediante a aplicação de luz ultravioleta. Para os comprimentos de onda utilizados, os sistemas óticos e materiais de máscaras podem ser vidro ou quartzo. A maior aplicação dos processos fotolitográficos têm sido em memórias semicondutoras, onde a margem de erro de desalinhamento gira em torno de 10%.

Essa margem de erro depende da alinhadora e da fotoresina utilizada, bem como do comprimento de onda da luz utilizada. Estruturas de teste, capazes de medir esse desalinhamento, nessa faixa de medição de erro, tornam-se necessárias para avaliação e controle do processo.

2.3.2 Fotolitografia por feixe de elétrons

Processo mais caro, consiste em utilizar feixe de elétrons, para geração de padrões das máscaras, com as dimensões finais, aplicado diretamente à lâmina de silício. Neste processo, um canhão eletrônico no interior de uma câmara de vácuo é responsável por sensibilizar diretamente a fotoresina depositada sobre a lâmina. O feixe de elétrons gerado neste canhão é direcionado à região de interesse da lâmina através de placas defletoras assim como ocorre em um tubo de raios catódicos, conforme ilustrado na figura 9. Essa técnica é bastante empregada

em processos submicrométricos, porém também causa problemas de bordas arredondadas. No entanto reduziu-se a margem de erro do processo fotolitografico para 5% (ESTRADA ; ESCOBOSA, 2012).

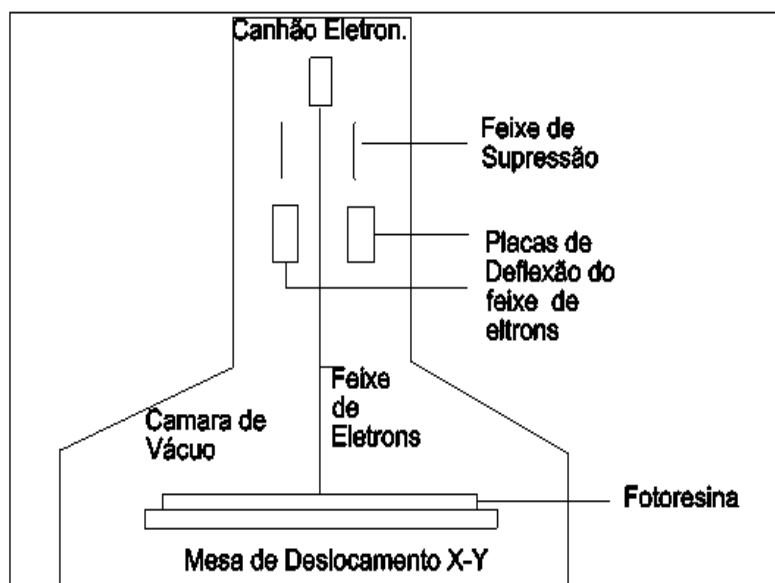


Figura 9 - Esquema simplificado da fotolitografia por feixe de elétrons

Fonte: Autor “adaptado de” Estrada e Escobosa, 2012, p. 431

2.3.3 Fotolitografia por raio x

A princípio, a fotolitografia por raio X é similar ao processo ótico. Porém, como utiliza um comprimento de onda menor que a luz ultravioleta, permite reduzir os efeitos de bordas arredondadas. Esse método combina alta resolução com alta produtividade, (ESTRADA ; ESCOBOSA, 2012).

2.3.4 Fotomáscaras e leiaute para um inversor CMOS (típico)

A figura 10 mostra as 7 etapas (máscaras) da composição de um inversor CMOS típico. Essas máscaras devem ser perfeitamente alinhadas para não causar danos ao funcionamento do circuito.

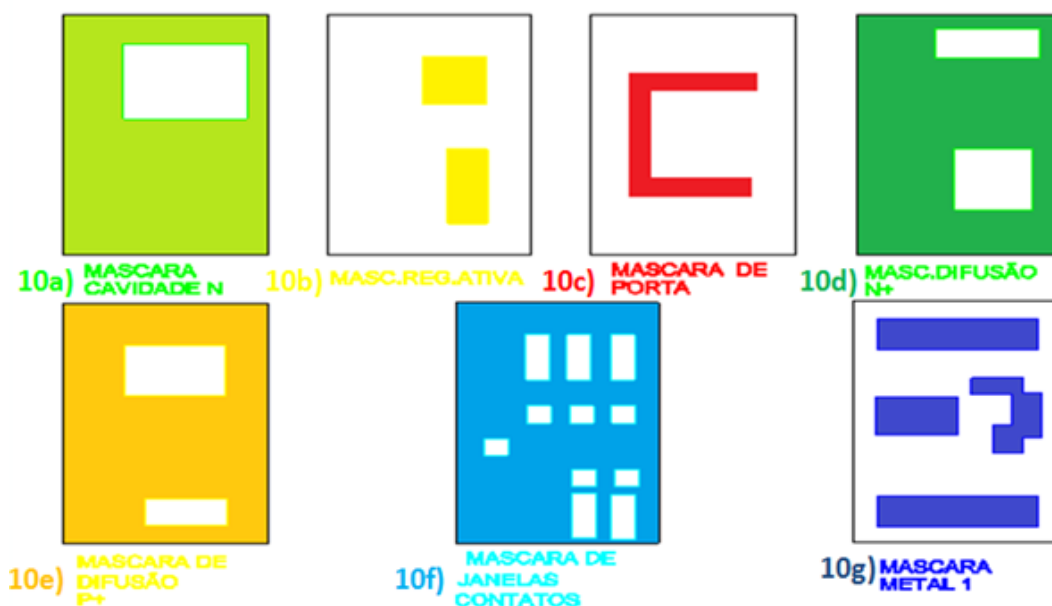


Figura 10 - Fotomáscaras para inversor CMOS

Fonte: Autor “adaptado de” Sedra, Smith, 2007, p. 809

Os MOSFETs do circuito são definidos pelas áreas ativas sobrepostas pela camada de porta, formada por material de silício super dopado de impurezas doadoras do tipo n, tornando-se praticamente um condutor e é chamado de polisilício. O canal do dispositivo é definido pela largura da linha de polisilício e pela largura da região ativa (RAZAVI, 2001 ; SEDRA , 2007).

A primeira máscara (figura - 10a), serve para abrigar o dispositivo MOSFET tipo p. A segunda máscara (figura - 10b), abriga as regiões ativas dos dois MOSFETs. A terceira máscara (figura - 10c), é a máscara de polisilício que será as duas portas dos dispositivos n e p. A quarta máscara (figura - 10d), circundará o MOSFET tipo n e formará a fonte e dreno do inversor. A quinta máscara (figura - 10e), circunda o MOSFET tipo p. A sexta máscara (figura - 10f), é a da janela para contatos a serem interligados à linha de metal. Por fim a sétima e última máscara (figura - 10g), é formada pela camada de metal completando as interconexões (SEDRA, 2007, p. 809).

As máscaras da cavidade n, difusão N+, difusão P+ e das janelas de contato, são chamadas de máscaras de campo escuro. As máscaras da região ativa, de porta e de metal são chamadas de máscaras de campo claro (CAMPBELL, 1977 ; RAZAVI, 2001 ; SEDRA, 2007).

A figura 11 mostra o leiaute do inversor projetado em CAD, Software Microwind:

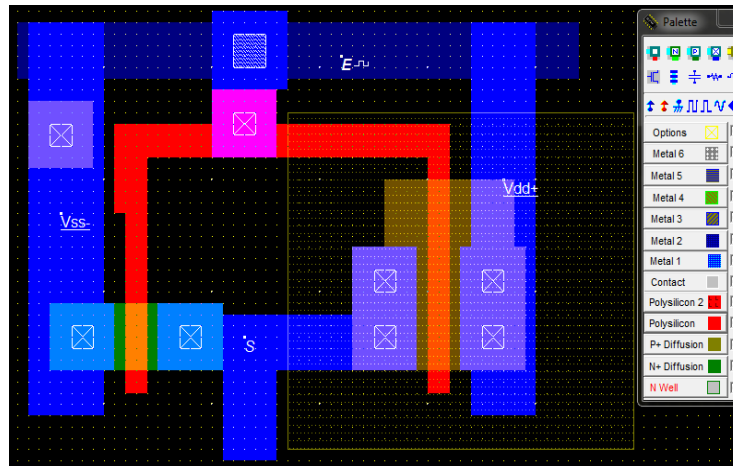


Figura 11 – Leiaute de um inversor CMOS típico em software microwind

Fonte: Autor “adaptado de” CMOS Microwind-FEI, 2012

A figura 12 mostra um corte transversal nas regiões de porta e canal dos dois MOSFETS do par inversor:

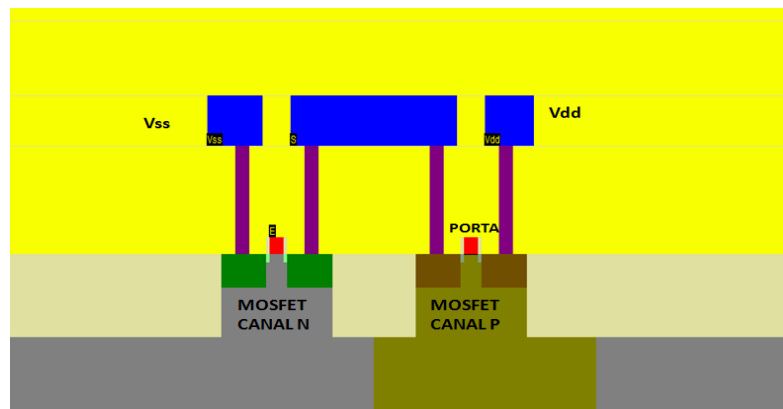


Figura 12 - Corte transversal região de porta e canal MOSFETS n e p do par inversor CMOS

Fonte: Autor “adaptado de” CMOS Microwind-FEI, 2012

A figura 13 mostra uma visão tridimensional do inversor CMOS:

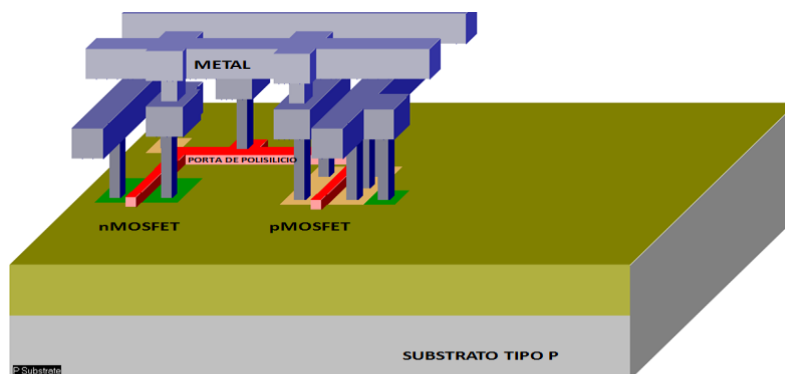


Figura 13 - Vista tridimensional do inversor CMOS

Fonte: Autor “adaptado de” CMOS Microwind-FEI, 2012

2.4 Erros típicos de alinhamento de máscaras

Os erros mais frequentes de sistemas fotolitográficos, são erros de posicionamento da máscara de porta em relação à lâmina. A figura 14 mostra exemplos de desalinhamentos nas direções horizontal e vertical onde pode-se comparar as letras e números desalinhados às formas geométricas dos MOSFETs, metais, e óxido nas diversas camadas e máscaras do processo fotolitográfico.

Este tipo de erro pode ser facilmente provocado por pequenas mudanças na temperatura da máscara. Devido a isso, a sílica fundida é normalmente o material empregado para a máscara, por ter um baixo coeficiente de expansão térmica, em torno de $5 \times 10^{-7} \text{ } ^\circ \text{C}$, (CAMPBELL, 1977).

Para que se possa impedir uma dilatação de mais de $0,1 \text{ } \mu\text{m}$ em uma placa de 8 polegadas (aproximadamente 20 cm - tamanho da lâmina) requer-se um controle de temperatura de cerca de $0,75 \text{ } ^\circ \text{C}$ (CAMPBELL, 1977).

Isto não é fácil de ser obtido, quando grandes quantidades de energia ótica devem ser transmitidas através da máscara. Sistemas avançados de exposição são usados para controlar a temperatura da máscara para minimizar este problema. Para encontrar a tolerância total de sobreposição deve se somar os quadrados dos componentes individuais, conforme a equação 11, (CAMPBELL, 1977).

$$T_d = \sqrt{\sum T_i^2} \quad (11)$$

Onde T_i significa o numero de máscaras a serem sobrepostas no processo e T_d o erro médio quadrático dessa superposição desalinhada em relação ao desvio nulo.

A₁₂

Desalinhamento

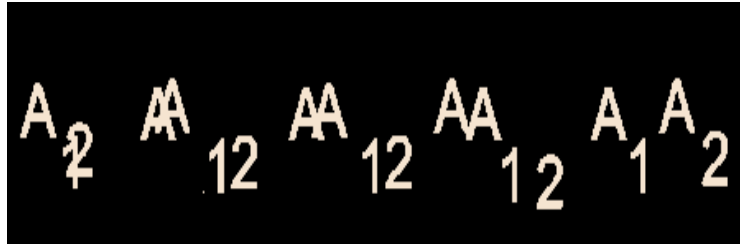


Figura 14- Exemplos de desalinhamentos de mascaras típicos

Fonte: Autor “adaptado de” Campbell, 1977, p. 178

2.5 Problemas advindos da litografia e escalamento

O MOSFET é composto de uma parte intrínseca, referente ao seu canal, e uma extrínseca referente à sua periferia, que inclui os contatos, parte essa que tem várias capacitâncias e resistências parasitárias, que já são contempladas e modeladas para um dispositivo de forma retangular normal sem desalinhamento, (GUPTA, 2008).

Com o desalinhamento da porta do dispositivo MOS de porta trapezoidal, ilustrado na figura 15, essas capacitâncias e resistências parasitárias sofrerão alterações, que irão interferir no desempenho do dispositivo e circuito, afetando consumo de potência do circuito e velocidade de chaveamento do circuito, (GUPTA, 2008 ; CHANT ; GHAIADA , 2010).

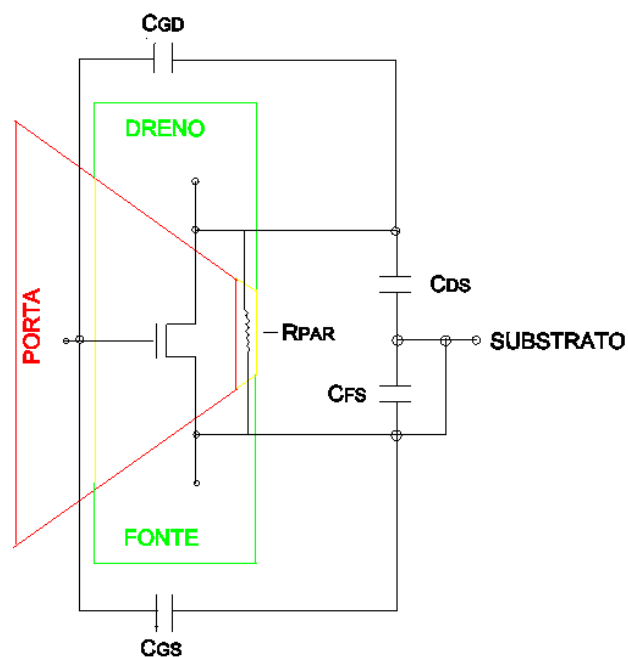


Figura 15 - Detalhe das capacitâncias e resistência parasitárias do MOSFET

Fonte: Autor, 2014

Na figura 15, C_{GD} é a capacitância entre porta e dreno, C_{GS} é a capacitância entre porta e substrato, C_{DS} é a capacitância entre dreno e substrato, C_{FS} é a capacitância entre fonte e substrato e R_{PAR} é a resistência parasitária devido à retração da porta.

As alterações de geometrias e desalinhamentos horizontal e vertical da porta em relação ao canal do MOSFET ocasionarão alterações nos valores das resistências e capacitâncias parasitárias, pois alterarão áreas e perímetros do dreno, da fonte, da porta e do canal do MOSFET.

3 ESTRUTURAS DE TESTES DE DESALINHAMENTO

As estruturas de testes de desalinhamento de máscaras se subdividem em estruturas de avaliação ótica e estruturas de avaliação elétrica.

Para avaliação ótica têm-se estruturas em um nível e vários níveis e estruturas do tipo Verniers, caracterizadas pela sua simplicidade, por tratarem-se de escalas graduadas que podem ser observadas ao microscópio, porém apresentam baixa resolução.

As estruturas elétricas são empregadas em medição de desalinhamento em substratos condutores. A forma de medição consiste de duas etapas, uma para cada nível a ser comparado. Na primeira etapa têm-se parte da estrutura em substrato isolante recoberto com uma camada condutora que formará a primeira máscara, e na segunda etapa com a segunda máscara deposita-se a camada adicional condutora que formará a estrutura de avaliação de erro de desalinhamento propriamente dita, ou pode-se ainda remover essa estrutura previamente definida (MARTINO ; PAVANI ; VERDONCK, 2003, p. 121).

3.1 Estruturas óticas

Existem dois tipos de estruturas de testes óticas, que são as estruturas óticas em nível único e estruturas óticas de vários níveis.

3.1.1 Estruturas em nível único

A figura 16 mostra uma estrutura para determinação da resolução e reprodutibilidade do processo de litografia.

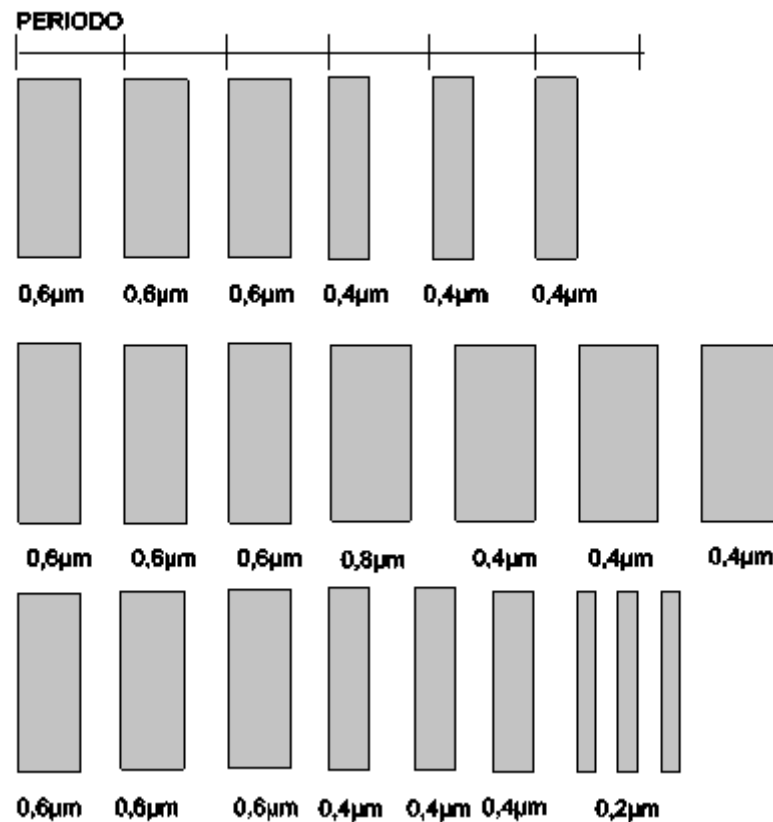


Figura 16 – Estrutura óptica em nível único de conjunto de linhas

Fonte: Autor “adaptado de” Martino ; Pavanello ; Verdonck, 2003, p. 122

O princípio de funcionamento da estrutura de linhas da figura 16 baseia-se no fato de que no processo fotolitográfico o período permanece praticamente constante, daí pode se comparar através de microscópio eletrônico a largura da linha com o período e verificar se ela sofreu alterações em sua dimensão (MARTINO ; PAVANELLO ; VERDONCK, 2003).

A figura 17 apresenta uma estrutura de quadrados em nível único para avaliação ótica do processo de litografia.

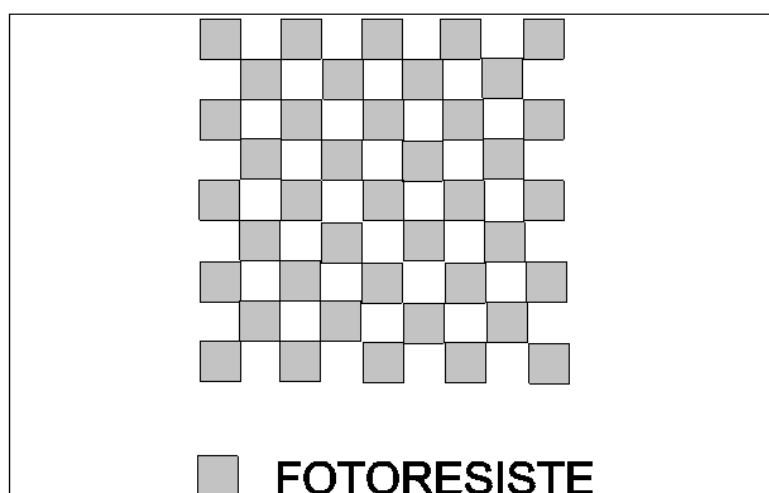


Figura 17: Estrutura ótica em nível único de quadrados para avaliação do processo litográfico

Fonte: Autor “adaptado de” Martino ; Pavanello ; Verdonck, 2003, p. 124

A figura 18 apresenta uma estrutura em forma de cruz em nível único para avaliação ótica do processo litográfico.

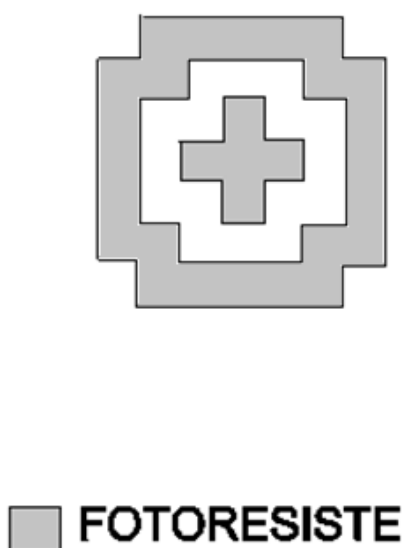


Figura 18 - Estrutura ótica em nível único em forma de cruz para avaliação do processo litográfico

Fonte: Autor “adaptado de” Martino ; Pavanello ; Verdonck, 2003, p. 124

3.1.2 Estruturas em vários níveis

A figura 19 apresenta duas estruturas em dois níveis com a finalidade de avaliar o processo litográfico.

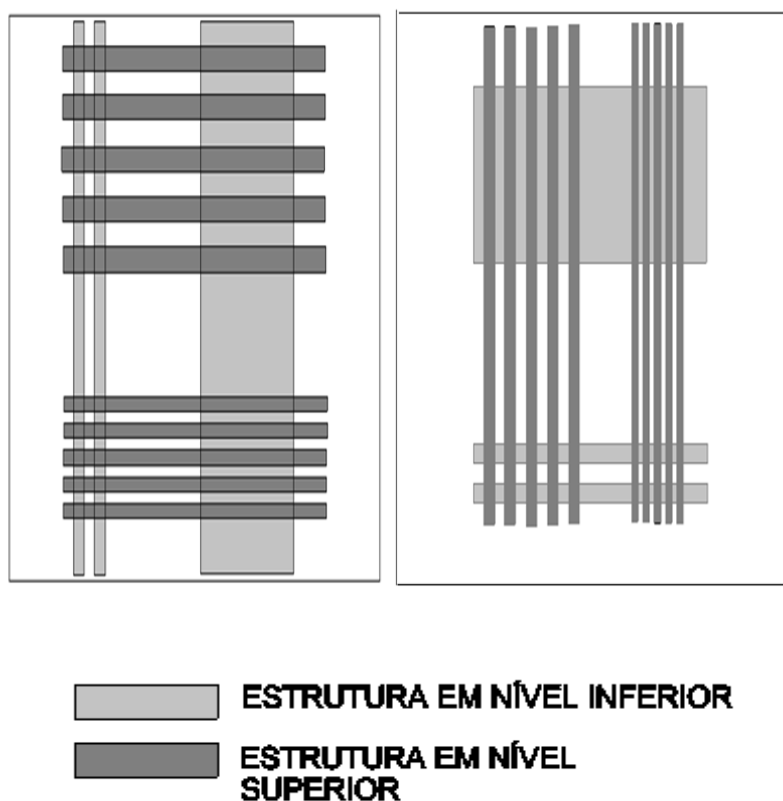


Figura 19 - Estrutura óptica em dois níveis para avaliação da litografia

Fonte: Autor “adaptado de” Martino ; Pavanello ; Verdonck, 2003, p. 125

As estruturas da figura 18 são empregadas na avaliação do processo litográfico na detecção de curto- circuitos e interrupção de linhas.

3.1.3 Estruturas Verniers

A figura 20 exemplifica o tipo de estrutura utilizado para a verificação dos erros de alinhamento de máscaras, tanto na direção horizontal quanto na direção vertical.

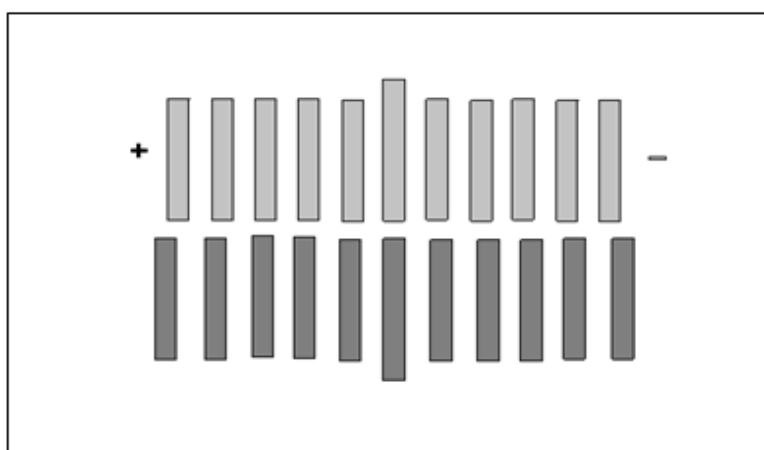
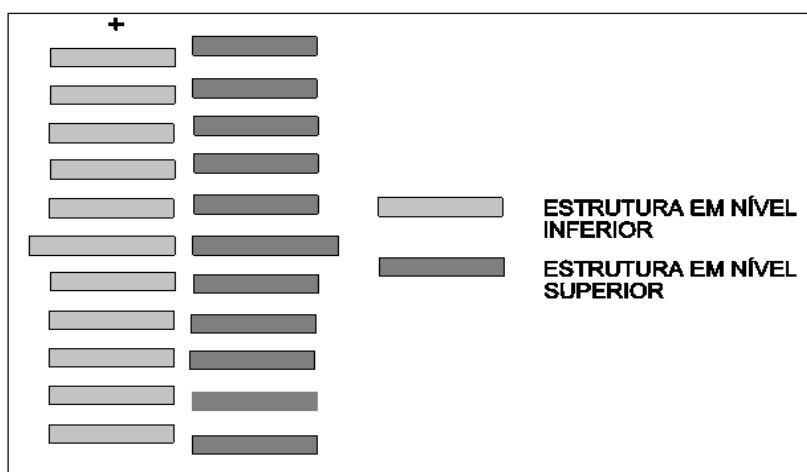


Figura 20 - Estrutura ótica do tipo Verniers para avaliação do erro de alinhamento de máscaras
 Fonte: Autor “adaptado de” Martino ; Pavanello ; Verdonck, 2003, p. 126

A estrutura do tipo Verniers da figura 20 permite a determinação do erro de alinhamento entre dois níveis por verificação ótica. O erro de alinhamento será determinado pelo número de linhas que ficarem alinhadas, multiplicado pela diferença de período entre as duas estruturas (MARTINO ; PAVANELLO ; VERDONCK, 2003, p. 126).

3.2 Estruturas elétricas

As estruturas de testes elétricas são compostas por estruturas de testes através de medições de tensão e corrente e as de medição apenas de correntes.

3.2.1 Estrutura de teste de Van der Pauw

A Figura 21 mostra uma estrutura elétrica denominada de Van der Pauw, onde na primeira máscara temos os terminais (*pads*), em cavidade p ou n, e na segunda máscara, temos estruturas horizontais e verticais de impurezas contrárias às da primeira máscara, que será alinhada à primeira.

Van der Pauw estabeleceu uma relação da resistência de folha (R_s) de materiais anisotrópicos com a resistência no sentido x (R_x) e a resistência no sentido y (R_y), dada pela equação 12 que é denominada de Teorema de Van der Pauw. (VAN DER PAUW, 1958).

$$e^{-\pi R_y/R_s} + e^{-\pi R_x/R_s} = 1 \quad (12)$$

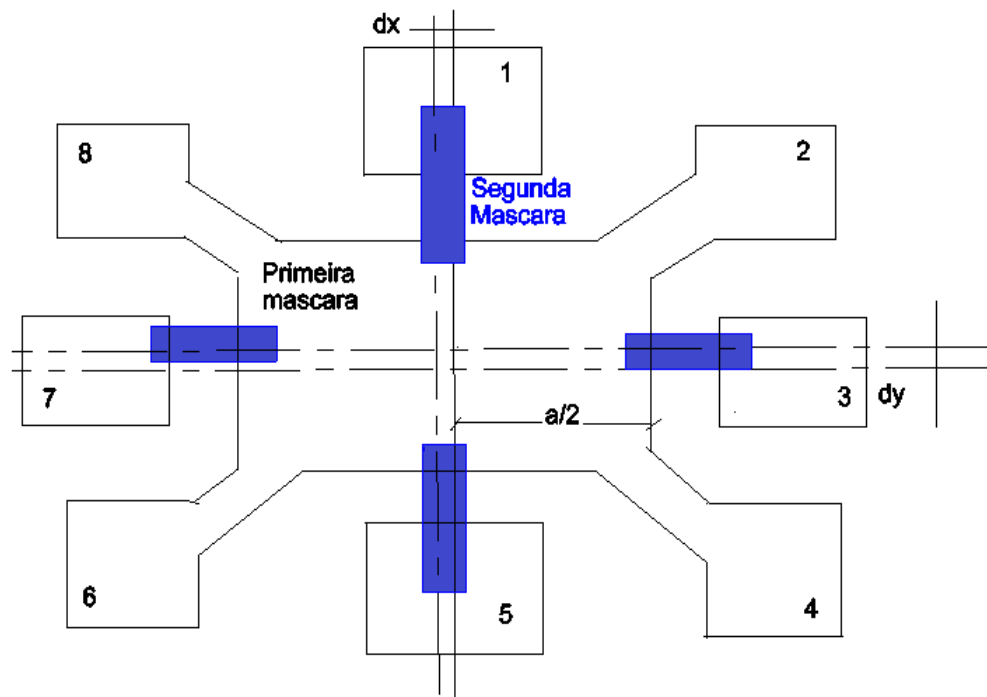


Figura 21 - Estrutura elétrica de medição de desalinhamentos de Van der Pauw

Fonte: Autor “adaptado de” Martino ; Pavanello ; Verdonck, 2003, p. 140

Os desvios de alinhamento d_x e d_y , serão proporcionais às diferenças de resistências sobre as somas das resistências em seus respectivos eixos, multiplicados por um fator $a/2$ de simetria da estrutura como pode se observar nas equações de 13 a 18:

$$d_x = \frac{a}{3,1652} \cdot \arcsen \frac{R_{x'} - R_{x''}}{R_{x'} + R_{x''}} \quad (13)$$

$$R_{x'} = \frac{V_{65}}{I_{82}} \quad (14)$$

$$R_{x''} = \frac{V_{54}}{I_{82}} \quad (15)$$

$$d_y = \frac{a}{3,1652} \cdot \arcsen \frac{R_{y'} - R_{y''}}{R_{y'} + R_{y''}} \quad (16)$$

$$R_{y'} = \frac{V_{43}}{I_{68}} \quad (17)$$

$$R_{y''} = \frac{V_{32}}{I_{68}} \quad (18)$$

3.2.2 Estrutura de subtração

A figura 22 mostra a estrutura chamada de estrutura de subtração, na qual a segunda camada condutora é removida.

Esta estrutura define linhas condutoras cujas larguras são função do alinhamento entre os dois níveis de máscaras, que terá resistências em função do erro de alinhamento (PAVANI, 1990).

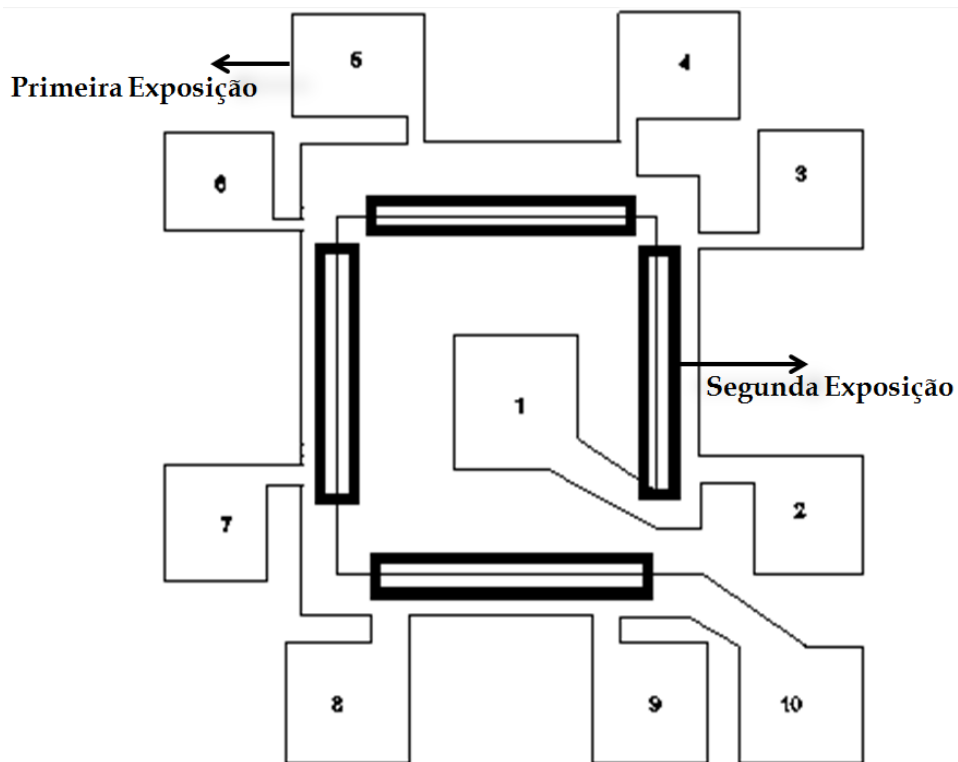


Figura 22- Estrutura elétrica de medição de desalinhamento denominada de subtração

Fonte: Autor “adaptado de” Martino ; Pavanello ; Verdonck, 2003, p. 142

Para a estrutura da figura 22, têm-se as equações 19 e 20, que calculam os desvios na estrutura na direção x (Δ_{Rx}) e na direção y (Δ_{Ry}).

$$\Delta_{Rx} = \frac{V_{23} - V_{67}}{I_{1-10}} \quad (19)$$

$$\Delta_{Ry} = \frac{V_{45} - V_{89}}{I_{1-10}} \quad (20)$$

3.2.3 Estrutura tipo Kelvin

A figura 23 mostra uma estrutura elétrica para medição de desalinhamento do tipo Kelvin.

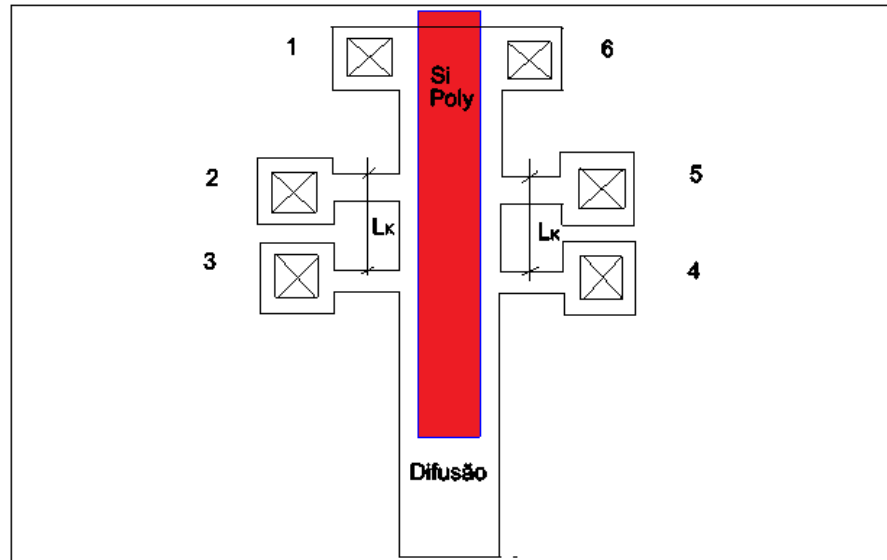


Figura 23- Estrutura elétrica de teste tipo Kelvin

Fonte: Autor “adaptado de” Martino ; Pavanello ; Verdonck, 2003, p. 145

O desvio Δ_{LK} da estrutura pode ser medido, pois causa uma diferença entre as resistências do lado esquerdo e direito da estrutura que podem ser avaliadas pela lei de Ohm, medindo-se as diferenças de tensões entre os contatos 4 e 2 e 2 e 5, sobre a corrente entre os contatos 1 e 3, conforme a equação 21:

$$\Delta_R = R_{42} - R_{25} = \frac{V_{42} - V_{25}}{I_{13}} \quad (21)$$

3.2.4 Estrutura proposta por Lozzano

A estrutura da figura 24 foi proposta por Lozzano conforme sua publicação em 1989 e pela primeira vez aparecia o MOSFET de porta trapezoidal em uma estrutura de testes de desalinhamentos.

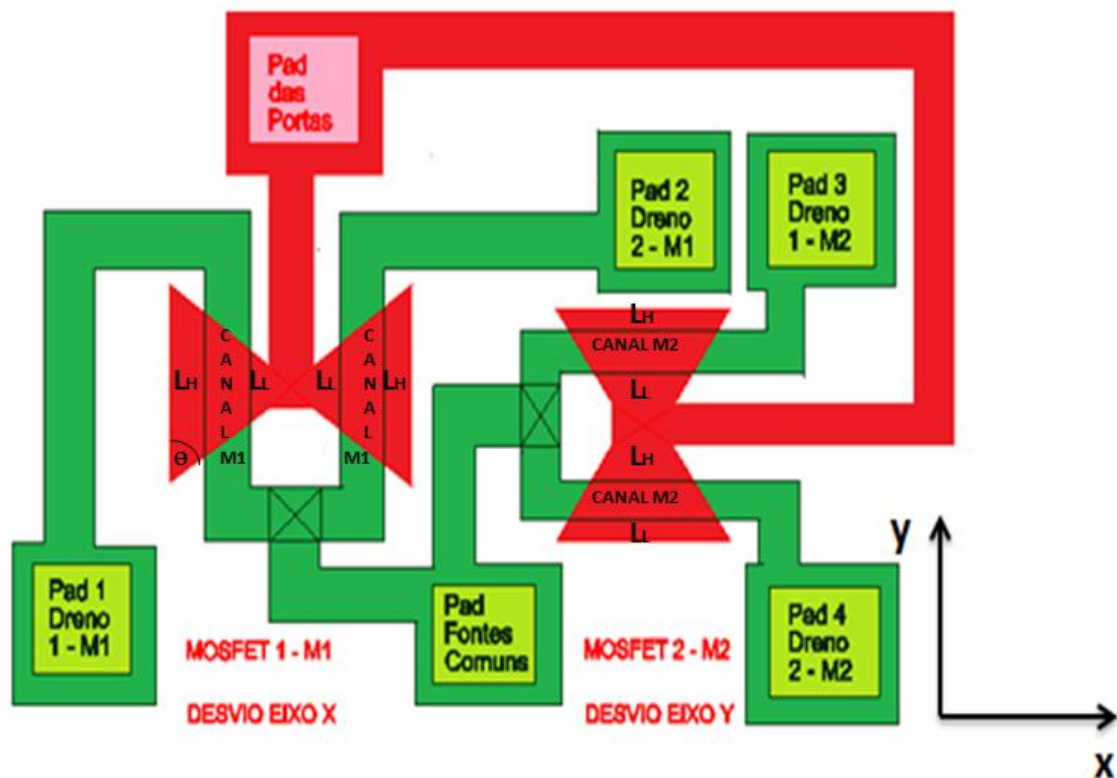


Figura 24 – Estrutura elétrica de medição de desalinhamentos de Lozzano

Fonte: Autor “adaptado de” Lozzano, 1989, IEEE, vol 2 p. 139

A estrutura ilustrada na figura 24 é capaz de medir desvios nas direções horizontal (x) e vertical (y), através da relação da diferença de correntes de dreno dos MOSFETs, antes e após o desalinhamento, multiplicado pelo fator de forma dos MOSFETs de portas trapezoidais, conforme equação 22.

Na estrutura da figura 24, ao deslocar-se o conjunto MOSFET 1 na direção horizontal (x), provoca-se um aumento ou diminuição do comprimento de canal dos MOSFETs M1-dreno 1 e dreno 2, enquanto em um dreno diminui a corrente de dreno, no outro dreno haverá

um aumento da corrente de dreno, proporcional ao deslocamento da estrutura na direção horizontal (x). A mesma análise pode ser feita para o conjunto MOSFET M2, que é capaz de medir desvios da máscara de porta em relação ao canal do MOSFET na direção vertical (y).

Esse modelo originou a pesquisa de Giacomini ; Martino (2004), ao utilizar MOSFETS de portas trapezoidais pela primeira vez na estrutura de teste de desalinhamento, e se propunha a calcular o desalinhamento de porta através da diferença de correntes e dimensões das arestas do trapézio e ângulo trapezoidal:

$$\Delta x, y = \frac{I_{D1} - I_{D2}}{I_{D1} + I_{D2}} \cdot \frac{L_H \cdot L_L}{2 \cdot \tan \theta} \cdot \frac{\ln \left(\frac{L_H}{L_L} \right)}{L_H - L_L} \quad (22)$$

A Figura 25 mostra o circuito elétrico equivalente da estrutura de teste e exemplifica parte da estrutura básica de teste de desalinhamento, proposta pela primeira vez em 1989, por Lozzano, a qual mede o deslocamento nos eixos x e y, medindo-se as diferenças de corrente nos dois MOSFETs antes do desalinhamento (I_{dsbm}) e após o desalinhamento (I_{dsam}).

Martino e Giacomini (2004) propuseram a mesma estrutura para tecnologia SOI, modelando o deslocamento em função do ângulo trapezoidal da aresta menor do trapézio e da largura do canal.

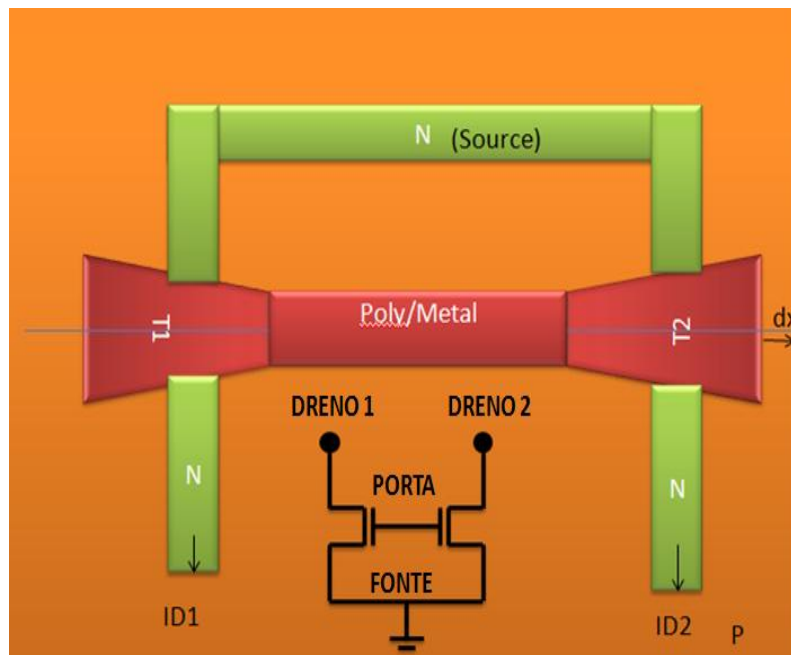


Figura 25 - Estrutura elétrica de teste de desalinhamento e seu respectivo circuito elétrico equivalente.

Fonte: Autor, 2012

3.3 Projeto MOSIS

O projeto do circuito integrado foi concebido no Programa IC - Station da Mentor Graphics, que funciona na plataforma UNIX (LINUX) e é compatível com o programa educacional da MOSIS, figura 26.

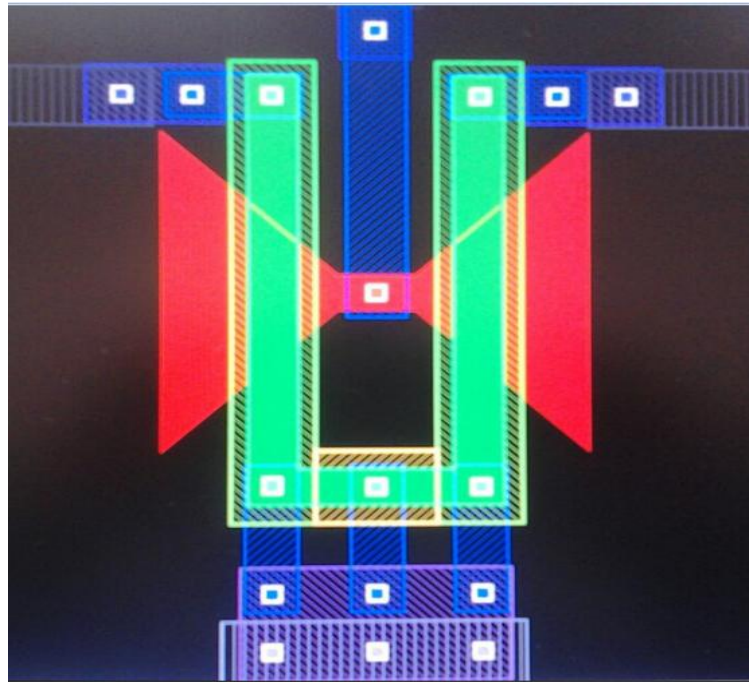


Figura 26 - Dispositivo de porta trapezoidal projetado para teste de desalinhamento da máscara de porta
Fonte: Projeto FEI, 2012

A figura 27 mostra o posicionamento dos trinta conjuntos MOSFETS de portas trapezoidais projetados dentro da lâmina.

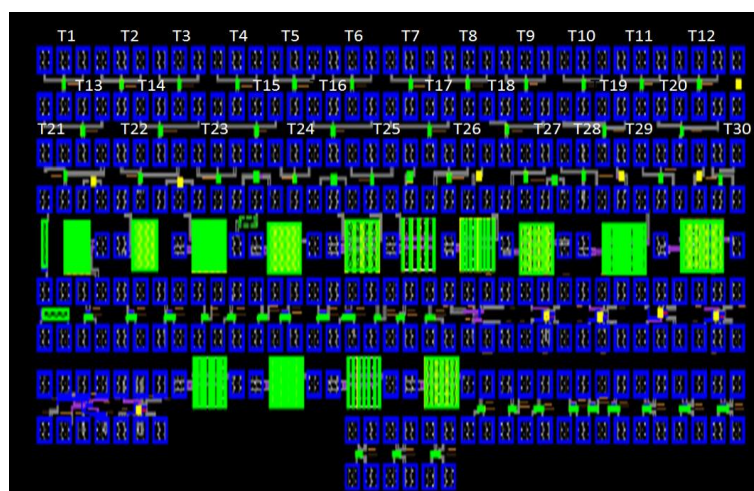


Figura 27 - Projeto em IC Station, visão parcial do circuito integrado

Fonte: Projeto FEI, 2012

Mosis é um prestador de serviços a Universidades, Empresas e Órgãos Governamentais, através de um programa denominado MEP (*Mosis Educational Program*), que fornece circuitos integrados de alta escala de integração a baixo custo, em sistema “*Multi-Runs*” que possibilita a inclusão de vários projetos compartilhados em uma mesma lâmina.

Dados da fabricação do circuito integrado utilizado nas medidas experimentais, figura 28:

- a) Tecnologia: SCN3M, $\lambda = 0.35 \mu\text{m}$;
- b) Tamanho: 3952 x 3897 microns; Área: 15.397 mm²;
- c) 815 “pads”;
- d) Espessura de óxido de 13,80 nm;
- e) Região de canal dopada com $1,78 \times 10^{17}$ impurezas aceitadoras por cm³;
- f) Região de Dreno e Fonte dopadas com 1×10^{19} impurezas doadoras por cm³;
- g) Camadas e densidades (*Layers*): Região ativa; Contatos; Vidro, metal 1-13,1%); metal 2- 11,7%; metal 3; Região N, Poço N; Pads, Polisilício-1,2%; Região P; Via e Via 2.

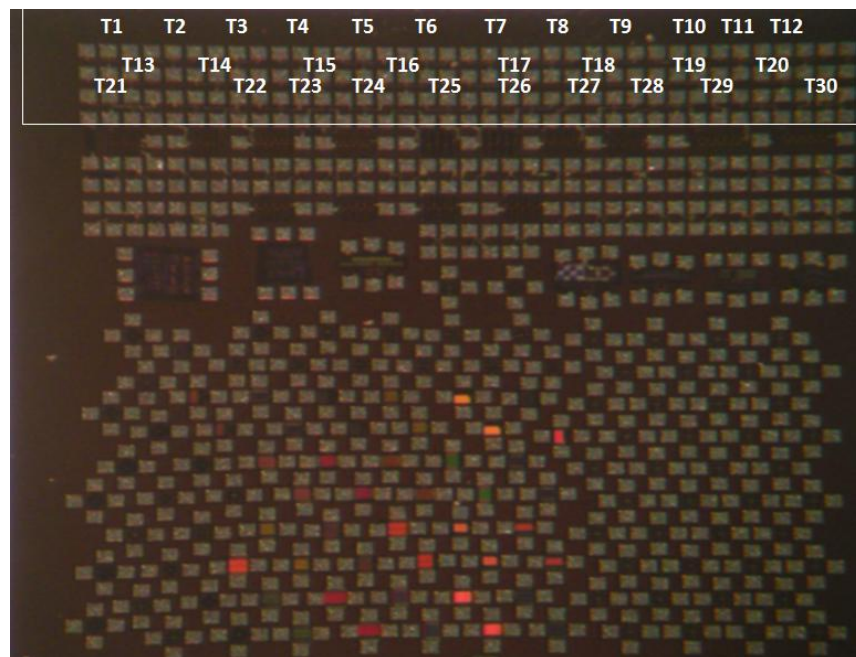


Figura 28 - Visão total do circuito integrado como construído

Fonte : MOSIS (imagem de microscópio-FEI), 2013

Na figura 28, nota-se a região ocupada pelas estruturas de testes de MOSFETs de portas trapezoidais logo acima no circuito integrado, ocupando uma área de aproximadamente 14 % do total do circuito integrado.

A figura 29 mostra em detalhe a estrutura de porta trapezoidal desalinhada, objeto de estudo, como fabricado pela MOSIS.

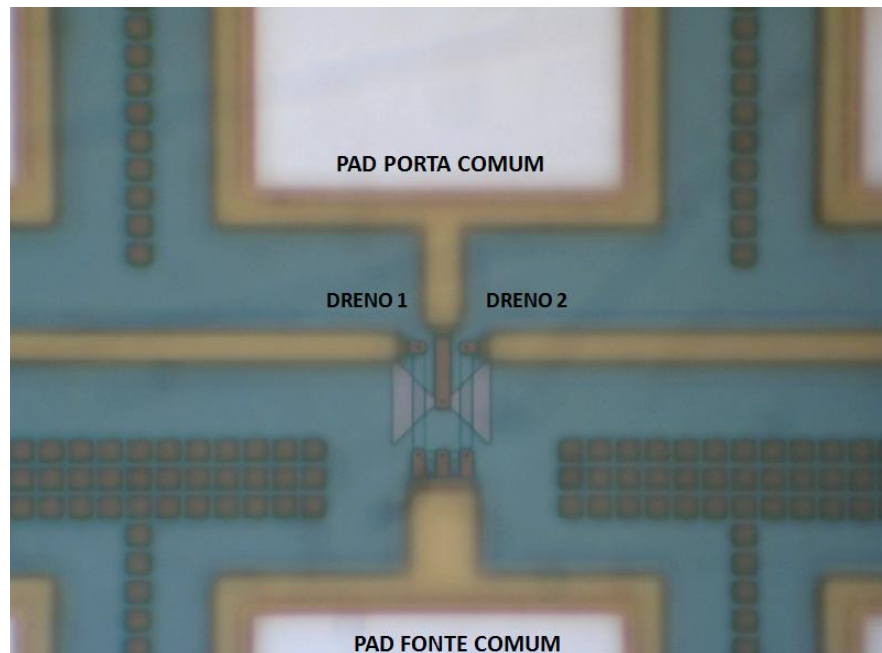


Figura 29 - Detalhe de imagem de microscópio de um dos dispositivos de porta trapezoidal desalinhamento de 105 nm

Fonte: MOSIS/FEI, 2013

3.4 Modelo de erro de desalinhamento

A Figura 30 mostra a estrutura estudada para avaliação de erros de alinhamentos, contemplando dois MOSFETs com porta e fonte compartilhadas e drenos independentes. Ao deslocar-se a estrutura da direita para a esquerda, diminui-se a corrente de dreno I_{D1} , e aumenta-se a corrente de dreno I_{D2} , pois o comprimento médio do canal aumenta no MOSFET 1 e diminui o comprimento médio de canal do MOSFET 2. Pode-se ainda notar as linhas equipotenciais paralelas às arestas da porta trapezoidal e a linha de corrente perpendicular a essas linhas equipotenciais.

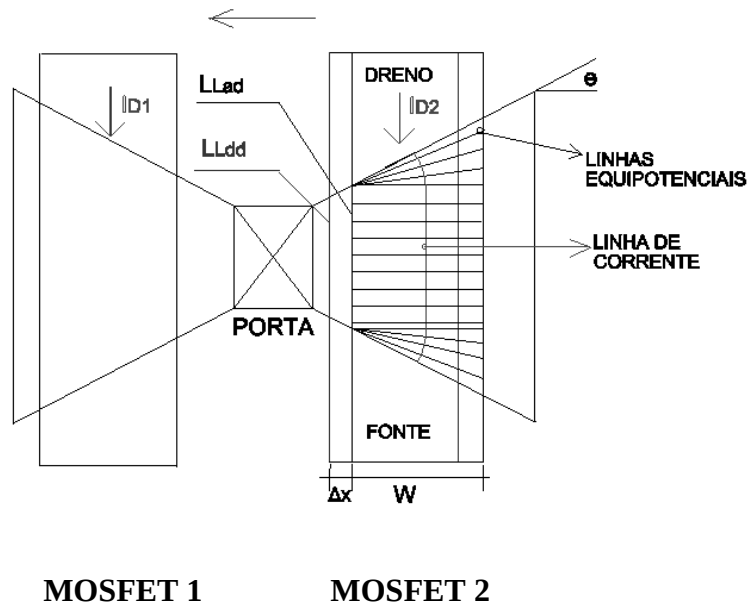


Figura 30 - Desalinhamento da estrutura de teste, mostrando as linhas de corrente e de potencial dentro do canal do MOSFET

Fonte: Autor “adaptado de” Giacomini ; Martino, 2004

O deslocamento Δ_x da estrutura será proporcional à diminuição ou aumento do valor da aresta menor do trapézio (L_L), para um ângulo Θ de 45° e W fixos na seguinte razão mostrada na equação 23.

$$\Delta_x = \frac{(LL_{ad} - LL_{dd})}{4} \quad (23)$$

Onde W é a altura do trapézio, ou largura do canal do transistor, LL_{ad} é a aresta menor do trapézio antes do deslocamento no sentido x , LL_{dd} é a aresta menor do trapézio depois do deslocamento no sentido x .

Para o equacionamento, medições e simulações foi utilizada a figura 31.

Onde L_{Ldd} e L_H são máximo e mínimo comprimentos de canal respectivamente.

Assim, após várias passagens matemáticas, chega-se à equação 26, que é o modelo de Giacomini e Martino, foco desse estudo e válido para desvios $\Delta_x \ll \ll \ll L_L$:

$$\Delta_x = \frac{I_{D1} - I_{D2}}{I_{D1} + I_{D2}} \cdot \frac{L_L^2 + 2\theta W L_L}{4\theta W t g \theta} \cdot \ln \frac{2\theta W + L_L}{L_L} \quad (26)$$

Onde o quociente $I_{D1} - I_{D2} / I_{D1} + I_{D2}$ é multiplicado pelo fator K, equação 27, um fator de proporcionalidade, que é o fator de forma do MOSFET, que definirá o desalinhamento Δ_x .

$$K = \frac{L_L^2 + 2\theta W L_L}{4\theta W t g \theta} \cdot \ln \frac{2\theta W + L_L}{L_L} \quad (27)$$

As figuras 32 e 33, mostram a variação linear do desvio Δ_x calculado com o modelo em relação ao fator K e ao ΔL_L :

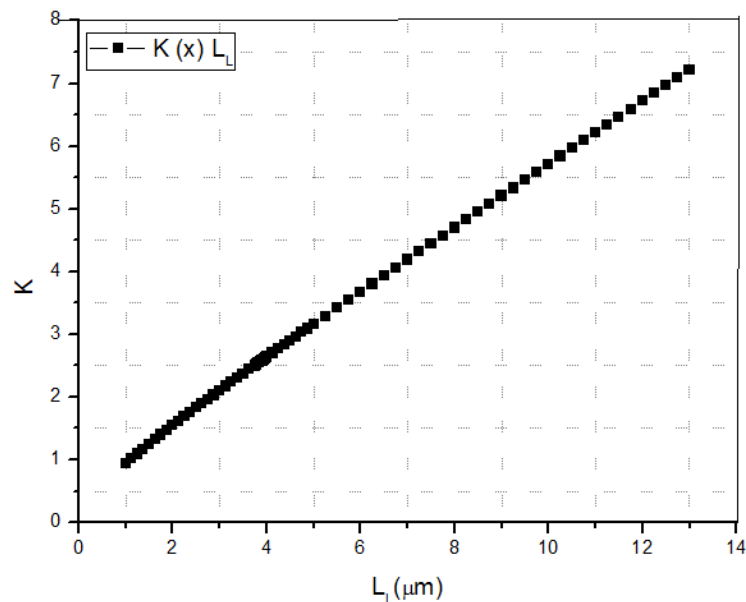


Figura 32 - Curva $L_L(x)$ fator K

Fonte: Autor, 2013

Na figura 32, no eixo horizontal da curva, L_L é a menor aresta da porta trapezoidal, antes do desalinhamento da estrutura e no eixo vertical da curva, K é a expressão que representa o fator de forma da porta do MOSFET e a linha diagonal formada pelos pontos calculados representa a variação praticamente linear do fator de forma da porta trapezoidal em relação à variação das dimensões da menor aresta da porta trapezoidal.

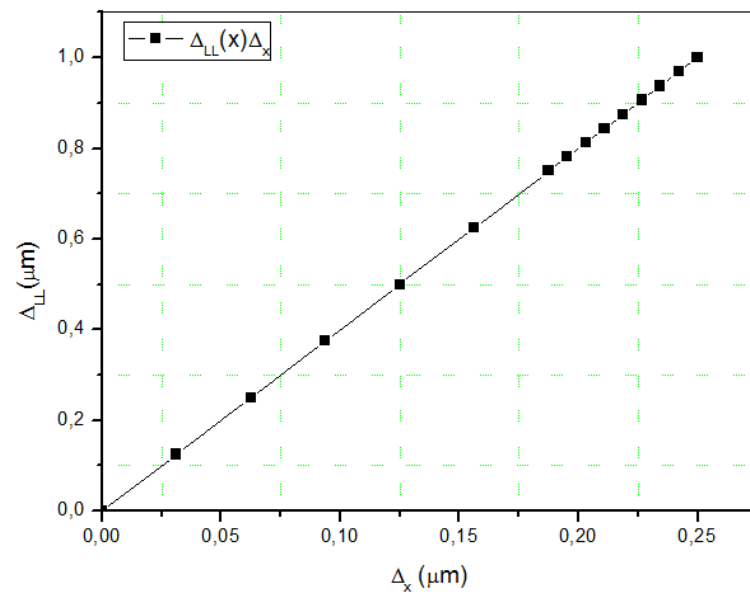


Figura 33 - Curva $\Delta_x(x) \Delta_{L_L}$

Fonte: Autor, 2013

Na figura 33, no eixo horizontal tem-se o deslocamento da porta do MOSFET e no eixo vertical a variação acarretada à menor aresta do trapézio, em uma relação linear.

4 SIMULAÇÕES NUMÉRICAS TRIDIMENSIONAIS

Neste capítulo será apresentada a ferramenta de simulação utilizada neste trabalho e também as estruturas que foram descritas no simulador para realização do estudo.

Apesar dos dispositivos simulados serem planares, a simulação tridimensional se fez necessária, pois o comprimento do canal de um dispositivo de porta trapezoidal varia com a largura do dispositivo, diferentemente de um dispositivo de porta retangular.

4.1 O Simulador Atlas

As simulações realizadas para este trabalho foram feitas utilizando o Simulador de Dispositivos Atlas, da empresa Silvaco.

O Simulador Atlas é baseado em um conjunto de equações físicas (modelos analíticos) que permitem obter características elétricas associadas às estruturas físicas e às condições de polarização. O dispositivo a ser simulado é descrito através de uma grade de pontos (*grid*) bi ou tridimensional. Para cada cruzamento das linhas de grade, chamado de nó (*node*), o simulador resolve numericamente esse conjunto de equações.

Com o Atlas é possível obter, além das curvas características elétricas dos dispositivos simulados, variáveis internas da estrutura como potencial elétrico, densidade de corrente, campo elétrico, entre outros.

Para criar o arquivo de simulação, primeiro deve ser descrita uma grade de pontos compatível com a estrutura a ser simulada. Para isso, devem-se concentrar mais pontos de grade nas regiões onde há mudança de materiais ou de concentração de dopantes. Depois, devem ser definidas as regiões e os eletrodos do dispositivo.

Em seguida, é necessário definir os modelos físicos que melhor se aplicam ao que será estudado no dispositivo, polarizá-lo e solicitar que sejam salvas as curvas e estruturas desejadas para visualização dos resultados.

4.2 Estruturas simuladas

Foram simulados dispositivos convencionais BULK e SOI de portas trapezoidais de canal n variando-se os comprimentos de canal e mantendo-se a largura de canal do MOSFET, W constante. As Figuras 34 e 35 mostram as estruturas tridimensionais implementadas no simulador Atlas, e as Tabelas 1 e 2, mostram as dimensões dos dispositivos simulados. Os arquivos de simulação encontram-se ao final nos anexos A, B, C e D.

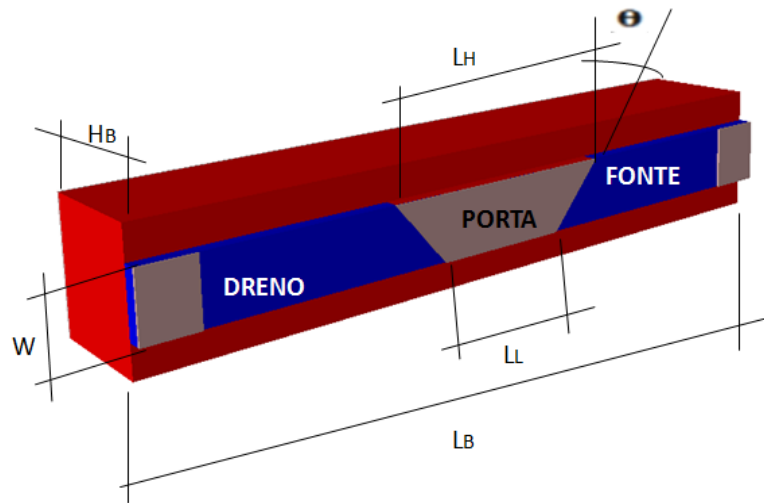


Figura 34 - Características do dispositivo simulado Bulk

Fonte: Autor, 2012

Tabela 1 - Dimensões da estrutura BULK criada em 3D no simulador ATLAS

L_H (μm)	17,00 a 5,00
L_L (μm)	13,00 a 1,00
L_B (μm)	27
W (μm)	2
H_B (μm)	5
H_j (μm)	0,5
N_A (cm^{-3})	1×10^{17}
N_D (cm^{-3})	1×10^{19}
ρ_C (Ωcm^2)	1×10^{-8}
t_{ox} (nm)	10
Angle (θ°)	45

Fonte: Autor, 2012

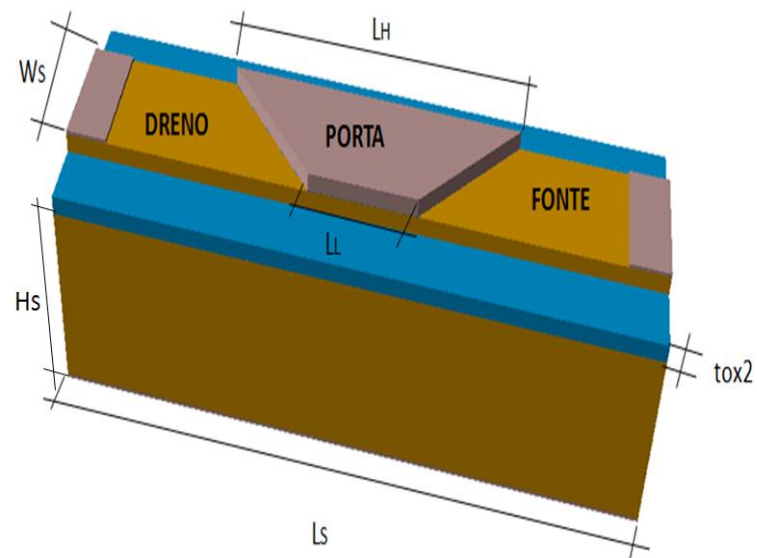


Figura 35 - Características do dispositivo simulado SOI

Fonte: Autor, 2012

Tabela 2 - Dimensões da estrutura SOI criada em 3D no simulador ATLAS

L_H (μm)	17,00 a 5,00
L_L (μm)	13,00 a 1,00
L_S (μm)	27
W (μm)	2
W_S (μm)	2
H_j (μm)	0,50
H_S (μm)	5
N_D (cm^{-3})	1×10^{19}
N_A (cm^{-3})	1×10^{17}
t_{ox1} (nm)	10
t_{ox2} (nm)	400
Angle ($^\circ$)	45

Fonte: Autor, 2012

Foram utilizados nas simulações, os modelos físicos do simulador Atlas, conforme descrito abaixo:

- a) Fermi: modelo que utiliza a estatística de portadores de Fermi-Dirac para solução das equações;
- b) BGN (*Band Gap Narrowing*): trata do estreitamento da faixa proibida que torna se importante para regiões com altas dopagens;
- c) SRH (*Shockley Read Hall*): modelo de geração e recombinação de portadores com tempo de vida de portadores fixo;
- d) SHI (*Shirahata*): modelo de mobilidade que leva em consideração a degradação da mobilidade das camadas de inversão pelos campos elétricos vertical e horizontal provocado pela porta;
- e) FLDMOB (*Lateral Field Mobility Degradation Model*): modelo de degradação da mobilidade pelo campo elétrico lateral.

Todas as simulações foram feitas para a região de saturação com polarização de dreno (V_D) de 4,0 V, com tensão de porta (V_G) variando de 0 a 2,5 V. Para ambos os MOSFETS BULK e SOI, dopou-se o substrato (tipo p) com impurezas aceitadoras, $N_A = 1 \times 10^{17} \text{ cm}^{-3}$ e dreno e fonte (tipo n) com impurezas doadoras, $N_D = 1 \times 10^{19} \text{ cm}^{-3}$.

5 RESULTADOS OBTIDOS

Neste capítulo serão apresentados os resultados obtidos comparando o modelo proposto com os dados extraídos de simulação e com dados experimentais obtidos da literatura.

Finalmente, o modelo será comparado a dados experimentais.

5.1 Resultados simulações Bulk/SOI

As figuras 36 a 47 mostram as curvas comparativas das simulações dos dispositivos Bulk/SOI e seus respectivos erros percentuais em relação ao modelo estudado, equações 28 e 29, representado pelo desvio teórico nas faixas de desvio de porta entre 0 nm a 250 nm, para 12 dimensões de portas trapezoidais.

$$ERRO \%(POR \ DESVIO) = \frac{DESVIO \ SIMULADO(BULK \ E \ SOI) - DESVIO \ TEÓRICO}{DESVIO \ TEÓRICO} * 100\% \quad (28)$$

$$ERRO \%(POR \ FAIXA) = \frac{\sum ERROS \ %(POR \ DESVIO)}{n_{desvios}} \quad (29)$$

Onde: $n_{desvios}$, representa o número de desvios intencionais por faixa simulada.

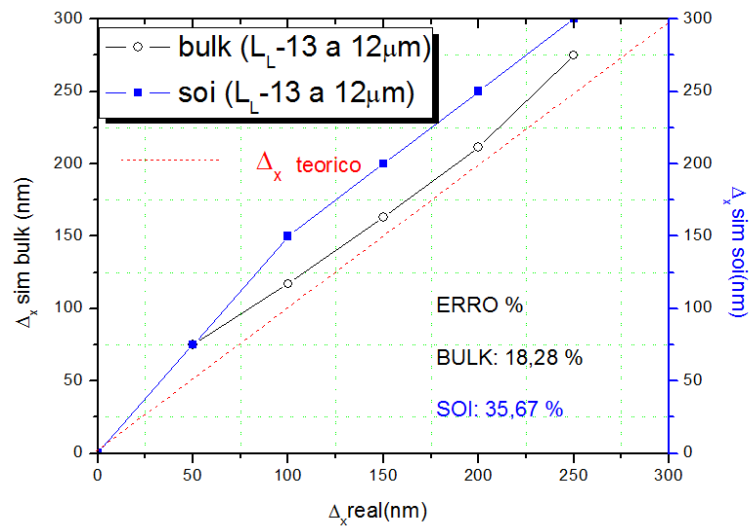


Figura 36 - Curvas desvios simulados versus desvio real/teórico, para faixa de aresta menor do trapézio de 13 a 12 μm , para tecnologias bulk e soi.

Fonte: Autor, 2013

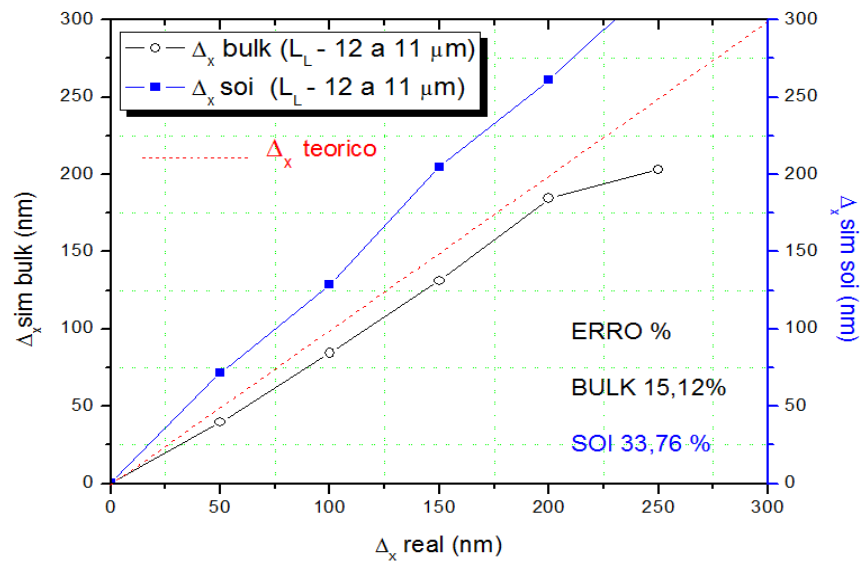


Figura 37 - Curvas desvios simulados versus desvio real/teórico, para faixa de aresta menor do trapézio de 12 a 11 μm , para tecnologias bulk e soi.

Fonte: Autor, 2013

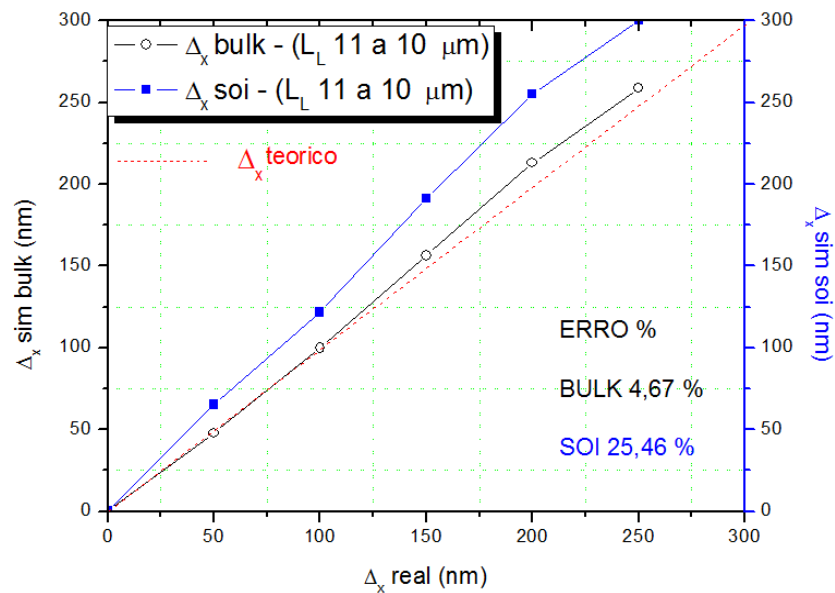


Figura 38 - Curvas desvios simulados versus desvio real/teórico, para faixa de aresta menor do trapézio de 11 a 10 μm , para tecnologias bulk e soi.

Fonte: Autor, 2013

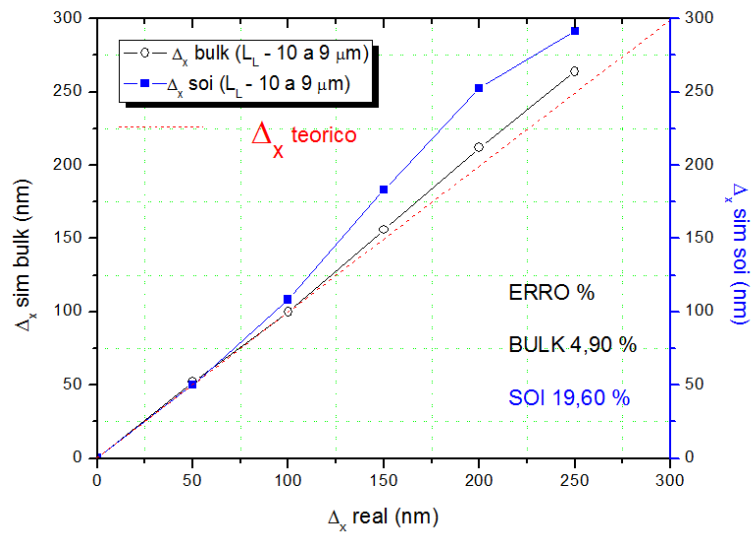


Figura 39 - Curvas desvios simulados versus desvio real/teórico, para faixa de aresta menor do trapézio de 10 a 9 μm , para tecnologias bulk e soi.

Fonte: Autor, 2013

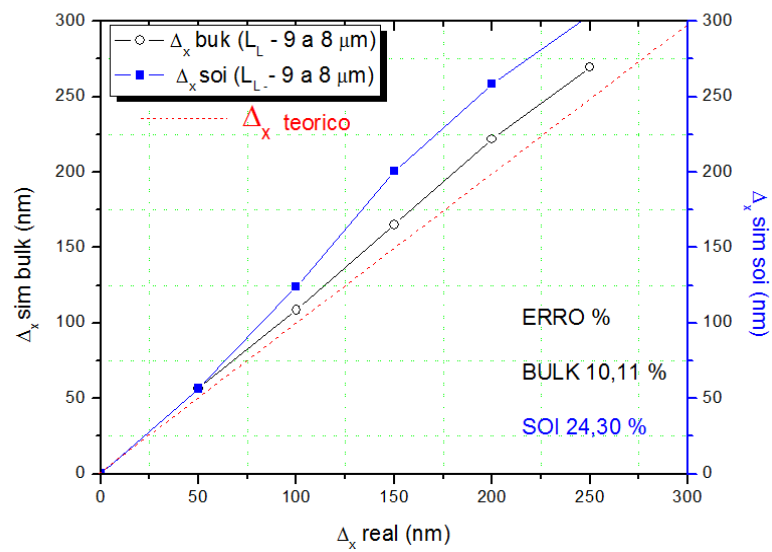


Figura 40 - Curvas desvios simulados versus desvio real/teórico, para faixa de aresta menor do trapézio de 9 a 8 μm , para tecnologias bulk e soi.

Fonte: Autor, 2013

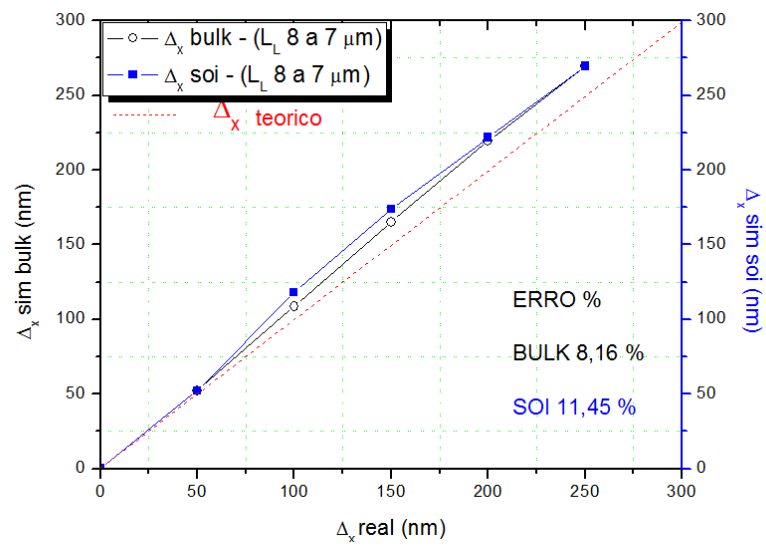


Figura 41 - Curvas desvios simulados versus desvio real/teórico, para faixa de $a \mu\text{m}$, para tecnologias bulk e soi.

Fonte: Autor, 2013

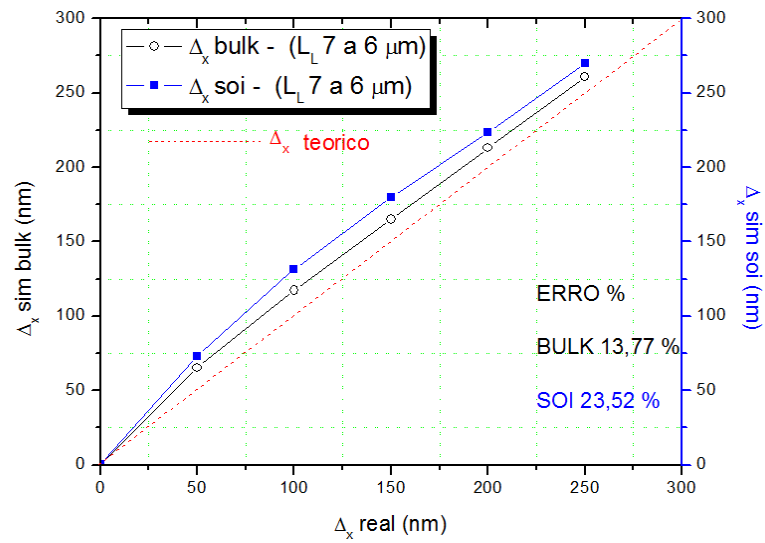


Figura 42 - Curvas desvios simulados versus desvio real/teórico, para faixa de aresta menor do trapézio de 7 a 6 μm , para tecnologias bulk e soi.

Fonte: Autor, 2013

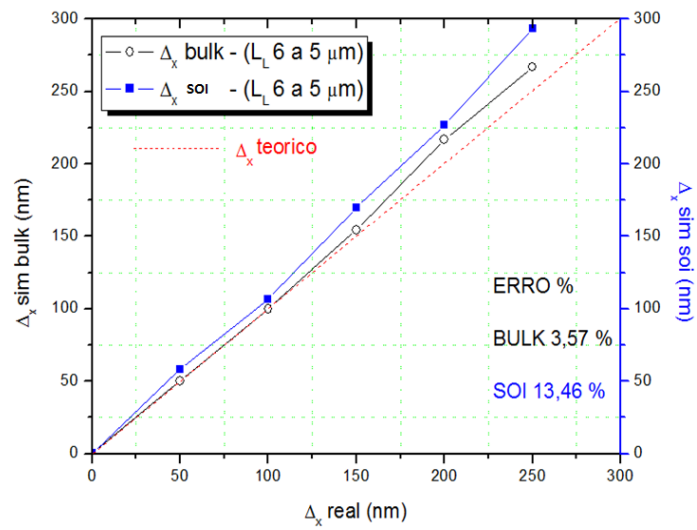


Figura 43 - Curvas desvios simulados versus desvio real/teórico, para faixa de aresta menor do trapézio de 6 a 5 μm , para tecnologias bulk e soi.

Fonte: Autor, 2013

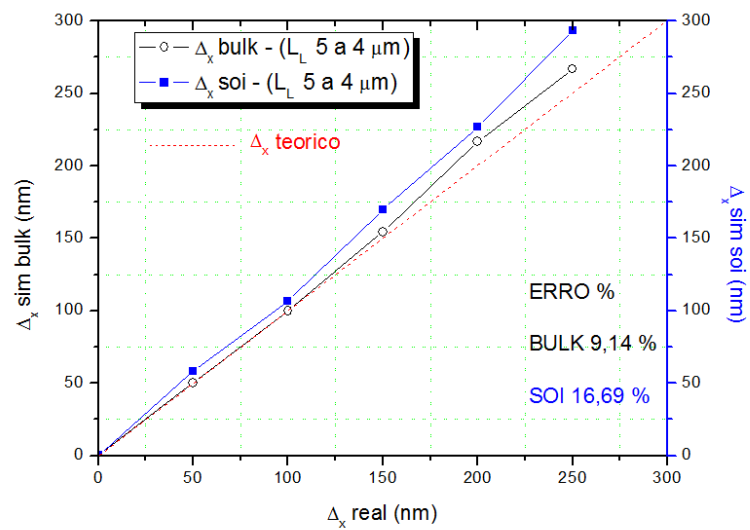


Figura 44 - Curvas desvios simulados versus desvio real/teórico, para faixa de aresta menor do trapézio de 5 a 4 μm , para tecnologias bulk e soi.

Fonte: Autor, 2013

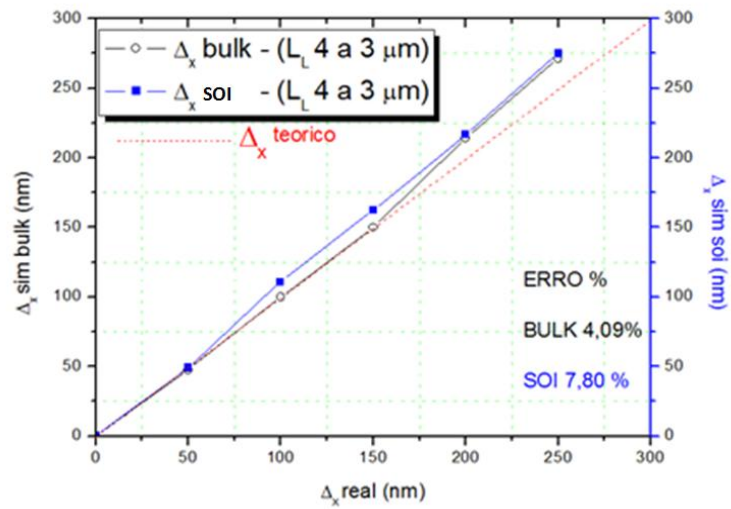


Figura 45 - Curvas desvios simulados versus desvio real/teórico, para faixa de aresta menor do trapézio de 4 a 3 μm , para tecnologias bulk e soi.

Fonte: Autor, 2013

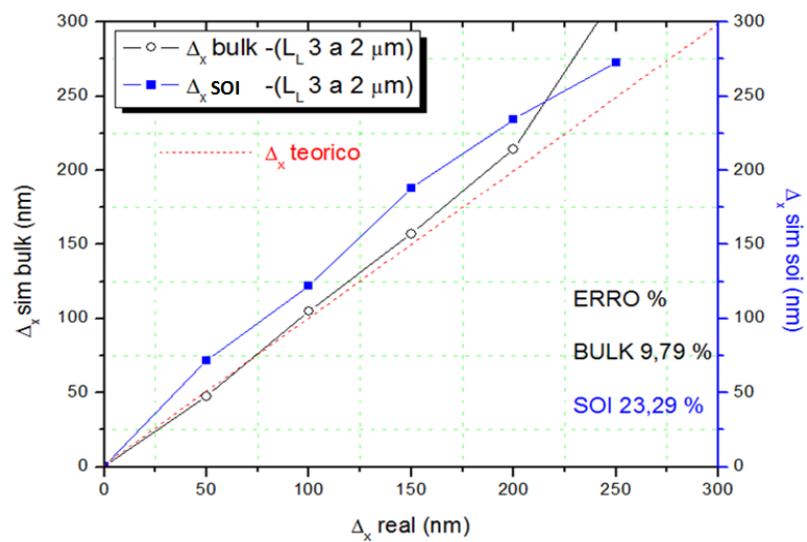


Figura 46 - Curvas desvios simulados versus desvio real/teórico, para faixa de aresta menor do trapézio de 3 a 2 μm , para tecnologias bulk e soi.

Fonte: Autor, 2013

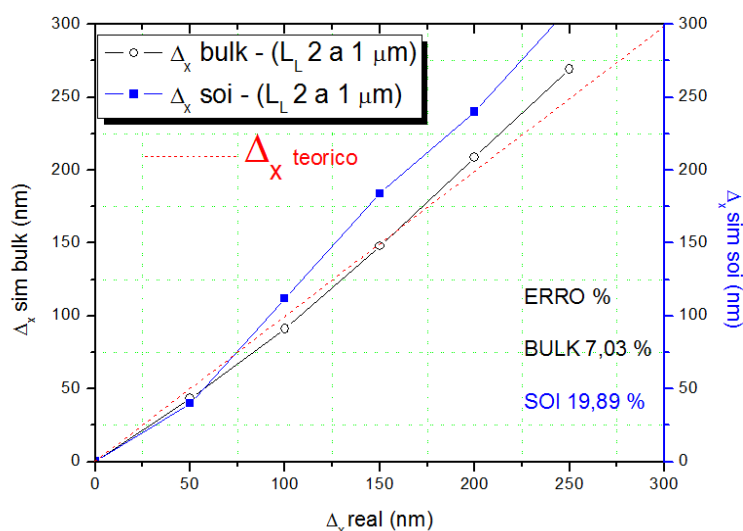


Figura 47 - Curvas desvios simulados versus desvio real/teórico, para faixa de aresta menor do trapézio de 2 a 1 μm , para tecnologias bulk e soi.

Fonte: Autor, 2013

Nota-se praticamente em todas as curvas, uma abertura em relação ao desvio teórico na faixa de 250 nm de desvio, onde o modelo analisado fica menos preciso, pois como condição pré-estabelecida pelo modelo, o desvio Δ_x deve ser muito menor que a aresta menor do trapézio (L_L) antes do desalinhamento da estrutura. Tal fato deve-se à grade de pontos simulada nas arestas do trapézio serem oblíquas e às dimensões dos dispositivos em uma faixa larga de comprimento de canal que vai de 1 μm a 13 μm , sendo que para um comprimento de canal de 1 μm um desvio de 250 nm representa 25 % do comprimento de canal e para um canal de 13 μm de comprimento um desvio de 250 nm representa apenas 1,92 % da dimensão do canal.

As tabelas 3, 4, 5, 6 e 7 formam um quadro comparativo dos desvios simulados por faixa de desvio de porta de 0 nm a 250 nm.

Tabela 3 - Quadro Comparativo BULK/SOI para desvios de 50 nm

FAIXA	W	L1D1	LHD1	L1D2	LHD2	Δx IDEAL	Δx BULK EXTRAÍDO	ERRO BULK	Δx SOI EXTRAÍDO	ERRO SOI
NUMERO	nm	nm	nm	nm	nm	nm	nm	%	nm	%
1	2000	12200	16200	12000	16000	50	75,00	50,00	75,00	50,00
2	2000	11200	15200	11000	15000	50	39,54	-20,92	71,43	42,86
3	2000	10200	14200	10000	14000	50	47,82	-4,36	65,22	30,44
4	2000	9200	13200	9000	13000	50	52,00	4,00	50,00	0,00
5	2000	8200	12200	8000	12000	50	56,52	13,04	56,52	13,04
6	2000	7200	11200	7000	11000	50	52,17	4,34	52,17	4,34
7	2000	6200	10200	6000	10000	50	65,22	30,44	73,14	46,28
8	2000	5200	9200	5000	9000	50	50,01	0,02	58,33	16,67
9	2000	4200	8200	4000	8000	50	65,22	30,44	59,99	19,98
10	2000	3200	7200	3000	7000	50	47,61	-4,78	49,17	-1,66
11	2000	2200	6200	2000	6000	50	47,61	-4,78	71,43	42,86
12	2000	1200	5200	1000	5000	50	43,48	-13,04	40,00	-20,00

Fonte: Autor, 2014

Tabela 4 - Quadro Comparativo BULK/SOI para desvios de 100 nm

FAIXA	W	L1D1	LHD1	L1D2	LHD2	Δx IDEAL	Δx BULK EXTRAÍDO	ERRO BULK	Δx SOI EXTRAÍDO	ERRO SOI
NUMERO	nm	nm	nm	nm	nm	nm	nm	%	nm	%
1	2000	12400	16400	12000	16000	100	117,00	17,00	150,00	50,00
2	2000	11400	15400	11000	15000	100	84,37	-15,63	128,55	28,55
3	2000	10400	14400	10000	14000	100	100,00	0,00	121,74	21,74
4	2000	9400	13400	9000	13000	100	100,00	0,00	108,33	8,33
5	2000	8400	12400	8000	12000	100	108,70	8,70	123,92	23,92
6	2000	7400	11400	7000	11000	100	108,70	8,70	118,27	18,27
7	2000	6400	10400	6000	10000	100	117,39	17,39	131,56	31,56
8	2000	5400	9400	5000	9000	100	100,03	0,03	106,66	6,66
9	2000	4400	8400	4000	8000	100	100,04	0,04	117,32	17,32
10	2000	3400	7400	3000	7000	100	100,00	0,00	110,84	10,84
11	2000	2400	6400	2000	6000	100	104,74	4,74	122,14	22,14
12	2000	1400	5400	1000	5000	100	91,31	-8,69	112,00	12,00

Fonte: Autor, 2014

Tabela 5 - Quadro Comparativo BULK/SOI para desvios de 150 nm

FAIXA	W	L1D1	L1D1	L1D2	L1D2	Δx IDEAL	Δx BULK EXTRAÍDO	ERRO BULK	Δx SOI EXTRAÍDO	ERRO SOI
NUMERO	nm	nm	nm	nm	nm	nm	nm	%	nm	%
1	2000	12600	16800	12000	16000	150	163,13	8,75	200,00	33,33
2	2000	11600	15600	11000	15000	150	131,25	-5,83	204,72	36,48
3	2000	10600	14600	10000	14000	150	156,53	4,35	191,31	27,54
4	2000	9600	13600	9000	13000	150	156,00	4,00	183,30	22,20
5	2000	8600	12600	8000	12000	150	165,22	10,15	206,53	37,68
6	2000	7600	11600	7000	11000	150	165,22	10,15	173,92	15,95
7	2000	6600	10600	6000	10000	150	165,22	10,15	179,98	19,97
8	2000	5600	9600	5000	9000	150	154,22	2,81	169,98	13,32
9	2000	4600	8600	4000	8000	150	156,53	4,35	169,98	13,32
10	2000	3600	7600	3000	7000	150	149,97	-0,02	162,24	8,16
11	2000	2600	6600	2000	6000	150	157,11	4,74	187,84	25,23
12	2000	1600	5600	1000	5000	150	147,83	-1,45	184,00	22,67

Fonte: Autor, 2014

Tabela 6 - Quadro Comparativo BULK/SOI para desvios de 200 nm

FAIXA	W	L1D1	L1D1	L1D2	L1D2	Δx IDEAL	Δx BULK EXTRAÍDO	ERRO BULK	Δx SOI EXTRAÍDO	ERRO SOI
NUMERO	nm	nm	nm	nm	nm	nm	nm	%	nm	%
1	2000	12800	16800	12000	16000	200	211,32	5,66	250,00	25,00
2	2000	11800	15800	11000	15000	200	184,37	-7,82	260,90	30,45
3	2000	10800	14800	10000	14000	200	213,05	6,52	255,23	27,62
4	2000	9800	13800	9000	13000	200	212,00	6,00	252,46	26,23
5	2000	8800	12800	8000	12000	200	221,75	10,87	258,27	29,14
6	2000	7800	11800	7000	11000	200	219,57	9,78	221,75	10,88
7	2000	6800	10800	6000	10000	200	213,05	6,53	223,55	11,78
8	2000	5800	9800	5000	9000	200	216,74	8,37	226,65	13,32
9	2000	4800	8800	4000	8000	200	213,05	6,53	230,99	15,49
10	2000	3800	7800	3000	7000	200	214,24	7,12	216,68	8,34
11	2000	2800	6800	2000	6000	200	214,24	7,12	234,27	17,14
12	2000	1800	5800	1000	5000	200	208,70	4,35	240,00	20,00

Fonte: Autor, 2014

Tabela 7 - Quadro Comparativo BULK/SOI para desvios de 250 nm

FAIXA	W	L1D1	LHD1	L1D2	LHD2	Δx IDEAL	Δx BULK EXTRAÍDO	ERRO BULK	Δx SOI EXTRAÍDO	ERRO SOI
NUMERO	nm	nm	nm	nm	nm	nm	nm	%	nm	%
1	2000	13000	17000	12000	16000	250	275,00	10,00	300,00	20,00
2	2000	12000	16000	11000	15000	250	203,12	-18,75	326,13	30,45
3	2000	11000	15000	10000	14000	250	258,71	4,48	300,01	20,00
4	2000	10000	14000	9000	13000	250	264,00	5,60	291,62	16,65
5	2000	9000	13000	8000	12000	250	269,58	7,83	304,36	21,74
6	2000	8000	12000	7000	11000	250	269,58	7,83	269,57	7,83
7	2000	7000	11000	6000	10000	250	260,88	4,35	269,97	7,83
8	2000	6000	10000	5000	9000	250	266,75	6,70	293,31	7,98
9	2000	5000	9000	4000	8000	250	260,88	4,35	293,31	17,32
10	2000	4000	8000	3000	7000	250	271,38	8,55	275,02	10,00
11	2000	3000	7000	2000	6000	250	318,98	27,59	272,83	9,13
12	2000	2000	6000	1000	5000	250	269,08	7,63	312,00	24,80

Fonte: Autor, 2014

As figuras 48 e 49, foram extraídas das tabelas 3, 4, 5, 6 e 7 e resumem as simulações dos dispositivos Bulk e SOI comparando-as aos desvios ideais da máscara de porta em relação ao canal do MOSFET estudado.

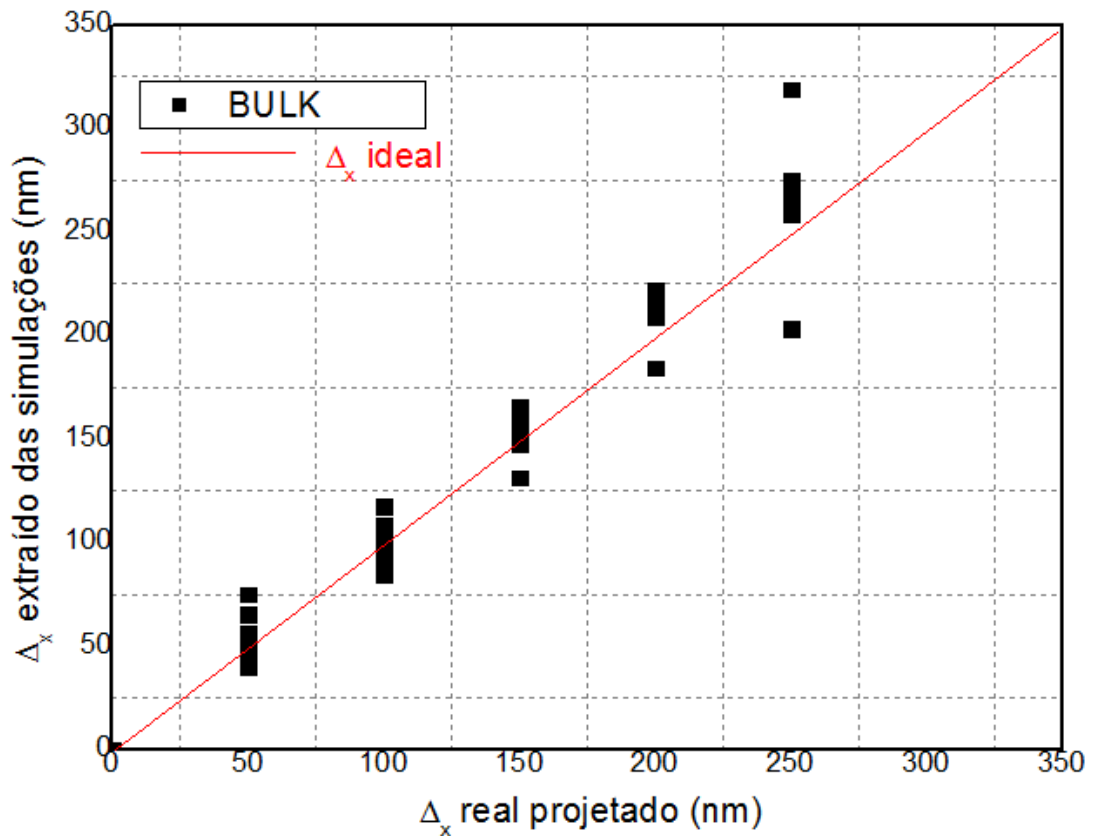


Figura 48 - Curva dos desvios simulados para dispositivo BULK na faixa de 0 nm a 250 nm

Fonte: Autor, 2014

Na figura 48, no eixo horizontal, Δ_x real representa o desvio intencional projetado para o dispositivo convencional bulk, no eixo y, Δ_x simulado é o resultado extraído das simulações para dispositivo convencional bulk e que devem ser comparados à linha diagonal que representa o desvio ideal, que é o resultado que se busca para aferição do modelo em estudo.

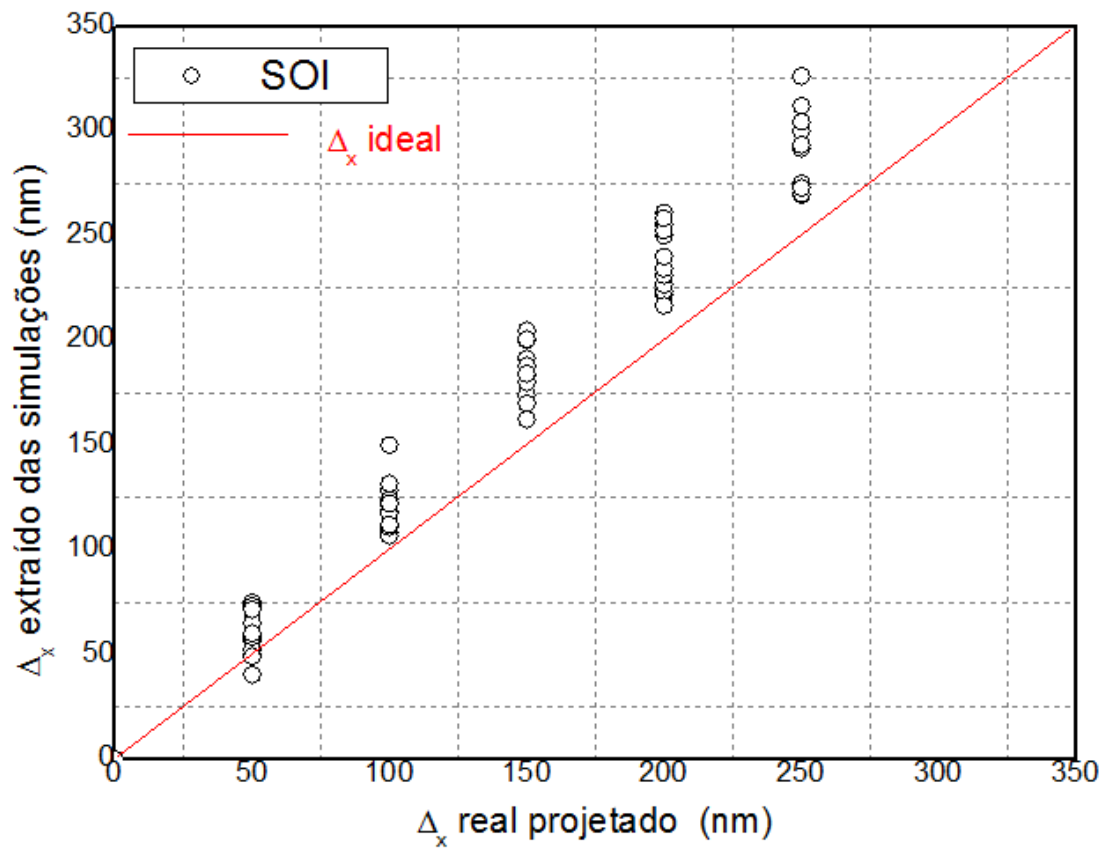


Figura 49 - Curva dos desvios simulados para dispositivo SOI na faixa de 0 nm a 250 nm

Fonte: Autor, 2014

Na figura 49, no eixo horizontal, Δ_x real representa o desvio intencional projetado para dispositivo SOI, no eixo y, Δ_x simulado é o resultado extraído das simulações para o dispositivo SOI e que devem ser comparados à linha diagonal que representa o desvio ideal, que é o resultado que se busca para aferição do modelo em estudo.

5.2 Cortes típicos

A figura 50 mostra as linhas equipotenciais logo abaixo ao óxido de porta, desde o dreno até a fonte do MOSFET, essas linhas são paralelas às arestas do trapézio, como esperado, até a região central da porta onde a porta assume a forma retangular:

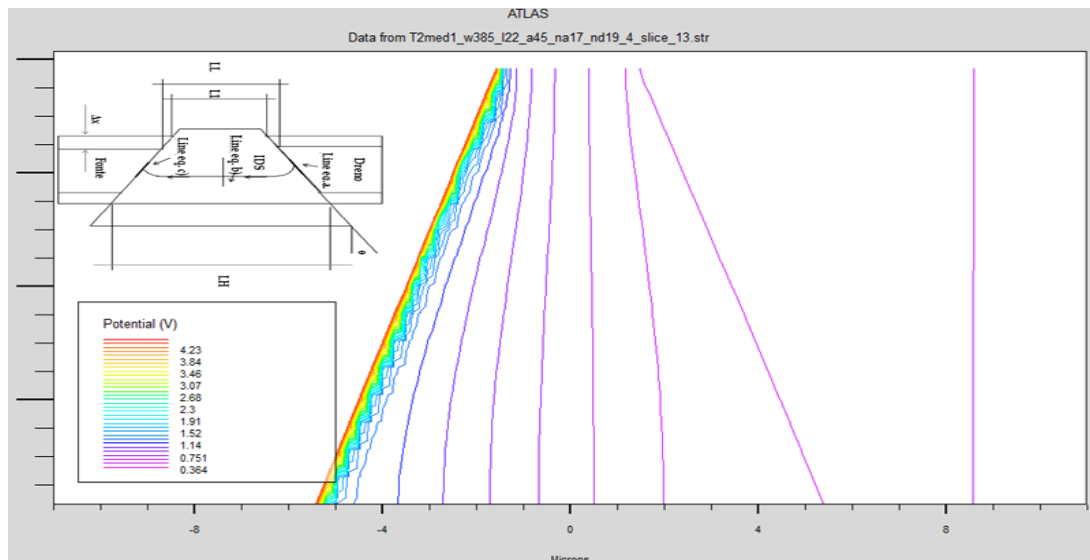


Figura 50 - Corte típico na estrutura Bulk simulada logo abaixo ao óxido de porta mostrando as linhas equipotenciais

Fonte: Autor, 2014

A figura 51, mostra as linhas de densidade de corrente, e como esperado a maior densidade de corrente fica próxima ao dreno:

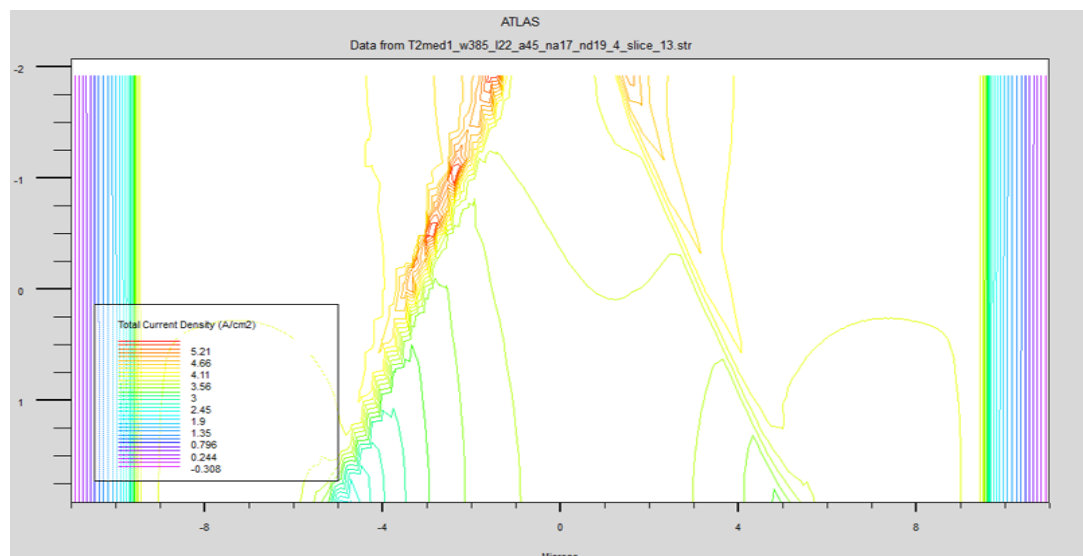


Figura 51 - Corte típico na estrutura Bulk simulada, logo abaixo óxido de porta, mostrando a densidade de corrente próxima ao dreno do MOSFET.

Fonte: Autor, 2014

A figura 52 apresenta um corte no meio da região ativa do canal, novamente mostrando a densidade de corrente no interior do mesmo no sentido transversal, eixos x e z:

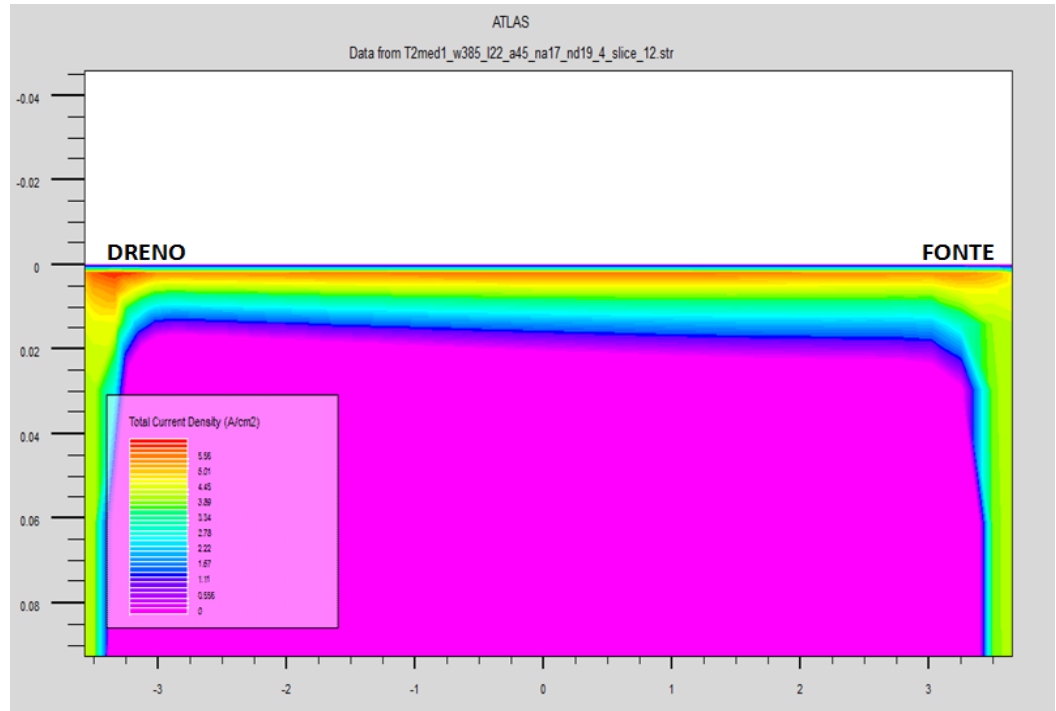


Figura 52 - Corte transversal na região ativa do canal mostrando a densidade de corrente

Fonte: Autor, 2014

Na figura 52, observa-se a região de dreno à esquerda com maior densidade de corrente.

5.3 Medidas realizadas

Foram realizadas medidas experimentais em 30 conjuntos MOSFETs de portas trapezoidais, com fonte em comum, totalizando 60 MOSFETs, onde foram caracterizadas as curvas: $I_{Dx}V_G$, para V_D de 1 a 4 V, com passo de 1 V, $I_{Dx}V_G$, para V_D de 50 mV e $I_{Dx}V_D$, para V_G de 0 a 5 V com passo de 0,5 V. Os equipamentos utilizados para extração das curvas foram o Agilent 4156 e microprovador Cascade, da Microtech.

5.3.1 Curvas características

As figuras 53, 54 e 55 mostram as curvas características extraídas dos MOSFETs com desvio de porta de 0 nm.

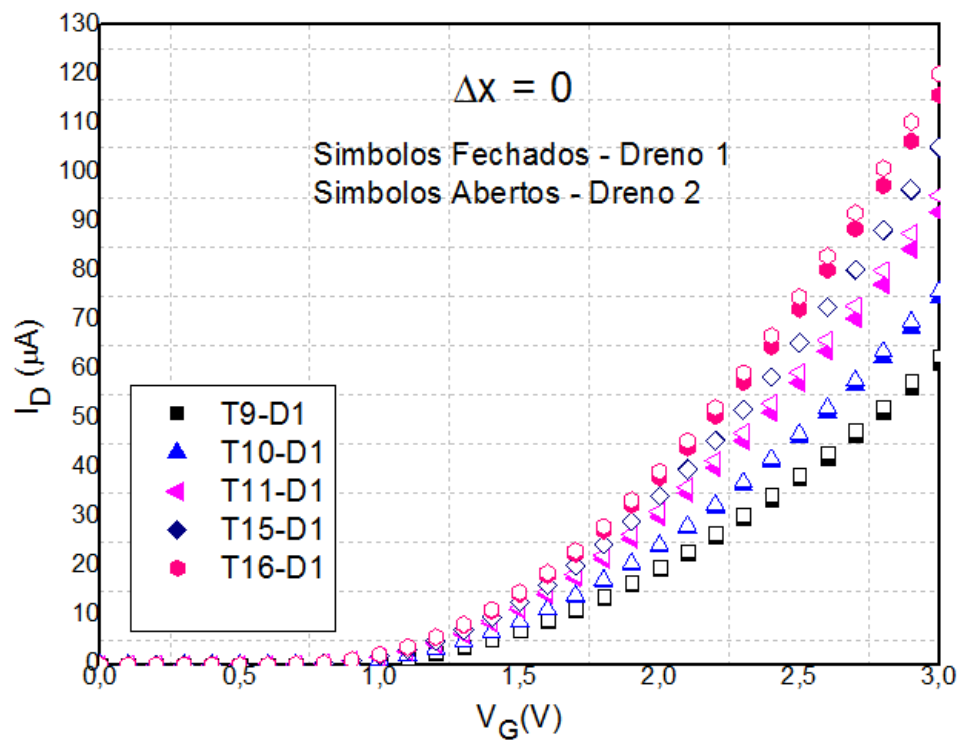


Figura 53 - Curvas $I_{Dx}V_G$, conjunto de MOSFETs com desvio de porta de 0 nm, $V_D=4,0$ V

Fonte: Autor, 2014

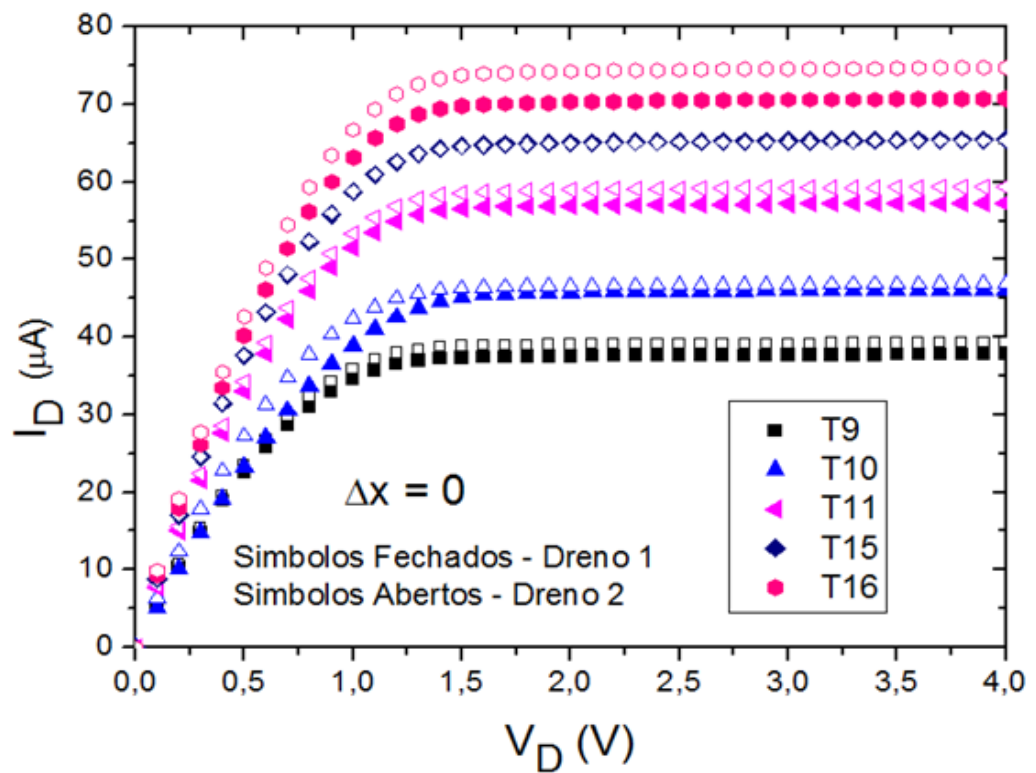


Figura 54 - Curvas $I_D \times V_D$, conjunto de MOSFETs com desvio de porta de 0 nm, $V_G=2,5$ V

Fonte: Autor, 2014

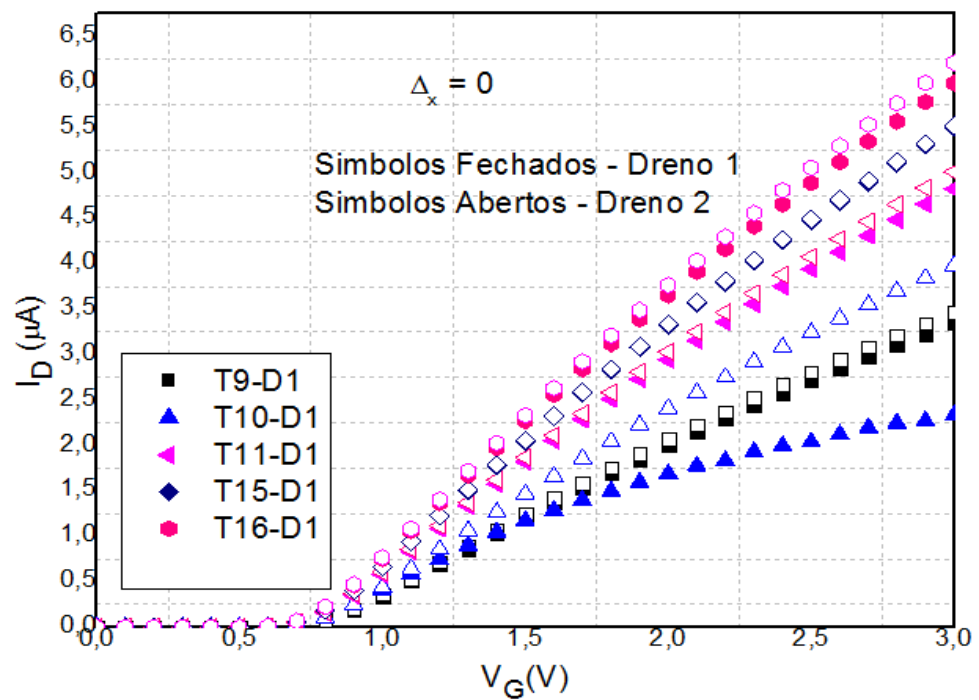


Figura 55 - Curvas $I_D \times V_G$, para $V_D=50$ mV, conjunto de MOSFETs com desvio de porta de 0 nm

Fonte: Autor, 2014

As figuras 56, 57 e 58 mostram as curvas características extraídas para os MOSFETs com desvio de porta na faixa de 43,75 nm.

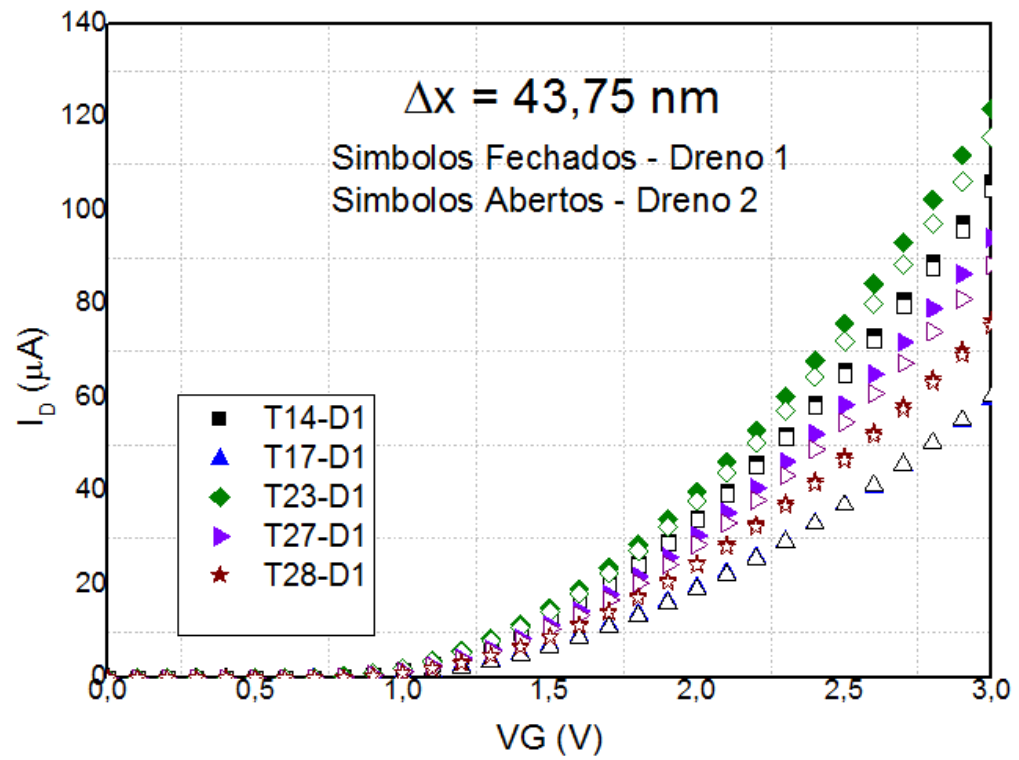


Figura 56 - Curva $I_D \times V_G$, conjunto de MOSFETs com desvio de porta de 43,75 nm, $V_D=4,0 \text{ V}$

Fonte: Autor, 2014

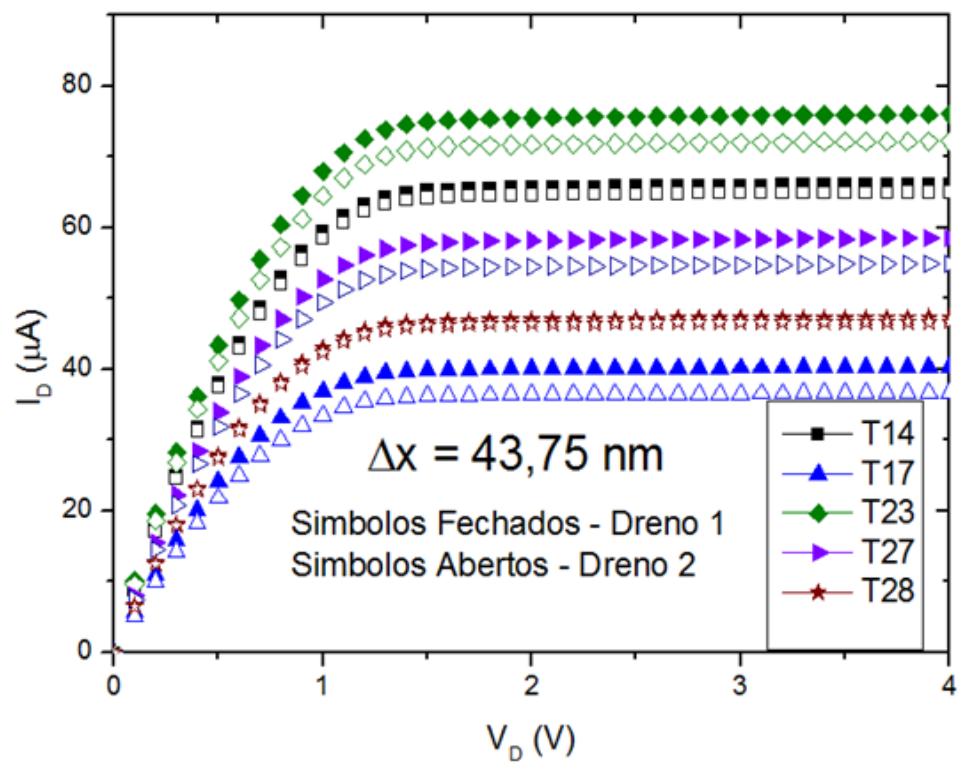


Figura 57 - Curva $I_D \times V_D$, conjunto de MOSFETs com desvio de porta de 43,75 nm, $V_G=2,5 \text{ V}$

Fonte: Autor, 2014

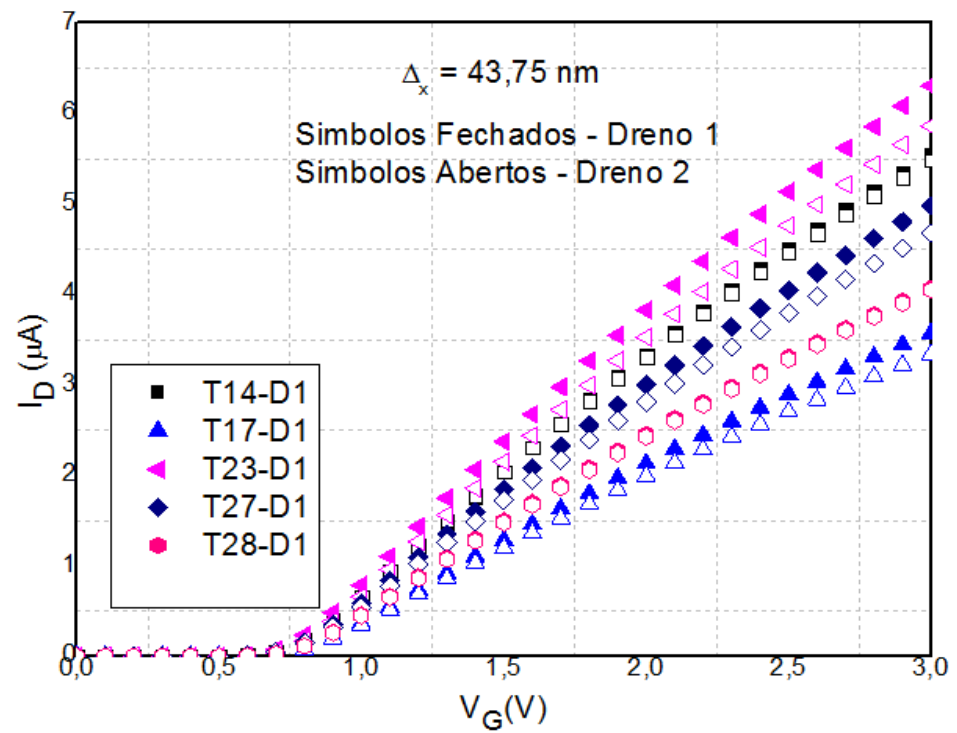


Figura 58 - Curvas $I_D \times V_G$, para $V_D=50 \text{ mV}$, conjunto de MOSFETs com desvio de porta de 43,75 nm

Fonte: Autor, 2014

As figuras 59, 60 e 61 mostram as curvas características extraídas para os MOSFETs com desvio de porta de 105 nm.

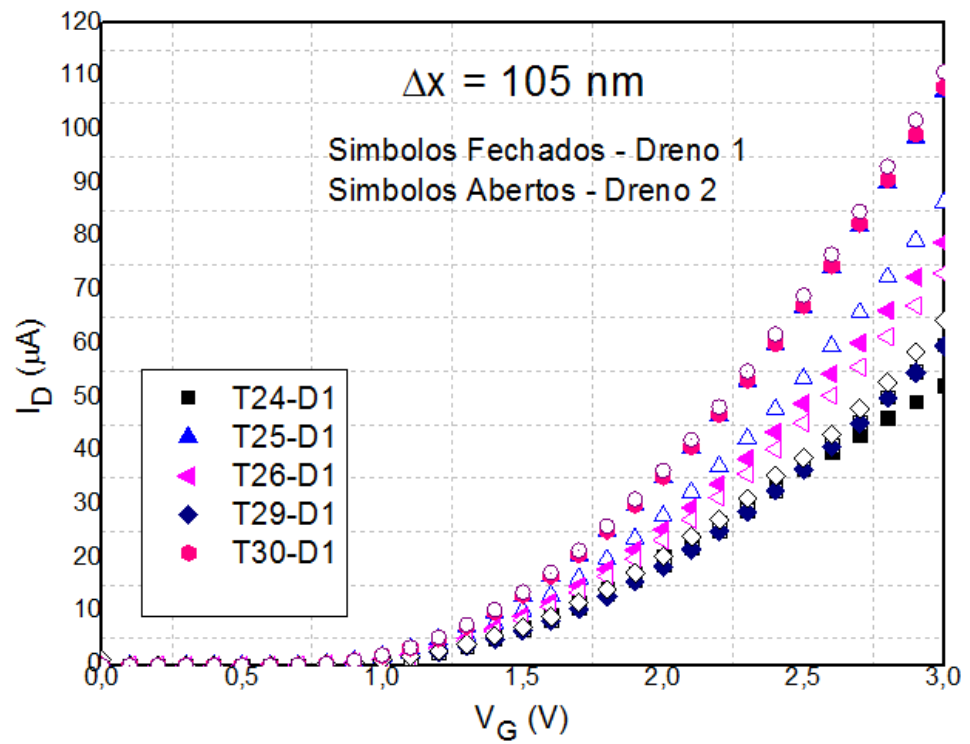


Figura 59 - Curva $I_D \times V_G$, conjunto de MOSFETs com desvio de porta de 105 nm, $V_D=4,0$ V

Fonte: Autor, 2014

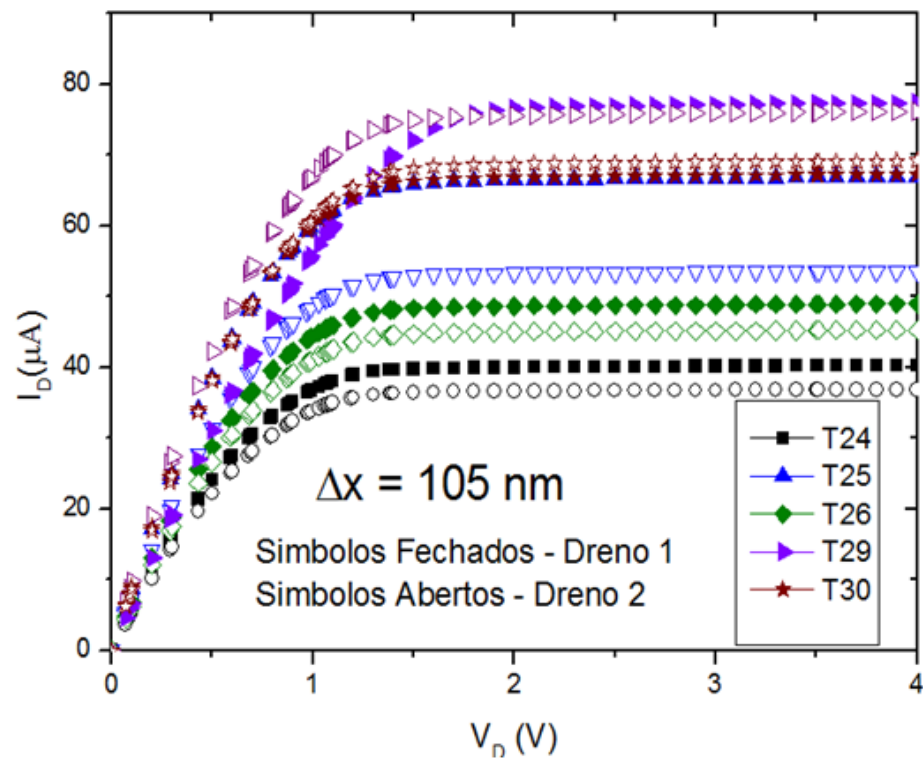


Figura 60 - Curva $I_D \times V_D$, conjunto de MOSFETs com desvio de porta de 105 nm, $V_G=2,5$ V

Fonte: Autor, 2014

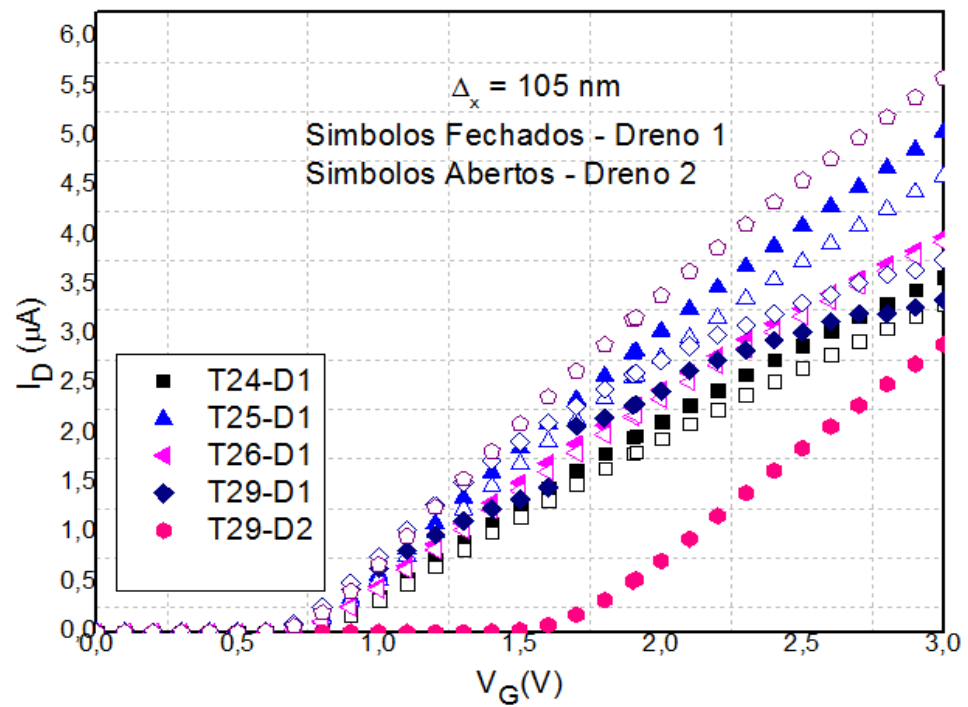


Figura 61 - Curvas $I_D \times V_G$, $V_D = 50$ mV, conjunto de MOSFETs com desvio de porta de 105 nm

Fonte: Autor, 2014

As figuras 62, 63 e 64 mostram as curvas características extraídas para os MOSFETs com desvio de porta na faixa de 245 nm.

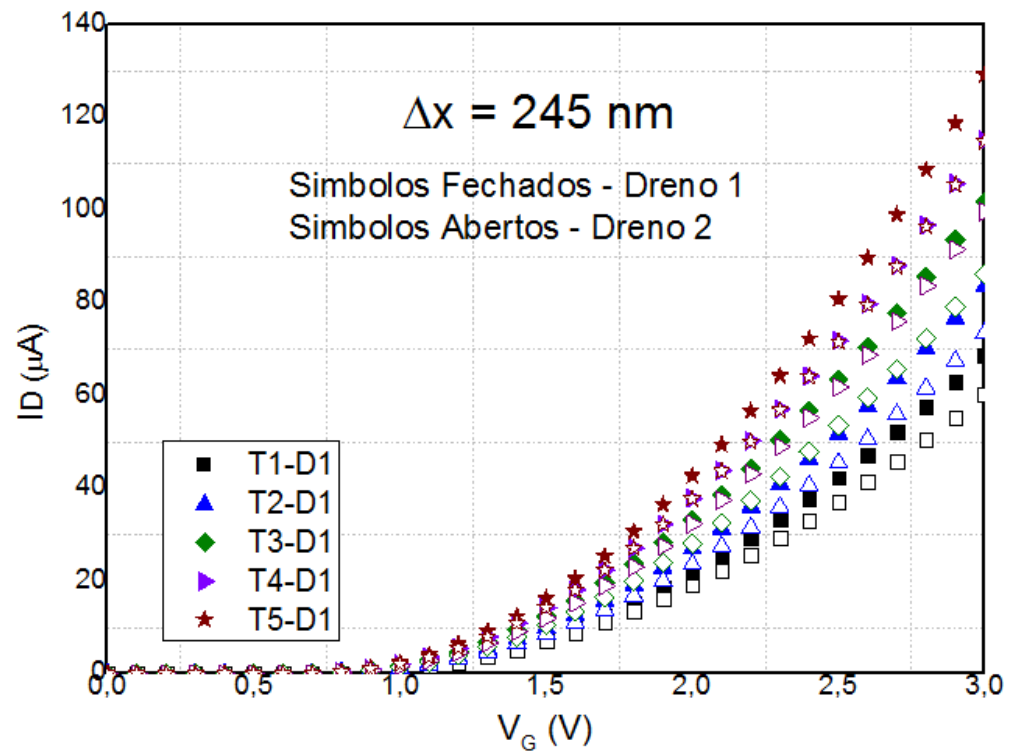


Figura 62- Curva $I_D \times V_G$, conjunto de MOSFETs com desvio de porta de 245 nm, $V_D=4,0 \text{ V}$

Fonte: Autor, 2014

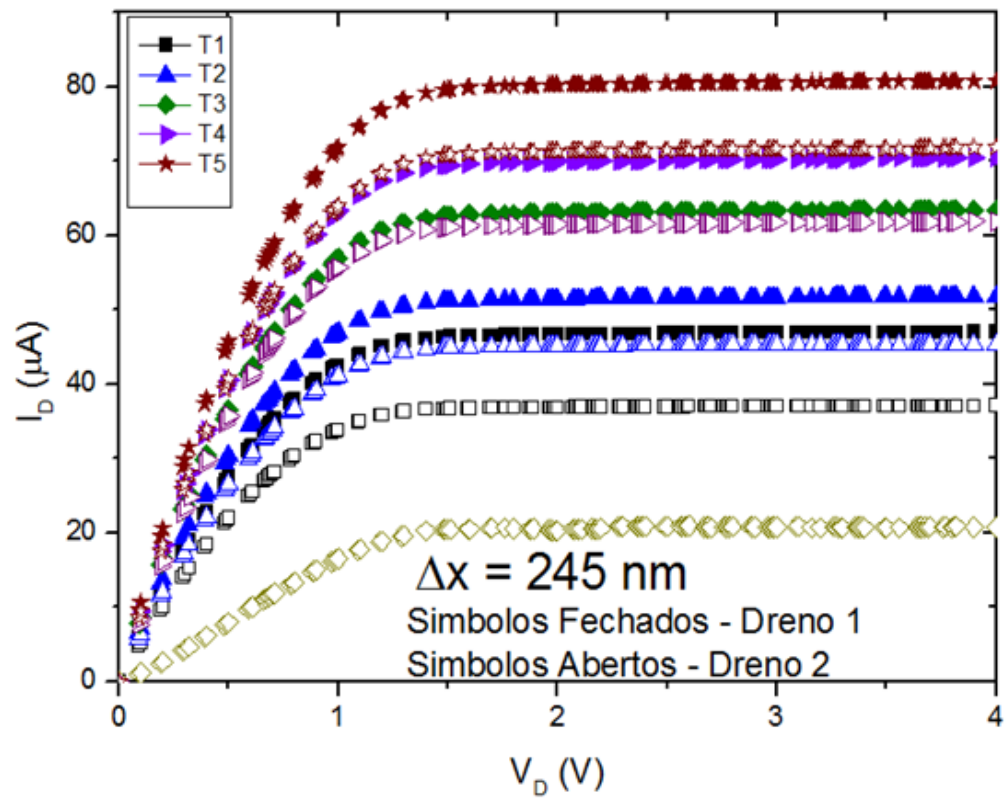


Figura 63 - Curva $I_D \times V_D$, conjunto de MOSFETs com desvio de porta de 245 nm, $V_G=2,5$ V

Fonte: Autor, 2014

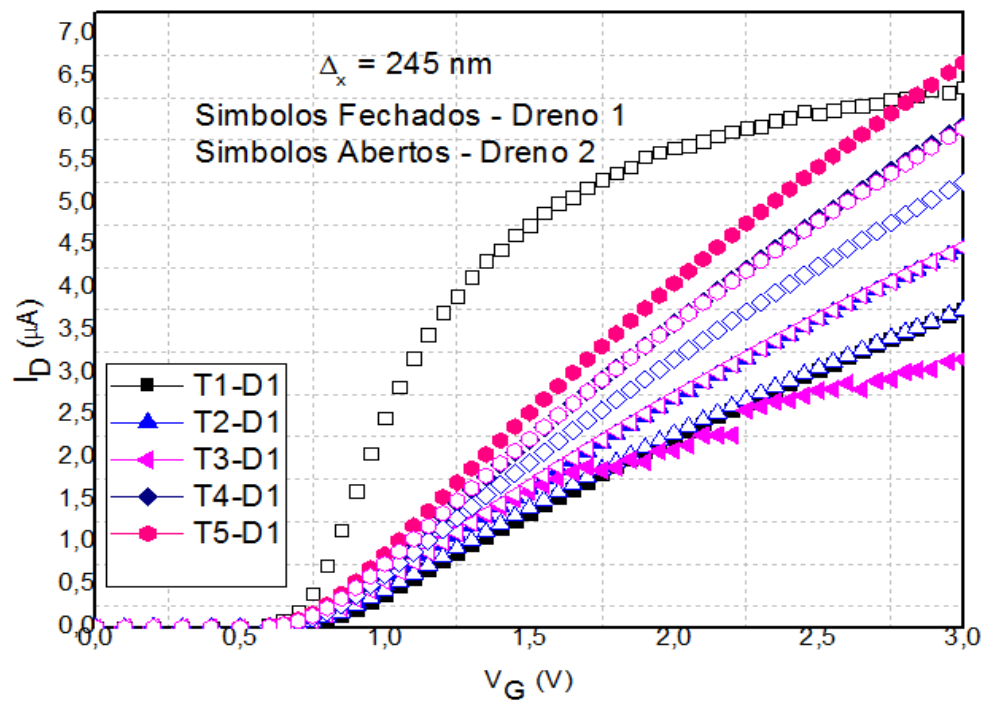


Figura 64 - Curvas $I_D \times V_G$, $V_D=50$ mV, conjunto de MOSFETs com desvio de porta de 245 nm

Fonte: Autor, 2014

As figuras 65, 66 e 67 mostram as curvas características extraídas para os transistores com desvio de porta na faixa de 490 nm.

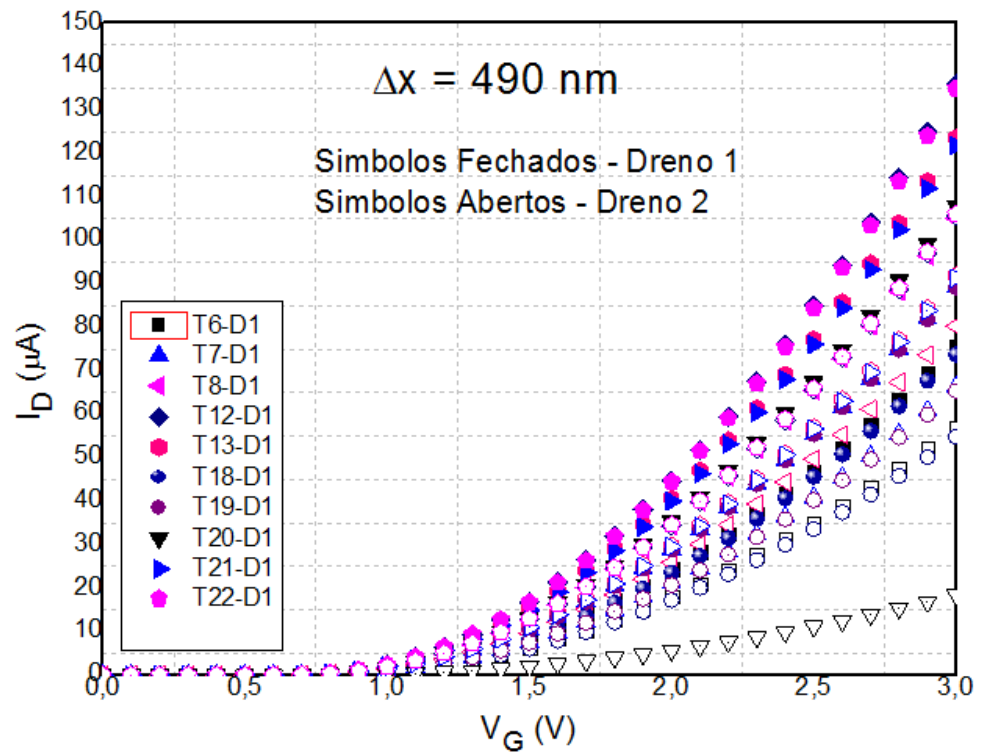


Figura 65 - Curva $I_D \times V_G$, conjunto de MOSFETs com desvio de porta de 490 nm, $V_D=4,0 \text{ V}$

Fonte: Autor, 2014

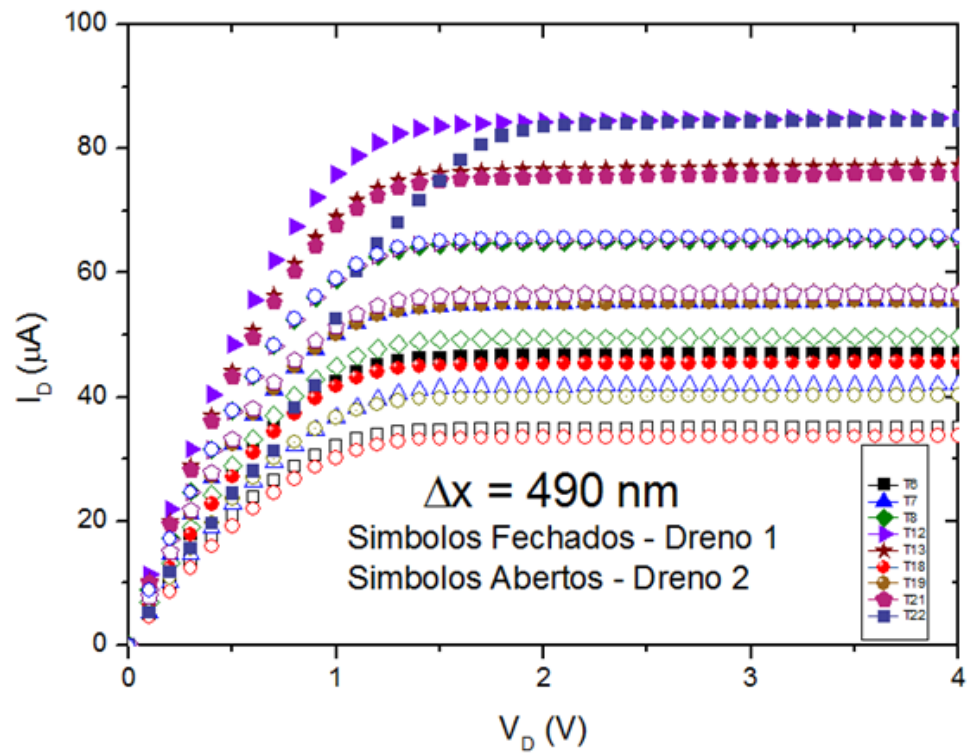


Figura 66 - Curva $I_D \times V_D$, conjunto de MOSFETs com desvio de porta de 490 nm, $V_G=2,5 \text{ V}$

Fonte: Autor, 2014

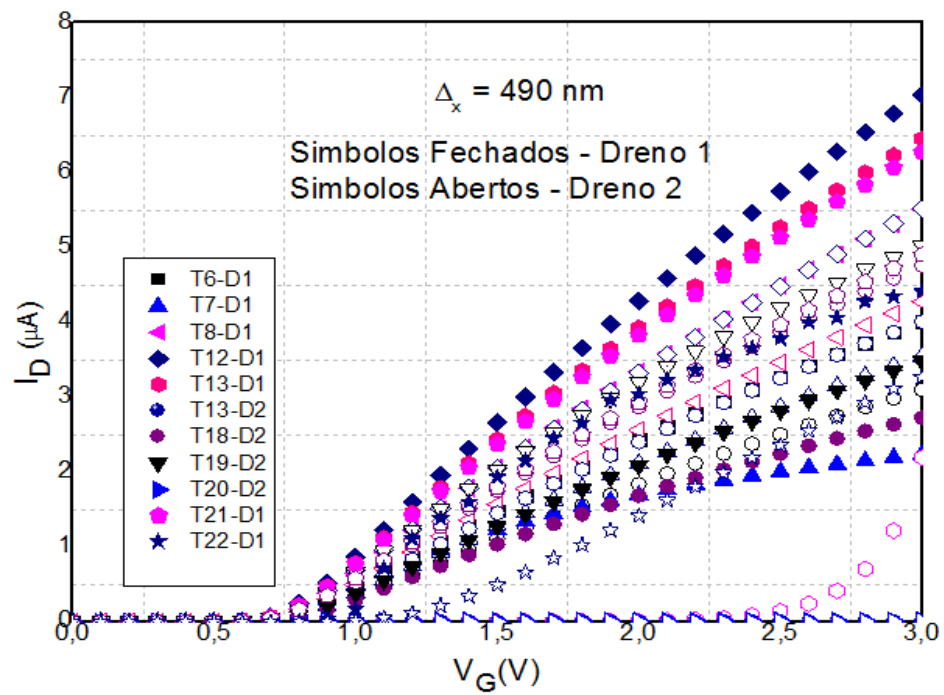


Figura 67 - Curvas $I_D \times V_G$, para $V_D=50 \text{ mV}$, conjunto de MOSFETs com desvio de porta de 490 nm

Fonte: Autor, 2014

As tabelas 8, 9, 10, 11 e 12 contemplam as dimensões dos dispositivos convencionais caracterizados e simulados, bem como os desvios obtidos, em relação ao modelo de desalinhamento estudado:

Tabela 8 - Dimensões dos MOSFETs medidos e erros obtidos das simulações e medições em tecnologia convencional para desvio de 0 nm.

MOSFET	W	L1D1	LHD1	L1D2	LHD2	Δx IDEAL	Δx BULK EXTRAÍDO	Δx SOI EXTRAÍDO	ERROS DAS SIMULAÇÕES	Δx EXTRAÍDO MEDIDAS
NUMERO	nm	nm	nm	nm	nm	nm	nm	nm	%	nm
T9	3500	3465	10325	3465	10325	0	0	0	—	32,20
T10	3850	3500	11200	3500	11200	0	0	0	—	22,90
T11	4200	3500	12180	3500	12180	0	0	0	—	27,20
T15	4875	3500	13356	3500	13356	0	0	0	—	1,31
T16	5380	3500	14350	3500	14350	0	0	0	—	51,30

Fonte: Autor, 2014

Tabela 9 - Dimensões dos MOSFETs medidos e erros obtidos das simulações e medições em tecnologia convencional para desvio de 43,75 nm.

MOSFET	W	L1D1	LHD1	L1D2	LHD2	Δx IDEAL	Δx BULK EXTRAÍDO	ERRO SIMULAÇÕES BULK	Δx SOI EXTRAÍDO	ERRO SIMULAÇÕES SOI	Δx EXTRAÍDO MEDIDAS	ERRO MEDIDAS
NUMERO	nm	nm	nm	nm	nm	nm	nm	%	nm	%	nm	%
T14	4875	3391	13258	3612	13359	43,75	55,00	26,30	63,20	44,46	25,47	-39,88
T17	3339	3395	10290	3573	10378	43,75	45,50	4,00	54,50	24,57	25,80	-41,02
T23	5418	3430	14150	3605	14462	43,75	42,90	-1,94	62,00	41,71	79,80	82,40
T27	4351	3406	12131	3582	12352	43,75	55,90	27,77	56,80	29,83	93,30	113,25
T28	3864	3430	11155	3626	11211	43,75	38,90	-11,09	50,01	14,31	23,10	-47,10

Fonte: Autor, 2014

Tabela 10 - Dimensões dos MOSFETs medidos e erros obtidos das simulações e medições em tecnologia convencional para desvio de 105 nm.

MOSFET	W	L1D1	LHD1	L1D2	LHD2	Δx IDEAL	Δx BULK EXTRAÍDO	ERRO SIMULAÇÕES BULK	Δx SOI EXTRAÍDO	ERRO SIMULAÇÕES SOI	Δx EXTRAÍDO MEDIDAS	ERRO MEDIDAS
NUMERO	nm	nm	nm	nm	nm	nm	nm	%	nm	%	nm	%
T24	3406	3339	10094	3759	10500	105	110,00	4,76	113,00	7,62	125,00	19,40
T25	4393	3304	11980	3724	12495	105	183,00	74,28	138,00	31,43	140,00	33,33
T26	3861	3300	10917	3720	11526	105	98,80	-5,90	108,90	3,71	106,00	0,95
T29	5443	3276	14091	3703	14557	105	95,00	-9,52	105,00	0,00	92,30	-12,09
T30	5034	3304	13111	3731	13423	105	94,70	-9,81	103,00	-1,90	87,70	-16,47

Fonte: Autor, 2014

Tabela 11 - Dimensões dos MOSFETs medidos e erros obtidos das simulações e medições em tecnologia convencional para desvio de 245 nm.

MOSFET	W	LLD1	LHD1	LLD2	LHD2	Δx IDEAL	Δx BULK EXTRAÍDO	ERRO SIMULAÇÕES BULK	Δx SOI EXTRAÍDO	ERRO SIMULAÇÕES SOI	Δx EXTRAÍDO MEDIDAS	ERRO MEDIDAS
NUMERO	nm	nm	nm	nm	nm	nm	nm	%	nm	%	nm	%
T1	3325	3010	9800	3990	10850	245	247,53	1,03	260,00	6,12	194,00	-21,00
T2	3850	3150	10850	4130	11760	245	253,24	3,36	263,42	7,52	206,00	-16,00
T3	4200	3395	11550	3920	12950	245	260,34	6,26	256,03	4,49	261,00	6,50
T4	4900	2940	12740	3850	13825	245	235,00	-4,08	255,00	4,08	207,00	-15,51
T5	5425	2905	13650	3885	14700	245	246,03	0,42	264,60	8,00	197,00	-19,60

Fonte: Autor, 2014

Tabela 12 - Dimensões dos MOSFETs medidos e erros obtidos das simulações e medições em tecnologia convencional para desvio de 490 nm.

MOSFET	W	LLD1	LHD1	LLD2	LHD2	Δx IDEAL	Δx BULK EXTRAÍDO	ERRO SIMULAÇÕES BULK	Δx SOI EXTRAÍDO	ERRO SIMULAÇÕES SOI	Δx EXTRAÍDO MEDIDAS	ERRO MEDIDAS
NUMERO	nm	nm	nm	nm	nm	nm	nm	%	nm	%	nm	%
T6	3500	2520	9310	4480	11305	490	556,13	13,49	537,00	9,59	467,00	-4,70
T7	3850	2520	10150	4480	12215	490	562,11	14,72	511,00	4,28	505,00	3,06
T8	4200	2485	11200	4445	13265	490	559,88	14,26	590,88	20,59	479,00	-2,25
T12	5425	2555	13405	4480	15365	490	541,00	10,41	544,00	11,02	468,00	-4,49
T13	4900	2450	12306	4508	14350	490	583,00	18,98	603,00	23,06	537,52	9,69
T18	3402	2527	9345	4487	11270	490	564,00	15,10	546,00	11,43	487,00	-0,61
T19	3843	2520	10220	4480	12142	490	556,00	13,47	566,50	15,61	529,00	7,96
T20	4354	2485	11263	4470	12237	490	529,00	7,96	552,90	12,84	634,00	29,39
T21	4883	2485	12369	4445	12249	490	517,00	5,51	561,70	14,63	509,00	3,88
T22	5422	2495	13300	4498	15351	490	568,00	15,92	586,80	19,76	452,00	-7,75

Fonte: Autor, 2014

A figura 68, foi concebida a partir das tabelas 8,9,10,11 e 12 e mostra os desvios extraídos das simulações e medidas em Bulk e SOI com as dimensões construídas pela MOSIS, versus o desvio intencional projetado nas faixas de 0 nm a 490 nm de desvios da máscara de porta.

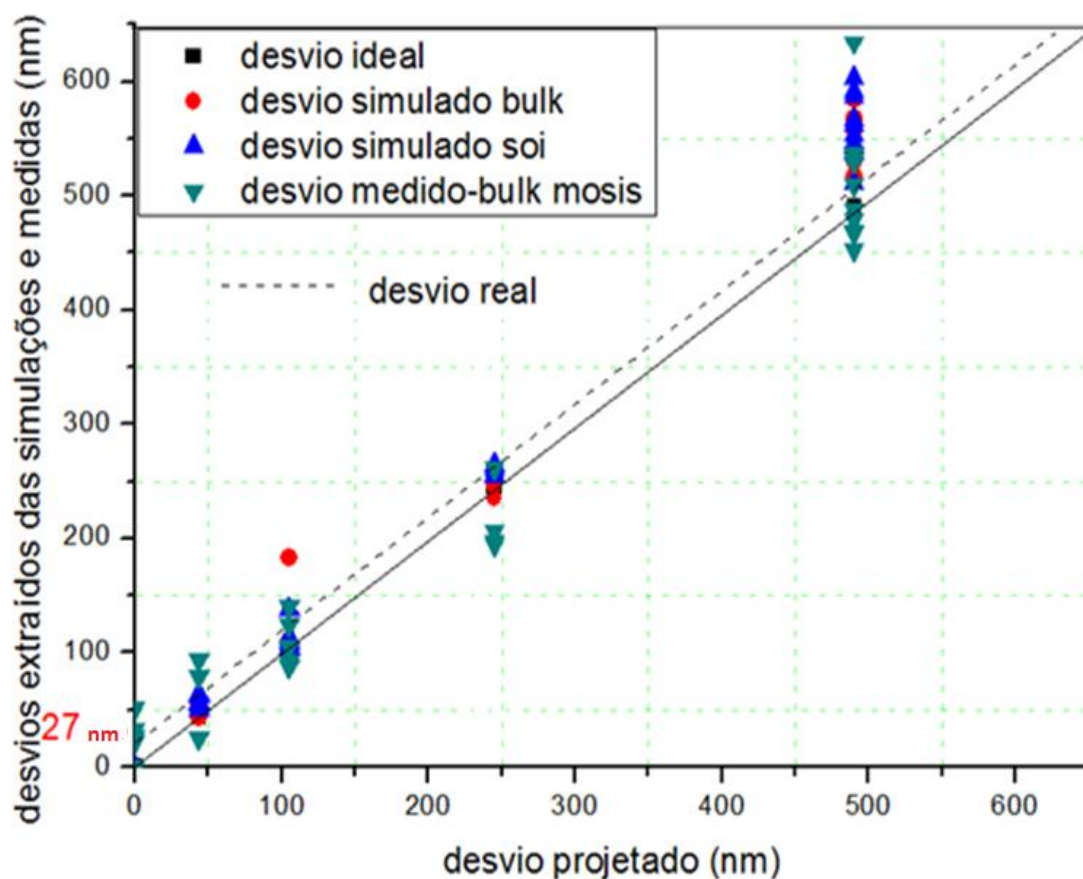


Figura 68 - Curva comparativa dos desvios simulados, medidos e ideal, versus desvio projetado com MOSFETs de dimensões Mosis.

Fonte: Autor, 2014

6 CONCLUSÕES

Este trabalho contribuiu para o preenchimento da lacuna de conhecimento de estruturas de formas não retangulares e suas aplicações em estruturas de testes para detecção de desalinhamento de processos.

Foram desenvolvidas simulações tridimensionais de dispositivos triangulares, bem como medidas experimentais, realizadas sobre dispositivos fabricados especialmente para este trabalho. Também verificou-se a adequação de um modelo matemático anteriormente proposto para tecnologia soi e que não havia sido avaliado para dispositivos bulk.

Pode-se avaliar o grau de dependência da corrente de dreno do desalinhamento de dispositivos de portas trapezoidais, e a eficiência do modelo estudado também.

Para as 12 faixas de medidas simuladas em tecnologia convencional, o maior erro percentual obtido em relação ao modelo proposto foi de 18,28 %, e o menor erro obtido foi de 3,57 %, desalinhando a estrutura desde 0 a 250 nm, com erro percentual médio de 9,05 %.

Para as 60 medidas realizadas em 30 conjuntos de MOSFETs de tecnologia convencional de um determinado circuito integrado de um lote de 40 peças, obteve-se o maior erro percentual em torno de 113 % em relação ao modelo proposto, e menor erro percentual de 0,52 % em relação ao modelo proposto, com desalinhamentos de 0 a 490 nm.

Através do desvio médio extraído das medições para desvio intencional de 0 nm, pode-se extrair o desvio inerente da tecnologia utilizada de λ de 0,35 μm , que foi de aproximadamente 27 nm, representando aproximadamente 8 % do λ da tecnologia utilizada pela MOSIS.

Ao contrário do que mostram as simulações, as medições tornam-se mais precisas quanto ao modelo em estudo para faixas maiores de desalinhamento, porque o desalinhamento próprio do processo, não intencional, torna-se menos significativo.

ESTUDOS FUTUROS

Pretende-se avaliar melhor as diferenças apresentadas entre os valores simulados e os experimentais. Para isso, outras estruturas de teste mais convencionais serão produzidas nos próximos circuitos integrados de teste. Também pretende-se criar circuitos para avaliação do ganho de velocidade esperado das estruturas trapezoidais, como indicado na literatura.

PUBLICAÇÕES GERADAS

SABBADIN, Dárcio Silvestre, GIACOMINI, Renato Camargo. Study of process misalignment on the drain current of trapezoidal gate MOSFETS. In. SEMINATEC - WORKSHOP ON SEMICONDUCTORS AND MICRO & NANO TECHNOLOGY, 8. **Anais...**, 2013.

SABBADIN, Dárcio Silvestre, GIACOMINI, Renato Camargo. Gate misalignment evaluation method for commercial mos trapezoidal gate transistors. In. ICCDCS – Ninth International Caribbean Conference on DEVICES, CIRCUITS and Systems, 2014

REFERÊNCIAS

ATLAS. **User's manual**. Santa Clara: Silvaco, 2010. v. 5.16.3.R

AGILENT Technologies. **Agilent 4155C, semiconductor parameter analyzer, Agilent 4156c precision semiconductor parameter analyzer**. 5 ago, 2003. 2 v.

CAMPBELL, S.A. **The science and engineering of microeletronic fabrications**. Oxford University Press, 1977.

CHAN,T.B. ; GHAIADA, R.S. ; GUPTA, P. **Electrical Modeling of Lithographic Imperfections**. In.: INTERNATIONAL CONFERENCE ON VLSI DESIGN, 23. 2010.

COLINGE, J. P. et al. **Silicon-On-Insulator : gate-all-around device**. In.: INTERNATIONAL ELECTRON DEVICES MEETING. 1990. p. 595-598

COLINGE, J. P. **Multiple-gate SOI MOSFETs**. Solid-state electronics, v. 48, p. 897–905, 2004.

_____. **Silicon-On-Insulator Technology: materials to VLSI**. 3.ed. Boston: Kluwer Academic Publishers, 2004.

_____. **Subthreshold Slope of Thin-Film SOI MOSFET's**. IEEE Electron Devices Letters, v. 7, n. 4, abr. 1986.

CMOS. Disponível em <<http://www.microwind.net>> Acesso em: 20 mai. 2012.

ESTRADA, M. , ESCOBOSA, A. **Tecnologia de fabricacion de microcircuitos: aspectos basicos**. Editorial Academica Española, 2012.

GIACOMINI, R. ; MARTINO, J.A. **Modeling silicon on insulator MOS transistors with non-retangular gate layouts**. Journal of The Electrochemical Society, v.153, n.3, G218-G222, 2006.

GRIGNOUX, Patrice ; RANDALL L, Geiger. Modeling of MOS transistors with non-rectangular-gate geometries. **IEEE Transactions On Electron Devices**, v.29, 8 aug, 1982.

GUPTA, P. et al. **Investigation of diffusion rounding for post-lithography analysis**. IEEE. 2008.

_____. **Shaping gate channels for improved devices**. 2008.

_____. **Electrical metrics for lithographic line-end tapering**. 2008.

_____. **Modeling of non-uniform device geometries for post-lithography circuit analysis**. 2008.

IC station design rules. Disponível em <<http://www.mentor.com>> Acesso em: 10 jul.2013.

LOZZANO,M. et al. **Improvement of the triangular MOS transistor for misalignment measurement.** INTERNACIONAL CONFERENCE ON MICROELECTRONIC TEST STRUCTURES. IEEE. **Proceeding.** v.4, n.1 , mar. 1991.

_____. **Measurement of Misalignment using a Triangular MOS Transistor.** IEEE INTERNACIONAL.CONFERENCE VON MICROELETRONIC TEST STRUCTURES. v. 2, mar. 1989.

MALVINO, A ; BATES, D.J. **Eletrônica.** 7.ed. Porto Alegre: McGraw Hill, Bookman, AMGH Editora, 2011. v.1

MARTINO, J. A. ; PAVANELLO, M. A. ; VERDONCK, P. B. **Caracterização elétrica de tecnologia e dispositivos MOS.** São Paulo: Thomson, 2003.

MOHAN,G. R. ; CAN, W. N. **MOSFET devices with trapezoidal gates: I-V characteristics and magnetic sensitivity.** Solid-State Electron, v. 16, p. 483-490, 1973.

MOORES Law. Disponível em <<http://www.intel.com/technology/mooreslaw/>> Acesso em: 20 mar.2012

MOSIS Integrated Circuit Fabrication Service. Disponível em <<http://www.mosis.com/>> Acesso em:10 ago.2013

PAVANI, A.F. **Estruturas elétricas para avaliação de parâmetros litográficos em um processo de fabricação de circuitos integrados.** Dissertação (Mestrado em Engenharia). Faculdade de Engenharia Elétrica da Universidade Estadual de Campinas, UNICAMP, 1990.

PRODUCTS. Disponível em <<http://www.cmico.com/Micro-Tech-Microprovador> Cascade> Acesso em: 15 jul.2013.

RAZAVI, B. **Design of Analog CMOS Integrated Circuits.** New York: McGraw-Hill, 2001.

SEDRA, A.S. ; SMITH, K.C. **Microeletrônica.** 5.ed. São Paulo: Pearson, 2007.

SINGHAL,R. et al. **Modeling and analysis of non-retangular gate for post-lithography circuit simulation.** 2007. (Paper)

SREEDHAR,A. ; KUNDU,S. **On modeling impact of sub-wavelenght lithography on transistors.** IEEE, 2007.

SZE, S. M. **Physics of semiconductor devices.** New York: John Wiley & Sons, 1981.

TSIVIDIS, Y. ; McAndrew, C. **Operation and Modeling of the MOS Transistor**, 3rd edition, Oxford University Press, 2011, ISBN 9780195170153.*

VAN DER PAUW, L.J. **A method of measuring specific resistivity and Hall effect of discs of arbitrary shape**. 1958.

YE, Y. et al. **Statistical modeling and simulation of threshold variation under dopant fluctuations and line-edge roughness**, 2008.

WONG,S et al. **A DC Model for asymmetric trapezoidal gate MOSFET's in strong inversion**. IEEE, v. 45. n.7, jul. 1998.

ANEXO A: Arquivo de estrutura tipo Bulk

```
#####
#####
# Trapezoidal-gate on bulk avaliacao desalinhamentos em x e variacoes angulares a45 #
#####
#####
```

```
go devedit simflags="-3d"
bnd.cond when=automatic rounding.unit=1e-5
```

```
#####
# Variaveis em um #
#####
```

```
#wb Largura canal
set wb = 3.325
```

```
#wb Largura substrato
set wbb = 6.650
```

```
#lb - Comprimento substrato
set lb = 22.0
```

```
#lhig - Comprimento aresta menor do trapezio Gate
set lhig = 1.5050
```

```
#lidf -
set lidf = 9.49500
```

```
#lhfg
set lhfg = 4.90
```

```
#lfd
```

set lfd = 6.1000

#lbhf

#set lbhf = 6.0

#licd-dist contatos fonte dreno

set licd = 9.5000

#hg - Altura da porta - Gate

set hg = 0.500

#htox - Espessura do Oxido

set htox = 0.0100

#hcanal - Altura do Canal

set hcanal = 0.500

#hb - Altura do substrato

set hb = 7.000

#hcs - espessura do contato de substrato

set hcs = 0.100

#ecfd - espessura contatos fonte dreno

set ecfd = 0.1000

set wbh = \$"wb"/2

set wbbh = \$"wbb"/2

set lbh = \$"lb"/2

set hbcs=\$"hb"+"hcs"

```
#####
```

```
# Regioes #
```

```
#####
```

```
# Porta
```

```
region reg=1 name=gate mat=aluminum elec.id=1 work.func=0 z1=$"htox" z2=$"hg" \
    polygon=$"lhig",- $"wbh" $"lhfg", $"wbh" -$"lhfg", $"wbh" -$"lhig",- $"wbh""
```

```
# Oxido de porta
```

```
region reg=2 name=ox mat=Oxide z1=0 z2=$"htox" \
    polygon=$"lhig",- $"wbh" $"lhfg", $"wbh" -$"lhfg", $"wbh" -$"lhig",- $"wbh""
```

```
# Canal
```

```
region reg=3 name=channel mat=Silicon z1=- $"hcanal" z2=0 \
    polygon=$"lhig",- $"wbh" $"lhfg", $"wbh" -$"lhfg", $"wbh" -$"lhig",- $"wbh""
```

```
# Contato de Dreno
```

```
region reg=4 name=drain mat=aluminum elec.id=2 work.func=0 z1=0.0 z2=$"ecfd" \
    polygon=- $"licd",- $"wbh" -$"lbh",- $"wbh" -$"lbh", $"wbh" -$"licd", $"wbh""
```

```
# Contato de Fonte
```

```
region reg=5 name=source mat=aluminum elec.id=3 work.func=0 z1=0.0 z2=$"ecfd" \
    polygon=$"licd",- $"wbh" $"lbh", -$"wbh" $"lbh", $"wbh" $"licd", $"wbh""
```

```
# Dreno
```

```
region reg=6 name=drain mat=Silicon z1=- $"hcanal" z2=0 \
    polygon=- $"lhig",- $"wbh" -$"lbh",- $"wbh" -$"lbh", $"wbh" -$"lhfg", $"wbh""
```

```
# Fonte
```

```
region reg=7 name=source mat=Silicon z1=- $"hcanal" z2=0 \
    polygon=$"lhig",- $"wbh" $"lbh",- $"wbh" $"lbh", $"wbh" $"lhfg", $"wbh""
```


Substrato

```
region reg=8 name=substrate mat=Silicon z1= -"$hb" z2= -"$hcanal" \
    polygon="$lhb",-$wbbh "$lhb",-$wbbh -"$lhb",-$wbbh -"$lhb",-$wbbh"
```

Contato de substrato

```
region reg=9 name=substrate mat=aluminum elec.id=4 work.func=0 z1=-"$hbcs" z2= -"$hb"
\
    polygon="$lhb",-$wbbh "$lhb",-$wbbh -"$lhb",-$wbbh -"$lhb",-$wbbh"
```

#####

Grade no plano xy

#####

Grade geral

```
constr.mesh x1= -"$lhb" y1= -"$wbh" x2= "$lhb" y2= "$wbh" default max.height=0.25
max.width=0.25
```

Grade fina oxido

```
constr.mesh x1=-"$lhig" y1= -"$wbh" x2="$lhfg" y2= "$wbh" default max.height=0.25
max.width=0.25
```

Grade fina fonte

```
constr.mesh x1=-"$lhb" y1= -"$wbh" x2=-"$lhfg" y2= "$wbh" default max.height=0.25
max.width=0.25
```

Grade fina dreno

```
constr.mesh x1= "$lhig" y1= -"$wbh" x2= "$lhb" y2= "$wbh" default max.height=0.25
max.width=0.25
```

#Grade fina sub

```
constr.mesh x1=-$"lbh" y1=-$"wbh" x2=$"lbh" y2=$"wbh" default max.height=0.25
max.width=0.25
```

```
# Realizando operacoes de grade
Mesh Mode=MeshBuild
```

```
#####
```

```
# Grade no eixo z #
```

```
#####
```

```
# Define espacamento e taxa de variacao maxima
z.plane max.spacing=1e6 max.ratio=10
```

```
# Grade inicial
z.plane z=0.500 spacing=0.25
```

```
#Grade ox
z.plane z=0.1 spacing=0.25
```

```
#grade canal
z.plane z=-0.5 spacing=0.25
```

```
#Grade fina cantos
z.plane z=0.0 spacing=0.002
z.plane z=0.01 spacing=0.002
```

```
# Grade fina porta
z.plane z=0.5 spacing=0.25
```

```
# Grade sub
z.plane z=-7.000 spacing=0.25
z.plane z=-7.1000 spacing=0.25
```

```
#####
```

```
# Salva estrutura #
```

```
#####
```

```
structure outf=tmedido1_l22_W3325d1_h8_a45_d1msh.str
```

```
#####
```

```
# Inicia o Atlas #
```

```
#####
```

```
go atlas
```

```
#####
```

```
# Fim #
```

```
#####
```

```
quit
```

ANEXO B - Arquivo de simulação Bulk

```
#####
###
# Trapezoidal-gate  A=45   2013                               #
#####
###

#####
# Inicia o Atlas #
#####

go atlas simflags="-P 6"

#####
# Carrega a estrutura #
#####

mesh infile=tmedido1_l22_W3325d1_h8_a45_d1msh.str

#####
# Define a concentracao da dopagem #
#####

# substrato
DOPING  uniform conc=1e17 p.type reg=8

# Dreno
doping uniform conc=1e19 n.type reg=7 x.min=1.505  x.max=11.0
```

```
# Fonte
```

```
doping uniform conc=1e19 n.type reg=6 x.min=-11.0 x.max=-1.505
```

```
# canal
```

```
doping uniform conc=1e17 p.type reg=3 x.min=-4.9 x.max=4.9
```

```
#####  
#####
```

```
# Define a carga de interface separadamente nas interfaces "front and back oxide" #
```

```
#####  
#####
```

```
interf qf=5e10 region=2
```

```
#####
```

```
# Define a funcao trabalho da porta #
```

```
#####
```

```
contact name=gate workfunction=4.95
```

```
contact name=substrate workfunction=0.0
```

```
contact name=drain
```

```
contact name=source
```

```
#####
```

```
# Salva estrutura #
```

```
#####
```

```
structure outf=Tmed1_l22_W3325d1_a45_na17_nd19_1d1.str
```

```
#####
```

```
# Selecciona os modelos #
```

```
#####
```

```
model fermi fldmob print auger bgn srh analytic temp=300
```

```
#####
```

```
# Define os metodos #
```

```
#####
```

```
method newton autonr bicgst dvlimit=1 maxtraps=10 atrap=0.1
```

```
output      E.MOBILITY H.MOBILITY
```

```
#####
```

```
# Inicia a simulacao #
```

```
#####
```

```
# Especifica a solucao anterior como aproximacao inicial
```

```
solve previous
```

```
#save outf=bulk_Function_Tmed1_l22_W3325_A45_na17_nd19_2d1.str master
```

```
# Polariza o dreno
```

```
solve name=drain vdrain=0.0 vfinal=4.0 vstep=0.1
```

```
# Inicia o log
```

```
log outf=Tmed1_L22_W3325_A45_na17_nd19_3d1.log master
```

```
# Polarizacoes do gate
```

```
solve name=gate vgate=0.00 vfinal=2.50 vstep=0.05
```

```
save outf=Tmed1_l22_a45_na17_nd19_4d1.str master
```

```
# Fim do log
```

log off

#####

Fim

#####

quit

ANEXO C - Arquivo de estrutura tipo SOI

```
#####
#####
# Trapezoidal-gate on SOI avaliacao desalinhamentos em x e variacoes angulares a45#
#####
#####

go devedit simflags="-3d"
bnd.cond when=automatic rounding.unit=1e-5

#####
# Variaveis em um #
#####

#wb Largura canal
set wb = 3.325

#wb Largura substrato
set wbb = 6.650

#lb - Comprimento substrato
set lb = 22.0

#lhig - Comprimento aresta menor do trapezio Gate
set lhig = 1.995

#lidf -
set lidf = 9.005

#lhfg
set lhfg = 5.425
```


#lfd

set lfd = 5.575

#lbhf

#set lbhf = 6.0

#licd-dist contatos fonte dreno

set licd = 9.5000

#hg - Altura da porta - Gate

set hg = 0.500

#htox - Espessura do Oxido

set htox = 0.0100

#hcanal - Altura do Canal

set hcanal = 0.500

#hbox

set hbox=1.000

#hb - Altura do substrato

set hb = 6.000

#hcs - espessura do contato de substrato

set hcs = 0.100

#ecfd - espessura contatos fonte dreno

set ecfd = 0.1000

set wbh = \$"wb"/2

```
set wbbh = $"wbb"/2
```

```
set lbh = $"lb"/2
```

```
set hbcs=$"hb"+"hcs"
```

```
#####
```

```
# Regioes #
```

```
#####
```

```
# Porta
```

```
region reg=1 name=gate mat=aluminum elec.id=1 work.func=0 z1=$"htox" z2=$"hg" \
    polygon=$"lhig",- $"wbh" $"lhfg", $"wbh" -$"lhfg", $"wbh" -$"lhig",- $"wbh"
```

```
# Oxido de porta
```

```
region reg=2 name=ox mat=Oxide z1=0 z2=$"htox" \
    polygon=$"lhig",- $"wbh" $"lhfg", $"wbh" -$"lhfg", $"wbh" -$"lhig",- $"wbh"
```

```
# Canal
```

```
region reg=3 name=channel mat=Silicon z1=- $"hcanal" z2=0 \
    polygon=$"lhig",- $"wbh" $"lhfg", $"wbh" -$"lhfg", $"wbh" -$"lhig",- $"wbh"
```

```
# Contato de Dreno
```

```
region reg=4 name=drain mat=aluminum elec.id=2 work.func=0 z1=0.0 z2=$"ecfd" \
    polygon=- $"licd",- $"wbh" -$"lbh",- $"wbh" -$"lbh", $"wbh" -$"licd", $"wbh"
```

```
# Contato de Fonte
```

```
region reg=5 name=source mat=aluminum elec.id=3 work.func=0 z1=0.0 z2=$"ecfd" \
    polygon=- $"licd",- $"wbh" $"lbh", -$"wbh" $"lbh", $"wbh" $"licd", $"wbh"
```

```
# Dreno
```

```
region reg=6 name=drain mat=Silicon z1=-$"hcanal" z2=0 \
  polygon=-$"lhig",- $"wbh" -$"lbh",- $"wbh" -$"lbh",$"wbh" -$"lhfg",$"wbh""
```

```
# Fonte
```

```
region reg=7 name=source mat=Silicon z1=-$"hcanal" z2=0 \
  polygon=" $"lhig",- $"wbh" $"lbh",- $"wbh" $"lbh",$"wbh" $"lhfg",$"wbh""
```

```
# Substratoox
```

```
region reg=8 name=insulator mat=oxide z1= -$"hbox" z2= -$"hcanal" \
  polygon=" $"lbh",- $"wbbh" $"lbh",$"wbbh" -$"lbh",$"wbbh" -$"lbh", -$"wbbh""
```

```
# substrato
```

```
region reg=9 name=substrate mat=silicon z1=-$"hb" z2= -$"hbox" \
  polygon=" $"lbh",- $"wbbh" $"lbh",$"wbbh" -$"lbh",$"wbbh" -$"lbh", -$"wbbh""
```

```
# Contato de substrato
```

```
region reg=10 name=substrate mat=aluminum elec.id=4 work.func=0 z1=-$"hbcs" z2= -
$"hb" \
  polygon=" $"lbh",- $"wbbh" $"lbh",$"wbbh" -$"lbh",$"wbbh" -$"lbh", -$"wbbh""
```

```
#####
```

```
# Grade no plano xy #
```

```
#####
```

```
# Grade geral
```

```
constr.mesh x1= -$"lbh" y1=- $"wbh" x2= $"lbh" y2= $"wbh" default max.height=0.25
max.width=0.25
```

```
# Grade fina oxido
```

```
constr.mesh x1=-$"lhig" y1= -$"wbh" x2=$"lhfg" y2= $"wbh" default max.height=0.25
max.width=0.25
```

Grade fina fonte

constr.mesh x1=-\$"lbh" y1= -\$"wbh" x2=-\$"lhfg" y2= \$"wbh" default max.height=0.25
max.width=0.25

Grade fina dreno

constr.mesh x1= \$"lhig" y1= -\$"wbh" x2= \$"lbh" y2= \$"wbh" default max.height=0.25
max.width=0.25

#Grade fina sub

constr.mesh x1=-\$"lbh" y1=-\$"wbh" x2=\$"lbh" y2=\$"wbh" default max.height=0.25
max.width=0.25

Realizando operacoes de grade

Mesh Mode=MeshBuild

#####

Grade no eixo z

#####

Define espacamento e taxa de variacao maxima

z.plane max.spacing=1e6 max.ratio=10

Grade inicial

z.plane z=0.5 spacing=0.25

#Grade ox

z.plane z=0.1 spacing=0.5

#grade canal

z.plane z=-0.5 spacing=0.5

```
#Grade fina cantos
```

```
z.plane z=0.0 spacing=0.02
```

```
z.plane z=0.01 spacing=0.02
```

```
# Grade fina porta
```

```
z.plane z=0.5 spacing=0.25
```

```
# Grade sub
```

```
z.plane z=-7.000 spacing=0.25
```

```
z.plane z=-7.1000 spacing=0.25
```

```
#####
```

```
# Salva estrutura #
```

```
#####
```

```
structure outf=tsoimedido1soi_l22_W3325d2_h8_a45_msh.str
```

```
#####
```

```
# Inicia o Atlas #
```

```
#####
```

```
go atlas
```

```
#####
```

```
# Fim #
```

```
#####
```

```
quit
```

ANEXO D - Arquivo de simulação SOI

```
#####
###
# Trapezoidal-gate soi A=45      2013      #
#####
###

#####
# Inicia o Atlas #
#####

go atlas simflags="-P 6"

#####
# Carrega a estrutura #
#####

mesh infile=tsoimedido1soi_l22_W3325d2_h8_a45_d1msh.str

#####
# Define a concentracao da dopagem #
#####

# substrato
DOPING  uniform conc=1e17 p.type reg=9

# Dreno
doping uniform conc=1e19 n.type reg=7 x.min=1.505  x.max=11.0

# Fonte
doping uniform conc=1e19 n.type reg=6 x.min=-11.0  x.max=-1.505
```

```
# canal
```

```
doping uniform conc=1e17 p.type reg=3 x.min=-4.90 x.max=4.90
```

```
#####
```

```
#####
```

```
# Define a carga de interface separadamente nas interfaces "front and back oxide" #
```

```
#####
```

```
#####
```

```
interf qf=5e10 region=2
```

```
#####
```

```
# Define a funcao trabalho da porta #
```

```
#####
```

```
contact name=gate      workfunction=4.95
```

```
contact name=substrate  workfunction=0.0
```

```
contact name=drain
```

```
contact name=source
```

```
#####
```

```
# Salva estrutura #
```

```
#####
```

```
structure outf=Tsoi1med1_l22_W3325d2_a45_na17_nd19_d1.str
```

```
#####
```

```
# Selecciona os modelos #
```

```
#####
```

```
model fermi fldmob print auger bgn srh analytic temp=300
```

```
#####
```

```
# Define os metodos #
```

```
#####
```

```
method newton autonr bicgst dvlimit=1 maxtraps=10 atrap=0.1
```

```
output      E.MOBILITY H.MOBILITY
```

```
#####
```

```
# Inicia a simulacao #
```

```
#####
```

```
# Especifica a solucao anterior como aproximacao inicial
```

```
solve previous
```

```
#save outf=bulk_Function_Tsoi1med1_l22_W3325_A45_na17_nd19_2d1.str master
```

```
# Polariza o dreno
```

```
solve name=drain vdrain=0.0 vfinal=4.0 vstep=0.01
```

```
# Inicia o log
```

```
log outf=Tsoi1med1_L22_W3325_A45_na17_nd19_3d1.log master
```

```
# Polarizacoes do gate
```

```
solve name=gate vgate=0.00 vfinal=2.50 vstep=0.05
```

```
save outf=Tsoi1med1_l22_a45_na17_nd19_4d1.str master
```

```
# Fim do log
```

```
log off
```


#####

Fim

#####

quit