CENTRO UNIVERSITÁRIO FEI

LÍGIA MARTINS D'OLIVEIRA

ASSOCIAÇÃO SÉRIE ASSIMÉTRICA DE TRANSISTORES SOI MOS DE CAMADA DE SILÍCIO E ÓXIDO ENTERRADO ULTRAFINOS (UTBB) PARA APLICAÇÕES ANALÓGICAS DE ALTO DESEMPENHO

São Bernardo do Campo

2020

LÍGIA MARTINS D'OLIVEIRA

ASSOCIAÇÃO SÉRIE ASSIMÉTRICA DE TRANSISTORES SOI MOS DE CAMADA DE SILÍCIO E ÓXIDO ENTERRADO ULTRAFINOS (UTBB) PARA APLICAÇÕES ANALÓGICAS DE ALTO DESEMPENHO

Tese de Doutorado, apresentada ao Centro Universitário da FEI para obtenção do título de Doutora em Engenharia Elétrica. Orientada pela Profa. Dra. Michelly de Souza.

São Bernardo do Campo

2020

Martins d'Oliveira, Lígia.
Associação Série Assimétrica de Transistores SOI MOS de Camada de Silício e Óxido Enterrado Ultrafinos (UTBB) para Aplicações Analógicas de Alto Desempenho / Lígia Martins d'Oliveira. São Bernardo do Campo, 2020.
195 p. : il.

Tese - Centro Universitário FEI.
Orientadora: Prof.ª Dra. Michelly de Souza.

1. UTBB. 2. FD SOI. 3. Caracterização DC. 4. Figuras de Mérito Analógicas. 5. A-SC. I. de Souza, Michelly, orient. II. Título.

Elaborada pelo sistema de geração automática de ficha catalográfica da FEI com os dados fornecidos pelo(a) autor(a).

centro universitário FEI

APRESENTAÇÃO DE TESE
ATA DA BANCA EXAMINADORA

Programa de Pós-Graduação Stricto Sensu em Engenharia Elétrica

Doutorado

PGE-10

Aluno: Lígia Martins d'Oliveira **Matrícula:** 515105-5

Título do Trabalho: Associação série assimétrica de transistores soi mos de camada de silício e óxido enterrado ultrafinos (UTBB) para aplicações analógicas de alto desempenho.

Área de Concentração: Nanoeletrônica e Circuitos Integrados

Orientador: Profª Drª Michelly de Souza

Data da realização da defesa: 17/02/2020

ORIGINAL ASSINADA

Avaliação da Banca Examinadora

São Bernardo do Campo, / / .

MEMBROS DA BANCA EXAMINADORA	
Profª Drª Michelly de Souza	Ass.:
Prof. Dr. Renato Camargo Giacomini	Ass.:
Prof. Dr. Michele Rodrigues Hempel Lima	Ass.:
Prof. Dr. Renan Trevisoli Doria	Ass.:
Prof. Dr. Hamilton Duarte Klimach	Ass.:

A Banca Examinadora acima-assinada atribuiu ao aluno o seguinte:

APROVADO ☒ REPROVADO ☐

VERSÃO FINAL DA TESE

ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS RECOMENDAÇÕES DA BANCA EXAMINADORA

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz

Para minha família.

AGRADECIMENTOS

À Profa. Dra. Michelly de Souza, pela orientação deste trabalho, por sua dedicação, confiança, apoio, paciência e amizade, decisivos para a conclusão deste trabalho.

Aos doutores Denis Flandre e Valeriya Kiltchytska, pela direção, pelo valiosíssimo apoio e pelas contribuições imprescindíveis a este projeto.

Aos meus amigos, pela cooperação e auxílio, incontestáveis independente da distância, compreensivos com minha frequente falta e entusiasmados com o meu futuro.

À minha família, incondicionalmente paciente e solícita em todos os momentos.

A CAPES pelo apoio financeiro, sem o qual este projeto neto se tornaria inviável.

A tantas outras pessoas que colaboraram com este trabalho de alguma forma e que involuntariamente foram omitidas.

RESUMO

Este trabalho apresenta uma análise, realizada através de simulações numéricas bidimensionais, simulações SPICE e caracterizações experimentais, de associações série (SC), implementadas na tecnologia Camada de Silício e Óxido Enterrado Ultrafinos (*Ultra-Thin Body and BOX*) (UTBB). As associações são constituídas por dois transistores associados em série e conectados pelas portas, com o intuito de melhorar as figuras de mérito analógicas do transistor composto. Na tecnologia UTBB, o controle da tensão de limiar (V_T) por meio da polarização de substrato é uma vantagem para esta estrutura, que se beneficia deste tipo de assimetria entre seus transistores. No caso da Associação Série Assimétrica (*Asymmetric Self-Cascode*) (A-SC), a tensão de limiar do transistor próximo ao dreno deve ser sempre menor que a V_T do transistor próximo à fonte, enquanto a Associação Série Simétrica (*Symmetric Self-Cascode*) (S-SC) tem componentes de tensão de limiar idêntica. Foram explorados os efeitos de diferentes Plano de Terra (*Ground Plane*) (GP), comprimentos de canal, polarizações de substrato e suas diferentes combinações no comportamento dos transistores. Foi desenvolvido um método de caracterização DC de associações série através de um código construtor de curvas I-V, o que facilitou a análise experimental de Associação Série (*Self-Cascode*) (SC) para implementação em novas tecnologias. Comparações entre A-SC, S-SC e transistores únicos foram utilizadas para chegar às conclusões deste projeto. Foi possível observar características analógicas melhores nos dispositivos A-SC, especialmente quando há uma maior diferença entre as V_T dos transistores que a compõem.

Palavras-chave: UTBB. FD SOI. Caracterização DC. Figuras de Mérito Analógicas. Distorção Harmônica. A-SC. S-SC.

ABSTRACT

This work presents an analysis, carried out through two-dimensional numerical simulations, SPICE simulations and experimental characterizations, of series associations (SC) implemented in Ultra Thin Body and Buried Oxide (UTBB) technology. The associations are constituted by two transistors associated in series and connected by the gates, with the goal of improving the analog figures of merit of the composite transistor. In UTBB technology, the control of the threshold voltage (V_T) by means of substrate polarization is an advantage for this structure, since it benefits from this type of asymmetry between its transistors. In the case of the Asymmetric Self-Cascide (A-SC), the threshold voltage of the transistor near the drain must always be lower than the threshold voltage of the transistor near the source, while components of the Symmetric Self-Cascode (S-SC) must display identical threshold voltages. The effects of different Ground Planes, channel lengths, substrate biases and their different combinations on the behavior of the transistors DC characterizations were explored. A DC characterization method of self-cascodes by using a I-V constructing code was developed, facilitating the experimental analylisis of SC to be implemented in advanced technologies. Comparisons between A-SC, S-SC and single transistors were used to reach the conclusions of this project. It could be seen that analog characteristics are enhanced in A-SC devices, specially with a larger difference between V_T of the transistors that compose them.
Keywords: UTBB. FD SOI. DC Characterization. Analog Figures of Merit. Harmonic Distortion. A-SC. S-SC.

LISTA DE ILUSTRAÇÕES

Figura 1 – Esquema de um transistor da tecnologia SOI. 40

Figura 2 – Esquema do perfil transversal de transistores Totalmente Depletada (*Fully Depleted*) (FD) Silício-Sobre-Isolante (*Silicon-On-Insulator*) (SOI) Metal-Óxido-Semicondutor tipo N (nMOS) e suas respectivas representações nos diagramas de bandas de energia em regime de acumulação (A), depleção (B) e inversão (C). 42

Figura 3 – Esquema do perfil transversal de transistores SOI em regime de triodo (A) e saturação (B). 43

Figura 4 – Esquema do perfil transversal de transistores FD SOI de canal longo e de canal curto, exemplificando a influência da fonte e do dreno nas cargas do canal 48

Figura 5 – Exemplo da curva g_m/I_{DS} em função da corrente de dreno normalizada. . 50

Figura 6 – Esquema do perfil transversal de transistores SOI exemplificando o efeito de modulação do canal. 50

Figura 7 – Curvas da condutância de dreno em função da tensão de dreno para um transistor FD SOI, V_{GT} de 0,2 V. 51

Figura 8 – V_{EA} em função de L para transistores com Camada de Silício e BOX Ultrafinos. A linha pontilhada indica os valores comumente encontrados em transistores FD SOI. 52

Figura 9 – Esquema de um amplificador de tensão com um único transistor. 53

Figura 10 – Redução do Redução da Barreira Induzida pelo Dreno (*Drain Induced Barrier Lowering*) (DIBL) em função da espessura do canal de silício para um t_{BOX} de 145 nm e em função da espessura do Óxido Enterrado (*Buried Oxide*) (BOX) para um t_{Si} de 5 nm. 54

Figura 11 – Esquema do perfil transversal de um transistor UTBB. 55

Figura 12 – Tensão de limiar em função da polarização da segunda porta com e sem Plano de Terra (*Ground Plane*) (GP). 57

Figura 13 – Concentração de elétrons em função da profundidade no silício. 58

Figura 14 – Esquema do perfil transversal de transistores Camada de Silício e Óxido Enterrado Ultrafinos (*Ultra-Thin Body and BOX*) (UTBB) com diferentes GP e contatos de substrato fabricados lado a lado. 60

Figura 15 – Concentração de elétrons em função da profundidade na camada de silício para transistores UTBB com diferentes tensões de limiar. 60
Figura 16 – Condutância de dreno e tensão Early em função de V_{GT} para transistores UTBB únicos e associados em série, polarizados com diferentes V_{BS}. . . . 62
Figura 17 – Esquema do perfil transversal da associação série de transistores SOI FD convencionais. 63
Figura 18 – Esquema do circuito da associação série feita com nMOSTransistor de Efeito de Campo (*Field Effect Transistor*) (FET)s. 63
Figura 19 – Ganho intrínseco de tensão em função da corrente de dreno para um transistor único e para associações série com diferentes larguras de canal em MD. 64
Figura 20 – Corrente de dreno em função da tensão de dreno para um transistor SOI FD ($L = 4\mu m$), associações série com diferentes razões entre larguras ($m = W_D/W_S$) ($L_S = L_D = 2\mu m$) e um transistor de canal gradual ($L = 4\mu m$). 64
Figura 21 – Derivada do inverso de g_D multiplicada por g_D em função da tensão de dreno, para estruturas simétricas e assimétricas de diferentes L_S. 66
Figura 22 – Corrente de dreno e condutância de dreno em função da tensão de dreno para um transistor FD SOI, uma associação série simétrica e uma associação série assimétrica. 66
Figura 23 – Corrente de dreno e transcondutância em função de V_{GT} para um transistor FD SOI, uma associação série simétrica e uma associação série assimétrica. 67
Figura 24 – Ganho intrínseco de tensão em função da corrente de dreno para associações série com diferentes $V_{T,MD}$ e um transistor único de $L = L_S$. 68
Figura 25 – Perfil da estrutura do transistor UTBB obtido no *Sentaurus Structure Editor* (SSE) 70
Figura 26 – Corrente de dreno em função da tensão de porta e sobretensão de porta para baixo V_{DS}. Transistor UTBB único, sem *ground plane*, polarizado com diferentes V_{BS}. L de 25 nm. Resultados simulados. 73
Figura 27 – Corrente de dreno em função da tensão de porta para baixo V_{DS}. Transistor UTBB único, *ground plane* tipo P, polarizado com diferentes V_{BS}. L de 25 nm. Resultados simulados. 74

Figura 28 – Corrente de dreno em função da tensão de porta para baixo V_{DS}. Transistor UTBB único, *ground plane* tipo N, polarizado com diferentes V_{BS}. L de 25 nm. Resultados simulados. 75
Figura 29 – Tensão de limiar em função da tensão de substrato. Transistores UTBB únicos, diferentes *ground planes*, polarizado com V_{DS} de 50 mV. L de 25 nm. Resultados simulados. 75
Figura 30 – Inclinação de sublimiar em função da tensão de substrato. Transistores UTBB únicos, diferentes *ground planes*, polarizado com V_{DS} de 50 mV. L de 25 nm. Resultados simulados. 76
Figura 31 – Corrente de dreno em função da tensão de porta para $V_{DS} = 1V$. Transistor UTBB único, sem *ground plane*, polarizado com diferentes V_{BS}. L de 25 nm. Resultados simulados. 77
Figura 32 – Corrente de dreno em função da tensão de porta para $V_{DS} = 1V$. Transistor UTBB único, *ground plane* tipo P, polarizado com diferentes V_{BS}. L de 25 nm. Resultados simulados. 77
Figura 33 – Corrente de dreno em função da tensão de porta para $V_{DS} = 1V$. Transistor UTBB único, *ground plane* tipo N, polarizado com diferentes V_{BS}. L de 25 nm. Resultados simulados. 78
Figura 34 – Comparação da corrente de dreno em função da tensão de porta para $V_{DS} = 1V$. Transistores UTBB único, vários *ground planes*, polarizado com diferentes V_{BS}. L de 25 nm. Resultados simulados. 78
Figura 35 – Comparação da transcondutância em função da tensão de porta para $V_{DS} = 1V$. Transistores UTBB únicos, vários *ground planes*, polarizados com diferentes V_{BS}. L de 25 nm. Resultados simulados. 79
Figura 36 – Transcondutância em função da tensão de substrato para $V_D = 1V$ e $V_{GT} = 0{,}1V$. Transistores UTBB únicos,vários *ground planes*. L de 25 nm. Resultados simulados. 79
Figura 37 – Corrente de dreno em função da tensão de dreno para $V_{GT} = 0{,}1V$. Transistor UTBB único, sem *ground plane*, polarizado com diferentes V_{BS}. L de 25 nm. Resultados simulados. 80
Figura 38 – Corrente de dreno em função da tensão de dreno para $V_{GT} = 0{,}1V$. Transistor UTBB único, *ground plane* tipo P, polarizado com diferentes V_{BS}. L de 25 nm. Resultados simulados. 81

Figura 39 – Corrente de dreno em função da tensão de dreno para $V_{GT} = 0{,}1V$. Transistor UTBB único, *ground plane* tipo N, polarizado com diferentes V_{BS}. L de 25 nm. Resultados simulados. 81

Figura 40 – Comparação da condutância de dreno em função da tensão de dreno para $V_{GT} = 0{,}1V$. Transistores UTBB únicos, vários *ground planes*, polarizados com diferentes V_{BS}. L de 25 nm. Resultados simulados. 82

Figura 41 – Condutância de dreno em função da tensão de substrato para $V_D = 1V$ e $V_{GT} = 0{,}1V$. Transistores UTBB únicos,vários *ground planes*. L de 25 nm. Resultados simulados. 82

Figura 42 – Ganho intrínseco de tensão em função da tensão de substrato para $V_D = 1V$ e $V_{GT} = 0{,}1V$. Transistores UTBB únicos,vários *ground planes*. L de 25 nm. Resultados simulados. 83

Figura 43 – Esquema da associação série considerada nas simulações numéricas bidimensionais. 84

Figura 44 – Corrente de dreno em função da tensão de porta para baixo V_D. Associação série de transistores UTBB, sem *ground plane* (A), com *ground plane* tipo P (B) e com *ground plane* tipo N (C), polarizados com diferentes V_{BS}. Resultados simulados. 85

Figura 45 – Tensão de limiar em função da tensão de substrato de MS e MD. Associação série de transistores UTBB, sem *ground plane* (A), com *ground plane* tipo P (B) e com *ground plane* tipo N (C), $V_D = 50mV$. Resultados simulados. 86

Figura 46 – Inclinação de sublimiar em função da tensão de substrato de MS e MD. Associação série de transistores UTBB, sem *ground plane* (A), com *ground plane* tipo P (B) e com *ground plane* tipo N (C), $V_D = 50mV$. Resultados simulados. 87

Figura 47 – Corrente de dreno em função da tensão de porta para $V_D = 1V$. Associação série de transistores UTBB, sem *ground plane* (A), com *ground plane* tipo P (B) e com *ground plane* tipo N (C), polarizados com diferentes V_{BS}. Resultados simulados. 88

Figura 48 – Transcondutância em função da tensão de porta para $V_D = 1V$. Associação série de transistores UTBB, sem *ground plane* (A), com *ground plane* tipo P (B) e com *ground plane* tipo N (C), polarizados com diferentes V_{BS}. Resultados simulados. 90

Figura 49 – Transcondutância em função da tensão de substrato de MS e MD. Associação série de transistores UTBB, sem *ground plane* (A), com *ground plane* tipo P (B) e com *ground plane* tipo N (C), $V_D = 1V$ e $V_{GT} = 0{,}1V$. Resultados simulados. 91

Figura 50 – Corrente de dreno em função da tensão de dreno para $V_{GT} = 0{,}1V$. Associação série de transistores UTBB, sem *ground plane* (A), com *ground plane* tipo P (B) e com *ground plane* tipo N (C), polarizados com diferentes V_{BS}. Resultados simulados. 92

Figura 51 – Condutância de dreno em função da tensão de dreno de MS e MD. Associação série de transistores UTBB, sem *ground plane* (A), com *ground plane* tipo P (B) e com *ground plane* tipo N (C), $V_{GT} = 0{,}1V$. Resultados simulados. 93

Figura 52 – Condutância de dreno em função da tensão de substrato de MS e MD. Associação série de transistores UTBB, sem *ground plane* (A), com *ground plane* tipo P (B) e com *ground plane* tipo N (C), $V_D = 1V$ e $V_{GT} = 0{,}1V$. Resultados simulados. 94

Figura 53 – Ganho intrínseco de tensão em função da tensão de substrato de MS e MD. Associação série de transistores UTBB,sem *ground plane* (A), com *ground plane* tipo P (B) e com *ground plane* tipo N (C), $V_D = 1V$ e $V_{GT} = 0{,}1V$. Resultados simulados. 95

Figura 54 – Corrente de dreno em função da sobretensão de limiar para transistores únicos de L de 30 nm e 110 nm, para diversas V_{BS}. V_{DS} de 1 V. Resultados simulados. 96

Figura 55 – Corrente de dreno em função da tensão de dreno para transistores únicos de L de 30 nm e 110 nm, para diversas V_{BS}. V_{GT} de 200 mV. Resultados simulados. 97

Figura 56 – Transcondutância em função da sobretensão de limiar e a condutância de dreno em função da tensão de dreno para transistores únicos de L de 30 nm e 110 nm, para diversas V_{BS}. V_{DS} de 1 V e V_{GT} de 200 mV. Resultados simulados. 97
Figura 57 – Corrente de dreno em função da sobretensão de limiar para associações série simétricas e assimétricas, para diversas $V_{BS,MS}$, L_S e L_D. V_{DS} de 1 V. Resultados simulados. 99
Figura 58 – Corrente de dreno em função da tensão de dreno para associações série simétricas e assimétricas, para diversas $V_{BS,MS}$, L_S e L_D. V_{GT} de 200 mV e $V_{BS,MD}$ de 200 mV. Resultados simulados. 99
Figura 59 – Condutância de dreno em função da tensão de dreno para associações série simétricas e assimétricas, para diversas $V_{BS,MS}$, L_S e L_D. V_{GT} de 200 mV e $V_{BS,MD}$ de 2 V. Resultados simulados. 100
Figura 60 – Transcondutância em função da sobretensão de porta para associações série simétricas e assimétricas, para diversas $V_{BS,MS}$, L_S e L_D. V_{DS} de 1 V e $V_{BS,MD}$ de 2 V. Resultados simulados. 100
Figura 61 – Tensão Early em função da razão g_m/I_{DS} comparando transistores únicos e associações série. V_{DS} de 1 V . Resultados simulados. 101
Figura 62 – Transcondutância em função do ganho intrínseco de tensão comparando transistores únicos e associações série. V_{DS} de 1 V . Resultados simulados. 102
Figura 63 – Esquema de uma associação série considerada pelo algoritmo. 103
Figura 64 – Fluxograma do algoritmo construtor de curvas I-V para associações série. . 105
Figura 65 – Corrente de dreno em função da polarização de porta para $V_{D,SC}$ de 40 mV. 106
Figura 66 – Corrente de dreno em função da polarização de porta para $V_{D,SC}$ de 1 V. . . 107
Figura 67 – Tensão do nó intermediário (A) e transcondutância (B) em função da polarização de porta para $V_{D,SC}$ de 1 V. 108
Figura 68 – Corrente de dreno em função da polarização de porta comparando resultados construídos e de referência para diversos valores de $V_{D,SC}$. L_S e L_D igual a 1 µm. 109
Figura 69 – Corrente de dreno em função da polarização de porta comparando resultados construídos e de referência para diversos valores de $V_{D,SC}$. L_S e L_D igual a 1 µm. Escala logarítmica. 110

Figura 70 – Erro percentual entre as correntes dos resultados **construídos** e **de referência** em função da polarização de porta para dispositivos com L_D de 1 µm e 10 µm. $V_{D,SC}$ de 1 V e 1,5 V. 111
Figura 71 – Tensão no nó intermediário em função da polarização de porta para $V_{D,SC}$ igual a 1 V e 1,5 V. L_S igual a 1 µm e L_D igual a 1 µm e 10 µm. 111
Figura 72 – Corrente de dreno em função da polarização de dreno comparando resultados construídos e de referência para diversos valores de $V_{G,SC}$. L igual a 1 µm. 112
Figura 73 – Corrente de dreno em função da polarização de dreno comparando resultados construídos e de referência para diversos valores de $V_{G,SC}$. L_S igual a 1 µm e L_D igual a 10 µm. 112
Figura 74 – Erro percentual entre as correntes dos resultados **construídos** e de **referência** em função da polarização de dreno para dispositivos com L_D de 1 µm e 10 µm e variadas $V_{G,SC}$. 113
Figura 75 – Transcondutância em função da polarização de porta comparando resultados **construídos** e de **referência** para diversos valores de $V_{D,SC}$. L_D igual a 1 µm. 113
Figura 76 – Transcondutância em função da polarização de porta comparando resultados **construídos** e de **referência** para diversos valores de $V_{D,SC}$. L_D igual a 10 µm. 114
Figura 77 – Condutância de dreno em função da polarização de dreno comparando resultados **construídos** e de **referência** para diversos valores de $V_{G,SC}$. L_D igual a 1 µm. 114
Figura 78 – Condutância de dreno em função da polarização de dreno comparando resultados **construídos** e de **referência** para diversos valores de $V_{G,SC}$. L_D igual a 10 µm. 115
Figura 79 – Transcondutância em função da razão g_m/I_{DS} para $V_{D,SC}$ igual a 1 V e 1,5 V. L_S igual a 1 µm e L_D igual a 1 µm e 10 µm. 115
Figura 80 – Razão g_m/I_{DS} em função da corrente de dreno para $V_{D,SC}$ igual a 1 V e 1,5 V. L_S igual a 1 µm e L_D igual a 1 µm. 116
Figura 81 – Condutância de dreno em função da polarização de porta para $V_{D,SC}$ igual a 1 V e 1,5 V. L_S igual a 1 µm e L_D igual a 1 µm e 10 µm. 116

Figura 82 – Ganho intrínseco de tensão em função da polarização de porta para $V_{D,SC}$ igual a 1 V e 1,5 V. L_S igual a 1 µm e L_D igual a 1 µm e 10 µm. 117
Figura 83 – Corrente de dreno em função da tensão de porta em escala linear e logarítmica e em função da tensão de dreno para transistores UTBB individuais com diferentes V_{BS} e comprimentos de canal. 120
Figura 84 – Corrente de dreno em função da polarização de porta para associações série compostas de dispositivos com diferentes comprimentos de canal e polarizações de segunda porta. V_D de 1 V. 121
Figura 85 – Corrente de dreno em função da polarização de dreno para associações série compostas de dispositivos com diferentes comprimentos de canal e polarizações de segunda porta. V_{GT} de 0,4 V. 122
Figura 86 – Condutância de dreno em função da polarização de dreno para associações série compostas de dispositivos com diferentes comprimentos de canal e polarizações de segunda porta. V_{GT} de 0,4 V. 122
Figura 87 – Transcondutância em função da polarização de porta para associações série compostas de dispositivos com diferentes comprimentos de canal e polarizações de segunda porta. V_{DS} de 1 V. 123
Figura 88 – Transcondutância em função da sobretensão de porta para associações série compostas de dispositivos com diferentes comprimentos de canal e polarizações de segunda porta. V_D de 1 V. 124
Figura 89 – Condutância de dreno em função da sobretensão de porta para associações série compostas de dispositivos com diferentes comprimentos de canal e polarizações de segunda porta. V_D de 1 V. 124
Figura 90 – Ganho de tensão em função da sobretensão de porta para associações série compostas de dispositivos com diferentes comprimentos de canal e polarizações de segunda porta. V_D de 1 V. 125
Figura 91 – Transcondutância em função do ganho de tensão para associações série compostas de dispositivos com diferentes comprimentos de canal e polarizações de segunda porta. V_D de 1 V. 125
Figura 92 – Representação esquemática da não-linearidade na associação série. 126
Figura 93 – Distorção harmônica total e de terceira ordem em função da sobretensão de porta para associações série compostas de dispositivos com diferentes comprimentos de canal e polarizações de segunda porta. V_D de 1 V. 127

Figura 94 – Distorção harmônica total e de terceira ordem normalizada pelo ganho intrínseco de tensão em função da sobretensão de porta para associações série compostas de dispositivos com diferentes comprimentos de canal e polarizações de segunda porta. V_D de 1 V. 127
Figura 95 – Distorção harmônica total e de terceira ordem normalizada pelo ganho intrínseco de tensão em função da amplitude do sinal de entrada para associações série compostas de dispositivos com diferentes comprimentos de canal e polarizações de segunda porta. V_D de 1 V. 128
Figura 96 – Corrente de dreno em função da polarização de porta para S-SC e A-SC e várias combinações de L_S e L_D. 129
Figura 97 – Razão g_m/I_{DS} em função da corrente de dreno para S-SC e A-SC de diferentes L_S e L_D. V_{DS} de 1 V. 130
Figura 98 – Razão g_m/I_{DS} em função de sobretensão de limiar para S-SC e A-SC de diferentes L_S e L_D. V_{DS} de 1 V. 130
Figura 99 – Transcondutância em função da sobretensão de limiar para um transistor único, S-SC e A-SC, para várias combinações de L_S e L_D. 131
Figura 100 – Condutância de dreno em função da sobretensão de limiar para um transistor único, S-SC e A-SC, para várias combinações de L_S e L_D. 131
Figura 101 – Tensão Early em função da razão g_m/I_{DS} para um transistor único, S-SC e A-SC, para várias combinações de L_S e L_D. 132
Figura 102 – Ganho intrínseco de tensão em função da razão g_m/I_{DS} para um transistor único, S-SC e A-SC, para várias combinações de L_S e L_D. 132
Figura 103 – Transcondutância em função do ganho intrínseco de tensão para um transistor único, S-SC e A-SC, para várias combinações de L_S e L_D. 133
Figura 104 – Ganho intrínseco de tensão em função da potência para um transistor único, S-SC e A-SC, para várias combinações de L_S e L_D. 133

LISTA DE TABELAS

Tabela 1 – Parâmetros tecnológicos dos transistores simulados. 69

Tabela 2 – Tensões de limiar para os transistores únicos utilizados como Transistor Próximo à Fonte (MS) e Transistor Próximo ao Dreno (MD) nas associações apresentadas neste trabalho. 84

Tabela 3 – Tensão de limiar dos transistores únicos simulados em SPICE para vários V_{BS}. 96

Tabela 4 – Tensão de limiar das associações série simuladas em SPICE, para $V_{BS,MD}$ de 2 V. 98

Tabela 5 – Comparação entre a inclinação de sublimiar para A-SC da tecnologia SOI FD de nó tecnológico de 1 µm obtida de curvas **construídas** e **de referência**. L_S = 1 µm. 110

Tabela 6 – Tensão de limiar e inclinação de sublimiar para UTBB nMOSFETs que compõem associações série. 119

Tabela 7 – Tensão de limiar e inclinação de sublimiar para as associações série construídas. 121

LISTA DE ABREVIATURAS

2DEG	Gás Bidimensional (*Two Dimensional Electron Gas*)
A-SC	Associação Série Assimétrica (*Asymmetric Self-Cascode*)
BOX	Óxido Enterrado (*Buried Oxide*)
CMOS	Metal-Óxido-Semicondutor Complementar (*Complementary Metal-Oxide-Semiconductor*)
DIBL	Redução da Barreira Induzida pelo Dreno (*Drain Induced Barrier Lowering*)
EOT	Espessura Efetiva do Óxido em Relação ao Dióxido de Silício (*Effective Oxide Thickness*)
FD	Totalmente Depletada (*Fully Depleted*)
FET	Transistor de Efeito de Campo (*Field Effect Transistor*)
FinFET	*Fin Field Effect Transistor*
GP	Plano de Terra (*Ground Plane*)
GPN	*Ground Plane* tipo N
GPP	*Ground Plane* tipo P
High-k	Alta Constante Dielétrica
MD	Transistor Próximo ao Dreno
MLDA	Aproximação Modificada da Densidade Local (*Modified Local Density Aproximation*)
MOS	Metal-Óxido-Semicondutor (*Metal-Oxide-Semiconductor*)
MS	Transistor Próximo à Fonte
NFD	Quase Totalmente Depletado (*Near-Fully Depleted*)
nMOS	Metal-Óxido-Semicondutor tipo N
No-GP	Sem *Ground Plane* (*No Ground Plane*)
PD	Parcialmente Depletado (*Parcially Depleted*)
S-SC	Associação Série Simétrica (*Symmetric Self-Cascode*)
SC	Associação Série (*Self-Cascode*)
SDE	*Sentaurus Device*
SEE	Radiação Ionizante Transiente (*Single-Event Effect*)
SiO_2	Dióxido de Silício
SOI	Silício-Sobre-Isolante (*Silicon-On-Insulator*)
SSE	*Sentaurus Structure Editor*

UTB Camada de Silício Ultra Fina (*Ultra-Thin Body*)

UTBB Camada de Silício e Óxido Enterrado Ultrafinos (*Ultra-Thin Body and BOX*)

LISTA DE SÍMBOLOS

$E_{vácuo}$	Nível de energia do vácuo, eV
A_V	Ganho intrínseco de tensão, dB
C	Parâmetro de ajuste, $V \cdot m^{3 \cdot \gamma}/s$
C_{BOX}	Capacitância referente ao óxido enterrado, F
C_{gg}	Capacitância de Porta, F
C_L	Capacitância de carga, F
C_{ox1}	Capacitância referente ao isolante de porta, F
C_{Si}	Capacitância referente à carga depletada na região ativa, F
D	Parâmetro que considera a influência da distância até a interface e o parâmetro de ajuste correspondente ao comprimento crítico de canal, $adimensional$
d	Maior distância horizontal da região do canal controlada pelo dreno, m
$D_{1,acc}$	Parâmetro de ajuste referente ao espalhamento Coulomb bidimensional para camada acumulada, $adimensional$
$D_{1,inv}$	Parâmetro de ajuste referente ao espalhamento Coulomb bidimensional para camada invertida, $adimensional$
$D_{2,acc}$	Parâmetro de ajuste referente ao espalhamento Coulomb bidimensional para camada acumulada, $adimensional$
$D_{2,inv}$	Parâmetro de ajuste referente ao espalhamento Coulomb bidimensional para camada invertida, $adimensional$
$d_{máx}$	Espessura máxima da região de depleção, m
E_C	nível de energia inferior da faixa de condução, eV
E_F	Nível de Fermi do semicondutor, eV
E_i	Nível de energia intrínseco do semicondutor, eV
$E_\perp$	Campo elétrico vertical ao canal, V/m
E_V	Nível de energia da camada de valência, eV
$F_{1/2}$	Integral de Fermi da ordem 1/2
f_T	Frequência de ganho unitário, Hz
g_D	Condutância de dreno, S
g_m	Transcondutância, S
$HD3$	Distorção harmônica de terceira ordem, dB
I_{bias}	Corrente de polarização, A

$I_{D,MD}$	Corrente entre dreno e fonte do transistor próximo ao dreno, A
$I_{D,MS}$	Corrente entre dreno e fonte do transistor próximo à fonte, A
I_{DS}	Corrente entre dreno e fonte, A
$I_{D,SC}$	Corrente entre dreno e fonte da associação série, A
$I_D/(W/L)$	Corrente de dreno normalizada pela razão de aspecto, A
k	Constante de Boltzmann, $1{,}38 \times 10^{-23} J/K$
L	Comprimento do canal, m
l_{crit}	Parâmetro de ajuste correspondente ao comprimento crítico de canal no cálculo de μ_{SR}, m
L_D	Comprimento do canal do transistor próximo ao dreno,m
L_{eff}	Comprimento efetivo de canal, m
L_S	Comprimento do canal do transistor próximo à fonte,m
L_{sd}	Comprimento da região de fonte e dreno, nm
n	Fator de corpo, V/V
N_A	Concentração de impurezas aceitadoras, m^{-3}
N_D	Concentração de impurezas doadoras, m^{-3}
N_{acc}	Concentração de portadores da camada acumulada, m^{-3}
N_{GP}	Concentração de dopantes no *ground plane*, cm^{-3}
n_i	Concentração de intrínseca de portadores no silício = $1{,}45 \times 10^{10} cm^{-3}@300K$
N_{inv}	Concentração de portadores da camada invertida, m^{-3}
P	Potência, P
q	Carga do elétron, $1{,}6 \times 10^{-19} C$
Q_{BOX}	Carga no óxido enterrado, F
Q_{depl}	Carga de depleção no canal, C
Q_{ox1}	Carga no isolante de porta, C
SS	Inclinação de sublimiar, $V/déc$
T	Temperatura, K
t_{BOX}	Espessura da camada de óxido enterrado, m
$t_{ox,f}$	Espessura da camada de isolante de porta, m, EOT
t_{depl}	Espessura da depleção do silício abaixo do óxido enterrado, m
t_{ds}	Profundidade de *dark space*, m
THD	Distorção harmônica total, dB
t_{Si}	Espessura da camada ativa de silício, m

$V_{0,acc}$	Parâmetro de ajuste referente ao espalhamento Coulomb bidimensional para camada acumulada, $adimensional$
$V_{0,inv}$	Parâmetro de ajuste referente ao espalhamento Coulomb bidimensional para camada invertida, $adimensional$
$V_{1,acc}$	Parâmetro de ajuste referente ao espalhamento Coulomb bidimensional para camada acumulada, $adimensional$
$V_{1,inv}$	Parâmetro de ajuste referente ao espalhamento Coulomb bidimensional para camada invertida, $adimensional$
$V_{2,acc}$	Parâmetro de ajuste referente ao espalhamento Coulomb bidimensional para camada acumulada, $adimensional$
$V_{2,inv}$	Parâmetro de ajuste referente ao espalhamento Coulomb bidimensional para camada invertida, $adimensional$
V_a	Amplitude do sinal de entrada, V
V_{BS}	Polarização de segunda porta, V
$V_{BS,MD}$	Polarização de segunda porta para o transistor próximo ao dreno, V
$V_{BS,MS}$	Polarização de segunda porta para o transistor próximo à fonte, V
V_D	Polarização de dreno, V
V_{DD}	Tensão de alimentação, V
$V_{D,MD}$	Tensão do nó de dreno do transistor próximo ao dreno, V
$V_{D,MS}$	Tensão do nó de dreno do transistor próximo à fonte, V
V_{DS}	Tensão entre dreno e fonte, V
v_{ds}	Tensão alternada aplicada ao dreno, V
$V_{D,SC}$	Tensão do nó de dreno para a associação série, V
V_{EA}	Tensão Early, V
V_{FB}	Tensão de faixa plana, V
V_G	Tensão entre porta e fonte, V
V_G	Polarização de porta, V
$V_{G,MD}$	Tensão do nó de porta do transistor próximo ao dreno, V
$V_{G,MS}$	Tensão do nó de porta do transistor próximo à fonte, V
v_{gs}	Tensão alternada aplicada à porta, V
$V_{G,SC}$	Tensão do nó de porta para a associação série, V
V_{GT}	Sobretensão de porta, V
V_{IN}	Tensão de entrada, V

V_{OUT}	Tensão de saída, V
V_S	Polarização de fonte, V
$V_{S,MD}$	Tensão do nó de fonte do transistor próximo ao dreno, V
$V_{S,MS}$	Tensão do nó de fonte do transistor próximo à fonte, V
$V_{S,SC}$	Tensão do nó de fonte para a associação série, V
$V_{T,MD}$	Tensão de limiar do transistor próximo ao dreno, V
V_T	Tensão de limiar, V
$V_{T1,acc2}$	Tensão de limiar aplicada à porta considerada segunda interface acumulada, V
$V_{T1,inv2}$	Tensão de limiar aplicada à porta considerada segunda interface invertida, V
$V_{T2,acc2}$	Tensão de limiar na segunda porta considerando a segunda interface acumulada, V
$V_{T2,inv2}$	Tensão de limiar na segunda porta considerando a segunda interface invertida, V
V_X	Nó intermediário da associação série, V
W	Largura do canal, m
W_D	Largura do canal do transistor próximo ao dreno, m
W_S	Largura do canal do transistor próximo a fonte, m
x	Distância até a interface, m
X_{bar}	Região de confinamento quântico, m
α	Variação da tensão de limiar em função da tensão de substrato, V/V
$\alpha_{1,acc}$	Parâmetro de ajuste referente ao espalhamento Coulomb bidimensional para camada acumulada, $adimensional$
$\alpha_{1,inv}$	Parâmetro de ajuste referente ao espalhamento Coulomb bidimensional para camada invertida, $adimensional$
$\alpha_{2,acc}$	Parâmetro de ajuste referente ao espalhamento Coulomb bidimensional para camada acumulada, $adimensional$
$\alpha_{2,inv}$	Parâmetro de ajuste referente ao espalhamento Coulomb bidimensional para camada invertida, $adimensional$
χ_{Si}	Afinidade eletrônica do silício, eV
ΔL	Comprimento da região de depleção próxima ao dreno, nm
ε_{Si}	Permissividade elétrica do dióxido de sílício, $3{,}45 \times 10^{-13} F/cm$
ε_{Si}	Permissividade elétrica do silício, $1{,}06 \times 10^{-12} F/cm$
γ	Parâmetro de ajuste no cálculo de μ_{SR}, $adimensional$

λ	Parâmetro que inclui a dependencia da corrente de dreno pela tensão de dreno, V^{-1}
μ	Mobilidade dos portadores no silício, $m^2/V \cdot s$
μ_C	Mobilidade limitada pelo espalhamento Coulomb, $m^2/V \cdot s$
$\mu_{C,2D,acc}$	Mobilidade devido ao espalhamento Coulomb bidimensional para camada acumulada, $m^2/V \cdot s$
$\mu_{C,2D,inv}$	Mobilidade devido ao espalhamento Coulomb bidimensional para camada invertida, $m^2/V \cdot s$
μ_{PH}	Mobilidade limitada pelo espalhamento por fônon, $m^2/V \cdot s$
μ_{SR}	Mobilidade limitada pelo espalhamento por rugosidade de superfície, $m^2/V \cdot s$
Φ_F	Potencial de Fermi, V
Φ_M	Função trabalho do metal de porta, eV
Φ_{MS1}	Potencial do metal de contato de porta, V
Φ_{MS2}	Potencial do metal de contato da segunda porta, V
Φ_{S2}	Potencial do silício na segunda interface, V
Φ_{Si}	Função trabalho do semicondutor da camada ativa, eV
$\Phi_{Si,Sub}$	Função trabalho do semicondutor da camada abaixo do BOX, eV
σ	Parâmetro que considera a influência de V_{DS} no cálculo de V_T, $adimensional$

SUMÁRIO

1 INTRODUÇÃO 37

2 FUNDAMENTAÇÃO TEÓRICA 39

2.1 TECNOLOGIA SILÍCIO-SOBRE-ISOLANTE 39

2.1.1 Transistores SOI Convencionais 39

2.1.2 Parâmetros Básicos 43

2.1.2.1 Mobilidade dos Portadores 43

2.1.2.2 Tensão de Limiar 45

2.1.2.3 Inclinação de Sublimiar 47

2.1.2.4 Efeitos de Canal Curto 47

2.1.3 Parâmetros Analógicos 48

2.1.3.1 Transcondutância e Razão g_m/I_{DS} 48

2.1.3.2 Condutância de Dreno e Tensão Early 49

2.1.3.3 Ganho Intrínseco de Tensão 52

2.2 TECNOLOGIA UTBB 53

2.2.1 Transistores UTBB 53

2.2.1.1 Efeito de Corpo 56

2.2.1.2 Consequências Físicas das Espessuras Finas 57

2.2.1.3 Controle de V_T 59

2.3 ASSOCIAÇÃO SÉRIE 61

2.3.1 Associação Série Simétrica 61

2.3.2 Associação Série Assimétrica 65

3 SIMULAÇÕES 69

3.1 SIMULAÇÕES NUMÉRICAS BIDIMENSIONAIS 69

3.1.1 Dispositivos e Metodologia 69

3.1.1.1 Modelos Físicos 70

3.1.1.1.1 Estatísticas de Fermi 70

3.1.1.1.2 Estrutura de Bandas Multivale e o Modelo de Aproximação Modificada da Densidade Local 71

3.1.1.1.3 Modelo Unificado de Mobilidade de Philips 71

3.1.1.1.4 Degradação de mobilidade nas interfaces 71

3.1.1.1.5 Saturação por Alto Campo Elétrico 72

3.1.1.1.6 Recombinação Shockley-Read-Hall 72
3.1.1.1.7 Estreitamento da Banda Proibida 72
3.1.2 Transistores UTBB únicos 73
3.1.2.1 Parâmetros Básicos 73
3.1.2.2 Figuras de Mérito Analógicas e Curvas Características 76
3.1.3 Associação Série de Transistores UTBB 83
3.1.3.1 Figuras de Mérito Analógicas e Curvas Características 87
3.2 SIMULAÇÕES SPICE 95
3.2.1 Características dos Dispositivos Únicos 95
3.2.2 Características dos Transistores Compostos 98
4 CÓDIGO CONSTRUTOR DE I-V PARA ASSOCIAÇÕES SÉRIE 103
4.1 DESCRIÇÃO DO ALGORITMO 103
4.2 VALIDAÇÃO COM SIMULAÇÕES SPICE 105
4.3 VALIDAÇÃO COM MEDIDAS EXPERIMENTAIS EM TRANSISTORES FD SOI PLANARES CONVENCIONAIS 108
5 CARACTERIZAÇÃO EXPERIMENTAL DE ASSOCIAÇÕES SÉRIE DA TECNOLOGIA UTBB 119
5.1 CARACTERÍSTICAS DOS DISPOSITIVOS 119
5.2 CURVAS CARACTERÍSTICAS 120
5.3 FIGURAS DE MÉRITO ANALÓGICAS 123
5.4 DISTORÇÃO HARMÔNICA 125
5.5 OPERAÇÃO EM SUBLIMIAR 128
6 CONCLUSÃO 135
7 PUBLICAÇÕES 139
7.1 REVISTAS CIENTÍFICAS 139
7.2 ANAIS DE EVENTOS 139
REFERÊNCIAS 141
APÊNDICE A – Código Sentaurus Structure Editor 149
APÊNDICE B – Código Sentaurus Device 157
APÊNDICE C – Código Construtor de Curva I - Vg para uma SC - PARTE PRINCIPAL 163
APÊNDICE D – Código Construtor de Curva I - Vg para uma SC - FUNÇÃO CONSTRUTORA 167

APÊNDICE E – Código Construtor de Curva I - Vg para uma SC - FUNÇÃO DELETA DUPLICATAS 173
APÊNDICE F – Código Construtor de Curva I - Vg para uma SC - FUNÇÃO INTERPOLADORA 175
APÊNDICE G – Código Construtor de Curva I - Vd para uma SC - PARTE PRINCIPAL 179
APÊNDICE H – Código Construtor de Curva I - Vd para uma SC - FUNÇÃO CONSTRUTORA 183
APÊNDICE I – Código Construtor de Curva I - Vd para uma SC - FUNÇÃO DELETA DUPLICATAS 189
APÊNDICE J – Código Construtor de Curva I - Vd para uma SC - FUNÇÃO INTERPOLADORA 191

1 INTRODUÇÃO

A tecnologia Totalmente Depletada (*Fully Depleted*) Silício-Sobre-Isolante (*Silicon-On-Insulator*) consiste em uma alternativa à tecnologia Metal-Óxido-Semicondutor (*Metal-Oxide-Semiconductor*) convencional. A adição de uma espessa camada de óxido abaixo da região ativa, fina o suficiente para permitir sua depleção completa quando operando em regime de inversão, proporciona vantagens no que diz respeito à fabricação de circuitos integrados (COLINGE, J. P., 1987). Além disso, a tecnologia FD SOI pode suavizar ou suprimir efeitos indesejáveis presentes na tecnologia MOS, tais como efeito de canal curto (VEERARAGHAVAN; FOSSUM, 1989), efeito Kink (COLINGE, J.-P., 2004) e efeito tiristor parasitário (EL-KAREH; STANLEY; CHEN, 1994).

Apesar de suas vantagens, a tecnologia SOI apresenta limitações quanto ao seu desempenho analógico. Por exemplo, no projeto de circuitos analógicos, há a necessidade de se estabelecer um compromisso entre parâmetros que dependem das dimensões dos transistores de maneira conflitante, como a condutância de dreno (g_D), que é melhor (menor) quanto mais curto o comprimento de canal (L) do dispositivo, e a frequência de ganho unitário (f_T), que é diretamente proporcional a L. Uma técnica amplamente utilizada para contornar este problema é a Associação Série (*Self-Cascode*) de dois transistores com portas curto-circuitadas (GALUP-MONTORO; SCHNEIDER; LOSS, 1994; GAO, M. et al., 1992). Com ela, há melhora da condutância de dreno, já que a modulação do comprimento de canal fica limitada em parte ao Transistor Próximo ao Dreno (GAO, M. et al., 1992). Assim, pode-se obter um melhor compromisso com, por exemplo, f_T ou a transcondutância (g_m), que são melhores em dispositivos mais curtos (SCHNEIDER; GALUP-MONTORO, 2010).

Duas categorias de SC são estudadas neste trabalho: a tradicional, composta por transistores de tensões de limiar (V_T) similares, que é referida como Associação Série Simétrica (*Symmetric Self-Cascode*), e a proposta feita por Souza, Flandre e Pavanello (2011), na qual MD possui tensão de limiar (V_T) menor que a do Transistor Próximo à Fonte, referida neste trabalho como Associação Série Assimétrica (*Asymmetric Self-Cascode*). Quando proposta, a assimetria da V_T dos dois transistores era obtida através da manipulação da concentração de dopantes em seus canais. Entretanto, algumas tecnologias recentes apresentam transistores com concentração intrínseca na região do canal.

A tecnologia SOI com Camada de Silício e Óxido Enterrado Ultrafinos (*Ultra-Thin Body and BOX*) consiste em um caso específico caracterizado pelas espessuras da região ativa

de silício e da região do BOX agressivamente reduzidas (MORITA et al., 2008). Além de proporcionar melhor Redução da Barreira Induzida pelo Dreno (*Drain Induced Barrier Lowering*) (MONFRAY et al., 2010; GALLON et al., 2006), esses transistores também permitem que sua tensão de limiar seja definida pela concentração de dopantes da região abaixo do BOX ou até mesmo pela polarização do substrato (V_{BS}). Esta flexibilidade é interessante para o projeto de circuitos integrados.

Neste trabalho, portanto, é proposto oo estudo qualitativo e comparativo da A-SC implementada em UTBB, buscando explorar a flexibilidade do controle de V_T promovido por esta tecnologia, com o objetivo de sua aplicação no projeto de circuitos analógicos.

No segundo capítulo é apresentada uma revisão de conceitos fundamentais necessários para a compreensão deste trabalho. São abordados o funcionamento de dispositivos FD SOI, seus principais parâmetros, as estruturas S-SC e A-SC e a introdução à tecnologia UTBB.

No terceiro capítulo são apresentados resultados obtidos através da simulação numérica bidimensional de transistores UTBB únicos e associados em série. São analisados os efeitos de diferentes tipos de GP, bem como a variação da tensão de substrato, sobre as principais figuras de mérito analógicas e digitais.

No quarto capítulo, é apresentado o desenvolvimento de um código proposto em Matlab (MATLAB..., 2018), que tem como função facilitar a caracterização experimental de uma associação simétrica e assimétrica. Ele é validado através da comparação de curvas características e figuras de mérito analógicas de A-SC e S-SC utilizando resultados de simulações SPICE e medições em dispositivos individuais da tecnologia SOI convencional.

No quinto capítulo, são apresentados resultados experimentais de dispositivos UTBB associados usando o método de código proposto. São analisadas curvas características e figuras de mérito em transistores únicos e compostos, comparando combinações de diferentes comprimentos de canal e polarizações de segunda porta V_{BS}.

Por fim, são apresentadas as conclusões obtidas e propostas de desdobramentos da pesquisa.

2 FUNDAMENTAÇÃO TEÓRICA

Neste capítulo, são apresentados os conceitos teóricos necessários para a compreensão deste trabalho e dos resultados com ele obtidos.

2.1 TECNOLOGIA SILÍCIO-SOBRE-ISOLANTE

Esta seção tem como objetivo estabelecer uma fundamentação teórica sobre Transistor de Efeito de Campo (*Field Effect Transistor*) (FET) Metal-Óxido-Semicondutor tipo N (nMOS) da tecnologia SOI, os principais parâmetros elétricos que serão analisados neste trabalho e os efeitos de degradação que mais os influenciam.

2.1.1 Transistores SOI Convencionais

A tecnologia SOI apresenta diversas vantagens sobre a *bulk* convencional e é largamente utilizada por possibilitar o contínuo escalamento dos dispositivos e permitir a manutenção do aumento da sua densidade em circuitos integrados (COLINGE, J.-P., 2004). Um transistor desta tecnologia tem sua camada superficial do silício, chamada de região ativa, isolada do restante do substrato por um Óxido Enterrado (*Buried Oxide*) (BOX), apresentando seu perfil transversal conforme esquematizado na Figura 1, Onde a 1ª interface corresponde à interface entre o isolante de porta e a região ativa, a 2ª interface corresponde à interface entre a região ativa e o BOX, a 3ª corresponde à interface entre o BOX e o restante do silício, V_S é a polarização de fonte, V_G é a polarização de porta, V_D é a polarização de dreno, V_{BS} é a polarização do substrato, t_{Si} é a espessura da região ativa, $t_{ox,f}$ é a espessura do óxido de porta e t_{BOX} é a espessura do BOX. Esta camada isolante será responsável por limitar a interação do substrato com a região ativa, que mesmo na tecnologia *bulk* convencional apenas tem a função de sustentação mecânica. Dentre as vantagens resultantes da existência do BOX, pode-se citar a supressão do efeito tiristor parasitário (EL-KAREH; STANLEY; CHEN, 1994), redução das capacitâncias de junção entre fonte/dreno e substrato (COLINGE, J.-P., 2004) e simplificação do processo de fabricação Metal-Óxido-Semicondutor Complementar (*Complementary Metal-Oxide-Semiconductor*) (CMOS) *bulk*, já que não necessita de etapas complexas como a isolação por trincheira (CHANG, 2001) ou de cavidades (COLINGE, J.-P., 2004).

Transistores SOI podem ser classificados de acordo com a relação entre t_{Si} e a espessura máxima da região de depleção $d_{máx}$, dada pela equação 1.

$$d_{máx} = \sqrt{\frac{2 \cdot \varepsilon_{Si} \cdot 2 \cdot \Phi_F}{q \cdot N_A}} \tag{1}$$

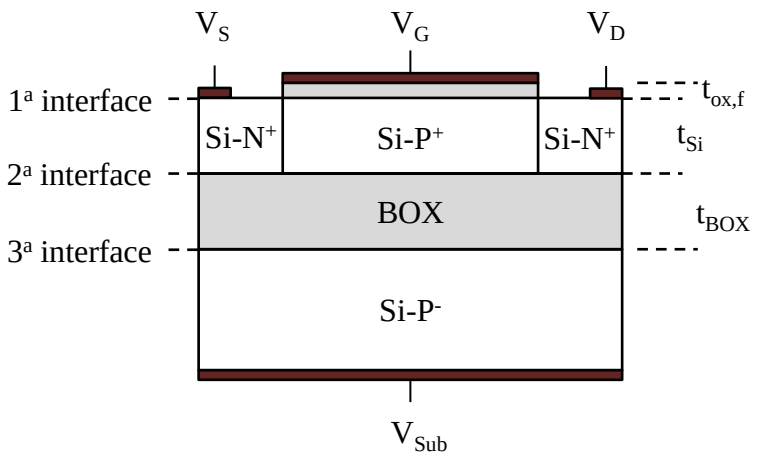
Onde ε_{Si} é a permissividade elétrica do silício (aproximadamente $10^{-12} F/cm$), q é a carga fundamental do elétron ($1{,}6 \times 10^{-19} C$), N_A é a concentração de impurezas aceitadoras no canal, no caso de um transistor nMOS, e Φ_F é o potencial de Fermi, definido pela equação 2.

$$\Phi_F = \frac{k \cdot T}{q} \cdot \ln\left(\frac{N_A}{n_i}\right) \tag{2}$$

Onde k é a constante de Boltzmann ($1{,}38 \times 10^{-23} J/K$), T é a temperatura absoluta e n_i é a concentração intrínseca de portadores no silício (aproximadamente $10^{10} cm^{-3}$ em $300K$).

Transistores SOI são chamados Parcialmente Depletados (PDs) quando t_{Si} for maior que $2 \cdot d_{máx}$. Neste caso, não há interação entre as regiões de depleção induzidas na primeira e segunda interfaces. Caso não haja um contato de corpo fabricado na região neutra resultante, o dispositivo apresentará efeitos de corpo flutuante (KRISHNAN; FOSSUM, 1998), como o aumento abrupto de corrente (efeito Kink) e efeito bipolar parasitário entre fonte e dreno (COLINGE, J.-P., 2004). Entretanto, caso exista esse contato, o transistor PD funciona de maneira muito similar ao Metal-Óxido-Semicondutor (*Metal-Oxide-Semiconductor*) (MOS)FET convencional.

Figura 1 – Esquema de um transistor da tecnologia SOI.



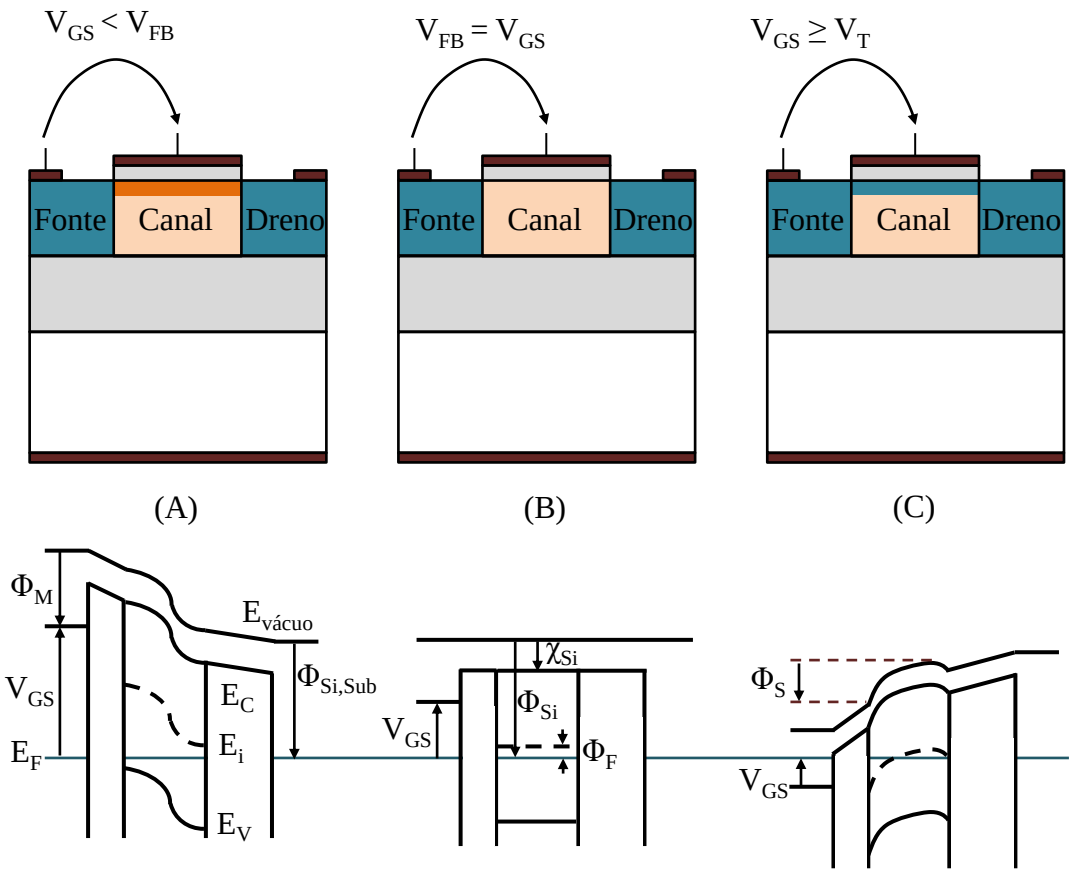
Fonte: Autora.

Já os transistores SOI Totalmente Depletada (*Fully Depleted*) (FD) possuem t_{Si} menor que $d_{máx}$. Isso faz com que haja forte interação entre a primeira e segunda interfaces do transistor, que operará totalmente depletado, exceto no scasos em que tensões aplicadas à segunda porta (V_{BS}) causem presença de uma fina camada de acumulação ou inversão. Dentre as vantagens sobre transistores *bulk*, é possível citar a melhor inclinação de limiar (FLANDRE, D. et al., 1994), menor corrente de fuga (COLINGE, J. -P., 1988), maior resistência à temperaturas extremas (KRULL; LEE, 1988; GROESENEKEN et al., 1990) e Radiação Ionizante Transiente (*Single-Event Effect*) (SEE) (LERAY et al., 1988), entre outras. Assim, transistores FD SOI se mostram excelentes para aplicações com reduzido consumo de potência (ICHIKAWA et al., 2004) e reduzidas tensões de alimentação (ANTONIADIS, 1997). Para este trabalho, o aprofundamento nas características de funcionamento desta tecnologia especificamente é mais interessante. Entretanto, também é interessante ressaltar os transistores SOI com t_{Si} intermediário a $d_{máx}$ e $2{\cdot}d_{máx}$, conhecidos como Quase Totalmente Depletados (*Near-Fully Depleted*) (NFDs), onde as regiões de depleção nas interfaces poderão ou não entrar em contato, dependendo da tensão V_{BS}. Seu comportamento elétrico, então, poderá se assemelhar tanto ao PD SOI quanto ao FD.

O funcionamento de transistores SOI totalmente depletados será explicado como é observado para o caso de nMOS, esquematizado na figura 2 (onde E_C, E_F, E_i, E_V, $E_{vácuo}$ são, respectivamente, os níveis de energia da abaixo da faixa de condução, de Fermi, intrínseco do semicondutor, da camada de valência e do vácuo; Φ_M, Φ_{Si} e $\Phi_{Si,Sub}$ são, respectivamente, as funções trabalho do metal de porta, do semicondutor na região ativa e do semicondutor abaixo do BOX; e χ_{Si} é a afinidade eletrônica do silício), para simplificação. Eles são considerados dispositivos modo inversão, o que significa que diferentes tipos de dopantes são aplicados no canal dos transistores e nas regiões de fonte e dreno. A tensão de porta V_G será responsável pela operação do transistor das seguintes formas:

a) Em **acumulação**, quando a polarização entre porta e fonte, V_G, é menor que a tensão de faixa plana V_{FB}, definida pela diferença de potencial aplicada à porta necessária para compensar as diferenças introduzidas na união do metal de porta, isolantes e semicondutor, e os portadores majoritários do canal, no caso lacunas, se acumulam na superfície da primeira interface. A formação de regiões de depleção nas junções fonte/canal e canal/fonte ocorre devido ao perfil de dopantes oposto e praticamente não permite a passagem de corrente. A figura 2 (A) esquematiza o perfil do transistor e seu diagrama de bandas de energia.

Figura 2 – Esquema do perfil transversal de transistores FD SOI nMOS e suas respectivas representações nos diagramas de bandas de energia em regime de acumulação (A), depleção (B) e inversão (C).



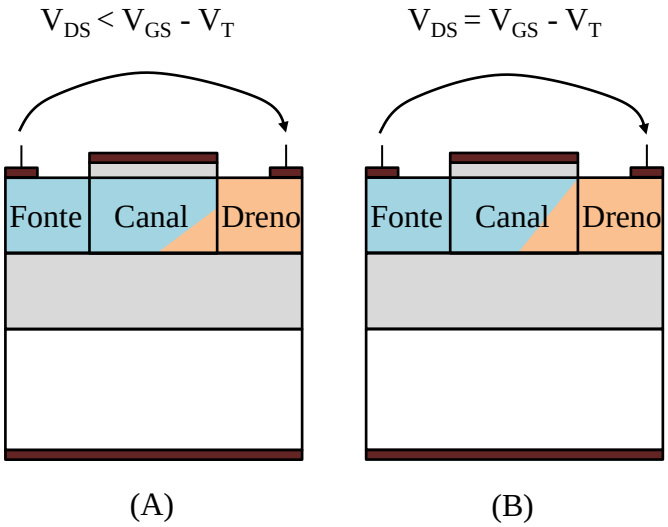
Fonte: Autora.

b) Em **depleção**, quando V_G é maior que V_{FB}, mas ainda não atingiu a tensão de limiar V_T. Neste caso, os portadores majoritários do canal (lacunas) são afastados da primeira interface, criando uma região sem portadores livres (região de depleção). Esta condição está exemplificada através do perfil do transistor e de seu diagrama de bandas de energia na figura 2 (B).

c) Em **inversão**, V_G atinge V_T e os portadores minoritários passam a se concentrar na primeira interface, caracterizando uma inversão no perfil de dopantes e criando uma passagem entre fonte e dreno por onde flui uma corrente entre dreno e fonte, I_{DS}. Esta condição está exemplificada através do perfil transversal de um transistor nMOS e de seu diagrama de bandas de energia apresentado na figura 2 (C).

Analisando a variação da tensão aplicada ao dreno, tem-se as seguintes condições, para $V_G \geq V_T$:

Figura 3 – Esquema do perfil transversal de transistores SOI em regime de triodo (A) e saturação (B).



Fonte: Autora.

a) Para $V_{DS} < V_{GT}$, onde V_{GT} corresponde à sobretensão de porta ($V_G - V_T$), diz-se que o transistor opera em triodo, ou região linear. Neste caso, a deformação do canal devido à polarização de dreno é mínima, como apresentado na figura 3 (A).

b) Para $V_{DS} \geq V_{GT}$, diz-se que o transistor se encontra em saturação. Há o pinçamento do canal na extremidade mais próxima ao dreno para $V_{DS} = V_{GT}$. Conforme a polarização de dreno aumenta, vai se formando uma região de depleção cada vez maior ao redor do dreno, caracterizando a modulação do comprimento de canal, como apresentado na figura 3 (B).

A partir desta introdução sobre os conceitos da tecnologia SOI, pode-se definir alguns parâmetros que serão importantes para este trabalho.

2.1.2 Parâmetros Básicos

2.1.2.1 Mobilidade dos Portadores

A mobilidade dos portadores (μ) é um parâmetro que quantifica a facilidade de movimento dos portadores de carga pela rede cristalina do semicondutor, sendo limitada por uma série de mecanismos de espalhamento. Estes detalham específicos aspectos da física dos semicondutores, sendo necessária sua combinação para obter um valor total da mobilidade.

A forma como μ é considerada neste trabalho consiste principalmente na associação dos mecanismos de espalhamento por fônon (μ_{PH}), por rugosidade de superfície (μ_{SR}) e espalhamento Coulomb (μ_C), conforme mostra a equação 3, utilizando a regra de Mathiessen (GUTIERREZ-D; DEEN; CLAEYS, 2000) para combinar os diferentes mecanismos.

$$\frac{1}{\mu} = \frac{1}{\mu_C} + \frac{1}{\mu_{PH}} + \frac{D}{\mu_{SR}} \tag{3}$$

Onde $D = e^{\frac{-x}{l_{crit}}}$, x é a distância da posição do portador até a interface e l_{crit} é um parâmetro de ajuste. A componente μ_{SR} descreve a interferência da rugosidade de superfície como fator limitante da mobilidade. Para condições de polarização de dreno mais altas, este mecanismo pode ser desconsiderado (SENTAURUS..., 2016). μ_{SR} pode ser dado pela equação 4, conforme descrito em (MUJTABA, 1995).

$$\mu_{SR} = \frac{C \cdot {N_A}^{\gamma}}{{E_\perp}^2(r)} \tag{4}$$

Onde γ e C são parâmetros de ajuste, N_A é a concentração de dopantes no canal e$E_\perp$ é o campo elétrico vertical no canal.

A componente μ_{PH} corresponde à mobilidade dos portadores limitada pela vibração da rede cristalina do semicondutor. Este mecanismo de espalhamento considera a interferência das vibrações do material no movimento dos portadores e é, portanto, dependente da temperatura. A mobilidade dos elétrons limitada pelo espalhamento de rede (μ_{PH}) pode ser descrita pela equação 5, conforme o modelo descrito em (SAH et al., 1981).

$$\mu_{PH} = \frac{1}{\frac{1}{4195 \cdot (\frac{T}{300})^{-1,15}} + \frac{1}{2153 \cdot (\frac{T}{300})^{-3,13}}} \tag{5}$$

Já a componente μ_C considera os efeitos de degradação da mobilidade por conta de interações entre cargas, tanto considerando sua estrutura física quanto forças de atração e repulsão, originadas das mais diversas formas dentro de um material semicondutor. Mecanismos como a interação portador-portador, cargas armadilhadas no óxido, portadores neutros, portadores ionizados, dentre outros, são coletivamente considerados pelo espalhamento Coulomb, que é dividido em dois fatores: o bidimensional e o tridimensional. O primeiro tem contribuições relevantes à camada de inversão e de acumulação, conforme descrito nas equações 6 e 7, respectivamente.

$$\mu_{C,2D,inv} = [(\frac{D_{1,inv} \cdot (T/300K)^{\alpha_{1,inv}} \cdot (c/10^{18}cm^{-3})^{V_{0,inv}}}{(N_{inv}/10^{18}cm^{-3})^{V_{1,inv}}})^2 + (\frac{D_{2,inv} \cdot (T/300K)^{\alpha_{2,inv}}}{(N_{inv}/10^{18}cm^{-3})^{V_{2,inv}}})^2]^{\frac{1}{2}} \tag{6}$$

$$\mu_{C,2D,acc} = [(\frac{D_{1,acc} \cdot (T/300K)^{\alpha_{1,acc}} \cdot (c/10^{18}cm^{-3})^{V_{0,acc}}}{(N_{acc}/10^{18}cm^{-3})^{V_{1,acc}}})^2 + (\frac{D_{2,acc} \cdot (T/300K)^{\alpha_{2,acc}}}{(N_{acc}/10^{18}cm^{-3})^{V_{2,acc}}})^2]^{\frac{1}{2}} \tag{7}$$

Onde $D_{1,inv}$, $D_{2,inv}$,$D_{1,acc}$, $D_{2,acc}$, $V_{0,inv}$, $V_{1,inv}$, $V_{2,inv}$, $V_{0,acc}$, $V_{1,acc}$, $V_{2,acc}$, $\alpha_{1,inv}$, $\alpha_{2,inv}$, $\alpha_{1,acc}$, $\alpha_{2,acc}$ são parâmetros de ajuste e N_{inv} e N_{acc} são as concentrações de portadores considerando a camada invertida e acumulada, respectivamente. Estas duas parcelas referentes ao espalhamento Coulomb compõem a μ_C conforme a regra de Mathiessen, como mostra a equação 8.

$$\frac{1}{\mu_C} = \frac{1}{\mu_{C,2D,acc}} + \frac{1}{\mu_{C,2D,inv}} \tag{8}$$

2.1.2.2 Tensão de Limiar

A tensão de limiar é um parâmetro que corresponde à tensão aplicada à porta necessária para que haja a inversão da superfície de um MOSFET. Para um transistor de porta simples, isto ocorre quando o potencial do silício atinge o valor de $2 \cdot \Phi_F$. Em um transistor FD SOI, a interação entre as duas interfaces é tal que V_T na interface próxima ao óxido de porta será diferente dependendo da condição de polarização em que se encontra a interface próxima ao BOX. Por uma questão de simplicidade, esta seção se refere a um nMOS. As equações 9 e 10 correspondem à tensão de limiar na primeira interface para o caso da segunda interface acumulada, onde o potencial do silício na segunda interface é nulo ($\Phi_{S2} = 0$), e invertida, onde $\Phi_{S2} = 2 \cdot \Phi_F$, respectivamente.

$$V_{T1,acc2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + (1 + \frac{C_{Si}}{C_{ox1}}) \cdot 2 \cdot \Phi_F - \frac{Q_{depl}}{2 \cdot C_{ox1}} \tag{9}$$

$$V_{T1,inv2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + 2 \cdot \Phi_F - \frac{Q_d epl}{2 \cdot C_{ox1}} \tag{10}$$

Onde $V_{T1,acc2}$ e $V_{T1,inv2}$ correspondem à tensão de limiar referente à porta considerando a segunda interface acumulada e invertida, respectivamente, Q_{depl} é a carga depletada no canal,

Q_{ox1} é a carga contida no isolante de porta, C_{Si} e C_{ox1} são as capacitâncias referentes à depleção da região ativa e ao isolante de porta, respectivamente, Φ_{MS1} é o potencial do material do contato de porta.

Para o caso da segunda interface estar depletada, seu potencial assumirá um valor dependente da tensão de V_{BS} e poderá assumir valores entre 0 e $2 \cdot \Phi_F$. Essas condições de polarização de substrato são descritas respectivamente nas equações 11 e 12.

$$V_{T2,acc2} = \Phi_{MS2} - \frac{Q_{BOX}}{C_{BOX}} - \frac{C_{Si}}{C_{ox1}} \cdot 2 \cdot \Phi_F - \frac{Q_{depl}}{2 \cdot C_{BOX}} \tag{11}$$

$$V_{T2,inv2} = \Phi_{MS2} - \frac{Q_{BOX}}{C_{BOX}} + 2 \cdot \Phi_F - \frac{Q_{depl}}{2 \cdot C_{BOX}} \tag{12}$$

Onde $V_{T2,acc2}$ e $V_{T2,inv2}$ correspondem às tensões de limiar na segunda porta considerando a segunda interface acumulada e invertida, respectivamente, Φ_{MS2} é o potencial do material do contato da segunda porta, C_{BOX} é a capacitância referente ao óxido enterrado e Q_{BOX} é a carga no óxido enterrado.

A tensão de limiar na primeira interface para a segunda interface depletada pode ser então expressa pela equação 13.

$$V_{T1,acc2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + (1 + \frac{C_{Si}}{C_{ox1}}) \cdot 2 \cdot \Phi_F - \frac{Q_{depl}}{2 \cdot C_{ox1}} \tag{13}$$

Estas equações são válidas para transistores SOI de camadas relativamente espessas. O efeito de corpo dos transistores SOI pode ser definido como a dependência de sua tensão de limiar pela polarização de substrato que, como visto, acontecerá com a segunda interface depletada. Portanto, a variação de V_T com V_{BS}, aqui chamado de α, pode ser descrita pela equação 14.

$$\frac{dV_{T1,depl2}}{dV_{Sub}} = -\frac{C_{Si} \cdot C_{ox2}}{C_{ox1} \cdot (C_{Si} + C_{ox2})} = -\frac{\varepsilon_{Si} \cdot C_{ox2}}{C_{ox1} \cdot (t_{Si} \cdot C_{ox2} + \varepsilon_{Si})} = -\alpha \tag{14}$$

O fator de corpo (n) pode ser descrito então pela equação 15.

$$n = 1 + \alpha \tag{15}$$

2.1.2.3 Inclinação de Sublimiar

A inclinação de sublimiar (SS) pode ser definida como a taxa de variação da corrente com a tensão de porta para v_{gs}<V_T. Durante o regime de sublimiar, o mecanismo de fluxo dos portadores se dá principalmente por difusão (OVERSTRAETEN; DECLERCK; BROUX, 1973). Para transistores FD SOI, ignorando as diferentes condições de operação da segunda interface, tem-se SS descrito conforme a equação 16.

$$SS = \frac{k \cdot T}{q} \cdot \ln(10) \cdot (1 + \alpha) \tag{16}$$

Portanto, para transistores SOI totalmente depletados, a inclinação de sublimiar pode ser dada pela equação 17.

$$SS = \frac{k \cdot T}{q} \cdot \ln(10) \cdot (1 + \frac{1}{C_{ox1}} \cdot \frac{C_{Si} \cdot C_{ox2}}{C_{Si} + C_{ox2}}) \tag{17}$$

A dependência da inclinação de sublimiar sobre a associação de capacitâncias faz com que a tecnologia imponha um limite real ao seu valor mínimo. No entanto, um limite teórico pode ser concebido considerando n = 1, o que proporciona um $SS \approx 60mV/déc$.

A extração de SS pode ser feita através dos valores obtidos no patamar mínimo da curva $(\frac{d\log(I_{DS})}{dv_{gs}})^{-1}$, em função de v_{gs} (COLINGE; COLINGE, 2005).

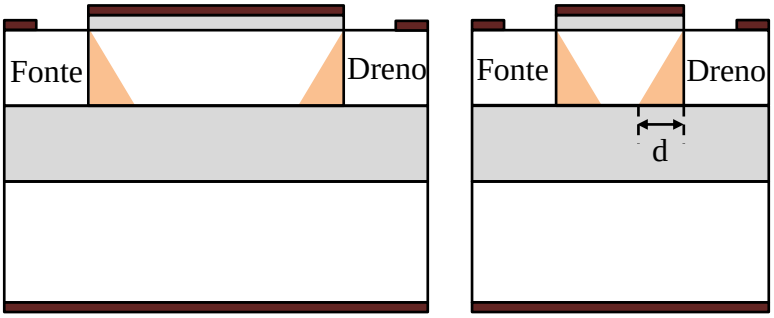
2.1.2.4 Efeitos de Canal Curto

Com o encurtamento do comprimento de canal, uma série de degradações ao funcionamento do transistor é observada (VEERARAGHAVAN; FOSSUM, 1989). Uma consequência do canal mais curto é a redução da tensão de limiar, resultante do compartilhamento do controle da tensão de porta sobre as cargas do canal com a tensão aplicada ao dreno. Este compartilhamento é mais significativo em transistores de camada espessa (COLINGE, J.-P., 2004).

Em canais muito curtos, portanto, não é mais possível afirmar que as cargas controladas pela porta podem ser descritas por $Q_{depl} = q \cdot N_A \cdot t_{Si}$, mas sim por uma fração proporcional a $(1 - \frac{d}{L})$, onde d é a maior distância do controle das cargas do canal pela polarização de dreno, como mostrado na figura 4.

Os efeitos de canal curto são reduzidos quando o transistor FD SOI opera com a segunda interface acumulada em comparação com a segunda interface depletada (COLINGE, J.-

Figura 4 – Esquema do perfil transversal de transistores FD SOI de canal longo e de canal curto, exemplificando a influência da fonte e do dreno nas cargas do canal



Fonte: Autora.

P., 2004). A interação entre as regiões de depleção controladas pelo dreno e pela porta também é responsável pelo efeito de canal curto conhecido como Redução da Barreira Induzida pelo Dreno (*Drain Induced Barrier Lowering*) (DIBL) (VEERARAGHAVAN; FOSSUM, 1988). Em dispositivos SOI, as regiões de fonte e dreno formam junções PN com o canal do transistor, e a espessura da região de depleção na junção é dependente da polarização reversa que ocorre com o aumento de v_{ds}. Em dispositivos curtos, a polarização do dreno por vezes é suficiente para reduzir a barreira de potencial na junção de fonte, provocando redução da tensão de limiar. O efeito de DIBL pode ser incluído no cálculo da tensão de limiar através da equação 18, onde σ é o coeficiente de dependência de v_{ds}.

$$V_T^{DIBL} = V_T - \sigma \cdot V_{DS} \tag{18}$$

2.1.3 Parâmetros Analógicos

2.1.3.1 Transcondutância e Razão g_m/I_{DS}

A transcondutância de porta, referida neste trabalho apenas como transcondutância (g_m) é um parâmetro que mede a eficiência com a qual a tensão de porta como entrada se relaciona à corrente de dreno obtida na saída. Ela pode ser obtida através da derivada da corrente de dreno em função da tensão de porta (COLINGE; COLINGE, 2005). Para transistores FD SOI, a descrição da corrente de dreno pode ser feita de acordo com o modelo de Lim e Fossum (LIM; FOSSUM, 1984) e suas derivadas, de acordo do modelo de primeira ordem, resultam nas equações 19 e 20 para triodo e saturação em inversão forte, respectivamente. Apesar de se tratarem

de aproximações, estabelecem a relação de g_m com o fator de corpo. W e L correspondem, nesta ordem, à largura e ao comprimento de canal.

$$g_m = \mu \cdot C_{oxf} \cdot \frac{W}{L} \cdot V_{DS} \tag{19}$$

$$g_m = \frac{\mu \cdot C_{oxf}}{n} \cdot \frac{W}{L} \cdot (V_{GS} - V_T) \tag{20}$$

Como g_m depende da mobilidade, a variação de uma acaba por representar a variação da outra, principalmente quando considerando os efeitos do campo elétrico perpendicular ao canal. A razão g_m/I_{DS} é um parâmetro de ganho, pois permite relacionar a variação de corrente de dreno com a polarização de porta (representada pela derivada g_m) com a propria corrente de dreno fornecida. Ao traçar a curva g_m/I_{DS} em função da corrente de dreno normalizada pela razão de aspecto ($I_D/(W/L)$), é possível estabelecer distinções claras entre os modos de inversão fraca, moderada e forte na operação de um MOSFET. A razão g_m/I_{DS} pode ser descrita pelas equações 21 e 22 para os regimes de inversão fraca e forte, respectivamente (FLANDRE, D. et al., 1996; VITTOZ, 1994). Esta curva é uma ferramenta frequentemente utilizada no projeto de circuitos integrados analógicos, pois torna possível a relação entre o ganho intrínseco de tensão (A_V), como será visto nas próximas seções, à corrente de dreno de maneira independente das dimensões do dispositivo, apresentando resultados semelhantes para transistores de uma mesma tecnologia (SILVEIRA; FLANDRE; JESPERS, 1996). Um exemplo desta curva é demonstrado na figura 5.

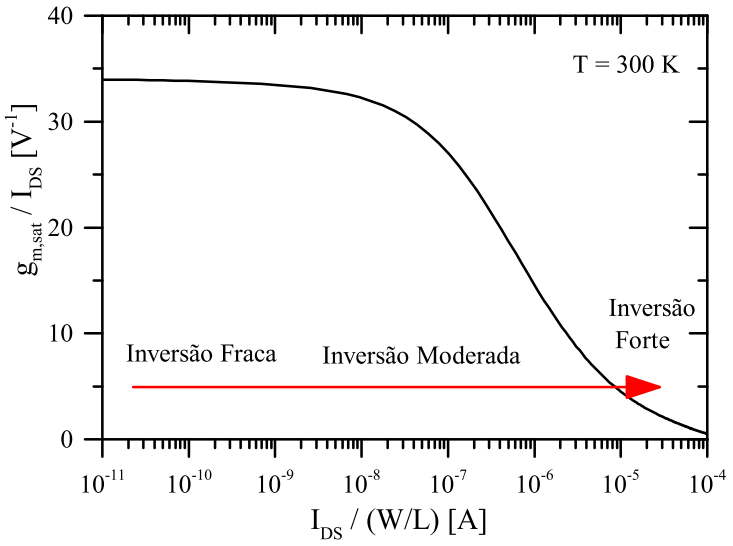
$$\frac{g_m}{I_{DS}} = \frac{q}{n \cdot k \cdot T} \tag{21}$$

$$\frac{g_m}{I_{DS}} = \sqrt{\frac{2 \cdot \mu \cdot C_{osxf} \cdot \frac{W}{L}}{n \cdot I_{DS}}} \tag{22}$$

2.1.3.2 Condutância de Dreno e Tensão Early

A condutância de dreno (g_D) corresponde à variação da corrente de dreno em função da tensão de dreno em saturação. Quando o transistor opera em saturação, em uma situação ideal, a dependência entre I_{DS} e V_{DS} deveria ser inexistente. Entretanto, como ocorre o deslocamento do ponto de pinçamento para dentro do canal conforme V_D aumenta, há uma redução do comprimento efetivo do canal, $L_{eff} = L - \Delta L$, onde ΔL corresponde à variação do comprimento

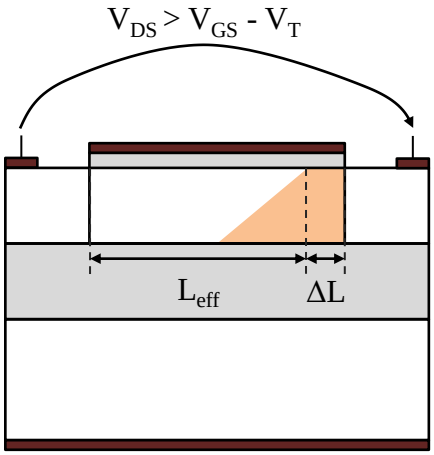
Figura 5 – Exemplo da curva g_m/I_{DS} em função da corrente de dreno normalizada.



Fonte: Autora.

de canal. Este efeito é chamado de modulação do comprimento de canal (L) e é ilustrado na figura 6.

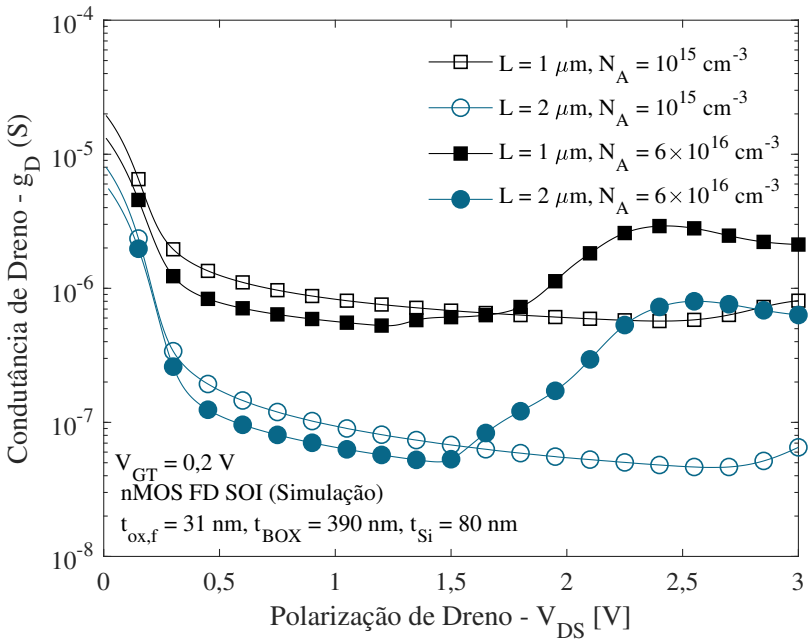
Figura 6 – Esquema do perfil transversal de transistores SOI exemplificando o efeito de modulação do canal.



Fonte: Autora.

Devido ao efeito de modulação de canal, existe uma variação da corrente de dreno com o aumento de V_{DS}, fazendo com que g_D assuma um valor não nulo. Seu comportamento pode ser descrito pela equação 23, onde λ é um parâmetro que inclui a dependência da corrente de dreno em saturação com a tensão de dreno.

Figura 7 – Curvas da condutância de dreno em função da tensão de dreno para um transistor FD SOI, V_{GT} de 0,2 V.



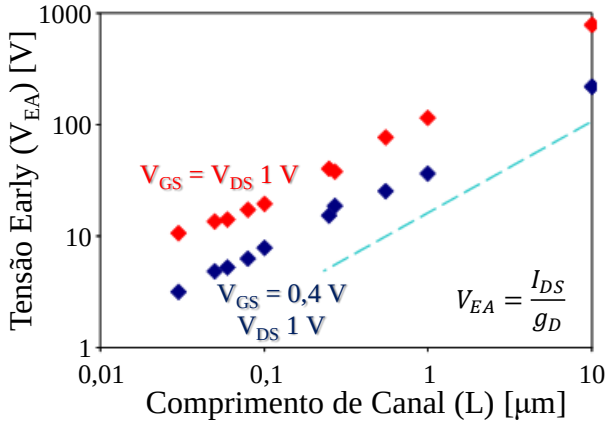
Fonte: Autora.

$$g_D = \frac{\mu \cdot C_{oxf}}{2 \cdot n} \cdot \frac{W}{L} \cdot (V_{GS} - V_T)^2 \cdot \lambda \tag{23}$$

Na figura 7 são apresentadas curvas da condutância de dreno em função de V_{DS} para transistores FD SOI de diferentes comprimentos de canal e concentrações de dopantes no canal. Nestas curvas, a região com menor g_D corresponde à região de saturação do transistor. O aumento que é observado para o valor mais alto de N_A corresponde ao efeito de ionização por impacto. Para os transistores com menor concentração de dopantes, este fenômeno não ocorre no intervalo de tensão de dreno apresentado.

Um parâmetro associado a g_D e à modulação do comprimento de canal é a tensão Early (V_{EA}). A figura 8 mostra a V_{EA} em função do comprimento do canal para diferentes polarizações de porta. Seu valor pode ser obtido através da razão entre o valor da corrente de dreno e a condutância de dreno, como descrito na figura 8, onde é possível notar que o dispositivo de camada mais fina produz resultados de tensão Early mais altos (melhores) nas duas polarizações propostas. Para a extração de V_{EA}, deve-se buscar conter erros numéricos e usar a derivada equivalente, que é $\ln(I_{DS})^{-1}$ em função de V_{DS}.

Figura 8 – V_{EA} em função de L para transistores com Camada de Silício e BOX Ultrafinos. A linha pontilhada indica os valores comumente encontrados em transistores FD SOI.



Fonte: Autora “adaptado de” Kilchytska, V., 2012, p.4

2.1.3.3 Ganho Intrínseco de Tensão

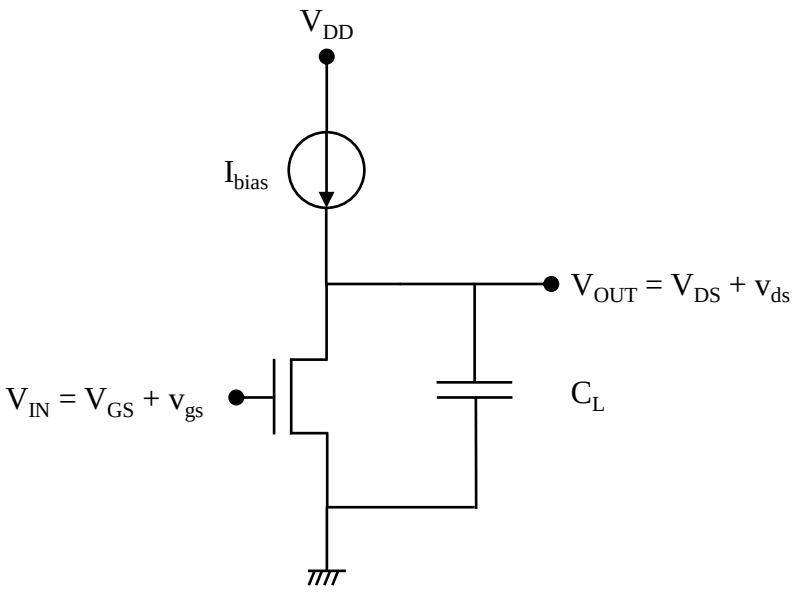
Na maioria das aplicações analógicas, amplificadores de tensão correspondem a um dos blocos mais frequentemente utilizados, sendo o ganho de tensão o parâmetro mais importante. Em um MOSFET, o ganho intrínseco de tensão (A_V) permite avaliar o limite de ganho que um transistor pode oferecer por si só, e assim se pode extrapolar para um estágio implementado com este transistor. Um amplificador de tensão com um único transistor pode ser descrito conforme apresenta a figura 9.

Neste esquema, I_{bias} é a corrente de polarização, v_{gs} é a parcela alternada da tensão de porta, V_{IN} é a tensão de entrada, V_{OUT} é a tensão de saída, v_{ds} é parcela alternada da tensão de dreno, V_{DD} é a tensão de alimentação e C_L é a capacitância de carga (SILVEIRA; FLANDRE; JESPERS, 1996).

O ganho de tensão pode ser expresso conforme a equação 24. A partir das equações 20, 19 e 23, é possível dizer que sua degradação ocorre, portanto, devido à queda de g_m ou à degradação de g_D causada pelo efeito de modulação de canal.

$$A_V = \frac{g_m}{g_D} = \frac{g_m}{I_{DS}} \cdot V_{EA} \tag{24}$$

Figura 9 – Esquema de um amplificador de tensão com um único transistor.



Fonte: Autora.

2.2 TECNOLOGIA UTBB

Esta seção tem como objetivo a introdução teórica da tecnologia UTBB, incluindo um breve contexto histórico, explicação da estrutura típica, seu funcionamento e peculiaridades, e seu valor como componente de uma associação série de transistores.

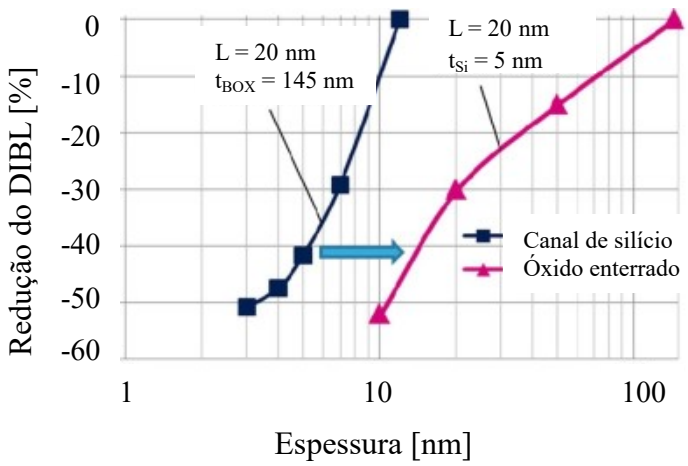
2.2.1 Transistores UTBB

Com a necessidade de melhorar o desempenho dos transistores, uma típica abordagem adotada é a redução de suas dimensões (TSUCHIYA et al., 2004). Entretanto, a adaptação da tecnologia mais utilizada se faz necessária quando próximo de seus limites físicos. Por volta dos anos 2000, o problema da variação da tensão de limiar de transistores FD SOI decorrente do escalamento de seu canal poderia ser abordado através da polarização do substrato (YANG et al., 1997). Porém, é necessária uma alta tensão de substrato por conta da espessura do BOX convencional; caso contrário, o controle de V_T também poderia ser abordado através da modificação do material de porta e, portanto, de sua função trabalho (TSUCHIYA et al., 2002). A primeira solução é um problema para aplicações de baixa tensão, excluindo o uso do FD SOI, enquanto a segunda requer modificações no processo de fabricação.

O escalamento da tecnologia FD SOI necessita, dentre outros parâmetros, da redução da espessura do filme de silício (VEERARAGHAVAN; FOSSUM, 1989). Enquanto transistores FD SOI de região ativa espessa promovem efeitos de canal curto até mesmo mais intensos que MOSFETs convencionais ou SOI parcialmente depletados (SU et al., 1994), (CHOI et al., 2000), transistores com Camada de Silício Ultra Fina (*Ultra-Thin Body*) (UTB), menores que 50 nm (WONG et al., 1996), promovem a redução de efeitos de canal curto, principalmente no que diz respeito à corrente de fuga (MONFRAY et al., 2010). Aliado a isto, um melhor controle da tensão de limiar do dispositivo é atingido com o afinamento do óxido enterrado, surgindo a definição Camada de Silício e Óxido Enterrado Ultrafinos (*Ultra-Thin Body and BOX*) (UTBB).

A redução do DIBL proporcionada pela tecnologia UTBB é uma vantagem bastante explorada na literatura. Na figura 10, onde a redução do DIBL é apresentada em função da espessura, estruturas de diversas t_{Si} e t_{BOX} são comparadas (MONFRAY; SKOTNICKI, 2016), (GALLON et al., 2006). Para a curva referente ao valor fixo de t_{BOX}, o eixo horizontal corresponde à espessura t_{Si}, enquanto para a curva com t_{Si} fixo, a variável é t_{BOX}. É possível verificar então, que a redução do t_{Si} de 12 nm para 5 nm provocou uma redução no DIBL de 40% e uma redução de mais 30% foi verificada ao reduzir t_{BOX} de 145 nm para 20 nm.

Figura 10 – Redução do DIBL em função da espessura do canal de silício para um t_{BOX} de 145 nm e em função da espessura do BOX para um t_{Si} de 5 nm.



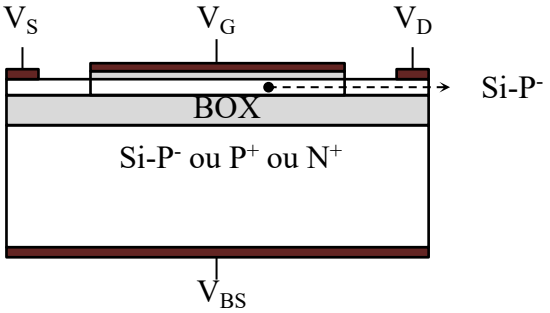
Fonte: Autora "adaptado de"Monfray, S., 2016, p.2

O controle da tensão de limiar através da polarização de substrato permite não só uma grande liberdade no projeto de circuitos integrados, que se torna mais independente do processo de fabricação do dispositivo, mas também evita a flutuação aleatória da concentração de dopantes, um problema comum em transistores de dimensões muito reduzidas (MORITA et al.,

2008), já que o canal do transistor UTBB não precisa ser dopado para ajuste de V_T (PELLOUX-PRAYER et al., 2013), sendo a concentração de dopantes tipo P intrínseca do *wafer* suficiente.

A estrutura típica de um transistor UTBB é semelhante a um SOI convencional, porém com espessuras muito reduzidas e algumas divergências em relação a concentração e tipo de dopantes do canal e abaixo do BOX, como mostra a figura 11.

Figura 11 – Esquema do perfil transversal de um transistor UTBB.



Fonte: Autora

Quando se projeta um dispositivo com alguma dimensão reduzida, deve-se atentar para a alteração proporcional das suas outras dimensões e características elétricas, incluindo a capacitância de porta (CHAU et al., 2001). Por vezes, a capacitância necessária é tão alta que a espessura do isolante de porta, caso se optasse pelo uso do Dióxido de Silício (SiO_2), seria em grandezas de unidade e frações de unidade de nanometros. Isso facilita que ocorra tunelamento de portadores com o aumento do campo elétrico no dispositivo, produzindo uma significativa corrente de porta (COLINGE, J.-P., 2004), (TSUCHIYA et al., 2002). Além disso, a garantia de uma espessura uniforme ao longo do canal se torna proibitivamente complexa (KANG et al., 2002). O uso de materiais de alta permissividade elétrica permite que a espessura do óxido seja maior, minimizando estes efeitos indesejados. Entretanto, para descrever a estrutura, é comum que se refira às dimensões do isolante de porta através da espessura que teria caso SiO_2 fosse utilizado, o que é chamado de Espessura Efetiva do Óxido em Relação ao Dióxido de Silício (*Effective Oxide Thickness*) (EOT).

Por conta das espessuras reduzidas, o isolante de porta e os metais de porta são particularmente importantes. Para UTBBs, assim como outras tecnologias que objetivam aperfeiçoar o escalamento dos dispositivos, são utilizados dielétricos de Alta Constante Dielétrica (High-k) em relação a isolantes convencionalmente usados em transistores de dimensões maiores, como o SiO_2 (SAMAVEDAM et al., 2002), (FENOUILLET-BERANGER et al., 2007).

2.2.1.1 Efeito de Corpo

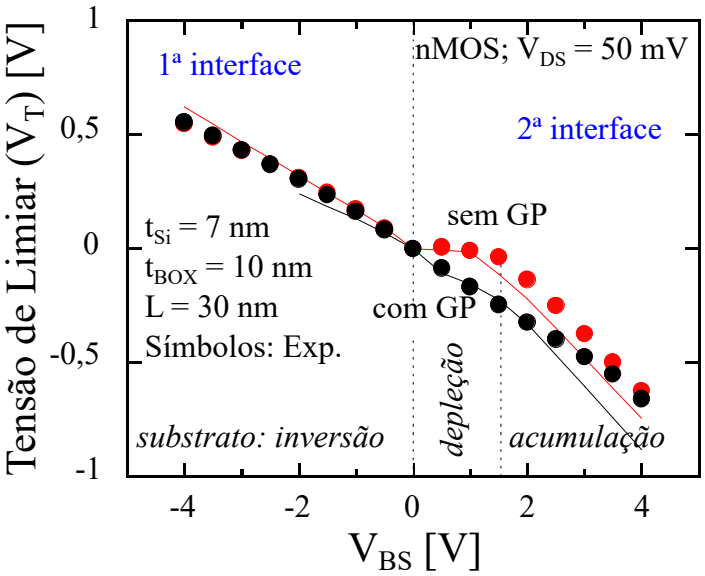
Transistores UTBB, quando tem seu substrato aterrado, funcionam de maneira análoga a um transistor FD SOI. A tensão positiva aplicada à porta irá depletar o canal e, quando atingir a tensão de faixa plana, irá começar a invertê-lo, atraindo cargas negativas para a superfície do canal. Quando a tensão aplicada à porta for igual à tensão de limiar, o canal estará invertido. A polarização de dreno influenciará as cargas no canal, sendo que, de $V_{DS} = 0V$ até $V_{DS} = V_G - V_T$, o transistor operará em triodo. Para valores maiores, haverá o pinçamento do canal na região próxima ao dreno que será deslocada para dentro do canal conforme V_{DS} aumenta, caracterizando a modulação do comprimento do canal do transistor e o transistor operará em saturação.

As maiores diferenças de funcionamento observadas em transistores UTBB comparados com transistores mais espessos acontecem na relação entre a tensão de limiar e a polarização do substrato. Como explicado anteriormente, transistores FD SOI sofrem de efeito de corpo, em que se caracteriza a dependência da tensão de limiar em relação à polarização de substrato. Entretanto, devido às suas espessuras reduzidas, transistores UTBB serão também mais influenciados pela depleção no silício abaixo do BOX (t_{depl}) (BURIGNAT et al., 2009) e pelo deslocamento da posição média do canal (X_{bar}) (NOEL et al., 2011), que se tornam componentes significativos, conforme descrito na equação 25.

$$\alpha = \frac{t_{ox,f} + \frac{\varepsilon_{Si}}{\varepsilon_{Si}} \cdot X_{bar}}{t_{BOX} + \frac{\varepsilon_{Si}}{\varepsilon_{Si}} \cdot (t_{Si} - X_{bar} + t_{depl})} \tag{25}$$

A figura 12, adaptada de (ANDRIEU et al., 2010), apresenta a variação de V_T com a polarização da segunda porta de um UTBB com L de 30 nm. As linhas correspondem a um modelo desenvolvido pelos autores, que inclui efeitos da depleção abaixo da terceira interface e de confinamento quântico. É possível observar como V_{BS} afeta, portanto, a tensão de limiar, com comportamento bem definido quando há a acumulação, depleção e inversão do substrato (3ª interface) e como este comportamento não ocorre quando há um *ground plane* devido à maior concentração de dopantes.

Figura 12 – Tensão de limiar em função da polarização da segunda porta com e sem GP.



Fonte: Autora "adaptado de"Andrieu, F., 2010, p.2

2.2.1.2 Consequências Físicas das Espessuras Finas

Dada a grande interação entre V_G e V_{BS} sobre as cargas do canal em transistores FD SOI de camada de silício muito fina, em uma configuração onde $V_G = V_{BS}$, é possível defini-los como transistores de porta dupla. Quando o filme de silício ou a largura de MOSFET atingem valores menores que 10 nm, os elétrons no canal formam um Gás Bidimensional (*Two Dimensional Electron Gas*) (2DEG). Devido à dimensão reduzida, este gás está confinado nessa direção, resultando na formação de sub-bandas de energia e em distribuição eletrônica diferente do que previsto pela física clássica (COLINGE, J. -P., 2008). A estes efeitos é dado o nome de confinamento quântico.

Dentre as consequências destes efeitos em dispositivos semicondutores, é possível citar, por exemplo, o surgimento de uma região de silício próxima às interfaces onde a concentração de portadores livres é aproximadamente nula. Na prática, ela agirá como uma região isolante e incorporará às demais parcelas capacitivas de um dispositivo SOI. Isso será mais significativo com t_{Si} e t_{BOX} muito finos.

O tunelamento de elétrons por espessuras isolantes muito finas também se torna mais provável. Isto pode compor uma parcela importante da corrente de porta.

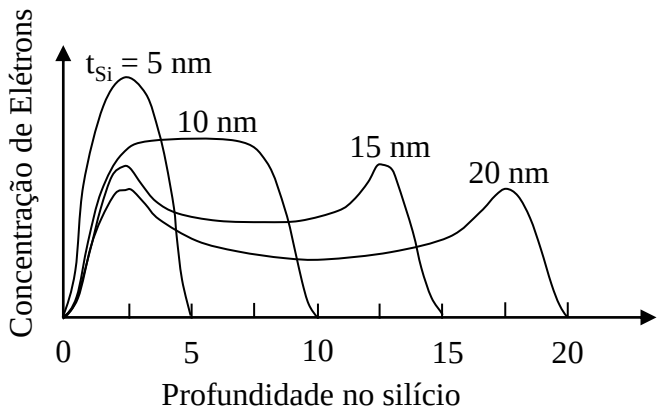
Estes fenômenos provocam uma alteração significativa nas características elétricas dos dispositivos, porém não necessariamente alteram o seu funcionamento em comparação com

dispositivos maiores, diferentemente do efeito de inversão de volume. Ele implica na diferença de posição do canal do transistor influenciado por efeitos quânticos, resultando em alterações principalmente na sua mobilidade.

Devido às múltiplas interfaces dos transistores SOI totalmente depletados, diferentes regiões do canal são condutoras majoritárias de corrente de dreno dependendo da polarização de substrato e de porta (BALESTRA et al., 1987). Isso ocorre em transistores de filme fino de múltiplas portas e é caracterizado pela concentração de portadores de inversão não nas interfaces entre o silício e o isolante, mas no centro da camada de silício. Para prever corretamente a inversão de volume, deve-se resolver ambas as equações de Schröedinger e Poisson.

Em transistores de porta dupla de diferentes espessuras de filme de silício, o perfil da concentração de elétrons fica como apresentado na figura 13.

Figura 13 – Concentração de elétrons em função da profundidade no silício.



Fonte: Autora “adaptado de” Colinge, J.-P., 2004, p.272.

Uma das consequências diretas da inversão de volume é o aumento da mobilidade por conta da redução do mecanismo de degradação chamado espalhamento de superfície (COLINGE, J. -P., 2008), já que os portadores estão mais distantes das interfaces. Além disso, dispositivos de menor t_{Si} apresentam menor degradação devido ao espalhamento por fônons (COLINGE, J. -P., 2008). A melhora da mobilidade, no entanto, ocorre até uma certa espessura de filme de silício limite, dependente de parâmetros de fabricação, como t_{BOX} e orientação cristalográfica. Abaixo desta espessura, portadores na camada de inversão de volume estão tão fisicamente próximos das interfaces que os mecanismos de degradação voltam a afetar a mobilidade dos portadores (TSUTSUI et al., 2005).

2.2.1.3 Controle de V_T

O ajuste de V_T em transistores UTBB pode ser realizado através de diversas maneiras. É importante ressaltar que, em comparação com tecnologias de regiões ativas mais espessas, o UTBB apresenta a desvantagem de, em alguns processos de fabricação, não garantir uma concentração de dopantes no canal uniforme, devido ao reduzido t_{Si}. Isso aumenta a variabilidade da tensão de limiar, que pode apresentar valores significativamente diferentes entre dispositivos de um mesmo processo de fabricação (SUGII et al., 2010). Dito isso, as formas como o ajuste de V_T pode ser executado com maior consistência são diversas.

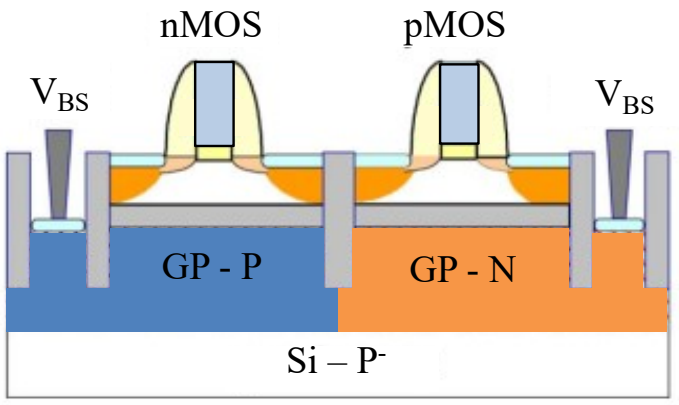
A primeira delas é através da polarização de substrato, que muda o potencial da região ativa do silício e, portanto, a tensão de limiar que deve ser aplicada à porta para a condução de corrente (GALLON et al., 2006). A polarização positiva do substrato para um nMOS e a consequente redução de V_T se relaciona com outras vantagens, como a alternância mais rápida entre os estados ligado/desligado do transistor, o que pode ser usado para otimizar sua performance e consumo de potência (MONFRAY; SKOTNICKI, 2016), trazendo flexibilidade para os projetistas de circuitos integrados.

Outra forma de obter o controle de V_T é através de diferentes concentrações de dopantes e diferentes tipos de dopagem da região de silício abaixo do BOX, o que é chamado de *ground plane* (GP) (FENOUILLET-BERANGER et al., 2010). Com uma maior concentração de dopantes tipo P logo abaixo do óxido enterrado, ocorre um aumento do potencial da região ativa, reduzindo V_T quando comparado ao silício com dopagem intrínseca da lâmina. Analogamente, a dopagem tipo N em uma concentração similar reduz o potencial da região ativa, aumentando a tensão de limiar.

Isso permite que transistores UTBB fabricados em uma mesma lâmina possam apresentar diferentes valores de V_T, mesmo compartilhando o contato de substrato. A figura 14 apresenta um esquema do perfil transversal de transistores UTBB com diferentes GPs e contatos de substrato fabricados lado a lado.

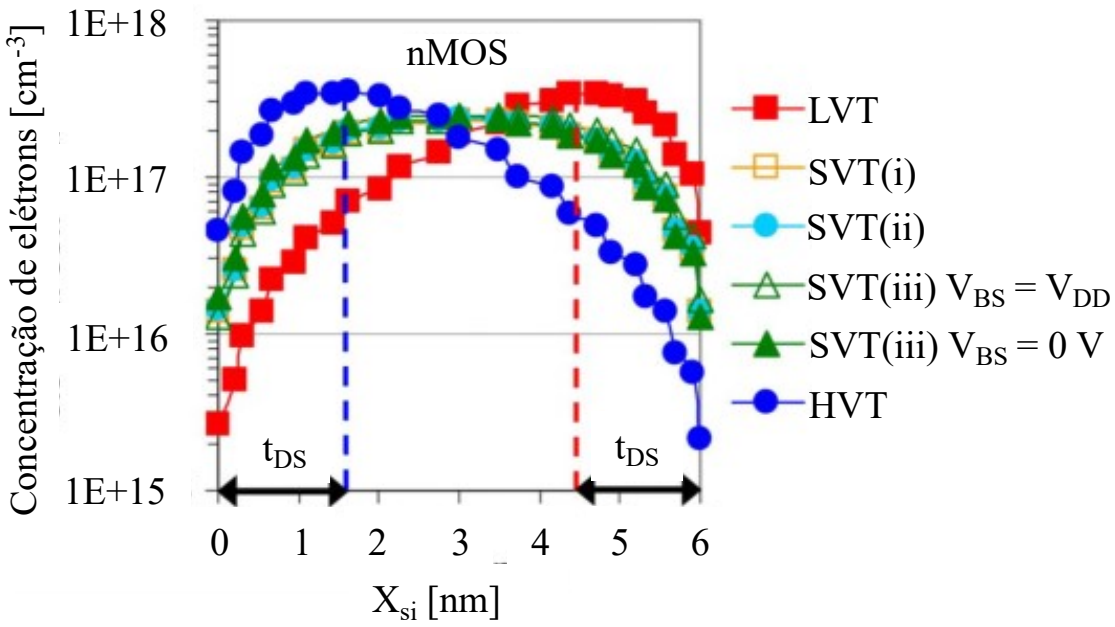
Uma grande diversidade de tensões de limiar pode ser obtida combinando as duas alternativas. Dependendo da polarização de substrato, entretanto, a região de silício onde ocorrerá o início da condução de corrente será diferente. Conforme mostrado na figura 15, isso pode acontecer no centro da camada de silício, próximo à primeira interface ou próximo à segunda. Devido a isso, diferentes mobilidades de portadores também poderão ser obtidas dependendo de V_{BS}.

Figura 14 – Esquema do perfil transversal de transistores UTBB com diferentes GP e contatos de substrato fabricados lado a lado.



Fonte: Autora “adaptado de” Noel, J. –P., 2011, p. 2

Figura 15 – Concentração de elétrons em função da profundidade na camada de silício para transistores UTBB com diferentes tensões de limiar.



Fonte: Autora “adaptado de” Noel, J. –P., 2011, p. 3

Na figura 15, LVT é o transistor com GP tipo N e $V_{BS} = V_{DD}$, SVT(i) é o transistor com GP tipo N com $V_{BS} = 0V$, SVT(ii) é o transistor com GP tipo P com $V_{BS} = V_{DD}$, SVT(iii) é o transistor sem GP (silício abaixo do BOX não dopado) com V_{BS} igual a V_{DD} e $0V$, HVT é o transistor com GP tipo n e $V_{BS} = 0V$ e t_{ds} é a profundidade de *dark space* (região que é pouco ocupada por elétrons devido ao confinamento quântico) (NOEL et al., 2011).

Diferentes tensões de limiar em transistores UTBB podem ser obtidas de diferentes formas sem comprometer sua aplicação em condições de baixa tensão. O uso de transistores UTBB em associações série simétricas e assimétricas é, então, uma possibilidade de combinar vantagens das estruturas. Na figura 16, são apresentadas curvas simuladas de transistores UTBB únicos e em associações série (DORIA et al., 2015a). Os transistores apresentados possuem $t_{Si} = 7nm$, $t_{BOX} = 10nm$ e $t_{ox,f} = 1{,}3nm$, sem *ground plane*. Assim como a associação série de transistores FD SOI, nota-se que a melhor condutância de dreno é obtida para a associação quando a tensão de limiar de MD é mais baixa (menor V_{BS}), devido à absorção de V_D. Além disso, uma tensão Early mais negativa pode ser obtida para a associação com $V_{BS,MS}$ negativa, $V_{BS,MD}$ positiva e as duas condições simultaneamente, configurando na maior diferença entre as tensões de limiar de MS e MD.

2.3 ASSOCIAÇÃO SÉRIE

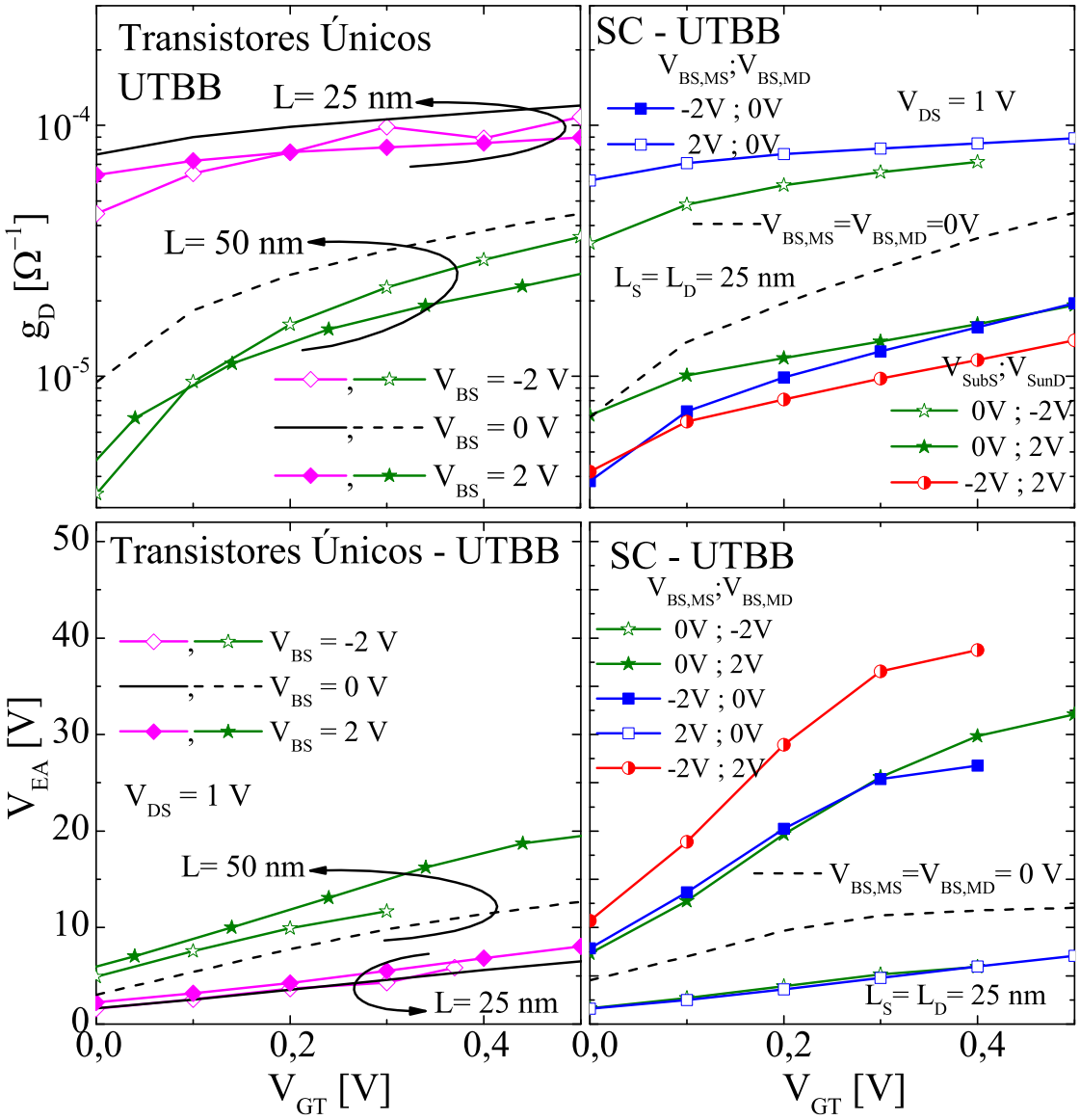
2.3.1 Associação Série Simétrica

A associação série é um recurso de projeto de circuitos analógicos que consiste em substituir um transistor único de canal longo por dois transistores de canal mais curto com as portas curto circuitadas (GAO, M. H. et al., 1990).

Para obter valores de ganho de tensão elevados, valores reduzidos de g_D são necessários. A maneira mais simples de obter uma melhor condutância de dreno é através do uso de dispositivos de canal longo. Entretanto, outros parâmetros analógicos, tais como a transcondutância e a frequência de ganho de tensão unitário (f_T), atingem melhores resultados em canais mais curtos (SCHNEIDER; GALUP-MONTORO, 2010). Uma forma de obter um bom compromisso entre parâmetros com comportamentos contrários em relação ao comprimento de canal é o uso da associação série de transistores. Nela, o transistor próximo à fonte (MS) tem seu dreno ligado à fonte do transistor próximo ao dreno (MD). Os dois transistores tem suas portas curto-circuitadas. Um esquema do perfil transversal de uma associação série de transistores SOI totalmente depletados convencionais é apresentado na figura 17, onde V_X é a tensão no nó intermediário entre MS e MD.

Na figura 18 é apresentado um circuito exemplo envolvendo uma associação série, onde V_{DD} corresponde à tensão de alimentação. O funcionamento da SC pode ser simplificado se considerarmos etapas. Por exemplo, se MS e MD operam ambos em inversão forte, é possível

Figura 16 – Condutância de dreno e tensão Early em função de V_{GT} para transistores UTBB únicos e associados em série, polarizados com diferentes V_{BS}.

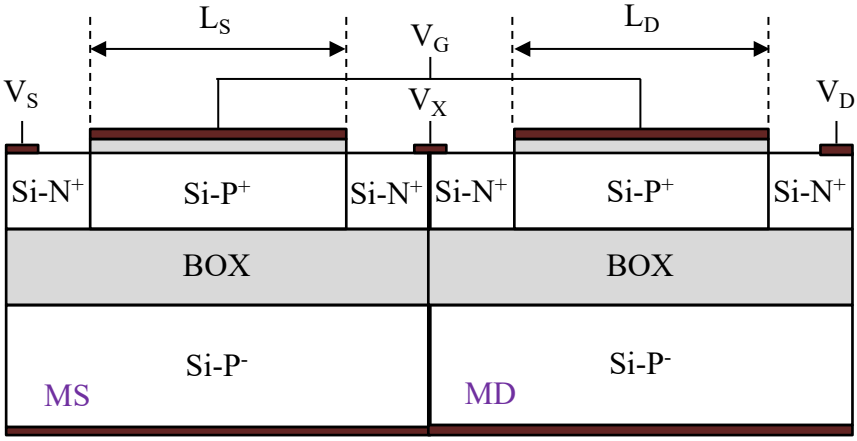


Fonte:Autora "adaptado de"Doria, R. T., 2015, p.3

afirmar que, enquanto operam em triodo, os transistores se comportam como resistências e o valor de V_X será proporcional a essa resistência. Entretanto, com o aumento de V_X, a diferença entre a tensão de porta e a tensão de fonte de MD são reduzidas, o que prolonga sua operação em triodo e análoga à uma resistência. É este aumento resistivo proporcional que é responsável pelas vantagens fornecidas pela SC no projeto de circuitos analógicos.

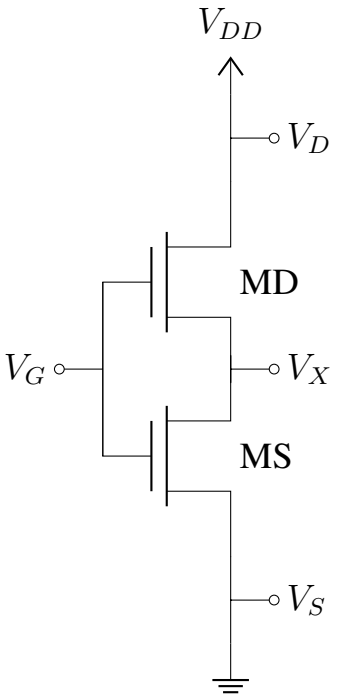
Quando projetada para relações de resistência ótimas, com razões W/L de MS e MD adequadas, esta estrutura proporciona características analógicas melhores que aquelas observadas na operação de um transistor único transistor idêntico a MS. Esta comparação é observada

Figura 17 – Esquema do perfil transversal da associação série de transistores SOI FD convencionais.



Fonte: Autora.

Figura 18 – Esquema do circuito da associação série feita com nMOSFETs.

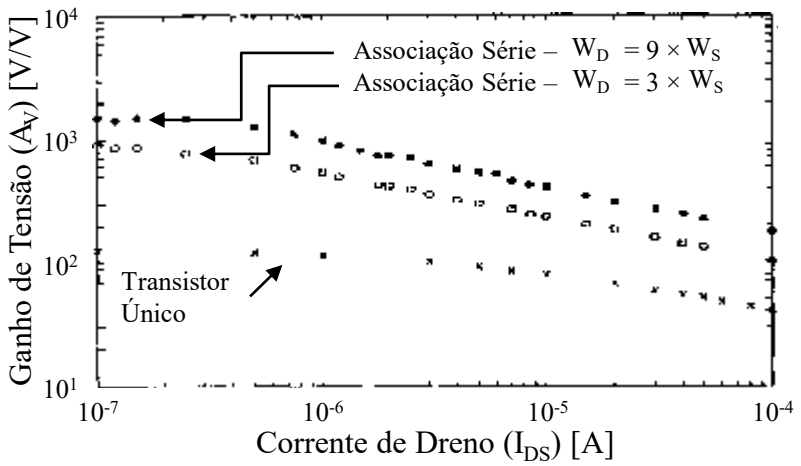


Fonte: Autora.

na figura 19 através do ganho intrínseco de tensão em função da corrente de dreno para diferentes estruturas. É possível notar que o ganho de tensão é melhor para as associações série, sendo que aquela com a maior relação entre larguras de canal de MD (W_D) e MS (W_S) possui um ganho mais elevado.

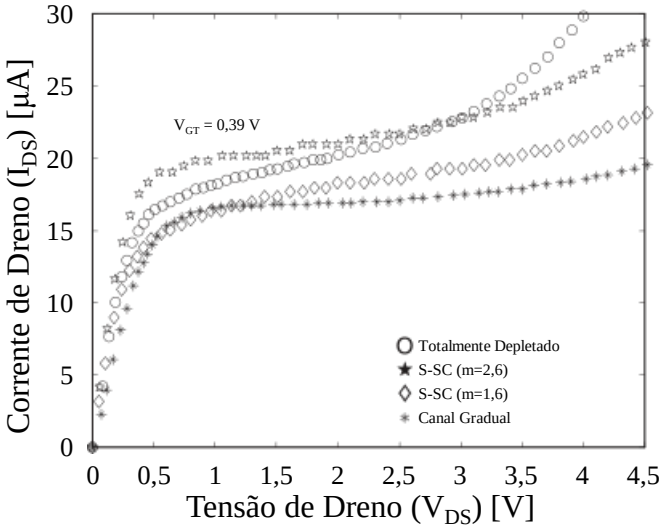
Além disso, também são descritas na literatura melhores figuras de mérito analógicas para a associação de transistores em comparação a um transistor único de comprimento de

Figura 19 – Ganho intrínseco de tensão em função da corrente de dreno para um transistor único e para associações série com diferentes larguras de canal em MD.



Fonte: Autora "adaptado de"Galup-Montoro, C., 1994, p.5.

Figura 20 – Corrente de dreno em função da tensão de dreno para um transistor SOI FD ($L = 4\mu m$), associações série com diferentes razões entre larguras ($m = W_D/W_S$) ($L_S = L_D = 2\mu m$) e um transistor de canal gradual ($L = 4\mu m$).



Fonte: Autora "adaptado de"Sanz, M. T., 2006, p.4

canal igual à soma do comprimento de canal de MS (L_S) e de MD (L_D) (GAO, M. et al., 1992), (SANZ et al., 2006). Isto pode ser observado na figura 20, onde são apresentadas curvas de corrente de dreno para diferentes estruturas. Comparando o transistor FD SOI às associações série, é possível observar que a associação apresenta melhores condutâncias de dreno, o que refletirá no ganho intrínseco de tensão da estrutura.

Isto ocorre devido aos efeitos da região de depleção próxima ao dreno estarem limitados ao transistor MD, promovendo uma menor degradação nas características elétricas de MS. O transistor MS então será o maior responsável pelas características elétricas da associação, permitindo que as vantagens da operação de transistores de canal mais curto sejam aproveitadas para o uso em aplicações analógicas (GALUP-MONTORO; SCHNEIDER; LOSS, 1994). Além disso, por conta da região central altamente dopada, o tempo de vida de portadores gerados por impacto é reduzindo, aumentando a tensão de ruptura (MEIER; HWANG; CAMPBELL, 1988), como também pode ser visto na figura 20.

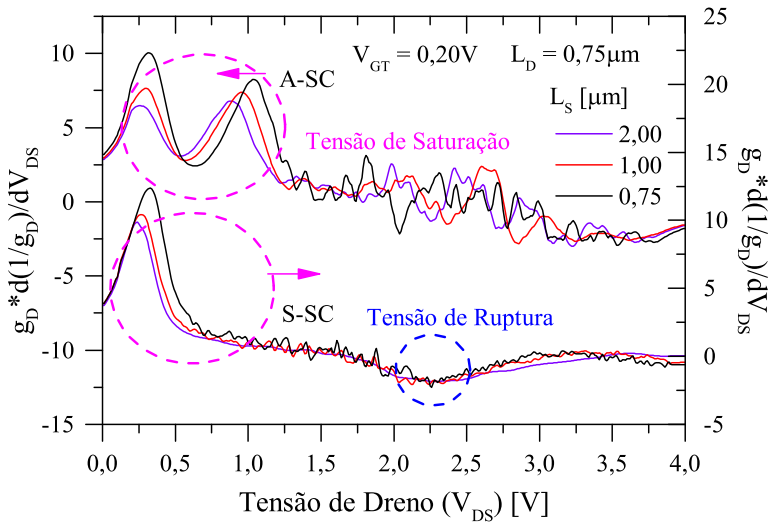
Para este trabalho, a associação série de dois transistores com tensões de limiar idênticas será chamada Associação Série Simétrica (*Symmetric Self-Cascode*) (S-SC).

2.3.2 Associação Série Assimétrica

A Associação Série Assimétrica (*Asymmetric Self-Cascode*) (A-SC) baseia-se no uso de transistores com diferentes tensões de limiar numa associação série, com o intuito de melhorar ainda mais a condutância de dreno. Isto, em transistores FD SOI, acontece, pois o pico de campo elétrico próximo ao dreno é reduzido ao se utilizar uma concentração de dopantes mais baixa em MD. Apesar da tensão de limiar em MD ser reduzida, a concentração de dopantes de MS é ajustada normalmente, evitando assim que V_T da associação seja reduzida (SOUZA; FLANDRE; PAVANELLO, 2011, 2013). Na operação da estrutura Associação Série Assimétrica (*Asymmetric Self-Cascode*) (A-SC), a tensão de porta pode ser suficiente para que MD conduza em inversão forte e, portanto, com baixa resistência, mas não MS. Neste caso, MD se torna uma extensão da região de dreno, promovendo uma redução do comprimento efetivo da estrutura para aproximadamente L_S. Conforme V_G aumenta, MS entra em regime de inversão forte, sendo possível notar a presença de duas tensões de saturação na curva I_{DS} em função de V_{DS} quando se utiliza o método descrito em (JANG; WU; WU, 1988), como apresentado na figura 21, onde as tensões de saturação são extraídas nos picos positivos da curva.

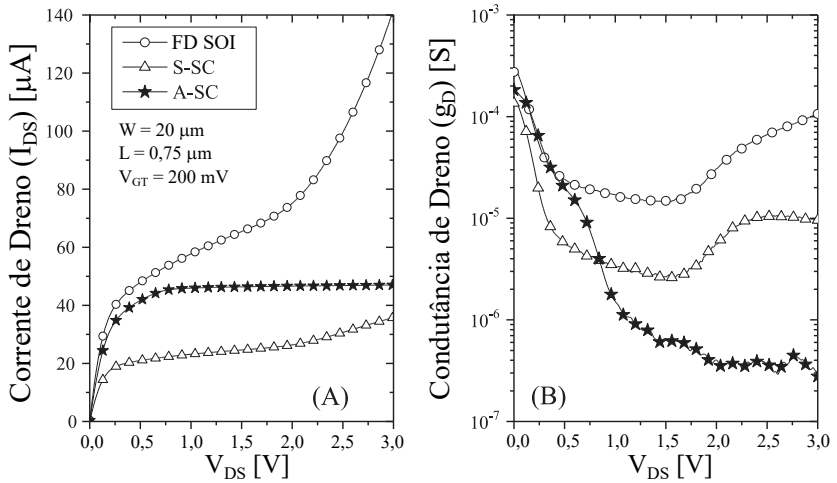
Quando ambos os transistores operam em saturação, o aumento de V_{DS} é absorvido por MD, promovendo um menor g_D e maior resistência de saída (SOUZA et al., 2016). Na figura 22 é apresentada uma comparação entre I_{DS} e a condutância de dreno em função de V_{DS}, para associações série simétrica e assimétrica e um transistor FD SOI único. É possível notar que Associação Série Simétrica (*Symmetric Self-Cascode*) (S-SC), apesar de reduzir g_D e a ionização por impacto em comparação ao dispositivo único, acaba também por reduzir o nível

Figura 21 – Derivada do inverso de g_D multiplicada por g_D em função da tensão de dreno, para estruturas simétricas e assimétricas de diferentes L_S.



Fonte: Autora.

Figura 22 – Corrente de dreno e condutância de dreno em função da tensão de dreno para um transistor FD SOI, uma associação série simétrica e uma associação série assimétrica.

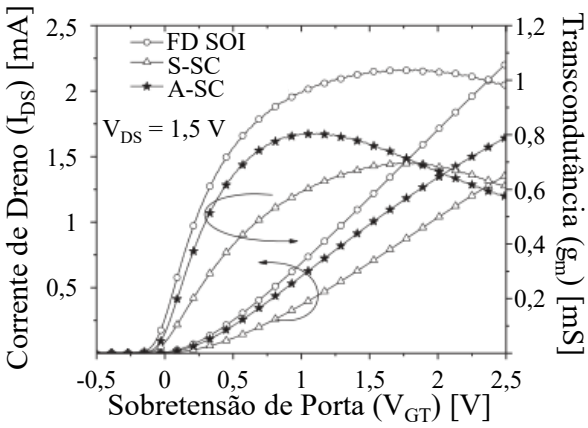


Fonte: Autora "adaptado de"de Souza, M., 2016, p.3

de corrente. Já a A-SC proporciona melhor condutância de dreno e, no intervalo de tensão de dreno apresentado, não apresenta ionização por impacto.

Além destas vantagens, como o comprimento efetivo da associação assimétrica tende ao comprimento de MS, a transcondutância apresenta um maior pico em estruturas A-SC que em S-SC, como pode ser visto na figura 23. A degradação que ocorre para a associação assimétrica é maior que para a associação simétrica, o que está relacionado à inversão de MS acontecer posteriormente à inversão de MD para a A-SC. Uma vez que ambos transistores estão invertidos,

Figura 23 – Corrente de dreno e transcondutância em função de V_{GT} para um transistor FD SOI, uma associação série simétrica e uma associação série assimétrica.



Fonte: Autora "adaptado de"de Souza, M., 2016, p.3

o efeito de "amortecimento"de V_{DS} proporcionado por MD deixa de acontecer e g_m das duas associações passam a se aproximar.

Isto faz com que parâmetros como a frequência de ganho unitário (f_T), descrita pela equação 26, apresente melhores resultados na A-SC que na S-SC (SOUZA; FLANDRE; PAVANELLO, 2011).

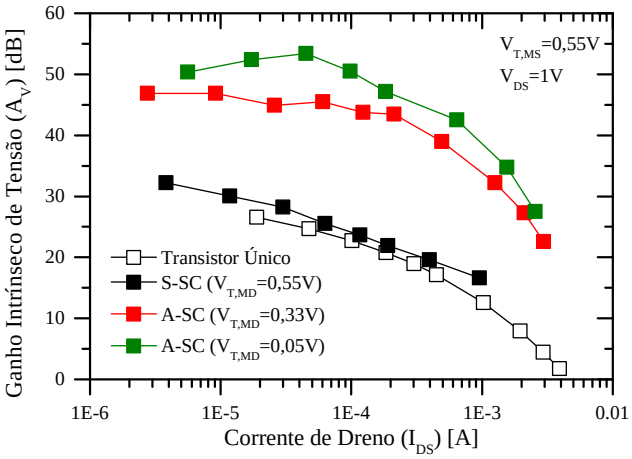
$$f_T = \frac{g_m}{2 \cdot \pi \cdot C_{gg}} \tag{26}$$

Onde C_{gg} corresponde à capacitância de porta ($C_{gg} = C_{oxf} \cdot W \cdot L$).

Com um menor g_D e maior g_m, pode ser observada uma melhora em A_V. A figura 24 apresenta o ganho de tensão em função da corrente de dreno e as estruturas são comparadas. É possível notar que, para uma corrente de $10^{-4}A$, a S-SC apresenta um ganho de tensão muito próximo ao do transistor único, com um aumento de apenas $1dB$, aproximadamente. Porém, a melhora observada para a A-SC atinge $21dB$ para MD com tensão de limiar maior e $27dB$ para a tensão de limiar menor.

A A-SC reportada na literatura é formada por transistores SOI totalmente depletados cuja tensão de limiar controlada por diferentes concentrações de dopantes no canal. Para transistores de camada de silício muito fina esse tipo de ajuste pode não ser possível, devido ao fenômeno da flutuação da concentração de dopantes. No entanto, como é abordado na seção 2.2, transistores UTBB podem ter sua tensão de limiar ajustada de diversas maneiras. Resulta-

Figura 24 – Ganho intrínseco de tensão em função da corrente de dreno para associações série com diferentes $V_{T,MD}$ e um transistor único de $L = L_S$.



Fonte: Autora “adaptado de” de Souza, M., 2011, p.2

dos do uso de transistores UTBB aplicados em associações série foram reportados em (DORIA et al., 2015b).

3 SIMULAÇÕES

Neste capítulo são apresentados os resultados obtidos através da simulação numérica bidimensional de dispositivos UTBB únicos e associados em série e seus parâmetros, com o objetivo de analisar o comportamento da tecnologia quando utilizada nesta configuração, observando os efeitos de diferentes *ground planes*. Também foram realizadas simulações SPICE modeladas de acordo com dispositivos fabricados, permitindo prever adequadamente o comportamento de transistores medidos.

3.1 SIMULAÇÕES NUMÉRICAS BIDIMENSIONAIS

3.1.1 Dispositivos e Metodologia

Para os resultados apresentados nesta seção, foram utilizadas simulações numéricas bidimensionais utilizando os softwares *Sentaurus Device* (SDE) (SENTAURUS..., 2015) e *Sentaurus Structure Editor* SSE (SENTAURUS..., 2016). Os transistores UTBB gerados possuem as dimensões apresentadas na tabela 1 e são baseados na tecnologia apresentada nas referências (ANDRIEU et al., 2010), (FENOUILLET-BERANGER et al., 2009). Aqui, N_D corresponde à concentração de impurezas doadoras.

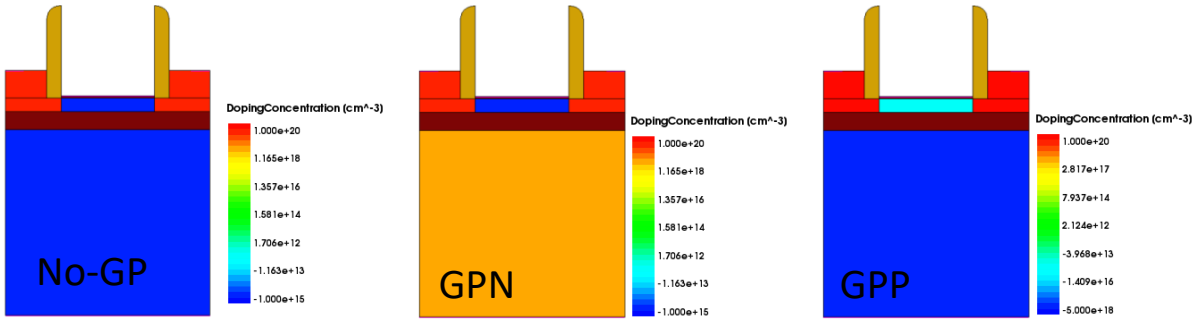
Tabela 1 – Parâmetros tecnológicos dos transistores simulados.

t_{Si}	7 nm
L	25 nm
t_{BOX}	10 nm
$t_{ox,f}$	1,3 nm (EOT)
L_{sd}	30 nm
N_A	1×10^{15} cm^{-3}
N_D	1×10^{20} cm^{-3}
N_{GP}	5×10^{18} cm^{-3}

Fonte: Autora

Onde L_{sd} é o comprimento das regiões de fonte e dreno e N_{GP} é a concentração de dopantes no *ground plane*, para os transistores que apresentam esta característica, sendo considerada uniforme para toda a região de semicondutor abaixo do BOX da estrutura simulada. As estruturas de transistores individuais construídas no SSE são apresentadas na figura 25, correspondendo a transistores Sem *Ground Plane* (*No Ground Plane*) (No-GP), onde a concen-

Figura 25 – Perfil da estrutura do transistor UTBB obtido no SSE



Fonte: Autora.

tração de dopantes do substrato corresponde àquela intrínseca ao *wafer*, de *Ground Plane* tipo N (GPN) e *Ground Plane* tipo P (GPP). O código de simulação é apresentado no Apêndice A.

O *Sentaurus Device* apresenta uma série de modelos físicos e matemáticos para a simulação de dispositivos. Serão descritos abaixo os principais modelos físicos, ressaltando que os títulos das subseções que se seguem são de tradução livre dos modelos descritos no manual de usuário. Outros aspectos importantes do arquivo de simulação que não necessitam de um detalhamento teórico serão apenas comentados no próprio arquivo, apresentado em anexo no Apêndice B.

3.1.1.1 Modelos Físicos

3.1.1.1.1 Estatísticas de Fermi

Este modelo é responsável por adicionar a relação entre cargas móveis, cargas imóveis e seus potenciais eletrostáticos ao cálculo de seu comportamento. Os dispositivos simulados possuem regiões de dreno e de fonte altamente dopadas (concentração maior que 10^{19} cm^{-3}) e, como as associações série possuem esta região intermediária entre os transistores, considerar este efeito é importante.

As equações utilizadas são expressadas nas equações 27 e 28.

$$n = N_C \cdot F_{1/2}\left(\frac{E_{F,n} - E_C}{k \cdot T}\right) \tag{27}$$

$$p = N_V \cdot F_{1/2}\left(\frac{E_V - E_{F,p}}{k \cdot T}\right) \tag{28}$$

Onde $F_{1/2}$ é a integral de Fermi de ordem 1/2.

Esse modelo é considerado pelo simulador através da adição da palavra chave "Fermi" na seção Physics do arquivo de simulação.

3.1.1.1.2 Estrutura de Bandas Multivale e o Modelo de Aproximação Modificada da Densidade Local

Assim como as estatísticas de Fermi, o modelo de estrutura de bandas multivale estabelece uma dependência das concentrações de elétrons e lacunas em nível quasi-Fermi. O modelo leva em conta a Aproximação Modificada da Densidade Local (*Modified Local Density Aproximation*).

O Aproximação Modificada da Densidade Local (*Modified Local Density Aproximation*) (MLDA) é um modelo baseado na mecânica quântica que calcula a distribuição dos portadores confinados perto das interfaces entre silício e semicondutor. Ele pode ser aplicado tanto nas camadas de inversão como de acumulação, simultaneamente para elétrons e lacunas. Estes modelos, juntamente com o termo que considera o efeito do alargamento da banda proibida, são inseridos no arquivo de simulação através da palavra chave "Multivalley(MLDA ThinLayer)", na seção *Physics* do arquivo de simulação.

3.1.1.1.3 Modelo Unificado de Mobilidade de Philips

Este modelo foi proposto por Klaassen na referência (KLAASSEN, 1992) e unifica a descrição da mobilidade de portadores majoritários e minoritários. Inclui a dependência da mobilidade pela temperatura, espalhamentos por portador-portador e por impurezas ionizadas. Ele pode ser considerado pelo simulador através da palavra-chave "Phumob", inserida na subseção *Mobility*, na seção *Physics* do arquivo de simulação.

3.1.1.1.4 Degradação de mobilidade nas interfaces

O modelo de degradação de mobilidade nas interfaces considera os efeitos do campo elétrico vertical aplicado no dispositivo, aplicando a degradação decorrente da interação entre os portadores e a interface Semicondutor/Isolante. Os mecanismos de degradação de mobilidade são os espalhamentos por fônons e rugosidade de superfície. Para incluir os efeitos deste

modelo, é utilizada a palavra chave “Enormal” na subseção *Mobility*, seção *Physics* do arquivo de simulação.

3.1.1.1.5 Saturação por Alto Campo Elétrico

Este modelo considera a saturação da velocidade de deriva dos portadores que ocorre para altos campos elétricos horizontais, quando ela não mais irá apresentar proporcionalidade ao campo elétrico, saturando numa velocidade finita. O modelo de mobilidade adotado é o Canali (CANALI et al., 1975), que é baseado na formula de Caughey-Thomas (DORKEL; LETURCQ, 1981) e inclui parâmetros dependentes da temperatura, ajustados para temperaturas entre 300 K e 430 K.

Para incluir seus efeitos, a palavra-chave “HighFieldSaturation” deve ser incluída na subseção *Mobility*, seção *Physics* do arquivo de simulação.

3.1.1.1.6 Recombinação Shockley-Read-Hall

Inclui os efeitos da recombinação de portadores devido a defeitos na banda proibida. Neste caso, optou-se por considerar a influência da concentração de dopantes e da temperatura. Este modelo pode ser incluído através da palavra chave “SRH (DopingDep TempDependence)” na subseção *Recombination*, seção *Physics* do arquivo do simulador.

3.1.1.1.7 Estreitamento da Banda Proibida

Para altas concentrações de dopantes, ocorre o fenômeno de estreitamento da banda proibida, mudando seu valor e, por consequência, a energia necessária para a geração de portadores livres. O modelo considerado é o de Slotboom (KLAASSEN, 1992), um modelo baseado em medidas em junções n-p-n e p-n-p.

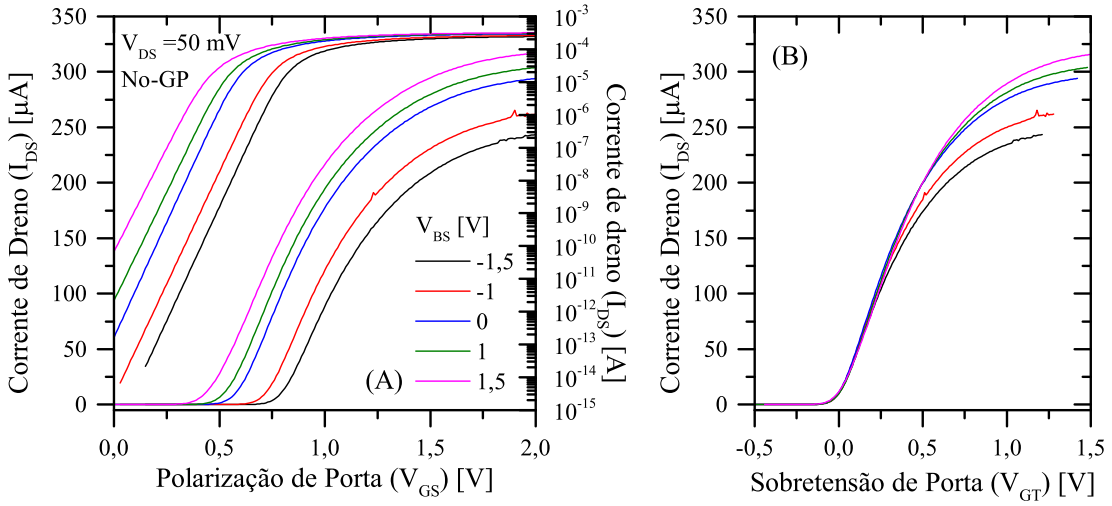
Para a inclusão deste efeito, a palavra chave “BandGapNarrowing (OldSlotboom)” deve ser incluída na subseção *EffectiveIntrinsicDensity*, seção *Physics* do arquivo de simulação.

3.1.2 Transistores UTBB únicos

3.1.2.1 Parâmetros Básicos

A operação independente de transistores UTBB é importante para este trabalho por estabelecer uma base de comparação com os dispositivos associados em série. Primeiramente, são apresentadas as correntes de dreno em função da tensão de porta na figura 26 (A) e em função da sobretensão de porta em (B), para um transistor UTBB sem *ground plane*, submetido a diferentes tensões de substrato, para baixa tensão entre dreno e fonte ($V_{DS} = 50mV$).

Figura 26 – Corrente de dreno em função da tensão de porta e sobretensão de porta para baixo V_{DS}. Transistor UTBB único, sem *ground plane*, polarizado com diferentes V_{BS}. L de 25 nm. Resultados simulados.



Fonte: Autora.

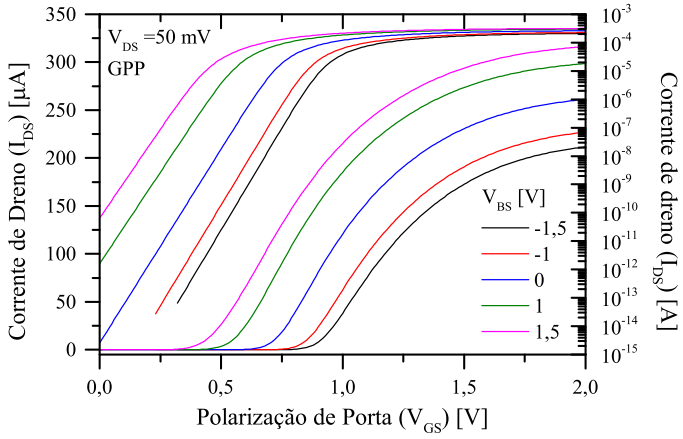
É possível notar o deslocamento horizontal na curva de corrente, resultante da variação da tensão de limiar decorrente da variação de V_{BS}. Quanto maior a tensão aplicada à segunda porta, menor o V_T, devido ao aumento do potencial na segunda interface e a mudança da concentração de dopantes abaixo do BOX. Esse deslocamento acaba por provocar o aumento da corrente de desligamento, obtida com V_G de $0V$. Além disso, I_{DS} é maior conforme V_{BS} aumenta para toda a excursão de V_G, já que há variação da sobretensão de porta.

Em função de V_{GT}, é possível notar que o nível de corrente é maior quanto mais positivo for V_{BS}, mostrando que este parâmetro não modifica apenas a tensão de limiar, mas também afeta características como a espessura da camada de silício depletada abaixo do óxido, que

modifica o fator de corpo do transistor UTBB, e da mudança na posição do canal, que influencia sua resistência.

As curvas de corrente em função de V_G para transistores UTBB com GPP e GPN também foram extraídas e são apresentadas nas figuras 27 e 28, respectivamente. Assim como observado nos dispositivos No-GP, um mesmo V_{GT} irá resultar em diferentes I_{DS} dependendo de V_{BS}, o que se justifica da mesma forma. Entretanto, entre os dispositivos de diferentes *ground planes*, este nível de corrente também não se mantém. Isto indica que diferentes tipos de dopante e concentrações na terceira interface apresentam influência não apenas em V_T, mas também na resistência do canal. Isto se dá por conta da interferência em mecanismos de espalhamento que tipos de portadores de carga distintos abaixo do BOX promovem na mobilidade dos portadores de carga no canal e por conta da posição do canal na camada de silício.

Figura 27 – Corrente de dreno em função da tensão de porta para baixo V_{DS}. Transistor UTBB único, *ground plane* tipo P, polarizado com diferentes V_{BS}. L de 25 nm. Resultados simulados.

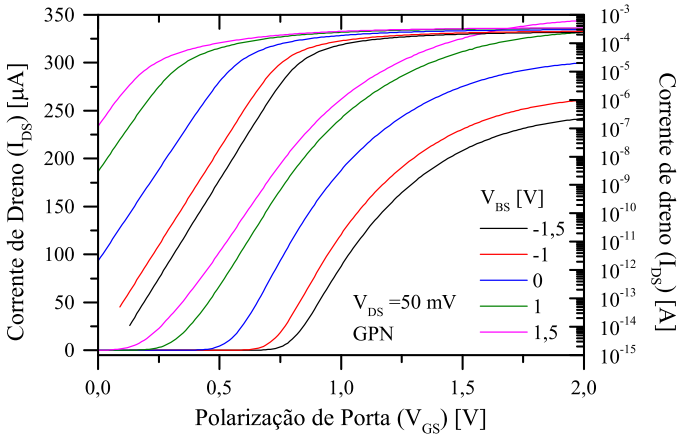


Fonte: Autora.

As mudanças observadas em transistores com diferentes tipos de GP referentes à tensão de limiar podem ser mais bem analisadas quando comparando seus diferentes valores em função de V_{BS}, como mostra a figura 29. Estes valores foram extraídos através do método da segunda derivada de I_{DS} em função de V_G.

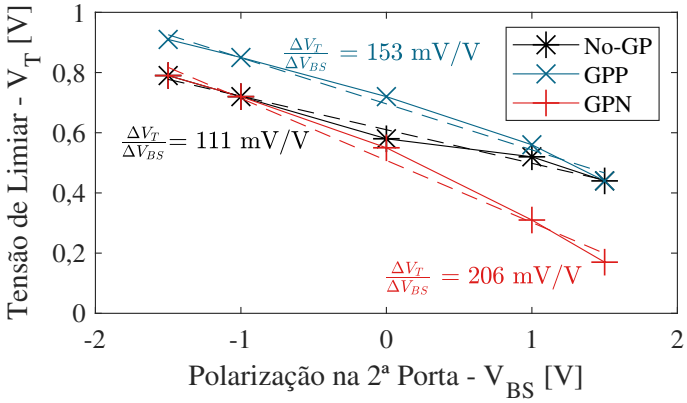
O transistor com GPP apresenta V_T mais alta, o que é devido ao maior potencial na segunda interface (MD ARSHAD et al., 2013). A mesma explicação pode ser utilizada para justificar os valores mais baixos, apresentados pelo transistor com GPN. Além disso, a polarização negativa do substrato irá acumular a segunda interface e, nesse caso, resultará em um V_T mais alto, independente do tipo de GP do dispositivo.

Figura 28 – Corrente de dreno em função da tensão de porta para baixo V_{DS}. Transistor UTBB único, *ground plane* tipo N, polarizado com diferentes V_{BS}. L de 25 nm. Resultados simulados.



Fonte: Autora.

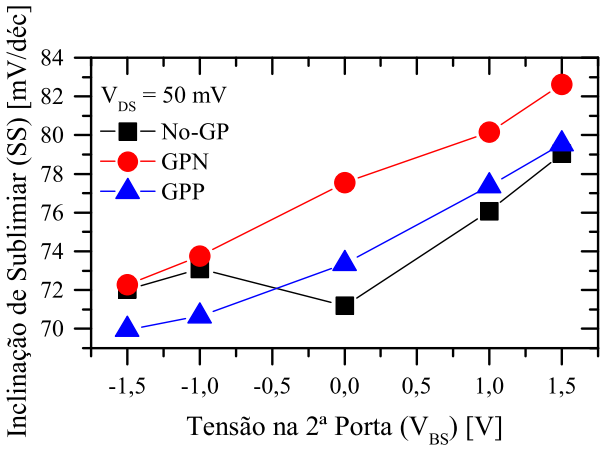
Figura 29 – Tensão de limiar em função da tensão de substrato. Transistores UTBB únicos, diferentes *ground planes*, polarizado com V_{DS} de 50 mV. L de 25 nm. Resultados simulados.



Fonte: Autora.

Para a estrutura No-GP, uma região com menor variação pode ser observada para valores de V_{BS} entre 0 V e 1 V. Isto acontece devido à depleção abaixo do BOX, cuja espessura passa a ser adicionada ao cálculo do acoplamento capacitivo. Com um aumento de t_{depl}, ocorre uma redução no fator de efeito de corpo e na variação da tensão de limiar em função de V_{BS}. Entre os diferentes tipos de GP, é possível observar que a inclinação da aproximação linear das curvas apresentadas também difere. Para tensões de substrato mais altas e mais baixas, devido a alteração do tipo de portador mais presente na interface BOX/substrato, a estrutura No-GP irá apresentar tensão de limiar semelhante aos transistores GPP e GPN, respectivamente.

Figura 30 – Inclinação de sublimiar em função da tensão de substrato. Transistores UTBB únicos, diferentes *ground planes*, polarizado com V_{DS} de 50 mV. L de 25 nm. Resultados simulados.



Fonte: Autora.

Além da variação de V_T, as curvas da corrente de dreno, em escala logarítmica, também apontam uma diferença na inclinação de sublimiar. Seu valor para as estruturas estudadas foi extraído para tensões de substrato entre $-1{,}5V$ e $1{,}5V$ através do nível mínimo encontrado calculando o inverso da derivada $d \log I_{DS}/dV_G$, como é apresentado na figura 30.

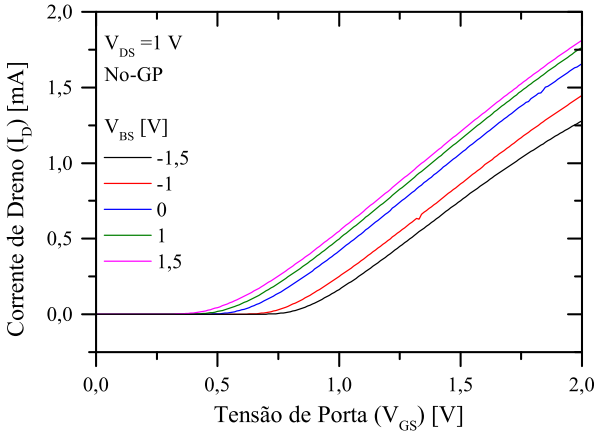
É possível notar que a região depletada abaixo do BOX mencionada na análise de V_T provoca uma redução em SS para o dispositivo No-GP, mesmo quando analisando comparativamente aos transistores que possuem GP (MD ARSHAD et al., 2013). Isso torna seu uso em aplicações digitais interessante, porém restrita a uma faixa de polarizaçao de substrato. Para valores negativos de V_{BS}, ocorre acúmulo de portadores negativos na terceira interface, fazendo com que o comportamento de sua inclinação de sublimiar e da tensão de limiar se assemelhem ao transistor com GPN.

3.1.2.2 Figuras de Mérito Analógicas e Curvas Características

Nas figuras 31, 32 e 33 são apresentadas as curvas I_{DS} em função de V_G extraídas com tensão de dreno de $1V$ e várias polarizações de substrato, para os transistores No-GP, GPP e GPN, respectivamente.

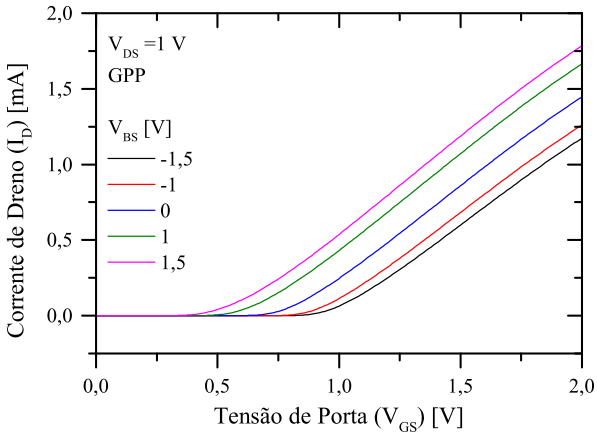
Uma comparação entre as curvas I_{DS} em função de V_G de transistores com os três tipos diferentes de GP para algumas tensões de substrato e V_{DS} de 1 V é apresentada na figura 34.

Figura 31 – Corrente de dreno em função da tensão de porta para $V_{DS} = 1V$. Transistor UTBB único, sem *ground plane*, polarizado com diferentes V_{BS}. L de 25 nm. Resultados simulados.



Fonte: Autora.

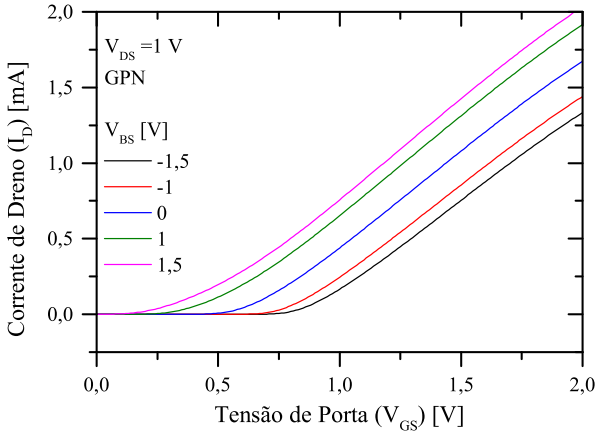
Figura 32 – Corrente de dreno em função da tensão de porta para $V_{DS} = 1V$. Transistor UTBB único, *ground plane* tipo P, polarizado com diferentes V_{BS}. L de 25 nm. Resultados simulados.



Fonte: Autora.

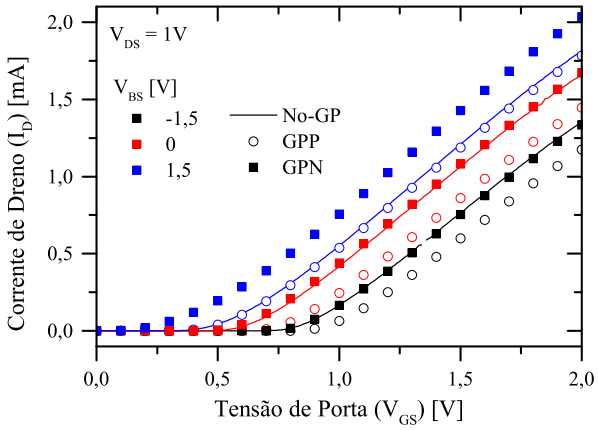
Assim como verificado no comportamento de V_T, é possível notar que a corrente de dreno para o transistor No-GP se aproxima ao I_{DS} obtido para o transistor GPP para V_{BS} positivo. Conforme a polarização de substrato é reduzida e a concentração de elétrons na interface BOX/substrato aumenta, a corrente do No-GP passa a se aproximar à do transistor GPN. Apesar do V_{BS} ser o mesmo, os diferentes GP fazem com que ocorra uma mudança na mobilidade, cujos mecanismos de degradação são dependentes do tipo de portador de carga. Isto pode ser observado também na comparação de g_m em função de V_G para os mesmos transistores e V_{BS}, obtidas através da derivada de I_{DS}, conforme apresentado na figura 35. Para todas as V_{BS},

Figura 33 – Corrente de dreno em função da tensão de porta para $V_{DS} = 1V$. Transistor UTBB único, *ground plane* tipo N, polarizado com diferentes V_{BS}. L de 25 nm. Resultados simulados.



Fonte: Autora.

Figura 34 – Comparação da corrente de dreno em função da tensão de porta para $V_{DS} = 1V$. Transistores UTBB único, vários *ground planes*, polarizado com diferentes V_{BS}. L de 25 nm. Resultados simulados.



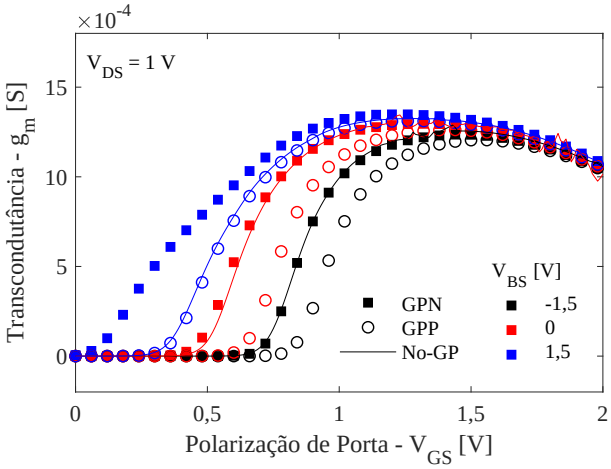
Fonte: Autora.

nota-se que o transistor GPN apresenta melhor transcondutância e, portanto, mobilidade. Esta diferença é mais significativa para tensões de porta mais baixas.

Para estabelecer uma comparação para um mesmo ponto de polarização, as curvas da transcondutância são apresentadas em função da tensão da segunda porta na figura 36, para $V_{DS} = 1V$ e $V_{GT} = 0{,}1V$.

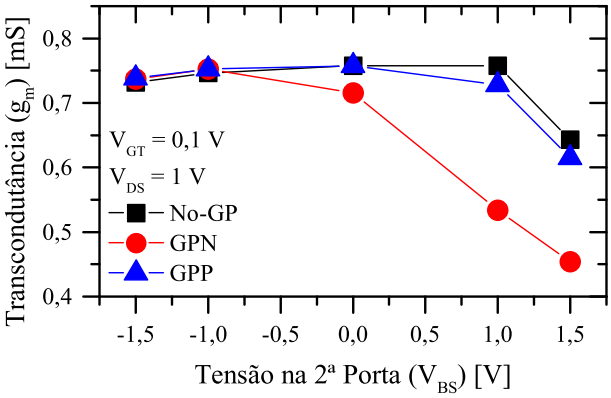
É possível notar que, para os valores de polarização de dreno e porta escolhidos, há uma degradação para V_{BS} maiores, devido à posição do canal, mais próxima à segunda interface. Essa degradação é mais significativa para o dispositivo GPN, devido à acumulação de portadores

Figura 35 – Comparação da transcondutância em função da tensão de porta para $V_{DS} = 1V$. Transistores UTBB únicos, vários *ground planes*, polarizados com diferentes V_{BS}. L de 25 nm. Resultados simulados.



Fonte: Autora.

Figura 36 – Transcondutância em função da tensão de substrato para $V_D = 1V$ e $V_{GT} = 0{,}1V$. Transistores UTBB únicos,vários *ground planes*. L de 25 nm. Resultados simulados.

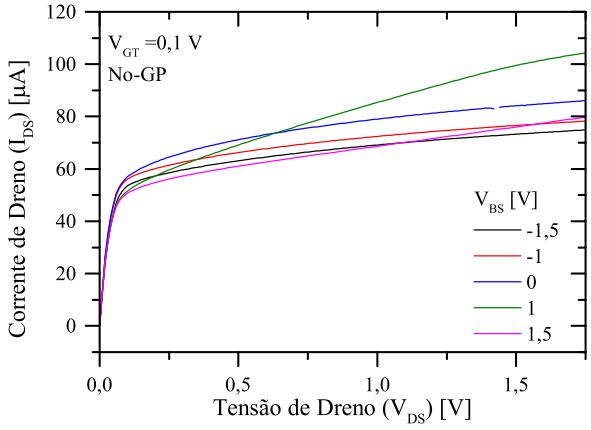


Fonte: Autora.

negativos próxima à interface abaixo do BOX, intensificando mecanismos de espalhamento Coulomb e por fônon. Uma transcondutância mais alta foi obtida para o transistor No-GP em $V_{BS} = 1V$, indicando uma melhor mobilidade. Entretanto, conforme informa a referência (NIER et al., 2013), a mobilidade pode ser melhorada aumentando a tensão V_{BS}, porém apenas até uma certa sobretensão de porta. Isto pode ser observado ao analisar a figura 36.

O comportamento da corrente de dreno em função da tensão de dreno para o transistor No-GP polarizado com V_{GT} de 0,1 V é apresentado na figura 37. Em termos de diferença nos níveis de corrente , notam-se dois comportamentos distintos: um para V_{BS} negativo e aterrado,

Figura 37 – Corrente de dreno em função da tensão de dreno para $V_{GT} = 0{,}1V$. Transistor UTBB único, sem *ground plane*, polarizado com diferentes V_{BS}. L de 25 nm. Resultados simulados.



Fonte: Autora.

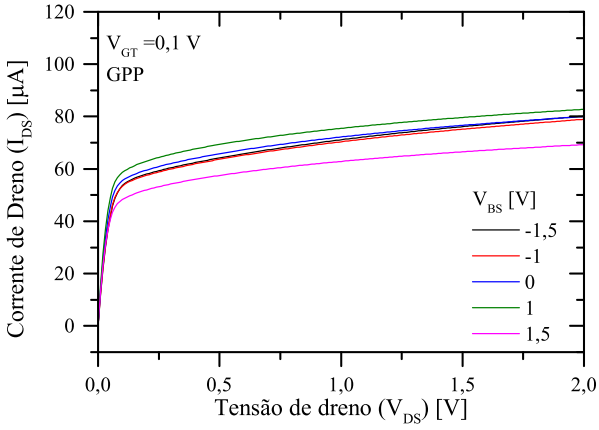
caracterizado por uma determinada inclinação da curva de corrente de dreno na região de saturação, e para V_{BS} positivo, caracterizado por outra. A alteração na inclinação ocorre devido à depleção de portadores positivos abaixo do BOX, piorando o fator de corpo de maneira relativamente abrupta. A tendência entre os dois comportamentos referenciados também é diferente: com $V_{BS} \leq 0$ V, conforme V_{BS} aumenta, diminui o nível de corrente; para $V_{BS} \geq 0$ V, o menor nível de corrente acontece para o menor V_{BS}, o que é devido à mudança da posição do canal para mais próximo da segunda interface.

A figura 38 apresenta as mesmas curvas, mas desta vez para o transistor GPP. A mesma agrupação de comportamentos acontece e com as mesmas tendências, já que o tipo de portador majoritário abaixo do BOX é o mesmo que o No-GP. Entretanto, a concentração é muito maior, e isto previne uma região de depleção de portadores na terceira interface tão espessa, evitando a degradação na inclinação da curva de corrente em saturação.

Já no caso do transistor GPN, apresentado na figura 39, são V_{BS} negativos que apresentam esta degradação de comportamento, também por motivo de depleção de portadores abaixo do BOX. Assim como nos dispositivos com outros tipos de GP, no entanto, V_{BS} mais positivo se relaciona a uma menor I_{DS}, já que os portadores majoritários e minoritários *no canal* são os mesmos e, portanto, a mudança de sua posição entre a primeira e segunda interface é reproduzida.

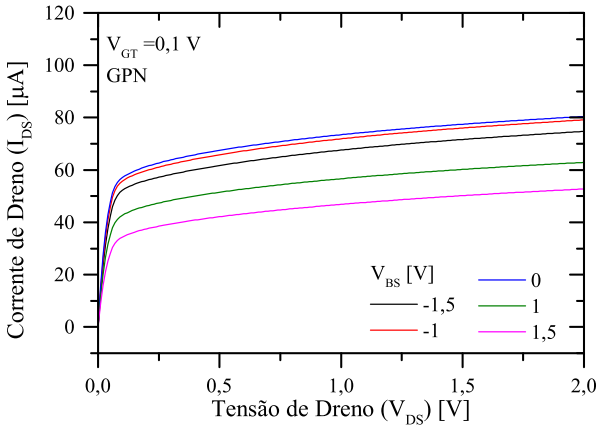
Os maiores valores de corrente foram obtidos com V_{BS} de $1V$ para GPP, $0V$ para GPN e $0V$ para No-GP até V_{DS} de aproximadamente $0{,}6V$. Para o restante da excursão da tensão

Figura 38 – Corrente de dreno em função da tensão de dreno para $V_{GT} = 0{,}1V$. Transistor UTBB único, *ground plane* tipo P, polarizado com diferentes V_{BS}. L de 25 nm. Resultados simulados.



Fonte: Autora.

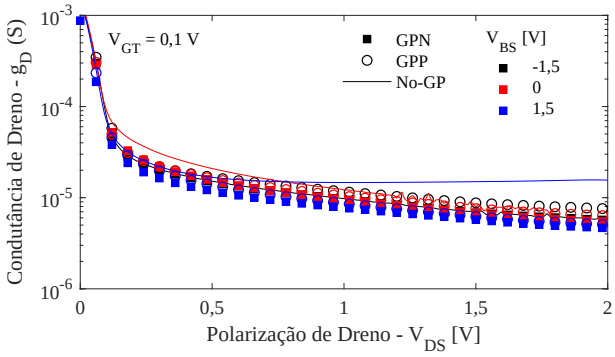
Figura 39 – Corrente de dreno em função da tensão de dreno para $V_{GT} = 0{,}1V$. Transistor UTBB único, *ground plane* tipo N, polarizado com diferentes V_{BS}. L de 25 nm. Resultados simulados.



Fonte: Autora.

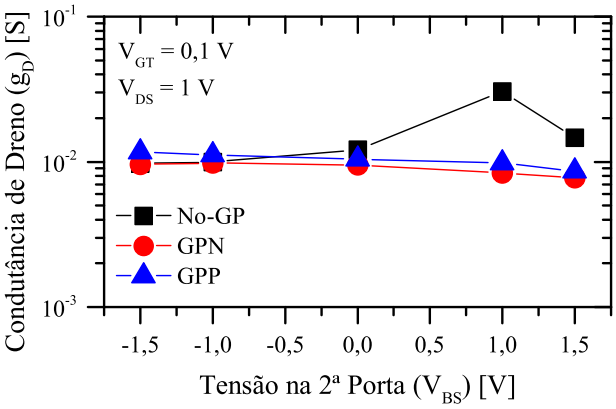
de dreno, a maior corrente no transistor No-GP foi obtida para V_{BS} de $1V$. Isto é decorrente da diferente inclinação apresentada pelas curvas, ou seja, diferentes g_D. Por isso, a partir da derivada de I_{DS} em função da tensão de dreno, as curvas da condutância de dreno estão contidas na figura 40. Nela, é possível notar que a presença de uma depleção mais significativa na terceira interface do dispositivo No-GP reflete em uma pior g_D. Os melhores resultados são obtidos para os transistores que apresentam GP, principalmente quando aplicado V_{BS} positivo. A dependência de g_D com a polarização da segunda porta é explicitada na figura 41.

Figura 40 – Comparação da condutância de dreno em função da tensão de dreno para $V_{GT} = 0{,}1V$. Transistores UTBB únicos, vários *ground planes*, polarizados com diferentes V_{BS}. L de 25 nm. Resultados simulados.



Fonte: Autora.

Figura 41 – Condutância de dreno em função da tensão de substrato para $V_D = 1V$ e $V_{GT} = 0{,}1V$. Transistores UTBB únicos,vários *ground planes*. L de 25 nm. Resultados simulados.

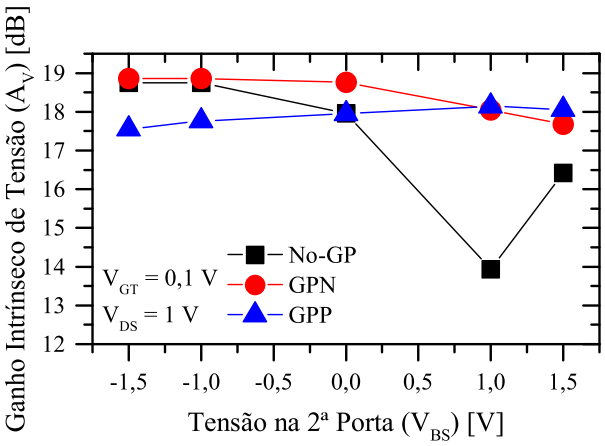


Fonte: Autora.

Nota-se que, apesar da diferença o nível de corrente para os transistores com GP, sua condutância de saída (g_D) é pouco influenciada pela variação de V_{BS}. Entretanto, nota-se que há aumento de g_D para V_{BS} entre $0V$ e $1V$, que é cancelado pela melhora observada em g_m, como se pode ver nos resultados do ganho intrínsico de tensão apresentados na figura 42.

É possível notar que o ganho intrínseco de tensão irá acompanhar o comportamento da condutância de dreno, já que há pouca variação entre as transcondutâncias de transistores com diferentes *ground planes*. Assim sendo, a degradação observada em g_D para os transistores sem GP quando a terceira interface opera em depleção é refletida em A_V. Além disso, nota-se que, para polarizações de substrato negativas, o transistor com GPN apresentará melhor ganho. O mesmo acontecerá para o transistor com GPP e V_{BS} positiva. Pode-se concluir, portanto, que

Figura 42 – Ganho intrínseco de tensão em função da tensão de substrato para $V_D = 1V$ e $V_{GT} = 0{,}1V$. Transistores UTBB únicos,vários *ground planes*. L de 25 nm. Resultados simulados.



Fonte: Autora.

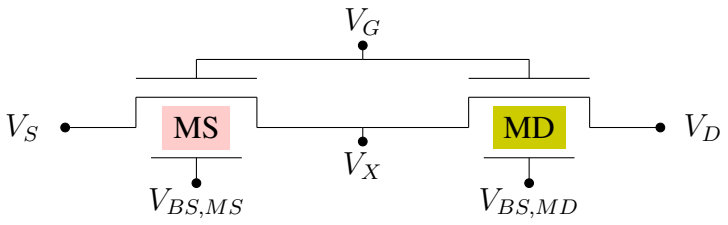
um melhor ganho está relacionado a uma terceira interface acumulada para o caso de V_{GT} de 0,1 V.

3.1.3 Associação Série de Transistores UTBB

As associações simuladas nesta seção são compostas pelos transistores apresentados na seção anterior, que formam o circuito da associação série como mostrado na figura 43. Nesta seção do trabalho, as associações simétricas e assimétricas são obtidas combinando diferentes polarizações de substrato em MS e MD, $V_{BS,MS}$ e $V_{BS,MD}$, respectivamente, para alterar suas tensões de limiar. No caso da S-SC, V_T para MS e MD são iguais e, portanto, $V_{BS,MS} = V_{BS,MD}$. No caso da A-SC, a assimetria da tensão de limiar foi obtida ou aumentando $V_{BS,MD}$ (por consequência diminuindo V_T de MD em relação a MS), ou reduzindo $V_{BS,MS}$ (e, portanto, incrementando V_T de MS em relação a MD). Na tabela 2, são apresentadas as tensões de limiar para cada associação aqui apresentada.

Primeiramente, foram analisadas as curvas de corrente de dreno em função da tensão de porta para a associação série de transistores UTBB para V_D de $50mV$. Os resultados obtidos para os transistores No-GP, GPP e GPN são apresentados na figura 44 (A), (B) e (C), respectivamente. À esquerda, é considerado um valor fixo de $V_{BS,MS}$ igual a -1,5 V, garantindo maior V_T em relação a MD, e variando $V_{BS,MD}$, correspondendo à legenda de cores, enquanto o contrário, com $V_{BS,MD}$ fixo em 1,5 V para garantir menor V_T de MD em relação a MS, é mostrado

Figura 43 – Esquema da associação série considerada nas simulações numéricas bidimensionais.



Fonte: Autora.

Tabela 2 – Tensões de limiar para os transistores únicos utilizados como MS e MD nas associações apresentadas neste trabalho.

V_{BS}	*Ground Planes*		
	No-GP	GPP	GPN
-1,5 V	0,79 V	0,91 V	0,79 V
-1 V	0,72 V	0,85 V	0,72 V
0 V	0,58 V	0,72 V	0,55 V
1 V	0,52 V	0,56 V	0,31 V
1,5 V	0,44 V	0,44 V	0,17 V

Fonte: Autor

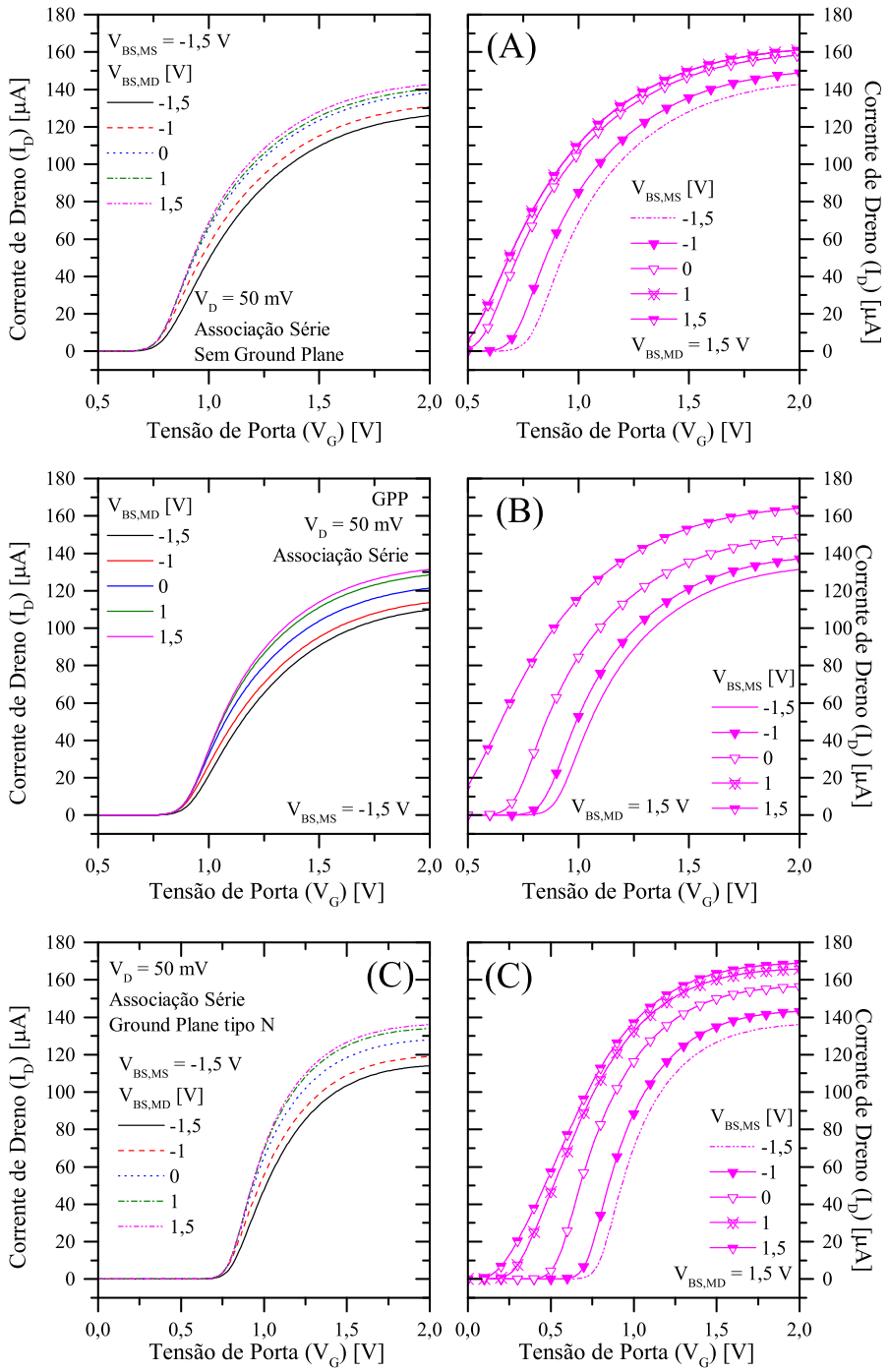
à direita, correspondendo à legenda de símbolos. É interessante notar que, nesses gráficos, valores para a A-SC e S-SC são apresentados juntos, sendo as curvas para $V_{BS,MS} = V_{BS,MD}$ representantes da S-SC.

Assim sendo, é possível notar que a variação da tensão de substrato em MD afeta pouco a tensão de limiar da associação como um todo, já que MS será o transistor dominante da estrutura. Entretanto, o aumento de $V_{BS,MD}$ está relacionado com o aumento da corrente de dreno para tensões de porta mais altas. Isso acontece pois, com a redução da tensão de limiar de MD, para um dado V_G este transistor apresenta menor resistência, agindo como uma extensão da região de dreno, reduzindo o comprimento efetivo da associação conforme a tensão de limiar de MD reduz, tendendo cada vez mais ao comprimento de MS.

Já a variação de $V_{BS,MS}$ para um valor fixo de $V_{BS,MD}$ provocará o deslocamento de I_{DS} por conta das diferentes tensões de limiar. Neste caso, o aumento da corrente ocorre quanto maior o valor de $V_{BS,MS}$, devido ao aumento de V_{GT}.

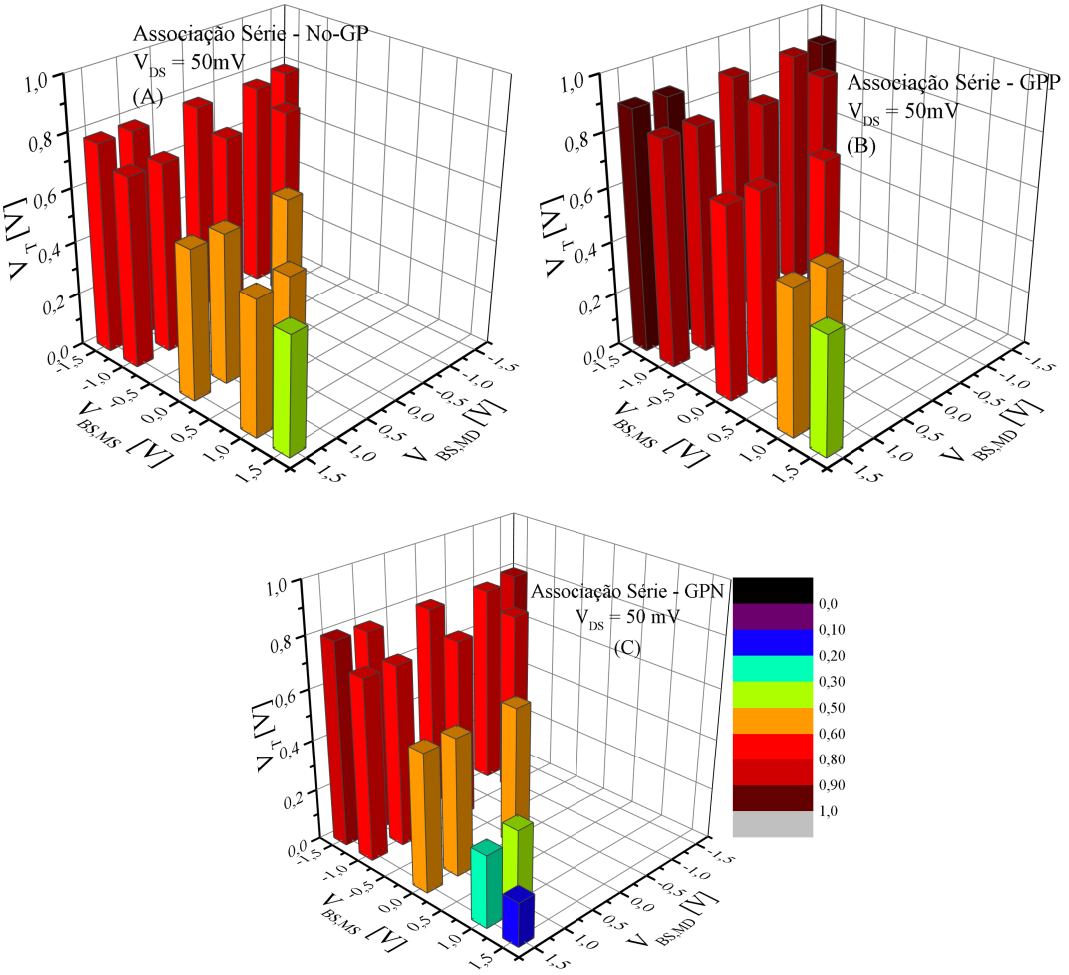
Nota-se que os resultados para No-GP e GPN se assemelham quanto maior $V_{BS,MS}$, indicando o acúmulo de lacunas na camada próxima à interface abaixo do óxido. O mesmo pode ser observado para No-GP e GPP para $V_{BS,MS}$ de valores negativos.

Figura 44 – Corrente de dreno em função da tensão de porta para baixo V_D. Associação série de transistores UTBB, sem *ground plane* (A), com *ground plane* tipo P (B) e com *ground plane* tipo N (C), polarizados com diferentes V_{BS}. Resultados simulados.



Fonte: Autora.

Figura 45 – Tensão de limiar em função da tensão de substrato de MS e MD. Associação série de transistores UTBB, sem *ground plane* (A), com *ground plane* tipo P (B) e com *ground plane* tipo N (C), $V_D = 50mV$. Resultados simulados.

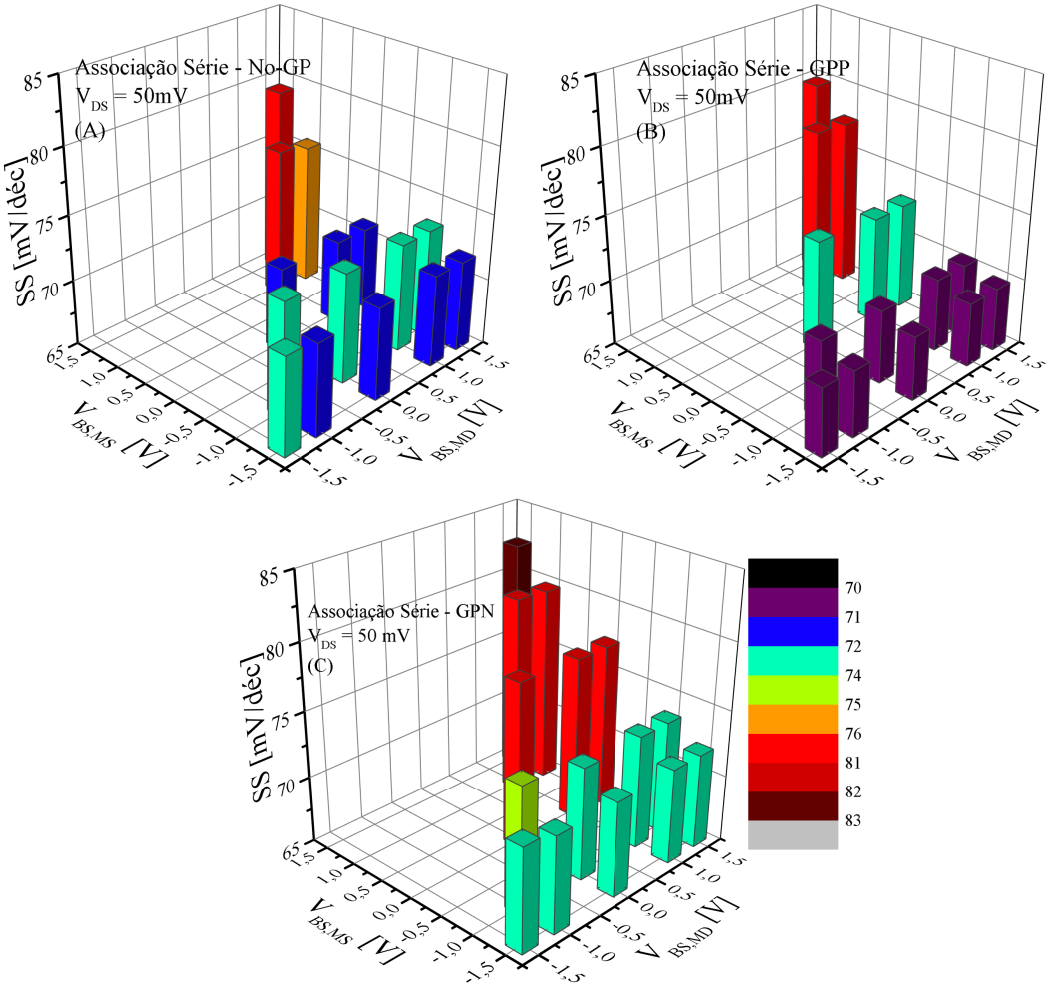


Fonte: Autora.

A partir destes resultados, foi possível extrair a tensão de limiar para No-GP, GPP e GPN, em função das tensões de substrato em MS e MD, conforme apresentado nas figuras 45 (A), (B) e (C), respectivamente. É possível notar que o artifício da alteração em $V_{BS,MD}$ que é usado para estabelecer a assimetria da associação provoca mínima interferência na tensão de limiar para todos os tipos de GP analisados. Por outro lado, ao alterar $V_{BS,MS}$, a V_T da associação acompanha a tensão de limiar do transistor MS.

As figuras 46 (A), (B) e (C) apresentam os resultados da inclinação de sublimiar para a associação série de transistores No-GP, GPP e GPN, respectivamente. É possível notar que a variação de $V_{BS,MS}$ é o maior responsável pela variação de SS. Melhores resultados da inclinação de sublimiar podem ser obtidos para valores mais altos de $V_{BS,MS}$ para todos os tipos de GP observados, devido às mudanças proporcionadas no efeito de corpo.

Figura 46 – Inclinação de sublimiar em função da tensão de substrato de MS e MD. Associação série de transistores UTBB, sem *ground plane* (A), com *ground plane* tipo P (B) e com *ground plane* tipo N (C), $V_D = 50mV$. Resultados simulados.



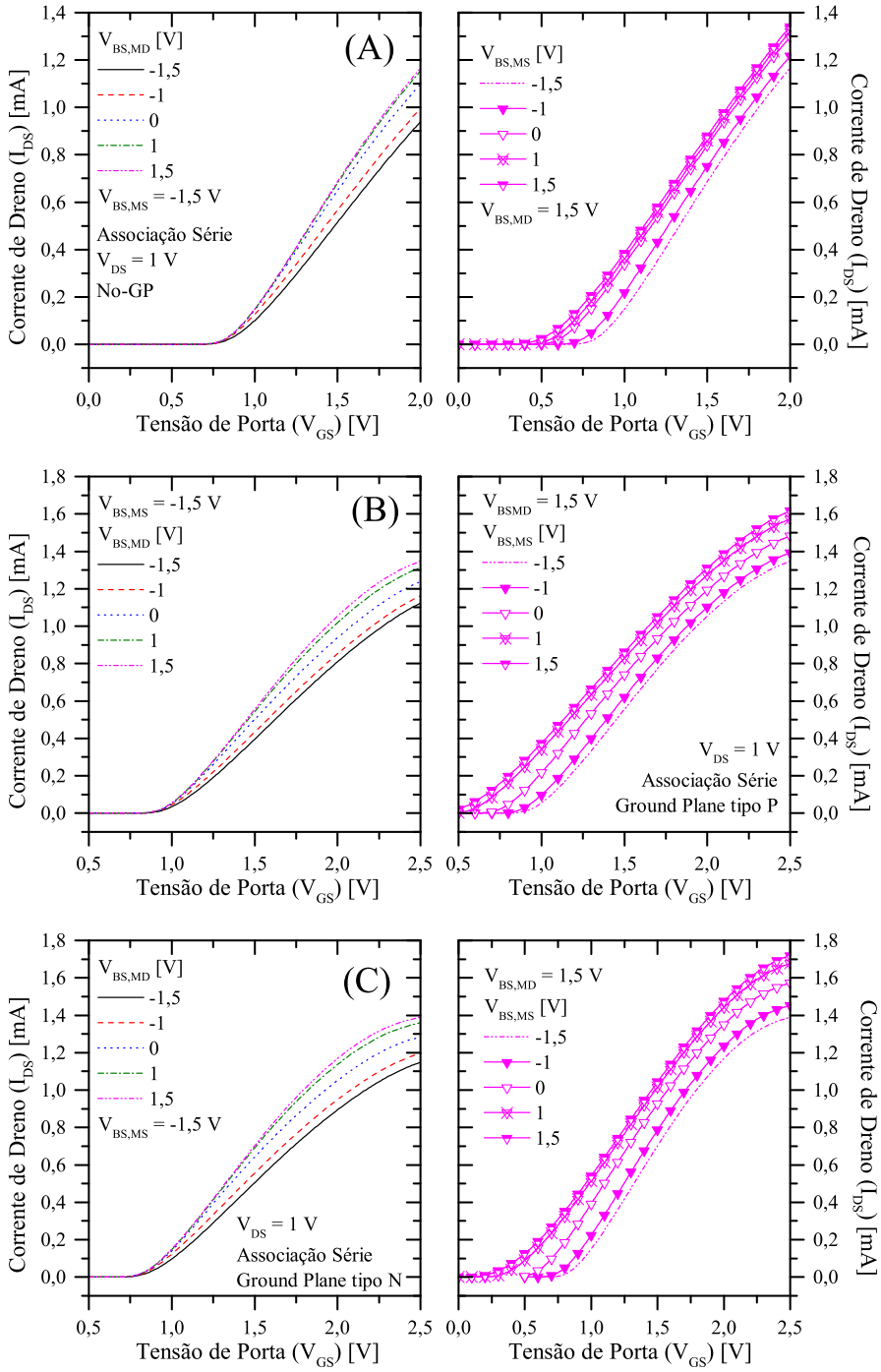
Fonte: Autora.

3.1.3.1 Figuras de Mérito Analógicas e Curvas Características

As figuras 47 (A), (B) e (C) apresentam as curvas simuladas de I_{DS} em função da tensão de porta para V_D de $1V$ para as associações de transistores No-GP, GPP e GPN, respectivamente.

É possível notar que a variação da tensão de substrato em MD não provoca deslocamento horizontal em I_{DS}, já que a tensão de limiar da estrutura como um todo é estabelecida por MS. Entretanto, é possível observar que o nível de corrente de dreno é maior conforme $V_{BS,MD}$ aumenta. Isto está relacionado a dois fatores. O primeiro consiste na variação do comprimento efetivo de canal da associação série, que será tão mais próximo a L_S quanto menor for a tensão de limiar de MD (maior $V_{BS,MD}$), provocando maior assimetria de V_T entre MS e MD. O

Figura 47 – Corrente de dreno em função da tensão de porta para $V_D = 1V$. Associação série de transistores UTBB, sem *ground plane* (A), com *ground plane* tipo P (B) e com *ground plane* tipo N (C), polarizados com diferentes V_{BS}. Resultados simulados.



Fonte: Autora.

segundo consiste na variação do fator de corpo de MD decorrente da variação da espessura da camada de silício depletada próxima à terceira interface.

Como para os transitores No-GP a corrente de dreno em $V_{BS,MD} > 0$ apresenta níveis mais próximos, é possível concluir que isto se deve ao acúmulo de elétrons na terceira interface de MD, tornando n constante. O mesmo não é observado para os transistores com *ground plane*, pois ambos não atingem este regime na terceira interface no intervalo de V_{BS} apresentado.

A partir da derivada das correntes de dreno, foi possível extrair os valores da transcondutância em função de V_G para os mesmos dispositivos e polarizações, conforme apresentado na figura 48. O ponto máximo da curva de transcondutância indica uma maior mobilidade de baixo campo elétrico e é possível observar que, com um $V_{BS,MD}$ maior, um valor mais alto de g_m é obtido, devido a redução da resistência do canal de MD nestas condições. Com um $V_{BS,MD}$ fixo, nota-se que a polarização menor em $V_{BS,MS}$ provoca uma maior transcondutância máxima, indicando que a maior assimetria das tensões de limiar de MS e MD beneficia a máxima mobilidade dos portadores.

Analisando a degradação de g_m com o aumento da tensão de porta, nota-se que maiores $V_{BS,MD}$ acentuam sua queda, de modo que a tendência de maior mobilidade é obtida para diferentes polarizações de segunda porta a partir de um certo V_G. O mesmo não é observado para um $V_{BS,MD}$ fixo. A variação de $V_{BS,MS}$ também afeta a degradação da transcondutância, mas para um V_G maior praticamente promove uma convergência de g_m.

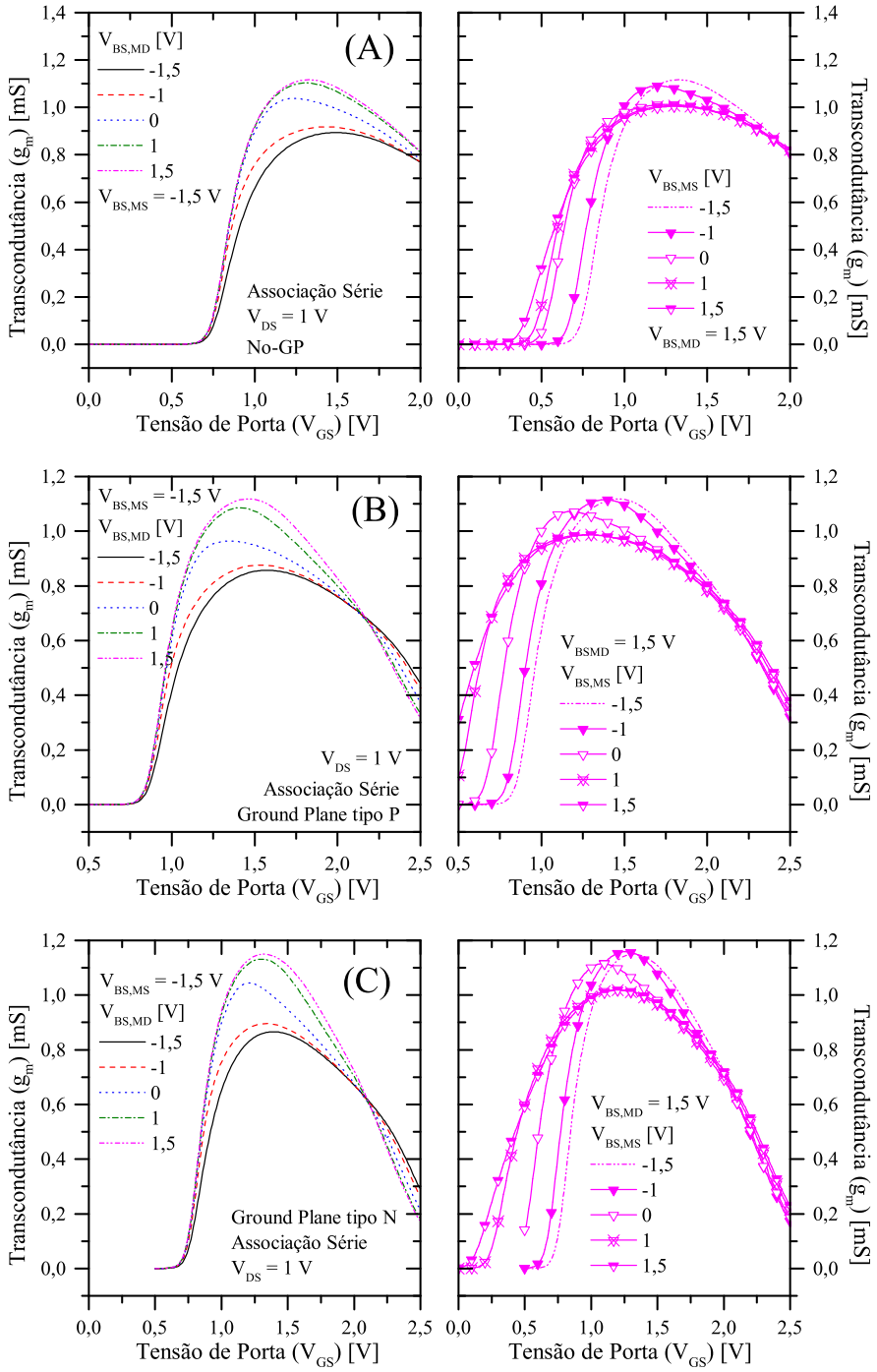
A transcondutância em função de $V_{BS,MS}$ e $V_{BS,MD}$ para V_{GT} de 0,1 V e V_D de 1 V é apresentada para No-GP, GPP e GPN nas figuras 49 (A), (B) e (C), respectivamente.

Os valores de g_m dependem tanto de $V_{BS,MS}$ e $V_{BS,MD}$. Porém, as tendências apresentadas são opostas: uma maior transcondutância será obtida para valores mais positivos de $V_{BS,MD}$ e mais negativos de $V_{BS,MS}$. Isso está ligado ao fato de que um $V_{BS,MS}$ mais negativo irá modificar o acoplamento capacitivo de MS, como também foi observado ao analisar a inclinação de sublimiar, enquanto um maior $V_{BS,MD}$ ira reduzir a tensão de limiar de V_T e diminuir o comprimento efetivo da associação série. Nota-se também que os resultados obtidos para a S-SC são consistentemente menores que para a A-SC.

As figuras 50 (A), (B) e (C), correspondem, respectivamente, aos resultados de corrente de dreno em função da tensão de dreno obtidos para as associações série dos transistores No-GP, GPP e GPN, para V_{GT} de $0{,}1V$.

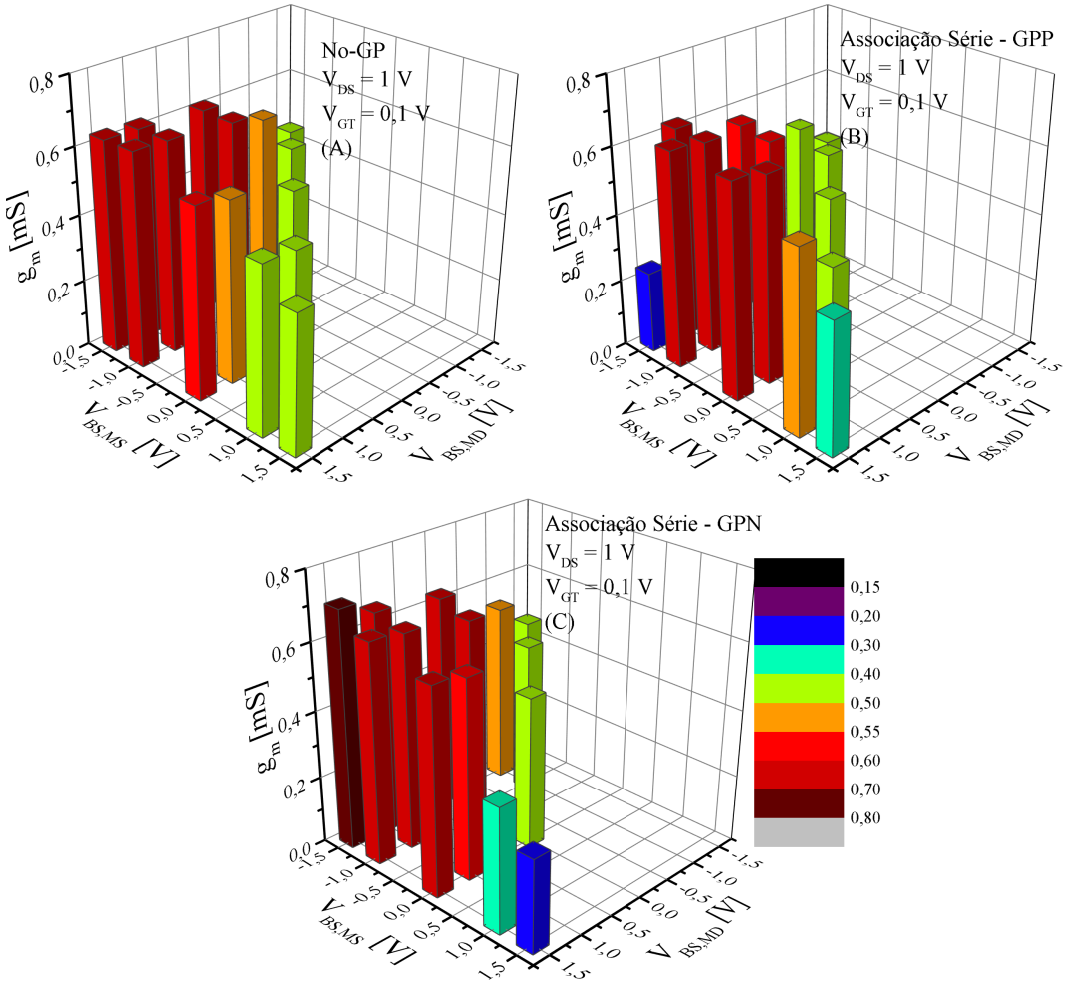
Quando a tensão de substrato em MD é analisada, nota-se que há um aumento em I_{DS} relacionado ao aumento de $V_{BS,MD}$, que reduz a tensão de limiar de MD, aumentando a assi-

Figura 48 – Transcondutância em função da tensão de porta para $V_D = 1V$. Associação série de transistores UTBB, sem *ground plane* (A), com *ground plane* tipo P (B) e com *ground plane* tipo N (C), polarizados com diferentes V_{BS}. Resultados simulados.



Fonte: Autora.

Figura 49 – Transcondutância em função da tensão de substrato de MS e MD. Associação série de transistores UTBB, sem *ground plane* (A), com *ground plane* tipo P (B) e com *ground plane* tipo N (C), $V_D = 1V$ e $V_{GT} = 0{,}1V$. Resultados simulados.

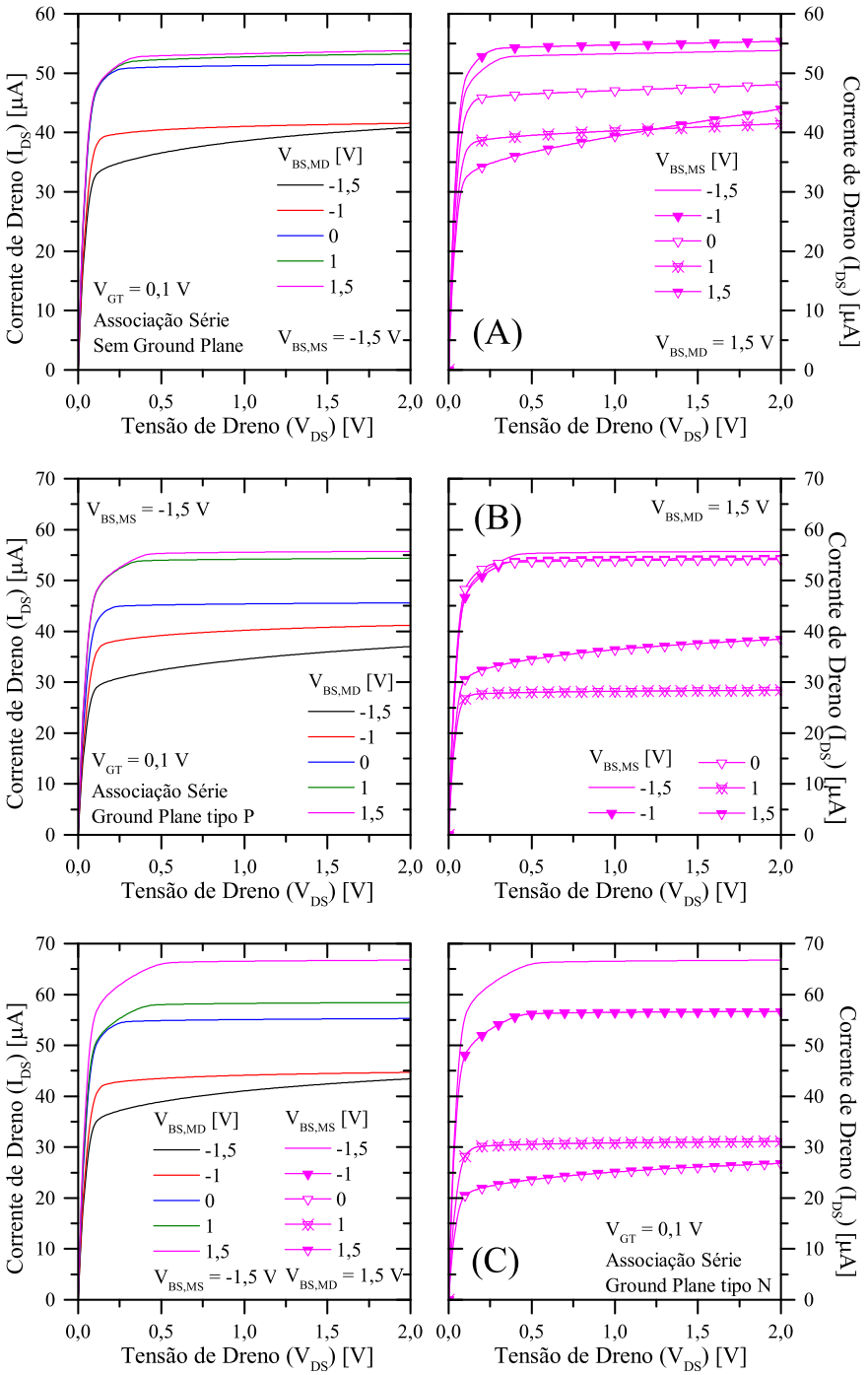


Fonte: Autora.

metria entre os dois transistores que compõem a associação independentemente de seus tipos de GP. Isto acontece em consequência da redução do comprimento efetivo da associação.

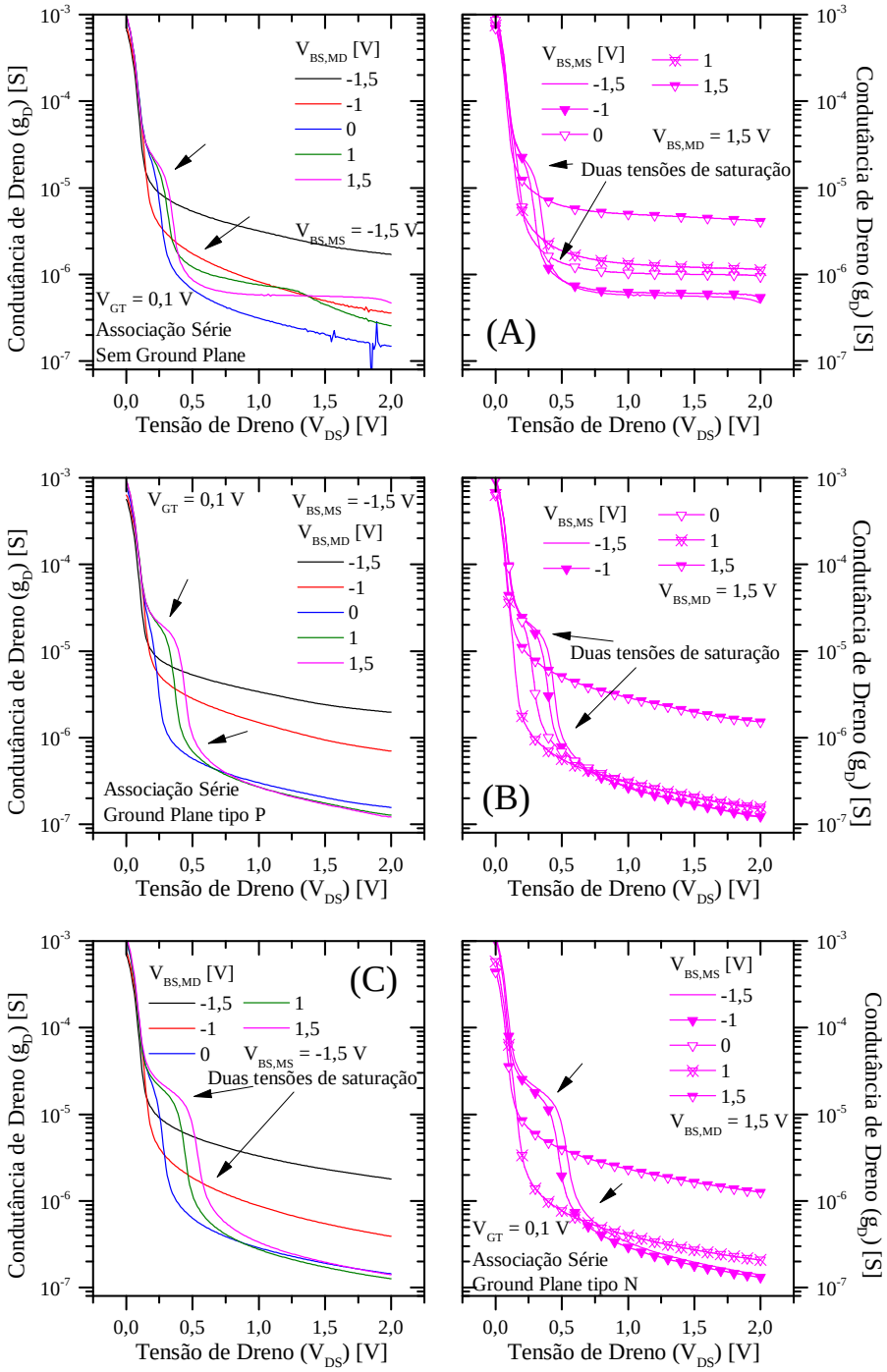
Semelhantemente ao observado para os transistores UTBB únicos, quando a variação de $V_{BS,MS}$ é analisada, pode-se notar que a tensão de substrato em MS para a maior corrente é diferente dependendo do GP dos transistores da associação. Também é possível observar que as curvas correspondentes à S-SC apresentam uma maior inclinação (maior dI_{DS}/dV_{DS}). Isto fica mais claro nas figuras 51 (A), (B) e (C), onde estão apresentados os valores de g_D em função de V_{DS} para as associações de transistores No-GP, GPP e GPN, respectivamente. É possível notar a presença de duas tensões de saturação, representadas pela flutuação observada em g_D antes deste atingir seu valor final, indicando a saturação do transistor MS e MD, que ocorrem em momentos diferentes por conta de suas tensões de limiar distintas.

Figura 50 – Corrente de dreno em função da tensão de dreno para $V_{GT} = 0{,}1V$. Associação série de transistores UTBB, sem *ground plane* (A), com *ground plane* tipo P (B) e com *ground plane* tipo N (C), polarizados com diferentes V_{BS}. Resultados simulados.



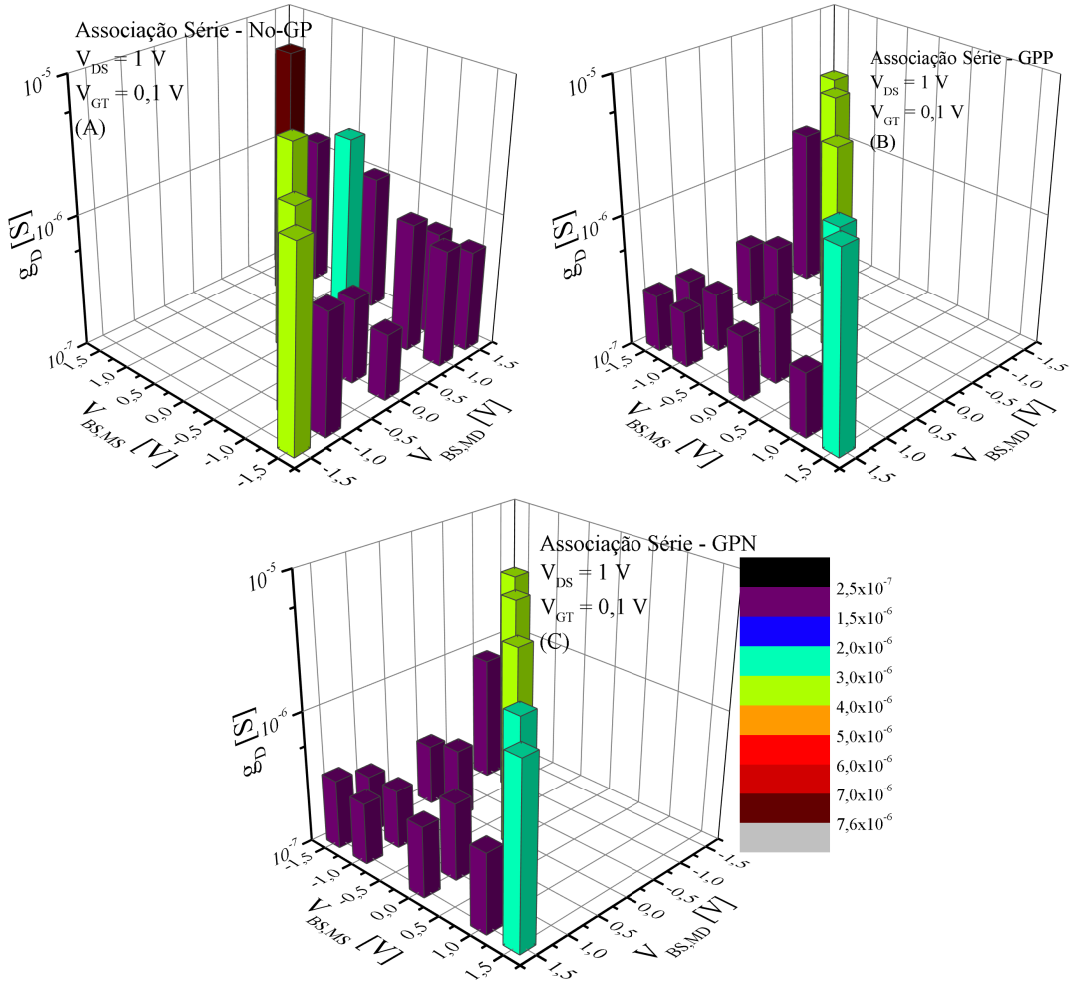
Fonte: Autora.

Figura 51 – Condutância de dreno em função da tensão de dreno de MS e MD. Associação série de transistores UTBB, sem *ground plane* (A), com *ground plane* tipo P (B) e com *ground plane* tipo N (C), $V_{GT} = 0{,}1V$. Resultados simulados.



Fonte: Autora.

Figura 52 – Condutância de dreno em função da tensão de substrato de MS e MD. Associação série de transistores UTBB, sem *ground plane* (A), com *ground plane* tipo P (B) e com *ground plane* tipo N (C), $V_D = 1V$ e $V_{GT} = 0{,}1V$. Resultados simulados.

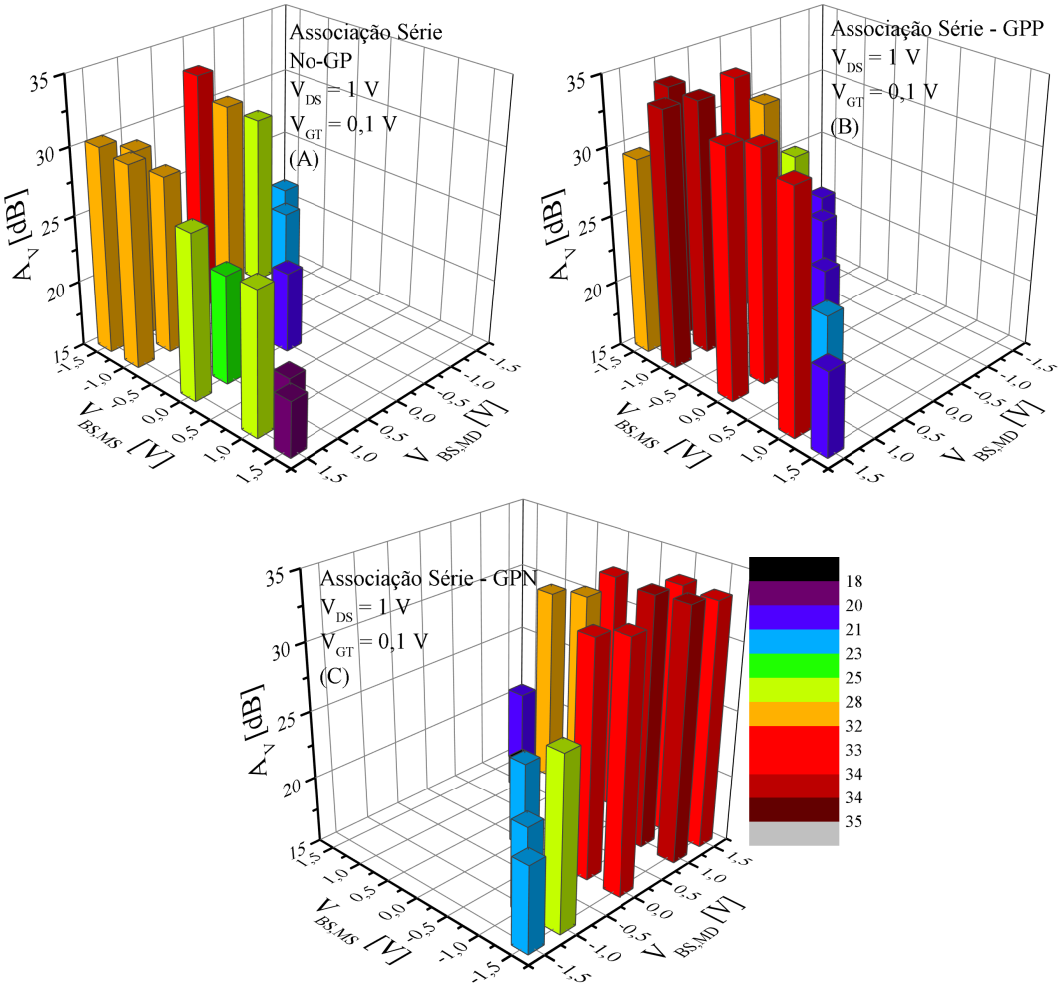


Fonte: Autora.

A condutância de dreno pode ser observada em função da tensão na segunda porta para os mesmos dispositivos conforme apresentado na figura 52. Pode-se notar que g_D dependerá tanto de $V_{BS,MS}$ quanto de $V_{BS,MD}$. A dependência por $V_{BS,MD}$ pode ser explicada pela maior efetividade de MD em absorver o aumento da tensão de dreno quanto menor sua tensão de limiar (menor tensão de substrato). Já a dependência por $V_{BS,MS}$ ocorrerá devido a alteração da camada de silício abaixo do óxido, que depletara ou acumulará elétrons ou lacunas dependendo da polarização do substrato de MS.

A partir de g_m e g_D foi possível obter o ganho intrínseco de tensão em função de $V_{BS,MS}$ e $V_{BS,MD}$, conforme apresentado nas figuras 53(A), (B) e (C), para as associações de transistores No-GP, GPP e GPN, respectivamente. As tendências da transcondutância e condutância de

Figura 53 – Ganho intrínseco de tensão em função da tensão de substrato de MS e MD. Associação série de transistores UTBB,sem *ground plane* (A), com *ground plane* tipo P (B) e com *ground plane* tipo N (C), $V_D = 1V$ e $V_{GT} = 0{,}1V$. Resultados simulados.



Fonte: Autora.

dreno não são opostas e, portanto, o ganho de tensão irá apresentar resultados melhores para $V_{BS,MD}$ positivos e $V_{BS,MS}$ negativos, desde que constituam associações série assimétricas.

3.2 SIMULAÇÕES SPICE

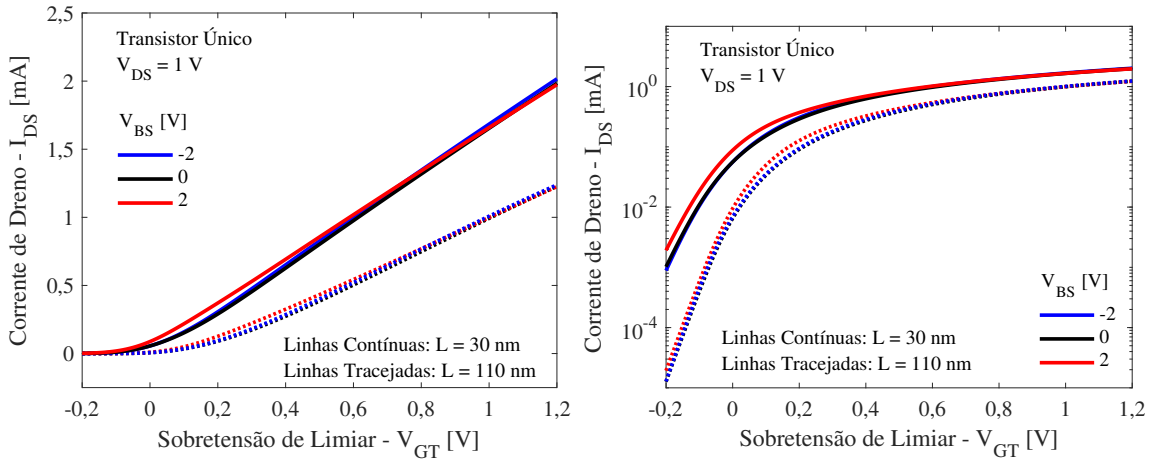
3.2.1 Características dos Dispositivos Únicos

Os resultados aqui apresentados foram obtidos através de simulações SPICE de transistores nMOS com L de 30 nm e 110 nm e W de 1 µm, únicos e utilizados para compor associações série, utilizando o *software* Eldo, da Mentor Graphics (CORPORATION, 2014).

Estes dispositivos são baseados na tecnologia da STMicroelectronics de nó tecnológico correspondente a 28 nm (MONFRAY et al., 2010), cujos modelos SPICE foram desenvolvidos e validados pela própria empresa (POIROUX, T. et al., 2015; POIROUX, Thierry et al., 2015). Eles possuem EOT de 1,2 nm e t_{BOX} de 25 nm e são definidos como *standard threshold voltage* (tensão de limiar padrão). Esta tensão de limiar é baseada naquela de dispositivos reais, que é ajustada através da concentração de impurezas no *ground plane*.

Na figura 54 são apresentadas as curvas da corrente de dreno em função da sobretensão de limiar em escala linear e logarítmica para os transistores únicos que compõem as associações estudadas. É possível notar que o nível de I_{DS} é mantido para os dispositivos, independente de V_{BS}, quando polarizados em um mesmo V_{GT}. Entre os diferentes comprimentos de canal apresentado, nota-se uma diferença de V_T. Estes valores são apresentados na tabela 3.

Figura 54 – Corrente de dreno em função da sobretensão de limiar para transistores únicos de L de 30 nm e 110 nm, para diversas V_{BS}. V_{DS} de 1 V. Resultados simulados.



Fonte: Autora.

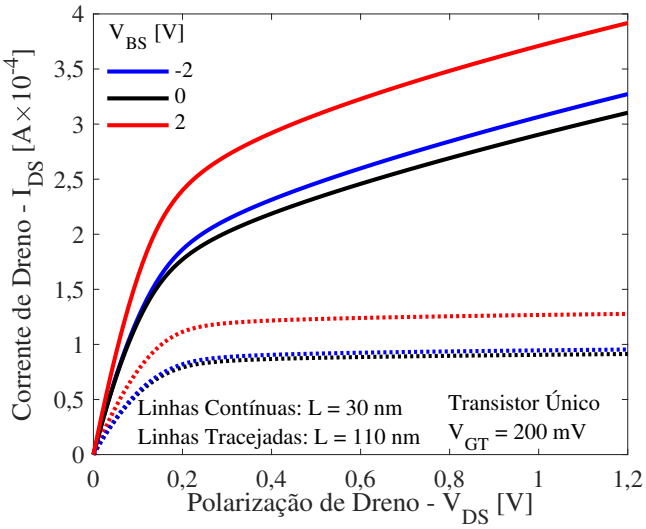
Tabela 3 – Tensão de limiar dos transistores únicos simulados em SPICE para vários V_{BS}.

V_{BS}	*L = 30 nm*	*L = 110 nm*
-2 V	0,56 V	0,59 V
0 V	0,44 V	0,47 V
2 V	0,32 V	0,32 V

Fonte: Autora.

Na figura 55, as curvas da corrente de dreno em função da tensão de dreno para os transistores únicos são apresentadas. A diferença no nível de corrente observada para os transistores polarizados com V_{BS} de 2 V é devida a variação do efeito de corpo, com a mudança da concentração de portadores abaixo do BOX.

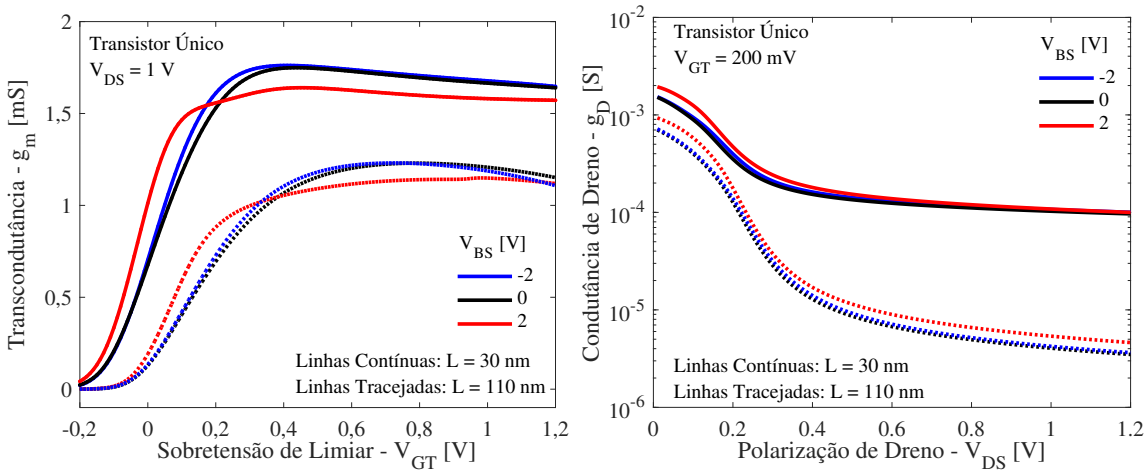
Figura 55 – Corrente de dreno em função da tensão de dreno para transistores únicos de L de 30 nm e 110 nm, para diversas V_{BS}. V_{GT} de 200 mV. Resultados simulados.



Fonte: Autora.

A transcondutância e a condutância de dreno em função de V_{GT} e V_{DS}, respectivamente, são apresentadas na figura 56, obtidas através da derivada da corrente de dreno. É possível notar que a transcondutância para os transistores polarizados com V_{BS} de 2 V apresenta uma degradação, devido a mudança no efeito de corpo. Entretanto, quando g_D é analisado, todas as polarizações de substrato apresentam resultados aproximadamente similares.

Figura 56 – Transcondutância em função da sobretensão de limiar e a condutância de dreno em função da tensão de dreno para transistores únicos de L de 30 nm e 110 nm, para diversas V_{BS}. V_{DS} de 1 V e V_{GT} de 200 mV. Resultados simulados.



Fonte: Autora.

Tabela 4 – Tensão de limiar das associações série simuladas em SPICE, para $V_{BS,MD}$ de 2 V.

$V_{BS,MS}$	L_S = L_D = *30 nm*	L_S = *30 nm e* L_D = *110 nm*	L_S = L_D = *110 nm*
-2 V	0,54 V	0,53 V	0,57 V
0 V	0,59 V	0,41 V	0,47 V
2 V	0,32 V	0,32 V	0,32 V

Fonte: Autora.

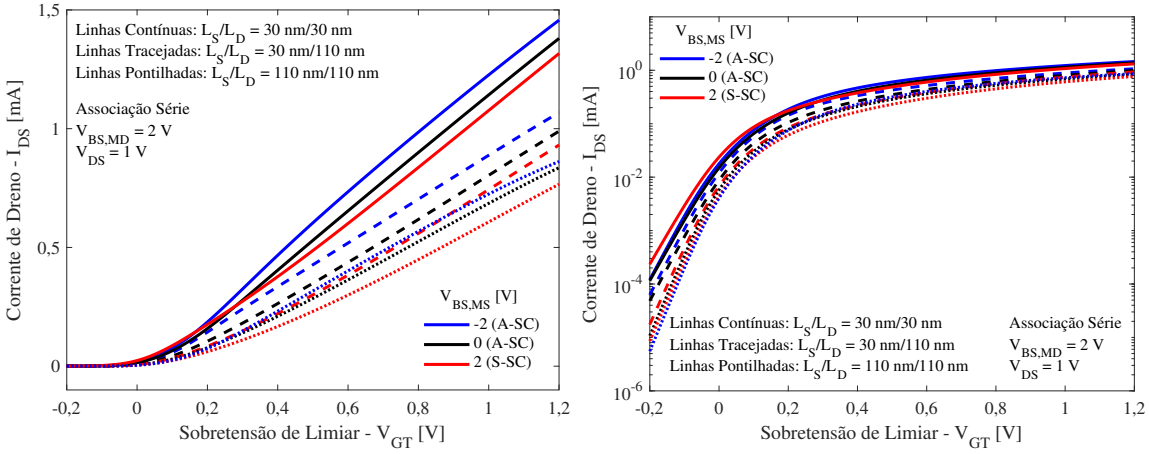
3.2.2 Características dos Transistores Compostos

As associações série assimétricas caracterizadas através de simulações SPICE correspondem às combinações de comprimentos de canal L_S/L_D de 30 nm/30 nm, 110 nm/110 nm e 30 nm/110 nm. Os transistores que compõem as SC possuem W de 1 µm e correspondem aos dispositivos apresentados na seção anterior. O foco do estudo desta seção está na análise do efeito da polarização de substrato do transistor MS, $V_{BS,MS}$, que varia entre os valores -2 V, 0 V e 2 V. Para estabelecer a condição para uma SC funcional, de que a tensão de limiar de MS seja maior ou igual à V_T de MD, a polarização de substrato do transistor MD, $V_{BS,MD}$, foi fixada em 2 V. Isto significa que as A-SC correspondem à $V_{BS,MS}$ de -2 V e 0 V e as S-SC, à $V_{BS,MS}$ de 2 V.

Na figura 57, são apresentadas a curva de corrente de dreno em função da sobretensão de limiar em escala linear e logarítmica para as associações série de L_S/L_D de 30 nm/30 nm, 110 nm/110 nm e 30 nm/110 nm, com $V_{BS,MD}$ de 2 V e vários $V_{BS,MS}$. É possível notar que, em comparação com os transistores únicos, o nível de corrente é menor, devido ao comprimento efetivo do canal (L_{eff}) da associação ser maior que L_S. A corrente da SC composta por L_S/L_D de 30 nm/110 nm apresenta valores intermediários em relação às outras combinações. Diferentemente do observado para os transistores únicos, para uma estrutura de mesmo comprimento de canal, a variação da polarização de substrato de MS provoca uma diferença na corrente mais perceptível, mesmo polarizadas com V_{GT} similares. Isto acontece devido à inerente variação de L_{eff} que é decorrente da diferença maior ou menor entre as tensões de limiar de MS e MD: quanto maior esta diferença, menor o comprimento efetivo de canal. Na tabela 4, são apresentados os valores correspondentes a V_T das estruturas e é possível notar que tendem àquela observada para o transistor único utilizado como MS, apresentados anteriormente, na tabela 3.

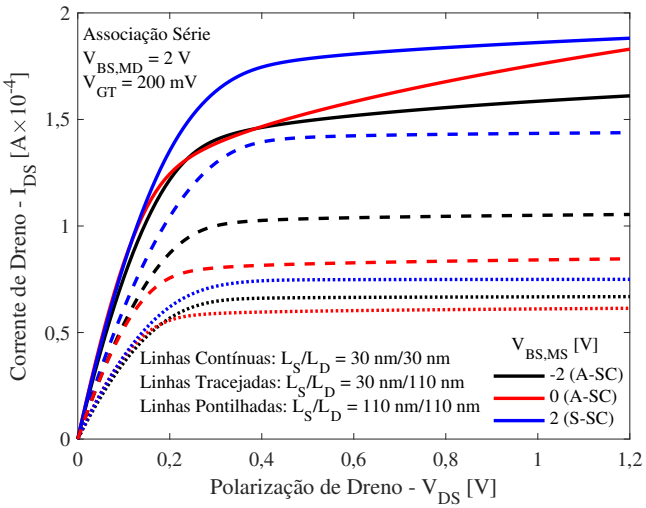
A corrente de dreno em função da tensão de dreno para as associações série polarizadas com V_{GT} de 200 mV pode ser vista na figura 58. Observa-se que o comportamento da variação de $V_{BS,MS}$ promove uma diferença no nível de corrente, por conta da variação de L_{eff}, con-

Figura 57 – Corrente de dreno em função da sobretensão de limiar para associações série simétricas e assimétricas, para diversas $V_{BS,MS}$, L_S e L_D. V_{DS} de 1 V. Resultados simulados.



Fonte: Autora.

Figura 58 – Corrente de dreno em função da tensão de dreno para associações série simétricas e assimétricas, para diversas $V_{BS,MS}$, L_S e L_D. V_{GT} de 200 mV e $V_{BS,MD}$ de 200 mV. Resultados simulados.

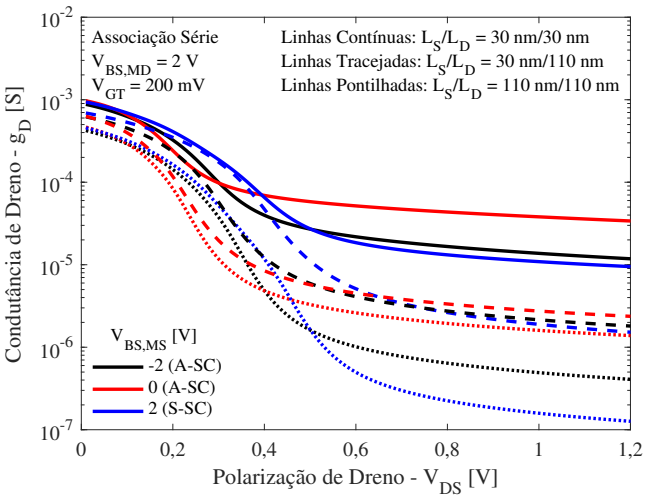


Fonte: Autora.

forme explicado anteriormente. É possível notar a degradação no comportamento da corrente de dreno em saturação para a S-SC mais curta, que pode ser melhor vista na figura 59, através da condutância de dreno maior. É interessante notar que, comparando com a transcondutância em função de V_{GT}, cujos resultados são apresentados na figura 60, a mobilidade também é degradada para esta estrutura.

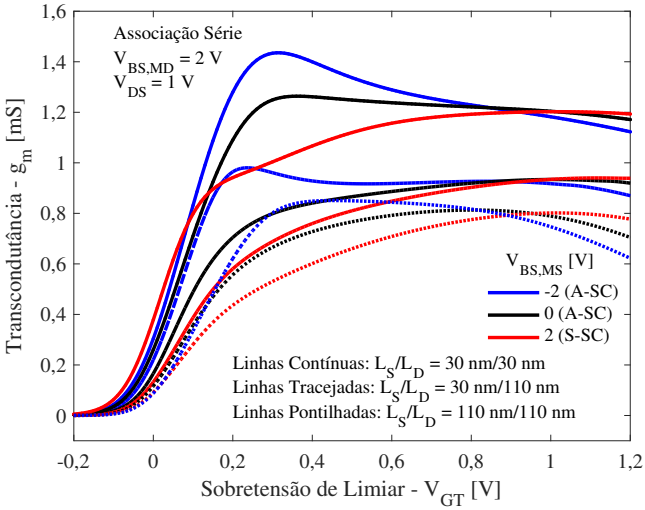
A figura 61 apresenta a tensão Early em função da razão g_m/I_{DS} comparando valores extraídos em V_{DS} de 1 V para todos os dispositivos apresentados. Para g_m/I_{DS}, considerando

Figura 59 – Condutância de dreno em função da tensão de dreno para associações série simétricas e assimétricas, para diversas $V_{BS,MS}$, L_S e L_D. V_{GT} de 200 mV e $V_{BS,MD}$ de 2 V. Resultados simulados.



Fonte: Autora.

Figura 60 – Transcondutância em função da sobretensão de porta para associações série simétricas e assimétricas, para diversas $V_{BS,MS}$, L_S e L_D. V_{DS} de 1 V e $V_{BS,MD}$ de 2 V. Resultados simulados.

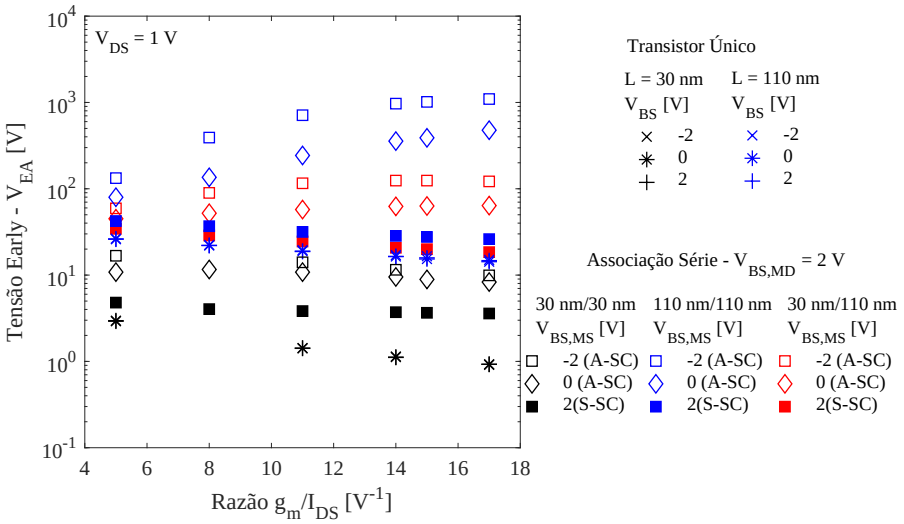


Fonte: Autora.

polarização em inversão forte, nota-se uma melhora de no mínimo 65% em V_{EA} em relação aos transistores únicos, obtida para a S-SC mais curta.

Por fim, são apresentados na figura 62 os resultados da transcondutância em função do ganho intrínseco de tensão. A área hachurada corresponde todos os potenciais resultados de $g_m \times A_V$ que podem ser obtidos com transistores únicos de L entre 30 nm e 110 nm, para a mesma extensão de polarização de porta. Esta área representa a performance possível de

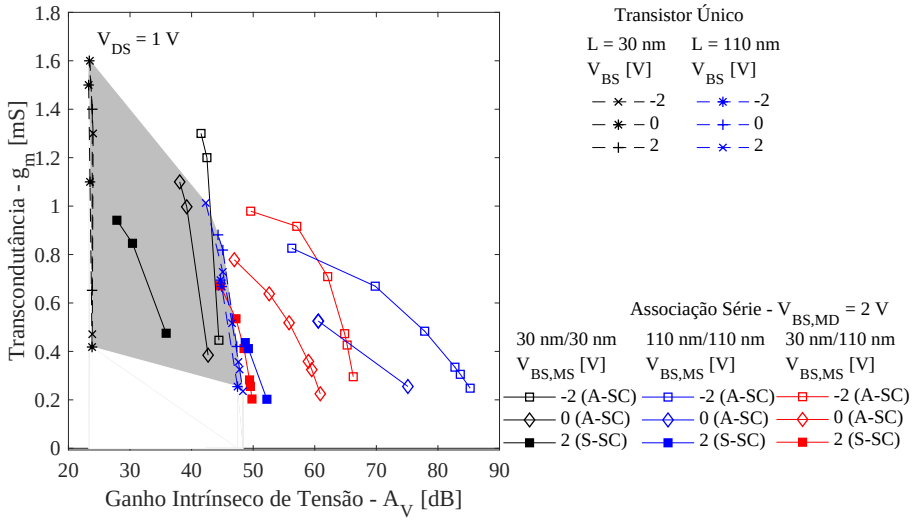
Figura 61 – Tensão Early em função da razão g_m/I_{DS} comparando transistores únicos e associações série. V_{DS} de 1 V . Resultados simulados.



Fonte: Autora.

um compromisso entre a frequência (g_m dividida pela capacitância de carga) e o ganho de tensão, sendo um método usado por projetistas de circuitos para visualizarem as capacidades de uma tecnologia. Os resultados das associações compostas pela combinação de transistores mais curtos são, em sua maioria, posicionadas dentro da área em questão, mas para $V_{BS,MS}$ e $V_{BS,MD}$ mais diferentes, projetistas já podem contar com um ganho de tensão similar aquele do transistor único mais longo polarizado com V_{BS} de 0 V, enquanto g_m melhora 87%. Ao utilizar a SC de L_S/L_D de 30 nm/110 nm e $V_{BS,MS}$ de -2 V, projetistas podem aumentar o ganho de 7 dB a 18 dB enquanto mantendo a mesma amplitude de g_m. Para a SC mais longa, uma melhora em A_V entre 14 dB e 37 dB pode ser alcançada. A desvantagem da melhora dessas figuras de mérito analógicas é a maior área de fabricação ocupada, mas a implementação da A-SC permanece simples quando comparada com técnicas de projeto de circuito frequentemente mais complexas, enquanto nem sempre atingindo um bom compromisso com g_m.

Figura 62 – Transcondutância em função do ganho intrínseco de tensão comparando transistores únicos e associações série. V_{DS} de 1 V . Resultados simulados.



Fonte: Autora.

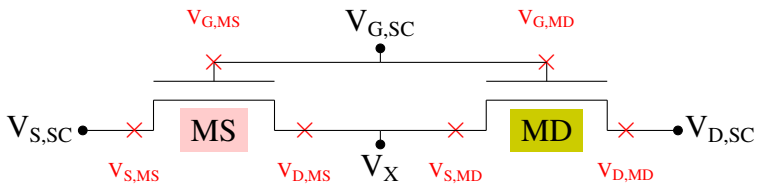
4 CÓDIGO CONSTRUTOR DE I-V PARA ASSOCIAÇÕES SÉRIE

A caracterização elétrica de transistores compostos, como as associações série, pode se tornar complexa por uma quantidade de motivos. Por exemplo, ao estudar a implementação de novas tecnologias em associações série, é possível que *wafers* e *chips* disponíveis não contenham as associações já implementadas, ou possuam limitações relacionadas ao tamanho de dispositivos e combinações. Estabelecer conexões externas nestas situações é uma prática comum, porém, subótima quanto a presença de cargas parasitas derivadas aos fios e cabos. Além disso, nem todas as câmaras de medidas comportam fisicamente as configurações que seriam eventualmente necessárias, tanto por conta de capacidade de acomodar manipuladores adicionais ou por uma questão de dimensões limitadas. Por conta disso, neste capítulo é proposto um código, implementado em Matlab (MATLAB..., 2018), capaz de gerar com acurácia as características DC de associações série simétricas e assimétricas a partir de tabelas que contenham as curvas I-V, numa extensão apropriada de V_G e V_D, dos transistores únicos que formariam o transistor composto.

4.1 DESCRIÇÃO DO ALGORITMO

Para o desenvolvimento do algoritmo, inicialmente, é necessário estabelecer quais são as nomenclaturas e condições para a construção da tabela I-V da associação série resultante. Para isso, conforme apresentado na Figura 63, os nós $V_{G,SC}$,$V_{D,SC}$, $V_{S,SC}$ e V_X correspondem aos nós da polarização de porta, de dreno, de fonte e o nó intermediário da SC. Em vermelho, estão indicados $V_{G,MD}$, $V_{D,MD}$ e $V_{S,MD}$, que são os nós para o transistor único correspondente a MD e que $V_{G,MS}$, $V_{D,MS}$ e $V_{S,MS}$, que são os nós para o transistor único correspondente a MS.

Figura 63 – Esquema de uma associação série considerada pelo algoritmo.



Fonte: Autora.

Os arquivos de entrada devem fornecer duas tabelas de curvas I-V, uma para o transistor MD e outra para MS, contendo valores de $I_{D,MS}$ e $I_{D,MD}$ para valores de tensão de porta e dreno ($V_{G,MD}$, $V_{D,MD}$, $V_{G,MS}$ e $V_{D,MS}$) que cubram o intervalo desejado para a curva final da SC e possuam o mesmo passo.

O código assume inicialmente que o valor medido de $V_{S,MD}$ será igual a zero e trabalha considerando a diferença de potencial entre $V_{D,MD}$ e $V_{S,MD}$. Isso implica num erro intrínseco devido à diferença entre $V_{G,MD}$ e V_X que será discutido posteriormente. No entanto, o tamanho das tabelas de entrada seria proibitivo computacionalmente caso não fosse adotada esta aproximação.

Com as tabelas de corrente de dreno de MS e MD, o algoritmo começa sua parte principal, apresentada nos apêndices C e G, buscando valores de $V_{G,MD}$, $V_{D,MD}$, $V_{G,MS}$ e $V_{D,MS}$ que cumpram as condições de tensão estabelecidas pelo circuito do transistor composto, que são baseadas em relações de circuitos simples aplicadas ao esquema da figura 63. As equações 29 e 30 apresentam estas condições. O valor de V_X corresponde ao valor determinado pela diferença entre $V_{D,MS}$ e $V_{S,MS}$.

$$V_{G,SC} = V_{G,MS} = V_{G,MD} + V_{D,MS} \tag{29}$$

$$V_{D,SC} = V_{D,MS} + V_{D,MD} \tag{30}$$

Acontece aqui uma diferença entre os algoritmos geradores de tabelas de I_{DS} em função de V_G e em função de V_D. Para as curvas em função da tensão de dreno, o alvo definido para a polarização de porta já é capaz de restringir a tabela de MS consideravelmente. Para curvas em função da tensão de porta, no entanto, restringe-se apenas que a soma de $V_{D,MS}$ e $V_{D,MD}$ deve ser menor que o alvo da tensão de dreno. Para ambas as curvas, as duas condições são aplicadas em um momento ou outro; porém a ordem estabelecida dita o tempo de execução do algoritmo.

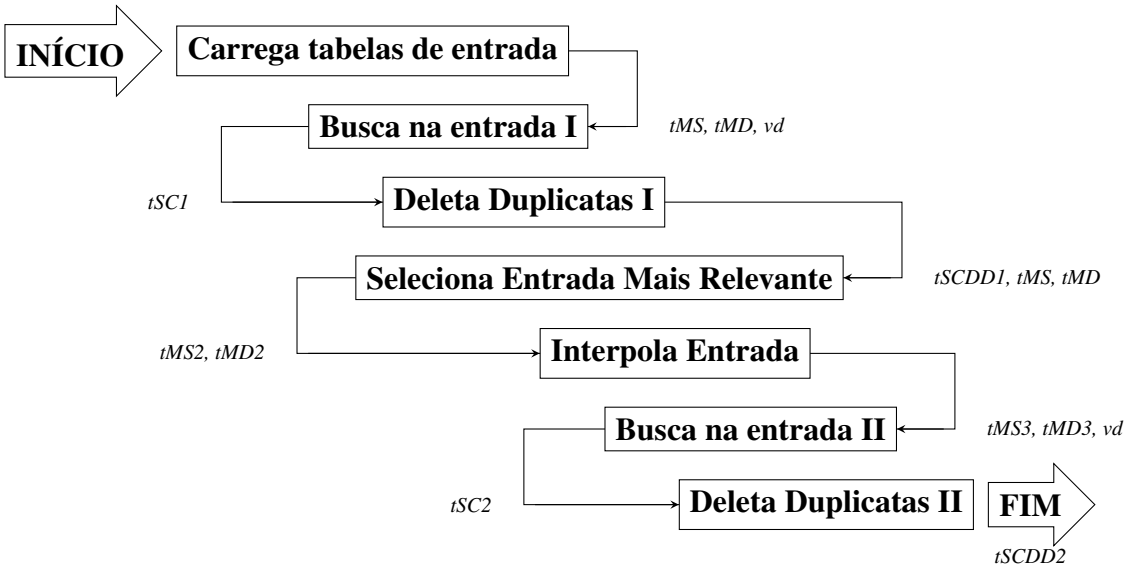
Após esta etapa, a tabela resultante contém vários valores de tensão que se repetem, todos respondendo corretamente às condições impostas. A etapa seguinte é a seleção, para cada valor da extensão da tensão de porta ou dreno, aquele que melhor atende à condição de corrente, descrita pela equação 31.

$$I_{D,SC} = I_{D,MS} = I_{D,MD} \tag{31}$$

A curva I-V resultante destas seleções e filtro não é refinada o suficiente para fornecer valores apropriados de parâmetros, principalmente aqueles cuja extração depende do cálculo de derivadas. Isso é consequência do passo das curvas de entrada, que não são apropriadas para representar com precisão a variação da tensão no nó intermediário (V_X) (e das diferenças de potencial dele dependentes em MS e MD). O algoritmo assume que a caracterização mais refinada dos transistores unitários não é possível e segue para a etapa de interpolação. É importante que essa etapa ocorra apenas após a geração de uma construção preliminar de I-V, pois ela estabelece as extensões de polarização de porta e de dreno que são necessárias para cada transistor e executa a interpolação apenas nestas seções, evitando assim a necessidade de muito espaço de memória do computador. Um refino da escala de $1 \times 10^{-4}V$ se mostra suficiente para as tecnologias estudadas, mas pode ser redefinido com facilidade, caso convenha ao usuário.

Com as curvas dos transistores unitários mais selecionadas e refinadas, a etapa de construção é executada novamente, seguida por Deleta Duplicatas, e gera então a curva I-V final. O processo explicado é apresentado graficamente no fluxograma na figura 64.

Figura 64 – Fluxograma do algoritmo construtor de curvas I-V para associações série.



Fonte: Autora.

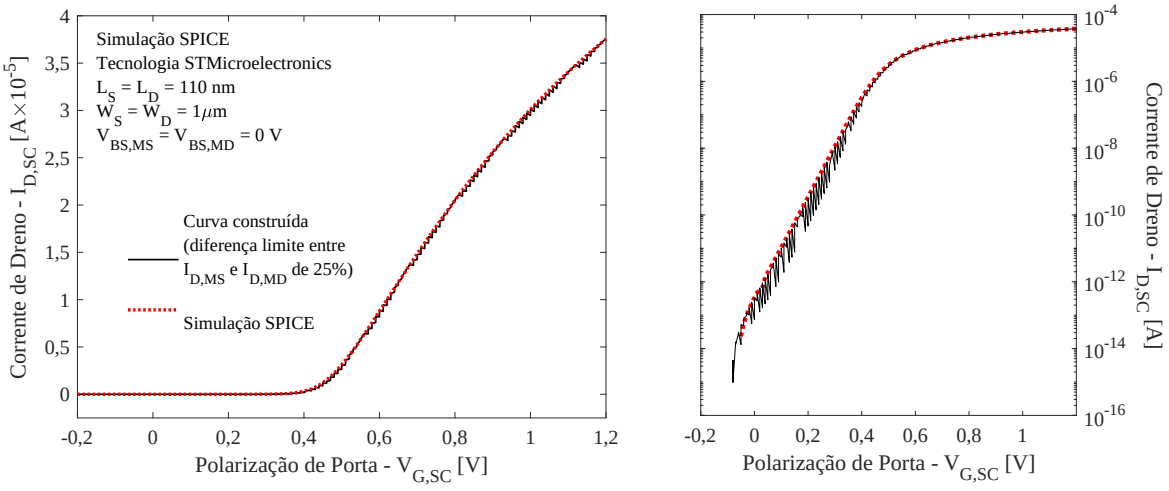
4.2 VALIDAÇÃO COM SIMULAÇÕES SPICE

Acesso a modelos SPICE desenvolvidos para a tecnologia UTBB desenvolvida pela ST-Microelectronics com nó técnologico de 28 nm foram importantes para o desenvolvimento do

modelo proposto. As simulações não foram apenas essenciais por conta da rapidez com que foi possível simular os resultados para transistores individuais e compostos, mas também garantiu que este método poderia ser utilizado para transistores UTBB e para A-SC cujo controle de V_T de MD ocorre pela polarização da segunda porta.

Durante o desenvolvimento do código, diversas estratégias foram testadas para atingir um nível adequado de precisão. Os primeiros testes, que objetivavam a construção de uma curva $I_{D,SC}$ em função de $V_{G,SC}$ para um $V_{D,SC}$ baixo, consideravam um nível mínimo de erro aceitável entre $I_{D,MD}$ and $I_{D,MS}$. Na figura 65, são apresentados resultados de corrente que assumem como aceitável um erro de 25% entre as correntes dos dois transistores. Nela, é possível notar um fenômeno serrilhado na curva construída, demonstrando que adotar um valor mínimo para a diferença proporcional entre $I_{D,MS}$ e $I_{D,MD}$ promove alguns problemas. A primeira desvantagem seria a possibilidade de pontos de polarização que apresentariam múltiplos valores de corrente de dreno correspondentes. A segunda é que, para baixos $V_{G,SC}$, os menores valores de $I_{D,MS}$ e $I_{D,MD}$ apresentam erro proporcional maior e não seriam apreciados na curva final. Porém, em valores absolutos e para as aplicações estudadas, a diferença seria irrelevante e descreveria adequadamente a inclinação de sublimiar e outros parâmetros extraídos nestas condições.

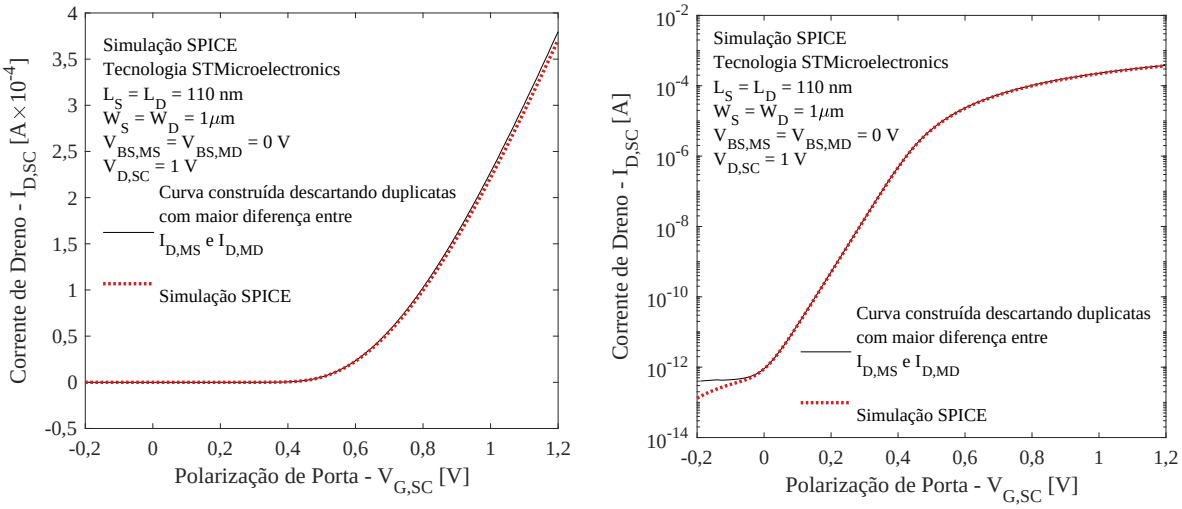
Figura 65 – Corrente de dreno em função da polarização de porta para $V_{D,SC}$ de 40 mV.



Fonte: Autora.

Por conta desses fatores, optou-se pela função "Deletar Duplicatas", apresentada nos apêndices E e I, onde nenhum erro mínimo é estabelecido, simplesmente seleciona-se, para cada ponto de polarização, a opção com menor diferença relativa entre as correntes dos dois

Figura 66 – Corrente de dreno em função da polarização de porta para $V_{D,SC}$ de 1 V.



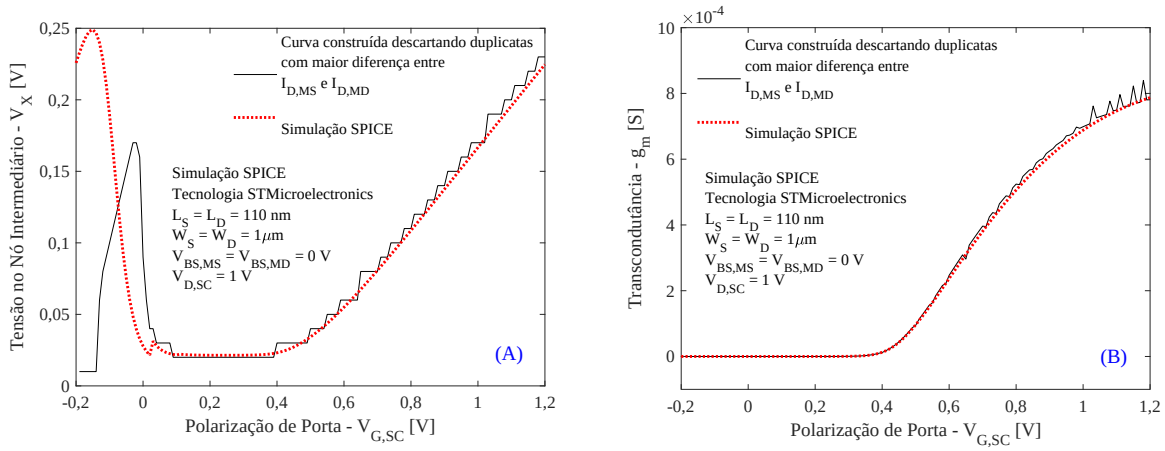
Fonte: Autora.

transistores. Isto é apresentado na figura 66. Duplicatas não são presentes nesta etapa do código e a curva apresenta uma boa representação do comportamento de referência, mesmo em sublimiar e mesmo com uma polarização de dreno mais alta.

Ainda tratando das curvas $I_{D,SC}$ vs. $V_{G,SC}$, outra etapa importante do desenvolvimento do código envolveu os intervalos de polarização dos transistores individuais. Para ilustrar isto, é apresentado na figura 67 (A) a curva de V_X em função da polarização de porta. O algorítimo só executa a seleção em pontos que são presentes nas tabelas de entrada correspondentes a MS e MD, vinculando o resultado ao passo utilizado (no caso, 10 mV), enquanto a precisão apresentada pela curva de referência é de 0,01 mV. Estes saltos, vistos em V_X, se traduzem em curvas importantes para as aplicações desejadas, como as derivadas de corrente, g_m, por exemplo, apresentada em função de $V_{G,SC}$ na figura 67 (B).

A correção desta imprecisão está, portanto, ligada à precisão das tabelas de entrada. O primeira abordagem seria simplesmente prover ao algorítimo dados refinados referentes aos transistores individuais. Esta pode ser uma possibilidade se as entradas forem resultado de simulações SPICE, que são relativamente rápidas. Porém, a principal utilização do método proposto seria em caracterizações experimentais e a redução do passo para valores menores que 10 mV é frequentemente inviável. Além disso, as tabelas resultantes seriam tão longas que o próprio algorítimo, por mais simples que seja, levaria semanas para gerar apenas uma curva resultante. Então, mesmo alternativas que envolvam interpolação irrestrita das tabelas

Figura 67 – Tensão do nó intermediário (A) e transcondutância (B) em função da polarização de porta para $V_{D,SC}$ de 1 V.



Fonte: Autora.

de entrada não se convertem em possibilidades reais considerando o tempo de processamento necessário.

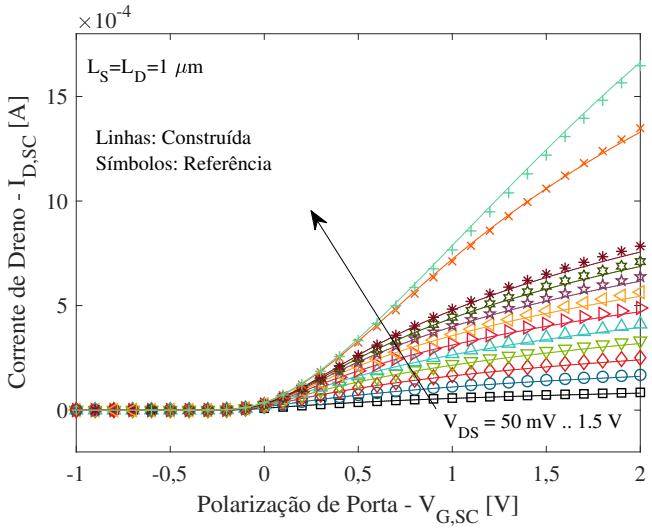
A estratégia adotada no desenvolvimento do algorítimo foi, portanto, interpolar apenas as seções relevantes das tabelas de entrada, encontradas a partir de uma construção inicial da curva resultante desejada realizada com as curvas originais. Isto reduz o tempo de processamento consideravelmente e, quando reconstruída, a curva resultante mostra uma grande melhora. Exemplos retratando a qualidade da saída da versão mais atualizada do código são apresentados na próxima seção.

4.3 VALIDAÇÃO COM MEDIDAS EXPERIMENTAIS EM TRANSISTORES FD SOI PLANARES CONVENCIONAIS

A praticidade das simulações em SPICE foi importante para as etapas de desenvolvimento do algoritmo apresentado. Porém, a validação do mesmo sob a visão de resultados experimentais com associações série fabricadas *in-chip* é importante para descartar a possibilidade de os ruídos das medidas influenciarem negativamente a acurácia do método proposto.

Os transistores utilizados são da tecnologia FD SOI convencional de nó tecnológico de 2 µm fabricados pela *Université catholique de Louvain-la-Neuve* (FLANDRE et al., 2001), todos apresentando largura de canal de 20 µm. As A-SC concebidas neste *chip* tem a tensão de limiar de seus transistores definidas de acordo com a concentração de dopantes no canal: 5×10^{16}

Figura 68 – Corrente de dreno em função da polarização de porta comparando resultados construídos e de referência para diversos valores de $V_{D,SC}$. L_S e L_D igual a 1 µm.



Fonte: Autora.

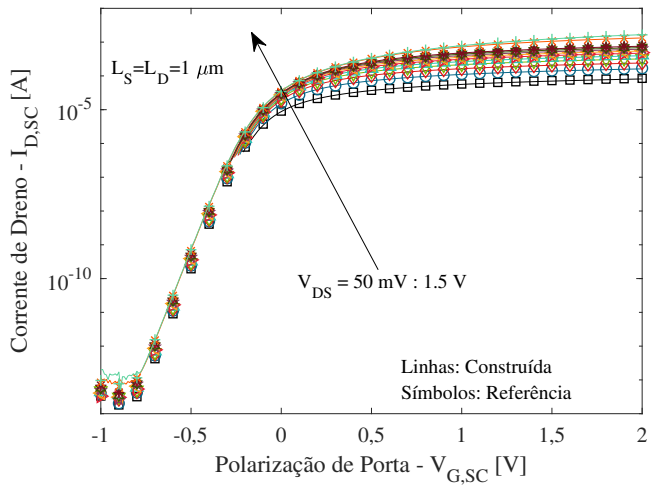
cm^{-3} para MS e 10^{15} cm^{-3} para MD (aproximadamente a concentração intrínseca de dopantes do *wafer* de silício).

Os resultados apresentados nesta seção são referenciados da seguinte forma: quando apontados como **referência**, correspondem à medida das A-SC presentes no *chip*, com conexões entre seus transistores fabricadas fisicamente; quando apontadas como **construída**, correspondem à saída obtida através do algoritmo alimentado com as curvas I-V dos mesmos transistores que compõem as A-SC fabricadas, medidas isoladamente com passos de V_G e V_{DS} de 10 mV no intervalo entre -1V e 2V.

As curvas apresentadas na Figura 68 correspondem à corrente de dreno em função da polarização de porta para A-SC com $L_S = L_D = 1$ µm. Para toda a extensão de $V_{G,SC}$ apresentada, a região de triodo é a mais facilmente visualizada, demonstrando boa precisão. Já a região de sublimiar é apresentada com mais clareza na figura 69, pois o eixo correspondente à corrente de dreno encontra-se em escala logarítmica. Mesmo para correntes mais baixas, nota-se a precisão do método de caracterização proposto, estendendo-se inclusive à inclinação de sublimiar, conforme apresentado na tabela 5. A pior acurácia entre as curvas construídas e de referência foi obtida para a A-SC de L_D e L_S de 1 µm, correspondendo ao valor de 1,68 mV/déc em uma referência de 76,59 mV/déc, um erro de 2,19%.

Para comparar melhor a precisão das curvas $I_{D,SC}$ em função de $V_{G,SC}$, o erro percentual entre a corrente construída e de referência para as curvas com $V_{D,SC}$ de 1 V e 1,5 V são apresentadas na figura 70. É possível notar que o erro para $V_{G,SC}$ maior que a tensão de limiar

Figura 69 – Corrente de dreno em função da polarização de porta comparando resultados construídos e de referência para diversos valores de $V_{D,SC}$. L_S e L_D igual a 1 µm. Escala logarítmica.



Fonte: Autora.

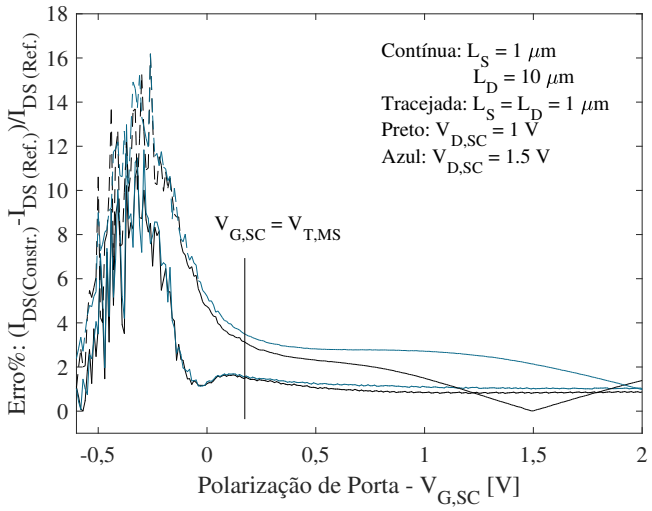
Tabela 5 – Comparação entre a inclinação de sublimiar para A-SC da tecnologia SOI FD de nó tecnológico de 1 µm obtida de curvas **construídas** e **de referência**. L_S = 1 µm.

	Inclinação de sublimiar (mV/déc)			
	$V_{D,SC}$ = *1 V*		$V_{D,SC}$ = *1,5 V*	
	Construída	*Referência*	*Construída*	*Referência*
L_D = *1 µm*	74,91	76,59	74,91	76,14
L_D = *10 µm*	73,46	74,84	73,48	74,68

Fonte: Autora.

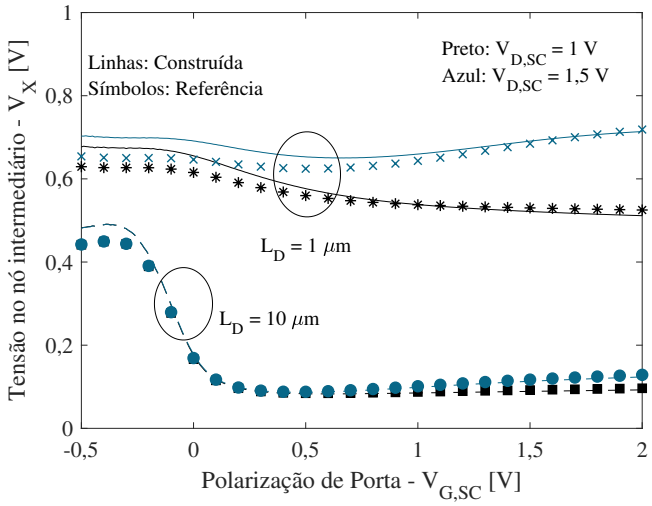
de MS é menor que 4%. O pico de erro de aproximadamente 16% observado é equivalente à $V_{G,SC}$ igual à tensão de limiar de MD. É no espaço de polarização correspondente a mudanças nos regimes de inversão dos transistores que compõem a SC onde o erro decorrente da diferença de potencial entre $V_{S,MD}$ e sua polarização na segunda porta se torna mais evidente. Esta diferença fica evidente quando observamos a figura 71, que apresenta a tensão no nó intermediário em função da polarização de porta para os mesmos transistores compostos com os mesmos valores de $V_{D,SC}$. Devido à pequena variação de V_T decorrente da não contabilização de $V_{S,MD}$ - V_{BS}, é observada uma diferença de aproximadamente 50 mV (7%) em V_X com $V_{G,SC}$ idêntica àquela correspondente ao pico de erro observado. Entretanto, conforme o regime de inversão dos transistores se fortalece e a resistência de canal diminui, o erro observado tanto em V_X quanto em $I_{D,SC}$ é reduzido para menos de 5%. Isto indica uma acurácia suficiente para prever com confiança o comportamento I_{DS} vs. V_G das associações, principalmente em aplicações analógicas, onde a polarização em regime de saturação é a mais frequente.

Figura 70 – Erro percentual entre as correntes dos resultados **construídos** e **de referência** em função da polarização de porta para dispositivos com L_D de 1 µm e 10 µm. $V_{D,SC}$ de 1 V e 1,5 V.



Fonte: Autora.

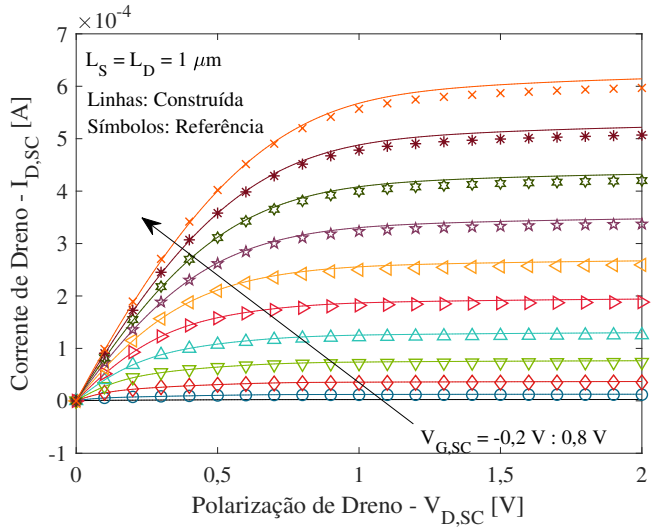
Figura 71 – Tensão no nó intermediário em função da polarização de porta para $V_{D,SC}$ igual a 1 V e 1,5 V. L_S igual a 1 µm e L_D igual a 1 µm e 10 µm.



Fonte: Autora.

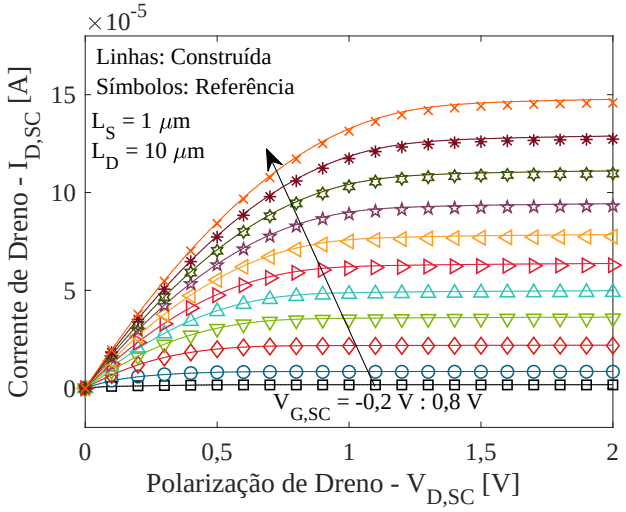
O comportamento da corrente de dreno em função da tensão de dreno é apresentada para a A-SC de L_D de 1 µm na figura 72 e de 10 µm na figura 73 para diversas $V_{G,SC}$ e L_S de 1 µm. É possível notar que o método proposto também consegue prever satisfatoriamente o comportamento de $I_{D,SC}$ em função de $V_{D,SC}$ em regime de saturação, conforme reforçado pelas curvas do erro percentual em função da polarização de dreno, apresentadas na figura 74. Para as A-SC de L_D de 1 µm, erros menores que 8% foram obtidos e para L_D de 10 µm, o

Figura 72 – Corrente de dreno em função da polarização de dreno comparando resultados construídos e de referência para diversos valores de $V_{G,SC}$. L igual a 1 µm.



Fonte: Autora.

Figura 73 – Corrente de dreno em função da polarização de dreno comparando resultados construídos e de referência para diversos valores de $V_{G,SC}$. L_S igual a 1 µm e L_D igual a 10 µm.

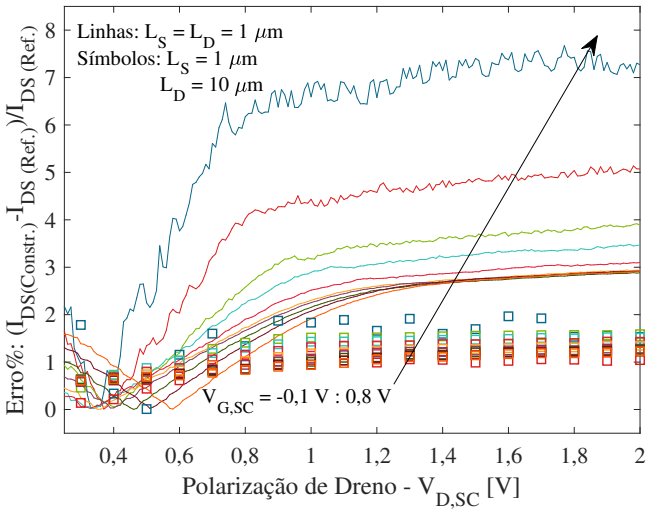


Fonte: Autora.

maior erro foi de aproximadamente 2%. Esta diferença pode ser explicada pela maior corrente em MD mais curtos, devido a sua resistência mais baixa.

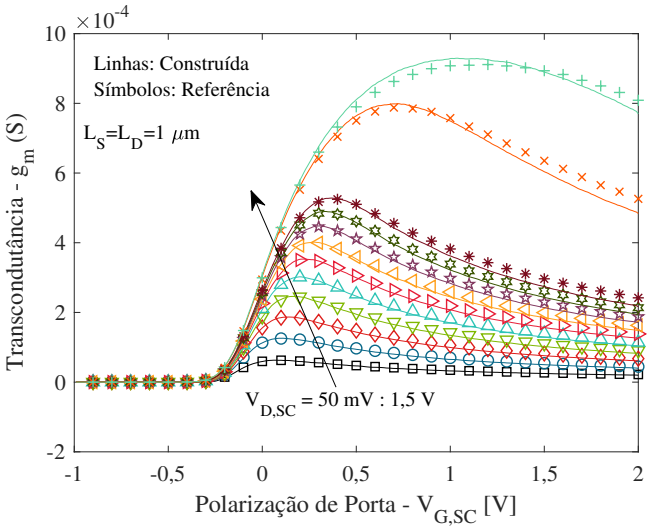
As figuras de mérito analógicas são principalmente dependentes das derivadas das curvas de corrente, correspondendo à transcondutância (g_m), quando em função da tensão de porta, e à condutância de dreno (g_D), quando em função da tensão de dreno. Nas figuras 75 e 76 são apresentadas as curvas de g_m em função de $V_{G,SC}$ para transistores compostos com L_D igual

Figura 74 – Erro percentual entre as correntes dos resultados **construídos** e de **referência** em função da polarização de dreno para dispositivos com L_D de 1 µm e 10 µm e variadas $V_{G,SC}$.



Fonte: Autora.

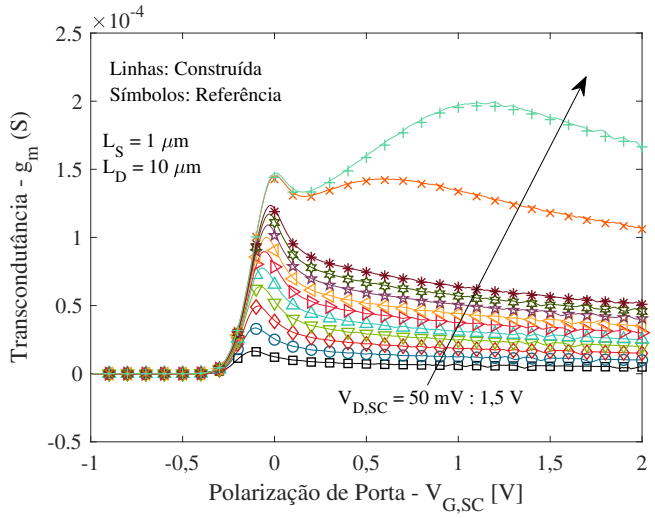
Figura 75 – Transcondutância em função da polarização de porta comparando resultados **construídos** e de **referência** para diversos valores de $V_{D,SC}$. L_D igual a 1 µm.



Fonte: Autora.

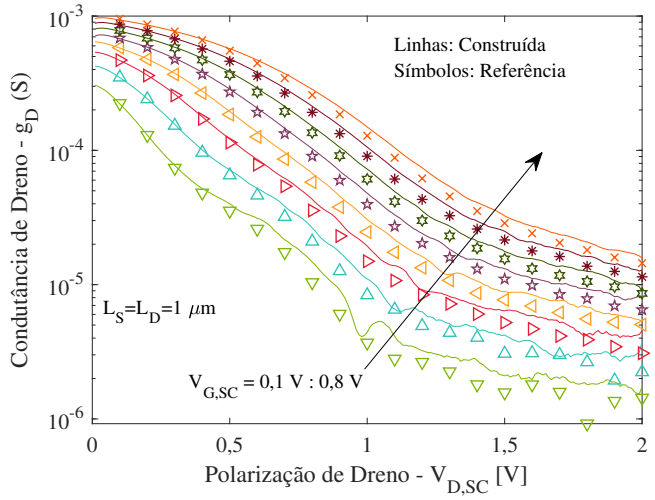
a 1 µm e igual a 10 µm, respectivamente. O erro obtido no pior caso para $V_{G,SC}$ maior que V_T e $V_{D,SC}$ de 1,5 V é de 6% para 1 µm e de 3% para L_D de 10 µm. O fenômeno que condiz com a flutuação da transcondutância após seu primeiro pico, visto na figura 76, ocorre devido à variação do comportamento de V_X em função de $V_{G,SC}$ que, como foi visto na figura 71, cresce após a sua primeira queda para $V_{D,SC}$ mais altos (ASSALTI; SOUZA; FLANDRE, 2018).

Figura 76 – Transcondutância em função da polarização de porta comparando resultados **construídos** e de **referência** para diversos valores de $V_{D,SC}$. L_D igual a 10 µm.



Fonte: Autora.

Figura 77 – Condutância de dreno em função da polarização de dreno comparando resultados **construídos** e de **referência** para diversos valores de $V_{G,SC}$. L_D igual a 1 µm.

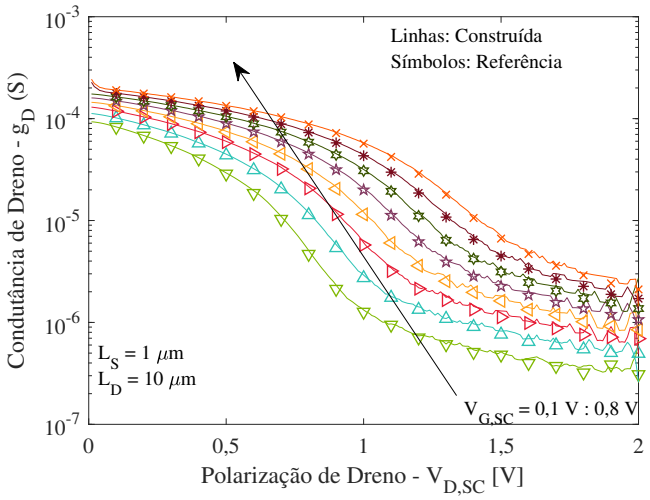


Fonte: Autora.

Já g_D em função de $V_{D,SC}$ é apresentado na figura 77 para L_D de 1 µm e na figura 78 para L_D de 10 µm. Para L_D de 1 µm, a maior diferença entre a curva construída e a referência foi de 10^{-5} S.

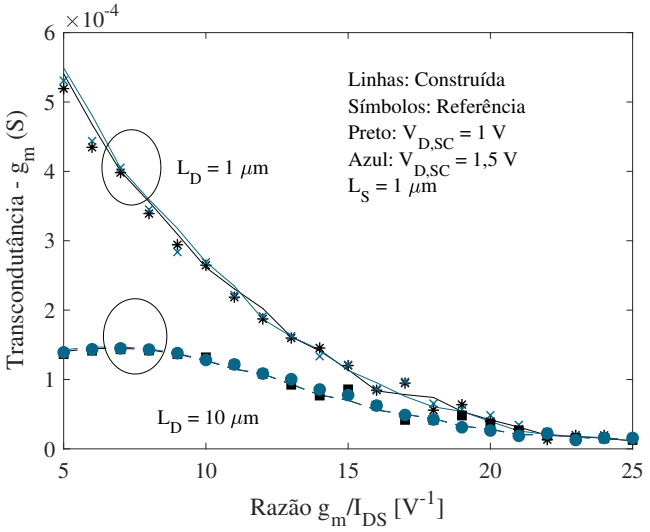
Como a razão g_m/I_{DS} é um parâmetro importante que correlaciona o ganho de corrente, de maneira independente das dimensões dos transistores, com a corrente de polarização. Por este motivo, ela é uma boa representação de uma tecnologia para projetos de circuitos analógicos e pode ser utilizada como ferramenta para o dimensionamento de transistores MOS. Assim

Figura 78 – Condutância de dreno em função da polarização de dreno comparando resultados **construídos** e de **referência** para diversos valores de $V_{G,SC}$. L_D igual a 10 µm.



Fonte: Autora.

Figura 79 – Transcondutância em função da razão g_m/I_{DS} para $V_{D,SC}$ igual a 1 V e 1,5 V. L_S igual a 1 µm e L_D igual a 1 µm e 10 µm.



Fonte: Autora.

sendo, esta curva é apresentada na figura 79 para $V_{D,SC}$ igual a 1 V e 1,5 V. É possível notar que o algoritmo mostra precisão não apenas em inversão forte, como também mais fraca. Isto é uma indicação da validade do algoritmo para caracterização num intervalo considerável de g_m/I_{DS}, conforme fica claro ao observar a figura 80.

A condutância de dreno em função da polarização de porta é apresentada na figura 81 para $V_{D,SC}$ de 1 V e 1,5 V. Nela, é possível notar que o código consegue reproduzir as tendências de g_D para diferentes comprimentos de canal e polarizações de porta com precisão.

Figura 80 – Razão g_m/I_{DS} em função da corrente de dreno para $V_{D,SC}$ igual a 1 V e 1,5 V. L_S igual a 1 µm e L_D igual a 1 µm.

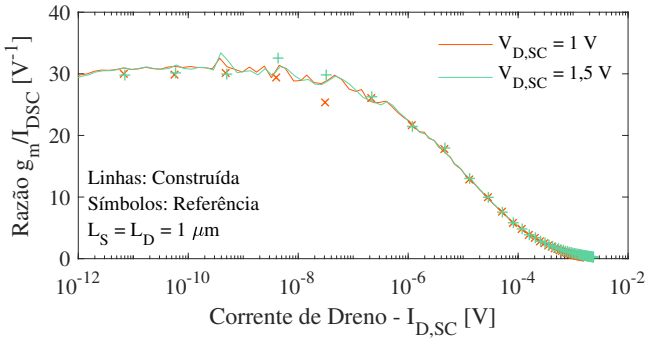
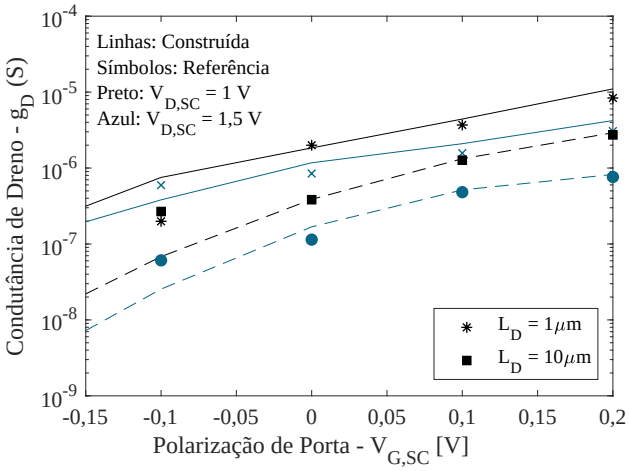


Figura 81 – Condutância de dreno em função da polarização de porta para $V_{D,SC}$ igual a 1 V e 1,5 V. L_S igual a 1 µm e L_D igual a 1 µm e 10 µm.

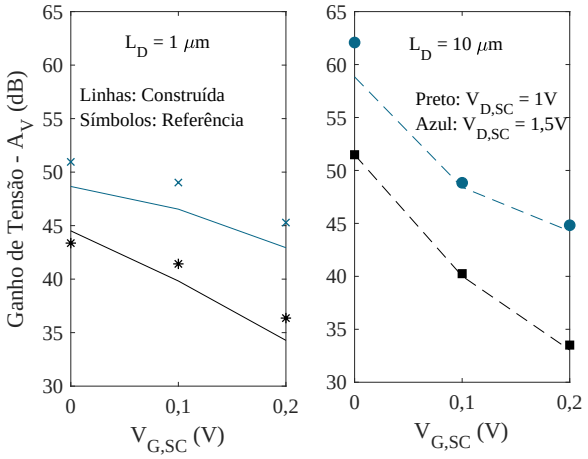


Fonte: Autora.

Finalmente, a figura 82 apresenta o ganho intrínseco de tensão em função da tensão de porta para $V_{D,SC}$ de 1 V e de 1,5 V. A diferença entre o ganho construído e o de referência atinge 2,5 dB em um valor máximo de 49 dB para a A-SC de L_D de 1 µm e de 3,2 dB em um máximo de 62 dB para a A-SC de L_D de 10 µm.

Os resultados apresentados neste capítulo reforçam a precisão do método de caracterização proposto, para um amplo intervalo de polarização de porta e de dreno. Os erros relativos na corrente de dreno mantiveram-se abaixo dos 15%, as tendências dos comportamentos foram apropriadamente retratadas e particularidades do comportamento de corrente, como variações da tensão do nó intermediário e flutuações nas derivadas de corrente puderam ser previstas com precisão. Por conta disso, as figuras de mérito analógica também apresentaram baixo erro relativo. No caso de g_m, um erro de 4% foi obtido para inversão forte e de aproximadamente 10% entre as inversões moderada e fraca para a associação composta pelos menores dispositi-

Figura 82 – Ganho intrínseco de tensão em função da polarização de porta para $V_{D,SC}$ igual a 1 V e 1,5 V. L_S igual a 1 µm e L_D igual a 1 µm e 10 µm.



Fonte: Autora.

vos, sendo os resultados para a A-SC de L_D de 10 µm apresentaram precisão igual ou melhor que estes valores. Para g_D, as diferenças encontradas entre referência e as curvas construídas mantiveram-se na potência de 10^{-8} S ou 10^{-7} S. Por fim, tendências das duas derivadas combinadas foram previstas adequadamente nas curvas de ganho de tensão.

5 CARACTERIZAÇÃO EXPERIMENTAL DE ASSOCIAÇÕES SÉRIE DA TECNOLOGIA UTBB

Este capítulo contém resultados obtidos a partir de medidas experimentais realizadas em dispositivos reais aos quais foi obtido acesso durante o programa Doutorado Sanduíche da CAPES em UCLouvain, Bélgica. Este capítulo apresenta curvas características, bem como parâmetros importantes para aplicações analógicas, dentre eles a transcondutância e o ganho intrínseco de tensão, e a distorção harmônica, representando a não linearidade.

5.1 CARACTERÍSTICAS DOS DISPOSITIVOS

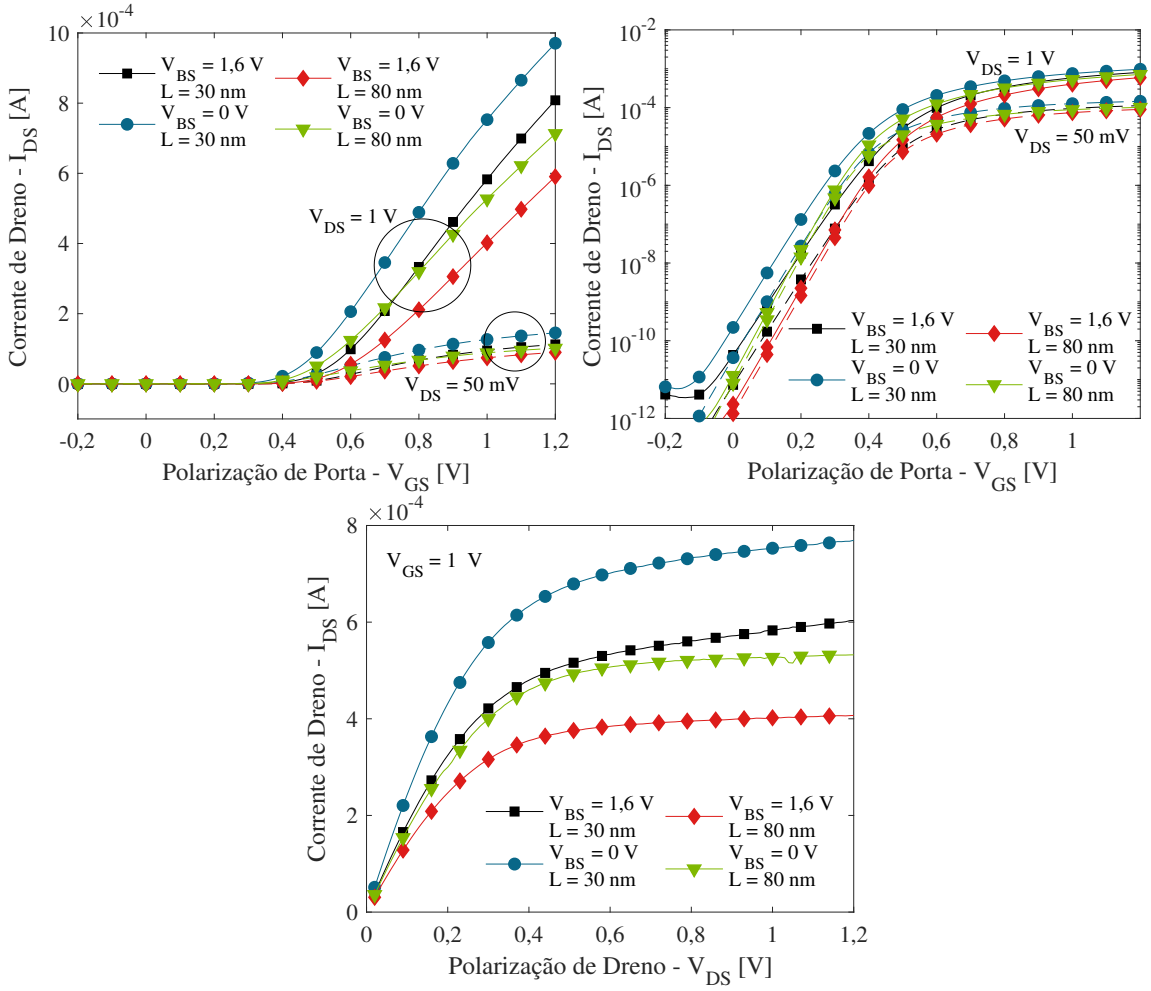
As medidas experimentais foram realizadas em transistores UTBB nMOS fabricados pela STMicroelecronics de nó tecnológico de 28 nm (PLANES et al., 2012). Os dispositivos possuem GP para ajuste de V_T e exibem uma espessura da região ativa de silício, Óxido Enterrado (*Buried Oxide*) (BOX) e óxido de porta (EOT) de 7 nm, 25 nm e 1,3 nm, respectivamente. Os transistores utilizados como MS e MD possuem comprimentos de canal individuais de 30 nm e 80 nm, com largura de canal de 1 µm. A simetria e assimetria da tensão de limiar dos dispositivos individuais foram obtidos através da polarização da segunda porta nos valores de 0 V e de 1,6 V. A tensão de limiar, extraída através do método da segunda derivada, e a inclinação de sublimiar, extraída através do inverso da derivada $d\log(I_{DS})/dV_G$, são apresentadas na tabela 6.

Na figura 83 são apresentadas as curvas características dos transistores individuais caracterizados. Foram extraídas através de medidas experimentais com passos de 10 mV em V_G e V_{DS}, ou seja: para cada ponto de polarização de dreno, que neste caso foi realizado de zero a 1,2 V (121 pontos), foram extraídos 141 pontos de polarização de porta, correspondendo a -0,2 V a 1,2 V. As condições de polarização contidas curvas são as que são comumente utilizadas para extração de figuras de mérito neste trabalho.

Tabela 6 – Tensão de limiar e inclinação de sublimiar para UTBB nMOSFETs que compõem associações série.

Comprimento	V_{BS} = *0 V*		V_{BS} = *1,6 V*	
(nm)	V_T *(V)*	SS *(mV/déc)*	V_T *(V)*	SS *(mV/déc)*
30	0,49	73,7	0,41	69,6
80	0,47	66,1	0,39	61,8

Figura 83 – Corrente de dreno em função da tensão de porta em escala linear e logarítmica e em função da tensão de dreno para transistores UTBB individuais com diferentes V_{BS} e comprimentos de canal.

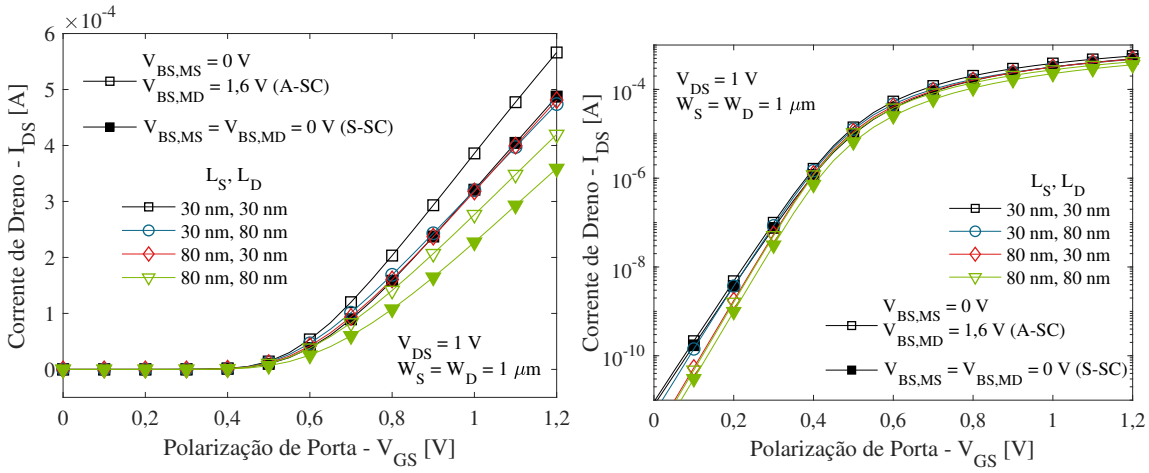


Fonte: Autora.

5.2 CURVAS CARACTERÍSTICAS

As curvas apresentadas nesta seção foram obtidas através da aplicação do método descrito no capítulo 4, utilizando as medidas dos transistores isolados apresentados na seção anterior. Assim sendo, a associação simétrica é referente à polarizações de segunda porta similares, no caso especificamente $V_{BS,MS} = V_{BS,MD} = 0V$, enquanto a assimétrica corresponde à combinação $V_{BS,MS} = 0V$ e $V_{BS,MD} = 1{,}6V$. Para apresentar e diferenciar os comportamentos das associações assimétricas e simétricas, a corrente de dreno em função de V_G está contida na figura 84. É possível notar que há diferença entre o nível de corrente de S-SC e A-SC, o que indica o menor comprimento de canal efetivo da estrutura assimétrica. As estruturas com L_S/L_D de 30 nm/80 nm e 80 nm / 30nm apresentam resultados semelhantes entre si e com a

Figura 84 – Corrente de dreno em função da polarização de porta para associações série compostas de dispositivos com diferentes comprimentos de canal e polarizações de segunda porta. V_D de 1 V.



Fonte: Autora.

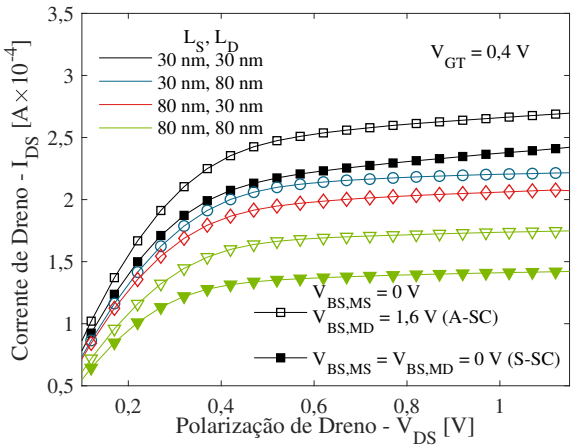
S-SC de 30 nm/30 nm, o que é um indicativo de que o L_D muito curto não apresentou melhora em relação a corrente em comparação com a S-SC de L_S semelhante. Quando a corrente de dreno é analisada em escala logarítmica, é possível notar que a inclinação de sublimiar tende àquela do transistor individual MS, conforme pode ser visto na tabela 7.

Tabela 7 – Tensão de limiar e inclinação de sublimiar para as associações série construídas.

L_S/L_D (nm/nm)	$V_{BS,MD}$ = 0 V		$V_{BS,MD}$ = 1,6 V	
	V_T (V)	SS (mV/déc)	V_T (V)	SS (mV/déc)
30/30	0,50	72,9	0,47	72,2
30/80	-	-	0,47	70,0
80/30	-	-	0,46	66,6
80/80	0,46	65,7	0,45	65,2

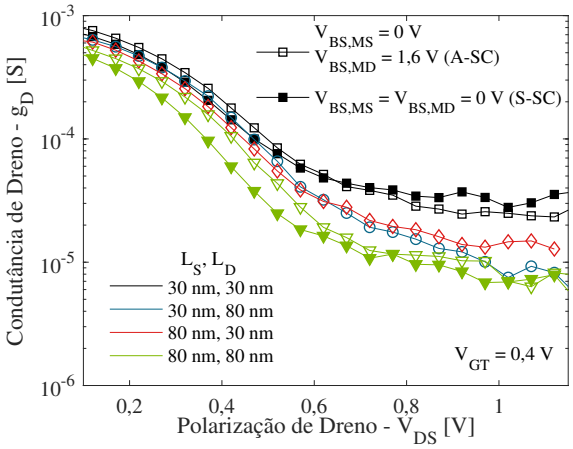
Na figura 85, são apresentadas as curvas de I_{DS} em função da polarização de dreno para um mesmo V_{GT}. A diferença no nível de I_{DS} é mais evidente nessas curvas, pois ela está normalizada em referência à V_T. Para um mesmo L_S, as associações com diferentes L_D apresentam diferentes níveis de corrente, por conta da variação resistência do canal de que MD.Também é possível notar que, na região de saturação ($V_D > 0{,}4V$), há indicação de diferentes condutâncias de dreno, conforme é melhor observado na figura 86. Nestas curvas, um menor valor de g_D é obtido para estruturas que apresentam comprimento de canal mais longo, o que é esperado. Quando analisando as A-SC de L_S/L_D de 30 nm/80 nm ou 80 nm/30 nm, o transistor com MD mais curto apresenta g_D melhor. Isto indica que g_D de 30 nm não proporciona resistência de canal suficiente para reduzir a condutância de dreno em comparação com L_D de 80 nm. Po-

Figura 85 – Corrente de dreno em função da polarização de dreno para associações série compostas de dispositivos com diferentes comprimentos de canal e polarizações de segunda porta. V_{GT} de 0,4 V.



Fonte: Autora.

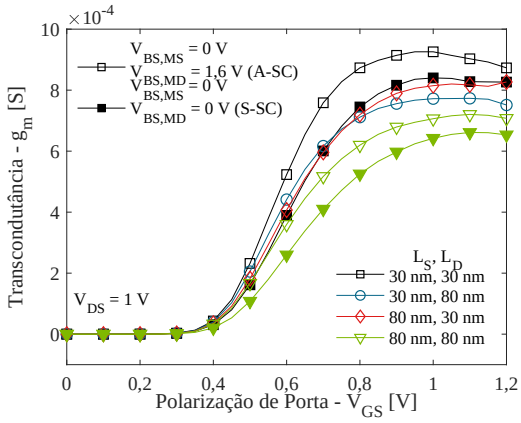
Figura 86 – Condutância de dreno em função da polarização de dreno para associações série compostas de dispositivos com diferentes comprimentos de canal e polarizações de segunda porta. V_{GT} de 0,4 V.



Fonte: Autora.

rém, isto também indica que a combinação com L_S mais curto consegue apresentar uma melhor g_D sem comprometer a transcondutância, conforme pode ser visto na figura 87, a partir de V_G de aproximadamente 0,6 V. Também é possível notar que, apesar de apresentarem I_{DS} relativamente semelhantes para alguns dispositivos, a transcondutância mostra uma maior variação, beneficiando L_S mais curtos.

Figura 87 – Transcondutância em função da polarização de porta para associações série compostas de dispositivos com diferentes comprimentos de canal e polarizações de segunda porta. V_{DS} de 1 V.



Fonte: Autora.

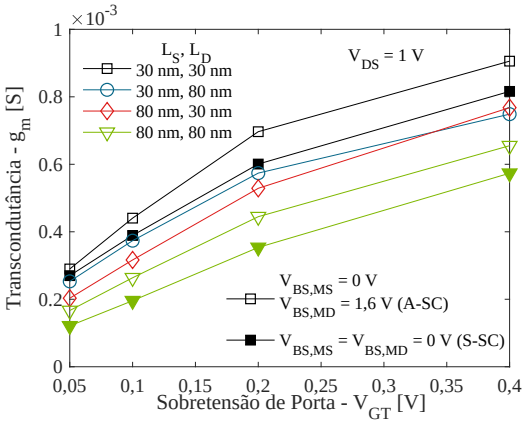
5.3 FIGURAS DE MÉRITO ANALÓGICAS

Para comparar os resultados com condições de polarização similares, a figura 88 apresenta g_m em função de V_{GT} e a figura 89 apresenta g_D em função de V_{GT}. Comparando a transcondutância de estruturas simétricas e assimétricas de dimensões similares, é importante ressaltar que a A-SC proporciona uma maior g_m, o que ocorre devido à redução do comprimento efetivo do canal. Nota-se que a A-SC de L_S/L_D de 30 nm/80 nm proporciona transcondutância equivalente à associação simétrica mais curta, o que é esperado, pois ambas estruturas apresentam MS similar. Entretanto, ao observar g_D dessa estrutura, os resultados são equivalentes à S-SC mais longa, o que indica uma combinação de vantagens nas estruturas de comprimentos de canal combinados.

Combinando estes resultados, tem-se os valores do ganho intrínseco de tensão apresentado na curva da figura 90. A A-SC de L_S/L_D = 30 nm/80 nm apresenta resultados muito próximos ao da associação assimétrica mais longa, apontando um compromisso excelente entre g_m e g_D enquanto poupando área de fabricação no *chip*. Isso indica também que os resultados obtidos para a frequência de corte apresentariam uma melhora significativa nessa estrutura.

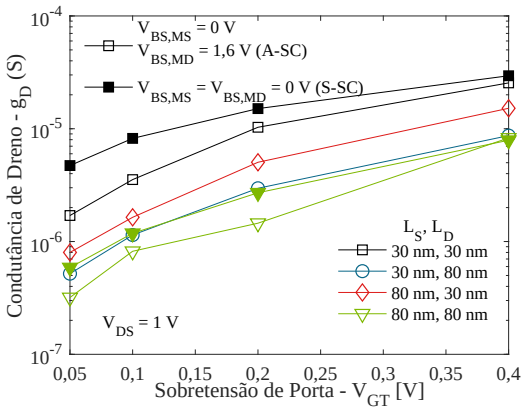
Na figura 91, as curvas da transcondutância em função do ganho intrínseco de tensão são apresentadas, relacionando de maneira mais visível a relação entre g_m, que representa, portanto, f_T, e o ganho de tensão. A região entre as linhas que representam A-SC e S-SC compostas por transistores de dimensões idênticas corresponde a pontos de g_m vs. A_V relacionados a associações assimétricas com $V_{BS,MD}$ entre zero e 1,6 V. Assim, nota-se que a assimetria promovida

Figura 88 – Transcondutância em função da sobretensão de porta para associações série compostas de dispositivos com diferentes comprimentos de canal e polarizações de segunda porta. V_D de 1 V.



Fonte: Autora.

Figura 89 – Condutância de dreno em função da sobretensão de porta para associações série compostas de dispositivos com diferentes comprimentos de canal e polarizações de segunda porta. V_D de 1 V.

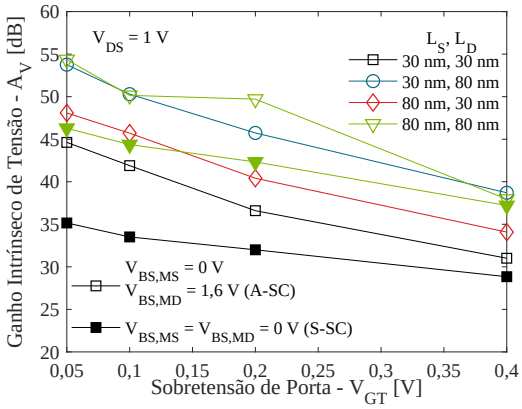


Fonte: Autora.

pelas diferentes polarizações da segunda porta ampliam as possibilidades de compromisso entre f_T e o ganho, flexibilizando o projeto de circuitos integrados.

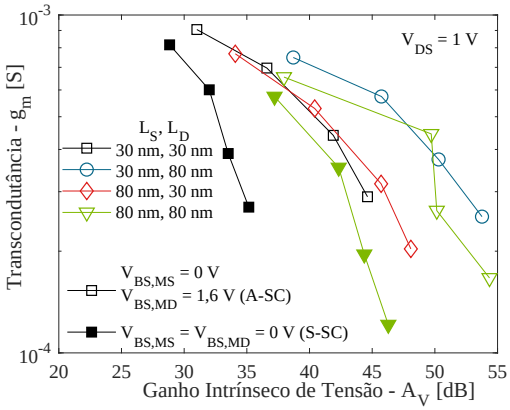
Os resultados apresentados posicionam a associação série assimétrica a par com outras alternativas tecnológicas recentes. Na referência (ASSALTI et al., 2017), dispositivos *nanowire* associados em série apresentam resultados de ganho intrínseco de tensão em V_{GT} de 0 V no mesmo nível que os dispositivos aqui apresentados quando seu substrato é polarizado com 12 V, com estruturas de L de 80 nm. Em tecnologias FinFET, transistores únicos SOI e *bulk* são capazes de atingir um ganho intrínseco de tensão com valor aproximado de 50 dB em V_{GT} para quando L é igual a 1 µm (OLIVEIRA et al., 2014). Transistores UTBB únicos de L de 30 nm

Figura 90 – Ganho de tensão em função da sobretensão de porta para associações série compostas de dispositivos com diferentes comprimentos de canal e polarizações de segunda porta. V_D de 1 V.



Fonte: Autora.

Figura 91 – Transcondutância em função do ganho de tensão para associações série compostas de dispositivos com diferentes comprimentos de canal e polarizações de segunda porta. V_D de 1 V.



Fonte: Autora.

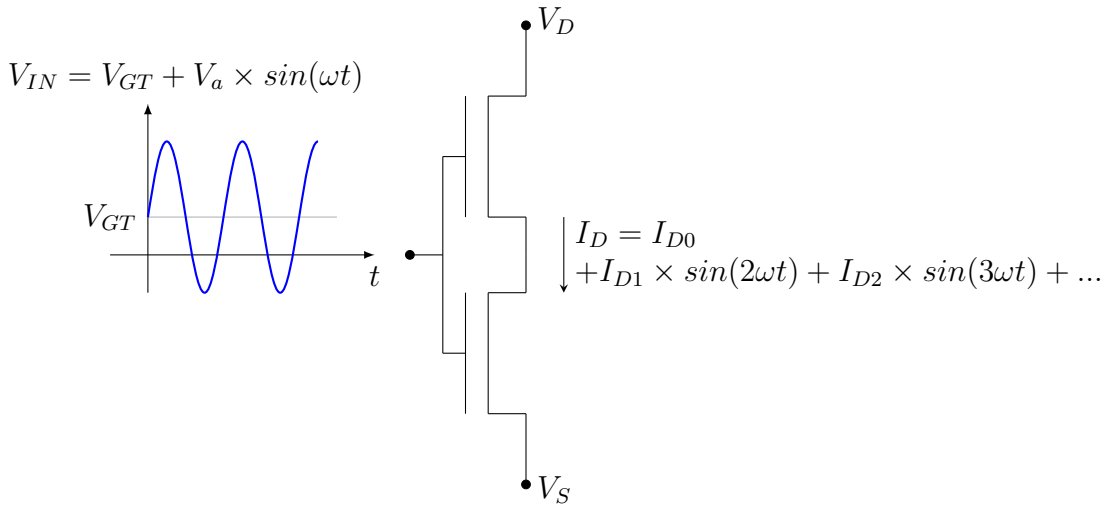
e com V_{BS} de 0 V apresentam ganho de aproximadamente 35 dB quando polarizados com V_{GT} entre 0,4 V e 1 V (KILCHYTSKA et al., 2012).

5.4 DISTORÇÃO HARMÔNICA

A não-linearidade consiste em uma característica intrínseca de transistores MOS na qual um sinal aplicado à porta do dispositivo resulta em harmônicas adicionais ao resultado de corrente principal, conforme representado esquematicamente na figura 92. Os parâmetros V_{IN} e V_a correspondem ao sinal de entrada e sua amplitude, respectivamente.

Em algumas aplicações, as harmônicas adicionais podem ser fontes de efeitos indesejados. O parâmetro que é utilizado aqui para quantificar a não-linearidade é, então, a distorção harmônica total (THD), ou a combinação aproximada de todas as harmônicas adicionais, e a distorção harmônica de terceira ordem ($HD3$), que é o segundo componente mais significativo para THD (FRANCA; TSIVIDIS, 1994) para uma variedade de aplicações, como circuitos receptores de banda estreita, ou circuitos de operação sintonizada similar. Nestes casos, THD é aproximadamente igual à distorção harmônica de segunda ordem, tamanha sua importância; entretanto, para aplicações em circuitos balanceados, ela é suprimida e $HD3$ se torna significativa (CERDEIRA, Antonio et al., 2004). Sua extração foi realizada através de curvas de corrente caracterizadas em DC, utilizando o Método da Função Integral (*Integral Function Method*) (CERDEIRA, Antonio et al., 2004).

Figura 92 – Representação esquemática da não-linearidade na associação série.

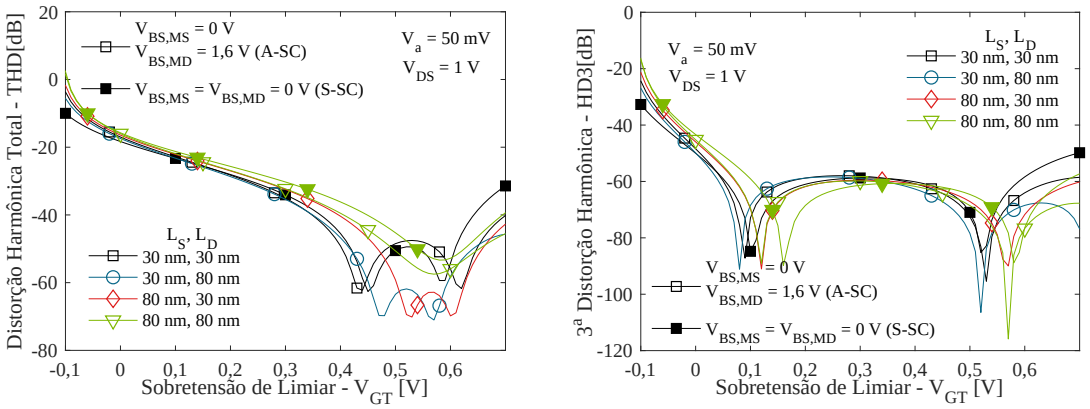


Fonte: Autora.

Primeiramente, a THD e $HD3$ são apresentadas na figura 93 em função de V_{GT} para V_a de 50 mV. Para um V_{GT} de 0 V, $HD3$ mostra um pico negativo característico da transição entre regimes de inversão que ocorre com a proximidade da tensão de porta de V_T. É possível notar que, de maneira generalizada, tanto THD quanto $HD3$ demonstram resultados aproximados. Entretanto, deve-se considerar que esta estrutura naturalmente amplifica o sinal de entrada através do ganho intrínseco de tensão e que pode ser normalizada para clareza da análise, conforme apresentado na figura 94.

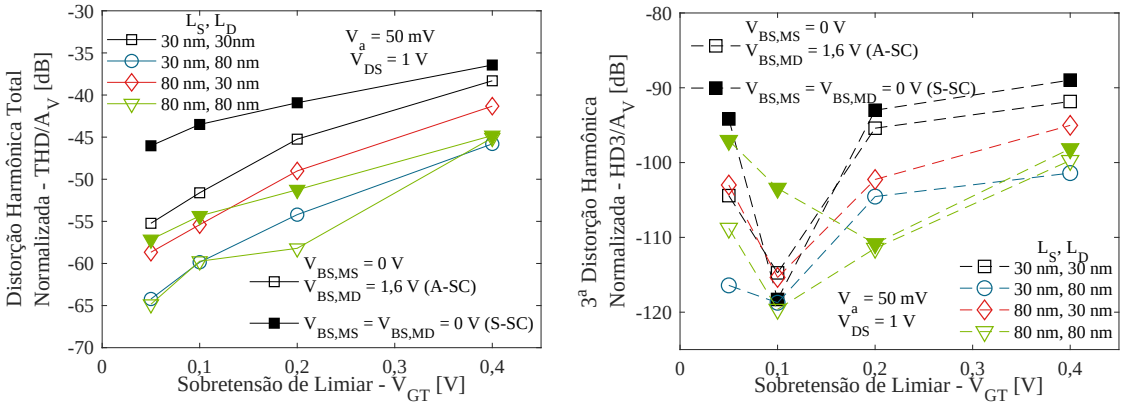
É possível notar que A-SC mais longas apresentam menores resultados de THD e $HD3$ para todo o intervalo de V_{GT} estudado. Assim como os resultados observados para a condutância

Figura 93 – Distorção harmônica total e de terceira ordem em função da sobretensão de porta para associações série compostas de dispositivos com diferentes comprimentos de canal e polarizações de segunda porta. V_D de 1 V.



Fonte: Autora.

Figura 94 – Distorção harmônica total e de terceira ordem normalizada pelo ganho intrínseco de tensão em função da sobretensão de porta para associações série compostas de dispositivos com diferentes comprimentos de canal e polarizações de segunda porta. V_D de 1 V.

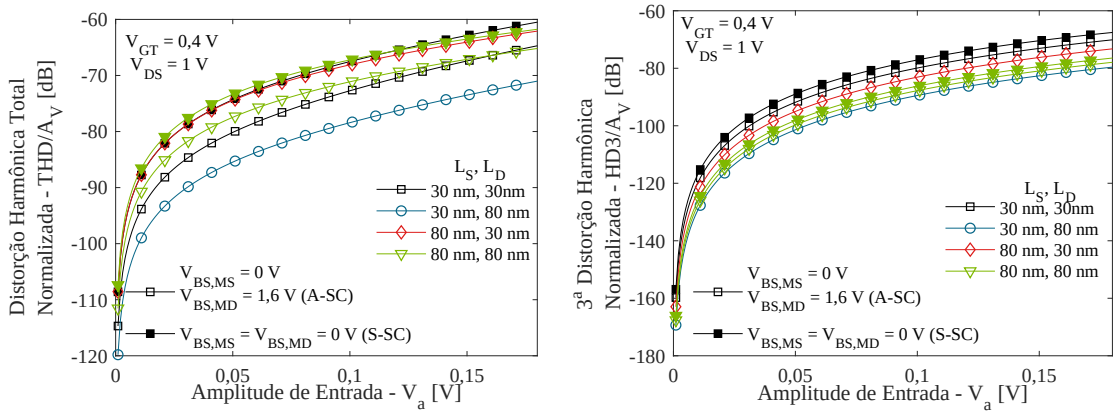


Fonte: Autora.

de dreno apresentadas na seção anterior, um L_D mais longo é mais influente na melhora dos resultados que L_S, como se pode concluir observando L_S/L_D de 30 nm/80 nm, 80 nm/30 nm e 80 nm/80 nm.

A distorção harmônica também pode ser analisada considerando uma V_{GT} constante e variando a amplitude do sinal de entrada, conforme apresentado na figura 95. Ao selecionar um THD mínimo de -70 dB, por exemplo, nota-se que o intervalo possível de V_a aplicado é maior para a associação assimétrica. Para a S-SC mais curta, um V_a menor que 100 mV já atingiria o nível estipulado de distorção na saída. Este nível só é atingido para a A-SC valores de V_a

Figura 95 – Distorção harmônica total e de terceira ordem normalizada pelo ganho intrínseco de tensão em função da amplitude do sinal de entrada para associações série compostas de dispositivos com diferentes comprimentos de canal e polarizações de segunda porta. V_D de 1 V.



Fonte: Autora.

maiores que 150 mV e este nível não é atingido dentro do intervalo estudado para a combinação L_S/L_D de 30 nm/80 nm.

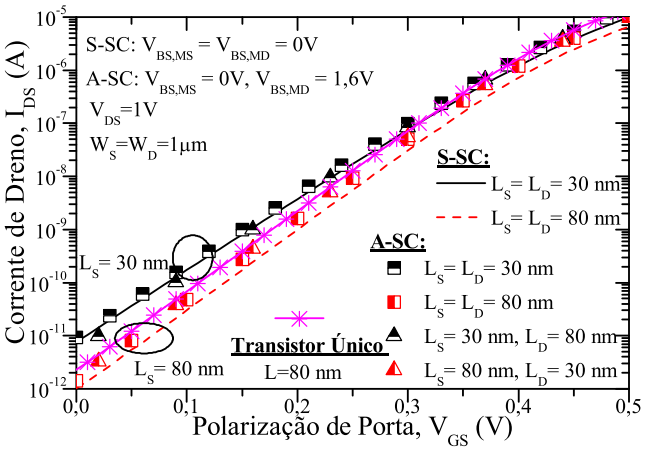
Comparando os resultados obtidos nesta seção com aqueles de transistores UTBB únicos, uma THD entre -30 dB e -35 dB é obtida em dispositivos de L de 30 nm e W de 50 µm em inversão forte, dependendo de sua polarização V_{BS} (ESFEH et al., 2017). No caso de *nanowires* de 50 *fingers* e W entre 9,5 nm e 10 µm, valores entre -25 dB e -30 dB são obtidos com V_{GT} de 0,4 V (PAZ et al., 2016). Para transistores sem junção nMOS polarizados em uma razão g_m/I_{DS} entre 5V^{-1} e 11 V^{-1}, apresentando L entre 30 nm e 10 µm e W de 20 nm, valores de THD variam entre -20 dB e -30 dB (DORIA et al., 2013). Quanto aos FinFETs, THD apresenta valores de aproximadamente -30 dB em transistores de L de 1 µm polarizados com V_{GT} de 0,4 V (CERDEIRA, A. et al., 2006).

5.5 OPERAÇÃO EM SUBLIMIAR

Com o aumento da densidade de componentes presentes num *chip*, aumenta a necessidade de uma maior eficiência energética e térmica. Ambos problemas podem ser abordados com a operação em tensões muito baixas, por vezes em sublimiar. Portanto, nesta seção são apresentadas caracterizações de A-SC e S-SC implementadas na tecnologia UTBB, polarizadas abaixo de V_T. Os resultados aqui apresentados foram obtidos com o uso do algorítimo descrito no capítulo anterior.

Na figura 96 estão apresentadas as curvas de corrente de dreno extraídas em sublimiar em função da polarização de porta. As associações série com mesmo L_S apresentam SS semelhante àquela dos transistores únicos usados como MS. Para relacionar o regime de inversão à corrente de dreno, as curvas da razão g_m/I_{DS} em função de I_{DS} e V_{GT} são apresentadas nas figuras 97 e 98, respectivamente. Como o foco é dado à polarização em regime de inversão fraco e moderado, como V_{GT} de 0 V, os valores de g_m/I_{DS} apresentados são maiores que, aproximadamente, 15 V^{-1}. Como mostram estes resultados, o transistor único e as estruturas SC com L_S de 80 nm apresentam valores de g_m/I_{DS} ligeiramente maiores para baixo I_{DS}, o que se relaciona com o SS reduzido observado na figura 96.

Figura 96 – Corrente de dreno em função da polarização de porta para S-SC e A-SC e várias combinações de L_S e L_D.

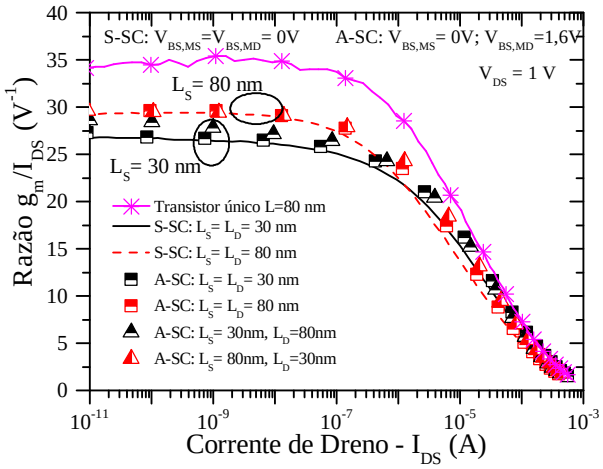


Fonte: Autora.

As curvas de transcondutância e condutância de dreno em função de V_{GT} são apresentadas nas figuras 99 e 100, respectivamente, para V_{DS} de 1 V. Tanto g_m quanto g_D reduzem conforme as estruturas são polarizadas adentro da região de sublimiar. Pode ser observado que A-SC e S-SC com L_S similar apresentam g_m similar. Por outro lado, g_D é mais afetado pela assimetria de V_T de MS e MD. Nas estruturas com L_S = L_D, g_D é reduzido em até 6 vezes com a diminuição do V_T de MD. Esta redução atinge até 20 vezes com o aumento de L_D. Todas as estruturas A-SC apresentam g_D reduzido em comparação ao transistor único.

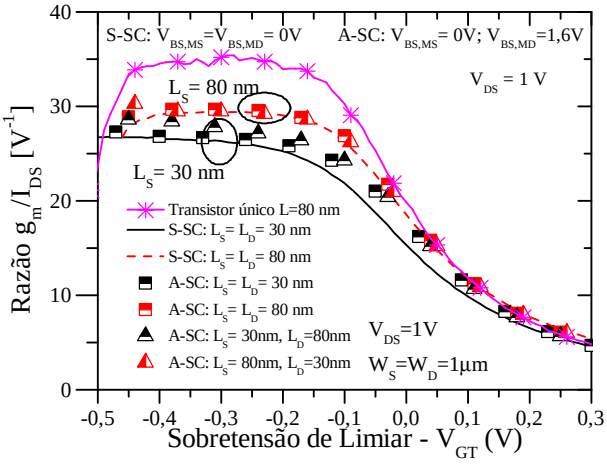
Os valores da tensão Early em função de g_m/I_{DS} são apresentados na figura para V_{DS} de 1 V. Em geral, o aumento de g_m/I_{DS} promove redução de V_{EA}. Entretanto, o uso da A-SC aumenta V_{EA} independentemente dos comprimentos de canal combinados. Para as SC mais curtas, um aumento de pelo menos 3,8 vezes foi obtido para V_{GT} de -200 mV.

Figura 97 – Razão g_m/I_{DS} em função da corrente de dreno para S-SC e A-SC de diferentes L_S e L_D. V_{DS} de 1 V.



Fonte: Autora.

Figura 98 – Razão g_m/I_{DS} em função de sobretensão de limiar para S-SC e A-SC de diferentes L_S e L_D. V_{DS} de 1 V.

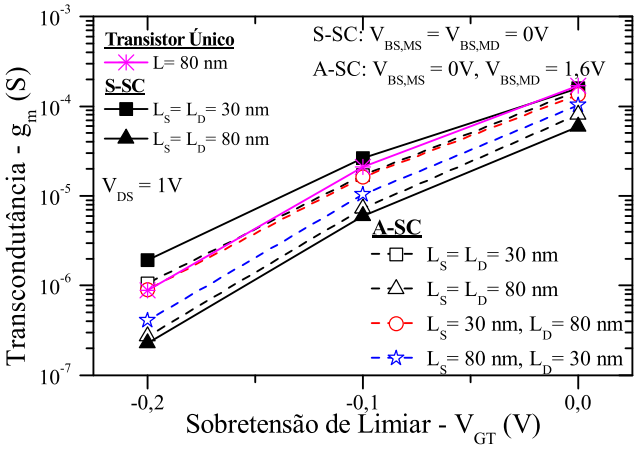


Fonte: Autora.

Mesmo assim, o aumento de g_m/I_{DS} é responsável por um maior ganho intrínseco de tensão conforme V_{GT} reduz (maior g_m/I_{DS}), como se pode observar na figura 102. O mesmo aumento promovido pela A-SC que melhora os valores de V_{EA} também aumentam A_V. Dentre as S-SC, aquela com L_S e L_D iguais a 80 nm mostram A_V de aproximadamente 50 dB. Um ganho de tensão similar pode ser obtido para L_S/L_D de 30 nm/30 nm com a estrutura A-SC. Além disso, qualquer A-SC, inclusive o mais curto, apresenta ganho maior que o transistor único de L de 80 nm.

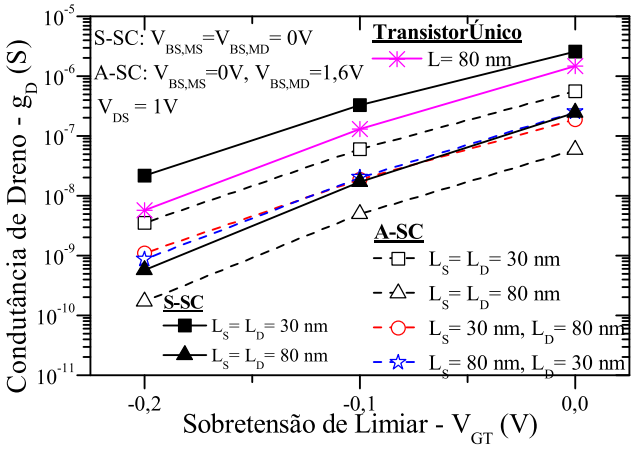
Na figura 103 é apresentada a transcondutância em função de A_V. A A-SC promove maior A_V em comparação à S-SC quando estes dispositivos estão polarizados abaixo de V_T,

Figura 99 – Transcondutância em função da sobretensão de limiar para um transistor único, S-SC e A-SC, para várias combinações de L_S e L_D.



Fonte: Autora.

Figura 100 – Condutância de dreno em função da sobretensão de limiar para um transistor único, S-SC e A-SC, para várias combinações de L_S e L_D.

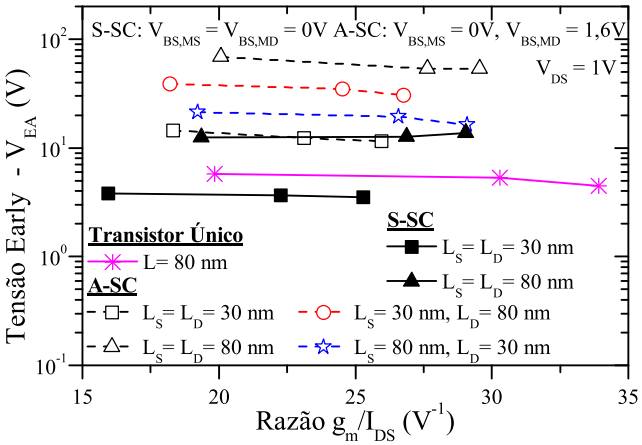


Fonte: Autora.

porém há uma redução em g_m, o que pode comprometer a frequência de corte. Portanto, deve ser estabelecido um compromisso entre ganho e frequência quando usando associações série em baixa tensão.

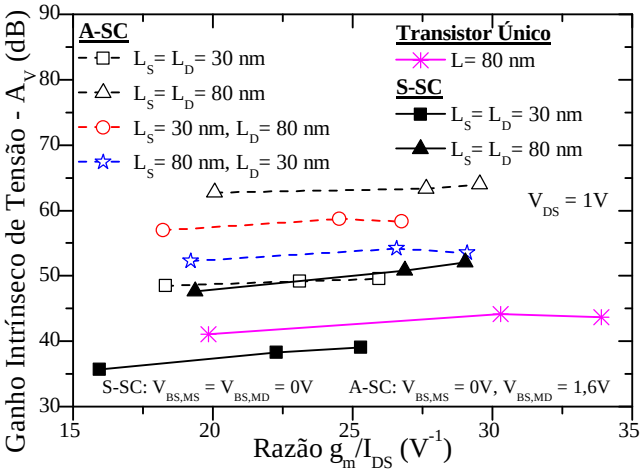
Por fim, o ganho intrínseco de tensão é apresentado em função da potência (P) na figura 104 . Os resultados mostram que, para uma potência de 1 µW, para SC que apresentam L_S de 30 nm, o ganho observados em A-SC se encontra entre 10 dB e 20 dB maiores que o ganho da S-SC equivalente.

Figura 101 – Tensão Early em função da razão g_m/I_{DS} para um transistor único, S-SC e A-SC, para várias combinações de L_S e L_D.



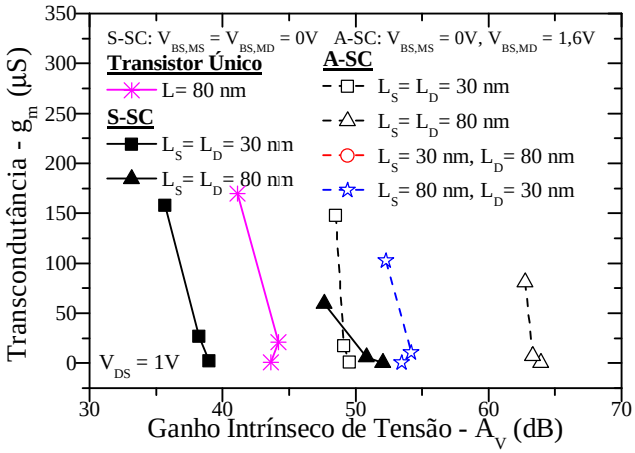
Fonte: Autora.

Figura 102 – Ganho intrínseco de tensão em função da razão g_m/I_{DS} para um transistor único, S-SC e A-SC, para várias combinações de L_S e L_D.



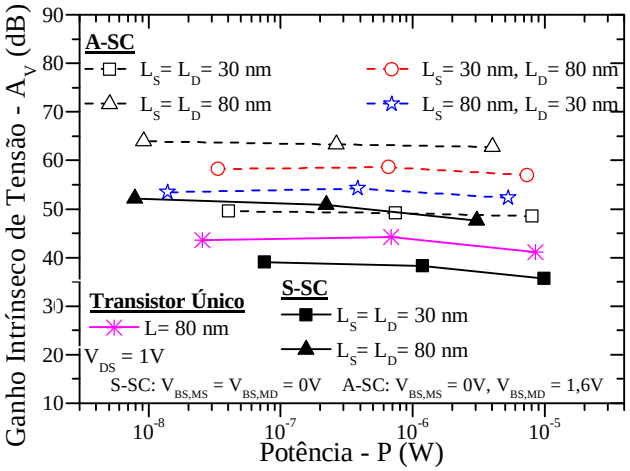
Fonte: Autora.

Figura 103 – Transcondutância em função do ganho intrínseco de tensão para um transistor único, S-SC e A-SC, para várias combinações de L_S e L_D.



Fonte: Autora.

Figura 104 – Ganho intrínseco de tensão em função da potência para um transistor único, S-SC e A-SC, para várias combinações de L_S e L_D.



Fonte: Autora.

6 CONCLUSÃO

Este trabalho apresentou um estudo abrangente de associações série de transistores SOI MOS implementados na tecnologia UTBB. Primeiramente, foram realizados estudos em simulações numéricas bidimensionais com foco nos diferentes tipos de *ground plane* utilizados nos transistores individuais que compõem as associações.

Foi possível averiguar não só o comportamento do transistor UTBB com substrato não dopado com a variação da tensão de substrato, mas também de transistores com *ground planes* tipo P (GPP) e tipo N (GPN). Foi possível replicar fenômenos característicos da polarização de substrato de transistores UTBB descritos na literatura, como menor variação da tensão de limiar e queda na inclinação de sublimiar para o transistor No-GP quando sua camada de silício abaixo do óxido enterrado opera em depleção. Para valores fora do intervalo de depleção do substrato, o transistor sem *ground plane* No-GP acompanha os resultados de GPP para valores de V_{BS} positivos e GPN para valores negativos. Os resultados obtidos para transcondutância apontam para uma melhor mobilidade para transistores No-GP e GPP. Uma degradação bastante intensa em g_m pôde ser verificada para GPN com o aumento da tensão de substrato. Devido à menor variação da condutância de dreno com a tensão de substrato e entre diferentes *ground planes*, o ganho de tensão apresentou comportamento semelhante à transcondutância.

O comportamento destes transistores pôde ser verificado quando compondo a associação série. Foi possível notar que a variação da polarização do substrato do transistor próximo ao dreno não é tão significativo para a tensão de limiar quanto a variação de $V_{BS,MS}$, o que é essencial para a associação série assimétrica. Além disso, o aumento na corrente de dreno verificado com o aumento de $V_{BS,MD}$ tem como origem a redução do comprimento efetivo do canal da associação, que tenderá ao do transistor MS quanto menor for a tensão de limiar de MD. Também foi possível verificar que a inclinação de sublimiar é pouco influenciada por $V_{BS,MD}$ e depende de $V_{BS,MS}$, o que pode ser justificado através da depleção e acumulação de diferentes portadores de carga na interface inferior do BOX.

Foi possível notar que g_m e g_D apresentam melhores valores quanto mais negativo for $V_{BS,MS}$ e mais positivo for $V_{BS,MD}$. No caso da polarização de MS, isto ocorre por conta do acúmulo de elétrons na interface abaixo do óxido, enquanto para a polarização de MD, isto é decorrente da alteração do comprimento efetivo da associação e da melhora da mobilidade que ocorrem com a redução da tensão de limiar de MD.

Através de simulações SPICE provenientes de modelos validados de acordo com dispositivos UTBB da tecnologia da STMicroelectronics, foi possível avaliar a influência da tensão de substrato de MS no comportamento das SC. Dispositivos únicos com GP apropriado para tensão de limiar padrão foram comparados com as associações por eles compostas, reproduzindo as conclusões obtidas através das simulações bidimensionais. Com estes resultados, foi possível extrair as figuras de mérito analógicas dos dispositivos e indicar os benefícios do uso de associações série assimétricas implementadas em UTBB para o projeto de circuitos. Foi possível afirmar que, para um mesmo ganho de tensão, a A-SC pode promover uma g_m até 87% maior que transistores únicos. Uma melhora de 37 dB pôde ser observada no ganho da A-SC mais longa em comparação com transistores únicos, reforçando seu potencial como alternativa no uso em circuitos analógicos de alto desempenho.

A seguir, foi desenvolvido um método computacional para facilitar a caracterização experimental das associações série. O algoritmo foi implementado em Matlab e todas as etapas do seu desenvolvimento são explicadas em detalhe no capítulo 4. O algoritmo foi validado em medidas de associações implementadas na tecnologia UTBB através de simulações SPICE e também experimentalmente, com caracterizações experimentais de A-SC implementadas em tecnologia FD SOI planar de nó tecnológico maior. Um erro menor que 10% foi obtido no pior caso, que era a composta por dispositivos mais curtos.

Por fim, este algoritmo foi aplicado em medidas experimentais de transistores UTBB. Foi possível observar como o comportamento de SC é afetado com a variação do comprimento de canal de seus componentes. Um nível de corrente maior foi observado para A-SC que S-SC, devido à redução de seu comprimento de canal efetivo. Em relação às figuras de mérito analógicas, foi possível notar que o aumento da resistência de MD é responsável por uma melhora em g_D, mesmo para L_S mais curtos. Estruturas compostas por MS mais longos não apresentam resultados de ganho tão bons se MD curtos em demasia. Comparada com alternativas tecnológicas, resultados de ganho de tensão obtidos para A-SC implementadas em UTBB são equivalentes a FinFETs e *nanowires* retratados na literatura. Vale ressaltar que a fabricação de transistores planares em tecnologia UTBB também é mais simples que estas opções.

A distorção harmônica também pôde ser extraída a partir da caracterização experimental destes dispositivos. Os resultados mostram melhora para A-SC de MD mais longo, promovendo mais flexibilidade para sinais de diferentes amplitudes e V_{GT}. Uma comparação com outras tecnologias avançadas, como *nanowires*, FinFETs, mostram resultados equivalentes para a A-SC, para uma menor complexidade de fabricação.

A caracterização em sublimiar também foi realizada com amostras experimentais. A A-SC se mostra capaz de reduzir g_D em 6 vezes na configuração mais curta apresentada, podendo ser melhorada em até 20 vezes com o aumento de L_D. Por conta disso, um maior ganho de tensão pode ser obtido para uma mesma V_{GT}.

Como desdobramentos do trabalho, propõe-se o estudo da A-SC implementada em tecnologia UTBB em aplicações em circuitos analógicos, como amplificadores operacionais e espelhos de corrente. O método de caracterização experimental apresentado neste trabalho também pode ser mais otimizado, o que pode expandir seu uso na análise de circuitos mais complexos. Além disso, a precisão oferecida pelo método de construção de curva também permite que a caracterização dos efeitos de temperatura ou de radiação possam ser realizadas com maior facilidade, por não necessitar da estrutura fisicamente fabricada no *chip*.

7 PUBLICAÇÕES

Neste capítulo, são listados os artigos publicados em revistas e em conferências durante o período do doutorado.

7.1 REVISTAS CIENTÍFICAS

a) L. M. d'Oliveira, V. Kilchytska, D. Flandre, and M. de Souza. Self-Cascode Current-Voltage Curve-Construction Algorithm from Single MOSFET Measurements for Analog Figures-of-Merit Extraction. Journal of Integrated Circuits and Systems, 14(1):1–6, April 2019.

7.2 ANAIS DE EVENTOS

a) L. M. d'Oliveira, V. Kilchytska, D. Flandre, and M. de Souza. Harmonic distortion on symmetric and asymmetric self-cascodes of UTBB FD SOI planar MOSFETs. In 34th Symposium on Microelectronics Technology and Devices (SBMicro), São Paulo, August 2019. IEEE.

b) L. M. d'Oliveira, V. Kilchytska, D. Flandre, N. Planes, and M. de Souza. Subthreshold operation of self-cascode structure using UTBB FD SOI planar MOSFETs. In IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference, October 2019.

c) L. M. d'Oliveira, M. de Souza, V. Kilchytska, and D. Flandre. Asymmetric Self-Cascode Current-Voltage Constructing Algorithm for Analog Figures-of- Merit Extraction. In 2018 33rd Symposium on Microelectronics Technology and Devices (SBMicro), pages 1–4, August 2018.

d) L. M. d'Oliveira, M. de Souza, V. Kilchytska, and D. Flandre. Design benefits of self-cascode configuration for analog applications in 28 FDSOI. In 2018 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS), pages 1–3, Granada, March 2018. IEEE.

e) L. M. d'Oliveira and M. de Souza. Threshold voltage of UTBB self-cascode structures with different ground planes. In XI Workshop on Semiconductors and Micro and Nano-Technology (Seminatec), Campinas, 2016. L. M. d'Oliveira, R. T. Do-

ria, and M. de Souza. Effects of high temperature on the harmonic distortion of the asymmetric self-cascode of SOI nMOSFETs. In X Workshop on Semiconductors and Micro and Nano Technology (Seminatec), São Bernardo do Campo, 2015.

f) L. M. d'Oliveira, R. T. Doria, M. A. Pavanello, D. Flandre, and M. de Souza. Effect of channel doping concentration on the harmonic distortion of asymmetric n- and p-type self-cascode MOSFETs. In 2015 30th Symposium on Microelectronics Technology and Devices (SBMicro), September 2015.

REFERÊNCIAS

ANDRIEU, F. et al. Low leakage and low variability Ultra-Thin Body and Buried Oxide (UT2B) SOI technology for 20nm low power CMOS and beyond. In: 2010 Symposium on VLSI Technology (VLSIT). [S.l.: s.n.], jun. 2010. P. 57–58.

ANTONIADIS, D. A. SOI CMOS as a mainstream low-power technology: a critical assessment. In: PROCEEDINGS of 1997 International Symposium on Low Power Electronics and Design. [S.l.: s.n.], ago. 1997. P. 295–300.

ASSALTI, R. et al. Analog performance of self-cascode SOI nanowires nMOSFETs aiming at low-power applications. In: 2017 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S). [S.l.: s.n.], out. 2017. P. 1–3. ISSN: null.

ASSALTI, Rafael; SOUZA, Michelly de; FLANDRE, Denis. Linearity Enhancement in Asymmetric Self-Cascode Composed by FD SOI nMOSFETs. In: 2018 33rd Symposium on Microelectronics Technology and Devices (SBMicro). [S.l.: s.n.], ago. 2018. P. 1–4. ISSN: null.

BALESTRA, F. et al. Double-gate silicon-on-insulator transistor with volume inversion: A new device with greatly enhanced performance. **IEEE Electron Device Letters**, v. 8, n. 9, p. 410–412, set. 1987.

BURIGNAT, S. et al. Drain / substrate coupling impact on DIBL of Ultra Thin Body and BOX SOI MOSFETs with undoped channel. In: SOLID State Device Research Conference, 2009. ESSDERC ’09. Proceedings of the European. [S.l.: s.n.], set. 2009. P. 141–144.

CANALI, C. et al. Electron and hole drift velocity measurements in silicon and their empirical relation to electric field and temperature. **IEEE Transactions on Electron Devices**, v. 22, n. 11, p. 1045–1047, nov. 1975.

CERDEIRA, A. et al. Nonlinearity Analysis of FinFETs. In: 2006 International Caribbean Conference on Devices, Circuits and Systems. [S.l.: s.n.], abr. 2006. P. 9–12. ISSN: 2165-3550.

CERDEIRA, Antonio et al. Integral function method for determination of nonlinear harmonic distortion - ScienceDirect. **Solid-State Electronics**, v. 48, n. 12, p. 2225–2234, dez. 2004. Disponível em: <https://www.sciencedirect.com/science/article/pii/S0038110104002321>. Acesso em: 11 abr. 2019.

CHANG, C. -P. Shallow Trench Isolation A2 - Buschow, K.H. Jürgen. In: CAHN, Robert W. et al. (Ed.). **Encyclopedia of Materials: Science and Technology (Second Edition)**. Oxford: Elsevier, 2001. P. 8437–8444. Disponível em: <http://www.sciencedirect.com/science/article/pii/B0080431526015084>. Acesso em: 19 out. 2016.

CHAU, R. et al. A 50 nm depleted-substrate CMOS transistor (DST). In: ELECTRON Devices Meeting, 2001. IEDM ’01. Technical Digest. International. [S.l.: s.n.], dez. 2001. P. 29.1.1–29.1.4.

CHOI, Yang-Kyu et al. Ultrathin-body SOI MOSFET for deep-sub-tenth micron era. **IEEE Electron Device Letters**, v. 21, n. 5, p. 254–255, mai. 2000.

COLINGE, J. -P. Advanced CMOS devices made in thin SOI films. en. In: p. 105–112.

_____. **FinFETs and Other Multi-Gate Transistors**. [S.l.]: Springer Science & Business Media, 2008.

COLINGE, J. P. An SOI voltage-controlled bipolar-MOS device. **IEEE Transactions on Electron Devices**, v. 34, n. 4, p. 845–849, abr. 1987.

COLINGE, J.-P. **Silicon-on-Insulator Technology: Materials to VLSI**. [S.l.]: Springer Science & Business Media, fev. 2004.

COLINGE, J.-P.; COLINGE, C. A. **Physics of Semiconductor Devices**. [S.l.]: Springer Science & Business Media, out. 2005.

CORPORATION, Mentor Graphics. **Eldo User's Manual**. [S.l.: s.n.], 2014.

DORIA, R. T. et al. Analog performance improvement of self-cascode structures composed by UTBB transistors using back gate bias. In: 2015 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S). [S.l.: s.n.], out. 2015. P. 1–3.

DORIA, R. T. et al. Harmonic distortion analysis of short channel junctionless nanowire transistors operating as amplifiers. In: 2013 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S). [S.l.: s.n.], out. 2013. P. 1–2. ISSN: 1078-621X.

DORIA, R. T. et al. Use of back gate bias to enhance the analog performance of planar FD and UTBB SOI transistors-based self-cascode structures. In: 2015 30th Symposium on Microelectronics Technology and Devices (SBMicro). [S.l.: s.n.], ago. 2015. P. 1–4.

DORKEL, J. M.; LETURCQ, Ph. Carrier mobilities in silicon semi-empirically related to temperature, doping and injection level. **Solid-State Electronics**, v. 24, n. 9, p. 821–825, set. 1981. Disponível em: <http://www.sciencedirect.com/science/article/pii/0038110181900976>. Acesso em: 16 jun. 2016.

ESFEH, B. K. et al. Back-gate bias effect on UTBB-FDSOI non-linearity performance. In: 2017 47th European Solid-State Device Research Conference (ESSDERC). [S.l.: s.n.], set. 2017. P. 148–151.

FENOUILLET-BERANGER, C. et al. Efficient multi-VT FDSOI technology with UTBOX for low power circuit design. In: 2010 Symposium on VLSI Technology (VLSIT). [S.l.: s.n.], jun. 2010. P. 65–66.

FENOUILLET-BERANGER, C. et al. Fully-depleted SOI technology using high-k and single-metal gate for 32 nm node LSTP applications featuring 0.179 #x003BC;m2 6T-SRAM bitcell. In: 2007 IEEE International Electron Devices Meeting. [S.l.: s.n.], dez. 2007. P. 267–270.

FENOUILLET-BERANGER, C. et al. Impact of a 10nm Ultra-Thin BOX (UTBOX) and Ground Plane on FDSOI devices for 32nm node and below. In: PROCEEDINGS of ESSCIRC, 2009. ESSCIRC '09. [S.l.: s.n.], set. 2009. P. 88–91.

FLANDRE, D et al. Fully depleted SOI CMOS technology for heterogeneous micropower, high-temperature or RF microsystems. **Solid-State Electronics**, v. 45, n. 4, p. 541–549, abr. 2001. Disponível em: <http://www.sciencedirect.com/science/article/pii/S0038110101000843>. Acesso em: 21 jun. 2016.

FLANDRE, D. et al. Comparison of SOI versus bulk performances of CMOS micropower single-stage OTAs. **Electronics Letters**, v. 30, n. 23, p. 1933–1934, nov. 1994.

FLANDRE, D. et al. Modelling and application of fully depleted SOI MOSFETs for low voltage, low power analogue CMOS circuits. **Solid-State Electronics**, v. 39, n. 4, p. 455–460, abr. 1996. Disponível em: <http://www.sciencedirect.com/science/article/pii/0038110195001670>. Acesso em: 16 jun. 2016.

FRANCA, José; TSIVIDIS, Yannis. **Design of Analog-digital VLSI Circuits for Telecommunications and Signal Processing**. [S.l.]: Prentice Hall, 1994. Google-Books-ID: tiFTAAAAMAAJ.

GALLON, C. et al. Ultra-Thin Fully Depleted SOI Devices with Thin BOX, Ground Plane and Strained Liner Booster. In: 2006 IEEE International SOI Conference. [S.l.: s.n.], out. 2006. P. 17–18.

GALUP-MONTORO, C.; SCHNEIDER, M. C.; LOSS, I. J. B. Series-parallel association of FET's for high gain and high frequency applications. **IEEE Journal of Solid-State Circuits**, v. 29, n. 9, p. 1094–1101, set. 1994.

GAO, M. H. et al. Dual-MOSFET structure for suppression of kink in SOI MOSFETs at room and liquid helium temperatures. In: , 1990 IEEE SOS/SOI Technology Conference, 1990. [S.l.: s.n.], out. 1990. P. 13–14.

GAO, Minghui et al. Twin-MOSFET structure for suppression of kink and parasitic bipolar effects in SOI MOSFETs at room and liquid helium temperatures. **Solid-State Electronics**, v. 35, n. 4, p. 505–512, abr. 1992. Disponível em: <http://www.sciencedirect.com/science/article/pii/003811019290112P>. Acesso em: 11 ago. 2016.

GROESENEKEN, G. et al. Temperature dependence of threshold voltage in thin-film SOI MOSFETs. **IEEE Electron Device Letters**, v. 11, n. 8, p. 329–331, ago. 1990.

GUTIERREZ-D, Edmundo A.; DEEN, Jamal; CLAEYS, Cor. **Low Temperature Electronics: Physics, Devices, Circuits, and Applications**. [S.l.]: Academic Press, out. 2000.

ICHIKAWA, F. et al. Fully depleted SOI process and device technology for digital and RF applications. **Solid-State Electronics**, v. 48, n. 6, p. 999–1006, jun. 2004. Disponível em:

<http://www.sciencedirect.com/science/article/pii/S0038110103004532>. Acesso em: 8 ago. 2016.

JANG, Wen-Yueh; WU, Chung-Yu; WU, Hong-Jen. A new experimental method to determine the saturation voltage of a small-geometry MOSFET. **Solid-State Electronics**, v. 31, n. 9, p. 1421–1431, set. 1988. Disponível em: <http://www.sciencedirect.com/science/article/pii/0038110188901086>. Acesso em: 11 ago. 2016.

KANG, Chang Seok et al. Improved thermal stability and device performance of ultra-thin (EOT<10 /spl Aring/) gate dielectric MOSFETs by using hafnium oxynitride (HfO/sub x/N/sub y/). In: 2002 Symposium on VLSI Technology, 2002. Digest of Technical Papers. [S.l.: s.n.], jun. 2002. P. 146–147.

EL-KAREH, B.; STANLEY, T.; CHEN, B. Silicon on insulator-an emerging high-leverage technology. In: ELECTRONIC Components and Technology Conference, 1994. Proceedings., 44th. [S.l.: s.n.], mai. 1994. P. 224–233.

KILCHYTSKA, V. et al. Ultra-thin body and thin-BOX SOI CMOS technology analog figures of merit. **Solid-State Electronics**, v. 70, p. 50–58, abr. 2012. Disponível em: <http://www.sciencedirect.com/science/article/pii/S0038110111004163>. Acesso em: 30 mar. 2016.

KLAASSEN, D.B.M. A unified mobility model for device simulation—I. Model equations and concentration dependence. en. **Solid-State Electronics**, v. 35, n. 7, p. 953–959, jul. 1992. Disponível em: <http://linkinghub.elsevier.com/retrieve/pii/0038110192903257>. Acesso em: 22 set. 2016.

KRISHNAN, S.; FOSSUM, J. G. Grasping SOI floating-body effects. **IEEE Circuits and Devices Magazine**, v. 14, n. 4, p. 32–37, jul. 1998.

KRULL, W. A.; LEE, J. C. Demonstration of the benefits of SOI for high temperature operation. In: , 1988 IEEE SOS/SOI Technology Workshop, 1988. Proceedings. [S.l.: s.n.], out. 1988. P. 69–.

LERAY, J. L. et al. From substrate to VLSI: investigation of hardened SIMOX without epitaxy, for dose, dose rate and SEU phenomena. **IEEE Transactions on Nuclear Science**, v. 35, n. 6, p. 1355–1360, dez. 1988.

LIM, Hyung-Kyu; FOSSUM, J. G. Current-voltage characteristics of thin-film SOI MOSFET's in strong inversion. **IEEE Transactions on Electron Devices**, v. 31, n. 4, p. 401–408, abr. 1984.

MATLAB Documentation - MathWorks Benelux. [S.l.: s.n.]. Disponível em: <https://nl.mathworks.com/help/?s_tid=hp_ff_l_doc>. Acesso em: 14 abr. 2018.

MD ARSHAD, M. K. et al. UTBB SOI MOSFETs analog figures of merit: Effects of ground plane and asymmetric double-gate regime. **Solid-State Electronics**, v. 90, p. 56–64, dez. 2013.

Disponível em: <http://www.sciencedirect.com/science/article/pii/S0038110113001123>. Acesso em: 17 set. 2016.

MEIER, D. L.; HWANG, J. M.; CAMPBELL, R. B. The effect of doping density and injection level on minority-carrier lifetime as applied to bifacial dendritic web silicon solar cells. **IEEE Transactions on Electron Devices**, v. 35, n. 1, p. 70–79, jan. 1988.

MONFRAY, S. et al. Thin-film devices for low power applications. **Solid-State Electronics**, v. 54, n. 2, p. 90–96, fev. 2010. Disponível em: <http://www.sciencedirect.com/science/article/pii/S0038110109003566>. Acesso em: 30 mar. 2016.

MONFRAY, Stephane; SKOTNICKI, Thomas. UTBB FDSOI: Evolution and opportunities. **Solid-State Electronics**, v. 125, p. 63–72, nov. 2016. Disponível em: <http://www.sciencedirect.com/science/article/pii/S0038110116300831>. Acesso em: 7 dez. 2016.

MORITA, Y. et al. Smallest Vth variability achieved by intrinsic silicon on thin BOX (SOTB) CMOS with single metal gate. In: 2008 Symposium on VLSI Technology. [S.l.: s.n.], jun. 2008. P. 166–167.

MUJTABA, S. A. **Advanced Mobility Models for Design and Simulation of Deep Submicrometer MOSFETs**. Dez. 1995. Tese (Doutorado) – Stanford University, Stanford.

NIER, O. et al. Multi-scale strategy for high-k/metal-gate UTBB-FDSOI devices modeling with emphasis on back bias impact on mobility. en. **Journal of Computational Electronics**, v. 12, n. 4, p. 675–684, dez. 2013. Disponível em: <http://link.springer.com/10.1007/s10825-013-0532-1>. Acesso em: 26 set. 2016.

NOEL, J. P. et al. Multi-Vth UTBB FDSOI Device Architectures for Low-Power CMOS Circuit. **IEEE Transactions on Electron Devices**, v. 58, n. 8, p. 2473–2482, ago. 2011.

OLIVEIRA, A. V. et al. Fin width influence on analog performance of SOI and bulk FINFETs. In: 2014 International Caribbean Conference on Devices, Circuits and Systems (ICCDCS). [S.l.: s.n.], abr. 2014. P. 1–4. ISSN: 2165-3550.

OVERSTRAETEN, R. J. Van; DECLERCK, G.; BROUX, G. L. Inadequacy of the classical theory of the MOS transistor operating in weak inversion. **IEEE Transactions on Electron Devices**, v. 20, n. 12, p. 1150–1153, dez. 1973.

PAZ, Bruna Cardoso et al. Non-linearity analysis of triple gate SOI nanowires MOSFETS. In: 2016 31st Symposium on Microelectronics Technology and Devices (SBMicro). [S.l.: s.n.], ago. 2016. P. 1–4. ISSN: null.

PELLOUX-PRAYER, B. et al. Fine grain multi-VT co-integration methodology in UTBB FD-SOI technology. In: 2013 IFIP/IEEE 21st International Conference on Very Large Scale Integration (VLSI-SoC). [S.l.: s.n.], out. 2013. P. 168–173.

PLANES, N. et al. 28nm FDSOI technology platform for high-speed low-voltage digital applications. In: 2012 Symposium on VLSI Technology (VLSIT). [S.l.: s.n.], jun. 2012. P. 133–134.

POIROUX, T. et al. Leti-UTSOI2.1: A Compact Model for UTBB-FDSOI Technologies—Part I: Interface Potentials Analytical Model. **IEEE Transactions on Electron Devices**, v. 62, n. 9, p. 2751–2759, set. 2015.

POIROUX, Thierry et al. Leti-UTSOI2.1: A Compact Model for UTBB-FDSOI Technologies—Part II: DC and AC Model Description. **IEEE Transactions on Electron Devices**, v. 62, n. 9, p. 2760–2768, set. 2015.

SAH, Chih-Tang et al. Effect of zinc impurity on silicon solar-cell efficiency. **IEEE Transactions on Electron Devices**, v. 28, n. 3, p. 304–313, mar. 1981.

SAMAVEDAM, S. B. et al. Dual-metal gate CMOS with HfO2 gate dielectric. In: ELECTRON Devices Meeting, 2002. IEDM '02. International. [S.l.: s.n.], dez. 2002. P. 433–436.

SANZ, M. T. et al. Self-cascode SOI versus graded-channel SOI MOS transistors. **IEE Proceedings - Circuits, Devices and Systems**, v. 153, n. 5, p. 461–465, out. 2006.

SCHNEIDER, Márcio Cherem; GALUP-MONTORO, Carlos. **CMOS Analog Design Using All-Region MOSFET Modeling**. 1 edition. Cambridge: Cambridge University Press, mar. 2010.

SENTAURUS Device User Guide. [S.l.]: Synopsys, 2016.

SENTAURUS Structure Editor User Guide. [S.l.]: Synopsys, 2015.

SILVEIRA, F.; FLANDRE, D.; JESPERS, P. G. A. A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. **IEEE Journal of Solid-State Circuits**, v. 31, n. 9, p. 1314–1319, set. 1996.

SOUZA, M. de; FLANDRE, D.; PAVANELLO, M. A. Asymmetric self-cascode configuration to improve the analog performance of SOI nMOS transistors. In: SOI Conference (SOI), 2011 IEEE International. [S.l.: s.n.], out. 2011. P. 1–2.

_____. Channel length influence on the analog characteristics of asymmetric self-cascode association of SOI transistors. In: 2013 Symposium on Microelectronics Technology and Devices (SBMicro). [S.l.: s.n.], set. 2013. P. 1–4.

SOUZA, Michelly de et al. On the improvement of DC analog characteristics of FD SOI transistors by using asymmetric self-cascode configuration. **Solid-State Electronics**, v. 117, p. 152–160, mar. 2016. Disponível em: <http://www.sciencedirect.com/science/article/pii/S0038110115003378>. Acesso em: 30 mar. 2016.

SU, L. T. et al. Deep-submicrometer channel design in silicon-on-insulator (SOI) MOSFET's. **IEEE Electron Device Letters**, v. 15, n. 9, p. 366–369, set. 1994.

SUGII, N. et al. Local Vth Variability and Scalability in Silicon-on-Thin-BOX (SOTB) CMOS With Small Random-Dopant Fluctuation. **IEEE Transactions on Electron Devices**, v. 57, n. 4, p. 835–845, abr. 2010.

TSUCHIYA, R. et al. Femto-second CMOS technology with high-k offset spacer and SiN gate dielectric with oxygen-enriched interface. In: 2002 Symposium on VLSI Technology, 2002. Digest of Technical Papers. [S.l.: s.n.], jun. 2002. P. 150–151.

TSUCHIYA, R. et al. Silicon on thin BOX: a new paradigm of the CMOSFET for low-power high-performance application featuring wide-range back-bias control. In: ELECTRON Devices Meeting, 2004. IEDM Technical Digest. IEEE International. [S.l.: s.n.], dez. 2004. P. 631–634.

TSUTSUI, G. et al. Mobility enhancement due to volume inversion in [110]-oriented ultra-thin body double-gate nMOSFETs with body thickness less than 5 nm. In: IEEE InternationalElectron Devices Meeting, 2005. IEDM Technical Digest. [S.l.: s.n.], dez. 2005. P. 729–732.

VEERARAGHAVAN, S.; FOSSUM, J. G. A physical short-channel model for the thin-film SOI MOSFET applicable to device and circuit CAD. **IEEE Transactions on Electron Devices**, v. 35, n. 11, p. 1866–1875, nov. 1988.

_____. Short-channel effects in SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 36, n. 3, p. 522–528, mar. 1989.

VITTOZ, E. A. Low-power design: ways to approach the limits. In: SOLID-STATE Circuits Conference, 1994. Digest of Technical Papers. 41st ISSCC., 1994 IEEE International. [S.l.: s.n.], fev. 1994. P. 14–18.

WONG, H. S. et al. Ultra-thin, highly uniform thin film SOI MOSFET with low series resistance using pattern-constrained epitaxy (PACE). In: 1996 Symposium on VLSI Technology, 1996. Digest of Technical Papers. [S.l.: s.n.], jun. 1996. P. 94–95.

YANG, I. Y. et al. Back-gated CMOS on SOIAS for dynamic threshold voltage control. **IEEE Transactions on Electron Devices**, v. 44, n. 5, p. 822–831, mai. 1997.

APÊNDICE A – CÓDIGO SENTAURUS STRUCTURE EDITOR

```
;;;;;;;;;;;;;;;;;;;;;;;;;;;
;; sde -e -l xx.scm      ;;
;; tecplot_sv xx_msh.tdr ;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;

; Limpa
(sde:clear)

;;;;;;;;;;;;;;;;;;;;;;;
;;PARAMETROS INICIAIS;;
;;;;;;;;;;;;;;;;;;;;;;;

;Dimensoes
(define L   0.050)
(define H     0.007)
(define x   0.03)
(define tox     0.0013)
(define tbox    0.010)
(define Nd    1e+20)
(define Na_s    1e+15)
(define Na_a    1e+15)
(define diffus          0)
(define tsub          0.1)
(define Lspacer         0.008)

;Nome
(define nome    "Spacer_UTBB_L050_sgp_SubRef")

;;;;;;;;;;;
;;REGIOES;;
;;;;;;;;;;;

;Fonte
(define r1 (sdegeo:create-rectangle (position 0 tbox 0 )  (position  x (+
  tbox H) 0 ) "Silicon" "region_source" ))
(define r12 (sdegeo:create-rectangle (position 0 (+ tbox H) 0 )  (
 position  (- x Lspacer) (+ (+ tbox H) 0.015) 0 ) "Silicon" "
 region_source2" ))
;Canal
```

```
37  (define r2 (sdegeo:create-rectangle (position x tbox 0 )  (position (+ L
     x) (+ tbox H) 0 ) "Silicon" "region_channel" ))
38  ;Dreno
39  (define r3 (sdegeo:create-rectangle (position (+ L x) tbox 0 )  (position
       (+ L (* x 2)) (+ tbox H) 0 ) "Silicon" "region_drain" ))
40  (define r22 (sdegeo:create-rectangle (position (+ (+ L x) Lspacer) (+
     tbox H) 0 )  (position  (+ (* 2 x) L) (+ (+ tbox H) 0.015) 0 ) "Silicon"
       "region_drain2" ))
41  ;Oxido Enterrado
42  (define r4 (sdegeo:create-rectangle (position 0 0 0) (position (+ (* 2 x)
       L) tbox  0 ) "Oxide" "region_oxb" ))
43  ;Oxido de Porta
44  (define r5 (sdegeo:create-rectangle (position x (+ tbox H) 0 )  (position
       (+ L x) (+ tbox (+ tox H)) 0 ) "SiO2" "region_oxg" ))
45  ;Substrato
46  (define r6 (sdegeo:create-rectangle (position 0 (- 0 tsub) 0 )  (position
       (+ L (* x 2)) 0 0.0 ) "Silicon" "region_sub" ))
47  ;Spacer Fonte
48  (define r7 (sdegeo:create-rectangle (position (- x Lspacer) (+ tbox H)
     0.0) (position  x   (+ (+ tbox H) 0.05)   0.0) "Si3N4" "spacer_e"))
49  ;Spacer Dreno
50  (define r8 (sdegeo:create-rectangle (position (+ L x) (+ tbox H) 0.0) (
     position  (+ (+ L x) Lspacer)   (+ (+ tbox H) 0.05)   0.0) "Si3N4" "
     spacer_d"))
51  ;Cantos Si3N4
52  (sde:define-parameter "fillet-radius" Lspacer 0.0 0.0 )
53  (sdegeo:fillet-2d (find-vertex-id (position (- x Lspacer) (+ (+ tbox H)
     0.05) 0.0)) fillet-radius)
54  (sdegeo:fillet-2d (find-vertex-id (position (+ (+ L x) Lspacer) (+ (+
     tbox H) 0.05) 0.0)) fillet-radius)
55
56  ;;;;;;;;;;;
57  ;;DOPAGEM;;
58  ;;;;;;;;;;;
59
60  ;;Criacao do perfil
61  ;Fonte/Dreno
62  (sdedr:define-constant-profile "ConstantProfileDefinition_source_drain" "
     ArsenicActiveConcentration" Nd)
```

```
63  ;Canal
64  (sdedr:define-constant-profile "ConstantProfileDefinition_channel" "
     BoronActiveConcentration" Na_a)
65  ;Substrato
66  (sdedr:define-constant-profile "ConstantProfileDefinition_substrate" "
     BoronActiveConcentration" Na_s)
67
68  ;;Aplicacao do perfil
69  ;Fonte
70  (sdedr:define-constant-profile-region "ConstantProfilePlacement__source"
     "ConstantProfileDefinition_source_drain" "region_source")
71  (sdedr:define-constant-profile-region "ConstantProfilePlacement__source2"
       "ConstantProfileDefinition_source_drain" "region_source2")
72  ;Dreno
73  (sdedr:define-constant-profile-region "ConstantProfilePlacement__drain" "
     ConstantProfileDefinition_source_drain" "region_drain")
74  (sdedr:define-constant-profile-region "ConstantProfilePlacement__drain2"
     "ConstantProfileDefinition_source_drain" "region_drain2")
75  ;Canal
76  (sdedr:define-constant-profile-region "ConstantProfilePlacement__channel"
       "ConstantProfileDefinition_channel" "region_channel")
77  ;Substrato
78  (sdedr:define-constant-profile-region "
     ConstantProfilePlacement__substrate" "
     ConstantProfileDefinition_substrate" "region_sub")
79
80  ;;;;;;;;;;;;;;;
81  ;;GRADE GERAL;;
82  ;;;;;;;;;;;;;;;
83
84  ;;Definicao da grade
85  (sdedr:define-refinement-size "RefinementDefinition_gg" (/ tbox 3)  (/
     tbox 3)   (/ tbox 5)  (/ tbox 5))
86
87  ;;Definicao da regiao
88  ;Regiao corpo
89  (sdedr:define-refeval-window "RegCorpo" "Rectangle"(position 0 tbox 0) (
     position (+ (* 2 x) L) (+ tbox  H) 0 ))
90  ;OxPorta
```

```
91  (sdedr:define-refeval-window "RegBOX" "Rectangle"(position 0 0 0) (
     position (+ (* 2 x) L) tbox  0 ))
92
93  ;;Aplicacao da grade
94  ;Corpo
95  (sdedr:define-refinement-placement "GeralCorpo" "RefinementDefinition_gg"
      "RegCorpo")
96  ;OxPorta
97  (sdedr:define-refinement-placement "GeralBOX" "RefinementDefinition_gg" "
     RegBOX")
98
99  ;;;;;;;;;;
100 ;;REFINO;;
101 ;;;;;;;;;;
102
103 ;;Definicao da grade
104 ;Geral fina
105 (sdedr:define-refinement-size "RefinementDefinition_fina" 0.002 0.002
     0.001 0.001)
106 ;Canal fina
107 (sdedr:define-refinement-size "RefinementDefinition_media" 0.005  0.005
      0.004 0.004)
108 ;Substrato fina
109 (sdedr:define-refinement-size "RefinementDefinition_Subst" 0.01 0.01
     0.004 0.004)
110
111 ;;Definicao da regiao
112 ;Gate
113 (sdedr:define-refeval-window "Gate" "Rectangle"(position x (+ tbox H) 0)
     (position (+ x L) (+ tbox  (+ H tox)) 0 ))
114 ;Fonte Inicio
115 (sdedr:define-refeval-window "Fonte" "Rectangle"(position 0 tbox 0) (
     position (- x 0.005) (+ tbox  H) 0 ))
116 (sdedr:define-refeval-window "Fonte2" "Rectangle"(position 0 (+ tbox H)
     0) (position (- x Lspacer) (+ (+ tbox  H) 0.015) 0 ))
117 ;Dreno Inicio
118 (sdedr:define-refeval-window "Dreno" "Rectangle"(position (+ (+ L x)
     0.005 ) tbox 0) (position (+ (+ L x) x) (+ tbox H) 0 ))
```

```
(sdedr:define-refeval-window "Dreno2" "Rectangle"(position (+ (+ L x) Lspacer) (+ tbox H) 0) (position (+ (* 2 x) L) (+ (+ tbox  H) 0.015) 0 ) )
;Regiao Ativa
(sdedr:define-refeval-window "RegAtiva" "Rectangle"(position (- x 0.005) tbox 0) (position (+ (+ x L) 0.005) (+ tbox H) 0 ))
;Sub/OxBuried
(sdedr:define-refeval-window "SubOxBuried" "Rectangle"(position 0 -0.03 0) (position (+ (* 2 x) L)  0 0 ))
;Substrato
(sdedr:define-refeval-window "Subst" "Rectangle"(position 0 (- 0 tsub) 0 ) (position (+ (* 2 x) L)  -0.03 0 ))


;;Aplicacao do refino
;Gate
(sdedr:define-refinement-placement "FinaGate" "RefinementDefinition_fina" "Gate" )
;Fonte
(sdedr:define-refinement-placement "MediaFonte" " RefinementDefinition_media" "Fonte" )
(sdedr:define-refinement-placement "MediaFonte2" " RefinementDefinition_media" "Fonte2" )
;Dreno
(sdedr:define-refinement-placement "MediaDreno" " RefinementDefinition_media" "Dreno" )
(sdedr:define-refinement-placement "MediaDreno2" " RefinementDefinition_media" "Dreno2" )
;Ativa
(sdedr:define-refinement-placement "FinaRegAtiva" " RefinementDefinition_fina" "RegAtiva" )
;Sub/OxBuried
(sdedr:define-refinement-placement "FinaSubOxBuried" " RefinementDefinition_fina" "SubOxBuried" )
;Substrato
(sdedr:define-refinement-placement "FinaSub" "RefinementDefinition_Subst" "Subst" )
```

```
;;;;;;;;;;;
;CONTATOS;;
;;;;;;;;;;;

;;Pontos auxiliares
;Fonte
(sdegeo:insert-vertex ( position  0.01      (+ (+ tbox H) 0.015)  0 ))
;Dreno
(sdegeo:insert-vertex ( position  (- (+ L (* x 2)) 0.01)  (+ (+ tbox H)
 0.015)  0 ))

;Define contatos
(sdegeo:define-contact-set "Source" 4  (color:rgb 1 0 0 ) "##" )
(sdegeo:set-current-contact-set "Source")
(sdegeo:define-2d-contact (list (car (find-edge-id (position 0.005 (+ (+
 tbox H) 0.015) 0)))) "Source")

(sdegeo:define-contact-set "Gate" 4  (color:rgb 1 0 0 ) "##" )
(sdegeo:set-current-contact-set "Gate")
(sdegeo:define-2d-contact (list (car (find-edge-id (position (+ x (/ L 2)
 ) (+ tbox (+ tox H)) 0)))) "Gate")

(sdegeo:define-contact-set "Drain" 4  (color:rgb 1 0 0 ) "##" )
(sdegeo:set-current-contact-set "Drain")
(sdegeo:define-2d-contact (list (car (find-edge-id (position (- (+ L (* x
  2)) 0.005) (+ (+ tbox H) 0.015) 0)))) "Drain")

(sdegeo:define-contact-set "Substrate" 4  (color:rgb 1 0 0 ) "##" )
(sdegeo:set-current-contact-set "Substrate")
(sdegeo:define-2d-contact (list (car (find-edge-id (position (+ x (/ L 2)
 ) (- 0 tsub) 0)))) "Substrate")


;(sde:set-meshing-command "snmesh -a -c boxmethod")
;(sdedr:append-cmd-file "")

(sde:save-model nome)
(sde:build-mesh "snmesh" "-a -c boxmethod" nome)

```

APÊNDICE B – CÓDIGO SENTAURUS DEVICE

```
File {
  * output files:
  Output =  "SGP_IdVg_Vd5E-2_L25_Vsub@Vsub@_des.out"
  Plot =    "SGP_IdVg_Vd5E-2_L25_Vsub@Vsub@_des.tdr"
  Current = "SGP_IdVg_Vd5E-2_L25_Vsub@Vsub@_des.plt"
}

Physics {
  Fermi
  LayerThickness( Thickness = 0.007)
  MultiValley(MLDA ThinLayer)
  Temperature=300
  Mobility (
    -ConstantMobility
    Enormal
    HighFieldSaturation
    Phumob
    )
  Recombination( SRH(DopingDep TempDependence)
  )
  EffectiveIntrinsicDensity (BandGapNarrowing (OldSlotboom))
}

Plot {
  AcceptorConcentration
  BandGap BandGapNarrowing
  ConductionBandEnergy
  ConductionCurrent
  DielectricConstant
  DonorConcentration
  Doping
  DisplacementCurrent
  eCurrent eDensity eDriftVelocity eEffectiveStateDensity eENormal
    eEparallel eEquilibriumDensity
  eMobility eQuantumPotential eQuasiFermi eRelativeEffectiveMass
    eSaturationVelocity eVelocity
  EffectiveBandGap EffectiveIntrinsicDensity
  ElectricField
  ElectronAffinity
```

```
  Potential EquilibriumPotential
  hCurrent hDensity hDriftVelocity hEffectiveStateDensity hENormal
    hEparallel hEquilibriumDensity
  hMobility hQuantumPotential hQuasiFermi hRelativeEffectiveMass
    hSaturationVelocity hVelocity
  IntrinsicDensity
  Temperature
  Current
  TotalRecombination
  ValenceBandEnergy
  SpaceCharge
  SRHRecombination
}

Device UTBB{
  File {
    * input files:
    Grid =    "Spacer_UTBB_L050_sgp_msh.tdr"
    * output files:

  }
  Electrode {
    { Name="Source"     Voltage= 0.000 }
    { Name="Drain"     Voltage= 0.000 }
    { Name="Gate"     Voltage= 0.000 Workfunction=4.7 }
    { Name="Substrate" Voltage= 0.000 }
  }
}

System {
  UTBB t1 (Source=s Drain=d Gate=g Substrate=ss)
  Vsource_pset Vd (d 0) {dc=0}
  Vsource_pset Vg (g 0) {dc=0}
  Vsource_pset Vs (s 0) {dc=0}
  Vsource_pset Vss (ss 0) {dc=0}
  Plot "SGP_IdVg_Vd5E-2_L25_Vsub@Vsub@" (v(g s) i(t1 s) i(t1 d) v(ss s) v(d
    s))
}
```

```
Math {
  Extrapolate
  RelErrControl
  Digits=4
  Notdamped=50
  Iterations=100
  NoCheckTransientError
  Method= Blocked
    SubMethod= ils
  number_of_threads = 2
}

Solve {

  Quasistationary (
    Initialstep=5E-2 Minstep=1e-50 Maxstep=5E-2 Iterations=100
    Goal {Parameter=Vg.dc Value=0 } )
    {Coupled(Iterations=50) { Poisson Electron Hole }
      CurrentPlot ( Time = (-1)) }

  Quasistationary (
    Initialstep=0.5 Minstep=1e-31 Maxstep=1 Iterations=100
    Goal {Parameter=Vss.dc Value=@Vsub@ } )
    {Coupled(Iterations=500) { Poisson }
      CurrentPlot ( Time = (-1)) }


  Quasistationary (
    Initialstep=5E-2 Minstep=1e-50 Maxstep=5E-2 Iterations=100
    Goal {Parameter=Vd.dc Value=5E-2 } )
    {Coupled(Iterations=50) { Poisson Electron Hole }
      CurrentPlot ( Time = (-1)) }

  Quasistationary (
    Initialstep=1 Minstep=1e-50 Maxstep=1 Iterations=100
    Goal {Parameter=Vg.dc Value=0.3} )
    {Coupled(Iterations=100) { Poisson Electron Hole }
      CurrentPlot( Time = (range = (0 1) intervals = 30))  }
  Quasistationary (
```

```
    Initialstep=1 Minstep=1e-50 Maxstep=1 Iterations=100
    Goal {Parameter=Vg.dc Value=0.6} )
    {Coupled(Iterations=100) { Poisson Electron Hole }
      CurrentPlot( Time = (range = (0 1) intervals = 300))  }
  Quasistationary (
    Initialstep=1 Minstep=1e-50 Maxstep=1 Iterations=100
    Goal {Parameter=Vg.dc Value=2} )
    {Coupled(Iterations=100) { Poisson Electron Hole }
      CurrentPlot( Time = (range = (0 1) intervals = 140))

}
```

APÊNDICE C – CÓDIGO CONSTRUTOR DE CURVA I - VG PARA UMA SC - PARTE PRINCIPAL

```
1 %
2   % CONSTRUÇÃO DE Id VS. Vg DE UMA SC
3   % Versão 2019 - Compatível com Matlab 2018.a
4   % Todos os direitos reservados para Lígia M. d'Oliveira.
5   % email: ligiadol@fei.edu.br
6 %
7 clear
8
9 %% INÍCIO
10
11 % Carrega tabelas de entrada ( resultados dos transistores
12 % individuais).
13 load tblExemploT1_MS.mat
14 load tblExemploT1_MD.mat
15
16 % Copia tabelas de entrada.
17 tableS=tblExemploT1_MS;
18 tableD=tblExemploT1_MD;
19
20 % Valores de polarização de porta desejados.
21 vd = [50e-3,1];
22
23 ivd = 1; % Contador
24 while ivd<=length(vd)
25
26   % Busca na entrada I.
27   auxSC1=ConstructIVg(tableS,tableD,vd(ivd));
28   % Deleta duplicatas I.
29   auxSC=DeleteDupIVg(auxSC1);
30   % Seleciona entrada mais relevante e interpola entradas.
31   [interTableS,interTableD] = ...
32     InterpInputIVg(tableS,tableD,auxSC);
33   % Busca na entrada II.
34   outSC1=ConstructIVg(interTableS,interTableD,vd(ivd));
35   % Deleta duplicatas II.
36   outSC=DeleteDupIVg(outSC1);
37
38   %Copia resultado para struct de saída.
39   IVdSC.(...
```

```
    matlab.lang.makeValidName( strcat(...
      'Vd',...
      num2str(vd(ivd))...
    ))) = outSC;

  ivd=ivd+1;% Incrementa contador.
end
save('ResSC_IVg','IVgSC')
%% FIM %%
```

APÊNDICE D – CÓDIGO CONSTRUTOR DE CURVA I - VG PARA UMA SC - FUNÇÃO CONSTRUTORA

```
1 %% CÓDIGO CONSTRUTOR DE CURVAS I-Vg PARA ASSOCIAÇÕES SÉRIE
2 %% FUNÇAO CONSTRUTORA
3   % Entradas:
4   %   - Tabela do transistor único referente à MS (tInMS);
5   %   - Tabela do transistor único referente à MD (tInMD);
6   %   - Polarização de dreno alvo para a associação
7   %   resultante (vdval).
8   % Saída:
9   %   - Tabela I-Vg da associação série resultante (tSC).
10 %    Versão 2019 - Compatível com Matlab 2018.a
11 % Todos os direitos reservados para Lígia M. d'Oliveira.
12 % email: ligiadol@fei.edu.br
13
14 function tSC=ConstructIVg(tInMS,tInMD,vdval)
15
16   % Copia tabelas de entrada.
17   StS = tInMS;
18   StD = tInMD;
19
20   % Inicia tabela intermediaria contendo valores não
21   % numéricos para cada coluna.
22   outSCTable.Vd=NaN; outSCTable.VdS=NaN;
23   outSCTable.VdD=NaN; outSCTable.Vx=NaN;
24   outSCTable.Vg=NaN; outSCTable.VgS=NaN;
25   outSCTable.VgD=NaN;outSCTable.Id=NaN;
26   outSCTable.IdS=NaN; outSCTable.IdD=NaN;
27   outSCTable=struct2table(outSCTable);
28
29   % Extensão da polarização de porta da SC (VGSC).
30   % Modificar de acordo com a necessidade.
31   vgVec = round(0:10e-3:1.2,2)';
32
33   iVgVec = 1;
34   tol=1e-12;
35   while iVgVec<=length(vgVec)
36
37     % Implementa a condição VGMS = VGSC.
38     StS=tInMS(ismembertol(...
39       round( tInMS.Vg ,4),...
```

```
40      round( vgVec(iVgVec),4),tol,'DataScale',1),:);
41
42    if height(StS)>0 % Caso exista resultado
43            % (VGMS = VGSC):
44
45      % Implementa a condição VDMS < VDSC.
46      StS=StS(round(StS.Vd,4)<round(vdval-tol,4),:);
47
48      if height(StS)>0 % Caso exista resultado
49              % (VDMS < VDSC):
50
51        % Implementa a condição
52        % VDMS + VDMD = VDSC na tabela MD.
53        StD=tInMD(ismembertol(...
54          [tInMD.Vg tInMD.Vd],...
55          [StS.Vg-StS.Vd vdval-StS.Vd],...
56          tol,'DataScale',1,'ByRows',1),:);
57
58        if height(StD)>0 % Caso exista resultado
59                % (VDM S + VDMD = VDSC):
60          % Seleciona em MS a condição
61          % VDMS + VDMD = VDSC
62          StS=StS(ismembertol(...
63            [StS.Vg-StS.Vd StS.Vd],...
64            [StD.Vg vdval-StD.Vd],...
65            tol,'DataScale',1,'ByRows',1),:);
66
67          % Organizam-se as tabelas de entrada de
68          %  maneira complementar.
69          StS=sortrows(StS,{'Vd','Vg'},'ascend');
70          StD=sortrows(StD,{'Vd','Vg'},'descend');
71
72          % Os resultados obtidos são copiados na
73          % tabela auxiliar:
74          auxSCTable.Vd = repelem(...
75            vdval,height(StS))'; % VDSC = vdval
76          auxSCTable.VdS = StS.Vd; % VDMS
77          auxSCTable.VdD = StD.Vd; % VDMD
78          auxSCTable.Vx = StS.Vd; % VX = VDMD
```

```
79          auxSCTable.Vg = repelem(...
80            vgVec(iVgVec),height(StS))'; % VGSC
81          auxSCTable.VgS = StS.Vg; % VGMS
82          auxSCTable.VgD = StD.Vg; % VGMD
83          auxSCTable.Id = mean(...
84            [StS.Id StD.Id],2); % IDSC =(IDMS +
85                      %   IDMD )/2
86          auxSCTable.IdS = StS.Id; % IDMS
87          auxSCTable.IdD = StD.Id; % IDMD
88        else
89          % Nenhum valor correspondente: copia
90          % valor não numérico na tabela auxiliar.
91          auxSCTable.Vd=NaN; auxSCTable.VdS=NaN;
92          auxSCTable.VdD=NaN; auxSCTable.Vx=NaN;
93          auxSCTable.Vg=NaN; auxSCTable.VgS=NaN;
94          auxSCTable.Vg=NaN; auxSCTable.VgS=NaN;
95          auxSCTable.VgD=NaN; auxSCTable.Id=NaN;
96          auxSCTable.IdS=NaN; auxSCTable.IdD=NaN;
97        end
98      else
99        % Nenhum valor correspondente: copia valor
100       % não numérico na tabela auxiliar.
101       auxSCTable.Vd=NaN; auxSCTable.VdS=NaN;
102       auxSCTable.VdD=NaN; auxSCTable.Vx=NaN;
103       auxSCTable.Vg=NaN; auxSCTable.VgS=NaN;
104       auxSCTable.VgD=NaN; auxSCTable.Id=NaN;
105       auxSCTable.IdS=NaN; auxSCTable.IdD=NaN;
106     end
107   else
108     % Nenhum valor correspondente: copia valor não
109     % numérico na tabela auxiliar.
110     auxSCTable.Vd=NaN; auxSCTable.VdS=NaN;
111     auxSCTable.VdD=NaN; auxSCTable.Vx=NaN;
112     auxSCTable.Vg=NaN; auxSCTable.VgS=NaN;
113     auxSCTable.VgD=NaN; auxSCTable.Id=NaN;
114     auxSCTable.IdS=NaN; auxSCTable.IdD=NaN;
115   end
116   % Copia tabela auxiliar na tabela intermediaria.
117   outSCTable=[outSCTable;struct2table(auxSCTable)];
```

```
118     % Limpa tabela auxiliar.
119     clear auxSCTable
120     % Incrementa contador.
121     iVgVec=iVgVec+1;
122   end
123
124   % Deleta valores não numéricos na tabela intermediaria.
125   outSCTable(isnan(outSCTable.Vg),:)=[];
126   % Organiza a tabela intermediaria.
127   outSCTable=sortrows(outSCTable,{'Vg','VdS'});
128   % Calcula erro relativo entre IDMS e IDMD.
129   outSCTable.ErrId = ...
130     abs( outSCTable.IdS - outSCTable.IdD )...
131     ./...
132     min([abs(outSCTable.IdS) , abs(outSCTable.IdD)]...
133       ,[],2);
134   % Copia tabela intermediaria na tabela de saída.
135   tSC=outSCTable;
136 end
137 %% FIM %%
```

APÊNDICE E – CÓDIGO CONSTRUTOR DE CURVA I - VG PARA UMA SC - FUNÇÃO DELETA DUPLICATAS

```
1 %% CÓDIGO CONSTRUTOR DE CURVAS I-Vg PARA ASSOCIAÇÕES SÉRIE
2 %%  FUNÇÃO DELETA DUPLICATAS
3    %  Entradas:
4    %    - Tabela referente a SC (tin).
5    %  Saída:
6    %    - Tabela SC de saída contendo apenas valores únicos
7    %    de VDSC (tout).
8 % Todos os direitos reservados para Lígia M. d'Oliveira.
9 % email: ligiadol@fei.edu.br
10
11 function tout=DeleteDupIVg(tin)
12   % Cria coluna ErroId contendo zeros.
13   tin.ErrId=zeros(1,height(tin))';
14   % Define a corrente mínima como a
15   % menor entre IDMS e IDMD.
16   IdMin=min([tin.IdS,tin.IdD],[],2);
17   % Copia o erro relativo entre IDMS e IDMD
18   % para a coluna ErrId.
19   tin.ErrId=abs((tin.IdS-tin.IdD)./IdMin);
20   % Atualiza a tabela de saída.
21   tout=tin;
22   % Organiza a tabela para ErrId crescente,
23   % primariamente, e Vg crescente.
24   tout=sortrows(tout,{'ErrId','Vg'});
25   % Mantém apenas os resultados menores de
26   % ErrId para cada valor de Vg.
27   [~,iVg,~]=unique(tout.Vg,'first');
28   % Retorna tabela de saída.
29   tout=tout(iVg,:);
30 end
31 %% FIM %%
```

APÊNDICE F – CÓDIGO CONSTRUTOR DE CURVA I - VG PARA UMA SC - FUNÇÃO INTERPOLADORA

```
1 %% CÓDIGO CONSTRUTOR DE CURVAS I-Vg PARA ASSOCIAÇÕES SÉRIE
2 %%  FUNÇÃO INTERPOLADORA
3    %  Entradas:
4    %    - Tabela do transistor único referente a MS (tInMS);
5    %    - Tabela do transistor único referente a MD (tInMD);
6    %    - Tabela não refinada referente a SC (tSC).
7    %  Saída:
8    %    - Tabela I-V refinada e pré-selecionda referente
9    %      a MS (tOutMS).
10   %    - Tabela I-V refinada e pré-selecionda referente
11   %      a MD (tOutMD).
12 %       Versão 2019 - Compatível com matlab 2018.a
13 % Todos os direitos reservados para Lígia M. d'Oliveira.
14 % email: ligiadol@fei.edu.br
15 function [tOutMS,tOutMD]=InterpInputIVg(tInMS,tInMD,tSC)
16
17   % Inicia tabela de saída referente a MS contendo valores
18     % não numéricos para cada coluna.
19   tOutMS.Vg=NaN; tOutMS.Vd=NaN; tOutMS.Id=NaN;
20   tOutMS=struct2table(tOutMS);
21
22   % Inicia tabela de saída referente a MD contendo valores
23     % não numéricos para cada coluna.
24   tOutMD.Vg=NaN; tOutMD.Vd=NaN; tOutMD.Id=NaN;
25   tOutMD=struct2table(tOutMD);
26
27   % Define função de interpolação para MS e MD.
28   fMS=scatteredInterpolant(tInMS.Vg,tInMS.Vd,tInMS.Id);
29   fMD=scatteredInterpolant(tInMD.Vg,tInMD.Vd,tInMD.Id);
30
31   step=1e-4; % Passo para o refino. Modificar conforme
32     % necessário.
33   tol=1e-12;
34   tol2=11e-3;
35
36   % Vetor auxiliar contendo valores não repetidos de Vx.
37   vx=uniquetol(tSC.Vx,'DataScale',1);
38
39   ivx=1; % Contador.
```

```
40  while ivx<=length(vx)
41
42    % Copia tabelas de entrada.
43    tMS1=tInMS;
44    tMD1=tInMD;
45    % Define o intervalo relevante de VDMS.
46    tauxSC=tSC(ismembertol(...
47      round( tSC.Vx ,4),...
48      round( vx(ivx) ,4),tol,'DataScale',1),:);
49    % Define o vetor interpolado de VDMS.
50    xqMSVd=((min(tauxSC.Vx)-tol2)...
51      :step:(max(tauxSC.Vx)+tol2))';
52    % Define o vetor para VGMS.
53    xqMSVg=tauxSC.VgS;
54    sizeMSVd=length(xqMSVd);
55    sizeMSVg=length(xqMSVg);
56    xqMSVd=sort(repmat(xqMSVd,[sizeMSVg 1]));
57    xqMSVg=repmat(xqMSVg,[sizeMSVd 1]);
58    % Interpola IDMS.
59    xqMSId=fMS(xqMSVg,xqMSVd);
60
61    % Valores adicionados à tabela de saída de MS.
62    auxMS.Vg=xqMSVg;
63    auxMS.Vd=xqMSVd;
64    auxMS.Id=xqMSId;
65    tOutMS=[tOutMS;struct2table(auxMS)];
66    clear auxMS
67
68    % Define os vetores interpolados de VGMD e VDMD.
69    xqMDVg=((min(tauxSC.VgD)-tol2)...
70      :step:(max(tauxSC.VgD)+tol2))';
71    xqMDVd=((min(tauxSC.VdD)-tol2)...
72      :step:(max(tauxSC.VdD)+tol2))';
73    sizeMDVd=length(xqMDVd);
74    sizeMDVg=length(xqMDVg);
75    xqMDVd=sort(repmat(xqMDVd,[sizeMDVg 1]));
76    xqMDVg=repmat(xqMDVg,[sizeMDVd 1]);
77    % Interpola IDMD.
78    xqMDId=fMD(xqMDVg,xqMDVd);
```

```
79
80      % Valores adicionados à tabela de saída de MD.
81      auxMD.Vg=xqMDVg;
82      auxMD.Vd=xqMDVd;
83      auxMD.Id=xqMDId;
84      tOutMD=[tOutMD;struct2table(auxMD)];
85      clear auxMD
86
87      ivx=ivx+1; % Incrementa contador.
88    end
89
90    % Deleta não numéricos nas tabelas de saída.
91    tOutMS(isnan(tOutMS.Vg),:)=[];
92    tOutMD(isnan(tOutMD.Vg),:)=[];
93
94    % Organiza tabela de saída referente a MS.
95    auxms=uniquetol(table2array(tOutMS),...
96      'ByRows',1,'DataScale',1);
97    tOutMS=sortrows(array2table(...
98      auxms,'VariableNames',...
99      tOutMS.Properties.VariableNames),{'Vg','Vd'});
100
101   % Organiza tabela de saída referente a MD.
102   auxmd=uniquetol(table2array(tOutMD),...
103     'ByRows',1,'DataScale',1);
104   tOutMD=sortrows(array2table(...
105     auxmd,'VariableNames',...
106     tOutMD.Properties.VariableNames),{'Vg','Vd'});
107 end
108 %% FIM %%
```

APÊNDICE G – CÓDIGO CONSTRUTOR DE CURVA I - VD PARA UMA SC - PARTE PRINCIPAL

```
%
  % CONSTRUÇÃO DE Id VS. Vd DE UMA SC
  % Versão 2019 - Compatível com matlab 2018.a
  % Todos os direitos reservados para Lígia M. d'Oliveira.
  % email: ligiadol@fei.edu.br
%
clear

%%INÍCIO

% Carrega tabelas de entrada (resultados dos transistores
% individuais).
load tblExemploT1_MS.mat
load tblExemploT1_MD.mat

% Valores de polarização de porta desejados.
vg = 0:0.1:0.8;
ivg = 1; % Contador.

% Copia tabelas de entrada.
tableS=tblExemploT1_MS;
tableD=tblExemploT1_MD;

while ivg<=length(vg)

  % Busca na entrada I.
  auxSC1=constructIVd(tableS,tableD,vg(ivg));
  % Deleta duplicatas I.
  auxSC=DeleteDupIVd(auxSC1);
    % Seleciona entrada mais relevante e interpola entradas.
  [interTableS,interTableD] = ...
    InterpInputIVd( tableS,tableD,auxSC );
    % Busca na entrada II
  outSC1=constructIVd(interTableS,interTableD,vg(ivg));
  % Deleta duplicatas II
  outSC=DeleteDupIVd(outSC1);
  % Copia tabela resultante para struct de saída.
  IVdSSC.(...
      matlab.lang.makeValidName( strcat(...
```

```
        'Vg',...
        num2str(vg(ivg))...
      ))) = outSC;

  ivg=ivg+1;
end
save ('ResSC_IVd','IVdSSC')
%% FIM %%
```

APÊNDICE H – CÓDIGO CONSTRUTOR DE CURVA I - VD PARA UMA SC - FUNÇÃO CONSTRUTORA

```
1 %% CÓDIGO CONSTRUTOR DE CURVAS I-Vd PARA ASSOCIAÇÕES SÉRIE
2 %%  FUNÇÃO CONSTRUTORA
3    %  Entradas:
4    %    - Tabela do transistor único referente a MS (tInMS);
5    %    - Tabela do transistor único referente a MD (tInMD);
6    %    - Polarização de porta alvo para a associação
7    % resultante (vgval).
8    %  Saída:
9    %    - Tabela I - Vd da associação série resultante.
10 %       Versão 2019 - Compatível com matlab 2018.a
11 % Todos os direitos reservados para Lígia M. d'Oliveira.
12 % email: ligiadol@fei.edu.br
13
14 function tSC=constructIVd(tInMS,tInMD,vgval)
15
16    % Inicia tabela intermediária contendo valores não
17    % numéricos para cada coluna.
18    tblOutSC.Vd=NaN; tblOutSC.VdS=NaN; tblOutSC.VdD=NaN;
19    tblOutSC.Vx=NaN;
20    tblOutSC.Vg=NaN; tblOutSC.VgS=NaN; tblOutSC.VgD=NaN;
21    tblOutSC.Id=NaN; tblOutSC.IdS=NaN; tblOutSC.IdD=NaN;
22    tblOutSC=struct2table(tblOutSC);
23
24    % Extensão da polarização de dreno da SC (VDSC).
25    % Modificar de acordo com a necessidade.
26    VdVec=round(0:10e-3:1.2,2)';
27
28    iVdVec=1;
29    tol=1e-12;
30    while iVdVec<=length(VdVec)
31
32       % Implementa a condição VGMS = VGSC.
33       StS=tInMS(ismembertol(...
34         tInMS.Vg,vgval,tol,'DataScale',1),:);
35       % Copia tabela de entrada referente a MD.
36       StD=tInMD;
37
38       % Implementa condição VDMS < VDSC.
39       StS=sortrows(StS,'Vd','ascend');
```

```
40      tableValidMS=StS(StS.Vd<VdVec(iVdVec)-tol,:);
41
42      if height(tableValidMS)>0 % Caso exista resultado
43                                % (VDMS < VDSC):
44
45         % Implementa condição VDMS + VDMD = VDSC.
46         StD=sortrows(StD,{'Vg','Vd'},'descend');
47         sMD = ismembertol(...
48            round([StD.Vd StD.Vg],4),...
49            round(...
50            [(VdVec(iVdVec)-tableValidMS.Vd)...
51            (vgval-tableValidMS.Vd)],4...
52         ),...
53            tol,'ByRows',1,'DataScale',1);
54         tableValidMD = StD( sMD ,: );
55
56         sMS = ismembertol(...
57            round(tableValidMS.Vd,4),...
58            round(VdVec(iVdVec)-tableValidMD.Vd,4),...
59            tol,'ByRows',1,'DataScale',1);
60         tableValidMS=tableValidMS(sMS,:);
61
62         if (height(tableValidMS)>0) &&...
63          (height(tableValidMD)>0) % Caso exista resultado
64                                   % ( VDMS + VDMD = VDSC ):
65
66            % Os resultados obtidos são copiados na tabela
67            % auxiliar.
68            tblAuxtSC.Vd   =   repelem(...
69                                 VdVec(iVdVec) ,...
70                                 height(tableValidMS)...
71                                 )'; % VDSC
72            tblAuxtSC.VdS = tableValidMS.Vd; % VDMS
73            tblAuxtSC.VdD = tableValidMD.Vd; % VDMD
74            tblAuxtSC.Vx = tableValidMS.Vd; % VX = VDMS
75            tblAuxtSC.Vg = tableValidMS.Vg; % VGSC = VGMS
76            tblAuxtSC.VgS = tableValidMS.Vg; % VGMS
77            tblAuxtSC.VgD = tableValidMD.Vg; % VGMD
78            tblAuxtSC.Id = mean( ...
```

```
79              [ tableValidMS.Id , tableValidMD.Id ],...
80              2 ); % IDSC = (IDMS + IDMD /2)
81              tblAuxtSC.IdS   =   tableValidMS.Id; % IDMS
82              tblAuxtSC.IdD   =   tableValidMD.Id; % IDMD
83
84           else
85              % Nenhum valor correspondente: copia valor não
86              % numérico na tabela auxiliar.
87              tblAuxtSC.Vd=NaN; tblAuxtSC.VdS=NaN;
88              tblAuxtSC.VdD=NaN; tblAuxtSC.Vx=NaN;
89              tblAuxtSC.Vg=NaN; tblAuxtSC.VgS=NaN;
90              tblAuxtSC.VgD=NaN; tblAuxtSC.Id=NaN;
91              tblAuxtSC.IdS=NaN; tblAuxtSC.IdD=NaN;
92           end
93        else
94           % Nenhum valor correspondente: copia valor não
95           % numérico na tabela auxiliar.
96           tblAuxtSC.Vd=NaN; tblAuxtSC.VdS=NaN;
97           tblAuxtSC.VdD=NaN; tblAuxtSC.Vx=NaN;
98           tblAuxtSC.Vg=NaN; tblAuxtSC.VgS=NaN;
99           tblAuxtSC.VgD=NaN; tblAuxtSC.Id=NaN;
100          tblAuxtSC.IdS=NaN; tblAuxtSC.IdD=NaN;
101       end
102
103       % Copia tabela auxiliar na tabela intermediária.
104       tblOutSC=[tblOutSC;struct2table(tblAuxtSC)];
105
106       % Limpa tabela auxiliar.
107       clear tblAuxtSC
108
109       % Incrementa contador.
110       iVdVec=iVdVec+1;
111
112    end
113    % Deleta valores não numéricos na tabela intermediária.
114    tblOutSC(isnan(tblOutSC.Vd),:)=[];
115    % Organizada a tabela intermediária.
116    tblOutSC=sortrows(tblOutSC,{'Vd','VdS'});
117    % Calcula o erro relativo entre IDMS e IDMD.
```

```
118    tblOutSC.ErrId = abs( tblOutSC.IdS - tblOutSC.IdD )...
119       ./...
120      min( [abs(tblOutSC.IdS) , abs(tblOutSC.IdD)] ,[],2);
121    % Copia tabela intermediária na tabela de saída.
122    tSC = tblOutSC;
123 end
124 %% FIM %%
```

APÊNDICE I – CÓDIGO CONSTRUTOR DE CURVA I - VD PARA UMA SC - FUNÇÃO DELETA DUPLICATAS

```
1 %% CÓDIGO CONSTRUTOR DE CURVAS I-Vd PARA ASSOCIAÇÕES SÉRIE
2 %%  FUNÇÃO DELETA DUPLICATAS
3    %  Entradas:
4    %    - Tabela referente a SC (tin).
5    %  Saída:
6    %    - Tabela SC de saída contendo apenas valores únicos
7    %    de VDSC (tout).
8 %       Versão 2019 - Compatível com matlab 2018.a
9 % Todos os direitos reservados para Lígia M. d'Oliveira.
10 % email: ligiadol@fei.edu.br
11 function tout=DeleteDupIVd(tin)
12   % Cria coluna referentea ao erro relativo entre IDMS e
13   % IDMD.
14   tin.ErrId=zeros(1,height(tin))';
15   tin.ErrId=abs(tin.IdS-tin.IdD)./abs(tin.IdS);
16
17   % Copia tabela na saída.
18   tout=tin;
19
20   % Organiza tabela de saída com a coluna referente ao
21   % erro em ordem crescente.
22   tout=sortrows(tout,{'ErrId','Vd'},{'ascend','ascend'});
23   % Seleciona valores únicos de VDSC em ordem de aparição.
24   [~,iVd,~]=unique(tout.Vd,'first');
25   % Mantém apenas os valores selecionados na saída.
26   tout=tout(iVd,:);
27 end
28 %% FIM %%
```

APÊNDICE J – CÓDIGO CONSTRUTOR DE CURVA I - VD PARA UMA SC - FUNÇÃO INTERPOLADORA

```
1 %% CÓDIGO CONSTRUTOR DE CURVAS I-Vd PARA ASSOCIAÇÕES SÉRIE
2 %%  FUNÇÃO INTERPOLADORA
3    %  Entradas:
4    %    - Tabela do transistor único referente a MS (tInMS);
5    %    - Tabela do transistor único referente a MD (tInMD);
6    %    - Tabela não refinada referente a SC (tSC).
7    %  Saída:
8    %    - Tabela I-V refinada e pré-selecionda referente
9    %      a MS (tOutMS).
10   %    - Tabela I-V refinada e pré-selecionda referente
11   %      a MD (tOutMD).
12 %       Versão 2019 - Compatível com matlab 2018.a
13 % Todos os direitos reservados para Lígia M. d'Oliveira.
14 % email: ligiadol@fei.edu.br
15 function [tOutMS,tOutMD]=InterpInputIVd(tInMS,tInMD,tSC)
16
17   % Inicia tabela de saída referente a MS contendo valores
18     % não numéricos para cada coluna.
19     tOutMS.Vg=NaN; tOutMS.Vd=NaN; tOutMS.Id=NaN;
20   tOutMS=struct2table(tOutMS);
21
22     % Inicia tabela de saída referente a MD contendo valores
23     % não numéricos para cada coluna.
24   tOutMD.Vg=NaN; tOutMD.Vd=NaN; tOutMD.Id=NaN;
25   tOutMD=struct2table(tOutMD);
26
27   % Copia tabelas de entrada.
28   tMS1=tInMS;
29   tMD1=tInMD;
30
31   % Tabela referente a MS selecionada de acordo com a
32   % tabela da SC.
33   tMS1(~ismembertol(tMS1.Vg,tSC.Vg(1),1e-12),:)=[];
34
35     step=1e-4; %Passo para o refino. Modificar conforme
36      % necessário.
37
38   % Vetor auxiliar contendo valores não repetidos de Vx.
39   vx=unique(tSC.Vx);
```

```
40
41  ivx=1; % Contador.
42  while ivx<=length(vx)
43
44    % Define o intervalo relevante de VDMS.
45    tolVdSSC=11e-3;
46    aRangeVdSSC=...
47      [ min(tSC.VdS( ismembertol(...
48        round(tSC.Vx,2) ,...
49        round(vx(ivx),2) ))) - tolVdSSC...
50      , max(tSC.VdS( ismembertol(...
51        round(tSC.Vx,2) ,...
52        round(vx(ivx),2) ))) + tolVdSSC ];
53
54    % Define o vetor refinado de VDMS.
55    xqVdS=(aRangeVdSSC(1):step:aRangeVdSSC(2))';
56    % Interpola IDMS de acordo com novo VDMS.
57    xqIdS=interp1(...
58      tMS1.Vd,tMS1.Id,xqVdS,...
59      'linear','extrap');
60    % Repete valores de VGMS.
61    xqVgS=repmat(tSC.Vg(1),size(xqVdS),1);
62
63    % Valores adicionados à tabela de saída de MS.
64    auxMS.Vg=xqVgS;
65    auxMS.Vd=xqVdS;
66    auxMS.Id=xqIdS;
67    tOutMS=[tOutMS;struct2table(auxMS)];
68    clear auxMS
69
70    % Define o intervalo relevante de VGMD.
71    tolVgDSC=11e-3;
72    aRangeVgDSC=...
73      [ min(tSC.VgD(ismembertol(...
74        round(tSC.Vx,2) ,...
75        round(vx(ivx),2) ) )) - tolVgDSC...
76      , max(tSC.VgD(ismembertol(...
77        round(tSC.Vx,2) ,...
78        round(vx(ivx),2) ) )) + tolVgDSC ];
```

```
79      % Define o intervalo relevante de VDMD.
80      tolVdDSC=11e-3;
81      aRangeVdDSC=...
82        [ min(tSC.VdD(ismembertol(...
83          round(tSC.Vx,2) ,...
84          round(vx(ivx),2) ))) - tolVdDSC...
85        , max(tSC.VdD(ismembertol(...
86          round(tSC.Vx,2) ,...
87          round(vx(ivx),2) ))) + tolVdDSC ] ;
88
89      % Define função de interpolação para MD.
90      fMD=scatteredInterpolant(tMD1.Vg,tMD1.Vd,tMD1.Id);
91
92      % Define vetores refinados de VDMD e VGMD com
93      % valores únicos.
94      xqVdD1=(aRangeVdDSC(1):step:aRangeVdDSC(2))';
95      xqVgD1=(aRangeVgDSC(1):step:aRangeVgDSC(2))';
96      % Define vetores refinados de VDMD e VGMD com
97      % todas as combinações estabelecidas.
98      xqVdD=repmat(xqVdD1,size(xqVgD1),1);
99      xqVgD=sort(repmat(xqVgD1,size(xqVdD1),1));
100     % Interpola IDMD de acordo com novo VGMD e VDMD.
101     xqIdD=fMD(xqVgD,xqVdD);
102
103     % Valores adicionados à tabela de saída de MD.
104     auxMD.Vg=xqVgD;
105     auxMD.Vd=xqVdD;
106     auxMD.Id=xqIdD;
107     tOutMD=[tOutMD;struct2table(auxMD)];
108     clear auxMD
109
110     ivx=ivx+1; % Incrementa contador.
111   end
112
113   % Deleta não numéricos nas tabelas de saída.
114   tOutMS(isnan(tOutMS.Vg),:)=[];
115   tOutMD(isnan(tOutMD.Vg),:)=[];
116
117   % Organiza tabela de saída referente a MS.
```

```
118   auxms=uniquetol(...
119     table2array(tOutMS),...
120     'ByRows',1,...
121     'DataScale',1);
122   tOutMS=sortrows(...
123     array2table(...
124       auxms,...
125       'VariableNames',...
126       tOutMS.Properties.VariableNames),...
127     {'Vg','Vd'});
128
129   % Organiza tabela de saída referente a MD.
130   auxmd=uniquetol(...
131     table2array(tOutMD),...
132     'ByRows',1,...
133     'DataScale',1);
134   tOutMD=sortrows(...
135     array2table(...
136       auxmd,...
137       'VariableNames',...
138       tOutMD.Properties.VariableNames),...
139     {'Vg','Vd'});
140 end
141 %% FIM %%
```