CENTRO UNIVERSITÁRIO DA FEI

JOSÉ MARIA DA SILVA JUNIOR

ESTUDO DO EFEITO DE REDUÇÃO DE BARREIRA INDUZIDA PELO DRENO EM TEMPERATURAS CRIOGÊNICAS PARA TRANSISTORES SOI ULTRA-SUBMICROMÉTRICOS

São Bernardo do Campo

2009

JOSÉ MARIA DA SILVA JUNIOR

ESTUDO DO EFEITO DE REDUÇÃO DE BARREIRA INDUZIDA PELO DRENO EM TEMPERATURAS CRIOGÊNICAS PARA TRANSISTORES SOI ULTRA-SUBMICROMÉTRICOS

Dissertação apresentada ao Centro Universitário da FEI como parte dos requisitos necessários para a obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Marcelo Antonio Pavanello

São Bernardo do Campo

2009

Silva Júnior, José Maria da.
Estudo do efeito de redução de barreira induzida pelo dreno em temperaturas criogênicas para transistores SOI ultra-submicrométricos / José Maria da Silva Júnior. São Bernardo do Campo, 2009.
96 f. : il.

Dissertação - Centro Universitário da FEI.

Orientador: Prof. Dr. Marcelo Antonio Pavanello

1. DIBL. 2. Baixa temperatura. 3. SOI. I. Pavanello, Marcelo Antonio, orient. II. Título.

CDU 657.6

Centro Universitário da FEI

APRESENTAÇÃO DE DISSERTAÇÃO
ATA DA BANCA JULGADORA

PGE- 10

Programa de Mestrado de Engenharia Elétrica

Aluno: José Maria da Silva Júnior Matrícula: 1061068

Título do Trabalho: Estudo do efeito de redução de barreira induzida pelo dreno em temperaturas criogênicas para transistores SOI ultra-submicrométricos.

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof. Dr. Marcelo Antonio Pavanello

Data da realização da defesa: 24 / março / 2009

A Banca Julgadora abaixo-assinada, atribuiu ao candidato o seguinte:

APROVADO ☒ REPROVADO ☐

São Bernardo do Campo, 24 / 03 / 2009.

MEMBROS DA BANCA JULGADORA

Prof. Dr. Marcelo Antonio Pavanello

Ass.: _____

Prof. Dr. Marcello Bellodi

Ass.: _____

Prof. Dr. Mauricio Oka

Ass.: _____

VERSÃO FINAL DA DISSERTAÇÃO

ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS RECOMENDAÇÕES DA BANCA EXAMINADORA

_____

Aprovação do Coordenador do Programa de Pós-graduação

_____

Prof. Dr. Marcelo Antonio Pavanello

Dedico este trabalho

Aos meus pais,

José Maria da Silva

Emília Janouski da Silva

À minha irmã,

Maria Salete da Silva

À minha querida esposa,

Rosely Siqueira de Assis

Às minhas filhas,

Letícia Assis

Bruna Assis

Aos colaboradores, amigos e incentivadores,

Marcelo Antonio Pavanello

Francisco Antonio Lunalvo Porfida Ferreira

E ao grande amigo,

Nick Junior Della Signoria

RESUMO

Este trabalho apresenta um estudo sobre o efeito de redução de barreira induzida pelo dreno (Drain Induced Barrier Lowering – DIBL) em transistores da tecnologia Silício sobre Isolante (SOI - Silicon-On-Insulator) totalmente depletados em função da temperatura, através de simulações numéricas bidimensionais e medidas experimentais. A redução de temperatura é um modo interessante a ser utilizado na melhoria das características dos transistores MOS, somando-se aos benefícios do escalamento das dimensões. A literatura mostra que, operando sob temperaturas criogênicas, ocorre uma elevação da velocidade de saturação, da mobilidade dos portadores, significativa redução na inclinação de sublimiar e uma menor ocorrência dos efeitos de canal curto. Porém, fenômenos como a ocorrência do efeito bipolar parasitário e a reduzida tensão de ruptura do dreno, podem fazer que o DIBL seja piorado com a redução da temperatura.

Os resultados obtidos a partir de simulações realizadas com base em um FD SOI nMOS, mostraram resultados bastante confiáveis, por serem condizentes com a literatura estudada. O desenvolvimento do arquivo de simulação levou a descrição de um transistor muito próximo a de um transistor utilizado em circuitos práticos, possibilitando a análise do efeito da ionização por impacto na estrutura, da variação de características construtivas e da temperatura. Também foi possível obter dados sobre a inclinação de sublimiar, além de analisar a inclinação da curva do DIBL. A comparação dos dados obtidos através de simulação com dados reais confirmou as análises feitas neste trabalho de estudo do efeito DIBL em baixas temperaturas.

Palavras chave: DIBL, baixa temperatura, SOI.

ABSTRACT

This paper aims to present a study on the short channel effect known as drain induced barrier lowering of transistors on SOI technology (silicon on insulator) fully depleted according to the temperature, through two-dimensional numerical simulations and experimental measures. The temperature reduction is an interesting way to be used in the improvement of the characteristics of MOS transistors adding to the benefits of the size scaling. The literature shows that the operation on cryogenic temperatures results in improvements on saturation speed, carriers mobility, significant reduction in the sublimiar slope and a lower incidence of short channel effects. But, phenomena like the occurrence of the bipolar parasite effect and drain reduced leakage voltage, can make DIBL worse with the reduction of the temperature.

The partial results obtained from simulations conducted with a FD SOI nMOS, led to results quite reliable, as they are consistent with the literature studied. The development of the simulation file led the description of a transistor very close to transistor used in practical circuits, making possible the analysis of the effect of impact ionization in the structure, the variation of constructive characteristics and the temperature. Also it was possible to acquire data about the subthreshold slope, and analyze the inclination of the DIBL curve. The comparison of data gotten through simulation with real data confirmed the analyses made in this study of DIBL effect in low temperatures.

Keywords: DIBL, low temperature, SOI.

LISTA DE FIGURAS

Figura 1 – Transistor SOI (A) e MOS convencional (B). 19

Figura 2 – Perfil transversal de um transistor SOI nMOS típico. 23

Figura 3 – Diagramas de faixas de energia de um MOS convencional (A), SOI parcialmente depletado (B) e de um SOI totalmente depletado (C). As referências para o potencial elétrico e para a energia dos elétrons são apresentadas no item A desta figura. 26

Figura 4 – Esboço da curva $\log(I_{DS})xV_{GF}$ evidenciando a região de sublimiar. 30

Figura 5 – Curva VtxL de um transistor sem implante halo (A) [26] e a mesma curva para um transistor com implante halo (B). 33

Figura 6 – Desenho esquemático de um transistor sem implante halo (A) e de um com implante halo (B), além de representação esquemática da concentração de impurezas ao longo da direção lateral do transistor, desde a fonte até o dreno. 34

Figura 7 - Representação esquemática do mecanismo de ionização por impacto de portadores num transistor nMOS [17]. 36

Figura 8 – Esboço da curva da corrente de dreno em função da tensão aplicada ao dreno indicando o efeito de elevação abrupta de corrente (efeito "Kink"). 38

Figura 9 – Curva típica com uma tensão baixa no dreno (A). Inclinação de sublimiar infinita e histerese (B). Efeito “single-transistor latchup” (C) [4, 31, 32, 33]. 40

Figura 10 – Seção transversal de um MOSFET canal longo e de um canal curto, mostrando a distribuição de potencial e o DIBL [47]. 42

Figura 11 – Concentração intrínseca de portadores e largura da faixa proibida no silício em função da temperatura [18]. 45

Figura 12 – Curvas do potencial de Fermi em função da temperatura e porcentagem de impurezas ionizadas em função da temperatura [18]. 47

Figura 13 – Comparação entre o DIBL de um PD SOI e um FD SOI [15]. 48

Figura 14 – Impacto do implante halo e da estrutura double-gate na curva DIBLxT [13]. 50

Figura 15 – Estrutura bidimensional do transistor FD SOI nMOS de canal longo, mostrando as linhas de potenciais. 56

Figura 16 – Estrutura bidimensional do transistor FD SOI nMOS de canal curto, mostrando as linhas de potenciais. 57

Figura 17 – Curvas $I_{DS}xV_{GF}$ para diversos valores de concentração de dopantes na região de halo, obtidas com V_{DS}=50 mV. 58

Figura 18 – Curvas $\log(I_{DS})xV_{GF}$ para diversos valores de concentração de dopantes na região de halo, obtidas com V_{DS}=50 mV. 58

Figura 19 – Curvas $I_{DS}xV_{GF}$ para diversos comprimento de canal com uma dopagem halo fixa e V_{DS} de 50mV. 60

Figura 20 – Curvas $\log(I_{DS})xV_{GF}$ para diversos comprimento de canal com uma dopagem halo fixa e V_{DS} de 50mV. 61

Figura 21 – Curva V_txL e curva SxL obtidas na simulação com V_{DS} de 50mV. 63

Figura 22 – Curvas $I_{DS}xV_{GF}$ para diversos comprimento de canal com concentração de halo fixa e V_{DS} de 1,50V. 64

Figura 23 – Curva DIBL em função do comprimento de canal obtida das simulações numéricas. 66

Figura 24 – Curva DIBLxT. 67

Figura 25 – Curva DIBLxT simulada para o transistor com L=130nm com e sem ionização por impacto. 68

Figura 26 – Curvas DIBLxT com e sem ionização por impacto e com e sem região de halo. 69

Figura 27 – Curvas Potenciais em função da distância lateral com e sem ionização por impacto a 150K e a 2nm acima da segunda porta. 71

Figura 28 – Curvas Potenciais em função da distância lateral com e sem ionização por impacto a 150K e a 2nm abaixo da porta. 71

Figura 29 – Visão bidimensional da estrutura FDSOI nMOS. 72

Figura 30 – Curva DIBLxT para diversos comprimentos de canal. 73

Figura 31 – Curva DIBLxT para diversas espessuras da camada de silício. 74

Figura 32 – Curva DIBLxT para diversas concentrações de dopantes na região de halo. 75

Figura 33 – Curva SxT para dois transistores de comprimento de canal diferentes. 77

Figura 34 – Curvas $I_{DS}xV_{GF}$ e $\log(I_{DS})xV_{GF}$ do transistor com L=130nm para uma tensão de dreno de 0,1V em diversas temperaturas. 81

Figura 35 – Curvas $I_{DS}xV_{GF}$ e $\log(I_{DS})xV_{GF}$ do transistor com L=130nm para uma tensão de dreno de 1,5V em diversas temperaturas. 81

Figura 36 – Curva DIBLxL em temperatura ambiente (A) e a 95K (B), obtidas através do método da dupla derivada [16]. 82

Figura 37 – Família de curvas DIBLxT experimental. 83

LISTA DE TABELAS

Tabela 1 - Dados de tensão de limiar e inclinação de sublimiar obtidos com a variação da dopagem halo (L=500nm). 59

Tabela 2 - Dados de tensão de limiar e inclinação de sublimiar obtidos durante as simulações (concentração de dopantes da região de halo constante de $1,1x10^{18}$ (cm^{-3})). 62

Tabela 3 - DIBL obtido a partir das tensões de limiar do transistor estudado. 65

Tabela 4 - Dados de inclinação da curva DIBL. 78

LISTA DE SÍMBOLOS

BV_{CEO}	Tensão de ruptura do dreno reduzida [V]
BV_{CBO}	Tensão de ruptura do dreno com a base aterrada [V]
C_b	Capacitância do óxido entre o canal de inversão e o eletrodo da segunda interface [F/cm^2]
C_{ox}	Capacitância do óxido de porta do transistor MOS convencional por unidade de área [F/cm^2]
C_{ox1}	Capacitância do óxido de porta do transistor SOI por unidade de área [F/cm^2]
C_{ox2}	Capacitância do óxido enterrado por unidade de área [F/cm^2]
C_{Si}	Capacitância da camada de silício por unidade de área [F/cm^2]
E	Campo elétrico [V/cm]
E_A	Nível de energia de impurezas aceitadoras [eV]
E_C	Nível de energia inferior da faixa de condução [eV]
E_D	Nível de energia de impurezas doadoras [eV]
E_F	Nível de Fermi do semicondutor [eV]
E_{FB}	Nível de Fermi do substrato [eV]
E_{FM}	Nível de Fermi do metal [eV]
E_{Fn}	Nível de Fermi para elétrons [eV]
E_{Fp}	Nível de Fermi para lacunas [eV]

E_g	Largura da faixa proibida [eV]
E_i	Nível de Fermi do semicondutor intrínseco [eV]
E_V	Nível de energia superior da faixa de valência [eV]
h	Constante de Planck [4,135 x 10^{-15} eV.s]
I_D	Corrente de dreno [A]
I_{DS}	Corrente entre dreno e fonte [A]
k	Constante de Boltzmann [1,38066 x 10^{-23} J/K]
L	Comprimento de máscara do canal do transistor [μm]
m_0	Massa do elétron [g]
m_{de}	Massa efetiva para densidade de estados para elétrons [g]
m_{dh}	Massa efetiva para densidade de estados para lacunas [g]
N_a	Concentração de impurezas aceitadoras do substrato [cm^{-3}]
N_A	Concentração de impurezas aceitadoras em um semicondutor [cm^{-3}]
N_A^-	Concentração de impurezas aceitadoras ionizadas em um semicondutor [cm^{-3}]
N_D	Concentração de impurezas doadoras em um semicondutor [cm^{-3}]
N_D^-	Concentração de impurezas doadoras ionizadas em um semicondutor [cm^{-3}]
n_i	Concentração intrínseca de portadores [cm^{-3}]
q	Carga elementar do elétron [1,6 x 10^{-19} C]
Q_{depl}	Carga de depleção na camada de silício [C/cm^2]
Q_{inv1}	Carga de inversão na primeira interface [C/cm^2]
Q_{ox1}	Densidade de cargas fixas no óxido de porta na primeira interface por unidade de área [C/cm^2]

Q_{ox2}	Densidade de cargas fixas no óxido enterrado na segunda interface por unidade de área [C/cm^2]
Q_{S2}	Carga de acumulação ou inversão na segunda interface [C/cm^2]
S	Inclinação de sublimiar [mV/dec]
T	Temperatura absoluta [K]
t_{oxf}	Espessura do óxido de porta do transistor SOI [nm]
t_{oxb}	Espessura do óxido enterrado [nm]
t_{Si}	Espessura da camada de silício [nm]
V_{BS}	Tensão entre o substrato e a fonte [V]
V_D	Tensão aplicada ao dreno do transistor SOI [V]
V_{DS}	Tensão entre dreno e fonte [V]
V_{FB}	Tensão de faixa plana da estrutura MOS [V]
V_G	Tensão aplicada à porta do transistor MOS convencional [V]
V_{G1}	Tensão aplicada à primeira porta do transistor SOI [V]
V_{G2}	Tensão aplicada à segunda porta do transistor SOI [V]
V_{GB}	Tensão aplicada ao substrato do transistor SOI [V]
V_{GF}	Tensão aplicada à porta do transistor SOI [V]
V_{GS}	Tensão entre porta e fonte do transistor MOS [V]
V_{ox}	Queda de potencial no óxido de porta do transistor [V]
V_S	Tensão aplicada à fonte do transistor SOI [V]
V_t	Tensão de limiar [V]
V_{th1}	Tensão de limiar da primeira interface em inversão forte [V]

x_{dmax}	Profundidade máxima da região de depleção [μm]
x_{d1}	Espessura da região de depleção da primeira interface [μm]
x_{d2}	Espessura da região de depleção da segunda interface [μm]
ε_{ox}	Permissividade do óxido de silício [3,45 x 10^{-13} F/cm]
ε_{Si}	Permissividade do silício [1,06 x 10^{-12} F/cm]
X_{Si}	Afinidade eletrônica do silício [V]
Φ_F	Potencial de Fermi [V]
Φ_M	Função de trabalho do metal [V]
Φ_{MS1}	Diferença da função de trabalho entre metal de porta e a camada de silício [V]
Φ_{MS2}	Diferença da função de trabalho entre o substrato e a camada de silício [V]
Φ_{ox1}	Queda de potencial no óxido de porta do transistor SOI [V]
Φ_{ox2}	Queda de potencial no óxido enterrado do transistor SOI [V]
Φ_S	Potencial de superfície do transistor MOS convencional [V]
Φ_{Si}	Função de trabalho do silício [V]
Φ_{S1}	Potencial de superfície na primeira interface [V]
Φ_{S2}	Potencial de superfície na segunda interface [V]

LISTA DE ABREVIATURAS

CMOS	Complementary Metal-Oxide-Semiconductor
DIBL	Drain-Induced Barrier Lowering
FD	Fully depleted
LDD	Lightly Doped Drain
MOS	Metal-Oxide-Semiconductor
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor
PD	Partially Depleted
SOI	Silicon-On-Insulator

SUMÁRIO

1 INTRODUÇÃO 18

2 CONCEITOS FUNDAMENTAIS 22

2.1 A tecnologia SOI 22

2.2 Os tipos de transistores SOI 23

2.2.1 SOI parcialmente depletado (Partially Depleted - PD SOI) 24

2.2.2 SOI totalmente depletado (Fully Depleted - FD SOI) 24

2.2.3 SOI quase totalmente depletado (Near-fully Depleted - NFD SOI) 25

2.3 Características elétricas dos transistores SOI 27

2.3.1 Tensão de limiar 27

2.3.2 Inclinação de Sublimiar 30

2.3.3 O efeito de corpo 32

2.3.4 Efeitos de canal curto 32

2.4 A Ionização por impacto 35

2.4.1 Efeitos devidos à ionização por impacto e elevado campo elétrico 37

2.4.1.1 Efeito de elevação abrupta de corrente 37

2.4.1.2 Degradação por elétrons quentes 38

2.5 Corpo flutuante e outros efeitos parasitários 39

2.5.1 Inclinação de sublimiar anômala 39

2.5.2 Tensão de ruptura do dreno reduzida 41

2.5.3 Auto-aquecimento 41

2.5.4 O efeito de redução de barreira induzida pelo dreno (DIBL) 41

2.6 Redução de temperatura em semicondutores 43

2.6.1 A massa efetiva de portadores e a concentração intrínseca de portadores 43

2.6.2 O potencial de Fermi e a tensão de limiar 46

2.6.3 Inclinação de sublimiar 47

2.6.4 O efeito DIBL com a redução de temperatura..... 48

3. SIMULAÇÕES NUMÉRICAS..... 51

3.1 Descrição do simulador..... 51

3.1.1 Modelo de ionização por impacto Selberherr [51]..... 52

3.2 Simulações sem ionização por impacto..... 55

3.2.1 Obtenção de características básicas da estrutura..... 56

3.2.2 Obtenção do DIBL através de simulação..... 60

3.2.2.1 Tensão de limiar e inclinação de sublimiar..... 60

3.2.2.2 O DIBL em função do comprimento do canal..... 63

3.2.2.3 O DIBL em função da temperatura..... 66

3.3 Estudo do DIBL nos transistores com L=130nm..... 68

3.3.1 DIBL em função da temperatura com ionização por impacto..... 68

3.3.2 Estudo das curvas de potenciais na estrutura com relação à ionização por impacto..... 70

3.3.3 DIBL em função da temperatura variando o comprimento de canal..... 73

3.3.4 DIBL em função da temperatura variando a espessura da camada de Si..... 74

3.3.5 DIBL em função da temperatura variando a concentração de halo..... 75

3.3.6 Inclinação de sublimiar..... 76

3.3.7 Inclinação do DIBL em função da Temperatura..... 77

4. RESULTADOS EXPERIMENTAIS..... 80

5. CONCLUSÕES E TRABALHOS FUTUROS..... 85

REFERÊNCIAS..... 87

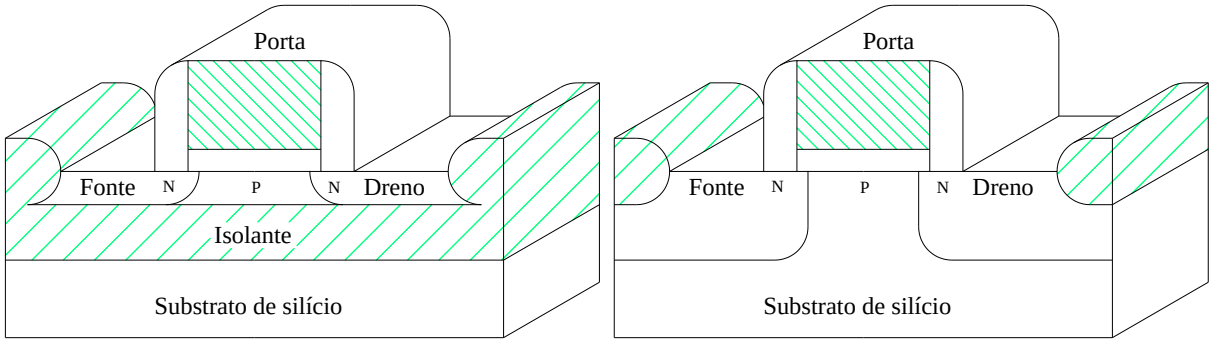
APÊNDICE A – ARQUIVO DE ENTRADA PARA SIMULAÇÃO DE UM FD SOI NMOS..... 92

1 INTRODUÇÃO

O conceito de transistor construído sobre uma camada isolante, denominado de "Silicon-On-Insulator" SOI [1], existe há décadas, mesmo antes do transistor TBJ (transistor bipolar de junção) e do MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) convencional, fabricado em substrato de silício monocristalino. Porém, não havia a época, tecnologia capaz de produzir transistores com o conceito SOI, o que levou ao domínio dos transistores TBJ e MOSFET até recentemente, uma vez que um processo produtivo eficaz para estas tecnologias se tornou disponível muito antes do que para a tecnologia SOI. O conceito inicial de transistor patenteado por Lilienfield [1], chamado de IGFET (Insulated-Gate Field-Effect Transistor) foi esquecido por algum tempo, devido ao enorme sucesso obtido pelos transistores bipolares de junção, inventados em 1947 [2].

Somente na década de 1960 conseguiu-se técnica suficiente para a fabricação do primeiro transistor do tipo MOSFET. Nesta época, foi possível a obtenção de óxidos de porta com qualidade suficiente para a produção destes dispositivos. Desde então, este tipo de transistor teve importância crescente no mundo da microeletrônica e é atualmente o carro chefe desta indústria de semicondutores [3].

Mas as pesquisas e o desenvolvimento dos transistores MOSFET implementados em SOI sempre seguiram em paralelo à evolução da tecnologia MOS convencional, devido às conhecidas características desse tipo de transistor que apresenta vantagens sobre a tecnologia usada em larga escala atualmente. A isolação dielétrica completa dos dispositivos SOI evita a ocorrência ou minimiza a maioria dos efeitos parasitários conhecidos dos dispositivos MOSFET [4] convencionais. Vantagens como a redução das capacitâncias parasitárias de fonte e dreno, o aumento da mobilidade e da transcondutância, diminuição do campo elétrico transversal e dos efeitos de canal curto do transistor SOI para a mesma dimensão geométrica de um dispositivo MOSFET convencional são significativas, a ponto de representarem um ganho evolutivo de dois anos, se observamos a lei de Moore [5], o que corresponderia a uma geração tecnológica de evolução a frente da tecnologia MOS convencional. A figura 1 apresenta o perfil transversal de dois transistores nMOS construídos segundo a tecnologia MOS convencional e SOI.



A B

Figura 1 – Transistor SOI (A) e MOS convencional (B).

A figura 1 exibe a diferença conceitual entre as duas estruturas. Na estrutura MOS convencional, somente os micrometros iniciais do substrato têm utilidade como região ativa para o dispositivo, sendo que toda a parte restante da estrutura tem a função de sustentar mecanicamente o transistor e introduz uma série de efeitos parasitários típicos da tecnologia como a perfuração MOS, a redução da mobilidade dos portadores, aumento da resistência parasitária de fonte e dreno, entre outros [6]. Já a estrutura SOI apresenta uma camada de óxido enterrado, que funciona como material isolante entre a fina camada de silício onde os transistores são construídos e o restante do substrato. A idéia básica é de que a camada isolante reduz as capacitâncias parasitárias associadas às regiões de fonte e dreno, o que faz os dispositivos operarem mais rapidamente [6]. Esta capacitância é proporcional à constante dielétrica do material utilizado e inversamente proporcional a espessura da estrutura. Assim, a utilização da tecnologia SOI contribui na redução das capacitâncias parasitárias tanto pela redução da constante dielétrica como pelo aumento da espessura, já que o óxido enterrado, com espessuras maiores do que 100 nm, em muito supera os poucos nanômetros da largura da região de depleção da junção PN substrato-fonte e substrato-dreno da tecnologia MOS convencional. O dióxido de silício (daqui por diante chamado de óxido de silício), usado como isolante enterrado, tem uma permissividade (ε_{OX}=3,9 x ε_0, onde ε_0 é a permissividade no vácuo e vale 8,854x10^{-17} F/m) que é três vezes menor do que a do silício (ε_{Si}=11,7 x ε_0) [4, 7]. Evidentemente, além deste princípio básico, há uma série de benefícios ao transistor, que serão citados ao longo deste texto, bem como algumas desvantagens típicas desta estrutura.

Com a evolução dos transistores do tipo SOI surgiram os dispositivos de camada fina, que apresentam algumas vantagens extras se o modo de operação for o de região de canal totalmente depletado. Dentre estas vantagens podemos citar o aumento da mobilidade e da transcondutância, uma diminuição do campo elétrico transversal e dos efeitos de canal curto [8, 9, 10, 11]. Entre os problemas conhecidos tem-se uma menor tensão de ruptura do dreno, causada pelo efeito de corpo flutuante, o que origina a ativação do transistor bipolar parasitário, além de uma dependência da tensão de limiar com a espessura da camada de Si [12].

Este trabalho objetiva o estudo do efeito de redução de barreira induzida pelo dreno (Drain Induced Barrier Lowering - DIBL) em transistores SOI totalmente depletados em função da temperatura, em particular em baixas temperaturas. O DIBL é um dos fenômenos mais estudados nas diversas tecnologias disponíveis para a fabricação de transistores, convencionais ou SOI, e é um indicador da susceptibilidade do transistor à ocorrência de efeitos de canal curto. Este efeito é caracterizado por uma redução da tensão de limiar do transistor devido ao aumento da tensão aplicada ao dreno. Quanto maior for esta redução da tensão de limiar, mais propenso estará o transistor a sofrer dos efeitos de canal curto. Foi observado que os transistores SOI nMOS totalmente depletados da tecnologia de 130nm de comprimento mínimo de canal, reagem de uma forma diferente ao efeito DIBL com relação aos transistores MOSFET convencionais em função da temperatura. Enquanto os MOSFETs convencionais apresentam uma melhora no efeito DIBL, isto é, uma menor influência da tensão de dreno sobre a tensão de limiar, com a diminuição de temperatura, os transistores SOI apresentam um piora nesta característica [13, 14]. Entretanto, também é conhecido o fato de que o DIBL nos transistores SOI pMOS totalmente depletados é quase independente da temperatura [15].

Estudar os mecanismos que levam à piora do DIBL em transistores SOI nMOS totalmente depletados é um dos grandes motivadores deste trabalho. Para tanto, faremos o uso de simulações bidimensionais e coleta de dados experimentais.

A obtenção de dados sobre o DIBL nos dispositivos SOI estudados baseia-se na extração e análise da característica mais importante dos transistores, que é a tensão de limiar (V_t) [16], como será mostrado ao longo do texto. Para tal, foi também necessário estudar qual o melhor método para extrair a tensão de limiar dos dispositivos.

Para atingir estes objetivos, o trabalho foi dividido em cinco capítulos, cujo conteúdo está descrito a seguir: no Capítulo 2, são apresentados os conceitos fundamentais do trabalho, no qual será apresentado o transistor MOS implementado em tecnologia SOI, suas proprieda-

des e como este se comporta operando em baixas temperaturas. Em especial, é discutido o motivo pelo qual a característica DIBL sofre uma piora com a redução de temperatura. No Capítulo 3 são apresentados os resultados oriundos das simulações numéricas bidimensionais realizadas, além de uma breve descrição sobre o simulador utilizado e mostraremos os efeitos da variação de temperatura e ionização por impacto no DIBL do transistor SOI estudado, avaliando a dependência com a espessura da camada de silício, concentração de dopantes da camada de silício e com o comprimento de canal do transistor. Os resultados experimentais estão apresentados no Capítulo 4. O Capítulo 5 apresenta as conclusões deste trabalho e as perspectivas de trabalhos futuros.

2 CONCEITOS FUNDAMENTAIS

Será apresentado neste capítulo os conceitos fundamentais necessários para o entendimento e desenvolvimento deste trabalho. Dissertaremos sobre a tecnologia SOI e os tipos de transistores SOI, apresentando as principais características deste tipo de dispositivo e seus mais relevantes efeitos parasitários. Também discutiremos sobre a influência da redução de temperatura nos dispositivos semicondutores, o que fornecerá sustentação para o trabalho prático apresentado em seqüência.

2.1 A tecnologia SOI

Os substratos SOI se tornaram interessantes a partir de 1970 e, de uma maneira geral, podemos citar que a força motriz que impulsionou as pesquisas na tecnologia SOI é seu custo benefício, ou seja, o custo da lâmina SOI é vantajoso pelos benefícios gerados nas propriedades elétricas dos transistores [3, 4]. Algumas das vantagens reportadas são a imunidade ao efeito tiristor parasitário (“latch-up”), maior densidade de integração, maior velocidade, menor consumo de energia, menor corrente de fuga, menor gama de efeitos de canal curto, um potencial muito bom para aplicações tanto em temperaturas criogênicas quanto para eletrônica de alta temperatura e um menor número de etapas de processamento [8]. Algumas das desvantagens são o efeito de corpo flutuante, alguns efeitos parasitários e o custo e disponibilidade do substrato [17]. Todas estas características surgem ao colocar uma fina camada de silício sobre um material isolante, como mostra a figura 2. Nesta figura, é apresentado o perfil transversal de um transistor SOI nMOS, indicando as espessuras do óxido de porta (t_{oxf}), da camada de silício (t_{Si}) e do óxido enterrado (t_{oxb}). Além disto, estão também indicadas as três interfaces Si-SiO_2 da estrutura, assim como as tensões aplicadas a porta (V_{GF}), ao substrato (V_{GB}), ao dreno (V_D) e a fonte (V_S).

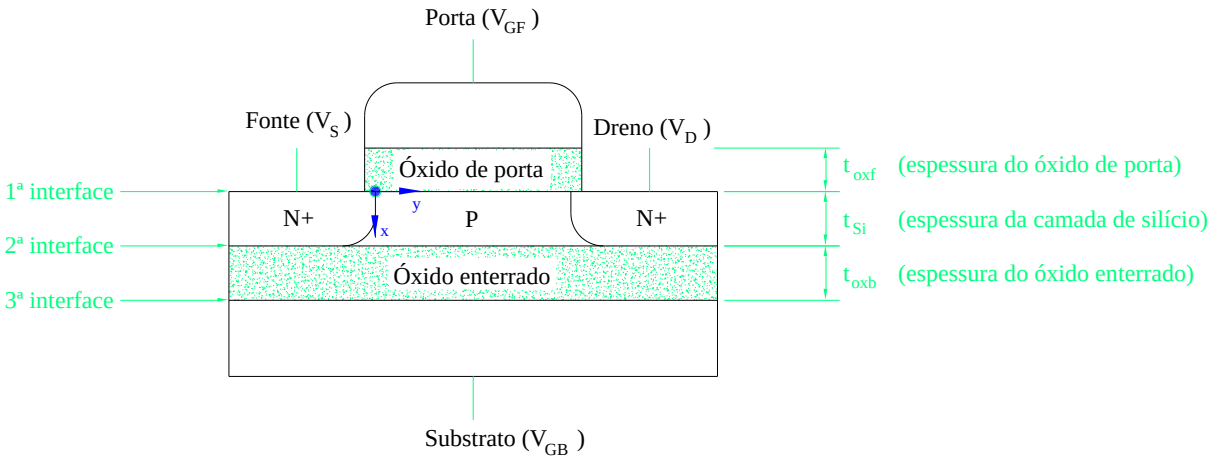


Figura 2 – Perfil transversal de um transistor SOI nMOS típico.

2.2 Os tipos de transistores SOI

Os transistores SOI são classificados em três tipos, de acordo com a relação entre a espessura da camada de silício (t_{Si}) e a profundidade da região de depleção na estrutura. Esta relação possui grande influência da temperatura de operação, da espessura e da concentração de elementos dopantes na camada de silício sobre o qual é confeccionado o dispositivo [18].

Sabemos, dos dispositivos MOSFET convencionais, que a extensão da camada de depleção vai da interface Si-SiO_2, até a profundidade máxima de depleção (x_{dmax}), como mostram as relações [19]:

$$x_{d\max} = \sqrt{\frac{4\varepsilon_{SI}\Phi_F}{qN_a^-}} \tag{1}$$

$$\Phi_F = \frac{kT}{q}\ln\left(\frac{N_a^-}{n_i}\right) \tag{2}$$

onde ε_{Si} é a permissividade do silício, q a carga elementar do elétron, N_a a concentração de elementos dopantes aceitadores presentes nos substrato, Φ_F é o potencial de Fermi, k a constante de Boltzman, T a temperatura absoluta e n_i a concentração intrínseca de portadores. Além da presença explícita da temperatura na equação (2), os termos N_a e n_i são também dependentes da temperatura, como será apresentado ao longo deste trabalho.

Sabendo estas relações, pode-se classificar os dispositivos SOI, conforme será realizado em seguida.

2.2.1 SOI parcialmente depletado (Partially Depleted - PD SOI)

Os transistores SOI são classificados desta maneira quando a espessura da camada de silício (t_{Si}), for maior que duas vezes a profundidade máxima de depleção ($2x_{dmax}$). Nesta configuração, não ocorre interação entre as regiões de depleção das duas interfaces Si-SiO_2 da camada de Si, portanto dizemos que existe uma região neutra entre elas. Este transistor pode funcionar de maneira similar a um MOSFET convencional, caso exista a presença de contato de corpo e o mesmo esteja aterrado. Na situação em que este contato de corpo for deixado sem referência de tensão, este tipo de SOI apresentará os fenômenos de corpo flutuante típicos da tecnologia SOI. Os transistores PD SOI se configuraram como a primeira opção da indústria de semicondutores para a inclusão da tecnologia SOI nas linhas de fabricação [4, 20], devido a esta similaridade com os transistores MOS convencionais.

2.2.2 SOI totalmente depletado (Fully Depleted - FD SOI)

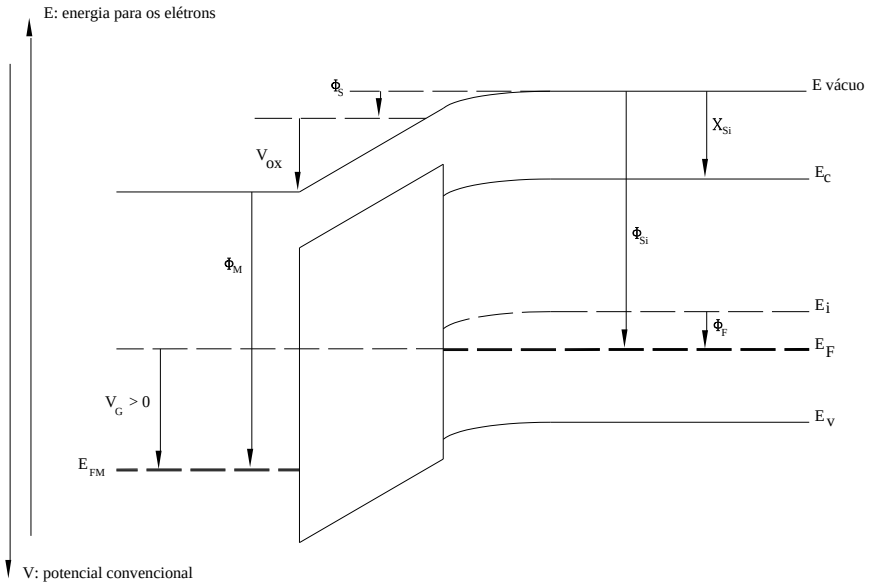
Estes são os transistores que apresentam a espessura da camada de silício menor que a máxima profundidade de depleção ($t_{Si} < x_{dmax}$). Qualquer valor de tensão aplicada à porta maior que a tensão de limiar, fará com que a região de depleção decorrente da primeira interface consuma toda a camada de Si, independentemente da tensão aplicada ao substrato do transistor. Esta situação promove um acoplamento elétrico entre a primeira e segunda interfaces, devido à interação dos potenciais de superfície [19]. Estes são os transistores SOI que apresentam características elétricas mais atraentes, dentre elas uma menor ocorrência de efei-

tos de canal curto, menor variação da tensão de limiar com a temperatura [20], a redução do campo elétrico horizontal [21] e uma maior mobilidade de portadores na região de canal [22]. Esta melhor performance dos transistores SOI totalmente depletados é o principal motivo pelo qual escolhemos este tipo de dispositivo para o desenvolvimento deste trabalho.

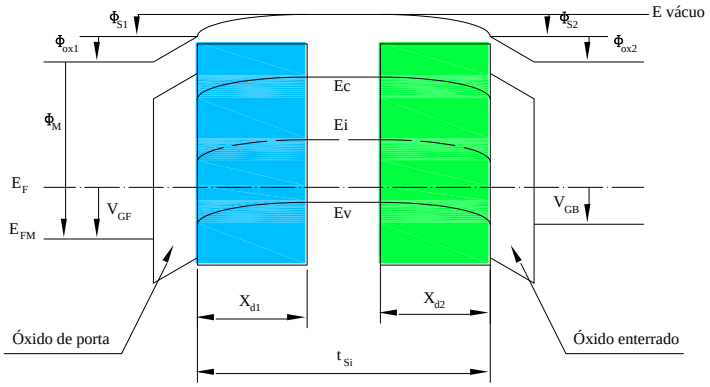
Na figura 3 são comparados os diagramas de faixas de energia para os transistores MOS convencional, SOI parcialmente depletado e SOI totalmente depletado. No caso dos transistores SOI, são também indicados as espessuras das regiões de depleção da primeira (x_{d1}) e segunda (x_{d2}) interfaces. Conforme indicado na figura, E_C é o nível energético inferior da faixa de condução, E_V nível energético superior da faixa de valência, E_i o nível intrínseco, E_F o nível de Fermi da camada de semicondutor, E_{FM} o nível de Fermi do material de porta e E_{FB} o nível de Fermi do substrato. Além disto, na figura 3, Φ_{ox1} é a queda de potencial no óxido de porta, Φ_{S1} é o potencial de superfície na primeira interface, V_{GF} é o potencial aplicado à porta, Φ_{S2} potencial de superfície na segunda interface, Φ_{ox2} queda de potencial no óxido enterrado e V_{GB} potencial aplicado ao substrato.

2.2.3 SOI quase totalmente depletado (Near-fully Depleted - NFD SOI)

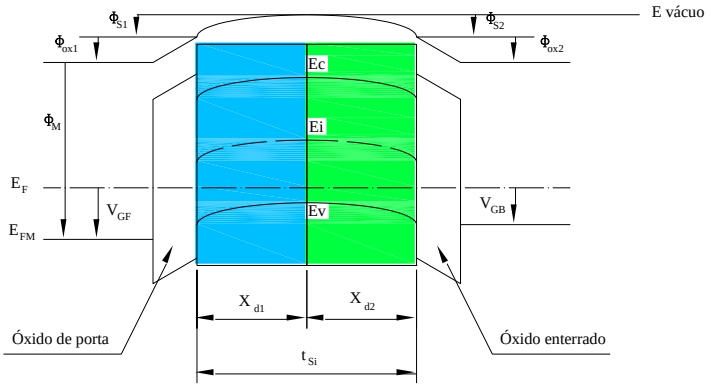
Este tipo de classificação é dada aos transistores SOI nos quais a espessura da camada de silício está entre a máxima profundidade de depleção e duas vezes este mesmo valor ($x_{dmax} < t_{Si} < 2x_{dmax}$). Estes dispositivos podem se comportar tanto como um dispositivo SOI parcialmente depletado ou totalmente depletado, em função da tensão aplicada ao seu substrato (V_{GB}) [19].



A



B



C

Figura 3 – Diagramas de faixas de energia de um MOS convencional (A), SOI parcialmente depletado (B) e de um SOI totalmente depletado (C). As referências para o potencial elétrico e para a energia dos elétrons são apresentadas no item A desta figura.

2.3 Características elétricas dos transistores SOI

2.3.1 Tensão de limiar

Para os transistores SOI parcialmente depletados ($t_{Si} > 2\ x_{dmax}$), também conhecidos como dispositivos de camada espessa, não existe interação entre a primeira e a segunda regiões de depleção. Neste caso em particular, a tensão de limiar pode ser obtida pela mesma relação de um transistor MOSFET convencional [19], como mostra a equação (3).

$$V_{th1} = V_{FB} + 2\Phi_F + \frac{qN_a x_{d\max}}{C_{ox1}} \tag{3}$$

onde V_{FB} é a tensão de faixa plana, Φ_F é o potencial de Fermi, x_{dmax} a profundidade máxima de depleção, N_a a concentração de elementos dopantes aceitadores presentes nos substrato e C_{ox1} é a capacitância do óxido por unidade de área.

Porém, a tensão de limiar de um transistor SOI nMOS totalmente depletado, de camada fina e em modo enriquecimento (que é o estudado neste trabalho), não pode ser obtido da mesma maneira, devido a interação que existe entre as camadas de depleção da primeira e segunda interfaces do dispositivo. Para obter a tensão de limiar para um transistor nesta configuração, é preciso resolver a equação de Poisson unidimensionalmente, na direção da profundidade da camada de Si considerando nestas integrações a condição aproximada na qual o transistor está operando em modo depleção [23], indicado na equação (4). Esta equação quando integrada duplamente, resulta uma relação dos potenciais de superfície em função das tensões aplicadas à porta e ao substrato.

$$\frac{d^2\Phi}{dx^2} = \frac{qN_a}{\varepsilon_{Si}} \tag{4}$$

Após a integração dupla da equação (4) e assumidas as devidas condições de contorno, a equação (5) apresenta a relação entre a tensão de porta (V_{GF}) e os potencias de superfície [4] da primeira e da segunda interfaces:

$$V_{GF} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right)\Phi_{S1} - \frac{C_{Si}}{C_{ox1}}\Phi_{S2} - \frac{\frac{1}{2}Q_{depl} + Q_{inv1}}{C_{ox1}} \quad (5)$$

onde Φ_{MS1} é a diferença da função trabalho entre metal de porta e a camada de Si, Q_{ox1} é a densidade de cargas na primeira interface Si-SiO_2, C_{ox1} é a capacitância do óxido de porta por unidade de área, C_{Si} a capacitância do silício por unidade de área, Φ_{S1} o potencial de superfície da primeira interface, Φ_{S2} o potencial de superfície da segunda interface, Q_{depl} a carga total de depleção na camada de silício e Q_{inv1} a carga de inversão na primeira interface.

De maneira análoga, temos na equação (6) a relação entre a tensão aplicada ao substrato e os potenciais de superfície [4]:

$$V_{GB} = \Phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} + \left(1 + \frac{C_{Si}}{C_{ox2}}\right)\Phi_{S2} - \frac{C_{Si}}{C_{ox2}}\Phi_{S1} - \frac{\frac{1}{2}Q_{depl} + Q_{s2}}{C_{ox2}} \quad (6)$$

onde Q_{S2} é a carga de acumulação ou inversão na segunda interface, C_{ox2} é a capacitância do óxido enterrado por unidade de área, e os demais parâmetros tem o mesmo significado dos exibidos na equação (5), porém agora com índice que os referência a segunda interface.

As equações (5) e (6) descrevem o acoplamento de cargas do transistor SOI MOSFET totalmente depletado em função dos potenciais aplicados à porta e ao substrato. Combinando estas relações, pode-se estudar a dependência entre a tensão de limiar com a polarização do substrato.

Se a segunda interface estiver em acumulação, Φ_{S2} será aproximadamente 0V. A tensão de limiar com a segunda interface em acumulação ($V_{th1,acc2}$) é obtida resolvendo-se a equação (5) com os parâmetros Φ_{S2}=0 V, Q_{inv}=0 e $\Phi_{S1} = 2\Phi_F$, o que resulta em [4]:

$$V_{th1,acc2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right)2\Phi_F - \frac{Q_{depl}}{2C_{ox1}} \tag{7}$$

Para a situação em que a segunda interface está invertida, Φ_{S2} será aproximadamente igual a $2\Phi_F$. A tensão de limiar com a segunda interface invertida ($V_{th1,inv2}$) é obtida substituindo-se $\Phi_{S2}=2\Phi_F$, Q_{inv}=0 e $\Phi_{S1} = 2\Phi_F$ na equação (5), o que resulta em:

$$V_{th1,inv2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + 2\Phi_F - \frac{Q_{depl}}{2C_{ox1}} \tag{8}$$

A situação mostrada na equação (8) não é útil em nenhuma aplicação em circuitos eletrônicos, pois o dispositivo permanece conduzindo corrente elétrica pela segunda interface mesmo quando $V_{GF} < V_{th1,inv2}$, não havendo controle da porta sobre a corrente de dreno.

No caso em que a segunda interface está depletada, Φ_{S2} depende da tensão no substrato. Logo é necessário combinar as equações (5) e (6) com $\Phi_{S1}=2\Phi_F$ e $Q_{inv1}=Q_{S2}$=0, o que resulta em:

$$V_{th1,depl2} = V_{th1,acc2} - \frac{C_{Si}C_{ox2}}{C_{ox1}\left(C_{Si} + C_{ox2}\right)}\left(V_{G2} - V_{G2,acc}\right) \tag{9}$$

onde $V_{GB,acc2}$ é a tensão que leva a segunda interface para a acumulação, com a primeira interface em inversão, e pode ser obtida resolvendo-se a equação (6) com $\Phi_{S1}=2\Phi_F$, Φ_{S2}=0 e Q_{S2}=0.

As relações descritas nas expressões (5) a (9) são válidas somente se a espessura da camada de acumulação ou inversão forem pequenas em comparação com a espessura da camada de silício. Este não é o caso, por exemplo, dos dispositivos de camada ultrafina, nos quais a largura de acumulação ou inversão devem ser subtraídas da espessura do filme de silício para se obter a espessura efetiva do silício, para ser usada no lugar de t_{Si} nas equações mostradas anteriormente [24].

2.3.2 Inclinação de Sublimiar

A inclinação de sublimiar é definida como o inverso da inclinação de sublimiar da curva $\log(I_{DS})xV_{GF}$, na região de sublimiar (que pode ser observada na figura 4). De forma resumida, pode-se descrever a inclinação de sublimiar para os transistores SOI como [4]:

$$S = \frac{kT}{q} \ln(10) \ (1+\alpha) \tag{10}$$

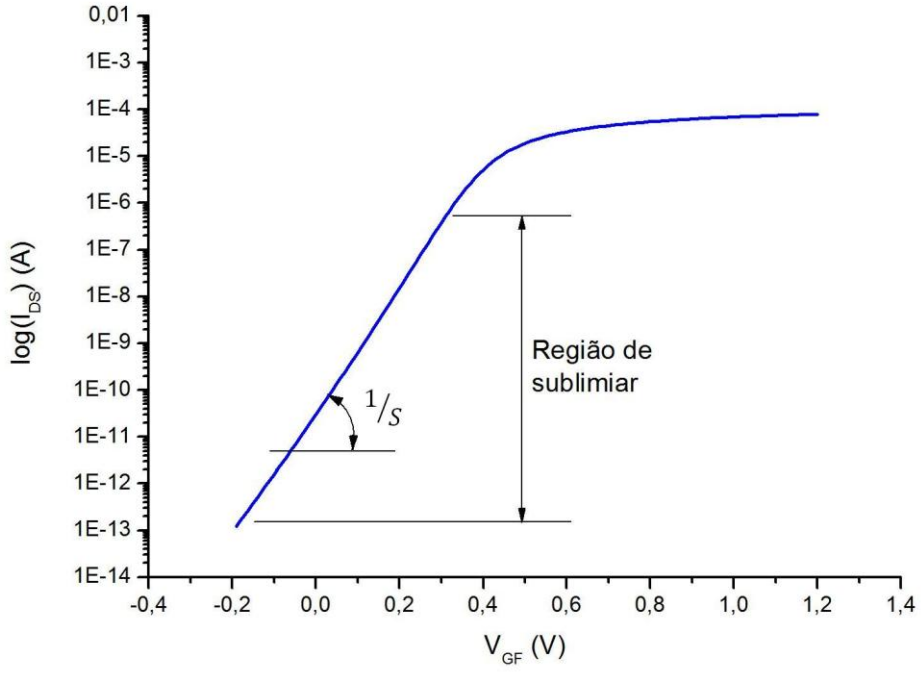


Figura 4 – Esboço da curva $\log(I_{DS})xV_{GF}$ evidenciando a região de sublimiar.

Na equação (10) α é a razão C_b/C_{ox1}. Sabemos que C_{ox1} é a capacitância do óxido de porta e C_b é a capacitância entre o canal de inversão e o eletrodo da segunda interface.

A relação C_b/C_{ox1} varia de acordo com o tipo de tecnologia, se for MOS convencional ou SOI totalmente depletado, irá depender também da condição de polarização da segunda interface, conforme indicado a seguir:

$\alpha = \frac{C_D}{C_{ox}}$ para transistores MOS convencionais e SOI parcialmente depletados;

$\alpha = \frac{C_{Si}}{C_{ox1}}$ para transistores FD SOI com a segunda interface acumulada;

$\alpha = \frac{C_{Si}C_{ox2}}{C_{ox1}(C_{Si} + C_{ox2})}$ para transistores FD SOI com a segunda interface depletada;

Nas expressões anteriores $C_D = \frac{\varepsilon_{Si}}{x_{d\,max}}$; $C_{ox1} = \frac{\varepsilon_{ox}}{t_{oxf}}$; $C_{ox2} = \frac{\varepsilon_{ox}}{t_{oxb}}$ e $C_{Si} = \frac{\varepsilon_{Si}}{t_{Si}}$, onde ε_{ox} é a permissividade do óxido.

Tipicamente, os valores de α seguem a seguinte ordem:

$$\alpha_{\text{SOI totalmente depletado}} < \alpha_{\text{MOS convencional}} < \alpha_{\text{SOI segunda interface em acumulação}}$$

É melhor para o transistor que a inclinação de sublimiar tenha o menor valor possível (caso do SOI totalmente depletado). O valor teórico mínimo para a inclinação de sublimiar é de 60mv/déc em temperatura ambiente, mas este número nunca é alcançado pela existência de armadilhas na interface Si-SiO_2. O fato de os transistores SOI totalmente depletados apresentarem uma menor e melhor inclinação de sublimiar do que os outros tipos de transistores citados permite o uso de menores tensões de limiar nos FDSOI, sem que exista aumento na corrente de fuga do dispositivo, além de proporcionar um ganho de velocidade na resposta do transistor [4, 26].

2.3.3 O efeito de corpo

Nos transistores SOI o efeito de corpo é definido como a dependência da tensão de limiar com a polarização aplicada ao substrato, o que é um conceito similar ao aplicado aos transistores MOSFET convencionais. Este fenômeno pode ser desprezado nos transistores de camada espessa (SOI parcialmente depletados) sem a presença de contato de corpo, uma vez que não existe acoplamento entre a primeira e a segunda interfaces [25].

Num dispositivo de SOI totalmente depletado, o parâmetro de efeito de corpo (γ) pode ser obtido derivando-se a equação (9) com relação a V_{GB}, como apresentado na equação (11) [4].

$$\frac{dV_{th1}}{dV_{GB}} = -\frac{C_{Si}C_{ox2}}{C_{ox1}\left(C_{Si}+C_{ox2}\right)} = \frac{-\varepsilon_{Si}C_{ox2}}{C_{ox1}\left(t_{Si}C_{ox2}+\varepsilon_{Si}\right)} = \gamma \tag{11}$$

No caso de um transistor SOI totalmente depletado, a variação da tensão de limiar com a tensão aplicada ao substrato depende unicamente das espessuras t_{oxf}, t_{Si} e t_{oxb} da estrutura. Diferentemente, no caso do transistor MOS convencional, o efeito de corpo na tensão de limiar pode ser expresso pela equação (12):

$$V_T\left(V_{BS}\right) - V_T\left(V_{BS}=0\right) = \gamma\left(\sqrt{2\Phi_F + \left|V_{BS}\right|} - \sqrt{2\Phi_F}\right) \tag{12}$$

2.3.4 Efeitos de canal curto

Dentre as muitas conseqüências que surgem do escalamento das dimensões dos transistores e conseqüente redução do comprimento de canal dos mesmos, um dos principais efeitos e mais estudados são os efeitos de canal curto. Em virtude da aproximação das regiões de dreno e fonte, com conseqüente aproximação das regiões de depleção das junções pn canal-fonte e canal-dreno, parte das cargas da região de depleção situada abaixo da porta passa a ser

consumida, fazendo com que a porta perca parcialmente o controle sobre a região de depleção abaixo de si, o que resulta numa redução da tensão de limiar. Assim, a tensão de limiar de um transistor nMOS canal curto sofre uma redução indesejável em relação àquela do transistor de canal longo da mesma tecnologia. Logo, um dos efeitos de canal curto mais importantes e estudados nas diversas tecnologias é o da redução da tensão de limiar com o comprimento de canal, também conhecido como "roll-off" (como exemplifica o item A da figura 5). Além deste efeito, pela mesma razão anteriormente apresentada, há uma elevação da inclinação de sublimiar dos transistores de canal curto em relação aos transistores de canal longo.

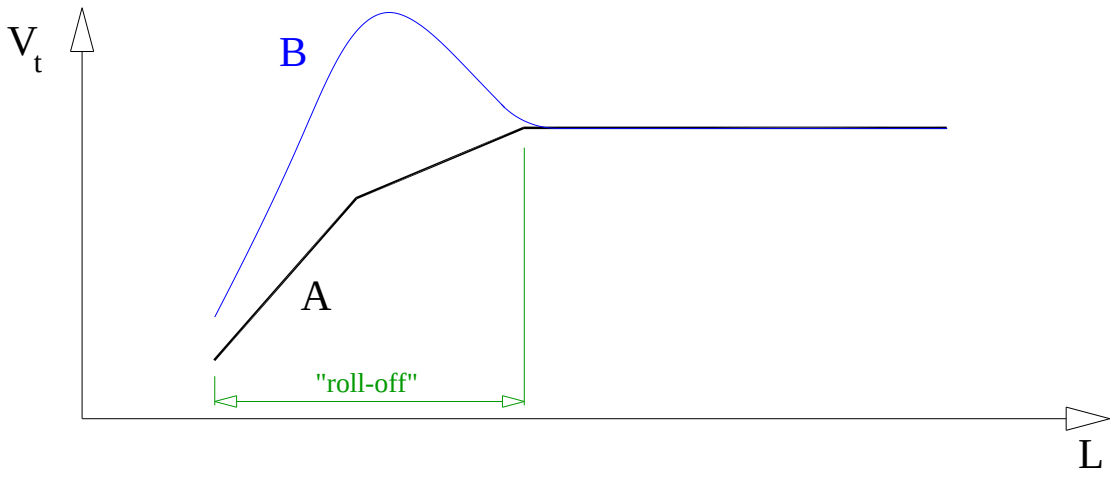


Figura 5 – Curva VtxL de um transistor sem implante halo (A) [26] e a mesma curva para um transistor com implante halo (B).

Os efeitos de canal curto ocorrem menos nos transistores SOI totalmente depletados do que nos transistores MOSFET convencionais. Em relação à polarização do substrato nos SOI totalmente depletados, este efeitos são maiores nos dispositivos com a segunda interface em acumulação, se comparados àqueles cuja segunda interface está em depleção [27, 28]. Uma maneira de se reduzir este tipo de fenômeno nos transistores é tomar medidas que aumentem o controle da porta sobre as cargas que estão abaixo dela, como por exemplo, adotando arquiteturas diferentes de transistores, com projeto baseado em múltiplas portas [29, 30].

Outra alternativa, aplicada em transistores planares, é a adoção da implantação iônica para formação da região de halo. Esta implantação iônica é feita de forma oblíqua ao canal,

após a definição do eletrodo de porta, com impurezas do mesmo tipo daquelas presentes no canal do transistor, isto é, impurezas aceitadoras no caso de transistores nMOS. O objetivo desta implantação é o de elevar a concentração de dopantes nas vizinhanças da junção canal-fonte e canal-dreno, do lado do canal, reduzindo assim a espessura da região de depleção na direção do canal. A figura 6 apresenta esquematicamente a concentração de dopantes em função da direção lateral do canal, desde a fonte até o dreno, de um transistor com e sem a região de halo. Assim, há uma atenuação do efeito da redução do comprimento de canal sobre as características do transistor, uma vez que a quantidade de cargas de depleção abaixo da porta consumidas pelas regiões de depleção oriundas das junções pn canal-fonte e canal-dreno é menor. Entretanto, um efeito indesejável passa a ocorrer em virtude da presença da região de halo: à medida que o comprimento de canal sofre uma redução e as regiões de halo se aproximam há um aumento da concentração média de dopantes na região de canal. Este aumento se reflete numa elevação da tensão de limiar com a redução de L, conhecido como efeito de canal curto reverso (reverse short-channel effect), conforme pode ser observado no item B da figura 5.

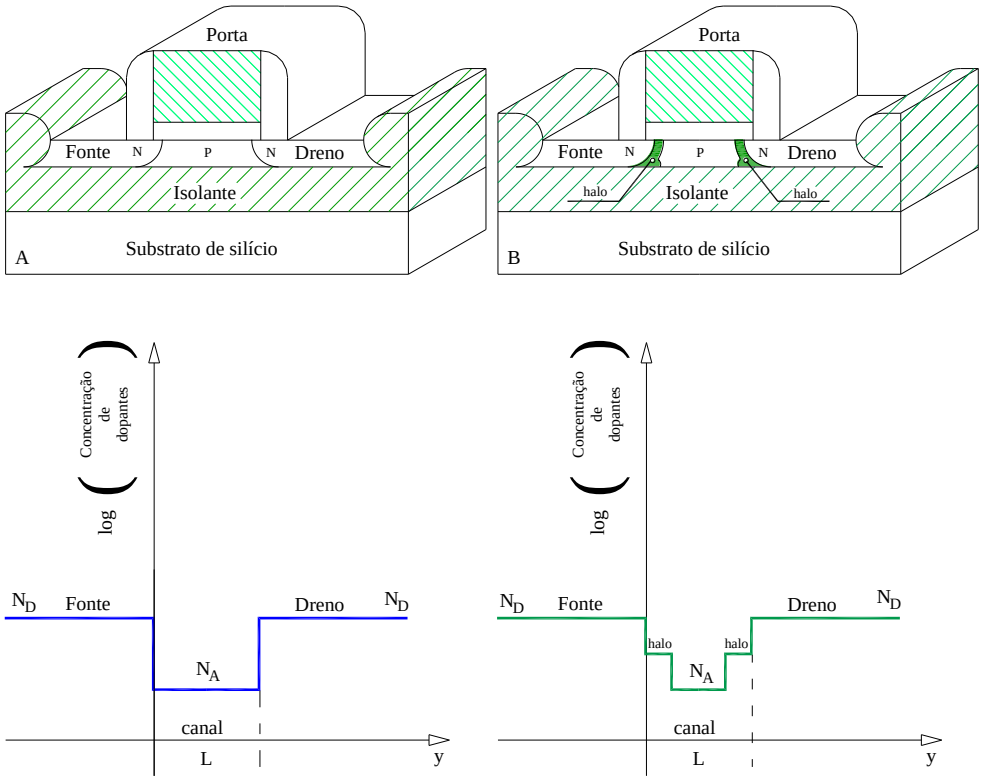


Figura 6 – Desenho esquemático de um transistor sem implante halo (A) e de um com implante halo (B), além de representação esquemática da concentração de impurezas ao longo da direção lateral do transistor, desde a fonte até o dreno.

2.4 A Ionização por impacto

A ionização por impacto de portadores acelerados por um campo elétrico é o mecanismo que governa a multiplicação de cargas no canal do transistor SOI. Esta multiplicação de cargas ocorre quando o campo elétrico é maior que o campo elétrico crítico (E_{crit}), requerido para que um portador adquira a mínima energia necessária para a criação de um evento de ionização por impacto, considerando que existam portadores disponíveis para serem acelerados pelo campo elétrico [17]. O aumento de cargas gerado leva a efeitos de degradação por elétrons quentes, uma corrente de substrato significativa, problemas graves como o efeito tiristor parasitário (“latch-up”) e mudanças na tensão de limiar [31, 32, 33].

Para campos elétricos no silício acima deste valor crítico, os portadores ganham energia suficiente para a criação de pares elétron-lacuna ao colidir com átomos na rede cristalina da estrutura, desde que a distância entre as colisões dos portadores seja suficiente para permitir a aceleração para uma velocidade alta o suficiente, permitindo assim que o portador ganhe energia de ionização entre as colisões [34]. A figura 7 ilustra esta multiplicação de cargas para um transistor nMOS. Nesta situação, assim que os elétrons passam pela região de alto campo elétrico estes adquirem energia. Uma pequena parte destes elétrons ganha energia suficiente para ionizar os átomos da estrutura na colisão com os mesmos. Os elétrons nesta situação são forçados pelo campo elétrico, na direção da região de dreno, considerando que as lacunas se tornam corrente de substrato. Além disso, uma fração dos elétrons pode ser empurrada em direção ao óxido de porta [13].

No caso específico de operação em baixa temperatura, é reportado na literatura [35, 36], que as taxas de ionização por impacto aumentam conforme a temperatura é reduzida.

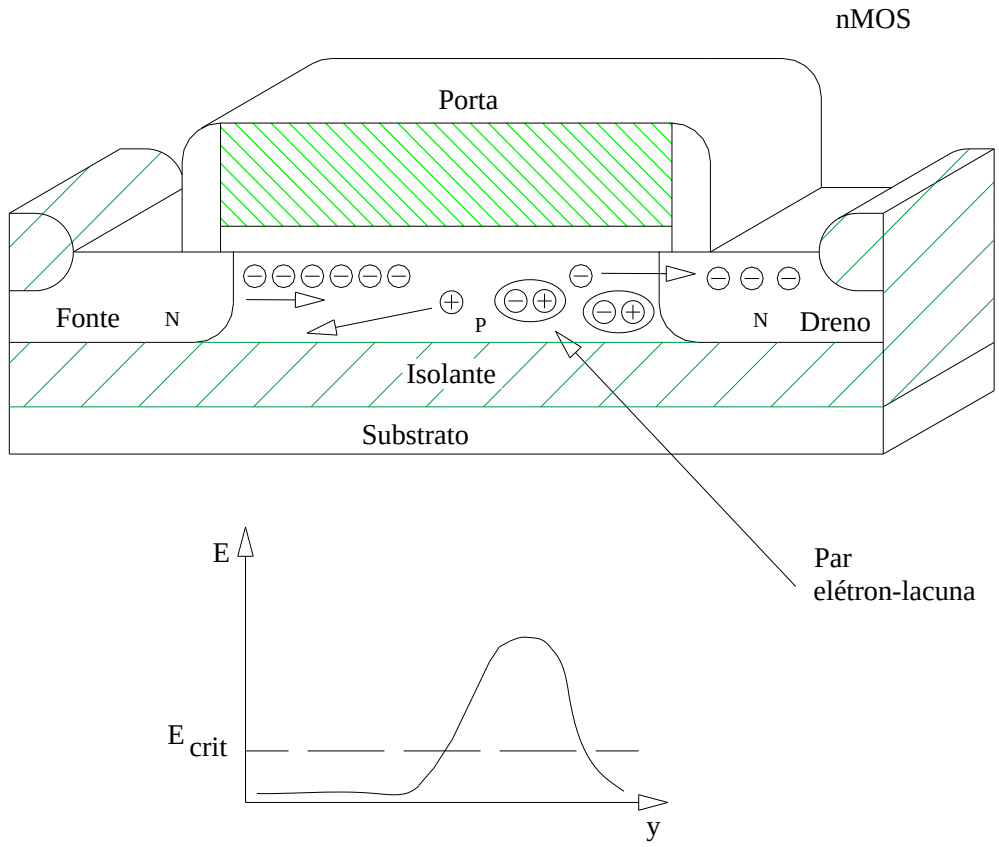


Figura 7 - Representação esquemática do mecanismo de ionização por impacto de portadores num transistor nMOS [17].

Na figura 7, *Ecrit* é o campo elétrico de valor crítico para o início do fenômeno de ionização por impacto, *E* o campo elétrico e *y* a distância lateral da estrutura.

Nos transistores SOI, muitos efeitos parasitários estão relacionados com a ionização por impacto, principalmente na região que apresenta alto campo elétrico próximo ao dreno [4]. Discutiremos a seguir dois destes efeitos, a elevação abrupta de corrente e a degradação por elétrons quentes.

2.4.1 Efeitos devidos à ionização por impacto e elevado campo elétrico

Vamos descrever dois efeitos que ocorrem nos transistores SOI devido à ionização de portadores por impacto e os elevados campos elétricos presentes na estrutura. O primeiro deles é o efeito de elevação abrupta da corrente (efeito "Kink") [37], caracterizado por um aumento súbito na corrente elétrica do dispositivo, que pode ser facilmente observado na curva $I_{DS}xV_{DS}$. Este efeito não é presente em transistores pMOS normalmente e é freqüente nos nMOS parcialmente depletados sem a presença do contato de corpo, uma vez que a ionização por impacto de lacunas é desprezível. O segundo efeito é a degradação por elétrons quentes, que ocorre quando o transistor está em saturação. Estes efeitos serão melhor detalhados a seguir.

2.4.1.1 Efeito de elevação abrupta de corrente

Nos transistores SOI nMOSFET parcialmente depletados, os elétrons no canal adquirem energia suficiente para iniciarem a ionização por impacto, graças ao elevado campo elétrico na região de dreno. Os elétrons gerados incorporam-se à corrente do canal e as lacunas se concentram na região de menor potencial do corpo do dispositivo, próxima à fonte. Este acúmulo de lacunas induz um aumento de potencial na região de corpo, o que diminui a tensão de limiar e aumenta a corrente do canal para a mesma polarização, conforme exemplifica a figura 8, na qual é apresentada a curva da corrente de dreno (I_D) em função da tensão aplicada ao dreno, indicando a ocorrência do efeito de elevação abrupta da corrente. Esta injeção de lacunas no corpo atua polarizando diretamente o diodo formado pela junção corpo-fonte. Quando este diodo é polarizado diretamente, não há mais o aumento do potencial do corpo, já que as lacunas provenientes da ionização por impacto podem fluir para a região de fonte, estabilizando a tensão de limiar do transistor. Deste modo a curva I_D x V_D remonta o seu aspecto normal.

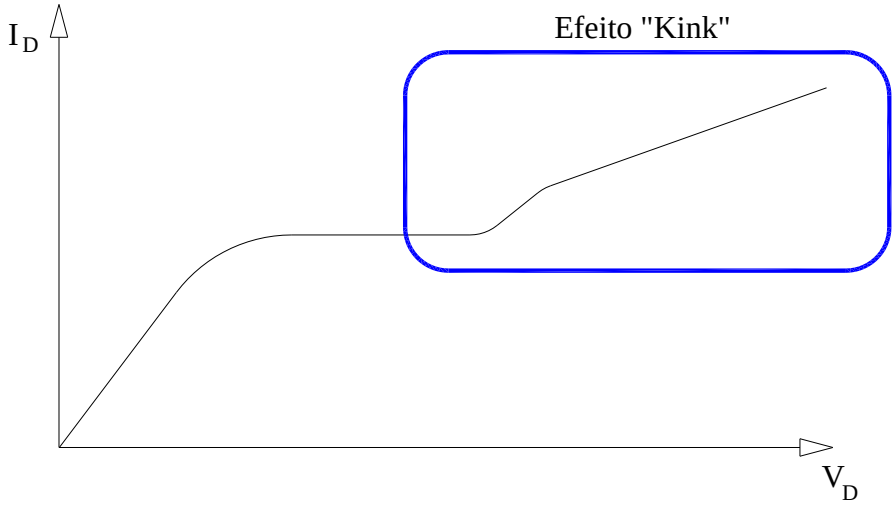


Figura 8 – Esboço da curva da corrente de dreno em função da tensão aplicada ao dreno indicando o efeito de elevação abrupta de corrente (efeito "Kink").

Já os transistores SOI nMOSFET totalmente depletados são imunes a este efeito se a segunda interface não estiver em acumulação. A junção canal-fonte encontra-se naturalmente diretamente polarizada, assim as lacunas são rapidamente recombinadas na fonte, sem aumentar o potencial de corpo. Além disto, o campo elétrico transversal nos dispositivos SOI totalmente depletados é menor do que nos transistores SOI parcialmente depletados. Esta menor intensidade de campo elétrico na região de dreno provoca uma menor geração de portadores devido à ionização por impacto [37].

2.4.1.2 Degradação por elétrons quentes

Outro efeito que será descrito é a degradação por elétrons quentes, que ocorre quando o transistor opera em saturação. Nesta situação, um alto campo elétrico pode ser criado entre a região de pinçamento (“pinch-off”) do canal e a junção de dreno. O alto campo elétrico gerado fornece energia suficiente aos elétrons para que eles consigam ser injetados para dentro do óxido de porta, modificando a carga efetiva do mesmo. Quando existe um alto fluxo de injeção, é possível até medir uma corrente na porta do dispositivo [38]. A ocorrência da degradação por elétrons quentes pode ser reduzida com dispositivos com uma maior espessura da camada de silício, desde que o dispositivo permaneça totalmente depletado. Outros tipos de degradação, como a qualidade do óxido enterrado e a direção e intensidade do campo elétrico

vertical, que atuam paralelamente a degradação por elétrons quentes, pioram o desempenho do transistor [39, 40].

2.5 Corpo flutuante e outros efeitos parasitários

A estrutura MOS apresenta um conhecido transistor bipolar parasitário. Considerando um dispositivo canal n, o dreno N+, o corpo tipo P e a fonte N+ formam o coletor, a base e o emissor de um transistor bipolar NPN, respectivamente. Vale lembrar que num dispositivo SOI o corpo, ou a base do transistor bipolar parasitário, está flutuando e não ligado ao eletrodo de substrato, como num MOSFET convencional. Esta configuração é a causa de muitos efeitos não desejados nos transistores SOI, tais como os que serão citados em seguida [4].

2.5.1 Inclinação de sublimiar anômala

Quando campo elétrico próximo à região de dreno é muito alto, mesmo se a corrente de dreno for muito pequena, pode ocorrer à ionização por impacto na região de sublimiar. Ao aumentar a tensão de porta, mesmo a corrente de inversão fraca, pode começar o processo de ionização por impacto, o que leva a uma redução na tensão de limiar pelo aumento do potencial de corpo, além da ativação do transistor bipolar parasitário. Esta redução na tensão de limiar pode provocar uma alteração na inclinação de sublimiar, levando-a a valores menores do que o limite teórico, ou mesmo a 0 mV/década, com o aumento da corrente dreno causado pela realimentação positiva na corrente fluindo através do transistor bipolar parasitário. Este fenômeno é conhecido como “single-transistor latchup”, como observado na figura 9, a qual apresenta esquematicamente a curva log (I_D)xV_{GF} obtida com diferentes polarizações de dreno. Com baixa polarização no dreno o resultado obtido é uma curva de inclinação de sublimiar considerada dentro do padrão esperado (curva A). Se a tensão no dreno é aumentada, a ionização por impacto próximo ao dreno eleva o potencial do corpo. Isto reduz a tensão de limiar e leva a um aumento súbito da corrente de dreno, decorrente da atuação do transistor bipolar parasitário, podendo a curva da inclinação de sublimiar apresentar um ciclo de histerese (curva B). Quando a tensão de porta é incrementada, a partir de certo valor a corrente I_D é

suficiente para promover a ionização por impacto e ativar o transistor bipolar. Entretanto, o aumento de V_{GF} aumenta a tensão de saturação, reduzindo o campo elétrico junto ao dreno e, conseqüentemente, a corrente de ionização por impacto. Em virtude disto, a corrente elétrica retorna ao seu aspecto normal (curva B, variação ascendente de V_{GF}). No caso da redução de V_{GF}, ainda na curva B, como anteriormente mencionado, a corrente de lacunas oriunda da ionização por impacto eleva o potencial de corpo, reduzindo a tensão de limiar e ativando o transistor bipolar parasitário. Esta ativação sustenta a corrente de dreno até que o valor de V_{GF} seja baixo o suficiente para suprimir o canal de inversão e desativar o transistor bipolar. Isto ocorre com V_{GF} menor que o valor de V_{GF} necessário para ativar o transistor bipolar com a excursão positiva de V_{GF}, resultando na histerese observada na figura 9, curva B. Se a polarização do dreno for grande o bastante, o ciclo positivo não pode ser "desligado" uma vez que é acionado (curva C) [4, 31, 32, 33]. Neste caso, o eletrodo de porta do transistor perde o controle sobre o funcionamento do dispositivo.

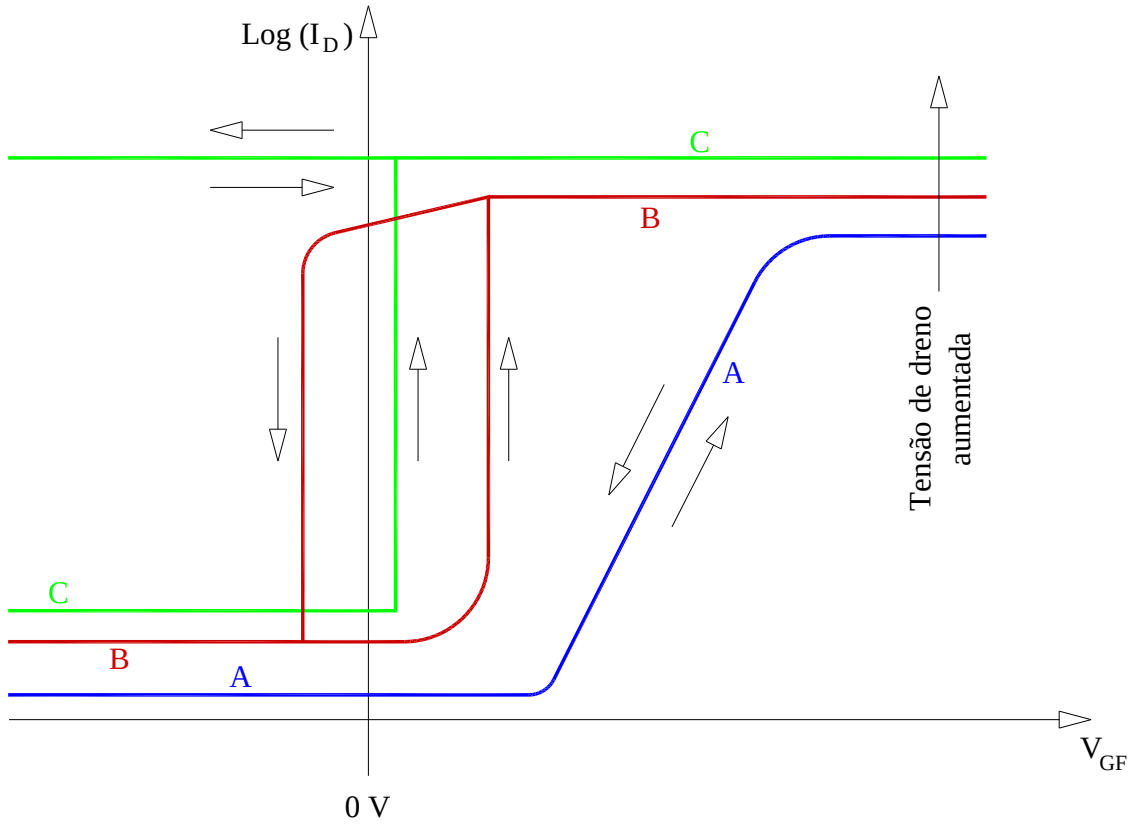


Figura 9 – Curva típica com uma tensão baixa no dreno (A). Inclinação de sublimiar infinita e histerese (B). Efeito "single-transistor latchup" (C) [4, 31, 32, 33].

2.5.2 Tensão de ruptura do dreno reduzida

A tensão de ruptura nos dispositivos SOI é menor do que nos transistores MOS convencionais, também devido a presença do transistor bipolar parasitário, uma vez que o corpo do transistor SOI permanece eletricamente flutuando, ou seja, a base do transistor parasitário permanece aberta. Normalmente, esperaríamos tensão de rupturas maiores nos SOI do que nos MOSFET convencionais, uma vez que os SOI possuem menores campos elétricos se comparados aos MOS convencionais [41, 42]. Podemos expressar a tensão de ruptura do Reno reduzida como:

$$BV_{CEO} = \frac{BV_{CBO}}{\sqrt[n]{\beta}} \tag{13}$$

onde BV_{CEO} é a tensão de ruptura do dreno reduzida (V), BV_{CBO} é a tensão de ruptura com a base aterrada (V), n varia tipicamente entre 3 e 6 e β é o ganho do transistor bipolar parasitário [41, 42].

2.5.3 Auto-aquecimento

O SiO_2 presente no óxido enterrado das estruturas SOI possui uma condutividade térmica da ordem de cem vezes menor que o Si que compõe o substrato dos MOSFETs convencionais [43, 44]. Portanto, a presença do óxido enterrado dificulta a dissipação do calor gerado na camada de Si para o todo o resto do substrato. Este aumento de temperatura diminui a corrente de dreno, pelo fato de diminuir a mobilidade dos portadores no dispositivo [45]. Este efeito pode tornar-se mais crítico com o dispositivo operando em temperaturas criogênicas.

2.5.4 O efeito de redução de barreira induzida pelo dreno (DIBL)

O efeito de redução de barreira induzida pelo dreno (DIBL-“Drain Induced Barrier Lowering”) é caracterizado por uma redução da tensão de limiar do transistor causada pelo

aumento da tensão aplicada ao dreno. Esta redução na tensão de limiar é um indicador da susceptibilidade do transistor à ocorrência de efeitos de canal curto [46].

Transistores com pequeno comprimento de canal não escalados apropriadamente, com junções de fonte e dreno relativamente muito profundas, ou com baixa concentração de dopantes na região de canal, são susceptíveis a essa não-desejada interação eletrostática entre o dreno e a fonte [47]. De maneira simplificada, podemos dizer que o DIBL é iniciado quando a região de depleção do dreno se expande e interfere com a região de depleção da fonte, causando *punchthrough* (perfuração MOS) [26] entre a fonte e o dreno. Em outras palavras, com a expansão da região de depleção da junção dreno-canal para o interior do canal, a região de depleção da junção fonte-canal passa a ser afetada, tendo a sua barreira de potencial reduzida. Esta redução promove uma alteração indesejável na tensão de limiar do transistor [47]. A figura 10 exibe esquematicamente a interação entre as regiões de depleção do dreno e fonte em um MOSFET convencional. No caso de um transistor de canal longo, o aumento do potencial de dreno não interfere no potencial da junção canal fonte. Já no transistor de canal curto, o aumento do potencial altera a barreira de potencial da junção canal-fonte, como indicado na figura.

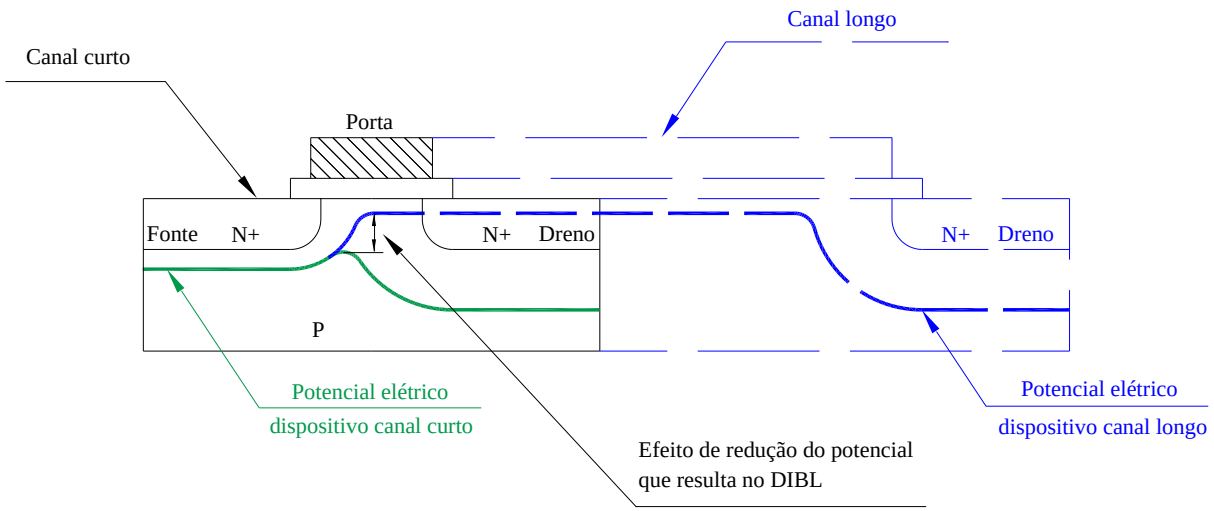


Figura 10 – Seção transversal de um MOSFET canal longo e de um canal curto, mostrando a distribuição de potencial e o DIBL [47].

Observa-se na figura 10 o potencial de superfície para um dispositivo de canal longo e para um de canal curto. Com o aumento da tensão no dreno, o limite da faixa de condução

(que reflete a energia dos elétrons) é empurrado para baixo, e a largura da região de depleção do dreno aumenta. Para um dispositivo de canal longo, a maior polarização do dreno não afeta a barreira de potencial entre a fonte e o canal, uma vez que não há interação entre estas regiões de depleção. Num dispositivo de canal curto, o aumento da tensão no dreno faz com que o limite da faixa de condução do dreno seja empurrado para baixo (com o aumento da largura da região de depleção do dreno em paralelo), diminuindo a barreira de potencial entre a junção fonte canal pelo efeito DIBL [47].

Possíveis soluções para o problema do DIBL são fazer com que as junções de fonte e dreno sejam feitas suficientemente rasas, fazer um canal com concentração de dopantes alta o bastante para evitar que o dreno consiga controlar a junção de fonte, o que pode ser obtido através da criação da região de halo na fonte e no dreno [47].

Para o estudo do DIBL, neste trabalho usaremos a expressão clássica (14) para a obtenção do mesmo:

$$DIBL = \frac{V_t(V_{DS1}) - V_t(V_{DS2})}{V_{DS2} - V_{DS1}} \tag{14}$$

onde DIBL é a redução da barreira de potencial induzida pelo dreno dada em mV/V, $V_t(V_{DS1})$ é a tensão de limiar com uma baixa polarização no dreno e $V_t(V_{DS2})$ é a tensão de limiar com uma alta polarização no dreno.

2.6 Redução de temperatura em semicondutores

Apresentaremos nesta seção uma revisão de como a redução de temperatura influencia os dispositivos semicondutores, mostrando as principais alterações causadas nas características elétricas destas estruturas.

2.6.1 A massa efetiva de portadores e a concentração intrínseca de portadores

A massa efetiva de portadores em uma estrutura semicondutora é uma característica dependente da temperatura e orientação cristalina do semicondutor, representada na forma de

grandeza vetorial. Podemos definir dois tipos de massa efetiva de portadores, uma responsável pelo cálculo da densidade de estados, chamada de massa efetiva da densidade de estados, outra utilizada para a obtenção da mobilidade de portadores, denominada massa efetiva de condução, ambas dependentes da temperatura [17].

A concentração intrínseca de portadores, vista na equação (15), de uma estrutura semicondutora é influenciada pelas massas efetivas dos portadores, que por sua vez são dependentes da temperatura [17].

$$n_i = 2\left[\frac{2\pi\ m_0\ k}{h^2}\right]\left(m_{de}\ m_{dh}\right)^{\frac{3}{4}}\ T^{\frac{3}{2}}\ e^{\left(\frac{-E_g}{2kT}\right)} \tag{15}$$

onde m_0 é a massa do elétron, k a constante de Boltzman, h a constante de Planck, m_{de} a massa efetiva para densidade de estados para elétrons, m_{dh} a massa efetiva para densidade de estados de lacunas, T a temperatura absoluta e E_g a largura de faixa proibida.

Percebe-se também que ao elevar-se a temperatura, mais elétrons adquirem energia suficiente para se tornarem elétrons livres e que em temperaturas próximas ao zero absoluto a concentração de portadores num semicondutor intrínseco tende a zero [17]. Exibimos na figura 11, um gráfico que exemplifica a dependência com a temperatura da concentração intrínseca de portadores no silício e da largura da faixa proibida do silício.

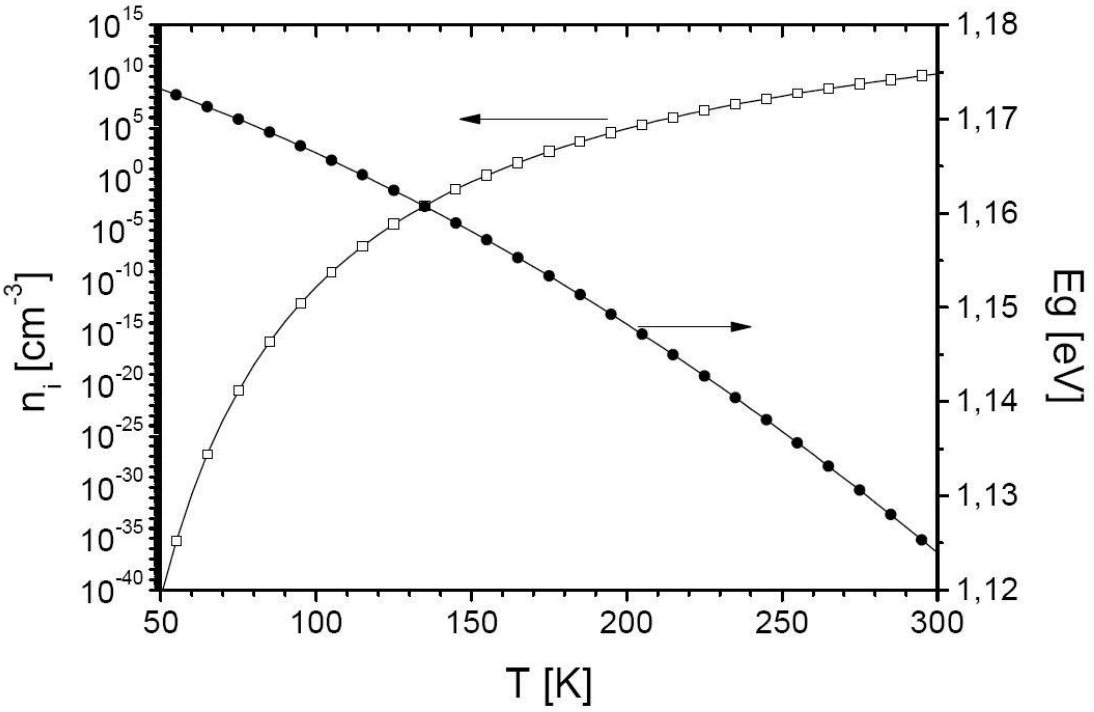


Figura 11 – Concentração intrínseca de portadores e largura da faixa proibida no silício em função da temperatura [18].

Observamos no gráfico que a redução da concentração intrínseca de portadores (n_i) é muitas ordens de grandeza maior que a redução de temperatura, o que leva a um aumento do potencial de Fermi em ambientes de baixa energia térmica [18]. O aumento na largura de faixa proibida do silício obedece à equação seguinte válida na faixa de 2 a 300K, obtida experimentalmente [17].

$$E_g = E_{g0} + E_{g1}T + E_{g2}T^2 + E_{g3}T^3 + E_{g4}T^4 \tag{16}$$

onde E_g a largura de faixa proibida, T a temperatura absoluta, E_{g0}=1,1702, E_{g1}=-3,6277x10^{-6}, E_{g2}=-3,9703x10^{-7}, E_{g3}=-1,3207x10^{-9} e E_{g4}=-3,2798x10^{-12} são constantes obtidas empiricamente [17].

2.6.2 O potencial de Fermi e a tensão de limiar

Semicondutores extrínsecos submetidos ao regime de baixa temperatura não têm energia térmica disponível suficiente para a ionização completa de todos os elementos dopantes presentes na estrutura. As equações (17) e (18) descrevem a quantidade de impurezas ionizadas em função da temperatura do semicondutor [17].

$$N_A^- = \frac{N_A}{1 + 4e^{\left(\frac{E_A - E_{Fp}}{k \cdot T}\right)}} \tag{17}$$

$$N_D^+ = \frac{N_D}{1 + 4e^{\left(\frac{E_{Fn} - E_D}{k \cdot T}\right)}} \tag{18}$$

A partir da equação (2), observa-se que o potencial de Fermi é dependente da temperatura e da quantidade de impureza ionizadas [17]. Vemos na relação apresentada nesta mesma equação (2) que o nível de Fermi é diretamente proporcional a temperatura, o que nos leva a princípio esperar uma redução deste potencial com o decréscimo da temperatura. Porém, a redução da concentração intrínseca de portadores (n_i) é muitas ordens de grandeza maior que a redução de temperatura, o que leva na verdade ao aumento do potencial de Fermi em ambientes de baixa energia térmica disponível [18].

Este aumento do potencial de Fermi com a redução de temperatura, conforme exibido na figura 12 (para semicondutor tipo P com concentração $N_A=10^{17}$ cm^{-3}), acaba levando a um aumento também na tensão de limiar do dispositivo, devido à dependência da tensão de limiar com este potencial, conforme exibido na equação (3). Também na figura 12 pode-se verificar a quantidade de impurezas ionizadas, a qual diminui sensivelmente em temperaturas inferiores a 50K.

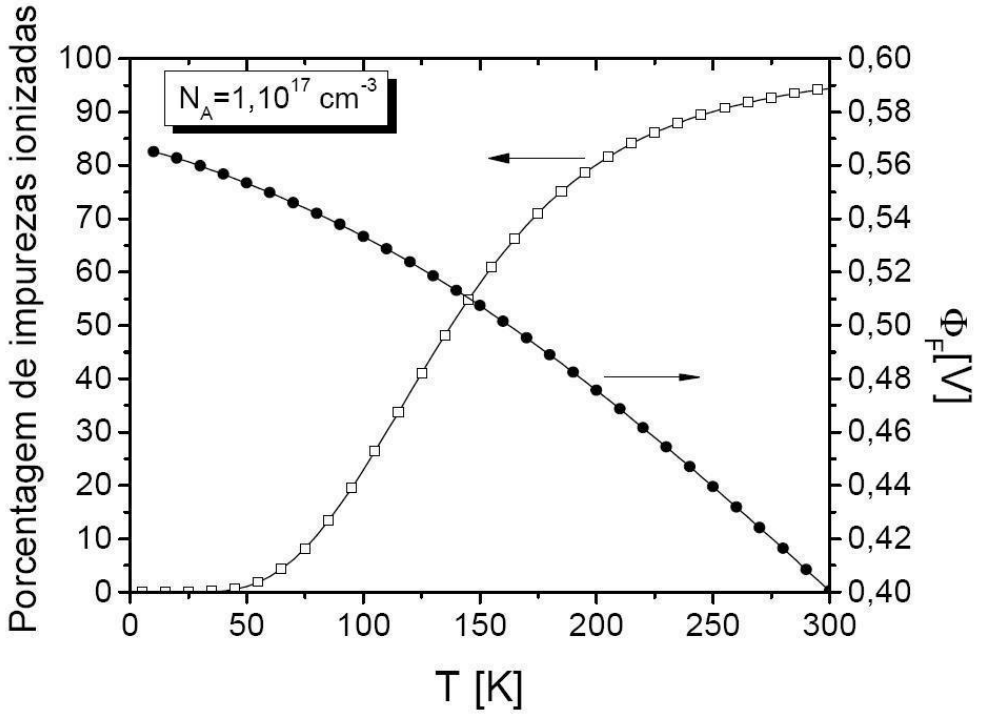


Figura 12 – Curvas do potencial de Fermi em função da temperatura e porcentagem de impurezas ionizadas em função da temperatura [18].

2.6.3 Inclinação de sublimiar

Ocorre uma redução na inclinação de sublimiar com a redução da temperatura conforme podemos observar na equação (10), também comprovamos esta expectativa através de nossas simulações (figura 33). Há também um aumento da densidade de armadilhas de interface [19, 26] e este aumento depende tanto da densidade de armadilhas da primeira quanto da segunda interface [17]. O aumento na densidade de armadilhas de interface reflete na determinação do fator (1+α) da equação (10), que passa a incorporar a capacitância associada a estas armadilhas na primeira (C_{it1}) e segunda (C_{it2}) interfaces:

$$\alpha = \frac{C_{it1}}{C_{ox1}} + \frac{C_{Si}}{C_{ox1}} - \frac{\dfrac{C_{Si}^2}{C_{ox1} \cdot C_{ox2}}}{1 + \dfrac{C_{it2}}{C_{ox2}} + \dfrac{C_{Si}}{C_{ox2}}}$$

onde $C_{it1} = q \cdot N_{it1}$ e $C_{it2} = q \cdot N_{it2}$, onde N_{it1} e N_{it2} são as densidades de armadilhas de interface na primeira e segunda interfaces.

2.6.4 O efeito DIBL com a redução de temperatura

Conhecendo o efeito DIBL nos transistores MOSFET convencionais, passamos então a estudar qual é o comportamento deste efeito em transistores SOI, particularmente em função da redução da temperatura. Muitos efeitos parasitários presentes nos MOSFETs convencionais são melhorados em dispositivos SOI e, com a redução de temperatura, poderia se esperar um impacto ainda menor do efeito DIBL nos SOI, porém a literatura estudada [13, 15, 48] mostra que o DIBL nos transistores SOI piora com a redução de temperatura.

No caso dos transistores SOI totalmente depletados (FD SOI) há uma aumento do DIBL a medida que a temperatura diminui e, para os SOI parcialmente depletados o DIBL é aproximadamente independente da temperatura, como podemos observar na figura 13 [15]. Nesta figura são apresentadas as curvas DIBL em função da temperatura para transistores SOI totalmente e parcialmente depletados, ambos com L=0,13µm. Deste modo, este trabalho se concentrará no estudo dos FD SOI.

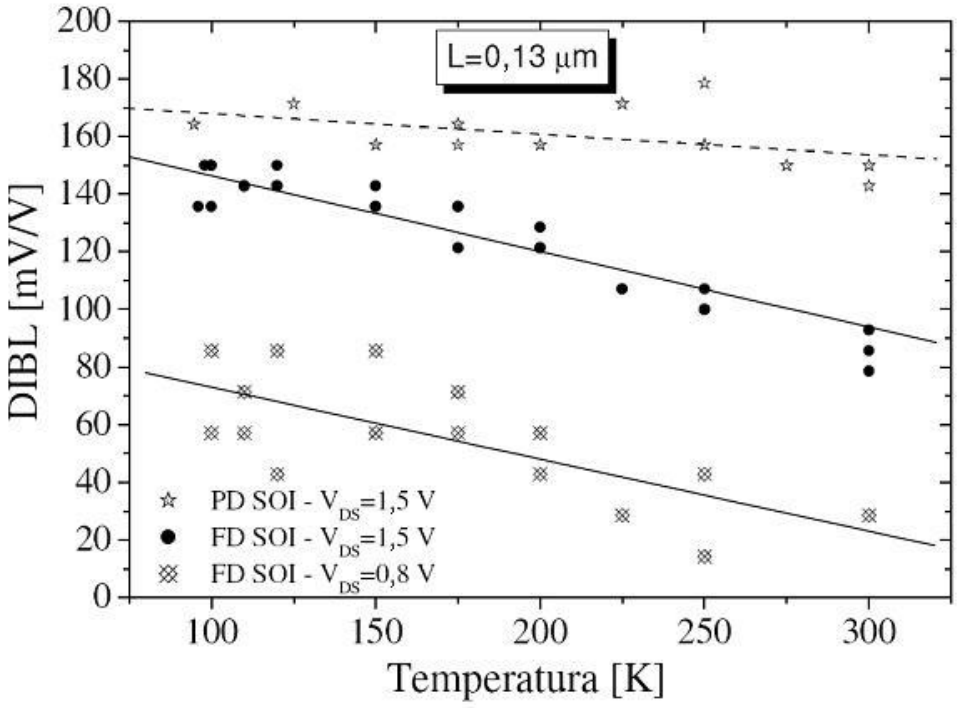


Figura 13 – Comparação entre o DIBL de um PD SOI e um FD SOI [15].

A redução de temperatura aumenta o acoplamento entre as interfaces do filme de óxido de silício da porta e o camada de óxido de silício enterrado, o que potencializa o efeito da penetração do potencial do dreno através do óxido enterrado, reduzindo a tensão de limiar e levando a um maior DIBL nos FD SOI [15]. O fato dos SOI terem corpo flutuante também contribui para um maior DIBL [13].

Outro fenômeno que definitivamente influencia para um DIBL maior nos FD SOI em baixa temperatura é a ionização por impacto. Transistores estudados em simuladores apresentam um menor DIBL quando o modelo de ionização por impacto é retirado da simulação. Este resultado concorda com resultados experimentais em dispositivos de canal longo, mostrando que a ionização por impacto (I.I.) é um dos principais motivos para o aumento do DIBL [13]. Como a taxa de ionização por impacto aumenta com a redução de temperatura [17], as lacunas geradas acumulam-se próximo à junção de fonte, modificando a tensão de limiar na saturação e o DIBL. Paralelamente, os portadores gerados pela ionização por impacto polarizam a base do transistor bipolar parasitário também contribuindo para o aumento do DIBL [13].

A degradação do DIBL com a temperatura piora com a redução do comprimento de canal e com o aumento da polarização do dreno. O aumento da tensão no dreno faz a tensão de limiar dos transistores SOI sofrer uma variação significativa pela conseqüente ativação do transistor bipolar parasitário, resultando num DIBL maior do que em MOSFETs convencionais [48, 49].

O ganho do transistor bipolar parasitário aumenta com a redução do comprimento do canal pela diminuição do comprimento da base do NPN. A razão física pelo aumento do DIBL induzido pela redução de temperatura é o aumento do ganho do transistor bipolar parasitário e do aumento do campo elétrico na junção de dreno, este dois fenômenos, interagindo com a I.I. citada anteriormente, aumentam a quantidade de lacunas geradas e contribuem para a corrente bipolar [50].

A figura 14 apresenta a evolução do DIBL em função da temperatura para transistores SOI totalmente depletados, com e sem a implantação de halo, ambos com L=0,13µm. Por intermédio desta figura fica clara a dependência da existência da região de halo na ocorrência da degradação de DIBL em função da temperatura.

A solução natural para a redução do DIBL é aumentar o controle da porta sobre o canal. O que pode ser feito com transistores projetados para ter múltiplas portas. É reportado

que transistores SOI de porta dupla (double-gate) apresentam um DIBL desprezível (exemplificado na figura 14) e que se mantém inalterado em baixa temperatura [13].

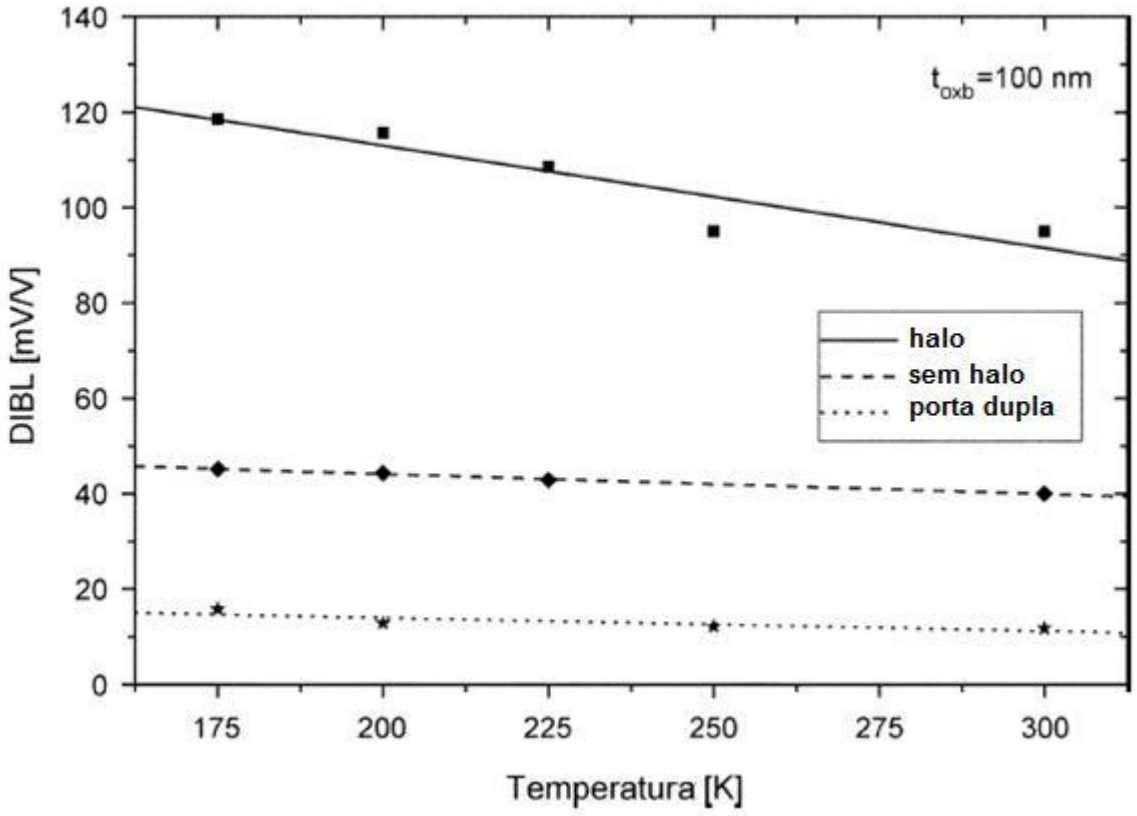


Figura 14 – Impacto do implante halo e da estrutura double-gate na curva DIBLxT [13].

3. SIMULAÇÕES NUMÉRICAS

Apresentaremos a seguir os resultados obtidos no estudo do efeito DIBL num simulador numérico bidimensional, começando com uma introdução as características do simulador e do desenvolvimento das simulações em função da temperatura.

3.1 Descrição do simulador

As simulações realizadas durante este trabalho foram feitas utilizando o simulador ATLAS, disponível nos laboratórios do curso de Mestrado do Centro Universitário da FEI. Este simulador é capaz de prover simulações em duas (2D) e três dimensões (3D), baseadas na física de funcionamento dos dispositivos semicondutores [34]. As simulações realizadas pelo programa utilizam como entrada um (ou vários) arquivos de computador em modo texto. Nestes arquivos são descritos, por exemplo, a estrutura geométrica do dispositivo a ser simulado, os terminais elétricos presentes na estrutura, as concentrações de dopantes presentes, a função trabalho da porta do transistor a ser simulado, os modelos físicos que devem ser levados em consideração na simulação, os potenciais que devem estar presentes nos terminais do dispositivo e os arquivos de saída onde devem ser escritos os resultados da simulação entre outras parâmetros.

Este tipo de simulador, baseado na física dos dispositivos, prediz as características elétricas que estão associadas com algumas estruturas físicas especificas e suas condições de polarização. Esta análise é feita sobre a estrutura descrita no arquivo de entrada para a simulação, aplicando um conjunto de equações diferenciais derivadas das leis de Maxwell. Isto significa que esta ferramenta tem a capacidade de modelar o desempenho elétrico de um dispositivo em modos DC (corrente contínua), AC (corrente alternada) e análise de modos transitórios de operação, através da simulação do transporte de portadores através da estrutura [34].

O uso de simulações baseadas na física dos dispositivos tem grande importância por serem muito mais rápidas e baratas do que se comparados aos experimentos físicos necessários para se obter resultados similares e por disponibilizar informações que são difíceis ou impossíveis de obter em dispositivos reais, tais como os potenciais internos da estrutura [34].

Um arquivo de entrada utilizado pelo simulador pode ser observado no apêndice A.

Para as simulações utilizou-se os seguintes modelos:

Klaassen, descreve a mobilidade inicial dos portadores, inclui uma dependência com as concentrações de dopantes e com a temperatura, e aplica uma mobilidade separada para portadores minoritários e majoritários.

Watt, modelo de degradação da mobilidade pelo campo elétrico transversal, aplicado apenas aos nós de superfície.

Shockley-Read-Hall, usa tempo de vida fixo para portadores minoritários.

Bandgap Narrowing, modelo que descreve o estreitamento da faixa proibida. É importante para regiões altamente dopadas e crítico para o ganho bipolar.

Parallel Electric Field Dependency (FLDMOB) é requerido para qualquer consideração sobre a velocidade de saturação.

Selberherr é o modelo de ionização por impacto recomendado pelo manual do simulador e satisfaz nossos requisitos por incluir parâmetros dependentes da temperatura, como será apresentado a seguir.

3.1.1 Modelo de ionização por impacto Selberherr [51]

Pelo fato de o fenômeno de ionização por impacto ser importante para o estudo do DIBL, vamos descrever este modelo com mais detalhes, fornecendo a metodologia utilizada pelo simulador quando este executa o modelo de ionização por impacto em seu algoritmo de resolução.

O modelo proposto por Selberherr [51], é uma variação de um modelo clássico de simulação por impacto proposto por Chynoweth [52] com dependência explícita da temperatura. Para ativar este modelo, devemos escrever o parâmetro “selb” logos após a declaração “IMPACT” no arquivo de entrada para a simulação. Este modelo é baseado nas equações (19) e (20) exibidas a seguir.

$$\alpha_n = ANe^{\left[-\left(\frac{BN}{E}\right)^{BETAN}\right]} \tag{19}$$

$$\alpha_p = APe^{\left[-\left(\frac{BP}{E}\right)^{BETAP}\right]} \tag{20}$$

onde α_n e α_p são as taxas de ionização por impacto para elétrons e lacunas respectivamente, E é o campo elétrico na direção do fluxo de corrente numa posição particular da estrutura e os parâmetros AN, AP, BN, BP, BETAN e BETAP podem ser definidos conjuntamente com a declaração "IMPACT" e tem valores padrão definidos no manual do simulador. No caso dos parâmetros AN, AP, BN e BP, é possível definir um valor de campo elétrico, EGRAN (V/cm), onde para campos elétricos maiores que EGRAN (V/cm), os parâmetros são AN1, AP1, BN1, BP1, enquanto que para valores de campo elétrico menores que EGRAN (V/cm), os parâmetros são AN2, AP2, BN2, BP2.

Os parâmetros AN e BN são também uma função da temperatura da rede cristalina para este modelo. A dependência com a temperatura para estes coeficientes é definida como:

$$AN = AN_{1,2}\left(1 + A.NT\left[\left(\frac{T_L}{300}\right)^{M.ANT} - 1\right]\right) \tag{21}$$

$$AP = Ap_{1,2}\left(1 + A.PT\left[\left(\frac{T_L}{300}\right)^{M.APT} - 1\right]\right) \tag{22}$$

$$BN = BN_{1,2}\left(1 + B.NT\left[\left(\frac{T_L}{300}\right)^{M.BNT} - 1\right]\right) \tag{23}$$

$$BP = BP_{1,2}\left(1 + B.PT\left[\left(\frac{T_L}{300}\right)^{M.BPT} - 1\right]\right) \quad (24)$$

O manual do simulador utilizado contém tabelas onde exibe os valores padrão para estes parâmetros. Há também um modelo alternativo para a dependência com a temperatura para os parâmetros AN e AP, como exibido a seguir nas equações (25) e (26).

$$AN = AN_{1,2} + CN2\ T + DN2\ T^2 \quad (25)$$

$$AP = Ap_{1,2} + CP2\ T + DP2\ T^2 \quad (26)$$

Nestas equações T é a temperatura e CN2, CP2, DN2 e DP2 são parâmetros cujos valores podem ser especificados pelo usuário na declaração “IMPACT”. Como padrão estes parâmetros são todos inicializados com valor zero e, são utilizados na resolução, quando são especificados valores para os mesmos [34].

Os campos críticos dados por BN e BP podem ser modelados utilizando as expressões (27) e (28), que são baseadas na largura da faixa proibida do diagrama de faixas de energia da estrutura e no caminho médio livre dos fônons ópticos [51].

$$BN = \frac{E_g}{q\lambda_n^0} \quad (27)$$

$$BP = \frac{E_g}{q\lambda_p^0} \quad (28)$$

onde $q\lambda_n^0$ e $q\lambda_p^0$ são os caminhos médios livres dos fonons ópticos para elétrons e lacunas e E_g é a largura da faixa proibida, a qual é dependente da temperatura. Os caminhos livres são modelados com base nas equações (29) e (30) [34].

$$\lambda_n^0 = LAMDAH \frac{\tanh\left[qOPPHE / 2kT_L\right]}{\tanh\left[qOPPHE / 2k300\right]} \tag{29}$$

$$\lambda_n^0 = LAMDAE \frac{\tanh\left[qOPPHE / 2kT_L\right]}{\tanh\left[qOPPHE / 2k300\right]} \tag{30}$$

onde LAMDAE, LAMDAH e OPPHE são parâmetros especificados pelo usuário listados no manual do simulador [51]. Habilitam-se os modelos descritos por estas equações especificando no arquivo de entrada de simulação $BN_{1,2}$ ou $BP_{1,2}$, ou deixando os mesmos com valor zero.

Para realizar as simulações foi necessário um ajuste dos parâmetros AN1, AN2, BN1 e BN2, uma vez que os valores padrão destas constantes causam uma ionização por impacto muito superior à ionização por impacto experimental, no caso de transistores com comprimento de canal pequeno (da ordem de 130 nm) e presença da região de halo.

3.2 Simulações sem ionização por impacto

A estrutura de simulação adotada baseou-se nos transistores da tecnologia de 100nm de comprimento mínimo de canal, desenvolvida no IMEC (Interuniversity Microelectronics Center), Bélgica. As principais características construtivas são: concentração da camada de Si de $1{,}3 \times 10^{17}$ portadores por centímetro cúbico ($1{,}3 \times 10^{17}$ cm^{-3}), dopagem de fonte dreno de 5×10^{20} cm^{-3}, presença de regiões de LDD (dopagem reduzida de dreno) com dopagem de 5×10^{19} cm^{-3}, espessura de óxido de porta de 2,5nm, regiões de fonte e dreno com 0,25µm de comprimento e região de LDD de 80nm de comprimento.

3.2.1 Obtenção de características básicas da estrutura

Para iniciar os trabalhos de simulação, primeiro analisamos uma estrutura FD SOI nMOSFET básica e obtivemos a característica de corrente de dreno em função da tensão aplicada à porta ($I_{DS}xV_{GS}$) para transistores de diversos comprimentos de canal, para uma tensão de dreno baixa (50mV). As figuras 15 e 16 apresentam as linhas equipotenciais da estrutura, obtidas como saída do simulador numérico. A figura 15 representa um transistor de canal longo (L=500nm), e a figura 16 um de canal curto (L=130nm). Pode-se observar a interferência de potenciais que há no dispositivo de canal curto, originando uma região com maior potencial no interior do canal responsável por muitos dos efeitos indesejáveis nos transistores. As estruturas simuladas foram feitas considerando o óxido espaçador presente nas laterais da região de porta, como nos dispositivos fabricados.

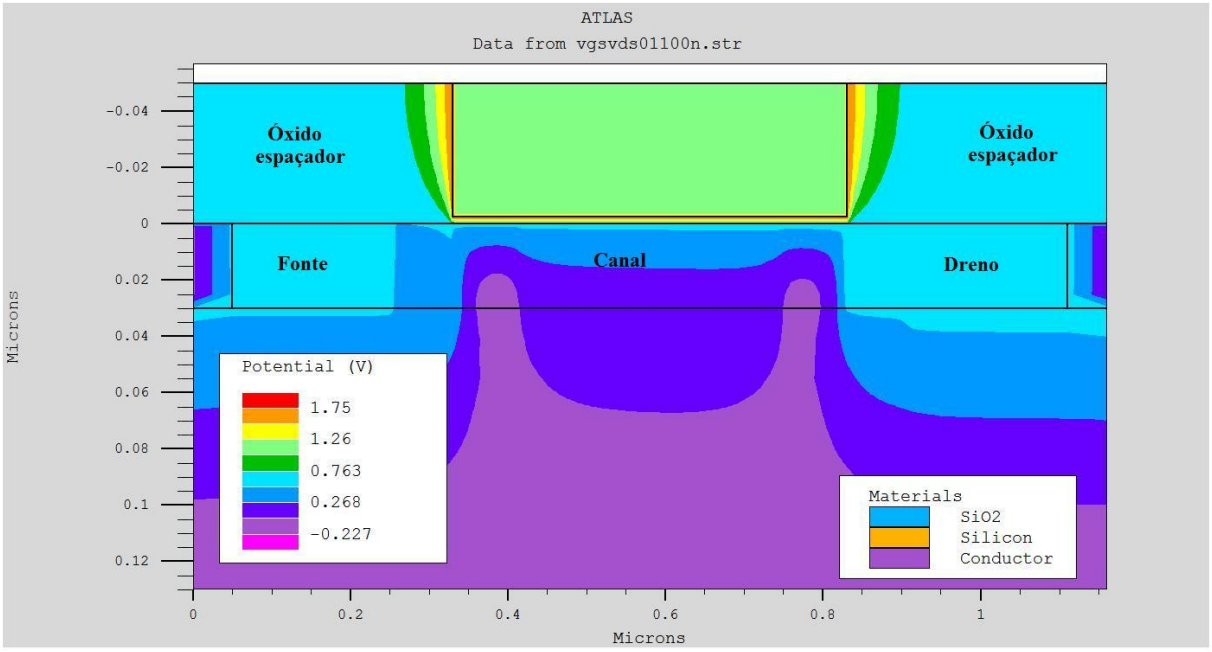


Figura 15 – Estrutura bidimensional do transistor FD SOI nMOS de canal longo, mostrando as linhas de potenciais.

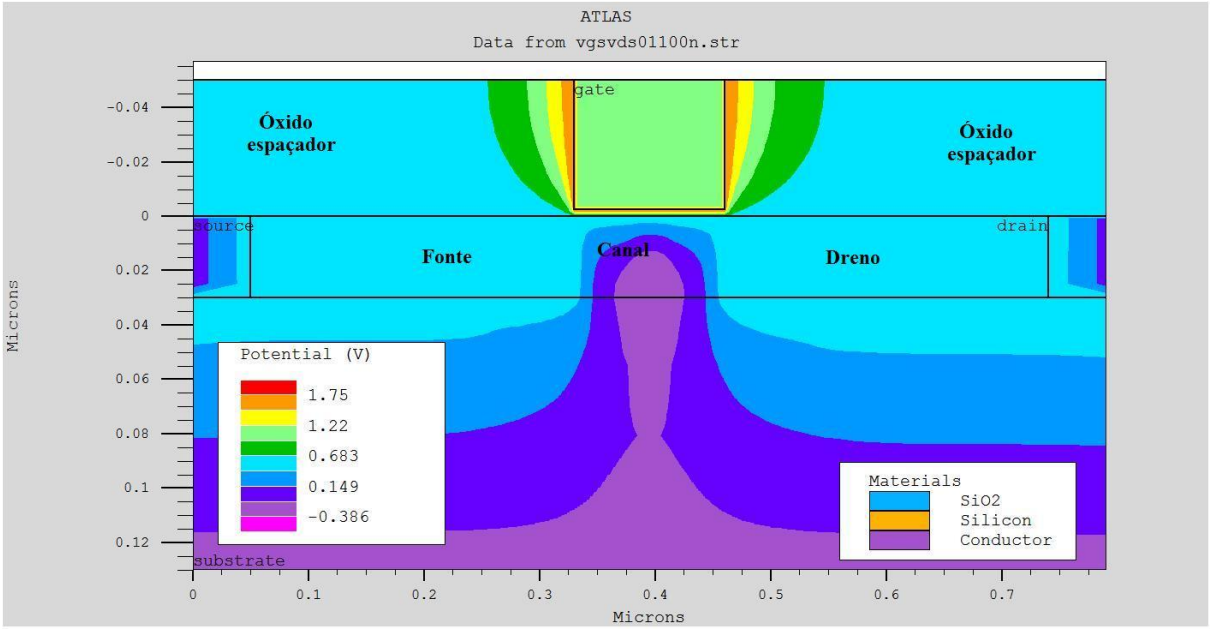


Figura 16 – Estrutura bidimensional do transistor FD SOI nMOS de canal curto, mostrando as linhas de potenciais.

Após o desenvolvimento da estrutura básica de simulação, foram implementadas melhorias no transistor utilizado nas simulações, para que este pudesse se aproximar do transistor fabricado e, em conseqüência, também fornecer resultados de simulação mais consistentes com os SOI utilizados nos experimentos estudados nas referencias [13, 14, 15].

Por isso, acrescentamos ao transistor regiões de implante halo (ou pocket) [47], já mencionado anteriormente.

Para esta simulação utilizamos um transistor com concentração de dopantes na camada de Si de $5x10^{17}$ cm^{-3}, concentração de fonte dreno de $5x10^{20}$ cm^{-3}, presença de regiões de LDD com dopagem de $5x10^{19}$ cm^{-3}, espessura de óxido de porta de 2,5nm, regiões de fonte e dreno com 0,25 μm de comprimento e regiões de LDD e halo com 80nm de comprimento. Excutamos a simulação para a análise da influência da concentração de dopantes da região de halo na estrutura, conforme os resultados mostrados nas figuras 17 e 18, que apresentam as curvas da corrente de dreno em função da tensão de porta, em escala linear e monologarítimca, respectivamente, com V_{DS}=50mV.

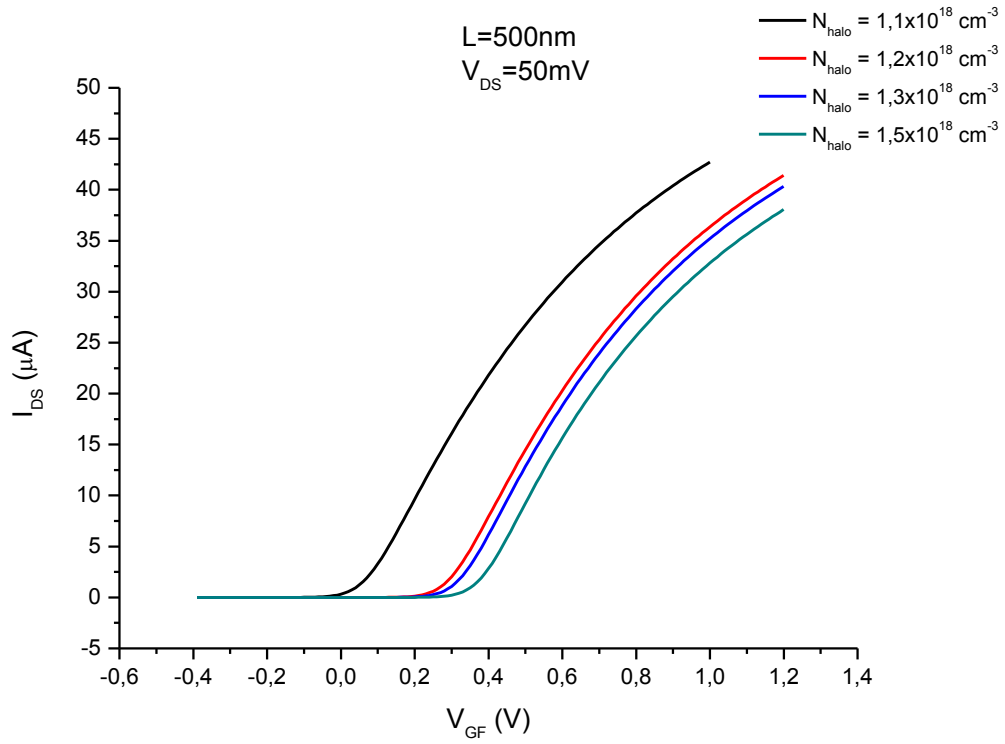


Figura 17 – Curvas I_{DS}xV_{GF} para diversos valores de concentração de dopantes na região de halo, obtidas com V_{DS}=50 mV.

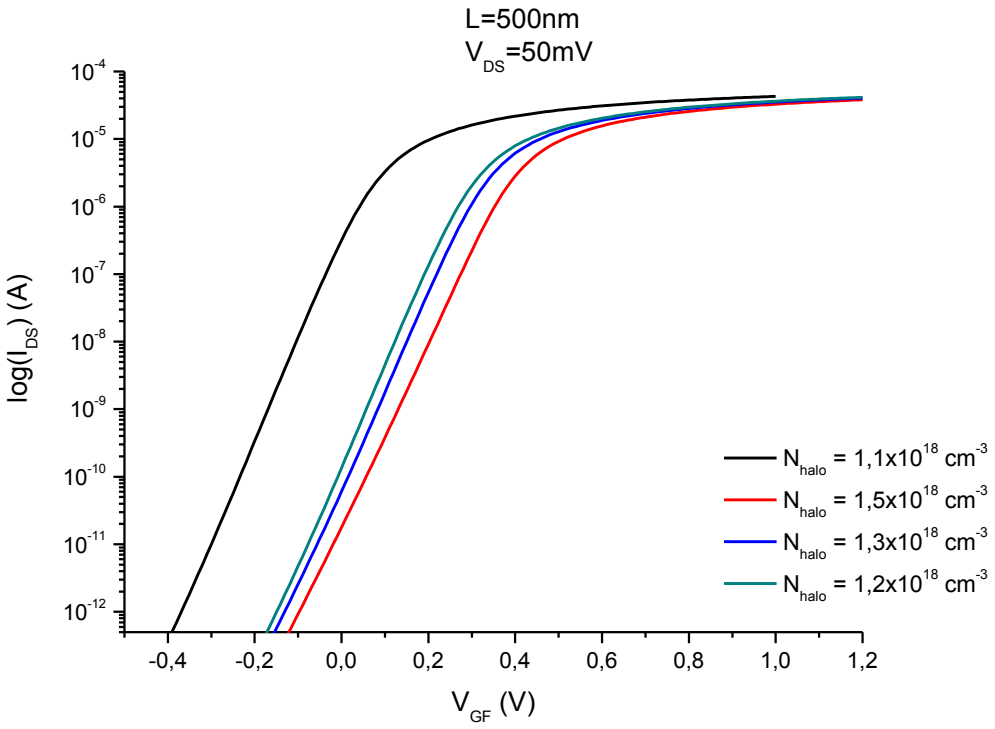


Figura 18 – Curvas log(I_{DS})xV_{GF} para diversos valores de concentração de dopantes na região de halo, obtidas com V_{DS}=50 mV.

Também obtivemos a variação da tensão de limiar e inclinação de sublimiar, de acordo com a concentração de dopantes na região do implante halo, como mostrado na tabela 1. Para a extração da tensão de limiar se utilizou o método da dupla derivada [16], este método pode ser utilizado neste caso, pois os dispositivos estão com baixo valor de V_{DS} (dispositivos em triodo). Entretanto, quando simularemos dispositivos com valor de V_{DS} alto, utilizaremos o método da corrente constante [16] para a extração de V_t. Para a extração da inclinação de sublimiar utilizou-se o critério do menor valor da curva $\frac{1}{\frac{\partial \log I_{DS}}{\partial V_{GF}}} \times V_{GF}$.

Tabela 1 - Dados de tensão de limiar e inclinação de sublimiar obtidos com a variação da dopagem halo (L=500nm).

Concentração de dopantes na região de halo ***(10^{18} cm^{-3})***	***V_t (V)***	***S (mV/déc)***
1,5	0,37	76,70
1,3	0,32	72,19
1,2	0,29	69,68
1,1	0,26	65,58

Conforme esperado, a elevação da concentração de dopantes da região de halo aumenta a tensão de limiar, porém degrada a inclinação de sublimiar, devido à redução do acoplamento entre a primeira e segunda interfaces.

3.2.2 Obtenção do DIBL através de simulação

3.2.2.1 Tensão de limiar e inclinação de sublimiar

Uma comparação com os dados experimentais mostrados nas referências [13, 14, 15] indica que a concentração da região de halo mais próxima daquela utilizada nos experimentos é $1{,}1x10^{18}$ cm^{-3}. Assim, utilizaremos esta concentração como referência para as demais simulações que serão apresentadas no decorrer deste trabalho.

Nas figuras 19 e 20 são apresentadas as curvas I_{DS} x V_{GF} (V_{DS}=50 mV) de diversos transistores com comprimento de canal variável, os quais apresentam as mesmas características construtivas dos utilizados na seção 3.2.1.

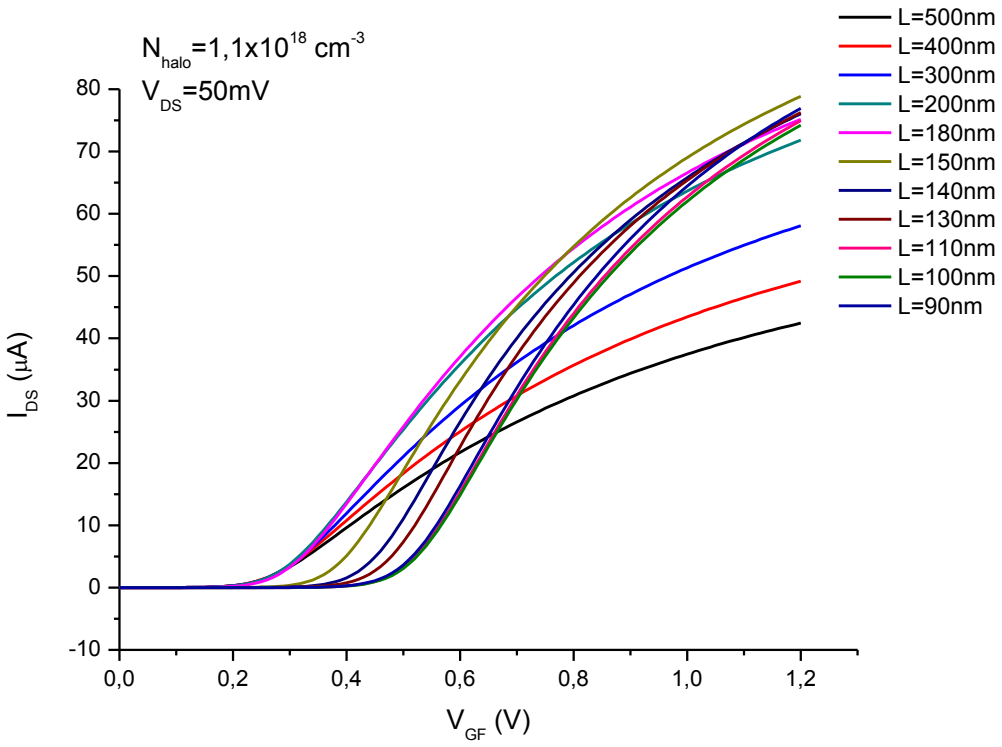


Figura 19 – Curvas I_{DS}xV_{GF} para diversos comprimento de canal com uma dopagem halo fixa e V_{DS} de 50mV.

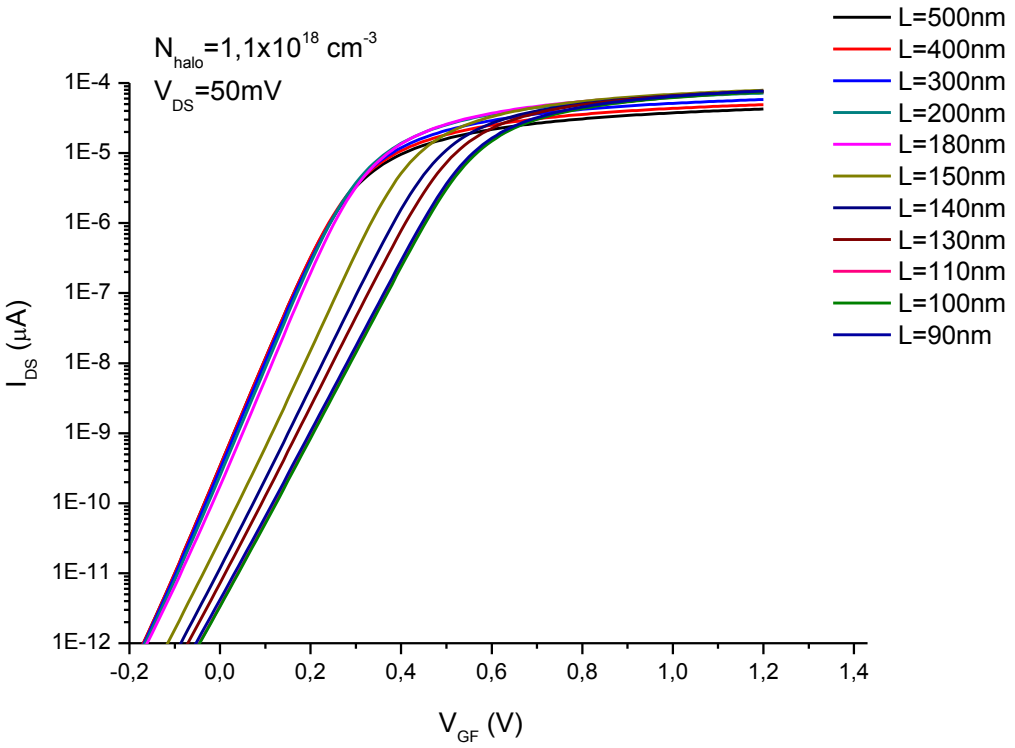


Figura 20 – Curvas log(I_{DS})xV_{GF} para diversos comprimento de canal com uma dopagem halo fixa e V_{DS} de 50mV.

Como no caso anterior, esta simulação nos permite extrair os dados de tensão de limiar e inclinação de sublimiar para este conjunto de dispositivos mostrados na tabela 2 e obter graficamente a variação da tensão de limiar e da inclinação de sublimiar com o comprimento de canal como são exibidos na figura 21.

Tabela 2 - Dados de tensão de limiar e inclinação de sublimiar obtidos durante as simulações (concentração de dopantes da região de halo constante de $1{,}1x10^{18}$ (cm^{-3})).

V_{DS}=50 (mV)		
L (nm)	***V_t (V)***	***S (mV/déc)***
500	0,26	65,58
400	0,27	65,86
300	0,27	65,52
200	0,28	65,79
180	0,29	66,98
150	0,39	74,91
140	0,44	77,73
130	0,47	79,41
110	0,51	82,72
100	0,52	82,79
90	0,51	83,13
80	0,49	82,81

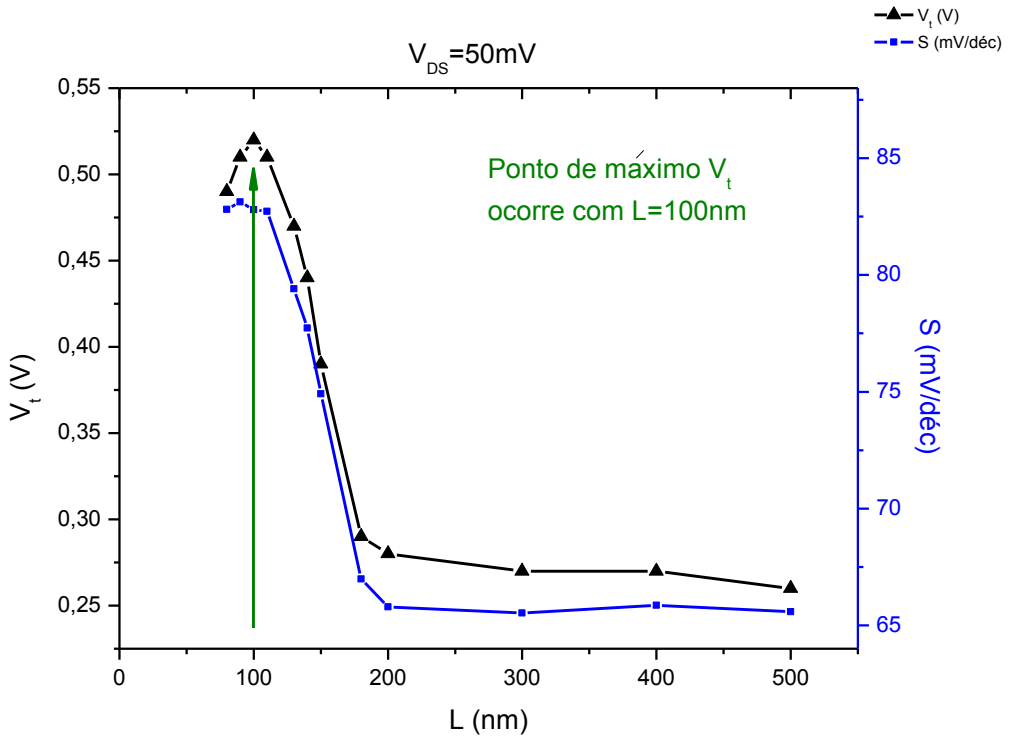


Figura 21 – Curva V_txL e curva SxL obtidas na simulação com V_{DS} de 50mV.

Como pode ser observado na figura 21, a presença da região de halo produz o efeito de canal curto reverso na tensão de limiar, o qual está sendo adequadamente descrito pelas simulações numéricas. Além disto, a aproximação das regiões de halo, com conseqüente elevação da concentração média da camada de Si, aumenta a inclinação de sublimiar.

3.2.2.2 O DIBL em função do comprimento do canal

A definição de DIBL usada neste trabalho (equação 14) indica que necessitamos ter duas condições de polarização do dreno diferentes para conseguirmos a extração deste parâmetro. Todas as simulações realizadas até o momento contavam com o contato de dreno com tensão de 50mV, portanto vamos realizar agora simulações no mesmo transistor utilizado anteriormente, mas agora com tensão de dreno de 1,5V (figura 22), para que seja possível a comparação da tensão de limar nestas duas situações diferentes e obter por conseguinte o DIBL da estrutura.

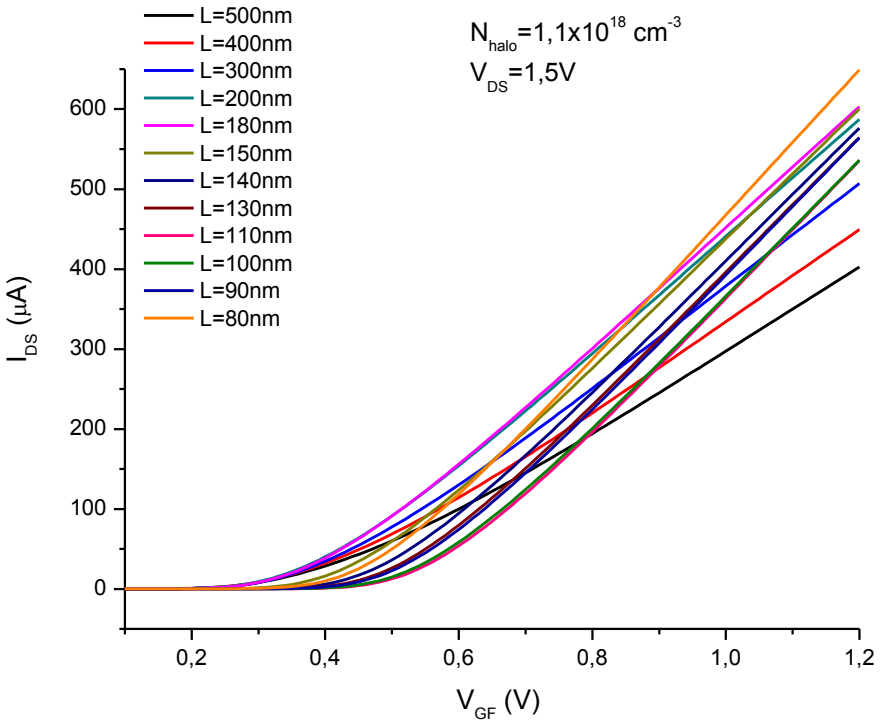


Figura 22 – Curvas I_{DS}xV_{GF} para diversos comprimento de canal com concentração de halo fixa e V_{DS} de 1,50V.

A partir dos dados da figura 22, utilizado a equação (14), obteve-se o DIBL em função do comprimento do canal para os transistores FD SOI utilizado nas simulações. O resultado obtido desta análise está mostrado na tabela 3 e figura 23. O método utilizado para a extração de V_t neste caso é o da corrente constante, pois os dispositivos encontram-se em saturação, ou seja, o método da dupla derivada não é aplicável [16].

Tabela 3 - DIBL obtido a partir das tensões de limiar do transistor estudado.

L (nm)	***V_t (V_{DS1}=50mV)***	***V_t (V_{DS2}=1,5V)***	***DIBL (mV/V)***
300	0,27	0,21	41,38
200	0,28	0,21	48,28
180	0,29	0,22	48,28
150	0,39	0,29	68,97
140	0,44	0,34	68,97
130	0,47	0,37	68,97
110	0,51	0,41	68,97
100	0,52	0,40	82,76
90	0,51	0,37	96,55
80	0,49	0,31	124,14

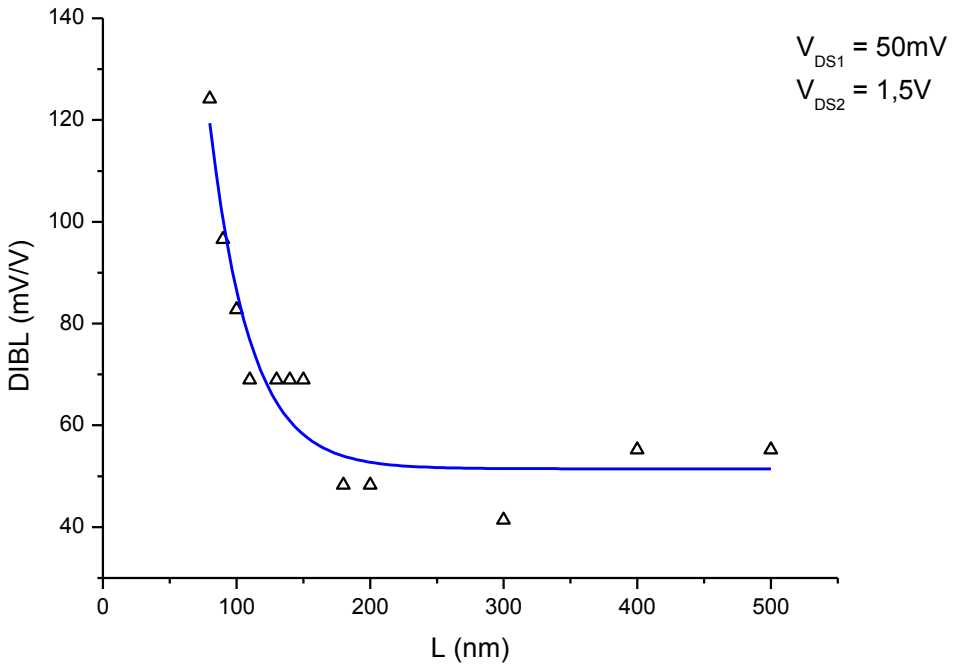


Figura 23 – Curva DIBL em função do comprimento de canal obtida das simulações numéricas.

Foi observada uma piora do DIBL em função de L, a qual é condizente com a as expectativas teóricas anteriormente apresentadas, isto é, conforme L diminui há uma maior ocorrência de efeitos de canal curto.

3.2.2.3 O DIBL em função da temperatura

A curva presente na figura 23 mostra a tendência de elevação do DIBL com a redução do comprimento de canal do transistor. Isto é um resultado esperado, pois, como apresentado na introdução teórica, transistores SOI com pequeno comprimento de canal sofrem dos efeitos de canal curto.

Utilizando o mesmo arquivo de simulação do transistor com comprimento de canal de 500nm, obtivemos a variação da tensão de limiar com a temperatura para as duas situações de polarização de dreno (50mV e 1,5V), para que pudéssemos conhecer o comportamento do DIBL neste dispositivo em função da temperatura, como exibido na figura 24.

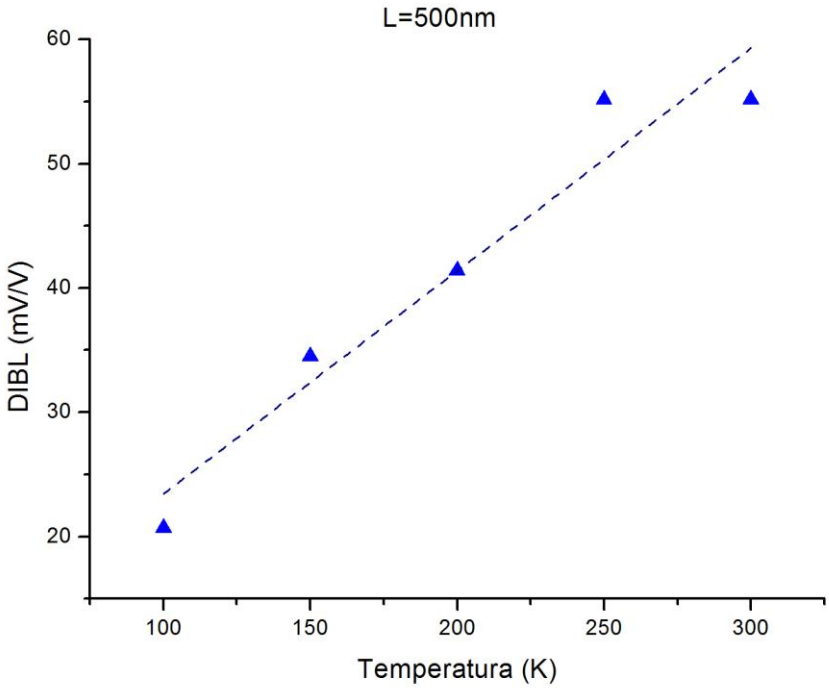


Figura 24 – Curva DIBLxT.

Para as simulações em função da temperatura, além dos modelos citados anteriormente, foram também utilizados a ionização incompleta de portadores nas regiões com concentração de dopantes moderada, conforme apresentado no apêndice A.

Observamos através da análise da figura 24 a tendência da redução do DIBL com a temperatura para a simulação do transistor de comprimento de canal de 500nm, confirmando a expectativa teórica. O resultado indica que dispositivos com grande comprimento de canal (500nm) e com o modelo de ionização por impacto “desligado” não sofrem de efeitos de canal curto e nem ocorre uma potencialização do transistor bipolar parasitário em baixas temperaturas pela ionização por impacto.

3.3 Estudo do DIBL nos transistores com L=130nm

A partir deste ponto exibiremos os resultados obtidos nas simulações com o modelo de ionização por impacto ativo para os transistores com L=130nm, salvo menção contrária. O conjunto de resultados obtidos nos levará a compreender de forma clara quais são os mecanismos envolvidos preponderantes para a degradação do efeito DIBL em função da temperatura nos transistores estudados.

3.3.1 DIBL em função da temperatura com ionização por impacto

Na figura 25 é apresentado o resultado da simulação do transistor com L=130nm, comparando o DIBL em função da temperatura com e sem ionização por impacto. Para a obtenção do DIBL foram utilizadas as tensões V_{DS1}=50mV e V_{DS2}=1,5V.

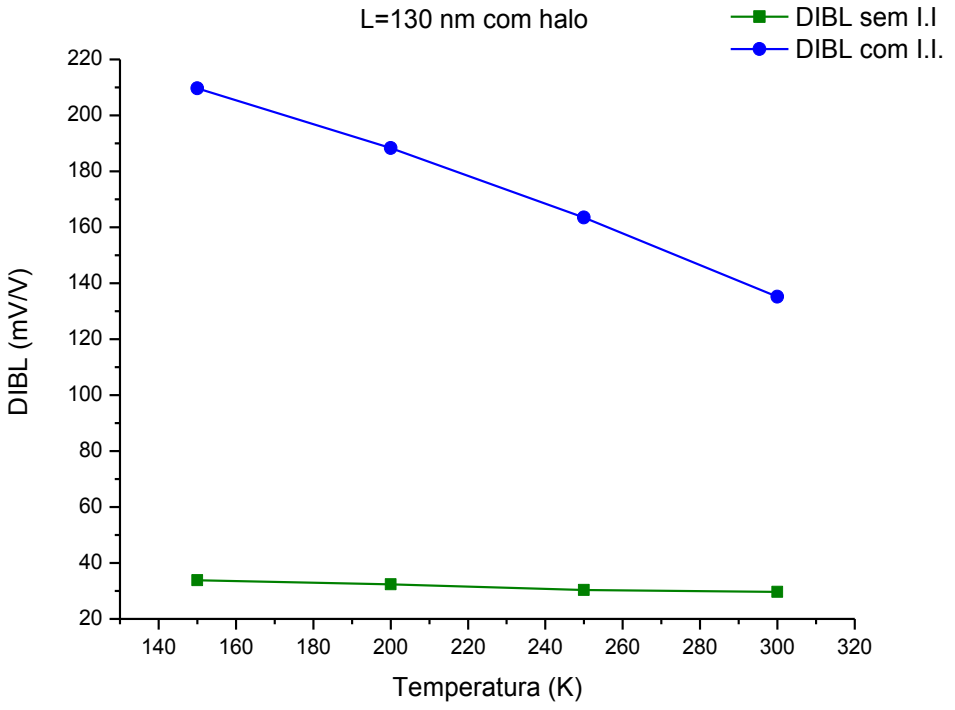


Figura 25 – Curva DIBLxT simulada para o transistor com L=130nm com e sem ionização por impacto.

Na figura 25 nota-se a substancial elevação no valor do DIBL para uma mesma estrutura quando está ativa a ionização por impacto. Este resultado é importante por indicar que a ionização por impacto tem papel importante na piora do DIBL para os transistores SOI nMOS totalmente depletados de canal curto com a redução da temperatura. Isto nos levará a simulações onde faremos comparação entre transistores variando o comprimento de canal, a espessura da camada de silício e a concentração da região de halo, para que possamos entender quais fenômenos tem contribuição efetiva na piora do DIBL com a temperatura.

Na figura 26 foi estudado o comportamento do transistor de L=130nm com e sem a presença da região de halo, com e sem o modelo de ionização por impacto ativado.

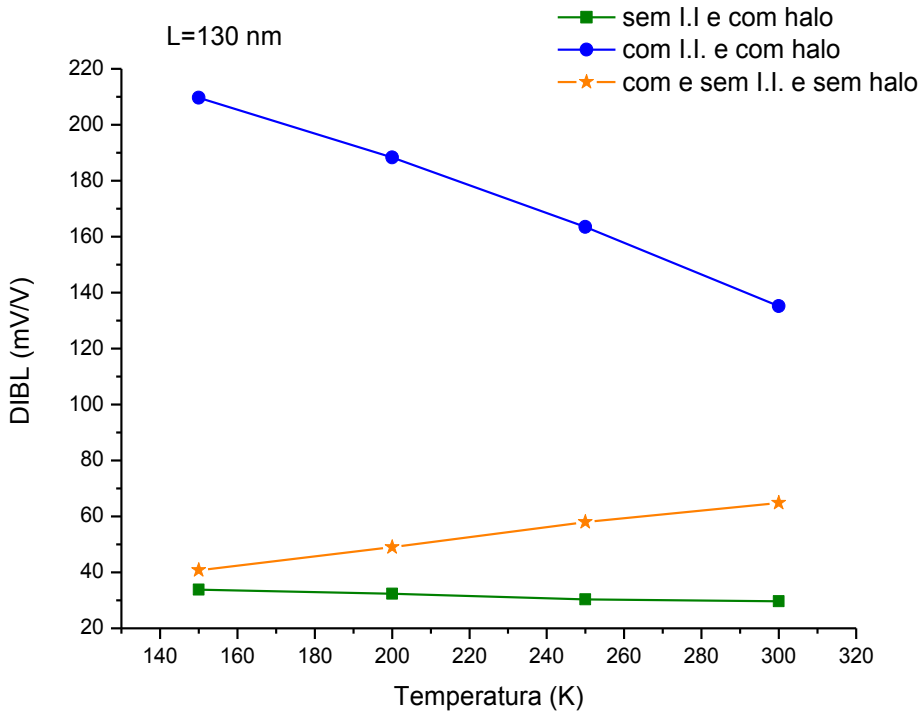


Figura 26 – Curvas DIBLxT com e sem ionização por impacto e com e sem região de halo.

A remoção da região de halo provoca uma redução na concentração média de dopantes na região de canal do transistor. Esta redução faz com que o transistor sem halo sofra de efeitos de canal curto em T=300 K, razão pela qual seu DIBL é pior do que o do transistor com halo e sem ionização por impacto. Observa-se que nesta situação o DIBL com a redução de temperatura sofreu melhora substancial com relação à simulação anterior, inclusive com uma

mudança na inclinação da curva DIBLxT. À medida que a temperatura diminui há uma melhora no DIBL do transistor sem halo, tal como esperado da literatura, ocasionada pelo melhor acoplamento entre a primeira e segunda interfaces decorrente da redução da temperatura e conseqüente aumento na largura da região de depleção. Como a camada de Si está totalmente depletada, a redução da temperatura contribui para melhorar o este acoplamento entre as interfaces. Entretanto, a comparação entre as curvas do transistor com halo e ionização por impacto evidencia a piora do DIBL com a redução da temperatura. A análise dos resultados das figuras 25 e 26, nos conduz a conclusão de que a presença da região de halo, assim como a ionização por impacto, também tem papel importante na piora do DIBL nos FDSOI nMOS com a redução de temperatura.

3.3.2 Estudo das curvas de potenciais na estrutura com relação à ionização por impacto

Para auxiliar a compreensão dos resultados obtidos até o momento, foram obtidas as curvas de potenciais no transistor, comparando uma situação com ionização por impacto com outra sem, simuladas no momento em que a estrutura começa a conduzir corrente elétrica, ou seja, quando a tensão aplicada à porta equivale à tensão de limiar e com uma tensão aplicada ao dreno de 1,5V. Estes potenciais foram obtidos com a condição anteriormente exposta, pelo motivo de que a extração do DIBL é realizada justamente com o valor da tensão de limiar. Os potenciais foram extraídos tanto na proximidade da primeira interface, 2nm abaixo da porta, quanto na proximidade da segunda interface, 2nm acima da segunda porta. Isto é necessário para que seja possível entender em qual região da estrutura a ionização por impacto está gerando maior influência na piora do DIBL. Apresentaremos a seguir estas curvas de potencial em função da posição dentro da estrutura para a temperatura de 150K.

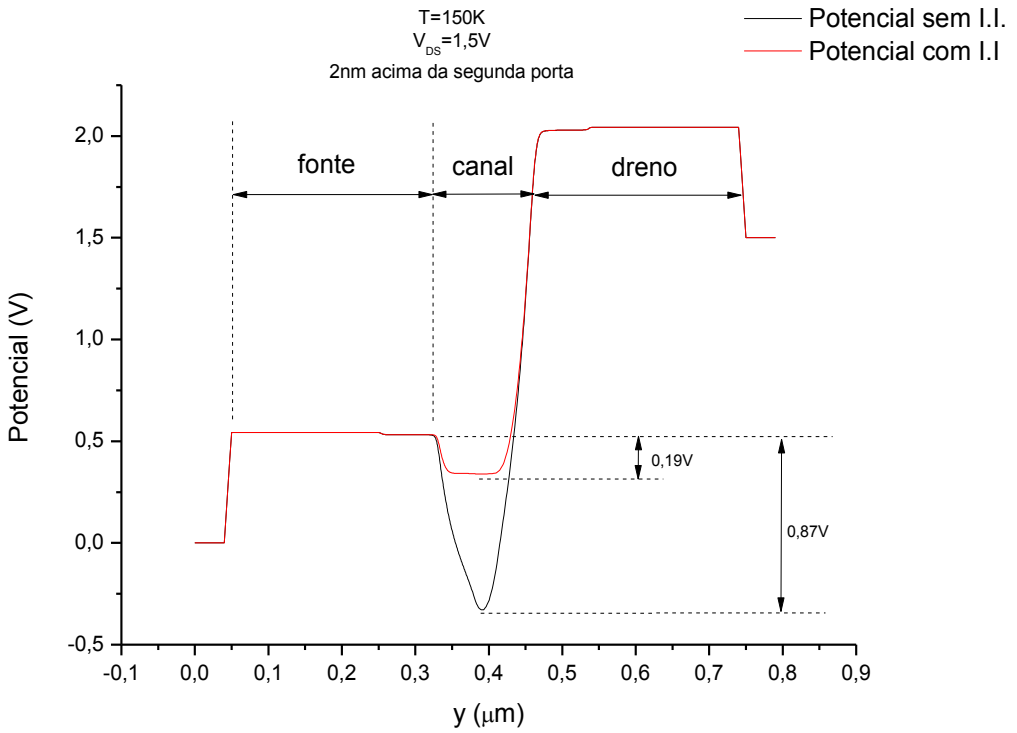


Figura 27 – Curvas Potenciais em função da distância lateral com e sem ionização por impacto a 150K e a 2nm acima da segunda porta.

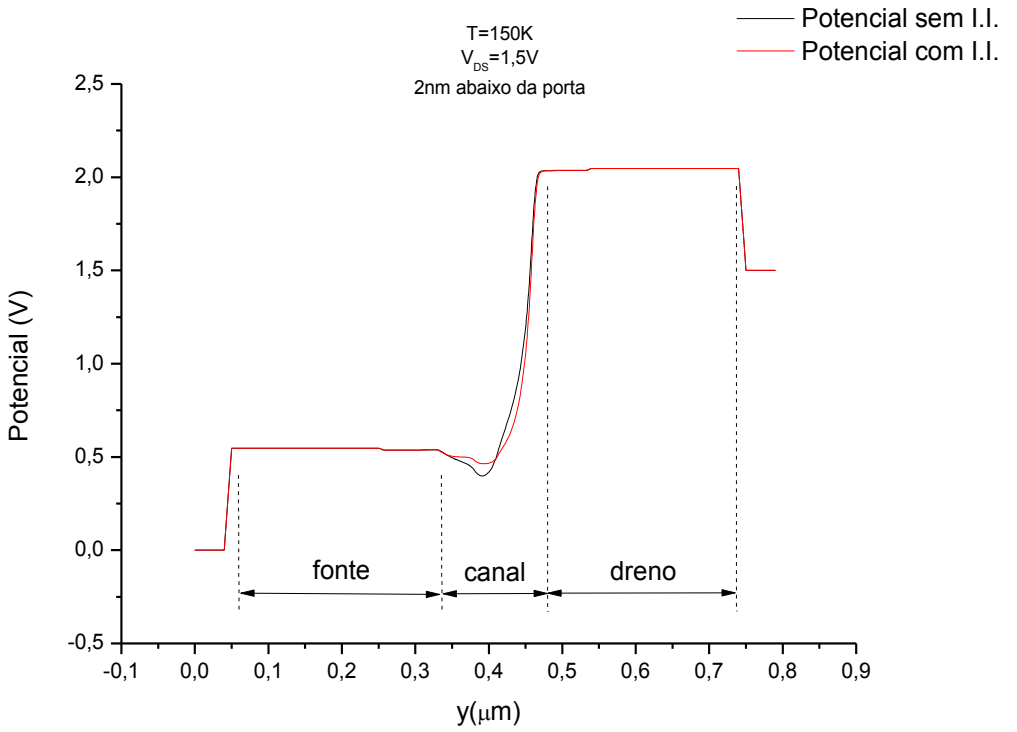


Figura 28 – Curvas Potenciais em função da distância lateral com e sem ionização por impacto a 150K e a 2nm abaixo da porta.

As figuras 27 e 28 mostradas anteriormente foram obtidas todas com a presença da região de halo e pode-se claramente notar que há uma maior diferença de potencial nas proximidades da segunda porta, observadas na comparação das curvas com e sem o modelo de ionização por impacto ativo. Esta análise deixou clara a redução de potencial na fonte do transistor devido ao acumulo de cargas nesta região provocada pelos efeitos parasitários presentes na estrutura. Gráficos com a mesma resposta foram obtidos para as temperaturas de 200K, 250K e 300K Para evidenciar ainda mais esta conclusão, vamos exibir a seguir na figura 29, uma visão bidimensional da estrutura também na situação em que a tensão na porta equivale à tensão de limiar. Nesta figura são apresentadas as curvas equipotenciais da estrutura quando polarizada com V_{DS}=1,5V e T=150K.

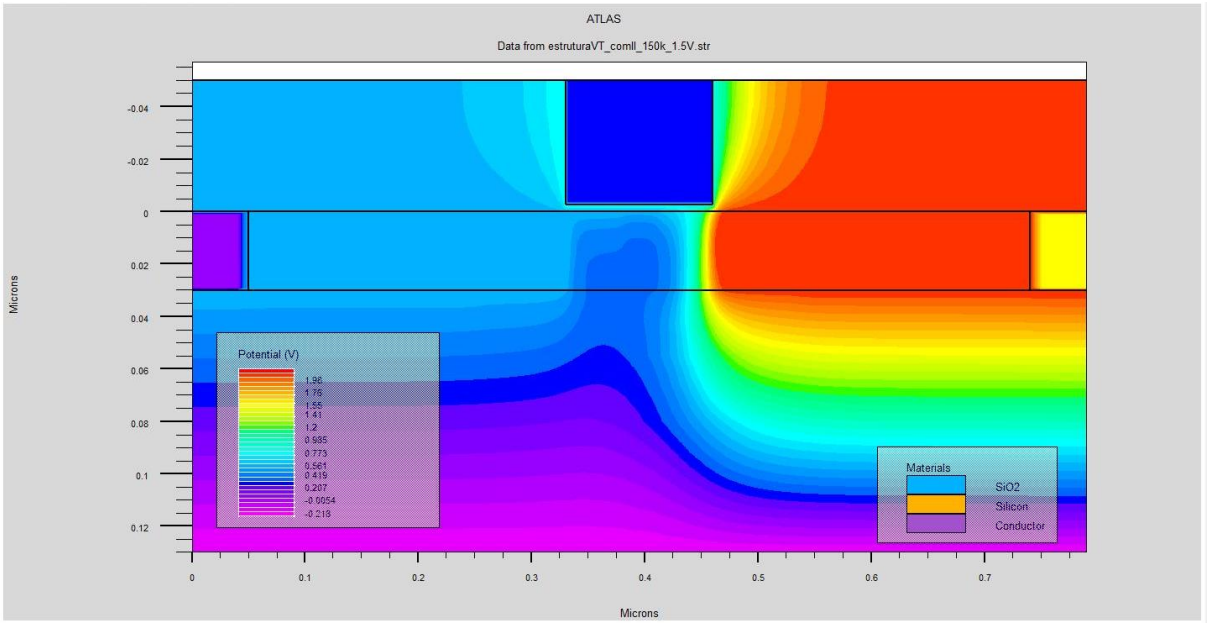


Figura 29 – Visão bidimensional da estrutura FDSOI nMOS.

A figura 29 acima mostra o transistor com tensão de dreno alta (1,5V), temperatura de 150K e com clara influência do potencial de dreno na região de canal. Fica evidente um maior avanço deste potencial nas proximidades da segunda porta, o que confirma os resultados obtidos nas curvas de potencial em função da posição obtidas anteriormente.

3.3.3 DIBL em função da temperatura variando o comprimento de canal

Também estudamos o comportamento do efeito DIBL com a redução de temperatura variando o comprimento de canal da estrutura conforme apresentado na figura 30. Para estas curvas foram utilizadas as tensões de dreno de 1,5V e 50mV.

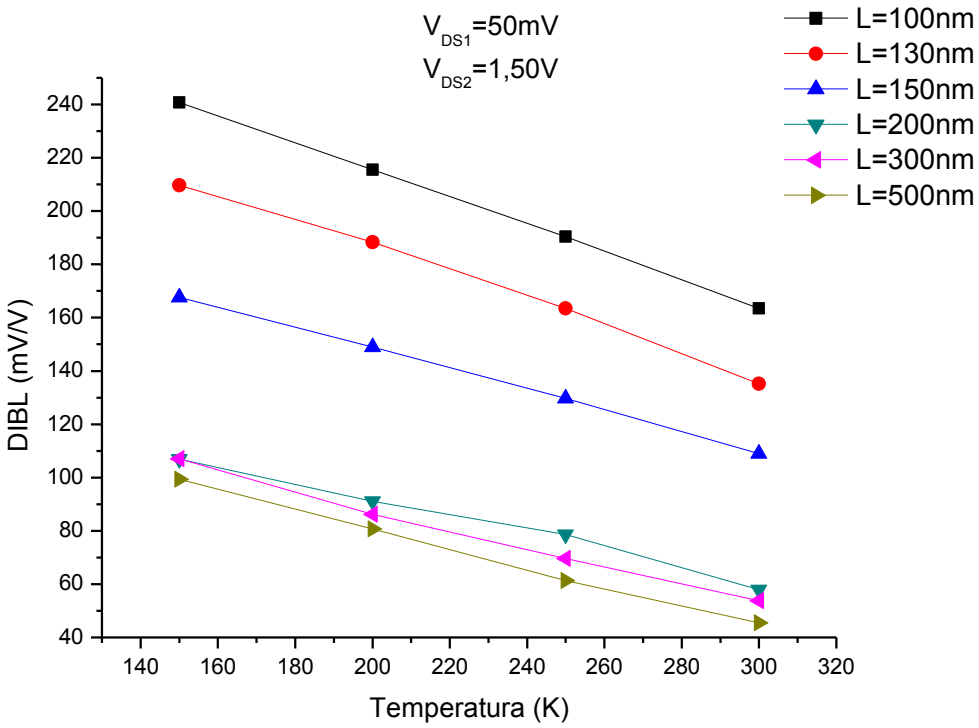


Figura 30 – Curva DIBLxT para diversos comprimentos de canal.

Este conjunto de simulações foi realizada com o modelo de ionização por impacto ativo e com a presença da região de halo. Percebe-se que há uma maior mudança de patamar na resposta ao DIBL quando o comprimento de canal é reduzido de 200nm para 150nm. Sabemos que a região de halo que está descrita no arquivo de simulação tem comprimento de 80nm no lado do canal junto à fonte do transistor e mais 80nm junto ao dreno, o que significa dizer que para dimensões de comprimento de canal menores do que 160nm ocorre o encontro entre as regiões de halo de fonte e dreno. Esta configuração explica este salto no patamar da curva DIBL para a simulação com 150nm de comprimento de canal, pois a união destas duas regiões de halo disponibiliza uma maior concentração média de dopantes no canal. Esta maior

concentração de portadores, aliada ao fenômeno da ionização por impacto, faz com que o transistor bipolar parasitário típico da estrutura SOI atue com mais intensidade, propiciando uma corrente maior no dispositivo para uma mesma tensão na porta do transistor [17, 19].

3.3.4 DIBL em função da temperatura variando a espessura da camada de Si

A dependência do DIBL com a espessura da camada de Si foi verificada reduzindo-se t_{Si} de 30nm para 25nm, 20nm e 15nm. Nesta faixa de espessuras não se observa efeitos de confinamento quântico na camada de Si, não sendo necessária a adoção deste modelo [34]. Continuamos mantendo a ionização por impacto ativa e a região de halo presente na estrutura. O comprimento de canal utilizado é o padrão da tecnologia de 130nm.

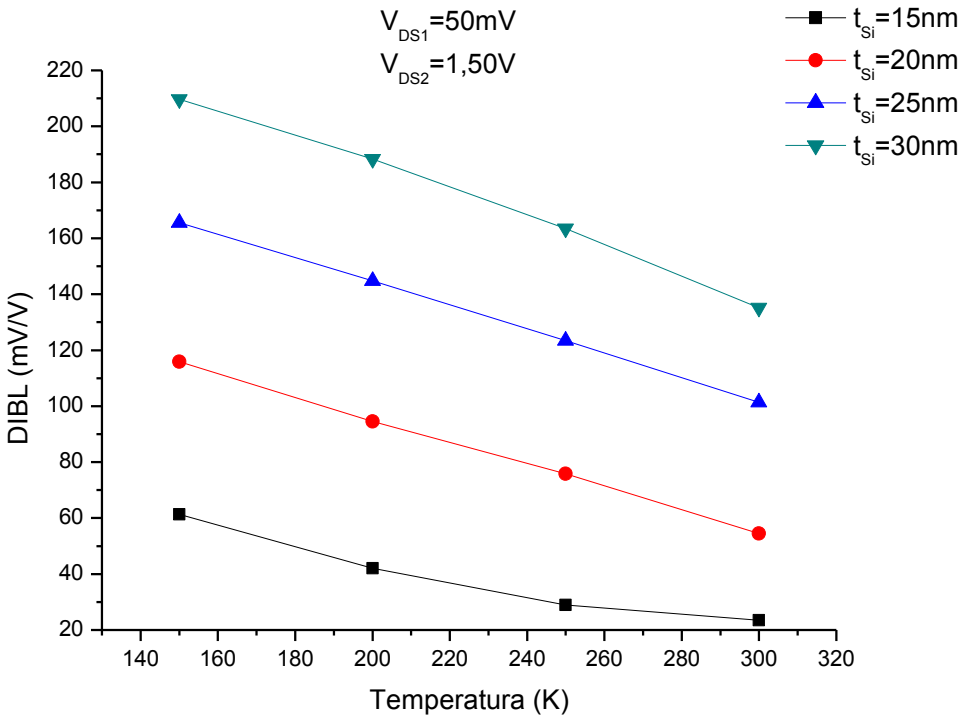


Figura 31 – Curva DIBLxT para diversas espessuras da camada de silício.

Na figura 31 observa-se que a redução da espessura da camada de silício, melhora a resposta da estrutura ao efeito DIBL. Esta melhora ocorre porque transistores com menor es-

pessura de silício propiciam à porta do dispositivo um maior controle das cargas presentes no canal, além de diminuírem o campo elétrico transversal. Este controle mais efetivo da porta sobre o canal deixa menos cargas disponíveis para os efeitos parasitários já citados de ionização por impacto e do transistor bipolar parasitário. Entretanto, em todos os casos estudados observou-se uma piora do DIBL com a redução da temperatura.

3.3.5 DIBL em função da temperatura variando a concentração de halo

Nesta seção mostramos como o comportamento do efeito DIBL com a variação da dopagem da região de halo para o transistor com 130nm de comprimento de canal, conforme observado na figura 32.

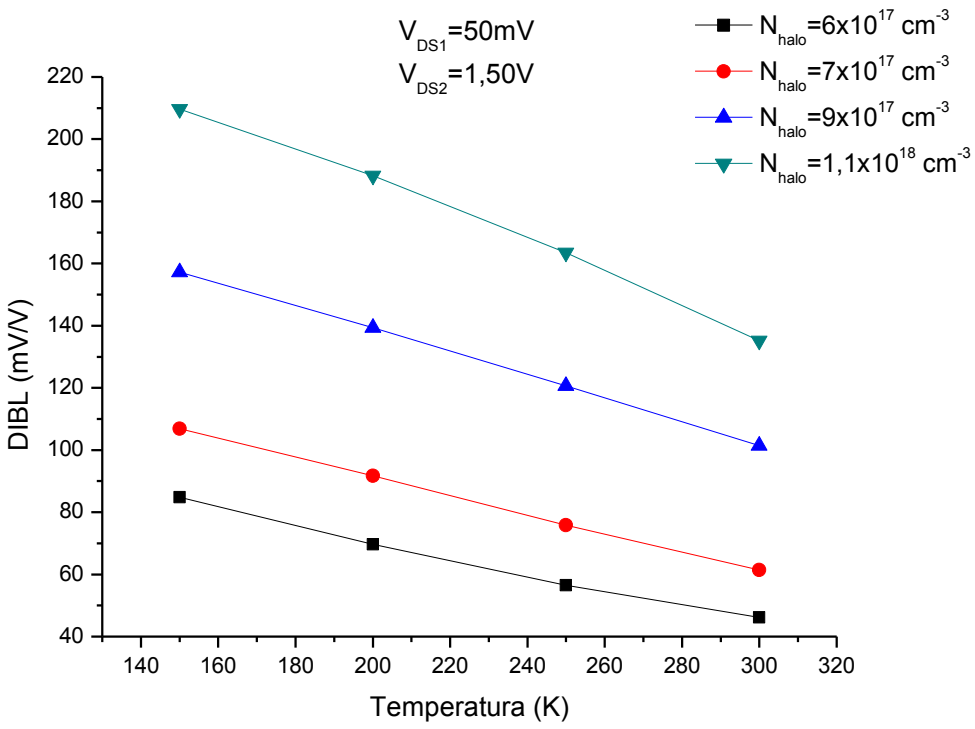


Figura 32 – Curva DIBLxT para diversas concentrações de dopantes na região de halo.

A simulação foi realizada com quatro níveis diferentes de concentrações de dopantes na região do halo, sendo a dopagem de $1{,}1x10^{18}$ cm^{-3} a dopagem padrão da tecnologia estuda-

da. O resultado obtido nos mostra que a redução da concentração de dopantes na região de halo promove uma melhora na resposta ao efeito DIBL. Este melhor desempenho para dopagens menores ocorre, novamente, por existirem menos cargas disponíveis para o transistor bipolar parasitário, já que a menor presença das mesmas torna mais eficaz o controle da porta sobre o canal. Além disto, a redução da concentração média de dopantes na região de halo diminui o campo elétrico na junção dreno-canal, reduzindo a quantidade de portadores gerados por impacto, como indicado nas equações (19) e (20).

3.3.6 Inclinação de sublimiar

Também extraímos durante as simulações os dados de inclinação de sublimiar para todos os comprimentos de canal, espessura da camada de silício e dopagem analisadas. O conjunto destas situações estudadas mostrou a mesma tendência da redução da inclinação de sublimiar com a temperatura conforme ilustrado na curva SxT da figura 33, que mostra a curva para um transistor de canal longo e para um de canal curto, apenas como exemplo. Isto nos informa de que a tendência, para qualquer tipo de configuração da estrutura, é de que o transistor conduza menos corrente elétrica com a redução de temperatura. O que significa a dizer que, em princípio, deveríamos observar uma melhora no efeito DIBL com a redução de temperatura. Porém, obtivemos o resultado contrário em nossas simulações, o que nos leva à conclusão de que os efeitos parasitários presentes são efetivos o suficiente para piorar o DIBL, mesmo com a tendência na redução de corrente da estrutura.

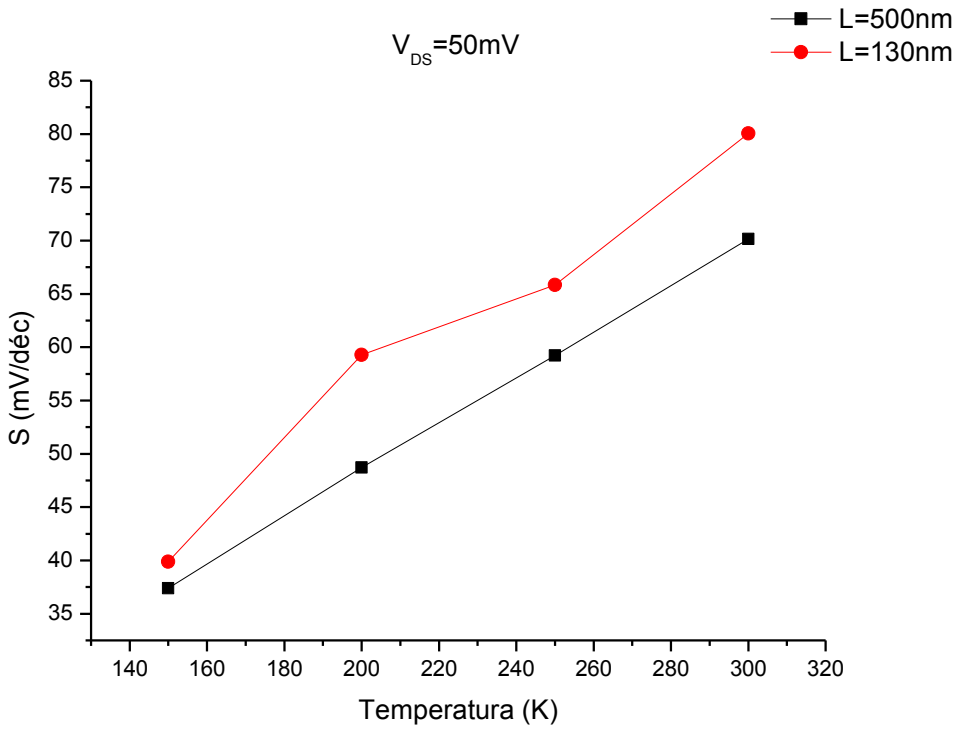


Figura 33 – Curva SxT para dois transistores de comprimento de canal diferentes.

3.3.7 Inclinação do DIBL em função da Temperatura

Uma análise inédita realizada durante as simulações, foi a de obter os dados de inclinação das curvas DIBLxT, exibidas nas seções prévias, em todas as condições da estrutura analisada, conforme apresenta a tabela 4. Nesta tabela, todos os transistores possuem halo, com concentração $N_{halo}=1{,}1x10^{18}cm^{-3}$, e o modelo de ionização por impacto foi mantido, salvo menção contrária.

Tabela 4 - Dados de inclinação da curva DIBL.

Inclinação das curvas DIBLxT (mV/V.K)	***Característica da estrutura***
-0,497	L=130nm t_{Si}=30nm
-0,428	L=130nm t_{Si}=25nm
-0,406	L=130nm t_{Si}=20nm
-0,390	L=150nm t_{Si}=30nm
-0,372	L=130nm t_{Si}=30nm N_{halo}=9x$10^{17}$$cm^{-3}$
-0,361	L=500nm t_{Si}=30nm
-0,353	L=300nm t_{Si}=30nm
-0,319	L=200nm t_{Si}=30nm
-0,305	L=130nm t_{Si}=30nm N_{halo}=7x$10^{17}$$cm^{-3}$
-0,258	L=130nm t_{Si}=30nm N_{halo}=6x$10^{17}$$cm^{-3}$
-0,254	L=130nm t_{Si}=15nm
-0,029	L=130nm t_{Si}=30nm halo
0,162	L=130nm t_{Si}=30nm sem halo e sem I.I.

A análise das inclinações apresentadas na tabela 4 mostra que o único caso onde ocorre uma inclinação positiva na curva DIBLxT é para estrutura na qual não existe a presença da região de halo. A inclinação positiva desta curva mostra que a redução de temperatura leva a uma melhora no efeito DIBL, o que já exibimos graficamente em seções anteriores.

A análise dos dados presentes nesta tabela nos leva a conclusões importantes, que podem ser utilizadas no momento do projeto de uma família de transistores SOI. Podemos citar, por exemplo, que a redução da concentração de dopantes da região de halo é mais efetiva na melhora do DIBL do que a redução da espessura da camada de silício. Isto porque, tecnologicamente, é muito menos caro reduzir a concentração de dopantes de halo do que diminuir a espessura do silício. Esta mesma redução da concentração halo, faz com que um dispositivo de canal curto (no exemplo da tabela com L=130nm) responda ao DIBL de maneira similar a dispositivo de canal mais longo (L=200nm da tabela). Considerações como estas podem tornar esta tabela uma ferramenta importante na concepção dos transistores.

Este resultado tem um valor importante pelo fato de não termos encontrado algo similar na literatura estudada, ou seja, trata-se de uma análise que possui certo grau de ineditismo. Outro fator que corrobora com este resultado é a possibilidade de comparação do efeito que modificações na estrutura causam no DIBL, através da observação da inclinação da curva DIBLxT.

4. RESULTADOS EXPERIMENTAIS

Neste capítulo apresentamos os valores de DIBL em função da temperatura obtidos experimentalmente. As medidas apresentadas foram realizadas em dispositivos de tecnologia de comprimento mínimo de canal de 130nm e foram fabricados no IMEC, Bélgica. As características dos dispositivos medidos são similares as dos dispositivos simulados, isto é, concentração da região de halo da ordem de $1{,}1x10^{18}$ cm^{-3}, concentração da camada de silício de $5{,}5x10^{17}$ cm^{-3}, espessura da camada de Silício de 30nm, espessura do óxido enterrado de 145 nm e espessura do óxido de porta de 2,5nm.

Os dispositivos tiveram sua temperatura controlada através do equipamento *Low Temperature Micro Probe System*, modelo K20 da MMR Technologies e as curvas de corrente foram extraídas utilizando o analisador de parâmetros de semicondutores Keithley 4200, com tempo de integração médio.

Os resultados experimentais mostraram a mesma tendência que os resultados extraídos das simulações, o que confirma a validade de nossos estudos sobre o DIBL. Nas figuras 34 e 35 mostramos as curvas $I_{DS}xV_{GF}$ e $\log(_{IDS})xV_{GF}$ para uma tensão de dreno de 0,1V e 1,5V para o transistor com L=130nm, medidas em diferentes temperaturas. A avaliação destas demonstra comportamento similar ao que obtivemos em nossas simulações já exibidas nas figuras 19,20 e 22.

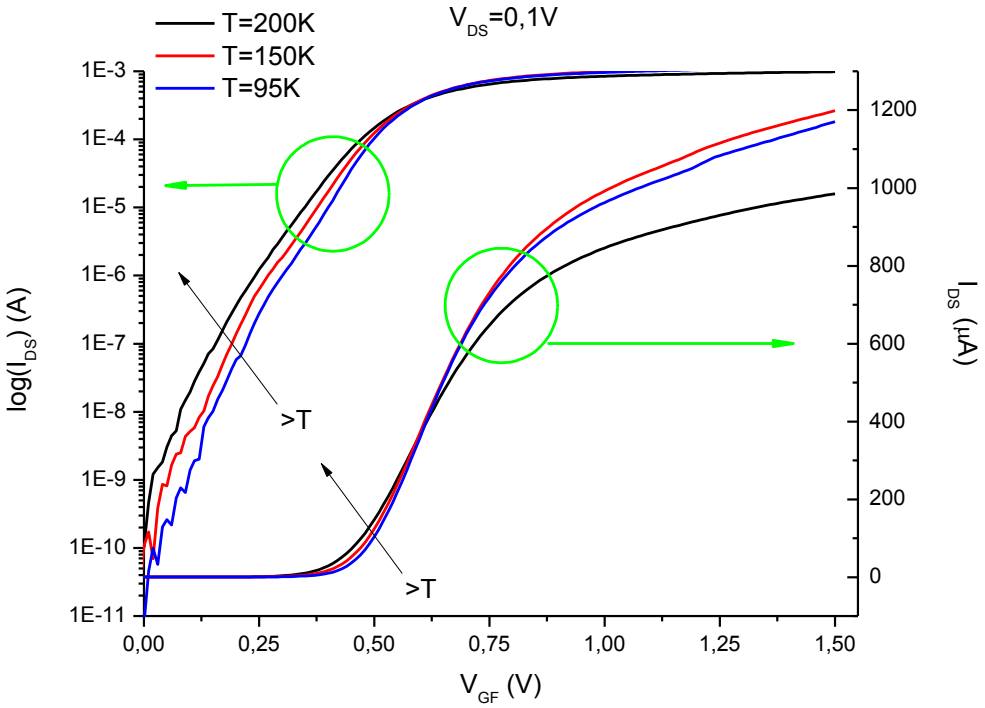


Figura 34 – Curvas $I_{DS}xV_{GF}$ e $log(I_{DS})xV_{GF}$ do transistor com L=130nm para uma tensão de dreno de 0,1V em diversas temperaturas.

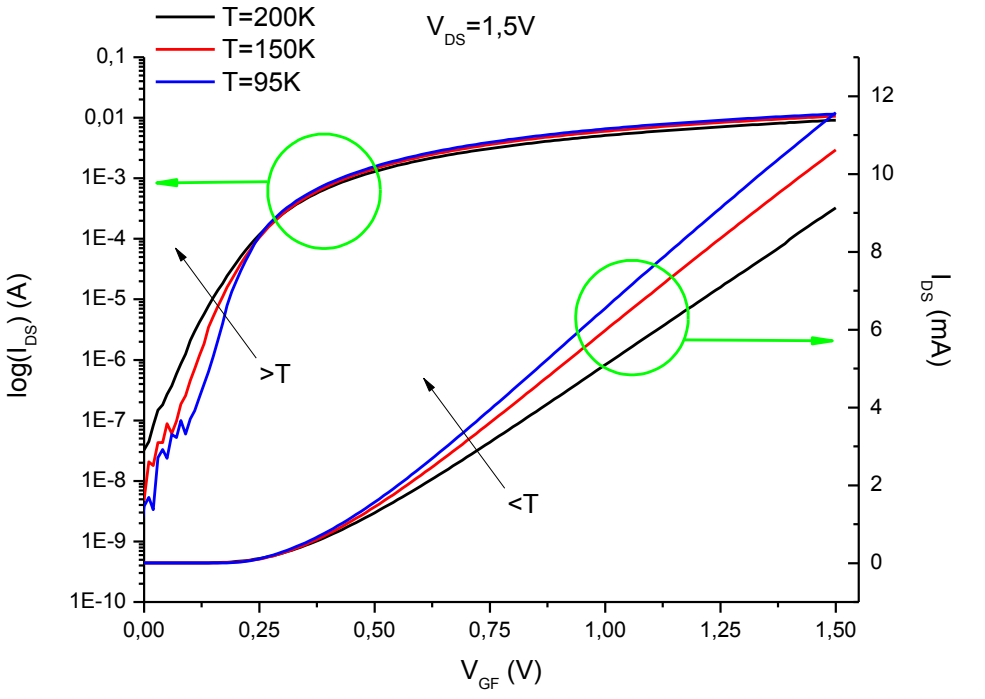


Figura 35 – Curvas $I_{DS}xV_{GF}$ e $log(I_{DS})xV_{GF}$ do transistor com L=130nm para uma tensão de dreno de 1,5V em diversas temperaturas.

Na figura 36, mostramos a curva DIBLxL [15] para a temperatura de 300K e 95K, na qual nota-se a que mesma tendência foi obtida em nossa simulação representada na figura 23. A redução do comprimento de canal provoca uma piora no DIBL.

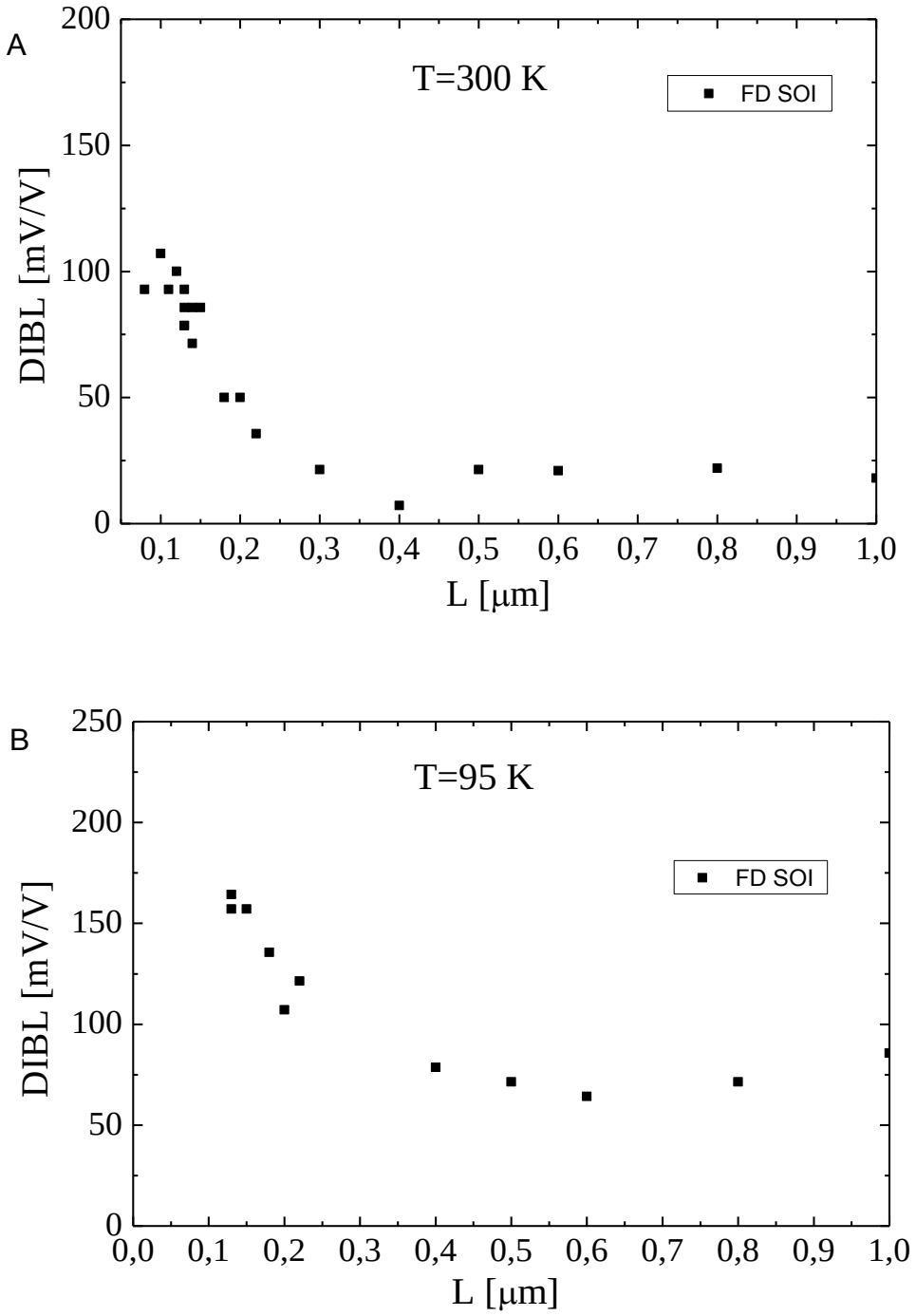


Figura 36 – Curva DIBLxL em temperatura ambiente (A) e a 95K (B), obtidas através do método da corrente constante [16].

No item A da figura 36 observamos que o valor de DIBL para o transistor com comprimento de canal de 0,3µm e a uma temperatura de 300K é de aproximadamente 25mV/V. Já na simulação apresentada na figura 23 o transistor de mesmo comprimento de canal e a mesma temperatura apresenta um DIBL de 40mV/V. Esta pequena diferença pode ser explicada pelo ajuste que foi realizado na concentração de dopantes da região de halo no transistor simulado. Como demonstrado no capítulo anterior, o efeito DIBL é fortemente dependente da concentração de dopantes da região halo. Assim, uma maior concentração de dopantes na região halo ocasionaria a diferença observada nos experimentos. Porém, ambas as curvas apresentam a mesma tendência, o que confirma a validade da simulação.

Foram realizadas as curvas DIBLxT com os mesmos dispositivos utilizados nas referências [13, 14, 15], para uma família de transistores SOI com comprimento de canal de 130nm, as quais estão exibidas na figura 37. Nesta curva também apresentamos a degradação do DIBL com a redução da temperatura de maneira similar ao que encontramos em nossas simulações e representamos nas figuras 24, 25 26, 30, 31 e 32 deste trabalho. Como os três dispositivos exibidos encontram-se no mesmo circuito integrado (“chip”), posicionados lado a lado, as pequenas diferenças observadas são devidas a variações ocorridas durante a fabricação.

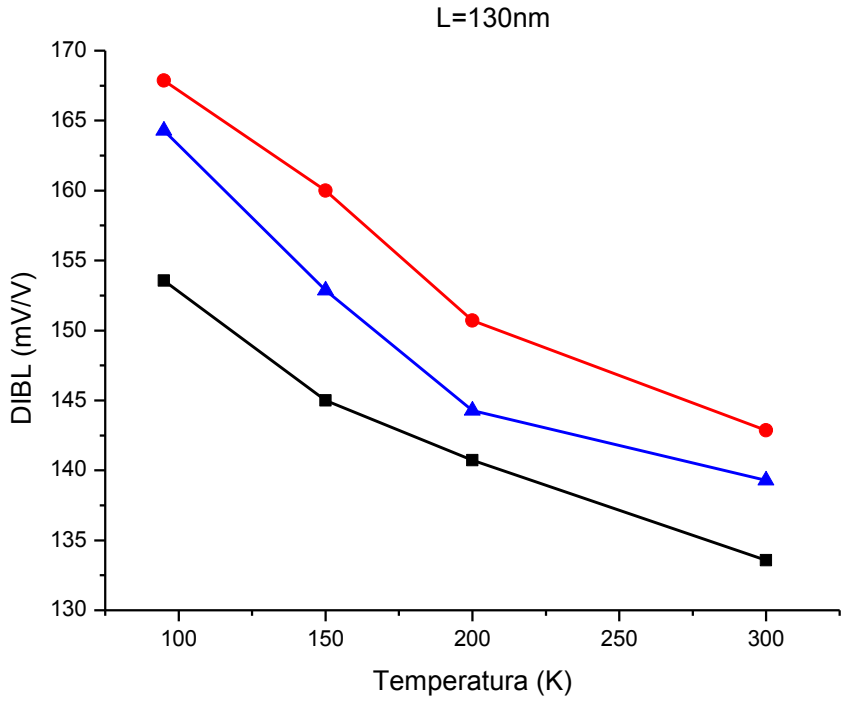


Figura 37 – Família de curvas DIBLxT experimental.

As curvas da figura 37 mostram claramente a piora do DIBL com a temperatura em todas as amostras estudadas. Entretanto, comparando os resultados com os apresentados na figura 33, observa-se que os resultados experimentais apresentam menores valores de DIBL do que os simulados com N_{halo}=1,1 x 10^{18} cm^{-3}. Por outro lado, também com referência a figura 33, a redução de N_{halo} para 9 x 10^{17} cm^{-3} resulta em valores também próximos aos obtidos experimentalmente, o que reforça a hipótese anteriormente levantada quando discutindo a figura 36, de que a concentração da região halo dos dispositivos fabricados seria um pouco menor do que 1,1 x 10^{18} cm^{-3}. Ainda assim, os resultados experimentais da figura 37 ratificam que o efeito DIBL sofre uma degradação com a redução da temperatura em transistores com a presença da região de halo.

5. CONCLUSÕES E TRABALHOS FUTUROS

Neste trabalho apresentou-se um estudo da degradação do efeito de redução de barreira induzida pelo dreno em transistores SOI ultra-submicrométricos em função da temperatura. O estudo foi realizado por meio de simulações numéricas bidimensionais e confirmado por resultados experimentais.

Para a obtenção dos resultados de simulação foi necessário ajustar (ou adaptar) uma estrutura de simulação que oferecesse resultados similares aos reportados na literatura. Comparações foram realizadas entre as simulações executadas e os resultados da literatura, a partir do ajuste nas concentrações de dopantes e nos parâmetros do modelo de ionização por impacto.

De posse desta estrutura, foram realizadas simulações onde se fez variações em diversas características construtivas do transistor. A análise das curvas de potencial em função da posição dentro da estrutura mostrou que a região do canal mais sensível e com grande variação do potencial com a redução da temperatura, é a região próxima a segunda interface, isto justamente por ser uma região mais afastada da primeira porta, onde esta tem menos controle sobre as cargas.

Fazendo variações no comprimento de canal verificou-se que a redução no comprimento do mesmo eleva o valor do DIBL com a redução da temperatura, o que significa uma piora para esta característica. Já variando a espessura da camada de silício observou-se uma melhora no DIBL em baixas temperaturas, relacionada com o maior acoplamento entre a primeira e segunda interfaces e conseqüente maior controle sobre os portadores no canal. A extração do DIBL com a temperatura para diversas dopagens de halo mostrou que quando esta região tem uma dopagem menor, o DIBL obtido também é menos prejudicial para a estrutura e a ausência desta região faz com que a curva DIBLxT tenha uma inclinação positiva, isto é, o DIBL melhora com a redução da temperatura.

Ratificamos os resultados que obtivemos através de simulações numéricas comparando os mesmos com os dados experimentais. Os resultados experimentais mostraram a mesma tendência que os resultados extraídos das simulações, o que confirma a validade de nossos

estudos sobre o DIBL em função da temperatura e garante que nossos arquivos descritivos de simulação refletem, de maneira similar, um dispositivo SOI real.

Podemos então, com base em todas as respostas e análises obtidas, descrever que a piora do efeito DIBL em função da temperatura é um fenômeno que é governado pelas características parasitárias da estrutura, principalmente o transistor bipolar parasitário típico. Porém, o transistor bipolar parasitário não tem sozinho capacidade de promover a piora no DIBL com a redução de temperatura. É necessário que exista um número suficiente de portadores no canal para alimentar a corrente parasitária, e este número de portadores passa a existir quando há a presença da região de halo. Com a presença da região de halo na estrutura a ionização por impacto age mais fortemente, pois há mais portadores a serem ionizados, o que leva ao aumento do potencial junto à fonte do dispositivo e ao aumento da corrente parasitária, dando início à piora no DIBL observada ao longo deste estudo. As medidas tecnológicas que podemos tomar para tentar minimizar ou eliminar a piora no DIBL são todas aquelas que utilizamos como estratégia de estudo, como a redução da camada de silício para melhorar o acoplamento da porta, a redução da concentração de dopantes da região de halo para que existam menos portadores susceptíveis aos efeitos parasitários, o ajuste do comprimento de canal que permite menos efeitos de canal curto, além de outros recursos construtivos que possam reduzir ou eliminar a piora do DIBL com a redução da temperatura. O estudo de como realizar esta melhora é uma grande possibilidade a continuação do trabalho realizado até este ponto.

Alguns trabalhos futuros que podem partir deste são o estudo do efeito DIBL em tecnologias mais modernas e verificar se a utilização de transistores não dopados, nos quais a tensão de limiar é ajustada pelo metal de porta e não pela concentração de dopantes no canal, também elimina a degradação do DIBL em função da temperatura.

REFERÊNCIAS

[1] Lilienfeld, J.E. **Method and apparatus for controlling electric currents.** US Patents 1.745.175 (escrito em 1926, publicado em 1930).

[2] Shockley, W., **The path to the conception of the junction transistor,** IEEE Trans. On Electron Devices, v.23, n.7, pp. 597, 1976.

[3] Kahng, D., **A historical perspective on the development of MOS transistors and related devices,** IEEE Trans. On Electron Devices, v.23, n.7, pp. 655, 1976.

[4] Colinge, J.P., **Silicon-On-Insulator Technology: Materials to VLSI**. 3rd Ed. Massachusetts: Kluwer Academic Publishers, 2004.

[5] IBM, **SOI Technology: IBM next advance In Chip Design**. IBM paper, 2004.

[6] Auberton-Hervé, A. J., **Proceedings of the fourth international Symposium on Silicon-on-Insulator Technology and Devices,** ed. By D.N. Schimdt v. 90-6, The Electrochemical Society, p. 455, 1990.

[7] Sedra, Adel.S; Smith, Kenneth, C., **Microeletrônica,** São Paulo: MAKRON Books, 2000.

[8] Fossum, J.G. et al. **SOI design for competitive CMOS VLSI**. IEEE Transactions on Electron Devices, v.37, n.3, p.724-729, 1990.

[9] Colinge, J.P. **Hot-electron effects in silicon-on-insulator n-channel MOSFETs**. IEEE Transactions on Electron Devices, v.34, n.10, p.2173-2177, 1987.

[10] Su, L.T. et al; **Hot-carrier effects in fully depleted SOI nMOSFETs**. IEEE IEDM Technical Digest, p.349-352, 1992.

[11] Reimbold, G.; Auberton-Herve, A.J. **Aging analysis of nMOS of a 1.3-µm bulk technology partially depleted SIMOX SOI technology comparison with a 1.3 µm** -IEEE Transactions on Electron Devices, v.40, n.2, p.364-370, 1993.

[12] Choi, J. Y. ; Fossum, J. G. **Analysis and control of floating-body bipolar effects in fully depleted submicrometer SOI MOSFETs**. IEEE Transactions on Electron Devices, v. 38, n. 6, p.1384-1391, 1991.

[13] Pavanello, M. A.et al, **Analysis of Temperature-Induced Saturation Threshold voltage Degradation in Deep-Submicrometer ultrathin SOI MOSFETs**. IEEE Transactions on Electron Devices, v. 52, n. 10, 2005.

[14] Pavanello, M. A. et al, **Saturation Threshold Voltage Degradation in Deep-Submicrometer Fully Depleted SOI nMOSFETs operating in Cryogenic Environments**, IEEE International SOI Conference, pp. 72-73, 2005.

[15] Pavanello, M. A. et al, **Comparison Between Drain Induced Barrier Lowering in Partially and Fully Depleted 0,13 µm SOI nMOSFET in low Temperature Operation**, IEEE International SOI Conference, pp. 72-73, 2005.

[16] Ortiz-Conde, A.et al, **A review of recente MOSFET threshold voltage extraction methods**. Microeletronics Reliability, 2002.

[17] Gutierrez D.; Jamal Deen M.; Claeys C. L., **Low Temperature Electronics physics, Devices, Circuits, and Applications**. Academic Press, 2001.

[18] Souza M., **Modelagem, simulação e fabricação de circuitos analógicos com transistores gc soi mosfet operando em temperaturas criogênicas**. Departamento de Engenharia de Sistemas Eletrônicos da Escola Politécnica da USP, 2007.

[19] Sze S. M., **Physics of Semiconductor Devices**. 2nd Ed.: Wiley-Interscience publication, 1981.

[20] Groeseneken, G. et al; **Temperature dependence of threshold voltage in thin- film SOI MOSFETs**. IEEE Electron Device Letters,. v.11, n.8, p.329-331, 1990.

[21] Kistler, N.; Woo, J. **Detailed characterization and analysis of the breakdown voltage in fully depleted SOI n-MOSFET's**. IEEE Transactions on Electron Devices, v.41, n.7, p.1217-1221, 1994.

[22] Yoshimi, M. et al; **Two-dimensional simulation and measurement of high-performance MOSFETs made on a very thin SOI film**. IEEE Transactions on Electron Devices, v.36, n.3, p.493-503, 1989.

[23] Lim, H.K.; Fossum, J. G., **IEEE Trans. On Electron Devices,** v.30, n.7, pp. 1244, 1983.

[24] Choi, J.H.; Park, Y. J.; Min, H.S., **Technical Digest of IEDM,** p. 645, 1994.

[25] Colinge, J.P., **Microelectronic Engineering,** v.8, p. 127, 1988.

[26] Pavanello, M. A.; Martino, J. A.; Verdonck, P. B., **Caracterização Elétrica de Tecnologia e Dispositivos MOS**. Thomson, 2003.

[27] Fossum, J. G., **Proceedings of the fourth international Symposium on Silicon-on-Insulator Technology and Devices,** ed. By D.N. Schimdt v. 90-6, The Electrochemical Society, p. 491, 1990.

[28] Veeraraghavan, S.; Fossum, J. G. , **IEEE Trans. On Electron Devices,** v.36, n.7, p. 522, 1989.

[29] Sekigawa, T.; Hayashi, Y. , **Solid-State Electronics,** v.27, n.7, pp. 827, 1984.

[30] Hisamoto, D. et al, **Technical Digest of International Electron Devices Meeting (IEDM),** p. 833, 1989.

[31] Choi, J. Y.; Fossum, J. G.,**Proceedings IEEE SOS/SOI Technology Conference,** p. 21, 1990.

[32] Chen, C. E. D. et al, **IEEE Electron Device Letters,** v.9, p. 636, 1988.

[33] Sundaresan, R.; Chen, C. E. D., **Proceedings of the fourth international Symposium on Silicon-on-Insulator Technology and Devices,** ed. By D.N. Schimdt v. 90-6, The Electrochemical Society, p. 437, 1990.

[34] SILVACO International, **ATLAS User's Manual**, SILVACO International, 2006.

[35] Slotboom, J. W. et al, **Surface impact ionization in silicon devices,** IEDM p. 494-497, 1987.

[36] Wolff, P. A., **Theory of electron multiplication in silicon and germanium,** Phys. Rev 95(6) p. 1415-1420, 1954.

[37] Dierickx, B. et al, **IEEE Trans. On Electron Devices,** v.35, p. 1120, 1988.

[38] Ko, P. K. et al, **Technical Digest of International Electron Devices Meeting (IEDM),** p. 88, 1984.

[39] Guwaldi, S. M. et al, **Proceedings of the fifth international Symposium on Silicon-on-Insulator Technology and Devices,** ed. By W.E. Bayley, Proc v. 92-13, The Electrochemical Society, p. 157, 1992.

[40] Zhang, B.; Yoshino, A.; Ma, T. P., **Proceedings of the fifth international Symposium on Silicon-on-Insulator Technology and Devices,** ed. By W.E. Bayley, Proc v. 92-13, The Electrochemical Society, p. 163, 1992.

[41] Sheng, H. S. et al, **IEEE Trans. On Electron Devices,** v.36, no.3, p. 488, 1989.

[42] Grove, A. S., **Physics and Technology of Semiconductor Devices,** J. Wiley & Sons, p. 230, 1967.

[43] Jomaah, J. et al, **Proceedings of the IEEE International SOI Conference,** p. 114, 1995.

[44] Brodsky, J. S. et al, **IEEE Transactions On Electron Devices,** v.44, no.6, p. 957, 1997.

[45] Berger, M.; Chai, Z., **IEEE Transactions On Electron Devices,** v.38, p. 871, 1991.

[46] Wang, .R et al, **Threshold Voltage Variations with Temperature in MOS Transistors**, IEEE Transactions On Electron Devices, Ed. 18 p.386, 1971.

[47] Streetman, B. G.; Banerjee,S.,**Solid State Electronic Devices**. 5th Ed.: Prentice Hall, 2000.

[48] Adan, A. O. et al, **Analytical Short-channel Effect Model four Ultra-Thin SOI MOSFET Including Floating Body Effec**ts, Proceedings of IEEE International SOI Conference, pp 106-107, 1997.

[49] Adan, A. O. et al, **Analytical Threshold Voltage Model for Ultra-Thin SOI MOSFET Including Floating Body Effects**, IEEE Trans. On Electron Devices, v.46, n.4, pp. 729-737, 1999.

[50] Pavanello, M. A. et al, **Channel Length and Drain Bias Influence on the Low-temperature-Induced Enhancement of the Drain Induced Barrier Lowering in Deep-Submicrometer Fully Depleted SOI n MOSFETs**, IEEE International SOI Conference, 2005.

[51] Selberherr, S., **Analysis and Simulation of Semiconductor Devices**, Wien, New York: Springer-Verlag, 1984.

[52] Chynoweth, A.G., **Ionisation Rates for Electrons and Holes in Silicon**, Phys. Rev. 109 (1958): 1537-1540.

APÊNDICE A – ARQUIVO DE ENTRADA PARA SIMULAÇÃO DE UM FD SOI NMOS

```
go atlas

TITLE 0.1um FD SOI - T=150 K L=0.13 um

# Comprimento da região de fonte/dreno=0.25 um

# Comprimento do LDD=0.08 um

# 0.1um of silicon on 0.1um oxide substrate

#

mesh   space.mult=1.0

#

##############################início do contato de fonte

x.mesh loc=0.00 spac=0.01

x.mesh loc=0.05 spac=0.01

##############################fim do contato de fonte

x.mesh loc=0.25 spac=0.002

x.mesh loc=0.29 spac=0.001

##############################fim do LDD, início do canal

x.mesh loc=0.33 spac=0.001

x.mesh loc=0.37 spac=0.001

##############################interface halo-canal

x.mesh loc=0.40 spac=0.002

#x.mesh loc=0.40 spac=0.01

#x.mesh loc=0.47 spac=0.01

##############################interface canal-halo

#x.mesh loc=0.45 spac=0.002

#x.mesh loc=0.44 spac=0.005

##############################fim do canal
```

```
x.mesh loc=0.46 spac=0.001

x.mesh loc=0.50 spac=0.001

##############################fim do LDD

x.mesh loc=0.54 spac=0.002

##############################início do contato de dreno

x.mesh loc=0.74 spac=0.01

##############################fim do contato de dreno

x.mesh loc=0.79 spac=0.01

#

y.mesh loc=-0.05 spac=0.01

y.mesh loc=-0.0025 spac=0.001

y.mesh loc=0.00 spac=0.001

y.mesh loc=0.01 spac=0.0025

y.mesh loc=0.025 spac=0.001

y.mesh loc=0.03 spac=0.001

y.mesh loc=0.13 spac=0.05

#

#eliminate columns x.min=0.08 x.max=0.54 y.min=0.15

#eliminate columns x.min=0.08 x.max=0.54 y.min=0.15


#eliminate columns x.min=0.08 x.max=0.54 y.max=-0.01

# eliminate columns x.min=0.25 x.max=0.54 y.max=-0.01


region     num=1 y.max=0 oxide

region     num=2 y.min=0 y.max=0.030 silicon

region     num=3 y.min=0.030  oxide

#

#*********** define the electrodes ************

# #1-GATE #2-SOURCE #3-DRAIN #4-SUBSTRATE(below oxide)
```

```
#
electrode   name=gate  x.min=0.33 x.max=0.46 y.min=-0.05 y.max=-0.0025
electrode   name=source x.max=0.05 y.min=0 y.max=0.030
electrode   name=drain  x.min=0.74 y.min=0 y.max=0.030
electrode   substrate
#
#********** define the doping concentrations *****
#
doping      uniform conc=1e15 p.type  reg=2


doping      gaussian n.type conc=1e20 char=0.03 lat.char=0.00304 reg=2 x.max=0.25
doping      gaussian n.type conc=1e19 char=0.03 lat.char=0.00304 reg=2 x.min=0.25
x.max=0.33


############################################################concentração da região
halo
doping uniform conc=6E17 p.type reg=2 x.min=0.33 x.max=0.41
############################################################concentração do canal
#doping uniform conc=5E17 p.type reg=2 x.min=0.41 x.max=0.45
############################################################concentração da região
halo
doping uniform conc=6E17 p.type reg=2 x.min=0.38 x.max=0.46


doping      gaussian n.type conc=1e19 char=0.03 lat.char=0.00304 reg=2 x.min=0.46
x.max=0.54
doping      gaussian n.type conc=1e20 char=0.03 lat.char=0.00304 reg=2 x.min=0.54


# set interface charge separately on front and back oxide interfaces
#interf      qf=3e10 y.max=0.1
#interf      qf=1e11 y.min=0.1
#
```

```
# set workfunction of gate
contact      name=gate n.poly
contact name=substrate workfunc=4.95


#regrid doping log ratio=2 smooth.k=4


#regrid doping log ratio=2 smooth.k=4
#save outf=fdsoiL0013um.str
#
# select models
models kla watt bgn consrh fldmob temp=150 incomplete ioniz
mobility mod.watt.n
method gummel newton trap maxtraps=10 itlimit=50
output minset
solve init outfile=fdsoiL013i.str
#
# do IDVG characteristic
#
#method      newton autonr trap maxtrap=10
solve       prev
solve vdrain=1e-7
solve vdrain=1e-6
solve vdrain=1e-5
solve vdrain=1e-4
solve vdrain=1e-3
solve vdrain=5e-3
solve vdrain=1e-2
solve vdrain=0.1
solve vfinal=0.030 vstep=0.005 name=gate
```

```
impact selb AN1=9.0E6  AN2=9.0E6  BN1=9.5E6 BN2=9.5E6

#

solve

solve      vfinal=1.5 vstep=0.005 name=drain

save outf=fdsoiL013vds0013.sol

#

# Now do ID/VDS characteristic

load      infile=fdsoiL013vds0013.sol master

solve     prev

log       outf=logVDS1.5V_T150K_L130nm_halo6E17.dat

############################################################Salvando arquivo Tony-plot no momento que ocorre a tensão de limiar em 0.151V

solve     vfinal=0.151 vstep=0.005 name=gate

save outf=VDS1.5V_T150KestruturaVT.str

tonyplot VDS1.5V_T150KestruturaVT.str

############################################################

solve     vfinal=1.2 vstep=0.005 name=gate

save outf=vgsvds.str

#

tonyplot vgsvds.str

quit
```