

CENTRO UNIVERSITÁRIO DA FEI

Rodrigo Trevisoli Doria

**ESTUDO DA LINEARIDADE EM TRANSISTORES SOI DE
PORTA DUPLA COM ESTRUTURA DE CANAL GRADUAL**

**São Bernardo do Campo
2007**

Rodrigo Trevisoli Doria

**ESTUDO DA LINEARIDADE EM TRANSISTORES SOI DE
PORTA DUPLA COM ESTRUTURA DE CANAL GRADUAL**

Dissertação apresentada ao Centro Universitário da FEI como parte dos requisitos necessários para a obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Marcelo Antonio Pavanello

**São Bernardo do Campo
2007**

Doria, Rodrigo Trevisoli

Estudo da linearidade em transistores SOI de porta dupla com estrutura de canal gradual / Rodrigo Trevisoli Doria. São Bernardo do Campo, 2007.

144 f. : il.

Trabalho de Conclusão de Curso - Centro Universitário da FEI.
Orientador: Prof. Dr. Marcelo Antonio Pavanello

1. SOI. 2. Canal Gradual. 3. Porta Dupla. 4. Distorção Harmônica.
I. Pavanello, Marcelo Antonio, orient. II. Título.

CDU 621.382.3

Dedico este trabalho aos meus pais Francisco e Sonali e ao meu irmão Renan pela contribuição inestimável, pelo incentivo, pelo carinho e por toda a dedicação concedida ao longo desta jornada.

AGRADECIMENTOS

Ao meu orientador Prof. Dr. Marcelo Antonio Pavanello, pela dedicação, pela confiança, pelo entusiasmo e pelo apoio, decisivos para a conclusão deste trabalho.

Aos professores Dr. João Antonio Martino e Dr. Salvador Pinillos Gimenez pela contribuição no decorrer do trabalho, e em especial aos conselhos advindos da apresentação de minha qualificação.

Aos demais professores do curso de mestrado Prof. Dr. Renato Giacomini e Prof. Dr. Marcello Bellodi pela dedicação ao longo das aulas.

Aos meus pais e ao meu irmão pelo grande incentivo, pelo carinho, e pela colaboração durante todo o trabalho, compreendendo todos os meus atrasos.

À amiga Michelly de Souza pela grande contribuição no decorrer deste trabalho, principalmente no início de minha jornada solucionando as mais variadas dúvidas.

Ao meu amigo André de Almeida Santos, pelo auxílio durante as simulações de circuitos e pelas discussões durante o trabalho.

Às minhas amigas de curso Julia Maria Arrabaça e Maria Glória Caño de Andrade pela convivência e pelo apoio ao longo de todo o mestrado.

Aos demais colegas de turma Rodrigo Mazzutti, Rodrigo Bechelli, Rogério, Alfonso e Luciano que tanto colaboraram nesta jornada.

Aos meus avós Adão e Anna que sempre me incentivaram e acreditaram em todos os meus projetos.

À todos os demais colegas do mestrado, tanto aqueles de inteligência artificial, como os da turma subsequente à minha de dispositivos eletrônicos com quem dividi a sala de alunos, pela amizade, pela contribuição e pelo interesse apresentado em meu trabalho.

Às secretárias do mestrado Adriana e Rejane por sempre procurarem sanar no menor tempo possível os problemas enfrentados durante o curso.

À CAPES, pelo suporte financeiro prestado ao longo dos últimos dois anos, tornando possível a conclusão do mestrado.

À todos aqueles que de alguma forma mostraram interesse pelo trabalho e que tiveram seu nome aqui omitido de forma involuntária.

Aceite com sabedoria o fato de que o caminho está cheio de contradições. Há momentos de alegria e desespero, confiança e falta de fé, mas vale a pena seguir adiante.

Paulo Coelho

RESUMO

Doria, R. T. **Estudo da Linearidade em Transistores SOI de Porta Dupla com Estrutura de Canal Gradual**. 2007. 144 f., Dissertação (Mestrado) – Centro Universitário da FEI, São Bernardo do Campo, 2007.

Neste trabalho é apresentado um estudo da não-linearidade introduzida por dispositivos de porta circundante (GAA), com e sem a presença da estrutura de canal gradual (GC). Esta estrutura é assim denominada por exibir dois perfis de dopagem no interior do canal, de maneira a preservar a dopagem natural da lâmina na região próxima ao dreno, com o intuito de minimizar o campo elétrico. A estrutura GAA, por sua vez, consiste em um transistor de porta dupla e, por isso, apresenta uma série de vantagens derivadas do maior controle das cargas na região do canal. Ao se unir ambas estruturas, percebe-se uma série de características que fazem do dispositivo resultante interessante para aplicações analógicas. Logo, uma série de simulações do processo de fabricação e do dispositivo foram executadas, sendo as primeiras com o intuito de garantir o perfil de dopantes condizente com a realidade e, as demais para a obtenção das características corrente (I) versus tensão (V) dos dispositivos operando como amplificadores (em regime de saturação) e como resistores (em regime linear). Na análise em regime linear, foram estudadas também estruturas balanceadas 2 e 4 dispositivos (2-MOS e 4-MOS). A partir das curvas resultantes, foram determinadas as distorções harmônicas total e do terceiro harmônico, que são fatores decisivos em aplicações analógicas. Estas foram obtidas para dispositivos com comprimentos de canal (L) de 1, 2, 3 e 10 μm , sendo os três primeiros em regime de saturação e o último em regime linear. Várias razões L_{LD}/L foram simuladas. Os resultados obtidos na saturação mostraram melhor linearidade nas curvas do GC GAA, em relação às do GAA convencional, de modo que, o GC GAA chega a apresentar uma melhora na distorção harmônica total (THD) de 30 dB em alguns dispositivos, a qual é impulsionada pelo ganho do GC, que pode ser até 50 vezes maior que o obtido em transistores GAA convencionais, associada à melhora decorrente da região fracamente dopada. Na análise em região triodo, por outro lado, a vantagem obtida com o uso do GC GAA é claramente percebida em estruturas balanceadas, sendo que, nas estruturas 2-MOS é permitida a redução na tensão de alimentação mantendo a linearidade constante, enquanto que no 4-MOS o ganho em THD chega a 5 dB.

Palavras-chave: SOI. canal gradual. porta dupla. distorção harmônica.

ABSTRACT

Doria, R. T. **Study of the Linearity in Double Gate SOI MOSFETs with Graded-Channel Structure.** 2007. 144 p., Dissertation (Master) – Centro Universitário da FEI, São Bernardo do Campo, 2007.

In this work it is presented a study of the non-linearity introduced by gate-all-around devices (GAA), with and without the presence of the graded-channel structure (GC). This structure receives its name due to the exhibition of two different doping profiles in the channel, maintaining the natural doping concentration of the Silicon film in the drain side to minimize the electric field in this region. On the other hand, the GAA structure consists of a double gate transistor and, for this reason, presents several advantages due to the improved control of the channel charges. Thus, when both structures are used together, these characteristics make the final device interesting for analog applications. As a result, simulations of the fabrication process and of the device were performed. The first ones to make more reliable the doping distribution, and the others to obtain the current (I) versus voltage (V) characteristics of the transistors operating as amplifiers (in the saturation regime) and as resistors (in the linear regime). In the linear regime analysis, balanced structures with 2 and 4 transistors (2-MOS and 4-MOS) were also studied. Through the simulated curves, the total and the third order harmonic distortions, which are decisive factors in analog applications, were determined. These parameters were determined for devices with channel length of 1, 2, 3 and 10 μm , being the first ones in the saturation regime and the last one in the linear regime. Various L_{LD}/L ratios were simulated. The obtained results for the saturation analysis showed better linearity in the GC GAA characteristics in relation to the conventional GAA, since the GC GAA presents an improvement in the total harmonic distortion (THD) superior than 30 dB for some devices, which is stimulated by the higher gain of the GC structure, that can be 50 times greater than the one obtained in the GAA uniformly doped, associated to the improvement due to the presence of the lightly doped region. On the other hand, in the triode analysis the advantage showed by the use of the GC GAA is clearly perceived when using balanced structures. The 2-MOS structure allows for the reduction on the bias voltage keeping the linearity constant, while the 4-MOS presents an improvement in the THD that reaches 5 dB.

Keywords: SOI. graded-channel. double-gate. harmonic distortion.

LISTA DE FIGURAS

Figura 2.1 – Estrutura SOI MOSFET de porta dupla FinFET.....	30
Figura 2.2 – Estrutura final do dispositivo <i>Gate-All-Around</i> em perspectiva (A) e em corte transversal (B).....	31
Figura 2.3 – Vista tridimensional do dispositivo: (A) após a etapa de deposição do nitreto e (B) após a etapa de remoção do nitreto e do óxido.....	32
Figura 2.4 – Vista tridimensional (A) e em corte AA' (B) do processo do dispositivo GAA, após a etapa da corrosão da cavidade.....	33
Figura 2.5 – Transcondutância ($\partial I_{DS}/\partial V_{GF}$) em função da tensão de porta com $V_{DS} = 100$ mV em um SOI convencional de porta simples e em um GAA [3].....	35
Figura 2.6 – Inversão de volume em um MOSFET de porta dupla com filme fino, sendo que, em (A): $V_{GF} \leq V_{TH}$ e em (B): $V_{GF} > V_{TH}$ [3].....	36
Figura 2.7 – Bloco amplificador formado por um único transistor MOS.....	38
Figura 2.8 – Seção transversal do transistor GC SOI MOSFET.....	39
Figura 2.9 – Corte transversal do dispositivo de porta circundante e canal gradual (GC GAA).....	42
Figura 2.10 – Processo de normalização da característica I x V através do IFM.....	49
Figura 2.11 – Característica I x V normalizada nos eixos x e y, onde são evidenciadas as áreas abaixo e acima da curva, necessárias para o cálculo da distorção através do IFM.....	50
Figura 2.12 – Diferença da saída $y_r(x)$ normalizada simétrica [55].....	52
Figura 2.13 – Característica da diferença da saída normalizada simétrica menos o sinal de entrada, $y_r(x)-x$, e seu módulo $ y_r(x)-x $ [55].....	52
Figura 2.14 – Integrador RC para pequenos sinais utilizando transistores ao invés de resistores.....	57
Figura 2.15 – (A) circuito balanceado implementado com amplificadores operacionais e (B) integrador RC para grandes sinais utilizando uma estrutura balanceada 2-MOS.....	58
Figura 2.16 – Estrutura balanceada modificada de Banu-Tsividis composta por 4-MOS.....	61
Figura 3.1 – Dispositivo resultante da simulação do processo de fabricação.....	67
Figura 3.2 – Concentração de dopantes ao longo do canal para os dispositivos GAA e GC GAA com $L = 1$ μ m a 40 nm de profundidade da interface Si-SiO ₂	68

Figura 3.3 – Curvas $I_{DS} \times V_{GT}$ ($V_{GT} = V_{GF} - V_{TH}$) com $V_{DS} = 1,5$ V para os dispositivos GAA e GC GAA de (A) $1 \mu\text{m}$ e (B) $3 \mu\text{m}$	70
Figura 3.4 – Curvas de $g_m \times V_{GT}$ com $V_{DS} = 1,5$ V para os dispositivos GAA e GC GAA com (A) $L = 1 \mu\text{m}$ e (B) $L = 3 \mu\text{m}$	74
Figura 3.5 – Esboço da curva de $g_m/I_{DS} \times I_{DS}/(W/L_{eff})$	75
Figura 3.6 – Curvas de $g_m/I_{DS} \times V_{GT}$ para dispositivos GAA e GC GAA de $L = 3 \mu\text{m}$	76
Figura 3.7 – Curvas $I_{DS} \times V_{DS}$ simuladas para os dispositivos GAA e GC GAA com $V_{GT} = 500$ mV para comprimentos de canal de (A) $1 \mu\text{m}$ e (B) $3 \mu\text{m}$	77
Figura 3.8 – Curvas da condutância de dreno (g_D) em função de V_{DS} para os dispositivos de (A) $1 \mu\text{m}$ e (B) $3 \mu\text{m}$ com $V_{GT} = 500$ mV.....	78
Figura 3.9 – Família de curvas (A) $I_{DS} \times V_{DS}$ e (B) $g_D \times V_{DS}$ com V_{GT} variando de 0 a 1 V para o dispositivo de $L = 3 \mu\text{m}$ e $L_{LD}/L = 0,5$	79
Figura 3.10 – Esboço da curva de $VEA \times g_m/I_{DS}$ para o dispositivo GC GAA de $L = 3 \mu\text{m}$ e $L_{LD}/L = 0,5$	80
Figura 3.11 – Curvas $V_{EA} \times g_m/I_{DS}$ simuladas para os dispositivos com comprimento de canal de (A) $1 \mu\text{m}$ e (B) $3 \mu\text{m}$ para $V_{DS} = 1,5$ V.....	81
Figura 3.12 – Curvas de $A_v \times g_m/I_{DS}$ para os dispositivos simulados com comprimento de canal igual a (A) $1 \mu\text{m}$ e (B) $3 \mu\text{m}$	83
Figura 3.13 – Curvas de $THD \times V_{GT}$ para dispositivos com comprimento de canal de (A) $1 \mu\text{m}$ e (B) $3 \mu\text{m}$ para $V_{DS}=1,5$ V e $V_a=50$ mV.....	85
Figura 3.14 – Curvas de $THD \times g_m/I_{DS}$ para dispositivos com comprimento de canal de (A) $1 \mu\text{m}$ e (B) $3 \mu\text{m}$ para $V_{DS}=1,5$ V e $V_a=50$ mV.....	86
Figura 3.15 – Curvas $THD/A_v \times g_m/I_{DS}$ simuladas para dispositivos com comprimentos de canal de (A) $1 \mu\text{m}$ e (B) $3 \mu\text{m}$ ($V_{DS} = 1,5$ V e $V_a = 50$ mV).....	87
Figura 3.16 – Curvas de $HD3 \times V_{GT}$ para dispositivos com comprimento de canal de (A) $1 \mu\text{m}$ e (B) $3 \mu\text{m}$ para $V_{DS} = 1,5$ V.....	89
Figura 3.17 – Curvas de $HD3 \times g_m/I_{DS}$ para dispositivos com comprimento de canal de (A) $1 \mu\text{m}$ e (B) $3 \mu\text{m}$ para $V_{DS} = 1,5$ V e $V_a = 50$ mV.....	90
Figura 3.18 – Curvas $HD3/A_v \times g_m/I_{DS}$ simuladas para dispositivos GAA e GC GAA com comprimentos de canal de (A) $1 \mu\text{m}$ e (B) $3 \mu\text{m}$ ($V_{DS} = 1,5$ V e $V_a = 50$ mV).....	91

Figura 3.19 – Distorções THD/Av e HD3/Av em função do comprimento de canal (L) para $g_m/I_{DS} = 3 \text{ V}^{-1}$	92
Figura 3.20 – Curvas de THD/Av em função de uma entrada senoidal Va para comprimentos de canal de (A) 1 μm e (B) 3 μm com $g_m/I_{DS} = 5 \text{ V}^{-1}$ e $V_{DS} = 1,5 \text{ V}$	93
Figura 3.21 - Curvas de HD3/Av em função de uma entrada senoidal Va para comprimentos de canal de (A) 1 μm e (B) 3 μm com $g_m/I_{DS} = 5 \text{ V}^{-1}$ e $V_{DS} = 1,5 \text{ V}$	94
Figura 3.22 – Curvas de $I_{DS} \times V_{DS}$ com $V_{GT} = 2 \text{ V}$ para dispositivos GAA e GC GAA com comprimento de canal de 10 μm	96
Figura 3.23 – Curvas de $I_{DS} \times V_{DS}$ para dispositivos GAA e GC GAA com comprimento de canal de 10 μm e $R_{ON} \cong 205 \text{ k}\Omega \pm 5\%$	97
Figura 3.24 – Curvas de (A) HD3 x Va e (B) THD x Va para dispositivos GAA e GC GAA com $L = 10 \mu\text{m}$ e diversas razões de L_{LD}/L	98
Figura 3.25 – Estruturas resistivas utilizadas em filtros MOSFET-C: (A) estrutura 2-MOS e (B) estrutura 4-MOS.....	100
Figura 3.26 – Esboço das curvas de R_{ON} para estruturas balanceadas com 2 e 4 transistores implementada com transistores SOI convencionais.....	100
Figura 3.27 – Curvas $I_{DS} \times V_{DS}$ simuladas para estruturas 2-MOS composta por dispositivos de $L = 10 \mu\text{m}$ e vários L_{LD}/L com $V_{GT} = 2 \text{ V}$	102
Figura 3.28 - Curvas $I_{DS} \times V_{DS}$ simuladas para estruturas 2-MOS composta por dispositivos de $L = 10 \mu\text{m}$ e vários L_{LD}/L com $R_{ON} \cong 37 \text{ k}\Omega \pm 5\%$	103
Figura 3.29 – Curvas de (A) HD3 x Va e (B) THD x Va para estruturas balanceadas 2-MOS composta por dispositivos GAA e GC GAA para um R_{ON} fixo.....	104
Figura 3.30 - Curvas $I_{DS} \times V_{DS}$ simuladas para estruturas 4-MOS composta por dispositivos de $L = 10 \mu\text{m}$ e vários L_{LD}/L com $V_{GT} = 1 \text{ V}$ e $V_{Gfixo} = 3 \text{ V}$	105
Figura 3.31 - Curvas de (A) HD3 x Va e (B) THD x Va para estruturas balanceadas 4-MOS composta por dispositivos GAA e GC GAA para um R_{ON} fixo.....	107
Figura 4.1 – Fotografia retirada dos dispositivos GC GAA caracterizados.....	109
Figura 4.2 – Curvas de $I_{DS} \times V_{GT}$ medidas com $V_{DS} = 1,5 \text{ V}$ para os dispositivos GC GAA de 3 μm	110
Figura 4.3 – Curvas de $g_m \times V_{GT}$ medidas com $V_{DS} = 1,5 \text{ V}$ para os dispositivos GC GAA de $L = 3 \mu\text{m}$	112

Figura 4.4 – Curvas de g_m/I_{DS} x V_{GT} para dispositivos GC GAA caracterizados de $L = 3 \mu\text{m}$...	113
Figura 4.5 – Curvas I_{DS} x V_{DS} medidas para os GC GAA com $V_{GT} = 500 \text{ mV}$ para os dispositivos caracterizados.....	114
Figura 4.6 – Curvas de (A) $HD3$ x g_m/I_{DS} e (B) THD x g_m/I_{DS} para os dispositivos caracterizados com $V_{DS} = 1,5 \text{ V}$ e $V_a = 50 \text{ mV}$	118
Figura 4.7 – Curvas de (A) $HD3/A_v$ x g_m/I_{DS} e (B) THD/A_v x g_m/I_{DS} para os dispositivos caracterizados com $V_{DS} = 1,5 \text{ V}$ e $V_a = 50 \text{ mV}$	119
Figura 4.8 – Curvas de (A) $HD3/A_v$ x V_a e (B) THD/A_v x V_a para os dispositivos caracterizados com $V_{DS} = 1,5 \text{ V}$ e $g_m/I_{DS} = 5 \text{ V}^{-1}$	121
Figura 4.9 – Curvas de I_{DS} x V_{DS} para dispositivos GAA e GC GAA com comprimento de canal de $3 \mu\text{m}$ e $R_{ON} \cong 1,5 \text{ k}\Omega \pm 5\%$	122
Figura 4.10 – Curvas de (A) $HD3$ x V_a e (B) THD x V_a para os dispositivos caracterizados com $V_{GT} = 2 \text{ V}$ e $R_{ON} \cong 1,5 \text{ k}\Omega \pm 5\%$	123

LISTA DE TABELAS

Tabela 3.1 – Tensão de limiar (V_{TH}) obtida para todos os dispositivos simulados ($V_{DS} = 0,1$ V).....	71
Tabela 3.2 – Inclinação de sublimiar (S) obtida para todos os dispositivos simulados através do inverso da derivada logarítmica de $I_{DS} \times V_{GF}$ com $V_{DS} = 0,1$ V (valores de S dados em mV/dec).....	73
Tabela 3.3 – Tensão Early (V_{EA}) obtida com $V_{DS} = 1,5$ V e $V_{GT} = 500$ mV para todos os dispositivos.....	81
Tabela 3.4 – Ganho de tensão em malha aberta (A_v) obtido com $V_{DS} = 1,5$ V e $V_{GT} = 500$ mV para todos os dispositivos a partir da razão g_m/g_D (valores de A_v expressos em dB).....	83
Tabela 3.5 – Máxima amplitude V_a da entrada senoidal equivalente para a obtenção do nível de distorção (THD/ A_v) desejado (valores obtidos para $g_m/I_{DS} = 5$ V ⁻¹ e $V_{DS} = 1,5$ V).....	94
Tabela 3.6 – Resistência de canal (R_{ON}) obtida com $V_{DS} = 0,1$ V e $V_{GT} = 2$ V para os dispositivos de $L = 10$ μ m.....	97
Tabela 3.7 – Variação de V_{GT} requerida para a obtenção de similar R_{ON} nos dispositivos de $L = 10$ μ m com $V_{DS} = 0,1$ V.....	98
Tabela 3.8 – Resistência de canal (R_{ON}) obtida com $V_{DS} = 0,1$ V e $V_{GT} = 2$ V para estruturas 2-MOS com dispositivos de $L = 10$ μ m.....	102
Tabela 3.9 – Valores de V_{GT} obtidos para diversos dispositivos GAA a GC GAA em estruturas 2-MOS para um R_{ON} constante.....	103
Tabela 3.10 – Valores de V_{GT} obtidos para diversos dispositivos GAA a GC GAA em estruturas 4-MOS para um R_{ON} constante com $V_{Gfixo} = 3$ V.....	106
Tabela 4.1 – Tensão de limiar (V_{TH}) obtida para os dispositivos caracterizados e simulados através da técnica da segunda derivada de $I_{DS} \times V_{GF}$ com $V_{DS} = 0,1$ V.....	111
Tabela 4.2 – Tensão Early (V_{EA}) obtida com $V_{DS} = 1,5$ V e $V_{GT} = 500$ mV para os dispositivos caracterizados e simulados.....	115
Tabela 4.3 – Ganho de tensão em malha aberta (A_v) obtido com $V_{DS} = 1,5$ V e $V_{GT} = 500$ mV para os dispositivos caracterizados e simulados.....	116

Tabela 4.4 – Comparação entre valores medidos e simulados para THD e HD3 com $g_m/I_{DS} = 3,5 \text{ V}^{-1}$ e $V_{DS} = 1,5 \text{ V}$ em dispositivos com comprimento de canal igual a $3 \mu\text{m}$118

Tabela 4.5 – Comparação entre valores medidos e simulados para THD/ A_v e HD3/ A_v com $g_m/I_{DS} = 3,5 \text{ V}^{-1}$ e $V_{DS} = 1,5 \text{ V}$ em dispositivos com comprimento de canal igual a $3 \mu\text{m}$120

LISTA DE SÍMBOLOS

ϵ_{ox}	Permissividade do óxido (F/cm)
ϵ_{Si}	Permissividade do silício (F/cm)
ϕ	Ângulo de defasagem da função de entrada do dispositivo na análise por Taylor
ϕ_B	Potencial de superfície aproximado para a inversão forte (V)
ϕ_F	Potencial de Fermi (V)
ϕ_S	Potencial de superfície (V)
γ	Constante de efeito de corpo ($V^{1/2}$)
λ	Comprimento de canal natural (cm)
μ	Mobilidade efetiva no canal (V^{-1})
θ	Fator de degradação da mobilidade (V^{-1})
ω	Freqüência angular do sinal de entrada (Hz)
ξ	Freqüência do sinal de entrada (Hz)
a_0	Amplitude do nível DC para a série de Fourier
a_n	Amplitude do enésimo termo da série de Fourier em função do cosseno de ξ
A	Amplitude da função aplicada na entrada do dispositivo
A_r	Área da função de interpolação de Lorentzian
AREA1	Área acima da curva normalizada para a aplicação do IFM
AREA2	Área abaixo da curva normalizada para a aplicação do IFM
A_v	Ganho de tensão em malha aberta para baixas freqüências
b_n	Amplitude do enésimo termo da série de Fourier em função do seno de ξ
C	Capacitor presente nos integradores de 2-MOS e 4-MOS (F)
C_0	Coefficiente de Fourier correspondente à amplitude do nível DC do sinal de saída
C_1	Coefficiente de Fourier correspondente à amplitude do sinal de freqüência fundamental na saída
C_2	Coefficiente de Fourier correspondente à amplitude do segundo harmônico no sinal de saída
C_L	Carga capacitiva do circuito amplificador com transistor unitário (F)

C_n	Coeficiente de Fourier correspondente à amplitude do harmônico de ordem n no sinal de saída
C_{oxf}	Capacitância do óxido de porta por unidade de área (F/cm^2)
D	Primeira função integral para o cálculo da distorção harmônica
D_r	Segunda função integral para o cálculo da distorção harmônica
D_{rs}	Terceira função integral para o cálculo da distorção harmônica
D_s	Quarta função integral para o cálculo da distorção harmônica
g_D	Condutância de dreno (Ω^{-1})
g_m	Transcondutância (Ω^{-1})
HD_0	Distorção harmônica correspondente à parcela DC do sinal de entrada
HD_2	Distorção harmônica referente ao harmônico de segunda ordem
HD_3	Distorção harmônica referente ao harmônico de terceira ordem
HD_n	Distorção harmônica referente ao harmônico de n -ésima ordem
I	Corrente (A)
I_{01}	Corrente no nó da entrada negativa do amplificador operacional na análise de estruturas balanceadas (A)
I_{02}	Corrente no nó da entrada positiva do amplificador operacional na análise de estruturas balanceadas (A)
I_b	Corrente de alimentação do circuito amplificador com transistor unitário (A)
I_{DS}	Corrente de dreno (A)
I_{DS1}	Corrente de dreno no primeiro transistor das estruturas 2-MOS ou 4-MOS (A)
I_{DS2}	Corrente de dreno no segundo transistor das estruturas 2-MOS ou 4-MOS (A)
I_{DS3}	Corrente de dreno no terceiro transistor da estrutura 4-MOS (A)
I_{DS4}	Corrente de dreno no quarto transistor da estrutura 4-MOS (A)
k	Constante de Boltzman ($1,38 \times 10^{-23} \text{ J/K}$)
K_0	Coeficiente de não-linearidade do nível DC na análise por Taylor
K_1	Coeficiente de Taylor do harmônico fundamental
K_2	Coeficiente de não-linearidade do segundo harmônico na análise por Taylor
K_n	Coeficiente de não-linearidade do n -ésimo harmônico na análise por Taylor
L	Comprimento de máscara do canal do dispositivo (μm)
L_{eff}	Comprimento efetivo do canal do dispositivo (μm)

L_{HD}	Comprimento da região fortemente dopada do canal do dispositivo GC SOI (μm)
L_{LD}	Comprimento da região fracamente dopada do canal do dispositivo GC SOI (μm)
N_{AB}	Concentração de dopantes no substrato (cm^{-3})
N_{AF}	Concentração de dopantes na camada de silício (cm^{-3})
q	Carga elementar do elétron ($q = 1,6 \times 10^{-19} \text{ C}$)
R	Resistência de pequenos sinais da estrutura 2-MOS ($\text{k}\Omega$)
R_{ON}	Resistência interna ao canal dos dispositivos ($\text{k}\Omega$)
S	Inclinação de sublimiar ($\text{mV/década de corrente}$)
t_{ox}	Espessura da camada de óxido de porta (μm)
t_{Si}	Espessura da camada de silício (μm)
T	Temperatura absoluta (K)
$T1$	Primeiro transistor disposto na estrutura 4-MOS analisada
$T2$	Segundo transistor disposto na estrutura 4-MOS analisada
$T3$	Terceiro transistor disposto na estrutura 4-MOS analisada
$T4$	Quarto transistor disposto na estrutura 4-MOS analisada
THD	Distorção harmônica total (dB)
THD_0	Distorção harmônica total acrescida do nível DC (dB)
V	Tensão (V)
V_o	Tensão de polarização (V)
V_a	Amplitude do sinal de entrada senoidal equivalente à análise por IFM (V)
V_B	Potencial de substrato (V)
V_D	Potencial de dreno (V)
V_{DS}	Tensão aplicada ao dreno do transistor (V)
V_{ds}	Parcela alternada do sinal aplicada ao dreno do transistor (V)
V_{EA}	Tensão Early (V)
V_{FB}	Tensão de faixa plana (V)
V_G	Potencial de porta (V)
V_{GF}	Tensão aplicada à porta do transistor (V)
V_{gf}	Parcela alternada do sinal aplicada à porta do transistor (V)
V_{Gfixo}	Tensão de porta dos transistores periféricos na estrutura 4-MOS (V)
V_{GT}	Sobretensão de porta (V)

V_{IN}	Tensão de entrada das estruturas 2-MOS e 4-MOS (V)
V_{OUT}	Tensão de saída das estruturas 2-MOS e 4-MOS (V)
V_{PT}	Tensão de ruptura (V)
V_S	Potencial de fonte (V)
V_{TH}	Tensão de limiar (V)
V_X	Tensão de entrada do amplificador operacional na análise de estruturas balanceadas (V)
w	Largura da função de interpolação de Lorentzian
W	Largura do canal do dispositivo (μm)
x_C	Ponto central da função de interpolação de Lorentzian
X_0	Ponto de polarização do dispositivo na análise pelo IFM
y_0	<i>Offset</i> da função de interpolação de Lorentzian

LISTA DE ABREVIATURAS

AC	Tensão Alternada
BJT	<i>Bipolar Junction Transistor</i> (Transistor Bipolar de Junção)
CF	Coefficientes de Fourier
DC	Tensão Contínua
DELTA	<i>Fully Depleted Lean-Channel Transistor</i> (Transistor Completamente Depletado de Canal Vertical)
DIBL	<i>Drain Induced Barrier Lowering</i> (Redução da Barreira Induzida pelo Dreno)
DG	<i>Double Gate</i> (Transistor de Porta Dupla)
DTMOS	<i>Dynamic Threshold Voltage</i> MOS (MOS com Tensão de Limiar Dinâmica)
FD	<i>Fully Depleted</i> (Completamente Depletado)
FET	<i>Field Effect Transistor</i> (Transistor de Efeito de Campo)
GAA	<i>Gate-All-Around</i> (Porta Circundante)
GC	<i>Graded-Channel</i> (Canal Gradual)
HD	<i>Harmonic Distortion</i> (Distorção Harmônica)
IFM	<i>Integral Function Method</i> (Método da Função Integral)
IMD	<i>Intermodulation Distortion</i> (Distorção de Intermodulação)
LPLV	<i>Low-Power Low-Voltage</i> (Baixa-Potência Baixa-Tensão)
MEMS	<i>Microelectromechanical System</i> (Sistema Microeletromecânico)
MOS	<i>Metal-Oxide-Semiconductor</i> (Metal-Óxido-Semicondutor)
MTCMOS	<i>Multi-Threshold</i> CMOS (CMOS de Múltiplos Limiares)
OTA	<i>Operational Transconductance Amplifier</i> (Amplificador Operacional de Transcondutância)
SG	<i>Single Gate</i> (Transistor de Porta Simples)
SOI	<i>Silicon-on-Insulator</i> (Silício sobre Isolante)
SOS	<i>Silicon-on-Sapphire</i> (Silício sobre Safira)
THD	<i>Total Harmonic Distortion</i> (Distorção Harmônica Total)
VIP	<i>Voltage Interception Point</i> (Ponto de Intercepção da Tensão)
VLSI	<i>Very Large Scale of Integration</i> (Muito grande escala de integração)

SUMÁRIO

1	INTRODUÇÃO.....	24
1.1	OBJETIVOS E ESTRUTURA DO TRABALHO.....	27
2	CONCEITOS FUNDAMENTAIS.....	29
2.1	TRANSISTORES SOI DE PORTA DUPLA.....	29
2.2	DISPOSITIVO SOI <i>GATE-ALL-AROUND</i> (GAA).....	31
2.2.1	Processo de Fabricação.....	32
2.2.2	Características Elétricas.....	33
2.3	GC SOI nMOSFET (<i>GRADED-CHANNEL</i>).....	38
2.4	GC GAA SOI nMOSFET (<i>GRADED-CHANNEL GATE-ALL-AROUND</i>).....	40
2.5	NÃO-LINEARIDADE OU DISTORÇÃO HARMÔNICA.....	42
2.6	MÉTODOS DE DETERMINAÇÃO DA NÃO-LINEARIDADE.....	43
2.6.1	Método de Fourier.....	45
2.6.2	Método da Série de Taylor.....	46
2.6.3	Método da Função Integral (IFM).....	48
2.7	ESTRUTURAS BALANCEADAS.....	55
2.7.1	Estrutura Balanceada de 2 Transistores (2-MOS).....	55
2.7.2	Estrutura Balanceada de 4 Transistores (4-MOS).....	60
3	SIMULAÇÕES NUMÉRICAS - RESULTADOS.....	64
3.1	SIMULADORES.....	64
3.2	SIMULAÇÃO DO PROCESSO.....	66
3.3	MODELOS UTILIZADOS NO SIMULADOR ATLAS.....	68
3.4	CARACTERÍSTICAS I_{DS} x V_{GF}	70
3.5	TENSÃO DE LIMIAR (V_{TH}).....	71
3.6	INCLINAÇÃO DE SUBLIMIAR (S)	72
3.7	TRANSCONDUÇÃO (g_m).....	73
3.8	RAZÃO g_m/I_{DS}	75
3.9	CARACTERÍSTICAS I_{DS} x V_{DS} E CONDUÇÃO DE DRENO (g_D).....	76

3.10	TENSÃO EARLY (V_{EA}).....	78
3.11	GANHO DE TENSÃO EM MALHA ABERTA (A_v).....	82
3.12	DISTORÇÃO HARMÔNICA PARA DISPOSITIVOS OPERANDO EM SATURAÇÃO.....	84
3.12.1	Distorção Harmônica Total (THD).....	84
3.12.2	Distorção do Harmônico de Terceira Ordem (HD3).....	88
3.12.3	Relação da Distorção Harmônica com a Redução do Comprimento de Canal.....	91
3.12.4	Distorção Harmônica em Função da Amplitude da Entrada Senoidal (V_a).....	92
3.13	DISTORÇÃO HARMÔNICA PARA DISPOSITIVOS OPERANDO EM REGIÃO TRIODO.....	95
3.14	DISTORÇÃO HARMÔNICA PARA ESTRUTURAS BALANCEADAS OPERANDO EM REGIÃO TRIODO.....	99
3.14.1	Linearidade em Estruturas 2-MOS.....	101
3.14.2	Linearidade em Estruturas 4-MOS.....	105
4	RESULTADOS EXPERIMENTAIS.....	108
4.1	CARACTERÍSTICAS DOS DISPOSITIVOS ANALISADOS.....	108
4.2	CARACTERÍSTICAS I_{DS} X V_{GF}	109
4.3	TENSÃO DE LIMIAR (V_{TH}).....	111
4.4	TRANSCONDUTÂNCIA (g_m).....	112
4.5	RAZÃO g_m/I_{DS}	113
4.6	CARACTERÍSTICAS I_{DS} X V_{DS} E CONDUTÂNCIA DE DRENO (g_D).....	114
4.7	TENSÃO EARLY (V_{EA}).....	115
4.8	GANHO DE TENSÃO EM MALHA ABERTA (A_v).....	116
4.9	DISTORÇÃO HARMÔNICA PARA DISPOSITIVOS OPERANDO EM SATURAÇÃO.....	117
4.9.1	Distorção Harmônica em Função do Ponto de Polarização do Dispositivo.....	117
4.9.2	Distorção Harmônica em Função da Amplitude da Entrada Senoidal (V_a).....	120
4.10	DISTORÇÃO HARMÔNICA PARA DISPOSITIVOS OPERANDO EM REGIÃO TRIODO.....	121
5	CONCLUSÕES E TRABALHOS FUTUROS.....	124

REFERÊNCIAS BIBLIOGRÁFICAS.....	128
APÊNDICE A: SIMULAÇÃO ATHENA.....	136
APÊNDICE B: SIMULAÇÃO ATLAS.....	139
APÊNDICE C: SIMULAÇÃO DE CIRCUITOS.....	141

1 INTRODUÇÃO

Com o desenvolvimento progressivo da microeletrônica, os transistores de efeito de campo da tecnologia Metal-Óxido-Semicondutor (*Metal-Oxide-Semiconductor Field-Effect-Transistor* - MOSFET), amplamente utilizados em circuitos digitais e analógicos ao longo das últimas décadas, têm tido a sua implementação em altíssima escala de integração (*Very Large Scale Integration* - VLSI) dificultada devido à crescente miniaturização dos dispositivos. Tal miniaturização é responsável por diversos efeitos decorrentes da redução do comprimento de canal dos transistores, normalmente chamados de efeitos de canal curto. Estes problemas presentes nos MOSFETs incentivaram o desenvolvimento de dispositivos em tecnologias mais avançadas, que proporcionassem resultados superiores, aumentando a longevidade da tecnologia MOSFET.

Neste contexto, despontam os dispositivos da tecnologia Silício sobre Isolante (*Silicon-on-Insulator* – SOI). Embora tenham sido desenvolvidos no início da década de 60 através da tecnologia Silício sobre Safira (*Silicon-on-Sapphire* – SOS) [1], estes apresentavam baixa mobilidade devido à parâmetros das redes cristalinas da safira e do silício, e somente se tornaram uma real alternativa tecnológica a partir de estudos realizados na década de 80 [2]. A principal diferença apresentada pela tecnologia SOI em relação à MOS convencional consiste na presença de uma camada de isolante (óxido enterrado) entre a região ativa da lâmina e o substrato.

Este isolamento proporciona diversas melhoras nas características dos transistores, desde a redução de efeitos de canal curto, tais como, a redução da dependência da tensão de limiar com o comprimento de canal devido ao maior controle da carga espacial, até a redução nas capacitâncias de junção, uma vez que fonte e dreno são isolados do substrato através de uma camada de óxido, resultando em uma maior corrente elétrica [3].

Além disso, se a camada de silício utilizada for suficientemente fina, o dispositivo pode se tornar completamente depletado, ou seja, toda a camada de silício do canal pode estar em depleção, o que proporciona grande redução do efeito de corpo [4], além de minimizar ou mesmo suprimir diversos problemas apresentados nos transistores SOI com camada de silício mais espessa, como a maior corrente de fuga [3]. Assim, estas características demonstram a potencialidade da tecnologia SOI, em especial para transistores completamente depletados,

visando aplicações de baixo consumo de potência e baixa tensão de alimentação (*Low-Power Low-Voltage* – LPLV) [5].

Na tecnologia SOI, além dos transistores planares similares aos fabricados na tecnologia MOS convencional, foram desenvolvidos transistores das mais variadas formas, alguns com ligação direta entre a porta e a região de canal, denominados MTCMOS (*Multi-Threshold CMOS*) ou DTMOS (*Dynamic Threshold Voltage MOS*) [6],[7], outros com a presença de múltiplas portas, sempre de forma a buscar melhorias para uma certa aplicação. Nesse trabalho, serão estudados transistores de porta circundante (*Gate-All-Around* – GAA), que são transistores de porta dupla, uma vez que a contribuição de corrente das regiões laterais da camada de silício pode ser desprezada [8]. Os dispositivos de porta dupla são considerados um dos mais promissores transistores para o desenvolvimento de dispositivos altamente submicrométricos, uma vez que, ao terem o canal envolvido por óxido e material de porta, a região de atuação do campo elétrico relativo à porta aumenta, tornando o controle da porta sobre as cargas no interior do canal maior e minimizando os efeitos decorrentes da redução das dimensões [9]. Além disso, ao se aplicar potencial à porta, pode ocorrer a inversão de toda a camada de silício, o que aumenta significativamente a transcondutância deste dispositivo, resultando em um maior ganho de tensão em malha aberta quando comparado ao SOI convencional [10].

Visando a diminuição dos efeitos provocados pelo forte campo elétrico presente no dreno devido à sua região de depleção, um dispositivo desenvolvido na tecnologia SOI com perfil assimétrico de dopantes na região de canal (*Graded-Channel* - GC) também será estudado [11]. Neste dispositivo, é mantida a dopagem natural da lâmina de silício nas proximidades do dreno, enquanto que no restante do canal ocorre a implantação iônica para o ajuste da tensão de limiar.

As vantagens apresentadas pela estrutura de canal gradual em relação ao dispositivo uniformemente dopado, com vistas à aplicações analógicas, têm sido abordadas em diversos estudos [12],[13],[14], mostrando excelente desempenho tanto em amplificadores operacionais de transcondutância (*Operational Transconductance Amplifiers* - OTAs) como em espelhos de corrente. Nestes circuitos, devido à estrutura GC, podem ser observadas diversas vantagens como a confecção de OTAs com maior largura de banda e menor área, sem degradação das características de saída [15]. Nestas aplicações, uma outra importante característica pode ser observada devido à presença da região com dopagem natural nas proximidades do dreno, a qual

consiste num significativo aumento do ganho em malha aberta, que é de extrema importância para aplicações analógicas.

Ao se promover a união das estruturas GAA e GC em uma única, é perceptível uma interação entre ambas, de forma que se observa a combinação dos efeitos proporcionados por cada uma delas na estrutura final. Logo, o dispositivo de porta circundante com estrutura de canal gradual (GC GAA) apresenta vantagens superiores às exibidas por cada estrutura individualmente. Alguns estudos recentemente apresentados [10],[16] têm explorado as excelentes características da estrutura GC GAA em aplicações analógicas. De acordo com a referência [10], o ganho apresentado pelo GC GAA resultou em uma melhora significativa de 30-40 dB em relação a um dispositivo GC de porta simples e de 20-30 dB se comparado com um GAA convencional de dimensões similares, proporcionando a implementação de OTAs com características ainda superiores às apresentadas para o dispositivo de canal gradual com porta simples. Dispositivos GC GAA com altos valores de ganho intrínseco seriam extremamente úteis para aplicações analógicas de precisão e em sistemas microeletromecânicos (*Microelectromechanical Systems - MEMS*) [10].

Aplicando-se um sinal senoidal à porta de um transistor, o sinal obtido no dreno, quando polarizado com corrente constante, devido à não-linearidade da característica corrente (I) x tensão (V) do transistor MOS, é composto pelo sinal fundamental associado a inúmeros harmônicos [17], os quais devem ser desprezíveis face ao fundamental. Portanto, é de grande importância em sistemas analógicos, a análise da não-linearidade do sinal de saída dos dispositivos, que é normalmente denominada por distorção harmônica. Assim, o principal objetivo deste trabalho consiste em estudar a estrutura de porta circundante com estrutura de canal gradual (GC GAA), principalmente no que diz respeito às aplicações analógicas, com especial atenção ao estudo da linearidade.

Num primeiro momento, será feita a análise da distorção harmônica em dispositivos operando na região de saturação como amplificadores, uma vez que existem estudos recentes apontando para a redução da não-linearidade ao se utilizar estruturas GC GAA ao invés de dispositivos de porta simples nesta configuração [18]. Para isto, diversas simulações das características I x V dos dispositivos serão executadas, já que para a análise correta da distorção harmônica em transistores na região de saturação (obtida através da curva da corrente de dreno (I_{DS}) em função da tensão de porta (V_{GF})), é necessária a sua normalização pelo ganho em malha

aberta (A_v). Para a determinação de A_v serão necessárias simulações da corrente de dreno (I_{DS}) em função da tensão de dreno (V_{DS}), com diferentes V_{GF} . Os resultados obtidos com os transistores GC GAA serão comparados aos obtidos com transistores GAA convencionais (canal uniformemente dopado entre fonte e dreno).

Na seqüência, será efetuado o estudo dos dispositivos convencional e de canal gradual na região triodo, operando como resistores quase lineares [19],[20]. Neste estudo, torna-se novamente necessária a determinação da linearidade, uma vez que a fonte e o dreno do transistor correspondem aos terminais do resistor e através da tensão aplicada à porta a resistência almejada (R_{ON}) é atingida. Desta maneira, a linearidade normalmente é obtida a partir das curvas de I_{DS} em função de V_{DS} .

Tendo em vista que o nível de linearidade em dispositivos operando na região linear pode apresentar melhora significativa através da utilização de circuitos balanceados [21], estes circuitos também serão abordados ao longo deste trabalho. De acordo com a ref. [21], circuitos balanceados suprimem a distorção gerada por harmônicos pares, que é comumente dominante nestas aplicações. Este estudo tratará de circuitos balanceados com 2 e 4 transistores e procurará determinar as vantagens apresentadas.

Para estudar a linearidade serão realizadas tanto simulações bidimensionais, do processo de simulação e dos dispositivos, como medidas, comparando-se os resultados obtidos em ambas.

Para a obtenção das características de linearidade dos transistores será utilizado o método da função integral (*Integral Function Method – IFM*) [22], que é um método matemático, que permite a obtenção da linearidade a partir das curvas obtidas em corrente contínua. Neste estudo, serão consideradas ainda a variação do comprimento da região com a dopagem natural da lâmina e, na maior parte dos casos, a redução do comprimento de canal dos dispositivos, a fim de verificar seu impacto na linearidade.

1.1 Objetivos e Estrutura do Trabalho

O objetivo deste trabalho consiste no estudo da linearidade em transistores SOI de porta dupla com estrutura de canal gradual, dadas as vantagens obtidas com o uso destes dispositivos em aplicações analógicas. O estudo visa determinar o desempenho analógico, através da

distorção harmônica, de estruturas GC GAA operando tanto em saturação como amplificadores, como em triodo como resistores quase lineares. No estudo em triodo, estruturas balanceadas também são avaliadas, almejando aumento na linearidade.

Para atingir os objetivos propostos, este trabalho foi dividido em cinco capítulos, cujas estruturas estão apresentadas a seguir.

No Capítulo 2 serão abordados todos os tópicos relativos à introdução teórica necessária para o entendimento do trabalho. Inicialmente, serão colocados alguns conceitos fundamentais dos dispositivos GAA e GC, para que então, as características do GC GAA sejam definidas. A seguir, será feita uma explicação sobre a não-linearidade, culminando com a definição de distorção harmônica e seus métodos de extração, com maior ênfase ao IFM. Finalmente, será apresentado o conceito e serão introduzidas algumas estruturas balanceadas.

No Capítulo 3 constará uma breve introdução dos simuladores utilizados e, então serão dispostos os resultados obtidos ao longo das simulações. Primeiramente, será apresentado o processo simulado para a obtenção do GC GAA. Posteriormente, utilizando as estruturas oriundas do simulador de processos, serão simuladas as características da corrente de dreno (I_{DS}) em função da tensão de porta (V_{GF}) e em função da tensão de dreno (V_{DS}), respectivamente. Com estas curvas parâmetros, tais como: a tensão de limiar (V_{TH}), a inclinação de sublimiar (S), a transcondutância (g_m), a tensão Early (V_{EA}), o ganho de malha aberta (A_v) e, finalmente, as distorções harmônicas total e de terceira ordem (THD e HD3) serão extraídos para os dispositivos operando em saturação. THD e HD3 serão extraídos também para os dispositivos e as estruturas balanceadas operando em região linear como resistor variável.

O Capítulo 4 destina-se à apresentação dos resultados obtidos experimentalmente. Neste capítulo constarão desde as características dos dispositivos medidos, até a comparação dos resultados obtidos com aqueles resultantes das simulações, tanto para os dispositivos operando em saturação como em região triodo.

Por fim, no Capítulo 5 serão explicitadas as conclusões obtidas ao longo do trabalho desenvolvido, através do confronto entre os resultados obtidos em simulações no Capítulo 3 e aqueles medidos experimentalmente no Capítulo 4, bem como apresentadas as propostas de continuidade do estudo atual.

2 CONCEITOS FUNDAMENTAIS

Neste capítulo serão apresentados os dispositivos de porta circundante *Gate-All-Around* abordados ao longo do trabalho, bem como introduzidos os transistores de canal gradual (*Graded-Channel*), culminando com a união destes dois dispositivos em uma única estrutura. Serão também mostradas as principais características elétricas de cada um dos dispositivos estudados e o processo de fabricação normalmente utilizado em sua confecção. Na seqüência, serão apresentados também os conceitos da linearidade das curvas características de um transistor e seus métodos de extração normalmente utilizados. Finalmente, serão abordados os conceitos de estruturas balanceadas e será apresentado o equacionamento das estruturas de 2 e 4 transistores estudadas.

2.1 Transistores SOI de Porta Dupla

Com a evolução da tecnologia MOS, diversos dispositivos de múltiplas portas foram desenvolvidos, visando a obtenção de melhores características elétricas, como maior intensidade de corrente e minimização dos efeitos de canal curto. Entre os dispositivos de porta dupla (*Double Gate – DG*), pode-se mencionar: XMOS [23], MFXMOS [24],[25], *Gate-All-Around* (GAA) [8], DELTA [26], condutor triangular (“*triangular-wired*”) [27],[28], Δ -channel [29] e FinFET [30], entre outros.

A primeira publicação a respeito de dispositivos MOS de porta dupla data de 1984 [23], onde é descrito o funcionamento de um dispositivo chamado XMOS, o qual proporcionava uma considerável redução nos efeitos decorrentes da redução do comprimento de canal (efeitos de canal curto), uma vez que o controle do potencial no interior do filme de silício aumenta de forma significativa com a presença de duas portas. Assim, previne-se que as linhas de campo da fonte e do dreno afetem o controle das cargas do canal [31], fazendo com que a influência das regiões de depleção de fonte e dreno sejam mínimas.

O primeiro dispositivo de porta dupla em tecnologia SOI foi denominado de “*fully Depleted Lean-channel TrAnsistor*” (DELTA, 1989), o qual foi implementado verticalmente

sobre o filme de silício. Outros transistores como, o FinFET (Figura 2.1) e o MFXMOS, desenvolvidos mais recentemente, também contam com canal vertical. Além da redução nos efeitos de canal curto, todos os dispositivos de porta dupla apresentam melhora na inclinação de sublimiar, que atinge níveis próximos ao limite teórico de 59,6 mV/dec, e maior corrente de condução devido à presença de dois canais. De modo simplificado, a corrente resultante é próxima ao dobro daquela obtida em um dispositivo de porta simples (*Single Gate – SG*) com canal de mesma dimensão, uma vez que, a intensidade de corrente é diretamente proporcional à largura do canal (W) e inversamente proporcional ao seu comprimento (L) [3].

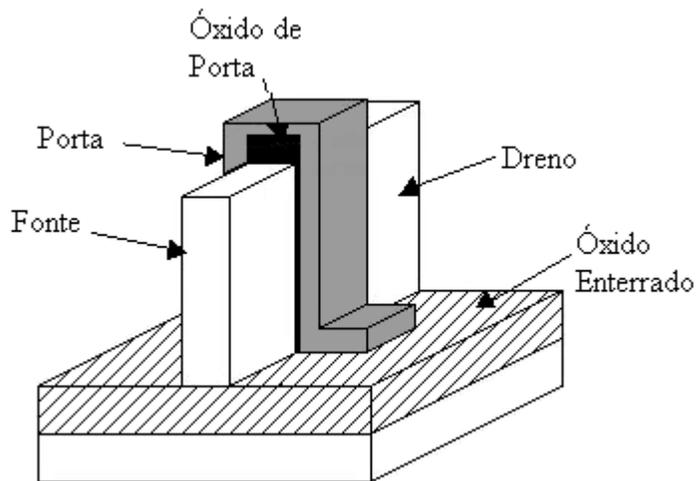


Figura 2.1 – Estrutura SOI MOSFET de porta dupla FinFET.

Outra importante característica, também observada nos transistores de múltiplas portas, diz respeito à inversão volumétrica, descoberta em 1987 [32], primeiramente observada em um transistor de porta dupla GAA em 1990 [8] e, posteriormente, percebida também em dispositivos de porta tripla [33],[34]. Este fenômeno, de natureza quântica, ocorre em transistores completamente depletados com camada de silício de espessura fina, onde os portadores da camada de inversão passam a ocupar parte do filme, ao invés de permanecerem confinados nas proximidades das interfaces Si-SiO₂. Desse modo, a corrente, que em transistores de porta simples flui apenas nas extremidades do silício, passa a fluir também no interior do canal, onde a mobilidade é superior, resultando em uma melhora das características de saída através do aumento da transcondutância.

2.2 Dispositivo SOI *Gate-All-Around* (GAA)

Desenvolvido em 1990 por J. P. Colinge *et al.* [8], o transistor SOI de porta circundante (GAA) exibido na Figura 2.2, difere da maior parte dos transistores de porta dupla mostrados na seção anterior, cujos canais são verticais, pois consiste em um dispositivo com canal na forma horizontal, envolto por isolante e material de porta [8]. Apesar disso, pode ser considerado como um dispositivo de porta dupla, devido à largura de seu canal ser muito maior que a espessura do filme de silício. Por ter o canal na forma horizontal, este dispositivo pode ser fabricado a partir do processo de um transistor SOI de porta simples, com a necessidade de apenas algumas modificações, as quais serão descritas no item 2.2.1.

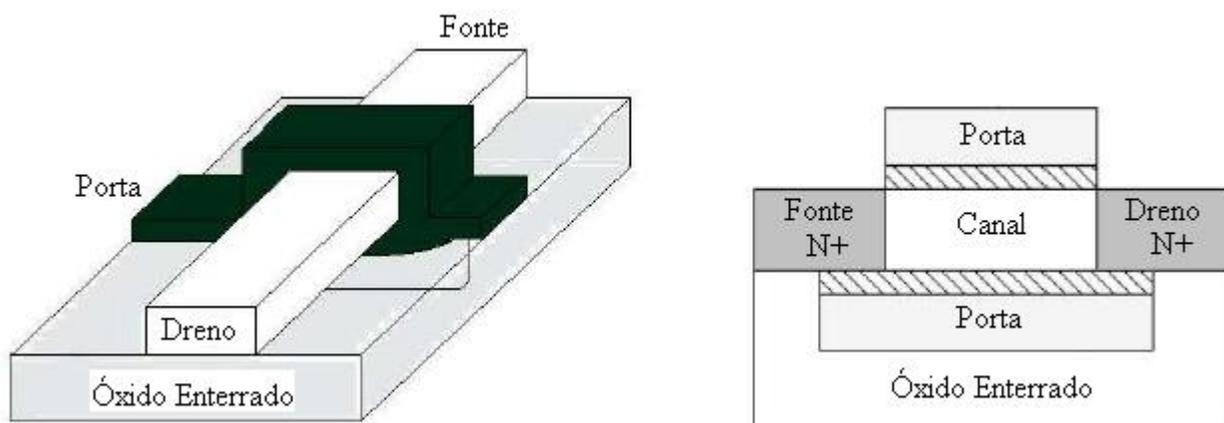


Figura 2.2 – Estrutura final do dispositivo *Gate-All-Around* em perspectiva (A) e em corte transversal (B).

Dessa forma, a facilidade de fabricação, aliada às características elétricas superiores que serão detalhadas na seção 2.2.2, fazem com que o GAA seja um dispositivo bastante atrativo em aplicações de baixa tensão e baixo consumo de potência, além de ser ideal para ambientes hostis com radiação ou altas temperaturas [35]. Recentemente, dispositivos GAA com comprimento de canal de 50 nm foram fabricados com sucesso, demonstrando o interesse desta estrutura [36].

2.2.1 Processo de Fabricação

Conforme descrito anteriormente, a fabricação do transistor GAA é obtida a partir do processo padrão de um transistor SOI MOSFET de porta simples, com algumas pequenas modificações [8]. Nos dispositivos atuais, os dispositivos são fabricados a partir de lâminas SOI do tipo UNIBOND, com espessura de óxido enterrado de 390 nm. A espessura final do silício na região ativa deve ser próxima à 80 nm, conseqüentemente, devido à maior espessura da camada de Si presente inicialmente na lâmina, são necessárias diversas etapas de oxidação e remoção do óxido, a fim de atingir uma espessura de silício próxima a 100 nm.

Após a obtenção da espessura desejada, uma fina camada de óxido é crescida sobre a lâmina e, então ocorre a deposição de nitreto de silício como mostrado na Figura 2.3 (A). Na seqüência, através de uma máscara, o nitreto e o silício são corroídos para a definição das regiões ativas na forma de mesas (ilhas de silício). Todo o silício é removido da região passiva da lâmina. Neste momento, é executada uma etapa de oxidação, com o intuito de arredondar as bordas das ilhas de silício e, posteriormente, tanto o nitreto como o óxido são removidos das regiões ativas como pode ser visto na Figura 2.3 (B).

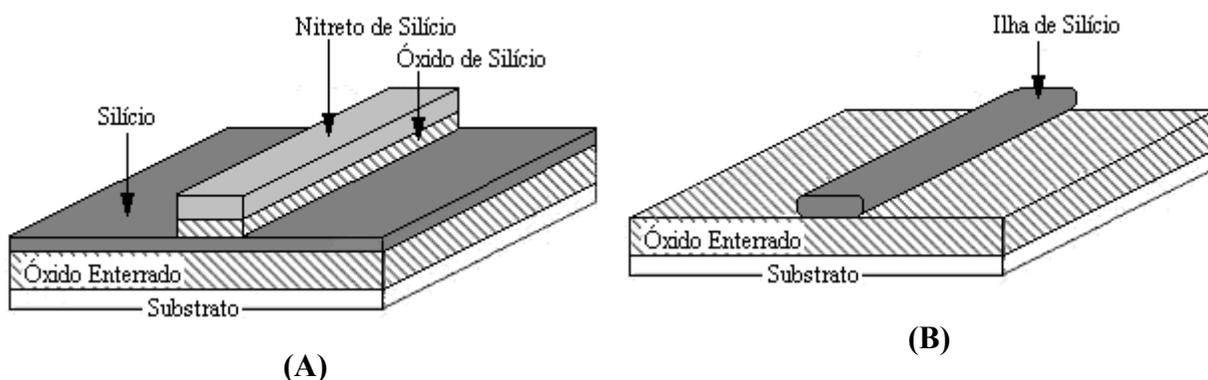


Figura 2.3 – Vista tridimensional do dispositivo: (A) após a etapa de deposição do nitreto e (B) após a etapa de remoção do nitreto e do óxido.

Na seqüência, uma máscara é utilizada para cobrir toda a lâmina, com exceção da região de canal do transistor, a qual coincide com a intersecção entre as áreas ativas e o futuro silício policristalino de porta. A seguir, a lâmina é imersa em uma solução de ácido fluorídrico (HF), onde o óxido é corroído e uma cavidade é criada, sob a região central das ilhas de silício como

mostrado na Figura 2.4 (A). Em seguida, é executada a oxidação de porta, em que uma fina camada de óxido cresce ao redor de toda a região exposta do silício, inclusive no interior da cavidade, conforme pode-se observar esquematicamente na Figura 2.4 (B).

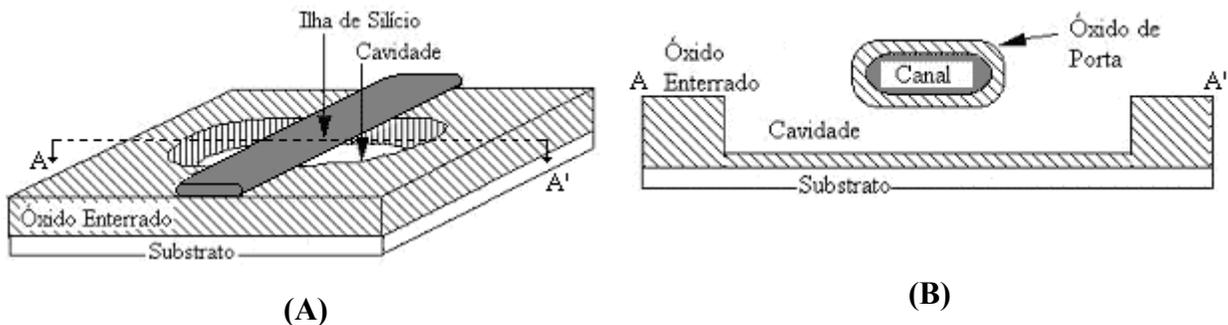


Figura 2.4 – Vista tridimensional (A) e em corte AA' (B) do processo do dispositivo GAA, após a etapa da corrosão da cavidade.

Os passos seguintes constam na implantação de boro para o ajuste da tensão de limiar e na deposição e dopagem do silício policristalino, de forma a completar toda a cavidade, para seja formada a porta circundante, de maneira a envolver todo o canal. Assim, através da litografia convencional e de etapas de corrosão, o polisilício é definido tanto na parte superior como dos lados das mesas. Finalmente, são formados o dreno e a fonte através de uma implantação iônica de arsênio/fósforo. Devido ao processo utilizado, o dispositivo resultante tem uma porta inferior mais longa que a superior, o que representa uma maior capacitância parasita, como apresentado na ref. [35] e observado na Figura 2.2 (B).

2.2.2 Características Elétricas

O dispositivo GAA possui diversas características que o tornam mais atrativo que os transistores de porta simples com mesmas dimensões. Conforme mencionado no item 2.1, a tecnologia de porta dupla apresenta resultados superiores em termos de efeitos de canal curto, inclinação de sublimiar (S), transcondutância (g_m) e intensidade de corrente (I_{DS}) [10]. Estas características, além de outras, serão detalhadas a seguir.

Os efeitos de canal curto são responsáveis pela dependência da tensão de limiar com o comprimento do canal, além da degradação da inclinação de sublimiar e da corrente de fuga dos

transistores [37]. Como mencionado anteriormente, dispositivos com múltiplas portas apresentam estes efeitos com menor intensidade. Os efeitos de canal curto se devem ao fato de que, ao se diminuir o canal de um dispositivo, a influência do campo elétrico entre dreno e canal aumenta e passa a competir com a porta no controle de cargas no interior do canal. Logo, ao se aumentar a quantidade de portas de um dispositivo, o controle de cargas na região do canal aumenta. Apesar disto, para dispositivos de canais extremamente curtos, estes efeitos não são completamente eliminados apenas com a presença de portas extras. Desta forma, é necessário o cálculo do efeito de canal curto inerente à estrutura (comprimento natural da estrutura), o qual representa a distância de penetração das linhas de campo elétrico do dreno no interior do corpo do dispositivo. A expressão que define o comprimento natural (λ) para transistores de porta dupla pode ser visualizada na equação (2.1), onde ϵ_{Si} e ϵ_{ox} correspondem às permissividades do silício e do óxido, respectivamente. Este comprimento natural é função das espessuras do óxido de porta (t_{ox}) e da camada de silício (t_{Si}) [3].

$$\lambda = \sqrt{\frac{\epsilon_{Si}}{2\epsilon_{ox}} t_{ox} t_{Si}} \quad (2.1)$$

Logo, partir do cálculo de λ pode-se determinar a mínima espessura das camadas de silício e óxido necessárias para se evitar os efeitos em questão. Segundo a referência [38], os dispositivos estão relativamente livres destes efeitos para comprimentos naturais de 5 a 10 vezes menores que o comprimento de porta do transistor.

Também devido ao maior controle de cargas proporcionado pela presença de duas portas, os dispositivos GAA apresentam uma menor ionização por impacto, a qual corresponde à geração de pares elétron-lacuna na região de alto campo elétrico próxima ao dreno [16]. As lacunas geradas constituem um dos maiores problemas da tecnologia SOI, principalmente para dispositivos de porta simples, já que para esses dispositivos não existe o contato com o corpo, e estas têm dois destinos: ou migram para o interior do canal aumentando o potencial desta região, de forma a reduzir a tensão de limiar e aumentar I_{DS} para a mesma polarização de dreno e de porta (efeito *kink*); ou são injetadas na região da fonte fortemente dopada, fazendo com que seja introduzida uma grande quantidade de elétrons no interior do canal que será recolhida pelo dreno e, portanto, somada à corrente I_{DS} , resultando em uma ruptura prematura da junção ou perda do

controle da porta. Esse último fenômeno é o chamado efeito bipolar (*Bipolar Junction Transistor* - BJT) parasita [39], onde a fonte corresponde ao emissor, o dreno ao coletor e o corpo à base flutuante do transistor bipolar parasitário.

A melhora na inclinação de sublimiar ($S = \partial V_{GF} / \partial \log(I_{DS})$) promovida pelos dispositivos de porta dupla, também se deve ao maior controle do potencial no interior do canal, devido à presença de duas portas. Os transistores em questão apresentam valores de inclinação de sublimiar próximos ao limite teórico dado por $\ln(10)kT/q$, onde k é a constante de Boltzman, T a temperatura absoluta e q a carga elementar do elétron. Em temperatura ambiente, o limite teórico de S é aproximadamente igual a 59,6 mV/década. Em transistores de canal curto, no entanto, ao se aumentar extremamente o potencial de dreno, esta inclinação S pode atingir valores inferiores aos ideais, devido à corrente proveniente da ionização por impacto. Por outro lado, o efeito de redução da barreira induzida pelo dreno (*Drain Induced Barrier Lowering* – DIBL), pode elevar a inclinação de sublimiar a valores maiores que o limite teórico. Nos GAAs estas variações são menos pronunciadas devido à menor incidência destes efeitos [8].

Outra importante característica dos dispositivos SOI GAA é o aumento da transcondutância (g_m). A transcondutância é definida como a derivada da corrente I_{DS} em função da tensão de porta (V_{GF}) e resulta em um valor que supera o dobro do valor obtido em transistores SOI de porta simples [8], como pode ser visto na Figura 2.5.

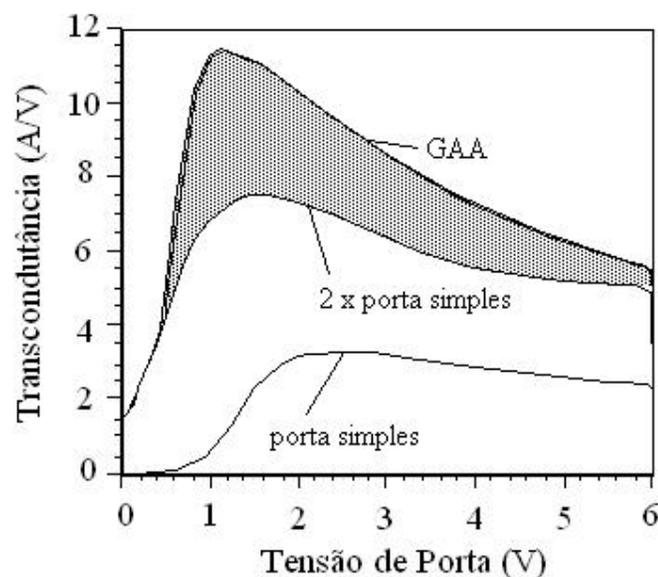


Figura 2.5 – Transcondutância ($\partial I_{DS} / \partial V_{GF}$) em função da tensão de porta com $V_{DS} = 100$ mV em um SOI convencional de porta simples e em um GAA [3].

Parte desta expressiva melhora se deve, principalmente, ao fenômeno da inversão de volume obtida em dispositivos totalmente depletados (*Fully-Depleted* – FD), já que sem a presença deste efeito, o valor máximo teórico da transcondutância equívale ao dobro daquela presente em um dispositivo de porta simples com mesma razão W/L , onde W é a largura e L o comprimento de canal.

A inversão de volume corresponde ao aumento da concentração de elétrons no interior da camada de Si, diferentemente do que ocorre em transistores de porta simples, quando estes são confinados nas proximidades das interfaces Si-SiO₂. Nos transistores de porta simples, devido à relação direta entre mobilidade (μ) e transcondutância ($g_m \propto \mu$), a mobilidade é menor graças ao menor espalhamento de portadores na interface [40]. O fenômeno da inversão de volume é quântico e para determiná-lo não basta apenas a solução da equação de Poisson, mas deve-se adicionar a esta a solução da equação de Schrödinger [41], pois a primeira trata apenas da física clássica, sem prever efeitos quânticos. A inversão de volume é mais perceptível para tensões de porta próximas à da tensão de limiar, quando a camada de inversão promovida pela concentração de elétrons tem maior intensidade no centro do silício, como representado esquematicamente na Figura 2.6 (A). Ao se aumentar a tensão aplicada à porta, embora a concentração de elétrons aumente em toda a profundidade do canal mantendo uma camada de inversão em toda a espessura do filme, este aumento é mais pronunciado nas proximidades das interfaces, como pode-se ver na Figura 2.6 (B).

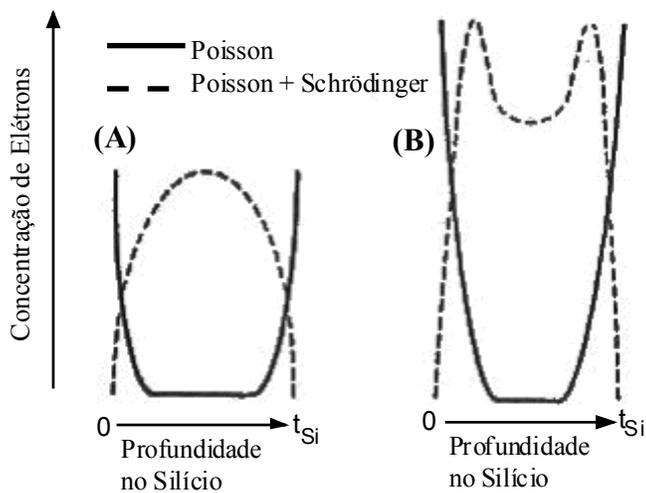


Figura 2.6 – Inversão de volume em um MOSFET de porta dupla com filme fino, sendo que, em (A): $V_{GF} \leq V_{TH}$ e em (B): $V_{GF} > V_{TH}$ [3].

Para altos valores de tensão de porta V_{GF} , portanto, o fenômeno de inversão de volume tem menor influência na mobilidade, na transcondutância e, conseqüentemente, na corrente resultante ($I_{DS} \propto \mu C_{oxf} W/L$, onde C_{oxf} é a capacitância do óxido de porta por unidade de área), fazendo com que I_{DS} seja função, principalmente, da razão W/L efetiva (como existem dois canais, a largura de canal do GAA equivale ao dobro de um transistor de porta simples), e da menor tensão de limiar (V_{TH}). Assim, neste caso a intensidade de corrente do GAA tende ao dobro da obtida em transistores de porta simples [8] com mesma relação W/L e na mesma polarização, ou seja, mesma tensão entre dreno e fonte (V_{DS}) e mesma diferença entre tensão de limiar e tensão de porta.

Esta corrente aparece inicialmente no canal devido a um mecanismo de inversão fraca [42], fazendo com que a determinação da tensão de limiar pela definição convencional, segundo a qual, no início da inversão forte o potencial de superfície (ϕ_S) é igual ao dobro do potencial de Fermi (ϕ_F), deixe de ser válida, pois através do mecanismo de inversão fraca, a tensão de limiar é atingida para valores de ϕ_S 10 mV a 90 mV inferiores a $2\phi_F$, dependendo das espessuras do silício, do óxido e da concentração de dopantes da camada de Si (N_{AF}). Logo, foi desenvolvido um novo método para a determinação de V_{TH} [42], definido como o ponto de máximo da derivada da transcondutância.

Outra característica importante diz respeito ao aumento da tensão Early (V_{EA}) em relação aos dispositivos SG, uma vez que esta está relacionada com a variação da corrente de dreno em função da tensão de dreno (V_{DS}) aplicada, quando o dispositivo opera em saturação e pode ser aproximada pela razão I_{DS}/g_D , onde g_D corresponde à condutância de dreno ($g_D \equiv \partial I_{DS}/\partial V_{DS}$). Devido ao acoplamento vertical e ao melhor controle do potencial no interior do canal, existe uma menor influência do potencial de dreno na corrente de condução, resultando em uma menor condutância de dreno, o que eleva a tensão Early [10]. Sendo o ganho intrínseco de tensão do transistor ($|Av|$) definido pela equação (2.2) [43], nota-se sua proporcionalidade com a tensão Early (V_{EA}). Assim, em dispositivos GAA é percebido um aumento considerável de Av , levando a um excelente comportamento analógico [10].

$$|Av| = \frac{g_m}{g_D} = \left(\frac{g_m}{I_{DS}} \right) V_{EA} \quad (2.2)$$

A equação do ganho de malha aberta (2.2) é válida para o estudo feito na região de saturação, uma vez que, neste caso, os dispositivos serão considerados como amplificadores unitários alimentados por uma fonte de corrente constante (I_b), que é responsável pelo ponto de polarização do transistor como na Figura 2.7. O intuito deste bloco analógico é amplificar a parcela alternada (V_{gf}) do sinal aplicado à porta do transistor, para o sinal de saída que é também composto de uma parcela contínua (V_{DS}) e outra alternada (V_{ds}). Neste caso é considerada uma carga capacitiva C_L .

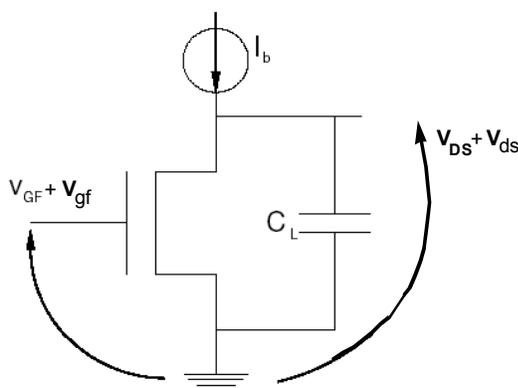


Figura 2.7 – Bloco amplificador formado por um único transistor MOS.

Os transistores GAA são também menos suscetíveis ao efeito de auto-aquecimento (*self-heating*) que os dispositivos SOI SG [44], uma vez que estes últimos são isolados do substrato por uma camada relativamente espessa de óxido, com baixa condutividade térmica, enquanto que no GAA, a região do canal é isolada por uma camada de silício policristalino e uma fina camada de óxido, com menor resistência térmica.

2.3 GC SOI nMOSFET (*Graded-Channel*)

Desenvolvida com o intuito de minimizar a ocorrência de efeitos bipolares parasitários inerentes aos transistores SOI, a estrutura de canal gradual (GC) [12],[14],[45],[46] tem demonstrado visível melhora nas características de saída, como maior intensidade de corrente e

menor condutância de dreno, quando comparadas aos resultados obtidos em dispositivos SOI com canal uniformemente dopado.

Assim como ocorre com a estrutura GAA, os dispositivos GC podem ser facilmente obtidos a partir do processo de fabricação do transistor SOI de porta simples [5]. Na etapa de implantação iônica para o ajuste da tensão de limiar, é preservada a dopagem natural da lâmina na região próxima ao dreno (com comprimento L_{LD}), utilizando a mesma máscara que protege o transistor pMOSFET desta implantação. Deste modo, nenhuma máscara precisa ser adicionada ao processo CMOS comumente utilizado, permitindo que a fabricação dos GC SOI seja facilmente adaptada ao processo padrão. Assim, a implantação iônica ocorre apenas na região vizinha à fonte (com comprimento L_{HD}), a qual será responsável pelo controle da tensão de limiar do dispositivo. A Figura 2.8 apresenta o perfil transversal do transistor GC SOI.

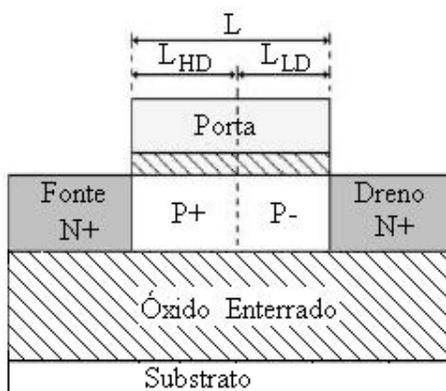


Figura 2.8 – Seção transversal do transistor GC SOI MOSFET.

Neste dispositivo, a região que preserva a dopagem da lâmina permanece invertida mesmo quando um potencial nulo é aplicado à porta [16], ou seja, pode-se concluir que o comprimento efetivo do canal (L_{eff}) deste transistor corresponda aproximadamente à $L_{eff} \cong L - L_{LD}$, onde L é o comprimento de máscara do canal. Assim, um aumento na intensidade de corrente é observado para dispositivos com mesmo comprimento de máscara e maior razão L_{LD}/L [11].

Portanto, a região L_{LD} pode ser entendida como uma extensão do dreno do dispositivo. Quando em saturação, a maior parte do potencial aplicado ao dreno é absorvido na região fracamente dopada, ocasionando uma redução na condutância de dreno e aumento na tensão Early, resultando em um aumento do ganho intrínseco, o que é de especial interesse para aplicações analógicas [13],[14].

Por outro lado, sabe-se que dispositivos GC SOI possuem maior tensão de saturação em relação ao transistor SOI uniformemente dopado com mesmas dimensões. A tensão de saturação nos GC SOI é tanto maior quanto for a relação L_{LD}/L [45]. Esta maior tensão de saturação apresentada pelos dispositivos de canal gradual é de grande interesse na aplicação de transistores operando em região linear como resistores, uma vez que devido a esta tensão, os dispositivos GC apresentam maior excursão do sinal na região de triodo.

2.4 GC GAA SOI nMOSFET (*Graded-Channel Gate-All-Around*)

O dispositivo GC GAA corresponde a uma combinação entre as estruturas de porta circundante (GAA) e de canal gradual (GC), de forma a aproveitar as vantagens apresentadas por cada uma delas. Embora ainda pouco exploradas, algumas características do GC GAA estudadas recentemente [10],[47] confirmam algumas das excelentes expectativas para a utilização destes dispositivos em aplicações analógicas de baixa tensão de alimentação e baixo consumo de potência (*low-power low-voltage* – LPLV).

Da mesma forma que ocorria no transistor GC SG em relação ao SG convencional, ao se comparar o dispositivo GC GAA ao GAA uniformemente dopado, percebe-se que o primeiro apresenta um considerável aumento na corrente I_{DS} conforme a razão L_{LD}/L é aumentada, o que ocorre devido à diminuição do comprimento efetivo do canal (L_{eff}). Ao se comparar a intensidade de corrente entre dispositivos GC SG e GC GAA de dimensões similares, percebe-se que I_{DS} é consideravelmente maior no transistor de porta dupla, tendendo ao dobro da corrente apresentada no dispositivo SG em dispositivos onde o efeito da inversão de volume possa ser considerado desprezível. Este aumento em I_{DS} é decorrente da formação de canal na porta inferior do dispositivo, da mesma forma como ocorria no item 2.2.2, ao se comparar dispositivos SG e GAA uniformemente dopados.

Assim como ocorre com I_{DS} , ao se analisar a transcondutância entre dispositivos de porta dupla dotados ou não de estrutura de canal gradual, observa-se uma transcondutância extremamente maior em dispositivos GC, que em alguns casos pode atingir valores próximos ao dobro daquela obtida em transistores uniformemente dopados para mesma corrente de dreno, conforme apresentado na referência [10]. No estudo apresentado nesta referência, o valor de g_m

para um mesmo nível de corrente é 1,4 vezes maior em dispositivos GAA uniformemente dopados em relação aos dispositivos convencionais de porta simples e em torno de 2,8 vezes maior em dispositivos GC GAA quando comparado à transistores GC SG de razões L_{LD}/L semelhantes. Esta melhora observada em dispositivos GC GAA é devida ao menor comprimento efetivo de canal proporcionado pela estrutura GC aliado ao maior controle das cargas no interior do canal resultante da presença de duas portas e leva a um maior produto do ganho pela banda passante nos dispositivos GC de porta dupla em relação aos demais.

Ao se avaliar a tensão Early obtida em dispositivos GC GAA, pode-se notar uma melhora tanto em relação aos dispositivos GAA convencionais, como em relação aos GC de porta simples. Este desempenho do GC GAA demonstra uma somatória dos efeitos relativos à estrutura GC com aqueles decorrentes do transistor de porta circundante. Devido à presença da estrutura GC, neste dispositivo a maior parte do potencial aplicado ao dreno é absorvido na região fracamente dopada, ocasionando uma redução na condutância de dreno e uma aumento na tensão Early [14], enquanto que um incremento adicional é obtido em V_{EA} , devido ao acoplamento vertical e ao melhor controle do potencial no interior do canal proporcionado pela presença de duas portas [10]. De acordo com a referência [10], transistores GAA convencionais de $L = 2,2 \mu\text{m}$ apresentaram tensão Early próxima à 60 V, enquanto que GC GAAs de dimensões similares incrementaram V_{EA} para valores superiores à 1600 V.

A partir de sua proporcionalidade com a tensão Early, dada pela equação 2.2, o ganho obtido em transistores GC GAA também apresenta influência mútua da presença de duas portas e da estrutura GC. O maior ganho proporcionado pelo GC GAA, pode também ser notado na referência [10], onde transistores GAA uniformemente dopados apresentaram A_V inferiores à 50 dB, enquanto que estruturas GC GAA resultaram em ganhos superiores à 75 dB. O ganho apresentado pelo dispositivo GC GAA mostra o enorme potencial na confecção de OTAs de alto ganho, que são normalmente obtidos através de transistores extremamente longos, associações série-paralelo ou estruturas em cascata, gerando limitações de área e frequência [48].

Além das características superiores, este dispositivo pode ser facilmente obtido, já que seu processo de fabricação é inteiramente baseado naquele do GAA de canal uniformemente dopado, sendo que, ambos transistores podem ser fabricados simultaneamente na mesma lâmina [49]. Assim, como anteriormente descrito para o transistor de porta simples, a principal diferença no processo do GC GAA consta em um deslocamento da máscara na etapa de implantação iônica em

que ocorre o ajuste da tensão de limiar, de forma a inibir a implantação junto ao dreno, para que nesta região seja mantida a concentração natural da lâmina. Na Figura 2.9 pode ser observado o corte transversal do dispositivo GC GAA.

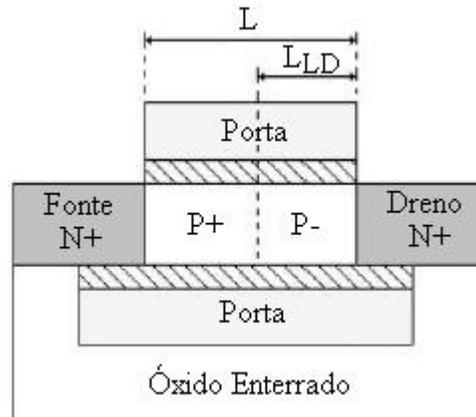


Figura 2.9 – Corte transversal do dispositivo de porta circundante e canal gradual (GC GAA).

2.5 Não-Linearidade ou Distorção Harmônica

O desenvolvimento de estruturas MOS de alta performance para aplicações analógicas em triodo ou saturação tem como um de seus principais focos a análise da não-linearidade de suas curvas características [18],[19],[50].

A distorção analisada em dispositivos eletrônicos consiste na deformação existente na forma de onda de saída em relação àquela aplicada em sua entrada, exceto por um fator multiplicativo, ou seja, o sinal desejável acrescido de diversos outros sinais em diferentes frequências, chamados de harmônicos, que venham a degradar o sinal original [17]. Esta distorção pode ser linear ou não-linear, dependendo das curvas características dos dispositivos em questão.

A distorção é dita linear quando o referido sinal atravessa elementos reativos como capacitores e indutores, os quais modificam a amplitude ou a fase do sinal de saída em função de sua frequência. Assim, o espectro do sinal de saída varia conforme o de entrada como ocorre, por exemplo, com os filtros [51]. A distorção não-linear, por sua vez, gera um sinal de saída que depende do ponto de operação e da amplitude do sinal de entrada, ou seja, ela é causada por uma

característica de transferência não-linear, como acontece com as curvas características $I \times V$ dos diodos retificadores e transistores MOS. Logo, pode-se perceber que para o presente trabalho é de especial interesse a distorção não-linear, que é normalmente denominada por distorção harmônica [51].

Em transistores MOS, a corrente de dreno exibe uma forte característica não-linear como função das tensões aplicadas [52]. Nestes dispositivos, pode-se perceber a distorção harmônica ao se aplicar um sinal senoidal de frequência angular $\omega = 2\pi\xi$, onde ξ é a frequência do sinal aplicado na entrada, e se obter na forma da onda na saída um espectro de frequências composto pelo sinal original acrescido de outros com frequências múltiplas à deste (2ω , 3ω , etc.) que, quanto mais insignificantes forem perante o sinal original, menor será a distorção introduzida pelo transistor.

Existem diferentes formas de se expressar o comportamento da linearidade de um transistor. Neste trabalho, a distorção será apresentada através da utilização de figuras de mérito como a distorção harmônica total (THD), que corresponde à soma de todos os harmônicos presentes na forma de onda de saída, e a distorção harmônica do harmônico de terceira ordem (HD3), que corresponde ao primeiro harmônico de ordem ímpar presente no sinal de saída. Desse modo, através da determinação de HD3, é possível distinguir o nível de distorção introduzido por harmônicos pares e ímpares. Uma descrição mais detalhada destas figuras de mérito será apresentada no decorrer deste texto, bem como algumas de suas formas de determinação.

2.6 Métodos de Determinação da Não-Linearidade

Embora a forma de onda apresentada na saída do transistor MOS seja normalmente apresentada no domínio do tempo, comumente, na análise da distorção harmônica, é preferível que este sinal esteja disposto no domínio da frequência, para que seja feita a análise de seu espectro. Para alternar a disposição do sinal entre os domínios do tempo e da frequência, necessita-se aplicar a transformada de Fourier para, assim, obter a não-linearidade dos dispositivos. Esta técnica, porém, não é facilmente implantada, já que para a aplicação da série de Fourier em baixas frequências, é necessária a caracterização dos dispositivos em corrente alternada (AC), além de ter difícil implementação numérica e não possibilitar a visualização dos

mecanismos geradores da não-linearidade [51]. Assim, outras técnicas foram desenvolvidas de forma a facilitar a determinação da distorção harmônica.

Entre estas técnicas, a expansão por série de Taylor das características $I \times V$ aparece como uma opção [51],[53], já que não é necessária a caracterização AC. Porém, para esta expansão é necessário o cálculo das derivadas de alta ordem da função de transferência dos dispositivos, que são sensíveis ao ruído introduzido pelas medições, além de apresentar algumas limitações, como a grande quantidade de termos que devem ser considerados em sistemas com alto grau de não-linearidade, tornando a análise particularmente difícil. Assim, a expansão da série de Taylor somente deve ser conduzida se o sinal aplicado à entrada puder ser descrito de forma precisa pelos três primeiros termos de sua série convergente de Volterra [51]. Aliás, a própria expansão da série de Volterra é, normalmente, utilizada na determinação da não-linearidade em sistemas com a presença de indutores e capacitores operando em alta frequência, através do método de correntes não-lineares (*Method of Non-linear Currents*), onde cada elemento não-linear de um circuito é convertido em um elemento linear em paralelo com fontes de corrente que representam a não-linearidade [54].

Recentemente, um outro método para a determinação da distorção harmônica foi desenvolvido por Cerdeira *et al* [22],[55],[56]. Este método, chamado de Método da Função Integral (*Integral Function Method – IFM*), permite o estudo da não-linearidade para dispositivos operando em baixas frequências (através de pequenas alterações nas funções integrais também se torna possível a aplicação do IFM para altas frequências como descrito na ref. [57]) a partir de suas características de corrente contínua, ou seja, sem a necessidade da caracterização em corrente alternada. Assim, embora tenha alguns problemas relativos a determinação da distorção em sistemas com intermodulação [56], este método tem se mostrado como o mais apropriado para o estudo atual pois, neste caso, a distorção será determinada em cada um dos transistores individualmente, onde apenas um sinal é aplicado à entrada não existindo intermodulação. Na sequência, cada um dos métodos citados acima, com exceção da expansão da série de Volterra, que foge aos propósitos deste trabalho, será apresentado, de forma que um maior detalhamento será dedicado ao Método da Função Integral – IFM.

2.6.1 Método de Fourier

Ao se aplicar o método de Fourier, existem duas maneiras distintas de calcular a distorção harmônica. A série de Fourier deve ser utilizada para a determinação da distorção em funções periódicas, através do cálculo de seus coeficientes, enquanto que a integral ou transformada rápida de Fourier é necessária para a obtenção da não-linearidade em sinais não-periódicos.

Neste trabalho, apenas sinais periódicos serão aplicados à entrada dos dispositivos avaliados, de forma que será detalhada apenas a série de Fourier. Como mencionado acima, para o cálculo da distorção necessita-se dos coeficientes de Fourier (CF). Para a sua determinação, é considerado o desencadeamento de uma série de Fourier a partir de uma função periódica de frequência $\xi = \omega t$, como mostrado na equação (2.3):

$$f(\xi) = \frac{a_0}{2} + \sum_{n=1}^{\infty} (a_n \cos n\xi + b_n \sen n\xi) \quad (2.3)$$

Para a série apresentada, é necessária a determinação de suas amplitudes (a_n e b_n) para um harmônico de ordem n , através das equações (2.4) e (2.5), e de seu nível DC (a_0), determinado na equação (2.6):

$$a_n = \frac{1}{\pi} \int_0^{2\pi} f(\xi) \cos n\xi d\xi \quad (2.4)$$

$$b_n = \frac{1}{\pi} \int_0^{2\pi} f(\xi) \sen n\xi d\xi \quad (2.5)$$

$$a_0 = \frac{1}{\pi} \int_0^{2\pi} f(\xi) d\xi \quad (2.6)$$

Com a determinação das amplitudes de Fourier do harmônico de ordem n , pode-se determinar o coeficiente de Fourier correspondente, que é expresso pela equação (2.7):

$$C_n = \sqrt{a_n^2 + b_n^2} \quad (2.7)$$

Calculados os coeficientes da série de Fourier, torna-se necessário associá-los a cada um dos termos de interesse. Assim, o coeficiente C_0 corresponde à amplitude do nível DC no sinal de saída, o termo $C_1 \text{sen} \xi$ corresponde à amplitude na frequência do sinal fundamental, $C_2 \text{sen} 2\xi$ corresponde à amplitude do segundo harmônico, $C_3 \text{sen} 3\xi$ à do terceiro e assim por diante.

A distorção harmônica de ordem n (HD_n) pode ser determinada através das definições atribuídas a cada um dos coeficientes de Fourier, conforme na equação (2.8). No estudo atual, necessita-se da distorção do harmônico de terceira ordem (HD_3) que é determinada na equação (2.9), uma vez que, esta será a figura de mérito utilizada, a fim de se identificar a influência dos harmônicos de ordem ímpar no sinal de saída.

$$HD_n = \frac{| \text{Amplitude da frequência de saída } (n\xi), C_n |}{| \text{Amplitude da frequência fundamental } (\xi), C_1 |} \quad (2.8)$$

$$HD_3 = \frac{|C_3|}{|C_1|} \quad (2.9)$$

A outra figura de mérito do estudo consiste na distorção harmônica total (THD), que indica a pureza de um sinal de saída em relação a uma senóide pura. Assim, matematicamente, THD pode ser definida como a soma do valor médio quadrático das amplitudes dos harmônicos maiores que o fundamental ($n \geq 2$) com relação à amplitude do fundamental ($n = 1$), como na equação (2.10) [55]:

$$THD = \sqrt{\frac{\sum_{n=2}^{\infty} |C_n|^2}{|C_1|^2}} \quad (2.10)$$

2.6.2 Método da Série de Taylor

Embora algumas vezes denominado por Cálculo dos Coeficientes de Não-Linearidade, este método consiste em uma aplicação da série de Taylor, a qual corresponde a uma série de

potências desenvolvida a partir de uma determinada função $f(x)$, que pode ser admitida como a relação entre os sinais de entrada $x(t)$ e saída $y(t)$ de um dispositivo:

$$y(t) = f[x(t)] = K_0 + K_1x(t) + K_2x^2(t) + K_3x^3(t) + K_4x^4(t) + \dots \quad (2.11)$$

Logo, se o termo da direita da equação (2.11) convergir para $f[x(t)]$, os coeficientes de não-linearidade K_n podem ser determinados através das derivadas de alta ordem [51]:

$$K_n = \frac{1}{n!} \frac{d^n f}{dx^n} \quad (2.12)$$

Ao se alimentar o dispositivo com um sinal senoidal $f(x) = A\cos(\omega t + \phi)$, onde A é a amplitude do sinal aplicado e ϕ o seu ângulo de defasagem, pode-se perceber na saída que:

$$y(A\cos(\omega t + \phi)) = \left(K_0 + \frac{K_2}{2} A^2 \right) + \left(K_1 A + \frac{3K_3}{4} A^3 \right) \cos(\omega t + \phi) + \frac{K_2}{2} A^2 \cos(2\omega t + 2\phi) + \frac{K_3}{4} A^3 \cos(3\omega t + 3\phi) \dots \quad (2.13)$$

No sinal descrito na equação (2.13) nota-se a presença de componentes DC, geradas por harmônicos pares, elevando o nível DC de saída. Dessa forma, percebe-se que ao se aumentar a amplitude do sinal de entrada em circuitos não-lineares, harmônicos de ordem mais alta deixam de ser desprezíveis, influenciando ainda mais o ponto DC no sinal de saída.

Pode-se então, a partir da equação (2.13), determinar a distorção relativa ao harmônico de ordem n , através da equação (2.8). Neste trabalho, porém, interessa apenas HD3:

$$HD3 = \left| \frac{K_3 A^2}{4K_1 + 3K_3 A^2} \right|, \text{ quando } K_1 \gg \frac{3}{4} K_3 A^2 \quad (2.14)$$

De um mesmo modo, poder-se-ia calcular THD a partir da equação (2.10). Porém, dada a quantidade de termos e a dificuldade matemática, esta figura de mérito será determinada adiante.

2.6.3 Método da Função Integral (IFM)

Conforme mencionado anteriormente, este novo método para a determinação das principais figuras de mérito de distorção foi proposto recentemente. Este método permite não somente a determinação de THD, HD3 e da distorção harmônica de segunda ordem (HD2), como também de outras figuras de mérito derivadas destas, como a tensão de interseção (*Voltage Intercept Point – VIP*), bastante utilizada para análise de amplificadores e outros circuitos eletrônicos [55] ou a distorção de intermodulação (*Intermodulation Distortion – IMD*), importante quando o sinal de entrada é composto por mais de uma frequência [22], como ocorre em amplificadores e receptores. Além de permitir a caracterização de dispositivos apenas em tensão contínua, não é necessária a obtenção de derivadas de alta ordem, como ocorre no método de Taylor. Aliado a isto, o método da função integral é menos sensível à ruídos de medidas que a análise por série de Fourier [22].

Inicialmente, deve-se escolher a característica $I \times V$ a ser medida, já que esta escolha depende da aplicação à qual o dispositivo será submetido. Para o transistor GAA operando como amplificador [13],[47], aplica-se o sinal de entrada entre porta e fonte (V_{GF}) e se observa a não-linearidade na corrente de dreno (I_{DS}) com tensão entre dreno e fonte (V_{DS}) constante. Já quando o transistor opera como resistor linear [20], necessita-se da linearidade na região de triodo. Assim, deve-se dispor de uma tensão que polarize a porta de forma a gerar um potencial entre fonte e dreno para que a linearidade da característica $I_{DS} \times V_{DS}$ seja analisada. Em ambos os casos o sinal de entrada é considerado como:

$$X = X_0 + A \text{sen}(\xi), \text{ onde } \xi = \omega t \quad (2.15)$$

Uma vez escolhida a característica $I \times V$, deve-se selecionar a região de interesse da curva de transferência característica, o ponto de polarização X_0 e a amplitude do sinal de entrada A . Então, esta característica $I \times V$ não-linear dada por $y = f(x)$ é normalizada em ambos os eixos no intervalo $[0;1]$ através das equações (2.16), (2.17) e (2.18). A Figura 2.10 ilustra o processo de normalização de uma característica $I_{DS} \times V_{GF}$:

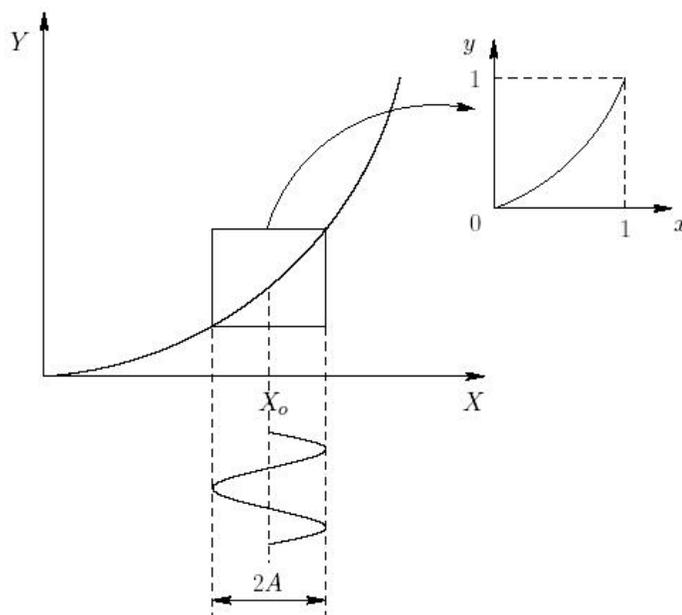


Figura 2.10 – Processo de normalização da característica I x V através do IFM.

$$x = \frac{X - (X_0 - A)}{(X_0 + A) - (X_0 - A)} = \frac{X - (X_0 - A)}{2A} \quad (2.16)$$

$$y = \frac{Y(X) - Y(X_0 - A)}{Y(X_0 + A) - Y(X_0 - A)} \quad (2.17)$$

$$X = X_0 + A(2x - 1) \quad (2.18)$$

Substituindo a equação (2.18) em (2.17), obtém-se a característica de saída como função do ponto de polarização e da amplitude do sinal de entrada:

$$y(x) = \frac{Y(X_0 + A(2x - 1)) - Y(X_0 - A)}{Y(X_0 + A) - Y(X_0 - A)} \quad (2.19)$$

Assim, o quadrado resultante da área igual a 1 é dividido em duas áreas, sendo uma acima (*AREA1*) e outra abaixo (*AREA2*) da curva normalizada, como apresentado na Figura 2.11:

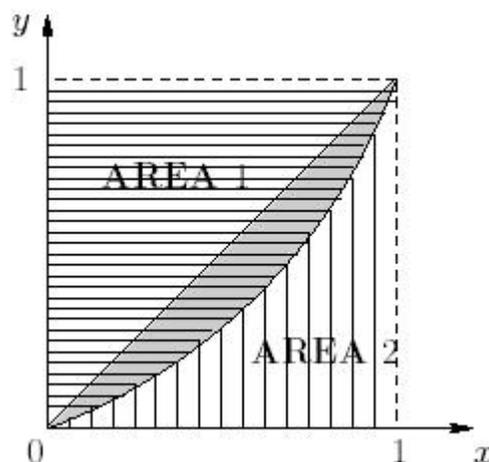


Figura 2.11 – Característica I x V normalizada nos eixos x e y , onde são evidenciadas as áreas abaixo e acima da curva, necessárias para o cálculo da distorção através do IFM.

A partir daí, é definida a função D que corresponde à diferença entre estas duas áreas e é dada pelas equações (2.20) e (2.21):

$$D = AREA1 - AREA2 = y(x)dx - x(y)dy \quad (2.20)$$

$$D = \left| 2 \int_0^1 y(x)dx - 1 \right| \quad (2.21)$$

Se for incluído o nível DC do sinal de saída na definição de THD dada pela equação (2.10), introduzido pela característica não-linear da curva expressa na equação (2.13), pode-se definir THD_0 através dos coeficientes de Fourier, como segue:

$$THD_0 = \sqrt{\frac{\sum_{n=2}^{\infty} |C_n|^2}{|C_1|^2} + \frac{|C_0|^2}{|C_1|^2}} \quad (2.22)$$

A função THD_0 definida acima é relacionada com a função D descrita pela equação (2.21) e resulta em um valor praticamente constante para qualquer nível de distorção $THD_0 \cong 1,06D$ [22].

A análise da distorção através da função D , porém, não é eficiente quando a curva em questão cruza a bissetriz do quadrado formado pelas grandezas normalizadas, já que as áreas se

compensam. Assim, uma nova função D_s é descrita, a partir de uma função $y_s(x)$, para que a curva fique inteira acima da bissetriz, de forma a corrigir o problema:

$$y_s(x) = |y(x) - x| + x \quad (2.23)$$

$$D_s = 2 \int_0^1 y_s(x) dx - 1 \quad (2.24)$$

Conforme pode-se notar na equação (2.24), ao se utilizar a função D_s não é preciso calcular o ponto que intercepta a bissetriz como descrito em [22]. Além disso, percebe-se que quando a curva está inteiramente acima ou abaixo da bissetriz, as funções D e D_s resultam em valores iguais.

Além das funções D e D_s , uma outra denominada D_r , pode ser determinada se for considerado que, embora na maioria das vezes HD3 seja inferior a THD por algumas ordens de grandeza, em certos casos esta distorção se torna dominante, como ocorrem em projetos de circuitos balanceados, fazendo com que a não-linearidade gerada pelos harmônicos de ordem par seja suprimida [55]. Assim, esta supressão pode ser obtida através do cálculo da diferença do sinal de saída Y_r mostrada na equação (2.25). Na equação (2.26) está disposta a normalização de $Y_r(X)$, que é executada da mesma maneira como nas equações (2.16) a (2.19).

$$Y_r = Y(X_0 + A \text{sen } \xi) - Y(X_0 - A \text{sen } \xi) \quad (2.25)$$

$$y_r(x) = \frac{Y_r(X_0 + A(2x-1)) - Y_r(X_0 - A)}{Y_r(X_0 + A) - Y_r(X_0 - A)} \quad (2.26)$$

Como resultado da supressão dos harmônicos pares, a característica de saída adquire uma forma perfeitamente simétrica, como é demonstrado na Figura 2.12, onde se observa o gráfico de $[y_r(x)]$ em função de x .

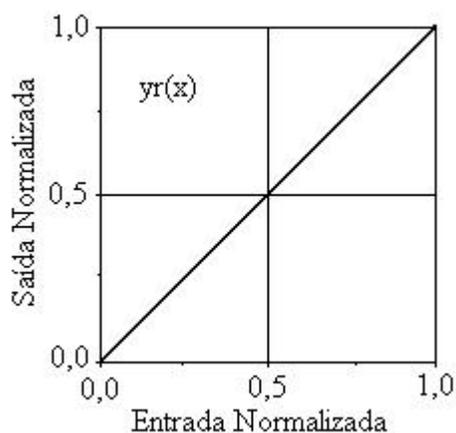


Figura 2.12 – Diferença da saída $y_r(x)$ normalizada simétrica [55].

Assim, ao se construir o gráfico da diferença entre os sinais de saída e entrada normalizados *versus* o sinal de entrada normalizado $\{[y_r(x)-x] \times x\}$, como mostrado na Figura 2.13, nota-se que a diferença $y_r(x)-x$ resulta em um valor nulo quando $y_r(x)=x=0.5$.

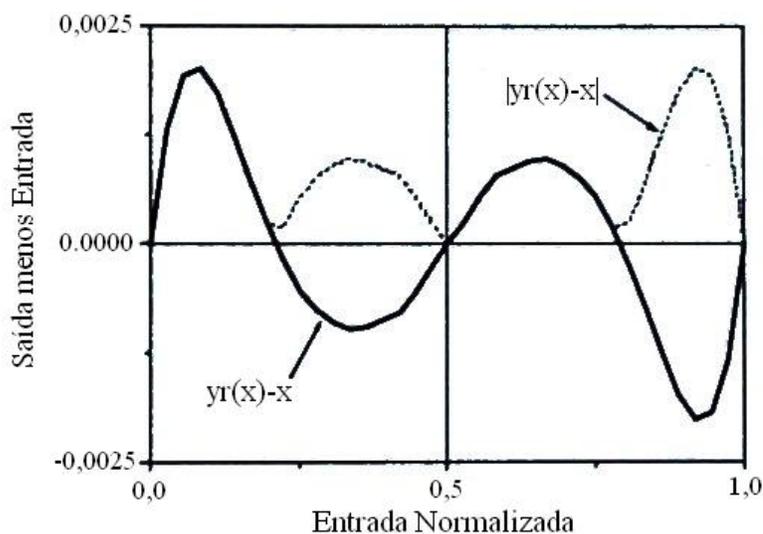


Figura 2.13 – Característica da diferença da saída normalizada simétrica menos o sinal de entrada, $y_r(x)-x$, e seu módulo $|y_r(x)-x|$ [55].

Portanto, a nova função integral Dr é definida para a análise da curva entre 0 e 0,5 e, então, o resultado é multiplicado por 2, como mostrado na equação (2.27):

$$Dr = 2 \times \left| 2 \int_0^{0,5} y_r(x) dx - 0,5^2 \right| \quad (2.27)$$

Novamente, em alguns casos como no descasamento de transistores em circuitos balanceados, a curva pode vir a adquirir um comportamento simétrico de maneira a ocorrer a compensação entre as áreas quando a função diferença $yr(x)$ intercepta a bissetriz dos eixos em mais de uma vez.

Logo, foi necessário o desenvolvimento de uma nova função integral (Drs), com o intuito de transportar toda a curva para a região acima da bissetriz e, para isso, foi utilizada a expressão (2.28). Então, na equação (2.29) é descrita a nova função integral Drs . Através da expressão (2.29), conjuntamente com aquela apresentada em (2.27), percebe-se que quando yr tem apenas uma inflexão no ponto $x = 0,5$ as funções Dr e Drs resultam em um mesmo valor.

$$yrs(x) = |yr(x) - x| + x \quad (2.28)$$

$$Drs = 2 \int_0^1 yrs(x) dx - 1 \quad (2.29)$$

Tendo sido determinadas todas as quatro funções integrais, o passo seguinte consiste na determinação da distorção harmônica a partir destas funções. Como mencionado anteriormente, THD_0 tem uma relação direta com D ou Ds , dependendo apenas da característica da curva a ser analisada. THD_0 pode ser determinada a partir da raiz quadrada da soma dos quadrados dos harmônicos de ordem n , porém as distorções de segunda e terceira ordem, normalmente, são consideradas predominantes. Assim, THD_0 é definido na equação (2.30), onde HD_0 é a distorção harmônica correspondente à componente DC do sinal e HD_2 é a distorção do harmônico de segunda ordem [55]:

$$THD_0 = \sqrt{HD_0^2 + HD_2^2 + HD_3^2 + \dots} \quad (2.30)$$

A partir de uma análise detalhada dos harmônicos presentes em THD_0 , pode-se notar que, conforme descrito na série de Taylor da expressão (2.13), existe uma componente DC proveniente de harmônicos de ordem par que elevam a componente contínua do sinal de saída [51]. A distorção DC final passa a ser praticamente igual àquela gerada pelos harmônicos pares, sendo que, HD_2 é responsável quase que pela totalidade desta componente, já que os harmônicos

de ordem mais alta acabam se tornando desprezíveis. Assim, HD_0 pode ser aproximado para HD_2 , o que resulta na relação (2.31):

$$THD_0 \approx \sqrt{2HD_2^2 + HD_3^2 + \dots} = 1,06Ds \quad (2.31)$$

A distorção harmônica total THD pode ser descrita, assim como THD_0 na equação (2.30), porém excluindo-se a componente DC:

$$THD = \sqrt{HD_2^2 + HD_3^2 + \dots} \quad (2.32)$$

Dessa forma, a partir da relação estabelecida em (2.31), da expressão de THD em (2.32) e da definição de Drs , uma nova equação em função de Ds e de Drs foi desenvolvida para a obtenção de THD como expresso na equação (2.33):

$$THD = \sqrt{\frac{(1,06Ds)^2}{2} + \frac{Drs^2}{2}} \quad (2.33)$$

De um mesmo modo, HD_2 pode ser igualmente definido:

$$HD_2 = \sqrt{\frac{(1,06Ds)^2}{2} - \frac{Drs^2}{2}} \quad (2.34)$$

A distorção do terceiro harmônico HD_3 , por sua vez, pode ser aproximada para Dr , já que esta função integral suprime os harmônicos pares, fazendo com que HD_3 se torne o principal harmônico no sinal resultante. Portanto, desprezando os demais harmônicos ímpares, tem-se:

$$HD_3 = Dr \quad (2.35)$$

Toda a base matemática para os cálculos das equações demonstradas para o IFM podem ser encontradas na referência [58].

2.7 Estruturas Balanceadas

Transistores MOS são comumente utilizados em filtros de tempo contínuo [5], operando como resistores variáveis quase lineares [19]. Neste caso, a fonte e o dreno passam a atuar como terminais do resistor e, através da aplicação de tensão à porta, a resistência interna ao canal (R_{ON}) é controlada. Contudo, a característica de saída destes dispositivos se torna extremamente não linear devido à diversos efeitos, tais como, a degradação da mobilidade, o efeito de corpo (γ) e o descasamento de dispositivos. Com o intuito de promover uma redução na distorção harmônica, desde o início da década de 80, diversas estruturas balanceadas com 2 ou mais transistores têm sido propostas [59],[60],[61],[62].

Estruturas balanceadas apresentam transistores associados de forma a promover o cancelamento parcial da distorção presente na saída de dispositivos MOS. Embora diversas estruturas balanceadas tenham sido propostas, apresentando significativa melhora na distorção harmônica, neste estudo serão apresentadas em detalhes apenas duas das mais comumente utilizadas, uma delas composta por dois (2-MOS) e a outra por quatro (4-MOS) dispositivos, procurando salientar seu funcionamento a partir de seu equacionamento, atentando para a redução na distorção harmônica.

2.7.1 Estrutura Balanceada de 2 Transistores (2-MOS)

A primeira descrição da estrutura balanceada composta por 2 transistores avaliada neste trabalho data de 1983. No estudo em questão, Banu e Tsvividis [59] abordam filtros RC ativos na tecnologia MOS, visando a obtenção de estruturas que apresentem maior linearidade, a fim de permitir a aplicação de maiores sinais em sua entrada.

Conforme apresentado na referência citada, Banu e Tsvividis iniciam o desenvolvimento da estrutura 2-MOS, a partir da equação da corrente de dreno quando o dispositivo opera em regime de triodo, dada pela referência [63] e disposta na equação (2.36).

$$I_{DS} = 2K \left\{ \begin{aligned} & (V_G - V_B - V_{FB} - \phi_B)(V_D - V_S) - \frac{1}{2} [(V_D - V_B)^2 - (V_S - V_B)^2] - \\ & - \frac{3}{2} \gamma [(V_D - V_B + \phi_B)^{3/2} - (V_S - V_B + \phi_B)^{3/2}] \end{aligned} \right\} \quad (2.36)$$

$$\text{onde } \gamma = \frac{1}{C_{oxf}} (2qN_{AB}\epsilon_{Si})^{1/2} \quad (2.37) \text{ e } K = \frac{1}{2} \mu C_{oxf} \frac{W}{L} \quad (2.38)$$

Nas equações (2.36) a (2.38) V_G , V_B , V_D e V_S correspondem aos potenciais de porta, substrato, dreno e fonte em relação à referência, W e L são a largura e o comprimento do canal, μ é a mobilidade efetiva no canal, V_{FB} é a tensão de faixa plana, N_{AB} a concentração de dopantes do substrato, C_{oxf} a capacitância do óxido por unidade de área, ϵ_{Si} a permissividade do silício, q a carga do elétron e ϕ_B o potencial de superfície aproximado na inversão forte (normalmente considerado igual a $2\phi_F$). Dessa forma, é assumido que os potenciais V_D e V_S são tais que o transistor nunca operará em regime de saturação.

Observando-se que a equação da corrente (2.36) tem termos elevados a $3/2$, estes termos podem ser descritos através de uma série de Taylor. Consequentemente, I_{DS} pode ser determinada através da expansão desta série, como apresentado na equação (2.39).

$$I_{DS} = K [K_1(V_D - V_S) + K_2(V_D^2 - V_S^2) + K_3(V_D^3 - V_S^3) + \dots] \quad (2.39)$$

onde os coeficientes K_n independem de V_D e V_S e são funções dos potenciais de porta (V_G) e substrato (V_B).

Assim, o inverso do termo $K.K_1$ é a resistência (R) de pequenos sinais do transistor e pode ser determinada como na equação (2.40), comprovando a possibilidade do uso do dispositivo como resistor variável controlado pela tensão aplicada à porta (V_G).

$$R = \frac{1}{K.K_1} = \left[\mu C_{oxf} \frac{W}{L} (V_G - V_{TH}) \right]^{-1} \quad (2.40)$$

Para que se obtenha a redução da distorção harmônica através da supressão dos harmônicos pares no sinal de saída, Banu e Tsvividis utilizam como exemplo o desenvolvimento

de um integrador RC, em que são utilizados dispositivos MOS ao invés de resistores. Logo, será apresentado o equacionamento do integrador disposto na Figura 2.14.

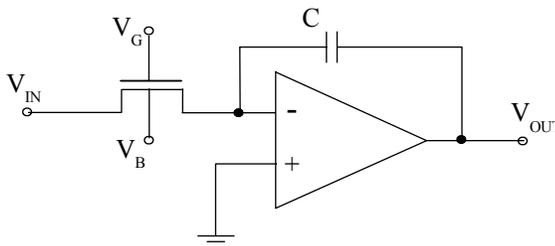


Figura 2.14 – Integrador RC para pequenos sinais utilizando transistores ao invés de resistores.

A equação de saída do integrador mostrado na figura é descrita pela expressão (2.41), através do emprego da equação (2.39) associado à relação $K.K_1 = 1/R$ mostrada em (2.40).

$$V_{OUT} = -\frac{1}{RC} \int_{-\infty}^t V_{IN} dt - \frac{K}{C} \int_{-\infty}^t (K_2 V_{IN}^2 + K_3 V_{IN}^3 + \dots) dt \quad (2.41)$$

Na equação (2.41) o primeiro termo à direita da igualdade corresponde à resposta ideal do integrador (como se houvesse sido utilizado um resistor na entrada do amplificador operacional) e o segundo representa o erro introduzido pela característica não-linear do transistor. Quando a tensão de entrada do sistema é próxima de zero o erro devido ao transistor MOS é relativamente pequeno, porém ao se aumentar a excursão do sinal de entrada, este erro pode comprometer o funcionamento do circuito.

Neste caso, é proposto um circuito completamente balanceado, que permite o cancelamento dos harmônicos de ordem par, os quais são responsáveis por grande parte da distorção obtida na saída, devido principalmente à grande amplitude do harmônico de segunda ordem. O circuito utilizado para tal pode ser visto na Figura 2.15 (A) e o seu esquema elétrico, já na configuração RC, com os transistores MOS atuando como resistores pode ser observado na Figura 2.15 (B). O circuito utilizado apresenta simetria em relação à tensão de referência tanto na entrada através de V_{IN} e $-V_{IN}$ como na saída através de V_{OUT} e $-V_{OUT}$.

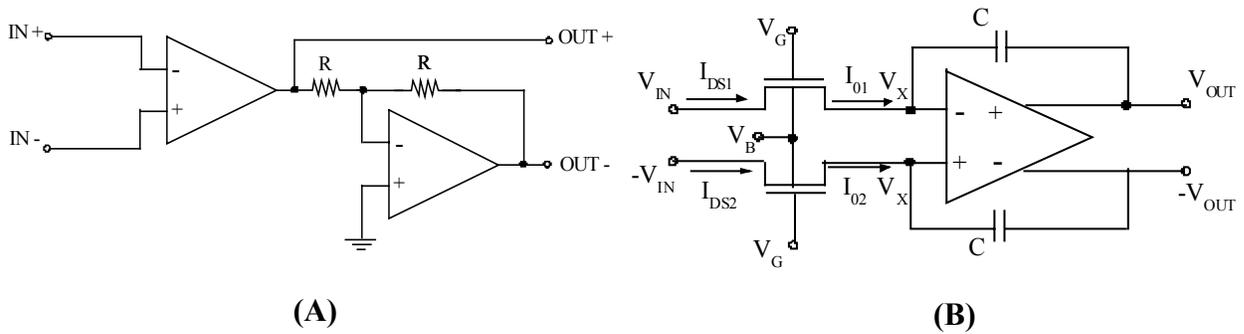


Figura 2.15 – (A) circuito balanceado implementado com amplificadores operacionais e (B) integrador RC para grandes sinais utilizando uma estrutura balanceada 2-MOS.

Assumindo que o amplificador operacional da Figura 2.15 (B) tenha ganho infinito e tensão de *offset* nula, as duas entradas do amplificador operacional possuem potenciais iguais (V_X). Logo, determinando as equações para as duas saídas do circuito obtém-se (2.42) e (2.43):

$$V_{OUT}(t) = -\frac{1}{C} \int_{-\infty}^t I_{01} dt + V_X \quad (2.42)$$

$$-V_{OUT}(t) = -\frac{1}{C} \int_{-\infty}^t I_{02} dt + V_X \quad (2.43)$$

A solução geral para V_{OUT} pode ser obtida através da subtração da equação (2.43) da expressão (2.42) e é apresentada em (2.44).

$$V_{OUT}(t) = -\frac{1}{2C} \int_{-\infty}^t (I_{01} - I_{02}) dt \quad (2.44)$$

Porém, como no circuito da Figura 2.15 (B), $I_{01} = I_{DS1}$ e $I_{02} = I_{DS2}$, tem-se (2.45) e, conseqüentemente, (2.46):

$$I_{01} - I_{02} = I_{DS1} - I_{DS2} \quad (2.45)$$

$$V_{OUT}(t) = -\frac{1}{2C} \int_{-\infty}^t (I_{DS1} - I_{DS2}) dt \quad (2.46)$$

Assim, a partir da expansão por série de Taylor dada na equação (2.39), os valores das correntes I_{DS1} e I_{DS2} podem ser expressos pelas equações (2.47) e (2.48), respectivamente:

$$I_{DS1} = K \left\{ K_1 [V_{IN} - V_X] + K_2 [V_{IN}^2 - V_X^2] + K_3 [V_{IN}^3 - V_X^3] + \dots \right\} \quad (2.47)$$

$$I_{DS2} = K \left\{ K_1 [(-V_{IN}) - V_X] + K_2 [(-V_{IN})^2 - V_X^2] + K_3 [(-V_{IN})^3 - V_X^3] + \dots \right\} \quad (2.48)$$

Finalmente, ao se subtrair as equações (2.48) e (2.47), todos os termos de ordem par se cancelam como mostrado na equação (2.49).

$$I_{DS1} - I_{DS2} = 2K \left[K_1 V_{IN} + K_3 V_{IN}^3 + K_5 V_{IN}^5 + \dots \right] \quad (2.49)$$

Através da equação (2.49) pode-se comprovar que o circuito da Figura 2.15 (B) realmente tem sua distorção de segunda ordem (HD2) suprimida, fazendo com que a distorção de terceira ordem (HD3) se torne dominante. Como mencionado anteriormente, na ausência de estruturas balanceadas, HD2 é significativamente maior que HD3, sendo que, quando é aplicado um sinal de 2 V pico-a-pico na entrada de um transistor HD2 chega a corresponder a 7,5% deste sinal, enquanto que HD3 representa apenas 0,03%. Nas estruturas formadas por 2 transistores, HD3 é determinado pela interação mútua entre a degradação da mobilidade e o efeito de corpo [64].

Conforme descrito na referência [64], na utilização de estruturas 2-MOS a linearidade causada pelo efeito de corpo se contrapõe àquela resultante da degradação da mobilidade e tende a cancelá-la. No estudo em questão, esta interação entre os efeitos é determinada pela equação (2.50), utilizada para o cálculo de HD3 e disposta abaixo.

$$HD3 \propto \frac{-1}{V_G - V_S - V_{TH}} \left(\frac{\theta}{2} - \frac{\gamma}{12(V_S - V_B + \phi_B)^{3/2}} \right) \quad (2.50)$$

onde θ é o fator de degradação da mobilidade e γ a constante de efeito de corpo.

De acordo com a referência [65], no entanto, a influência do efeito de corpo é percebida somente no pico de linearidade existente quando o dispositivo opera na transição entre as regiões de triodo e saturação, podendo ser desconsiderada nas demais regiões de operação.

Como no trabalho atual são utilizados transistores SOI, o efeito de corpo presente nos dispositivos é significativamente inferior e mais linear que em MOS convencionais, como os utilizados no equacionamento da estrutura 2-MOS. Portanto na tecnologia SOI, os níveis de linearidade relativos à este efeito são ainda inferiores, de forma que o nível de HD3 é dado, quase que em sua totalidade, pela degradação mobilidade [65].

2.7.2 Estrutura Balanceada de 4 Transistores (4-MOS)

Passados alguns anos do desenvolvimento da estrutura de Banu-Tsividis descrita acima, Czarnul [60] refez a análise mostrada no item anterior para o circuito da Figura 2.15 (B), porém sem a expansão da corrente em uma série de Taylor. Assim sendo, Czarnul comprovou algumas desvantagens desta estrutura e desenvolveu uma nova através de algumas modificações. Para isso foi utilizada a equação da corrente de dreno em transistores de canal longo na região linear, descrita na ref. [63] e disposta neste trabalho através das equações (2.51) e (2.52).

$$I_{DS} = F(V_D, V_G) - F(V_S, V_G) \quad (2.51), \text{ onde:}$$

$$F(V_y, V_z) = 2K(V_z - V_B - V_{FB} - \phi_B)V_y - K(V_y - V_B)^2 - \frac{4}{3}K\gamma(V_y - V_B + \phi_B)^{3/2} \quad (2.52)$$

Onde γ e K são dados pelas equações (2.37) e (2.38) exibidas no item anterior. A partir da equação de saída do integrador (2.46) e admitindo que o potencial V_X é o mesmo nas duas entradas do amplificador operacional, substituiu-se as equações (2.51) e (2.52) em (2.45), resultando em (2.53).

$$I_{01} - I_{02} = F(V_{IN}, V_G) - F(V_X, V_G) - F(-V_{IN}, V_G) + F(V_X, V_G) = F(V_{IN}, V_G) - F(-V_{IN}, V_G)$$

$$I_{01} - I_{02} = 4K(V_G - V_{FB} - \phi_B)V_{IN} + \frac{4}{3}K\gamma \left[(\phi_B - V_B - V_{IN})^{3/2} - (\phi_B - V_B + V_{IN})^{3/2} \right] \quad (2.53)$$

Logo, a equação acima pode ser reescrita como em (2.54):

$$I_{01} - I_{02} = 4K(V_G - V_{TH})V_{IN} + \frac{4}{3}K\gamma\left[(\phi_B - V_B - V_{IN})^{3/2} - (\phi_B - V_B + V_{IN})^{3/2} + 3V_{IN}\sqrt{\phi_B - V_B}\right] \quad (2.54)$$

onde:

$$V_{TH} = V_{FB} + \phi_B + \gamma\sqrt{\phi_B - V_B} \quad (2.55)$$

Na equação (2.54) o primeiro termo à direita representa a corrente de entrada de um integrador ideal e o segundo representa o erro total da corrente devido às não-linearidades dos transistores. A corrente do primeiro componente é ajustada pela diferença $V_G - V_{TH}$. A excursão do sinal de entrada no integrador de Banu-Tsividis é limitada pelo erro da corrente, que se torna importante em grandes sinais. A distorção harmônica resultante do circuito pode ser igualmente descrita pela equação (2.54).

A fim de obter uma estrutura com desempenho superior, Czarnul sugeriu uma modificação no integrador de Banu-Tsividis conforme apresentado na Figura 2.16.

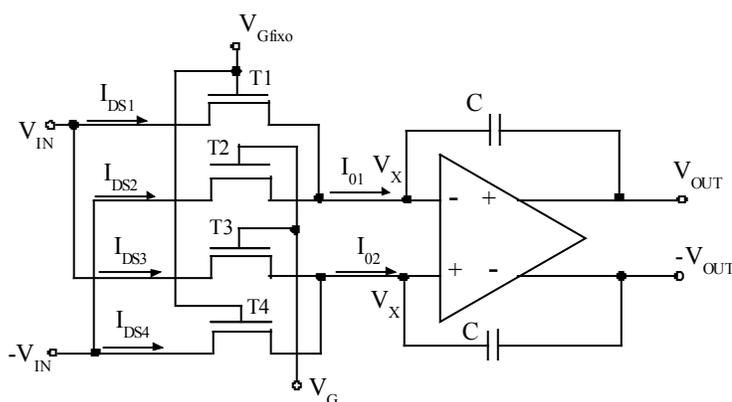


Figura 2.16 – Estrutura balanceada modificada de Banu-Tsividis composta por 4-MOS.

Nesta modificação são necessários 4 transistores casados nomeados de T1 a T4, onde T1 e T3 têm entrada comum de sinal V_{IN} , enquanto que, T2 e T4 têm entrada comum com valor $-V_{IN}$. Os transistores T1 e T2 têm a fonte em um nó comum, que é conectado à entrada inversora do amplificador operacional. T3 e T4 também possuem a fonte em comum, porém são conectados à entrada não-inversora do amplificador operacional. O nó comum entre as portas de T1 e T4 é utilizado como o primeiro terminal de controle da tensão (V_{Gfixo}) e o nó comum entre as portas de T2 e T3 é usado como o segundo terminal de controle da tensão (V_G). A corrente final é

determinada pela equação (2.56) da mesma forma como aquela da estrutura de Banu-Tsividis apresentada na expressão (2.54).

$$\begin{aligned}
 I_{01} - I_{02} &= (I_{DS1} + I_{DS2}) - (I_{DS3} + I_{DS4}) \\
 I_{01} - I_{02} &= F(V_{IN}, V_{Gfixo}) - F(V_X, V_{Gfixo}) + F(-V_{IN}, V_G) - F(V_X, V_B) - \\
 &\quad - F(V_{IN}, V_G) + F(V_X, V_G) - F(-V_{IN}, V_{Gfixo}) + F(V_X, V_{Gfixo}) \\
 I_{01} - I_{02} &= F(V_{IN}, V_{Gfixo}) - F(V_{IN}, V_G) - [F(-V_{IN}, V_{Gfixo}) - F(-V_{IN}, V_G)] \quad (2.56)
 \end{aligned}$$

Assim, a partir das equações (2.52) e (2.56), a entrada diferencial de corrente do amplificador é dada por (2.57).

$$I_{01} - I_{02} = 4K(V_{Gfixo} - V_G)V_{IN} \quad (2.57)$$

Para o integrador modificado, a tensão de saída V_{OUT} é exatamente igual à do integrador ideal se μ e K forem considerados independentes das tensões finais. Substituindo (2.57) em (2.46) obtemos (2.58).

$$V_{OUT} = -\frac{2K(V_{Gfixo} - V_G)}{C} \int_{-\infty}^t V_{IN}(t) dt \quad (2.58)$$

Da relação apresentada acima, o valor da resistência R é determinado em (2.59).

$$R = \frac{1}{2K(V_{Gfixo} - V_G)} \quad (2.59)$$

A partir do equacionamento disposto anteriormente, Czarnul chegou inicialmente à conclusão que a resistência da estrutura com 4-MOS é igual à de um integrador ideal, quando são utilizados transistores idênticos e a mobilidade é assumida constante. Além disso, nesta primeira análise, concluiu-se que a função de transferência do circuito apresentado não apresenta dependência com a tensão de limiar nem com o efeito de corpo.

Análises posteriores [65], no entanto, mostraram que em condições reais de operação, a estrutura 4-MOS apresentou não-linearidades em sua saída, principalmente, devido à degradação da mobilidade. Igualmente, o efeito de corpo também se mostrou presente, embora com intensidade inferior ao apresentado na estrutura composta por 2-MOS. Assim como ocorria com as estruturas 2-MOS, existe uma interação entre os efeito de corpo e a degradação da mobilidade, no entanto esta relação difere daquela apresentada na equação (2.50) e não pode ser facilmente determinada [66]. Contudo, esta interação tem influência praticamente desprezível em HD3, uma vez que a melhor linearidade apresentada pela estrutura 4-MOS quando comparada à 2-MOS é dada pelo cancelamento parcial da distorção referente à degradação da mobilidade promovido pela presença de dois pares cruzados de transistores MOS com diferentes polarizações de porta. Assim como ocorria na estrutura 2-MOS, neste caso os harmônicos de ordem par também são eliminados do sinal de saída [60].

3 SIMULAÇÕES NUMÉRICAS – RESULTADOS

Este capítulo se inicia com uma breve introdução aos simuladores ATHENA [67], e ATLAS [68] que foram utilizados conjuntamente quase que na totalidade das simulações executadas neste trabalho. Na seqüência, serão descritos os modelos utilizados e, posteriormente, os resultados práticos serão apresentados, explicitando as curvas obtidas desde as características básicas $I_{DS} \times V_{GF}$ e $I_{DS} \times V_{DS}$ de um dispositivo GAA convencional, até resultados mais elaborados como a linearidade das curvas obtidas nos dispositivos GAA de canal gradual e nas estruturas balanceadas compostas por estes transistores.

Para chegar a este ponto, porém, diversas outras características foram necessárias, como as curvas do ganho de malha aberta (A_v) e da tensão Early (V_{EA}) em função da razão g_m/I_{DS} , para que se pudesse obter figuras de mérito que traduzissem com maior exatidão os níveis de não-linearidade dos transistores GAA e GC GAA analisados. Todo este procedimento para a determinação da distorção harmônica foi repetido para cada um dos transistores simulados com L entre 1 μm e 3 μm , quando estes operavam no regime de saturação, e com $L = 10 \mu\text{m}$ para a análise no regime linear. Para todo o estudo, foram utilizados dispositivos GC GAA com diversas razões L_{LD}/L .

Os resultados obtidos na análise em saturação descritos neste capítulo podem ser encontrados na referência [69], enquanto que na análise em região triodo estes estão dispostos na referência [70].

3.1 Simuladores

Como descrito acima, ao longo deste trabalho foram utilizados simultaneamente os simuladores ATHENA e ATLAS, sendo o primeiro para simular o processo de fabricação de cada um dos dispositivos e o segundo com o intuito de determinar as curvas características, a partir da estrutura gerada no simulador de processos. Estes dois simuladores contam com a vantagem de serem executáveis em um mesmo ambiente, o DECKBUILD [71] que, assim como os outros, é produzido pela SILVACO.

O ATHENA é um simulador bidimensional que tem como base equações físicas e químicas que reproduzem o processo de fabricação dos semicondutores. Assim, difere de outros que propõem a modelagem empírica que, embora normalmente seja muito precisa e versátil para modelar qualquer sistema, não fornece uma visão do ocorrido no processo, além de não ser previsível em seus resultados.

Este simulador adota um método em que o processo de fabricação deve ser desenvolvido de forma seqüencial para que, então, a simulação seja executada. Para isso, devem ser definidos a geometria, ou seja, a grade da estrutura, a seqüência de etapas do processo, que envolve corrosão, implantação iônica e difusão, entre outras, e os modelos físicos a serem utilizados. Um exemplo de arquivo ATHENA utilizado ao longo deste trabalho pode ser visualizado no Apêndice A.

O simulador ATLAS suporta simulações bi ou tridimensionais e, assim como o ATHENA, é baseado em equações físicas, fazendo com que ele possa prever as características elétricas nos regimes de corrente contínua, corrente alternada e transitório, associadas com estruturas físicas específicas e condições de polarização do dispositivo. Para tal, o dispositivo simulado é discretizado em uma grade bi ou tridimensional, a cujos pontos serão aplicadas as equações derivadas das leis de Maxwell.

Da mesma maneira que ocorria no ATHENA, nas simulações ATLAS os comandos devem ser descritos seqüencialmente. Dessa maneira, inicialmente deve ser estabelecida uma grade para a geração de um dispositivo, ou então, importada uma estrutura já pronta (normalmente gerada no ATHENA ou num editor de dispositivos como o DEVEDIT [71]), adicionados os modelos físicos a serem utilizados e, finalmente, definidas as condições de polarização, para as quais, as características elétricas serão simuladas. Um arquivo de simulação do dispositivo pode ser visualizado na íntegra no Apêndice B, onde é gerada a curva $I_{DS} \times V_{GF}$ para o dispositivo GC GAA com $L_{LD}/L = 0,5$ e $V_{DS} = 1,5$ V.

Para a simulação de circuitos, tais como as estruturas balanceadas apresentadas no item 2.7, o simulador ATLAS possui um módulo de circuitos em que os dispositivos integrantes da estrutura devem ter suas grades importadas do simulador de dispositivos do ATLAS, do ATHENA ou então de um editor de dispositivos como o DEVEDIT. A partir daí, no módulo de circuitos devem ser especificadas as conexões entre os nós dos transistores e os modelos utilizados para cada um dos dispositivos, assim como ocorrem em simulações SPICE [72]. No

Apêndice C, arquivos utilizados no módulo de circuitos do ATLAS para a simulação de estruturas balanceadas de 2 e 4 MOS podem ser visualizados.

3.2 Simulação do Processo

Neste trabalho foram desenvolvidas diversas simulações ATHENA para a obtenção dos dispositivos GAA e GC GAA, a partir do processo de fabricação brevemente descrito no Capítulo 2. Estas simulações foram realizadas para que os transistores resultantes tivessem tanto a espessura da camada de silício como a concentração de dopantes condizentes com os transistores fabricados no Laboratório de Microeletrônica da Universidade Católica de Louvain (*Université Catholique de Louvain – UCL*) – Bélgica, alguns dos quais serão caracterizados no Capítulo 4.

Foram realizadas simulações do processo de fabricação para obtenção de transistores com comprimentos de canal de 1, 2 e 3 μm com vistas à aplicação em saturação e com comprimentos de 7 e 10 μm para a aplicação em triodo. Para cada um destes L , com exceção do transistor de $L = 7 \mu\text{m}$, foram simulados dispositivos com diversas razões de L_{LD}/L , iniciando-se pelo transistor GAA convencional ($L_{LD}/L = 0$) e, então variando esta razão de 0,1 em 0,1, até resultar-se no GC GAA com $L_{LD}/L = 0,6$, tendo em vista que, para a maior parte das aplicações, L_{LD}/L superiores a este já não apresentam vantagem significativa [10].

A simulação do processo propriamente dita, procurou ser executada como descrito no item 2.2.1. Porém, como afirmado no item 3.1, o ATHENA é um simulador bidimensional, o que trouxe alguns problemas. Para a confecção do dispositivo GAA é necessária uma etapa de corrosão lateral, de forma a corroer o óxido enterrado, a fim de gerar uma cavidade sob o silício para posterior formação da porta circundante, que somente pode ser realizada tridimensionalmente. Logo, como uma forma de se contornar o problema, foi simulado o processo utilizado na UCL para a confecção do transistor GC SOI de porta simples, que é descrito por Pavanello [11] e segue à risca, exceto pela corrosão lateral, as demais etapas necessárias para a obtenção do GC GAA.

Como o comportamento elétrico do GAA praticamente não sofre influência da camada de óxido enterrado, o processo foi simulado sem a presença desta camada, para que ao final, a

estrutura resultante pudesse ser espelhada (vide simulação no Apêndice A), de maneira que fosse criada uma nova porta na região inferior do canal, como pode ser visto na Figura 3.1. Dessa forma, a espessura final da camada de silício foi ajustada através da definição da espessura da lâmina utilizada no início da simulação.

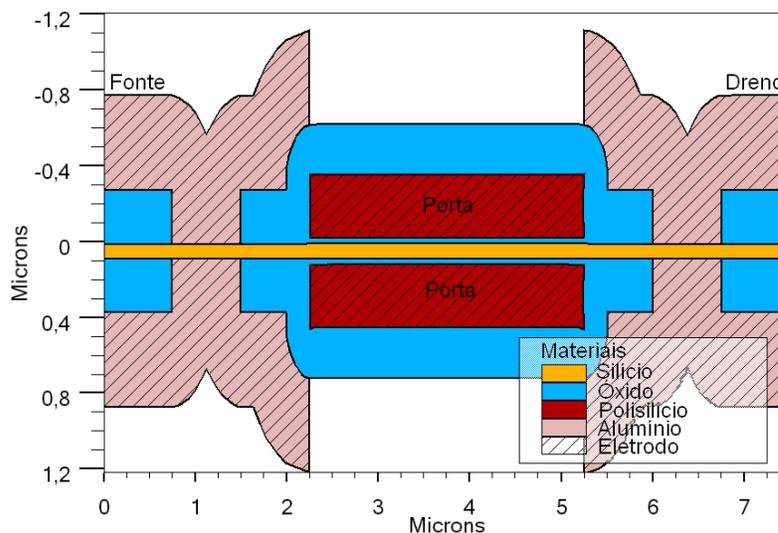


Figura 3.1 – Dispositivo resultante da simulação do processo de fabricação.

Através da Figura 3.1, é possível notar que inclusive os contatos de fonte e dreno foram espelhados. Isto ocorreu devido ao simulador não permitir o espelhamento anteriormente à etapa de formação dos contatos de fonte e dreno, gerando uma estrutura distorcida. Assim, na simulação de dispositivos, os contatos inferiores de fonte e dreno foram curto-circuitados aos superiores para que o transistor não perdesse sua referência. Além disso, devido à tecnologia empregada no processo, o decaimento da concentração de dopantes na interface entre L_{LD} e L_{HD} não alcança a concentração natural da lâmina para dispositivos GC GAA com canal de $1\ \mu\text{m}$ e razão L_{LD}/L próxima a 0,1, estabelecendo assim, um limite para a redução do canal como demonstrado na Figura 3.2. Nesta figura são apresentados os perfis de dopantes desde a fonte até o dreno extraídos a $40\ \text{nm}$ de profundidade da interface Si-SiO₂. Como pode ser observado para os dispositivos de $1\ \mu\text{m}$, apenas com razões de L_{LD}/L iguais ou superiores a 0,3 a estrutura GC GAA é fabricada conforme a sua concepção, isto é, concentração natural de dopantes do lado do dreno.

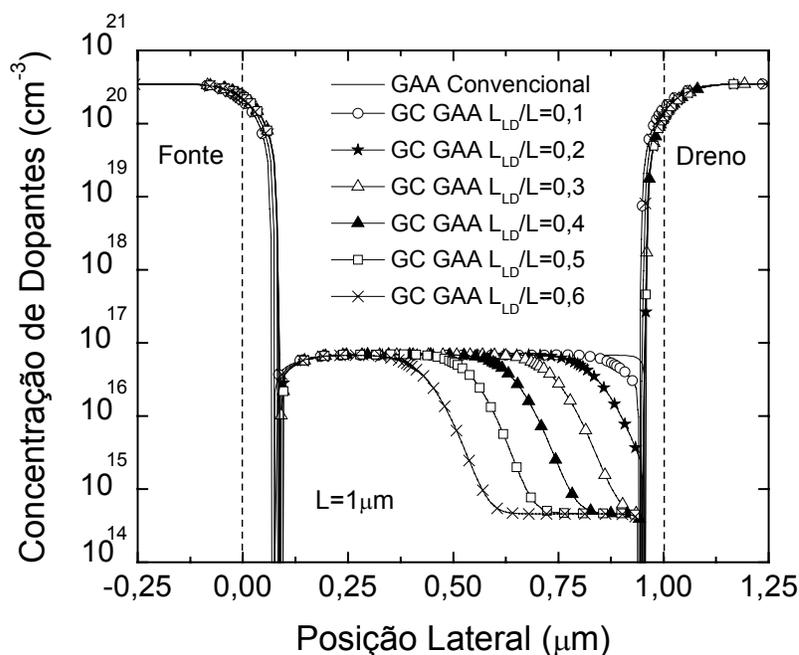


Figura 3.2 – Concentração de dopantes ao longo do canal para os dispositivos GAA e GC GAA com $L = 1 \mu\text{m}$ a 40 nm de profundidade da interface Si-SiO_2 .

Ao fim do processo é gerado um arquivo com extensão `.STR`, onde são salvas a estrutura resultante e a grade utilizada, para que, se possa importá-las nas simulações de dispositivo executadas na seqüência.

3.3 Modelos Utilizados no Simulador ATLAS

Segundo a seqüência descrita para as simulações ATLAS, uma série de modelos físicos devem ser utilizados para que a simulação gere valores condizentes com aqueles obtidos em caracterizações experimentais. Estes modelos vão desde o perfil de dopantes da superfície até modelos específicos de mobilidade, recombinação de portadores, ionização por impacto e, mesmo, de efeitos normalmente não presentes como porta flutuante. A seguir serão descritos brevemente todos os modelos utilizados para a execução das simulações realizadas neste trabalho [68]. Para um melhor entendimento, no Apêndice B está disposta uma das simulações ATLAS efetuadas ao longo deste trabalho.

- WATT: modelo de degradação da mobilidade superficial baseado no campo elétrico transversal efetivo proposto na referência [73]. Leva em consideração três mecanismos primários de dispersão na camada de inversão: dispersão de fonons, dispersão da rugosidade superficial e dispersão de impurezas ionizadas. Neste trabalho, este modelo mostrou-se mais adequado para representar a degradação de mobilidade sofrida pelo transistor GC SOI.
 - MOD.WATT.N: extensão do modelo WATT para nós internos à superfície. Admite efeito constante do campo elétrico vertical. Para se acrescentar esta extensão ao modelo WATT, basta se adicionar ao arquivo a linha MOBILITY MOD.WATT.N logo após à definição dos modelos.
- KLA (Klaassen): modelo de mobilidade proposto nas referências [74],[75], que inclui dependência com concentração de portadores, concentração intrínseca de portadores e temperatura absoluta. Aplica diferentes mobilidades para portadores majoritários e minoritários. Conforme mencionado na ref. [68], este modelo é recomendado para transistores da tecnologia SOI.
 - MUMAXN.KLA e MUMAXP.KLA: parâmetros configurados pelo usuário de forma a modificar os resultados iniciais do modelo KLA para a mobilidade máxima de elétrons e lacunas. No trabalho atual, os valores destes parâmetros foram alterados para $510 \text{ cm}^2/\text{V.s}$ e $170 \text{ cm}^2/\text{V.s}$, respectivamente.
- BGN (*Bandgap Narrowing*): importante em regiões altamente dopadas, este modelo diz respeito ao estreitamento da faixa proibida e é necessário para a correta modelagem do ganho do transistor bipolar parasita intrínseco ao transistor SOI. Deve ser utilizado junto com o modelo KLA.
- CONSRH (*Concentration Dependent Lifetime SRH*): modelo de recombinação onde o tempo de vida dos portadores depende da concentração. Recomendado para estruturas de silício.
- AUGER: modelo de recombinação através da transição direta de três partículas, onde um portador é capturado ou emitido. Importante em altas densidades de corrente.
- FLDMOB (*Parallel Electric Field Dependence*): modelo de degradação da mobilidade dependente do efeito de campo lateral, utilizado para estruturas de silício e arseneto de gálio. Necessário para a modelagem de qualquer efeito relacionado à velocidade de saturação dos portadores.

- SELB (Selberherr): embora não seja definido juntamente com os demais (definido em uma linha a parte após o comando IMPACT), este modelo de ionização por impacto dependente do campo elétrico horizontal em um ponto específico da estrutura é recomendado para a maioria dos casos. Inclui parâmetros dependentes da temperatura.

3.4 Características I_{DS} x V_{GF}

Após a simulação do processo, foi desenvolvido um arquivo ATLAS para a simulação das características elétricas dos dispositivos. Neste arquivo é importada a estrutura final gerada no ATHENA e, então, são acrescentadas as cargas fixas na interface, as funções trabalho aos contatos de porta e os modelos definidos no item 3.3. Finalmente, são dados os potenciais para a simulação das curvas como pode ser visto no Apêndice B, onde é apresentado o arquivo através do qual foi gerada a curva I_{DS} x V_{GF} para o dispositivo GC GAA com $L_{LD}/L = 0,5$ e $V_{DS} = 1,5$ V.

De acordo com esta seqüência, foram geradas as curvas I_{DS} x V_{GF} com $V_{DS} = 0,1$ V e 1,5 V para cada um dos dispositivos, sendo a primeira com o intuito de obter a tensão de limar dos dispositivos simulados e a segunda para posterior determinação da distorção harmônica. Na Figura 3.3 são apresentadas as curvas da corrente de dreno (I_{DS}) em função da sobretensão de porta ($V_{GT} = V_{GF} - V_{TH}$, onde V_{GF} é a tensão de porta e V_{TH} a tensão de limiar), para os transistores de 1 e 3 μm simulados, todos com $V_{DS} = 1,5$ V.

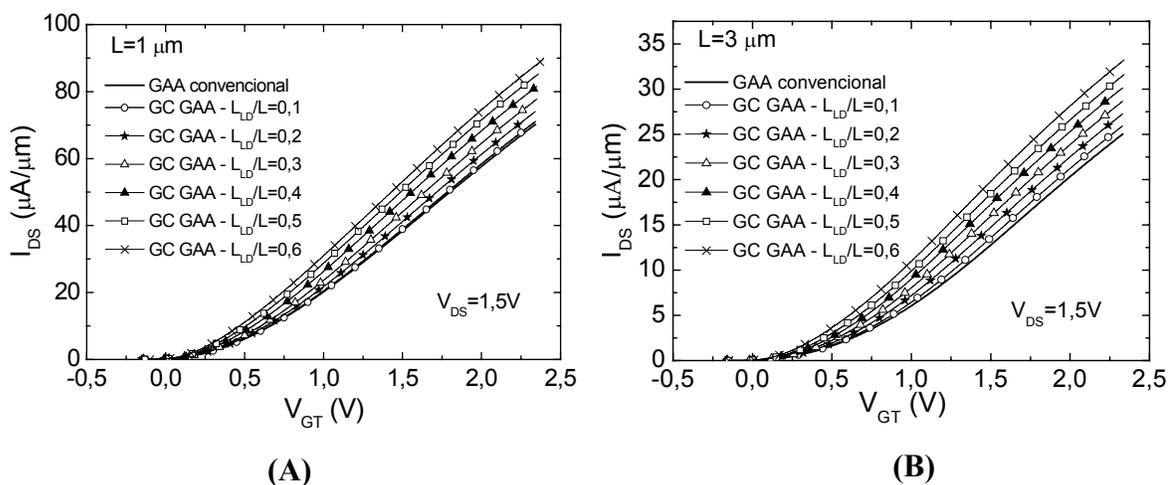


Figura 3.3 – Curvas I_{DS} x V_{GT} ($V_{GT} = V_{GF} - V_{TH}$) com $V_{DS} = 1,5$ V para os dispositivos GAA e GC GAA de (A) 1 μm e (B) 3 μm .

Através das curvas obtidas pode-se comprovar o aumento da intensidade de corrente previsto na seção 2.3, devido à redução do comprimento efetivo de canal proporcionado pela estrutura GC para transistores com um mesmo comprimento de máscara, ao se aumentar a razão L_{LD}/L .

3.5 Tensão de Limiar (V_{TH})

A determinação da tensão de limiar é de fundamental importância, já que serve como base para a simulação da característica $I_{DS} \times V_{DS}$ dos dispositivos e permite a polarização dos transistores em uma mesma sobretensão de porta ($V_{GT} = V_{GF} - V_{TH}$). Além disso, para aplicações na região de saturação, onde serão utilizados dispositivos com L variando de 1 a 3 μm , V_{TH} será necessária na determinação da curva da condutância de dreno e, conseqüentemente, naquela do ganho a qual será de grande importância para este estudo.

De posse das curvas $I_{DS} \times V_{GF}$ com $V_{DS} = 0,1 \text{ V}$, pode-se determinar a tensão de limiar dos dispositivos estudados através de diversas maneiras. Neste estudo, será utilizado o método da segunda derivada [42], que consiste na observação no ponto de máximo da curva obtida a partir da derivada de segunda ordem da corrente de dreno em função da tensão de porta ($\partial^2 I_{DS} / \partial V_{GF}^2 \times V_{GF}$). Os resultados obtidos para todos os dispositivos de $L = 1, 2, 3$ e $10 \mu\text{m}$ simulados podem ser vistos na Tabela 3.1.

Tabela 3.1 – Tensão de limiar (V_{TH}) obtida para todos os dispositivos simulados ($V_{DS} = 0,1 \text{ V}$).

V_{TH} (V)	GAA	GC GAA					
	convencional ($L_{LD}/L=0$)	$L_{LD}/L=0,1$	$L_{LD}/L=0,2$	$L_{LD}/L=0,3$	$L_{LD}/L=0,4$	$L_{LD}/L=0,5$	$L_{LD}/L=0,6$
$L = 1 \mu\text{m}$	0,16	0,16	0,16	0,15	0,15	0,14	0,11
$L = 2 \mu\text{m}$	0,17	0,17	0,17	0,17	0,16	0,16	0,15
$L = 3 \mu\text{m}$	0,17	0,17	0,17	0,17	0,17	0,16	0,16
$L=10\mu\text{m}$	0,18	0,18	0,18	0,18	0,17	0,17	0,17

Através dos resultados dispostos na Tabela 3.1, observa-se que nos dispositivos de comprimento de canal variando entre 1 e 3 μm , V_{TH} sofre uma leve redução tanto quando se diminui o comprimento de máscara do canal, como quando se aumenta a razão L_{LD}/L , ou seja, diminuindo L_{eff} . Uma maior redução de V_{TH} é observada apenas para o transistor de $L = 1 \mu\text{m}$ com razão de $L_{\text{LD}}/L = 0,6$, indicando que este dispositivo está sofrendo efeitos de canal curto, como demonstrado na ref. [11] para dispositivos de porta simples com mesmo L .

Igualmente, segundo a tabela, a determinação da tensão de limiar feita em dispositivos maiores com $L = 10 \mu\text{m}$ com vistas a aplicações em filtros, quando são necessários transistores longos para a obtenção de maior resistência, mostrou resultados praticamente constantes ao se variar L_{LD}/L , indicando a independência entre o comprimento efetivo de canal e V_{TH} .

3.6 Inclinação de Sublimiar (S)

Como mencionado no Capítulo 2, a inclinação de sublimiar dos transistores GAA e GC GAA tendem a valores próximos aos ideais, que figuram em torno de 60 mV/década em temperatura ambiente. Valores baixos de inclinação de sublimiar são importantes para um chaveamento mais rápido e eficiente dos transistores.

Neste trabalho, foi obtida a inclinação de sublimiar de cada um dos dispositivos simulados de comprimentos de canal variando de 1 a 3 μm , a partir do primeiro ponto do patamar da curva dada por $1/(\partial \log(I_{\text{DS}})/\partial V_{\text{GF}}) \times V_{\text{GF}}$. Na Tabela 3.2 estão apresentados os valores de S para cada um dos dispositivos simulados.

A partir dos valores obtidos na Tabela 3.2, observa-se que em grande parte dos dispositivos simulados, a inclinação de sublimiar realmente se aproxima do valor ideal, como mencionado anteriormente. Novamente, as exceções são os dispositivos de comprimento de canal igual a 1 μm com altas razões de L_{LD}/L , vindo a comprovar a incidência de efeito de canal curto que tendem a degradar S .

Tabela 3.2 – Inclinação de sublimiar (S) obtida para todos os dispositivos simulados através do inverso da derivada logarítmica de $I_{DS} \times V_{GF}$ com $V_{DS} = 0,1$ V (valores de S dados em mV/dec).

S (mV/dec)	GAA convencional ($L_{LD}/L=0$)	GC GAA					
		$L_{LD}/L=0,1$	$L_{LD}/L=0,2$	$L_{LD}/L=0,3$	$L_{LD}/L=0,4$	$L_{LD}/L=0,5$	$L_{LD}/L=0,6$
L = 1 μ m	61,9	61,9	62,0	62,7	64,1	66,2	72,8
L = 2 μ m	60,6	60,5	60,5	60,7	60,9	61,3	62,0
L = 3 μ m	60,3	60,3	60,3	60,4	60,5	60,6	60,9

Como mencionado na ref. [11] e observado na Tabela 3.2, a elevação da relação L_{LD}/L tende a degradar a inclinação de sublimiar dos GC SOI face ao SOI convencional, devido ao compartilhamento de cargas no interior do canal, reduzindo a carga total controlada pela porta. Em outras palavras, os dispositivos GC SOI são mais susceptíveis a efeitos de canal curto conforme aumenta-se a relação L_{LD}/L .

3.7 Transcondutância (g_m)

A transcondutância, como visto no Capítulo 2, corresponde à derivada $\partial I_{DS}/\partial V_{GF}$ e indica a eficiência do controle exercido pela tensão de porta na corrente de dreno. Assim, em dispositivos de porta dupla, g_m tende a dobrar quando comparado a um dispositivo SG. Porém, nos casos em que a camada de silício é suficientemente fina ocorre o fenômeno da inversão de volume [32] explicado no item 2.2.2, resultando em uma melhora expressiva de g_m decorrente da maior mobilidade dos portadores. Nas estruturas analisadas neste trabalho é esperada apenas uma pequena contribuição da inversão de volume para valores próximos à tensão de limiar, posteriormente dominando a condução pelas interfaces Si-SiO₂ [3]. Logo, nas simulações executadas este efeito foi desprezado. É importante salientar que o fenômeno de inversão de volume pode ser descrito pelo simulador ATLAS em simulações bidimensionais, adicionando-se a solução da equação de Schrödinger concomitantemente com as de Poisson e da Continuidade. Para isso, deve-se acrescentar o parâmetro SCHRO na linha onde são definidos os modelos.

Inicialmente, foi determinada a curva característica da transcondutância em função da tensão de porta, com o intuito de analisar seu aspecto mais geral e na seqüência determinar a razão g_m/I_{DS} mostrada adiante. Logo, as características $g_m \times V_{GF}$ foram obtidas para $V_{DS} = 1,5 \text{ V}$ em todos os transistores estudados, conforme disposto na Figura 3.4, na qual são apresentadas as curvas simuladas para os transistores GAA e GC GAA com comprimentos de canal de $1 \mu\text{m}$ e $3 \mu\text{m}$.

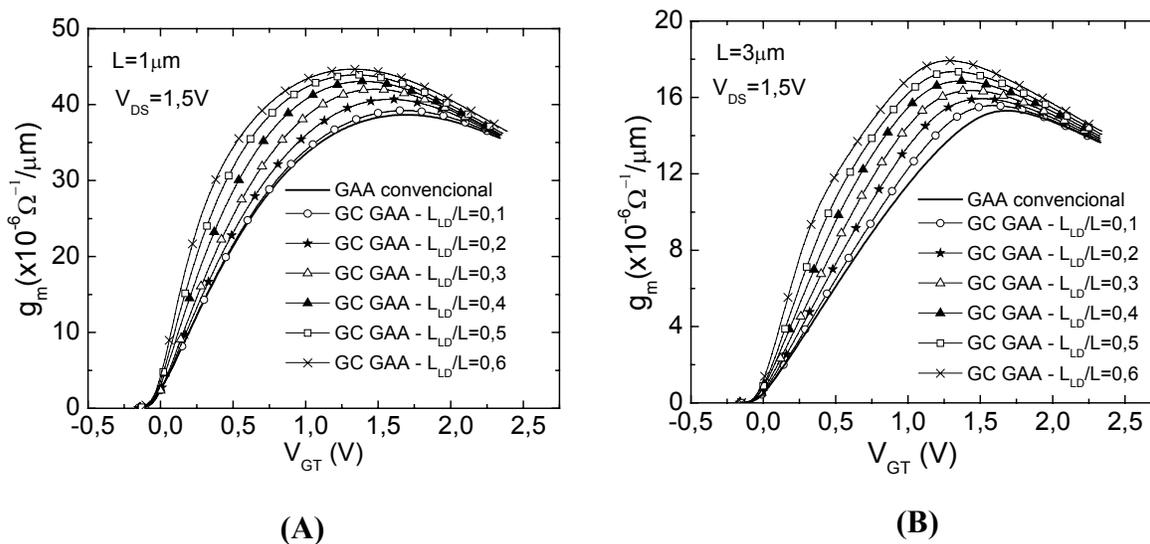


Figura 3.4 – Curvas de $g_m \times V_{GT}$ com $V_{DS} = 1,5 \text{ V}$ para os dispositivos GAA e GC GAA com (A) $L = 1 \mu\text{m}$ e (B) $L = 3 \mu\text{m}$.

Através dos gráficos da Figura 3.4, verifica-se que a transcondutância obtida aumenta conforme a razão L_{LD}/L e, então, tende a um mesmo valor para altos V_{GT} . Como demonstrado na ref.[18], a degradação da mobilidade na região fracamente dopada, aliada à similaridade nas concentrações de elétrons em ambas as partes do canal do transistor GC SOI em altos valores de V_{GT} , fazem com que g_m fique pouco dependente da relação L_{LD}/L .

Conforme estudos recentes, a curva da transcondutância e suas derivadas em função de V_{GF} permite uma análise da mobilidade, o que pode vir a ser útil na análise da não-linearidade dos dispositivos na região de saturação, uma vez que Pavanello *et al* [18] propõe a possível influência da degradação da mobilidade na distorção harmônica em transistores de canal gradual, como será detalhado posteriormente.

3.8 Razão g_m/I_{DS}

Normalmente apresentada em função da corrente de dreno normalizada ($I_{DS}/W/L_{eff}$), como na Figura 3.5, a razão g_m/I_{DS} representa a eficiência de um dispositivo em traduzir a corrente elétrica em transcondutância, ou seja, equivale à medida da amplificação proporcionada por um transistor (g_m) dividida pela energia dissipada para tal (I_{DS}) [43].

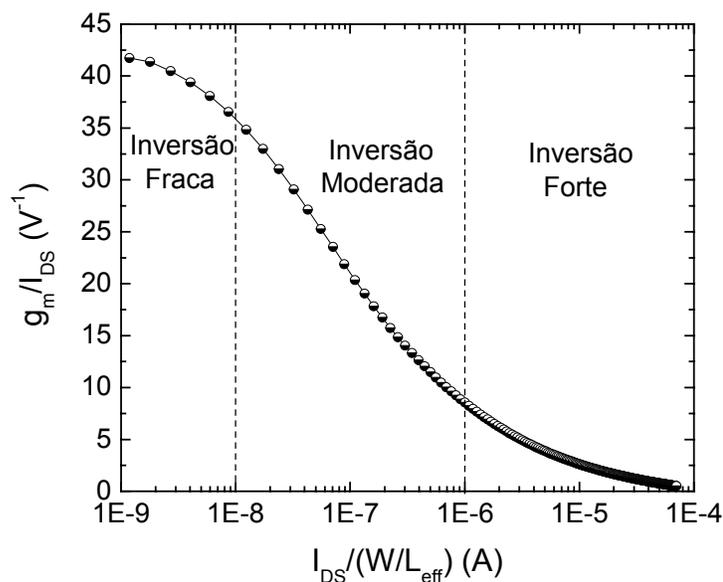


Figura 3.5 – Esboço da curva de $g_m/I_{DS} \times I_{DS}/(W/L_{eff})$.

Além de ser uma ferramenta importante para a determinação das dimensões dos transistores em um amplificador operacional de baixa potência, por não depender da razão W/L [43], a razão g_m/I_{DS} é bastante útil em sistemas destinados a operações analógicas, já que está fortemente relacionada com o desempenho destes sistemas através da equação do ganho em malha aberta, dada pela expressão (2.2), e indica a região de operação dos dispositivos (inversão forte, moderada ou fraca). Logo, se o sistema for implementado na região de inversão fraca onde, segundo a Figura 3.5, g_m/I_{DS} é maior, um ganho superior será alcançado, considerando uma pequena variação em V_{EA} para o circuito disposto na Figura 2.7, em que um transistor opera como um amplificador unitário.

Assim, ao se determinar a distorção harmônica no item 3.12, esta será exibida em função da razão g_m/I_{DS} , de forma a verificar a dependência com a região de operação do dispositivo. Para

isso, necessita-se calcular g_m/I_{DS} para todos os dispositivos simulados. Na Figura 3.6 estão dispostas as curvas para os transistores de $L = 3 \mu\text{m}$, em função de V_{GT} , onde se nota a similaridade entre as curvas obtidas para quaisquer L_{LD}/L , já que, a razão g_m/I_{DS} independe tanto do comprimento como da largura de canal dos transistores. Embora não demonstrada, esta similaridade entre as curvas $g_m/I_{DS} \times V_{GT}$ se estende para os dispositivos com outros comprimentos de canal.

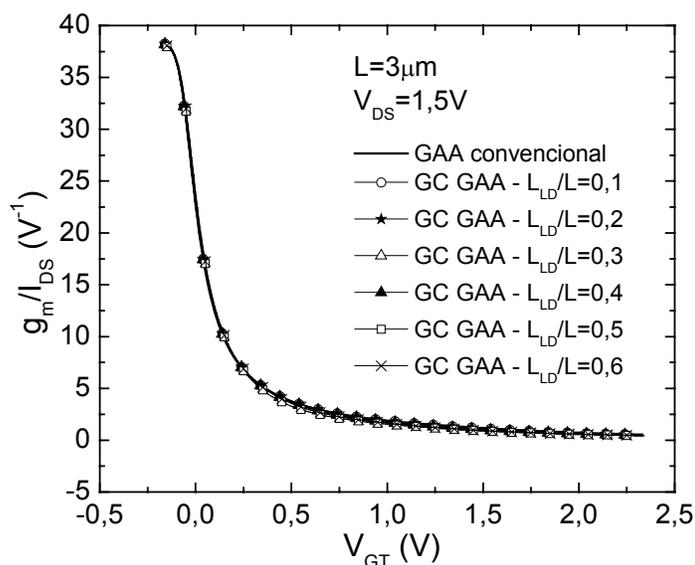


Figura 3.6 – Curvas de $g_m/I_{DS} \times V_{GT}$ para dispositivos GAA e GC GAA de $L = 3 \mu\text{m}$.

Tendo sido comprovada a similaridade entre as curvas de $g_m/I_{DS} \times V_{GT}$, se torna possível dispor as curvas obtidas para a linearidade em função de g_m/I_{DS} . Através das curvas apresentadas na Figura 3.6 se torna possível determinar, por exemplo, o ponto de polarização V_{GT} nas curvas obtidas para a linearidade, que serão apresentadas adiante em função de g_m/I_{DS} .

3.9 Características $I_{DS} \times V_{DS}$ e Condutância de Dreno (g_D)

Após a determinação de V_{TH} , uma nova simulação ATLAS foi executada de forma a obter as características $I_{DS} \times V_{DS}$ dos dispositivos. Assim como acontece com as curvas $I_{DS} \times V_{GF}$, ao se simular $I_{DS} \times V_{DS}$ é perceptível uma maior corrente de dreno conforme a razão L_{LD}/L dos

transistores GC GAA é aumentada. Nas curvas apresentadas na Figura 3.7, pode-se observar este aumento na corrente de dreno nos dispositivos com comprimentos de canal de 1 μm e 3 μm para uma sobretensão de porta de 500 mV.

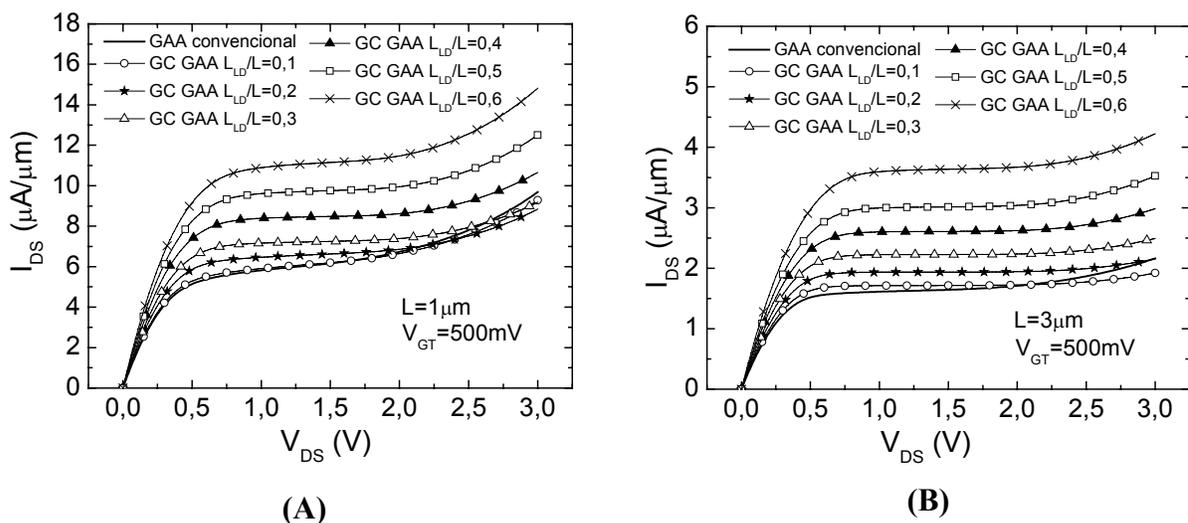


Figura 3.7 – Curvas I_{DS} x V_{DS} simuladas para os dispositivos GAA e GC GAA com $V_{GT} = 500$ mV para comprimentos de canal de (A) 1 μm e (B) 3 μm .

Com base nas características exibidas, percebe-se que os transistores GC GAA dispõem de uma tensão de ruptura (V_{PT}) superior à exibida pelo GAA convencional, uma vez que nos dispositivos GC, o patamar apresentado na região de saturação se estende para valores de V_{DS} superiores aos obtidos em GAA convencionais. Além disso, pode-se perceber que o transistor de $L = 1$ μm com $L_{LD}/L = 0,1$ tem uma característica bem próxima à do dispositivo convencional, o que novamente se deve à concentração de dopantes não atingir a concentração natural da lâmina na região menos dopada. Finalmente, nota-se que na região de saturação, as curvas relativas aos dispositivos com canal gradual têm um aspecto bem mais constante, o que leva a uma menor condutância de dreno e, por conseqüência, a uma elevação na tensão Early e do ganho em malha aberta [10].

Para obter o perfil da curva g_D em função de V_{GT} , foram realizadas simulações das curvas I_{DS} x V_{DS} dos dispositivos para V_{GT} variando de 0 a 1 V, com passos de 100 mV. A partir desta curva foram determinados a tensão Early e o ganho de malha aberta. A condutância de dreno pôde ser determinada diretamente a partir da derivada de I_{DS} x V_{DS} e os resultados obtidos para os transistores de $L = 1$ μm e 3 μm podem ser visualizados na Figura 3.8.

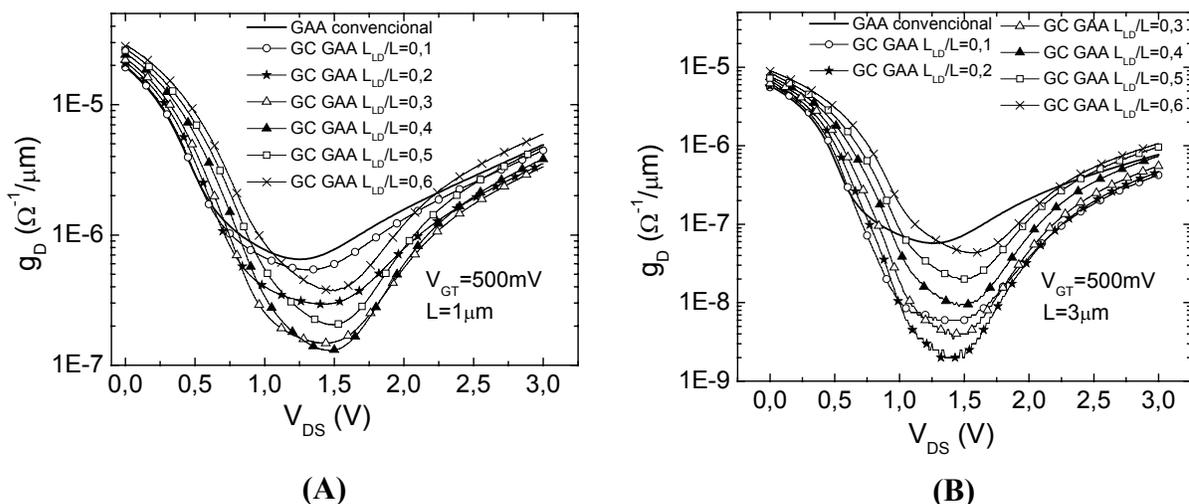


Figura 3.8 – Curvas da condutância de dreno (g_D) em função de V_{DS} para os dispositivos de (A) $1 \mu\text{m}$ e (B) $3 \mu\text{m}$ com $V_{GT} = 500 \text{ mV}$.

Como pode-se notar, os dispositivos GC GAA proporcionam uma condutância de dreno extremamente reduzida em relação aos GAA convencionais com mesmo L . Para $L = 1 \mu\text{m}$, a redução em g_D atinge valores próximos a uma ordem de grandeza, enquanto que para $L = 3 \mu\text{m}$ este valor pode atingir até 2 ordens de magnitude. Ao se aumentar a razão de L_{LD}/L , no entanto, ocorre uma degradação de g_D , uma vez que os dispositivos têm seu comprimento efetivo de canal (L_{eff}) reduzidos.

Além das curvas $I_{DS} \times V_{DS}$ demonstradas na Figura 3.7, outras curvas foram determinadas para os dispositivos com canal de $10 \mu\text{m}$, quando estes operam no regime linear como resistores. Nestas novas curvas, exibidas mais adiante no item 3.13, são de interesse valores de V_{DS} entre -2 e 2 V e altos V_{GT} (em torno de 2 V), a fim de garantir que os dispositivos operem em região triodo.

3.10 Tensão Early (V_{EA})

Como é sabido, devido ao maior controle das cargas na região de canal, os dispositivos GAA possuem tensão Early superior à obtida em transistores SOI de porta simples. Os transistores de canal gradual, por sua vez, têm grande parte do potencial aplicado ao dreno absorvido pela região menos dopada, o que resulta em um grande aumento de V_{EA} [14],[47] e,

dessa forma, do ganho em malha aberta (A_v), conforme descrito no item 2.3. Aliando-se as características destas duas estruturas para a formação do GC GAA, obtém-se um dispositivo com tensão Early e ganho exorbitantes, que são essenciais para o bom desempenho em aplicações analógicas como amplificador.

Neste trabalho, determinou-se V_{EA} a partir de sua aproximação pela razão I_{DS}/g_D . Primeiramente, sendo a linearidade determinada a partir da curva de $I_{DS} \times V_{GF}$, necessitou-se determinar V_{EA} também em função de V_{GF} , a fim de se obter a variação da tensão Early em relação à polarização de porta dos dispositivos (neste caso foi utilizado $V_{DS} = 1,5$ V). Dado que V_{EA} é função de g_D , foi necessária a simulação uma família de curvas de $I_{DS} \times V_{DS}$ para cada um dos dispositivos analisados operando em saturação, com V_{GT} variando de 0 a 1 V em passos de 100 mV, como descrito no item 3.9 e mostrado na Figura 3.9(A). A partir da derivada de cada uma das curvas obtidas, uma família de curvas $g_D \times V_{DS}$ foi determinada e a condutância g_D foi obtida pontualmente para $V_{DS} = 1,5$ V conforme indicado na Figura 3.9(B) para o dispositivo de $L = 3 \mu\text{m}$ e $L_{LD}/L = 0,5$.

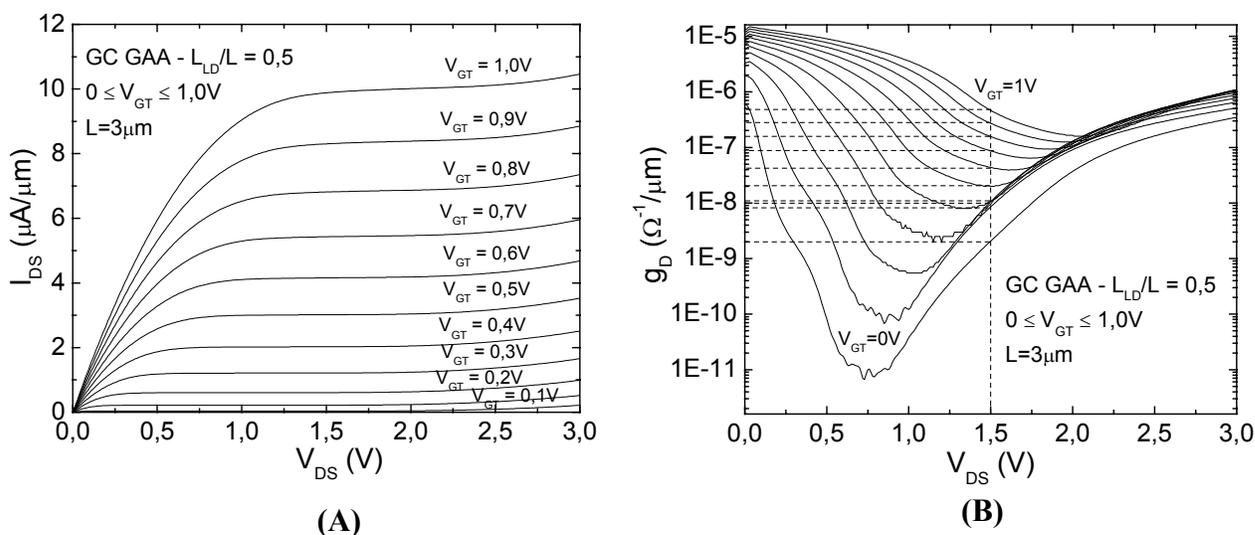


Figura 3.9 – Família de curvas (A) $I_{DS} \times V_{DS}$ e (B) $g_D \times V_{DS}$ com V_{GT} variando de 0 a 1V para o dispositivo de $L = 3 \mu\text{m}$ e $L_{LD}/L = 0,5$.

Assim, para cada um dos dispositivos estudados foi determinada a condutância de dreno em cada uma das sobretensões de porta aplicadas, as quais foram úteis para, através da razão I_{DS}/g_D , gerar o esboço de uma curva de V_{EA} em função de V_{GT} ou, como descrito no item 3.8, em

função de g_m/I_{DS} . Na Figura 3.10 podem ser observadas as tensões Early resultantes para o dispositivo de $L = 3 \mu\text{m}$ e $L_{LD}/L = 0,5$ em cada uma das sobretensões de porta analisadas.

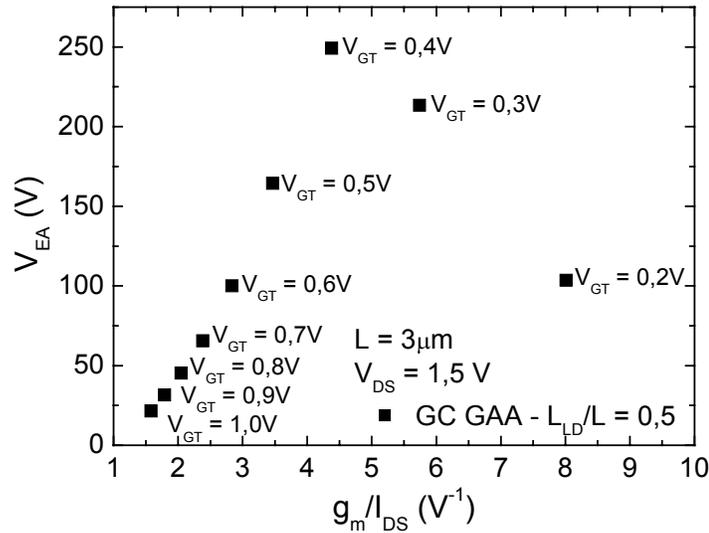


Figura 3.10 – Esboço da curva de $V_{EA} \times g_m/I_{DS}$ para o dispositivo GC GAA de $L = 3 \mu\text{m}$ e $L_{LD}/L = 0,5$.

Tendo em vista que a curva resultante é composta de poucos pontos, necessita-se adaptá-la por uma função contínua, que esboce todo o seu comportamento desde a inversão fraca até a inversão forte. Para isso, adaptou-se todas as curvas de $V_{EA} \times g_m/I_{DS}$ obtidas pela função de Lorentzian, mostrada na equação (3.1), onde y_0 corresponde ao offset, Ar à área, w à largura e x_c ao ponto central da função utilizada. Esta função foi escolhida empiricamente, de modo a descrever a função $V_{EA} \times g_m/I_{DS}$.

$$y = y_0 + \left(2 \times \frac{Ar}{\pi} \right) \left(\frac{w}{4(x - x_c)^2 + w^2} \right) \quad (3.1)$$

Logo, na Figura 3.11 são exibidas as curvas resultantes em função da razão g_m/I_{DS} para dispositivos de comprimentos de canal de $1 \mu\text{m}$ e $3 \mu\text{m}$, respectivamente. Nestas figuras estão dispostos também os pontos obtidos anteriormente à adaptação por Lorentzian de forma a comprovar a semelhança das curvas.

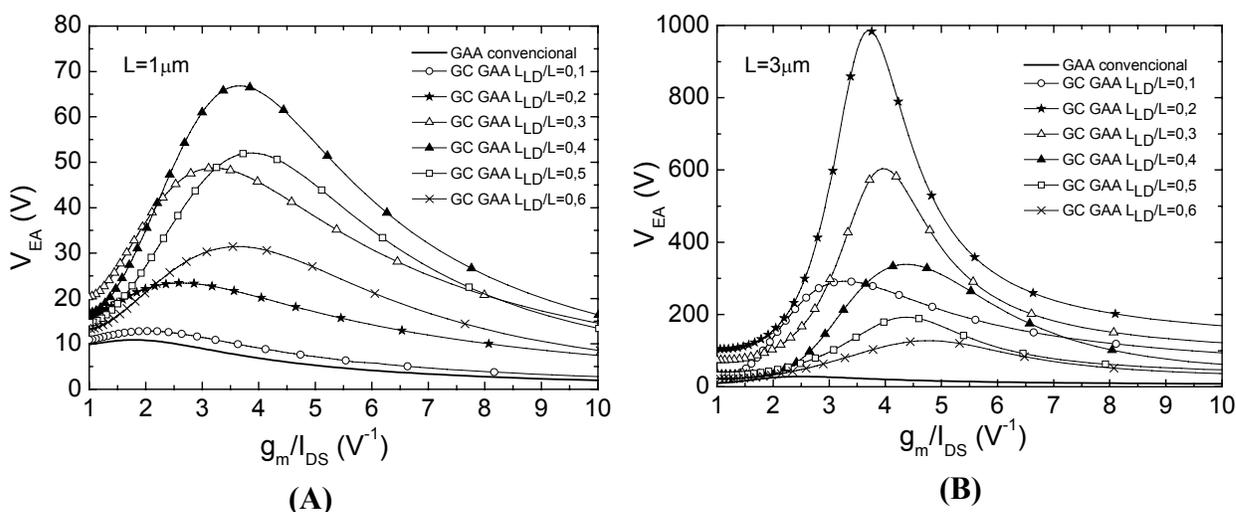


Figura 3.11 – Curvas V_{EA} x g_m/I_{DS} simuladas para os dispositivos com comprimento de canal de (A) $1\ \mu\text{m}$ e (B) $3\ \mu\text{m}$ para $V_{DS} = 1,5\ \text{V}$.

Finalmente, através das curvas obtidas, pôde-se determinar as tensões Early dos dispositivos em estudo para um determinado g_m/I_{DS} . Neste trabalho, V_{EA} foi determinado para um V_{GT} de $500\ \text{mV}$, que corresponde a um $g_m/I_{DS} \cong 3,5\ \text{V}^{-1}$, conforme apresentado na Tabela 3.3. Como mencionado, as tensões Early obtidas para os dispositivos analisados são aproximadas pela razão I_{DS}/g_D , de maneira que a tensão de saturação é desprezada, uma vez que esta é extremamente reduzida não exercendo influência significativa em V_{EA} .

Tabela 3.3 – Tensão Early (V_{EA}) obtida com $V_{DS} = 1,5\ \text{V}$ e $V_{GT} = 500\ \text{mV}$ para todos os dispositivos.

V_{EA} (V)	GAA	GC GAA					
	convencional ($L_{LD}/L=0$)	$L_{LD}/L=0,1$	$L_{LD}/L=0,2$	$L_{LD}/L=0,3$	$L_{LD}/L=0,4$	$L_{LD}/L=0,5$	$L_{LD}/L=0,6$
$L = 1\ \mu\text{m}$	7,9	10,3	21,9	48,2	65,8	48,8	30,3
$L = 2\ \mu\text{m}$	16,6	48,1	251,6	257,4	158,7	89,6	54,5
$L = 3\ \mu\text{m}$	21,8	278,8	983,5	572,3	284,7	144,1	80,1

Através da Figura 3.11 e da Tabela 3.3, nota-se a grande influência que a estrutura GC exerce sobre a tensão Early do dispositivo GAA. De acordo com os dados obtidos, observa-se um aumento em V_{EA} que pode chegar a 50 vezes para transistores de $L = 3\ \mu\text{m}$ com L_{LD}/L de 0,2, em relação ao dispositivo GAA convencional. Como já mencionado, este aumento pode ser

explicado pela absorção de grande parte do potencial aplicado ao dreno pela região com dopagem natural, o que deixa o potencial do canal praticamente invariável com a tensão de dreno na região L_{HD} , diminuindo a condutância de dreno [14]. Esta melhora em V_{EA} , porém, é fortemente atenuada quando se diminui L_{eff} , tanto através da diminuição do comprimento de máscara (L), como através do aumento da relação L_{LD}/L , já que, ao se diminuir o canal do dispositivo ocorre um aumento em sua condutância de dreno [47]. Pode-se notar ainda que a razão L_{LD}/L ideal para a obtenção do máximo V_{EA} aumenta conforme L é diminuído, indicando que o L_{LD} ideal para a maximização do ganho na tecnologia empregada se dá em $0,6 \mu\text{m}$ nos dispositivos de $L = 2$ e $3 \mu\text{m}$, enquanto que devido aos efeitos de canal curto se dá em $0,4 \mu\text{m}$ nos transistores de menor comprimento de canal.

Contudo, devido à difusão lateral das impurezas implantadas para o ajuste de V_{TH} e do dreno, a região fracamente dopada destes dispositivos não atinge a dopagem natural da lâmina, como mostrado na Figura 3.2, o que aumenta a degradação de V_{EA} para dispositivos de canais com L menores que $3 \mu\text{m}$ e baixa razão L_{LD}/L , embora esta degradação seja realmente visível em transistores com $L = 1 \mu\text{m}$ e razão L_{LD}/L entre $0,1$ e $0,3$.

3.11 Ganho de Tensão em Malha Aberta (A_v)

O ganho de tensão em malha aberta consiste em uma das principais características dos circuitos analógicos, principalmente para os circuitos amplificadores. Para aumentá-lo, diversos circuitos, tais como amplificadores operacionais de transcondutância (OTAs) compostos por transistores de canal longo, associações série-paralelo ou cascata de transistores têm sido propostos [13],[43],[47],[76].

Porém, estes sistemas têm uma série de desvantagens como maior consumo de potência, instabilidade, pequena largura de banda, entre outras [10]. Assim, os dispositivos GC GAA se tornam uma boa alternativa para circuitos de baixo consumo de potência e baixa tensão, conforme confirma o OTA desenvolvido na ref. [15]. Logo, com base nas tensões Early obtidas, percebe-se o excelente ganho do GC GAA, que pode ser confirmado pela Tabela 3.4, onde são exibidos os ganhos de todos dos transistores para $V_{GT} = 500 \text{ mV}$, obtidos através da razão g_m/g_D e expressos em Decibéis.

Tabela 3.4 – Ganho de tensão em malha aberta (A_v) obtido com $V_{DS} = 1,5$ V e $V_{GT} = 500$ mV para todos os dispositivos a partir da razão g_m/g_D (valores de A_v expressos em dB).

A_v (dB)	GAA convencional ($L_{LD}/L=0$)	GC GAA					
		$L_{LD}/L=0,1$	$L_{LD}/L=0,2$	$L_{LD}/L=0,3$	$L_{LD}/L=0,4$	$L_{LD}/L=0,5$	$L_{LD}/L=0,6$
$L = 1\mu\text{m}$	28,8	31,1	37,7	44,5	46,9	44,0	38,5
$L = 2\mu\text{m}$	35,7	45,0	59,4	59,5	55,2	49,8	44,9
$L = 3\mu\text{m}$	38,3	60,4	71,4	66,6	60,3	54,2	48,4

Conforme podia se prever devido à proporcionalidade com a tensão Early, o ganho obtido na Tabela 3.4 diminui para L_{eff} menores. Deste modo, ao se diminuir o comprimento de máscara do canal, a condição de máximo ganho é obtida para maiores razões de L_{LD}/L , assim como no caso de V_{EA} , dada a proporcionalidade direta entre as duas grandezas. Assim como ocorria no item anterior relativo à tensão Early, neste caso pode-se notar o máximo ganho para L_{LD} próximos a $0,6\mu\text{m}$ nos dispositivos de 2 e $3\mu\text{m}$, enquanto que, para transistores de canal mais curto A_v máximo se situa nas proximidades de $L_{LD} = 0,4\mu\text{m}$. No caso do transistor de $L_{LD}/L = 0,2$ e $L = 3\mu\text{m}$ o dispositivo GC chega a proporcionar um ganho superior em 30 dB ao convencional de dimensões similares. Os valores de A_v obtidos resultam das curvas de $A_v \times g_m/I_{DS}$ para $V_{DS} = 1,5$ V, sendo que estas últimas podem ser visualizadas na Figura 3.12 para transistores com comprimentos de canal de $1\mu\text{m}$ e $3\mu\text{m}$.

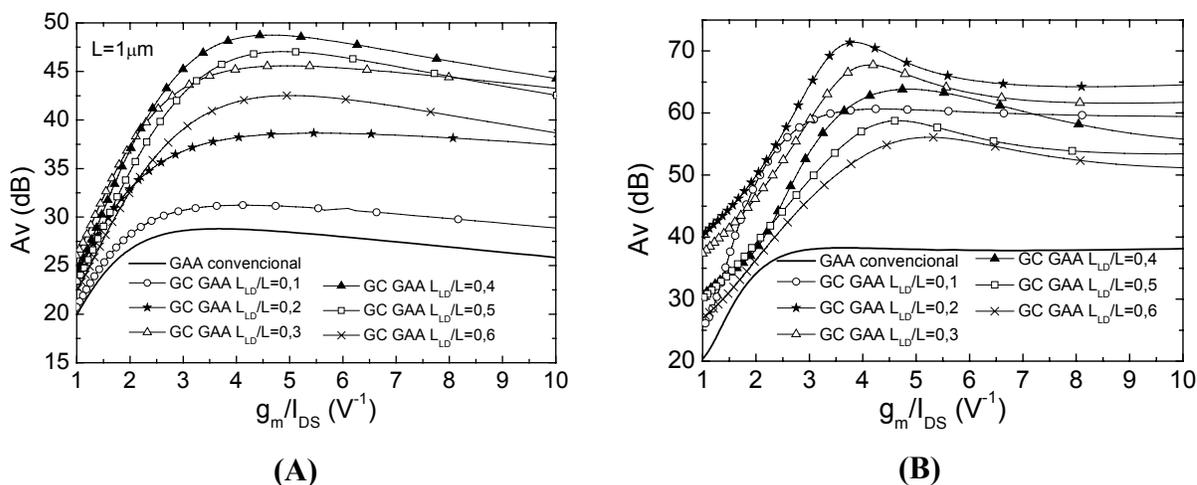


Figura 3.12 – Curvas de $A_v \times g_m/I_{DS}$ para os dispositivos simulados com comprimento de canal igual a (A) $1\mu\text{m}$ e (B) $3\mu\text{m}$.

Além de ser uma importante figura de mérito em circuitos analógicos, de acordo com a referência [77], o ganho de tensão em malha aberta de baixa frequência tem uma relação direta com a distorção harmônica. Assim, esta grandeza é de importância fundamental para a correta análise das não-linearidades, de forma que as distorções obtidas a seguir deverão ser normalizadas por A_v .

3.12 Distorção Harmônica para Dispositivos Operando em Saturação

Neste tópico são dispostas todas as curvas simuladas referentes às distorções harmônicas presentes em dispositivos GAA e GC GAA operando em saturação. Como mencionado anteriormente, as figuras de mérito utilizadas correspondem à distorção harmônica total (THD) e a distorção harmônica de terceira ordem (HD3). Estas foram determinadas através do Método da Função Integral (IFM) descrito no item 2.6.3, com o auxílio do *software* Mathcad [78] utilizado como ferramenta matemática. A determinação de THD e HD3, foi realizada a partir das características $I_{DS} \times V_{GF}$ simuladas com um V_{DS} de 1,5 V, de maneira a garantir que o dispositivo operasse em saturação, polarizado como um amplificador.

Além da análise de THD e HD3 para cada um dos transistores estudados, serão apresentados também os comportamentos da linearidade em função da redução do comprimento de canal dos dispositivos e da variação do comprimento da região fracamente dopada e, finalmente, serão exibidos gráficos em que as distorções harmônicas decorrentes da amplitude do sinal aplicado à entrada do transistor podem ser diretamente obtidas.

3.12.1 Distorção Harmônica Total (THD)

De acordo com o apresentado no item 2.5, a distorção harmônica total representa a influência de todos os harmônicos presentes no sinal de saída do dispositivo. Assim, normalmente é a figura de mérito de maior importância, embora através dela não seja possível distinguir a influência de harmônicos pares e ímpares na resposta final.

Inicialmente, na Figura 3.13 é apresentada THD em função da tensão de polarização do dispositivo (V_0), que para este propósito é igual a V_{GT} , ou seja, é desconsiderada a influência do ganho, para os transistores com $L = 1 \mu\text{m}$ e $L = 3 \mu\text{m}$. Assim, pode-se perceber a não-linearidade resultante unicamente da característica $I_{DS} \times V_{GF}$ dos dispositivos. Nesta análise a amplitude do sinal senoidal foi fixada em $V_a = 50 \text{ mV}$.

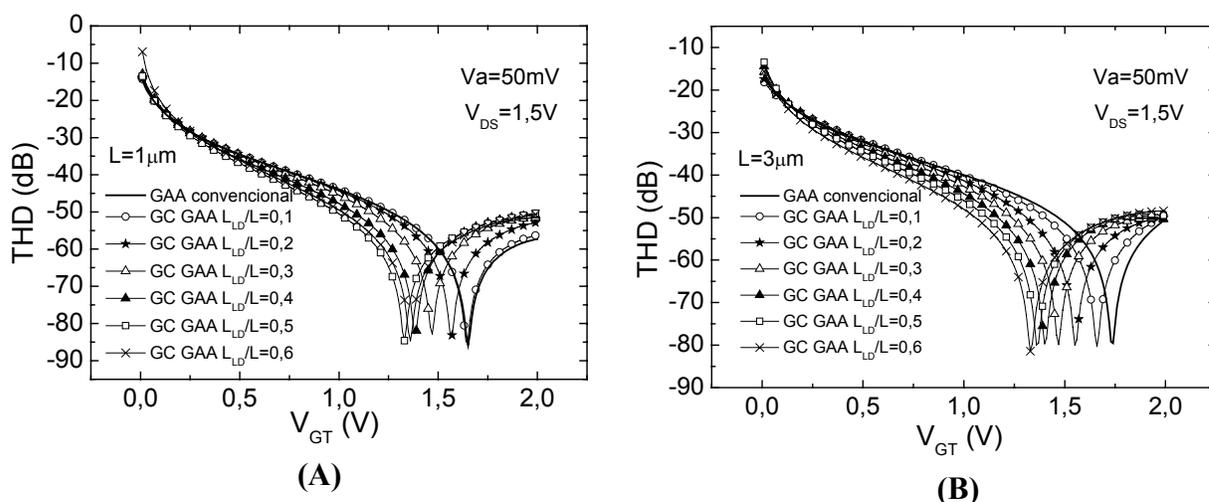


Figura 3.13 – Curvas de THD $\times V_{GT}$ para dispositivos com comprimento de canal de (A) $1 \mu\text{m}$ e (B) $3 \mu\text{m}$ para $V_{DS}=1,5 \text{ V}$ e $V_a=50 \text{ mV}$.

Neste caso, a aplicação do método de IFM é equivalente a uma entrada senoidal de amplitude V_a somada à tensão de polarização do dispositivo ($V_0 = V_{GT}$), de forma que $V_{GF} = V_0 + V_a \sin(\omega t)$, com ωt variando entre 0 e 2π . Assim, a pequena variação de V_{TH} com a razão L_{LD}/L pode ser compensada através da polarização (V_0) do transistor.

De acordo com os resultados observados, nota-se que para os comprimentos de canal estudados, conforme se aumenta a razão L_{LD}/L existe uma redução em THD para valores de V_{GT} inferiores a $1,3 \text{ V}$. Estes picos correspondem à transcondutância máxima em cada um dos transistores, ou seja, ao ponto de máxima mobilidade dos portadores. Apesar da curva de THD em função de V_{GT} levar a algumas conclusões, ao se fazer o gráfico de THD $\times g_m/I_{DS}$ pode ser obtida uma melhor visualização da região de interesse da curva, onde é exibida de forma mais clara a influência de L_{LD} na linearidade, conforme pode ser observado na Figura 3.14.

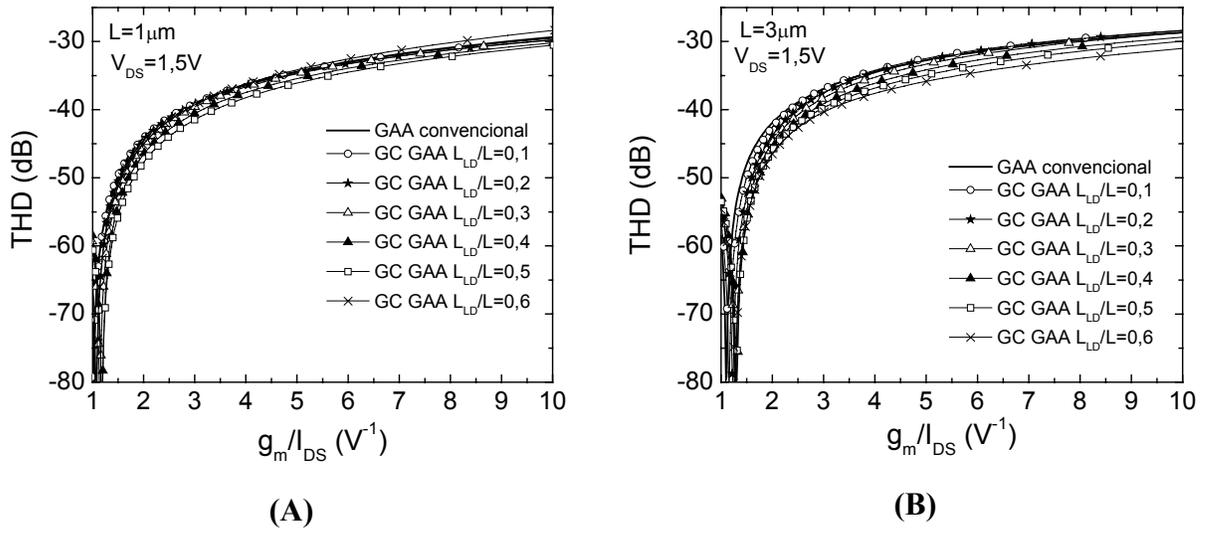


Figura 3.14 – Curvas de THD x g_m/I_{DS} para dispositivos com comprimento de canal de (A) $1 \mu\text{m}$ e (B) $3 \mu\text{m}$ para $V_{DS}=1,5 \text{ V}$ e $V_a=50 \text{ mV}$.

Nestas curvas, pode-se notar um pico negativo quando $g_m/I_{DS} \cong 1,25 \text{ V}^{-1}$ que se deve ao ponto de inflexão da corrente, onde o dispositivo passa a operar na região de triodo, o que não é de interesse neste momento. No restante das curvas é perceptível um aumento da linearidade conforme a razão de L_{LD}/L é incrementada. A única exceção é o dispositivo de $L = 1 \mu\text{m}$ e $L_{LD}/L = 0,6$, onde ocorre uma degradação em THD, possivelmente devido à presença de efeitos de canal curto. A melhora em THD observada nos demais transistores é maior nos dispositivos de $L = 3 \mu\text{m}$ e, para o transistor de $L_{LD}/L = 0,6$, atinge 4 dB em grande parte da curva. Apesar disto, ao se comparar a linearidade entre os dispositivos de diferentes comprimentos de canal, nota-se que não existe uma dependência significativa entre THD e L .

Esta redução na distorção harmônica pode ser modelada através da análise das derivadas de segunda e terceira ordem de g_m em função de V_{GT} , as quais representam HD2 e HD3, respectivamente [79],[80]. Estas figuras de mérito podem ser determinadas analiticamente através das equações (3.2) e (3.3) apresentadas abaixo e previamente descritas na referência [64].

$$HD2 = \frac{1}{2} V_a \frac{\frac{\partial g_m}{\partial V_{GT}}}{2g_m} \quad (3.2)$$

$$HD3 = \frac{1}{4} V_a^2 \frac{\frac{\partial^2 g_m}{\partial V_{GT}^2}}{6g_m} \quad (3.3)$$

Sendo na análise atual, HD2 dominante na distorção total, a equação (3.2) pode ser utilizada na explicação da redução obtida em THD. Ao se efetuar o cálculo de HD2, percebe-se que a derivada de g_m é responsável pelo formato da curva resultante, enquanto que a transcondutância propriamente dita, aumenta ou diminui o nível da linearidade. A melhora observada em THD devido à arquitetura GC na Figura 3.14 é derivada do maior aumento de g_m ao se incrementar L_{LD}/L para g_m/I_{DS} entre 2 e 5 V^{-1} . Embora $\partial g_m/\partial V_{GT}$ sofra um aumento ao se incrementar L_{LD}/L , tal como expresso na Figura 3.4, este aumento é compensado pelo maior valor de g_m no respectivo ponto de operação.

Dada a relação do ganho com a não-linearidade mencionada em 3.13, para a correta obtenção da distorção harmônica efetiva de um dispositivo, é necessária a normalização de THD por A_v [50], a fim de se obter as curvas $THD/A_v \times g_m/I_{DS}$, como mostrado na Figura 3.15 para $L = 1 \mu m$ e $3 \mu m$, respectivamente.

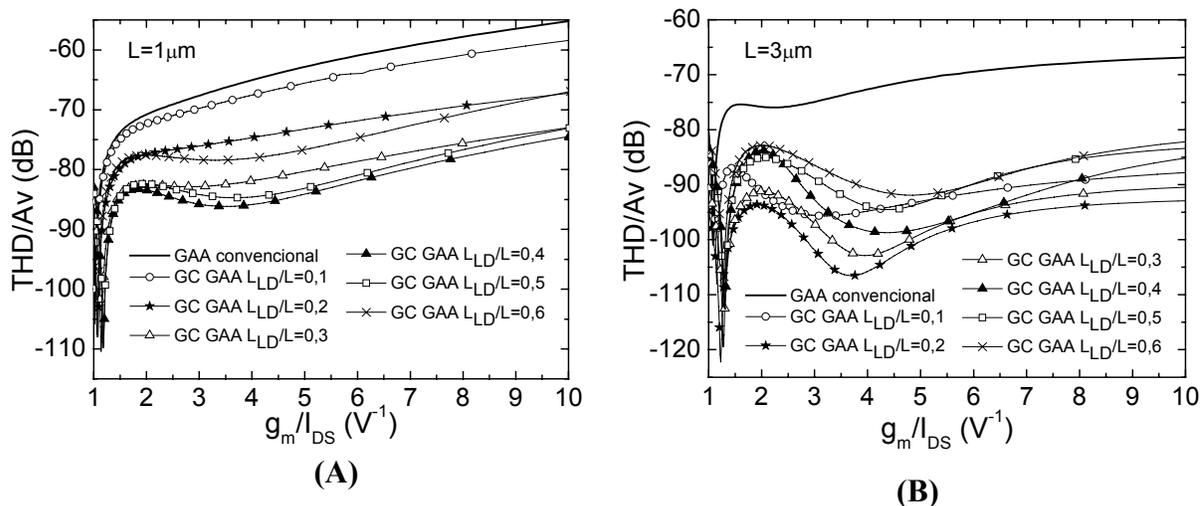


Figura 3.15 – Curvas $THD/A_v \times g_m/I_{DS}$ simuladas para dispositivos com comprimentos de canal de (A) $1 \mu m$ e (B) $3 \mu m$ ($V_{DS} = 1,5 V$ e $V_a = 50 mV$).

Através das curvas mostradas acima, pode-se notar, principalmente em transistores de $L = 3 \mu m$, a influência do ganho proporcionado pelo dispositivo GC, que se soma à melhor THD

promovida por esta estrutura, apresentada na Figura 3.14. Esta influência fica evidenciada na distorção normalizada obtida para g_m/I_{DS} entre 3 V^{-1} e 5 V^{-1} , que resulta em uma melhora superior a 30 dB em relação ao convencional, já que na característica A_v disposta na Figura 3.12, se nota o máximo ganho ao redor dos valores em questão. Embora menos intensamente, em dispositivos com comprimentos de canal de $1 \mu\text{m}$ e $2 \mu\text{m}$, também é perceptível uma melhora em THD/A_v com relação ao GAA convencional devido ao ganho obtido nos transistores GC que, apesar de sofrer grande degradação ao se diminuir L , se mantém melhor que a distorção harmônica normalizada da estrutura GAA uniformemente dopada em qualquer dos comprimentos de canal estudados.

No que diz respeito às diferentes razões L_{LD}/L utilizadas, pode-se perceber através da Figura 3.15 que, embora todas apresentem resultados superiores aos obtidos com o GAA convencional para quaisquer comprimentos de canal, quando se diminui L para $1 \mu\text{m}$, as curvas obtidas para o GC GAA com razão $L_{LD}/L = 0,1$ e em menor intensidade com $L_{LD}/L = 0,2$, sofrem uma degradação superior à dos demais dispositivos, novamente explicável pela difusão lateral decorrente da implantação iônica para o ajuste de V_{TH} , conforme apresentado no item 3.9. Para os dispositivos de canal de $3 \mu\text{m}$, onde este efeito é menos visível, é notado que a linearidade adquire seus melhores valores quando L_{LD}/L está entre 0,1 e 0,3 e sofre degradação para valores superiores a estes.

3.12.2 Distorção do Harmônico de Terceira Ordem (HD3)

O harmônico de terceira ordem corresponde ao primeiro harmônico ímpar presente no sinal de saída que, embora seja desprezível frente a THD na maioria das aplicações, em alguns casos como em circuitos balanceados, gera uma distorção que passa a ser predominante, devido à supressão dos harmônicos de ordem par [22]. Assim, a obtenção de HD3 passa a ser relevante para a análise completa da não-linearidade em dispositivos GAA e GC GAA.

Do mesmo modo que ocorreu com THD, a princípio é apresentado HD3 em função de V_{GT} para uma breve análise, sem a influência do ganho. Novamente, o método de IFM será aplicado segundo uma entrada senoidal de amplitude V_a somada à tensão de polarização do

dispositivo, que é numericamente igual à V_{GT} . Assim, resultam as curvas de $HD3 \times V_{GT}$ conforme exibido na Figura 3.16 para os transistores $L = 1 \mu\text{m}$ e $3 \mu\text{m}$.

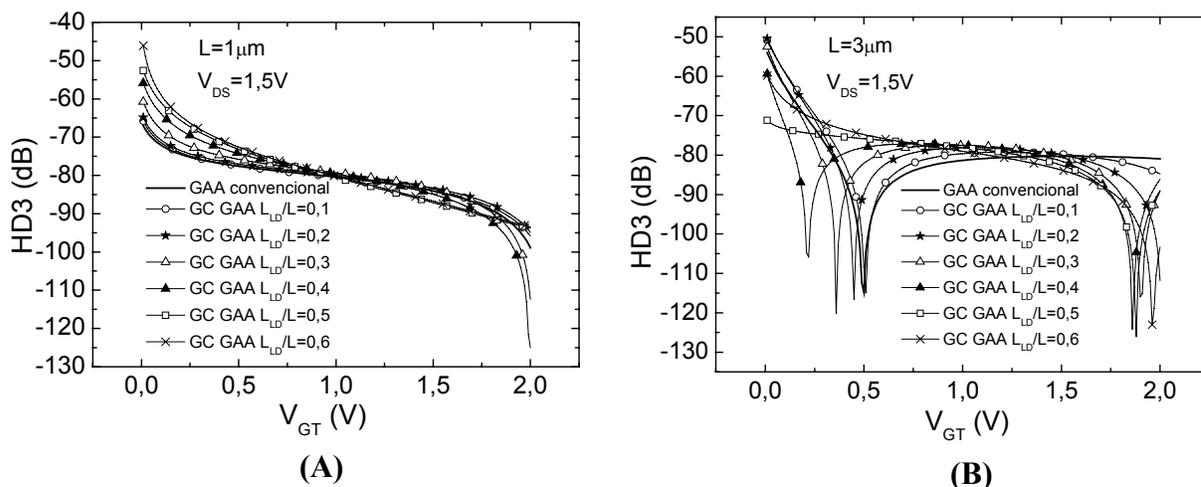


Figura 3.16 – Curvas de $HD3 \times V_{GT}$ para dispositivos com comprimento de canal de (A) $1 \mu\text{m}$ e (B) $3 \mu\text{m}$ para $V_{DS} = 1,5 \text{ V}$.

Através das curvas de $HD3 \times V_{GT}$ pode-se notar que, realmente, nestes dispositivos predominam as distorções dos harmônicos de ordem par, já que $HD3$ é bastante inferior à THD obtida no item 3.12.1. Além disso, as curvas obtidas dispõem de alguns picos negativos, coincidentes com máximos ou mínimos nas curvas de g_m onde é alcançada uma excelente linearidade. Porém, estes picos somente são observados graças à ausência de harmônicas ímpares de ordem mais alta [81]. Da mesma forma como no item 3.12.1, ao se determinar as curvas apresentadas para a linearidade em função de g_m/I_{DS} , pode se obter uma melhor visão da área de interesse da curva, facilitando a observação da influência de L_{LD} em $HD3$ conforme disposto na Figura 3.17.

Através das curvas da Figura 3.17, podem ser percebidos picos de mínimo nos transistores de $L = 3 \mu\text{m}$, que se movem para maiores g_m/I_{DS} conforme a razão L_{LD}/L aumenta. Isto deve-se ao fato da região fracamente dopada atingir a saturação em valores diferentes de g_m/I_{DS} , visto que o transistor tem sua região menos dopada em pinçamento (*pinch-off*) quando operando em saturação e absorve parte do potencial aplicado ao dreno [82]. Logo, o V_{GT} necessário para alcançar a região linear sofre uma leve redução, o que resulta no aumento de g_m/I_{DS} para maiores L_{LD}/L . Nestas curvas a linearidade apresenta acentuada redução com o aumento de L_{LD} , que pode

ser vista com maior intensidade nos dispositivos de canal de $1\ \mu\text{m}$, chegando a 8 dB para o transistor com $L_{LD}/L = 0,6$.

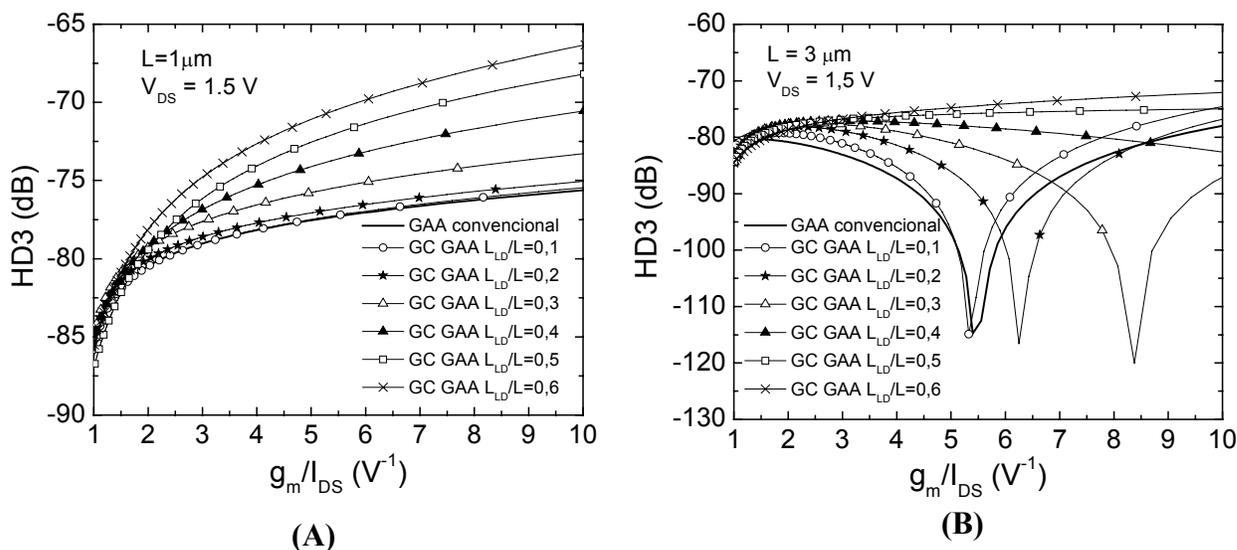


Figura 3.17 – Curvas de $HD3 \times g_m/I_{DS}$ para dispositivos com comprimento de canal de (A) $1\ \mu\text{m}$ e (B) $3\ \mu\text{m}$ para $V_{DS} = 1,5\ \text{V}$ e $V_a = 50\ \text{mV}$.

Contudo, como $HD3$ não é dominante em aplicações voltadas para a saturação, este aumento da distorção exerce pouca influência em THD. Neste caso a menor linearidade observada para $HD3$ ao se aumentar L_{LD} pode ser explicada através da transcondutância e de sua derivada de segunda ordem conforme mostrado na equação (3.3). Similarmente ao que ocorria com $HD2$ na equação (3.2), na análise de $HD3$ o nível de linearidade é dado por g_m , enquanto que a forma da curva final é determinada através de $\partial^2 g_m / \partial V_{GT}^2$. Os picos de linearidade observados para o dispositivo mais longo ocorrem quando a derivada de segunda ordem de g_m resulta em valor nulo. Neste caso, a divisão da segunda derivada de g_m pela transcondutância não apresenta influência suficiente em $HD3$ para gerar melhora na linearidade ao se aumentar L_{LD}/L , da forma como ocorria anteriormente com $HD2$. Ao se comparar os resultados para dispositivos de diferentes comprimentos de canal percebe-se certa redução em $HD3$ para dispositivos maiores, a qual pode chegar à 5 dB. Na seqüência, $HD3$ é normalizada em função do ganho com a finalidade de se obter as curvas de $HD3/Av \times g_m/I_{DS}$ dispostas na Figura 3.18.

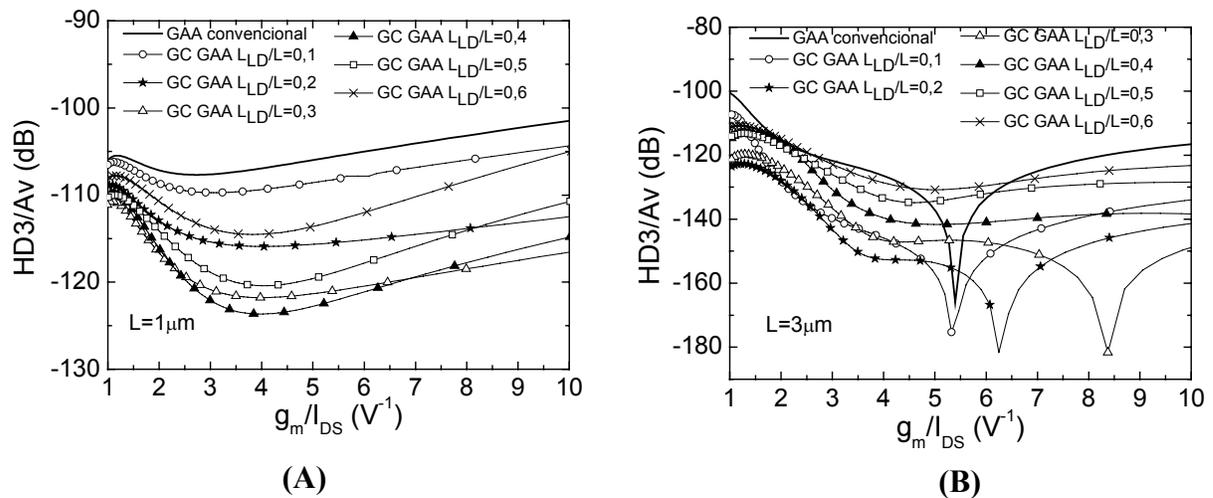


Figura 3.18 – Curvas $HD3/Av$ x g_m/I_{DS} simuladas para dispositivos GAA e GC GAA com comprimentos de canal de (A) 1 μm e (B) 3 μm ($V_{DS} = 1,5$ V e $V_a = 50$ mV).

Analisando as curvas obtidas, percebe-se uma grande melhora em HD3 proporcionada pelo ganho do GC, da mesma forma como ocorria com THD. Assim, o melhor resultado é observado para os dispositivos com canal de 3 μm , onde HD3 apresenta uma superioridade de até 30 dB para g_m/I_{DS} entre 3 e 5 V^{-1} , devido ao maior ganho obtido nesta região da curva, que se opõe à distorção harmônica obtida em função de g_m/I_{DS} observada na estrutura GC GAA. Novamente, apesar da diminuição do comprimento de canal degradar Av , todos os resultados obtidos para os dispositivos com canal gradual foram superiores aos do GAA convencionais.

3.12.3 Relação da Distorção Harmônica com a Redução do Comprimento de Canal

Após a análise dos resultados obtidos para a distorção harmônica total e para a distorção devida ao harmônico de terceira ordem, neste tópico será feita uma análise da distorção em função da redução do canal dos dispositivos. Para isso, foi necessária a obtenção de THD/Av e $HD3/Av$ para um g_m/I_{DS} específico. Assim, escolheu-se $g_m/I_{DS} = 3$ V^{-1} de modo a evitar a extração da linearidade nas proximidades de algum pico mínimo de linearidade. As curvas de THD/Av e $HD3/Av$ em função do comprimento de canal L são demonstradas na Figura 3.19.

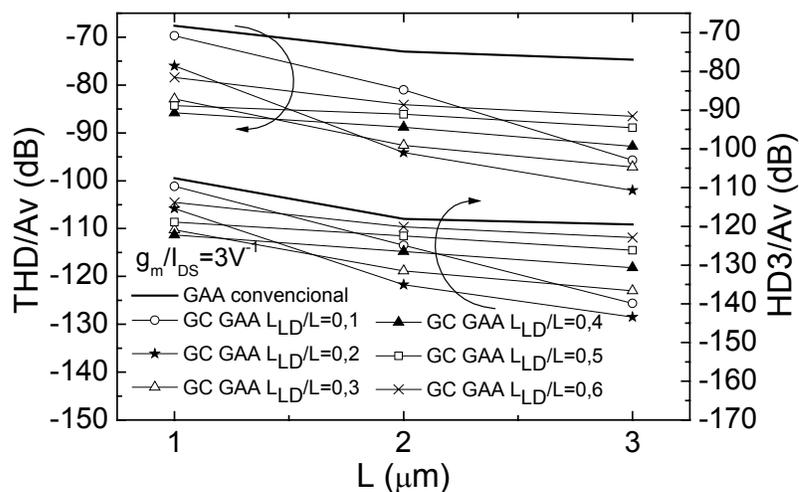


Figura 3.19 – Distorções THD/Av e HD3/Av em função do comprimento de canal (L) para $g_m/I_{DS} = 3 \text{ V}^{-1}$.

A partir das curvas exibidas, nota-se que em qualquer um dos comprimentos de canal estudados, as não-linearidades obtidas para os dispositivos GC GAA apresentam resultados mais satisfatórios do que para o GAA convencional. Assim, percebe-se que, exceto para os transistores com $L = 1 \text{ }\mu\text{m}$ e L_{LD}/L entre 0,1 e 0,2 devido às razões já discutidas anteriormente, as distorções THD e HD3 normalizadas pelo ganho sofrem pequena degradação ao se diminuir L. Embora as curvas tenham sido reproduzidas para $g_m/I_{DS} = 3 \text{ V}^{-1}$, um comportamento similar é observado para qualquer g_m/I_{DS} entre 2 V^{-1} e 10 V^{-1} , se forem desconsiderados os picos mínimos de linearidade apresentados nas curvas de HD3/Av x g_m/I_{DS} .

Este estudo diverge daquele apresentado na ref. [83] onde, para dispositivos de porta simples, transistores de comprimentos de canal menores resultaram em maior linearidade, o que pode ser atribuído ao estudo desenvolvido na referência em questão desconsiderar as diferenças de Av entre os diversos L analisados.

3.12.4 Distorção Harmônica em Função da Amplitude da Entrada Senoidal (V_a)

Visando a obtenção da amplitude do sinal de entrada necessária para se atingir um certo nível de linearidade, foi considerado um ponto de polarização fixo (g_m/I_{DS} constante) associado a um sinal senoidal de amplitude V_a , de maneira a possibilitar a construção dos gráficos de

THD/ A_v e HD_3/A_v em função desta amplitude. Estas curvas podem ser apreciadas nas Figuras 3.20 e 3.21 para um g_m/I_{DS} fixo de 5 V^{-1} e $V_{DS} = 1,5 \text{ V}$ para os transistores com $L = 1 \mu\text{m}$ e $3 \mu\text{m}$.

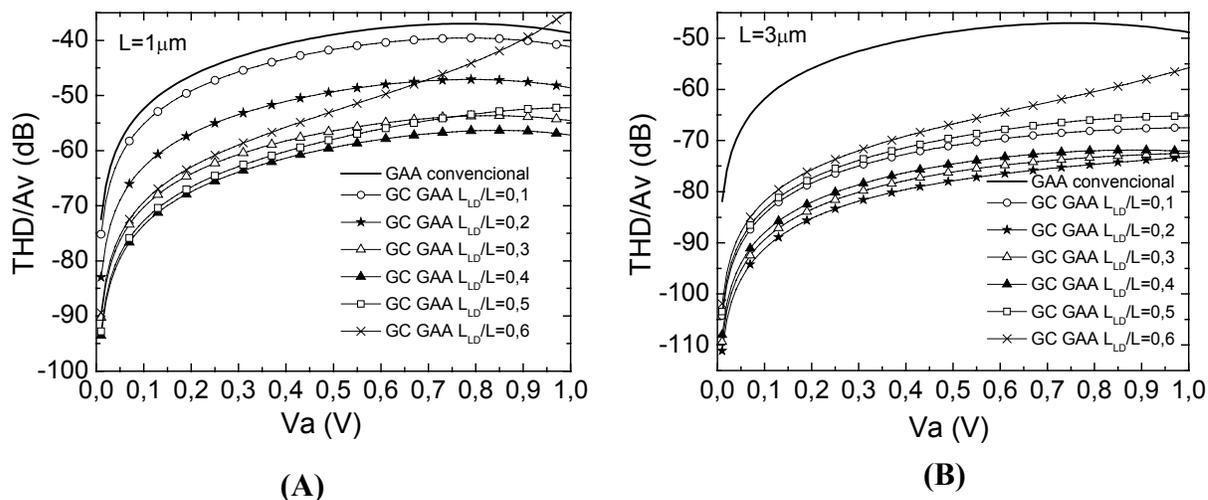


Figura 3.20 – Curvas de THD/ A_v em função de uma entrada senoidal V_a para comprimentos de canal de (A) $1 \mu\text{m}$ e (B) $3 \mu\text{m}$ com $g_m/I_{DS} = 5 \text{ V}^{-1}$ e $V_{DS} = 1,5 \text{ V}$.

Através da Figura 3.20, novamente pode-se visualizar a superioridade da estrutura GC em relação ao GAA convencional em termos de THD, uma vez que para $L = 1 \mu\text{m}$ o resultado indica uma melhora de até 20 dB, que pode chegar a 30 dB, quando aumenta-se L para $3 \mu\text{m}$. Neste gráfico pode-se observar também que a curva de $L_{LD}/L = 0,6$ para $L = 1 \mu\text{m}$ não acompanha as demais a partir de $V_a = 0,4 \text{ V}$, resultando em uma maior degradação da distorção harmônica o que, possivelmente, seja devido à presença de efeitos de canal curto neste dispositivo.

Assim como esperado, as curvas de $HD_3/A_v \times V_a$ (Figura 3.21) também apresentam melhores resultados para os dispositivos de canal gradual, sendo que para os dispositivos com comprimento de canal igual a $1 \mu\text{m}$ uma superioridade de até 15 dB é obtida, enquanto que ao se analisar os dispositivos com $L = 3 \mu\text{m}$, pode-se perceber uma melhora adicional superior a 20 dB.

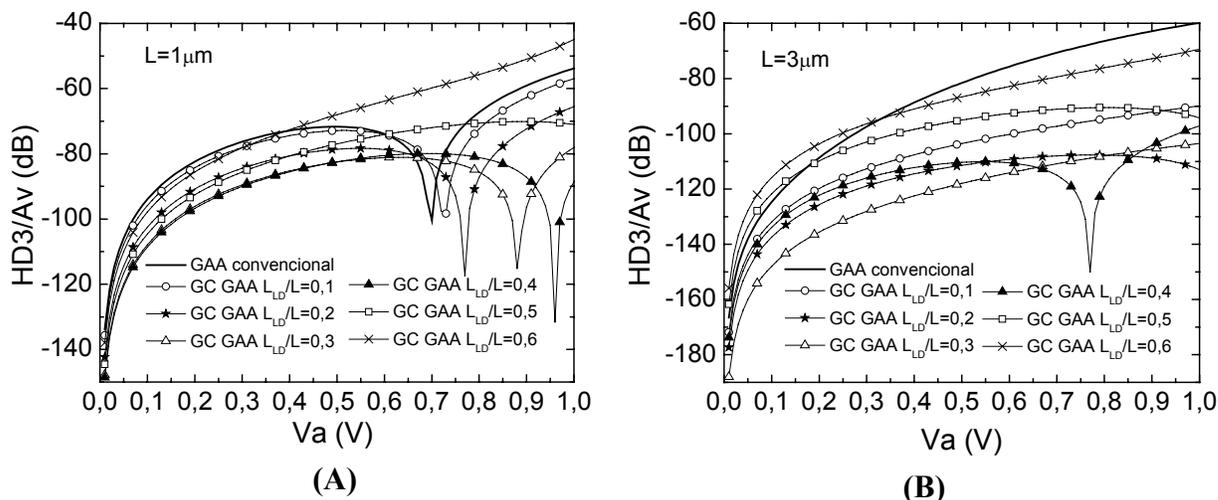


Figura 3.21 - Curvas de HD3/Av em função de uma entrada senoidal V_a para comprimentos de canal de (A) $1 \mu\text{m}$ e (B) $3 \mu\text{m}$ com $g_m/I_{DS} = 5 \text{ V}^{-1}$ e $V_{DS} = 1,5 \text{ V}$.

Ao se construir os gráficos de THD/Av x V_a ou HD3/Av x V_a , pode-se determinar a máxima amplitude da senóide de entrada para uma dada distorção harmônica. Assim, a Tabela 3.5 apresenta a amplitude máxima de V_a para alguns níveis de THD/Av em cada um dos dispositivos estudados para um g_m/I_{DS} fixo de 5 V^{-1} . A avaliação apresentada abrange amplitudes do sinal de entrada de $0,01 \text{ V}$ até 1 V . Logo, pode-se observar que para se obter THD/Av entre -75 dB e -80 dB , por exemplo, V_a deve ser inferior a $0,01 \text{ V}$ no dispositivo GAA convencional de $L = 1 \mu\text{m}$, enquanto que poderá ser superior a 1 V para transistores GC GAA com comprimento de canal de $3 \mu\text{m}$ com L_{LD}/L entre $0,2$ e $0,4$.

Tabela 3.5 – Máxima amplitude V_a da entrada senoidal equivalente para a obtenção do nível de distorção (THD/Av) desejado (valores obtidos para $g_m/I_{DS} = 5 \text{ V}^{-1}$ e $V_{DS} = 1,5 \text{ V}$).

$V_{a_{\max}}$ (V)	THD/Av (dB)	GAA $L_{LD}/L=0$	GC GAA					
			$L_{LD}/L=0,1$	$L_{LD}/L=0,2$	$L_{LD}/L=0,3$	$L_{LD}/L=0,4$	$L_{LD}/L=0,5$	$L_{LD}/L=0,6$
$L=1\mu\text{m}$	-80	<0,010	<0,010	0,015	0,033	0,048	0,044	0,030
	-75	<0,010	0,010	0,026	0,058	0,085	0,077	0,052
	-70	0,014	0,019	0,045	0,103	0,150	0,137	0,093
$L=2\mu\text{m}$	-80	<0,010	0,030	0,141	0,159	0,125	0,094	0,064
	-75	0,016	0,055	0,254	0,287	0,223	0,166	0,113
	-70	0,026	0,094	0,474	0,546	0,404	0,291	0,196
$L=3\mu\text{m}$	-80	0,016	0,166	0,378	0,305	0,255	0,148	0,125
	-75	0,025	0,300	0,761	0,592	0,473	0,263	0,216
	-70	0,039	0,573	>1,000	>1,000	>1,000	0,471	0,367

De acordo com a Tabela 3.5, em qualquer um dos comprimentos de canal estudados, todos os transistores com canal gradual permitem uma maior amplitude do sinal de entrada em relação ao GAA convencional para um dado nível de distorção. Este fato pode ser notado com mais intensidade ao se aumentar o comprimento de canal dos dispositivos, de maneira que para transistores com $L = 3 \mu\text{m}$ e $L_{LD}/L = 0,2$, a amplitude permitida para que se atinja qualquer um dos níveis de distorção estudados supera em mais de vinte vezes aquela obtida em estruturas GAA uniformemente dopadas. Ao se aumentar a razão L_{LD}/L , porém, observa-se que as máximas amplitudes diminuem para quaisquer comprimentos de canal, acompanhando a degradação de THD/A_v mostrada na Figura 3.15.

3.13 Distorção Harmônica para Dispositivos Operando em Região Triodo

Conforme mencionado anteriormente, uma outra aplicação de transistores voltada para circuitos analógicos se dá quando estes operam em regime linear, atuando como resistores variáveis quase lineares, normalmente utilizados em filtros de tempo contínuos [65],[84],[85] necessários em conversores analógico-digitais. Neste caso, de acordo com o descrito no item 2.7, os contatos de fonte e dreno dos transistores passam a funcionar como terminais dos resistores enquanto que a tensão aplicada à porta controla a resistência R_{ON} no canal. Normalmente, o controle da resistência em casos de variação de temperatura e demais parâmetros do processo é implementado automaticamente no circuito, através do ajuste de V_{GF} [86].

Tendo em vista as características não-lineares das curvas $I_{DS} \times V_{DS}$ de transistores MOS convencionais, neste trabalho é efetuado o estudo da distorção harmônica resultante da aplicação de transistores GAA convencionais e GC GAA em regime linear, já que, um estudo recentemente publicado [19] demonstra a potencialidade de transistores longos ($L = 20 \mu\text{m}$) de porta simples com canal assimétrico para dadas aplicações, promovendo redução significativa em HD3.

Para a análise atual, foram utilizados dispositivos convencionais e de canal gradual de $L = 10 \mu\text{m}$ com diversas razões de L_{LD}/L , uma vez que em casos práticos nas aplicações estudadas são necessárias resistências R_{ON} relativamente altas (da ordem de centenas de $k\Omega$),

obtidas unicamente através de dispositivos de canal longo [19]. Todos os dispositivos analisados tiveram seus processos de fabricação simulados conforme descrito no item 3.2.

A partir da estrutura resultante foi determinada a tensão de limiar de cada um dos dispositivos, através do ponto de máximo da derivada segunda de I_{DS} em função de V_{GF} , como mostrado no item 3.5. Na seqüência, conforme mostrado na Figura 3.22, foram obtidas as características $I_{DS} \times V_{DS}$ para os dispositivos GAA e GC GAA de $L = 10 \mu\text{m}$ com várias razões de L_{LD}/L e sobretensão de porta V_{GT} de 2 V. De acordo com esta figura pode-se notar que a região da curva pertencente ao terceiro quadrante, onde $V_{DS} < 0$, apresenta uma linearidade extremamente superior àquela da região disposta no primeiro quadrante, mostrando que a maior parte da distorção obtida é devida à região onde o dispositivo se aproxima da saturação ($V_{DS} \cong V_{GF} - V_{TH}$).

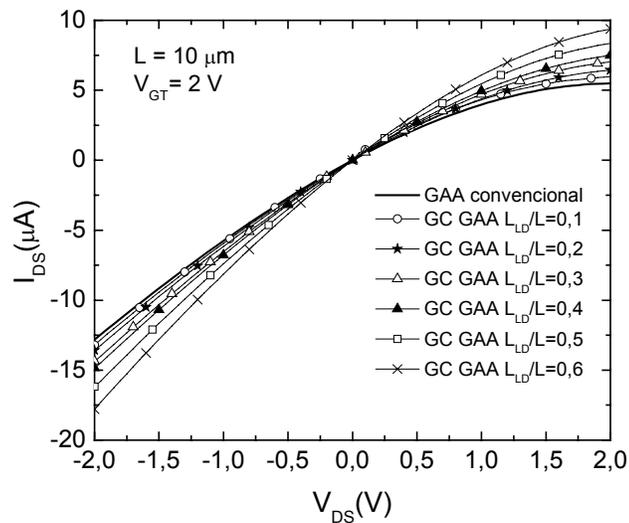


Figura 3.22 – Curvas de $I_{DS} \times V_{DS}$ com $V_{GT} = 2 \text{ V}$ para dispositivos GAA e GC GAA com comprimento de canal de $10 \mu\text{m}$.

A partir das curvas dispostas na Figura 3.22 determinou-se R_{ON} pontualmente para $V_{DS} = 0,1 \text{ V}$, através da razão V_{DS}/I_{DS} . Desta forma, os valores obtidos para R_{ON} se encontram na Tabela 3.6 e apresentam certa redução conforme se aumenta a razão de L_{LD}/L . Esta redução chega a ser superior a 35% quando $L_{LD}/L = 0,6$.

Tabela 3.6 – Resistência de canal (R_{ON}) obtida com $V_{DS} = 0,1$ V e $V_{GT} = 2$ V para os dispositivos de $L = 10$ μm .

R_{ON} (k Ω)	GAA	GC GAA					
	convencional ($L_{LD}/L=0$)	$L_{LD}/L=0,1$	$L_{LD}/L=0,2$	$L_{LD}/L=0,3$	$L_{LD}/L=0,4$	$L_{LD}/L=0,5$	$L_{LD}/L=0,6$
$L=10\mu\text{m}$	204	197	189	178	170	155	140

Entretanto, na maioria das aplicações, o projeto é elaborado a partir de uma resistência on almejada. Logo, na análise atual utilizou-se R_{ON} , além de THD e HD3 como figuras de mérito. Assim, com base na dependência entre R_{ON} e V_{GT} , admitiu-se R_{ON} do transistor convencional para $V_{GT} = 2$ V como valor padrão e o ajuste de R_{ON} foi executado nos demais transistores através da variação de V_{GT} . Deste modo, foram efetuadas novas simulações das curvas $I_{DS} \times V_{DS}$ dos dispositivos para diversos V_{GT} , procurando se obter R_{ON} próximo ao determinado para o dispositivo convencional. Assim, foi possível a simulação de curvas $I_{DS} \times V_{DS}$ para os dispositivos de $L = 10$ μm mostradas na Figura 3.23, onde R_{ON} se manteve praticamente fixo em 205 $\text{k}\Omega \pm 5\%$ para todos os L_{LD}/L analisados. Na Tabela 3.7, por sua vez, são exibidos os valores de V_{GT} para os quais as simulações de cada um dos transistores foram efetuadas ao se manter R_{ON} constante, além do valor exato obtido em R_{ON} nos diferentes dispositivos.

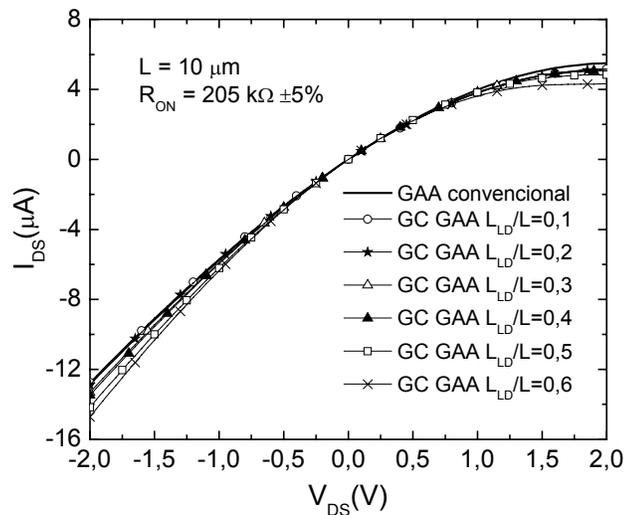


Figura 3.23 – Curvas de $I_{DS} \times V_{DS}$ para dispositivos GAA e GC GAA com comprimento de canal de 10 μm e $R_{ON} \cong 205$ $\text{k}\Omega \pm 5\%$.

Tabela 3.7 – Variação de V_{GT} requerida para a obtenção de similar R_{ON} nos dispositivos de $L = 10 \mu\text{m}$ com $V_{DS} = 0,1 \text{ V}$

$L=10\mu\text{m}$	GAA convencional ($L_{LD}/L = 0$)	GC GAA					
		L_{LD}/L					
		0,1	0,2	0,3	0,4	0,5	0,6
R_{ON} (k Ω)	204	210	210	205	204	199	200
V_{GT} (V)	2,00	1,85	1,75	1,65	1,55	1,40	1,20

De acordo com a Figura 3.23, pode-se perceber que, embora nas proximidades de $V_{DS} = 0 \text{ V}$ a corrente dos dispositivo é praticamente igual, nas regiões mais periféricas das curvas alguma diferença pode ser observada, o que resulta nos diferentes níveis de distorção harmônica para mesmo R_{ON} , apresentados na Figura 3.24. Para a obtenção de HD3 e THD foi utilizado novamente o IFM, porém neste caso a tensão de polarização foi considerada igual a zero ($V_o = 0 \text{ V}$), uma vez que este corresponde ao pior caso e a amplitude do sinal de entrada V_a foi analisada na excursão entre 0 e 0,5 V. No estudo atual não é necessária a normalização de HD pelo ganho, tendo em vista que A_V não influencia a operação dos dispositivos na região triodo.

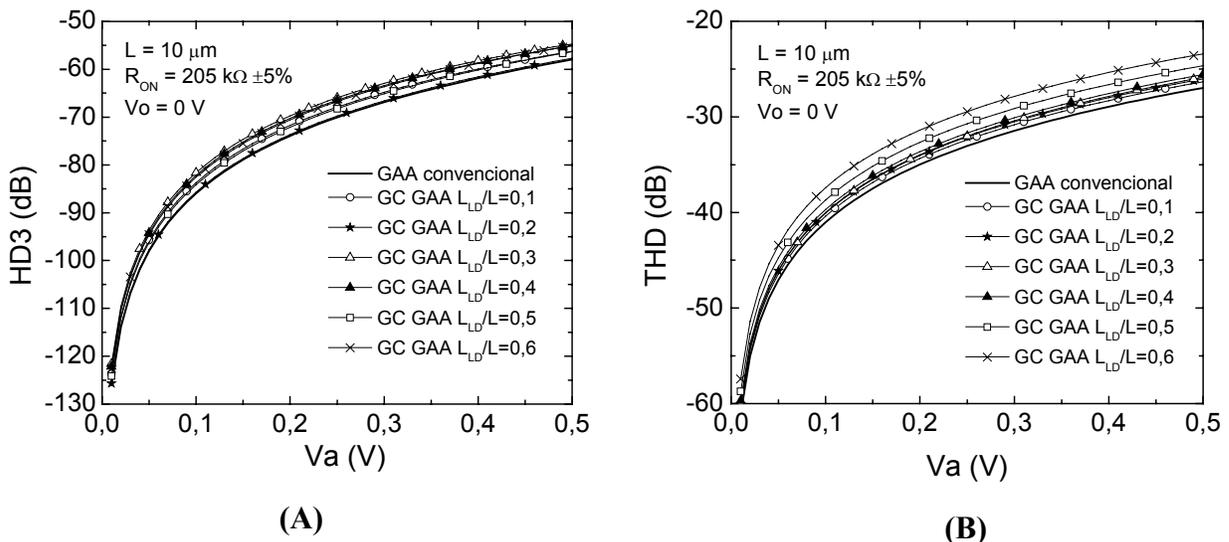


Figura 3.24 – Curvas de (A) HD3 x V_a e (B) THD x V_a para dispositivos GAA e GC GAA com $L = 10 \mu\text{m}$ e diversas razões de L_{LD}/L .

Através da Figura 3.24 (A) nota-se que HD3 apresenta alguma variação com relação ao comprimento da região fracamente dopada, embora esta variação não seja diretamente

proporcional à L_{LD} , enquanto que na Figura 3.24 (B), para um R_{ON} similar os transistores de canal gradual degradam THD em até 5 dB. A piora obtida em THD, em parte, se deve à redução de V_{GT} necessária para se atingir um mesmo R_{ON} em virtude do menor L_{eff} nos GC SOI. Apesar desta redução ser considerada de interesse em aplicações de baixa tensão, ela faz com que a tensão de saturação seja menor nos GC SOI (que para um V_{GT} fixo é maior no dispositivo GC) e degrada THD.

3.14 Distorção Harmônica para Estruturas Balanceadas Operando em Região Triodo

Conforme discutido no item 2.7, o uso de estruturas balanceadas representa uma alternativa à aplicação de transistores unitários em filtros de tempo contínuo, promovendo a eliminação da distorção gerada por harmônicos pares e fazendo com que a distorção referente ao terceiro harmônico se torne dominante, reduzindo assim, a distorção harmônica total para um nível próximo ao de HD3.

Num primeiro momento, será apresentada uma estrutura balanceada composta por 2 transistores (2-MOS), proposta na referência [59], com o intuito de suprimir a distorção harmônica referente aos harmônicos de ordem par que, normalmente, é dominante em transistores unitários. A partir de uma modificação na configuração desta estrutura, uma outra, composta por 4 transistores (4-MOS), será analisada mais adiante [60]. Através de alguns trabalhos publicados [21],[66], pode-se notar que, em grande parte das aplicações, esta segunda estrutura apresenta um melhor desempenho que a anterior. Além de suprimir a distorção referente aos harmônicos pares, como ocorria na estrutura 2-MOS, a estrutura 4-MOS promove uma redução da distorção nos harmônicos de ordem ímpar, desde que parte da não-linearidade devida à degradação da mobilidade é suprimida [65]. Ambas as estruturas de 2 e 4 transistores são apresentadas na Figura 3.25, onde V_0 é a tensão de polarização e V_a a amplitude do sinal de entrada senoidal.

Para a simulação das estruturas balanceadas de 2 e 4 transistores referidas, foi utilizado o módulo de circuitos do simulador ATLAS, onde foram importadas as estruturas geradas para cada um dos dispositivos no simulador de processos (ATHENA) e definidos os nós do circuito a

ser simulado. Um exemplo de simulação de estruturas balanceadas pode ser visualizado no Apêndice C deste trabalho. Todas as simulações de circuitos executadas utilizaram os mesmos modelos e parâmetros previamente empregados em simulações de transistores individuais.

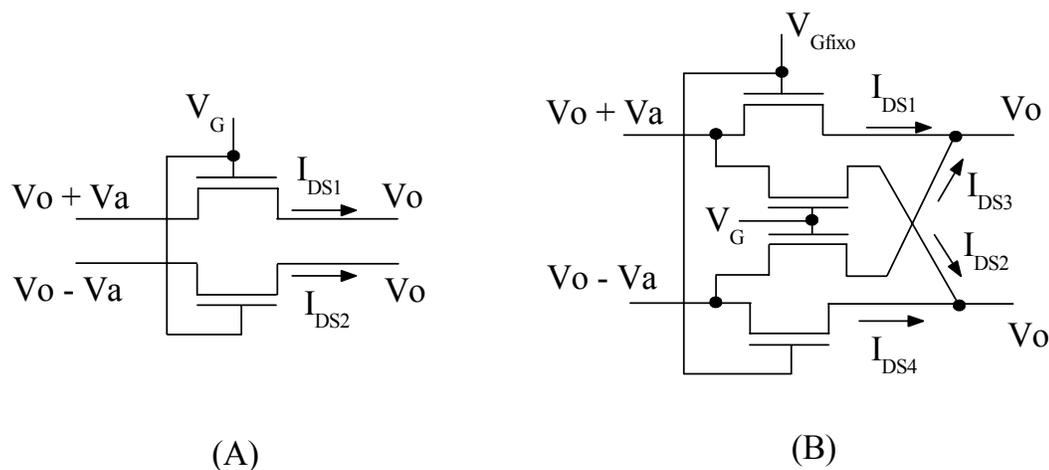


Figura 3.25 – Estruturas resistivas utilizadas em filtros MOSFET-C: (A) estrutura 2-MOS e (B) estrutura 4-MOS.

Normalmente, em aplicações como resistor variável, as tensões V_G e V_{Gfixo} indicadas nas estruturas de 2 e 4 transistores devem ser ajustadas conforme a resistência R_{ON} almejada. Assim, o ajuste dessas tensões necessita de certa atenção, já que a curva característica de R_{ON} diverge nas duas estruturas estudadas em função de V_G , conforme mostrado na Figura 3.26.

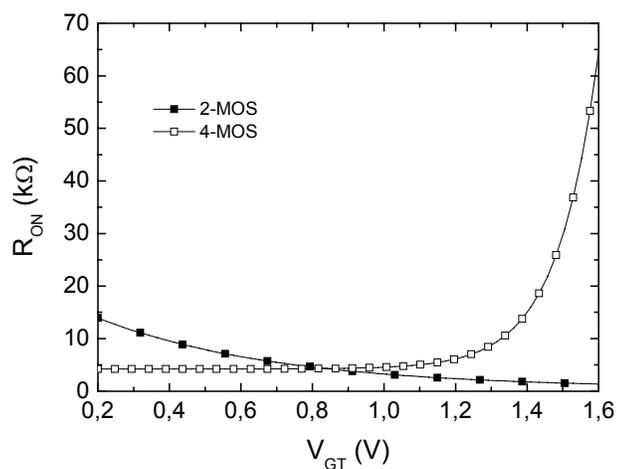


Figura 3.26 – Esboço das curvas de R_{ON} para estruturas balanceadas com 2 e 4 transistores implementada com transistores SOI convencionais.

Com base nas características anteriormente discutidas, no estudo atual será adotado o critério de determinar R_{ON} para a estrutura 2-MOS composta por transistores GAA convencionais com um V_G fixo. A seguir, será ajustado V_G nas estruturas GC GAA, a fim da obtenção de semelhante R_{ON} . A partir da resistência resultante no 2-MOS, um processo semelhante de ajuste de V_G para um V_{Gfixo} fixo será executado para a obtenção de similar R_{ON} na estrutura 4-MOS. Somente então, serão determinadas as características da linearidade referentes a cada um dos dispositivos. Nos tópicos a seguir serão apresentados os resultados obtidos para cada uma das estruturas. Conforme mencionado no item anterior, para a análise da linearidade serão utilizados THD, HD3 e R_{ON} como figuras de mérito. Para as simulações apresentadas adiante, dispositivos de $L = 10 \mu\text{m}$ com vários L_{LD}/L tiveram sua tensão de polarização considerada igual à zero ($V_0 = V_{DS} = 0 \text{ V}$) com um sinal de entrada de amplitude V_a variando entre 0 e 0,5 V.

3.14.1 Linearidade em Estruturas 2-MOS

Conforme disposto no item 3.13, a primeira etapa para a obtenção da linearidade presente na saída da estrutura 2-MOS, foi a determinação das características $I_{DS} \times V_{DS}$ dos dispositivos na região triodo, exibidas na Figura 3.27, a partir das quais foram obtidas as resistências R_{ON} de cada um dos dispositivos simulados. Nas curvas da Figura 3.27 foi utilizado $V_{GT} = 2 \text{ V}$ e determinado R_{ON} para $V_{DS} = 0,1\text{V}$, de forma a garantir que todos os transistores estivessem operando na região triodo.

De acordo com o Capítulo 2, para estruturas 2-MOS a corrente resultante (I_{DS}) mostrada na Figura 3.27 é dada pela diferença entre as correntes I_{DS1} e I_{DS2} do circuito exibido na Figura 3.25 (A). Confrontando as curvas obtidas nesta figura com aquelas obtidas na Figura 3.22, na qual são apresentados transistores unitários operando na região triodo, percebe-se que a não-linearidade presente no primeiro quadrante das curvas é visivelmente menor nas estruturas balanceadas com 2 transistores. Assim, é possível prever que uma significativa redução em THD será obtida adiante.

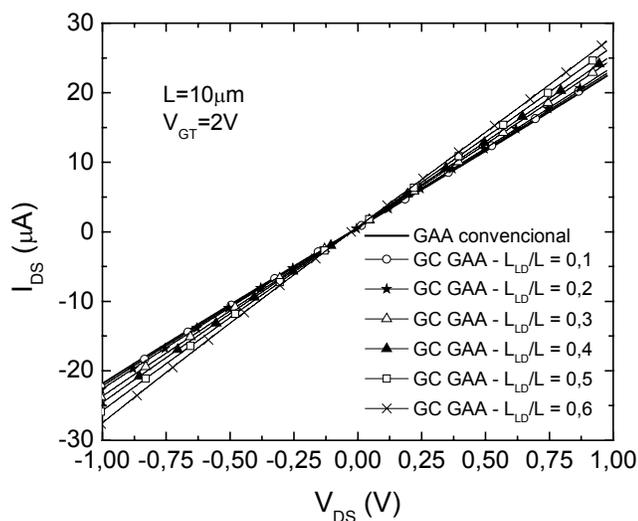


Figura 3.27 – Curvas I_{DS} x V_{DS} simuladas para estruturas 2-MOS composta por dispositivos de $L = 10 \mu\text{m}$ e vários L_{LD}/L com $V_{GT} = 2 \text{ V}$.

Os valores de R_{ON} obtidos estão mostrados na Tabela 3.8, onde pode-se notar significativa redução de R_{ON} ao se aumentar a razão L_{LD}/L , o que se deve à redução do comprimento de canal efetivo proporcionada pela região fracamente dopada do dispositivo GC. Contudo, a redução obtida para R_{ON} ao se variar L_{LD}/L é sensivelmente menor à apresentada anteriormente em transistores unitários, atingindo apenas 20% para $L_{LD}/L = 0,6$. Ao se comparar os valores obtidos para R_{ON} na Tabela 3.8 com aqueles exibidos para dispositivos unitários no item 3.13, no entanto, percebe-se que na estrutura atual R_{ON} é sensivelmente menor, indicando que ao se utilizar estruturas 2-MOS em aplicações onde são requeridos altos R_{ON} , dispositivos maiores ou mais estreitos deverão ser empregados.

Tabela 3.8 – Resistência de canal (R_{ON}) obtida com $V_{DS} = 0,1 \text{ V}$ e $V_{GT} = 2 \text{ V}$ para estruturas 2-MOS com dispositivos de $L = 10 \mu\text{m}$.

R_{ON} (k Ω)	GAA	GC GAA					
	convencional ($L_{LD}/L=0$)	$L_{LD}/L=0,1$	$L_{LD}/L=0,2$	$L_{LD}/L=0,3$	$L_{LD}/L=0,4$	$L_{LD}/L=0,5$	$L_{LD}/L=0,6$
$L=10\mu\text{m}$	36,3	35,7	35,1	33,5	32,5	31,0	29,3

Tomando como base o transistor GAA convencional, a tensão de porta (V_G) dos demais dispositivos foi ajustada, a fim de se obter semelhante R_{ON} , assim como foi feito anteriormente. Os resultados das simulações são mostrados na Figura 3.28 para dispositivos com diversos L_{LD}/L e R_{ON} fixo em $37\text{ k}\Omega \pm 5\%$.

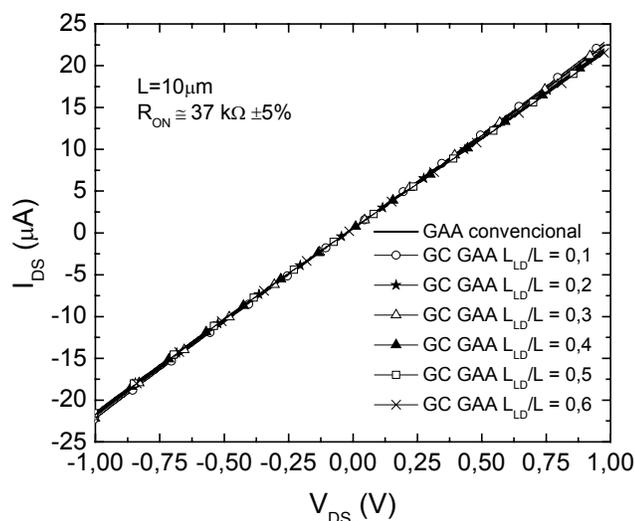


Figura 3.28 - Curvas I_{DS} x V_{DS} simuladas para estruturas 2-MOS composta por dispositivos de $L = 10\text{ }\mu\text{m}$ e vários L_{LD}/L com $R_{ON} \cong 37\text{ k}\Omega \pm 5\%$.

Para a obtenção de R_{ON} constante, todavia, foi necessária novamente a redução de V_{GT} conforme apresentado na Tabela 3.9. A redução requerida é devida ao menor L_{eff} do dispositivo GC, uma vez que a região fracamente dopada absorve parte da tensão de dreno (V_{DS}) aplicada.

Tabela 3.9 – Valores de V_{GT} obtidos para diversos dispositivos GAA a GC GAA em estruturas 2-MOS para um R_{ON} constante.

	GAA convencional		GC GAA					
	$(L_{LD}/L = 0)$		L_{LD}/L					
	$L = 7\mu\text{m}$	$L=10\mu\text{m}$	0,1	0,2	0,3	0,4	0,5	0,6
R_{ON} (k Ω)	37,0	36,3	36,0	37,0	36,2	37,1	37,4	37,3
V_{GT} (V)	1,40	2,00	2,00	1,90	1,85	1,75	1,65	1,55

Como resultado, percebe-se que a estrutura GC possibilita uma redução de V_{GT} que pode alcançar 22,5% para os dispositivos com $L_{LD}/L = 0,6$. Na tabela são dispostos também os valores

de R_{ON} e V_{GT} para um dispositivo GAA convencional de $L = 7 \mu\text{m}$, que por possibilitar uma redução em V_{GT} similar à proporcionada pelo GC GAA com $L_{LD}/L = 0,6$, terá sua distorção harmônica determinada com o propósito de comparação entre as estruturas.

A redução em V_{GT} necessária para que os dispositivos obtivessem R_{ON} próximos, no entanto, teve influência insignificante em HD3 e, conseqüentemente, em THD, como pode ser observado na Figura 3.29. Desta forma, embora a utilização de dispositivos GC em estruturas balanceadas com 2-MOS não proporcione melhor distorção em relação aos transistores convencionais, a possibilidade de redução de V_{GT} sem a degradação da distorção devido ao uso de estruturas com canal gradual é de grande interesse para aplicações que necessitam de baixa tensão de alimentação.

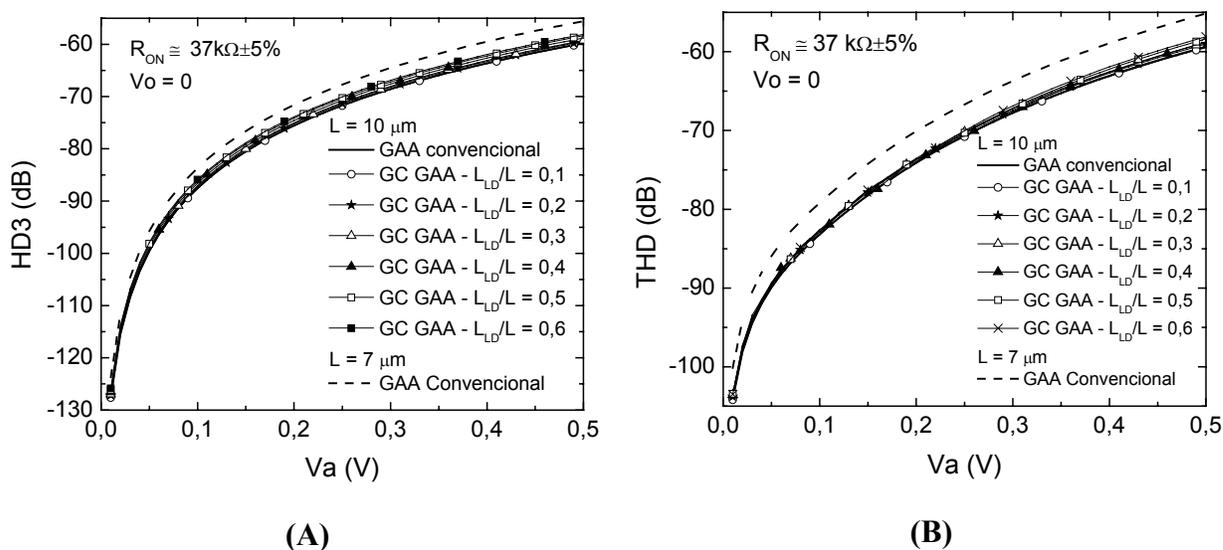


Figura 3.29 – Curvas de (A) HD3 x V_a e (B) THD x V_a para estruturas balanceadas 2-MOS composta por dispositivos GAA e GC GAA para um R_{ON} fixo.

Conforme o V_{GT} aplicado aos dispositivos é reduzido, a tensão de saturação diminui, contribuindo para o aumento da não-linearidade na região triodo. Contudo, a maior tensão de saturação intrinsecamente promovida pela estrutura GC compensa este aumento em estruturas balanceadas 2-MOS. Na Figura 3.29 tem-se ainda a resposta obtida em HD3 e THD ao se utilizar um transistor convencional de $L = 7 \mu\text{m}$, o qual apresenta V_{GT} próximo ao requerido pelo dispositivo GC GAA de $L = 10 \mu\text{m}$ e $L_{LD}/L = 0,6$ para similar R_{ON} . Através das curvas obtidas para este transistor, nota-se uma degradação em HD3 e, por conseqüência, em THD, que pode

atingir até 5 dB em relação às curvas dos dispositivos GC de 10 μm . Neste caso não existe compensação para a diminuição da tensão de saturação devida à redução de V_{GT} .

3.14.2 Linearidade em Estruturas 4-MOS

Assim como na estrutura 2-MOS, para o estudo da estrutura 4-MOS será feita a determinação das não-linearidades a partir das curvas simuladas de $I_{DS} \times V_{DS}$ com os dispositivos operando na região triodo. Visando uma comparação da linearidade obtida com aquela feita em estruturas compostas por 2 transistores, V_G e V_{Gfixo} serão ajustadas para a estrutura atual procurando manter R_{ON} constante e próximo ao obtido para a estrutura 2-MOS constituída por transistores convencionais ($R_{ON} \cong 37 \text{ k}\Omega \pm 5\%$).

Ao se ajustar R_{ON} para a estrutura composta por dispositivos GAA convencionais de $L = 10 \mu\text{m}$, fixou-se a tensão de porta (V_{Gfixo}) para os transistores periféricos da Figura 3.25 (B) igual à 3 V e a sobretensão de porta (V_{GT}) para os dois transistores centrais de 1 V. Ao se polarizar desta forma a estrutura, foi alcançado $R_{ON} = 37,2 \text{ k}\Omega$. Na Figura 3.30 estão dispostas as curvas $I_{DS} \times V_{DS}$ resultantes para a polarização descrita acima. Neste caso, conforme provado no item 2.7, a corrente final I_{DS} é dada pela diferença entre as correntes de saída $I_{DS} = (I_{DS1} + I_{DS3}) - (I_{DS2} + I_{DS4})$ do circuito disposto na Figura 3.25 (B).

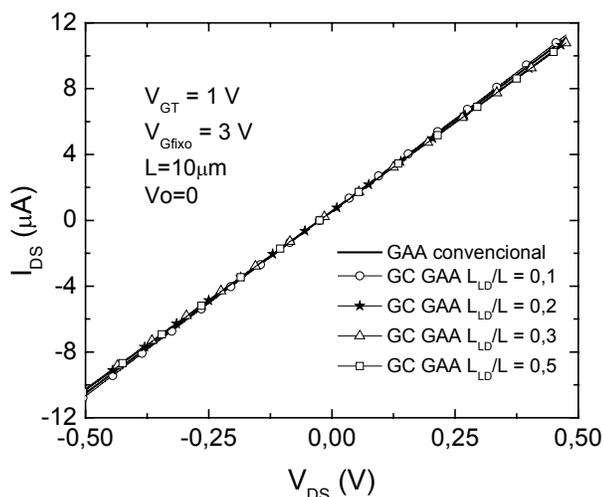


Figura 3.30 - Curvas $I_{DS} \times V_{DS}$ simuladas para estruturas 4-MOS composta por dispositivos de $L = 10 \mu\text{m}$ e vários L_{LD}/L com $V_{GT} = 1 \text{ V}$ e $V_{Gfixo} = 3 \text{ V}$.

As curvas apresentadas na Figura 3.30, além de apresentar maior linearidade em relação às curvas resultantes para transistores unitários, assim como ocorria com as estruturas 2-MOS, exibem menor dependência de I_{DS} com a razão L_{LD}/L , proporcionando correntes próximas nos dispositivos em toda a excursão do sinal o que indica uma menor variação de R_{ON} entre os transistores simulados. Com a finalidade de comprovar esta afirmação, R_{ON} foi calculado para cada um dos dispositivos analisados com $L = 10 \mu\text{m}$ e em todos os casos a diferença entre o valor obtido e aquele considerado como base ($37 \text{ k}\Omega$) foi inferior a 5%, conforme mostrado na Tabela 3.10. Nesta tabela estão dispostos também os valores obtidos para V_{GT} e R_{ON} em um dispositivo convencional de $L = 7 \mu\text{m}$ para efeito de comparação.

Tabela 3.10 – Valores de V_{GT} obtidos para diversos dispositivos GAA a GC GAA em estruturas 4-MOS para um R_{ON} constante com $V_{Gfixo} = 3 \text{ V}$.

	GAA convencional		GC GAA			
	$(L_{LD}/L = 0)$		L_{LD}/L			
	$L = 7\mu\text{m}$	$L=10\mu\text{m}$	0,1	0,2	0,3	0,5
$R_{ON} \text{ (k}\Omega)$	37,1	37,9	37,9	37,8	37,7	37,7
$V_{GT} \text{ (V)}$	1,5	1,0	1,0	1,0	1,0	1,0

De acordo com a tabela, nota-se que para a obtenção de R_{ON} semelhante, a estrutura composta por dispositivos de menor comprimento de canal necessitou ter sua tensão de porta V_{GT} ajustada para 1,5 V o que representa um aumento de 50%. Polarizando os dispositivos para o V_{GT} mostrado na Tabela 3.10, puderam ser determinadas as distorções harmônicas total e do terceiro harmônico, apresentadas na Figura 3.31.

As curvas de HD3 e THD apresentadas, confirmam para as estruturas de 4-MOS o melhor desempenho dos transistores de canal gradual em relação aos convencionais. Como mencionado anteriormente, a tensão de saturação aumenta conforme L_{LD}/L e V_G . Devido à estrutura atual não necessitar de redução de V_G para manter R_{ON} semelhante entre os dispositivos, a maior tensão saturação do GC não é afetada, proporcionando significativa redução da distorção harmônica ao se aumentar L_{LD}/L . Para o dispositivo com $L_{LD}/L = 0,5$, a redução em HD3 supera em 5 dB a resultante do convencional.

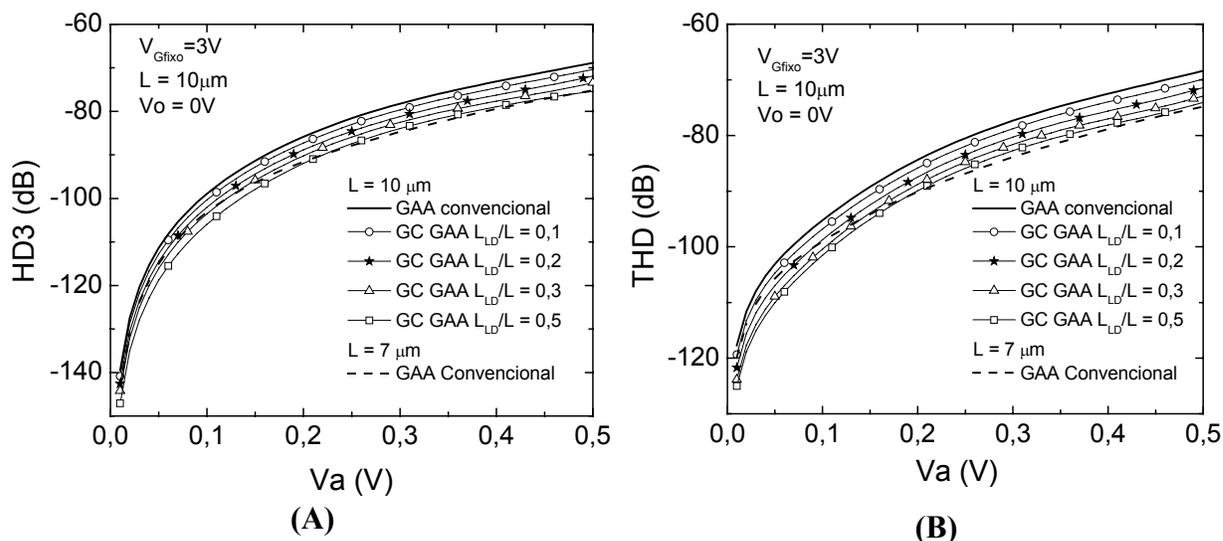


Figura 3.31 - Curvas de (A) $HD3$ x V_a e (B) THD x V_a para estruturas balanceadas 4-MOS composta por dispositivos GAA e GC GAA para um R_{ON} fixo.

Se, por sua vez, forem analisados os dispositivos com L menores, também será percebida uma redução na distorção. Porém, a redução observada para o transistor de $L = 7\mu m$ não supera aquela obtida para o dispositivo mais longo com $L_{LD}/L = 0,5$. Desta forma, pode-se concluir que para a estrutura atual, o transistor GC permite o uso de dispositivos mais longos sem degradação na linearidade e sem necessitar do aumento de V_G o que é de especial interesse em aplicações para baixa tensão. Para aplicações em filtros, a redução da distorção harmônica possibilita a utilização de filtros com menor resolução [53].

Ao se comparar os resultados obtidos para as estruturas 2-MOS e 4-MOS, percebe-se que para quaisquer dos dispositivos estudados, uma importante redução em $HD3$ e em THD é obtida na estrutura 4-MOS, sendo que, para qualquer um dos dispositivos de $L = 10\mu m$ analisados, é apresentada uma vantagem de pelo menos 10 dB. Como abordado no item 2.7, esta redução ocorre devido à estrutura 4-MOS, além de suprimir a distorção devida aos harmônicos de ordem par, cancelar parcialmente a distorção relativa à degradação da mobilidade, que é uma das responsáveis pelas não-linearidades presentes nos harmônicos ímpares.

4 RESULTADOS EXPERIMENTAIS

Neste capítulo serão apresentados todos os resultados experimentais obtidos no trabalho, com o intuito de comprovar em dispositivos fabricados todos os resultados alcançados através das simulações dispostas no Capítulo 3. Inicialmente, serão abordadas as características de fabricação dos dispositivos medidos e peculiaridades do processo. Na seqüência, será feita a análise dos dispositivos operando em saturação e, finalmente, o estudo destes operando em região de triodo como resistores lineares.

Neste capítulo, entretanto, não serão apresentados dados experimentais para as estruturas balanceadas de 2 e 4 transistores, uma vez que estas estruturas não estavam disponíveis em nenhum dos *chips* analisados. Contudo, a caracterização dos transistores unitários pode validar as simulações executadas para estruturas balanceadas, desde que estas simulações sigam os mesmos parâmetros e modelos adotados para os transistores individuais.

Os tópicos apresentados procurarão obedecer a mesma seqüência daquela apresentada no Capítulo 3, de forma a permitir a comparação entre os valores obtidos nas medidas e aqueles previamente simulados, a fim de facilitar a leitura do trabalho.

4.1 Características dos Dispositivos Analisados

Os dispositivos caracterizados neste trabalho foram fabricados no Laboratório de Microeletrônica da Universidade Católica de Louvain (*Université Catholique de Louvain – UCL*) – Bélgica, um dos centros de excelência mundiais na área de tecnologia SOI. A fabricação dos dispositivos de porta dupla se deu através do processo descrito na referência [35] que, por sua vez, se assemelha ao descrito no tópico 2.2.1. A estrutura de canal gradual, assim como descrito anteriormente em 2.3, foi obtida através de um deslocamento da máscara utilizada para a proteção dos transistores pMOS na etapa de implementação iônica para o ajuste da tensão de limiar.

Os dispositivos utilizados foram fabricados cada um com comprimento e largura de canal iguais a 3 μm e diferentes razões de L_{LD}/L , conforme será visto adiante. Estes dispositivos apresentam espessuras da camada de silício, do óxido de porta e do óxido enterrado,

respectivamente, de 80 nm, 30 nm e 390 nm. As concentrações de dopantes no interior do canal nas regiões forte e fracamente dopadas são, aproximadamente, $6,8 \times 10^{16} \text{ cm}^{-3}$ e $1 \times 10^{15} \text{ cm}^{-3}$. Na Figura 4.1 pode ser vista uma foto dos dispositivos caracterizados, identificando os eletrodos de porta fonte e dreno dos transistores.

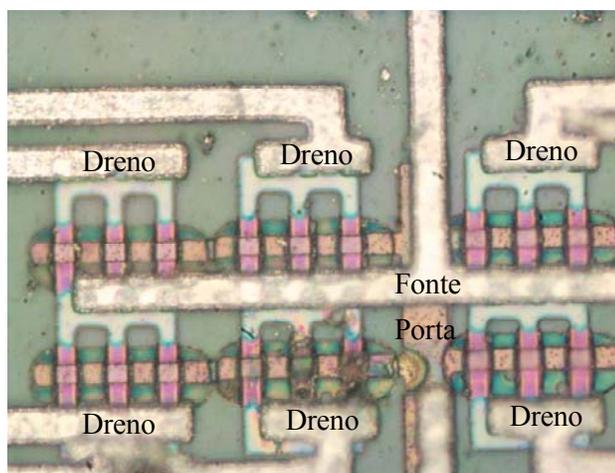


Figura 4.1 – Fotografia retirada dos dispositivos GC GAA caracterizados.

Na figura acima pode-se perceber seis transistores GC GAA, cada um com um terminal de dreno individual, porém com fonte e porta comuns. A razão L_{LD}/L é diferente para cada um dos transistores dispostos na figura. Os dispositivos estudados possuem três dedos paralelos que partem dos terminais de dreno e chegam até a fonte dos transistores. Cada um destes dedos possui W e L iguais à $3 \mu\text{m}$ como citado anteriormente. Na figura pode ser observada ainda uma região verde escura ao redor dos dispositivos, que é própria do processo de fabricação dos transistores GAA, uma vez que nesta região é feita a cavidade para a implementação da porta inferior do dispositivo. Não foram fabricados transistores GAA convencionais.

4.2 Características $I_{DS} \times V_{GF}$

Nesta etapa, a caracterização dos transistores disponíveis no *chip* mostrado na Figura 4.1 foi executada. Logo, na Figura 4.2 serão apresentadas as curvas dos dispositivos funcionais disponíveis. Nesta figura não estão presentes curvas de dispositivos GAA convencionais, já que, como anteriormente mencionado não haviam transistores deste tipo disponíveis para o estudo. As

curvas dispostas na Figura 4.2 são referentes dispositivos de $L = 3 \mu\text{m}$ com $V_{DS} = 1,5 \text{ V}$, assim como ocorria nas simulações apresentadas no item 3.4, a fim de possibilitar uma breve comparação entre os resultados medidos e simulados.

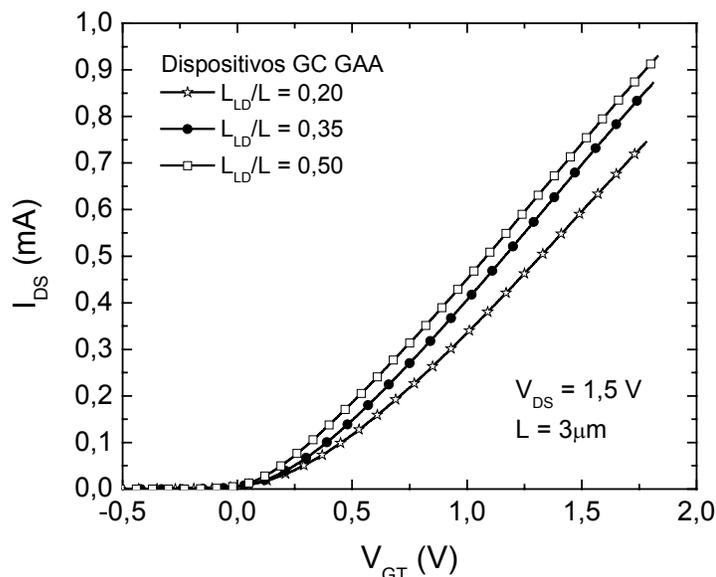


Figura 4.2 – Curvas de I_{DS} x V_{GT} medidas com $V_{DS} = 1,5 \text{ V}$ para os dispositivos GC GAA de $3 \mu\text{m}$.

Embora tenham sido caracterizados apenas os transistores de $L_{LD}/L = 0,20, 0,35$ e $0,50$, estes satisfazem o objetivo de nosso estudo, uma vez que atingem grande parte das razões L_{LD}/L simuladas no capítulo anterior. As razões L_{LD}/L efetivas dos dispositivos caracterizados, no entanto, não puderam ser determinadas, tendo em vista que para o seu cálculo seria necessária a caracterização de um dispositivo uniformemente dopado, como descrito na ref. [12]. Deste modo, ao longo dos gráficos apresentados neste capítulo, as razões L_{LD}/L apresentadas são referentes ao comprimento das máscaras empregadas no processo de fabricação, não sendo consideradas as variações decorrentes deste processo.

Assim como pode ser observado na Figura 3.3 (B), as curvas dos dispositivos caracterizados confirmam um aumento em I_{DS} , à medida que se aumenta L_{LD}/L , devido à redução do comprimento efetivo de canal. Nos dispositivos reais, porém, a corrente I_{DS} apresentada é significativamente maior que aquela exibida nos transistores simulados, uma vez que a largura de canal dos transistores caracterizados é maior que aquela dos dispositivos simulados. Contudo, a corrente nos dispositivos medidos poderia ser normalizada, de forma a tornar possível a

comparação com a obtida através de simulações. Ainda assim, ambas as correntes simulada e medida apresentariam diferenças, já que, os parâmetros utilizados nas simulações não foram otimizados, uma vez que a caracterização dos dispositivos foi feita com o intuito de comprovar as tendências dos resultados obtidos em simulações visando uma análise qualitativa. Esta diferença no nível de corrente, no entanto, não acarretará mudanças nas demais variáveis a serem obtidas ao longo deste capítulo, principalmente no que diz respeito à linearidade.

4.3 Tensão de Limiar (V_{TH})

Da mesma forma como foi feito em 3.5, para obter-se a tensão de limiar dos dispositivos caracterizados, foram determinadas as curvas de $I_{DS} \times V_{GF}$ para $V_{DS} = 0,1$ V e a partir do ponto de máximo de sua derivada de segunda ordem foi possível extrair a tensão de limiar. Os valores resultantes de V_{TH} para os dispositivos caracterizados são apresentados na Tabela 4.1 para os transistores de $L_{LD}/L = 0,20, 0,35$ e $0,50$.

Tabela 4.1 – Tensão de limiar (V_{TH}) obtida para os dispositivos caracterizados e simulados através da técnica da segunda derivada de $I_{DS} \times V_{GF}$ com $V_{DS} = 0,1$ V.

V_{TH} (V)	Medida	Simulação
GC GAA $L_{LD}/L=0,20$	0,18	0,17
GC GAA $L_{LD}/L=0,35$	0,16	-
GC GAA $L_{LD}/L=0,40$	-	0,17
GC GAA $L_{LD}/L=0,50$	0,13	0,16

De acordo com a tabela, os valores medidos para V_{TH} nos dispositivos caracterizados são próximos aos apresentados nas simulações, sendo que na tabela atual é perceptível a redução da tensão de limiar ao se aumentar a razão L_{LD}/L dos dispositivos de canal gradual. Esta redução condiz com o esperado, tendo em vista que ao se reduzir o comprimento de canal dos dispositivos é esperada pequena redução em V_{TH} .

4.4 Transcondutância (g_m)

Assim como descrito no item 3.7, a transcondutância representa a eficiência do controle de porta sobre a corrente de dreno. Neste trabalho a determinação de g_m é de fundamental importância tanto na observação da conformidade das curvas medidas com as simuladas, como na obtenção das curvas da linearidade em função do ponto de polarização dos dispositivos (g_m/I_{DS}). As curvas de $g_m \times V_{GT}$ podem, ainda, ser úteis na análise da mobilidade, uma vez que suas derivadas segunda e terceira modelam, respectivamente, HD2 e HD3 [79]. As curvas de g_m em função de V_{GT} para os transistores caracterizados são apresentadas na Figura 4.3.

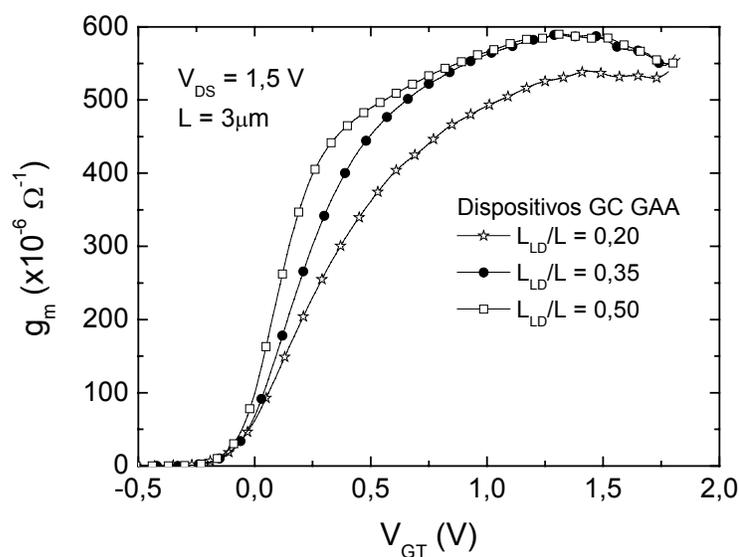


Figura 4.3 – Curvas de $g_m \times V_{GT}$ medidas com $V_{DS} = 1,5 \text{ V}$ para os dispositivos GC GAA de $L = 3 \mu\text{m}$.

O formato das curvas simuladas apresentadas no item 3.7 em relação às atuais é semelhante para valores similares de L_{LD}/L . Em ambos os casos o aumento na razão L_{LD}/L resulta em um aumento da transcondutância máxima, porém em dispositivos de maiores L_{LD}/L o pico de g_m se move para valores mais baixos de V_{GT} . Assim como ocorria nas curvas simuladas, naquelas apresentadas acima, a similaridade na concentração de elétrons em ambas regiões do canal e a degradação da mobilidade em altos V_{GT} fazem com que todas as curvas tendam a um mesmo ponto, praticamente independentemente de L_{LD}/L .

4.5 Razão g_m/I_{DS}

A razão g_m/I_{DS} independe das dimensões W/L e, no caso do dispositivo de canal gradual, da razão L_{LD}/L . Além disso, g_m/I_{DS} proporciona uma boa visão da região de operação dos dispositivos. Logo, as curvas de $g_m/I_{DS} \times V_{GT}$ se tornam úteis, à medida que através delas é possível determinar a tensão de porta em que o transistor está polarizado. Na Figura 4.4 são dispostas as curvas de $g_m/I_{DS} \times V_{GT}$ para os dispositivos caracterizados.

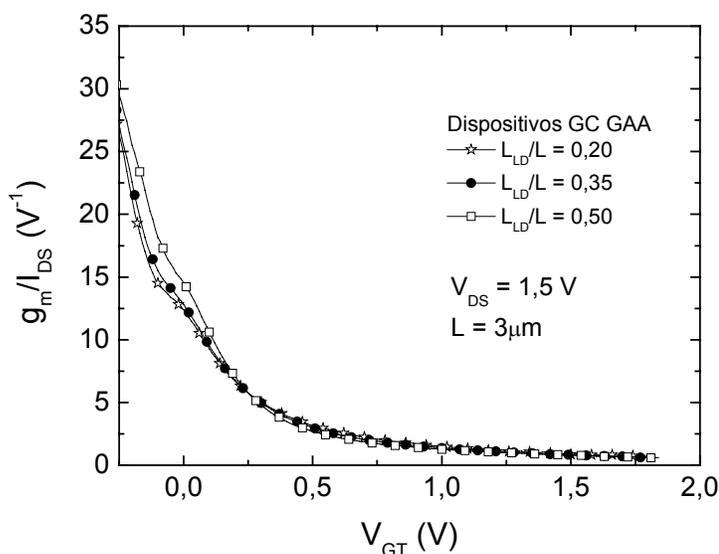


Figura 4.4 – Curvas de $g_m/I_{DS} \times V_{GT}$ para dispositivos GC GAA caracterizados de $L = 3 \mu\text{m}$.

De acordo com as curvas apresentadas acima, todos os dispositivos caracterizados apresentam semelhante g_m/I_{DS} para certa tensão aplicada à porta na região de análise (g_m/I_{DS} variando entre 1 e 10 V^{-1}). Desta forma, as curvas apresentadas permitem o estudo da linearidade em função de g_m/I_{DS} ao invés de se utilizar V_{GT} . Ao se comparar as curvas mostradas acima com aquelas apresentadas na Figura 3.6, percebe-se grande similaridade entre ambas indicando o casamento entre simulador e dispositivos reais na região de interesse das curvas.

4.6 Características $I_{DS} \times V_{DS}$ e Condutância de Dreno (g_D)

A região positiva das características $I_{DS} \times V_{DS}$ dos dispositivos para baixos V_{GT} (cerca de 200 mV) é de essencial importância na análise dos dispositivos na região de saturação. Através da derivada ponto a ponto de I_{DS} em função de V_{DS} é obtida a condutância de dreno, a qual é inversamente proporcional à tensão Early V_{EA} e ao ganho A_v , como apresentado na equação 2.2. Deste modo, pode ser dito que quanto menor a variação de I_{DS} em função de V_{DS} na região de saturação das curvas da Figura 4.5, menor será a sua condutância e maiores serão V_{EA} e A_v . Nesta figura estão apresentadas as curvas de $I_{DS} \times V_{DS}$ para os dispositivos caracterizados de $L = 3 \mu\text{m}$ com sobretensão de porta de 500 mV e algumas razões L_{LD}/L .

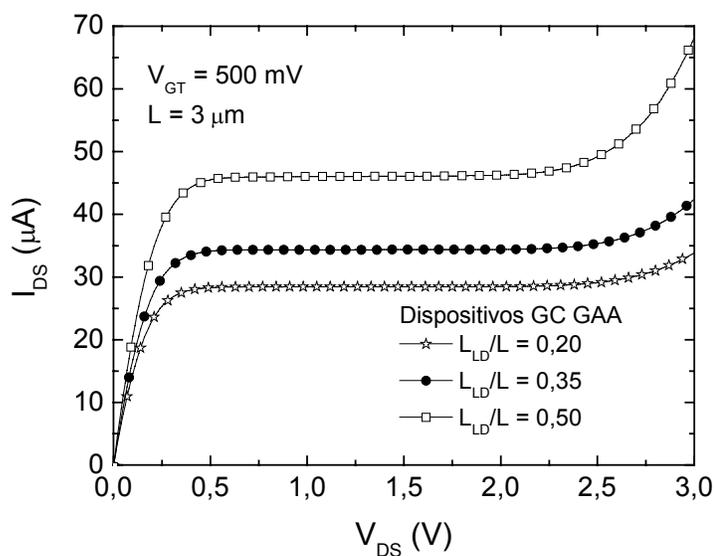


Figura 4.5 – Curvas $I_{DS} \times V_{DS}$ medidas para os GC GAA com $V_{GT} = 500 \text{ mV}$ para os dispositivos caracterizados.

Nas curvas referentes aos dispositivos caracterizados pode se perceber um incremento na corrente de dreno conforme aumenta-se a razão L_{LD}/L , assim como apresentado na Figura 3.7 (B). Uma importante característica observada nas simulações e confirmada pelas curvas apresentadas na Figura 4.5 diz respeito à inclinação exibida na região de saturação, a qual é praticamente nula, indicando reduzida condutância de dreno [16]. Finalmente, assim como observado anteriormente, os dispositivos GC SG caracterizados apresentam uma tensão de ruptura extremamente alta, o que aumenta a região de operação destes dispositivos.

Como mencionado, ao se derivar I_{DS} em função de V_{DS} , obtém-se a condutância de dreno. Nos transistores caracterizados, no entanto, devido à pequena inclinação exibida nas curvas de $I_{DS} \times V_{DS}$, a qual provoca grande ruído na determinação de g_D , as medidas foram filtradas através da média dos pontos adjacentes da curva para permitir a extração de V_{EA} .

4.7 Tensão Early (V_{EA})

Conforme escrito ao longo dos Capítulos 2 e 3, em transistores GC grande parte do potencial aplicado ao dreno é absorvido na região L_{LD} [14], reduzindo consideravelmente g_D o que representa um aumento significativo em V_{EA} e, por conseqüência em A_v . Este aumento é de vital importância para se obter um melhor desempenho dos dispositivos quando estes operam em saturação como amplificadores.

A obtenção das curvas de V_{EA} em função do ponto de polarização (V_{GT} ou g_m/I_{DS}) nos dispositivos caracterizados foi feita da maneira como descrito no item 3.10, de forma que as curvas de $g_D \times V_{DS}$ foram obtidas para cada um dos transistores medidos com diversos valores de V_{GT} . A partir daí, pôde ser determinado V_{EA} em função de V_{GT} ou g_m/I_{DS} . Devido ao ruído exibido para algumas sobretensões de porta, utilizou-se um valor médio da tensão Early para cada um dos dispositivos conforme exibido na Tabela 4.2, onde estão apresentados os valores de V_{EA} medidos com $V_{GT} = 500$ mV e $V_{DS} = 1,5$ V.

Tabela 4.2 – Tensão Early (V_{EA}) obtida com $V_{DS} = 1,5$ V e $V_{GT} = 500$ mV para os dispositivos caracterizados e simulados.

V_{EA} (V)	Medida	Simulação
GC GAA $L_{LD}/L=0,20$	990	983
GC GAA $L_{LD}/L=0,35$	811	-
GC GAA $L_{LD}/L=0,40$	-	285
GC GAA $L_{LD}/L=0,50$	284	144

Fazendo a comparação entre as tensões Early obtidas experimentalmente e aquelas simuladas para dispositivos semelhantes com $V_{GT} = 500$ mV, percebe-se grande similaridade nos

resultados obtidos para $L_{LD}/L = 0,20$. Todavia, os transistores caracterizados com L_{LD}/L de 0,35 e 0,50 apresentaram V_{EA} maior que o esperado através das simulações, o que indica que talvez tenha havido um deslocamento de máscara durante o processo de fabricação dos dispositivos, reduzindo a razão de L_{LD}/L para estes casos.

4.8 Ganho de Tensão em Malha Aberta (A_v)

Em diversos casos, o ganho de malha aberta é tido como figura de mérito em amplificadores, dada a sua importância nestes circuitos. Neste contexto, despontam alguns OTAs compostos por diversos transistores. Porém, os dispositivos de canal gradual se apresentam como uma boa opção mantendo alto o ganho A_v e minimizando alguns dos problemas causados pelos circuitos como redução da área necessária para implementação e menor consumo de potência. O ganho médio na região de interesse da curva foi obtido a partir do V_{EA} determinado no item anterior e está disposto na Tabela 4.3 para cada um dos dispositivos medidos.

Tabela 4.3 – Ganho de tensão em malha aberta (A_v) obtido com $V_{DS} = 1,5$ V e $V_{GT} = 500$ mV para os dispositivos caracterizados e simulados.

A_v (dB)	Medida	Simulação
GC GAA $L_{LD}/L=0,20$	70	71
GC GAA $L_{LD}/L=0,35$	67	-
GC GAA $L_{LD}/L=0,40$	-	60
GC GAA $L_{LD}/L=0,50$	58	54

Ao se analisar os resultados experimentais em relação aos simulados apresentados na Tabela 4.3, percebe-se mais uma vez grande semelhança nos resultados obtidos para o dispositivo com $L_{LD}/L = 0,2$, onde o erro é inferior a 3%. Nos demais transistores, no entanto, os resultados da caracterização são próximos aos valores simulados para dispositivos com razões L_{LD}/L menores, indicando redução no comprimento efetivo do canal dos transistores caracterizados, possivelmente derivada de imperfeições no processo de fabricação.

4.9 Distorção Harmônica para Dispositivos Operando em Saturação

Nos dispositivos medidos, as distorções harmônicas total (THD) e de terceira ordem (HD3) foram obtidas de maneira similar à descrita em 3.12. As não-linearidades foram determinadas através da aplicação do método da função integral (IFM), detalhado em 2.6.3, às curvas $I_{DS} \times V_{GF}$ dos dispositivos, quando estes operavam em saturação ($V_{DS} = 1,5 \text{ V}$). Para tal, foi utilizado um programa desenvolvido no *software* Mathcad, o qual se encarregava prontamente de determinar as funções integrais.

Inicialmente, serão apresentadas as distorções (HD3 e THD) em função do ponto de polarização, ou seja, g_m/I_{DS} dos dispositivos. Na seqüência, será apresentada uma análise semelhante à desenvolvida em 3.12.4, onde as não-linearidades são determinadas em função da amplitude do sinal de entrada senoidal V_a .

4.9.1 Distorção Harmônica em Função do Ponto de Polarização do Dispositivo

Neste tópico será apresentada a linearidade em função da polarização g_m/I_{DS} dos dispositivos. Assim, a variação de V_{TH} com a razão L_{LD}/L será compensada através da polarização do transistor, uma vez que sua tensão de polarização V_o será numericamente igual à V_{GT} que, por sua vez, pode ser substituído por g_m/I_{DS} como demonstrado na Figura 4.4. Neste caso, a aplicação do método de IFM é equivalente a uma entrada senoidal de amplitude V_a somada à tensão de polarização do dispositivo ($V_o = V_{GT}$), de forma que $V_{GF} = V_o + V_a \cdot \text{sen}(\omega t)$ com ωt variando entre 0 e 2π . Na Figura 4.6 são apresentadas as curvas de HD3 e THD em função de g_m/I_{DS} para os dispositivos caracterizados com um sinal de entrada de amplitude igual a 50 mV.

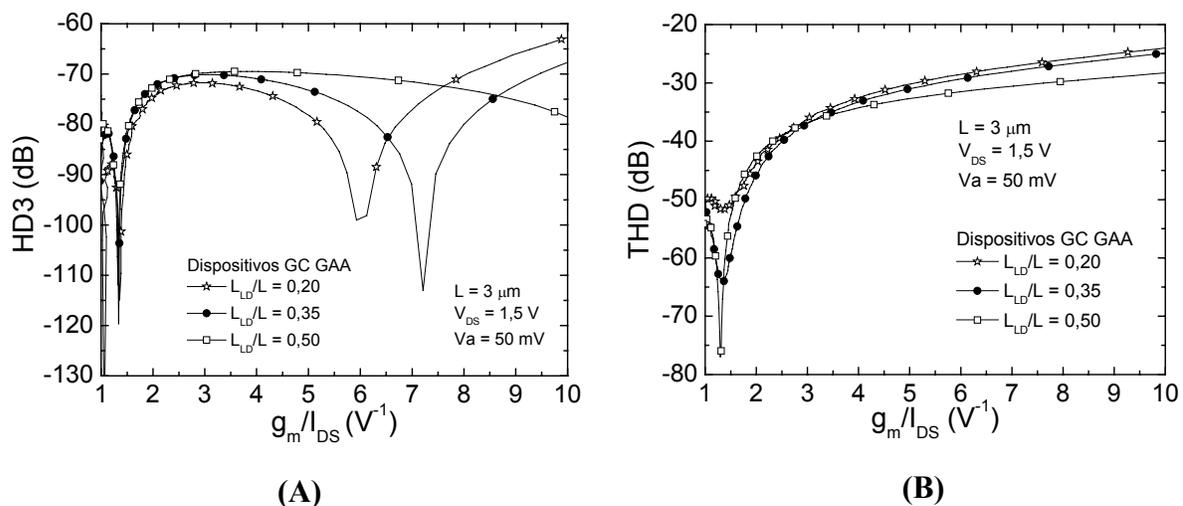


Figura 4.6 – Curvas de (A) $\text{HD3} \times g_m/I_{DS}$ e (B) $\text{THD} \times g_m/I_{DS}$ para os dispositivos caracterizados com $V_{DS} = 1,5 \text{ V}$ e $V_a = 50 \text{ mV}$.

Ao se analisar as curvas da Figura 4.6, percebe-se que o comportamento da linearidade segue a tendência das curvas dispostas nos itens 3.12.1 e 3.12.2, onde são apresentadas curvas que exibem simultaneamente uma degradação de HD3 e uma melhora de THD devido à utilização de dispositivos de canal gradual. Este comportamento da distorção harmônica pode ser justificado através das equações de HD3 e THD dadas por Groenewold *et.al.* [64], conforme explicado no Capítulo 3. Na Tabela 4.4 são apresentados valores comparativos entre os resultados das simulações e da caracterização para dispositivos de L_{LD}/L próximos.

Tabela 4.4 – Comparação entre valores medidos e simulados para THD e HD3 com $g_m/I_{DS} = 3,5 \text{ V}^{-1}$ e $V_{DS} = 1,5 \text{ V}$ em dispositivos com comprimento de canal igual a $3 \mu\text{m}$.

	HD3 (dB)		THD (dB)	
	Medida	Simulação	Medida	Simulação
GC GAA $L_{LD}/L=0,20$	-73	-80	-34	-35
GC GAA $L_{LD}/L=0,35$	-71	-	-35	-
GC GAA $L_{LD}/L=0,40$	-	-77	-	-37
GC GAA $L_{LD}/L=0,50$	-70	-76	-36	-38

De acordo com os valores expressos na tabela acima é possível notar que as não-linearidades resultantes de ambos adquiriram valores próximos validando todas as simulações

executadas no capítulo anterior. Segundo a tabela apresentada, os valores obtidos para THD tiveram variações insignificantes, enquanto que, em HD3 os valores alcançados exibiram erros inferiores a 10% em qualquer um dos dispositivos.

Na seqüência são apresentadas curvas semelhantes às anteriores, porém neste caso normalizadas pelo ganho, já que, como mencionado anteriormente linearidade e ganho são variáveis relacionadas. Nas Figuras 4.7 (A) e (B) são apresentadas, respectivamente, as curvas de HD3/Av e THD/Av em função de g_m/I_{DS} para os transistores caracterizados.

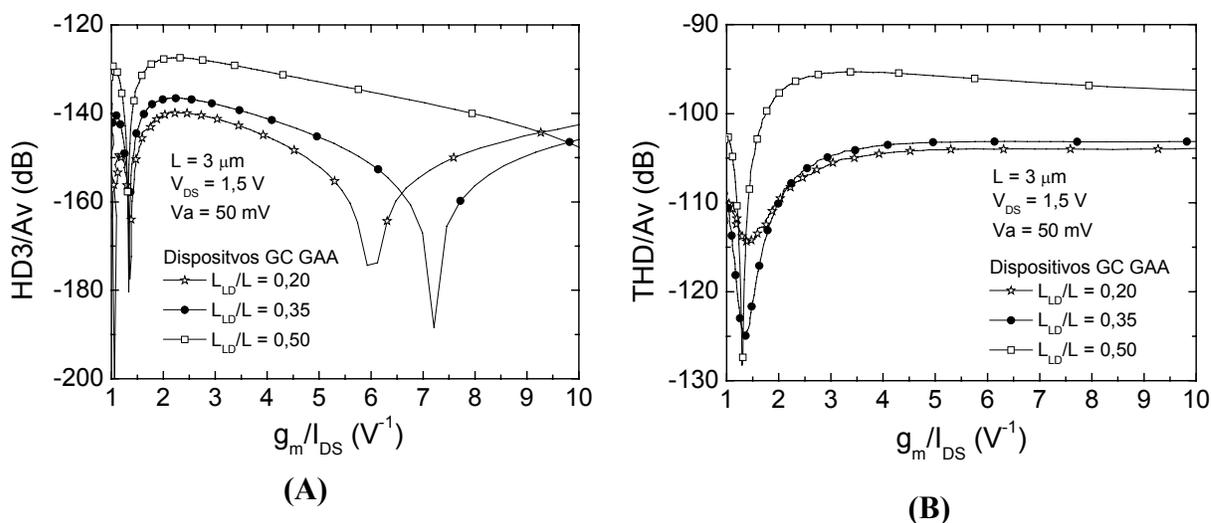


Figura 4.7 – Curvas de (A) HD3/Av x g_m/I_{DS} e (B) THD/Av x g_m/I_{DS} para os dispositivos caracterizados com $V_{DS} = 1,5 \text{ V}$ e $V_a = 50 \text{ mV}$.

Dadas as semelhanças obtidas no ganho e na linearidade entre os resultados provenientes de simulação e caracterização apresentados nas Tabelas 4.3 e 4.4, tanto HD3/Av como THD/Av apresentaram grande similaridade na região de maior ganho das curvas. No caso do transistor GC GAA com $L_{LD}/L = 0,2$, por exemplo, tanto a caracterização como a simulação apresentaram $\text{THD}/\text{Av} \approx -105 \text{ dB}$ para g_m/I_{DS} entre 3 V^{-1} e 5 V^{-1} , porém nas simulações, a degradação apresentada ao se aumentar g_m/I_{DS} é maior devido à redução do ganho. Para este mesmo dispositivo, pode se observar também a semelhança entre os valores de HD3/Av simulado e medido que estão em torno de -145 dB para valores de g_m/I_{DS} inferiores à 6 V^{-1} , onde ocorre o pico negativo da curva mostrada na Figura 4.7 (A). Ao se comparar os resultados de THD/Av e HD3/Av obtidos para o dispositivo com $L_{LD}/L = 0,5$, percebe-se que os valores também se assemelham aos simulados para g_m/I_{DS} entre 3 V^{-1} e 5 V^{-1} , enquanto que ao se aumentar esta

razão, os transistores simulados apresentam maior degradação do ganho, o que gera resultados inferiores.

Na Tabela 4.5 pode-se observar a distorção harmônica total (THD) e a distorção do terceiro harmônico (HD3) normalizadas pelo ganho de tensão de malha aberta de baixa frequência (A_v) para os dispositivos de $L = 3 \mu\text{m}$ com g_m/I_{DS} fixo em $3,5 \text{ V}^{-1}$, de forma a possibilitar uma comparação entre os valores obtidos através simulações e aqueles provenientes de caracterização elétrica.

Tabela 4.5 – Comparação entre valores medidos e simulados para THD/ A_v e HD3/ A_v com $g_m/I_{DS} = 3,5 \text{ V}^{-1}$ e $V_{DS} = 1,5 \text{ V}$ em dispositivos com comprimento de canal igual a $3 \mu\text{m}$.

	HD3/ A_v (dB)		THD/ A_v (dB)	
	Medida	Simulação	Medida	Simulação
GC GAA $L_{LD}/L=0,20$	-144	-149	-105	-106
GC GAA $L_{LD}/L=0,35$	-140	-	-104	-
GC GAA $L_{LD}/L=0,40$	-	-136	-	-97
GC GAA $L_{LD}/L=0,50$	-130	-130	-95	-93

4.9.2 Distorção Harmônica em Função da Amplitude da Entrada Senoidal (V_a)

Assim como foi feito no Capítulo 3 para os dispositivos simulados, neste tópico será abordada a distorção harmônica em função da amplitude da entrada senoidal V_a , a fim de que possa ser determinada a máxima amplitude do sinal de entrada para um dado nível de distorção. A distorção harmônica total e a do terceiro harmônico normalizadas podem ser observadas na Figura 4.8.

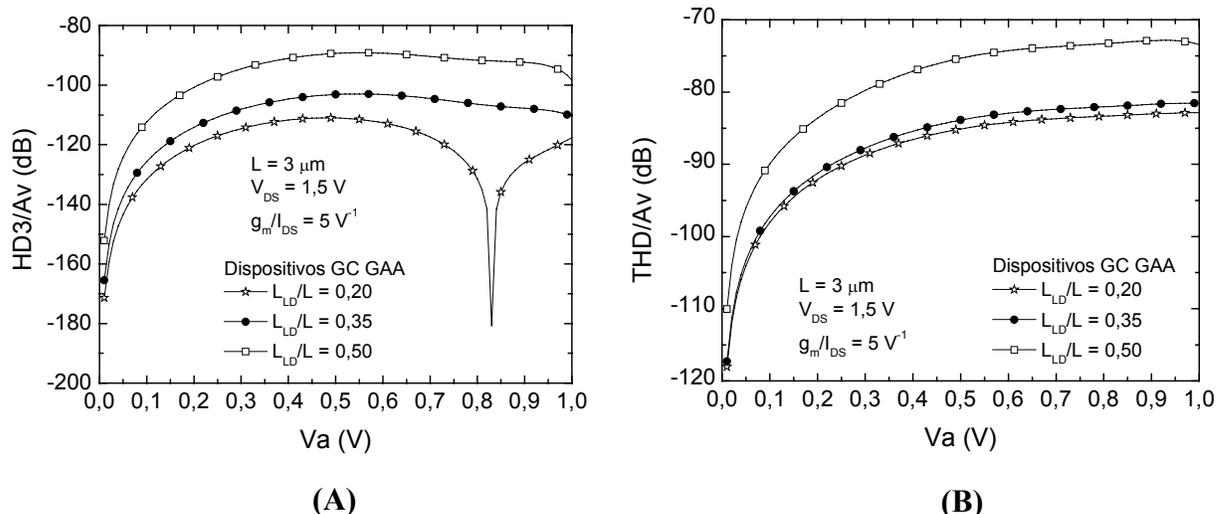


Figura 4.8 – Curvas de (A) $HD3/Av$ x V_a e (B) THD/Av x V_a para os dispositivos caracterizados com $V_{DS} = 1,5$ V e $g_m/I_{DS} = 5$ V^{-1} .

Conforme o esperado, as curvas apresentadas acima mostraram resultados relativamente próximos aos obtidos anteriormente para as simulações, embora para o dispositivo de $L_{LD}/L = 0,2$, a curva de $HD3/Av$ tenha um pico de linearidade próximo à $V_a = 0,8$ V não observado para as amplitudes avaliadas durante as simulações. No restante das curvas a tendência de aumento na linearidade com a utilização do dispositivo de canal gradual pode ser confirmada. Com relação aos valores obtidos, pode ser percebido que, neste caso a diferença observada em $HD3/Av$ pode ser considerada desprezível em boa região das curvas, enquanto que as diferenças obtidas em THD/Av chegam a até 10 dB em relação às curvas simuladas, o que pode ser explicado pelas curvas terem sido obtidas em um ponto de polarização ($g_m/I_{DS} = 5$ V^{-1}) em que o ganho começa a se degradar para as curvas simuladas.

4.10 Distorção Harmônica para Dispositivos Operando em Região Triodo

Na análise da distorção harmônica para dispositivos operando em região triodo, foram caracterizados novos dispositivos GC GAA e, neste caso, os transistores com $L_{LD}/L = 0,35$ e $0,50$ serão utilizados ao longo da análise atual. Novamente os dispositivos caracterizados apresentam $L = 3$ μm . Logo, a comparação entre os resultados simulados e experimentais nesta análise se

limitarão à tendência das curvas obtidas, uma vez que os valores simulados foram obtidos para dispositivos de $L = 10 \mu\text{m}$.

Assim como no item 3.13, para a determinação da linearidade em dispositivos operando na região triodo como resistores variáveis (onde os contatos de fonte e dreno são utilizados como terminais do resistor e a porta é responsável pelo controle da resistência), inicialmente determinou-se as curvas de $I_{\text{DS}} \times V_{\text{DS}}$ para $V_{\text{GT}} = 2 \text{ V}$, como mostrado nas curvas da Figura 4.9. Novamente utilizou-se uma faixa em que $-2 \text{ V} \leq V_{\text{DS}} \leq 2 \text{ V}$.

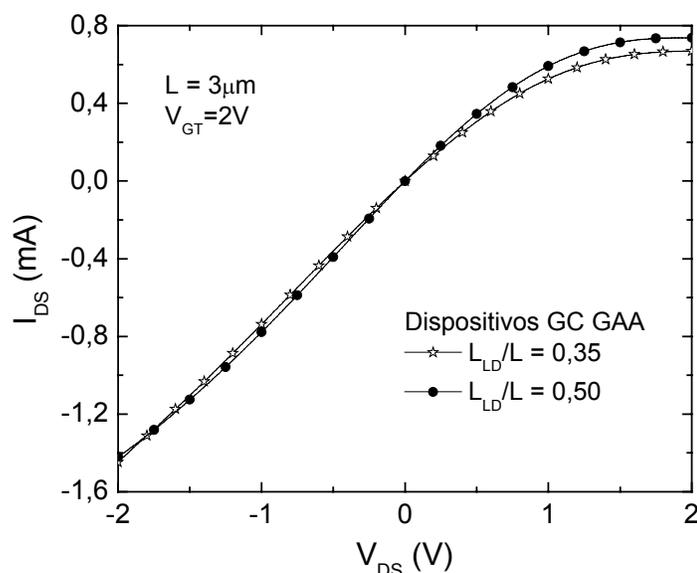


Figura 4.9 – Curvas de $I_{\text{DS}} \times V_{\text{DS}}$ para dispositivos GAA e GC GAA com comprimento de canal de $3 \mu\text{m}$ e $R_{\text{ON}} \cong 1,5 \text{ k}\Omega \pm 5\%$

Na seqüência foram determinadas as resistências ($R_{\text{ON}} = V_{\text{DS}}/I_{\text{DS}}$) de cada um dos dispositivos para $V_{\text{DS}} = 0,1 \text{ V}$. Como as resistências obtidas para os dois dispositivos caracterizados estiveram no intervalo de $R_{\text{ON}} = 1,5 \text{ k}\Omega \pm 5\%$, não foi necessária a determinação de novas curvas $I_{\text{DS}} \times V_{\text{DS}}$ como feito anteriormente, com o propósito de se ajustar R_{ON} . Desta maneira, a linearidade pôde ser determinada diretamente a partir das curvas apresentadas na Figura 4.9, conforme pode ser visto na Figura 4.10, onde estão apresentadas as curvas de HD3 e THD em função da amplitude da entrada senoidal para os dispositivos caracterizados com $V_{\text{GT}} = 2 \text{ V}$ e $R_{\text{ON}} \cong 1,5 \text{ k}\Omega \pm 5\%$.

As curvas de THD e HD3 foram determinadas, novamente, através do uso do IFM, onde a tensão de polarização V_0 do dispositivo foi considerada nula, de forma a explorar os resultados

para o pior caso, e a amplitude do sinal V_a variante entre 0 e 0,5 V. De acordo com as curvas obtidas, percebe-se que, embora HD3 sofra alguma variação, esta aparentemente não tem dependência com L_{LD}/L da mesma forma que ocorria nas curvas simuladas da Figura 3.22. A distorção total, no entanto, apresenta certa melhora ao se aumentar a razão L_{LD}/L , uma vez que neste caso não foi necessário o ajuste de V_{GT} , prevalecendo a tensão de saturação superior apresentada pelo dispositivo com maior L_{LD}/L , semelhante ao que ocorria nas curvas simuladas para estruturas 4-MOS no Capítulo 3.

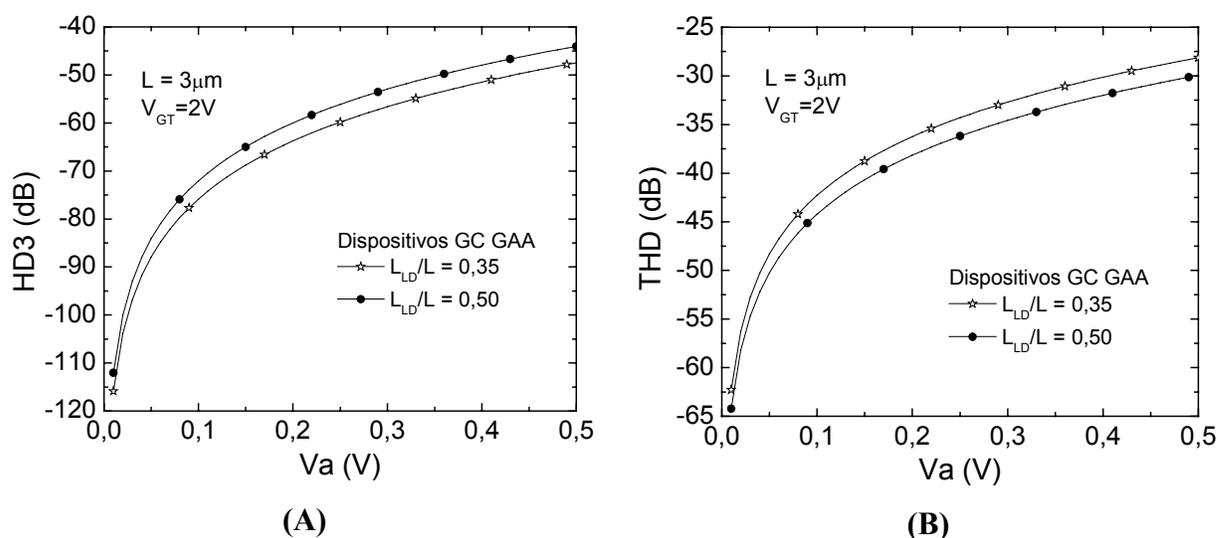


Figura 4.10 – Curvas de (A) HD3 x V_a e (B) THD x V_a para os dispositivos caracterizados com $V_{GT} = 2\text{ V}$ e $R_{ON} \cong 1,5\text{ k}\Omega \pm 5\%$.

Quanto aos valores obtidos para a linearidade, pode-se afirmar que THD simulado e medido são de mesma ordem de grandeza, embora os transistores simulados e medidos tenham comprimentos de canal diferentes. Enquanto isso, o HD3 simulado se mostra inferior ao obtido através de medidas experimentais em boa região das curvas, apresentando uma redução que chega a atingir 10 dB.

5 CONCLUSÕES E TRABALHOS FUTUROS

Neste trabalho avaliou-se o desempenho de transistores de porta dupla GAA com estrutura de canal gradual (GC) em relação à distorção harmônica apresentada, quando este estiver operando tanto em regime de saturação como amplificador, como em regime linear desempenhando a função de um resistor. Foi avaliado, ainda, o desempenho de transistores GC GAA em estruturas balanceadas utilizadas também como resistores.

Com o intuito de apresentar uma análise mais realista, foram utilizadas simulações do processo de fabricação do GAA e do GC GAA, de modo a obter a espessura da camada de silício e o perfil de dopantes no interior do canal mais próximos dos valores fabricados para tornar as simulações de linearidade e ganho confiáveis.

A partir das estruturas obtidas no simulador de processos, foi utilizado o simulador bidimensional de dispositivos para a obtenção das principais características elétricas dos transistores. Estas características foram obtidas através de simulações bidimensionais, sem a otimização dos parâmetros envolvidos, uma vez que a análise efetuada foi qualitativa visando apenas determinar tendências, não sendo necessária a precisão de resultados.

Com base nas características obtidas, foram extraídos os diversos parâmetros para a análise em saturação, tais como: tensão de limiar (V_{TH}), inclinação de sublimiar (S), transcondutância (g_m), condutância de dreno (g_D), tensão Early (V_{EA}) e ganho de tensão em malha aberta de baixa frequência (A_v), de forma que todas estas grandezas foram analisadas com relação à redução do comprimento de canal e à variação da razão entre o comprimento da região fracamente dopada e o comprimento de canal (L_{LD}/L). A mesma análise em relação à variação de L_{LD}/L foi executada para dispositivos e estruturas balanceadas operando na região triodo. Neste caso, precisou-se determinar um outro parâmetro adicional, que é dado pela resistência interna ao canal do dispositivo (R_{ON}).

Durante a análise efetuada para dispositivos operando na saturação, foi observado que na maior parte dos dispositivos, as tensões de limiar estiveram em torno de 0,17 V e as inclinações de sublimiar próximas de 60 mV/dec, sendo que, as variações em V_{TH} e S puderam ser desprezadas quando o comprimento de canal e a razão L_{LD}/L foram variados, embora para os dispositivos de canal $L = 1 \mu\text{m}$ e L_{LD}/L em torno de 0,6, estes parâmetros apresentassem alguma alteração devido à presença de efeitos de canal curto. A transcondutância segue o aumento obtido

na corrente de dreno conforme se aumenta a razão L_{LD}/L ou se diminui L , devido à redução de L_{eff} .

Quanto às outras características, pode-se afirmar que, embora a estrutura de canal gradual sempre apresente resultados superiores ao GAA convencional, ao se aumentar a razão L_{LD}/L nota-se uma degradação da condutância de dreno, que é refletida nos resultados obtidos para a tensão Early e, devido à proporcionalidade, ao ganho de tensão em malha aberta. Logo, as condições de maior tensão Early e máximo ganho foram obtidas para o dispositivo de $L = 3 \mu\text{m}$ e $L_{LD}/L = 0,2$, em que V_{EA} atingiu valores próximos a 1000 V contra resultados inferiores a 30 V do dispositivo convencional e A_v apresentou melhora superior a 30 dB em relação ao convencional, alcançando 71 dB.

Através destas características foi levantada a distorção harmônica dos dispositivos operando em saturação. As figuras de mérito utilizadas foram a distorção harmônica total e a distorção do harmônico de terceira ordem, ambas normalizadas pelo ganho (THD/A_v e $HD3/A_v$). Assim, pode-se perceber que os resultados de THD/A_v e $HD3/A_v$ para os dispositivos GC GAA estudados são sempre superiores aos do GAA convencional, proporcionando uma melhora que chega a 20 dB para THD/A_v e 15 dB para $HD3/A_v$ no dispositivo de $L = 1 \mu\text{m}$ e que supera 30 dB para THD/A_v e 25 dB para $HD3/A_v$ quando $L = 3 \mu\text{m}$. Esta melhora está diretamente relacionada com a estrutura de canal gradual e com o aumento no ganho proporcionado por esta estrutura. Além disso, é perceptível uma fraca dependência destas figuras de mérito ao se reduzir o comprimento de canal, sendo que THD/A_v e $HD3/A_v$ sofrem pequena degradação para menores comprimentos de canal. Nos dispositivos de $L = 3 \mu\text{m}$, a utilização da estrutura GC garante THD/A_v inferiores à -80 dB e $HD3/A_v < -120$ dB em grande parte das curvas, enquanto que nos transistores de $1 \mu\text{m}$ são obtidos $THD/A_v < -70$ dB e $HD3/A_v < -110$ dB para dispositivos GC de diversos L_{LD}/L .

Observando-se a dependência da distorção harmônica em função da amplitude de um sinal de entrada senoidal pôde-se determinar a amplitude máxima para atingir um requerido nível de distorção. Os resultados alcançados foram impressionantes e mostraram que, para razões de L_{LD}/L entre 0,2 e 0,4, o transistor GC GAA pode suportar amplitudes de entrada até 20 vezes maiores que o GAA convencional para um mesmo nível de distorção.

Na análise da linearidade efetuada em dispositivos operando em região triodo, por outro lado, foi percebida uma degradação da linearidade em relação aos GAA convencional, ao se

empregar dispositivos de canal gradual. Para esta análise, o dispositivo de $L = 10 \mu\text{m}$ e $L_{LD}/L = 0,6$ chegou a apresentar uma degradação de 5 dB em THD. Contudo, como a linearidade foi obtida para semelhante R_{ON} entre os dispositivos estudados, uma redução na tensão de porta V_{GT} foi necessária ao se aumentar L_{LD}/L . Dessa forma, embora haja alguma degradação na linearidade, o dispositivo GC pode ser útil quando se necessita de baixa tensão de alimentação.

Nas simulações de estruturas balanceadas operando em região linear, no entanto, as respostas obtidas apresentaram variações nos circuitos de 2 e 4 transistores. Nas estruturas 2-MOS, ao se variar a razão L_{LD}/L , não foi observada variação significativa na linearidade. Porém, assim como ocorria nos dispositivos analisados individualmente, uma redução na tensão de porta foi necessária para se obter semelhante R_{ON} ao se incrementar L_{LD}/L , o que é de interesse para aplicações de baixa tensão. Nos circuitos 4-MOS, de outra forma, uma redução na distorção harmônica pôde ser observada com o aumento da razão L_{LD}/L . Para o dispositivo de comprimento de canal igual a $10 \mu\text{m}$ e $L_{LD}/L = 0,5$ uma redução em HD3 e, conseqüentemente, em THD de 5 dB em relação ao transistor GAA convencional foi obtida. Ao se diminuir o comprimento de canal dos dispositivos, mais uma vez diferentes resultados foram obtidos para as estruturas de 2-MOS e 4-MOS. Ao se comparar dispositivos GAA convencionais de $7 \mu\text{m}$ e $10 \mu\text{m}$, percebe-se na estrutura 2-MOS uma degradação de 5 dB na distorção total, enquanto que, na estrutura 4-MOS é obtida uma redução em THD de valor semelhante.

Todos os resultados apresentados ao longo do trabalho atual foram suportados pela caracterização elétrica de dispositivos GC GAA semelhantes aos simulados, com comprimento de canal igual a $3 \mu\text{m}$, fabricados no Laboratório de Microeletrônica da Universidade Católica de Louvain, de forma a comprovar as tendências obtidas ao longo das simulações efetuadas. As únicas exceções são os circuitos balanceados, para os quais não houve caracterização elétrica, uma vez que não haviam estruturas 2-MOS ou 4-MOS disponíveis para tal nos *chips* medidos.

A partir dos resultados obtidos neste trabalho, são sugeridos os estudos da influência da redução das espessuras da camada de silício e de óxido na linearidade de transistores GAA e GC GAA, visto que estudos recentes [66] têm apresentado resultados de interesse para estruturas 2-MOS e 4-MOS compostas por dispositivos SOI SG de óxido fino. Ainda em relação à estruturas balanceadas, poder-se-ia desenvolver um modelo analítico, a fim de se expor com maior exatidão a influência de cada um dos mecanismos geradores de não-linearidades na

distorção harmônica de dispositivos GC e GAA, utilizando como base os resultados obtidos ao longo deste trabalho.

Outro trabalho sugerido, diz respeito à avaliação da linearidade dos transistores GAA e GC GAA estudados ao longo deste trabalho em função da temperatura, já que trabalhos recentes [16],[49] apontam para um excelente desempenho analógico de dispositivos de porta dupla com estrutura de canal gradual em grande faixa de temperaturas.

REFERÊNCIAS BIBLIOGRÁFICAS

Capítulo 1:

- [1] MANASEVIT, H. M.; SIMPSON W. I.; Single-Crystal Silicon on a Sapphire Substrate, **Journal of Applied Physics**, v. 35, no. 4, p. 1349-1351, 1964.
- [2] VASUDEV P. K.; MAYER D. C.; **Materials Research Society Symposia Proceedings**, v. 33, p. 35, 1984.
- [3] COLINGE, J.- P.; **Silicon-on-Insulator Technology: Materials to VLSI**, Boston, Kluwer Academic Publishers, 3ª edição, 2003. 366 p.
- [4] WEI, A.; SHERONY, M. J.; ANTONIADIS, D. A.; Effect of Floating Body Charge on SOI MOSFET Design, **IEEE Transactions on Electron Devices**, v. 45, no. 2, p. 430-438, 1998.
- [5] FLANDRE, D.; FERREIRA, L. F.; JESPERS, P. G. A.; COLINGE, J. P.; Modeling and Application of Fully Depleted SOI MOSFETs for Low Voltage, Low Power Analog CMOS Circuits, **Solid-State Electronics**, v. 39, no. 4, p. 455-460, 1996.
- [6] DOUSEKI, T.; SHIGEMATSU, S.; YAMADA, J.; HARADA, M.; INOKAWA, H.; TSUCHIYA, T.; A 0.5-V MTCMOS/SIMOX Logic Gate, **IEEE Journal of Solid-State Circuits**, vol. 32, no. 10, p.1604-1609, 1997.
- [7] ASSADERAGHI, F.; SINITSKY, D.; PARKE, S. A.; BOKOR, J.; KO, P. K.; HU, C.; A Dynamic Threshold Voltage MOSFET (DTMOS) for Ultra-Low Voltage Operation, **Technical Digest of IEDM**, p. 809-812, 1994.
- [8] COLINGE, J.-P.; GAO, M. H.; ROMANO, A.; MAES, H.; CLAEYS, C.; Silicon-on-Insulator “Gate-All-Around Device”, **Technical Digest of IEDM**, p. 595-598, 1990.
- [9] SUZUKI, K.; TANAKA, T.; TOSAKA, Y.; HORIE, H.; ARIMOTO, Y.; Scaling Theory for Double-Gate SOI MOSFET’s, **IEEE Transactions on Electron Devices**, v. 40, no. 12, p. 2326-2329, 1993.
- [10] KRANTI, A.; CHUNG, T. M.; FLANDRE, D.; RASKIN, J.- P.; Laterally Asymmetric Channel Engineering in Fully Depleted Double Gate SOI MOSFETs for High Performance Analog Applications, **Solid-State Electronics**, v. 48, no. 6, p. 947-959, 2004.
- [11] PAVANELLO, M. A. **Projeto, Fabricação e Caracterização Elétrica de uma Nova Estrutura para o SOI MOSFET**, 2000. 138f. Tese de Doutorado – Escola Politécnica da Universidade de São Paulo, São Paulo, 2000.

- [12] PAVANELLO, M. A.; MARTINO, J. A.; DESSARD, V.; FLANDRE, D.; An Asymmetric Channel SOI nMOSFET for Reducing Parasitic Effects and Improving Output Characteristics. **Electrochemical and Solid-State Letters**, v. 3, no 1, p. 50-52, 2000.
- [13] PAVANELLO, M. A.; MARTINO J. A.; FLANDRE, D.; Analog Circuit Design Using Graded-Channel SOI nMOSFETs, **Solid-State Electronics**, v. 46, no. 8, p. 1215-1225, 2002.
- [14] PAVANELLO, M. A.; MARTINO J. A.; FLANDRE, D.; Analog Performance and Applications of Graded-Channel Fully Depleted SOI MOSFETs, **Solid-State Electronics**, v. 44, no. 7, p. 1219-1222, 2000.
- [15] GIMENEZ, S. P.; PAVANELLO, M. A.; MARTINO, J. A.; FLANDRE, D.; Gain Improvement in Operational Transconductance Amplifiers Using Graded-Channel SOI nMOSFETS, **Microelectronics Journal**, v. 37, no. 1, p. 31-37, 2006.
- [16] PAVANELLO, M. A.; MARTINO J. A.; RASKIN, J. P., FLANDRE, D.; High Performance Analog Operation of Double Gate Transistors with the Graded-Channel Architecture at Low Temperatures, **Solid-State Electronics**, v. 49, no. 10, p. 1569-1575, 2005.
- [17] FRANÇA, J. E.; TSIVIDIS Y.; **Design of Analog-Digital VLSI Circuits for Telecommunications and Signal Processing**, Prentice Hall, 1994.
- [18] PAVANELLO, M. A.; CERDEIRA, A.; MARTINO, J. A.; RASKIN, J. P.; FLANDRE, D.; Impact of Asymmetric Channel Configuration on the Linearity of Double-Gate SOI MOSFETs, In: **Proceedings of the 6th International Caribbean Conference on Devices, Circuits and Systems (ICCDACS)**, p. 187-191, 2006.
- [19] CERDEIRA, A.; ALEMÁN, M. A.; PAVANELLO, M. A.; MARTINO J. A.; VANCAILLIE, L.; FLANDRE, D.; Advantages of the Graded-Channel SOI FD MOSFET for Application as a Quasi-Linear Resistor, **IEEE Transactions on Electron Devices**, v. 52, no. 5, p. 967-972, 2005.
- [20] PAVANELLO M. A.; CERDEIRA, A.; MARTINO, J. A.; ALEMÁN M. A.; FLANDRE, D.; Implementation of Tunable Resistors Using Graded-Channel SOI MOSFETs Operating in Cryogenic Environments, In: **SBMicro 2005 - 20th International Symposium on Microelectronics Technology and Devices**, v. PV0805, p. 520-528, Florianópolis, 2005.
- [21] GENTINNE, B.; DESSARD, V.; LOUVEAUX, S.; FLANDRE, D.; COLINGE, J. P.; A Comparative Study of Non-Linearities in Bulk and SOI Linear Resistors Based on 2- and 4-Transistor Structures, In: **Proceedings of IEEE International SOI Conference**, p. 64-65, Tucson, Estados Unidos, 1995.
- [22] CERDEIRA, A.; ESTRADA, M.; QUINTERO, R.; FLANDRE, D.; ORTIZ-CONDE, A.; GARCÍA SÁNCHEZ, F. J.; New Method for Determination of Harmonic Distortion in SOI FD Transistors, **Solid-State Electronics**, v. 46, no. 1, p. 103-108, 2002.

Capítulo2:

[23] SEKIGAWA, T.; HAYASHI, Y.; Calculated Threshold Voltage Characteristic of an XMOS Transistor Having an Additional Bottom Gate, **Solid-State Electronics**, v. 27, no. 8/9, p. 827-828, 1984.

[24] LIU, Y. K.; ISHII, K.; TSUTSUMI, T., MASAHARA, M.; TAKAMISHA, H.; SUZUKI, E.; Multi-Fin Double-Gate MOSFET Fabricated by Using (110)-Oriented SOI Wafers and Orientation-Dependent Etching, **Electrochemical Society Proceedings 2003-05**, v. PV2003-05, p. 255-261, 2003.

[25] LIU, Y. K.; ISHII, K.; TSUTSUMI, T., MASAHARA, M; SUZUKI, E.; Ideal Rectangular Cross-Section Si-Fin Channel Double-Gate MOSFETs Fabricated Using Orientation-Dependent Wet Etching, **IEEE Electron Device Letters**, v. 24, no. 7, p. 484-486, 2003.

[26] HISAMOTO, D.; KAGA, T.; KAWAMOTO, Y.; TAKEDA, E.; A Fully Depleted Lean-Channel Transistor (DELTA)-A Novel Vertical Ultra Thin SOI MOSFET, **Technical Digest of IEDM**, p. 833-836, 1989.

[27] HIRAMOTO, T.; Nano-Scale Silicon MOSFET: Towards Non-Traditional and Quantum Devices, **IEEE International SOI Conference Proceedings**, p. 8-10, 2001.

[28] SAITO, T.; SARAYA, T.; INUKAI, T.; MAJIMA, H; NAGUMO, T.; HIRAMOTO, T.; Suppression of Short Channel Effect in Triangular Parallel Wire Channel MOSFETs, **IEICE Transactions on Electronics**, v. E-85C, no. 5, p. 1073-1078, 2002.

[29] JIAO, Z.; SALAMA, A. T.; A Fully Depleted Delta-Channel SOI NMOSFET, **Electrochemical Society Proceedings 2001-03**, v. PV2001-03, p. 403-409, 2001.

[30] HUANG, X.; LEE, W. C.; KUO, C.; HISAMOTO, D.; CHANG, L.; KEDZIERSKI, J.; ANDERSON, E.; TAKEUCHI, H.; CHOI, Y. K.; ASANO, K.; SUBRAMANIAN, V.; KING, T. J.; BOKOR, J.; HU, C.; Sub 50-nm FinFET: PMOS, **Technical Digest of IEDM**, p. 67-70, 1999.

[31] AGRAWAL, B.; DE, V. K.; MEINDL, J. D.; Opportunities for Scaling FET's for Gigascale Integration (GSI), **Proceedings of 23rd ESSDERC**, Ed. por BOREL, J.; GENTIL, P.; NOBLANC, J. P.; NOUHAILLAT, A.; VERDONE M.; Editions Frontières, p. 919-926, 1993.

[32] BALESTRA, F.; CRISTOLOVEANU, S.; BENACHIR, M.; BRINI, J.; ELEWA, T.; Double-Gate Silicon-on-Insulator Transistor with Volume Inversion: A New Device with Greatly Performance, **IEEE Electron Device Letters**, v. 8, no. 9, p. 410-412, 1987.

[33] BAIE, X.; COLINGE, J.- P.; BAYOT, V.; GRIVEI, E; Quantum-Wire Effects in Thin and Narrow SOI MOSFETs, **Proceedings of the IEEE International SOI Conference**, p. 66-67, 1995.

- [34] COLINGE, J.- P.; BAIE, X.; BAYOT, V.; GRIVEI, E.; A Silicon-On-Insulator Quantum Wire, **Solid-State Electronics**, v. 39, no. 1, p. 49-51, 1996.
- [35] VANDOOREN, A.; COLINGE, J. P.; FLANDRE, D.; Gate-All-Around OTA's for Rad-Hard and High-Temperature Analog Applications, **IEEE Transactions on Nuclear Science**, v. 46, no. 4, p. 1242-1249, 1999.
- [36] MONFRAY, S *et al*; 50 nm-Gate All Around (GAA)-Silicon On Nothing (SON)-Devices: A Simple Way to Co-Integration of GAA Transistors Within Bulk MOSFET Process, **Symposium on VLSI Technology, 2002. Digest of Technical Papers**, p. 108-109, 2002.
- [37] TSUCHIYA, T.; SATO, Y.; TOMIZAWA, M.; Three Mechanisms Determining Short-Channel Effects in Fully-Depleted SOI MOSFETs, **IEEE Transactions on Electron Devices**, v. 45, no.5, p.1116-1121, 1998.
- [38] YAN, R.- H.; OURMAZD, A.; LEE, K. F.; Scaling the Si MOSFET: From Bulk to SOI to Bulk, **IEEE Transactions on Electron Devices**, v. 39, no. 7, p. 1704-1710, 1992.
- [39] CHOI, J. Y.; FOSSUM, J. G.; Analysis and Control of Floating-Body Bipolar Effects in Fully-Depleted Submicrometer SOI MOSFETs, **IEEE Transactions on Electron Devices**, v. 38, no. 6, p. 1384-1391, 1991.
- [40] GE, L.; FOSSUM, J. G.; GÁMIZ, F.; Mobility Enhancement Via Volume Inversion in Double-Gate MOSFETs. **Proceedings of the IEEE International SOI Conference**, p. 153-154, 2003.
- [41] ERNEST, T.; MUNTEANU, D.; CRISTOLOVEANU, S.; OUISSE, T.; HEFYENE, N.; HORIGUCHI, S.; ONO, Y.; TAKAHASHI, Y.; MURASE, K.; Ultimately Thin SOI MOSFETs: Special Characteristics and Mechanisms, **Proceedings of the IEEE International SOI Conference**, p. 92-93, 1999.
- [42] ORTIZ-CONDE, A.; GARCIA SÁNCHEZ, F. J.; LIOU, J. J.; CERDEIRA, A.; ESTRADA, M.; YUE, Y.; A Review of Recent MOSFET Threshold Voltage Extraction Methods, **Microelectronics Reliability**, v. 42, p. 583-596, 2002.
- [43] SILVEIRA, F.; FLANDRE, D.; JESPERS, P. G. A.; A g_m/I_D Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Silicon-on-Insulator Micropower OTA, **IEEE Journal of Solid-State Circuits**, v. 31, no. 9, p. 1314-1319, 1996.
- [44] FRANCIS, P.; FLANDRE, D.; COLINGE, J.- P.; VAN DE WIELE, F.; Comparison of Self-Heating Effects in GAA and SOI Devices, **Proceedings of ESSDERC'95**, Editions Frontieres, p. 225-228, Den Haag, 1995.
- [45] PAVANELLO, M. A.; MARTINO, J. A.; DESSARD, V.; FLANDRE, D.; Graded-Channel Fully Depleted Silicon-On-Insulators nMOSFET for Reducing Bipolar Effects, **Solid-State Electronics**, v. 44, no. 6, p. 917-922, 2000.

- [46] PAVANELLO, M. A.; MARTINO J. A.; FLANDRE, D.; Comparison of Floating-Body Effects in Conventional and Graded-Channel Fully-Depleted Silicon-On-Insulator nMOSFETs, **IEEE Int. Caracas Conf. on Devices, Circuits and Systems**, p. D44-1-D44-5, Cancun, 2000.
- [47] PAVANELLO, M. A.; MARTINO, J. A.; CHUNG, T. M.; KRANTI, A.; RASKIN, J. P.; FLANDRE, D.; Impact of Graded-Channel Architecture on Double Gate Transistors for High-Performance Analog Applications. In: 11th international symposium on SOI technology and devices, **203rd Electrochemical Society Meeting**, p. 261-266, Paris, 2003.
- [48] GALUP-MONTORO, C.; SCHNEIDER, M. C.; LOSS, I. J. B.; Series Parallel Association of FET's for High Gain and High Frequency Applications, **IEEE Journal of Solid-State Circuits**, v. 29, no. 9, p. 1094-1101, 1994.
- [49] SANTOS, C. D. G.; **Caracterização Elétrica de Transistores SOI de Porta Circundante com Estrutura de Canal Gradual em Alta Temperatura**, 2005. 138f. Tese de Mestrado – Escola Politécnica da Universidade de São Paulo, São Paulo, 2005.
- [50] PAVANELLO, M. A.; CERDEIRA, A.; ALEMÁN, M. A.; MARTINO, J. A.; VANCAILLIE, L.; FLANDRE, D.; Low Temperature and Channel Engineering on Harmonic Distortion of SOI nMOSFETs for Analog Applications, In: **12th International Symposium on Silicon-On-Insulator Technology and Devices of 207th Electrochemical Society Meeting**, The Electrochemical Proceedings Series PV 2005-03, p. 125-130, 2005.
- [51] WAMBACQ, P.; SANSEN, W.; **Distortion Analysis of Analog Integrated Circuits**, Kluwer Academic Publishers, Dordrecht, 1998.
- [52] TSIVIDIS, Y. P.; **Operation and Modeling of the MOS Transistor**, Mc Graw-Hill, second edition, 1999.
- [53] SANSEN, Willy; Distortion in Elementary Transistor Circuits, **IEEE Transactions on Circuits and Systems – Part II: Analog and Digital Signal Processing**, v. 46, no. 3, p. 315-325, 1999.
- [54] GELB, A.; VELDE, W. E. V.; **Multiple-Input Describing Functions and Non-Linear System Design**, McGraw Hill, New York, 1968.
- [55] CERDEIRA, A.; ALEMÁN, M. A.; ESTRADA, M.; FLANDRE, D.; Integral Function Method for Determination of Nonlinear Harmonic Distortion, **Solid-State Electronics**, v. 48, no. 12, p. 2225-2234, 2004.
- [56] CERDEIRA, A.; ALEMÁN, M. A.; ESTRADA, M.; FLANDRE, D.; PARVAIS, B.; PICUN, G.; The Integral Function Method: A New Method to Determine the Non-Linear Harmonic Distortion, In: **SBMicro 2003 - 18th International Symposium on Microelectronics Technology and Devices**, p. 131-146, São Paulo, 2003.
- [57] PARVAIS, B.; CERDEIRA, A.; SCHREURS, D.; RASKIN, J. P.; Harmonic Distortion Characterization of SOI MOSFETs, In: **11th GAAS Symposium**, p. 357-360, Munique, 2003.

- [58] CERDEIRA, A.; ESTRADA, M.; Mathematical Basis of the Expressions Used by the Integral Function Method for the Determination of Nonlinear Harmonic Distortion in Devices and Circuits; In: **Proceedings of the 7th International Conference on Solid State and IC Technology**, p.1143-1146, Beijing, China, 2004.
- [59] BANU, M.; TSIVIDIS, Y.; Fully Integrated Active RC Filters in MOS Technology, **IEEE Journal of Solid-State Circuits**, vol. sc-18, no. 6, p. 644-651, 1983.
- [60] CZARNUL, Z.; Modification of Banu-Tsividis Continuous-Time Integrator Structure, **IEEE Transactions on Circuits and Systems**, vol. CAS-33, no. 7, p. 714-716, 1986.
- [61] SONG, B. S.; CMOS RF Circuits for Data Communications Applications, **IEEE Journal of Solid-State Circuits**, v. 21, no. 2, p. 310-317, 1986.
- [62] TSIVIDIS, Y.; CZARNUL, Z.; FANG, S. C.; MOS Transconductors and Integrators with High Linearity, **Electronic Letters**, v. 22, no. 5, p. 245-246, 1986.
- [63] PENNEY, W. M.; LAU, L.; **MOS Integrated Circuits**, New York, Van Nostrand-Reinhold, 1972.
- [64] GROENEWOLD, G.; LUBBERS, W. J.; Systematic Distortion Analysis for MOSFET Integrators with Use of a New MOSFET Model, **IEEE Transactions on Circuits and Systems – Part II: Analog and Digital Signal Processing**, v. 41, no. 9, p. 569-580, 1994.
- [65] FLANDRE, D.; JESPERS, P.; Charge-Sheet Modelling of MOS I-V Fundamental Nonlinearities in MOSFET-C Continuous-Time Filters, **Electronic Letters**, v. 31, no. 17, p. 1419-1420, 1995.
- [66] VANCAILLIE, L.; KILCHYTSKA, V.; ALVARADO, J.; CERDEIRA, A.; FLANDRE, D.; Characterization and Design Methodology for Low-Distortion MOSFET-C Analog Structures in Multithreshold Deep-Submicrometer SOI CMOS Technologies, **IEEE Transactions on Electron Devices**, v. 53, no. 2, p. 263-269, 2006.

Capítulo 3:

- [67] Athena Users' Manual, 10^a edição, 2004.
- [68] Atlas Users' Manual, Device simulation software, 10^a edição, 2005.
- [69] DORIA, R. T.; PAVANELLO M. A.; CERDEIRA, A.; RASKIN, J. P.; FLANDRE, D.; Channel Length Reduction Influence on Harmonic Distortion of Graded-Channel Gate-All-Around Devices, In: **SBMicro 2006 – 21st International Symposium on Microelectronics Technology and Devices**, v. 4, p. 247-256, Ouro Preto, 2006.
- [70] DORIA, R. T.; PAVANELLO, M. A.; CERDEIRA, A.; RASKIN, J. P.; FLANDRE, D.; Application of Double Gate Graded-Channel SOI in MOSFET-C Balanced Structures, In: **The 211th Electrochemical Society Meeting**, v. 6, p. 217-222, 2007.

- [71] VWF Interactive Tools, Device simulation software, 2004.
- [72] ICAP 4 – Interactive Circuits Analysis Program, versão 8.0.9, Intusoft, 2001.
- [73] WATT, T.; PLUMMER, J. D.; Universal Mobility-Field Curves for Electrons and Holes in MOS Inversion Layers, In: **Symposium on VLSI Technology**, Karuizawa, Japão, 1987.
- [74] KLAASSEN, D. B. M.; A Unified Mobility Model for Device Simulation – I. Model Equations and Concentration Dependence, **Solid-State Electronics**, v. 35, no. 7, p. 953-959, 1992.
- [75] KLAASSEN, D. B. M.; A Unified Mobility Model for Device Simulation – II. Temperature Dependence of Carrier Mobility and Lifetime, **Solid-State Electronics**, v. 35, no. 7, p. 961-967, 1992.
- [76] EGGERMONT, J.-P.; DE CEUSTER, D.; FLANDRE, D.; GENTINNE, B.; JESPERS, P. G. A.; COLINGE, J.-P.; Design of SOI CMOS Operational Amplifiers for Applications up to 300°C, **IEEE Journal of Solid-State Circuits**, v. 31, no. 2, p. 179-186, 1996.
- [77] SAKURAI, S.; ISMAIL, M.; **Low-Voltage CMOS Operational Amplifiers Theory, Design and Implementation**, Kluwer Academic Publishers, 1994.
- [78] Mathcad 12 User's Guide, Mathsoft Engineering & Education, Inc., 2004.
- [79] LANGEVELDE, R.; KLAASEN, F. M.; Effect of Gate-Field Dependent Mobility Degradation on Distortion Analysis in MOSFET's, **IEEE Transactions on Electron Devices**, v. 44, no. 11, p. 2044-2052, 1997.
- [80] LANGEVELDE, R.; KLAASEN, F. M.; Accurate Drain Conductance Modeling for Distortion Analysis in MOSFETs, **Technical Digest of IEDM**, p. 313-316, 1997.
- [81] PAVANELLO, M. A.; CERDEIRA, A.; MARTINO, J. A.; ALEMÁN, M. A.; FLANDRE, D.; Analysis of Harmonic Distortion in Graded-Channel SOI MOSFETs at High Temperatures, In: **SBMicro 2004 - 19th International Symposium on Microelectronics Technology and Devices**, v. 1, p. 9-14, Porto de Galinhas, 2004
- [82] SOUSA, M.; PAVANELLO, M. A.; IÑIGUEZ, B.; FLANDRE, D.; A Charge-Based Continuous Model for Submicrom Graded-Channel nMOSFET for Analog Circuit Simulation, **Solid-State Electronics**, v. 49, no. 10, p. 1683-1692, 2005
- [83] CONDE, J.; CERDEIRA, A.; FLANDRE, D.; Comparison Between Nonlinear Characteristics of N-Channel and P-Channel FD SOI MOSFETs, In: **Proceedings of the 5th International Caracas Conference on Devices, Circuits and Systems**, p. 122-125, República Dominicana, 2004

- [84] GROENEWOLD, G.; MONNA, B.; NAUTA, B. *et al.*; Micro-Power Analog Filter Design, In: **Analog Circuit Design: Low-Power Low-Voltage, Integrated Filters and Smart Power**, Eds. Nowell, MA: Kluwer, 1995.
- [85] GROENEWOLD, G.; Optimal Dynamic Range Integrators, **IEEE Transactions on Circuits and Systems – Part I**, v. 39, no. 8, p. 614-627, 1992.
- [86] SAKURAI, S.; ISMAIL, M.; MICHEL J. Y.; SANCHEZ-SINENCIO E.; BRANNEN, R.; A MOSFET-C Variable Equalizer Circuit with Simple On-Chip Automatic Tuning, **IEEE Journal of Solid-State Circuits**, v. 27, no. 6, p. 927-934, 1992.

APÊNDICE A – SIMULAÇÃO ATHENA

Abaixo segue o arquivo de simulação ATHENA do processo de fabricação do dispositivo GC GAA com $L = 3 \mu\text{m}$ e relação $L_{LD}/L = 0,5$:

```
#####
#Processo de Fabricação de um Transistor nMOS com LLD/L = 0,5,
#tsi = 80 nm e tox = 30 nm
#####

go athena

# Grade na direção x
line x loc=0.00 spac=0.125 tag=left
line x loc=1.9 spac=0.125
line x loc=2.1 spac=0.01
line x loc=2.25 spac=0.0025
line x loc=2.4 spac=0.01
line x loc=2.6 spac=0.1
line x loc=3.4 spac=0.1
line x loc=3.6 spac=0.05
line x loc=3.75 spac=0.0025
line x loc=3.9 spac=0.05
line x loc=4.1 spac=0.1
line x loc=4.9 spac=0.1
line x loc=5.1 spac=0.01
line x loc=5.25 spac=0.0025
line x loc=5.4 spac=0.01
line x loc=5.6 spac=0.125
line x loc=7.5 spac=0.125 tag=right

# Grade na direção y
line y loc=0.0 spac=0.005 tag=top
line y loc=0.02 spac=0.005
line y loc=0.025 spac=0.01
line y loc=0.053 spac=0.01 tag=bottom

# Definição da lamina
region silicon xlo=left xhi=right ylo=top yhi=bottom

# Definição da concentração inicial da lâmina
init boron=1.0e15
method grid.ox=0.005

# Etapa 10 - Oxidação de porta - parte 1
diffus temp=950 time=47 dryo2
diffus temp=950 time=20 inert t.rate=-15/2
diffus temp=800 time=30 inert
```

```
##### Etapa extra - implantação iônica para formação do GC
depo photoresist positive thick=1 divi=5
etch photoresist start x=2.25 y=-2
etch photoresist cont x=2.25 y=1
etch photoresist cont x=4.65 y=1
etch photoresist done x=4.65 y=-2

# Etapa 11 - Implantação Iônica para ajuste de Vth
implant boron dose=1.1E12 energy=20 pears

etch photoresist all
#etch oxide all
diffus time=30 temp=400 inert

# Etapa12 - Oxidação de porta - parte 2
diffus temp=950 time=10 dryo2
diffus temp=950 time=30 inert t.rate=-15/2
diffus temp=800 time=60 inert

# Etapas 13 e 14
depo poly thick=0.34 div=4 phosphor=1e20
diffus temp=900 time=60 inert
diffus temp=800 time=15 inert

# Etapa 15 - Definição do Si-poli
etch poly left p1.x=2.25
etch poly right p1.x=5.25

diffus time=30 temp=400 inert

# Etapa 16 - Implantação de Fonte e Dreno
implant arsenic dose=4e15 energy=40 pearson

# Etapa 17 - Ativação das impurezas
diffus temp=850 time=20 dryo2
diffus temp=850 time=170 inert

# Etapas 18 - Deposição de 350 nm de SiO2
depo oxide thick=0.25 div=4

diffus time=30 temp=900 dryo2

# Etapa 19 - Abertura das janelas de contato
etch oxide start x=0.75 y=-2
etch oxide continue x=0.75 y=0.03
etch oxide continue x=1.5 y=0.03
etch oxide done x=1.5 y=-2

etch oxide start x=6.0 y=-0.4
etch oxide cont x=6.75 y=-0.4
etch oxide cont x=6.75 y=0.03
etch oxide done x=6.0 y=0.03

# Etapa 20 - Deposição de Al
deposit alumin thick=0.5 div=5
```

```
# Etapa 21 - Definição do Al
etch alumin start x=2.25 y=-2
etch alumin continue x=5.25 y=-2
etch alumin continue x=5.25 y=1
etch alumin done x=2.25 y=1

# Espelhamento da estrutura
structure mirror bottom

#Definição dos eletrodos
electrode name=gate x=3.75 y=-0.1
electrode name=source x=0.2 y=-0.4
electrode name=drain x=7.2 y=-0.4
electrode name=gate2 x=3.75 y=0.2
electrode name=source2 x=0.2 y=0.5
electrode name=drain2 x=7.2 y=0.5

#Geração do arquivo de saída e visualização no TONYPLOT
structure outfile=LLD05-Athena.str

tonyplot LLD05-Athena.str

quit
```

APÊNDICE B – SIMULAÇÃO ATLAS

Abaixo segue um dos arquivos de simulação ATLAS do dispositivo GC GAA com $L = 3 \mu\text{m}$ e relação $L_{LD}/L = 0,5$:

```
#####
# Simulação do dispositivo GC GAA com LLD/L = 0,5
# Obtenção das curvas Id x Vg para Vds = 1,5 V
#####

go atlas

TITLE Transistor GAA SOI - L=3 um

# Operacao em T = 300 K
#tSi=80 nm - tox=30nm - toxb=390 nm

# Importação da estrutura gerada no ATHENA
mesh infile=LLD05-Athena.str

# Definição das cargas de interface nas duas portas
interf      qf=5e10 y.max=0.05
interf      qf=5e10 y.min=0.05
#
# Definição da função trabalho dos materiais
contact name=gate n.poly
contact     name=gate2 n.poly common=gate
contact     name=drain2 common=drain
contact     name=source2 common=source

output minset

# Ionização por impacto
impact selb

# Seleção dos modelos
models kla watt bgn consrh auger fldmob print temp=300
mobility mod.watt.n mumaxn.kla=510 mumaxp.kla=170

# Solução inicial
solve      init
#
#
method newton autonr trap maxtrap=10
solve      prev

#Elevação de Vds até 1,5 V
solve vdrain=1e-7
solve vdrain=1e-5
```

```
solve vdrain=1e-3
solve vdrain=0.1
solve vfinal=1.5 vstep=0.1 name=drain

solve

# Geração da curva Ids x Vgf (Vds=1,5 V)
log      outf=LLD05-Athena-IdxVg-15.log
solve    vgate=0 vfinal=2.5 vstep=0.01 name=gate
quit
```

APÊNDICE C – SIMULAÇÃO DE CIRCUITOS

Abaixo segue um dos arquivos de simulação do módulo de circuitos do ATLAS utilizado para a simulação de estruturas 4-MOS com $L = 10 \mu\text{m}$ e relação $L_{LD}/L = 0,5$:

```
#####
# Simulação da estrutura 4-MOS GC GAA com LLD/L = 0,5
# Obtenção das curvas Id x Vd para Vg = 1 V e Vgfixo = 3 V
#####
go atlas
.BEGIN

# Definição das fontes Vg, Vgfixo e Vd
VGf 2 0 0
VG 4 0 0
VD 1 3 0

# Definição dos transistores e dos arquivos de entrada
AGCIN 1=drain 2=gate 5=source 2=gate2 INFILE=LLD05-Athena-L10.str
AGCM1 1=drain 4=gate 5=source 4=gate2 INFILE=LLD05-Athena-L10.str
AGCM2 3=drain 4=gate 5=source 4=gate2 INFILE=LLD05-Athena-L10.str
AGCOUT 3=drain 2=gate 5=source 2=gate2 INFILE=LLD05-Athena-L10.str

# Gravação do arquivo de incremento dos potenciais
.SAVE OUTFILE=LLD05Imp-4TR-vg118-vgf3
.LOG OUTFILE=LLD05Imp-4TR-vg118-vgf3

# Incremento de Vgfixo de 0 a 3 V
.DC VGf 0.05 3.0 0.05
.NODESET V(2)=0.05.

# Incremento de Vg de 0 a 1.15 V (Vgt = 1V)
.DC VG 0.05 1.15 0.05
.NODESET V(4)=0.05.

# Incremento de Vd de 0 a -0.5 V
#VD 1 3 -0.5
.DC VD -0.05 -1.0 -0.05
.NODESET V(1)=-0.05.
.END

# Definição dos modelos utilizados em cada um dos dispositivos
MODELS DEVICE=AGCIN REG=2 kla watt bgn consrh auger srh fldmob print temp=300
Mobility mod.watt.n mumaxn.kla=510 mumaxp.kla=170
IMPACT DEVICE=AGCIN REG=2 SELB
interf          qf=5e10 y.max=0.05
interf          qf=5e10 y.min=0.05

MODELS DEVICE=AGCM1 REG=2 kla watt bgn consrh auger srh fldmob print temp=300
```

```

Mobility mod.watt.n mumaxn.kla=510 mumaxp.kla=170
IMPACT DEVICE=AGCM1 REG=2 SELB
interf          qf=5e10 y.max=0.05
interf          qf=5e10 y.min=0.05
MODELS DEVICE=AGCM2 REG=2 kla watt bgn consrh auger srh fldmob print temp=300
Mobility mod.watt.n mumaxn.kla=510 mumaxp.kla=170
IMPACT DEVICE=AGCM2 REG=2 SELB
interf          qf=5e10 y.max=0.05
interf          qf=5e10 y.min=0.05
MODELS DEVICE=AGCOUT REG=2 kla watt bgn consrh auger srh fldmob print temp=300
Mobility mod.watt.n mumaxn.kla=510 mumaxp.kla=170
IMPACT DEVICE=AGCOUT REG=2 SELB
interf          qf=5e10 y.max=0.05
interf          qf=5e10 y.min=0.05

#Definição dos contatos para cada dispositivo
contact name=gate n.poly device=AGCIN
contact name=gate2 n.poly device=AGCIN
contact name=drain neutral device=AGCIN
contact name=source neutral device=AGCIN

contact name=gate n.poly device=AGCM1
contact name=gate2 n.poly device=AGCM1
contact name=drain neutral device=AGCM1
contact name=source neutral device=AGCM1

contact name=gate n.poly device=AGCM2
contact name=gate2 n.poly device=AGCM2
contact name=drain neutral device=AGCM2
contact name=source neutral device=AGCM2

contact name=gate n.poly device=AGCOUT
contact name=gate2 n.poly device=AGCOUT
contact name=drain neutral device=AGCOUT
contact name=source neutral device=AGCOUT

# Definição dos métodos
method newton autonr trap maxtrap=10
GO ATLAS
.BEGIN

# Nova definição das fontes Vg, Vgfixo e Vd
VGf 2 0 3.0
VG 4 0 1.18
VD 1 3 -1.0

# Nova definição dos transistores e dos arquivos de entrada
AGCIN 1=drain 2=gate 5=source 2=gate2 INFILE=LLD05-Athena-L10.str
AGCM1 1=drain 4=gate 5=source 4=gate2 INFILE=LLD05-Athena-L10.str
AGCM2 3=drain 4=gate 5=source 4=gate2 INFILE=LLD05-Athena-L10.str
AGCOUT 3=drain 2=gate 5=source 2=gate2 INFILE=LLD05-Athena-L10.str

# Arquivo salvo anteriormente é carregado
.LOAD INFILE=LLD05Imp-4TR-vg118-vgf3
.NODESET V(2)= 3.0.
.NODESET V(4)= 1.18.
.NODESET V(1)= -1.0.

```

```

# Descrição do arquivo de saída
.LOG OUTFILE=IDxVDLLD05imp-4TR-vg118-vgf3
.DC VD -1.0 1.0 0.01
.END

# Nova definição dos modelos utilizados em cada um dos dispositivos
MODELS DEVICE=AGCIN REG=2 kla watt bgn consrh auger srh fldmob print temp=300
Mobility mod.watt.n mumaxn.kla=510 mumaxp.kla=170
IMPACT DEVICE=AGCIN REG=2 SELB
interf          qf=5e10 y.max=0.05
interf          qf=5e10 y.min=0.05
MODELS DEVICE=AGCM1 REG=2 kla watt bgn consrh auger srh fldmob print temp=300
Mobility mod.watt.n mumaxn.kla=510 mumaxp.kla=170
IMPACT DEVICE=AGCM1 REG=2 SELB
interf          qf=5e10 y.max=0.05
interf          qf=5e10 y.min=0.05
MODELS DEVICE=AGCM2 REG=2 kla watt bgn consrh auger srh fldmob print temp=300
Mobility mod.watt.n mumaxn.kla=510 mumaxp.kla=170
IMPACT DEVICE=AGCM2 REG=2 SELB
interf          qf=5e10 y.max=0.05
interf          qf=5e10 y.min=0.05
MODELS DEVICE=AGCOUT REG=2 kla watt bgn consrh auger srh fldmob print temp=300
Mobility mod.watt.n mumaxn.kla=510 mumaxp.kla=170
IMPACT DEVICE=AGCOUT REG=2 SELB
interf          qf=5e10 y.max=0.05
interf          qf=5e10 y.min=0.05

#Definição dos contatos para cada dispositivo
contact name=gate n.poly device=AGCIN
contact name=gate2 n.poly device=AGCIN
contact name=drain neutral device=AGCIN
contact name=source neutral device=AGCIN

contact name=gate n.poly device=AGCM1
contact name=gate2 n.poly device=AGCM1
contact name=drain neutral device=AGCM1
contact name=source neutral device=AGCM1

contact name=gate n.poly device=AGCM2
contact name=gate2 n.poly device=AGCM2
contact name=drain neutral device=AGCM2
contact name=source neutral device=AGCM2

contact name=gate n.poly device=AGCOUT
contact name=gate2 n.poly device=AGCOUT
contact name=drain neutral device=AGCOUT
contact name=source neutral device=AGCOUT

# Definição dos métodos
method newton autonr trap maxtrap=10

go atlas
quit

```