

**CENTRO UNIVERSITÁRIO DA FEI**  
**EGON HENRIQUE SALERNO GALEMBECK**

**ESTUDO DE SOI MOSFETs COM ESTILOS DE LEIAUTE NÃO CONVENCIONAIS  
EM ALTAS TEMPERATURAS**

São Bernardo do Campo  
2015

EGON HENRIQUE SALERNO GALEMBECK

**ESTUDO DE SOI MOSFETS COM ESTILOS DE LEIAUTE NÃO CONVENCIONAIS EM  
ALTAS TEMPERATURAS**

Dissertação de Mestrado apresentada ao Centro  
Universitário da FEI como parte dos requisitos  
necessários para obtenção do título de Mestre em  
Engenharia Elétrica, orientada pelo Prof. Dr. Salvador  
Pinillos Gimenez

São Bernardo do Campo  
2015

Galembeck, Egon Henrique Salerno

Estudo de SOI MOSFETs com estilos de leiaute não convencionais em altas temperaturas / Egon Henrique Salerno Galembeck. São Bernardo do Campo, 2015.

263 f. ill.

Dissertação - Centro Universitário da FEI.

Orientador: Prof. Salvador Pinillos Gimenez.

1. SOI MOSFET - diamante. 2. OCTO SOI MOSFET. 3. Altas temperaturas. I. Gimenez, Salvador Pinillos, orient. II. Título.

CDU 621.315.59

Dedico este trabalho a Klicia dos Santos que me fez  
uma pessoa mais completa e feliz.



CENTRO UNIVERSITÁRIO DA FEI

# APRESENTAÇÃO DE DISSERTAÇÃO ATA DA BANCA EXAMINADORA

Programa de Pós-Graduação Stricto Sensu em Engenharia Elétrica

Mestrado

PGE-10

**Aluno:** Egon Henrique Salerno Galembeck

**Matrícula:** 113303-2

**Título do Trabalho:** Estudo de SOI MOSFETs com estilos de leiaute não convencionais em altas temperaturas.

**Área de Concentração:** Dispositivos Eletrônicos Integrados

**Orientador:** Prof. Dr. Salvador Pinillos Gimenez

**Data da realização da defesa:** 25/08/2015

**ORIGINAL ASSINADA**

**Avaliação da Banca Examinadora:**

---

---

---

---

---

São Bernardo do Campo, 25/08/2015.

## MEMBROS DA BANCA EXAMINADORA

**Prof. Dr. Salvador Pinillos Gimenez** Ass.: \_\_\_\_\_

**Prof.<sup>a</sup> Dr.<sup>a</sup> Michele Rodrigues** Ass.: \_\_\_\_\_

**Prof.<sup>a</sup> Dr.<sup>a</sup> Carolina Davanzo Gomes dos Santos** Ass.: \_\_\_\_\_

A Banca Julgadora acima-assinada atribuiu ao aluno o seguinte resultado:

APROVADO

REPROVADO

VERSÃO FINAL DA DISSERTAÇÃO

APROVO A VERSÃO FINAL DA DISSERTAÇÃO EM QUE FORAM INCLUÍDAS AS  
RECOMENDAÇÕES DA BANCA EXAMINADORA

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz

## AGRADECIMENTOS

Inicialmente, a Deus, que permitiu a oportunidade de estudar e por me ajudar na realização deste trabalho.

Ao meu orientador, Professor Dr. Salvador Pinillos Gimenez, por ter acreditado, incentivado e confiado em mim, à realização deste trabalho de mestrado. E por permitir meu crescimento acadêmico, pessoal e profissional, além de compartilhar os seus conhecimentos e por ter toda a sua atenção e dedicação para com este trabalho.

As professoras Dra. Milene Galeti e a Dra. Carolina Davanzo Gomes dos Santos por suas contribuições no exame de qualificação e defesa da dissertação, respectivamente. E a professora Dra. Michele Rodrigues pela atenção e sugestões para melhora do trabalho no exame de qualificação, na defesa da dissertação e para o texto final.

A minha querida namorada, Klicia dos Santos, que sempre me incentivou e me fortaleceu em todos os momentos, com muita paciência e carinho, recebido durante esta jornada.

Aos meus pais Carlos Galembeck Filho e Sonia Marta Salerno Galembeck, pelo incentivo para realização deste trabalho de pesquisa.

Aos professores do curso de mestrado de engenharia elétrica, pela dedicação e pelos conhecimentos compartilhados ao longo das aulas.

Ao Centro Universitário da FEI, que disponibilizou seu laboratório para a realização de medidas experimentais.

Ao projeto de Circuitos Integrados Tolerantes a Radiação (CITAR) do Conselho Nacional de Pesquisa (CNPq) pelo suporte financeiro durante os anos de mestrado.

*“Que os vossos esforços desafiem as  
impossibilidades, lembrai-vos de que as  
grandes coisas do homem foram conquistadas  
do que parecia impossível”*  
Charles Chaplin

## RESUMO

Neste trabalho, o impacto dos efeitos das altas temperaturas são experimentalmente investigado ao longo de uma grande faixa de temperatura (300 K a 573 K) considerando os estilos de leiaute hexagonal e octogonal usados para implementar *Silicon-On-Insulator* (SOI) *Metal-Oxide-Semiconductor* (MOS) *Field Effect Transistors* (MOSFETs) intitulados de SOI MOSFET do tipo Diamante (*Diamond SOI MOSFET, DSM*) e SOI MOSFET do tipo OCTO (*OCTO SOI MOSFET, OSM*), respectivamente, em comparação aos seus respectivos SOI MOSFETs do tipo convencional equivalente (Conventional SOI MOSFET, CSM), ou seja, com estilo de leiaute de porta retangular. Os transistores foram fabricados no Laboratório de Microeletrônica da Universidade Católica de Louvain (Microelectronics Laboratory of the Université Catholique de Louvain - UCL) na Bélgica, usando a tecnologia *Complementary MOS* (CMOS) SOI totalmente depletado de 1  $\mu\text{m}$ . Os resultados experimentais demonstram que os DSMs e os OSMs são capazes de manter ativo o efeito de canto longitudinal (*Longitudinal Corner Effect -LCE*) e o efeito de associação paralela de SOI MOSFETs com a mesma largura de canal e diferentes comprimentos de canal (*Parallel Connection of Different Channel Lengths Effects - PAMDLE*) na sua estrutura em condições de altas temperaturas, mostrando excelentes resultados nos principais parâmetros analógicos e digitais em comparação aos seus respectivos CSMs equivalentes, como por exemplo: a corrente entre dreno e fonte ( $I_{\text{DS}}$ ), onde os ganhos podem chegar a 208% no caso do DSM e 179% para o OSM; para a razão da transcondutância ( $g_m$ ) em função de  $I_{\text{DS}}$  ( $g_m/I_{\text{DS}}$ ) em regime de inversão moderada o DSM apresentou ganhos de até 30% e para o OSM o ganho pode chegar a 24%, e a frequência de ganho de tensão unitário ( $f_T$ ) apresentou ganhos de até 157% e 175% para o DSM e o OSM, respectivamente. Além disso, o DSM e o OSM são capazes de reduzir a resistência de dreno de estado ligado ( $R_{\text{ON}}$ ) em até 60% e 59%, respectivamente. E um importante resultado que o OSM apresentou, quando ele está submetido em altas temperaturas, foi a redução da corrente de fuga de dreno ( $I_{\text{LEAK}}$ ) em até 86% em relação ao seu CSM equivalente. Portanto, os estilos de leiaute hexagonal e octogonal podem ser considerados uma técnica alternativa para potencializar o desempenho elétrico dos SOI MOSFETs para operar em ambientes hostis de altas temperaturas, sem qualquer custo adicional para o atual e estabelecido processo de fabricação SOI CMOS de circuitos integrados (ou seja, apenas mudança de leiaute).

Palavras-chave: SOI MOSFET do tipo Diamante. OCTO SOI MOSFET. Altas temperaturas

## ABSTRACT

In this work, the impact of the high temperature effects are experimentally investigate over a wide range of temperatures (300 K to 573 K) regarding the hexagonal and octagonal layout styles to implement Silicon-On-Insulator (SOI) Metal-Oxide-Semiconductor (MOS) Field Effect Transistors (MOSFETs), named Diamond SOI MOSFET type (DSM) and OCTO SOI MOSFET type (OSM), respectively, in comparison to the their respective Conventional SOI MOSFETs type counterparts (CSM), i.e., with layout style rectangular gate. The transistors were fabricated in the Microelectronics Laboratory of the Université Catholique de Louvain – UCL, in Belgium, using the Complementary MOS (CMOS) fully depleted SOI of 1  $\mu\text{m}$ . The experimental results demonstrate that DSMs and OSMs are capable to keep active the Longitudinal Corner Effect (LCE) and the PARallel Connection of MOSFET with Different Channel Lengths Effect (PAMDLE) in their structure at high temperature conditions, showing excellent results in the main analog and digital parameters in comparison to their respective CSMs counterparts, for example: the drain current ( $I_{\text{DS}}$ ), where the gains can reach 208% in the case of DSM and 179% for OSM; to the transconductance ( $g_m$ ) over the  $I_{\text{DS}}$  ratio ( $g_m/I_{\text{DS}}$ ) in moderate inversion the DSM has shown gains of up to 30% and to the OSM the can reach 24%, and the unity voltage gain frequency ( $f_T$ ) has shown gains of up to 157% and 175% for DSM and OSM, respectively. Besides that, the OSM and OSM are capable to reduce the on-state resistance ( $R_{\text{ON}}$ ) up to 60% and 59%, respectively. An important result that OSM has presented, when it is subjected to high temperatures, is the reduction of drain leakage current ( $I_{\text{LEAK}}$ ) up to 86% over its CSM equivalent. Therefore, the hexagonal and octagonal layout styles can be considered an alternative technique to boost the electrical performance of SOI MOSFETs to operate in harsh environments of high temperatures, without any additional cost for current and established manufacturing process SOI CMOS integrated circuit (i.e. only layout changing).

Key words: Diamond SOI MOSFET. OCTO SOI MOSFET. High temperatures

## LISTA DE TABELAS

Tabela 2.1 - Equações para a variável $\alpha'$ usada para o cálculo da constante de efeito de corpo.....	56
Tabela 2.2 - Valores das constantes usadas na equação (2.5.1) para o cálculo de $E_G$ em função de T.....	77
Tabela 3.1 - Dimensões dos SOI MOSFETs do tipo Diamante e seus CSMs equivalentes utilizados neste trabalho com $W=12\ \mu\text{m}$ e $b=2\ \mu\text{m}$ .....	133
Tabela 3.2 - Tabela dos valores de $I_{DS}/(W/L)$ do DSM1 e do seu CSM equivalente em função da temperatura, para $V_{GT}$ igual a 1 V.....	138
Tabela 3.3 - Tabela dos valores de $I_{DS}/(W/L)$ do DSM2 ( $\alpha$ igual a $90,0^\circ$ ) e do seu CSM equivalente (CSM2) em função da temperatura, para $V_{GT}$ igual a 1V, e também a redução de $I_{DS}/(W/L)$ do DSM2 em relação ao DSM1 .....	140
Tabela 3.4 - Tabela dos valores de $I_{DS}/(W/L)$ do DSM3 ( $\alpha$ igual a $126,9^\circ$ ) e do seu CSM equivalente (CSM3) em função da temperatura, para $V_{GT}$ igual a 1V, e também a redução de $I_{DS}/(W/L)$ do DSM3 em relação ao DSM1 .....	142
Tabela 3.5 - Tabela dos valores de $I_{DS}/(W/L)$ do DSM1 e do seu CSM equivalente em função da temperatura, para $V_{DS}$ igual a 2,5V .....	145
Tabela 3.6 - Tabela dos valores de $I_{DS}/(W/L)$ do DSM2 ( $\alpha$ igual a $90,0^\circ$ ) e do seu CSM equivalente (CSM2) em função da temperatura, para $V_{DS}$ igual a 2,5V, e também a redução de $I_{DS}/(W/L)$ do DSM2 em relação ao DSM1 .....	147
Tabela 3.7 - Tabela dos valores de $I_{DS}/(W/L)$ do DSM3 ( $\alpha$ igual a $126,9^\circ$ ) e do seu CSM equivalente (CSM3) em função da temperatura, para $V_{DS}$ igual a 2,5V, e também a redução de $I_{DS}/(W/L)$ do DSM3 em relação ao DSM1 .....	149
Tabela 3.8 - Valores de $g_{m_{max}}/(W/L)$ dos SOI MOSFETs do tipo Diamante (DSM1, DSM2 e DSM3) e de seus respectivos CSMs equivalentes em função da temperatura, para $V_{DS}$ igual a 100 mV, apresentando as diferenças percentuais entre os pares de dispositivos homólogos considerados .....	158
Tabela 3.9 - Tabela dos valores de $g_{D\_SAT}$ e $I_{DS\_SAT}$ para o cálculo de $V_{EA}$ em função da temperatura para o DSM1 e o CSM1, considerando $V_{DS}$ igual a 3 V.....	170

Tabela 3.10 - Tabela dos valores de $g_{D\_SAT}$ e $I_{DS\_SAT}$ para o cálculo de $V_{EA}$ em função da temperatura para o DSM2 e o CSM2, considerando $V_{DS}$ igual a 3 V.....	171
Tabela 3.11 - Tabela dos valores de $g_{D\_SAT}$ e $I_{DS\_SAT}$ para o cálculo de $V_{EA}$ em função da temperatura para o DSM3 e o CSM3, considerando $V_{DS}$ igual a 3 V.....	171
Tabela 3.12 - Valores de $g_m/(W/L)$ dos SOI MOSFETs do tipo Diamante (DSM1, DSM2 e DSM3) e de seus respectivos CSMs equivalentes em função da temperatura, para $V_{DS}$ e $V_{GT}$ igual a 2,5 V, apresentando as diferenças percentuais entre os pares de dispositivos homólogos considerados.....	178
Tabela 3.13 - Dimensões dos OSMs e seus CSMs equivalentes utilizados neste trabalho com $W=30\ \mu m$ e $b=5\ \mu m$ .....	192
Tabela 3.14 - Tabela dos valores de $I_{DS}/(W/L)$ do OSM1 e do seu CSM equivalente em função da temperatura, para $V_{GT}$ igual a 1 V.....	197
Tabela 3.15 - Tabela dos valores de $I_{DS}/(W/L)$ do OSM2 ( $\alpha$ igual a $90,0^\circ$ ) e do seu CSM equivalente (CSM5) em função da temperatura, para $V_{GT}$ igual a 1V, e também a redução de $I_{DS}/(W/L)$ do OSM2 em relação ao OSM1.....	199
Tabela 3.16 - Tabela dos valores de $I_{DS}/(W/L)$ do OSM3 ( $\alpha$ igual a $126,9^\circ$ ) e do seu CSM equivalente (CSM6) em função da temperatura, para $V_{GT}$ igual a 1V, e também a redução de $I_{DS}/(W/L)$ do OSM3 em relação ao OSM1.....	202
Tabela 3.17 - Tabela dos valores de $I_{DS}/(W/L)$ do OSM1 e do seu CSM equivalente em função da temperatura, para $V_{DS}$ igual a 2,5V.....	204
Tabela 3.18 - Tabela dos valores de $I_{DS}/(W/L)$ do OSM2 ( $\alpha$ igual a $90,0^\circ$ ) e do seu CSM equivalente (CSM5) em função da temperatura, para $V_{DS}$ igual a 2,5V, e também a redução de $I_{DS}/(W/L)$ do OSM2 em relação ao OSM1.....	206
Tabela 3.19 - Tabela dos valores de $I_{DS}/(W/L)$ do OSM3 ( $\alpha$ igual a $126,9^\circ$ ) e do seu CSM equivalente (CSM6) em função da temperatura, para $V_{DS}$ igual a 2,5V, e também a redução de $I_{DS}/(W/L)$ do OSM3 em relação ao OSM1.....	208
Tabela 3.20 - Valores de $g_{m\_max}/(W/L)$ dos SOI MOSFETs do tipo OCTO (OSM1, OSM2 e OSM3) e de seus respectivos CSMs equivalentes em função da temperatura, para $V_{DS}$ igual a 100 mV, apresentando as diferenças percentuais entre os pares de dispositivos homólogos considerados.....	218

Tabela 3.21 - Tabela dos valores de $g_{D\_SAT}$ e $I_{DS\_SAT}$ para o cálculo de $V_{EA}$ em função da temperatura para o OSM1 e o CSM4, considerando $V_{DS}$ igual a 3 V.....	232
Tabela 3.22 - Tabela dos valores de $g_{D\_SAT}$ e $I_{DS\_SAT}$ para o cálculo de $V_{EA}$ em função da temperatura para o OSM2 e o CSM5, considerando $V_{DS}$ igual a 3 V.....	232
Tabela 3.23 - Tabela dos valores de $g_{D\_SAT}$ e $I_{DS\_SAT}$ para o cálculo de $V_{EA}$ em função da temperatura para o OSM3 e o CSM6, considerando $V_{DS}$ igual a 3 V.....	232
Tabela 3.24 - Valores de $gm/(W/L)$ dos SOI MOSFETs do tipo OCTO (OSM1, OSM2 e OSM3) e dos seus respectivos CSMs equivalentes em função da temperatura, para $V_{DS}$ e $V_{GT}$ igual a 2,5 V, apresentando as diferenças percentuais entre os pares de dispositivos homólogos considerados.....	239
Tabela 3.25 - A tabela comparativa geral dos parâmetros estudados entre os DSMs e os OSMs com os seus respectivos CSMs equivalentes.....	253

## LISTA DE ILUSTRAÇÕES

Figura 1.1 - A Lei de Moore.....	38
Figura 1.2 - Tecnologia de circuitos integrados (CIs) digitais e famílias de circuitos integrados lógicos .....	40
Figura 2.1 - Seções transversais de inversores CMOS implementados com tecnologias convencional ( <i>Bulk</i> ), ilustrando o tiristor parasitário PNP em sua estrutura (a) e SOI, sem a presença do mesmo (b) .....	48
Figura 2.2 - Exemplo da seção transversal de um SOI MOSFET tipo n.....	50
Figura 2.3 - Diagramas de faixas de energia de MOSFETs do tipo n convencional, <i>Bulk</i> (a), do SOI de camada espessa (b) e do SOI de camada fina (c).....	51
Figura 2.4 - Associação entre capacitâncias do MOSFET com tecnologia convencional ( <i>Bulk</i> ) (a) e com tecnologia SOI totalmente depletado (b).....	56
Figura 2.5 - As vistas superiores do SOI MOSFET do tipo Diamante (a) e do SOI MOSFET do tipo Convencional equivalente (b), respectivamente, onde estão indicadas as correspondentes componentes do campo elétrico longitudinal e sua resultante, considerando a mesma área de porta, o mesmo $W$ e as mesmas condições de polarização .....	59
Figura 2.6 - Representação simplificada tridimensional (3D) do SOI MOSFET do tipo Diamante .....	60
Figura 2.7 - Representações da região do canal onde ocorre a soma vetorial das componentes vetoriais do campo elétrico longitudinal para $0^\circ < \alpha \leq 90^\circ$ (a) e $90^\circ \leq \alpha < 180^\circ$ (b) .....	62
Figura 2.8 - O mapa das componentes vetoriais do campo elétrico longitudinal na região de canal da estrutura de um MOSFET do tipo Diamante, que define o efeito LCE .....	63
Figura 2.9 - Representação da associação paralela entre MOSFETs com diferentes comprimentos de canais e com a mesma largura de canal (efeito PAMDLE)....	65
Figura 2.10 - Exemplo de uma estrutura 3D de um SOI MOSFET do tipo OCTO .....	67

Figura 2.11 - Vistas superiores de SOI MOSFETs do tipo OCTO (a) e do seu Convencional equivalente (b), onde estão indicadas as correspondentes componentes vetoriais do campo elétrico longitudinal e sua resultante, considerando a mesma área de porta, o mesmo W e as mesmas condições de polarização .....	68
Figura 2.12 - O mapa das componentes vetoriais do campo elétrico longitudinal ao longo da região de canal do MOSFET do tipo OCTO, que define o efeito LCE .....	70
Figura 2.13 - Exemplos de diferentes SOI MOSFETs do tipo OCTO, para valores de fator de corte $c=1$ (a), $c=0,75$ (b), $c=0,50$ (c), $c=0,25$ (d) e $c=0$ (e) .....	71
Figura 2.14 - Representação da associação paralela entre MOSFETs com diferentes comprimentos de canais e com a mesma largura de canal (efeito PAMDLE) no OSM .....	72
Figura 2.15 - Gráfico da velocidade de deriva dos elétrons e das lacunas num filme de silício (Si) em função do campo elétrico aplicado em suas extremidades.....	75
Figura 2.16 - Gráfico da energia correspondente a banda proibida ( $E_G$ ) dos semicondutores intrínsecos Si, Ge e GaAs em função da temperatura .....	78
Figura 2.17 - Concentração de portadores intrínsecos dos semicondutores intrínsecos em função da temperatura no Si, no Ge e no GaAs .....	80
Figura 2.18 - Concentrações de elétrons no Si do tipo n dopado com $10^{21} \text{ cm}^{-3}$ e no Si intrínseco em função da temperatura .....	82
Figura 2.19 - Gráfico da energia do nível de Fermi do Si do tipo p e n em função da concentração do nível de dopantes e em temperatura ambiente .....	84
Figura 2.20 - Gráfico do potencial do nível de Fermi do Si tipo n e tipo p em função da temperatura, para diferentes níveis de dopagem .....	85
Figura 2.21 - Gráficos das mobilidades do elétron (a) e da lacuna (b) no Si para diferentes concentrações de impurezas em função da temperatura .....	88
Figura 2.22 - Gráfico do logarítmico da mobilidade em função do logarítmico da temperatura, indicando o espalhamento pela rede (térmico), e de impurezas.....	89
Figura 2.23 - Curva da segunda deriva de $I_{DS}$ em relação a $V_{GS}$ , em função de $V_{GS}$ , utilizada para extração da tensão de limiar dos transistores deste estudo.....	92

Figura 2.24 - Seção transversal de um SOI nMOSFET operando na região de triodo, indicando o formato do canal .....	93
Figura 2.25 - Seção transversal de um SOI nMOSFET operando na transição da região triodo para região de saturação, indicando o estrangulamento do canal na região de dreno.....	94
Figura 2.26 - Seção transversal de um SOI nMOSFET operando na região de saturação, indicando a região do estrangulamento do canal .....	95
Figura 2.27 - Exemplo de uma curva característica de $I_{DS}$ em função de $V_{DS}$ , onde estão indicadas as diferentes regiões de operação do SOI nMOSFET .....	95
Figura 2.28 - Exemplo de uma curva característica de $I_{DS}$ em função de $V_{GS}$ , onde estão indicadas as diferentes regiões de operação do SOI nMOSFET.....	96
Figura 2.29 - Seções transversais de inversores CMOS implementados com tecnologias convencional ( <i>Bulk</i> ) (a) e com tecnologia SOI CMOS (b), indicando os caminhos possíveis da corrente de fuga de dreno .....	100
Figura 2.30 - Parte de uma seção transversal de um SOI nMOSFET, indicando a formação da região de depleção no dreno decorrente da tensão negativa de $V_{GS}$ (a) e a correspondente curvatura gerada nas bandas de energia na região de depleção do dreno, ocasionado o tunelamento dos elétrons da banda de valência para a banda de condução (b) .....	101
Figura 2.31 - Gráfico do logarítmico de $I_{DS}$ em função de $V_{GS}$ , ilustração o efeito <i>Gate-Induced Drain Leakage (GIDL)</i> no comportamento elétrico de um SOI nMOSFET .....	102
Figura 2.32 - Curva característica de $I_{DS}/(W/L)$ (em escala logarítmica), em função de $V_{GT}$ e da temperatura, indicando o valor da corrente de fuga de dreno de um SOI nMOSFET .....	103
Figura 2.33 - Curva característica de $I_{DS}$ em função de $V_{GS}$ em escala linear (a) e em escala logarítmica (b) evidenciando a região de sublimiar .....	106
Figura 2.34 - Curva característica de $I_{DS}$ (em escala logarítmica) em função de $V_{GS}$ , exemplificando o método de extração da inclinação de sublimiar.....	109

Figura 2.35 - Exemplo de um gráfico de $g_m/I_{DS}$ em função de $I_{DS}/(W/L)$ para um SOI nMOSFET totalmente depletado, operando na região de saturação ( $V_{DS}$ igual a 2,5 V), ilustrando os regimes de operação e a influência do aumento da temperatura.....	111
Figura 2.36 - Seção transversal de um SOI nMOSFET operando na região de saturação, indicando o ponto de estrangulamento do canal se movendo da região próxima ao dreno para a região da fonte à medida que se aumenta a tensão $V_{DS}$ além de $V_{DS\_SAT}$ .....	113
Figura 2.37 - Exemplo de três gráficos de $I_{DS}$ em função de três diferentes valores de $V_{GS}$ , ilustrando o efeito de modulação do canal e indicando a forma de obtenção da tensão Early .....	114
Figura 2.38 - Exemplo de um amplificador de tensão em configuração de fonte comum .....	115
Figura 2.39 - Exemplo de um digrama de Bode de magnitude, destacando-se o valor de $f_T$ .....	117
Figura 2.40 - Curva característica de $I_{DS}$ em função de $V_{DS}$ , que indica a região triodo do SOI MOSFET, onde é obtido o valor de $R_{ON}$ .....	119
Figura 2.41 - Gráfico do logarítmico de $I_{DS}$ em função de $V_{GS}$ sob a influência do aumento da temperatura, ilustrando a região de estado desligado ( <i>off-state</i> ) e a região de estado ligado ( <i>on-state</i> ) de um SOI nMOSFET operando como chave e ilustrando a corrente $I_{ON}$ .....	120
Figura 2.42 - Gráfico do logarítmico de $I_{DS}$ em função de $V_{GS}$ sob a influência do aumento da temperatura, ilustrando a região de estado desligado ( <i>off-state</i> ) e a região de estado ligado ( <i>on-state</i> ) de um SOI nMOSFET operando como chave e ilustrando a corrente $I_{OFF}$ .....	122
Figura 3.1 - Imagem do circuito integrado fabricado pela UCL com os DSMs, OSMs e CSMs, utilizados neste trabalho .....	125
Figura 3.2 - Fotos do DSM (a) e do OSM (b) de um dos CIs utilizados neste trabalho .....	126
Figura 3.3 - Foto mostrando o analisador de parâmetros Keithley 4200 SCS e o micro-refrigerador modelo K20 da <i>MMR Technologies</i> disponíveis no laboratório de microeletrônica do Centro Universitário da FEI .....	127

Figura 3.4 - Máscaras utilizadas pela UCL para implementação do estilo de leiature Convencional (a), Diamante (b) e Octogonal (c) em tecnologia SOI .....	130
Figura 3.5 - Gráfico da profundidade máxima da camada depleção em função da temperatura para os transistores utilizado neste estudo, onde é possível observar a temperatura crítica $T_C$ .....	132
Figura 3.6 - Os gráficos de $V_{TH}/V_{TH_{300K}}$ dos SOI MOSFETs do tipo Diamante em função da temperatura para o ângulo $\alpha$ igual a $53,1^\circ$ (a), $90,0^\circ$ (b) e $126,9^\circ$ (c), com seus respectivos CSMs equivalentes .....	135
Figura 3.7 - Os gráficos das correntes de dreno normalizadas pela razão (W/L) do DSM1 ( $\alpha$ igual a $53,1^\circ$ ) e do seu CSM equivalente em função de $V_{DS}$ , com $V_{GT}$ igual a 1V, para as temperaturas de 300 K (a), 323K (b), 373 K (c), 423 K (d), 473 K (e), 523 K (f) e 573 K (g).....	137
Figura 3.8 - Os gráficos das correntes de dreno normalizadas pela razão W/L do DSM2 ( $\alpha$ igual a $90,0^\circ$ ) e OS do seu CSM equivalente em função de $V_{DS}$ , com $V_{GT}$ igual a 1V, para as temperaturas de 300 K (a), 323 K (b), 373 K (c), 423 K (d), 473 K (e), 523 K (f) e 573 K (g) .....	139
Figura 3.9 - Os gráficos das correntes de dreno normalizadas pela razão (W/L) do DSM3 ( $\alpha$ igual a $126,9^\circ$ ) e do seu CSM equivalente em função de $V_{DS}$ , com $V_{GT}$ igual a 1V, para as temperaturas de 300 K (a), 323 K (b), 373 K (c), 423 K (d), 473 K (e), 523 K (f) e 573 K (g) .....	141
Figura 3.10 - Os gráficos das correntes de dreno normalizadas pela razão (W/L) do DSM1 ( $\alpha$ igual $53,1^\circ$ ) e do seu CSM equivalente em função de $V_{GT}$ , com $V_{DS}$ igual a 2,5V, para as temperaturas de 300 K (a), 323 K (b), 373 K (c), 423 K (d), 473 K (e), 523 K (f) e 573 K (g).....	144
Figura 3.11 - Os gráficos das correntes de dreno normalizadas pela razão (W/L) do DSM2 ( $\alpha$ igual a $90,0^\circ$ ) e do seu CSM equivalente em função de $V_{GT}$ , com $V_{DS}$ igual a 2,5V, para temperatura de 300 K (a), 323 K (b), 373 K (c), 423 K (d), 473 K (e), 523 K (f) e 573 K (g).....	146
Figura 3.12 - Os gráficos das correntes de dreno normalizadas pela razão (W/L) do DSM3 ( $\alpha$ igual a $126,9^\circ$ ) e do seu CSM equivalente em função de $V_{GT}$ , com $V_{DS}$ igual a	

2,5V, para temperatura de 300K (a), 323K (b), 373K (c), 423K (d), 473K (e), 523K (f) e 573K (g).....	148
Figura 3.13 - Gráficos de $I_{DS\_SAT}/(W/L)$ dos SOI MOSFETs do tipo Diamante com $\alpha$ igual a $53,1^\circ$ (a), $\alpha$ igual a $90,0^\circ$ (b) e $\alpha$ igual a $126,9^\circ$ (c) e dos seus respectivos CSMs equivalentes em função da temperatura .....	150
Figura 3.14 - Gráfico de $I_{DS\_SAT}/(W/L)$ entre os SOI MOSFETs do tipo Diamante e os seus respectivos CSMs equivalentes em função da temperatura, com diferentes valores do ângulo $\alpha$ .....	153
Figura 3.15 - Gráficos de $I_{LEAK}/(W/L)$ dos SOI MOSFETs do tipo Diamante com $\alpha$ igual a $53,1^\circ$ (a), $\alpha$ igual a $90,0^\circ$ (b) e $\alpha$ igual a $126,9^\circ$ (c) e dos seus respectivos CSMs equivalentes em função da temperatura, para $V_{DS}$ igual 100 mV e 2,5 V, respectivamente.....	154
Figura 3.16 - Os gráficos de $g_m/(W/L)$ dos SOI MOSFETs do tipo Diamante com $\alpha$ igual a $53,1^\circ$ (a), $\alpha$ igual a $90,0^\circ$ (b) e $\alpha$ igual a $126,9^\circ$ (c) e dos seus respectivos CSMs equivalentes em função da temperatura, para $V_{DS}$ igual a 100 mV .....	157
Figura 3.17 - Os gráficos das inclinações de sublimiar (S) dos SOI MOSFETs do tipo Diamante com $\alpha$ igual a $53,1^\circ$ (a), $\alpha$ igual a $90,0^\circ$ (b) e $\alpha$ igual a $126,9^\circ$ (c) e dos seus respectivos CSMs equivalentes em função da temperatura .....	159
Figura 3.18 - Os gráficos das razões $g_m/I_{DS}$ do SOI MOSFET do tipo Diamante com $\alpha$ igual a $53,1^\circ$ (a) e do seu respectivo CSM equivalente (b) em função da temperatura.....	161
Figura 3.19 - Os gráficos das razões de $g_m/I_{DS}$ dos DSMs com $\alpha$ igual a $53,1^\circ$ (a), $\alpha$ igual a $90,0^\circ$ (b) e $\alpha$ igual a $126,9^\circ$ (c), e os seus respectivos CSMs equivalentes em função da temperatura, no regime de inversão fraca.....	162
Figura 3.20 - Os gráficos das razões $g_m/I_{DS}$ dos DSMs com $\alpha$ igual a $53,1^\circ$ (a), $\alpha$ igual a $90,0^\circ$ (b) e $\alpha$ igual a $126,9^\circ$ (c), e os seus respectivos CSMs equivalentes em função da temperatura, no regime de inversão moderada [ $I_{DS}/(W/L)$ igual a 100 nA] .....	164
Figura 3.21 - Os gráficos das razões de $g_m/I_{DS}$ dos DSMs com $\alpha$ igual a $53,1^\circ$ (a), $\alpha$ igual a $90,0^\circ$ (b) e $\alpha$ igual a $126,9^\circ$ (c), e seus respectivos CSMs equivalentes em função da temperatura, no regime de inversão forte [ $I_{DS}/(W/L)$ igual a 20 $\mu$ A].....	166

- Figura 3.22 - Gráficos das tensões Early dos SOI MOSFETs do tipo Diamante para  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus respectivos CSMs equivalentes em função da temperatura, considerando  $V_{GT}$  igual a 2 V ..... 168
- Figura 3.23 - Os gráficos de  $A_V$  dos SOI MOSFETs do tipo Diamante para  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus respectivos CSMs equivalentes em função da temperatura, no regime de inversão fraca ..... 172
- Figura 3.24 - Os gráficos de  $A_V$  dos SOI MOSFETs do tipo Diamante para  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus respectivos CSMs equivalentes em função da temperatura, no regime de inversão moderada [ $I_{DS}/(W/L)$  igual a  $100 \mu A$ ] ..... 174
- Figura 3.25 - Os gráficos de  $A_V$  dos SOI MOSFETs do tipo Diamante para  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus respectivos CSMs equivalentes em função da temperatura, no em regime de inversão forte [ $I_{DS}/(W/L)$  igual a  $20 \mu A$ ] ..... 176
- Figura 3.26 - Os gráficos de  $f_T/(W/L)$  dos SOI MOSFETs do tipo Diamante com  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus CSMs equivalentes em função da temperatura ..... 179
- Figura 3.27 - O gráfico de  $f_T/(W/L)$  dos DSMs, com diferentes valores de ângulo  $\alpha$ , e dos seus respectivos CSMs equivalentes em função da temperatura, considerando  $V_{DS}$  igual a 2,5 V,  $V_{GT}$  igual a 2,5 V e  $C_L$  igual a 1pF ..... 181
- Figura 3.28 - Os gráficos de  $R_{ON}$  dos SOI MOSFETs do tipo Diamante com  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus respectivos CSMs equivalentes em função da temperatura ..... 182
- Figura 3.29 - Os gráficos das correntes  $I_{ON}/(W/L)$  dos SOI MOSFETs do tipo Diamante com  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus respectivos CSMs equivalentes em função da temperatura ..... 184
- Figura 3.30 - Os gráficos das correntes  $I_{OFF}/(W/L)$  dos SOI MOSFETs do tipo Diamante com  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus respectivos CSMs equivalentes em função da temperatura ..... 186

Figura 3.31 - Os gráficos das razões $I_{ON}/I_{OFF}$ dos SOI MOSFETs do tipo Diamante com $\alpha$ igual a $53,1^\circ$ (a), $\alpha$ igual a $90,0^\circ$ (b) e $\alpha$ igual a $126,9^\circ$ (c) e dos seus respectivos CSMs equivalentes em função da temperatura .....	189
Figura 3.32 - Os gráficos de $V_{TH}/V_{TH_{300K}}$ dos SOI MOSFETs do tipo OCTO em função da temperatura para o ângulo $\alpha$ igual a $53,1^\circ$ (a), $90,0^\circ$ (b) e $126,9^\circ$ (c), com seus respectivos SOI MOSFETs do tipo Convencional equivalentes.....	194
Figura 3.33 - Os gráficos das correntes de dreno normalizadas pela razão (W/L) do OSM1 ( $\alpha$ igual a $53,1^\circ$ ) e do seu CSM equivalente, em função de $V_{DS}$ , com $V_{GT}$ igual a 1 V, para as temperaturas de 300 K (a), 323 K (b), 373 K (c), 423 K (d), 473 K (e), 523 K (f) e 573 K (g).....	196
Figura 3.34 - Os gráficos das correntes de dreno normalizadas pela razão (W/L) entre do OSM2 ( $\alpha$ igual a $90,0^\circ$ ) e o seu CSM equivalente, em função de $V_{DS}$ , com $V_{GT}$ igual a 1 V, para as temperaturas de 300 K (a), 323 K (b), 373 K (c), 423 K (d), 473 K (e), 523 K (f) e 573 K (g) .....	198
Figura 3.35 - Os gráficos das correntes de dreno normalizadas pela razão (W/L) do OSM3 ( $\alpha$ igual a $126,9^\circ$ ) e do seu CSM equivalente, em função de $V_{DS}$ , com $V_{GT}$ igual a 1 V, para as temperaturas de 300 K (a), 323 K (b), 373 K (c), 423 K (d), 473 K (e), 523 K (f) e 573 K (g).....	200
Figura 3.36 - Os gráficos das correntes de dreno normalizadas pela razão (W/L) do OSM1 ( $\alpha$ igual a $53,1^\circ$ ) e o seu CSM equivalente, em função de $V_{GT}$ , com $V_{DS}$ igual a 2,5 V, para as temperaturas de 300K (a), 323K (b), 373K (c), 423K (d), 473K (e), 523K (f) e 573K (g).....	203
Figura 3.37 - Os gráficos das correntes de dreno normalizadas pela razão (W/L) do OSM2 ( $\alpha$ igual a $90,0^\circ$ ) e do seu CSM equivalente, em função de $V_{GT}$ , com $V_{DS}$ igual a 2,5 V, para as temperaturas de 300 K (a), 323 K (b), 373 K (c), 423 K (d), 473 K (e), 523 K (f) e 573 K (g).....	205
Figura 3.38 - Os gráficos das correntes de dreno normalizadas pela razão (W/L) do OSM3 ( $\alpha$ igual a $126,9^\circ$ ) e do seu CSM equivalente, em função de $V_{GT}$ , com $V_{DS}$ igual a 2,5 V, para as temperaturas de 300 K (a), 323 K (b), 373 K (c), 423 K (d), 473 K (e), 523 K (f) e 573 K (g) .....	207

Figura 3.39 - Os gráficos de $I_{DS\_SAT}/(W/L)$ dos SOI MOSFETs do tipo OCTO com $\alpha$ igual a $53,1^\circ$ (a), $\alpha$ igual a $90,0^\circ$ (b) e $\alpha$ igual a $126,9^\circ$ (c) e os seus respectivos CSMs equivalentes em função da temperatura .....	209
Figura 3.40 - Gráfico de $I_{DS\_SAT}/(W/L)$ entre os SOI MOSFETs do tipo OCTO e os seus respectivos convencionais equivalentes em função da temperatura, com diferentes valores do ângulo $\alpha$ .....	212
Figura 3.41 - Os gráficos de $I_{LEAK}/(A_{pn})$ dos SOI MOSFETs do tipo OCTO com $\alpha$ igual a $53,1^\circ$ (a), $\alpha$ igual a $90,0^\circ$ (b) e $\alpha$ igual a $126,9^\circ$ (c) e os seus respectivos CSMs equivalentes em função da temperatura, considerando $V_{DS}$ igual a 100 mV e 2,5 V, respectivamente .....	213
Figura 3.42 - As reduções das densidades de linhas do campo elétrico longitudinal à medida que os ângulos $\alpha$ dos OSMs reduzem ( $\alpha_1 > \alpha_2$ ), em comparação ao dos seus respectivos CSMs equivalentes .....	216
Figura 3.43 - Os gráficos de $g_m/(W/L)$ dos SOI MOSFETs do tipo OCTO com $\alpha$ igual a $53,1^\circ$ (a), $\alpha$ igual a $90,0^\circ$ (b) e $\alpha$ igual a $126,9^\circ$ (c) e dos seus respectivos CSMs equivalentes em função da temperatura, para $V_{DS}$ igual a 100 mV .....	217
Figura 3.44 - Os gráficos das inclinações de sublimiar (S) dos SOI MOSFETs do tipo OCTO com $\alpha$ igual a $53,1^\circ$ (a), $\alpha$ igual a $90,0^\circ$ (b) e $\alpha$ igual a $126,9^\circ$ (c) e dos seus respectivos CSMs equivalentes em função da temperatura .....	219
Figura 3.45 - Os gráficos das razões $g_m/I_{DS}$ dos SOI MOSFETs do tipo OCTO com $\alpha$ igual a $53,1^\circ$ (a), $\alpha$ igual a $90,0^\circ$ (b) e $\alpha$ igual a $126,9^\circ$ (c), e os seus respectivos CSMs equivalentes em função da temperatura, no regime de inversão fraca.....	221
Figura 3.46 - Os gráficos das razões $g_m/I_{DS}$ dos SOI MOSFETs do tipo OCTO com $\alpha$ igual a $53,1^\circ$ (a), $\alpha$ igual a $90,0$ (b) e $\alpha$ igual a $126,9^\circ$ (c), e os seus respectivos CSMs equivalentes em função da temperatura, no regime de inversão moderada .....	223
Figura 3.47 - Os gráficos das razões $g_m/I_{DS}$ dos SOI MOSFETs do tipo OCTO com $\alpha$ igual a $53,1^\circ$ (a), $\alpha$ igual a $90,0$ (b) e $\alpha$ igual a $126,9^\circ$ (c), e os seus respectivos CSMs equivalentes em função da temperatura, no regime de inversão forte .....	225
Figura 3.48 - Os gráficos das tensões Early dos SOI MOSFETs do tipo OCTO para $\alpha$ igual a $53,1^\circ$ (a), $\alpha$ igual a $90,0^\circ$ (b) e $\alpha$ igual a $126,9^\circ$ (c) e dos seus respectivos CSMs equivalentes em função da temperatura, considerando $V_{GT}$ igual a 2 V .....	228

Figura 3.49 - Exemplo de um gráfico das correntes de dreno com e sem auto aquecimento de um SOI nMOSFET totalmente depletado .....	230
Figura 3.50 - Os gráficos de $A_V$ do SOI MOSFET do tipo OCTO para $\alpha$ igual a $53,1^\circ$ no regime de inversão fraca (a), moderada (b) e forte (c) e dos seus CSMs equivalentes em função da temperatura .....	233
Figura 3.51 - Os gráficos de $A_V$ do SOI MOSFET do tipo OCTO para $\alpha$ igual a $90,0^\circ$ no regime de inversão fraca (a), moderada (b) e forte (c) e do seu CSM equivalente em função da temperatura .....	235
Figura 3.52 - Os gráficos de $A_V$ do SOI MOSFET do tipo OCTO para $\alpha$ igual a $126,9^\circ$ no regime de inversão fraca (a), moderada (b) e forte (c) e do seu CSM equivalente em função da temperatura .....	237
Figura 3.53 - Os gráficos de $f_T/(W/L)$ para os SOI MOSFETs do tipo OCTO com $\alpha$ igual a $53,1^\circ$ (a), $\alpha$ igual a $90,0^\circ$ (b) e $\alpha$ igual a $126,9^\circ$ (c) e dos seus respectivos CSMs equivalentes em função da temperatura .....	240
Figura 3.54 - Gráfico de $f_T/(W/L)$ dos OSMs (para diferentes ângulos $\alpha$ ) e dos seus respectivos CSMs equivalentes em função da temperatura, considerando $V_{DS}$ igual a 2,5 V, $V_{GT}$ igual a 2,5 V e $C_L$ igual a 1pF.....	242
Figura 3.55 - Os gráficos de $R_{ON}$ dos SOI MOSFETs do tipo OCTO com $\alpha$ igual a $53,1^\circ$ (a), $\alpha$ igual a $90,0^\circ$ (b) e $\alpha$ igual a $126,9^\circ$ (c) e dos seus respectivos CSMs equivalentes em função da temperatura .....	243
Figura 3.56 - Os gráficos de $I_{ON}/(W/L)$ dos SOI MOSFETs do tipo OCTO com $\alpha$ igual a $53,1^\circ$ (a), $\alpha$ igual a $90,0^\circ$ (b) e $\alpha$ igual a $126,9^\circ$ (c) e dos seus respectivos CSMs equivalentes em função da temperatura .....	246
Figura 3.57 - Os gráficos de $I_{OFF}/(W/L)$ dos SOI MOSFETs do tipo OCTO com $\alpha$ igual a $53,1^\circ$ (a), $\alpha$ igual a $90,0^\circ$ (b) e $\alpha$ igual a $126,9^\circ$ (c) e dos seus respectivos CSMs equivalentes em função da temperatura .....	248
Figura 3.58 - Os gráficos das razões $I_{ON}/I_{OFF}$ dos SOI MOSFETs do tipo OCTO com $\alpha$ igual a $53,1^\circ$ (a), $\alpha$ igual a $90,0^\circ$ (b) e $\alpha$ igual a $126,9^\circ$ (c) e dos seus respectivos CSMs equivalentes em função da temperatura .....	250

## LISTA DE ABREVIATURAS E SIGLAS

AM	Modo acumulação ( <i>Accumulation Mode</i> )
As	Arsênio
BiCMOS	CI que possui tanto transistores bipolares quanto transistores MOSFETs
CC-CC	Corrente contínua para corrente contínua
CI	Circuito integrado
CMOS	Metál-óxido-semicondutor-complementar ( <i>Complementary-Metal-Oxide-Semiconductor</i> )
CoSi <sub>2</sub>	Siliceto de Cobalto
CSM	SOI MOSFET do tipo Convencional ( <i>Conventional SOI MOSFET</i> )
DC-DC	Corrente contínua para corrente contínua ( <i>Direct Current-Direct Current</i> )
DRAM	Memória de acesso randômico dinâmica ( <i>Dynamic random-access memory</i> )
DSM	SOI MOSFET do tipo Diamante ( <i>Diamond SOI MOSFET</i> )
ECL	Lógica acoplada pelo emissor ( <i>Emitter-Coupled Logic</i> )
ESD	Descarga eletrostática ( <i>Electrostatic Discharge</i> )
FD	Totalmente depletado ( <i>Fully Depleted</i> )
FinFET	<i>Fin Field-Effect Transistor</i>
Ga	Gálio
GAA	Porta circundante ( <i>Gate All Around</i> )
GaAs	Arseneto de Gálio
Ge	Germânio
GIDL	Corrente de fuga induzida pela porta ( <i>Gate-Induced Drain Leakage</i> )
HGG	Geometria de porta hexagonal ( <i>Hexagonal Gate Geometry</i> )

HTET	Técnicas eletrônicas para altas temperaturas ( <i>High-Temperature Electronic Technique</i> )
IM	Modo inversão ( <i>Inversion Mode</i> )
LCE	Efeitos de canto longitudinal ( <i>Longitudinal Corner Effect</i> )
LDD	Dreno levemente dopado ( <i>Lighty Doped Drain</i> )
LDMOS	Semicondutor de óxido de metal difundido lateralmente ( <i>Laterally Diffused Metal Oxide Semiconductor</i> )
LEF	Campo elétrico longitudinal ( <i>Longitudinal Electric Field</i> )
LSI	Integração em longa escala ( <i>Large Scale Integration</i> )
MAGFETs	Transistores de efeito de campo magnético ( <i>Magnetic Field-Effect Transistors</i> )
MESFET	Transistor de efeito de campo metal semicondutor ( <i>Metal-Semiconductor Field Effect Transistor</i> )
MOS	Metal-Óxido-Semicondutor ( <i>Metal-Óxido-Semiconductor</i> )
MOSFET	Transistor de efeito de campo metal óxido semicondutor ( <i>Metal-Óxido-Semiconductor Field Effect Transistor</i> )
NFD	Quase totalmente depletado ( <i>Near-fully depleted</i> )
NMOS	Metal-Óxido-Semicondutor do tipo n ( <i>Metal-Óxido-Semiconductor type n</i> )
nMOSFET	MOSFET do tipo n
OGG	Geometria de porta octogonal ( <i>Octogonal Gate Geometry</i> )
OSM	SOI MOSFET do tipo OCTO ( <i>OCTO SOI MOSFET</i> )
PAMDLE	Efeito de associação paralela de SOI MOSFETs com diferentes comprimentos de canal ( <i>PARallel Conection of Different Channel Lenghts Effect</i> )
Pb	Chumbo
PbS	Sulfeto de chumbo

PD	Parcialmente depletado ( <i>Partially Depleted</i> )
RF	Rádio frequência
SCE	Efeitos de canal curto ( <i>Short Channel Effects</i> )
Si	Silício
SiC	Carboneto de Silício
SIMOX	Íons de oxigênio implantados ionicamente ( <i>Separation by Implanted Oxygen</i> )
SiO <sub>2</sub>	Óxido de Silício
SOI	Silício sobre isolante ( <i>Silicon-On-Insulator</i> )
SOS	Silício sobre safira ( <i>Silicon-On-Sapphire</i> )
TiSi <sub>2</sub>	Siliceto de Titânio
TTL	Lógica transistor-transistor ( <i>Transistor-Transistor Logic</i> )
UCL	Universidade católica de Louvain ( <i>Université Catholique de Louvain</i> )
VLSI	Integração em escala muito ampla ( <i>Very Large Scale Integration</i> )

## LISTA DE SÍMBOLOS

a	Aceleração dada ao portador em virtude do campo elétrico longitudinal [ $\text{m/s}^2$ ]
A	Seção da área do semiconductor [ $\mu\text{m}^2$ ]
$A_G$	Área de porta do MOSFET [ $\mu\text{m}^2$ ]
$A_{pn}$	Área da junção pn da interface dreno/canal [ $\mu\text{m}^2$ ]
$A_V$	Ganho de tensão intrínseco [dB]
B	Maior comprimento de canal pertinente a geometria octogonal e hexagonal [ $\mu\text{m}$ ]
b	Menor comprimento de canal pertinente a geometria octogonal e hexagonal [ $\mu\text{m}$ ]
$B'$	Altura da parte triangular da geometria hexagonal [ $\mu\text{m}$ ]
$BV_{DS}$	Tensão de ruptura de dreno [V]
c	Fator de corte do OSM [%]
$C_b$	Capacitância entre a camada de inversão fraca do canal e a segunda porta do SOI MOSFET por unidade de área [ $\text{F/cm}^2$ ]
$C_{depl}$	Capacitância de depleção por unidade de área [ $\text{F/cm}^2$ ]
$C_L$	Capacitor de carga [F]
$C_{OX1}$	Capacitância do óxido da 1ª interface, ou do óxido de porta por unidade de área [ $\text{F/cm}^2$ ]
$C_{OX2}$	Capacitância do óxido enterrado por unidade de área [ $\text{F/cm}^2$ ]
$C_{Si}$	Capacitância da camada de silício por unidade de área por unidade de área [ $\text{F/cm}^2$ ]
$D_n$	Coefficiente de difusão do elétron [ $\text{cm}^2/\text{s}$ ]
$e^-$	Elétron

$E$	Energia [eV]
$E_a$	Nível de Fermi das impurezas aceitadoras [eV]
$E_C$	Nível de energia de banda de condução [eV]
$E_d$	Nível de Fermi das impurezas doadoras [eV]
$E_F$	Nível de Fermi [eV]
$E_{Fn}$	Nível de Fermi do material tipo n [eV]
$E_{Fp}$	Nível de Fermi do material tipo p [eV]
$E_G$	Nível de energia da banda proibida ( <i>Bandgap</i> ) [eV]
$E_i$	Nível de energia intrínseco [eV]
$E_K$	Energia cinética média dos portadores móveis de carga [eV]
$E_V$	Nível de energia de banda de valência [eV]
$f(E)$	Função de Fermi-Dirac
$f_0$	Frequência de corte [Hz]
$f_T$	Frequência de ganho de tensão unitário [Hz]
$G$	Taxa de geração de pares elétron-lacuna proveniente do efeito de ionização por impacto [ $\text{cm}^{-3}/\text{s}$ ]
$g_D$	Condutância de saída de um MOSFET [S]
$g_{D\_SAT}$	Condutância de saída de um MOSFET na região de saturação [S]
$G_{LCE}$	Ganho proporcionado pelo efeito LCE na estrutura DSM e OSM
$gm$	Transcondutância [S]
$gm/I_{DS}$	Razão entre a transcondutância e a corrente de dreno [ $\text{V}^{-1}$ ]
$gm_{max}$	Transcondutância máxima [S]
$G_{PAMDLE}$	Ganho proporcionado pelo efeito PAMDLE na estrutura DSM e OSM

$h^+$	lacuna
$I$	Corrente elétrica [A]
$I_{bias}$	Corrente de polarização de uma fonte de corrente constante [A]
$I_{DS}$	Corrente entre dreno e fonte de um MOSFET [A]
$I_{DS,acc2}$	Corrente entre dreno e fonte na região de triodo de um FDSOI na situação de acumulação desde a fonte até o dreno na 2 <sup>a</sup> interface [A]
$I_{DS,AS+DD}$	Corrente entre dreno e fonte na região de triodo de um FDSOI na situação de acumulação próximo à fonte e depleção próximo ao dreno na 2 <sup>a</sup> interface [A]
$I_{DS,depl2}$	Corrente entre dreno e fonte na região de triodo de um FDSOI na situação de depleção desde a fonte até o dreno na 2 <sup>a</sup> interface [A]
$I_{DS}/(W/L)$	Corrente entre dreno e fonte normalizada pela razão de aspecto [A]
$I_{DS\_CSM}$	Corrente entre dreno e fonte do CSM [A]
$I_{DS\_DSM}$	Corrente entre dreno e fonte do DSM [A]
$I_{DS\_OSM}$	Corrente entre dreno e fonte do OSM [A]
$I_{DS\_SAT}$	Corrente entre dreno e fonte na região de saturação de um MOSFET [A]
$I_{DS\_SAT,acc2}$	Corrente entre dreno e fonte na região de saturação de um FDSOI na situação de acumulação desde a fonte até o dreno na 2 <sup>a</sup> interface [A]
$I_{DS\_SAT,AS+DD}$	Corrente entre dreno e fonte na região de saturação de um FDSOI situação de acumulação próximo à fonte e depleção próximo ao dreno na 2 <sup>a</sup> interface [A]
$I_{DS\_SAT,depl2}$	Corrente entre dreno e fonte na região de saturação de um FDSOI na situação de depleção desde a fonte até o dreno na 2 <sup>a</sup> interface [A]
$I_{ger}$	Corrente de geração na região de depleção da junção de dreno, que está reversamente polarizada [A]
$I_{LEAK}$	Corrente de fuga de dreno [A]
$I_{OFF}$	Corrente de dreno estado desligado [A]

$I_{ON}$	Corrente de dreno estado ligado [A]
$J_n$	Densidade de corrente de elétrons [ $A/cm^2$ ]
$J_p$	Densidade de corrente de elétrons [ $A/cm^2$ ]
$k$	Constante de Boltzmann [ $1,38066 \times 10^{-23}$ J/K]
$K$	Kelvin [K]
$kT$	Energia térmica [eV]
$L$	Comprimento de canal [ $\mu m$ ]
$L_{ef}$	Comprimento efetivo do canal [ $\mu m$ ]
$L_{ef\_DSM}$	Comprimento de canal efetivo do DSM [ $\mu m$ ]
$L_{ef\_OSM}$	Comprimento de canal efetivo do OSM [ $\mu m$ ]
$L_{EQ}$	Comprimento de canal equivalente do OSM [ $\mu m$ ]
$L_i$	$i$ -ésimo comprimentos do canal [ $\mu m$ ]
$m^*$	Massa efetiva do portador de carga [kg]
$m_0$	Massa do elétron em repouso [ $9,11 \times 10^{-31}$ kg]
$M_C$	Número de mínimos equivalente na banda de condução
$m_n^*$	Massa efetiva da densidades de estados para os elétrons [Kg]
$m_p^*$	Massa efetiva da densidades de estados para as lacunas [Kg]
$n$	Concentração de elétrons [ $cm^{-3}$ ]
$N(E)$	Função de distribuição de estados no intervalo de energia $dE$
$n'$	Fator de corpo do transistor
$N_A$	Concentração das impurezas aceitadoras num semiconductor [ $cm^{-3}$ ]
$N_A^-$	Densidade de impurezas aceitadoras ionizadas num semiconductor [ $cm^{-3}$ ]
$N_C$	Densidade efetiva de estados na banda de condução [ $cm^{-3}$ ]

$N_D$	Concentração de impurezas doadoras num semiconductor [ $\text{cm}^{-3}$ ]
$N_D^+$	Densidade de impurezas doadoras ionizadas num semiconductor [ $\text{cm}^{-3}$ ]
$n_i$	Concentração de portadores intrínsecos num semiconductor [ $\text{cm}^{-3}$ ]
$n_n$	Concentração de elétrons no semiconductor tipo n [ $\text{cm}^{-3}$ ]
$n_p$	Concentração de elétrons no semiconductor tipo p [ $\text{cm}^{-3}$ ]
$N_V$	Densidade efetiva de estados na banda de valência
$P$	Pressão [ $\text{N/m}^2$ ]
$p$	Concentração de lacunas [ $\text{cm}^{-3}$ ]
$p_i$	Concentração de lacunas em um semiconductor intrínseco [ $\text{cm}^{-3}$ ]
$p_n$	Concentração de elétrons no semiconductor tipo p [ $\text{cm}^{-3}$ ]
$p_p$	Concentração de lacunas no semiconductor tipo p [ $\text{cm}^{-3}$ ]
$q$	Carga elementar do elétron [ $1,6 \times 10^{-19} \text{ C}$ ]
$Q_b$	Carga no filme de silício por unidade de área [ $\text{C/cm}^2$ ]
$Q_{\text{depl}}$	Carga de depleção na camada de silício por unidade de área [ $\text{C/cm}^2$ ]
$Q_{\text{OX}}$	Densidade de carga fixa no óxido de porta por unidade de área [ $\text{C/cm}^2$ ]
$Q_{S2}$	Carga presente na segunda interface por unidade de área [ $\text{C/cm}^2$ ]
$R_{\text{ON}}$	Resistência de dreno de estado ligado [ $\Omega$ ]
$S$	Inclinação de Sublimiar [ $\text{mV/dec}$ ]
$T$	Temperatura absoluta [ $\text{K}$ ]
$t$	Tempo [ $\text{s}$ ]
$t_{\text{BOX}}$	Espessura do óxido enterrado do DSM e do OSM [ $\mu\text{m}$ ]
$T_C$	Temperatura crítica [ $\text{K}$ ]
$t_{\text{OX1}}$	Espessura do óxido de porta [ $\mu\text{m}$ ]

$t_{OX2}$	Espessura do óxido enterrado [ $\mu\text{m}$ ]
$t_{Si}$	Espessura do filme de silício [ $\mu\text{m}$ ]
$v(t)$	Velocidade [ $\text{cm/s}$ ]
$v_{//}$	Velocidade média de deriva dos portadores móveis de carga no silício [ $\text{cm/s}$ ]
$V_D$	Tensão de dreno [V]
$V_{DD}$	Tensão da fonte de alimentação [V]
$v_{ds}$	Parcela alternada de $V_{DS}$ [V]
$V_{DS}$	Tensão entre dreno e fonte [V]
$V_{DS\_SAT}$	Tensão entre dreno e fonte de saturação [V]
$V_{EA}$	Tensão Early [V]
$V_{G1}$	Tensão da primeira porta de um SOI MOSFET [V]
$V_{G2}$	Tensão da segunda porta de um SOI MOSFET [V]
$V_{G2,acc}$	Tensão da segunda porta em acumulação de um SOI MOSFET [V]
$V_{G2,inv}$	Tensão da segunda porta em inversão de um SOI MOSFET [V]
$V_{GB}$	Tensão entre porta e substrato [V]
$v_{gs}$	Parcela da corrente alternada de $V_{GS}$ [V]
$V_{GS}$	Tensão entre porta e fonte [V]
$V_{GT}$	Sobretensão de porta [V]
$V_{IN}$	Tensão de entrada [V]
$v_n$	Velocidade média de deriva dos elétrons [ $\text{cm/s}$ ]
$V_{OUT}$	Tensão de saída [V]
$v_p$	Velocidade média de deriva das lacunas [ $\text{cm/s}$ ]
$V_S$	Tensão de fonte [V]

$v_{ter}$	Velocidade térmica dos portadores [cm/s]
$V_{TH}$	Tensão de limiar [V]
$V_{TH,300K}$	Tensão de limiar na temperatura ambiente[V]
$V_{TH1,acc2}$	Tensão de limiar da 1ª interface com a 2ª interface em acumulação [V]
$V_{TH1,depl2}$	Tensão de limiar da 1ª interface com a 2ª interface em depleção [V]
$W$	Largura de canal [ $\mu\text{m}$ ]
$W/L$	Razão de aspecto
$W'$	Largura de canal infinitesimal do DSM e do OSM [ $\mu\text{m}$ ]
$W_D$	Largura da região de depleção [ $\mu\text{m}$ ]
$W_R$	Largura do canal da parte retangular que compõem a geometria octogonal do OSM [ $\mu\text{m}$ ]
$W_T$	Largura do canal da parte trapezoidal que compõem a geometria octogonal do OSM [ $\mu\text{m}$ ]
$X$	Comprimento da região de dreno/fonte [ $\mu\text{m}$ ]
$x_{dmax}$	Profundidade máxima da região de depleção [ $\mu\text{m}$ ]
$\alpha'$	Parâmetro resultante da associação das capacitâncias do transistor MOSFET
$\alpha_n$	Taxa de ionização do elétron definida como um número de pares elétron-lacuna gerado pelos elétrons por unidade de distância percorrida [ $\text{cm}^{-1}$ ]
$\alpha_p$	Taxa de ionização da lacuna definida como um número de pares elétron-lacuna gerado pelas lacunas por unidade de distância percorrida [ $\text{cm}^{-1}$ ]
$\Delta L$	Variação do comprimento de canal devido ao aumento de $V_{DS}$ [ $\mu\text{m}$ ]
$\Delta V_{IN}$	Variação da tensão de entrada de um amplificador SOI MOSFET
$\Delta V_{OUT}$	Variação da tensão de saída de um amplificador SOI MOSFET
$\varepsilon$	Campo elétrico [V/cm]

$\epsilon_{//}$	Campo elétrico longitudinal [V/cm]
$\epsilon_{//\_CSM}$	Resultante do campo elétrico longitudinal na estrutura CSM [V/cm]
$\epsilon_{//\_DSM}$	Resultante do campo elétrico longitudinal na estrutura DSM [V/cm]
$\epsilon_{//\_OSM}$	Resultante do campo elétrico longitudinal na estrutura OSM [V/cm]
$\epsilon_{OX1}$	Permissividade do óxido da primeira porta [F/cm]
$\epsilon_{OX2}$	Permissividade do óxido da segunda porta [F/cm]
$\epsilon_{Si}$	Permissividade do silício [ $1,06 \times 10^{-12}$ F/cm]
$\lambda$	Parâmetro que considera o efeito de modulação do comprimento de canal devido à tensão aplicada ao dreno [ $V^{-1}$ ]
$\mu$	Mobilidade de portadores móveis [ $cm^2/V.s$ ]
$\mu_{imp}$	Mobilidade dos portadores de carga devido as impurezas [ $cm^2/V.s$ ]
$\mu_n$	Mobilidade efetiva dos elétrons na região do canal [ $cm^2/V.s$ ]
$\mu_p$	Mobilidade efetiva das lacunas na região do canal [ $cm^2/V.s$ ]
$\mu_{ter}$	Mobilidade dos portadores móveis devido aos efeitos térmicos [ $cm^2/V.s$ ]
$\mu_0$	Mobilidade de baixo campo [ $cm^2/V.s$ ]
$\tau_C$	Tempo médio entre as colisões dos portadores moveis de carga [s]
$\tau_e$	Tempo de vida relativo ao processo de geração térmica de portadores de carga na região de depleção [s]
$\tau_g$	Tempo de vida médio dos portadores móveis de carga [s]
$\tau_{imp}$	Tempo de colisões entre os portadores móveis de carga devido às impurezas [s]
$\tau_n$	Tempo de vida de um elétron no Si neutro tipo p [s]
$\tau_p$	Tempo de vida de uma lacuna no Si neutro tipo n [s]
$\tau_{rn}$	Tempo de recombinação dos elétrons [s]

$\tau_{\text{ter}}$	Frequência térmica de colisões [s]
$\varphi(x,T)$	Função de distribuição do potencial na espessura da camada de Si não depletada [V]
$\Phi_F$	Potencial de Fermi [V]
$\Phi_{Fn}$	Potencial de Fermi para o semicondutor tipo n [V]
$\Phi_{Fp}$	Potencial de Fermi para o semicondutor tipo p [V]
$\Phi_{MS}$	Diferença da função trabalho entre o eletrodo de porta e silício [V]
$\Phi_S$	Potencial de superfície [V]
$\Phi_{s1}$	Potencial de superfície da 1ª interface [V]
$\Phi_{s2}$	Potencial de superfície da 2ª interface [V]

## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO</b> .....	<b>38</b>
1.1	OBJETIVOS .....	44
1.2	ESTRUTURA DO TRABALHO .....	45
<b>2</b>	<b>CONCEITOS FUNDAMENTAIS</b> .....	<b>47</b>
2.1	TECNOLOGIA SOI.....	47
<b>2.1.1</b>	<b>Classificação dos SOI MOSFETs</b> .....	<b>49</b>
<b>2.1.2</b>	<b>A corrente de dreno do SOI MOSFET do tipo n</b> .....	<b>53</b>
2.2	O SOI MOSFET DO TIPO DIAMANTE .....	57
<b>2.2.1</b>	<b>A estrutura do DSM</b> .....	<b>57</b>
<b>2.2.2</b>	<b>Modelagem analítica de primeira ordem de <math>I_{DS}</math> do DSM, considerando-se o efeito LCE</b> .....	<b>61</b>
<b>2.2.3</b>	<b>Modelagem analítica de primeira ordem de <math>I_{DS}</math> do DSM, considerando-se também o efeito da associação paralela de SOI MOSFETs de diferentes comprimentos de canal</b> .....	<b>64</b>
2.3	O SOI MOSFET DO TIPO OCTOGONAL.....	66
<b>2.3.1</b>	<b>A estrutura do OSM</b> .....	<b>66</b>
2.4	INFLUÊNCIA DO ALTO CAMPO ELÉTRICO LONGITUDINAL NO SEMICONDUTOR .....	73
<b>2.4.1</b>	<b>Velocidade de deriva dos portadores móveis de carga</b> .....	<b>73</b>
<b>2.4.2</b>	<b>Efeito de ionização por impacto</b> .....	<b>75</b>
2.5	INFLUÊNCIA DO AUMENTO DA TEMPERATURA NAS PROPRIEDADES ELÉTRICAS DOS SEMICONDUTORES .....	77

2.5.1	Banda proibida ( $E_G$ ).....	77
2.5.2	Concentração intrínseca de portadores.....	78
2.5.3	Concentração de portadores livres em função da temperatura para o Si intrínseco e extrínseco .....	80
2.5.4	Variação do nível de Fermi com a temperatura e dopagem.....	83
2.5.5	Mobilidade.....	86
2.6	PARÂMETROS ELÉTRICOS ANALÓGICOS E DIGITAIS DA TECNOLOGIA SOI MOSFET CONSIDERANDO A INFLUÊNCIA DO AUMENTO DA TEMPERATURA....	89
2.6.1	Tensão de limiar .....	90
2.6.2	Corrente de dreno no SOI nMOSFET .....	92
2.6.3	Corrente de fuga de dreno .....	97
2.6.4	Transcondutância .....	103
2.6.5	Inclinação de sublimiar .....	105
2.6.6	Razão $g_m/I_{DS}$ .....	109
2.6.7	Tensão Early .....	112
2.6.8	Ganho de tensão intrínseco .....	114
2.6.9	Frequência de ganho de tensão unitário.....	116
2.6.10	Resistência de dreno de estado ligado.....	118
2.6.11	Corrente de dreno estado ligado .....	119
2.6.12	Corrente de dreno estado desligado.....	121
2.6.13	Razão $I_{ON}/I_{OFF}$ .....	122
3	RESUTADOS EXPERIMENTAIS.....	124

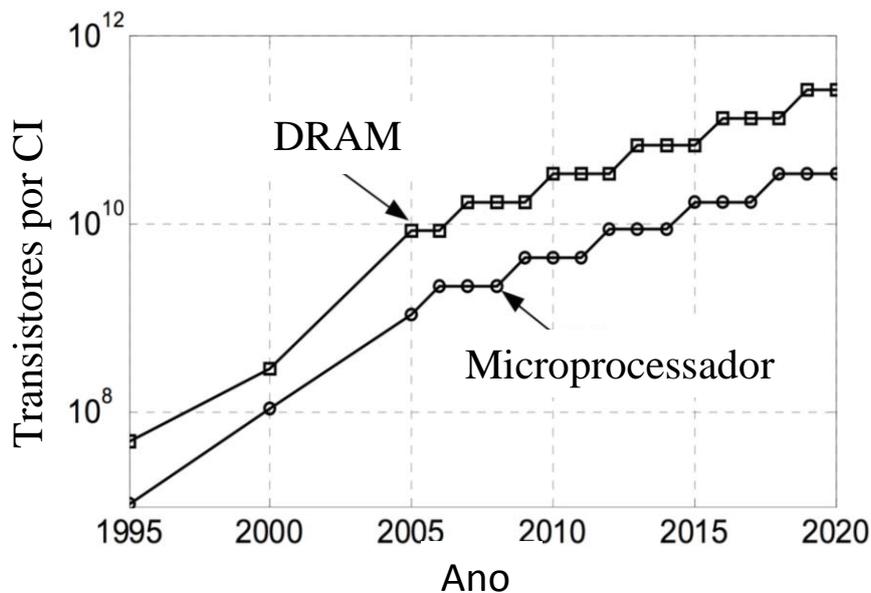
3.1	TRANSISTORES UTILIZADOS E MÉTODO DE CARACTERIZAÇÃO ELÉTRICA UTILIZADO.....	124
3.1.1	Características de fabricação de CIs SOI CMOS da UCL.....	127
3.1.2	Temperatura crítica nos SOI MOSFETs .....	130
3.2	COMPARATIVO EXPERIMENTAL ENTRE OS SOI MOSFETs DO TIPO DIAMANTE E OS SEUS RESPECTIVOS CONVENCIONAIS SOI MOSFETs EQUIVALENTES .....	133
3.2.1	Tensão de limiar .....	134
3.2.2	Corrente $I_{DS}$ em função de $V_{GT}$ e $V_{DS}$ .....	136
3.2.3	Corrente de saturação de dreno .....	150
3.2.4	Corrente de fuga de dreno .....	153
3.2.5	Transcondutância .....	156
3.2.6	Inclinação de sublimiar .....	158
3.2.7	Razão $g_m/I_{DS}$ .....	160
3.2.8	Tensão Early .....	168
3.2.9	Ganho de tensão intrínseco .....	171
3.2.10	Frequência de ganho de tensão unitário.....	177
3.2.11	Resistência de dreno de estado ligado.....	181
3.2.12	Corrente de dreno de estado ligado .....	184
3.2.13	Corrente de dreno de estado desligado.....	186
3.2.14	Razão $I_{ON}/I_{OFF}$ .....	188
3.3	COMPARATIVO EXPERIMENTAL ENTRE OS SOI MOSFETs DO TIPO OCTO E OS SEUS RESPECTIVOS CONVENCIONAIS SOI MOSFETs EQUIVALENTES .....	191

3.3.1	Tensão de limiar .....	193
3.3.2	Corrente $I_{DS}$ em função de $V_{GT}$ e $V_{DS}$ .....	195
3.3.3	Corrente de saturação de dreno .....	209
3.3.4	Corrente de fuga de dreno .....	212
3.3.5	Transcondutância .....	216
3.3.6	Inclinação de sublimiar .....	219
3.3.7	Razão $g_m/I_{DS}$ .....	221
3.3.8	Tensão Early .....	227
3.3.9	Ganho de tensão intrínseco .....	233
3.3.10	Frequência de ganho de tensão unitário.....	239
3.3.11	Resistência de dreno de estado ligado.....	243
3.3.12	Corrente de dreno de estado ligado .....	245
3.3.13	Corrente de dreno de estado desligado.....	247
3.3.14	Razão $I_{ON}/I_{OFF}$ .....	250
3.4	TABELA COMPARATIVA GERAL DOS PARÂMETROS DOS SOI MOSFETs .	252
4	CONCLUSÃO E TRABALHOS FUTUROS .....	255
5	PUBLICAÇÕES .....	258
	REFERÊNCIAS .....	259

## 1 INTRODUÇÃO

O presidente da Intel, Gordon E. Moore, em 1965, na revista *Electronic Magazine* apresentou uma teoria ou previsão sobre a densidade de transistores em circuitos integrados (CIs) ao longo de futuras décadas. Ele observou que a cada três anos, o número de transistores em cada CI quadruplicaria (MOORE, 1965). Essa previsão se tornou conhecida como a Lei de Moore e têm sido notavelmente seguida pela indústria de semicondutores nos últimos 40 anos. A Figura 1.1 ilustra o gráfico dos números de transistores por CI nos microprocessadores e memórias de acesso randômico dinâmica (*Dynamic random-access memory* - DRAM), ao longo do tempo, ou seja, a Lei de Moore (1995-2020) (MACK, 2015); (COLINGE, 2008); (CAVIN; LUGLI; ZHIRNOV, 2012); (CHIEN; KARAMCHETI, 2013).

Figura 1.1 - A Lei de Moore



Fonte: Autor “adaptado de” Colinge, 2008, p. 2

No início a Lei de Moore não passava apenas de uma observação, mas a indústria de semicondutores e circuitos integrados a tornou como um objetivo, fazendo as mesmas dispensarem muitos recursos para poderem alcançar as previsões de Moore. Ela é uma Lei muito importante para o desenvolvimento tão acelerado da microeletrônica, onde trouxe a redução nos custos de fabricação, proporcionando que as novas tecnologias estejam acessíveis a um número cada vez maior de consumidores. Uma das alternativas encontradas para acompanhar essa evolução, ou a mais significativa, foi o uso, a partir da década de 60, da utilização do transistor de efeito de campo do tipo Metal-Óxido-Semicondutor (MOS),

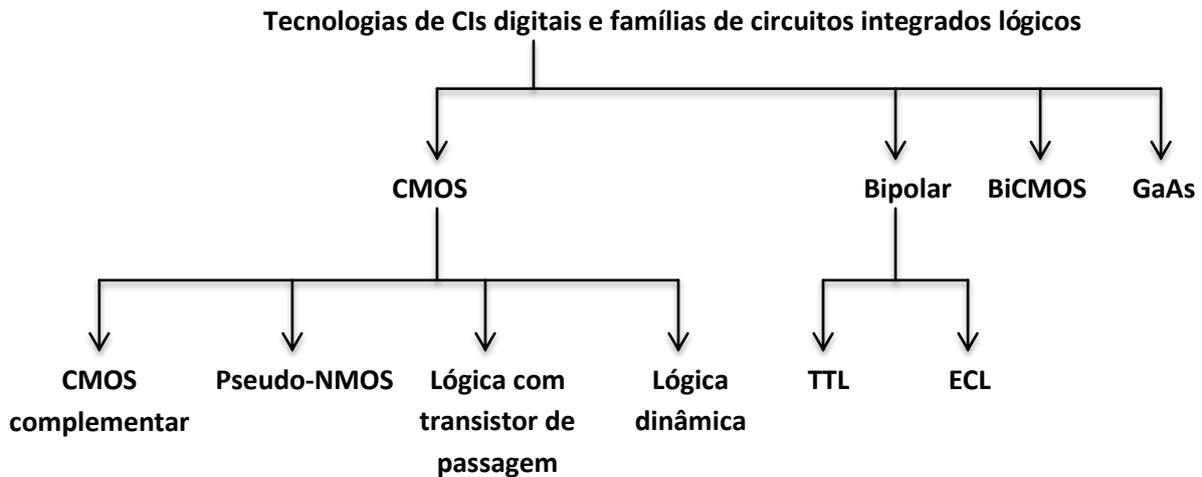
também conhecido como transistor de efeito de campo metal óxido semiconductor (*MOS Field Effect Transistor*, MOSFET), que tinha sido concebido inicialmente por Lilienfeld em 1926, no qual não existiam recursos tecnológicos suficientes e adequados, na época, para a sua fabricação (KAHNG; ATALLA, 1960).

A partir da década de 70, circuitos integrados MOSFET ou circuitos integrados de tecnologia Metal-Óxido-Semicondutor-Complementar (*Complementary-Metal-Oxide-Semiconductor*, CMOS) começaram a estarem disponíveis como “pacotes padrões” para o uso no projeto de sistemas digitais convencionais (SEDRA; SMITH, 2011).

E já no final da década de 70, deu-se início a era da integração em longa escala e da integração em escala muito ampla (centenas a centenas de milhares de transistores por CI; LSI e VLSI – *Large Scale Integration* e *Very Large Scale Integration*) tanto para CIs digitais quanto para CIs analógicos (SEDRA; SMITH, 2011).

Desde então, a tecnologia CMOS tem sido amplamente estudada. Graças ao avanço da tecnologia de fabricação, as dimensões diminuíram para valores abaixo de 60 nm, pois a facilidade de fabricação e a baixa dissipação de potência dos MOSFETs admitem um nível de integração extremamente alto, tanto para CIs lógicos como para memórias (SEDRA; SMITH, 2011). A Figura 1.2 mostra as principais tecnologias de fabricação de circuitos integrados e famílias de circuitos integrados lógicos que estão atualmente em uso, como por exemplo, o pseudo MOS tipo n (Pseudo-NMOS), a lógica transistor-transistor (*Transistor-Transistor Logic*, TTL), a lógica acoplada pelo emissor (*Emitter-Coupled Logic*, ECL), CIs que possui tanto transistores bipolares quanto transistores MOSFETs (BiCMOS) e o uso do arseneto de gálio (GaAs) (SEDRA; SMITH, 2011).

Figura 1.2 - Tecnologia de circuitos integrados (CIs) digitais e famílias de circuitos integrados lógicos



Fonte: Autor “adaptado de” Sedra, 2007, p. 588

No entanto, o processo de fabricação do MOSFET na tecnologia convencional (*Bulk CMOS*) foi ficando cada vez mais complexo, devido aos efeitos indesejados, tais como o efeito do tiristor parasitário (*Latch-up*) para a tecnologia CMOS, o efeito de perfuração MOS (*Punchthrough*), o aumento na resistência série e o efeito da perfuração de junções rasas (*Spikes*) (COLINGE, 2004); (EL-MANSY, 1982).

Com o objetivo de se eliminar ou minimizar estes efeitos indesejáveis, foram desenvolvidas novas etapas de processo ou estruturas de transistores, tais como o dreno levemente dopado (*Lightly Doped Drain, LDD*), cavidades gêmeas e tecnologias alternativas como o silício sobre safira (*Silicon-On-Sapphire, SOS*), que consiste na fabricação dos transistores em uma camada de silício sobre uma camada de safira. A tecnologia silício (Si) sobre isolante (*Silicon-On-Insulator, SOI*) utiliza óxido de silício como isolante e é a sucessora da tecnologia SOS, tendo como vantagens a facilidade de processamento e o baixo custo de fabricação da lâmina (COLINGE, 2004); (SONNENBERG; NICOLETT, 2003).

Constantes estudos são realizados referentes aos transistores com a tecnologia SOI, destacando cada vez mais os seus benefícios em relação aos MOSFETs convencionais (*Bulk*), tornando-se inevitável sua substituição pela tecnologia SOI, pelas seguintes vantagens [no caso do SOI MOSFET de camada fina operando totalmente depletado (*Fully Depleted - FD*)]: total supressão do efeito tiristor parasitário, menor inclinação de sublimiar (aproximadamente 60 mV/dec), maior mobilidade dos portadores móveis de carga, maior integração para circuitos integrados VLSI, menores capacitâncias parasitárias, entre outras. Estas melhores características com relação à tecnologia CMOS convencional (*Bulk*), permitiram à tecnologia

SOI MOSFET as aplicações em baixa tensão (*Low Voltage*) e baixa potência (*Low Power*) (SONNENBERG; NICOLETT, 2003).

Além dos já citados exemplos da superioridade da tecnologia SOI CMOS em relação ao *Bulk* CMOS, vale ressaltar que este tipo de transistor pode prover um aumento de 20% a 25% da velocidade dos microprocessadores e pode atingir marcas de 40% a 50% de redução no consumo de energia, quando comparado à tecnologia *Bulk* CMOS (CULURCIELLO, 2010).

Mas, a evolução tecnológica exige componentes eletrônicos cada vez mais eficientes e imunes aos efeitos da redução dimensional, inclusive, com condições de reproduzir os sinais analógicos e digitais com maior fidelidade. Com isso, os transistores tridimensionais são uma alternativa para driblar os efeitos de canal curto (*short channel effects* – SCE) e aumentar a corrente elétrica fornecida pelo transistor (COLINGE, 2008). Novos transistores foram desenvolvidos com diferentes conceitos, arranjos e técnicas de leiaute. Inevitavelmente, algumas topologias propostas são ainda extremamente difíceis de serem fabricadas com precisão, como a topologia de porta circundante (*Gate All Around* – GAA) (SHIN, 2011), que acaba ocasionando o aumento na área de silício e nas capacitâncias parasitas, culminando com um remanejamento de um processo já consolidado para atender as novas necessidades dimensionais e de desempenho elétrico, principalmente devido à utilização de outros materiais tanto para a isolamento de porta como na concepção das diferentes regiões do transistor (COLINGE, 2007).

Outra forma de aumentar o desempenho dos transistores é através do estudo de novos estilos de leiaute, utilizando-se o atual processo de fabricação CMOS, tendo como objetivo de alterar o formato das junções entre dreno/canal e canal/fonte (engenharia de junção dreno/canal e canal/fonte) para usar o efeito de canto na direção longitudinal do canal (*Longitudinal Corner Effect*, LCE), a fim de aumentar o campo elétrico longitudinal (*Longitudinal Electric Field*, LEF) ao longo do canal ( $\epsilon_{//}$ ) e conseqüentemente aumentar a velocidade média dos portadores móveis do canal ( $v_{//}$ ), que acarreta no aumento da corrente entre dreno e fonte ( $I_{DS}$ ), quando comparado ao MOSFET convencional equivalente (*Bulk*), ou seja, considerando a mesma área de porta ( $A_G$ ) e o mesmo fator geométrico ( $W/L$ , onde  $W$  e  $L$  são a largura e o comprimento do canal, respectivamente) (GIMENEZ, 2010).

Mas há um fator externo muito importante que altera as características de um semicondutor, que não pode ser negligenciado, é a temperatura do ambiente em que o sistema eletrônico estiver operando, seja ela abaixo da temperatura ambiente de 300 K (27°C), ou muito acima disso. Hoje em dia, é possível fabricar dispositivos semicondutores e CIs em escala comercial usando a tecnologia CMOS (*Bulk*) que possam operar em temperaturas até

no máximo de 398 K (125 °C) com grande confiabilidade. Mas um número elevado destes CIs deve operar além desse limite de temperatura, como por exemplo, aqueles usados em áreas militares, na indústria automotiva, na indústria de aviões, entre outras (COLINGE, 2004).

Com isso, a pesquisa e desenvolvimento de sistemas eletrônicos que operam em ambientes com altas temperaturas, aliado a redução do consumo de energia, é um grande desafio para a indústria de semicondutores e circuitos integrados. Porque, o uso desses sistemas eletrônicos pode ser estendido para as mais variadas áreas da engenharia, como: a indústria espacial, a indústria automotiva e de trens, a indústria de aviões e navios militares ou civis, etc, onde estas condições de operação são normais (MCCLUSKEY; GRZYBOWSKI; PODLESIAK, 1997).

Várias técnicas são usadas a fim de melhorar o desempenho dos sistemas eletrônicos operando em altas temperaturas, tal como o uso da tecnologia GAA em CIs digitais, que apesar do difícil processo de fabricação, tem a capacidade de manter a camada de Si totalmente depletado em temperaturas extremamente altas, devido a sua estrutura de porta dupla. Além disso, é uma tecnologia alternativa e promissora para aplicações em ambientes radioativos (VANDOOREN; COLINGE; FLANDRE, 1999).

Uma tecnologia muito utilizada nos dias de hoje é o uso de FinFETs (*Fin Field-Effect Transistor*) construídos em lâminas de silício sobre isolante (SOI), onde esse dispositivo apresenta ótimo desempenho tanto em altas temperaturas quanto em temperatura ambiente para circuitos integrados CMOS (DIAB; SEVILLA *et al.*, 2014); (OLIVEIRA; AGOPIAN *et al.*, 2015).

Para temperaturas acima de 573 K (300 °C) recomenda-se o uso do carboneto de silício (SiC) nas pastilhas, pelo fato de apresentar uma grande largura da banda proibida quando operando em temperaturas extremamente altas. Além disso, o SiC é capaz de reduzir a corrente de fuga de dreno ( $I_{LEAK}$ ) nos MOSFETs (MCCLUSKEY; GRZYBOWSKI; PODLESIAK, 1997); (CHEN; RYU; KORNEGAY, 1998).

Uma outra alternativa usada para que os MOSFETs possam operar em altas temperaturas, está baseado na tecnologia dos MESFETs (*Metal-Semiconductor Field Effect Transistor*) de Arseneto de Gálio (GaAs) (FRICKE; HARTNAGEL *et al.*, 1992), que junto com as técnicas eletrônicas em altas temperaturas (*High-Temperature Electronic Technique - HTET*), que está baseada na polarização do substrato, fornece uma maneira barata e simples de estabilizar o desempenho elétrico de um MOSFET em altas temperaturas, sem acarretar em qualquer modificação nos processos de fabricação dos CIs CMOS (NARASIMHAN; SADWICK; HWU, 1999).

No entanto, essas tecnologias são muito difíceis e caras de serem fabricadas, como por exemplo, a tecnologia que usa materiais que apresentam grande largura da banda proibida, e consequentemente não é compatível, ainda, com a produção em grande escala de CIs CMOS complexos (MCCLUSKEY; GRZYBOWSKI; PODLESIAK, 1997).

Mas a tecnologia mais utilizada e viável é a tecnologia SOI, pois a faixa de temperatura de operação pode ser estendida de 398 K (125 °C) até 573 K (300 °C), pois possuem três grandes vantagens em relação ao MOSFET de tecnologia convencional (*Bulk*): a primeira diz respeito a menor área de junção encontrada no SOI MOSFET, que reduz a corrente de fuga em altas temperaturas de três a quatro ordens de magnitude; em segundo lugar, a variação da tensão de limiar com a temperatura é de duas a três ordens de magnitude menor do que um MOSFET de tecnologia convencional (*Bulk*), a condutância de saída de um SOI MOSFET é melhorada; e por último, o efeito tiristor parasitário (*latch-up*) ativado termicamente está ausente nos SOI MOSFETs (COLINGE, 2004); (MCCLUSKEY; GRZYBOWSKI; PODLESIAK, 1997). Estas características permitem a utilização de circuitos integrados SOI MOSFETs CMOS, tanto analógicos como digitais, operando até 573 K (300 °C) (COLINGE, 2004), com pouca perda de desempenho elétrico por degradação térmica (altas temperaturas). Vários tipos de SOI CMOS têm sido investigados em uma grande escala de temperatura, com o objetivo de comprovar todos os seus benefícios em altas temperaturas (FRANCIS; TERAO *et al.*, 1992); (FLANDRE, 1995); (GOEL; TAN, 2006); (GENTINNE; EGGERMONT *et al.*, 1997).

Dentro deste contexto, combinado a tecnologia SOI CMOS com a abordagem de engenharia de junção dreno/canal e canal/fonte, técnica ainda pouco explorada pelas indústrias de CIs e dispositivos semicondutores, é possível potencializar o desempenho elétrico dos SOI MOSFETs, porque quando se modifica a geometria da porta, são adicionados novos efeitos a essa estrutura, e consequentemente podem melhorar os seus principais parâmetros analógicos e digitais, tais como: a corrente de dreno de estado ligado ( $I_{ON}$ ), a resistência de dreno de estado ligado ( $R_{ON}$ ), a corrente de saturação do dreno ( $I_{DS\_SAT}$ ), a transcondutância ( $g_m$ ), a razão  $g_m/I_{DS}$ , o ganho de tensão intrínseco ( $A_V$ ) e a frequência de ganho de tensão unitário ( $f_T$ ). Esta melhoria é devido ao efeito LCE e ao efeito da associação paralela de MOSFETs com diferentes comprimentos de canais efetivos (*PARALLEL CONNECTION OF MOSFET WITH DIFFERENT CHANNEL LENGTHS EFFECT - PAMDLE*) (GALEMBECK; RENAUX, *et al.*, 2013); (GIMENEZ; GALEMBECK; RENAUX *et al.*, 2015); (GIMENEZ, 2010); (ALATI; GIMENEZ, 2010); (GIMENEZ; SILVEIRA *et al.*, 2012); (GIMENEZ, LEONI, *et al.*, 2014).

Os estilos de leiautes do tipo Diamante (geometria hexagonal de porta) (GIMENEZ e BELLODI, 2009), OCTO (geometria Octogonal de porta) (GIMENEZ e ALATI, 2011) e FISH (geometria de porta como um “símbolo de menor” da matemática) (ALATI, SIMOEN, *et al.*, 2011), para SOI MOSFET são exemplos desta abordagem, com o objetivo de alcançar as vantagens descritas acima. Além disso, alguns estudos experimentais com o SOI MOSFET do tipo Diamante (*Diamond SOI MOSFET, DSM*) demonstraram que ele é capaz de apresentar um melhor desempenho elétrico em temperatura ambiente e altas temperaturas (GIMENEZ; GALEMBECK *et al.*, 2015); (GALEMBECK; RENAUX *et al.*, 2013) e ambientes radioativos (GIMENEZ; SILVEIRA *et al.*, 2012) do que o seu SOI MOSFET do tipo Convencional (*Conventional SOI MOSFET, CSM*) equivalente, considerando mesma área de porta ( $A_G$ ) e condições de polarização.

O SOI MOSFET do tipo OCTO (*OCTO SOI MOSFET, OSM*) é uma evolução do estilo de leiaute Diamante e foi especialmente desenvolvido para aumentar a tensão de ruptura e a robustez às descargas eletrostáticas (*Electrostatic Discharge, ESD*) em relação ao SOI MOSFET do tipo Diamante, pois o campo elétrico longitudinal na sua junção dreno e canal é menor. Este tipo de leiaute apresenta os mesmos efeitos observados no DSM (efeitos LCE e PAMDLE), mas uma maior resultante de campo elétrico longitudinal em certas partes da região do canal. Assim, o OSM apresenta altos valores de  $I_{DS}$ ,  $g_m$ ,  $g_m/I_{DS}$ ,  $A_V$ ,  $f_T$ ,  $R_{ON}$ ,  $I_{LEAK}$ ,  $I_{ON}$ ,  $I_{OFF}$  e da razão  $I_{ON}/I_{OFF}$  do que aqueles encontrados no seu CSM equivalente, considerando mesma  $A_G$  e condições de polarização em temperatura ambiente (FINO; RENAUX *et al.*, 2012); (GIMENEZ; ALATI, 2011); (FINO; RENAUX *et al.*, 2012); (FINO; SILVEIRA *et al.*, 2013).

Tanto o DSM quanto o OSM são capazes de produzir a mesma corrente  $I_{DS}$  que seu correspondente CSM equivalente, mas com uma menor tensão de polarização que a necessária para polarizar o seu respectivo CSM equivalente, e conseqüentemente haverá um menor consumo de energia elétrica. Portanto os OSMs e os DSMs são uma ótima alternativa para serem usados como chaves de potência, principalmente em conversores de corrente contínua para corrente contínua, conhecidos como conversores CC-CC (ou *Direct Current-Direct Current, DC-DC*) (HIRAOKA; MATSUMOTO *et al.*, 1998).

## 1.1 OBJETIVOS

Dentro deste contexto, neste trabalho serão desenvolvidos estudos sobre o

comportamento dos dispositivos DSMs e OSMs com relação aos seus respectivos CSMs equivalentes, operando em uma condição extrema de altas temperaturas, levando-se em conta desde a temperatura ambiente (300 K) indo até 573 K (300 °C). Será investigado e avaliado se o desempenho elétrico do DSM e OSM continua melhor do que o encontrado em seus respectivos CSM equivalentes, assim como ocorrido em temperatura ambiente, considerando a mesma área de porta (somente para o comparativo do DSM), mesmo  $W$  e condições de polarização.

Medidas experimentais são realizadas das curvas características de  $I_{DS}$  em função da tensão de porta ( $V_{GS}$ ) e da tensão de dreno ( $V_{DS}$ ) para diferentes temperaturas (300 K-573 K), nos diferentes MOSFETs do tipo Diamante e OCTO, e dos seus respectivos equivalentes convencionais, confeccionados em tecnologia SOI. Munido dessas medidas experimentais, esses transistores serão caracterizados experimentalmente, levando-se em conta os seus principais parâmetros analógicos e digitais em função da temperatura. Como por exemplo, a caracterização elétrica experimental da corrente  $I_{LEAK}$ , da tensão de Early ( $V_{EA}$ ), de  $A_V$ , de  $f_T$ , de  $g_m$ , entre outros. Além disso, pretende-se avaliar se os efeitos LCE e PAMDLE permanecem ativos quando esses transistores operarem em altas temperaturas.

Após a caracterização elétrica dos transistores, estudos serão efetuados ao longo do trabalho, para identificar as vantagens e desvantagens que os DSM e os OSMs trazem em relação aos seus respectivos equivalentes convencionais.

## 1.2 ESTRUTURA DO TRABALHO

Além da seção 1 já descrita anteriormente, que trata da introdução desse trabalho, a seção 2 apresenta a revisão bibliográfica dos conceitos básicos dos SOI MOSFETs do tipo Diamante, do tipo OCTO e do tipo convencional (geometria de porta retangular). Nesta seção também será explicado a influência do alto campo elétrico longitudinal no SOI MOSFET. Além disso, é apresentada a influência das altas temperaturas nos principais parâmetros físicos dos semicondutores, para que se possa compreender a influência da temperatura nos principais parâmetros elétricos analógicos e digitais do SOI MOSFET.

A seção 3 apresenta a análise qualitativa e quantitativa das principais figuras de mérito analógico e digital dos DSMs e dos OSMs e de seus respectivos CSMs equivalentes em função das altas temperaturas.

A seção 4 apresenta as principais conclusões deste trabalho, assim como sugestões

para a continuidade deste trabalho (trabalhos futuros).

Na seção 5 são apresentas as publicações que são frutos deste trabalho.

## 2 CONCEITOS FUNDAMENTAIS

Nesta seção será apresentada uma revisão bibliográfica sobre a tecnologia Silício sobre Isolante (SOI), os diferentes tipos de SOI MOSFETs, os SOI MOSFETs tipo Convencional e não convencional (SOI MOSFET do tipo Diamante e do tipo OCTO), enfatizando as suas principais características analógicas e digitais de operação. Será estudado nesta seção também, a influência das altas temperaturas nas principais propriedades elétricas de um semiconductor, que influenciará direta e indiretamente nos parâmetros analógicos e digitais dos SOI MOSFETs. Portanto, alguns efeitos decorrentes do aumento da temperatura sobre o funcionamento dos dispositivos semicondutores, com especial ênfase aos SOI MOSFETs, também serão apresentados, bem como modelos analíticos que os descrevem.

### 2.1 TECNOLOGIA SOI

O conceito básico da tecnologia SOI consiste na separação da região ativa do filme de Si, onde os transistores são fabricados, do restante do substrato, por meio de uma camada de isolante.

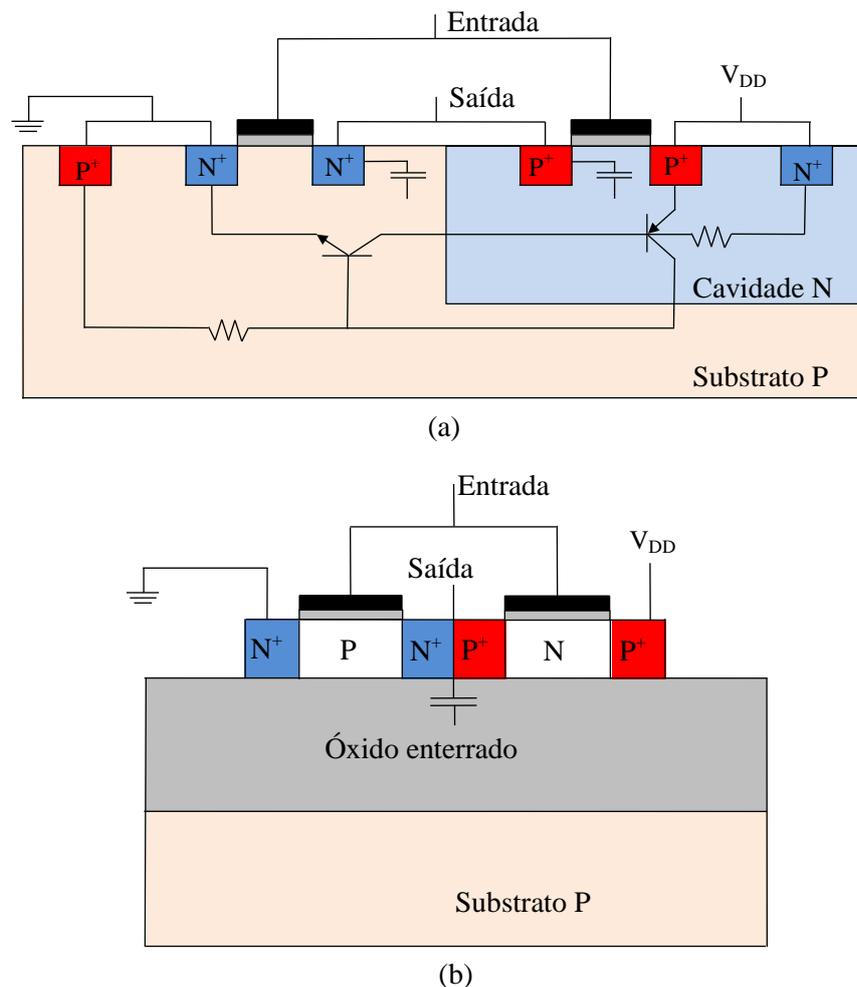
A tecnologia Silício sobre Isolante (*Semiconductor on Insulator - SOI*) MOSFET contém quatro terminais (a fonte, o dreno, a porta que controla o canal onde passará a corrente entre dreno e fonte e o terminal do substrato). Entretanto, o isolamento completo desses transistores previne a ocorrência da maioria dos efeitos parasitários presentes nos transistores na tecnologia convencional (*Bulk MOSFET*). A Figura 2.1 ilustra as seções transversais de inversores CMOS implementados com tecnologias convencional (*Bulk*) (Figura 2.1.a) e SOI (Figura 2.1.b), onde  $V_{DD}$  é a tensão da fonte de alimentação (COLINGE, 2004).

A maioria dos efeitos parasitários nos MOSFETs de tecnologia convencional (*Bulk*) é encontrada nas interações entre o transistor e o substrato. O efeito do tiristor parasitário (*latch-up*), no MOSFET convencional (*Bulk*) se encontra na estrutura PNPN do inversor CMOS de tecnologia convencional (*Bulk*), representado na Figura 2.1.a. O *latch-up* pode ser simbolizado por dois transistores bipolares que são formados pelo substrato, pela região N e as junções entre dreno e fonte (COLINGE, 2004).

Em um inversor SOI CMOS (Figura 2.1.b), a espessura do silício que contém os transistores ativos é fina o suficiente para que as junções se estendam até o óxido enterrado. O *latch-up* é excluído porque não há corrente passando no substrato. Juntando-se a isso, a estrutura lateral PNPN contém uma dopagem altíssima ( $N^+$  e  $P^+$  no dreno) que reduz

virtualmente o ganho dos transistores bipolares para aproximadamente a zero (COLINGE, 2004). Além de evitar o *latch-up*, a tecnologia SOI reduz a capacitância de junção de dreno e fonte, e possui a facilidade de fazer junções rasas. Esses são os três principais exemplos das vantagens da tecnologia SOI em comparação com a convencional (*Bulk*) (COLINGE, 2004).

Figura 2.1 - Seções transversais de inversores CMOS implementados com tecnologias convencional (*Bulk*), ilustrando o tiristor parasitário PNP em sua estrutura (a) e SOI, sem a presença do mesmo (b)



Fonte: Autor "adaptado de" Colinge, 2004, p. 3

O uso da tecnologia SOI oferece outras vantagens no que se diz respeito a operações em altas temperaturas, como a diminuição da corrente de fuga dos SOI MOSFETs. Além de envolver menos passos de fabricação em seu processo de fabricação, quando comparado com a tecnologia CMOS convencional (*Bulk*) (COLINGE, 2004).

No entanto, há algumas desvantagens, tais como: alto custo da fabricação da lâmina SOI; efeito da elevação abrupta de corrente de dreno; efeito transistor bipolar parasitário e a

forte dependência da tensão de limiar de porta com a espessura e com a concentração de dopantes da camada de silício na região do canal (COLINGE, 2004).

### 2.1.1 Classificação dos SOI MOSFETs

Os dispositivos SOI MOSFET podem ser classificados em modo enriquecimento (ou inversão) ou modo acumulação, dependendo do modo de funcionamento (MARTINO; PAVANELLO; VERDONCK, 2003).

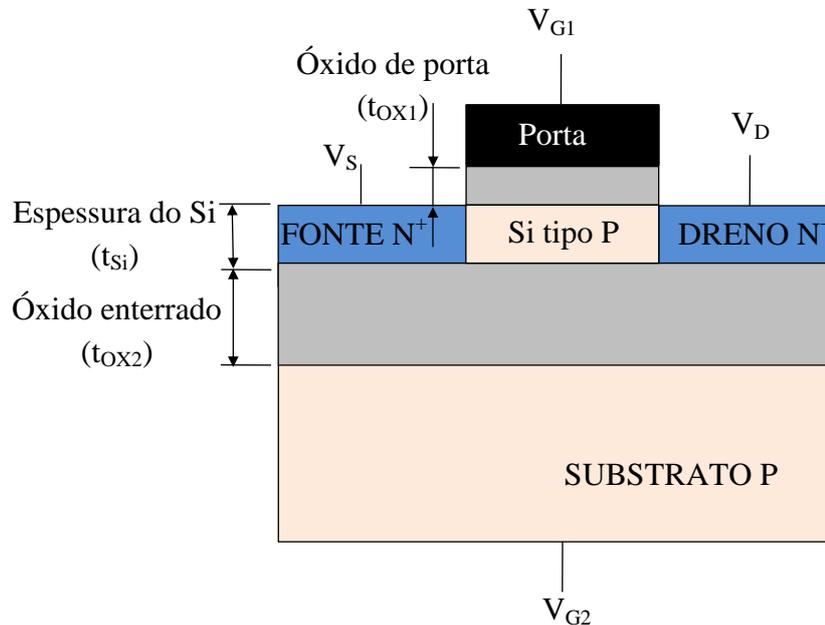
Nos transistores do tipo enriquecimento (modo inversão), a passagem da corrente entre fonte e dreno ocorre devido à inversão dos portadores na região do canal (interface óxido de porta/camada de silício) (COLINGE, 2004).

Os transistores do tipo acumulação são formados pelo mesmo tipo de portador que está presente na região do canal, como também nas regiões de fonte e dreno, tendo a região do canal um nível de dopagem inferior ao da fonte e do dreno. Os transistores tipo acumulação podem, portanto, ser dos tipos P+ /P- /P+ (pMOSFET) ou N+ /N- /N+ (nMOSFET). A passagem da corrente entre fonte e dreno neste tipo de transistor ocorre devido à acumulação dos portadores na região do canal (interface Si-SiO<sub>2</sub>) (COLINGE, 2004).

O SOI MOSFET de canal tipo n e modo enriquecimento é o mais comum e, por esta razão, somente este será considerado neste trabalho.

A Figura 2.2 ilustra um exemplo da seção transversal de um SOI MOSFET tipo n convencional (geometria de porta retangular) de canal tipo n, onde  $V_S$  é a tensão da fonte (*source*),  $V_{G1}$  é a tensão da primeira porta (*front gate voltage*),  $V_D$  é a tensão no dreno (*drain*),  $V_{G2}$  é a tensão da segunda porta (*back gate voltage*),  $t_{OX1}$  é a espessura do óxido de porta e  $t_{OX2}$  é a espessura do óxido enterrado (COLINGE, 2004).

Figura 2.2 - Exemplo da seção transversal de um SOI MOSFET tipo n



Fonte: Autor

Nos MOSFETs de tecnologia convencional (*Bulk*), a extensão da região de depleção, que se encontra na interface Si-SiO<sub>2</sub>, encontra seu valor máximo ( $x_{dmax}$ ) segundo a equação (2.1.1) e pode ser representado em termos do diagrama de faixa de energia, conforme ilustrado na Figura 2.3.a (COLINGE, J. P.; COLINGE, C. A., 2002):

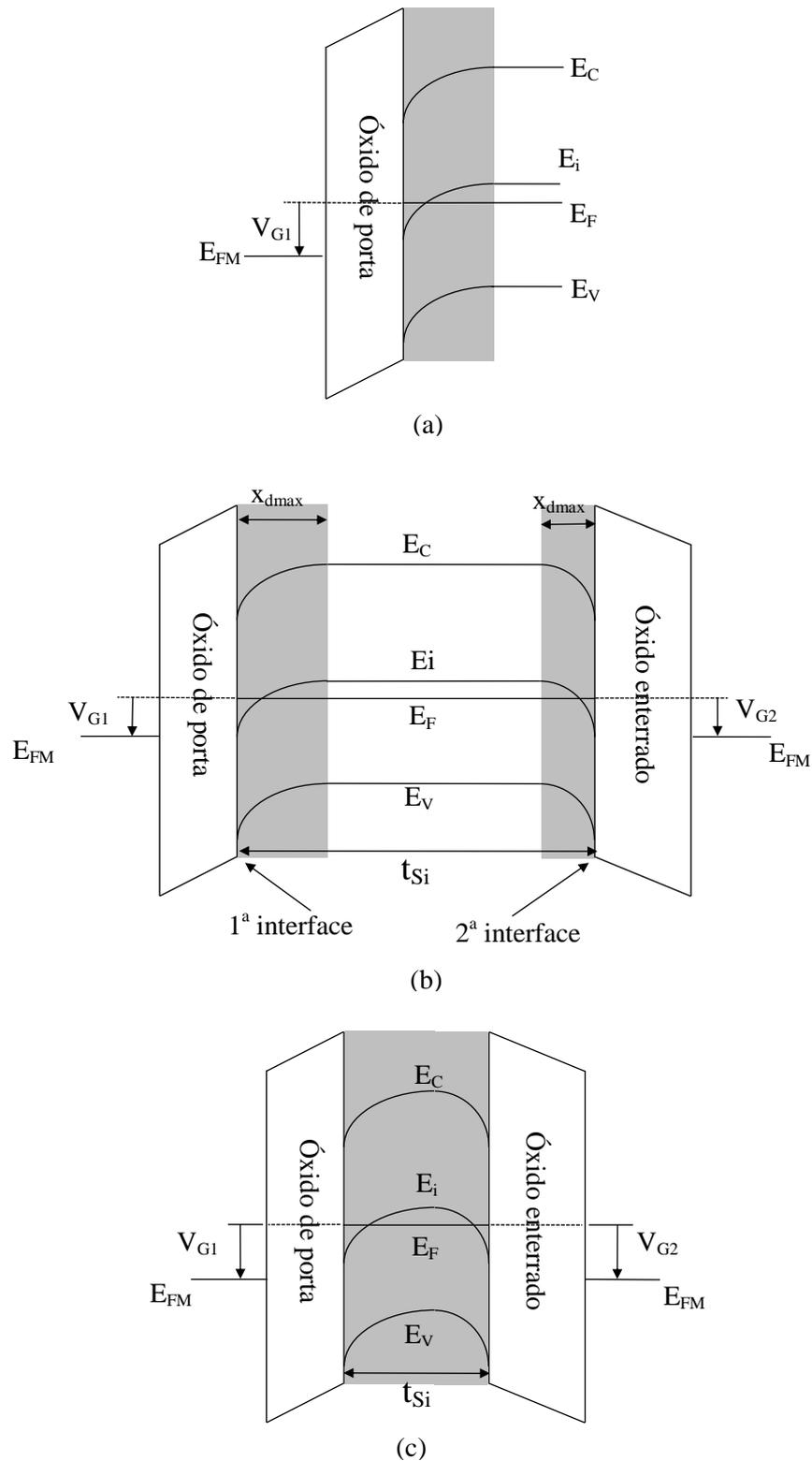
$$x_{dmax} = \sqrt{\frac{4\epsilon_{Si}\Phi_F}{qN_A}} \quad (2.1.1)$$

Onde:

$$\Phi_F = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (2.1.2)$$

Sendo que,  $\Phi_F$  é o nível de Fermi,  $\epsilon_{Si}$  é a permissividade do silício,  $k$  é a constante de Boltzmann,  $q$  é a carga do elétron,  $N_A$  é a concentração de impurezas aceitadoras do filme de Si na região do canal,  $T$  é a temperatura absoluta e  $n_i$  a concentração intrínseca de portadores (COLINGE, J. P.; COLINGE, C. A., 2002).

Figura 2.3 - Diagramas de faixas de energia de MOSFETs do tipo n convencional, *Bulk* (a), do SOI de camada espessa (b) e do SOI de camada fina (c)



Fonte: Autor "adaptado de" Colinge, 2004, p. 156

As características físicas dos SOI MOSFETs dependem fortemente da espessura do

filme de silício ( $t_{Si}$ ) e da concentração de dopagem dessa camada de silício, bem como da temperatura de operação. A partir dessas características três tipos de estruturas de transistores são obtidos: transistores em que a região de silício nunca é completamente depletada (“*Partially Depleted device*” ou “*PD device*”), totalmente depletado (“*Fully Depleted device*” ou “*FD device*”) e os transistores quase totalmente depletado (“*Near-Fully Depleted*” - NFD), que dependendo da tensão entre a porta e substrato ( $V_{GB}$ ) podem apresentar comportamento de um SOI MOSFET parcialmente ou totalmente depletado (COLINGE, 2004).

Em um SOI parcialmente depletado (PDSOI), a espessura  $t_{Si}$  é maior que duas vezes o valor de  $x_{dmax}$  ( $t_{Si} > 2x_{dmax}$ ). Neste caso, não haverá interação entre as zonas de depleção, vindas da interface óxido de porta com Silício (Si) (1ª interface) e do óxido enterrado com o Si (2ª interface), como mostra a Figura 2.3.b, onde  $E_{FM}$  é o nível de Fermi do metal,  $E_C$  é o nível de energia da banda de condução do elétron,  $E_I$  é o nível de energia intrínseco,  $E_F$  é o nível de Fermi e  $E_V$  é o nível energia da banda de valência do elétron (COLINGE, 2004).

Neste transistor há uma região neutra entre as duas regiões de depleção. Se este pedaço de Si, chamado de “Corpo”, é conectado ao terra, as características do transistor serão exatamente as mesmas a de um MOSFET de tecnologia convencional (*Bulk*). Se, no entanto, o “Corpo” for deixado flutuando eletricamente (sem conexão), o transistor apresentará alguns efeitos chamados de “efeitos do corpo flutuante”, tal como o efeito *Kink* e anomalia na inclinação de sublimiar devido ao transistor bipolar parasitário (COLINGE, 2004).

Nos transistores completamente depletado (FDSOI), ilustrado na Figura 2.3.c, a espessura  $t_{Si}$  é menor que  $x_{dmax}$  ( $t_{Si} < x_{dmax}$ ). Neste caso, o Si é totalmente depletado, independentemente da polarização aplicada em  $V_{G2}$  (com exceção da possível presença de uma fina camada de acumulação, ou inversão, na 2ª interface). O FDSOI é virtualmente livre do efeito de *Kink*, se a 2ª interface não estiver em acumulação. Este transistor é o que possui as propriedades mais atrativas, por causa do baixo campo elétrico longitudinal, da alta transcondutância, excelente comportamento no efeito de canal curto, e características quase ideais na região de sublimiar (COLINGE, 2004); (CRISTOLOVEANU; LI, 1995).

Além desses dois transistores, há um transistor intermediário, que está entre o FDSOI e PDSOI, pois a espessura da camada de Si é maior que  $x_{dmax}$  e menor que duas vezes  $x_{dmax}$  ( $x_{dmax} < t_{Si} < 2x_{dmax}$ ). Se a polarização for tal que, as zonas de depleção não se tocarem uma na outra, ou se a 2ª interface é neutra, ou em acumulação, o transistor se comportará como um PDSOI. Mas, se a presença de uma polarização no substrato ( $V_{G2}$ ) induzir uma sobreposição das regiões de depleção entre a 1ª e a 2ª interface, o transistor será totalmente depletado (COLINGE, 2004).

### 2.1.2 A corrente de dreno do SOI MOSFET do tipo n

As características de tensão versus corrente num SOI MOSFET do tipo n (SOI nMOSFET) parcialmente depletado com contato de corpo aterrado são exatamente iguais a um MOSFET da tecnologia convencional (*Bulk*) (COLINGE, 2004), como mostra a equação (2.1.3) para região de triodo e a equação (2.1.4) para região de saturação (COLINGE, 2004); (COLINGE, J. P.; COLINGE, C. A., 2002).

$$I_{DS} = \mu_n C_{OX1} \frac{W}{L} \left[ (V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} n' V_{DS}^2 \right] \quad (2.1.3)$$

$$I_{DS\_SAT} = \frac{1}{2n'} \mu_n C_{OX1} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (2.1.4)$$

onde  $C_{OX1}$  é a capacitância do óxido de porta ( $C_{OX1} = \epsilon_{OX1}/t_{OX1}$ ), onde  $\epsilon_{OX1}$  é a permissividade do óxido da primeira porta,  $W$  e  $L$  são, respectivamente, a largura e o comprimento de canal do transistor,  $\mu_n$  é a mobilidade do elétron,  $V_{TH}$  é tensão de limiar,  $n'$  é o fator de efeito de corpo, que é definido pela equação (2.1.5) (COLINGE, 2004).

$$n' = 1 + \alpha' = 1 + \frac{\epsilon_{Si}/x_{dmax}}{C_{OX1}} \quad (2.1.5)$$

onde  $\alpha'$  é o parâmetro resultante da associação das capacitâncias do MOSFET (COLINGE, 2004).

O fator de corpo pode ser entendido como a oposição que o dispositivo oferece para que o eletrodo de porta controle o potencial de superfície da primeira interface (COLINGE, 2004).

Caso o contato de corpo não é aterrado e deixado flutuando eletricamente, uma série de efeitos chamados de efeitos de corpo aparecem, como por exemplo, o efeito *Kink* e o efeito bipolar parasitário (COLINGE, 2004).

Para o SOI MOSFET totalmente depletado, as expressões da corrente de dreno dependerão da tensão aplicada no substrato ( $V_{G2}$ ). Com isso, diferentes casos podem acontecer na segunda interface, sendo eles: depleção desde a fonte até o dreno; acumulação desde a fonte até o dreno; acumulação próxima à região de fonte e depleção próxima à região de dreno; inversão desde a fonte até o dreno e por último a inversão próximo à fonte e depleção próximo ao dreno. Mas devido a perda de controle da porta, os casos de inversão

próxima à região de fonte e depleção próxima à região do dreno e inversão desde a fonte até o dreno não serão consideradas (COLINGE, 2004).

Quando o SOI nMOSFET totalmente depletado estiver na situação de acumulação desde a fonte até o dreno na segunda interface, as expressões para as correntes de dreno, na região de triodo ( $I_{DS,acc2}$ ) e saturação ( $I_{DS\_SAT,acc2}$ ), são as descritas pelas equações (2.1.6) e (2.1.7), respectivamente (COLINGE, 2004). Para que o dispositivo apresente toda a segunda interface em acumulação,  $V_{G2}$  deve ser menor do que a tensão  $V_{G2}$  na acumulação ( $V_{G2,acc}$ ) (COLINGE, 2004).

$$I_{DS,acc2} = \mu_n \cdot C_{OX1} \frac{W}{L} \left[ (V_{G1} - V_{TH1,acc2}) V_{DS} - \left( 1 + \frac{C_{Si}}{C_{OX1}} \right) \frac{1}{2} V_{DS}^2 \right] \quad (2.1.6)$$

$$I_{DS\_SAT,acc2} = \frac{1}{2} \frac{W}{L} \left( \frac{\mu_n \cdot C_{OX1}}{1 + \frac{C_{Si}}{C_{OX1}}} \right) (V_{G1} - V_{TH1,acc2})^2 \quad (2.1.7)$$

onde  $V_{TH1,acc2}$  é tensão de limiar quando a segunda interface estiver em acumulação e  $C_{Si}$  é a capacitância da camada de silício ( $C_{Si} = \epsilon_{Si} / t_{Si}$ ).

Caso a polarização no substrato, esteja entre  $V_{G2}$  na acumulação e  $V_{G2}$  na inversão ( $V_{G2,inv}$ ), ou seja,  $V_{G2,acc} < V_{G2} < V_{G2,inv}$ , a 2ª interface estará depletada desde a fonte até o dreno resultando, na equação (2.1.8) para descrever o comportamento da corrente de dreno na região de triodo ( $I_{DS,depl2}$ ) e na equação (2.1.9) para a corrente de dreno descrevendo a equação do transistor na região de saturação ( $I_{DS\_SAT,depl2}$ ) (COLINGE, 2004). Quando há depleção na segunda interface, pode-se considerar que  $0 < \Phi_{S2} < 2\Phi_F$  e a carga presente na segunda interface ( $Q_{S2}$ ) é igual à zero, sendo  $\Phi_{S2}$  o potencial de superfície da 2ª interface.

$$I_{DS,depl2} = \mu_n \cdot C_{OX1} \frac{W}{L} \left[ (V_{G1} - V_{TH1,depl2}) V_{DS} - \left( 1 + \frac{C_{Si} \cdot C_{OX2}}{C_{OX1} (C_{Si} + C_{OX2})} \right) \frac{V_{DS}^2}{2} \right] \quad (2.1.8)$$

$$I_{DS\_SAT,depl2} = \frac{1}{2} \frac{W}{L} \left( \frac{\mu_n \cdot C_{OX1}}{1 + \frac{C_{Si} \cdot C_{OX2}}{C_{OX1} (C_{Si} + C_{OX2})}} \right) (V_{G1} - V_{TH1,depl2})^2 \quad (2.1.9)$$

onde  $V_{TH1,depl2}$  é tensão de limiar quando a segunda interface estiver depletada desde a fonte até o dreno e  $C_{OX2}$  é a capacitância do óxido enterrado ( $C_{OX2} = \epsilon_{OX2} / t_{OX2}$ ), onde  $\epsilon_{OX2}$  é a permissividade do óxido enterrado.

E por último, quando a 2ª interface estiver com acumulação próxima à região de fonte

(AS) e depleção próxima à região de dreno (DD), as expressões para o cálculo da corrente de dreno na região de triodo ( $I_{DS,AS+DD}$ ) e saturação ( $I_{DS\_SAT,AS+DD}$ ) são apresentadas nas equações (2.1.10) e (2.1.11) respectivamente, onde  $\Phi_{S2}$  e  $Q_{S2}$  são iguais à zero (COLINGE, 2004).

$$I_{DS,AS+DD} = \frac{\mu_n \cdot C_{OX1} W}{L} \left[ \begin{aligned} & (V_{G1} - V_{TH1,acc2}) V_{DS} - \left( 1 + \frac{C_{Si} \cdot C_{OX2}}{C_{OX1} (C_{Si} + C_{OX2})} \right) \frac{V_{DS}^2}{2} - \\ & - \frac{C_{Si} \cdot C_{OX2}}{C_{OX1} (C_{Si} + C_{OX2})} V_{DS} (V_{G2,acc} - V_{G2}) + \\ & + \frac{C_{Si} \cdot C_{OX2}}{C_{OX1} (C_{Si} + C_{OX2})} \frac{C_{OX2}}{C_{Si}} (V_{G2,acc} - V_{G2})^2 \end{aligned} \right] \quad (2.1.10)$$

$$I_{DS\_SAT,AS+DD} = \frac{W}{L} \frac{\mu_n \cdot C_{OX1}}{1 + \frac{C_{Si} \cdot C_{OX2}}{C_{OX1} (C_{Si} + C_{OX2})}} \left[ \begin{aligned} & - \frac{2 C_{Si} \cdot C_{OX2}}{C_{OX1} (C_{Si} + C_{OX2})} (V_{G1} - V_{TH1,acc2}) (V_{G2,acc} - V_{G2}) + \\ & + \frac{C_{OX2}^2 (C_{Si} + C_{OX1})}{C_{OX1}^2 (C_{Si} + C_{OX2})} (V_{G2,acc} - V_{G2})^2 \end{aligned} \right] \quad (2.1.11)$$

Logo de forma genérica, as equações da corrente de dreno ( $I_{DS}$ ) na região de triodo e na região de saturação podem ser reescritas de forma genérica conforme as equações (2.1.12) e (2.1.13), respectivamente (COLINGE, 2004).

$$I_{DS} = \mu_n \cdot C_{OX1} \frac{W}{L} \left[ (V_{G1} - V_{TH1}) V_{DS} - (1 + \alpha') \frac{1}{2} V_{DS}^2 \right] \quad (2.1.12)$$

$$I_{DS\_SAT} = \mu_n \cdot C_{OX1} \frac{W}{L} \left[ \frac{(V_{G1} - V_{TH1})^2}{2(1 + \alpha')} \right] \quad (2.1.13)$$

O fator do efeito de corpo,  $n' = (1 + \alpha')$ , varia segundo a polarização do transistor, conforme ilustra a Tabela 2.1 (COLINGE, 2004).

Tabela 2.1 - Equações para a variável  $\alpha'$  usada para o cálculo da constante de efeito de corpo

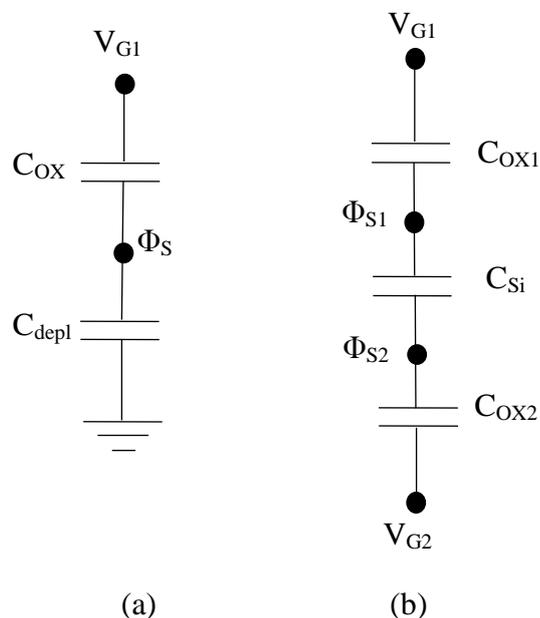
<b>MOSFET convencional e PDSOI</b>	$\alpha' = \frac{C_{\text{depl}}}{C_{\text{OX}}}$ (2.1.14)
<b>Segunda Interface em Acumulação (FDSOI)</b>	$\alpha' = \frac{C_{\text{Si}}}{C_{\text{OX1}}}$ (2.1.15)
<b>Segunda Interface em Depleção (FDSOI)</b>	$\alpha' = \frac{C_{\text{Si}} \cdot C_{\text{OX2}}}{C_{\text{OX1}}(C_{\text{Si}} + C_{\text{OX2}})}$ (2.1.16)

Fonte: Autor "adaptado de", Colinge, 2004

Onde  $C_{\text{depl}}$ , na Tabela 2.1, é a capacitância de depleção ( $\epsilon_{\text{Si}}/x_{\text{dmax}}$ ) da 1ª interface (Si-SiO<sub>2</sub>) (COLINGE, 2004).

O fator de corpo está relacionado à associação entre capacitâncias, como pode ser visto na Figura 2.4 (COLINGE, 2004), onde  $\Phi_{\text{S}}$  é o potencial de superfície de um MOSFET de tecnologia convencional (*Bulk*) e  $\Phi_{\text{S1}}$  é o potencial de superfície da 1ª interface.

Figura 2.4 - Associação entre capacitâncias do MOSFET com tecnologia convencional (*Bulk*) (a) e com tecnologia SOI totalmente depletado (b)



Fonte: Autor "adaptado" de Colinge, 2004, p.194

Com o auxílio da Tabela 2.1, verificou-se que:

$$n'_{\text{(SOI totalmente depletado)}} < n'_{\text{(MOS convencional)}} < n'_{\text{(SOI 2ª interf.acc.)}}$$

E, portanto, devido ao fator de corpo, a intensidade da corrente de dreno é maior em transistores totalmente depletados e menor em MOSFETs implementado com a tecnologia convencional (*Bulk*), além disso, ainda menor em SOI MOSFETs totalmente depletados com a segunda interface em acumulação, devido aos valores do fator de corpo (COLINGE, 2004).

Ultimamente, as indústrias de semicondutores têm optado pela utilização de SOI MOSFETs totalmente depletados (ICHIKAWA; NAGATOMO *et al.*, 2004), devido a suas vantagens em relação à tecnologia MOS convencional e SOI parcialmente depletado. Foram obtidos resultados promissores, tais como redução de mais de 60% no consumo de potência e redução da tensão de alimentação de circuitos integrados analógicos para 0,5 V (ICHIKAWA; NAGATOMO *et al.*, 2004).

## 2.2 O SOI MOSFET DO TIPO DIAMANTE

Nesta seção é apresentada a inovadora proposta de leiaute para serem implementados em SOI MOSFETs, denominada de SOI MOSFET do tipo Diamante (DSM).

### 2.2.1 A estrutura do DSM

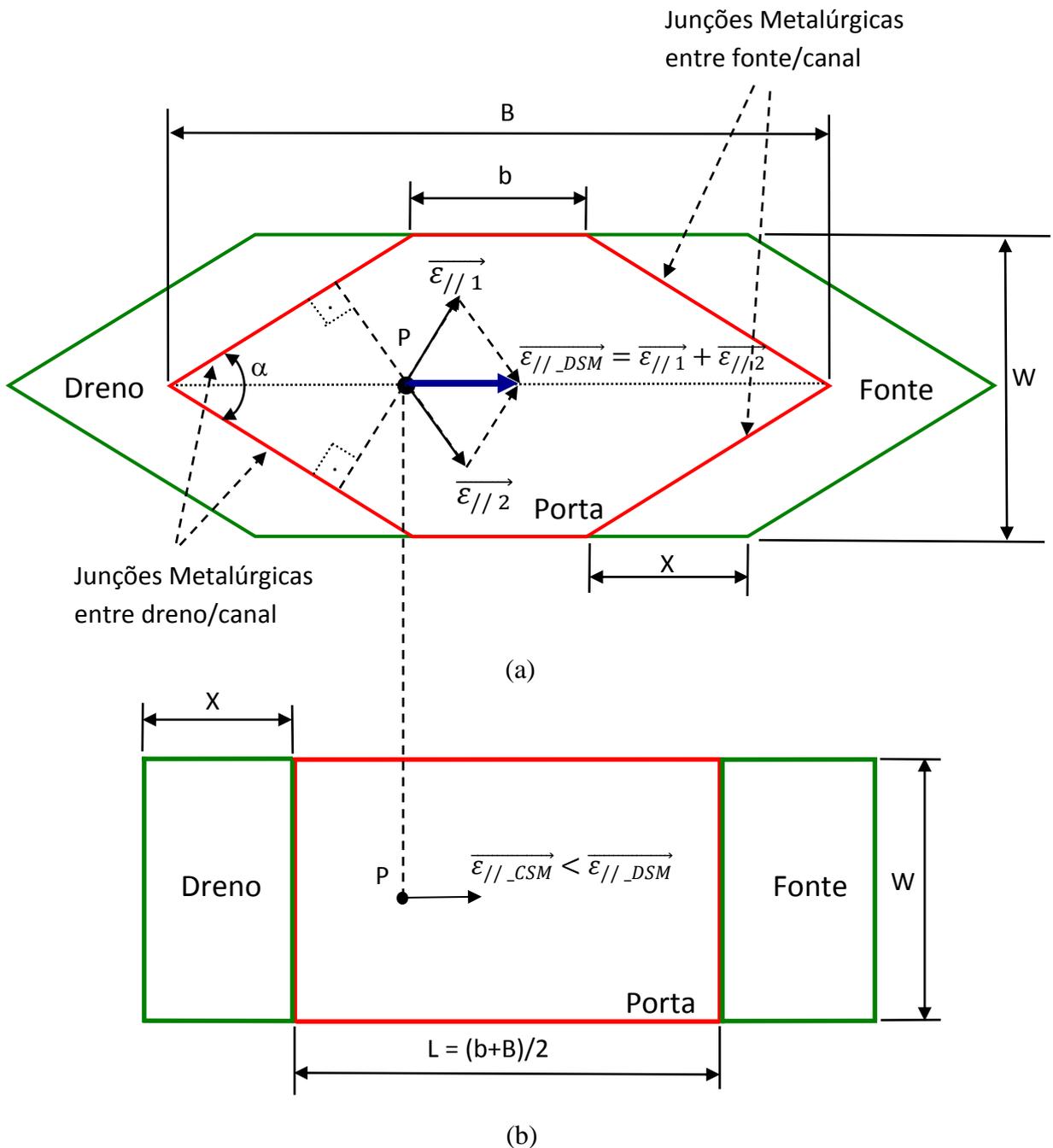
Novos transistores estão sendo desenvolvidos com uso da tecnologia CMOS convencional (*Bulk*) ou mesmo com a tecnologia SOI CMOS, baseadas em mudanças estruturais (FinFET, MugFET, etc), a fim de melhorar o seu desempenho elétrico (GIMENEZ, 2010).

A estrutura DSM está baseada na engenharia de junção entre a região de dreno/fonte e a do canal. A modificação da geometria de porta retangular para hexagonal, é capaz de aumentar o campo elétrico longitudinal resultante ( $\overrightarrow{\epsilon_{//\_DSM}}$ ) na região do canal, consequentemente melhorando a velocidade média de deriva dos portadores móveis na região do canal ( $\overrightarrow{v_{//}}$ ), a corrente entre dreno e fonte ( $I_{DS}$ ), a transcondutância (gm) e a resistência série entre fonte e dreno de estado ligado ( $R_{ON}$ ), quando comparado com o seu CSM equivalente, considerando a mesma área de porta ( $A_G$ ), o mesmo fator geométrico (W/L), assim como as mesmas condições de polarização. Esses benefícios vêm do uso do “efeito de canto” ao longo da direção longitudinal (paralelo) do canal chamado de “Efeito de Canto Longitudinal” (*Longitudinal Corner Effect*, LCE). Esses benefícios não geram qualquer custo

extra aos processos de fabricação planares CMOS (*Bulk* ou SOI) (GIMENEZ; BELLODI, 2009); (GIMENEZ, 2010).

Na Figura 2.5 estão ilustradas as vistas superiores da estrutura do DSM e do seu correspondente CSM equivalente, considerando a mesma área de porta ( $A_G$ ) e a mesma largura de canal ( $W$ ). O comprimento  $b$  e  $B$  é o menor e o maior comprimento de canal dessa estrutura, respectivamente,  $\alpha$  é o ângulo formado pela parte triangular das interfaces entre dreno/canal e canal/fonte,  $\overrightarrow{\varepsilon_{//\_DSM}}$  é a resultante do campo elétrico longitudinal no ponto P do MOSFET do tipo Diamante, devido à polarização  $V_{DS}$ , que é dado pela soma vetorial dos componentes do campo elétrico longitudinal  $\overrightarrow{\varepsilon_{//1}}$  e  $\overrightarrow{\varepsilon_{//2}}$  (LEF),  $X$  é o comprimento da região de dreno/fonte,  $L$  é comprimento de canal do CSM e  $\overrightarrow{\varepsilon_{//\_CSM}}$  é o campo elétrico longitudinal do CSM. Considerando o ponto P nestes dois transistores através da Figura 2.5, pode-se observar que a resultante do campo elétrico longitudinal na estrutura do DSM,  $\overrightarrow{\varepsilon_{//\_DSM}}$ , é maior do que aquele encontrado em seu CSM equivalente ( $\overrightarrow{\varepsilon_{//\_CSM}}$ ), devido à presença do efeito LCE, considerando a mesma  $A_G$ , o mesmo  $W$  e as mesmas condições de polarização (GIMENEZ; BELLODI, 2009); (GIMENEZ, 2010).

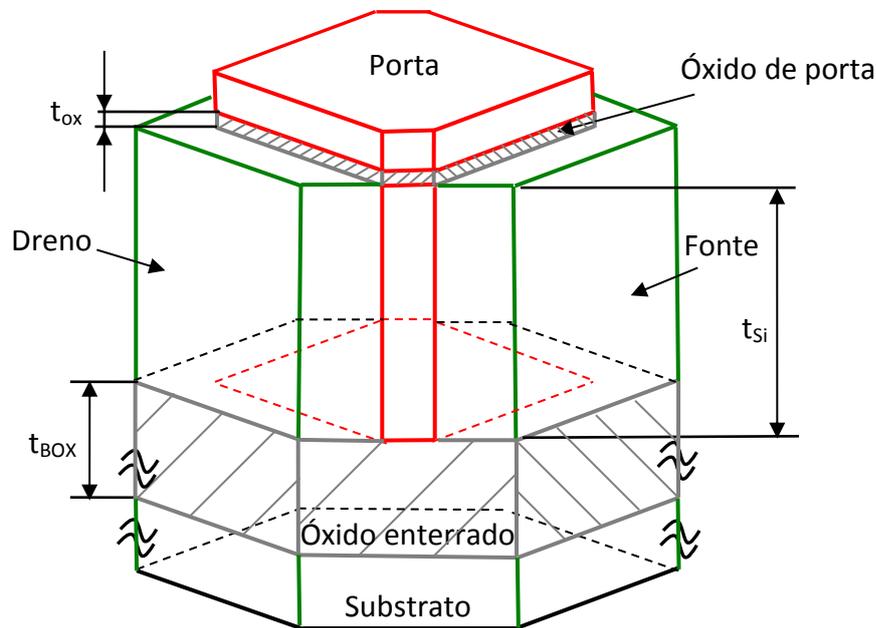
Figura 2.5 - As vistas superiores do SOI MOSFET do tipo Diamante (a) e do SOI MOSFET do tipo Convencional equivalente (b), respectivamente, onde estão indicadas as correspondentes componentes do campo elétrico longitudinal e sua resultante, considerando a mesma área de porta, o mesmo  $W$  e as mesmas condições de polarização



Fonte: Autor

A Figura 2.6 ilustra a estrutura do SOI MOSFET do tipo Diamante em três dimensões (3D), onde  $t_{Si}$ ,  $t_{OX}$  e  $t_{BOX}$ , são respectivamente a espessura da camada de silício, espessura do óxido de porta e espessura do óxido enterrado.

Figura 2.6 - Representação simplificada tridimensional (3D) do SOI MOSFET do tipo Diamante



Fonte: Autor

A fim de desenvolver dois SOI MOSFETs com áreas de porta similares, onde um é desenvolvido com uma geometria de porta hexagonal (estilo de leiaute do tipo Diamante) e o outro é desenvolvido com a geometria de porta retangular (padrão - CSM), é necessário que o comprimento de canal ( $L$ ) do CSM seja igual a (GIMENEZ, 2010):

$$L = \frac{b+B}{2} \quad (2.2.1)$$

Ao se polarizar o dreno do DSM, duas componentes de campo elétrico longitudinal são geradas ( $\vec{\epsilon}_{//1}$  e  $\vec{\epsilon}_{//2}$ ). Cada uma dessas componentes vetoriais é perpendicular às junções metalúrgicas formadas pelas regiões de dreno e região de canal. Já o SOI MOSFET com porta retangular equivalente possui somente uma única componente de campo elétrico longitudinal ( $\vec{\epsilon}_{//\_CSM}$ ) (GIMENEZ, 2010).

Devido à forma hexagonal da porta, o campo elétrico longitudinal equivalente ( $\vec{\epsilon}_{//\_DSM}$ ) é dado pela soma vetorial de  $\vec{\epsilon}_{//1}$  e  $\vec{\epsilon}_{//2}$ , como indicado na Figura 2.5.a. Como resultado, um maior campo elétrico longitudinal (LEF) é encontrado na estrutura Diamante, em comparação ao encontrado em um SOI MOSFET tipo convencional, considerando-se a mesma  $A_G$ , mesmo fator geométrico ( $W/L$ ) e as mesmas condições de polarização

(GIMENEZ, 2010).

Quando o ângulo  $\alpha$  está próximo de  $180^\circ$ , o DSM apresenta um comportamento similar ao seu CSM equivalente. À medida que o ângulo  $\alpha$  reduz a partir de  $180^\circ$ , a velocidade média de deriva dos portadores móveis na região de canal ( $\overline{v_{//}}$ ) aumenta, e conseqüentemente potencializa a corrente de dreno, devido ao maior campo elétrico longitudinal resultante na região de canal do SOI MOSFET do tipo Diamante (GIMENEZ, 2010).

Para verificar o efeito LCE na estrutura SOI MOSFET do tipo Diamante, simulações 3D foram realizadas. Os resultados mostraram que o vetor resultante do campo elétrico longitudinal na região do canal para um DSM com  $\alpha$  igual a  $53,1^\circ$  é igual a  $6 \times 10^4$  V/cm, que é aproximadamente 8,5 vezes maior que o encontrado em CSM equivalente ( $\overline{E_{//\_CSM}} = 7 \times 10^3$  V/cm), para uma temperatura igual a 300 K (GIMENEZ, 2010).

Diversos estudos sobre o comportamento de MOSFETs do tipo Diamante com diferentes tecnologias (SOI e *Bulk*), considerando temperatura ambiente, tanto em simulações numéricas 3D quanto em estudos experimentais, indicam que este estilo de leiaute de porta inovador pode trazer vários benefícios, principalmente para os CIs analógicos, tais como os espelhos de corrente, amplificadores operacionais e em aplicações de MOSFETs de potência planar (*Planar Power MOSFETs*) (GIMENEZ; SILVEIRA *et al.*, 2012). Além disso, estudos experimentais recentes comprovaram os benefícios do DSM e do OSM em ambientes com altas temperaturas (GIMENEZ; GALEMBECK *et al.*, 2015); (GIMENEZ; GALEMBECK; RENAUX *et al.*, 2015) e ambientes radioativos para o DSM (ALATI; GIMENEZ *et al.*, 2012).

### 2.2.2 Modelagem analítica de primeira ordem de $I_{DS}$ do DSM, considerando-se o efeito LCE

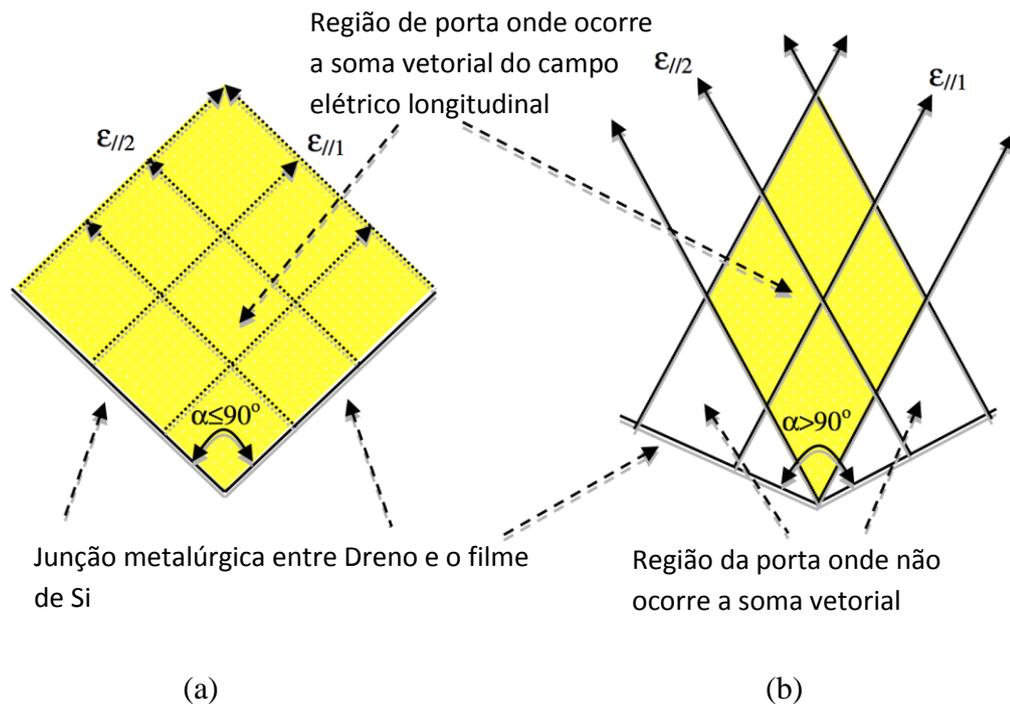
A modelagem analítica de primeira ordem de  $I_{DS}$  do DSM do tipo n ( $I_{DS\_DSM}$ ), levando-se em conta a distribuição do campo elétrico longitudinal ao longo do canal, está ilustrada nas equações (2.2.2) e (2.2.3), sendo ajustado pelo fator  $\sqrt{2(1 + \cos \alpha)}$  para  $0^\circ < \alpha \leq 90^\circ$  [equação (2.2.2)], onde este fator é chamado de ganho do efeito LCE ( $G_{LCE}$ ) (GIMENEZ; DAVINI *et al.*, 2014); (GIMENEZ, 2010).

$$I_{DS\_DSM} = \left[ \sqrt{2(1 + \cos \alpha)} \right] I_{DS\_CSM}, \text{ para } 0^\circ < \alpha \leq 90^\circ \quad (2.2.2)$$

onde  $I_{DS\_CSM}$  é a corrente dreno de um MOSFET de geometria de porta retangular (*Bulk* ou *SOI*), que pode ser calculada pelas equações (2.1.12) e (2.1.13) (GIMENEZ, 2010).

Analisando-se a equação (2.2.2), quando a geometria hexagonal da porta é muito obtusa, ou seja, quando  $\alpha$  tende a  $0^\circ$ , o fator  $\sqrt{2(1 + \cos \alpha)}$  tende a dois e, portanto, a corrente  $I_{DS\_DSM}$  tende a ser duas vezes maior que a encontrada em seu CSM equivalente ( $I_{DS\_CSM}$ ), pelo fato da soma vetorial das duas componentes do campo elétrico longitudinal ocorrer em toda região do canal, como mostra a Figura 2.7.a, para  $0^\circ < \alpha \leq 90^\circ$  (GIMENEZ, 2010).

Figura 2.7 - Representações da região do canal onde ocorre a soma vetorial das componentes vetoriais do campo elétrico longitudinal para  $0^\circ < \alpha \leq 90^\circ$  (a) e  $90^\circ \leq \alpha < 180^\circ$  (b)



Fonte: Autor “adaptado de” Gimenez, 2010, p. 1695

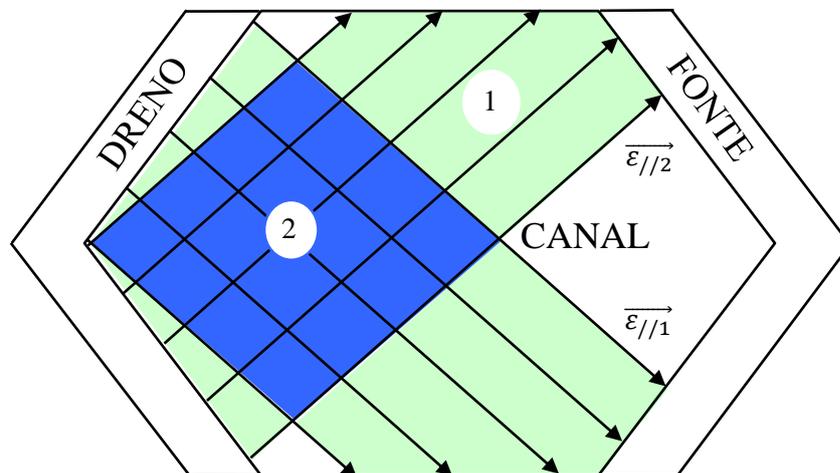
Esse comportamento não ocorre para  $90^\circ \leq \alpha < 180^\circ$  (Figura 2.7.b), devido a uma menor sobreposição e uma menor interação entre as componentes vetoriais correspondentes aos vetores de campos elétrico longitudinais (GIMENEZ, 2010).

Portanto, para  $90^\circ \leq \alpha < 180^\circ$ ,  $I_{DS\_DSM}$  sofre um aumento dado pelo fator  $\sqrt{2 + \cos \alpha}$  em comparação a corrente de dreno de seu CSM equivalente, e com isso,  $I_{DS\_DSM}$  é dada pela equação (2.2.3) (GIMENEZ, 2010).

$$I_{DS\_DSM} \cong (\sqrt{2 + \cos \alpha}) I_{DS\_CSM}, \text{ para } 90^\circ \leq \alpha < 180^\circ \quad (2.2.3)$$

A Figura 2.8 ilustra o mapa das componentes dos vetores do campo elétrico longitudinal (LEF), com o objetivo de mostrar a interação das componentes dos vetores LEF ( $\vec{\varepsilon}_{//1}$  e  $\vec{\varepsilon}_{//2}$ ) na estrutura Diamante. A região de canal indicado pela cor verde há somente uma componente do vetor LEF ( $\vec{\varepsilon}_{//1}$  ou  $\vec{\varepsilon}_{//2}$ ), sendo igual a resultante de campo elétrico longitudinal presente em seu convencional equivalente (geometria de porta retangular). Enquanto nas regiões de porta do Diamante indicado pela cor azul, há interações de duas componentes do vetor LEF ( $\vec{\varepsilon}_{//1}$  e  $\vec{\varepsilon}_{//2}$ ). As outras regiões de canal do Diamante não há nenhuma componente dos vetores LEF, porém existe o vetor LEF resultante decorrente da soma vetorial entre as duas componentes nestas regiões. Na região em azul é onde acontece o efeito LCE devido à soma vetorial de  $\vec{\varepsilon}_{//1}$  e  $\vec{\varepsilon}_{//2}$  e quanto menor o ângulo  $\alpha$  do Diamante, maior será a área de interação dessas duas componentes do vetor LEF, aumentado assim o ganho que o efeito LCE proporciona em  $I_{DS}$ , por exemplo.

Figura 2.8 - O mapa das componentes vetoriais do campo elétrico longitudinal na região de canal da estrutura de um MOSFET do tipo Diamante, que define o efeito LCE



Fonte: Autor

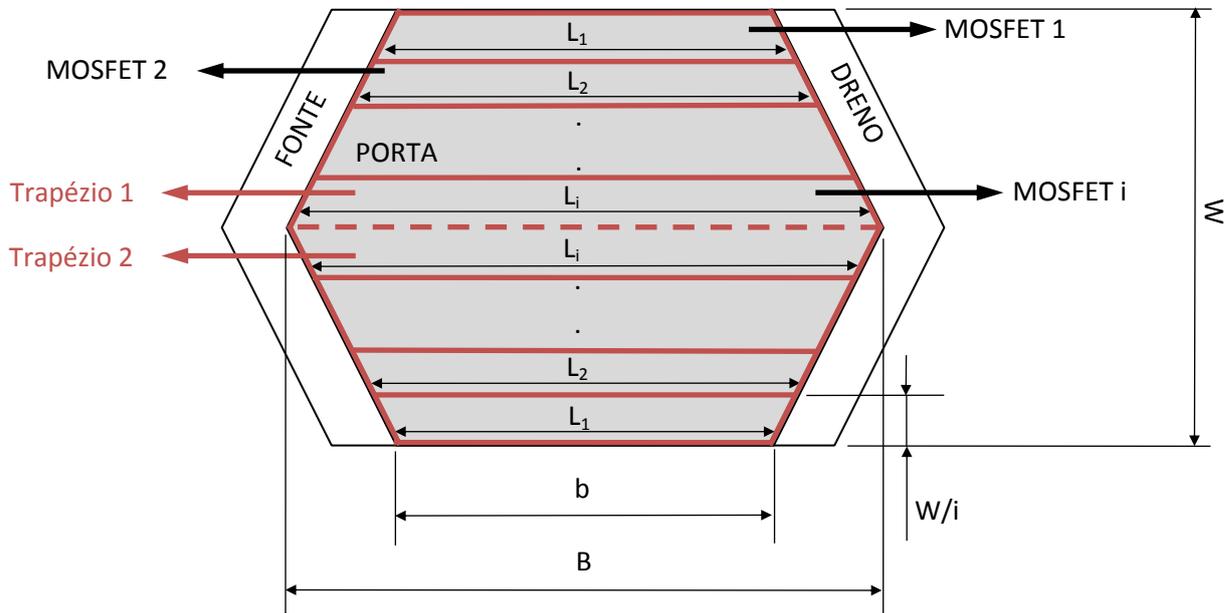
### 2.2.3 Modelagem analítica de primeira ordem de $I_{DS}$ do DSM, considerando-se também o efeito da associação paralela de SOI MOSFETs de diferentes comprimentos de canal

Além da presença do efeito LCE há outro aspecto inerente à estrutura do tipo Diamante, que ajuda a potencializar o desempenho elétrico do SOI MOSFET, que é o efeito PAMDLE (associação paralela de SOI MOSFETs de diferentes comprimentos de canais). Representando-se eletricamente a estrutura de um DSM por uma associação paralela de infinitos CSM infinitesimais, com a mesma largura de canal infinitesimal ( $W' = W/i$ ) e diferentes larguras de comprimentos de canal ( $L_i$ ), onde  $b \leq L_i \leq B$  e  $i$  é um número inteiro ( $0 \leq i \leq \infty$ ), o comprimento de canal efetivo do DSM ( $L_{ef\_DSM}$ ) pode ser obtido através da equação (2.2.4) (GIMENEZ; DAVINI *et al.*, 2014):

$$L_{ef\_DSM} = \frac{B-b}{\ln\left(\frac{B}{b}\right)} \quad (2.2.4)$$

Considerando a mesma área de porta, o  $L_{ef\_DSM}$  é menor que o comprimento de canal do CSM [ $(L=(b+B)/2)$ ] e, portanto, o DSM é capaz de apresentar uma  $I_{DS}$  maior do que a encontrada em seu CSM equivalente, considerando as mesmas condições de polarização, a mesma área de porta e o mesmo  $W$ . Para representar o efeito PAMDLE, a Figura 2.9, traz um DSM tipo n sendo particionados em  $i$  diferentes SOI nMOSFETs de geometria trapezoidal (quase semelhante a uma geometria retangular).

Figura 2.9 - Representação da associação paralela entre MOSFETs com diferentes comprimentos de canais e com a mesma largura de canal (efeito PAMDLE)



Fonte: Autor

Em uma associação em paralelo de SOI nMOSFETs com diferentes comprimentos de canal e com mesma largura de canal, a corrente fluirá mais pelas margens do canal entre fonte e dreno, pois tem-se menores comprimentos de canal, resultando numa  $I_{DS}$  maior do que a encontrada no seu CSM equivalente, pois  $I_{DS}$  é inversamente proporcional ao comprimento de canal (COLINGE, J. P.; COLINGE, C. A., 2002). Portanto, o efeito PAMDLE tem a capacidade de potencializar a  $I_{DS\_DSM}$  proporcionalmente pelo fator  $L/L_{ef\_DSM}$ , que é chamado de ganho do efeito PAMDLE ( $G_{PAMDLE}$ ) (GIMENEZ; DAVINI *et al.*, 2014), onde  $L$  é calculado pela equação (2.2.1).

A equação que descreve o comportamento de  $I_{DS}$  do DSM tipo n em relação ao seu CSM equivalente e que leva em consideração os ganhos proporcionados pelos efeitos LCE ( $G_{LCE}$ ) e PAMDLE ( $G_{PAMDLE}$ ) em função do ângulo  $\alpha$ , é dada pelas equações (2.2.5) e (2.2.6), respectivamente (GIMENEZ; DAVINI *et al.*, 2014).

$$I_{DS\_DSM} = \left[ \sqrt{2(1 + \cos \alpha)} \right] \frac{L}{L_{ef\_DSM}} I_{DS\_DSM}, \text{ para } 0^\circ < \alpha \leq 90^\circ \quad (2.2.5)$$

$G_{LCE}$

$G_{PAMDLE}$

$$I_{DS\_DSM} = (\sqrt{2 + \cos \alpha}) \frac{L}{L_{ef\_DSM}} I_{DS\_DSM}, \text{ para } 90^\circ \leq \alpha < 180^\circ \quad (2.2.6)$$

### 2.3 O SOI MOSFET DO TIPO OCTOGONAL

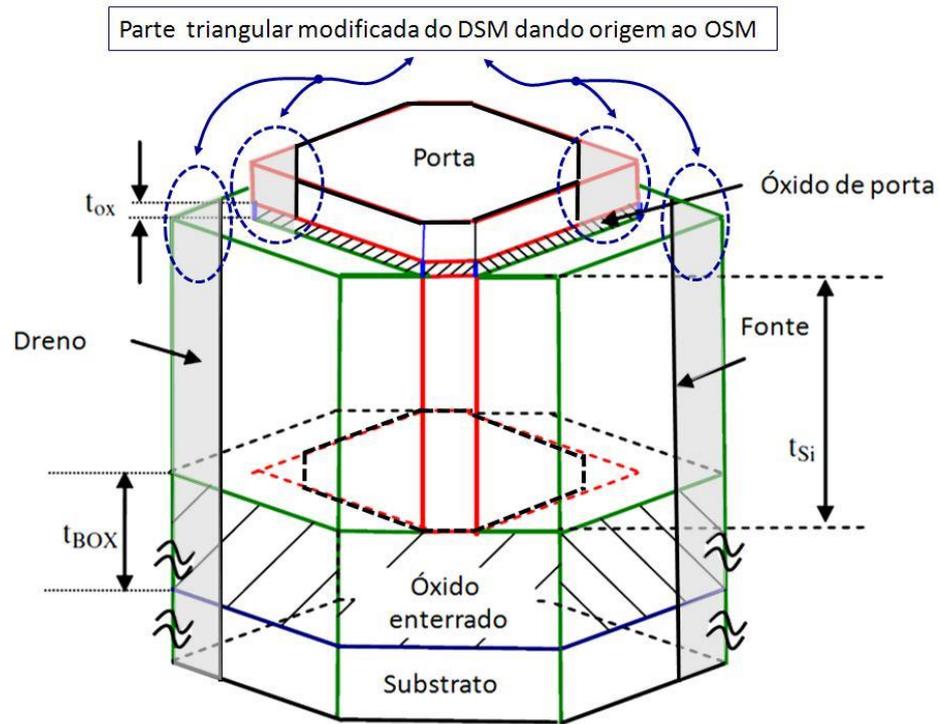
Esta seção tem por objetivo apresentar o SOI MOSFET do tipo OCTO (OSM), que foi desenvolvido com um intuito de prover uma maior tensão de ruptura ( $BV_{DS}$ ) e também para melhorar a robustez aos efeitos da descarga eletrostática (*Electrostatic Discharge* – ESD). O OSM é uma evolução do DSM, pois simplesmente muda a geometria de porta hexagonal (DSM) para uma geometria de porta ortogonal.

#### 2.3.1 A estrutura do OSM

A evolução do DSM para o OSM foi propiciada pela mudança da geometria de porta de um formato hexagonal (*Hexagonal Gate Geometry* - HGG) para um formato de porta Octogonal (*Octogonal Gate Geometry* – OGG). Como resultado desta também simples mudança de leiaute, origina-se uma nova componente do vetor de campo elétrico longitudinal, representado pelo vetor  $\vec{\varepsilon}_{//3}$ . Além disso, na estrutura OSM há a presença das outras duas componentes dos vetores de campo elétrico longitudinal discutido na seção 2.2, que são  $\vec{\varepsilon}_{//1}$  e  $\vec{\varepsilon}_{//2}$ , que se originam da estrutura DSM, resultando assim numa resultante de campo elétrico longitudinal na região do canal maior quando comparado ao DSM equivalente e conseqüentemente aumenta o ganho proporcionado pelo efeito LCE ( $G_{LCE}$ ), considerando a mesma  $A_G$ , o mesmo  $W/L$  e as mesmas condições de polarização (GIMENEZ; ALATI, 2011).

A Figura 2.10 mostra um exemplo de uma estrutura SOI MOSFET do tipo OCTO em 3D provida de uma estrutura DSM (Figura 2.6).

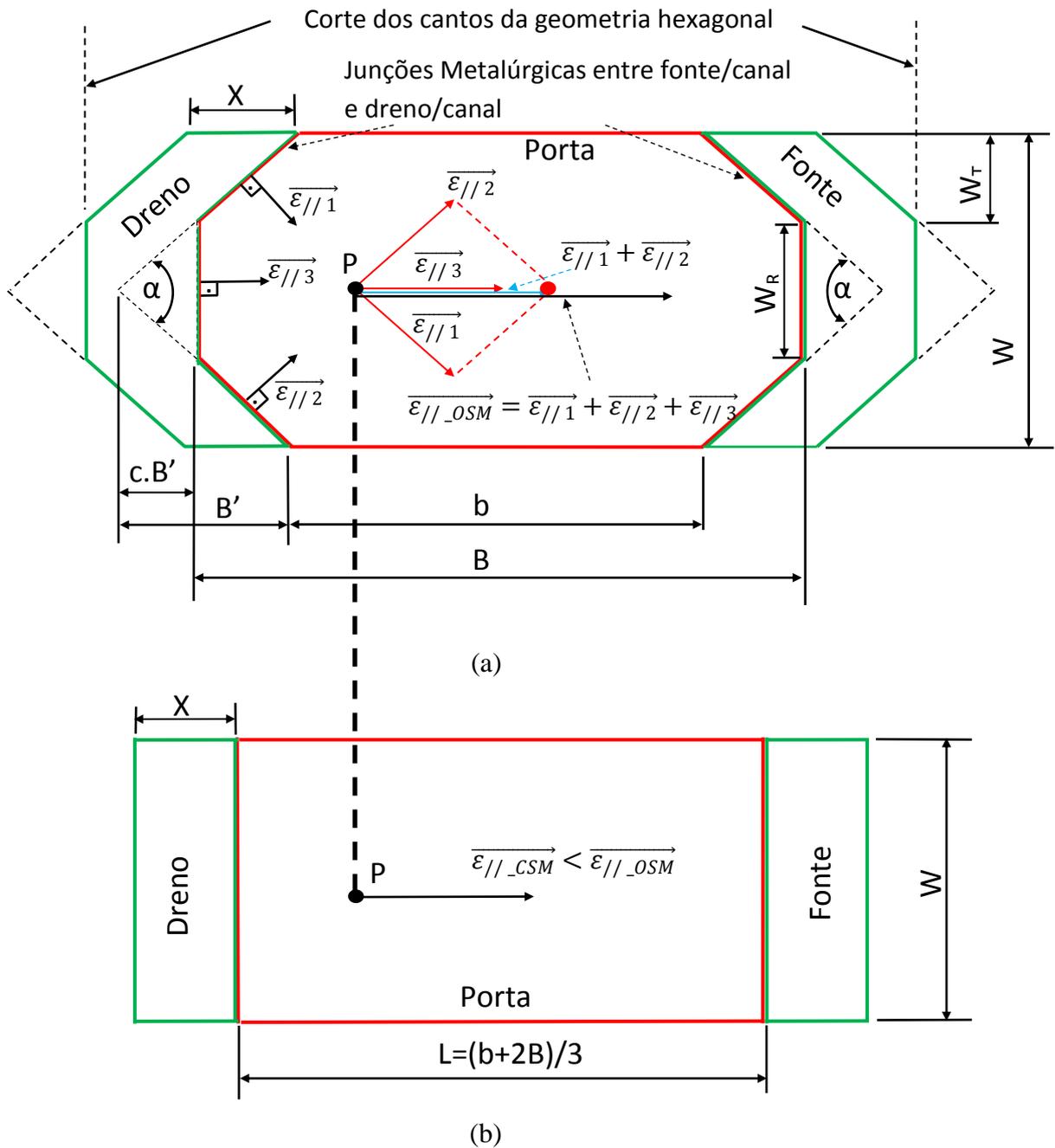
Figura 2.10 - Exemplo de uma estrutura 3D de um SOI MOSFET do tipo OCTO



Fonte: Autor

A proposta de modificação de leiaute de hexagonal para octogonal é observada na Figura 2.11.a, juntamente com seu CSM equivalente (Figura 2.11.b), considerando a mesma área de porta, o mesmo  $W$  e as mesmas condições de polarização. Através da Figura 2.11 fica possível observar a interação entre as componentes dos campos elétricos longitudinais (LEF) no ponto P em ambos os dispositivos (GIMENEZ; ALATI, 2011).

Figura 2.11 - Vistas superiores de SOI MOSFETs do tipo OCTO (a) e do seu Convencional equivalente (b), onde estão indicadas as correspondentes componentes vetoriais do campo elétrico longitudinal e sua resultante, considerando a mesma área de porta, o mesmo  $W$  e as mesmas condições de polarização



Fonte: Autor

Na Figura 2.11,  $b$  e  $B$  são os menores e maiores comprimentos de canal respectivamente,  $W_T = \{[(B - b)/2] \tan(\alpha/2)\}$  e  $W_R = (W - 2W_T)$  representam a largura do canal da parte trapezoidal e retangular que compõem o canal de geometria octogonal (OGG) respectivamente,  $\alpha$  representa o ângulo da geometria hexagonal que dá origem ao

leiaute do OSM e os vetores de campo elétrico longitudinal,  $\overrightarrow{\varepsilon_{//\_OSM}}$  é a resultante do campo elétrico longitudinal (LEF) no ponto P do OSM, que é dado pela soma vetorial dos três componentes do campo elétrico longitudinal  $\overrightarrow{\varepsilon_{//1}}$ ,  $\overrightarrow{\varepsilon_{//2}}$ , e  $\overrightarrow{\varepsilon_{//3}}$  (efeito LCE -  $\overrightarrow{\varepsilon_{//\_OSM}} = \overrightarrow{\varepsilon_{//1}} + \overrightarrow{\varepsilon_{//2}} + \overrightarrow{\varepsilon_{//3}}$ ), devido a polarização de  $V_{DS}$ ,  $B'$  é a altura da parte triangular da geometria hexagonal (Diamante),  $c$  é o fator de corte,  $L$  é o comprimento do canal do seu CSM equivalente com a mesma  $A_G$  e  $W$ , e  $\varepsilon_{//\_CSM}$  é o campo elétrico longitudinal da estrutura CSM. A largura do canal é definida por  $W = (W_R - 2W_T)$  (GIMENEZ; ALATI, 2011).

Considerando o ponto P nos dois dispositivos da Figura 2.11, o OSM fornece uma resultante de campo elétrico longitudinal (LEF),  $\overrightarrow{\varepsilon_{//\_OSM}}$ , maior do que aquela encontrada no seu CSM equivalente, ou seja,  $\overrightarrow{\varepsilon_{//\_OSM}} > \overrightarrow{\varepsilon_{//\_CSM}}$  devido ao efeito LCE, considerando a mesma área de porta, o mesmo  $W$  e as mesmas condições de polarização.

O circuito elétrico equivalente da estrutura OCTO, pode ser representado por três transistores conectados em paralelo, com dois deles definidos com a geometria de porta trapezoidal, em que o comprimento equivalente de canal é dado por  $L_{EQ} = (B + b)/2$  e o outro com a geometria de porta retangular, em que o comprimento equivalente de canal é dado por  $L_{EQ} = B$ . Em aproximação de primeira ordem, o comprimento equivalente do canal do OSM é dado pela média dos comprimentos da região trapezoidal e retangular, ou seja,  $L_{EQ} = (2B + b)/3$  (GIMENEZ; ALATI, 2011).

Quando se projeta um SOI MOSFET do tipo OCTO com uma específica área de porta ( $A_G$ ), o seu CSM correspondente deve apresentar um comprimento de canal ( $L$ ) igual a  $(b+2B)/3$  para apresentar a mesma área do OSM (GIMENEZ e ALATI, 2011). Sendo que, o valor de  $L_{EQ}$  é usado para normalizar as figuras de mérito para realização deste estudo.

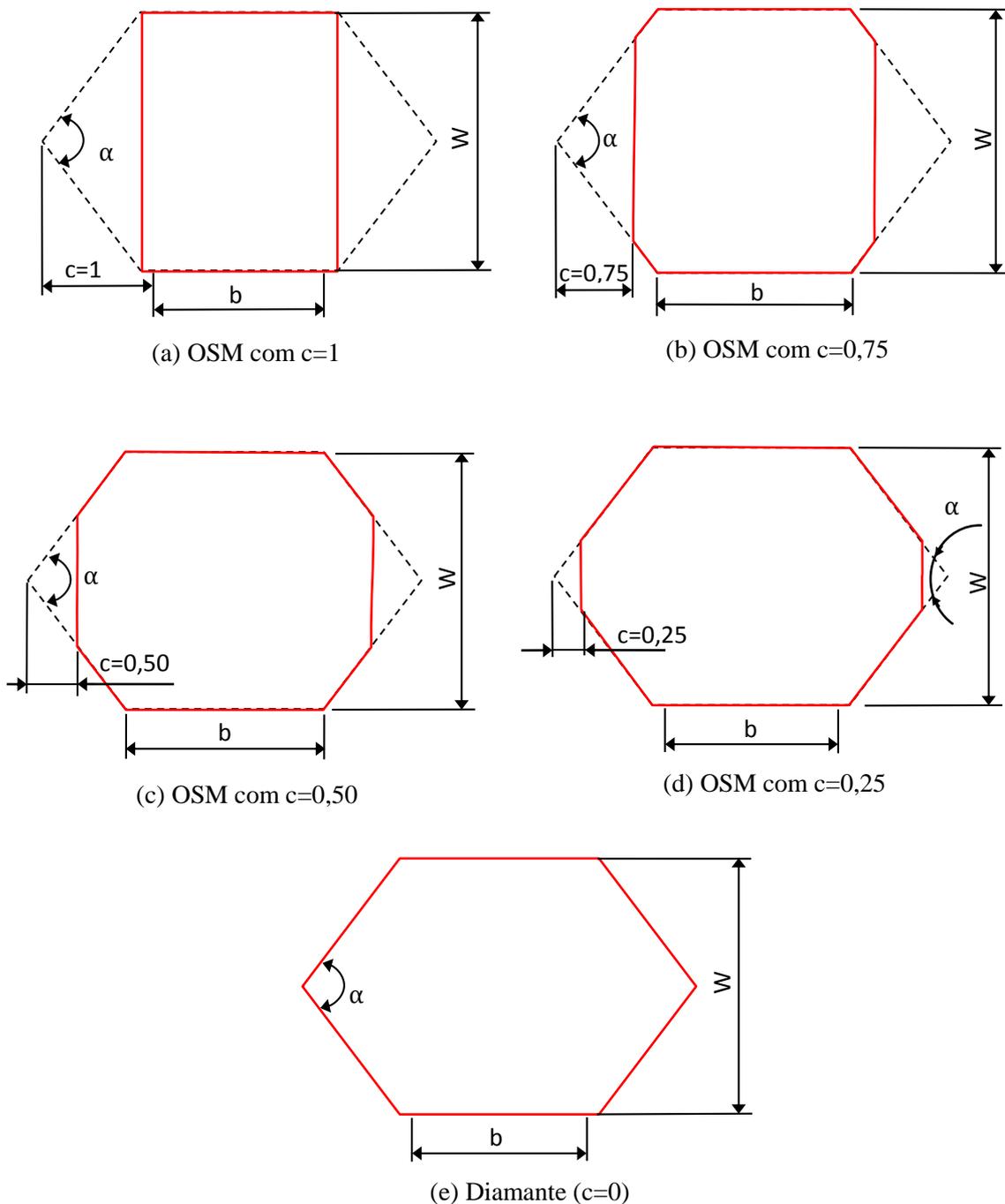
Similarmente a Figura 2.8, a Figura 2.12 ilustra o mapa das componentes dos vetores do campo elétrico longitudinal (LEF), no qual o objetivo é mostrar como as componentes dos vetores LEF ( $\overrightarrow{\varepsilon_{//1}}$ ,  $\overrightarrow{\varepsilon_{//2}}$  e  $\overrightarrow{\varepsilon_{//3}}$ ) se interagem na estrutura de um MOSFET do tipo octogonal. As regiões de canal indicado pela cor verde há somente uma componente do vetor LEF, enquanto nas regiões de porta da estrutura do OCTO, indicado pela cor azul, há duas componentes do vetor LEF e na região indicado pela cor vermelha há três componentes do vetor LEF. As outras regiões de canal da estrutura do OCTO não há nenhuma componente do vetor LEF, porém tem-se uma resultante decorrente da interação dessas componentes vetoriais de LEF.

Analisando a Figura 2.12, pode-se observar que o estilo de leiaute octogonal praticamente apresenta a mesma componente vetorial de LEF na interface entre a região de



A Figura 2.13 mostra um fator importante para que a estrutura do SOI MOSFET do tipo OCTO seja construída de uma forma coesa e funcional. A constante  $c$ , chamada de fator de corte e que varia entre 0 e 1 ( $0 \leq c \leq 1$ ), é usada para definir as dimensões das interfaces entre a região de fonte e a região de canal e a região de canal com a região de dreno, ou seja, a porcentagem que deve ser retirada da região triangular da estrutura do SOI MOSFET tipo Diamante, sendo definida pela multiplicação  $c \cdot B'$ .

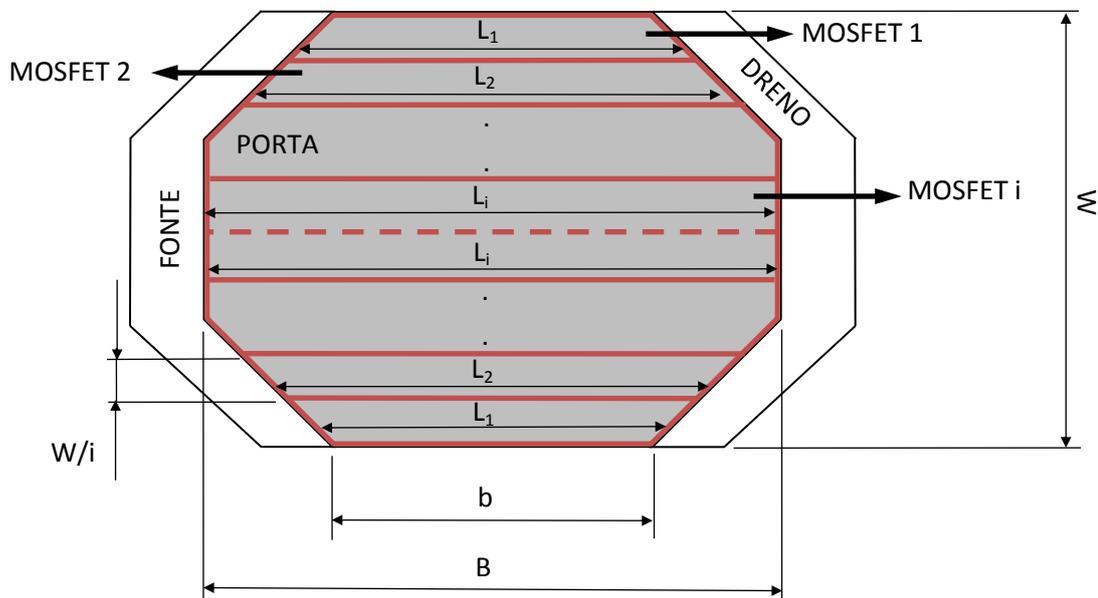
Figura 2.13 - Exemplos de diferentes SOI MOSFETs do tipo OCTO, para valores de fator de corte  $c=1$  (a),  $c=0,75$  (b),  $c=0,50$  (c),  $c=0,25$  (d) e  $c=0$  (e)



Quando se considera  $c=0$ , ou seja, sem nenhum corte, resulta em uma estrutura DSM, mas quando se considera  $c=1$  o corte é máximo e resultará em estrutura CSM, conforme pode ser observado na Figura 2.13, além de ilustrado outros valores para o corte  $c$  e considerando o ângulo  $\alpha$  igual a  $90,0^\circ$ , como exemplo (GIMENEZ; ALATI, 2011).

Outra consideração sobre o OSM, é que ele pode ser eletricamente representado por uma associação paralela de infinitos CSMs infinitesimais, com a mesma largura de canal infinitesimal e diferentes comprimentos de canal ( $L_i$ ), onde  $b \leq L_i \leq B$  e  $i$  é um número inteiro ( $0 \leq i \leq \infty$ ), assim como ocorre com o DSM (efeito PAMDLE), como ilustra a Figura 2.14.

Figura 2.14 - Representação da associação paralela entre MOSFETs com diferentes comprimentos de canais e com a mesma largura de canal (efeito PAMDLE) no OSM



Fonte: Autor

Considerando esta abordagem, o comprimento de canal efetivo do OSM ( $L_{ef\_OSM}$ ) pode ser obtido através da equação (2.3.1) (FINO; SILVEIRA *et al.*, 2015):

$$L_{ef\_OSM} = \frac{1}{\left(\frac{1-c}{B-b}\right) \ln\left(\frac{B}{b}\right) + \frac{c}{B}} \quad (2.3.1)$$

Comparando o OSM e o seu CSM equivalente, considerando a mesma área de porta e o mesmo  $W$ , o comprimento efetivo do canal do OSM é menor que o comprimento de canal do CSM e, portanto, o SOI MOSFET do tipo OCTO também é capaz de apresentar uma  $I_{DS}$  maior do que aquela encontrada no seu CSM equivalente, considerando as mesmas condições

de polarização. Isto é justificado pela presença do efeito PAMDLE, que faz com que a  $I_{DS}$  flua pelas regiões onde apresenta um menor comprimento de canal (margens do canal). O efeito PAMDLE tem a capacidade de potencializar a corrente  $I_{DS}$  do OSM ( $I_{DS\_OSM}$ ) proporcionalmente pelo  $G_{PAMDLE}$  igual a  $L/L_{ef\_OSM}$ , onde  $L$  é igual a  $(b+2B)/3$ .

Portanto, as equações que descrevem o comportamento da corrente de dreno no OSM tipo n ( $I_{DS\_OSM}$ ) estão descritas nas equações (2.3.2) e (2.3.3).

$$I_{DS\_OSM} = \left[ \sqrt{2(1 + \cos \alpha)} + 1 \right] \frac{L}{L_{ef\_OSM}} I_{DS\_CSM}, \text{ para } 0^\circ < \alpha \leq 90^\circ \quad (2.3.2)$$

$$I_{DS\_OSM} = \left( \sqrt{2 + \cos \alpha} + 1 \right) \frac{L}{L_{ef\_OSM}} I_{DS\_CSM}, \text{ para } 90^\circ \leq \alpha < 180^\circ \quad (2.3.3)$$

Oberservando ambas as equações, conclui-se que, os efeitos LCE e PAMDLE ocorrem simultaneamente na estrutura OSM e ambos contribuem para melhorar o seu desempenho eléctrico em relação ao seu convencional CSM equivalente, considerando a mesma área de porta, o mesmo  $W$  e as mesmas condições de polarização (GIMENEZ; ALATI, 2011); (FINO; RENAUX *et al.*, 2012); (FINO; RENAUX *et al.*, 2012).

## 2.4 INFLUÊNCIA DO ALTO CAMPO ELÉTRICO LONGITUDINAL NO SEMICONDUTOR

Nesta seção será apresentada a influência de altos valores de campo eléctrico longitudinal na velocidade média de deriva dos portadores num semiconductor, além do efeito de ionização por impacto que causa um aumento de corrente eléctrica num filme de semiconductor devido aos altos valores de campo eléctrico longitudinal.

### 2.4.1 Velocidade de deriva dos portadores móveis de carga

A ação de deriva dos portadores é o movimento destes como resposta a aplicação ou a presença de um campo eléctrico no material. Ao aplicar um campo eléctrico em um

semicondutor as lacunas movimentam-se no sentido do campo elétrico, enquanto os elétrons movimentam-se no sentido contrário ao campo elétrico. A corrente elétrica ( $I$ ) resultante desse movimento das cargas móveis pode ser expressa pela equação (2.4.1) (SZE, 1981):

$$I = qA(p \cdot v_p + n \cdot v_n) \quad (2.4.1)$$

onde  $q$  é a carga elementar do elétron,  $A$  é a área do semicondutor,  $v_p$  e  $v_n$  são, respectivamente, as velocidades de deriva ou de deslocamento das lacunas e dos elétrons.

Mesmo sem a presença de um campo elétrico, os portadores estão continuamente em movimento, devido à energia térmica que recebem. Esse movimento térmico ocorre, no entanto, em direção randômica, de forma que não haja um movimento líquido de portadores. A velocidade térmica dos portadores pode ser estimada a partir da energia cinética média dos portadores de carga móveis ( $E_K$ ), que é dada pela equação (2.4.2) (SZE, 1981):

$$E_K = \frac{1}{2} m^* v_{\text{ter}}^2 = \frac{3}{2} kT \quad (2.4.2)$$

onde  $v_{\text{ter}}^2$  é a velocidade térmica dos portadores,  $m^*$  é a massa efetiva do portador,  $k$  é a constante de Boltzmann e  $T$  é a temperatura em Kelvin.

Com a aplicação de campo elétrico, tem-se superposta o movimento Browniano, uma aceleração das cargas pelo campo elétrico entre uma colisão e outra entre os portadores de carga móveis, resultando em um deslocamento líquido. Entre os instantes das colisões, os portadores apresentam variação da velocidade, dada pela equação (2.4.3) (CALLISTER; RETHWISCH, 2012); (STREETMAN; BANERJEE, 2000):

$$v(t) = v(0) + at \quad (2.4.3)$$

onde,  $v(t)$  é a velocidade em função do tempo,  $v(0)$  é a velocidade inicial,  $a$  é a aceleração dada pela força do campo elétrico  $\epsilon$ , dada por  $a = \frac{q\epsilon}{m^*}$ .

Pode-se considerar que a média das velocidades iniciais depois das colisões é zero, visto que as colisões resultam em novas direções totalmente aleatórias, sobretudo se considerarmos que, para campos elétricos não muito intensos, a velocidade de deriva dos portadores ainda é muito menor que sua velocidade térmica. Define-se  $\tau_C$  como sendo o tempo médio entre as colisões dos portadores. Dessa forma, calcula-se a velocidade média de

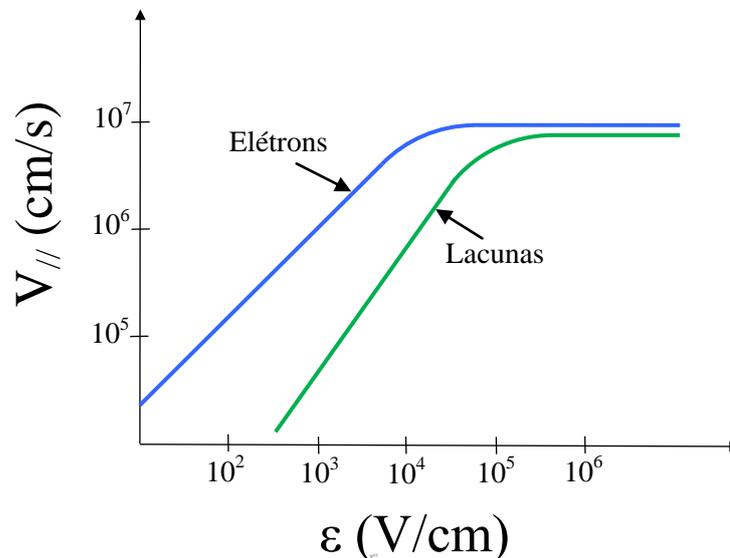
deriva,  $v_{//}$ , a partir da equação (2.4.4) (STREETMAN; BANERJEE, 2000):

$$v_{//} = \frac{a\tau_c}{2} = \frac{q\varepsilon}{m^*} \frac{\tau_c}{2} = \varepsilon\mu \quad (2.4.4)$$

onde  $\mu = \frac{q\tau_c}{2m^*}$  é chamado de mobilidade do portador.

A equação (2.4.4) mostra que a velocidade de deriva dos portadores é proporcional ao campo elétrico aplicado. Para campos elétricos de fraca intensidade, o tempo médio entre as colisões dos portadores é constante e determinado pela velocidade térmica dos portadores. Para campos elétricos intensos, no entanto, a velocidade de deriva torna-se da mesma ordem da grandeza da velocidade térmica, causando uma redução do tempo médio entre as colisões dos portadores, com consequência redução da mobilidade. Por esse motivo, é impossível aumentar a velocidade dos portadores para além de uma velocidade de saturação, da ordem de  $10^7$  cm/s, como ilustra a Figura 2.15, onde há a variação da velocidade de deriva para os elétrons e das lacunas de Si em função do campo elétrico aplicado para uma temperatura de 300 K (STREETMAN; BANERJEE, 2000); (SZE, 1981).

Figura 2.15 - Gráfico da velocidade de deriva dos elétrons e das lacunas num filme de silício (Si) em função do campo elétrico aplicado em suas extremidades



Fonte: Autor “adaptado de” Sze, 1981, p. 46

## 2.4.2 Efeito de ionização por impacto

Em qualquer região de carga espacial com uma elevada polarização reversa, o campo

elétrico será suficientemente alto e capaz de acelerar os portadores livres, até um ponto em que eles terão adquirido energia suficiente para gerar pares elétron-lacuna, devido à colisão com os átomos do cristal. Este efeito é chamado de efeito de ionização por impacto.

A taxa de geração de par elétron-lacuna proveniente da ionização por impacto é dada pela equação (2.4.5) (SZE, 1981).

$$G = \alpha_n n v_n + \alpha_p p \alpha_p = \alpha_n J_n + \alpha_p J_p \quad (2.4.5)$$

onde  $n$  e  $p$  são, respectivamente, a concentração de elétrons e de lacunas,  $J_n$  e  $J_p$  são as densidades de corrente dos elétrons e lacunas respectivamente,  $\alpha_n$  é taxa de ionização do elétron definida como um número de pares elétron-lacuna gerados pelos elétrons por unidade de distância percorrida. Similarmente,  $\alpha_p$  é analogamente definida a taxa de ionização pelas lacunas. Ambos,  $\alpha_n$  e  $\alpha_p$  são fortemente dependentes do campo elétrico (SZE, 1981).

Em MOSFETs de tecnologia convencional (*Bulk*) e SOI, ao se aplicar uma tensão de dreno alta, devido ao alto campo elétrico, os elétrons da região do canal podem adquirir energia suficiente, na região próxima ao dreno, para, através do impacto com a rede cristalina, gerar pares elétron-lacuna. Particularmente em SOI MOSFET totalmente depletado, os elétrons migram rapidamente para a região de maior potencial (região de dreno), compondo uma parcela adicional da corrente de dreno, enquanto as lacunas migram para a região de menor potencial que, neste caso, é a região de fonte. Uma vez que nestes transistores a junção fonte-corpo já está diretamente polarizada devido à depleção da camada de silício, as lacunas podem recombinar-se na fonte, sem aumentar sensivelmente o potencial do corpo, ao contrário do que ocorre em transistores parcialmente depletado (COLINGE, 2004).

O aumento do nível de corrente de dreno causado pela ionização por impacto pode levar à ruptura prematura da junção ou à perda de controle da porta sobre a corrente de dreno. Mas, devido à presença do transistor bipolar parasitário com base flutuante, em SOI MOSFETs, estes apresentam tensão de ruptura menor em relação aos MOSFETs de tecnologia convencional (*Bulk*) (CHOI; FOSSUM, 1991).

Desta forma, a parcela de corrente dreno proveniente da ionização por impacto aumenta a inclinação da corrente de dreno na região de saturação, causando o aumento da condutância de dreno e conseqüente redução da tensão Early, que são parâmetros importantes do ponto de vista analógico (CHOI; FOSSUM, 1991).

## 2.5 INFLUÊNCIA DO AUMENTO DA TEMPERATURA NAS PROPRIEDADES ELÉTRICAS DOS SEMICONDUTORES

Nesta seção será apresentada uma revisão bibliográfica sobre os efeitos das altas temperaturas nas principais propriedades elétricas dos semicondutores. Modelos analíticos que descrevem estes parâmetros também serão apresentados.

### 2.5.1 Banda proibida ( $E_G$ )

A separação entre as bandas de valência e a banda de condução é chamada de banda proibida ( $E_G$ ) (SZE, 1981).

Em temperatura ambiente (300K) e sob condições normais atmosféricas, os valores de  $E_G$ , para o Si, o germânio (Ge) e o GaAs são 1,12 eV, 0,66 eV e 1,42 eV, respectivamente. Estes valores são para materiais intrínsecos (puros), ou seja, sem dopagem. Para materiais dopados o  $E_G$  se torna menor (SZE, 1981).

O valor da banda proibida diminui com o aumento da temperatura para maioria dos materiais semicondutores. A variação de  $E_G$  com a temperatura pode ser aproximada pela equação (2.5.1) (SZE, 1981).

$$E_G = E_G(0) - \frac{\alpha T^2}{(T+\beta)} \quad (2.5.1)$$

onde  $E_G(0)$ ,  $\alpha$  e  $\beta$  são constantes que depende de cada material. A Tabela 2.2 mostra esses valores para os três tipos de semicondutores mais utilizados (SZE, 1981).

Tabela 2.2 - Valores das constantes usadas na equação (2.5.1) para o cálculo de  $E_G$  em função de T

<b>Material</b>	<b><math>E_G(0)</math> [eV]</b>	<b><math>\alpha</math> (<math>\times 10^{-4}</math>) [eV/K]</b>	<b>B [K]</b>
<b>GaAs</b>	1,519	5,405	204
<b>Si</b>	1,170	4,73	636
<b>Ge</b>	0,7437	4,774	235

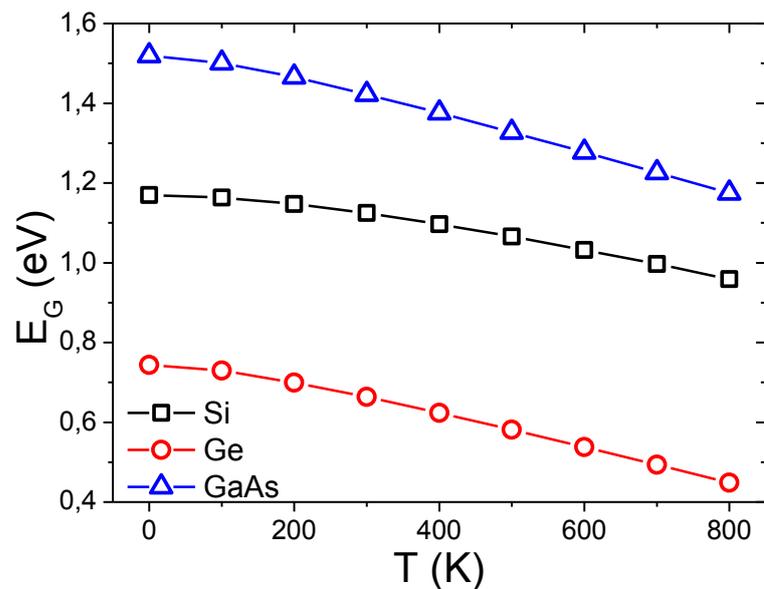
Fonte: Autor “adaptado de”, Sze, 1981

Para que fique claro como a temperatura influência nos valores da banda proibida,

plotou-se um gráfico de  $E_G$  em função da temperatura, ilustrada na Figura 2.16, segundo a equação (2.5.1). Segundo a Figura 2.16 é possível observar que à medida que a temperatura aumenta o valor de  $E_G$  diminui para os três semicondutores intrínsecos. Por exemplo, para  $T$  igual a 400K os valores de  $E_G$  para o Si, Ge e GaAs são 1,09 eV, 0,62 eV e 1,38 eV, respectivamente, que são menores do que  $E_G$  para  $T$  igual a 300 K.

O coeficiente de temperatura  $dE_G/dT$  é negativo para os três tipos de semicondutores, pois diminuem com o aumento da temperatura. Mas alguns semicondutores têm  $dE_G/dT$  positivo, como no caso do sulfeto de chumbo (PbS) que a energia da banda proibida aumenta de 0,286 eV em 0K para 0,41 eV em 300K (SZE, 1981).

Figura 2.16 - Gráfico da energia correspondente a banda proibida ( $E_G$ ) dos semicondutores intrínsecos Si, Ge e GaAs em função da temperatura



Fonte: Autor

## 2.5.2 Concentração intrínseca de portadores

O estudo da física de semicondutores revela que a dependência da concentração intrínseca de portadores de carga  $n_i$  (isto é, o número de elétrons livres e lacunas por centímetro cúbico) com a temperatura pode ser calculada através da equação (2.5.2) (SZE, 1981), ou de forma simplificada pela expressão (2.5.3) (SEDRA; SMITH, 2011).

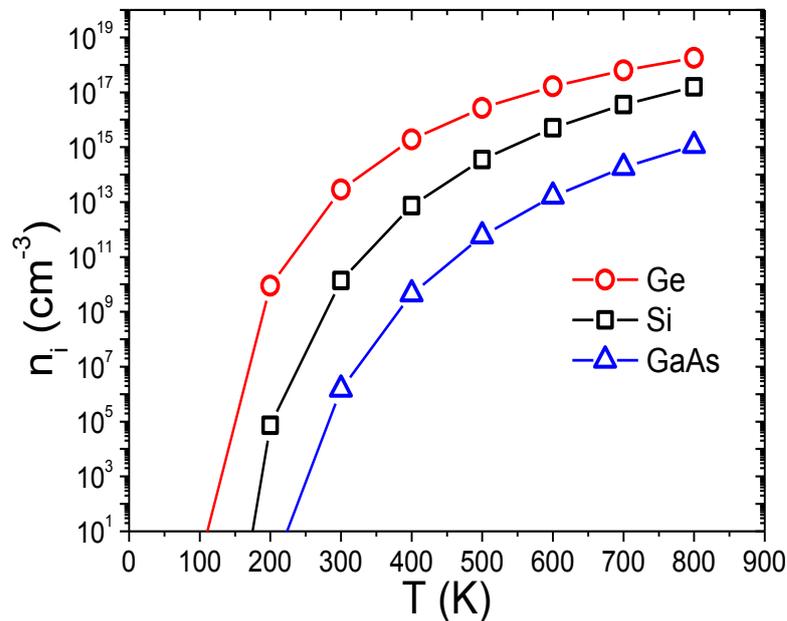
$$n_i = \sqrt{N_C N_V} e^{-(E_G/2kT)} = 4,9 \times 10^{15} \left( \frac{m_n^* m_p^*}{m_0^2} \right)^{3/4} M_C^{1/2} T^{3/2} e^{-(E_G/2kT)} \quad (2.5.2)$$

$$n_i^2 = B T^3 e^{-(E_G/kT)} \quad (2.5.3)$$

onde,  $N_C$  e  $N_V$  são as densidades de estados nas faixas de condução e valência, respectivamente,  $k$  é a constante de Boltzmann,  $m_n^*$  e  $m_p^*$  são as massas efetivas de densidades de estados para elétrons e lacunas, respectivamente,  $E_G$  é a largura da banda proibida do semicondutor,  $m_0$  é a massa do elétron em repouso,  $M_C$  é o número de mínimos equivalente na banda de condução e  $B$  é um parâmetro dependente do material, que para o Si é igual a  $5,4 \times 10^{31}$ . A massa efetiva, tanto do elétron quanto da lacuna, varia com a temperatura e os efeitos quânticos do potencial interno da rede cristalina (SZE, 1981), será desconsiderado neste estudo para simplificação dos cálculos.

Como pode ser notado, através da equação (2.5.2), a concentração intrínseca de portadores depende apenas do material (através do termo  $E_G$  e  $B$ ) e da temperatura. Em um semicondutor intrínseco sem a presença de luz, elétrons e lacunas livres podem ser gerados apenas por excitação térmica. Assim, a concentração de portadores em um semicondutor intrínseco é igual à zero para  $T$  igual a 0 K. (STREETMAN; BANERJEE, 2000). Quando a temperatura aumenta, um número cada vez maior de elétrons ganha energia térmica suficiente para se tornar um elétron livre, conforme pode ser visto na Figura 2.17, onde é apresentada a curva  $n_i$  em função da temperatura para o Si, Ge e o GaAs, onde as três semicondutores são intrínsecas.

Figura 2.17 - Concentração de portadores intrínsecos dos semicondutores intrínsecos em função da temperatura no Si, no Ge e no GaAs



Fonte: Autor

Segundo a equação (2.5.3), a Figura 2.17 ilustra que, a concentração de elétrons e lacunas aumenta com a temperatura, pois dessa forma, mais energia térmica está disponível para excitar os elétrons da banda de valência para banda de condução. Além disso, em todas as temperaturas, a concentração de portadores no Ge é maior que no Si e GaAs. Esse efeito é devido ao menor espaçamento da banda proibida (Figura 2.16), dessa forma, para o Ge em qualquer temperatura submetida, mais elétrons serão excitados através do seu menor espaçamento entre bandas, pois quanto maior o valor do espaçamento da banda proibida menor será a densidade de portadores intrínsecos no material semiconductor.

### 2.5.3 Concentração de portadores livres em função da temperatura para o Si intrínseco e extrínseco

Quando o semiconductor estiver em temperatura igual à temperatura ambiente ( $T$  igual a 300 K), assume-se que todos os portadores provenientes das impurezas doadoras ou aceitadoras estejam ionizados, e nessa situação podemos considerar  $N_D^+ = N_D$  e  $N_A^- = N_A$ , onde  $N_A$  e  $N_D$  são, respectivamente, as concentrações das impurezas aceitadoras e doadoras e  $N_D^+$  e  $N_A^-$  são as densidades das impurezas doadoras e aceitadoras ionizadas, respectivamente

(SZE, 1981); (STREETMAN; BANERJEE, 2000).

Considerando a neutralidade de cargas no material, com dopagem uniforme e assumindo o semiconductor em equilíbrio térmico, tem-se (COLINGE, J. P.; COLINGE, C. A., 2002):

$$p - n + N_D^+ - N_A^- = 0 \quad (2.5.4)$$

onde  $n$  e  $p$  são as concentrações de elétrons e lacunas no semiconductor sob condições de equilíbrio termodinâmico, respectivamente.

Em certos casos de semicondutores não muito dopados, em que não se pode desprezar a concentração de um dos portadores em relação ao outro, não se pode assumir a condição de neutralidade de carga, assim deve-se substituir a equação (2.5.5) na equação (2.5.4), resultando na equação (2.5.6) (STREETMAN; BANERJEE, 2000):

$$np = n_i^2 \quad (2.5.5)$$

$$\frac{n_i^2}{n} - n + N_D - N_A = 0 \quad (2.5.6)$$

Resolvendo a equação (2.5.6) do segundo grau, obtêm-se:

$$n = \frac{N_D - N_A}{2} + \left[ \left( \frac{N_D - N_A}{2} \right)^2 + n_i^2 \right]^{1/2} \quad (2.5.7)$$

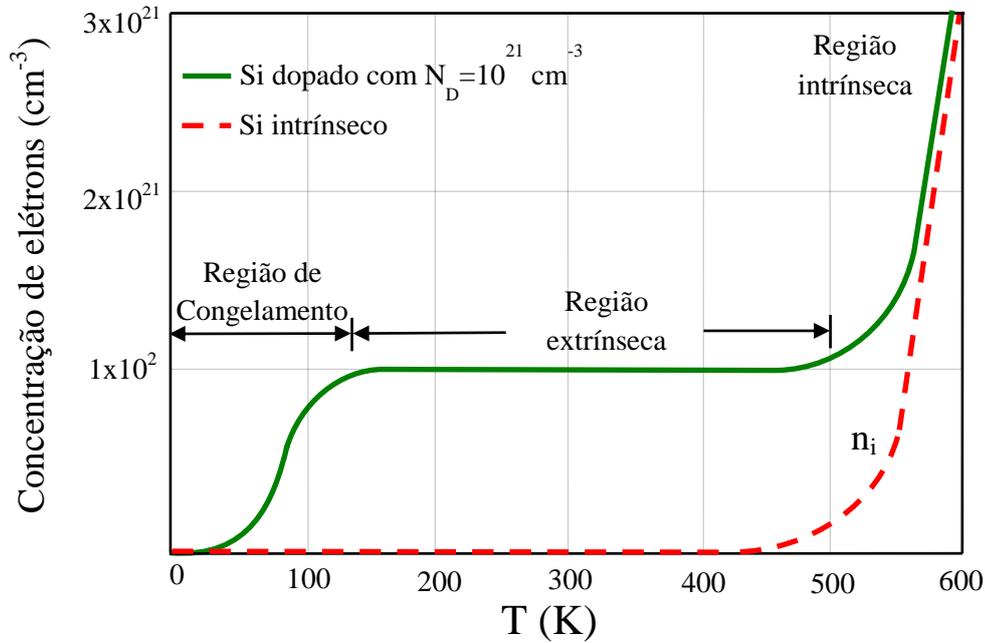
$$p = \frac{n_i^2}{n} = \frac{N_A - N_D}{2} + \left[ \left( \frac{N_A - N_D}{2} \right)^2 + n_i^2 \right]^{1/2} \quad (2.5.8)$$

As equações (2.5.7) e (2.5.8) são válidas para dopagem genérica do semiconductor, e mostram como variam as concentrações de portadores com o nível de dopagem. Porém, essas equações ilustram também que as concentrações dos portadores dependem da concentração  $n_i$  do material, que por sua vez, apresenta uma dependência exponencial com a temperatura, como foi explicado no item 2.5.2 (STREETMAN; BANERJEE, 2000); (CALLISTER; RETHWISCH, 2012).

Para ilustrar a dependência com a temperatura da concentração dos portadores no semiconductor, a Figura 2.18 ilustra um gráfico da concentração de elétrons em função da

temperatura para um Si dopado com  $N_D$  igual a  $10^{21} \text{ cm}^{-3}$  átomos de fósforo, além da variação dos portadores para o Si intrínseco (CALLISTER e RETHWISCH, 2012).

Figura 2.18 - Concentrações de elétrons no Si do tipo n dopado com  $10^{21} \text{ cm}^{-3}$  e no Si intrínseco em função da temperatura



Fonte: Autor “adaptado de” Callister, 2012, p. 633

Três regiões podem ser observadas na curva para o Si extrínseco (Figura 2.18). Nas temperaturas entre  $150 \text{ K}$  e  $580 \text{ K}$ , o material é do tipo n, e a concentração de elétrons é constante. Essa região é chamada de “região de temperatura extrínseca”. Nessa região, praticamente todos os átomos aceitadores estão ionizados, ou seja, os elétrons na banda de condução são excitados a partir do estado doador, valendo a seguinte aproximação:  $n_i \ll N_D$  e  $n \cong N_D$ . Além disso, as excitações intrínsecas, através do espaçamento entre bandas são insignificantes em comparação as excitações devido aos doadores extrínsecos. A faixa de temperatura ao longo da qual essa região extrínseca existe dependerá da concentração de impurezas, além disso, a maioria dos transistores de estado sólido é projetado para operar dentro dessa faixa de temperatura (CALLISTER; RETHWISCH, 2012).

A temperatura de  $0 \text{ K}$ , a concentração de elétrons é zero. Isso se deve ao fato de que, nessa condição, todos os elétrons ocuparão os estados de mais baixa energia possível. Aumentando a temperatura a níveis ainda relativamente baixos, uma pequena fração de elétrons do nível doador ocupará a banda de condução. Essa região é denominada “região de temperatura de congelamento”, uma vez que os portadores carregados (os elétrons) estão

“congelados” junto aos átomos de dopagem. Por exemplo, a região de temperatura de congelamento para o Si é menor que 100 K (CALLISTER; RETHWISCH, 2012).

E finalmente, aumentando-se mais a temperatura, acima da faixa da região extrínseca de temperatura, a concentração de elétrons aumenta acima do teor dopado e aproxima-se assintoticamente da curva do Si intrínseco, conforme a temperatura aumenta. Essa região é denominada de “região de temperatura intrínseca”. Uma vez que em temperaturas elevadas o semiconductor torna-se intrínseco, ou seja, conforme a temperatura aumenta a concentração de portadores de cargas resultante das excitações dos elétrons através do espaçamento entre bandas primeiramente se tornam iguais e então superam por completo a contribuição devido aos portadores doadores ( $n_i \gg N_D$ ), conforme ilustra a Figura 2.18 (CALLISTER; RETHWISCH, 2012).

#### 2.5.4 Variação do nível de Fermi com a temperatura e dopagem

No caso de um semiconductor intrínseco, a concentração de elétrons e lacunas é igual à  $n_i$ , conforme a relação (2.5.9) (STREETMAN; BANERJEE, 2000):

$$p = n = n_i = N_C e^{(E_i - E_C)/kT} = N_V e^{(E_V - E_i)/kT} \quad (2.5.9)$$

onde  $E_C$  é o nível de energia da banda de condução e  $E_V$  é o nível da energia de banda de valência.

A partir da equação (2.5.9), obtém-se a posição do nível de Fermi do Si intrínseco ( $E_i$ ) (STREETMAN; BANERJEE, 2000):

$$E_i = \frac{E_C + E_V}{2} + \frac{1}{2} kT \ln \left( \frac{N_V}{N_C} \right) = \frac{E_C + E_V}{2} + \frac{3}{4} kT \ln \left( \frac{m_p^*}{m_n^*} \right) \quad (2.5.10)$$

A equação (2.5.10) mostra que o nível de Fermi intrínseco do Si não é exatamente o valor médio da banda proibida, mas é bem próxima a esse nível. Quando se considera o Si em temperatura ambiente ( $T$  igual a 300 K), obtém-se o nível de Fermi intrínseco 0,0073 eV abaixo do nível médio da banda proibida (SZE, 1981); (STREETMAN; BANERJEE, 2000).

Quando se considera um semiconductor extrínseco, usam-se as equações (2.5.11) e (2.5.12), desde que o nível de dopagem não torne o material degenerado, ou seja, o nível de

Fermi ( $E_F$ ) deve estar distante dos níveis  $E_C$  e  $E_V$  com uma diferença máxima de  $3kT$  (NEAMEN, 2012), com isso obtêm-se as seguintes equações (SZE, 1981); (NEAMEN, 2012):

a) Para o material tipo p:

$$N_A^- \cong p = n_i e^{\left(\frac{E_i - E_{Fp}}{kT}\right)} \rightarrow E_i - E_{Fp} = \Phi_{Fp} = k. T. \ln\left(\frac{N_A^-}{n_i}\right) \quad (2.5.11)$$

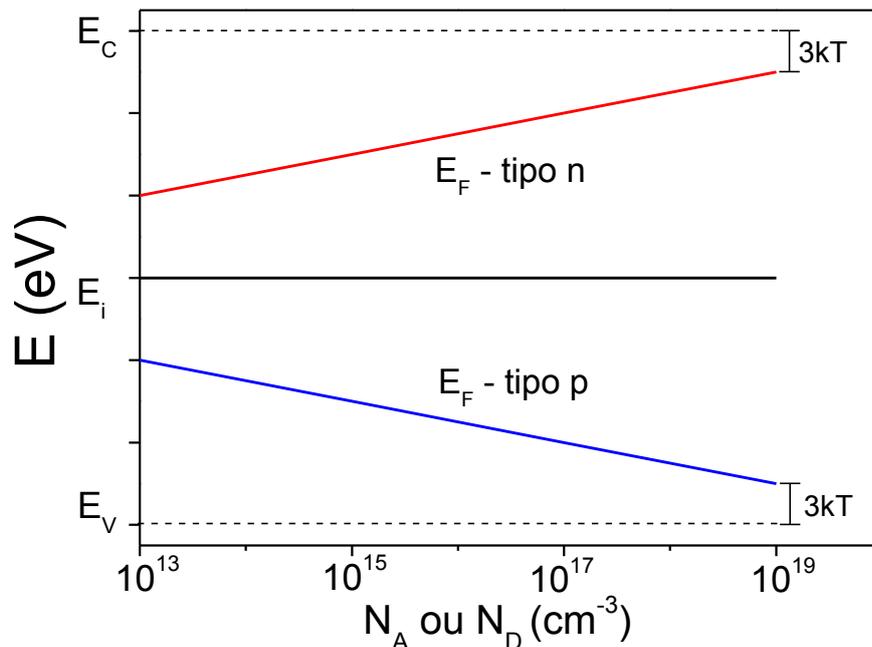
b) Para o material tipo n:

$$N_D^+ \cong n = n_i e^{\left(\frac{E_{Fn} - E_i}{kT}\right)} \rightarrow E_{Fn} - E_i = \Phi_{Fn} = k. T. \ln\left(\frac{N_D^+}{n_i}\right) \quad (2.5.12)$$

onde,  $E_{Fn}$  e  $E_{Fp}$  são os níveis de Fermi do material do tipo n e do tipo p, respectivamente,  $\Phi_{Fp}$  e  $\Phi_{Fn}$  são os potenciais de Fermi para o semiconductor tipo p e tipo n, respectivamente.

A Figura 2.19 ilustra o nível de Fermi em função da concentração de impurezas no silício, à temperatura ambiente, calculado a partir das equações (2.5.11) e (2.5.12) (NEAMEN, 2012).

Figura 2.19 - Gráfico da energia do nível de Fermi do Si do tipo p e n em função da concentração do nível de dopantes e em temperatura ambiente

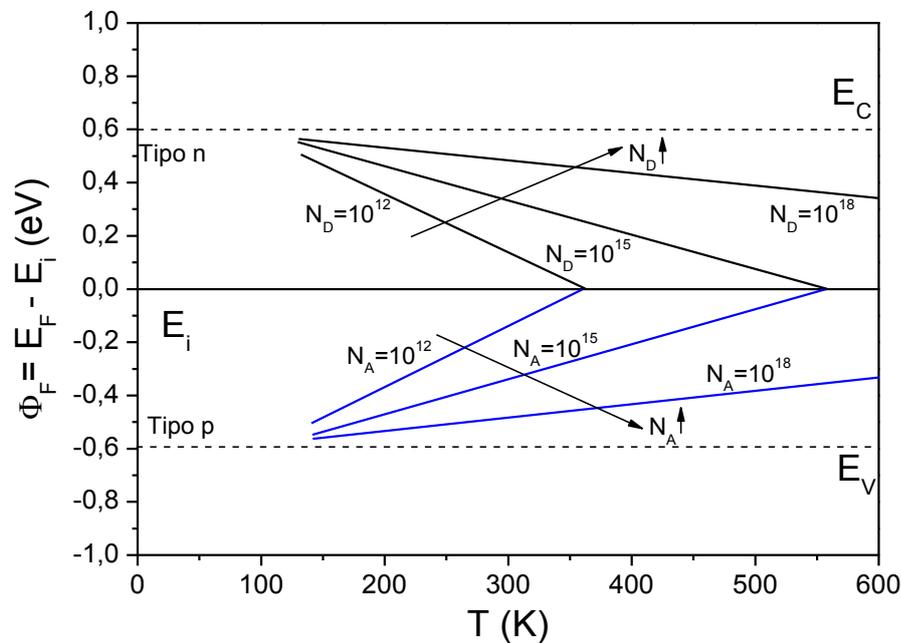


O potencial de Fermi do Si em função da temperatura é apresentado na Figura 2.20, sendo determinado pelo procedimento exposto acima para o Si tipo p e tipo n, com alguns níveis de dopagem.

A temperatura de 0 K, o nível de Fermi do Si localiza-se junto ao nível de Fermi das impurezas doadoras ( $E_d$ ) para o material tipo n, e junto ao nível de Fermi das impurezas aceitadoras ( $E_a$ ) para o material tipo p. Isso é consequência do fato da função de Fermi ser abrupta a essa temperatura, sendo que os níveis de energia dos átomos doadores em  $E=E_d$  de um material tipo n estarem todos ocupados, e os estados dos átomos aceitadores em  $E=E_a$  de um material tipo p estarem todos desocupados (SZE, 1981); (NEAMEN, 2012).

Em altas temperaturas, o nível de Fermi do Si tende ao nível de Fermi intrínseco do material. Isto é explicado pelo fato de a alta taxa de geração térmica de portadores tornar a dopagem desprezível, quando comparada aos portadores térmicos. Para o Si com maiores níveis de dopagem, é necessária uma maior temperatura para que o seu nível de Fermi se aproxime do nível de Fermi intrínseco do Si (SZE, 1981); (NEAMEN, 2012).

Figura 2.20 - Gráfico do potencial do nível de Fermi do Si tipo n e tipo p em função da temperatura, para diferentes níveis de dopagem



Fonte: Autor "adaptado de", Sze, 1981, p.26

### 2.5.5 Mobilidade

No item 2.4.1 mostrou-se que, ao aplicar um campo elétrico em um semiconductor as lacunas movimentam-se no sentido do campo elétrico, enquanto os elétrons movimentam-se no sentido contrário. Sob tais circunstâncias, todos os elétrons livres devem acelerar enquanto o campo elétrico estiver sendo aplicado, o que deve originar uma corrente elétrica que é continuamente crescente ao longo do tempo. Entretanto, sabe-se que uma corrente elétrica atinge um valor constante no instante em que o campo é aplicado, o que indica que há algum fenômeno que contrapõe a aceleração do elétron pelo campo elétrico, esse fenômeno é denominado de colisões entre os portadores de carga móveis (CALLISTER; RETHWISCH, 2012); (SZE, 1981).

As colisões dos portadores resultam do espalhamento (*scattering*) dos elétrons pelas imperfeições que existem na rede cristalina, ou seja, são causados por perturbações no potencial periódico da rede cristalina. O fenômeno de espalhamento é manifestado como uma resistência à passagem de corrente elétrica. Vários parâmetros são usados para descrever a extensão desse espalhamento, mas a mais usual é a mobilidade do portador ( $\mu$ ). A mobilidade é uma indicação da frequência dos eventos de espalhamentos (CALLISTER; RETHWISCH, 2012); (SZE, 1981).

A mobilidade do portador depende diretamente do tempo médio entre colisões dos portadores móveis e é inversamente proporcional a massa efetiva dos portadores, segundo a equação (2.4.4). Além disso, a orientação cristalina influencia na mobilidade dos portadores, por exemplo, para o Si a mobilidade dos elétrons é maior em planos (100), enquanto a mobilidade das lacunas é maior em planos (111), devido a variação da massa efetiva do respectivo portador (STREETMAN; BANERJEE, 2000) (SZE, 1981).

Em um cristal real a  $T > 0$  K, há três possíveis causas de espalhamentos de portadores (STREETMAN; BANERJEE, 2000); (SZE, 1981):

- a) Espalhamento com o potencial oscilante da rede, causada pela vibração térmica dos átomos do material, ou seja, pela energia dos fônons. Quanto maior a temperatura, maior a amplitude dessa vibração, maior a perturbação do potencial eletrostático da rede e maior a seção de choque do espalhamento. Portanto, aumentando-se a probabilidade do espalhamento dos portadores;
- b) A presença de impurezas causa uma perturbação contínua do seu potencial eletrostático. Essa perturbação constitui uma fonte de espalhamento do

portador ao se deparar com ela. Essa fonte de espalhamento será mais pronunciada quanto maior for a densidade de impurezas e quanto menor for a temperatura, quando o espalhamento com os fônons é reduzido;

- c) A terceira fonte de espalhamento são os defeitos cristalográficos tipo vacância, discordância, etc. Estes também introduzem perturbações no potencial periódico da rede, dando origem ao espalhamento dos portadores. Nos cristais disponíveis de semicondutores, essa fonte de espalhamento é normalmente insignificante.

A frequência de colisões é dada pela soma das colisões de cada tipo de espalhamento. Desprezando-se a frequência de colisões por defeitos cristalográficos, temos (SZE, 1981):

$$\frac{1}{\tau_C} = \frac{1}{\tau_{ter}} + \frac{1}{\tau_{imp}} \quad (2.5.13)$$

onde  $\tau_C$  é o tempo médio entre as colisões dos portadores,  $\tau_{ter}$  é o tempo médio das colisões térmica e  $\tau_{imp}$  é a é o tempo médio das colisões devido às impurezas.

Como consequência, pode-se desmembrar a mobilidade em dois termos correspondentes, como mostra a equação 2.5.14 (SZE, 1981).

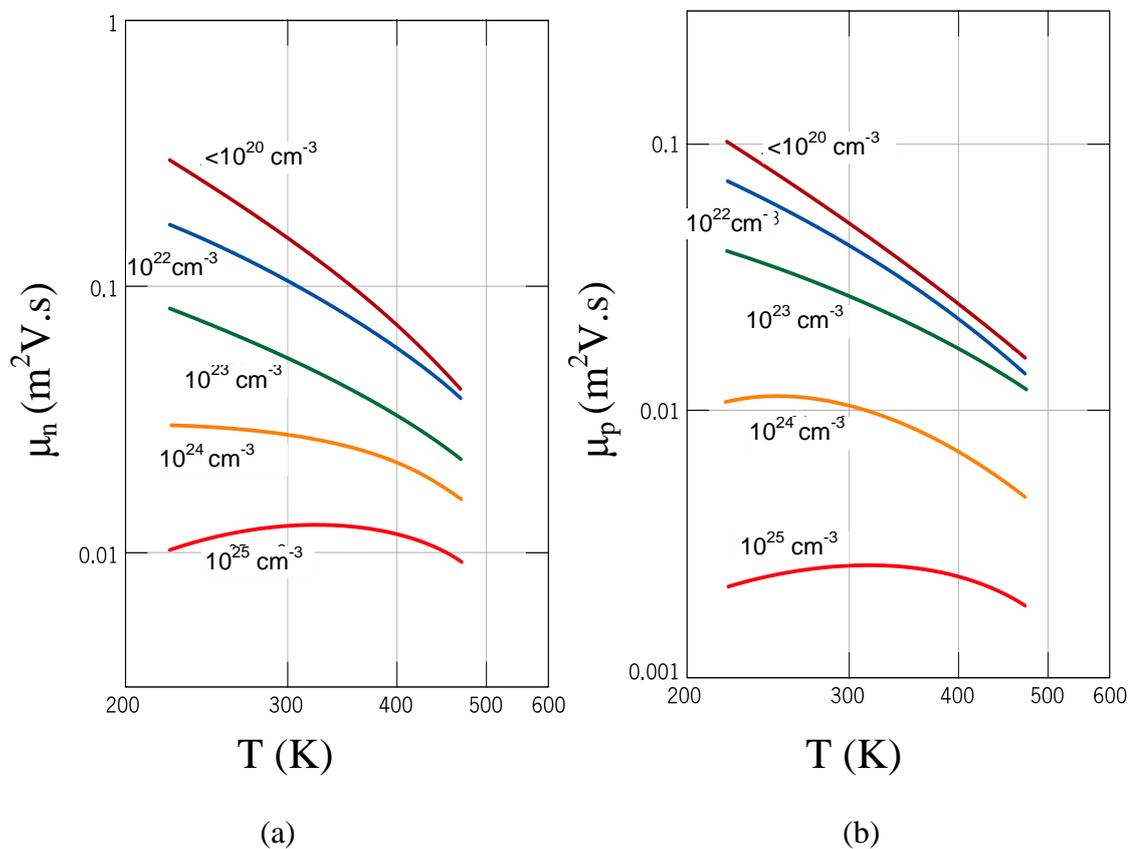
$$\frac{1}{\mu} = \frac{1}{\mu_{ter}} + \frac{1}{\mu_{imp}} \quad (2.5.14)$$

onde  $\mu$  é a mobilidade total,  $\mu_{ter}$  é a mobilidade térmica e  $\mu_{imp}$  é a mobilidade devido às impurezas.

A Figura 2.21 ilustra a mobilidade dos elétrons e das lacunas para o Si em função da temperatura, com vários níveis de dopagem (CALLISTER; RETHWISCH, 2012). Para baixas dopagens, prevalece o efeito do espalhamento térmico sobre a curva da mobilidade. Mostra-se que o tempo médio entre colisões com os átomos da rede, bem como a mobilidade, segue uma relação proporcional a  $T^{-3/2}$ , conforme pode ser observado na Figura 2.22. Para altas dopagens, ocorre um efeito predominante do espalhamento com impurezas, sobretudo a baixas temperaturas. Mostra-se que o tempo médio entre colisões com impurezas, bem como a mobilidade, segue uma relação proporcional a  $T^{3/2}$ , conforme pode ser observado na Figura 2.22. Uma explicação para esse último comportamento é que a energia térmica do portador

aumenta com a temperatura, enquanto a energia potencial de uma carga em torno de uma impureza ionizada é independente da temperatura. Assim, quanto maior a temperatura, a energia potencial relativa ao íon torna-se desprezível, quando comparada com a energia térmica do portador. Como consequência, o portador tende a não sentir mais o efeito da impureza, aumentando, assim, o tempo médio entre as colisões das impurezas, sendo proporcional a  $T^{3/2}$  (STREETMAN; BANERJEE, 2000); (CALLISTER; RETHWISCH, 2012); (SZE, 1981).

Figura 2.21 - Gráficos das mobilidades do elétron (a) e da lacuna (b) no Si para diferentes concentrações de impurezas em função da temperatura

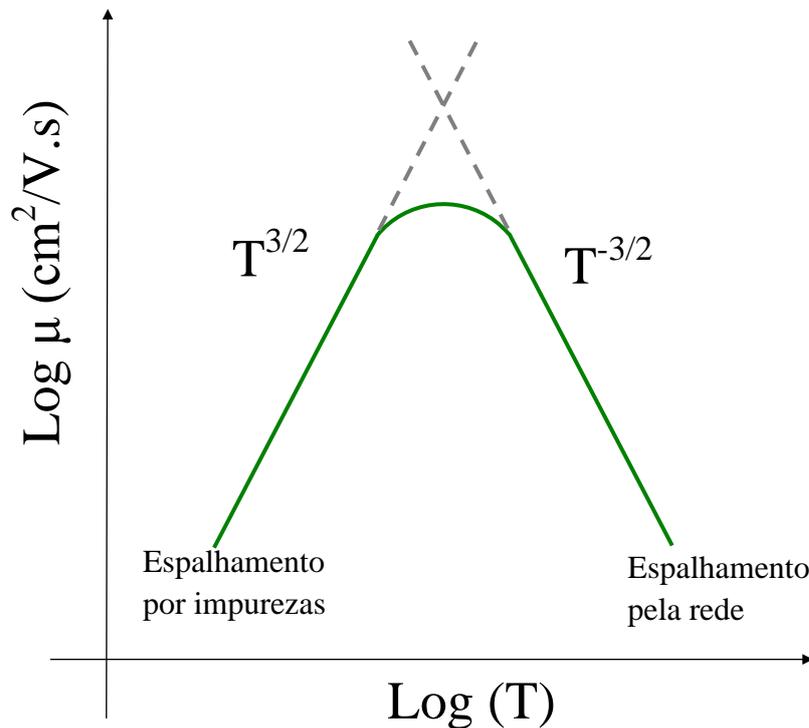


Fonte: Autor “adaptado de” Callister, 2012, p. 634.

A partir da Figura 2.21 é possível observar que, para concentrações de dopantes iguais ou menores que  $10^{24}\text{ cm}^{-3}$ , tanto a mobilidade dos elétrons quanto das lacunas diminuem em magnitude com o aumento da temperatura, pois prevalece o efeito de espalhamento térmico dos portadores. Tanto para elétrons quanto para lacunas, em níveis de dopante menores que  $10^{20}\text{ cm}^{-3}$ , a dependência da mobilidade em relação à temperatura é independente da concentração de impurezas doadoras ou aceitadoras. Além disso, para concentrações maiores

que  $10^{20} \text{ cm}^{-3}$  as curvas em ambos os gráficos são deslocadas para valores de mobilidade progressivamente mais baixos, com o aumento do nível de dopante (STREETMAN; BANERJEE, 2000); (CALLISTER; RETHWISCH, 2012).

Figura 2.22 - Gráfico do logarítmico da mobilidade em função do logarítmico da temperatura, indicando o espalhamento pela rede (térmico), e de impurezas



Fonte: Autor "adaptado de" Streetman, 2000, p. 98

## 2.6 PARÂMETROS ELÉTRICOS ANALÓGICOS E DIGITAIS DA TECNOLOGIA SOI MOSFET CONSIDERANDO A INFLUÊNCIA DO AUMENTO DA TEMPERATURA

Esta seção apresenta os principais parâmetros elétricos analógicos dos SOI MOSFETs totalmente depletados, os quais serão utilizados nas seções seguintes. Serão apresentadas também alterações decorrentes do aumento da temperatura sobre estes parâmetros.

### 2.6.1 Tensão de limiar

A tensão de limiar ( $V_{TH}$ ) pode ser definida como aquela que, aplicada à porta de um MOSFET eleva o potencial na superfície da camada de silício para  $2\Phi_F$ , para a qual há a formação do canal de inversão (elétrons ou lacunas livres). Para os MOSFETs do tipo n (*Bulk* ou SOI), a tensão de limiar pode ser expressa por (COLINGE, 2004):

$$V_{TH} = \Phi_{MS} + 2\Phi_F - \frac{Q_{OX}}{C_{OX}} - \frac{Q_{depl}}{C_{OX}} \quad (2.6.1)$$

onde  $\Phi_{MS}$  é a diferença da função trabalho entre o eletrodo de porta e o silício,  $\Phi_F$  é o potencial de Fermi,  $Q_{OX}$  é a densidade de carga fixa no óxido de porta,  $Q_{depl}$  é a carga de depleção controlada pela porta e  $C_{OX}$  é a capacitância do óxido de porta.

Antes de analisar a tensão de limiar, vamos rever as equações (2.1.2) e (2.5.3) que definem  $\Phi_F$  e  $n_i$ , respectivamente. O potencial de Fermi  $\Phi_F$  apresenta dependência com a temperatura, tanto diretamente através do termo  $kT/q$  como indiretamente através da concentração intrínseca e da concentração de dopantes (item 2.5.4). Portanto, quando a temperatura do ambiente aumenta,  $n_i$  aumentará rapidamente e por consequência  $\Phi_F$  reduzirá, pois, o aumento de  $n_i$  com a temperatura é muito maior do que o termo  $kT/q$ , quando se analisa a equação (2.1.2).

Em MOSFETs de tecnologia convencional (*Bulk*) e SOI parcialmente depletados, a densidade de carga de depleção,  $Q_{depl}$ , é dada por  $Q_{depl} = q \cdot N_A \cdot x_{dmax}$ . Desta forma, diferenciando a equação (2.6.1) em relação à temperatura, temos que, para estes transistores, a variação da tensão de limiar com a temperatura resulta:

$$\frac{dV_{TH}}{dT} = \frac{d\Phi_F}{dT} \left[ 1 + \frac{q}{C_{OX}} \sqrt{\frac{\epsilon_{Si} N_A}{kT \ln(N_A/n_i)}} \right] \quad (2.6.2)$$

No caso dos SOI MOSFETs totalmente depletados do tipo n,  $Q_{depl}$  é igual a  $(q \cdot N_A \cdot x_{dmax})/n$ , onde  $n$  varia em uma faixa entre 1 e 2, dependendo da carga do óxido de porta e a polarização de  $V_{G2}$ . Assumindo que  $n$  é independente da temperatura, a variação de  $V_{TH}$  com a temperatura é (COLINGE, 2004):

$$\frac{dV_{TH}}{dT} = \frac{d\Phi_F}{dT} \quad (2.6.3)$$

Comparando as equações (2.6.2) e (2.6.3),  $dV_{TH}/dT$  é menor em SOI MOSFETs totalmente depletados do que em MOSFETs de tecnologia convencional (*Bulk*) ou SOI parcialmente depletado (COLINGE, 2004).

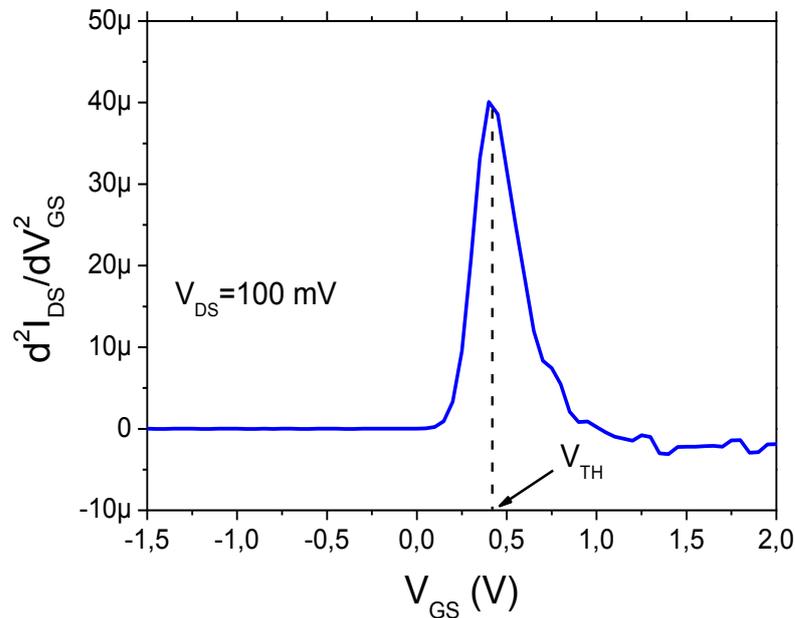
O aumento da temperatura causa uma redução de  $V_{TH}$  entre -0,7 mV/K a -0,8 mV/K em SOI MOSFET totalmente depletado e uma redução muito maior é encontrado em MOSFETs de tecnologia convencional (*Bulk*) e SOI parcialmente depletado (COLINGE, 2004).

Vale ressaltar que os dispositivos SOI MOSFET totalmente depletado apresentam dependência da tensão de limiar com a espessura da camada de silício, que é indesejável na operação de circuitos integrados (CHUANG; LU; ANDERSON, 1998).

Quando a temperatura aumenta, a concentração de portadores intrínsecos aumenta e  $\Phi_F$  decreta, dando origem à redução de  $x_{dmax}$ , de tal maneira que os dispositivos SOI MOSFET totalmente depletado se tornam parcialmente depletados acima de uma temperatura crítica,  $T_C$ . Acima da temperatura  $T_C$ , o transistor se comporta como um SOI MOSFET de camada de Si espessa, já que a camada de Si não é mais totalmente depletada. Com isso, a dependência de  $V_{TH}$  com a temperatura se torna similar à observada em um SOI MOSFET parcialmente depletado ou um MOSFET de tecnologia convencional (*Bulk*), sendo calculado pela equação (2.6.2). Dependendo das condições de polarização, cargas podem ser geradas no óxido enterrado para temperaturas acima de 473 K, e estas cargas podem se acumular no óxido enterrado e criar instabilidade na tensão de limiar de um SOI MOSFET totalmente depletado (COLINGE, 2004).

Um método eficiente para a obtenção da tensão de limiar é a partir do ponto máximo (no caso de um SOI nMOSFET) da segunda derivada da curva  $I_{DS}$  em função de  $V_{GS}$  e com baixa polarização de dreno (TERAO; FLANDRE *et al.*, 1991), conforme ilustra a Figura 2.23, onde o valor de  $V_{GS}$  correspondente ao ponto máximo dessa curva é igual a  $V_{TH}$ .

Figura 2.23 - Curva da segunda deriva de  $I_{DS}$  em relação a  $V_{GS}$ , em função de  $V_{GS}$ , utilizada para extração da tensão de limiar dos transistores deste estudo

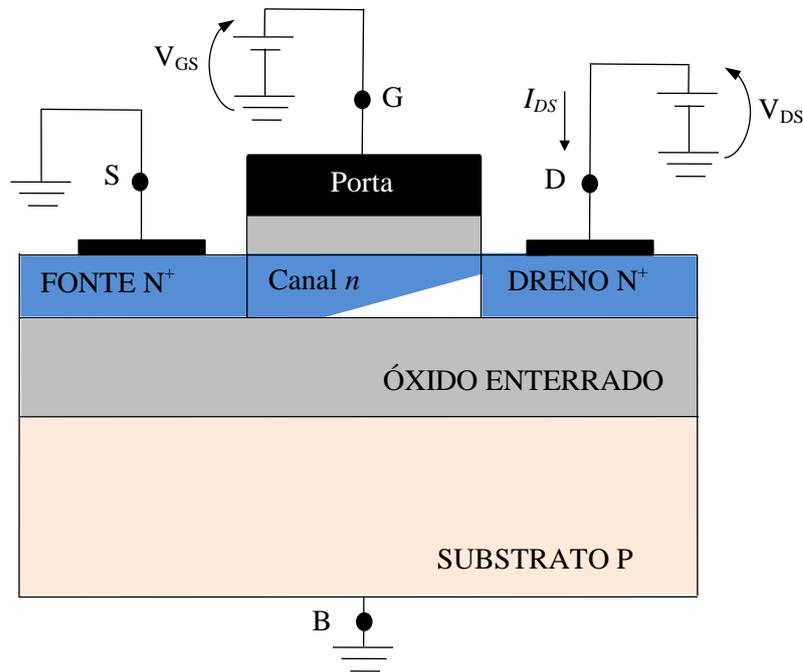


Fonte: Autor

### 2.6.2 Corrente de dreno no SOI nMOSFET

Quando se considera a situação em que se aumenta o valor de  $V_{DS}$  e mantendo um valor constante de  $V_{GS}$ , sendo esse valor maior que a tensão de limiar, observa-se que  $V_{DS}$  aparece como uma queda de tensão na extensão do canal, ou seja, a tensão (medida em relação à fonte) ao longo do canal varia entre 0 V (região da fonte) e  $V_{DS}$  (região do dreno). Portanto a tensão entre a porta e os pontos ao longo do canal diminui entre  $V_{GS}$  na região da fonte até  $V_{GS}-V_{DS}$  na região do dreno. Como a profundidade do canal depende de  $V_{GS}$ , conclui-se que a profundidade do canal não será uniforme, ou seja, a região de canal será mais profunda próxima à região de fonte e mais superficial próxima à região de dreno, conforme mostra a Figura 2.24, onde ilustra a seção transversal de um SOI nMOSFET operando na região de triodo (SEDRÁ e SMITH, 2011); (MARTINO; PAVANELLO; VERDONCK, 2003).

Figura 2.24 - Seção transversal de um SOI nMOSFET operando na região de triodo, indicando o formato do canal

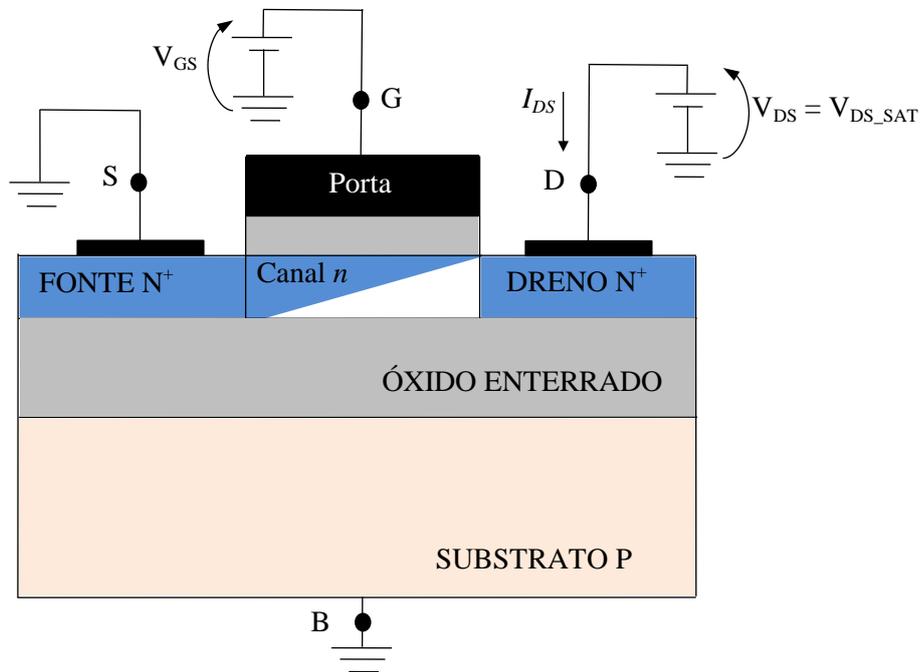


Fonte: Autor “adaptado de” Sedra, 2011, p. 145

Quando a tensão  $V_{DS}$  for inferior à diferença de potencial entre a tensão de porta e a tensão de limiar ( $V_{GS} - V_{TH}$ ), as diferenças de potenciais em ambos os lados da região do canal ( $V_{GS}$  e tensão entre porta e dreno -  $V_{GD}$ ) serão superiores a  $V_{TH}$ , estabelecendo-se, portanto, a presença de uma camada de inversão desde a fonte até o dreno, pois o potencial de superfície ( $\Phi_S$ ) em cada ponto do canal terá o valor de duas vezes o potencial de Fermi ( $\Phi_S = 2\Phi_F$ ). Nessa condição, o transistor está operando na região de triodo, conforme mostra a Figura 2.24 (SEDRA; SMITH, 2011); (MARTINO; PAVANELLO; VERDONCK, 2003).

À medida que a tensão  $V_{DS}$  aumenta o canal se tornará cada vez mais estreito próxima a região de dreno e sua resistência aumentará, até um valor de  $V_{DS}$  que reduz a tensão entre a porta e o canal no final da região dreno para  $V_{TH}$  e a profundidade do canal no final da região de dreno diminui até próximo de zero, ocorrendo o chamado estrangulamento da camada de inversão ou *pinched-off* (SEDRA; SMITH, 2011). Nessa condição o transistor está operando na região de saturação, como ilustra a Figura 2.25. Esta tensão de dreno específica é:  $V_{DS} = V_{GS} - V_{TH} = V_{DS\_SAT}$ , sendo denominada de tensão de saturação e marca a transição entre os regimes de triodo e saturação no funcionamento do transistor. Nessa condição a corrente entre dreno e fonte satura, e onde ocorre o seu valor máximo, que é chamado de corrente entre dreno fonte na região de saturação ( $I_{DS\_SAT}$ ).

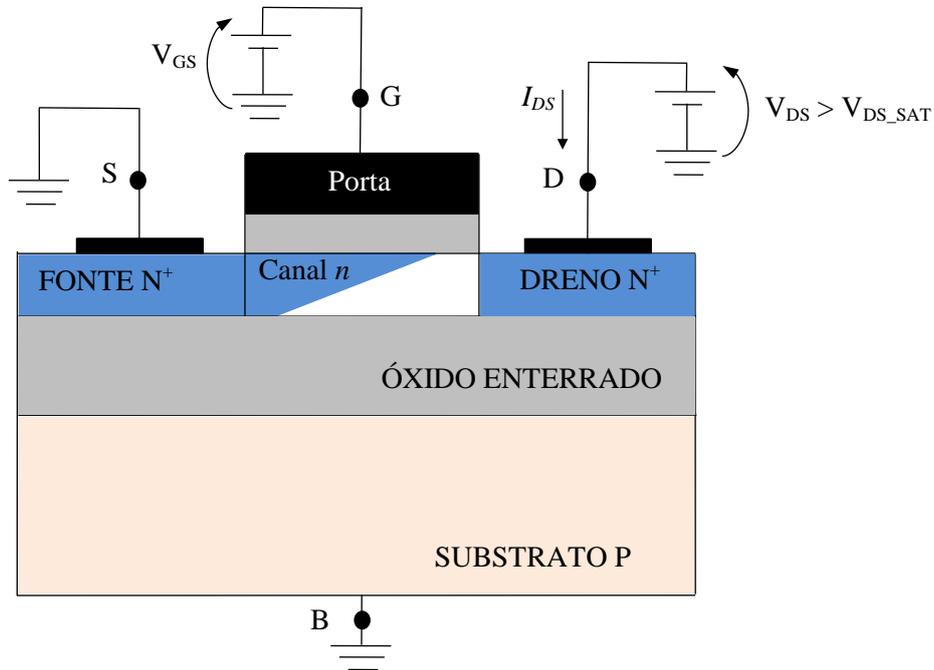
Figura 2.25 - Seção transversal de um SOI nMOSFET operando na transição da região triodo para região de saturação, indicando o estrangulamento do canal na região de dreno



Fonte: Autor “adaptado de” Sedra, 2011, p. 146

Aumentando-se  $V_{DS}$  além da tensão  $V_{DS\_SAT}$ , o ponto de estrangulamento do canal se move na direção da fonte, como mostra a Figura 2.26, e praticamente nenhum aumento de  $I_{DS}$  será observado. Nessa circunstância os portadores minoritários, que compõem a camada de inversão da região de canal, atravessarão a região que separa o final da camada de inversão da região de dreno, pois os portadores alcançam a sua velocidade limite no Si, devido ao alto campo elétrico horizontal nesta região, assim mantendo a  $I_{DS}$  constante (SEDRA; SMITH, 2011); (MARTINO; PAVANELLO; VERDONCK, 2003). Além disso, o aumento de  $V_{DS}$  na região de dreno é proporcional ao aumento da resistência entre fonte e dreno, resultando em uma corrente de dreno praticamente constante.

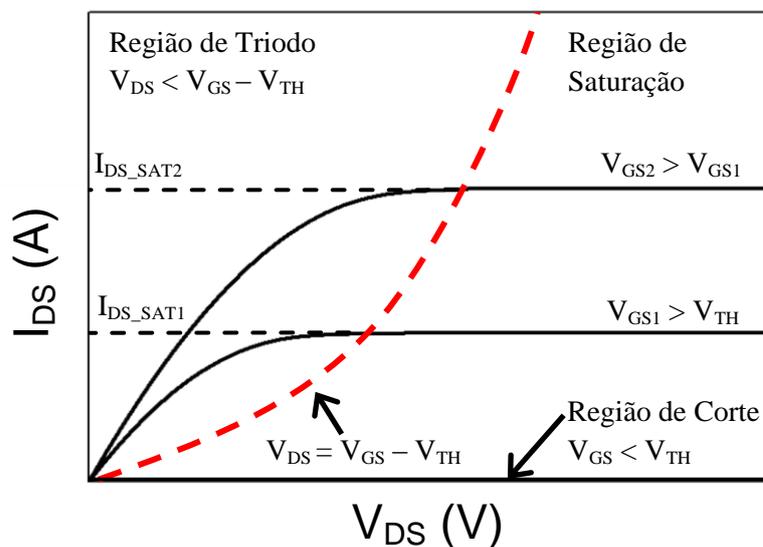
Figura 2.26 - Seção transversal de um SOI nMOSFET operando na região de saturação, indicando a região do estrangulamento do canal



Fonte: Autor

Um jeito simples de saber em qual região o transistor está operando em função de  $V_{DS}$ , é através da curva  $I_{DS}$  em função de  $V_{DS}$  para um valor de  $V_{GS}$  maior que  $V_{TH}$ , como ilustra a Figura 2.27.

Figura 2.27 - Exemplo de uma curva característica de  $I_{DS}$  em função de  $V_{DS}$ , onde estão indicadas as diferentes regiões de operação do SOI nMOSFET

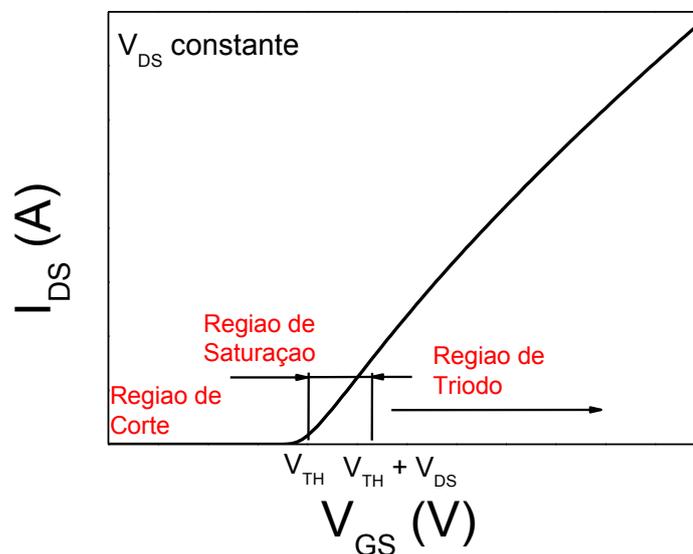


Fonte: Autor

Além de mostrar a região em que o transistor está operando, no gráfico da Figura 2.27 é possível extrair a  $I_{DS\_SAT}$ .

Outra forma de saber em qual região o transistor está operando é através da curva de  $I_{DS}$  em função de  $V_{GS}$  para um valor fixo de  $V_{DS}$ , como mostra a Figura 2.28. Lembrando que a região de saturação acontece quando  $V_{DS} \geq V_{GS} - V_{TH}$ , a região de triodo quando  $V_{DS} < V_{GS} - V_{TH}$  e por último a região de corte, que acontece quando a tensão  $V_{GS}$  é menor que a tensão de limiar do SOI MOSFET.

Figura 2.28 - Exemplo de uma curva característica de  $I_{DS}$  em função de  $V_{GS}$ , onde estão indicadas as diferentes regiões de operação do SOI nMOSFET



Fonte: Autor

As equações que modelam a corrente de dreno para um SOI nMOSFET tipo parcialmente depletado é igual a de um MOSFET convencional, como explicado no item 2.1.2 e pode ser calculada pelas equações (2.1.3) e (2.1.4), para região de triodo e saturação, respectivamente.

Para o SOI nMOSFET totalmente depletado a equações de  $I_{DS}$  dependerá dos valores da polarização de  $V_{G2}$ , como está descrito no item 2.1.2. E de forma genérica as expressões de  $I_{DS}$  são calculadas pelas equações (2.1.12) e (2.1.13), para região de triodo e saturação, respectivamente.

A dependência de  $I_{DS}$  com a temperatura está diretamente relacionada com a mobilidade dos portadores móveis na região do canal. Essa dependência da mobilidade com as altas temperaturas é resultado das vibrações da rede cristalina e a probabilidade de um elétron sofrer espalhamento térmico aumenta. Portanto, a mobilidade dos portadores móveis

na região do canal em altas temperaturas é limitada pelo tempo médio entre colisões com os átomos da rede que segue uma relação proporcional a  $T^{-3/2}$  (STREETMAN; BANERJEE, 2000); (CALLISTER; RETHWISCH, 2012). Portanto, as altas temperaturas causam redução de  $I_{DS}$  em MOSFETs de tecnologia convencional (*Bulk*) e tecnologia SOI.

### 2.6.3 Corrente de fuga de dreno

Circuitos integrados operando em altas temperaturas estão suscetíveis a falhas, sendo que o maior causador dessas falhas é o aumento da corrente de fuga de dreno, que também pode ser chamado de corrente de fuga (*leakage*) de junção ( $I_{LEAK}$ ). Normalmente essa corrente de fuga ocorre quando o transistor opera na região de corte e seu valor aumenta à medida que a temperatura aumenta (BELLODI; GIMENEZ, 2009); (COLINGE, 2004).

Maiores correntes de fuga são encontradas em MOSFETs de tecnologia convencional (*Bulk*), quando submetidos às altas temperaturas. Este fato ocorre pelas grandes junções de substrato, pois  $I_{LEAK}$  é proporcional à área de junção pn da interface dreno/canal (COLINGE, 2004).

Os MOSFETs com tecnologia *Bulk* podem operar satisfatoriamente em temperaturas abaixo de 453 K, enquanto que os SOI MOSFETs podem operar com temperaturas acima de 573 K e as oscilações só começam a aparecer acima de 773K (COLINGE, 2004). Esse fenômeno ocorre pelo fato de a estrutura de um SOI MOSFET conter um óxido enterrado, que elimina a corrente do substrato. Quando se compara a corrente  $I_{LEAK}$  presente em um SOI MOSFET com a presente em um MOSFET de tecnologia convencional (*Bulk*), o SOI MOSFET apresenta uma redução de três ordens de grandeza, desde que estejam operando nas mesmas condições de polarização e temperatura (COLINGE, 2004); (INIGUEZ; RASKIN *et al.*, 2003).

A equação que descreve a corrente de fuga de dreno é representada por uma junção pn reversamente polarizada, conforme a equação (2.6.4) (COLINGE, 2004).

$$I_{LEAK} = q A_{pn} \left( \sqrt{\frac{D_n}{\tau_n}} \right) \frac{n_i^2}{N_A} + q A_{pn} \frac{n_i W_D}{\tau_e} \quad (2.6.4)$$

onde  $D_n$  é o coeficiente de difusão do elétron, sendo esta constante que indica a fluidez com que os portadores se difundem no semicondutor,  $W_D$  é a largura da região de depleção,  $q$  é a

carga elementar do elétron,  $n_i$  é a concentração de portadores intrínsecos,  $A_{pn}$  é a área da junção pn da interface dreno/canal,  $\tau_n$  é o tempo de vida de um elétron no Si neutro tipo p,  $\tau_e = (\tau_n + \tau_p)/2$  é o tempo de vida relativo ao processo de geração térmica na região de depleção, sendo  $\tau_p$  o tempo de vida de uma lacuna no Si neutro tipo n.

Analisando a equação (2.6.4), o primeiro termo corresponde a componente de difusão (que ocorre devido à existência de um gradiente na concentração de portadores ao longo da junção pn) sendo proporcional a  $n_i^2$  e o segundo termo corresponde ao componente de geração que é proporcional a  $n_i$ . Como a concentração de portadores intrínsecos ( $n_i$ ) está relacionada com a temperatura, ou seja, à medida que a temperatura do ambiente em que o semiconductor estiver aumenta, o valor atribuído a  $n_i$  aumentará e por consequência o valor de  $I_{LEAK}$  também irá aumentar devido a sua relação com  $n_i$  (COLINGE, 2004); (SZE, 1981).

Outro parâmetro que influencia  $I_{LEAK}$  é a área da junção pn da interface dreno/canal ( $A_{pn}$ ). Quanto menor a área da junção pn da interface dreno/canal, menor será a corrente de fuga, e isso é que o SOI MOSFET proporciona, pois, a área de junção pn da interface dreno/canal no MOSFET convencional (*Bulk*) é muito maior do que a do SOI MOSFET, pois o óxido enterrado reduz a área de junção pn (COLINGE, 2004). Além disso, o volume da região de carga espacial associada com o diodo ( $A_{pn} \cdot W_D$ ) é muito menor nos SOI MOSFETs do que nos MOSFETs de tecnologia convencional (*Bulk*) (COLINGE, 2004).

A densidade da corrente de fuga de dreno é composta por elétrons e lacunas da região de canal. Mas, o principal responsável pelo aumento da densidade total de  $I_{LEAK}$  são os elétrons, pois se variando a temperatura de operação do transistor, a densidade de corrente por lacunas apresenta uma variação muito pequena, enquanto que a densidade de corrente por elétrons sofre um aumento significativo com o incremento da temperatura (COLINGE, 2004); (COLINGE, J. P.; COLINGE, C. A., 2002). Isso se dá ao fato de o canal dos transistores em estudo serem do tipo n, onde a concentração de elétrons (portadores minoritários) e as lacunas (portadores majoritários) são dadas pelas seguintes equações:

$$n \cong \frac{n_i^2}{N_A} \quad (2.6.5)$$

$$p \cong N_A \quad (2.6.6)$$

Através das equações (2.6.5) e (2.6.6) é possível concluir que a concentração de elétrons depende da concentração intrínseca dos portadores ( $n_i$ ), que por sua vez, segundo a

equação (2.5.3), é dependente da temperatura, logo, o aumento da temperatura causa um aumento de  $n_i$ , e acaba causando um aumento na concentração dos elétrons, fazendo com que a densidade de corrente por elétrons aumente. Esse evento não ocorre com a densidade de corrente por lacunas devido ao fato de a concentração de lacuna ser dependente apenas de  $N_A$ , que é constante, quando o SOI MOSFET estiver operando na região extrínseca.

Resultados experimentais nos SOI MOSFETs mostraram que,  $I_{LEAK}$  varia em função de  $n_i$  para temperaturas inferiores a 423 K e varia em função de  $n_i^2$  a partir desta temperatura (COLINGE, 2004).

Além do aumento da temperatura causar uma maior corrente de fuga, este aumento pode ser acentuado com a elevação de  $V_{DS}$ . A tensão  $V_{DS}$  tem um efeito similar à elevação da temperatura, onde quanto maior a tensão aplicada no dreno, maior será a densidade de corrente por elétrons. Portanto, ao aumentar a tensão  $V_{DS}$ , tem-se como resultado a elevação da densidade total provocada pelo aumento da densidade minoritária de portadores que, neste caso, sendo um SOI MOSFET tipo n, passa a ser formada por elétrons, resultando numa elevação de  $I_{LEAK}$ , sendo que esta se aproxima cada vez mais da interface do óxido de porta com o filme de silício (GUTIERREZ, 2008).

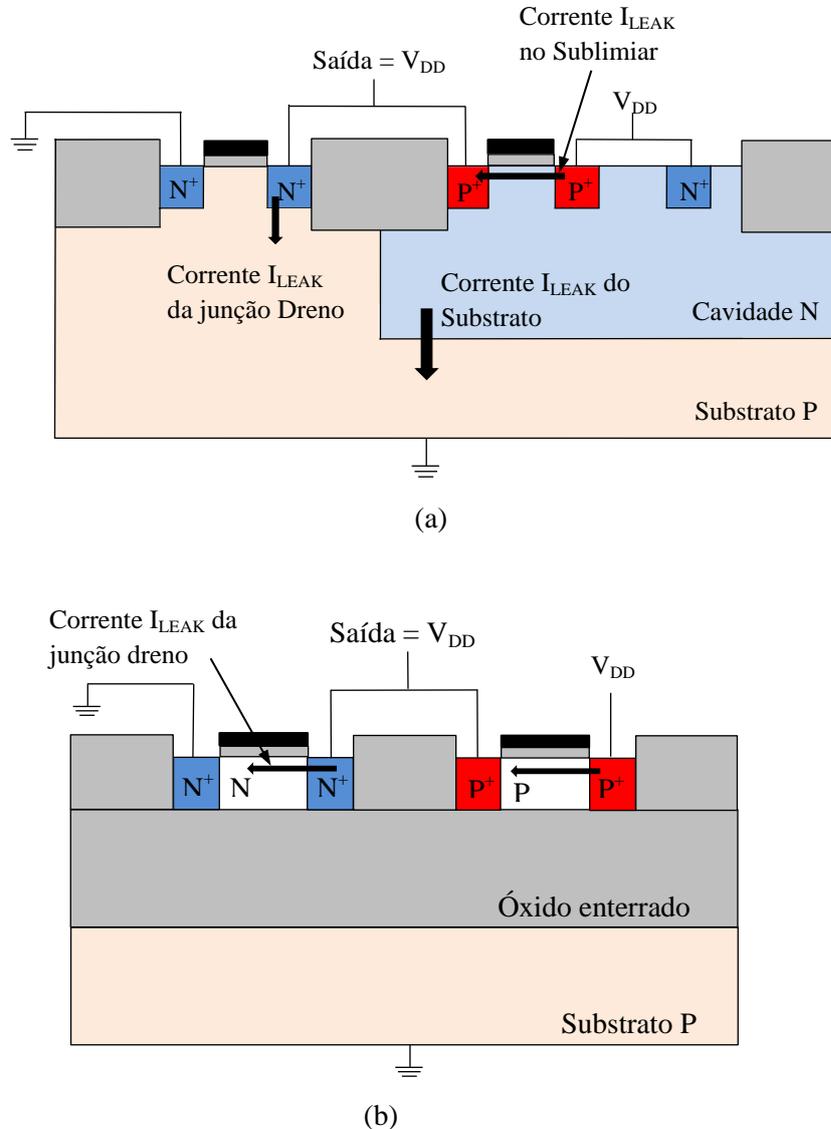
Mas, para temperaturas acima de 423 K, a influência da tensão de dreno no aumento da corrente de fuga de dreno será muito pequena, devido à variação quadrática de  $n_i$  ser muito mais impactante no aumento da corrente de fuga de dreno (GUTIERREZ, 2008).

A Figura 2.29 ilustra um comparativo dos possíveis caminhos da corrente de fuga em um inversor CMOS MOSFET de tecnologia convencional (*Bulk*) (Figura 2.29.a) e CMOS tipo SOI (Figura 2.29.b).

Na tecnologia CMOS MOSFET (*Bulk*) a corrente de fuga flui principalmente da junção polarizada reversamente do substrato com a cavidade tipo n, como ilustra a Figura 2.29.a, devido à geração térmica nesta junção ser mais atuante comparada à que ocorre na junção de dreno/fonte com o substrato, pois a maior área de junção ocorre na junção da cavidade tipo n com o substrato (INIGUEZ; RASKIN *et al.*, 2003); (COLINGE, 2004).

Já no SOI CMOS, a geração térmica é reduzida, uma vez que não há a necessidade de cavidade tipo n para criar o transistor tipo p e a corrente de fuga causada pela largura da depleção de dreno e fonte reduz, pois está limitada pelo óxido de porta, como mostra a Figura 2.29.b (INIGUEZ; RASKIN *et al.*, 2003); (COLINGE, 2004). Tipicamente, a corrente de fuga de dreno está entre 15 e 100 vezes menor em tecnologia SOI do que em MOSFET convencional (*Bulk*) (INIGUEZ; RASKIN *et al.*, 2003); (COLINGE, 2004).

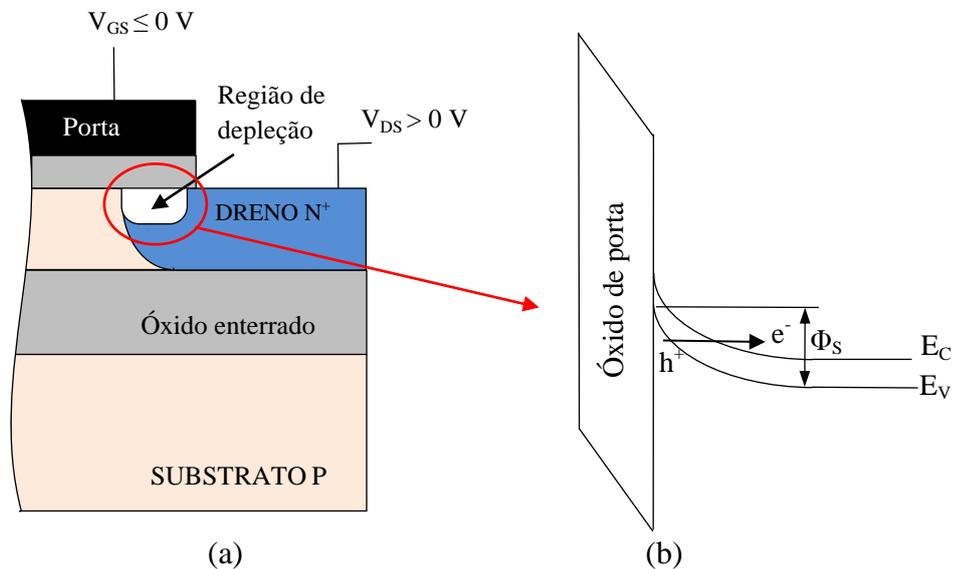
Figura 2.29 - Seções transversais de inversores CMOS implementados com tecnologias convencional (*Bulk*) (a) e com tecnologia SOI CMOS (b), indicando os caminhos possíveis da corrente de fuga de dreno



Fonte: Autor “adaptado de” Colinge, 2004, p.318

A extração dos valores de  $I_{LEAK}$  é realizada com tensões de porta ( $V_{GS}$ ) menores que zero e tensões entre dreno e fonte ( $V_{DS}$ ) maiores que zero. Quando uma tensão  $V_{GS}$  negativa é aplicada em um MOSFET ou SOI MOSFET tipo n, uma região de depleção pode ser criada na região de dreno sobreposta a região de porta, como ilustra a Figura 2.30.a (COLINGE, J. P.; COLINGE, C. A., 2002). Este efeito também pode acontecer quando a tensão  $V_{DS}$  é positiva enquanto a tensão de porta é zero.

Figura 2.30 - Parte de uma seção transversal de um SOI nMOSFET, indicando a formação da região de depleção no dreno decorrente da tensão negativa de  $V_{GS}$  (a) e a correspondente curvatura gerada nas bandas de energia na região de depleção do dreno, ocasionado o tunelamento dos elétrons da banda de valência para a banda de condução (b)

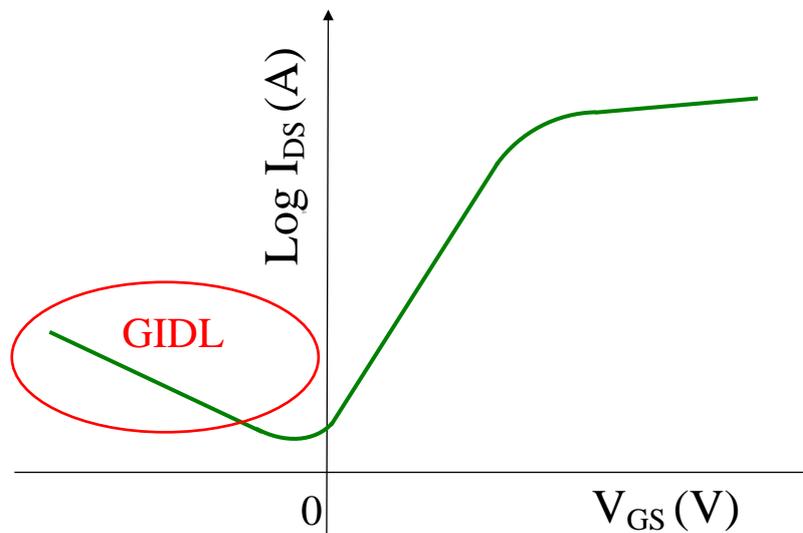


Fonte: Autor “adaptado de” Colinge, 2002, p. 232

Uma vez que a concentração de dopagem na região de dreno é tipicamente elevada, a região de depleção tende a ser muito fina e, portanto, um intenso campo elétrico vertical ocorre no dreno. Sobre essas condições, pares elétron lacuna são gerados através do efeito de tunelamento banda-a-banda dos elétrons vindo da banda de valência para banda de condução, como ilustra a Figura 2.30.b (COLINGE, J. P.; COLINGE, C. A., 2002). E este efeito tende a aumentar à medida que um potencial positivo aplicado ao dreno aumenta.

As lacunas geradas pelo efeito de tunelamento banda-a-banda vão em direção à região de menor potencial, isto é, a fonte, enquanto os elétrons vão em direção à região de maior potencial, que é o dreno, criando assim uma corrente de dreno que aumenta com o aumento negativo da tensão de porta (MARYLINE BAWEDIN, 2009); (YOSHIDA; TANAKA, 2006). Esse efeito é chamado de *Gate-Induced Drain Leakage (GIDL)* e está ilustrado na Figura 2.31. Deve ser enfatizado que o efeito de tunelamento não é através do óxido de porta, mas inteiramente na região de dreno do Si. (STREETMAN; BANERJEE, 2000).

Figura 2.31 - Gráfico do logarítmico de  $I_{DS}$  em função de  $V_{GS}$ , ilustração o efeito *Gate-Induced Drain Leakage (GIDL)* no comportamento elétrico de um SOI nMOSFET

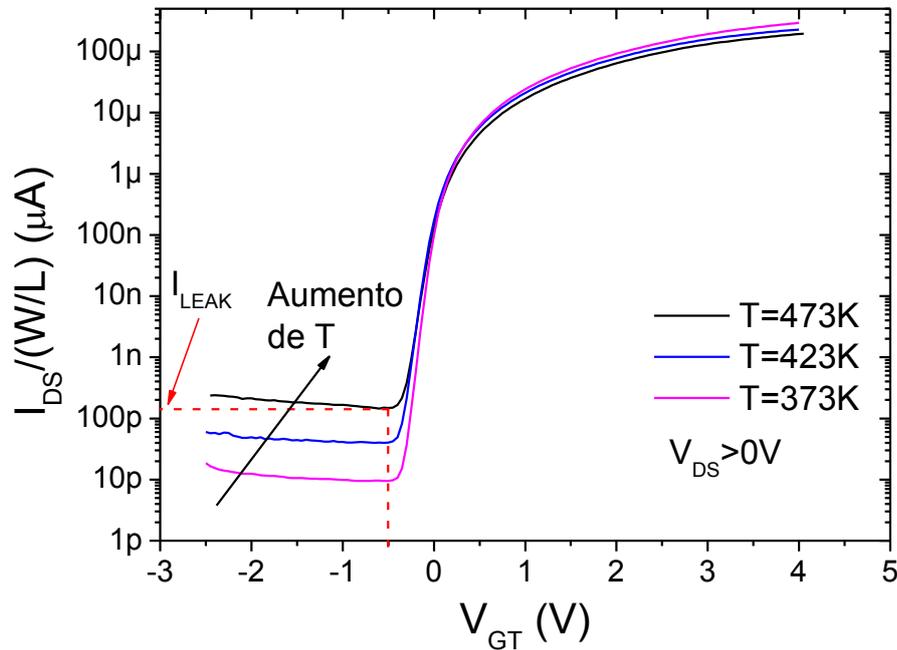


Fonte: Autor "adaptado de" Colinge, 2002, p. 233

A extração da corrente de fuga de dreno de um SOI nMOSFET pode ser realizada através das curvas  $I_{DS}/(W/L)$  em função de  $V_{GT}$ , com a corrente de dreno em escala logarítmica, sendo que  $I_{LEAK}$  ocorre antes da região de sublimiar do transistor, ou seja, na região de corte e para valores negativos de  $V_{GT}$ , que neste caso é considerado igual a -0,5 V, como ilustra a Figura 2.32.

A Figura 2.32 também ilustra a influência da temperatura na corrente  $I_{LEAK}$ , ou seja, a corrente de fuga de dreno aumenta com o aumento da temperatura.

Figura 2.32 - Curva característica de  $I_{DS}/(W/L)$  (em escala logarítmica), em função de  $V_{GT}$  e da temperatura, indicando o valor da corrente de fuga de dreno de um SOI nMOSFET



Fonte: Autor

#### 2.6.4 Transcondutância

A transcondutância ( $g_m$ ) representa a eficácia do controle exercido pela tensão de porta sobre a corrente de dreno, ou como a mudança da corrente de dreno se comporta em relação à mudança da tensão de porta (COLINGE, 2004). A transcondutância é obtida através da derivada da corrente de dreno em relação ao potencial aplicado à porta, considerando um valor de  $V_{DS}$  constante, sendo dado por (COLINGE, 2004):

$$g_m = \frac{dI_{DS}}{dV_{GS}} \quad (2.6.7)$$

Resolvendo a equação (2.6.7) para o caso de um MOSFET operando na região de triodo (COLINGE, J. P.; COLINGE, C. A., 2002):

$$g_m = \mu_n C_{OX} \frac{W}{L} V_{DS} \quad (2.6.8)$$

E para região de saturação (COLINGE, J. P.; COLINGE, C. A., 2002):

$$gm = \mu_n C_{OX} \frac{W (V_{GS} - V_{TH})}{L n'} \quad (2.6.9)$$

onde  $n'$  é o fator de corpo do transistor. As equações (2.6.8) e (2.6.9) podem ser estendidas para o SOI parcialmente depletado. Por exemplo, o valor de  $n'$  para o MOSFET convencional (*Bulk*) e o SOI parcialmente depletado é dado pela equação (2.6.10) (COLINGE, 2004):

$$n' = (1 + \alpha') = 1 + \frac{\epsilon_{Si}}{x_{dmax} C_{OX1}} \quad (2.6.10)$$

onde  $\epsilon_{Si}$  é a permissividade do silício,  $x_{dmax}$  é a profundidade máxima da região de depleção e  $C_{OX1}$  é a capacitância de óxido da 1ª interface.

A transcondutância na região de saturação para um SOI MOSFET totalmente depletado pode ser expresso a partir das equações da corrente de dreno, quando a segunda interface estiver em acumulação ou quando a segunda interface estiver depletada:

$$gm = \frac{dI_{DS\_SAT}}{dV_{G1}} = \mu_n C_{OX1} \frac{W (V_{G1} - V_{TH})}{L (1 + \alpha')} \quad (2.6.11)$$

onde  $I_{DS\_SAT}$  é a corrente de dreno na região de saturação,  $\mu_n$  é a mobilidade efetiva dos elétrons na região do canal,  $V_{TH}$  é a tensão de limiar,  $W$  e  $L$  são, respectivamente, a largura e o comprimento de canal do transistor.

O valor de  $\alpha'$  para o SOI MOSFET totalmente depletado com a segunda interface em acumulação é:

$$\alpha' = \frac{C_{Si}}{C_{OX1}} \quad (2.6.12)$$

E quando o SOI MOSFET totalmente depletado estiver com a segunda interface em depleção o valor de  $\alpha'$  é:

$$\alpha' = \frac{C_{Si} C_{OX2}}{C_{OX1} (C_{Si} + C_{OX2})} \quad (2.6.13)$$

onde  $C_{OX2}$  é a capacitância de óxido enterrado.

Quando o SOI MOSFET totalmente depletado estiver operando na região de triodo, a

sua transcondutância será dada pela equação (2.6.8).

Quando comparamos os valores de  $\alpha'$  para os três tipos de transistores, chega-se a seguinte comparação:

$$\alpha'_{(\text{SOI totalmente depletado})} < \alpha'_{(\text{MOS convencional})} < \alpha'_{(\text{SOI 2ª interf.acc.)}} \quad (2.6.14)$$

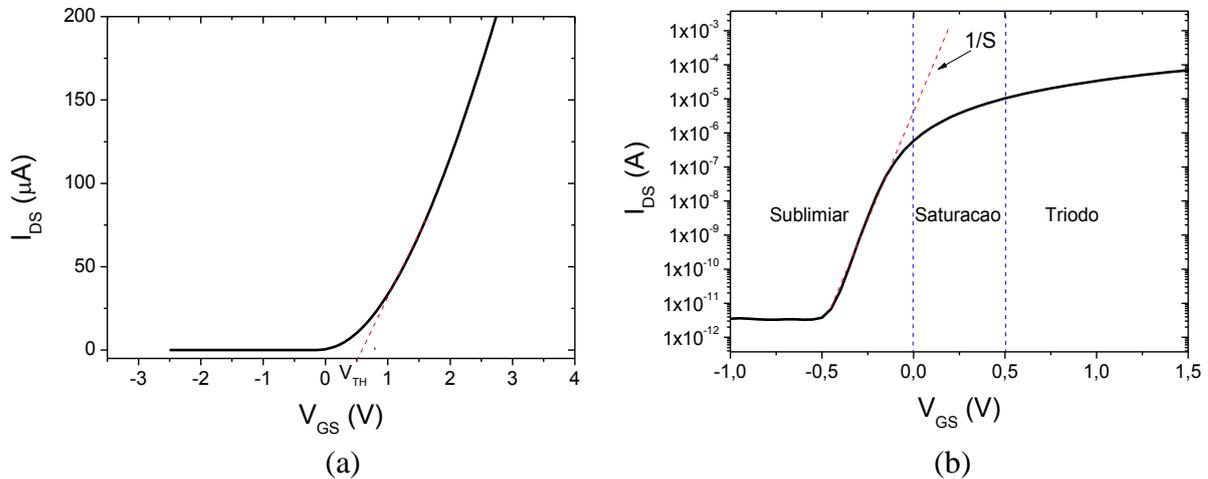
Como resultado desta análise, a transcondutância é maior em SOI MOSFETs totalmente depletados, menor em MOSFETs convencionais (*Bulk*) e menores ainda em SOI MOSFETs totalmente depletados com a segunda interface em acumulação (COLINGE, 2004).

Como  $I_{DS}$  é proporcional à mobilidade, a sua derivada em função de  $V_{GS}$  também será proporcional. Assim,  $g_m$  possui uma dependência direta com a mobilidade e, portanto, também depende da temperatura, como ilustra a equação (2.6.11), no caso para um SOI MOSFET totalmente depletado, que é utilizado nesta dissertação. Ou seja, o aumento da temperatura causa a redução de  $g_m$ .

### 2.6.5 Inclinação de sublimiar

Quando a tensão de porta estiver abaixo da tensão de limiar, assume-se que a corrente de dreno é zero. Mas na verdade a corrente de dreno não se anula instantaneamente em  $V_{GS}$  igual à  $V_{TH}$ , como mostram as curvas de  $I_{DS}$  versus  $V_{GS}$  na Figura 2.33. Na escala linear (Figura 2.33.a), a corrente de dreno aparentemente se anula em tensão próxima a  $V_{TH}$ , porém, em escala logarítmica nota-se que a corrente de dreno cai exponencialmente para  $V_{GS} < V_{TH}$  e tal corrente de dreno é chamada de corrente de sublimiar do dreno (Figura 2.33.b). Portanto, na região sublimiar, a corrente de dreno tem um comportamento exponencial com a tensão de porta, devido à dependência da concentração de elétrons na superfície, que segue uma lei exponencial de potencial de superfície (COLINGE, J. P.; COLINGE, C. A., 2002). Nesta região, o transistor apresenta uma semelhança com o transistor bipolar de junção em termos de comportamento. Inclusive, o mecanismo de transporte predominante da corrente de sublimiar do dreno é a difusão, e na região linear, o mecanismo predominante é o de deriva (COLINGE, J. P.; COLINGE, C. A., 2002).

Figura 2.33 - Curva característica de  $I_{DS}$  em função de  $V_{GS}$  em escala linear (a) e em escala logarítmica (b) evidenciando a região de sublimiar



Fonte: Autor “adaptado de” Colinge, 2002, p. 203

Na Figura 2.33.b, observa-se que a corrente de sublimiar do dreno aparece como uma linha reta e o inverso da inclinação desta linha é chamada de inverso da inclinação de sublimiar ou simplesmente inclinação de sublimiar ( $S$ ). O parâmetro  $S$  é expresso em milivolts por década, que significa: quantos milivolts devem ser aplicados na tensão de porta para que a corrente de dreno tenha um aumento de uma década. Quanto menor o valor de  $S$ , mais eficiente e rápido é a comutação de um transistor do estado desligado para o estado ligado (COLINGE, J. P.; COLINGE, C. A., 2002).

A corrente de dreno na região de sublimiar pode ser escrito pela equação (2.6.15) (COLINGE, 2004):

$$I_{DS} = \left[ \mu_n \frac{W}{L} q \left( \frac{kT}{q} \right)^2 \frac{n_i^2}{N_A} \left( 1 - e^{-\frac{qV_{DS}}{kT}} \right) e^{-\frac{q\Phi_S}{kT}} \right] \left[ -\frac{d\Phi_S}{dx} \right] \quad (2.6.15)$$

onde  $\Phi_S$  é o potencial de superfície.

A inclinação de sublimiar é dada por (COLINGE, 2004):

$$S = \frac{dV_{GS}}{d(\log I_{DS})} \quad (2.6.16)$$

Utilizando a equação da corrente de dreno em sublimiar [equação (2.6.15)], que é

composta predominantemente pela componente de difusão, e após algumas simplificações, obtém-se uma equação geral para a inclinação de sublimiar (COLINGE, 2004):

$$S = n' \frac{kT}{q} \ln(10) = \frac{kT}{q} \ln(10)(1 + \alpha') = \frac{kT}{q} \ln(10) \left(1 + \frac{C_b}{C_{OX1}}\right) \quad (2.6.17)$$

onde  $n'$  é o fator de corpo e  $\alpha'$  representa a razão de capacitância  $C_b/C_{OX1}$  do transistor. A capacitância  $C_b$  é a capacitância entre a camada de inversão fraca e a segunda porta do SOI MOSFET. A partir da equação (2.6.17), pode-se notar que a inclinação de sublimiar depende diretamente da temperatura em que o transistor está submetido.

Considerando um MOSFET de tecnologia convencional (*Bulk*) e o SOI parcialmente depletado o valor de  $\alpha'$  é dado pela equação (2.6.18):

$$\alpha' = \frac{\epsilon_{Si}}{x_{dmax} C_{OX}} \quad (2.6.18)$$

Para o SOI MOSFET totalmente depletado com a segunda interface em acumulação o valor de  $\alpha'$  é:

$$\alpha' = \frac{C_{Si}}{C_{OX1}} \quad (2.6.19)$$

E quando o SOI MOSFET totalmente depletado, com a segunda interface em depleção (que é o caso dos transistores deste estudo) é:

$$\alpha' = \frac{C_{Si}C_{OX2}}{C_{OX1}(C_{Si}+C_{OX2})} \quad (2.6.20)$$

Como apresentado na seção 2.1, os SOI MOSFETs totalmente depletados apresentam menor fator de corpo em comparação com os MOSFETs de tecnologia *Bulk* (COLINGE, 2004). Como resultado, temos que:

$$S_{(SOI \text{ totalmente depletado})} < S_{(MOS \text{ convencional})} < S_{(SOI \text{ 2ª interf. acc.})} \quad (2.6.21)$$

O valor mínimo teórico de  $S$  é 60 mV/dec em temperatura ambiente, que é muito difícil de se conseguir, devido a presença de armadilhas na interface Si-SiO<sub>2</sub> e também pelo

valor finito de  $C_{OX2}$ . Mas valores próximos de 65 mV/dec pode ser obtido num SOI MOSFET totalmente depletado. Estes menores valores de inclinação de sublimiar dos SOI MOSFETs totalmente depletados permitem a utilização de transistores com tensões de limiar menores do que nos MOSFETs de tecnologia convencional (*Bulk*), sem aumento da corrente de fuga, possibilitando melhor desempenho em alta velocidade, principalmente com baixa tensão de alimentação (COLINGE, 1988).

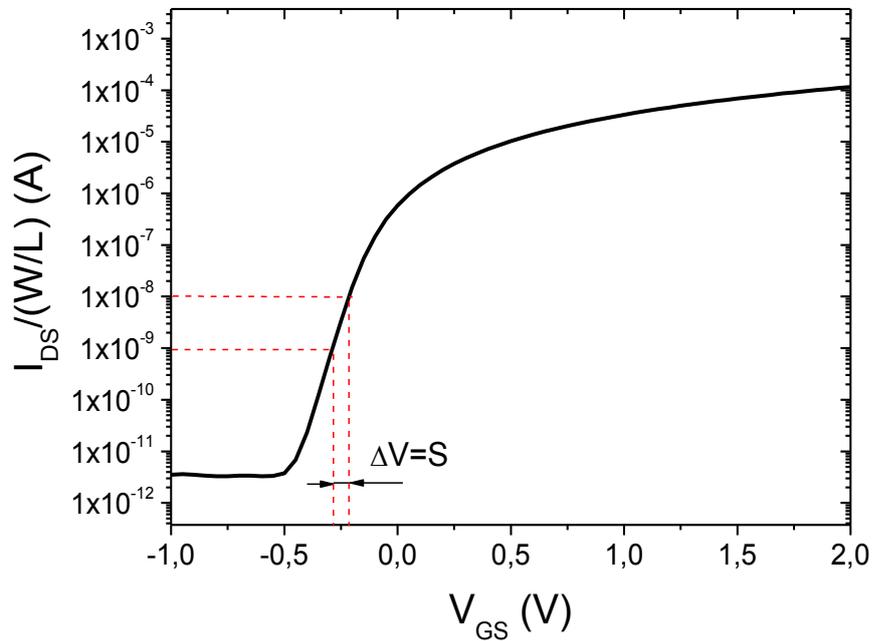
Voltando para equação (2.6.17), a capacitância  $C_b$  é definida pela razão  $C_b=dQ_b/d\Phi_{s1}$ , sendo  $Q_b$  a carga no filme de silício e  $\Phi_{s1}$  o potencial de superfície da primeira interface (COLINGE, 2004). Esta capacitância, em um SOI MOSFET totalmente depletado, pode ser calculada pela seguinte aproximação:

$$C_b = \frac{C_{Si} \cdot C_{OX2}}{(C_{Si} + C_{OX2})} \quad (2.6.22)$$

Em altas temperaturas uma dependência não linear de  $S$  é observada. Para temperaturas maiores de 423 K, a carga devido aos portadores livres intrínsecos aumenta significativamente e o potencial de Fermi reduz. Como resultado,  $\Phi_{s1}$  é reduzido, a camada de inversão fraca aumenta e a carga devido aos portadores livres intrínsecos aumenta a capacitância  $C_b=dQ_b/d\Phi_{s1}$ . Em resumo, todos esses fatores, que são influenciados pelas altas temperaturas, contribuem para o aumento da inclinação de sublimiar em altas temperaturas (COLINGE, 2004).

Neste estudo a inclinação de sublimiar será extraída a partir da curva  $I_{DS}/(W/L)$ , na escala logarítmica, em função de  $V_{GS}$ , onde variando-se uma década desta corrente se observa a variação de  $V_{GS}$ , sendo esta variação de tensão o valor de  $S$ , como ilustra a Figura 2.34.

Figura 2.34 - Curva característica de  $I_{DS}$  (em escala logarítmica) em função de  $V_{GS}$ , exemplificando o método de extração da inclinação de sublimiar



Fonte: Autor

### 2.6.6 Razão $gm/I_{DS}$

Uma das mais importantes metodologias para projetar circuitos integrados analógicos para aplicações de baixa potência e de baixa tensão está baseado na curva da relação de  $gm$  com a corrente entre dreno e fonte ( $gm/I_{DS}$ ) em função da corrente entre dreno e fonte normalizada pela razão de aspecto  $[I_{DS}/(W/L)]$  (EGGERMONT; CEUSTER *et al.*, 1996).

A razão  $gm/I_{DS}$  é a medida de eficiência em traduzir corrente elétrica (ou potência) em transcondutância (amplificação) de um transistor, e pode ser calculado como (COLINGE, 2004):

$$\frac{gm}{I_{DS}} = \frac{1}{I_{DS}} \frac{\partial I_{DS}}{\partial V_{GS}} \quad (2.6.23)$$

Usando a seguinte propriedade das derivadas:

$$\frac{d}{dx} (\ln ax) = \frac{1}{x} \quad (2.6.24)$$

Com esta propriedade pode-se reescrever  $\partial I_{DS}$  de um outra forma:

$$\frac{\partial(\ln I_{DS})}{\partial I_{DS}} = \frac{\partial\left(\ln\frac{I_{DS}}{\left(\frac{W}{L}\right)}\right)}{\partial I_{DS}} = \frac{1}{I_{DS}}$$

$$\partial I_{DS} = I_{DS} \partial(\ln I_{DS}) = I_{DS} \partial\left(\ln\frac{I_{DS}}{\left(\frac{W}{L}\right)}\right) \quad (2.6.25)$$

Substituindo na equação (2.6.23) a equação (2.6.25) resulta:

$$\frac{gm}{I_{DS}} = \frac{1}{I_{DS}} \frac{I_{DS} \partial\left(\ln\frac{I_{DS}}{\left(\frac{W}{L}\right)}\right)}{\partial V_{GS}} = \frac{\partial\left(\ln\frac{I_{DS}}{\left(\frac{W}{L}\right)}\right)}{\partial V_{GS}} \quad (2.6.26)$$

Através da equação (2.6.26) conclui-se que a razão  $gm/I_{DS}$  é independente das dimensões dos transistores, portanto a razão  $gm/I_{DS}$  versus  $I_{DS}/(W/L)$  é uma característica única para todos os transistores de um mesmo tipo, tanto para tecnologia MOSFET convencional (bulk) quanto para tecnologia SOI MOSFET, para uma dada produção. E a razão  $gm/I_{DS}$  é inversamente proporcional ao nível de inversão do canal, ou seja, baixos valores de  $gm/I_{DS}$  corresponde a inversão forte e altos valores de  $gm/I_{DS}$  inversão fraca, como ilustra a Figura 2.35 (EGGERMONT; CEUSTER *et al.*, 1996).

A razão  $gm/I_{DS}$  pode ser aproximada, operando na região de saturação, pelas seguintes equações (EGGERMONT; CEUSTER *et al.*, 1996); (COLINGE, 2004):

a) Região de sublimiar.

$$\frac{gm}{I_{DS}} = 0 \quad (2.6.27)$$

b) Inversão fraca, onde se encontra o maior valor de  $gm/I_{DS}$ .

$$\frac{gm}{I_{DS}} = \frac{\ln 10}{S} = \frac{q}{(1+\alpha')kT} = \frac{q}{n'kT} \quad (2.6.28)$$

onde  $S$  é a inclinação de sublimiar,  $n'$  é o fator de corpo e  $k$  é a constante de Boltzmann.

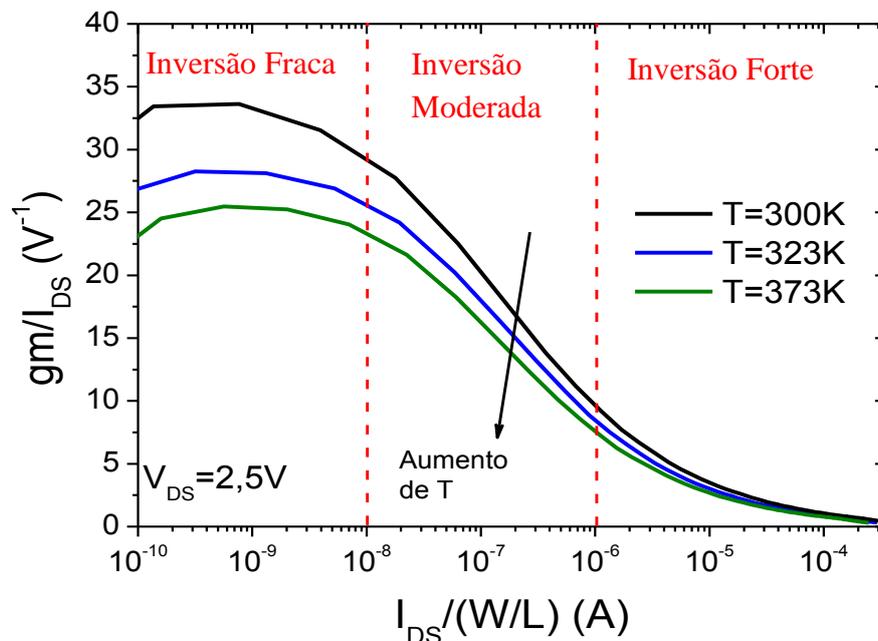
c) Inversão forte, onde  $gm/I_{DS}$  diminui à medida que  $I_{DS}$  aumenta.

$$\frac{gm}{I_{DS}} = \sqrt{\frac{2 \mu C_{OX} (W/L)}{n' I_{DS}}} \quad (2.6.29)$$

Devido ao menor fator de corpo,  $n'$ , o valor máximo da razão  $gm/I_{DS}$  em um SOI MOSFET totalmente depletado pode ser até 40% maior do que um MOSFET convencional (*Bulk*), ou seja, para o SOI MOSFET totalmente depletado pode-se obter valores de  $gm/I_{DS}$  igual a  $35 \text{ V}^{-1}$ , enquanto o valor da razão  $gm/I_{DS}$  para um MOSFET convencional (*Bulk*) pode alcançar valores de  $25 \text{ V}^{-1}$  (COLINGE, 2004).

A Figura 2.35 ilustra os regimes de inversão de um SOI nMOSFET totalmente depletado, através do gráfico de  $gm/I_{DS}$  em função de  $I_{DS}/(W/L)$ , operando na região de saturação ( $V_{DS}$  igual a 2,5 V), em diferentes temperaturas.

Figura 2.35 - Exemplo de um gráfico de  $gm/I_{DS}$  em função de  $I_{DS}/(W/L)$  para um SOI nMOSFET totalmente depletado, operando na região de saturação ( $V_{DS}$  igual a 2,5 V), ilustrando os regimes de operação e a influência do aumento da temperatura



Fonte: Autor

A partir da equação (2.6.28), que descreve a razão  $gm/I_{DS}$  em inversão fraca, pode-se notar a dependência direta desta grandeza com o inverso da temperatura e da inclinação de

sublimiar. Mas na prática a corrente  $I_{LEAK}$  se sobrepõem a corrente de sublimiar do dreno em inversão fraca, achatando a curva  $gm/I_{DS}$  e reduzindo seu valor máximo, como ilustra a Figura 2.35 (EGGERMONT; CEUSTER *et al.*, 1996).

Em inversão forte, a razão  $gm/I_{DS}$  é dependente da temperatura, através da raiz quadrada da mobilidade, que decrementa com o aumento da temperatura e reduz mais ainda a razão  $gm/I_{DS}$  [equação (2.6.29)]. Portanto, conclui-se que o aumento da temperatura provoca a redução da razão  $gm/I_{DS}$  nos três regimes de inversão (fraca, moderada e forte). Entretanto, em inversão fraca esta redução tende a ser maior devido à dependência direta com a temperatura (EGGERMONT; CEUSTER *et al.*, 1996).

Quando o SOI MOSFET estiver polarizado no regime de inversão fraca, podem-se projetar amplificadores com altos valores de ganho tensão ( $A_V$ ) e baixa frequência de ganho de tensão unitário ( $f_T$ ). Já quando o transistor estiver polarizado no regime de inversão forte, obtêm-se amplificadores com altas frequências de ganho de tensão unitário, ou seja, uma maior velocidade de processamento, baixos valores de  $A_V$  e tem como característica o alto consumo de energia. E por fim, polarizando transistor no regime de inversão moderada, obtemos amplificadores que têm um bom compromisso entre  $A_V$ ,  $f_T$  e consumo de energia (SILVEIRA; FLANDRE; JESPERS, 1996).

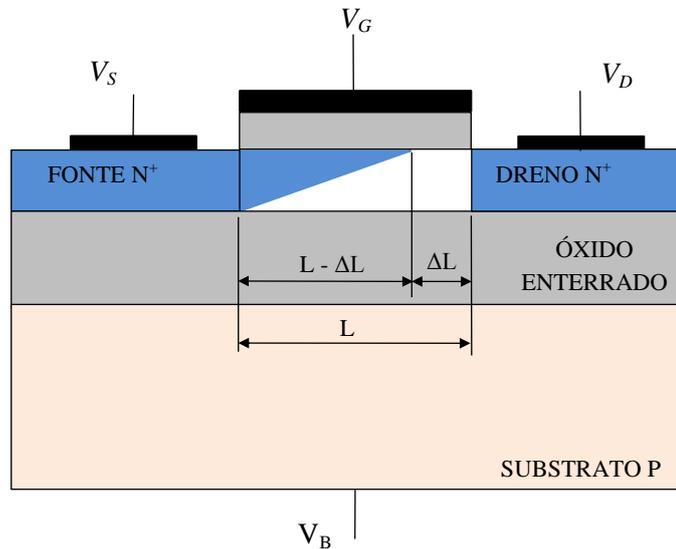
Portanto a razão  $gm/I_{DS}$  é uma medida direta da eficácia do transistor em termos de amplificação de sinal (aplicações de sinais analógicos em CIs CMOS) (COLINGE, 2004).

### 2.6.7 Tensão Early

Em um SOI MOSFET, quando a tensão de dreno aumenta acima da  $V_{DS\_SAT}$ , a região de depleção próxima ao dreno aumenta e faz com que o ponto de estrangulamento do canal se mova da região de dreno em direção à região de fonte, como ilustra a Figura 2.36 da seção transversal de um SOI nMOSFET operando na região de saturação (SEDRA; SMITH, 2011).

Na Figura 2.36  $\Delta L$  é a variação do comprimento de canal devido ao aumento de  $V_{DS}$ . A região  $L-\Delta L$  possui um potencial igual à  $V_{GS}-V_{TH}=V_{DS\_SAT}$  e na região de estrangulamento ( $\Delta L$ ) igual à  $V_{DS}-V_{DS\_SAT}$  que é uma queda de tensão que vai do final da região de depleção do canal até a região de dreno. Na região de  $\Delta L$  há um forte campo elétrico longitudinal que acelera os elétrons pela região de depleção em direção ao dreno, que faz manter a  $I_{DS}$  no transistor (SEDRA; SMITH, 2011).

Figura 2.36 - Seção transversal de um SOI nMOSFET operando na região de saturação, indicando o ponto de estrangulamento do canal se movendo da região próxima ao dreno para a região da fonte à medida que se aumenta a tensão  $V_{DS}$  além de  $V_{DS\_SAT}$



Fonte: Autor “adaptado de” Sedra, 2011, p. 153

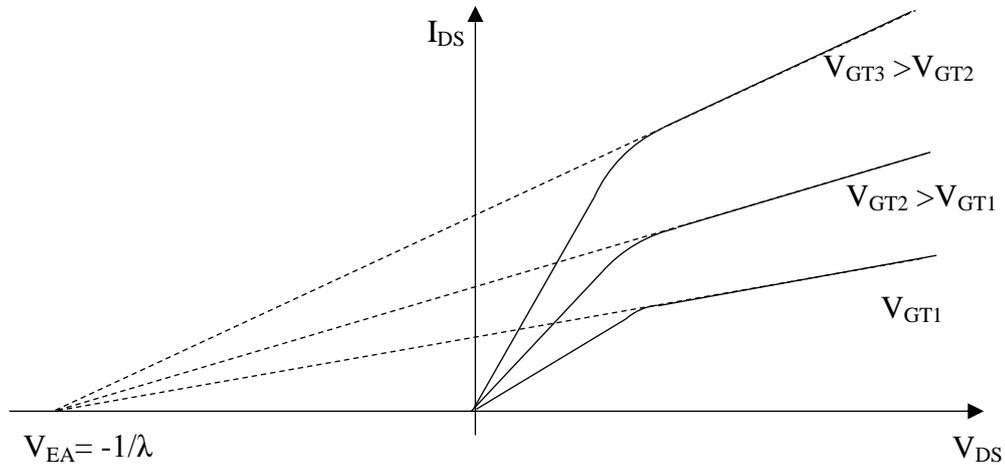
O comprimento de canal é reduzido de  $L$  para  $L - \Delta L$ , ou seja, o comprimento efetivo do canal ( $L_{ef}$ ) é reduzido por  $\Delta L$ , e esse fenômeno é chamado de modulação do comprimento do canal. Esta redução efetiva no comprimento do canal proporciona um aumento na corrente de dreno, pois  $I_{DS}$  é inversamente proporcional ao comprimento de canal. Este acréscimo se traduz em um aumento da inclinação da curva da corrente de dreno ( $I_{DS}$ ) em função da tensão entre dreno e fonte ( $V_{DS}$ ) na região de saturação. Neste contexto, a corrente de saturação de dreno pode ser reescrita para inclusão deste efeito (SEDRA; SMITH, 2011):

$$I_{DS\_SAT} = \mu_n C_{OX1} \frac{W}{L} \left[ \frac{(V_{G1} - V_{TH1})^2}{2(1 + \alpha')} (1 + \lambda V_{DS}) \right] \quad (2.6.30)$$

onde  $\lambda$  é um parâmetro tecnológico de processo, que é o inverso da tensão Early.

A Figura 2.37 mostra o efeito da modulação do canal na curva  $I_{DS}$  em função de  $V_{DS}$ , para três polarizações de  $V_{GT}$  distintas e maiores que  $V_{TH}$ .

Figura 2.37 - Exemplo de três gráficos de  $I_{DS}$  em função de três diferentes valores de  $V_{GS}$ , ilustrando o efeito de modulação do canal e indicando a forma de obtenção da tensão Early



Fonte: Autor “adaptado de” Sedra, 2011, p. 154

Observando a Figura 2.37, as linhas retas de  $I_{DS}$ , a partir da região de saturação, são extrapoladas e interceptam um ponto comum no eixo de  $V_{DS}$  no ponto  $V_{DS} = -V_{EA}$ , em que  $V_{EA}$  é chamado de tensão Early. A tensão Early é um parâmetro tecnológico de processo e proporcional ao comprimento de canal.

Considerando que a tensão Early pode variar com a polarização  $V_{DS}$ , seu cálculo pode ser realizado em função de  $V_{DS}$ , na região de saturação (COLINGE, J. P.; COLINGE, C. A., 2002).

$$|V_{EA}| \cong \frac{I_{DS\_SAT}}{g_{D\_SAT}} \quad (2.6.31)$$

onde  $g_{D\_SAT}$  é a condutância de dreno na região de saturação.

Pela equação (2.6.31), observa-se que  $V_{EA}$  reduz com o aumento da temperatura, pois há tanto uma redução de  $I_{DS\_SAT}$  e  $g_{D\_SAT}$ , devido à redução da mobilidade dos portadores, sendo que a redução de  $I_{DS\_SAT}$  como o aumento da temperatura é maior do que a redução de  $g_{D\_SAT}$ .

### 2.6.8 Ganho de tensão intrínseco

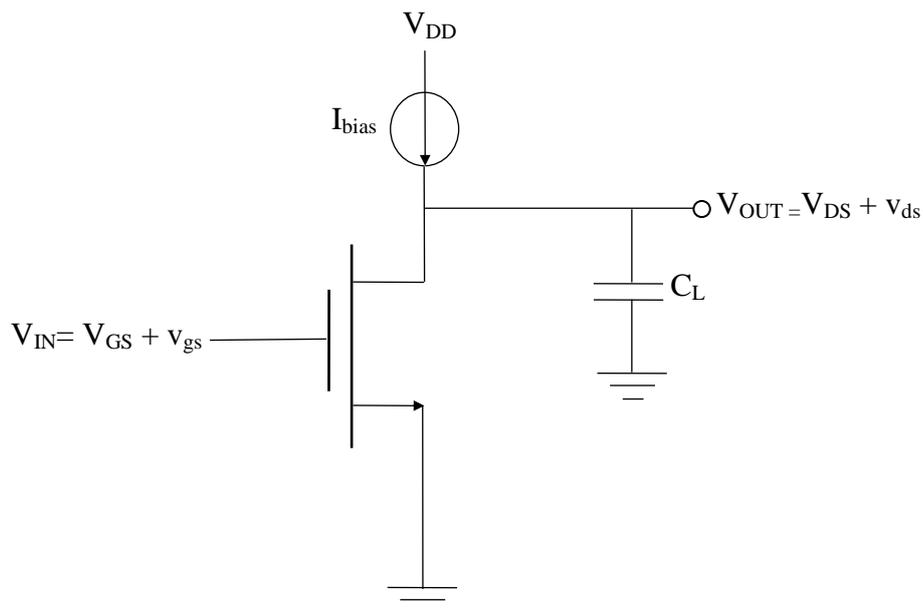
O ganho de tensão intrínseco ( $A_V$ ) consiste em uma das principais características dos

circuitos integrados analógicos, principalmente para os circuitos integrados amplificadores. O ganho intrínseco do transistor descreve a eficiência do transistor em controlar a fonte de corrente considerando-se a resistência de saída, limitando desta forma o ganho dos amplificadores operacionais (SILVEIRA; FLANDRE; JESPERS, 1996); (EGGERMONT; CEUSTER *et al.*, 1996); (PAVANELLO; MARTINO *et al.*, 2003); (PAVANELLO; FLANDRE, 2002).

Para aumentar o ganho de tensão intrínseco, diversos circuitos integrados têm sido propostos, tais como: os amplificadores operacionais de transcondutância (OTAs) compostos por transistores de canal longo, as associações série-paralelo ou a cascata de transistores (SILVEIRA; FLANDRE; JESPERS, 1996); (EGGERMONT; CEUSTER *et al.*, 1996); (PAVANELLO; MARTINO *et al.*, 2003); (PAVANELLO; FLANDRE, 2002).

A fim de analisar o ganho de tensão intrínseco, um amplificador simples de tensão baseado em um único transistor em configuração de fonte comum e uma carga capacitiva  $C_L$ , está ilustrado na Figura 2.38 (EGGERMONT; CEUSTER *et al.*, 1996). Nesta configuração uma fonte de corrente constante ( $I_{bias}$ ) polariza o transistor na região de saturação, permitindo que a parcela alternada,  $v_{gs}$ , da tensão de entrada ( $V_{IN}$ ) aplicada à porta seja amplificada, compondo a parcela alternada,  $v_{ds}$ , da tensão de saída ( $V_{OUT}$ ).

Figura 2.38 - Exemplo de um amplificador de tensão em configuração de fonte comum



Fonte: Autor “adaptado de” Eggermont, 1996, p. 181

O ganho de tensão intrínseco,  $A_V$ , de um SOI MOSFET operando como amplificador de tensão é dado por (COLINGE, 2004):

$$A_V = \frac{\Delta V_{OUT}}{\Delta V_{IN}} = \frac{\Delta I_{DS}}{g_D} \frac{1}{\Delta V_{IN}} = \frac{\Delta V_{IN} g_m}{g_D} \frac{1}{\Delta V_{IN}} = \frac{g_m}{g_D} \quad (2.6.32)$$

onde  $\Delta V_{OUT}$  e  $\Delta V_{IN}$  são as variações das tensões de entrada e saída do amplificador, respectivamente.

A equação (2.6.32) pode ser aproximado por (COLINGE, 2004):

$$A_V = \frac{g_m}{g_D} = \frac{g_m}{I_{DS}} V_{EA} \quad (2.6.33)$$

onde  $g_D$  é a condutância de dreno (ou de saída). A condutância de saída de um SOI MOSFET totalmente depletado é basicamente igual ao de MOSFET convencional, mas o SOI MOSFET pode melhorar, ou piorar, a condutância de saída pela variação da concentração de dopantes na região de canal (COLINGE, 2004).

Analisando a equação (2.6.33), verifica-se a dependência de  $A_V$  com a temperatura, ou seja, à medida que a temperatura aumenta os parâmetros  $g_m$ ,  $I_{DS}$  e  $V_{EA}$  reduzem e, consequentemente  $A_V$  também decrementa. Além disso, em altas temperaturas se observa a redução da condutância de dreno, devido à redução da mobilidade dos portadores móveis na região do canal.

### 2.6.9 Frequência de ganho de tensão unitário

Para circuitos amplificadores integrados, um parâmetro muito importante é a frequência de ganho de tensão unitário ( $f_T$ )

Pode-se definir a frequência de ganho de tensão unitário como a frequência de operação dos circuitos integrados em que a amplitude do sinal de entrada é o mesmo resultante na saída (ganho unitário de tensão do circuito integrado) (ALVAREZ, 1993).

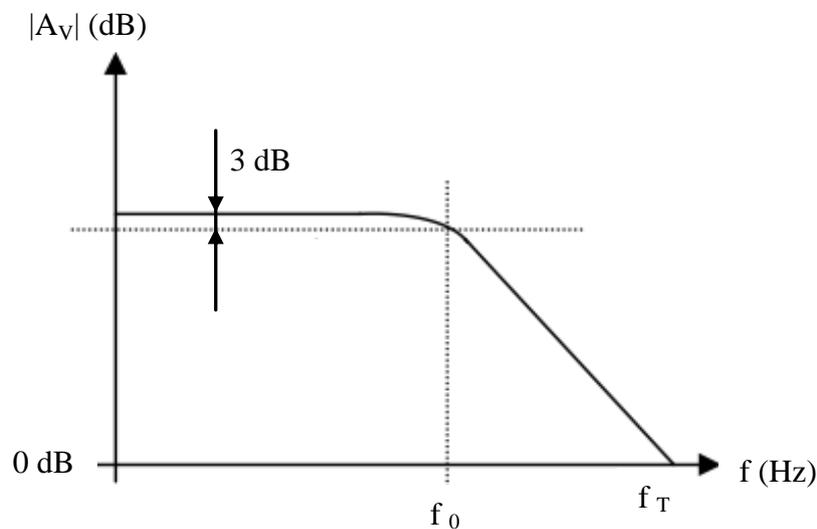
A frequência de ganho de tensão unitário dos MOSFETs de tecnologia convencional (*Bulk*) sofre influência, por exemplo, do tamanho do transistor e da corrente de dreno. Considerando-se correntes de dreno ( $I_{DS}$ ) elevadas, assim como os transistores pequenos (o que resulta em capacitâncias intrínsecas baixas) e baixas espessuras de óxido de porta,

ocasiona o aumento da frequência de ganho de tensão unitário ( $f_T$ ) e a diminuição do ganho de tensão intrínseco ( $A_V$ ). Ao aumentar o tamanho do transistor, verificam-se elevadas capacitâncias, ocasionando na diminuição do valor da frequência de ganho de tensão unitário ( $f_T$ ) e no aumento do ganho de tensão em malha aberta de ( $A_V$ ) (SAKURAI; ISMAEL, 1994).

A frequência de ganho de tensão unitário é um parâmetro que define a qualidade dos transistores em aplicações, como os amplificadores (SEDRA; SMITH, 2011). Quanto maior for  $f_T$ , maior será a faixa de frequências em que o MOSFET convencional (*Bulk*), ou SOI MOSFET, terá um sinal de saída maior que o sinal de entrada (GRAY, 2001).

Um esboço do diagrama de Bode de magnitude mostrando o comportamento do amplificador fonte comum em função das altas frequências, assim como o ganho de tensão ( $|A_V|$ ) em função da frequência é apresentado na Figura 2.39, onde  $f_0$  indica a frequência para a qual o ganho é reduzido em 3dB do seu máximo valor, ou seja, a frequência de corte do amplificador. Também é indicado o ponto onde a frequência faz com que o ganho de tensão seja unitário ( $f_T$ ) (SEDRA; SMITH, 2011)

Figura 2.39 - Exemplo de um digrama de Bode de magnitude, destacando-se o valor de  $f_T$



Fonte: Autor

A frequência de ganho de tensão unitário é calculada pela seguinte expressão (SILVEIRA, FLANDRE e JESPERS, 1996):

$$f_T = \frac{g_m}{2\pi C_L} \quad (2.6.34)$$

onde  $C_L$  é uma carga capacitiva.

Analisando a equação (2.6.34), nota-se que a frequência de ganho de tensão unitário é proporcional a transcondutância do transistor, e como consequência reduzirá com o aumento da temperatura.

### 2.6.10 Resistência de dreno de estado ligado

A resistência de dreno de estado ligado ( $R_{ON}$ ) é um parâmetro muito importante para aplicações de circuitos integrados. Quanto menor esta resistência maior será a velocidade de chaveamento alcançada pelo transistor (SAKAKIBARA; URAKAMI; YAMAGUCHI, 2004). E valores baixos dessa resistência são de suma importância para atender as demandas de redução do consumo de energia, assim como a do incremento da velocidade de chaveamento dos circuitos integrados. Dentro deste contexto, a redução do parâmetro elétrico  $R_{ON}$  é de suma importância para viabilizar esta evolução (VASHCHENKO; SHIBKOV, 2001).

A resistência  $R_{ON}$  é determinada quando o SOI MOSFET opera na região triodo, ou seja, quando ele funciona como uma chave (SEDRA; SMITH, 2011). A corrente de dreno na região de triodo é descrita conforme a equação (2.6.35):

$$I_{DS} = \mu_n C_{OX1} \frac{W}{L} \left[ (V_{G1} - V_{TH1}) V_{DS} - (1 + \alpha') \frac{1}{2} V_{DS}^2 \right] \quad (2.6.35)$$

Na região de triodo, a corrente de dreno apresenta uma dependência linear com a tensão  $V_{DS}$  (para baixos valores de  $V_{DS}$ ), como ilustra a Figura 2.40. Portanto se a tensão  $V_{DS}$  for suficientemente pequena ( $V_{DS} < V_{GT}$ ), o valor  $V_{DS}^2$  pode ser desprezado da equação 2.6.35, portanto se obtém uma relação de  $I_{DS}$  próxima a origem.

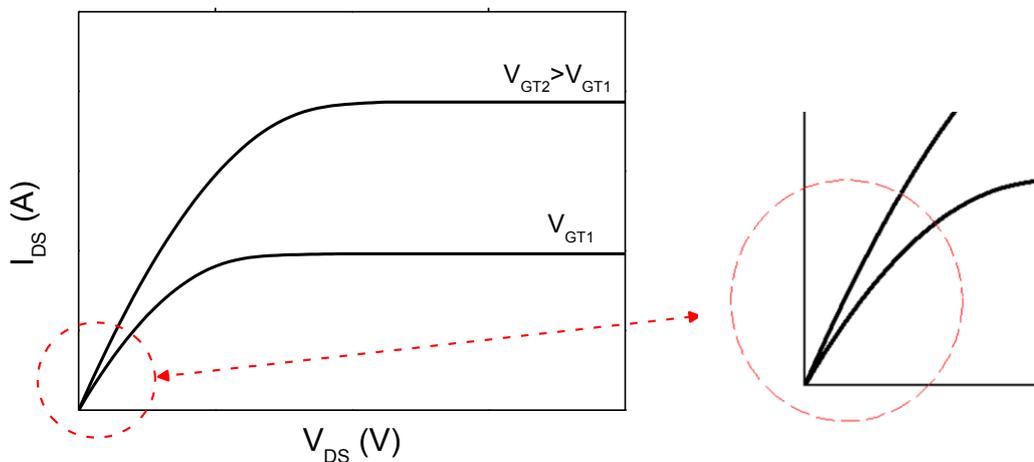
$$I_{DS} \cong \mu_n C_{OX1} \frac{W}{L} [(V_{G1} - V_{TH1}) V_{DS}] \quad (2.6.36)$$

A equação (2.6.36) representa a operação do transistor operando com uma resistência linear  $R_{ON}$ , que é dado pela equação (2.6.37), cujo valor é controlado pela sobretensão de porta ( $V_{GT}$ ) (SEDRA; SMITH, 2011); (RAVAZI, 2001).

$$\frac{V_{DS}}{I_{DS}} = R_{ON} = \frac{1}{\mu_n \cdot C_{OX1} \cdot \frac{W}{L} (V_{G1} - V_{TH1})} \quad (2.6.37)$$

Para a extração da resistência de dreno de estado ligado, se faz o cálculo do coeficiente angular da região linear da curva  $I_{DS}$  em função de  $V_{DS}$ , ou seja, na região de triodo e para valores baixos de  $V_{DS}$ , como ilustra a parte em destaque da Figura 2.40.

Figura 2.40 - Curva característica de  $I_{DS}$  em função de  $V_{DS}$ , que indica a região triodo do SOI MOSFET, onde é obtido o valor de  $R_{ON}$



Fonte: Autor

Analisando a equação (2.6.37) conclui-se que  $R_{ON}$  é dependente da temperatura, pois é inversamente proporcional à mobilidade dos portadores móveis na região do canal. Quando a temperatura aumenta, ocorre a redução da mobilidade dos portadores móveis na região do canal, devido ao maior espalhamento de fônons (STREETMAN; BANERJEE, 2000). Assim, com o aumento da temperatura, e conseqüentemente a redução da mobilidade dos portadores móveis,  $R_{ON}$  tende a aumentar.

### 2.6.11 Corrente de dreno estado ligado

A corrente de dreno de estado ligado ( $I_{ON}$ ) é definida como a corrente de dreno que é medida na situação em que o SOI MOSFET está operando com valores da tensão de porta ( $V_{GS}$ ) superiores ao valor da tensão de limiar ( $V_{TH}$ ) (RAVAZI, 2001).

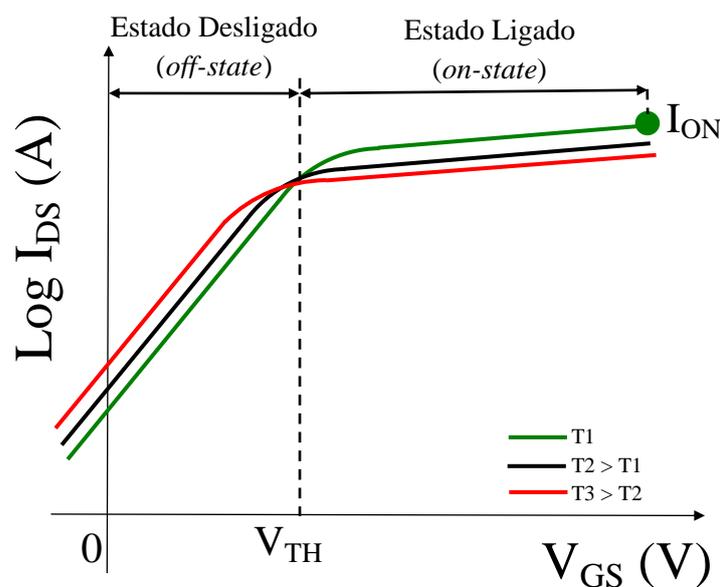
O consumo de energia e a dissipação de potência, tanto nos MOSFETs de tecnologia

*Bulk* quanto nos SOI MOSFETs, ocorrem tanto no comportamento dinâmico, como no comportamento estático do transistor. O consumo de energia como a devida dissipação ocorrem no chaveamento de energia no estado ligado (*on-state*), onde ocorre o carregamento e o descarregamento das capacitâncias dos circuitos integrados. No caso do comportamento estático (*off-state*) o consumo de energia e a dissipação ocorrem devido à corrente de fuga de dreno ( $I_{LEAK}$ ) (SHACHAM-DIAMAND; OSAKA *et al.*, 2009).

É desejável que o SOI MOSFET quando está ligado forneça a maior  $I_{DS}$  possível. A corrente  $I_{ON}$  é influenciada pela tensão de limiar, mas é fortemente dependente da mobilidade dos portadores ( $I_{ON} \propto \mu(T)$ ) e como a mobilidade é influenciada pela temperatura,  $I_{ON}$  decreta à medida que temperatura aumenta (LI; CHOU, 2005); (USA, 2013).

A corrente de dreno de estado ligado pode ser extraída a partir da curva de  $I_{DS}$  (em escala logarítmica) em função de  $V_{GS}$ , para  $V_{GS}$  igual à tensão de alimentação ( $V_{DD}$ ), e  $V_{DS}$  próximo a 0 V (região de triodo). A Figura 2.41 apresenta um exemplo da curva do logarítmico de  $I_{DS}$  em função de  $V_{GS}$  de um SOI nMOSFET utilizada para extrair a corrente de dreno de estado ligado e sua redução com o aumento da temperatura.

Figura 2.41 - Gráfico do logarítmico de  $I_{DS}$  em função de  $V_{GS}$  sob a influência do aumento da temperatura, ilustrando a região de estado desligado (*off-state*) e a região de estado ligado (*on-state*) de um SOI nMOSFET operando como chave e ilustrando a corrente  $I_{ON}$



Fonte: Autor

### 2.6.12 Corrente de dreno estado desligado

A corrente de dreno de estado desligado ( $I_{OFF}$ ) é igual a corrente de dreno na região de depleção da junção pn da região de dreno reversamente polarizada, que é essencialmente a corrente de sublimiar ou uma corrente de fuga de dreno ( $I_{LEAK}$ ). Essa corrente é muito menor em SOI MOSFETs do que nos MOSFET convencional (*Bulk*), devido à redução da área de junção pn da interface dreno/canal (RUDENKO; LYSENKO *et al.*, 1999).

A corrente de dreno de estado desligado em um SOI MOSFET consiste basicamente de duas componentes: a corrente de geração na região de depleção da junção de dreno reversamente polarizada ( $I_{ger}$ ) e a corrente de difusão vinda da parte não depletada do filme de silício. A corrente de geração na região de dreno em um SOI nMOSFET pode ser dado pela seguinte expressão (RUDENKO; LYSENKO *et al.*, 1999):

$$I_{ger} = q \tau_{Si} W \frac{n_i}{\tau_g} \left\{ \sqrt{\frac{2 \epsilon_{Si} k T}{q^2 N_A}} \left[ \sqrt{\ln \left( \frac{N_A}{n_i} \right) + \frac{q V_{DS}}{k T}} - \sqrt{\ln \left( \frac{N_A}{n_i} \right)} \right] \right\} \quad (2.6.38)$$

onde  $\tau_g$  é o tempo de vida do portador,  $\tau_{Si}$  é a espessura da camada de silício e  $\epsilon_{Si}$  é a permissividade elétrica do silício.

E a corrente de difusão ( $I_{dif}$ ) é dada pela expressão (2.6.39) para um canal tipo n (RUDENKO; LYSENKO *et al.*, 1999):

$$I_{dif} = q W \sqrt{\frac{D_n}{\tau_{rn}}} \left( 1 - e^{-\frac{q V_{DS}}{k T}} \right) \int_0^{\tau_{Si}} \left( \frac{n_i^2}{N_A} e^{\frac{q \varphi(x,T)}{k T}} \right) dx \quad (2.6.39)$$

onde  $\tau_{rn}$  é o tempo de recombinação do elétron,  $D_n$  é o coeficiente de difusão do elétron e  $\varphi(x, T)$  representa a distribuição do potencial na espessura da camada de Si não depletada.

De acordo com a equação (2.6.39), nota-se que a corrente de difusão em um SOI MOSFET é determinada pela distribuição tanto do potencial quanto da concentração de portadores minoritários, que varia com a polarização da porta e da espessura da camada de Si. Além disso, a concentração de portadores minoritários pode ser reduzida à medida que a polarização de  $V_{G2}$  aumentar, reduzindo assim a corrente de difusão (RUDENKO; LYSENKO *et al.*, 1999).

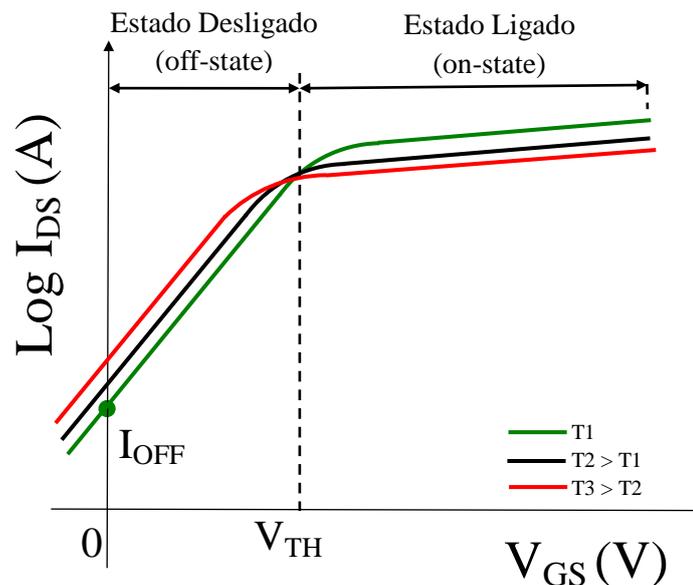
A dependência de  $I_{OFF}$  com a temperatura está relacionada com a concentração intrínseca dos portadores. Para temperaturas abaixo de 423 K,  $I_{OFF}$  segue a variação de  $n_i$  com

a temperatura, o que indica a predominância da corrente de geração. Em temperaturas acima de 423 K,  $I_{OFF}$  segue a variação de  $n_i^2$  com a temperatura, sugerindo que o mecanismo de difusão é dominante (RUDENKO; LYSENKO *et al.*, 1999). Portanto,  $I_{OFF}$  aumenta juntamente com o aumento da temperatura.

A corrente  $I_{OFF}$  é de suma importância para circuitos integrados de baixíssimo consumo de energia, em que os transistores operam na região de sublimiar.

Para se extrair a corrente de dreno de estado desligado, usa-se a mesma curva utilizada para extração de  $I_{ON}$ , como ilustra a Figura 2.42 que traz o logarítmico de  $I_{DS}$  em função de  $V_{GS}$  de um SOI nMOSFET, além da variação de  $I_{OFF}$  com o aumento da temperatura, devido a sua forte dependência com  $n_i$ . O valor de  $I_{OFF}$  é extraído para  $V_{GS}$  igual a 0 V (chave desligada).

Figura 2.42 - Gráfico do logarítmico de  $I_{DS}$  em função de  $V_{GS}$  sob a influência do aumento da temperatura, ilustrando a região de estado desligado (*off-state*) e a região de estado ligado (*on-state*) de um SOI nMOSFET operando como chave e ilustrando a corrente  $I_{OFF}$



Fonte: Autor

### 2.6.13 Razão $I_{ON}/I_{OFF}$

A partir das correntes de dreno de estado desligado e ligado, obtém-se a razão  $I_{ON}/I_{OFF}$ . Esta razão afeta diretamente a robustez de um circuito integrado, por exemplo, um grande valor de  $I_{ON}/I_{OFF}$  leva a uma grande margem de ruído com o consumo de energia otimizado e uma pequena razão  $I_{ON}/I_{OFF}$  significa mais suscetibilidade a ruídos de potência e *soft error*

(WOLPERT; AMPADU, 2012). Ou seja, quanto maior a razão  $I_{ON}/I_{OFF}$  melhor é o desempenho em alta frequência, consumo de energia do transistor e, além disso, maiores velocidades de processamento.

O efeito da variação da temperatura na corrente de dreno de estado desligado é mais significativo do que na corrente de dreno de estado ligado, devido à variação quadrática de  $n_i$  a partir de 423 K. É importante manter  $I_{OFF}$  a menor possível, a fim de minimizar a energia elétrica estática, que um circuito integrado consome mesmo quando se está no modo de espera. Portanto, pode-se concluir que a razão  $I_{ON}/I_{OFF}$  decremente com o aumento da temperatura (RUDENKO; LYSENKO *et al.*, 1999).

### 3 RESULTADOS EXPERIMENTAIS

Os DSMs e os OSMs, juntamente com os seus respectivos CSMs equivalentes, foram submetidos a uma faixa de temperatura que varia de 300 K (27 °C) até 573 K (300 °C) e  $V_{G2}$  igual a 0 V, ou seja, SOI nMOSFET totalmente depletado com a segunda interface em depleção. Com isso, essa seção apresenta a caracterização elétrica dos SOI nMOSFETs do tipo Diamante e do tipo OCTO em função dos efeitos das altas temperaturas. Esses resultados foram comparados com aqueles medidos com seus respectivos SOI MOSFETs convencionais (geometria de porta retangular), considerando o mesmo W, as mesmas condições de polarização e somente o DSM e o seu CSM equivalente apresentam a mesma área de porta.

#### 3.1 TRANSISTORES UTILIZADOS E MÉTODO DE CARACTERIZAÇÃO ELÉTRICA UTILIZADO

Os SOI MOSFETs dos tipos Diamante (geometria de porta hexagonal), OCTO (geometria de porta octogonal) e do tipo convencional (geometria de porta retangular) foram desenvolvidos no Centro universitário da FEI e fabricados no Laboratório de Microeletrônica da Universidade Católica de Louvain na Bélgica (*Electrical Engineering Department, ICTEAM Institute, Université catholique de Louvain, UCL, Louvain-la-Neuve, Belgium*) em 2012, utilizando-se o processo de CIs SOI MOSFETs CMOS totalmente depletado de 1  $\mu\text{m}$ , otimizado para operação em altas temperaturas e aplicações analógicas e digitais.

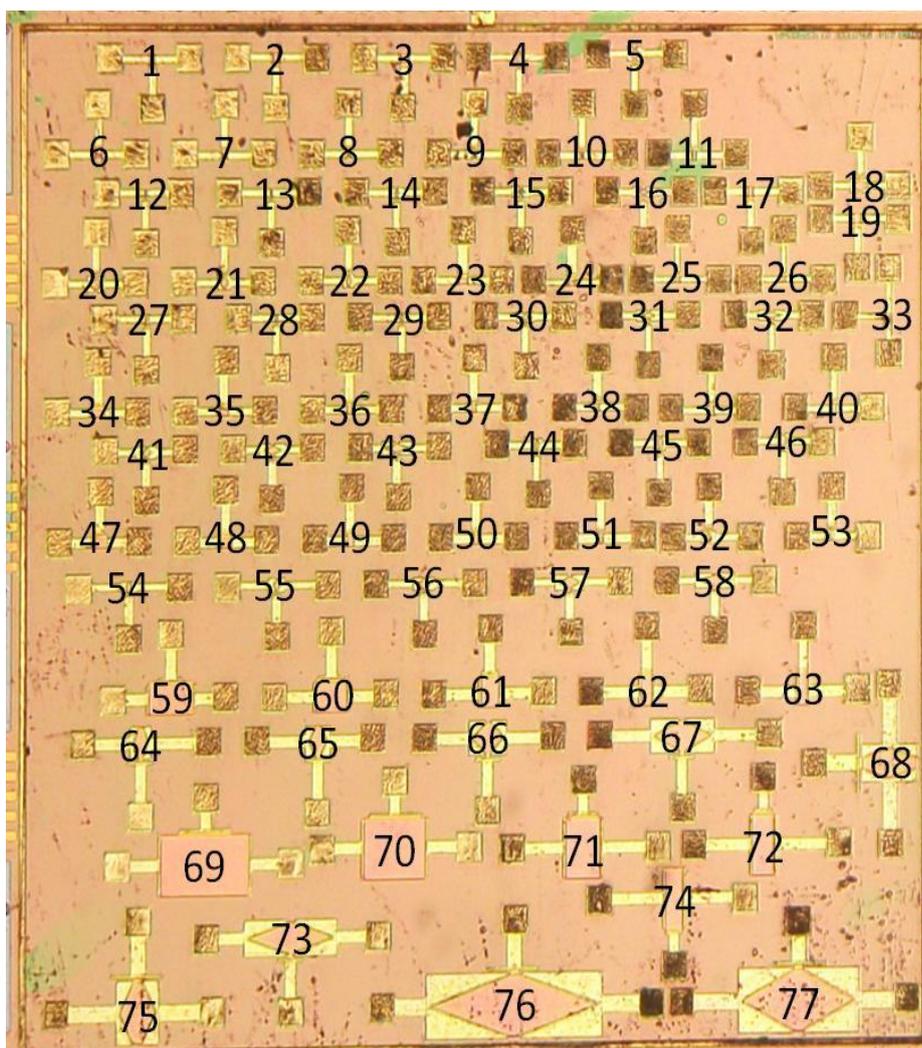
Os principais parâmetros tecnológicos do processo de fabricação SOI MOSFETs CMOS totalmente depletado são:

- a) Eletrodo de porta: silício policristalino tipo  $N^+$ ;
- b) Espessura do óxido de porta ( $t_{ox}$ ) igual a 31 nm, sendo utilizado o  $\text{SiO}_2$  (óxido de Silício);
- c) Espessura da camada de silício ( $t_{Si}$ ) igual a 80 nm;
- d) Espessura do óxido enterrado ( $t_{BOX}$ ) igual 400 nm;
- e) A concentração de dopante do tipo p na região de canal é de  $6 \times 10^{16} \text{ cm}^{-3}$ ;
- f) A concentração de dopante do tipo n de dreno/fonte é de  $1 \times 10^{20} \text{ cm}^{-3}$ .

A Figura 3.1 mostra uma imagem do mapa do CI utilizado nas medições, contendo as

diferentes topologias de SOI MOSFETs utilizadas neste trabalho, ou seja, o SOI MOSFET do tipo Diamante (DSM), o SOI MOSFET do tipo OCTO (OSM) e o SOI MOSFET do tipo convencional (CSM). Todos esses transistores são do tipo n.

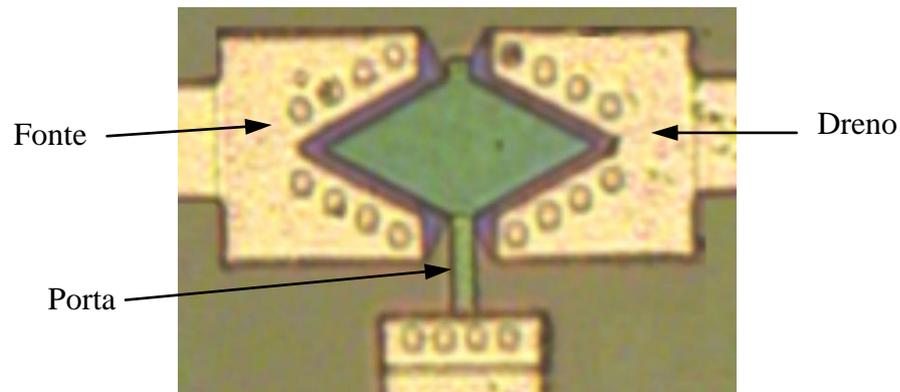
Figura 3.1 - Imagem do circuito integrado fabricado pela UCL com os DSMs, OSMs e CSMs, utilizados neste trabalho



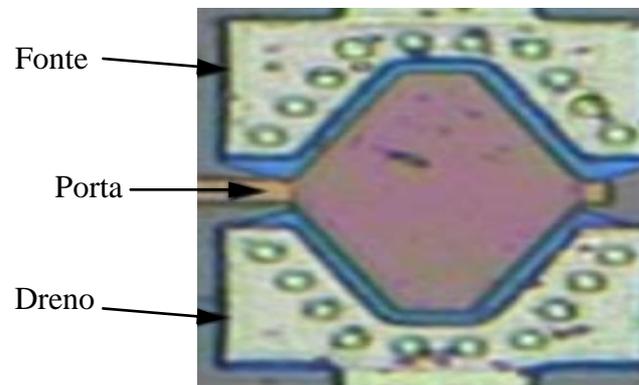
Fonte: Autor

A Figura 3.2 apresenta um exemplo de imagens fotográficas do DSM e do OSM, provenientes do CI da Figura 3.1.

Figura 3.2 - Fotos do DSM (a) e do OSM (b) de um dos CIs utilizados neste trabalho



(a)



(b)

Fonte: Autor

Para atingir o objetivo deste estudo, foi utilizado o sistema de caracterização elétrica em altas temperaturas, disponível na infraestrutura existente no Laboratório de Microeletrônica do Centro Universitário da FEI, que contém o Micro-refrigerador Modelo K20 da MMR Technologies e Keithley 4200 SCS, conforme está ilustrado na Figura 3.3. Através deste sistema de caracterização é possível extrair as principais curvas características de um SOI MOSFET, a fim de caracterizá-lo eletricamente.

Figura 3.3 - Foto mostrando o analisador de parâmetros Keithley 4200 SCS e o micro-refrigerador modelo K20 da *MMR Technologies* disponíveis no laboratório de microeletrônica do Centro Universitário da FEI



Fonte: Autor

Para que seja caracterizado um SOI MOSFET, ou um MOSFET de tecnologia convencional (*Bulk*), usa-se as duas principais curvas características de um transistor, que são: a curva da corrente entre dreno e fonte ( $I_{DS}$ ) medida em função da queda de potencial entre dreno e fonte ( $V_{DS}$ ), parametrizada em função da tensão de porta ( $V_{GS}$ ) constante e maior que a tensão de limiar ( $V_{TH}$ ) e o segundo caso, a curva  $I_{DS}$  medida em função de  $V_{GS}$ , para valores de  $V_{DS}$  fixo. Primeiramente será feito o estudo com o DSM e posteriormente com o OSM.

### 3.1.1 Características de fabricação de CIs SOI CMOS da UCL

O processo de fabricação desenvolvido pela UCL, para fabricar MOSFETs FDSOI CMOS com comprimento de canal em aproximadamente de  $1\ \mu\text{m}$  e espessura de camada de Si de 80 nm, oferece uma ampla gama de desempenho compatível com a realização de micropotência heterogênea, alta temperatura ou microssistemas de rádio frequência (RF), que envolvem a integração de sensores, componentes analógicos e digitais. Além disso, o mesmo processo CMOS é compatível com a integração de dispositivos não convencionais (*Bulk*),

com o desempenho necessário para ampliar significativamente as áreas de aplicações, tais como bipolares laterais, MOSFETs de canal graduado, *laterally diffused metal oxide semiconductor* (LDMOS), transistores de porta dupla, *magnetic field-effect transistors* (MAGFETs), diodos laterais PIN, etc (FLANDRE; ADRIAENSEN *et al.*, 2002).

O desenvolvimento de dispositivos CMOS foi focado em um processo FDSOI CMOS de 0,75 - 2 $\mu$ m, que utilizou para obtenção do substrato SOI, primeiramente o processo *Separation by Implanted Oxygen* (SIMOX) e posteriormente a técnica SmartCut UNIBOND, que é compatível com a produção do CMOS convencional (Bulk). Para utilizar um único material de porta Si poli N<sup>+</sup>, tanto nos MOSFETs de canal tipo n e p, é implantado boro de rendimento de inversão (*Inversion Mode, IM*) e modo de acumulação (*Accumulation Mode, AM*), respectivamente (FLANDRE; ADRIAENSEN *et al.*, 2002).

As implantações de impurezas no canal pode ser otimizadas, para permitir um grau de compatibilidade no processo SIMOX ou SmartCut UNIBOND, tanto em aplicações a tensão muita baixa de alimentação (*very low supply voltage*, isto é, tensões de limiar simétricas igual a 0,3-0,4 V, em temperatura ambiente), quanto para aplicações em temperaturas de até 300 °C para FDSOI. Entretanto os transistores podem funcionar até 350 °C, mas haverá degradação de seu desempenho elétrico (FLANDRE; ADRIAENSEN *et al.*, 2002).

O processo do FDSOI CMOS utilizado pela UCL também oferece, sem nenhum custo adicionado ao processo, múltiplas tensões de limiar. Isso é possível pela mudança de dopagem de boro no canal entre MOSFET tipo n e tipo p. Outra possibilidade é mascarar os MOSFETs tipo p e n durante ambas as etapas de implantação de canal, a fim de manter os canais intrínsecos, isto é, na prática ligeiramente tipo p. Em alguns casos, ambos os tipos de dopagem podem ser adicionadas (FLANDRE; ADRIAENSEN *et al.*, 2002).

Em aplicações de alta temperatura, a confiabilidade pode ser melhorada por meio da substituição do material de porta de alumínio para tungstênio. Como o tungstênio reage com o silício durante o recozimento, finas camadas SOI podem ser destruídas e todo o silício pode ser consumido na zona de contato. Para evitar isso, uma eficiente barreira de contato auto-alinhadas de TiSi<sub>2</sub>/CoSi<sub>2</sub> (Siliceto de Titânio / Siliceto de Cobalto) é formada nas regiões de fonte, dreno e porta (CHEN; COLINGE *et al.*, 1997).

A disponibilidade de metalização de tungstênio vai garantir a viabilidade industrial e a utilidade da tecnologia FDSOI para aplicações de alta temperatura, graças à confiabilidade reforçada do circuito integrado e procedimentos de análise de falha mais rápidos (FLANDRE; ADRIAENSEN *et al.*, 2002).

Para os circuitos integrados de alta frequência e de elevada resistividade (maior que

1 k $\Omega$ .cm) lâminas SOI e um processo CMOS compatível (*process silicidation*) são utilizados a fim de diminuir, respectivamente, o acoplamento parasitário no substrato e as resistências parasitas série na região de porta, dreno e fonte do transistor (FLANDRE; ADRIAENSEN *et al.*, 2002).

O processo de fabricação utilizado pela UCL é compatível com MOSFETs assimétricos de canal graduado (GC SOI MOSFET), onde mostra uma melhor tensão Early em relação aos SOI MOSFET Convencionais (FLANDRE, ADRIAENSEN, *et al.*, 2002).

O transistor bipolar lateral SOI também foi implementado no processo da UCL, simplesmente usando-se a fonte e dreno de um MOSFET convencional (Bulk) como emissor e coletor, proporcionando assim um contato de base lateral por uma região de difusão da correspondente polaridade de dopagem da região do canal. Consequentemente, uma vez que o canal do MOSFET tipo p AM é dopado com a mesma polaridade tal como a da fonte e do dreno. Uma implantação suplementar de fósforo na região do canal tem de ser introduzida a fim de realizar estruturas PNP. Estes dispositivos demonstraram bom desempenho em aplicações de alta temperatura ou micropotência (FLANDRE; ADRIAENSEN *et al.*, 2002).

Uma vantagem importante da tecnologia utilizada pela UCL, é que as propriedades dos dispositivos, bem como a disponibilidade da metalização de tungstênio, pode abrir a viabilidade industrial no processo de teste de envelhecimento acelerado. Este teste chamado de *burn-in*, coloca um dispositivo eletricamente estressado sob temperatura elevada, por um período de tempo adequado, a fim de precipitar eventuais falhas latentes, e a tecnologia utilizada pela UCL reduz significativamente a duração deste ensaio e os custos, em comparação aos circuitos integrados com tecnologia *Bulk* (FLANDRE; ADRIAENSEN *et al.*, 2002).

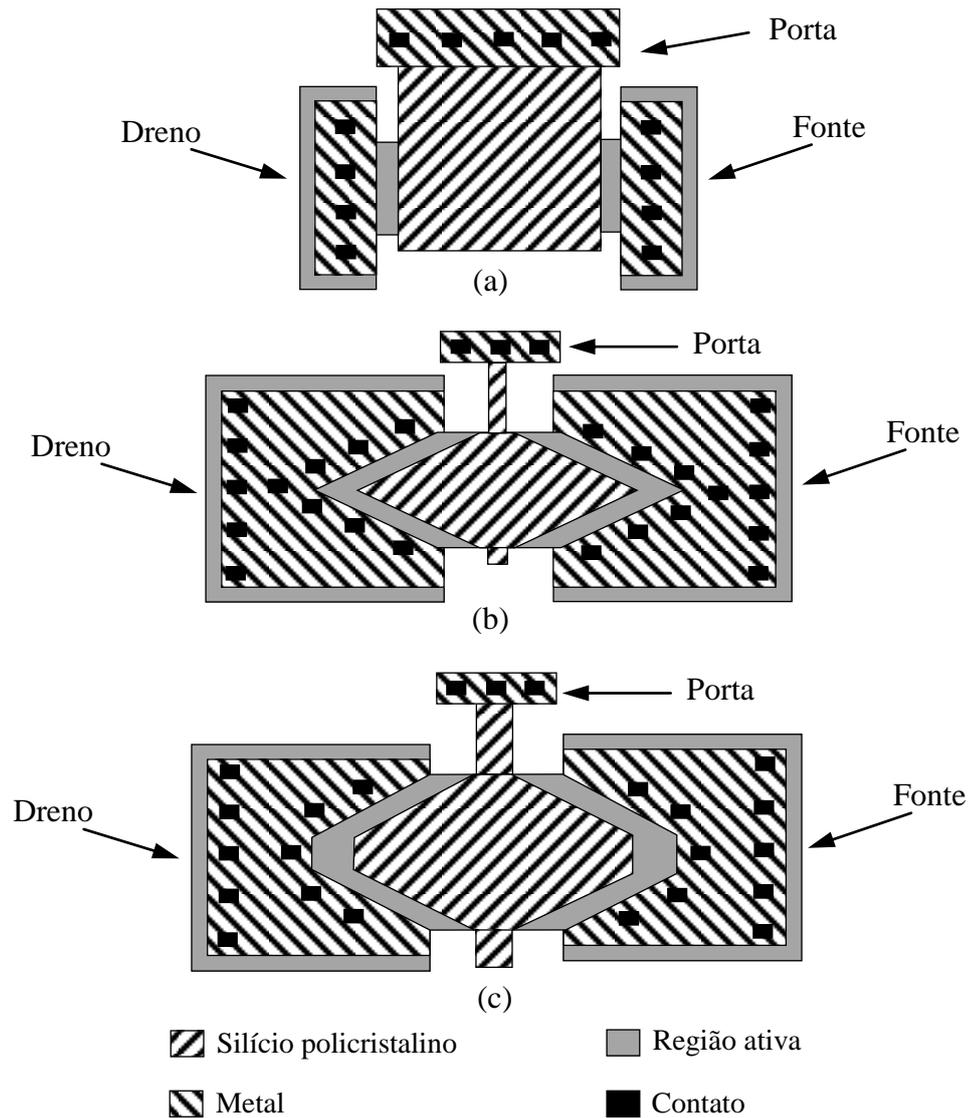
Por exemplo, assumindo que a lei de Arrhenius é válida, a avaliação de uma vida de cinco anos a 125 °C exigiria cerca de 20 dias de ensaio, se a temperatura máxima de operação é de 200 °C, como é o caso a dos circuitos integrados de tecnologia *Bulk*, enquanto para operação de circuitos integrados FDSOI a 300 °C, reduz a análise para 5 horas (FLANDRE; ADRIAENSEN *et al.*, 2002).

No processo de fabricação de circuitos integrados com a tecnologia SOI MOSFET são englobados vários transistores e estão envolvidos vários processos onde são utilizadas várias máscaras que definirão o tamanho, as dopagens e o tipo de transistor (SOI nMOSFET ou SOI pMOSFET).

No projeto de implementação para os leiautes dos DSMs e dos OSMs, além de seus respectivos CSMs equivalente, foram utilizadas quatro máscaras no processo de fabricação,

como ilustra a Figura 3.4. No caso utilizou-se uma máscara para o crescimento do silício policristalino, uma segunda máscara para a região ativa, uma terceira para a abertura de janelas de contato e por último, uma quarta máscara para metalização.

Figura 3.4 - Máscaras utilizadas pela UCL para implementação do estilo de leiatue Convencional (a), Diamante (b) e Octogonal (c) em tecnologia SOI



Fonte: Autor

### 3.1.2 Temperatura crítica nos SOI MOSFETs

Como foi explicado no item 2.1.1, as características dos dispositivos dependem fortemente da espessura da camada de silício ( $t_{Si}$ ), da concentração de dopantes ( $N_A$ ) e da

temperatura (T). Dependendo da temperatura em que o SOI MOSFET estiver submetido, ele pode deixar de se comportar como um SOI MOSFET totalmente depletado para se comportar com um SOI MOSFET parcialmente depletado, ou pode ocorrer o contrário.

À medida que a temperatura do ambiente onde se encontra um SOI MOSFET totalmente depletado aumenta, a profundidade máxima da camada de depleção ( $x_{dmax}$ ) reduzirá, pois segundo a equação (2.1.1),  $x_{dmax}$  é dependente do potencial de Fermi, que apresenta dependência com a temperatura principalmente pela concentração intrínseca de portadores, que aumenta em altas temperaturas e conseqüentemente reduz o potencial de Fermi, como descreve a equação (2.1.2).

Segundo esta abordagem, será feito o cálculo da temperatura máxima (ou temperatura crítica) em que os SOI MOSFETs deste estudo, ou seja, os DSMs, os OSMs e os seus respectivos CSMs equivalente, possam ser submetidos, a fim de que a espessura da camada de Si se mantenha totalmente depletado.

Para que um SOI MOSFET seja definido como totalmente depletado, a espessura da camada de Si,  $t_{Si}$ , deve ser menor do que  $x_{dmax}$ . Com isso, usando a equação (2.1.1) pode-se escrever:

$$t_{Si} = \sqrt{\frac{4\epsilon_{Si}\Phi_F}{qN_A}} \quad (3.1.1)$$

Através da equação (3.1.1), calcula-se o potencial de Fermi, considerando os valores de  $t_{Si}$  e  $N_A$  igual a 80 nm e  $6 \times 10^{16} \text{ cm}^{-3}$ , respectivamente.

$$\Phi_F = \frac{t_{Si}^2 q N_A}{4 \epsilon_{Si}} = \frac{(8 \times 10^{-6})^2 \cdot 1,6 \times 10^{-19} \cdot 6 \times 10^{16}}{4 \times 10^{-12}} = 0,1536 \text{ V}$$

E utilizando a equação (2.1.2), juntamente com a equação (2.5.3) para o cálculo de  $n_i$ , obtêm-se:

$$\Phi_F = \frac{k T}{q} \ln \left( \frac{N_A}{n_i} \right) \rightarrow 0,1536 = 8,62 \times 10^{-5} \cdot T \cdot \ln \left( \frac{6 \times 10^{16}}{\sqrt{5,4 \times 10^{31} \cdot T^3 \cdot e^{-E_G/kT}}} \right)$$

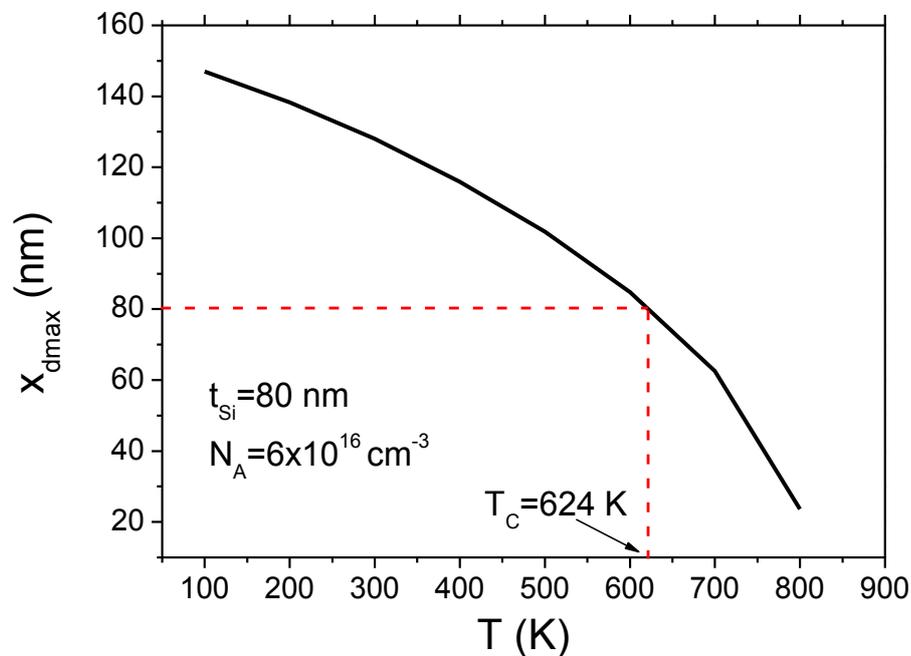
Após algumas simplificações, tem-se a equação (3.1.2) para o cálculo da temperatura crítica,  $T_C$ :

$$T_C = \frac{3143}{\ln(T) - 1,4} \quad (3.1.2)$$

São necessárias algumas iterações para se obter o valor de  $T_C$ , sendo que houve convergência para o valor de 624 K. Portanto a temperatura máxima em que os SOI MOSFETs deste estudo podem ser submetidos, a fim de que eles se mantenham totalmente depletados, é de 624 K.

Para as características dimensionais dos transistores deste estudo, foi plotado na Figura 3.5, o gráfico da profundidade máxima da camada depleção em função da temperatura para os transistores utilizados neste estudo, onde é possível observar a temperatura crítica  $T_C$  igual a 624 K e a redução de  $x_{dmax}$  com o aumento da temperatura. Quando o SOI MOSFET totalmente depletado estiver acima desta temperatura, ele se comportará com um SOI MOSFET parcialmente depletado, fazendo surgir os efeitos de corpo flutuante, tais como: o efeito de elevação abrupta de corrente de dreno (Efeito *Kink*) e o efeito bipolar parasitário entre fonte e dreno (COLINGE, 2004).

Figura 3.5 - Gráfico da profundidade máxima da camada depleção em função da temperatura para os transistores utilizado neste estudo, onde é possível observar a temperatura crítica  $T_C$



Fonte: Autor

### 3.2 COMPARATIVO EXPERIMENTAL ENTRE OS SOI MOSFETs DO TIPO DIAMANTE E OS SEUS RESPECTIVOS CONVENCIONAIS SOI MOSFETs EQUIVALENTES

Nesta seção são apresentados os comparativos experimentais entre os DSMs e seus respectivos CSMs equivalentes, considerando a mesma  $A_G$  e o mesmo  $W$ , para os principais parâmetros analógicos e digitais em função da temperatura, sob as mesmas condições de polarização.

As características dimensionais dos DSMs e seus respectivos CSMs equivalentes usados para realização deste trabalho estão indicados na Tabela 3.1, lembrando-se que o comprimento de canal do DSM usado para normalizar os parâmetros é igual a  $(b+B)/2$ , que corresponde ao  $L$  de um CSM, com a mesma área de porta do DSM.

Tabela 3.1 - Dimensões dos SOI MOSFETs do tipo Diamante e seus CSMs equivalentes utilizados neste trabalho com  $W=12\ \mu\text{m}$  e  $b=2\ \mu\text{m}$

	<i>SOI MOSFETs</i>					
	<i>DSM1</i>	<i>CSM1</i>	<i>DSM2</i>	<i>CSM2</i>	<i>DSM3</i>	<i>CSM3</i>
<b>Localização do transistor no mapa do chip</b>	<i>07</i>	<i>15</i>	<i>08</i>	<i>14</i>	<i>09</i>	<i>13</i>
$\alpha$ ( $^\circ$ )	<i>53,1</i>	-	<i>90,0</i>	-	<i>126,9</i>	-
<b>B (<math>\mu\text{m}</math>)</b>	<i>26,0</i>	-	<i>14,0</i>	-	<i>8,0</i>	-
<b>L (<math>\mu\text{m}</math>)</b>	<i>14,0</i>		<i>8,0</i>		<i>5,0</i>	
<b><math>L_{\text{ef DSM}}</math> (<math>\mu\text{m}</math>) (PAMDLE)</b>	<i>9,4</i>	-	<i>6,2</i>	-	<i>4,3</i>	-
<b>Perímetro da junção pn (<math>\mu\text{m}</math>)</b>	<i>26,83</i>	<i>12,0</i>	<i>16,97</i>	<i>12,0</i>	<i>13,42</i>	<i>12,0</i>
<b>Área da junção pn (<math>A_{\text{pn}}</math>) da interface dreno/canal (<math>\mu\text{m}^2</math>)</b>	<i>2,15</i>	<i>0,96</i>	<i>1,36</i>	<i>0,96</i>	<i>1,07</i>	<i>0,96</i>
<b>W/L</b>	<i>0,86</i>		<i>1,50</i>		<i>2,40</i>	
<b><math>A_G</math> (<math>\mu\text{m}^2</math>)</b>	<i>168,0</i>		<i>96,0</i>		<i>60,0</i>	

Fonte: Autor

Para este estudo, são utilizados três pares de SOI MOSFETs, onde:

- Um DSM com  $\alpha$  igual a  $53,1^\circ$  (DSM1) e seu correspondente CSM equivalente (CSM1), que apresentam a mesma largura de canal de  $12\ \mu\text{m}$ , o mesmo comprimento de canal ( $L$ ) de  $14\ \mu\text{m}$ , onde o  $L$  do CSM1 é calculado por

$(b+B)/2$  a fim de apresentar a mesma área de porta ( $A_G$ ) do DSM1, que é igual a  $168,0 \mu\text{m}^2$ . Observa-se pela Tabela 3.1 que o  $L_{\text{ef}}$  do DSM, calculado pela equação 2.2.4 é 33% menor do que o do CSM equivalente com a mesma  $A_G$ , devido ao efeito PAMDLE;

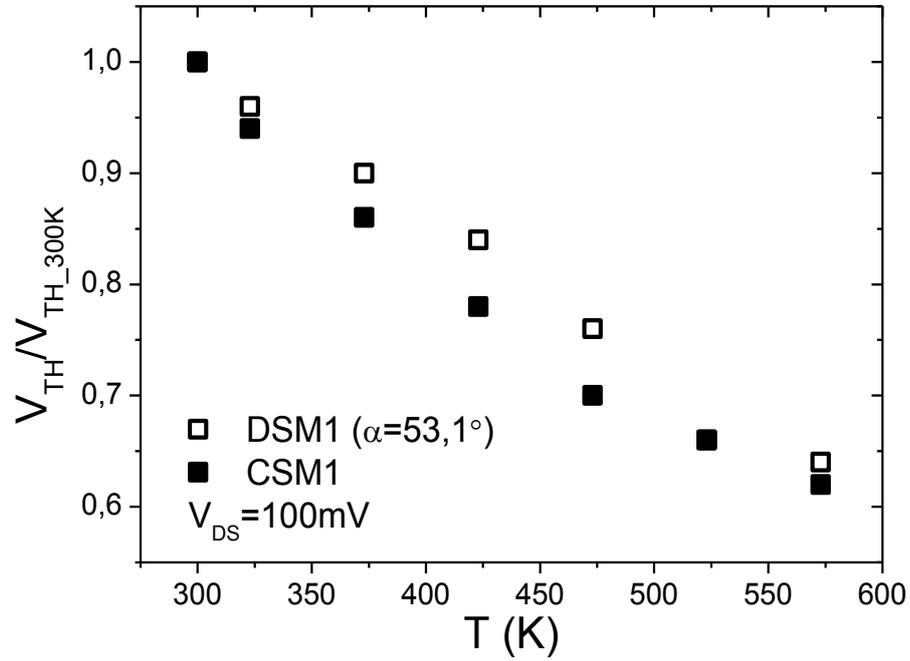
- b) Um DSM com  $\alpha$  igual a  $90,0^\circ$  (DSM2) e seu correspondente CSM equivalente (CSM2), que apresentam a mesma largura de canal de  $12 \mu\text{m}$ , o mesmo comprimento de canal ( $L$ ) de  $8 \mu\text{m}$ , onde o  $L$  do CSM2 é calculado por  $(b+B)/2$  a fim de apresentar a mesma área de porta ( $A_G$ ) do DSM2, que é igual a  $96,0 \mu\text{m}^2$ . Observando que o  $L_{\text{ef}}$  do DSM é 22,5% menor do que o do CSM equivalente com a mesma  $A_G$ , devido ao efeito PAMDLE;
- c) Um DSM com  $\alpha$  igual a  $126,0^\circ$  (DSM3) e seu correspondente CSM equivalente (CSM3), que apresentam a mesma largura de canal de  $12 \mu\text{m}$ , o mesmo comprimento de canal ( $L$ ) de  $5 \mu\text{m}$ , onde o  $L$  do CSM3 é calculado por  $(b+B)/2$  a fim de apresentar a mesma área de porta ( $A_G$ ) do DSM3, que é igual a  $60,0 \mu\text{m}^2$ . Observando que o  $L_{\text{ef}}$  do DSM é 14% menor do que o do CSM equivalente com a mesma  $A_G$ , devido ao efeito PAMDLE.

### 3.2.1 Tensão de limiar

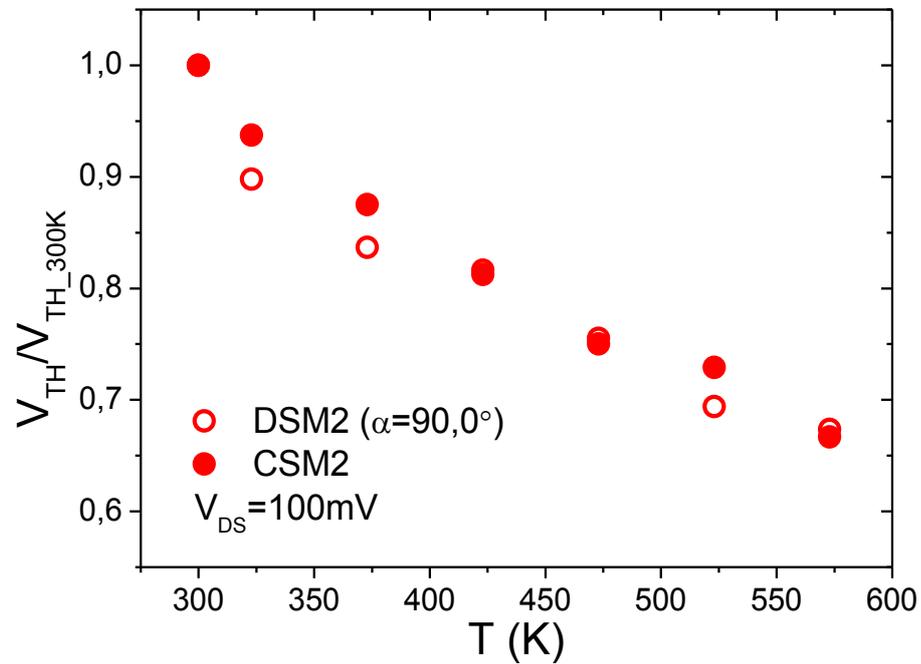
A Figura 3.6 apresenta os valores de  $V_{\text{TH}}$ , extraídos segundo o método apresentado no item 2.6.1 para  $V_{\text{DS}}$  igual a  $100\text{mV}$ , normalizados em função da tensão de limiar para temperatura ambiente ( $V_{\text{TH}_{300\text{K}}}$ ), para que seja possível analisar a sua variação com o aumento da temperatura.

Esses dispositivos possuem o valor de  $V_{\text{TH}}$  em temperatura ambiente igual a  $0,5 \text{ V}$ , devido à tecnologia e as regras de projeto utilizadas pela UCL.

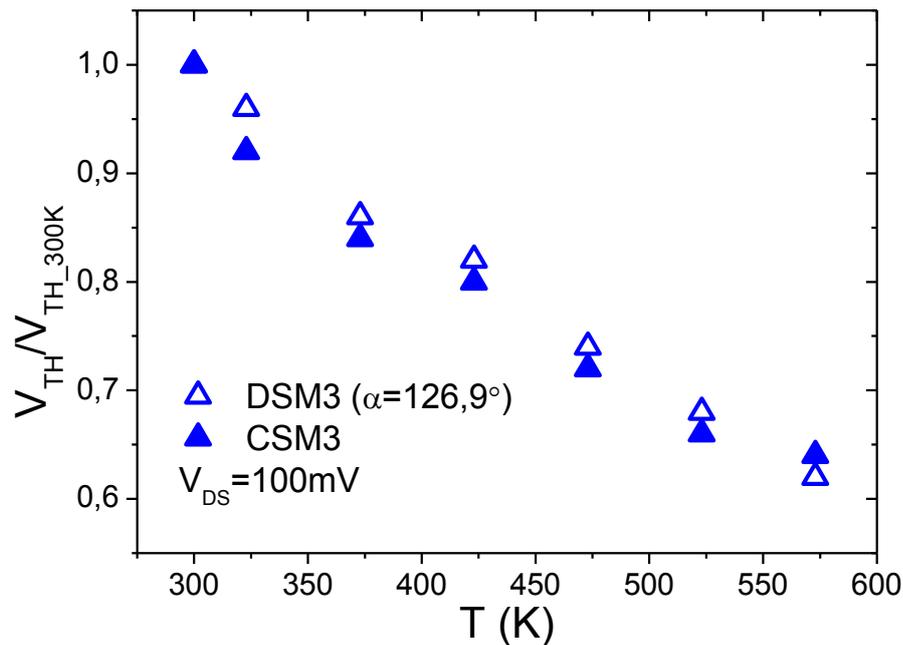
Figura 3.6 - Os gráficos de  $V_{TH}/V_{TH_{300K}}$  dos SOI MOSFETs do tipo Diamante em função da temperatura para o ângulo  $\alpha$  igual a  $53,1^\circ$  (a),  $90,0^\circ$  (b) e  $126,9^\circ$  (c), com seus respectivos CSMs equivalentes



(a)



(b)



(c)

Fonte: Autor

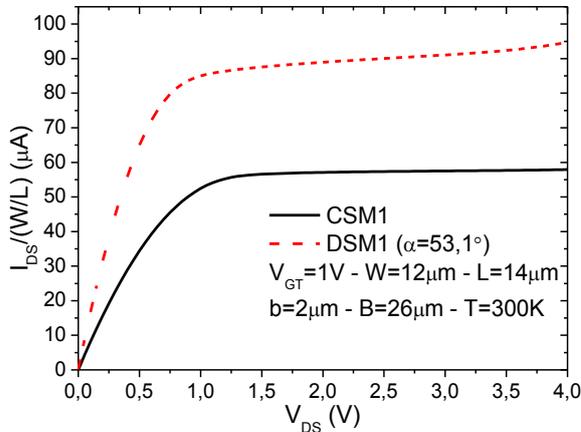
Assim conforme discutido no item 2.6.1, as tensões de limiars dos seis transistores reduzem com o aumento da temperatura, sendo a variação  $dV_{TH}/dT$  aproximadamente linear. Além disso, os valores de  $V_{TH}$  são praticamente iguais entre si. As diferenças máximas encontradas entre os DSMs em relação aos seus CSMs equivalentes foram de 8%, 3% e 4%, considerando com  $\alpha$  igual a  $53,1^\circ$ ,  $90,0^\circ$  e  $126,9^\circ$ , respectivamente.

Além disso, a variação da tensão de limiar de 300 K até 573 K foi de aproximadamente 38% para os três comparativos.

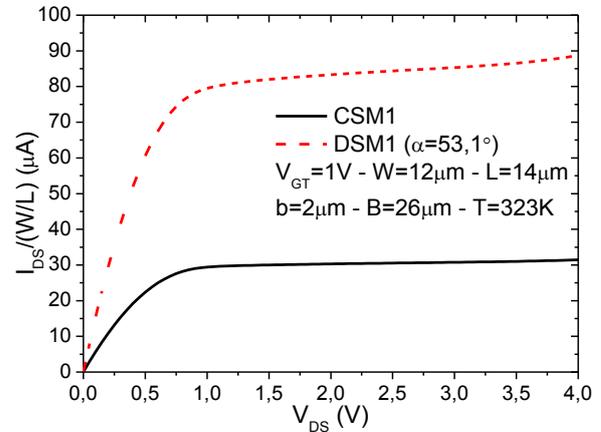
### 3.2.2 Corrente $I_{DS}$ em função de $V_{GT}$ e $V_{DS}$

Na Figura 3.7 estão apresentados os gráficos de  $I_{DS}$  normalizadas por  $(W/L)$  (para eliminar a influência do fator geométrico dos transistores no resultado) do DSM1 e do seu CSM equivalente, segundo a Tabela 3.1, em função de  $V_{DS}$  e da temperatura, para a sobretensão de porta ( $V_{GT} = V_{GS} - V_{TH}$ ) igual a 1 V. Onde o parâmetro  $V_{GT}$  é usado para eliminar as diferenças de tensão de limiar encontrada nos diferentes transistores.

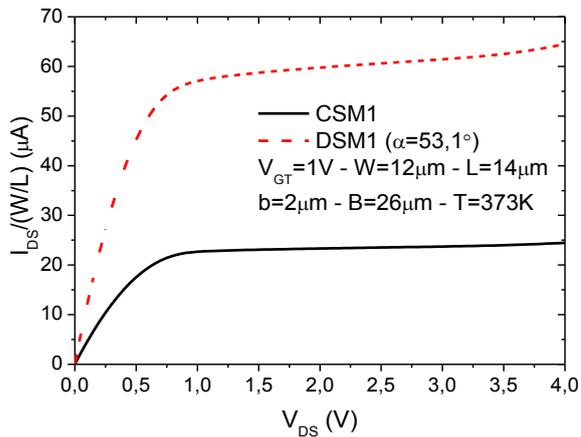
Figura 3.7 - Os gráficos das correntes de dreno normalizadas pela razão (W/L) do DSM1 ( $\alpha$  igual a  $53,1^\circ$ ) e do seu CSM equivalente em função de  $V_{DS}$ , com  $V_{GT}$  igual a 1V, para as temperaturas de 300 K (a), 323K (b), 373 K (c), 423 K (d), 473 K (e), 523 K (f) e 573 K (g)



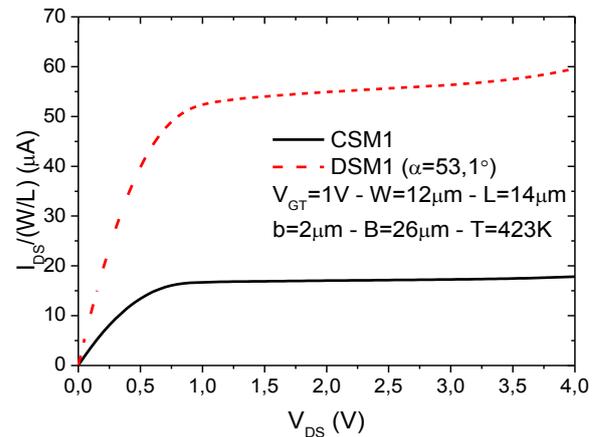
(a)



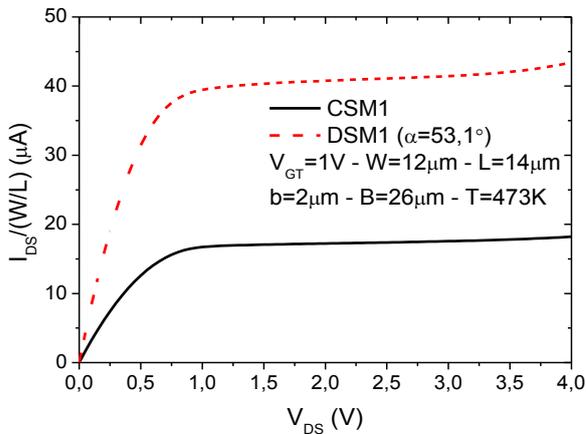
(b)



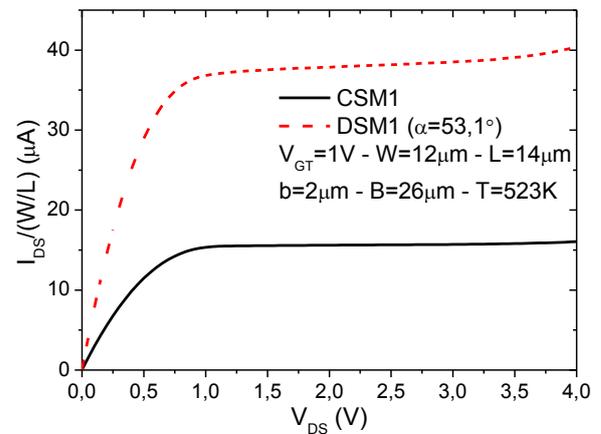
(c)



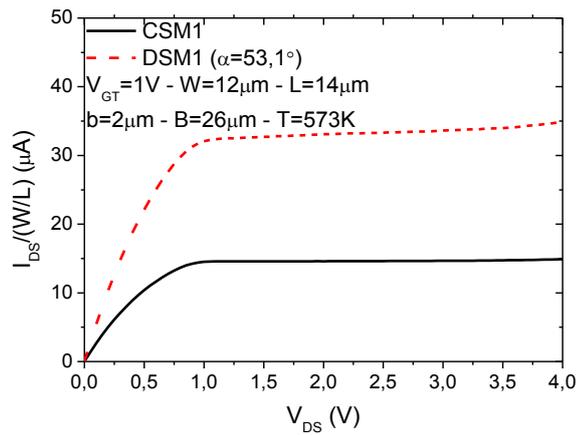
(d)



(e)



(f)



(g)

Fonte: Autor

Quando se analisa a Figura 3.7, verifica-se que, com o aumento da temperatura a corrente entre dreno e fonte diminui em ambos os dispositivos. Isso ocorre principalmente devido ao declínio da mobilidade dos portadores na região de canal. Quando a energia térmica começa a aumentar em ambos os transistores, há um aumento de portadores intrínsecos do semicondutor na região de canal e a predominância do espalhamento térmico na rede cristalina, causando a redução da mobilidade.

Observando os resultados encontrados na Figura 3.7, a corrente de dreno do SOI MOSFET do tipo Diamante para  $\alpha$  igual a  $53,1^\circ$ , tanto na região de triodo quanto na região de saturação é sempre maior que a observada em seu convencional equivalente para todas as temperaturas em que os transistores foram submetidos, considerando a mesma área de porta  $A_G$ , o mesmo fator geométrico, o mesmo  $W$  e as mesmas condições de polarização. A Tabela 3.2 mostra o ganho na  $I_{DS}/(W/L)$  do DSM1, em relação ao CSM em função da temperatura.

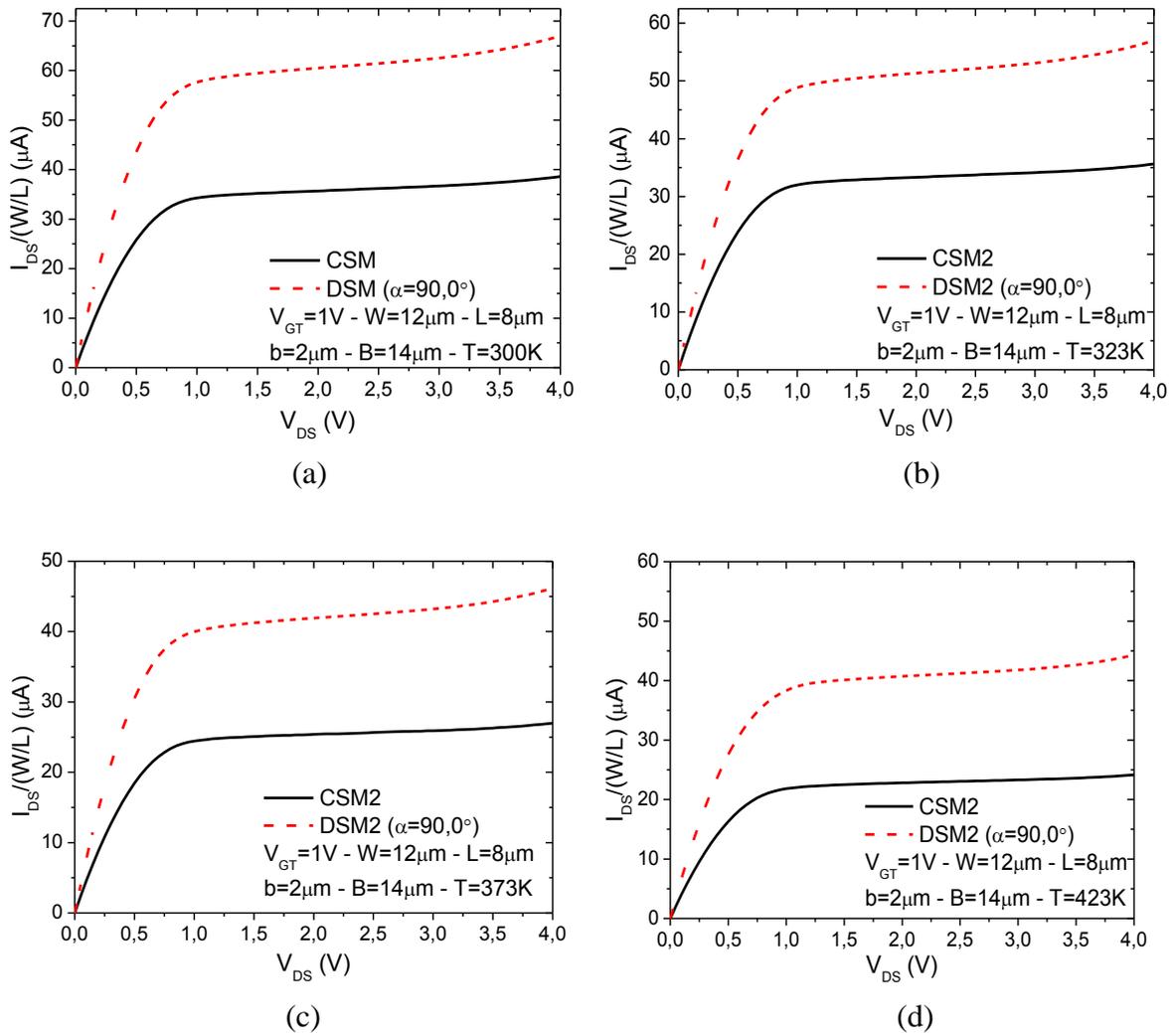
Tabela 3.2 - Tabela dos valores de  $I_{DS}/(W/L)$  do DSM1 e do seu CSM equivalente em função da temperatura, para  $V_{GT}$  igual a 1 V

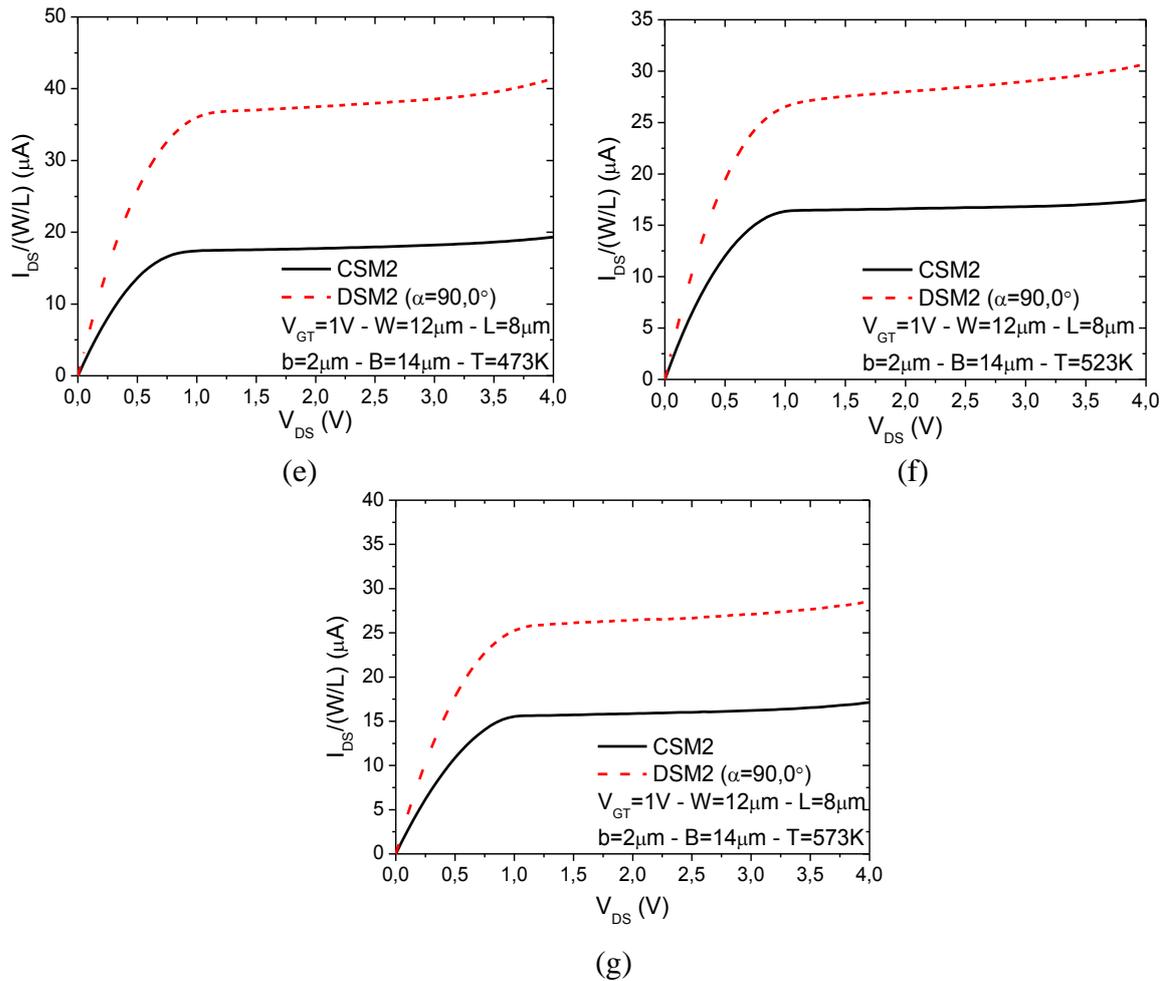
Temperatura (K)	$I_{DS}/(W/L)$ para $V_{DS}$ igual a 2V ( $\mu A$ )						
	300	323	373	423	473	523	573
<b>DSM1</b>	88,95	83,31	59,75	54,89	40,78	37,87	33,10
<b>CSM1</b>	57,10	30,30	23,32	17,84	17,22	15,61	14,60
<b>Ganho</b>	<b>56%</b>	<b>175%</b>	<b>156%</b>	<b>208%</b>	<b>137%</b>	<b>143%</b>	<b>127%</b>

Fonte: Autor

Agora a Figura 3.8 apresenta as correntes de dreno normalizadas por  $(W/L)$  do DSM2 e do seu CSM equivalente, segundo a Tabela 3.1, em função de  $V_{DS}$  e da temperatura, para a tensão sobre porta ( $V_{GT}$ ) igual a 1 V, com o objetivo de analisar a mudança do ângulo  $\alpha$  com o aumento da temperatura.

Figura 3.8 - Os gráficos das correntes de dreno normalizadas pela razão  $W/L$  do DSM2 ( $\alpha$  igual a  $90,0^\circ$ ) e OS do seu CSM equivalente em função de  $V_{DS}$ , com  $V_{GT}$  igual a 1V, para as temperaturas de 300 K (a), 323 K (b), 373 K (c), 423 K (d), 473 K (e), 523 K (f) e 573 K (g)





Fonte: Autor

Quando se compara a Figura 3.8 com a Figura 3.7 é notório que quando o ângulo  $\alpha$  aumenta (neste caso de  $53,1^\circ$  para  $90,0^\circ$ ) a corrente entre dreno e fonte diminui, devido a menor intensidade dos efeitos LCE e PAMDLE. Para ficar mais claro, a Tabela 3.3 mostra os valores de  $I_{DS}$  normalizada para  $V_{DS}$  igual a 2 V e compara com os valores da Tabela 3.2.

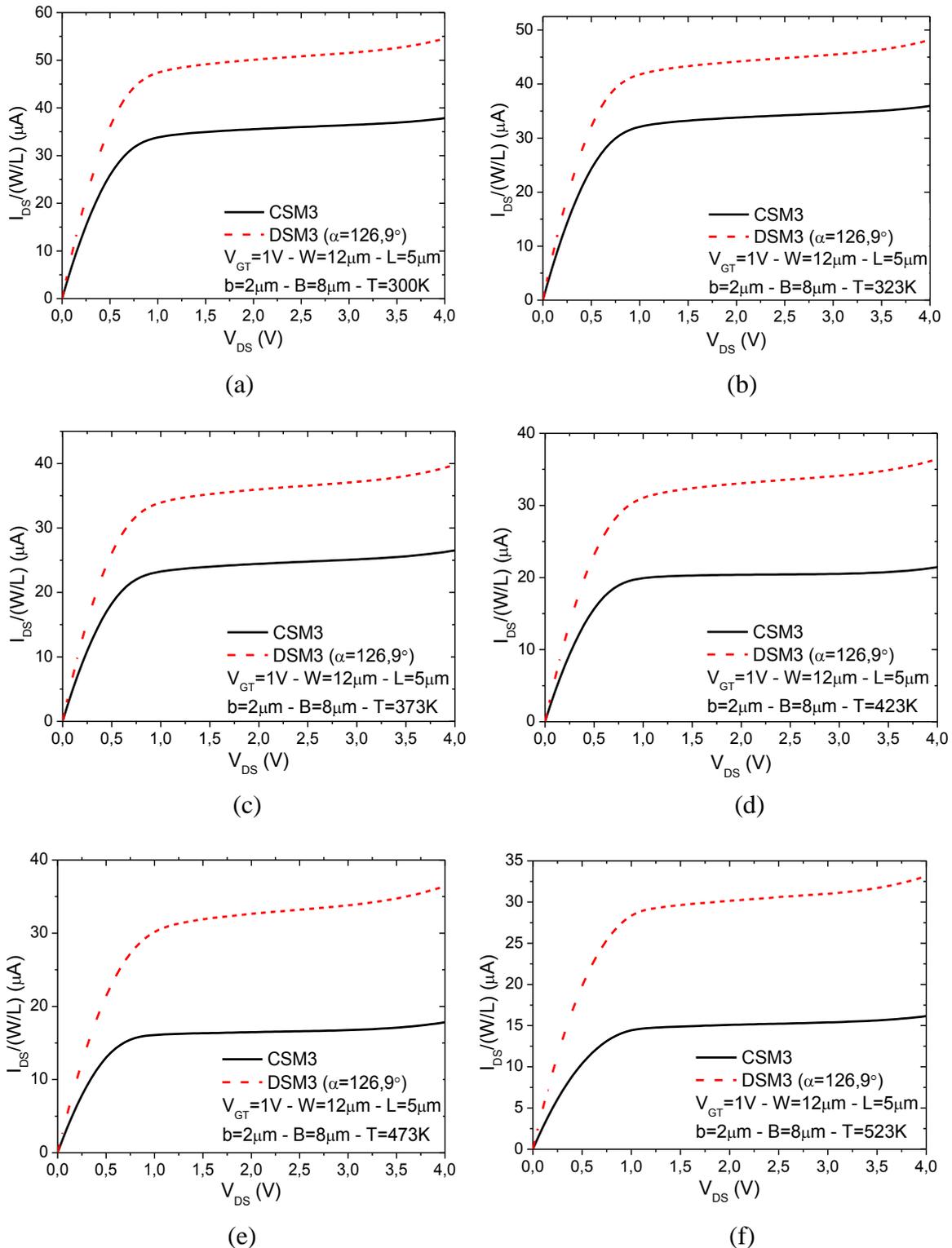
Tabela 3.3 - Tabela dos valores de  $I_{DS}/(W/L)$  do DSM2 ( $\alpha$  igual a  $90,0^\circ$ ) e do seu CSM equivalente (CSM2) em função da temperatura, para  $V_{GT}$  igual a 1V, e também a redução de  $I_{DS}/(W/L)$  do DSM2 em relação ao DSM1

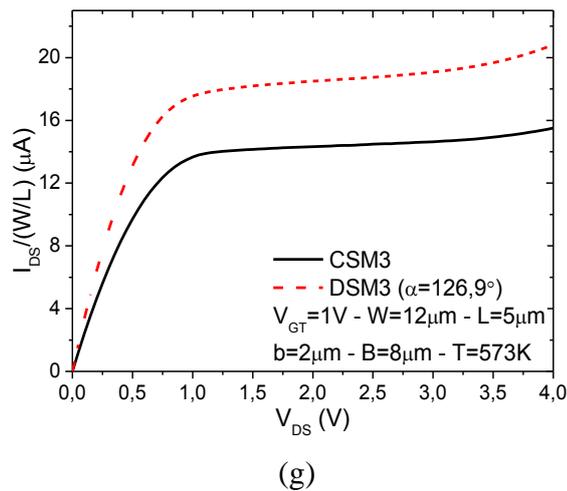
Temperatura (K)	$I_{DS}/(W/L)$ para $V_{DS}$ igual a 2V ( $\mu A$ )						
	300	323	373	423	473	523	573
<b>DSM2</b>	60,49	51,34	41,92	40,71	37,48	28,01	26,43
<b>CSM2</b>	35,69	33,32	25,39	22,80	17,71	16,61	15,86
<b>Ganho</b>	<b>69%</b>	<b>54%</b>	<b>65%</b>	<b>79%</b>	<b>112%</b>	<b>69%</b>	<b>67%</b>
<b>Redução da <math>I_{DS}/(W/L)</math> do DSM2 em relação ao DSM1</b>	<b>32%</b>	<b>38%</b>	<b>30%</b>	<b>26%</b>	<b>8%</b>	<b>26%</b>	<b>20%</b>

Fonte: Autor

E por fim, a Figura 3.9 mostra os valores de  $I_{DS}$  normalizadas pela razão  $(W/L)$  do OSM3 e do seu CSM equivalente, conforme a Tabela 3.1, em função de  $V_{DS}$  e da temperatura, para  $V_{GT}$  igual a 1.

Figura 3.9 - Os gráficos das correntes de dreno normalizadas pela razão  $(W/L)$  do DSM3 ( $\alpha$  igual a  $126,9^\circ$ ) e do seu CSM equivalente em função de  $V_{DS}$ , com  $V_{GT}$  igual a 1V, para as temperaturas de 300 K (a), 323 K (b), 373 K (c), 423 K (d), 473 K (e), 523 K (f) e 573 K (g)





Fonte: Autor

À medida que se aumenta o ângulo  $\alpha$  do DSM para valores próximos de  $180^\circ$ , o DSM se aproxima da estrutura retangular, que é a geometria de porta presente no convencional SOI MOSFET. Ou seja, serão encontrados valores de  $I_{DS}$  em função de  $V_{DS}$  no DSM similares ao do seu CSM equivalente, pois a presença dos efeitos LCE e PAMDLE diminui drasticamente quando  $\alpha$  está próximo de  $180^\circ$ . Mas como o ângulo  $\alpha$  do DSM na Figura 3.9 é igual a  $126,9^\circ$ , haverá ainda, mesmo com uma menor intensidade, a presença dos efeitos LCE e PAMDLE, que proporciona valores de  $I_{DS}$  maiores do que as encontradas em seu CSM equivalente.

A Tabela 3.4 ilustra o ganho de corrente de dreno do DSM3, mostra a redução de  $I_{DS}$  influenciada pela alta temperatura, e, além disso, ilustra a redução de  $I_{DS}/(W/L)$  do DSM3 em relação aos valores encontrados no DSM1 (Tabela 3.2)

Tabela 3.4 - Tabela dos valores de  $I_{DS}/(W/L)$  do DSM3 ( $\alpha$  igual a  $126,9^\circ$ ) e do seu CSM equivalente (CSM3) em função da temperatura, para  $V_{GT}$  igual a 1V, e também a redução de  $I_{DS}/(W/L)$  do DSM3 em relação ao DSM1

Temperatura (K)	$I_{DS}/(W/L)$ para $V_{DS}$ igual a 2V ( $\mu A$ )						
	300	323	373	423	473	523	573
<b>DSM3</b>	50,09	44,16	35,98	33,07	32,64	30,19	18,50
<b>CSM3</b>	35,53	33,79	24,44	20,38	16,47	15,09	14,33
<b>Ganho</b>	<b>41%</b>	<b>31%</b>	<b>47%</b>	<b>62%</b>	<b>98%</b>	<b>100%</b>	<b>29%</b>
<b>Redução da <math>I_{DS}/(W/L)</math> do DSM3 em relação ao DSM1</b>	<b>44%</b>	<b>47%</b>	<b>40%</b>	<b>40%</b>	<b>20%</b>	<b>20%</b>	<b>44%</b>

Fonte: Autor

Pela análise da evolução dos dados apresentados, conclui-se que quando o ângulo  $\alpha$  decrementa a partir de  $126,9^\circ$  até  $53,1^\circ$ , as diferenças das correntes de dreno entre os DSMs e

os seus CSMs equivalentes aumentam significativamente em todas as temperaturas que ambos foram submetidos, devido aos efeitos LCE e PAMDLE, que além de estarem presentes e ativos em todas as temperaturas, eles potencializam  $I_{DS}$  nos três ângulos  $\alpha$  estudados, e mais ainda à medida que o ângulo  $\alpha$  se aproxima de  $53,1^\circ$ , devido ao aumento da velocidade média de deriva dos portadores móveis na região do canal e um menor  $L_{ef}$ , proporcionando maiores valores de  $G_{LE}$  e  $G_{PAMDLE}$ .

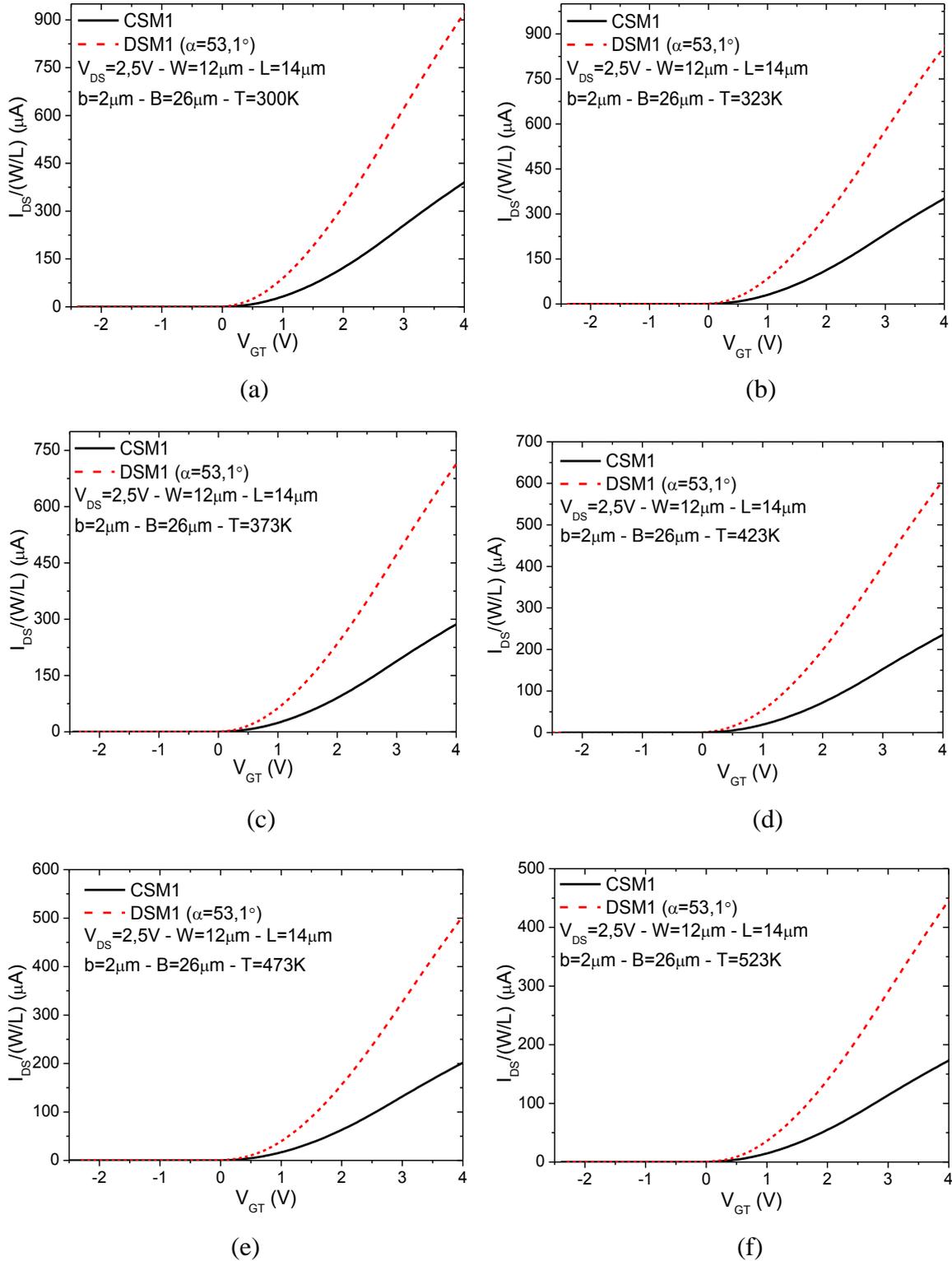
Isso significa que, se mantiver a mesma área do SOI MOSFET convencional, o SOI MOSFET com estilo de leiaute tipo Diamante pode aumentar significativamente a corrente de dreno e a transcondutância, graças à presença dos efeitos LCE e PAMDLE que se mantem ativos em todas as temperaturas estudadas e que potencializam  $I_{DS}$ .

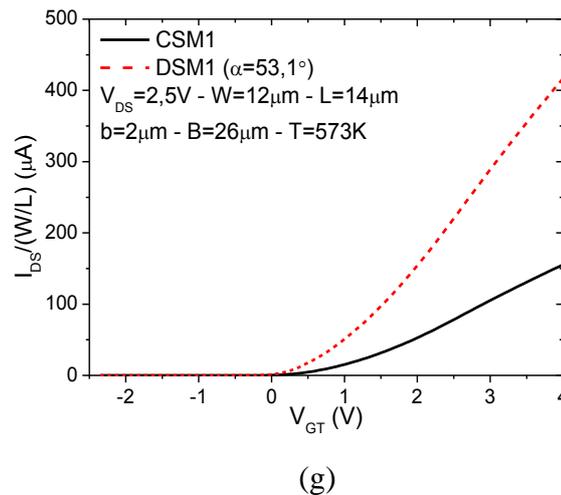
Como consequência destes resultados, o SOI MOSFET do tipo Diamante é uma boa alternativa para os atuais CIs. Além disso, pode reduzir a área útil usada em um CI, ou seja, se considerarmos uma dada corrente de dreno presente no convencional SOI MOSFET, para que o DSM tenha essa mesma corrente de dreno pode-se diminuir a sua área de porta, ou seja, se reduz o valor de  $W$ .

Um fenômeno que pode ser observado na Figura 3.7, na Figura 3.8 e na Figura 3.9 é o fenômeno chamado de ionização por impacto, que causa um acréscimo na corrente de dreno para altos valores de  $V_{DS}$ , como descrito no item 2.4.2. Esse efeito ocorre para todos os transistores, mas para o DSM ele se torna maior devido ao efeito LCE, que aumenta o campo elétrico longitudinal, com isso os elétrons adquirem energia suficiente para gerar pares elétron-lacuna em valores de  $V_{DS}$  menores do que a necessária para começar a acontecer o efeito de ionização por impacto em seu respectivo CSM equivalente.

Apresentado as curvas da corrente entre dreno e fonte em função de  $V_{DS}$  e da elevação da temperatura, agora será apresentado a segunda curva importante para a caracterização elétrica de um SOI MOSFET, que é a curva de  $I_{DS}$  (normalizada pela razão  $W/L$ ) medida em função de  $V_{GT}$ , para valores de  $V_{DS}$  fixo. A Figura 3.10 mostra os valores de  $I_{DS}/(W/L)$  do DSM1 ( $\alpha$  igual a  $53,1^\circ$ ) e do seu CSM equivalente em função de  $V_{GT}$ , considerando  $V_{DS}$  igual a 2,5 V e a temperatura variando da temperatura ambiente até 573K.

Figura 3.10 - Os gráficos das correntes de dreno normalizadas pela razão (W/L) do DSM1 ( $\alpha$  igual  $53,1^\circ$ ) e do seu CSM equivalente em função de  $V_{GT}$ , com  $V_{DS}$  igual a 2,5V, para as temperaturas de 300 K (a), 323 K (b), 373 K (c), 423 K (d), 473 K (e), 523 K (f) e 573 K (g)





Fonte: Autor

Como era de se esperar o DSM1 sempre apresentou uma corrente de dreno maior que a encontrada em seu CSM equivalente. A Tabela 3.5 mostra que os ganhos de corrente de dreno proporcionado pelo SOI MOSFET do tipo Diamante variam entre 136% até 168%. Essas diferenças encontradas são devido ao maior campo elétrico longitudinal (efeito LCE) além da presença do efeito PAMDLE.

Tabela 3.5 - Tabela dos valores de  $I_{DS}/(W/L)$  do DSM1 e do seu CSM equivalente em função da temperatura, para  $V_{DS}$  igual a 2,5V

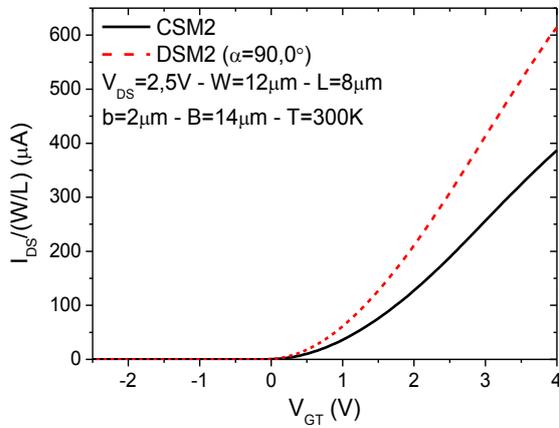
Temperatura (K)	$I_{DS}/(W/L)$ para $V_{GT}$ igual a 4V ( $\mu A$ )						
	300	323	373	423	473	523	573
<b>DSM1</b>	920,81	856,83	713,10	606,20	503,87	445,67	416,80
<b>CSM1</b>	390,20	351,43	286,50	235,58	201,58	173,10	155,46
<b>Ganho</b>	<b>136%</b>	<b>144%</b>	<b>149%</b>	<b>157%</b>	<b>150%</b>	<b>158%</b>	<b>168%</b>

Fonte: Autor

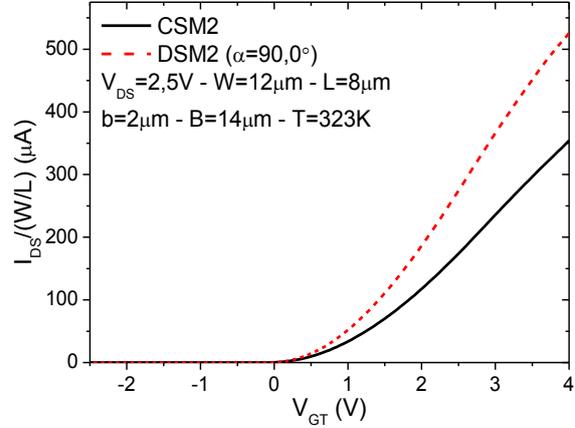
Analisando tanto a Figura 3.10 quanto a Tabela 3.5, conclui-se que para ambos os transistores os valores de  $I_{DS}$  decrementam à medida que a temperatura aumenta, desde a temperatura ambiente (300 K) até a temperatura de 573 K. Como explicado anteriormente, esse decaimento da corrente de dreno com o aumento da temperatura é devido à redução da mobilidade, ocasionado pelo espalhamento térmico dos portadores móveis da região de canal.

A seguir, a Figura 3.11 ilustra os valores de  $I_{DS}/(W/L)$  do DSM2 e do seu CSM equivalente em função de  $V_{GT}$ , para temperaturas entre 300 K e 573 K.

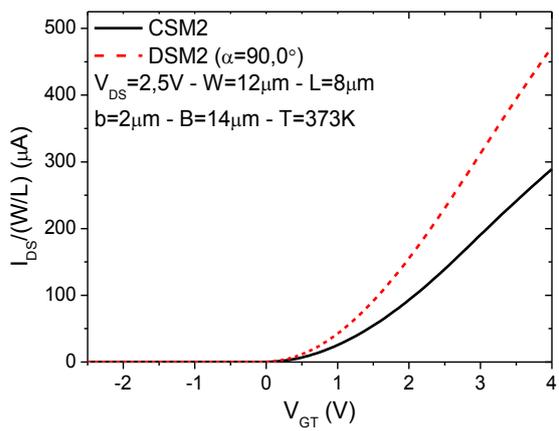
Figura 3.11 - Os gráficos das correntes de dreno normalizadas pela razão (W/L) do DSM2 ( $\alpha$  igual a  $90,0^\circ$ ) e do seu CSM equivalente em função de  $V_{GT}$ , com  $V_{DS}$  igual a 2,5V, para temperatura de 300 K (a), 323 K (b), 373 K (c), 423 K (d), 473 K (e), 523 K (f) e 573 K (g)



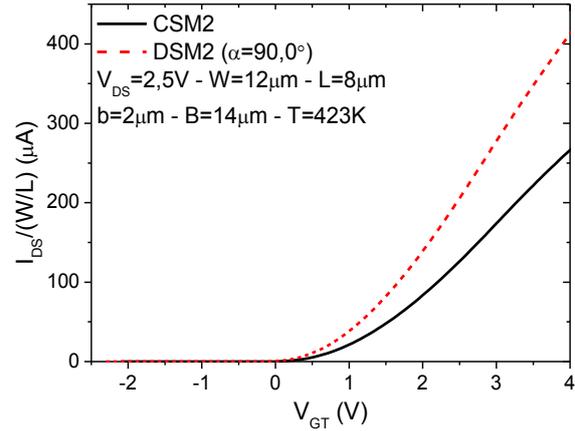
(a)



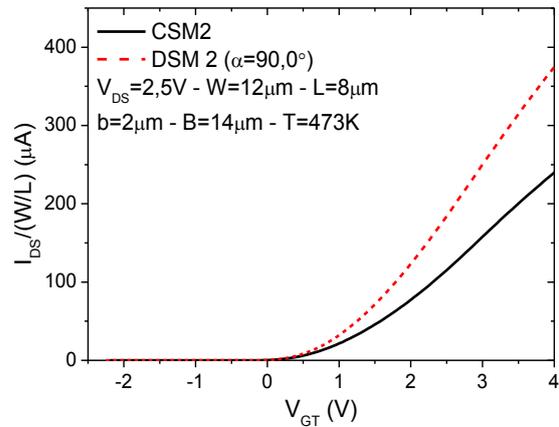
(b)



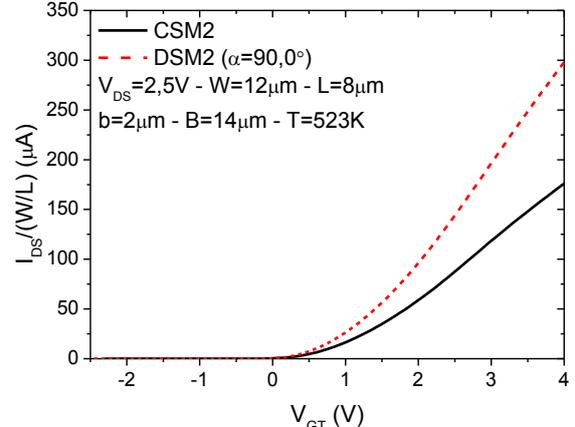
(c)



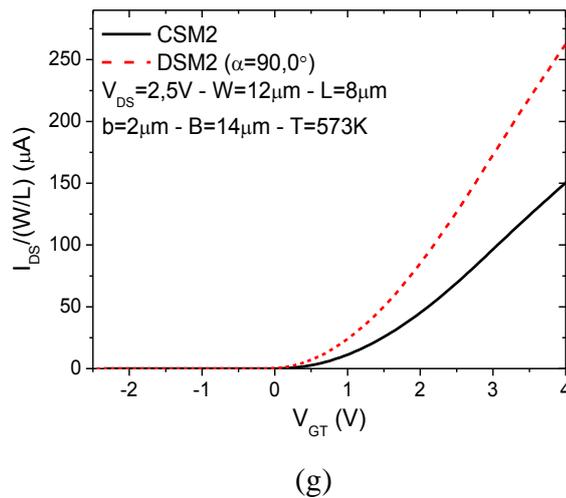
(d)



(e)



(f)



Fonte: Autor

Quando se altera o ângulo  $\alpha$  para um valor maior, ou seja, de  $53,1^\circ$  para  $90,0^\circ$ , o efeito LCE diminui, causando um decréscimo no ganho de corrente de dreno proporcionado pela estrutura DSM, isso pode ser visto pela Figura 3.11 que, além disso, mostra que o aumento da temperatura nos dois transistores causa a queda de  $I_{DS}$ .

Através da Tabela 3.6 é possível analisar a influência da temperatura tanto no DSM2 quanto no seu CSM equivalente, mostrando que o DSM2 tem correntes de dreno maiores que a do seu CSM equivalente, com ganhos chegando até 75%. Além disso, é possível analisar o quanto cai a corrente de dreno quando se aumenta o ângulo  $\alpha$  de  $53,1^\circ$  para  $90,0^\circ$ , que varia entre 26% e 39% com o aumento da temperatura.

Tabela 3.6 - Tabela dos valores de  $I_{DS}/(W/L)$  do DSM2 ( $\alpha$  igual a  $90,0^\circ$ ) e do seu CSM equivalente (CSM2) em função da temperatura, para  $V_{DS}$  igual a 2,5V, e também a redução de  $I_{DS}/(W/L)$  do DSM2 em relação ao DSM1

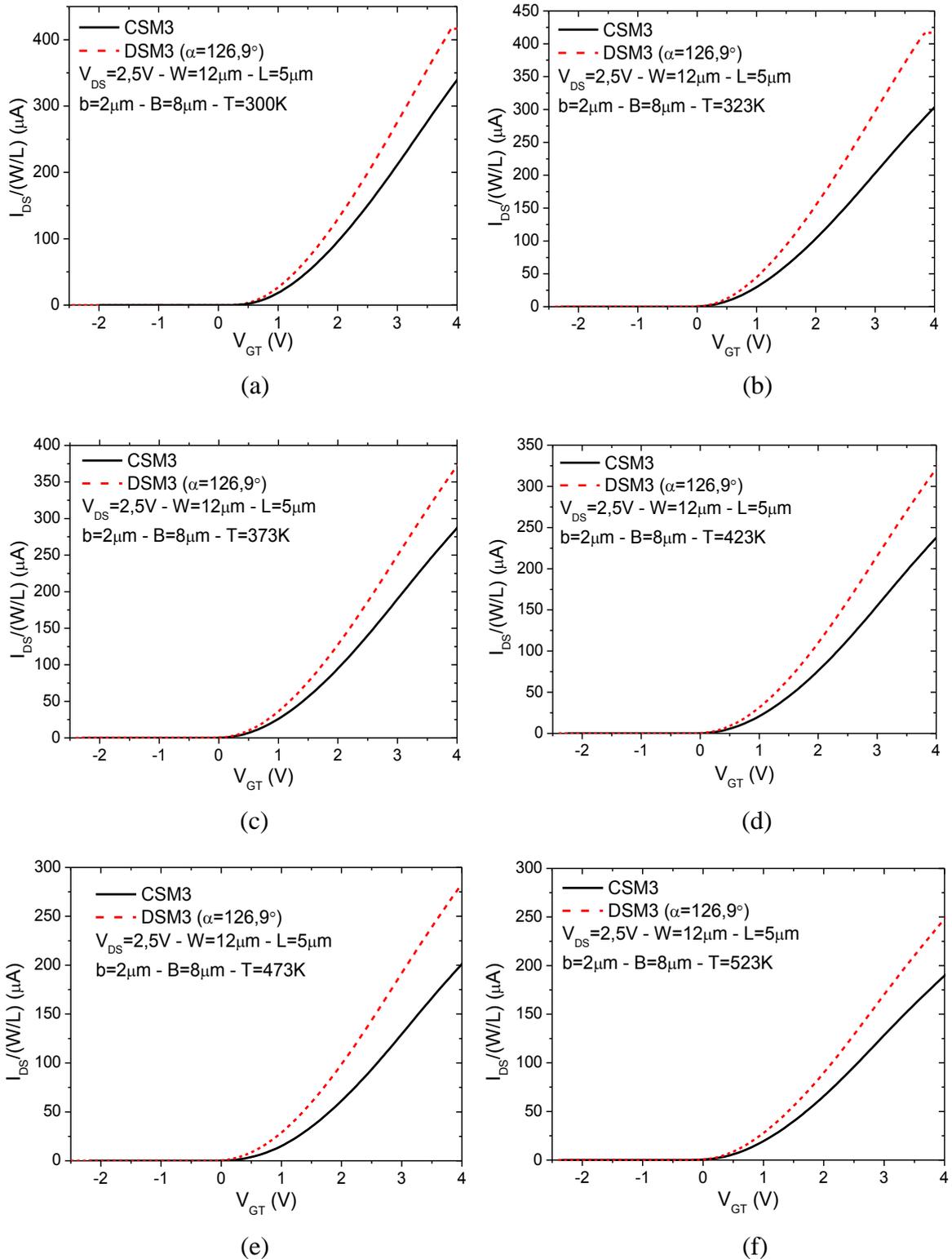
Temperatura (K)	$I_{DS}/(W/L)$ para $V_{GT}$ igual a 4V ( $\mu A$ )						
	300	323	373	423	473	523	573
<b>DSM2</b>	614,06	525,84	471,75	412,45	374,69	297,95	262,51
<b>CSM2</b>	386,77	354,29	289,13	266,34	239,83	175,96	150,39
<b>Ganho</b>	<b>59%</b>	<b>48%</b>	<b>63%</b>	<b>55%</b>	<b>56%</b>	<b>69%</b>	<b>75%</b>
<b>Redução da <math>I_{DS}/(W/L)</math> do DSM2 em relação ao DSM1</b>	<b>33%</b>	<b>39%</b>	<b>34%</b>	<b>32%</b>	<b>26%</b>	<b>33%</b>	<b>37%</b>

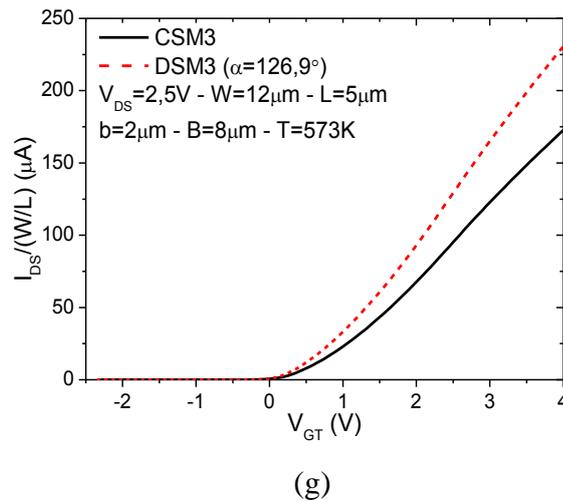
Fonte: Autor

E por fim, a Figura 3.12 ilustra os gráficos dos valores de  $I_{DS}/(W/L)$  do DSM com o ângulo  $\alpha$  igual a  $126,9^\circ$  e do seu CSM equivalente em função de  $V_{GT}$  e da temperatura, para

$V_{DS}$  igual a 2,5V.

Figura 3.12 - Os gráficos das correntes de dreno normalizadas pela razão (W/L) do DSM3 ( $\alpha$  igual a  $126,9^\circ$ ) e do seu CSM equivalente em função de  $V_{GT}$ , com  $V_{DS}$  igual a 2,5V, para temperatura de 300K (a), 323K (b), 373K (c), 423K (d), 473K (e), 523K (f) e 573K (g)





Fonte: Autor

Quando ângulo  $\alpha$  do DSM é igual a  $126,9^\circ$ , ele está chegando próximo à estrutura retangular do SOI MOSFET convencional e faz com os efeitos LCE e PAMDLE diminuam de intensidade, quando comparado com valores de ângulos  $\alpha$  menores. Mas, ainda é possível o DSM3 apresentar uma  $I_{DS}$  maior que a do seu CSM equivalente em todas as temperaturas que ambos foram submetidos. Os ganhos que o DSM3 possui em relação ao seu CSM equivalente estão ilustrados na Tabela 3.7, para todas as temperaturas estudadas, podendo ter um ganho de 55% em temperatura ambiente.

A Tabela 3.7 também traz a queda da corrente de dreno quando o ângulo  $\alpha$  passa de  $53,1^\circ$  para  $126,9^\circ$ , concluindo que quanto menor o valor para  $\alpha$ , maior será o efeito LCE e PAMDLE presente no DSM.

Tabela 3.7 - Tabela dos valores de  $I_{DS}/(W/L)$  do DSM3 ( $\alpha$  igual a  $126,9^\circ$ ) e do seu CSM equivalente (CSM3) em função da temperatura, para  $V_{DS}$  igual a 2,5V, e também a redução de  $I_{DS}/(W/L)$  do DSM3 em relação ao DSM1

$I_{DS}/(W/L)$ para $V_{GT}$ igual a 4V ( $\mu A$ )							
Temperatura (K)	300	323	373	423	473	523	573
<b>DSM3</b>	416,63	406,44	371,99	321,27	283,17	247,91	230,52
<b>CSM3</b>	339,34	303,46	286,95	237,68	201,17	189,65	172,69
<b>Ganho</b>	<b>23%</b>	<b>34%</b>	<b>30%</b>	<b>35%</b>	<b>41%</b>	<b>31%</b>	<b>34%</b>
<b>Redução da <math>I_{DS}/(W/L)</math> do DSM3 em relação ao DSM1</b>	<b>55%</b>	<b>53%</b>	<b>48%</b>	<b>47%</b>	<b>44%</b>	<b>44%</b>	<b>45%</b>

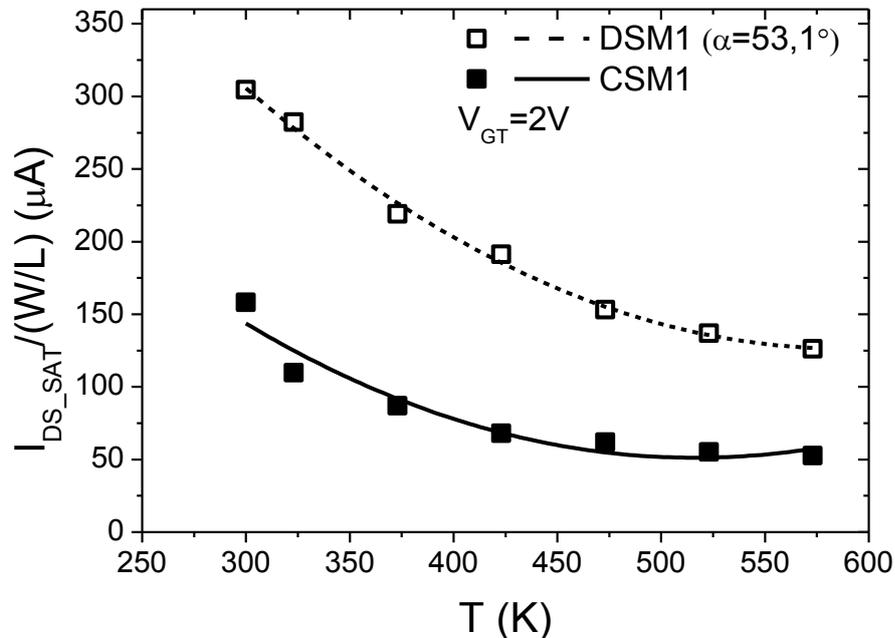
Fonte: Autor

### 3.2.3 Corrente de saturação de dreno

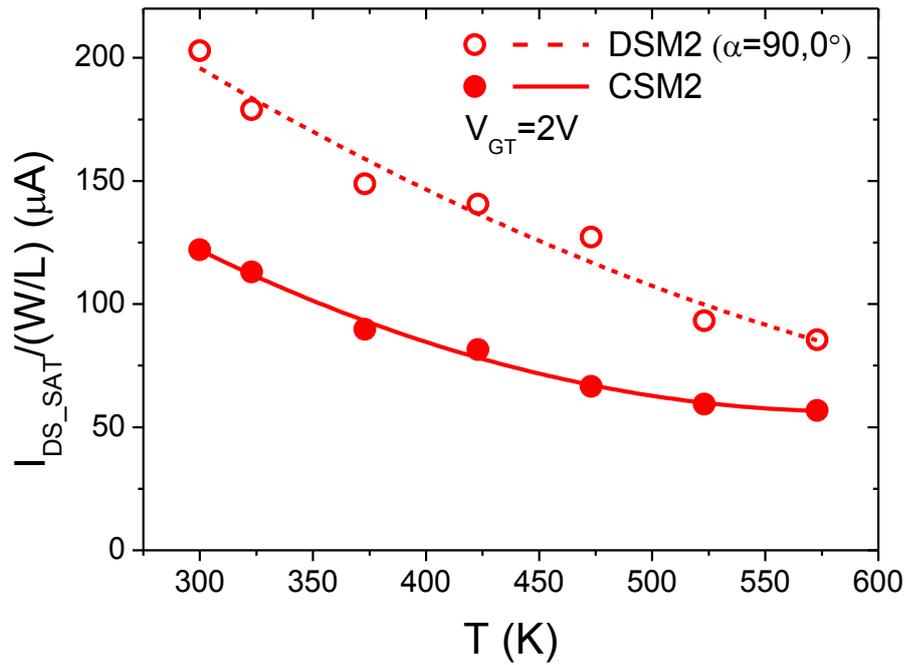
Neste trabalho os SOI nMOSFETs são totalmente depletados, e estes transistores obedecem a equação (2.1.12) para  $I_{DS}$  na região de triodo e a equação (2.1.13) para  $I_{DS}$  na região de saturação ( $I_{DS\_SAT}$ ), e lembrando que o DSM tem um ganho de corrente de dreno em relação ao seu CSM equivalente, conforme foi demonstrado na seção 2.2 e que depende do valor do ângulo  $\alpha$ .

A Figura 3.13 apresenta os gráficos de  $I_{DS\_SAT}$  normalizada por W/L em função da temperatura (T) dos DSMs (com três diferentes ângulos  $\alpha$ ) e dos seus respectivos CSMs equivalente, com suas características dimensionais descritas na Tabela 3.1, considerando  $V_{GT}$  igual a 2 V, ou seja, os transistores estão operando na região de saturação. A extração de  $I_{DS\_SAT}$  dos transistores foi realizada pela extrapolação da corrente de dreno na saturação no gráfico de  $I_{DS}$  em função de  $V_{DS}$  até o eixo da corrente  $I_{DS}$  (eixo Y), assim como mostra a Figura 2.27, que está presente no item 2.6.2.

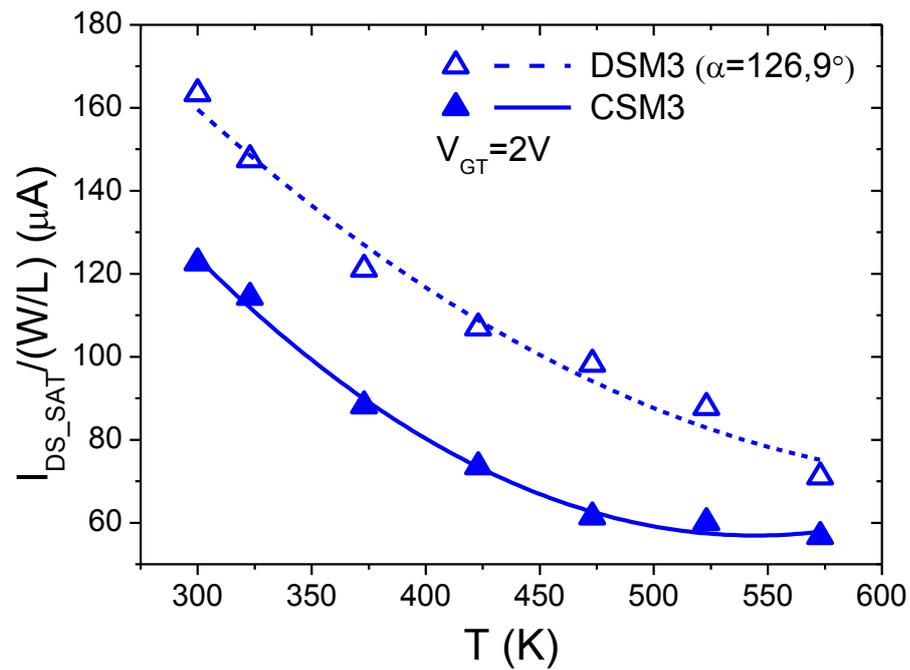
Figura 3.13 - Gráficos de  $I_{DS\_SAT}/(W/L)$  dos SOI MOSFETs do tipo Diamante com  $\alpha$  igual a 53,1° (a),  $\alpha$  igual a 90,0° (b) e  $\alpha$  igual a 126,9° (c) e dos seus respectivos CSMs equivalentes em função da temperatura



(a)



(b)



(c)

Fonte: Autor

Observando a Figura 3.13 conclui-se que,  $I_{DS\_SAT}$  decai à medida que a temperatura aumenta, a partir da temperatura ambiente (300 K) até a temperatura de 573 K, para todos os transistores estudados. Essa redução de  $I_{DS\_SAT}$  com a temperatura é devido a sua dependência com a mobilidade dos portadores móveis na região do canal, que é resultado das vibrações da

rede cristalina e a probabilidade de um elétron sofrer espalhamento térmico aumenta, como descrito no item 2.5.5 (STREETMAN; BANERJEE, 2000); (CALLISTER; RETHWISCH, 2012).

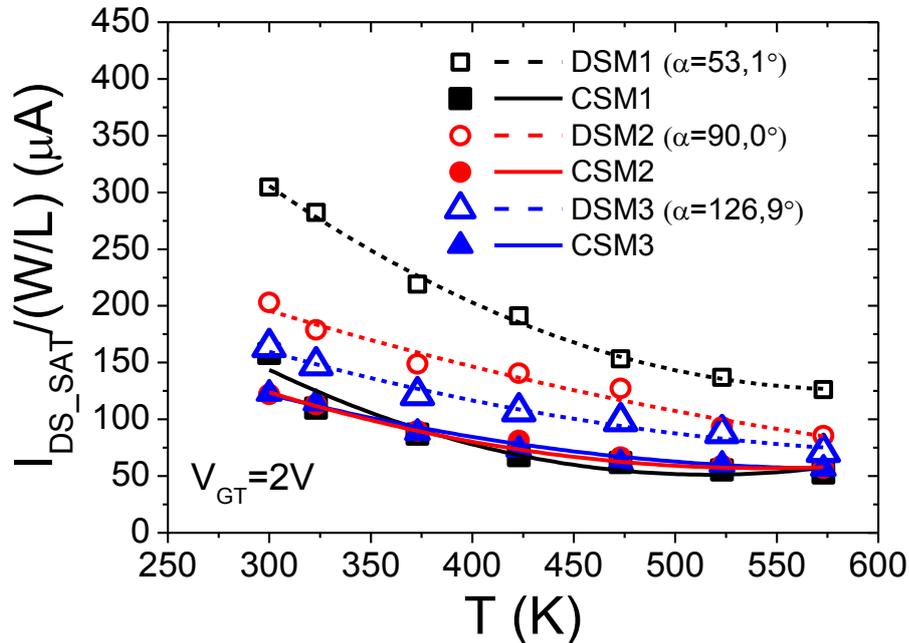
Os valores de  $I_{DS\_SAT}$  nos DSMs sempre se mostraram maiores do que seus CSMs equivalentes em todas as temperaturas que os transistores foram submetidos, como mostra a Figura 3.13. Para temperatura ambiente o DSM demonstrou um ganho de corrente de dreno na saturação de 93%, 66% e 33% para  $\alpha$  igual a 53,1°, 90,0° e 126,9°, respectivamente (GIMENEZ; GALEMBECK *et al.*, 2015). No caso de uma temperatura extrema, de 573 K, o DSM apresentou ganhos de  $I_{DS\_SAT}$  de 140%, 51% e 25% para  $\alpha$  igual a 53,1°, 90,0° e 126,9°, respectivamente. Além disso, o DSM apresentou uma maior variação de  $I_{DS\_SAT}$  com o aumento da temperatura, exceto para o ângulo  $\alpha$  igual a 53,1°, ou seja, o DSM apresentou uma variação de  $I_{DS\_SAT}/(W/L)$  com aumento da temperatura de 60%, 57% e 56% para  $\alpha$  igual a 53,1°, 90,0° e 126,9°, respectivamente, já seus respectivos convencionais equivalentes apresentaram uma variação de  $I_{DS\_SAT}/(W/L)$  com aumento da temperatura de 67%, 53% e 53%.

O alto ganho de corrente de dreno na saturação apresentado pelo DSM em relação ao seu CSM equivalente é devido à presença dos efeitos LCE e PAMDLE, que se mantem ativos em todas as temperaturas e que aumentam a velocidade média de deriva dos portadores livres na região de canal e conseqüentemente haverá um aumento de  $I_{DS}$  (GIMENEZ; GALEMBECK *et al.*, 2015).

Outro aspecto importante analisado diz respeito à variação do ângulo  $\alpha$  nos DSMs. Pois, observando a Figura 3.14, que ilustra as correntes de dreno na saturação dos DSMs (com os três diferentes ângulos  $\alpha$ ) e dos seus respectivos CSMs equivalentes em função da temperatura, conclui-se que quanto maior o ângulo  $\alpha$  dos DSMs, menor será a corrente de dreno de saturação normalizada em todas as temperaturas investigadas.

Quando o ângulo  $\alpha$  se aproxima de 180°, a geometria de porta do DSM se aproxima da forma retangular, ou seja, os efeitos LCE e PAMDLE diminuem e conseqüentemente a velocidade média de deriva dos portadores livres na região de canal decai, resultando na redução de  $I_{DS}$ . Esta abordagem explica um menor ganho na  $I_{DS\_SAT}$ , do DSM em relação aos seus CSM equivalentes, para  $\alpha$  igual a 126,9° em comparação aos ângulos  $\alpha$  menores, como no caso de  $\alpha$  igual a 53,1° (GIMENEZ; GALEMBECK *et al.*, 2015); (GALEMBECK; RENAUX, *et al.*, 2013).

Figura 3.14 - Gráfico de  $I_{DS\_SAT}/(W/L)$  entre os SOI MOSFETs do tipo Diamante e os seus respectivos CSMs equivalentes em função da temperatura, com diferentes valores do ângulo  $\alpha$



Fonte: Autor

Embora a densidade de portadores livres na banda de condução (região do canal) aumenta à medida que se eleva a temperatura, o que implicaria em um aumento na corrente de  $I_{DS\_SAT}$ , a mobilidade dos portadores livres na região canal diminui ainda mais, resultando em uma redução de  $I_{DS\_SAT}$ , como se observa na Figura 3.14 (COLINGE, 2004); (SZE, 1981).

Portanto, o estilo de layout Diamante pode ser considerado uma boa alternativa para potencializar a  $I_{DS\_SAT}$  de um SOI nMOSFET em ambientes que forem submetidos a altas temperaturas, para aplicações analógicas de CIs CMOS, onde os transistores são polarizados na região de saturação.

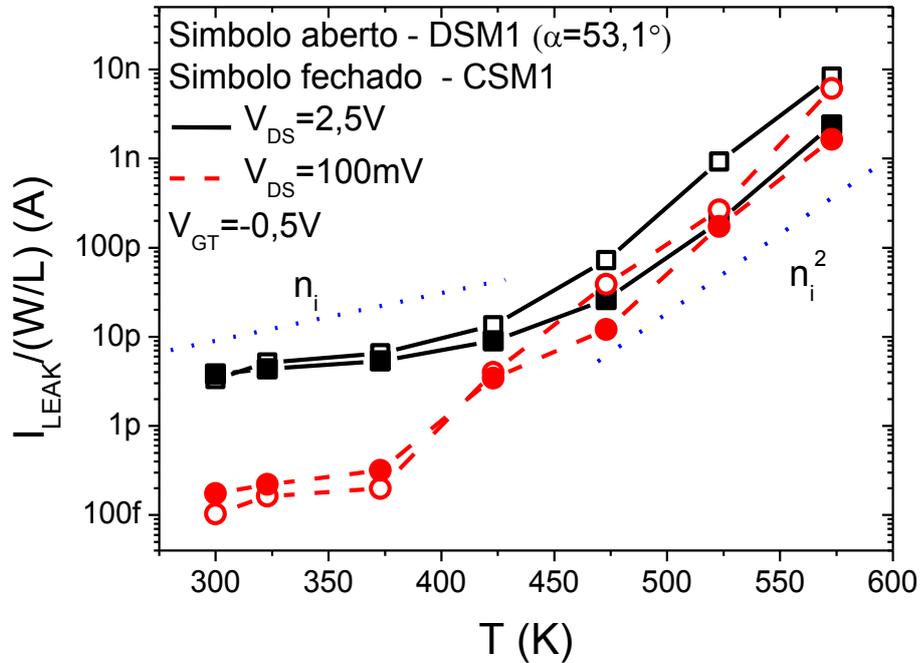
### 3.2.4 Corrente de fuga de dreno

Os valores de  $I_{LEAK}/(W/L)$ , em escala logarítmica, dos DSMs e dos seus respectivos CSMs equivalentes em função da temperatura, estão ilustradas na Figura 3.15, considerando a mesma relação de aspecto, a mesma  $A_G$ , o mesmo  $W$  e mesmas condições de polarização, ou seja,  $V_{GT}$  igual a -0,5 V e  $V_{DS}$  igual a 100 mV e 2,5 V. O método de extração utilizado para  $I_{LEAK}$  foi o método descrito no item 2.6.3.

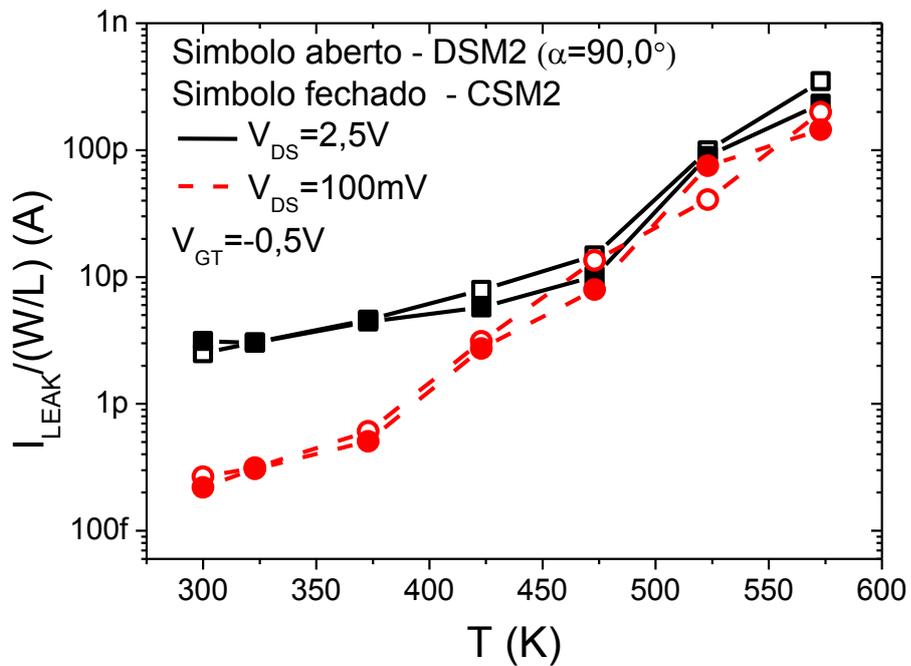
Vale ressaltar que não houve o aparecimento do efeito GIDL, tanto nos DSMs, com

três ângulos  $\alpha$  diferentes, quanto em seus respectivos CSMs equivalentes.

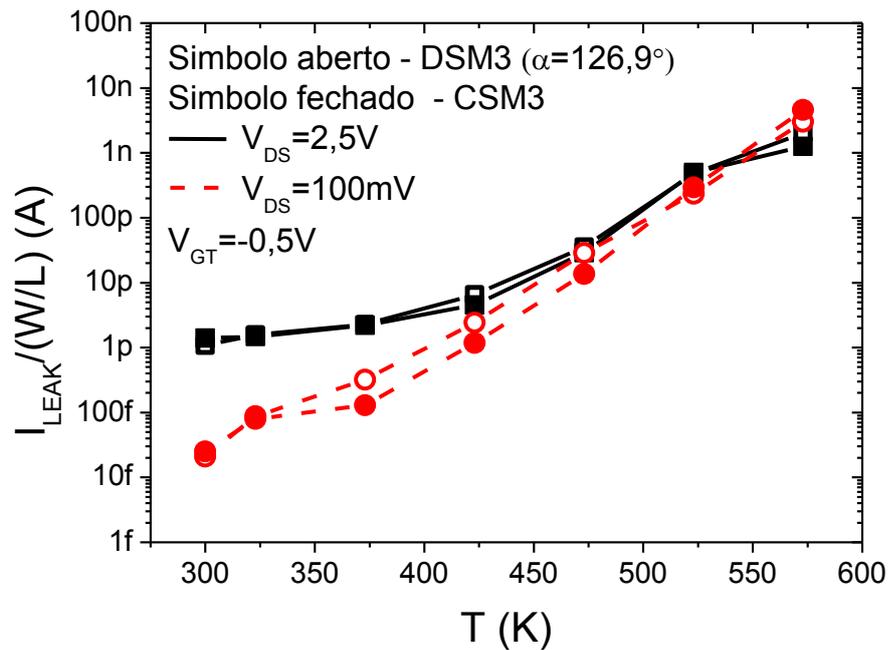
Figura 3.15 - Gráficos de  $I_{LEAK}/(W/L)$  dos SOI MOSFETs do tipo Diamante com  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus respectivos CSMs equivalentes em função da temperatura, para  $V_{DS}$  igual 100 mV e 2,5 V, respectivamente



(a)



(b)



(c)

Fonte: Autor

A Figura 3.15 ilustra que a corrente de fuga de dreno em todos os transistores estudados aumenta à medida que a temperatura aumenta desde a temperatura ambiente até 573 K, pois quanto maior a temperatura maior será a concentração de portadores intrínsecos e maior será a corrente de fuga, conforme a teoria estudada no item 2.6.3 (COLINGE, 2004); (COLINGE, J. P.; COLINGE, C. A., 2002); (SZE, 1981).

Para temperaturas acima de 423 K, é possível notar um aumento maior da corrente de fuga de dreno, comparado aos valores dessa corrente para temperaturas abaixo de 423 K. Isto acontece devido à variação da concentração dos portadores intrínsecos serem exponencial ( $n_i^2$ ) para temperaturas acima de 423 K e varia em função de  $n_i$  para menores temperaturas (COLINGE, 2004).

Analisando a Figura 3.15 para o DSM com  $\alpha$  igual a  $90,0^\circ$  e DSM com  $\alpha$  igual a  $126,9^\circ$  e seus correspondentes CSMs equivalentes apresentam, praticamente o mesmo comportamento de  $I_{LEAK}$ , embora os DSMs possuam uma maior área de junção pn na interface dreno/canal (devido ao maior perímetro da interface dreno/canal) e um maior campo elétrico longitudinal (efeito LCE) do que o encontrado em seus CSM correspondentes, considerando a mesma área de porta e condições de polarização (GIMENEZ; GALEMBECK *et al.*, 2015).

No caso do DSM com  $\alpha$  igual a  $53,1^\circ$ , nota-se que o  $I_{LEAK}$  é praticamente o triplo, tanto para  $V_{DS}$  igual a 100 mV quanto para  $V_{DS}$  igual a 2,5 V, do que o observado em seu

respectivo CSM equivalente a partir da temperatura de 473 K (variação quadrática de  $n_i$  com a temperatura), porque a área da junção pn na interface dreno/canal é 124% maior que a presente em seu CSM equivalente, conforme a Tabela 3.1. Além disso, o DSM possui um campo elétrico longitudinal (efeito LCE) maior do que o encontrado no seu CSM equivalente, o que traz um acréscimo na corrente de fuga, mas  $I_{LEAK}$  está na mesma ordem de grandeza em ambos os dispositivos, não sendo uma grande desvantagem do DSM.

A variação de  $V_{DS}$  muda o comportamento da densidade da corrente  $I_{LEAK}$ , pois haverá uma variação tanto da densidade de corrente de elétrons quanto da densidade de corrente de lacunas, como explicado no item 2.6.3. Os resultados experimentais ilustrados na Figura 3.15 mostram que, a corrente  $I_{LEAK}$  em função da variação de  $V_{DS}$  têm um efeito similar à elevação da temperatura, onde quanto maior a tensão aplicada ao dreno, maior será a corrente de fuga de dreno e mais próxima esta corrente ficará na interface do óxido de porta com o filme de silício (GUTIERREZ, 2008).

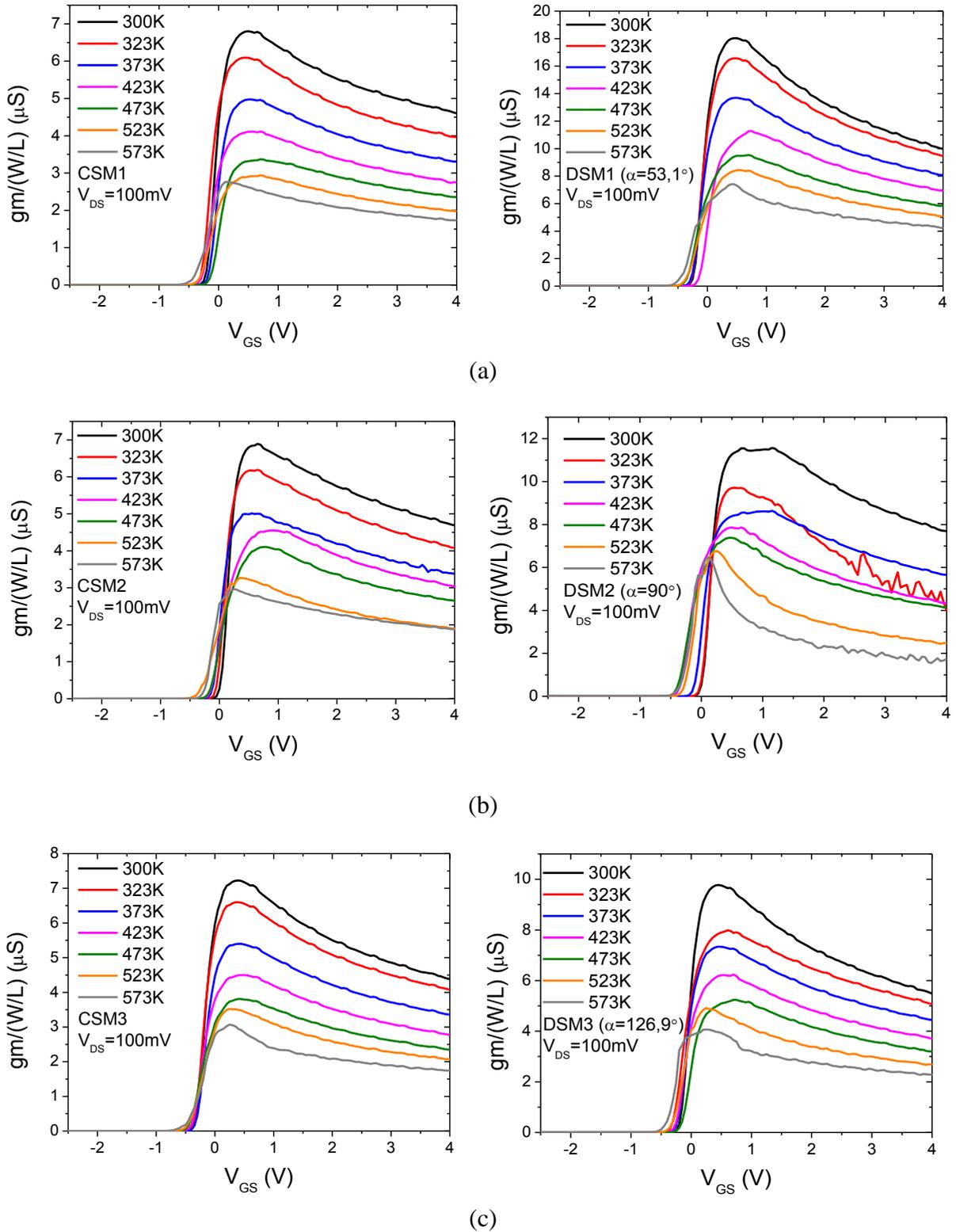
O aumento da tensão de  $V_{DS}$  causa uma elevação da densidade de corrente de elétrons e uma redução da densidade de corrente de lacunas, assim como ocorre com o aumento da temperatura, e com isso há um aumento da densidade de corrente  $I_{LEAK}$  total em função de  $V_{DS}$ . Isso explica o aumento de  $I_{LEAK}$  quando aumenta a tensão  $V_{DS}$  de 100 mV para 2,5 V entre as temperaturas de 300 K e 423 K. Acima desta faixa de temperatura, o valor de  $V_{DS}$  não traz uma grande influência em  $I_{LEAK}$ , pois acima da temperatura de 423 K, a variação quadrática de  $n_i$  é mais impactante na corrente de fuga de dreno, como ilustra a Figura 3.15.

Com os resultados de  $I_{LEAK}$  do DSM em função da temperatura, ele pode ser utilizado em memórias 1T-DRAM em tecnologia SOI, onde através do valor de  $I_{LEAK}$  é possível escrever “0” na memória e através do efeito de ionização por impacto, ou pelo transistor bipolar parasitário, pode-se escrever “1” na memória 1T-DRAM (NISSIMOFF, 2013).

### 3.2.5 Transcondutância

A Figura 3.16 ilustra os gráficos das transcondutâncias normalizadas pela razão (W/L) dos DSMs e dos seus respectivos CSMs equivalentes em função da temperatura, considerando  $V_{DS}$  igual a 100 mV.

Figura 3.16 - Os gráficos de  $g_m/(W/L)$  dos SOI MOSFETs do tipo Diamante com  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus respectivos CSMs equivalentes em função da temperatura, para  $V_{DS}$  igual a 100 mV



Fonte: Autor

Analisando a Figura 3.16, observa-se que à medida que a temperatura em que os

transistores estão submetidos aumenta, a transcondutância reduz, devido a sua dependência com a mobilidade dos portadores móveis na região do canal (COLINGE, 2004).

A análise comparativa da transcondutância entre os DSMs com os seus respectivos CSMs equivalentes, apresentou altos valores de  $g_m$  para os DSMs, como mostra a Figura 3.16. Essa melhoria no parâmetro  $g_m$  está explicitado na Tabela 3.8, considerando um valor de  $g_m$  muito importante, que é a transcondutância máxima ( $g_{m_{max}}$ ).

Tabela 3.8 - Valores de  $g_{m_{max}}/(W/L)$  dos SOI MOSFETs do tipo Diamante (DSM1, DSM2 e DSM3) e de seus respectivos CSMs equivalentes em função da temperatura, para  $V_{DS}$  igual a 100 mV, apresentando as diferenças percentuais entre os pares de dispositivos homólogos considerados

T (K)	$g_{m_{max}}/(W/L)$ ( $\mu S$ )		Ganho do DSM1 (%)	$g_{m_{max}}/(W/L)$ ( $\mu S$ )		Ganho do DSM2 (%)	$g_{m_{max}}/(W/L)$ ( $\mu S$ )		Ganho do DSM3 (%)
	DSM1	CSM1		DSM2	CSM2		DSM3	CSM3	
300	18,03	6,80	165	11,55	6,89	68	9,78	7,22	35
323	16,57	6,09	172	9,71	6,19	57	7,99	6,60	21
373	13,70	4,98	175	8,56	5,00	71	7,34	5,40	36
423	11,28	4,11	174	7,85	4,55	73	6,22	4,49	39
473	9,54	3,37	183	7,38	4,10	80	5,24	3,81	38
523	8,44	2,92	189	6,77	3,27	107	4,92	3,52	40
573	7,42	2,77	168	6,48	2,94	120	4,08	3,06	33

Fonte: Autor

A partir dos valores da transcondutância máxima da Tabela 3.8, observa-se que, a estrutura DSM, apresenta grande aumento de  $g_{m_{max}}$  em comparação aos seus respectivos CSMs equivalentes para todas as temperaturas estudadas, graças aos efeitos LCE e PAMDLE, que potencializam o controle de  $I_{DS}$  em função da tensão de porta.

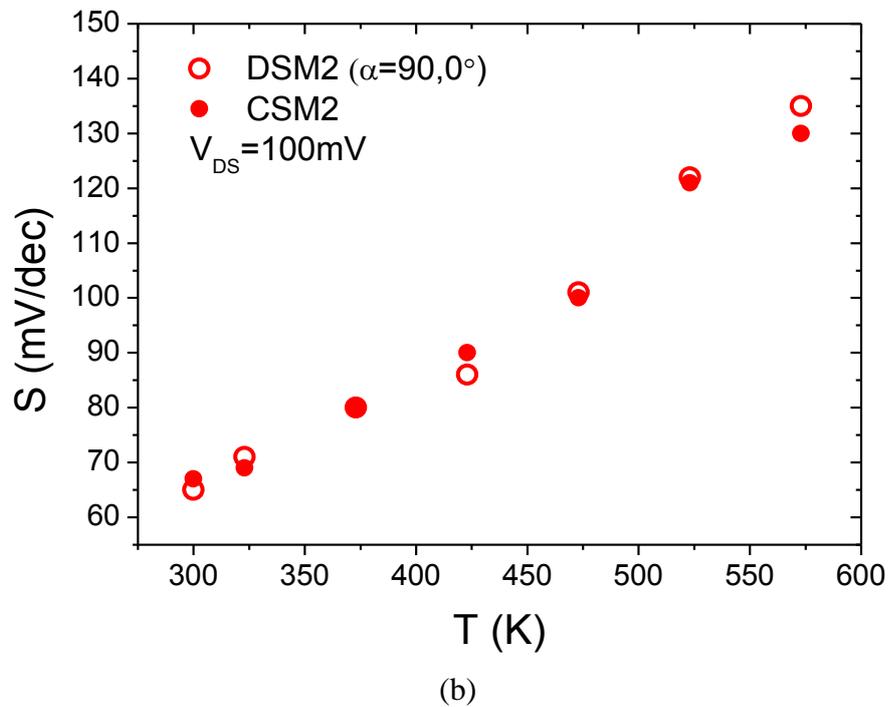
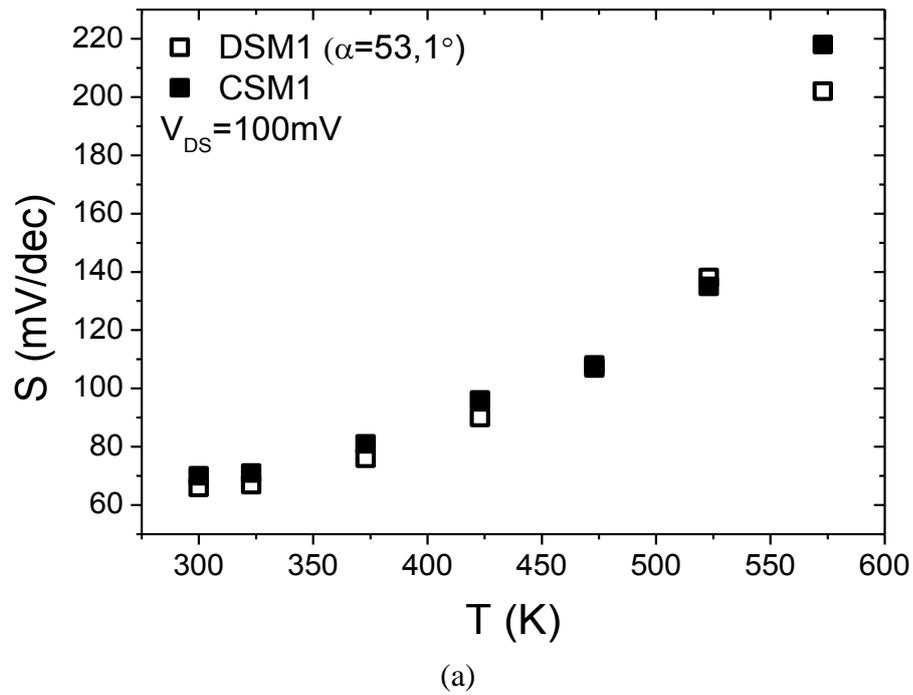
É possível concluir que, à medida que o ângulo  $\alpha$  diminui de  $126,9^\circ$  para  $53,1^\circ$ , a diferença da transcondutância entre o DSM e o seu CSM equivalente, aumenta significativamente, pois os efeitos LCE e PAMDLE aumentam à medida que o ângulo  $\alpha$  diminui.

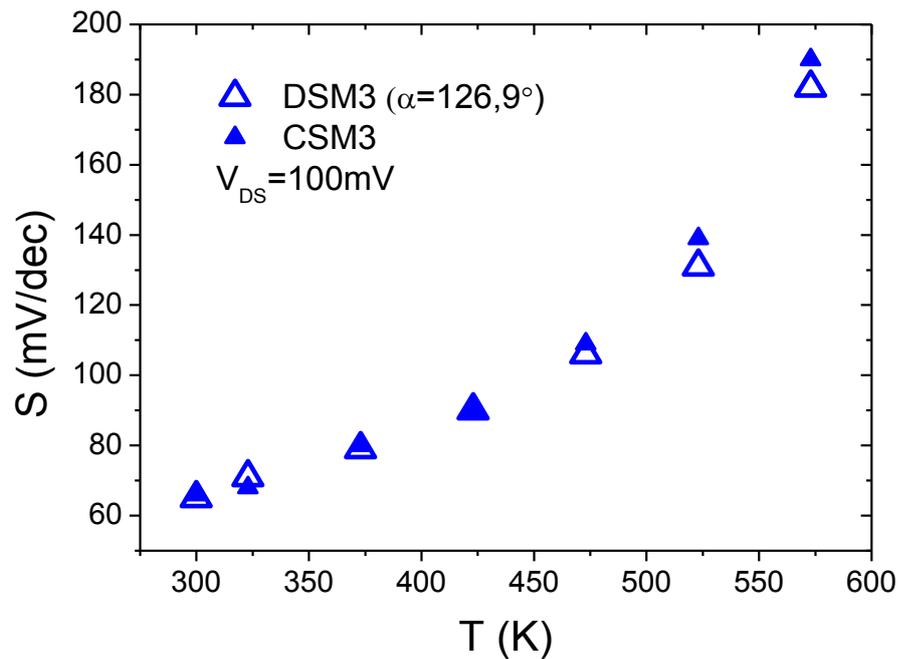
### 3.2.6 Inclinação de sublimiar

A Figura 3.17 mostra os gráficos das inclinações de sublimiar, extraídas segundo a metodologia explicada no item 2.6.5, dos DSMs e dos seus respectivos CSMs equivalentes

em função da temperatura, considerando  $V_{DS}$  igual a 100 mV.

Figura 3.17 - Os gráficos das inclinações de sublimiar ( $S$ ) dos SOI MOSFETs do tipo Diamante com  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus respectivos CSMs equivalentes em função da temperatura





(c)

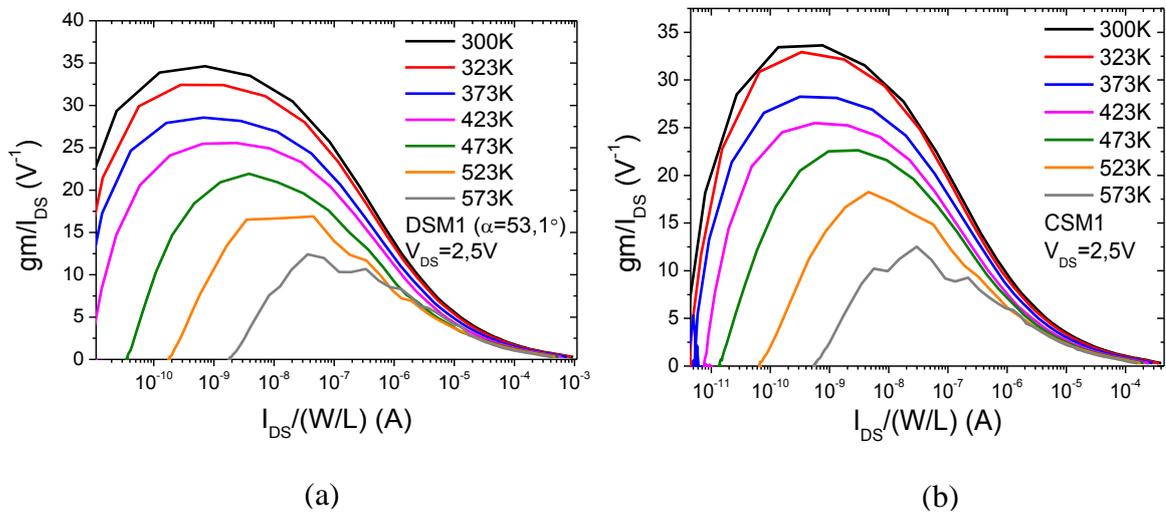
Fonte: Autor

Quando se analisa a Figura 3.17, observa-se que a inclinação de sublimar aumenta com o aumento da temperatura (item 2.6.5) para todos os dispositivos estudados. Os valores da inclinação de sublimar para os SOI MOSFETs do tipo Diamante apresentaram semelhança com os valores de  $S$  dos seus respectivos convencionais equivalentes. Portanto, o uso do SOI MOSFET do tipo Diamante não prejudica o desempenho elétrico em aplicações digitais, quando se compara com um convencional SOI MOSFET equivalente.

### 3.2.7 Razão $gm/I_{DS}$

A Figura 3.18 ilustra os gráficos das razões  $gm/I_{DS}$  do DSM com  $\alpha$  igual a  $53,1^\circ$  e do seu CSM equivalente em função da temperatura.

Figura 3.18 - Os gráficos das razões  $gm/I_{DS}$  do SOI MOSFET do tipo Diamante com  $\alpha$  igual a  $53,1^\circ$  (a) e do seu respectivo CSM equivalente (b) em função da temperatura

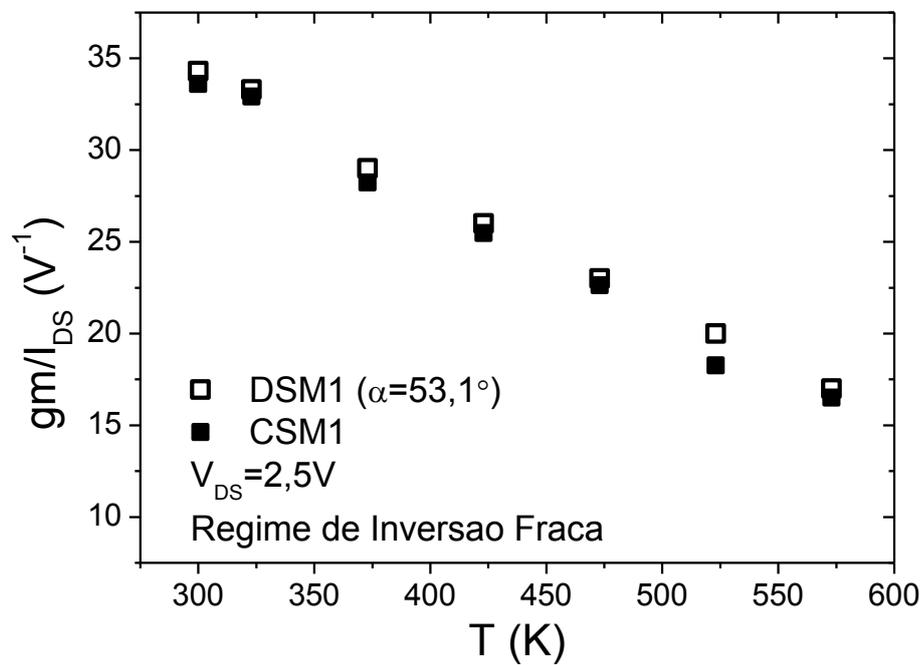


Fonte: Autor

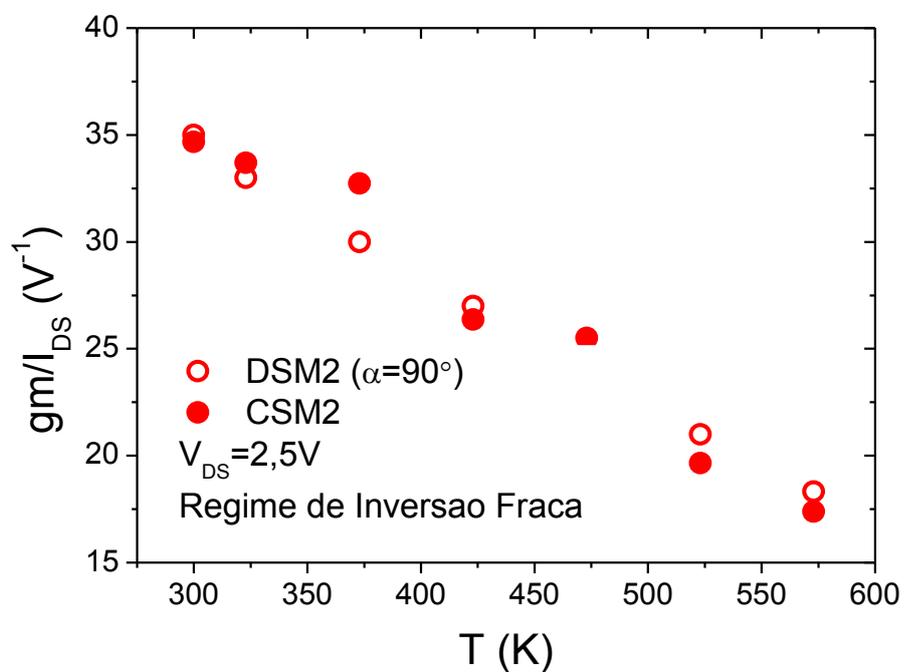
Observando a Figura 3.18 fica complicado comparar ambos os transistores, devido a semelhança encontrada da razão  $gm/I_{DS}$  à medida que a temperatura aumenta, e esse fato aconteceu para todos os transistores estudados. Por isso, foram estudados os três regimes de operação, ou seja, regime de inversão fraca, moderada e forte, a fim de fazer uma análise qualitativa e quantitativa em ambos os dispositivos.

Curvas experimentais de  $gm/I_{DS}$  em função da temperatura para o DSM com os três valores diferentes de ângulo  $\alpha$  e os seus respectivos CSMs equivalentes, em regime de inversão fraca e  $V_{DS}$  igual a 2,5 V (região de saturação), estão ilustradas na Figura 3.19. E quando o transistor está polarizado neste regime de inversão pode-se projetar amplificadores com altos valores de  $A_V$  e baixa frequência  $f_T$ .

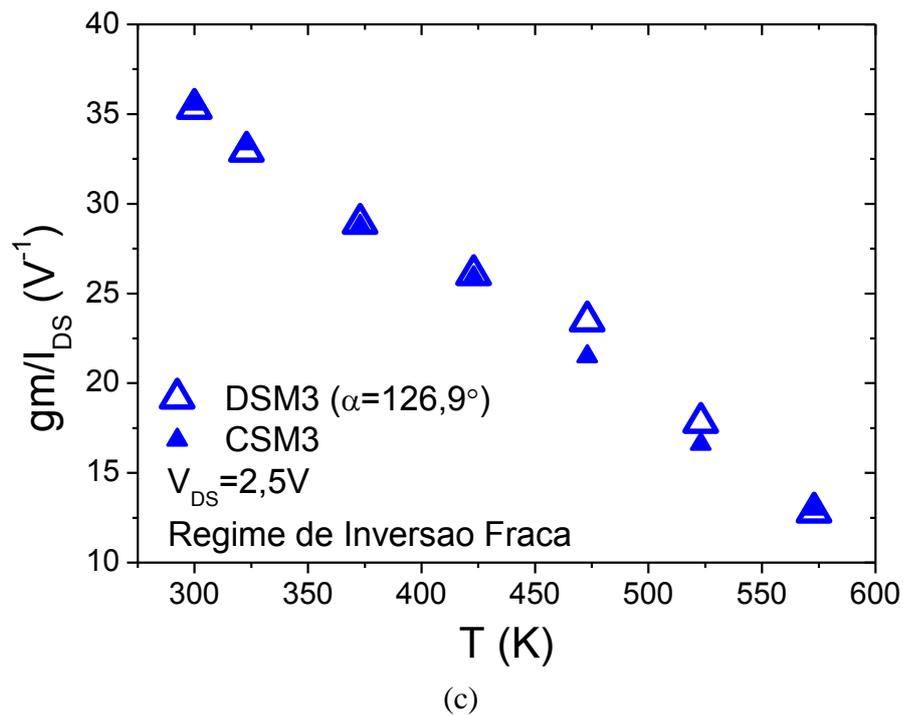
Figura 3.19 - Os gráficos das razões de  $gm/I_{DS}$  dos DSMs com  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c), e os seus respectivos CSMs equivalentes em função da temperatura, no regime de inversão fraca



(b)



(b)



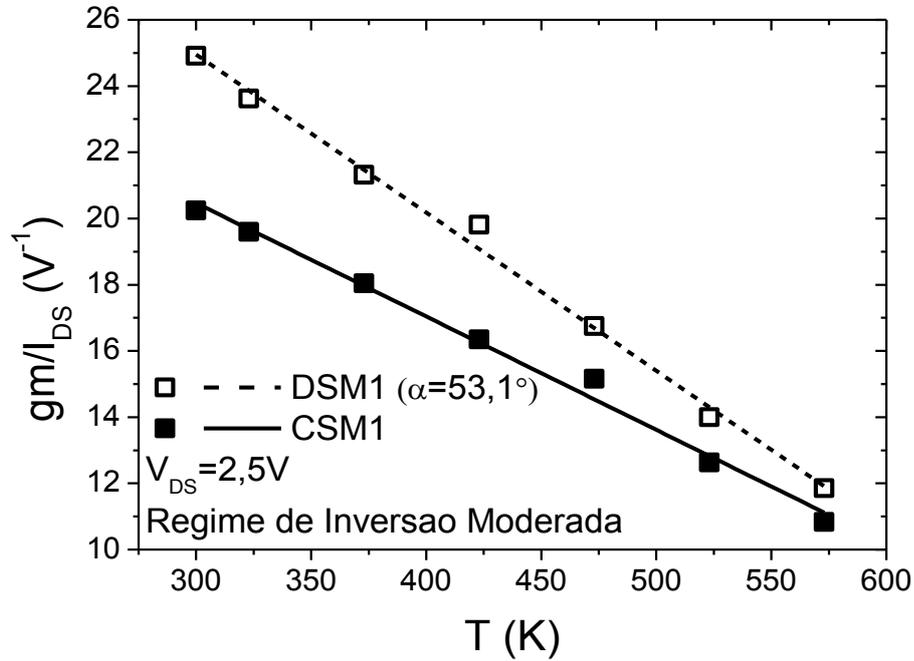
Fonte: Autor

A razão  $gm/I_{DS}$  em regime de inversão fraca, reduz com o aumento da temperatura para todos os dispositivos como ilustra a Figura 3.19, segundo descrito no item 2.6.6.

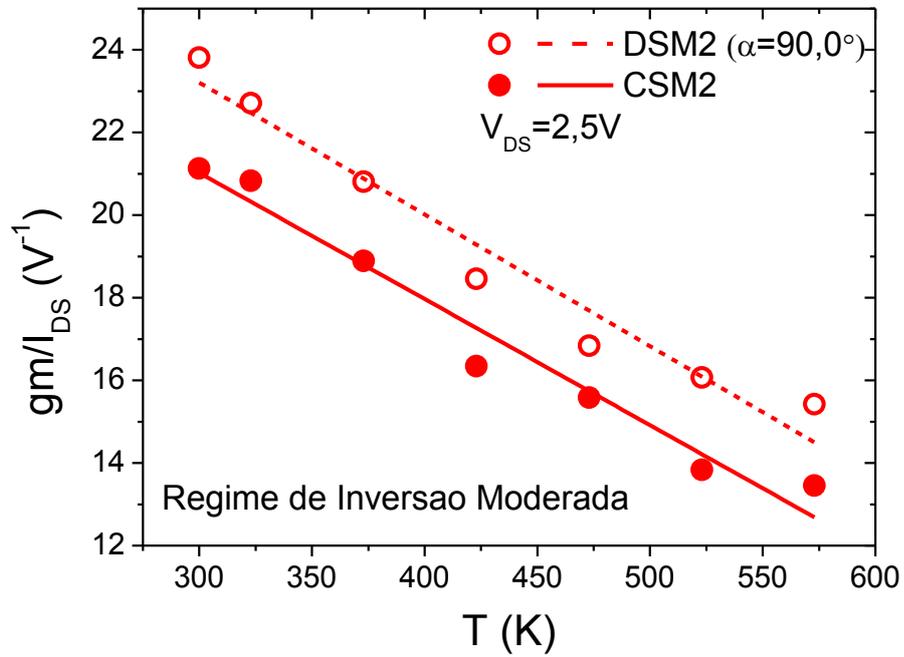
Nos três comparativos realizados as razões  $gm/I_{DS}$  apresentaram valores similares entre os DSMs e os seus respectivos CSMs equivalentes para todas as temperaturas estudadas. Isto pode ser explicado pela equação (2.6.28), onde a razão  $gm/I_{DS}$  é inversamente proporcional a inclinação de sublimar (S), e como S aumenta com o aumento da temperatura (item 2.6.5), que causa uma redução da razão  $gm/I_{DS}$ , pode-se concluir que os valores de S entre os DSMs e os seus respectivos CSMs equivalentes, apresentam valores praticamente iguais em função da temperatura, comprovando os resultados do item 3.2.6.

Os valores experimentais de  $gm/I_{DS}$  em função da temperatura para o DSM com três valores diferentes de ângulo  $\alpha$  e os seus respectivos CSMs equivalentes, em regime de inversão moderada ( $I_{DS}/(W/L)$  igual a 100 nA) e considerando  $V_{DS}$  igual a 2,5 V (região de saturação), estão ilustrados na Figura 3.20.

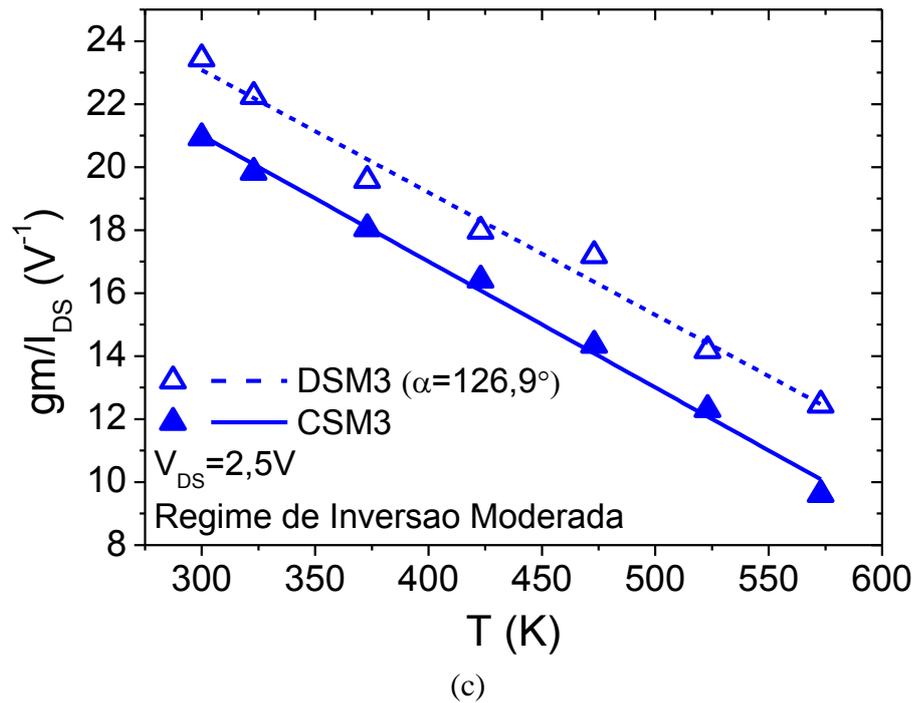
Figura 3.20 - Os gráficos das razões  $gm/I_{DS}$  dos DSMs com  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c), e os seus respectivos CSMs equivalentes em função da temperatura, no regime de inversão moderada [ $I_{DS}/(W/L)$  igual a 100 nA]



(a)



(b)



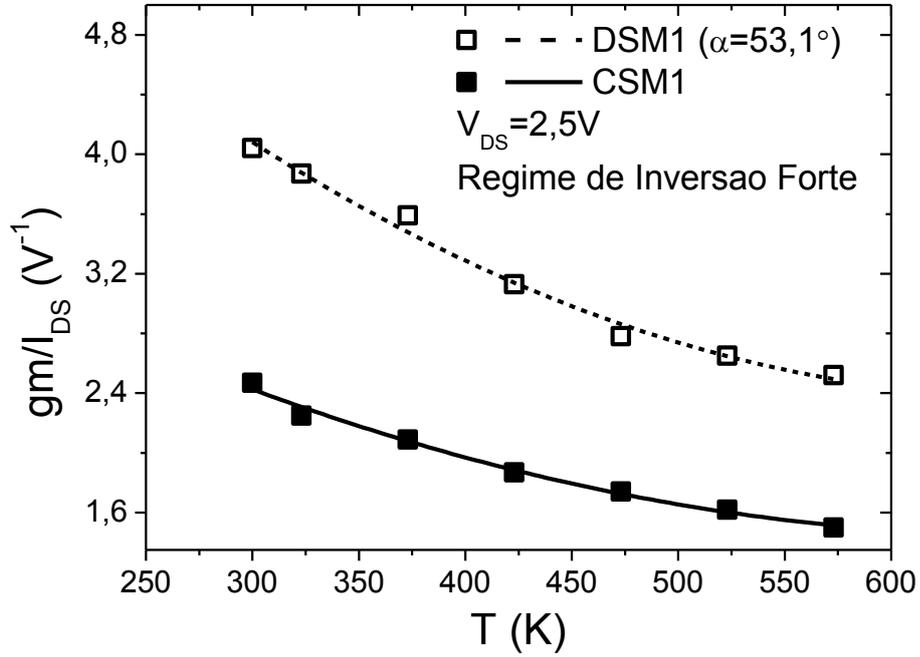
Fonte: Autor

Observando a Figura 3.20 verifica-se que, a razão  $gm/I_{DS}$  reduz com o aumento da temperatura, devido à redução da mobilidade dos portadores móveis na região de canal e o aumento do efeito de corpo (COLINGE, 2008). Os valores de  $gm/I_{DS}$  para os DSMs sempre se apresentaram maiores do que o encontrado em seu CSM equivalente. Por exemplo, o DSM apresentou um ganho em relação ao seu CSM equivalente de 23%, 13% e 12% para temperatura igual a 300 K e 9%, 15% e 30% para temperatura igual a 523 K, considerando  $\alpha$  igual a 53,1°, 90,0° e 126,9°.

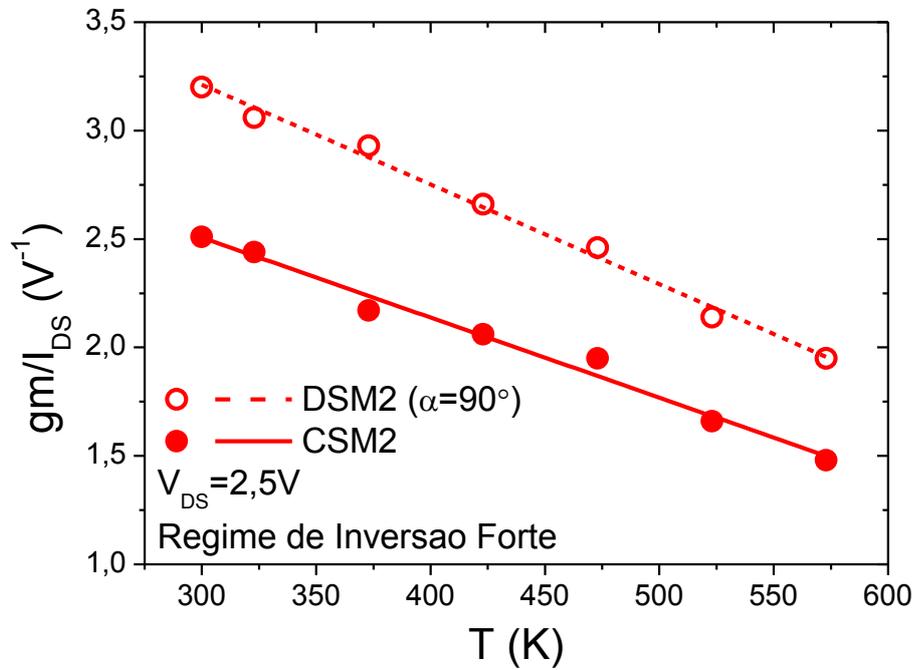
Quando o transistor estiver polarizado em regime de inversão moderada, obtêm-se amplificadores que têm um bom compromisso entre  $A_V$ ,  $f_T$  e baixo consumo de energia, sendo este regime de polarização o mais utilizado em projetos de amplificadores.

Por fim, a Figura 3.21 ilustra a variação de  $gm/I_{DS}$  em regime de inversão forte, à medida que a temperatura aumenta para o DSM com os três valores diferentes de ângulo  $\alpha$  e os seus respectivos CSMs equivalentes, considerando  $V_{DS}$  igual a 2,5 V (região de saturação) e  $I_{DS}/(W/L)$  igual a 20  $\mu A$ . Neste regime de polarização, obtêm-se amplificadores com altas frequências  $f_T$ , ou seja, uma maior velocidade de processamento, além de baixos valores de  $A_V$  e tem como característica o alto consumo de energia.

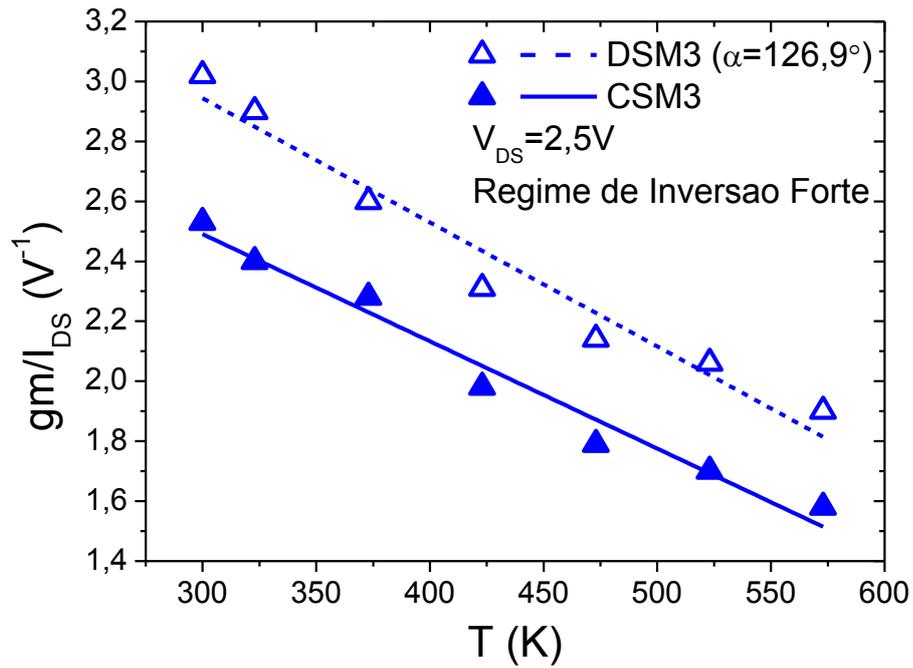
Figura 3.21 - Os gráficos das razões de  $gm/I_{DS}$  dos DSMs com  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c), e seus respectivos CSMs equivalentes em função da temperatura, no regime de inversão forte [ $I_{DS}/(W/L)$  igual a  $20 \mu A$ ]



(a)



(b)



(c)

Fonte: Autor

Analisando a Figura 3.21 verifica-se que, a razão  $gm/I_{DS}$  reduz com o aumento da temperatura, pois segue a variação da raiz quadrada da mobilidade, como explicado no item 2.6.6 (COLINGE, 2008). Os valores de  $gm/I_{DS}$  para os DSMs sempre se apresentaram maiores do que o encontrado em seus respectivos CSMs equivalentes. O DSM apresentou um ganho em relação ao seu CSM equivalente de 64%, 27% e 19% para temperatura igual a 300 K e 68%, 32% e 20% para temperatura igual a 523 K, considerando  $\alpha$  igual a  $53,1^\circ$ ,  $90,0^\circ$  e  $126,9^\circ$ , respectivamente (GIMENEZ; GALEMBECK *et al.*, 2015).

O ganho na razão  $gm/I_{DS}$  proporcionado pelas estruturas DSMs nos regimes de inversão moderada e forte, é graças aos efeitos LCE e PAMDLE que se mantem ativos em todas as temperaturas em que os transistores estiveram submetidos (a partir de 300 K) e que potencializam a corrente  $I_{DS}$  e conseqüentemente a sua transcondutância.

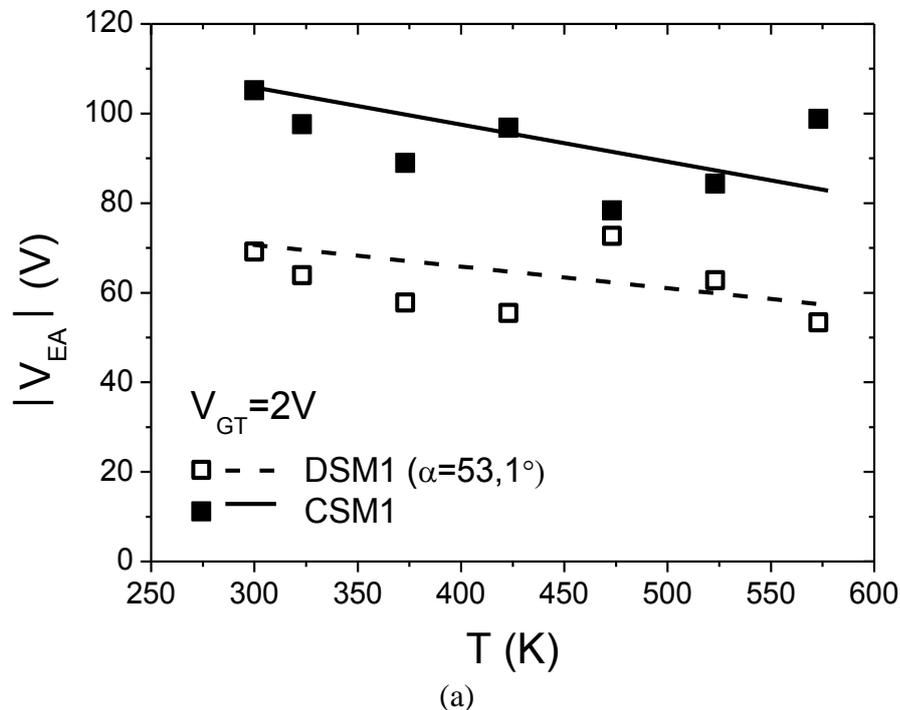
O DSM com  $\alpha$  igual a  $53,1^\circ$  apresenta valores de  $gm/I_{DS}$ , nos regimes de inversão moderada e forte, maiores quando comparados com os DSMs com ângulos  $\alpha$  igual a  $90,0^\circ$  e  $126,9^\circ$ , respectivamente, porque os efeitos LCE e PAMDLE são mais significantes à medida que o ângulo  $\alpha$  reduz, resultando em altos valores de  $gm/I_{DS}$ , considerando todas as temperaturas estudadas.

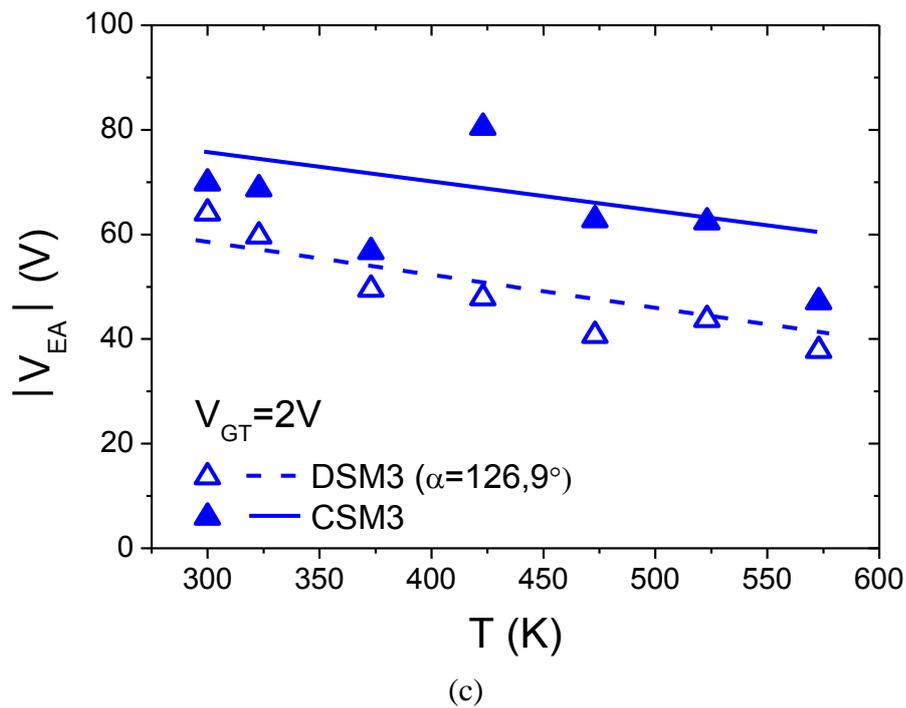
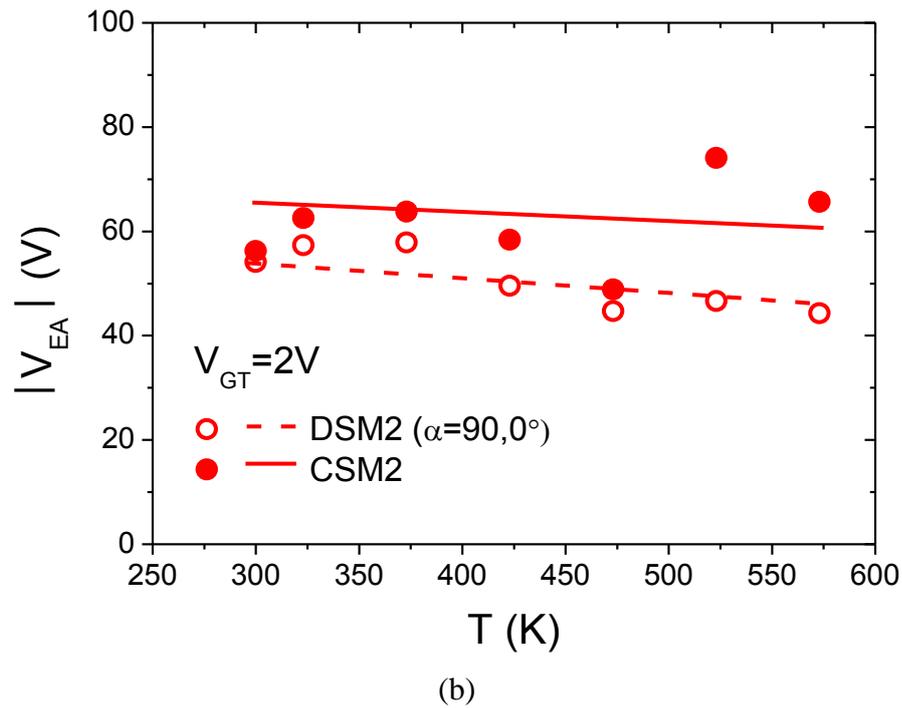
Com este resultado os SOI MOSFETs do tipo Diamante podem ser considerados alternativas viáveis, a fim de potencializar o desempenho analógico de CIs CMOS em altas temperaturas.

### 3.2.8 Tensão Early

As tensões de Early para os DSMs e para os seus respectivos CSMs equivalentes, foram extraídas da forma de extrapolação da corrente de saturação do dreno, conforme descrito pelo item 2.6.7. Nesta abordagem, a Figura 3.22 mostra os gráficos das tensões de Early dos DSMs e dos seus CSM equivalentes em função da temperatura, considerando  $V_{GT}$  igual a 2 V.

Figura 3.22 - Gráficos das tensões Early dos SOI MOSFETs do tipo Diamante para  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus respectivos CSMs equivalentes em função da temperatura, considerando  $V_{GT}$  igual a 2 V





Fonte: Autor

Analisando a Figura 3.22, é possível observar que as tensões Early em todos os transistores reduzem com o aumento da temperatura (BABCOCK; CHOI *et al.*, 2010); (MARTINO; NEVES *et al.*, 2014); (YANG; LIN *et al.*, 2014). Além disso, a tensão  $V_{EA}$  para o DSM tende a ser menor do que aquela encontrada em seu respectivo CSM equivalente (aproximadamente 34%, 4% e 8% para temperatura igual a 300 K e aproximadamente 46%,

33% e 20% para temperatura igual a 573 K, considerando ângulos  $\alpha$  iguais a 53,1°, 90,0° e 126,9°, respectivamente) (GIMENEZ; GALEMBECK *et al.*, 2015).

O comprimento efetivo de canal é modulado pela tensão  $V_{DS}$  que promove um aumento da região de depleção entre a região de dreno e canal. Além disso, ocorre o fenômeno de ionização por impacto.

Devido ao efeito LCE, que se faz presente na estrutura DSM, o efeito de ionização por impacto aumenta e conseqüentemente haverá um aumento da condutância de dreno, como explicado no item 2.4.2, e isso resulta numa maior redução da tensão Early do DSM em relação ao seu CSM equivalente, como ilustra a Figura 3.22. Além disso, a redução da tensão Early com o aumento da temperatura está relacionada com a redução de  $I_{DS\_SAT}$ , que é diretamente proporcional à mobilidade dos portadores móveis na região do canal e reduz com o aumento da temperatura. Com isso, a tensão Early no DSM é uma desvantagem em relação ao seu CSM homólogo.

Para comprovar a redução da tensão Early com o aumento da temperatura em todos os transistores, realizou-se o cálculo de  $V_{EA}$  pela equação (2.6.31), onde os valores de  $g_{D\_SAT}$ , que é igual  $dI_{DS}/dV_{DS}$ , e  $I_{DS\_SAT}$  foram extraídos para  $V_{DS}$  igual a 3V, como mostra a Tabela 3.9, a Tabela 3.10 e a Tabela 3.11. Os resultados de  $V_{EA}$  por este método se apresentaram relativamente próximos (com erro máximo de 19%) aos valores de  $V_{EA}$  extraídos pelo método de extrapolação da corrente de dreno, e, além disso, é possível observar que, o efeito LCE aumenta o efeito de ionização por impacto e conseqüente o DSM apresenta uma maior valor de  $g_{D\_SAT}$  em relação ao seu convencional equivalente (CSM).

Tabela 3.9 - Tabela dos valores de  $g_{D\_SAT}$  e  $I_{DS\_SAT}$  para o cálculo de  $V_{EA}$  em função da temperatura para o DSM1 e o CSM1, considerando  $V_{DS}$  igual a 3 V

T (K)	$g_{D\_SAT}$ ( $\mu S$ )		$I_{DS\_SAT}$ ( $\mu A$ )		$V_{EA} = \frac{I_{DS\_SAT}}{g_{D\_SAT}}$	
	CSM1	DSM1	CSM1	DSM1	CSM1	DSM1
300	1,09	4,10	139	275	127,52	67,07
323	1,06	3,90	98	255	92,17	65,38
373	0,87	3,20	78	199	89,08	62,19
423	0,70	3,00	60	174	86,29	58,00
473	0,63	1,66	52	137	83,17	82,53
523	0,48	1,60	49	123	101,04	76,88
573	0,45	1,47	47	98	105,33	66,67

Fonte: Autor

Tabela 3.10 - Tabela dos valores de  $g_{D\_SAT}$  e  $I_{DS\_SAT}$  para o cálculo de  $V_{EA}$  em função da temperatura para o DSM2 e o CSM2, considerando  $V_{DS}$  igual a 3 V

T (K)	$g_{D\_SAT}$ ( $\mu S$ )		$I_{DS\_SAT}$ ( $\mu A$ )		$V_{EA} = \frac{I_{DS\_SAT}}{g_{D\_SAT}}$	
	CSM2	DSM2	CSM2	DSM2	CSM2	DSM2
300	3,27	4,71	193	320	59,02	67,94
323	3,07	4,48	178	282	57,98	62,95
373	2,69	4,15	151	234	56,13	56,39
423	2,55	3,90	127	225	49,80	57,69
473	2,07	3,78	104	203	50,24	53,70
523	1,26	3,16	100	150	79,37	47,47
573	1,17	2,97	89	138	76,07	46,46

Fonte: Autor

Tabela 3.11 - Tabela dos valores de  $g_{D\_SAT}$  e  $I_{DS\_SAT}$  para o cálculo de  $V_{EA}$  em função da temperatura para o DSM3 e o CSM3, considerando  $V_{DS}$  igual a 3 V

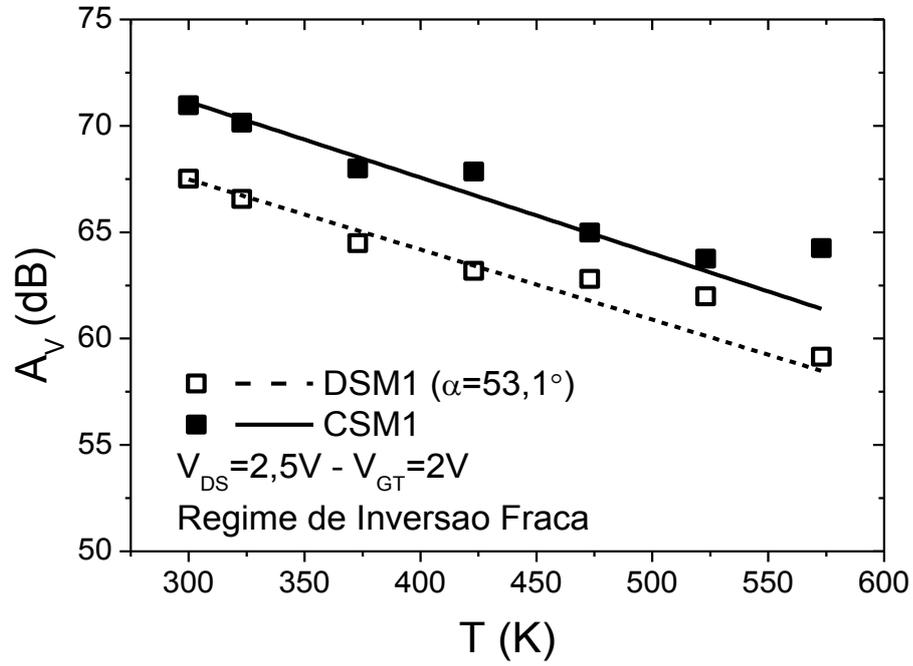
T (K)	$g_{D\_SAT}$ ( $\mu S$ )		$I_{DS\_SAT}$ ( $\mu A$ )		$V_{EA} = \frac{I_{DS\_SAT}}{g_{D\_SAT}}$	
	CSM3	DSM3	CSM3	DSM3	CSM3	DSM3
300	4,68	6,24	308	411	65,81	65,87
323	4,47	6,11	288	373	64,43	61,05
373	3,84	5,70	224	309	58,33	54,21
423	2,40	5,22	183	274	76,25	52,49
473	2,35	5,11	165	254	70,21	49,71
523	2,32	4,72	144	225	62,07	47,67
573	2,30	3,72	136	163	59,13	43,82

Fonte: Autor

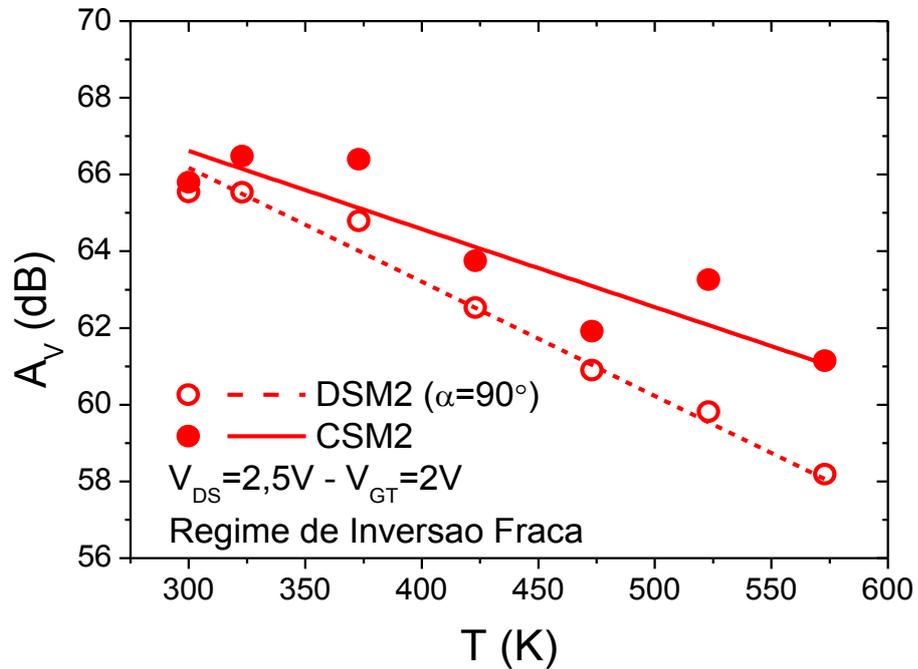
### 3.2.9 Ganho de tensão intrínseco

A Figura 3.23 mostra os ganhos de tensão intrínseco ( $A_V$ ) em dB, dos DSMs, com os três ângulos  $\alpha$  diferentes, e dos seus respectivos CSMs equivalentes em função da temperatura, considerando que os transistores estejam operando em modo de saturação e em regime de inversão fraca, sendo que o  $V_{EA}$  foi extraído para  $V_{GT}$  igual a 2 V e  $g_m/I_{DS}$  para  $V_{DS}$  igual a 2,5 V.

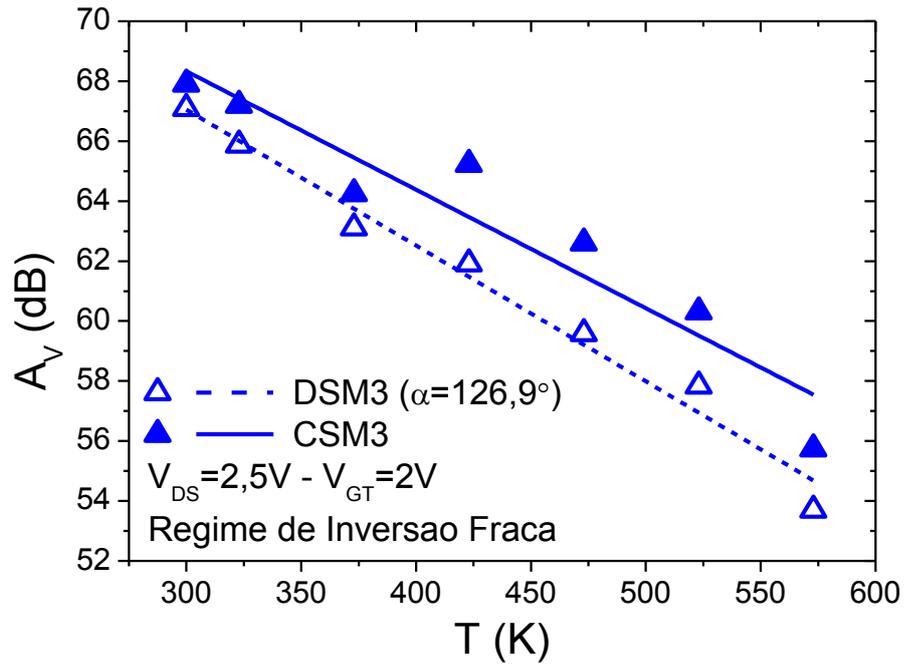
Figura 3.23 - Os gráficos de  $A_V$  dos SOI MOSFETs do tipo Diamante para  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus respectivos CSMs equivalentes em função da temperatura, no regime de inversão fraca



(a)



(b)



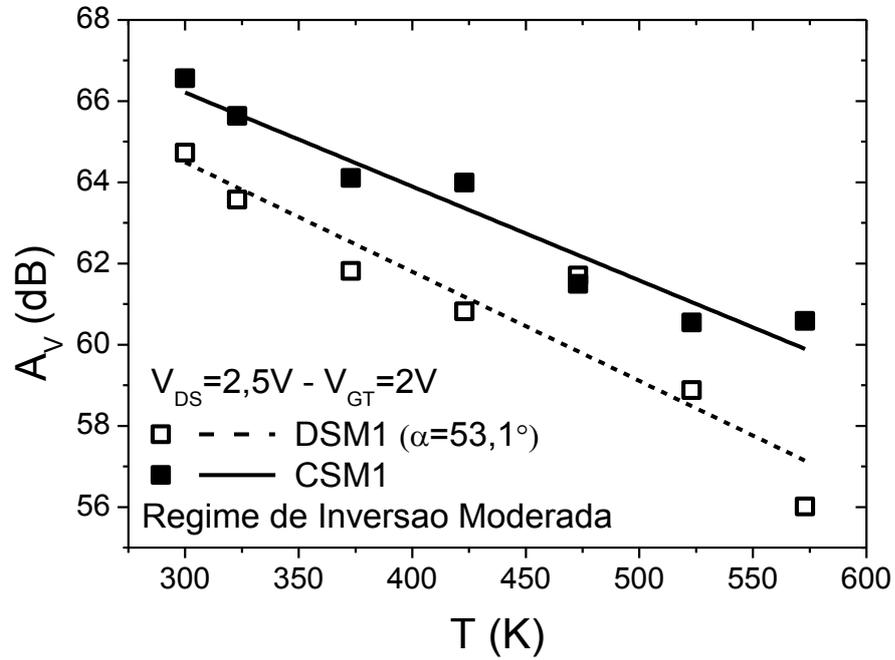
(c)

Fonte: Autor

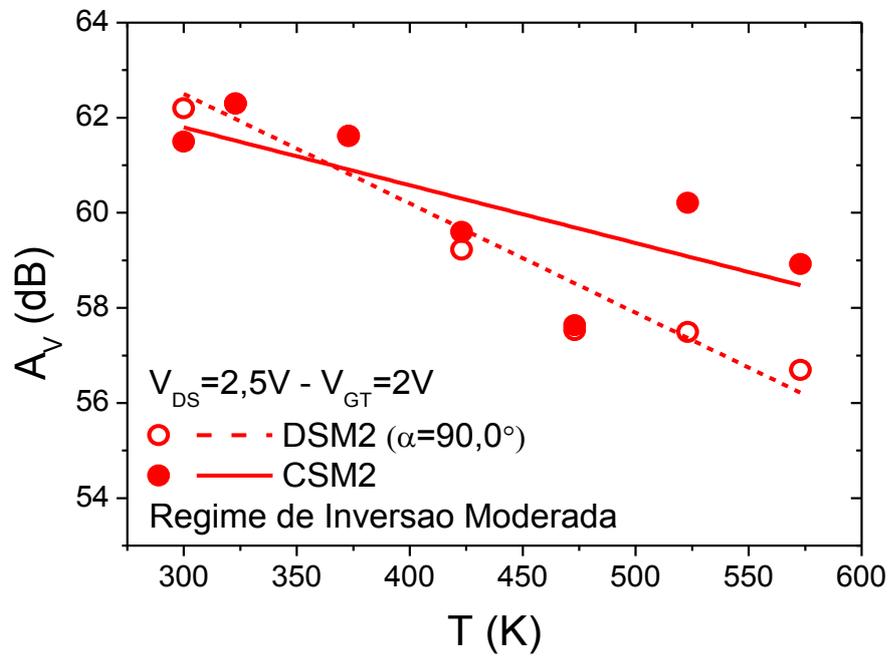
A Figura 3.23 ilustra que à medida que a temperatura aumenta  $A_V$  reduz, e seus valores para os dispositivos DSMs são sempre menores (aproximadamente 5%, 1% e 1% para  $T$  igual a 300 K e aproximadamente 8%, 5% e 4% para  $T$  igual a 573 K, considerando o ângulo  $\alpha$  igual a 53,1°, 90,0° e 126,9°, respectivamente) do que os encontrados em seus respectivos CSMs equivalentes em todas as temperaturas. Esses valores menores de  $A_V$  para os DSMs em relação aos seus CSMs equivalentes é devido principalmente aos baixos valores de  $V_{EA}$ , que estão relacionados com o aumento do campo elétrico longitudinal proporcionado pelo DSM, como descrito no item 3.2.8, e, além disso, a razão  $gm/I_{DS}$  apresentou valores similares em função da temperatura para todos os dispositivos, com foi apresentado no item 3.2.7, considerando o regime de inversão fraca.

A seguir é apresentado na Figura 3.24 os ganhos de tensão intrínseco dos DSMs e dos seus respectivos CSMs equivalentes em função da temperatura, considerando que os transistores estejam operando em modo de saturação e em regime de inversão moderada ( $I_{DS}/(W/L)$  igual a 100 nA), ou seja,  $V_{EA}$  foi extraído para  $V_{GT}$  igual a 2 V e  $gm/I_{DS}$  para  $V_{DS}$  igual a 2,5 V.

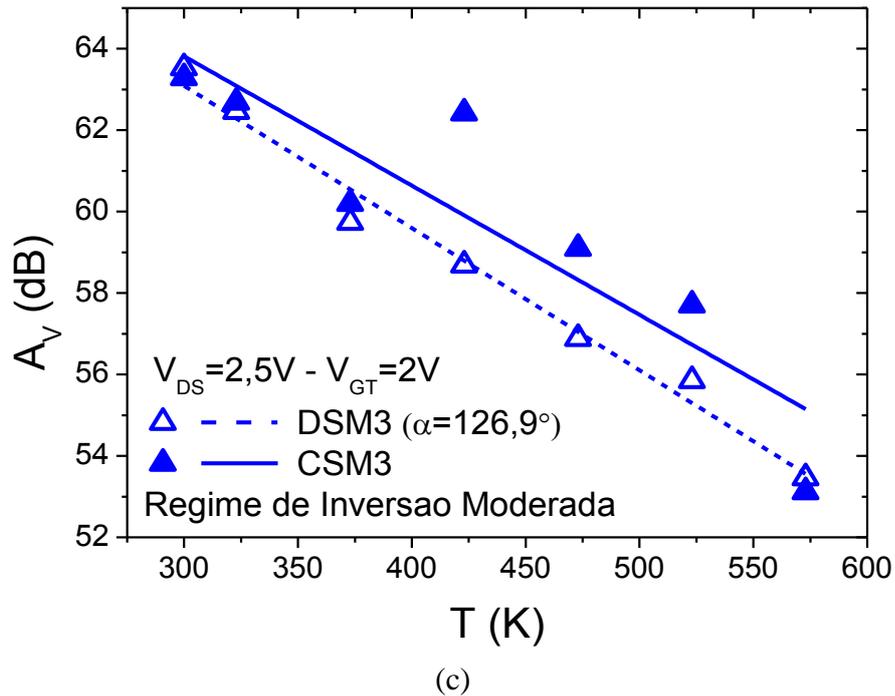
Figura 3.24 - Os gráficos de  $A_V$  dos SOI MOSFETs do tipo Diamante para  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus respectivos CSMs equivalentes em função da temperatura, no regime de inversão moderada [ $I_{DS}/(W/L)$  igual a  $100 \mu A$ ]



(a)



(b)



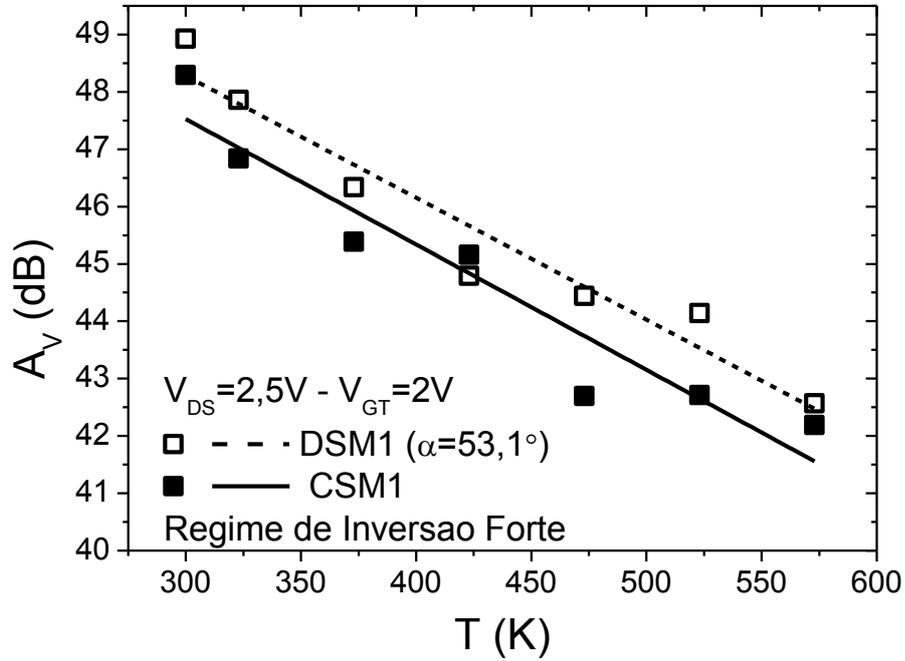
Fonte: Autor

Analisando a Figura 3.24, observa-se que  $A_V$  decresce à medida que a temperatura aumenta para todos os transistores. Essa redução acontece devido a dependência de  $A_V$ , principalmente, com a razão  $g_m/I_{DS}$ .

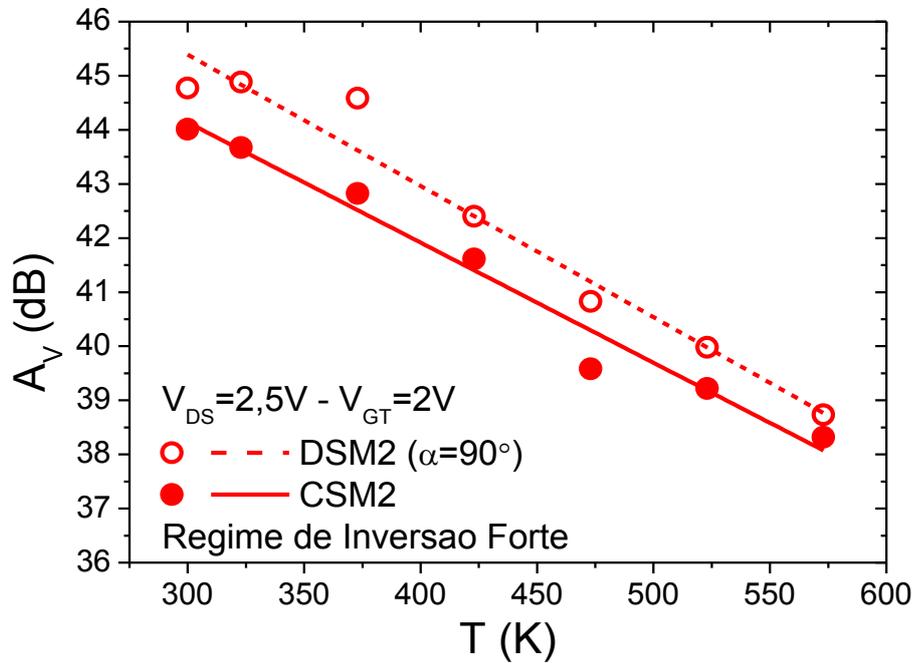
O ganho de tensão intrínseco entre os transistores apresenta o mesmo comportamento em dB e seus valores apresentaram similaridade, com a influência das altas temperaturas. À medida que a temperatura aumenta o ganho de tensão intrínseco apresentado pelo DSM está menor do que o encontrado em seu CSM equivalente, em média de 2 dB, 1dB e 1dB para  $\alpha$  igual a  $53,1^\circ$ ,  $90,0^\circ$  e  $126,9^\circ$ , respectivamente. Mas como essa diferença é pequena, o parâmetro  $A_V$  não é considerado uma desvantagem do DSM em relação ao seu CSM equivalente, portanto o estilo de leiaute SOI MOSFET do tipo Diamante não prejudica o desempenho elétrico dos transistores em termos de  $A_V$ , quando este transistor estiver operando em altas temperaturas e em regime de inversão moderada (GIMENEZ; GALEMBECK *et al.*, 2015).

E por último, é apresentado na Figura 3.25, o ganho de tensão intrínseco dos DSMs e dos seus respectivos CSMs equivalentes em função da temperatura, considerando  $V_{DS}$  igual a 2,5 V (região de saturação),  $V_{EA}$  para  $V_{GT}$  igual a 2 V e em regime de inversão forte ( $I_{DS}/(W/L)$  igual a  $20 \mu A$ ).

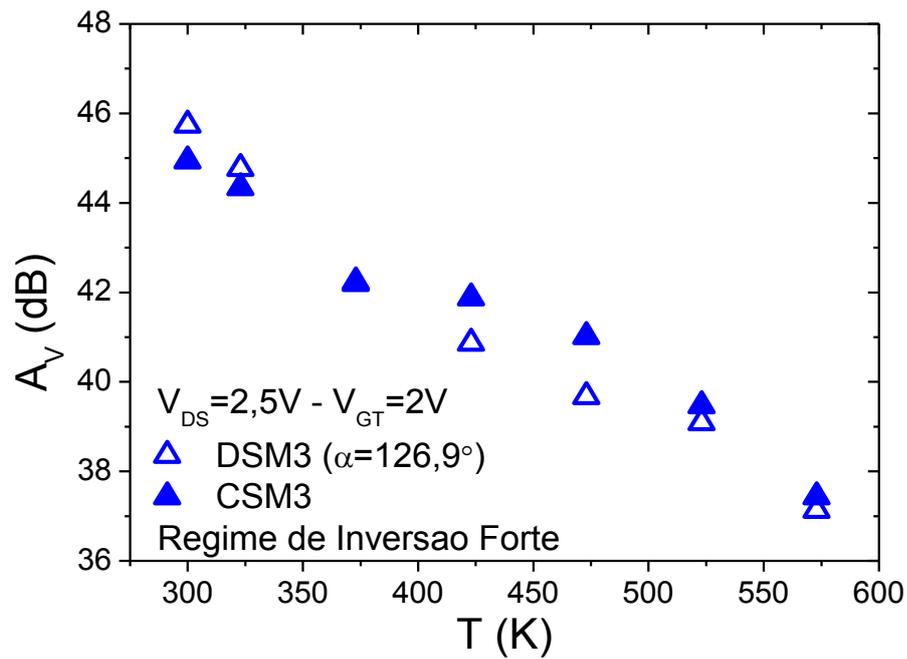
Figura 3.25 - Os gráficos de  $A_V$  dos SOI MOSFETs do tipo Diamante para  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus respectivos CSMs equivalentes em função da temperatura, no em regime de inversão forte [ $I_{DS}/(W/L)$  igual a  $20 \mu A$ ]



(a)



(b)



(c)

Fonte: Autor

A Figura 3.25 mostra que para o DSM com ângulo  $\alpha$  igual a  $53,1^\circ$  e  $90,0^\circ$ , houve ganhos não tão elevados em relação aos seus respectivos CSM equivalentes. Para o DSM com  $\alpha$  igual a  $53,1^\circ$ , obteve-se ganhos de 1% para temperatura de 300 K e 573 K, já para  $\alpha$  igual a  $90,0^\circ$ , obteve-se ganhos de 2% e 1% para temperatura de 300 K e 573 K, respectivamente. Esta pequena porcentagem de ganho trazida pelo DSM é devido aos ótimos valores da razão  $gm/I_{DS}$  em função da temperatura, na região de inversão forte, graças aos efeitos LCE e PAMDLE que potencializam  $I_{DS}$  e  $gm$  (item 3.2.7), o que faz compensar os baixos valores de  $V_{EA}$  (em relação ao seu CSM equivalente) que o DSM apresentou (item 3.2.8). E assim, melhorando os valores  $A_V$  em função da temperatura, em relação aos regimes de inversão fraca (Figura 3.23) e moderada (Figura 3.24).

Já para o DSM com  $\alpha$  igual a  $126,9^\circ$ , os valores de  $A_V$  são similares aos encontrados em seu CSM equivalente, pois os valores de  $gm/I_{DS}$  compensaram os baixos valores de  $V_{EA}$  para o DSM.

### 3.2.10 Frequência de ganho de tensão unitário

A Figura 3.26 apresenta as frequências de ganho de tensão unitário normalizadas pela

razão W/L dos DSMs, com os três diferentes ângulos  $\alpha$ , e dos seus respectivos CSMs equivalentes em função da temperatura, sendo que essas frequências foram calculadas considerando a transcondutância de cada transistor para  $V_{GT}$  igual a 2,5 V e  $V_{DS}$  igual a 2,5 V, conforme a Tabela 3.12. Além disso, considerou-se  $C_L$  (carga capacitiva) igual a 1 pF e estes transistores estão operando na região de saturação e em regime de moderada inversão.

Tabela 3.12 - Valores de  $gm/(W/L)$  dos SOI MOSFETs do tipo Diamante (DSM1, DSM2 e DSM3) e de seus respectivos CSMs equivalentes em função da temperatura, para  $V_{DS}$  e  $V_{GT}$  igual a 2,5 V, apresentando as diferenças percentuais entre os pares de dispositivos homólogos considerados

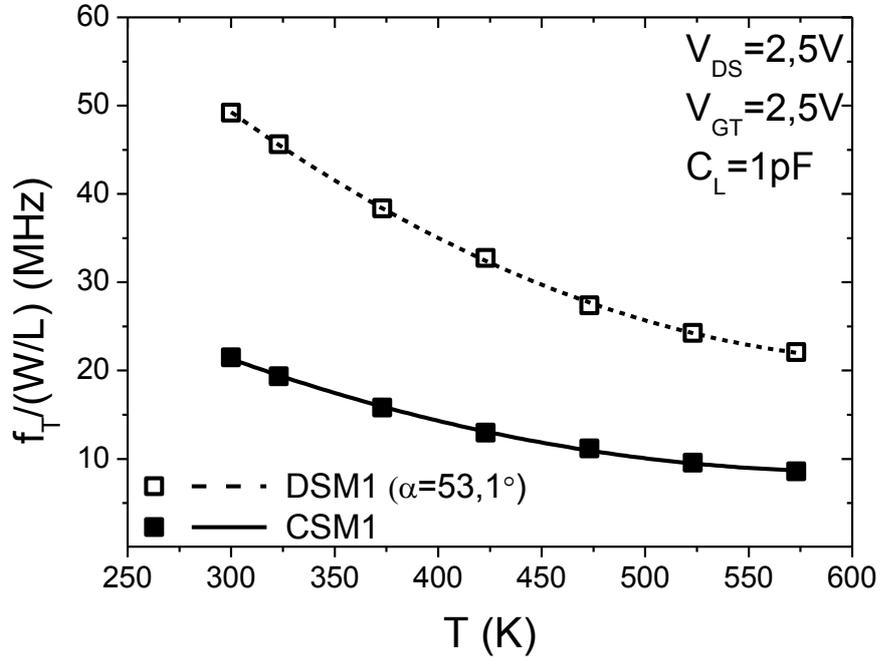
T (K)	gm/(W/L) ( $\mu$ S)		Ganho do DSM1 (%)	gm/(W/L) ( $\mu$ S)		Ganho do DSM2 (%)	gm/(W/L) ( $\mu$ S)		Ganho do DSM3 (%)
	DSM1	CSM1		DSM2	CSM2		DSM3	CSM3	
300	309	135	129	206	132	56	148	124	19
323	287	122	135	184	120	53	144	115	25
373	241	99	143	159	99	61	123	96	28
423	206	81	154	140	91	54	107	80	34
473	172	70	146	130	82	59	94	69	36
523	153	60	155	114	63	81	81	64	27
573	139	54	157	98	54	81	73	57	28

Fonte: Autor

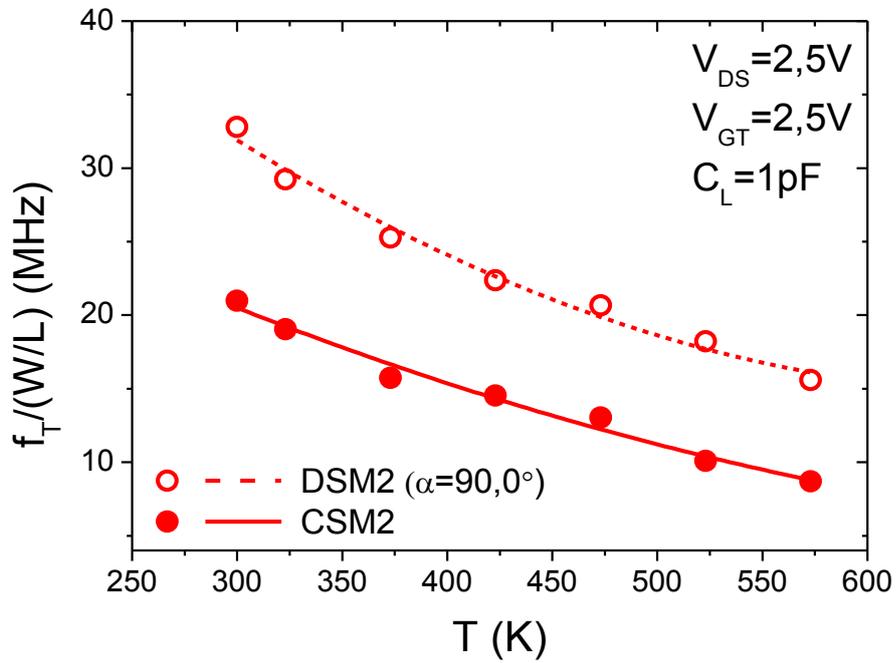
Os valores da transcondutância mostrada na Tabela 3.12 reduzem com o aumento da temperatura, para todos os transistores, pelo fato de a mobilidade dos portadores móveis na região do canal reduzir em altas temperaturas, que resulta em redução de  $I_{DS}$ . Além disso, os valores da transcondutância no DSM são sempre maiores que os encontrados no CSM equivalente.

Outra análise interessante é que, quando o ângulo  $\alpha$  reduz a partir de  $180^\circ$  o ganho de corrente de dreno, a velocidade média de deriva dos portadores móveis na região do canal e conseqüentemente a transcondutância aumentam significativamente, devido ao aumento do campo elétrico longitudinal e do ganho do efeito PAMDLE.

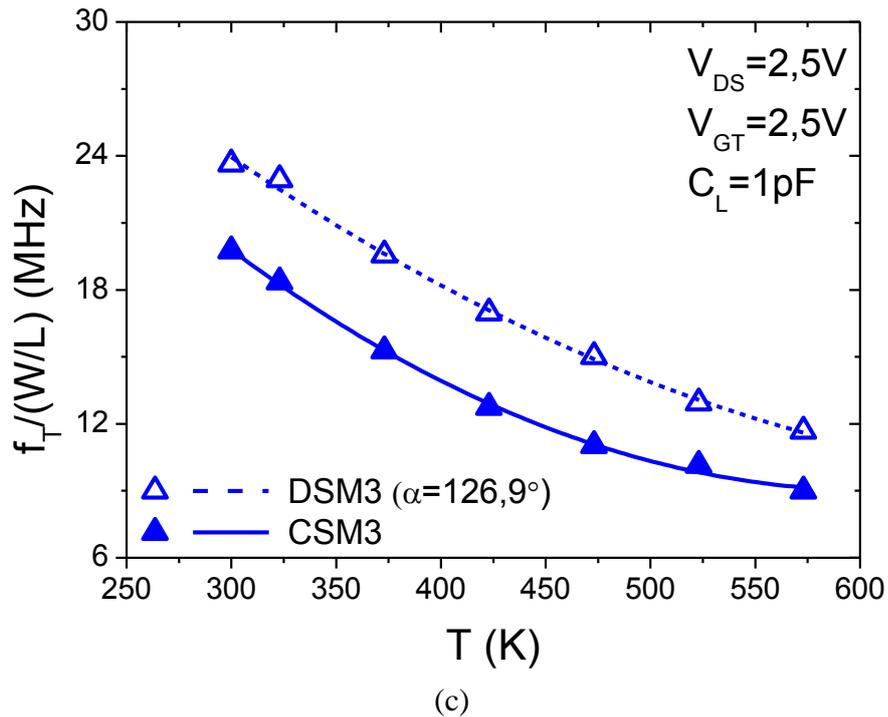
Figura 3.26 - Os gráficos de  $f_T/(W/L)$  dos SOI MOSFETs do tipo Diamante com  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus CSMs equivalentes em função da temperatura



(a)



(b)



Fonte: Autor

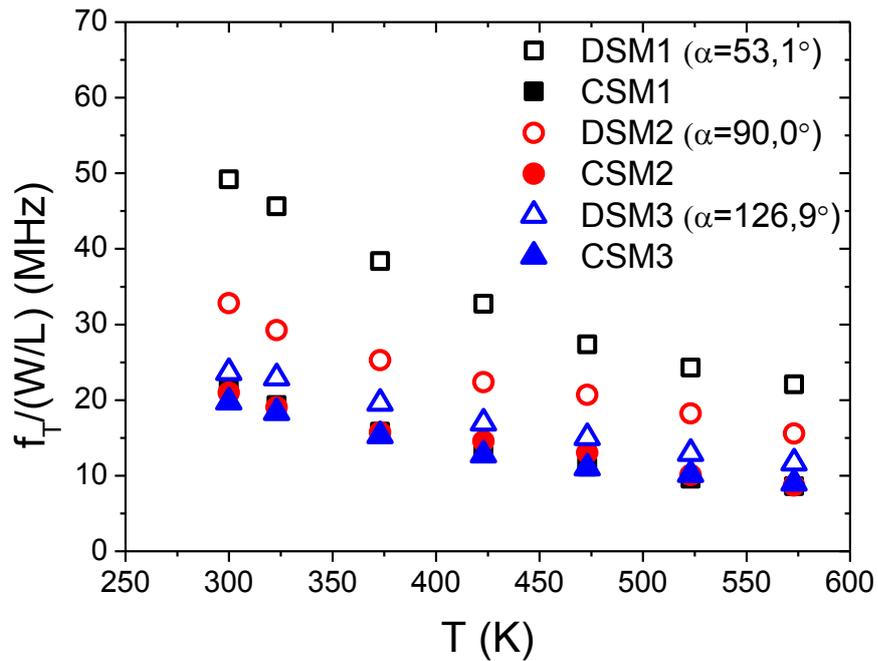
A Figura 3.26 ilustra que a frequência de ganho de tensão unitário normalizada pela relação  $W/L$  para todos os transistores reduz com o aumento da temperatura, pois há uma redução da mobilidade de portadores móveis na região do canal e consequentemente reduz a sua transcondutância, conforme a Tabela 3.12. Adicionalmente os valores de  $f_T/(W/L)$  são sempre maiores nos DSMs do que as encontradas em seus respectivos CSMs equivalentes, em aproximadamente 129%, 56% e 20% para temperatura igual a 300 K, considerando ângulos  $\alpha$  iguais a  $51,3^\circ$ ,  $90,0^\circ$  e  $126,9^\circ$ , respectivamente e aproximadamente 157%, 79% e 30% para temperatura igual a 573 K, considerando os ângulos  $\alpha$  iguais a  $53,1^\circ$ ,  $90,0^\circ$  e  $126,9^\circ$ , respectivamente.

Estas porcentagens de ganho, proporcionada pela estrutura DSM, é devido à presença dos efeitos LCE e PAMDLE, que potencializam a transcondutância desses transistores em relação aos seus convencionais equivalentes, como explicado no item 3.2.5 (GIMENEZ; GALEMBECK *et al.*, 2015).

Devido aos altos valores de transcondutância que resulta em altas frequências de ganho de tensão unitário, os DSMs se apresentam como ótimas alternativas para serem usados em amplificadores, em aplicações de rádio frequência, em amplificadores operacionais de transcondutância (OTA), entre outras, principalmente com  $\alpha$  igual a  $53,1^\circ$ , como ilustra a Figura 3.27 que mostra as frequências de ganho de tensão unitário dos DSMs e dos seus

respectivos CSMs equivalentes em função da temperatura, onde o DSM1 proporciona altos valores de  $f_T/(W/L)$  para todas as temperaturas em relação aos outros SOI MOSFETs.

Figura 3.27 - O gráfico de  $f_T/(W/L)$  dos DSMs, com diferentes valores de ângulo  $\alpha$ , e dos seus respectivos CSMs equivalentes em função da temperatura, considerando  $V_{DS}$  igual a 2,5 V,  $V_{GT}$  igual a 2,5 V e  $C_L$  igual a 1pF

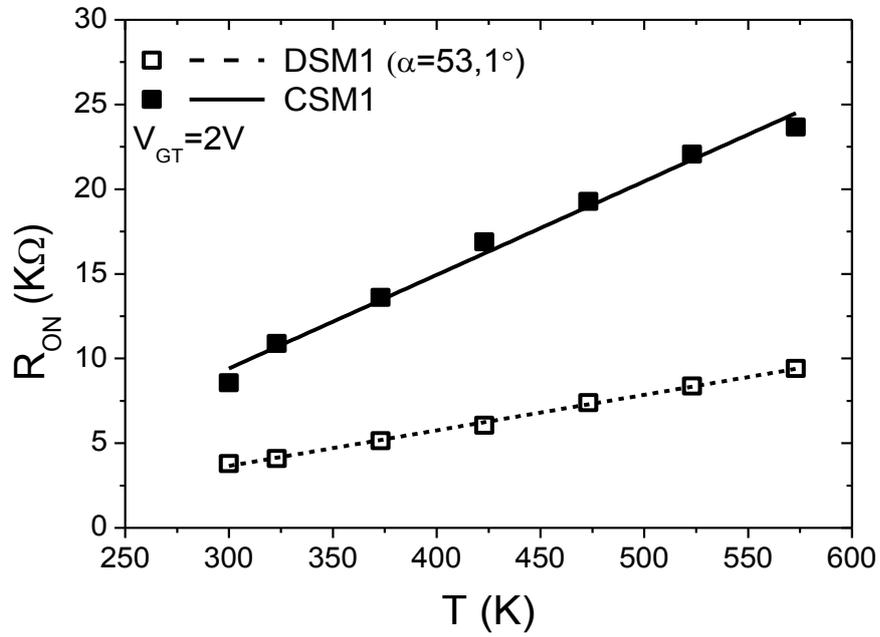


Fonte: Autor

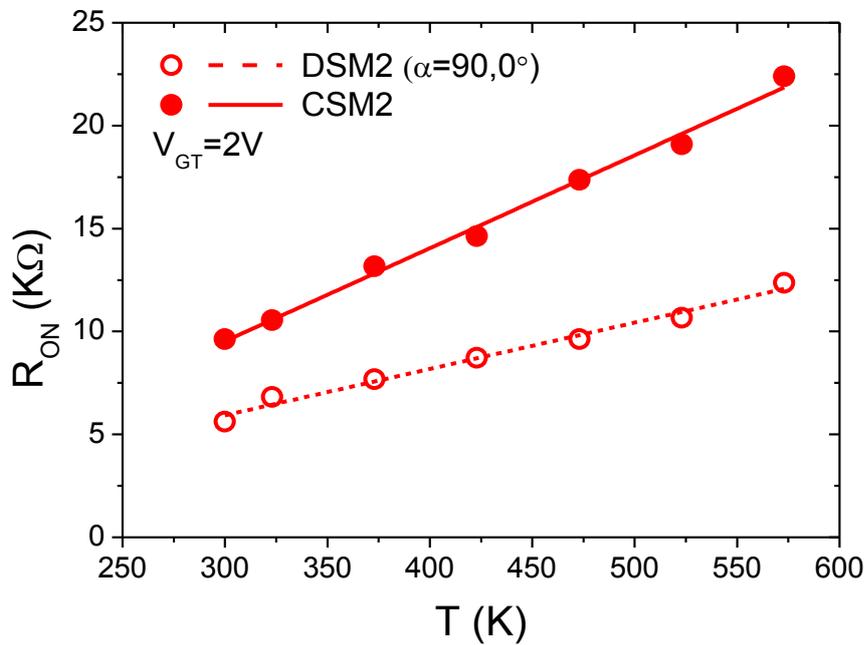
### 3.2.11 Resistência de dreno de estado ligado

A Figura 3.28 apresenta os valores de  $R_{ON}$  dos DSMs, com os três diferentes ângulos  $\alpha$ , e dos seus correspondentes CSMs equivalentes em função da temperatura. Os valores de  $R_{ON}$  foram extraídos segundo o método descrito no item 2.6.10.

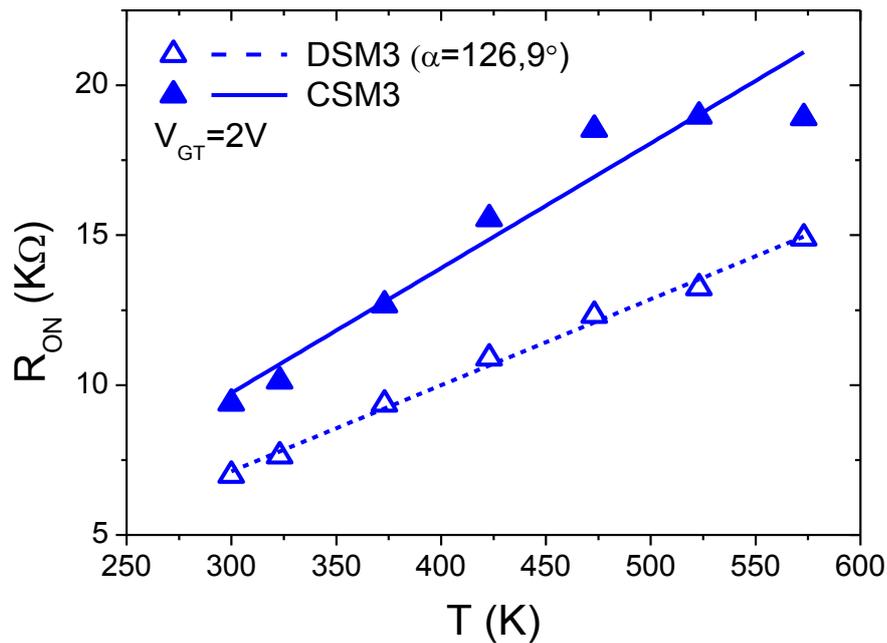
Figura 3.28 - Os gráficos de  $R_{ON}$  dos SOI MOSFETs do tipo Diamante com  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus respectivos CSMs equivalentes em função da temperatura



(a)



(b)



(c)

Fonte: Autor

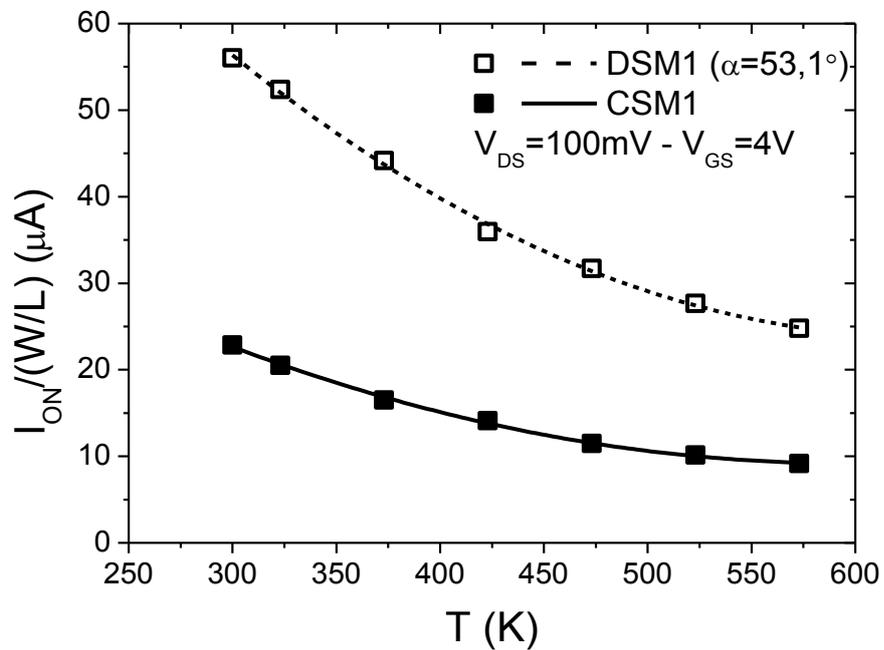
Analisando a Figura 3.28, nota-se que  $R_{ON}$ , para todos os transistores, aumenta quando a temperatura aumenta, devido à redução da mobilidade dos portadores móveis na região do canal (CALLISTER; RETHWISCH, 2012); (STREETMAN; BANERJEE, 2000). Os valores de  $R_{ON}$  para os DSMs são sempre menores (aproximadamente 56%, 42% e 22% para temperatura igual a 300 K e 60%, 45% e 21% para temperatura igual a 573 K, considerando os ângulos  $\alpha$  iguais a 53,1°, 90,0° e 126,9°, respectivamente) do que os encontrados em CSM equivalentes, porque o DSM apresenta uma corrente elétrica maior, que resulta em baixos valores de  $R_{ON}$ , graças, principalmente, ao efeito LCE e também ao efeito PAMDLE.

Com os baixos valores de  $R_{ON}$ , o DSM melhora o desempenho da velocidade de CIs CMOS digitais, pois reduz sua constante de tempo de atraso, onde esta constante de tempo é calculada pelo produto de  $R_{ON}$  pela capacitância de porta até o substrato (GIMENEZ; CORREIA, *et al.* 2015). Além disso, o DSM pode ser usado como o elemento principal (chave de potência) dos conversores AC-AC e DC-DC, onde há a necessidade de baixos valores de  $R_{ON}$  (HIRAOKA; MATSUMOTO, *et al.* 1998) e, portanto, proporcionará reduções dos tamanhos destes conversores.

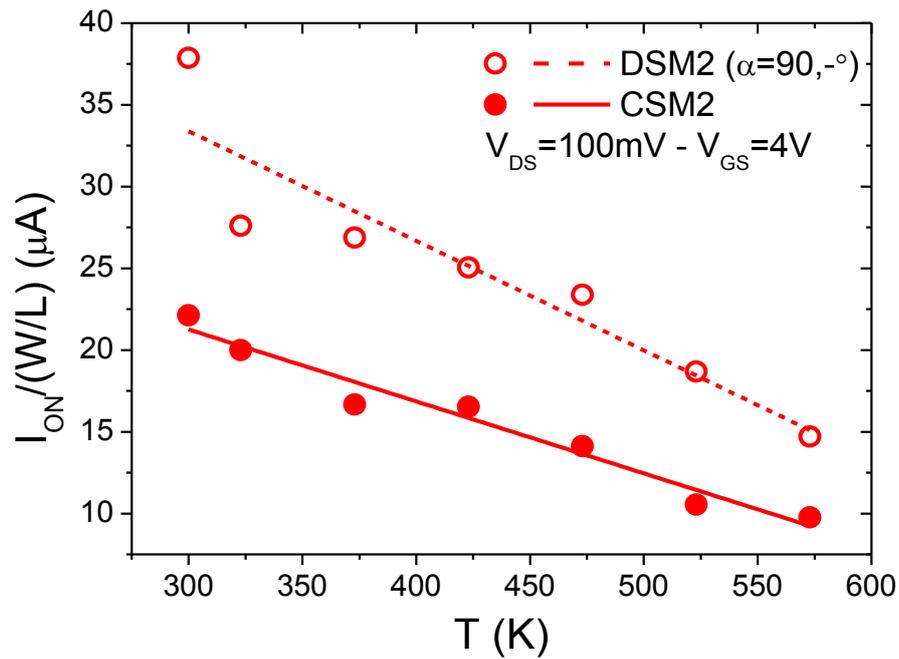
### 3.2.12 Corrente de dreno de estado ligado

A Figura 3.29 ilustra os valores de  $I_{ON}/(W/L)$  dos DSMs, considerando os três ângulos  $\alpha$ , e dos seus respectivos CSMs equivalentes em função da temperatura. As correntes de dreno de estado ligado foram extraídas para  $V_{DS}$  igual a 100 mV e  $V_{GS}$  igual a 4 V, segundo o método descrito no item 2.6.11.

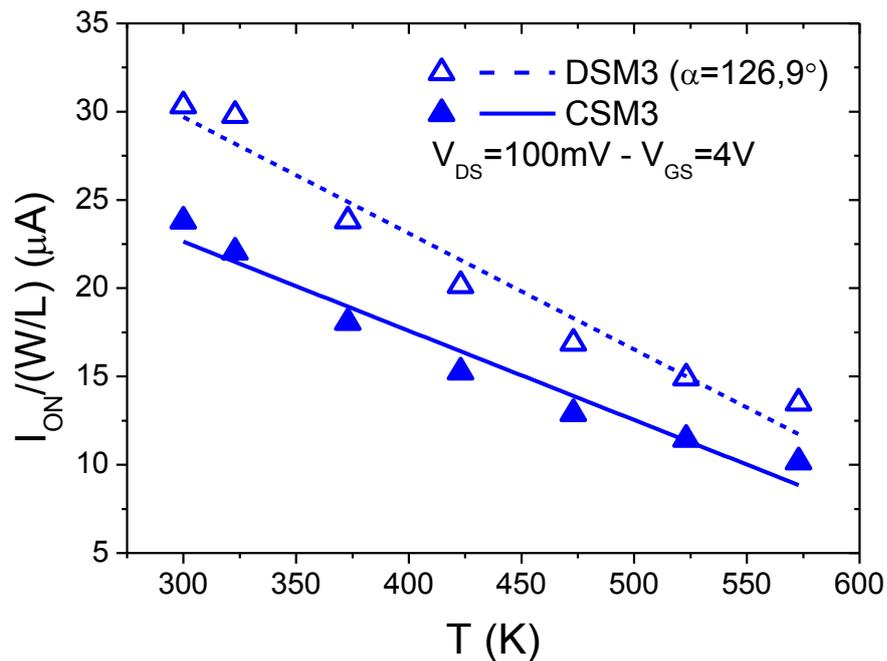
Figura 3.29 - Os gráficos das correntes  $I_{ON}/(W/L)$  dos SOI MOSFETs do tipo Diamante com  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus respectivos CSMs equivalentes em função da temperatura



(a)



(b)



(c)

Fonte: Autor

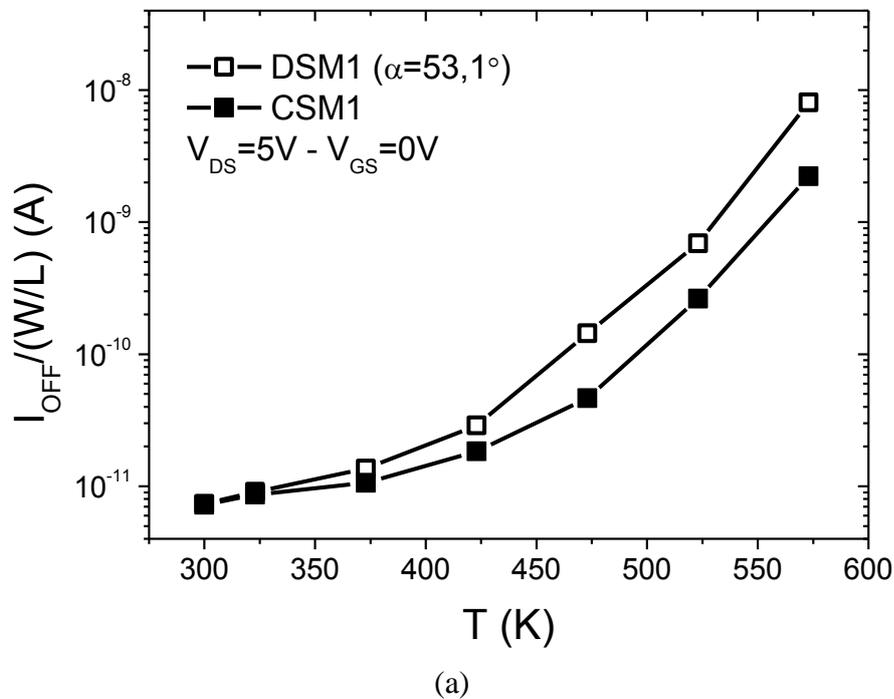
Analisando a Figura 3.29, observa-se que a corrente de dreno de estado ligado reduz com o aumento da temperatura para todos os transistores, devido a sua dependência com a mobilidade dos portadores livres, que por sua vez varia em função da temperatura que segue uma relação proporcional a  $T^{-3/2}$  (vide item 2.5.5) (STREETMAN; BANERJEE, 2000); (CALLISTER; RETHWISCH, 2012).

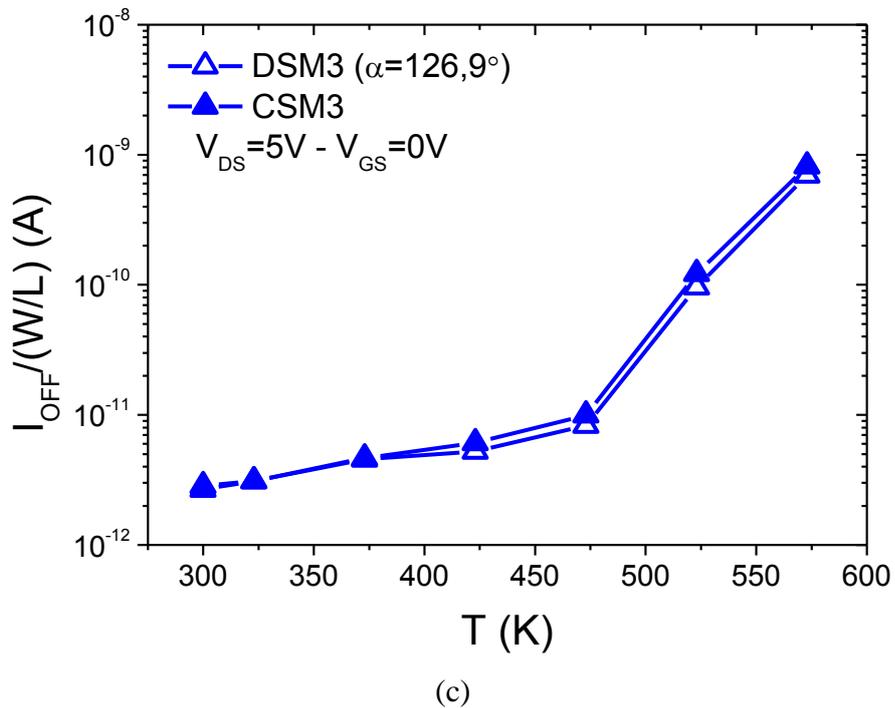
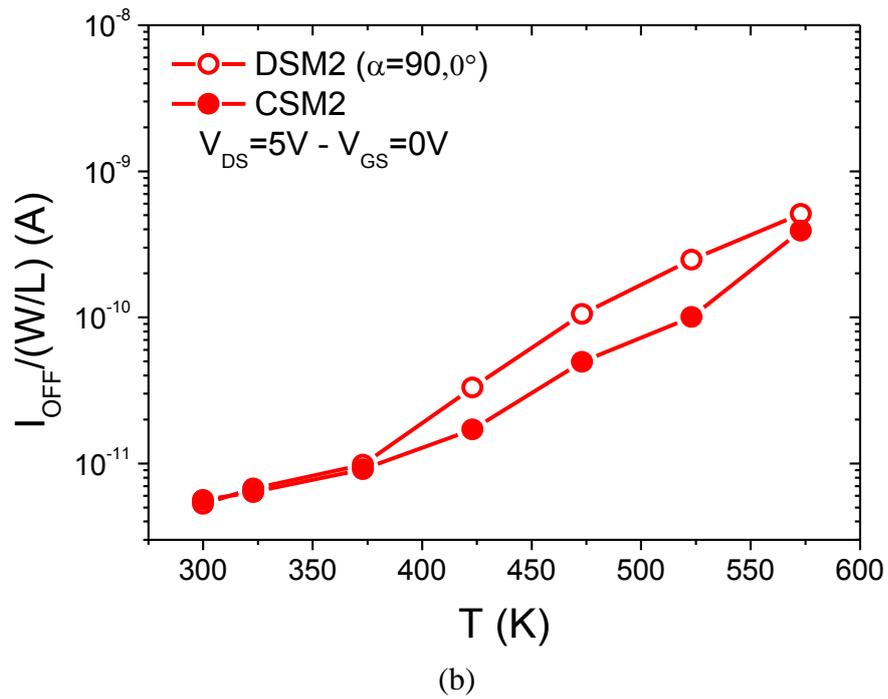
Os valores de  $I_{ON}$  para os DSMs sempre resultaram em valores maiores (aproximadamente 145%, 71% e 27% para temperatura igual a 300 K e 170%, 51% e 33% para temperatura igual a 573 K, considerando os ângulos  $\alpha$  iguais a 53,1°, 90,0° e 126,9°, respectivamente) do que as encontradas em seus respectivos CSMs equivalentes, devido, principalmente, a presença do efeito LCE, que potencializa a corrente de dreno, além da presença do efeito PAMDLE.

### 3.2.13 Corrente de dreno de estado desligado

A Figura 3.30 mostra os gráficos dos valores de  $I_{OFF}/(W/L)$  dos DSMs, considerando os três ângulos  $\alpha$ , e dos seus respectivos CSMs equivalentes em função da temperatura. As correntes de dreno de estado desligado foram extraídas para  $V_{DS}$  igual a 5 V e  $V_{GS}$  igual 0 V (região de corte), conforme o método de extração descrito no item 2.6.12.

Figura 3.30 - Os gráficos das correntes  $I_{OFF}/(W/L)$  dos SOI MOSFETs do tipo Diamante com  $\alpha$  igual a 53,1° (a),  $\alpha$  igual a 90,0° (b) e  $\alpha$  igual a 126,9° (c) e dos seus respectivos CSMs equivalentes em função da temperatura





Fonte: Autor

Observando a Figura 3.30 nota-se que  $I_{OFF}$  aumenta à medida que a temperatura aumenta, como esperado (item 2.6.12). O DSM com  $\alpha$  igual a  $126,9^\circ$  e seu CSM equivalente apresentaram valores similares de  $I_{OFF}$  em todas as temperaturas, devido à proximidade da geometria de porta deste DSM em uma geometria retangular, apesar de o DSM possuir um

campo elétrico longitudinal maior (efeito LCE) e um perímetro de junção pn maior, ou seja, 13,42  $\mu\text{m}$  contra 12  $\mu\text{m}$  do CSM, conseqüentemente uma maior área de junção metalúrgica pn da interface dreno/canal, para a mesma espessura da profundidade da junção metalúrgica que é igual ao  $t_{\text{si}}$ , conforme a Tabela 3.1 e considerando a mesma área de porta, o mesmo  $W$  e as mesmas condições de polarização.

Os DSMs com  $\alpha$  igual a 53,1° e  $\alpha$  igual a 90,0° e seus respectivos CSMs equivalentes apresentaram valores similares de  $I_{\text{OFF}}$  para temperaturas entre 300 K e 373 K, evidenciando a predominância da corrente de geração. Acima desta faixa de temperatura, a estrutura DSM sempre apresentou valores de  $I_{\text{OFF}}$  maiores (aproximadamente 28% e 7% para temperatura igual a 373 K e 260% e 31% para temperatura igual a 573 K, considerando os ângulos  $\alpha$  iguais a 53,1° e 90,0°, respectivamente) do que os encontrados em CSM equivalentes, evidenciando que  $I_{\text{OFF}}$  segue a variação de  $n_i^2$ .

Nestes dois casos o DSM possui uma área junção pn na interface dreno/canal e um campo elétrico longitudinal (efeito LCE, que aumenta a velocidade média de deriva dos portadores gerados pela energia térmica ( $n_i$ )) maior do que aquele encontrado em seu respectivo CSM equivalente, o que traz um aumento em  $I_{\text{OFF}}$ . O perímetro da junção pn para o DSM com  $\alpha$  igual a 53,1° é 26,83  $\mu\text{m}$  e para  $\alpha$  igual a 90,0° é 16,97  $\mu\text{m}$ , que são maiores do que o perímetro da junção pn dos seus convencionais equivalentes que são de 12  $\mu\text{m}$ , resultando numa área de junção pn maior, conforme a Tabela 3.1.

Estes resultados mostram que a corrente de dreno de estado desligado é essencialmente uma corrente de fuga de dreno ( $I_{\text{LEAK}}$ ), pois apresentou o mesmo comportamento, como foi descrito no item 3.2.3.

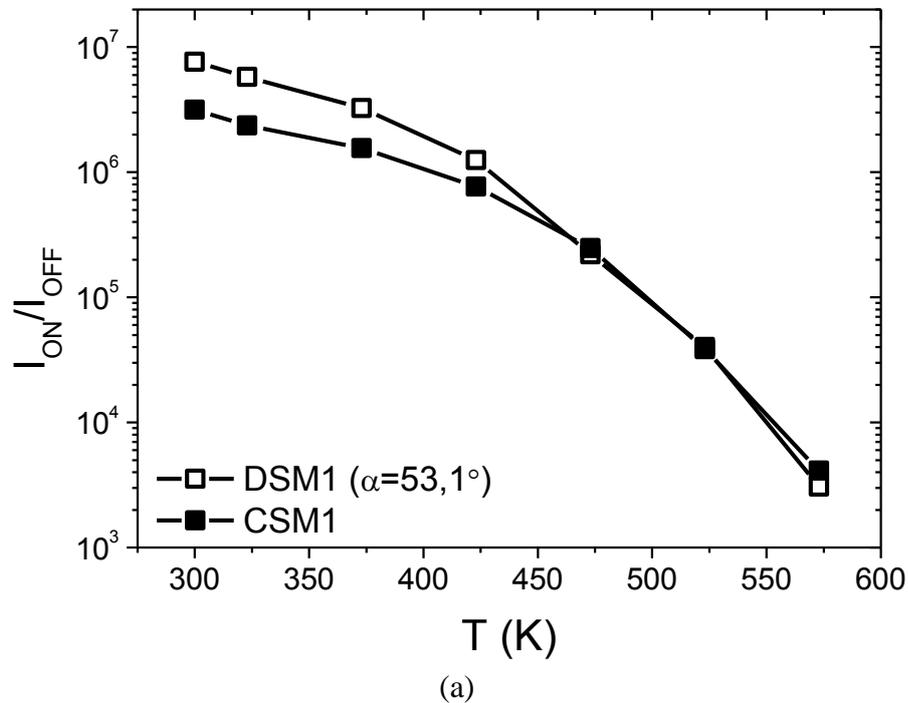
Mas pode-se dizer que o DSM não traz nenhum prejuízo em termos de  $I_{\text{OFF}}$ , pois seus valores estão na mesma ordem de grandeza do que o seu CSM equivalente. Por exemplo, considerando o DMS com  $\alpha$  igual a 53,1° em temperatura de 573 K, sua corrente de dreno de estado desligado foi de 8 nA enquanto o seu CSM equivalente apresentou uma corrente de dreno de estado desligado de 2 nA. Portanto o SOI MOSFET do tipo Diamante, principalmente para  $\alpha$  igual a 53,1° e 90,0°, pode ser uma boa alternativa para ser usados em dispositivos móveis, como celulares e tablets (HIRAOKA; MATSUMOTO *et al.*, 1998).

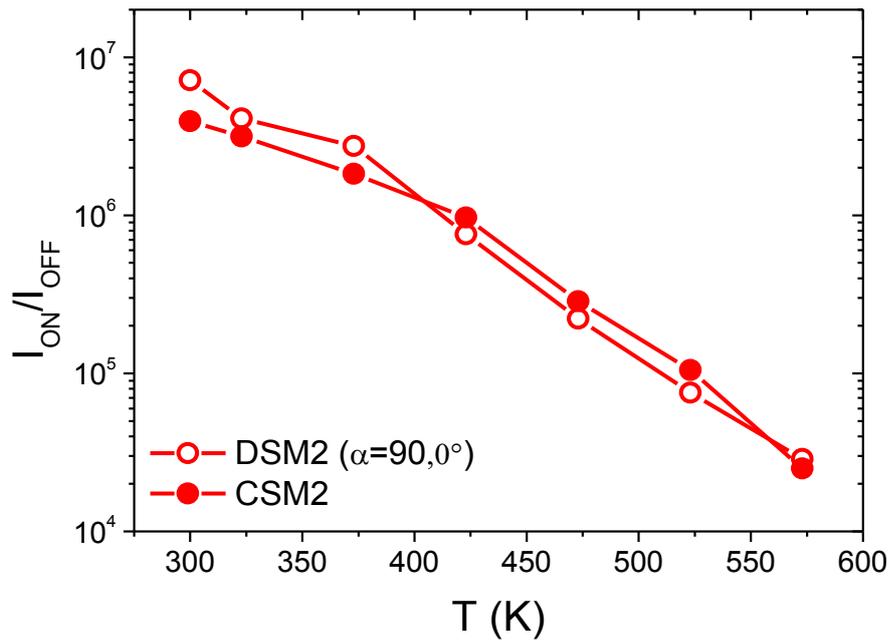
### 3.2.14 Razão $I_{\text{ON}}/I_{\text{OFF}}$

A Figura 3.31 apresenta as razões  $I_{\text{ON}}/I_{\text{OFF}}$ , em escala logarítmica, dos DSMs, com os

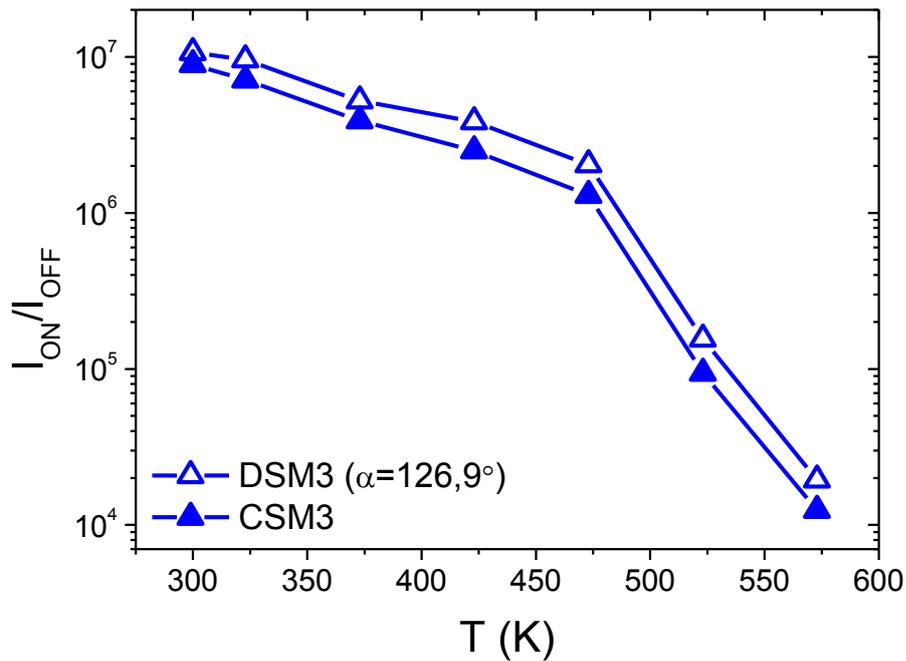
três ângulos  $\alpha$  diferentes, e dos seus correspondentes CSMs equivalentes em função da temperatura. A corrente de dreno de estado ligado foi obtida considerando  $V_{DS}$  igual a 100 mV e  $V_{GS}$  igual a 4 V (item 3.2.12), quando o SOI MOSFET está operando como uma chave fechada (região de triodo), e a corrente de dreno de estado desligado foi obtida considerando  $V_{DS}$  igual a 5 V e  $V_{GS}$  igual a 0 V (item 3.2.13), quando o transistor está operando com uma chave aberta (região de corte).

Figura 3.31 - Os gráficos das razões  $I_{ON}/I_{OFF}$  dos SOI MOSFETs do tipo Diamante com  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus respectivos CSMs equivalentes em função da temperatura





(b)



(c)

Fonte: Autor

A partir da Figura 3.31, verifica-se que à medida que a temperatura aumenta a razão  $I_{ON}/I_{OFF}$  reduz como descrito pela literatura (RUDENKO; LYSENKO *et al.*, 1999) e no item 2.6.13. Quando consideramos o ângulo  $\alpha$  igual a  $53,1^\circ$  a razão  $I_{ON}/I_{OFF}$  do DSM é maior do que a encontrada em seu CSM equivalente da temperatura ambiente até a temperatura 423 K (com uma porcentagem de 140% e 63% maior para T igual a 300 K e T igual a 423 K,

respectivamente) e acima deste range temperatura os transistores apresentam valores similares da razão  $I_{ON}/I_{OFF}$ . Para o ângulo  $\alpha$  igual a  $90,0^\circ$  a razão  $I_{ON}/I_{OFF}$  do DSM é maior do que a encontrada em seu CSM homólogo da temperatura ambiente até a temperatura 373 K (com uma porcentagem de 82% e 50% maior para T igual a 300 K e T igual a 373 K, respectivamente) e acima de 373 K ambos os transistores apresentam valores parecidos da razão  $I_{ON}/I_{OFF}$ .

O ganho proporcionado pela estrutura DSM no parâmetro  $I_{ON}/I_{OFF}$ , quando se considera  $\alpha$  igual a  $53,1^\circ$ , entre a temperatura de 300 K e 423 K, e o ângulo de  $\alpha$   $90,0^\circ$  entre a temperatura de 300 K e 373 K, é devido aos altos valores de  $I_{ON}$  proporcionado pelos efeitos LCE e PAMDLE, pois nestas duas faixas de temperatura as correntes  $I_{OFF}$  dos transistores não influenciam tanto a razão  $I_{ON}/I_{OFF}$ , pois a corrente  $I_{OFF}$  até a temperatura de 423 K varia em função de  $n_i$  (corrente de geração). Mas para temperaturas acima destes dois range de temperatura, a corrente  $I_{OFF}$  do DSM é maior do que a do seu CSM equivalente (item 3.2.13), e começa a influenciar na razão  $I_{ON}/I_{OFF}$ , o que em sua redução. Mas devido aos maiores valores da corrente  $I_{ON}$  proporcionado pela estrutura diamante, haverá uma compensação da redução da razão  $I_{ON}/I_{OFF}$ , o que resulta em valores similares com seu respectivo CSM equivalente até a temperatura de 573 K, como ilustra a Figura 3.31 (a) e a Figura 3.31 (b).

Para o DSM com ângulo  $\alpha$  igual a  $126,9^\circ$ , a razão  $I_{ON}/I_{OFF}$  é sempre maior (aproximadamente 19% para T igual a 300 K e 57% para T igual a 573 K) do que os encontrados em CSM equivalente, considerando a mesma área de porta, o mesmo W e as mesmas condições de polarização. Este ganho é devido aos maiores valores de  $I_{ON}$  (item 3.2.12) proporcionado pelos efeitos LCE e PAMDLE que aumentam a velocidade média de deriva do portador livre na região de canal, e pelo fato de a corrente  $I_{OFF}$  apresentar valores similares para ambos os transistores em função da temperatura (item 3.2.13).

### 3.3 COMPARATIVO EXPERIMENTAL ENTRE OS SOI MOSFETs DO TIPO OCTO E OS SEUS RESPECTIVOS CONVENCIONAIS SOI MOSFETs EQUIVALENTES

Na seção 3.2 foi apresentado o comparativo experimental entre os DSMs e os seus respectivos CSMs equivalentes, com relação às principais figuras de mérito em termos de parâmetros analógicos e digitais em função das altas temperaturas. Agora, nesta seção, é apresentado o comparativo experimental entre os OSMs e os seus respectivos CSMs equivalentes, onde todos os dispositivos foram submetidos às altas temperaturas, a fim de

estudar as vantagens e desvantagens que a estrutura OSM proporciona em termos dos principais parâmetros analógicos e digitais em relação ao seu CSM equivalente.

As principais características dimensionais dos OSMs e seus respectivos convencionais equivalentes utilizados neste trabalho estão indicados na Tabela 3.13, lembrando-se que o comprimento de canal do OSM usado para normalizar os parâmetros é igual a  $(b+2B)/3$ , que corresponde ao L de um CSM, com a mesma área de porta do OSM. O fator de corte, c, dos três OSMs é igual a 0,25.

Tabela 3.13 - Dimensões dos OSMs e seus CSMs equivalentes utilizados neste trabalho com  $W=30\ \mu\text{m}$  e  $b=5\ \mu\text{m}$

	<i>SOI MOSFETs</i>					
	<i>OSM1</i>	<i>CSM4</i>	<i>OSM2</i>	<i>CSM5</i>	<i>OSM3</i>	<i>CSM6</i>
<b>Localização do transistor no mapa do chip (Figura 3.1)</b>	03	18	02	05	01	04
$\alpha$ (°)	53,1	-	90,0	-	126,9	-
<b>B</b> ( $\mu\text{m}$ )	50,0	-	27,5	-	16,5	-
<b>L<sub>EQ</sub>*</b> ( $\mu\text{m}$ )	35,0	-	20,0	-	12,7	-
<b>L<sub>ef,OSM</sub></b> ( $\mu\text{m}$ ) <b>(PAMDLE)</b>	23,0	-	15,20	-	10,75	-
<b>(W/L)<sub>OSM</sub></b>	0,85	-	1,5	-	2,36	-
<b>Fator de corte c</b>	0,25	-	0,25	-	0,25	-
<b>Perímetro da junção pn</b> <b>(<math>\mu\text{m}</math>)</b>	57,8	30,0	39,3	30,0	32,7	30,0
<b>Área da junção pn</b> <b>(A<sub>pn</sub>) da interface</b> <b>dreno/canal (<math>\mu\text{m}^2</math>)</b>	4,62	2,4	3,14	2,4	2,62	2,4
<b>(W/L)<sub>CSM</sub></b>	-	1,09	-	1,85	-	2,79
<b>L</b> ( $\mu\text{m}$ )	-	27,5	-	16,2	-	10,8
<b>A<sub>G</sub></b> ( $\mu\text{m}^2$ )	994,0	825,0	572,0	487,5	363,0	324,0

\* L<sub>EQ</sub> corresponde ao L do CSM equivalente que apresenta a mesma área de porta do OSM

Fonte: Autor

Para este estudo, são utilizados três pares de SOI MOSFETs, onde:

- Um OSM com  $\alpha$  igual a 53,1° (OSM1) e seu correspondente CSM equivalente (CSM4), que apresentam a mesma largura de canal de 30  $\mu\text{m}$ . O comprimento de canal (L) do OSM usado para as comparações é igual a 35  $\mu\text{m}$ , sendo este valor correspondente ao L  $[(b+2B)/3]$  de um CSM equivalente com a mesma área de porta (A<sub>G</sub>) do OSM. Porém o L<sub>ef</sub> do OSM, calculado pela equação 2.3 é

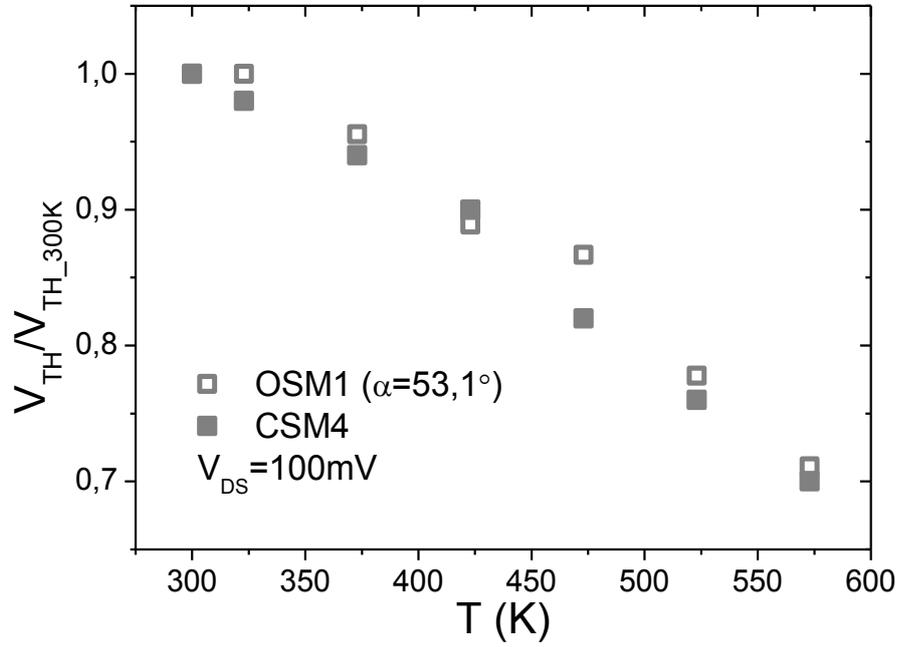
14% menor do que o do CSM equivalente com a mesma  $A_G$ , devido ao efeito PAMDLE;

- b) Um OSM com  $\alpha$  igual a  $90,0^\circ$  (OSM2) e seu correspondente CSM equivalente (CSM5), que apresentam a mesma largura de canal de  $30 \mu\text{m}$ . O valor de  $L$  do OSM é igual a  $20 \mu\text{m}$ , que corresponde ao  $L [(b+2B)/3]$  de um CSM equivalente apresenta a mesma  $A_G$  do OSM para ser usado nas comparações. Observando que o  $L_{\text{ef}}$  do OSM é 7% menor do que o do CSM equivalente com a mesma  $A_G$ , devido ao efeito PAMDLE;
- c) Um OSM com  $\alpha$  igual a  $126,0^\circ$  (OSM3) e seu correspondente CSM equivalente (CSM6), que apresentam a mesma largura de canal de  $30 \mu\text{m}$ . O comprimento  $L$  do OSM é considerado igual a  $12,7 \mu\text{m}$ , que corresponde ao  $L [(b+2B)/3]$  de um CSM equivalente com a mesma  $A_G$  do OSM. Observando que o  $L_{\text{ef}}$  do OSM é similar ao seu CSM equivalente com a mesma  $A_G$ , onde neste caso o efeito PAMDLE é pouco atuante.

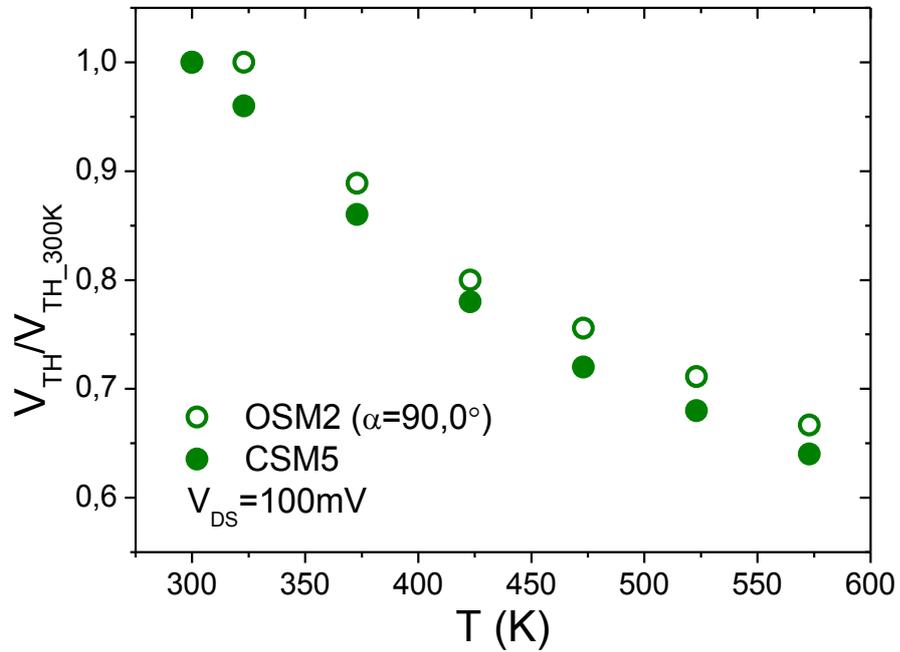
### 3.3.1 Tensão de limiar

A tensão de limiar para os SOI MOSFETs do tipo OCTO e dos seus respectivos SOI MOSFETs equivalentes foram extraídos pelo método da segunda derivada, como descrito no item 2.6.1. A Figura 3.32 ilustra as tensões  $V_{\text{TH}}$ , normalizadas pela tensão de limiar na temperatura ambiente ( $V_{\text{TH}_{300\text{K}}}$  que é igual a  $0,5 \text{ V}$ ) dos OSMs e dos seus respectivos CSMs equivalentes em função da temperatura, para  $V_{\text{DS}}$  igual a  $100 \text{ mV}$ .

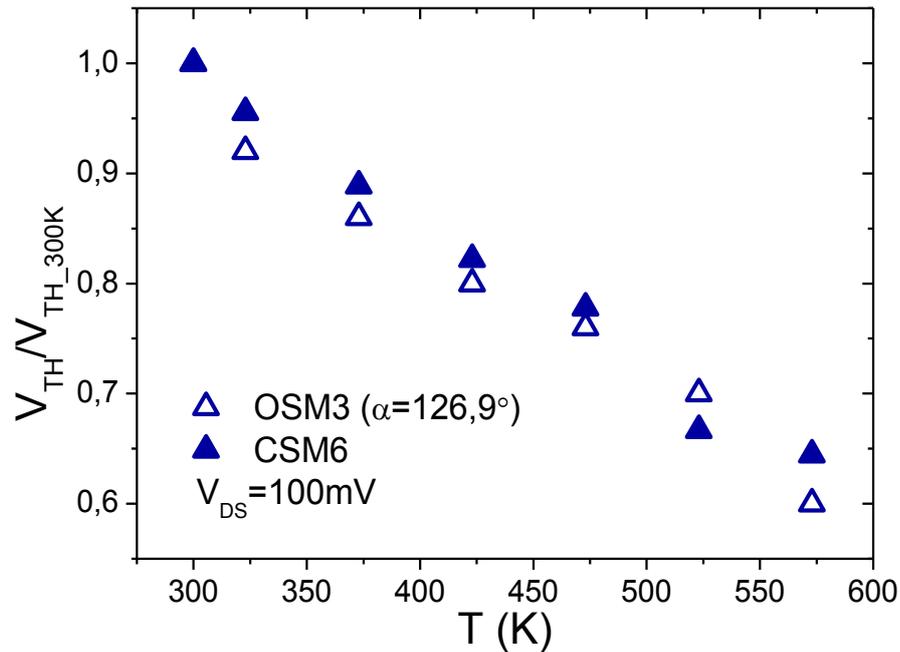
Figura 3.32 - Os gráficos de  $V_{TH}/V_{TH,300K}$  dos SOI MOSFETs do tipo OCTO em função da temperatura para o ângulo  $\alpha$  igual a  $53,1^\circ$  (a),  $90,0^\circ$  (b) e  $126,9^\circ$  (c), com seus respectivos SOI MOSFETs do tipo Convencional equivalentes



(a)



(b)



(c)

Fonte: Autor

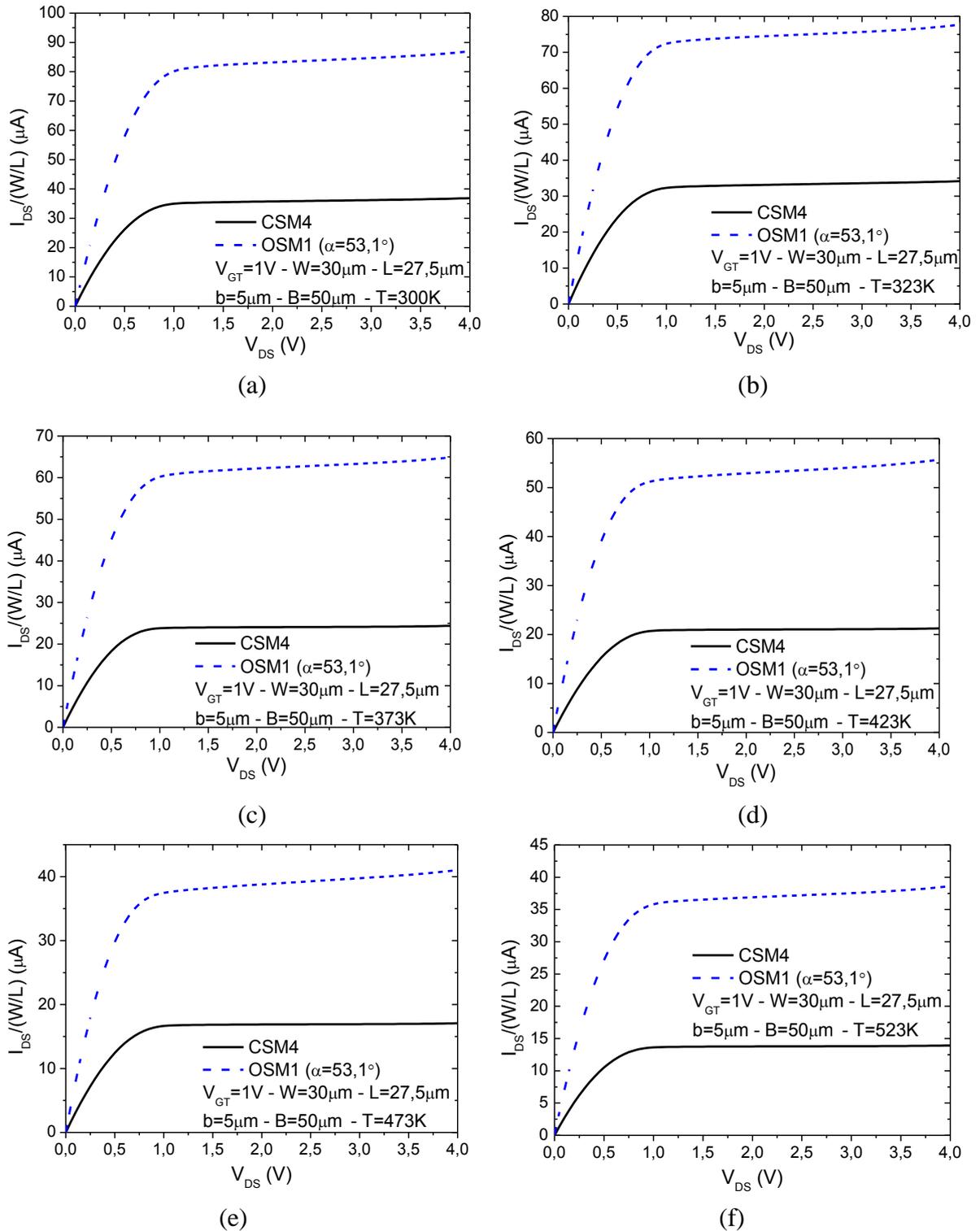
As tensões de limiar de todos os SOI MOSFETs reduzem com o aumento da temperatura, como explicado no item 2.6.1, e apresentando uma variação  $dV_{TH}/dT$  aproximadamente linear. E os valores de  $V_{TH}$  são praticamente iguais entre os OSMs e os seus CSMs equivalentes para os três comparativos. As diferenças máximas encontradas para os OSMs em relação aos seus CSM equivalentes foram de 11%, 7% e 11%, considerando o ângulo  $\alpha$  igual a  $53,1^\circ$ ,  $90,0^\circ$  e  $126,9^\circ$ , respectivamente.

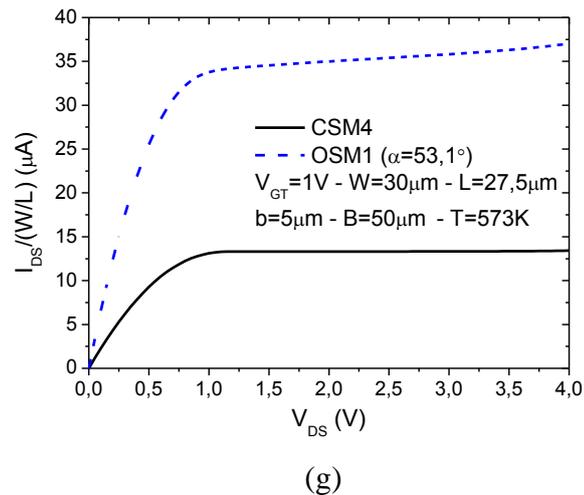
Além disso, a variação da tensão de limiar com o aumento da temperatura (de 300 K a 573 K) foi de 34% para os três comparativos.

### 3.3.2 Corrente $I_{DS}$ em função de $V_{GT}$ e $V_{DS}$

Na Figura 3.33 estão ilustradas as correntes de  $I_{DS}$  normalizadas pela razão  $(W/L)$  do OSM1 e do seu CSM equivalente, conforme a Tabela 3.13, em função de  $V_{DS}$  e da temperatura, para a sobretensão de porta ( $V_{GT}=V_{GS}-V_{TH}$ ) igual a 1 V. Lembrando que o fator de corte do SOI MOSFET do tipo OCTO, usado para todas as medidas em altas temperaturas, foi o de  $c$  igual a 0,25.

Figura 3.33 - Os gráficos das correntes de dreno normalizadas pela razão (W/L) do OSM1 ( $\alpha$  igual a  $53,1^\circ$ ) e do seu CSM equivalente, em função de  $V_{DS}$ , com  $V_{GT}$  igual a 1 V, para as temperaturas de 300 K (a), 323 K (b), 373 K (c), 423 K (d), 473 K (e), 523 K (f) e 573 K (g)





Fonte: Autor

Assim como no dispositivo DSM, o layout do OCTO desenvolvido em tecnologia SOI MOSFET proporciona melhorias no desempenho elétrico do transistor (item 2.3). Observando os resultados encontrados na Figura 3.33, a corrente de dreno apresentado pelo SOI MOSFET do tipo OCTO para  $\alpha$  igual a 53,1°, tanto na região de triodo quanto na região de saturação, é sempre maior que a observada em seu convencional equivalente, para todas as temperaturas em que os transistores foram submetidos.

A Tabela 3.14 mostra o ganho de corrente de dreno proporcionado pelo OSM1, em relação ao seu CSM equivalente em função da temperatura.

Tabela 3.14 - Tabela dos valores de  $I_{DS}/(W/L)$  do OSM1 e do seu CSM equivalente em função da temperatura, para  $V_{GT}$  igual a 1 V

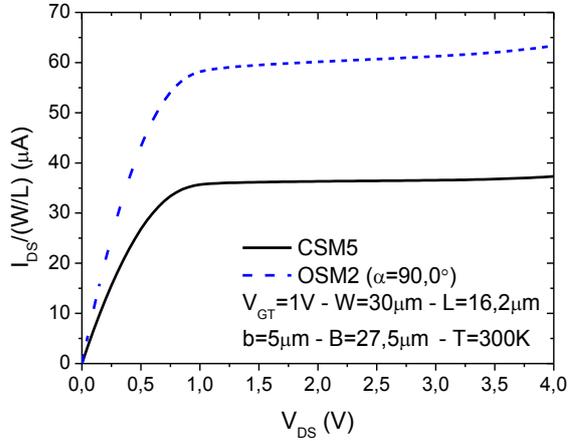
$I_{DS}/(W/L)$ para $V_{DS}$ igual a 2 V ( $\mu A$ )							
Temperatura (K)	300	323	373	423	473	523	573
<b>OSM1</b>	83,18	74,48	62,20	52,90	38,79	36,89	34,00
<b>CSM4</b>	35,74	33,13	24,07	21,01	16,88	13,77	13,31
<b>Ganho</b>	<b>133%</b>	<b>125%</b>	<b>158%</b>	<b>152%</b>	<b>130%</b>	<b>168%</b>	<b>155%</b>

Fonte: Autor

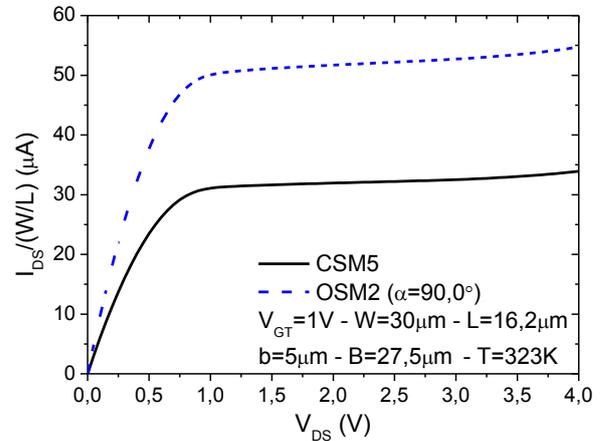
Quando os transistores foram polarizados com  $V_{GT}$  igual a 1 V, o OSM1 apresentou um ganho de 133% para T igual a 300 K e 155% para T igual a 573 K, quando comparado com o seu equivalente convencional, conforme a Tabela 3.14.

A Figura 3.34 ilustra os valores de  $I_{DS}$  normalizadas pela razão (W/L) do OSM2 e do seu CSM equivalente, conforme a Tabela 3.13, em função de  $V_{DS}$  e da temperatura, com  $V_{GT}$  igual a 1 V.

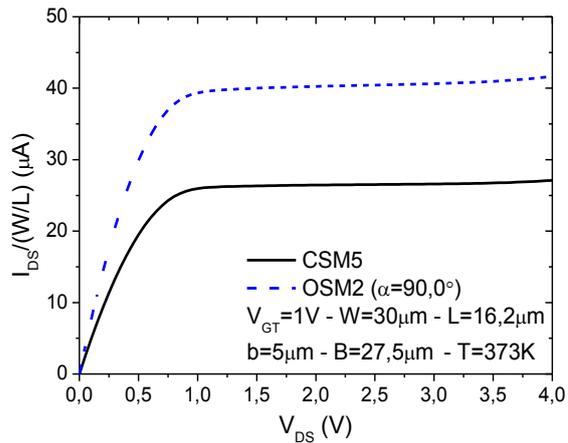
Figura 3.34 - Os gráficos das correntes de dreno normalizadas pela razão (W/L) entre do OSM2 ( $\alpha$  igual a  $90,0^\circ$ ) e o seu CSM equivalente, em função de  $V_{DS}$ , com  $V_{GT}$  igual a 1 V, para as temperaturas de 300 K (a), 323 K (b), 373 K (c), 423 K (d), 473 K (e), 523 K (f) e 573 K (g)



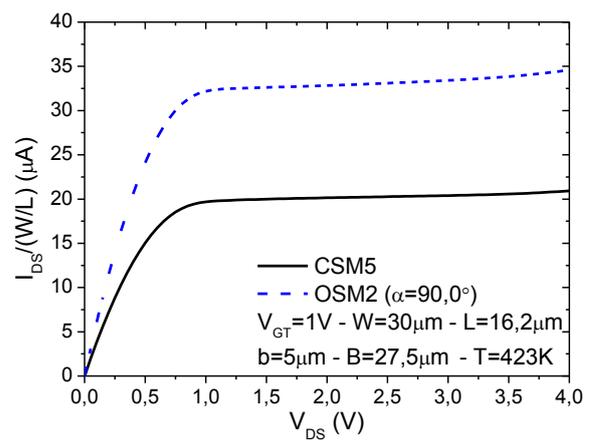
(a)



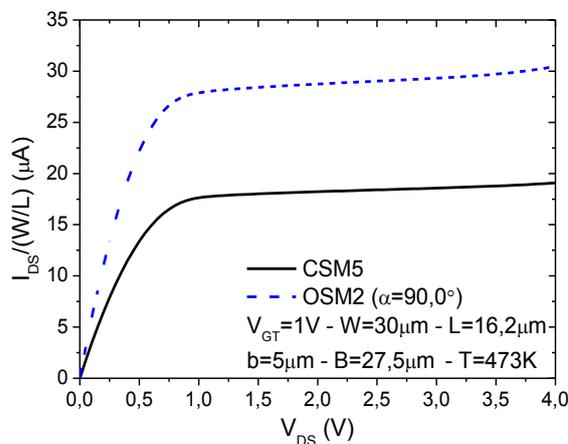
(b)



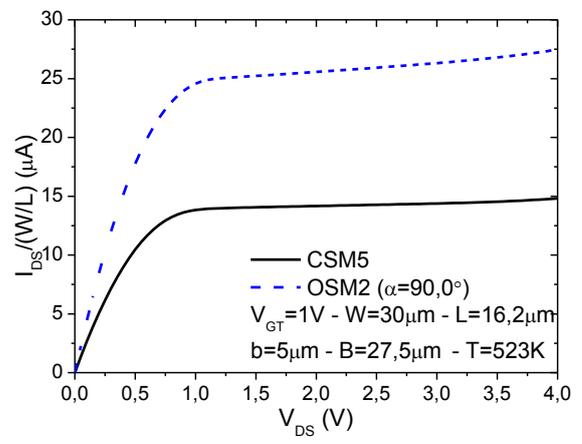
(c)



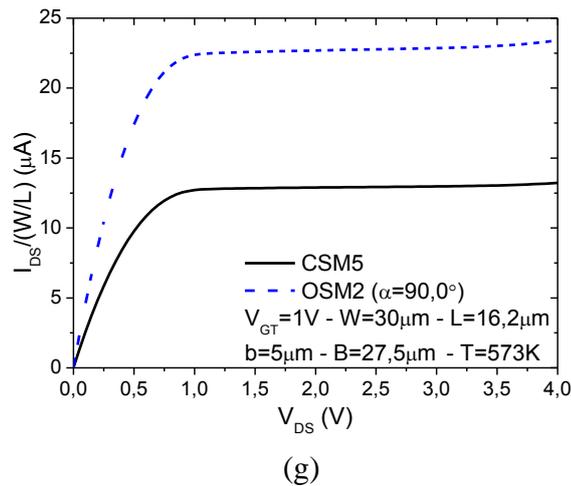
(d)



(e)



(f)



Fonte: Autor

Quando se compara a Figura 3.33 com a Figura 3.34 é notório que quando o ângulo  $\alpha$  do OSM aumenta, o ganho proporcionado por esta estrutura na corrente entre dreno e fonte diminui, devido a menor intensidade dos efeitos LCE e PAMDLE, assim como ocorreu quando se comparou a variação do ângulo  $\alpha$  no DSM, no item 3.2.2. Para ficar mais claro, a Tabela 3.15 mostra os valores de  $I_{DS}$  normalizada para  $V_{DS}$  igual a 1 V e compara com os valores da Tabela 3.14.

Tabela 3.15 - Tabela dos valores de  $I_{DS}/(W/L)$  do OSM2 ( $\alpha$  igual a  $90,0^\circ$ ) e do seu CSM equivalente (CSM5) em função da temperatura, para  $V_{GT}$  igual a 1V, e também a redução de  $I_{DS}/(W/L)$  do OSM2 em relação ao OSM1

	$I_{DS}/(W/L)$ para $V_{DS}$ igual a 2 V ( $\mu A$ )						
Temperatura (K)	300	323	373	423	473	523	573
OSM2	60,14	51,70	40,25	32,83	28,74	25,57	22,69
CSM5	36,32	31,94	26,45	20,14	18,22	14,17	12,89
<b>Ganho</b>	<b>66%</b>	<b>62%</b>	<b>52%</b>	<b>63%</b>	<b>58%</b>	<b>81%</b>	<b>76%</b>
<b>Redução da <math>I_{DS}/(W/L)</math> do OSM2 em relação ao OSM1</b>	<b>28%</b>	<b>31%</b>	<b>35%</b>	<b>38%</b>	<b>26%</b>	<b>31%</b>	<b>33%</b>

Fonte: Autor

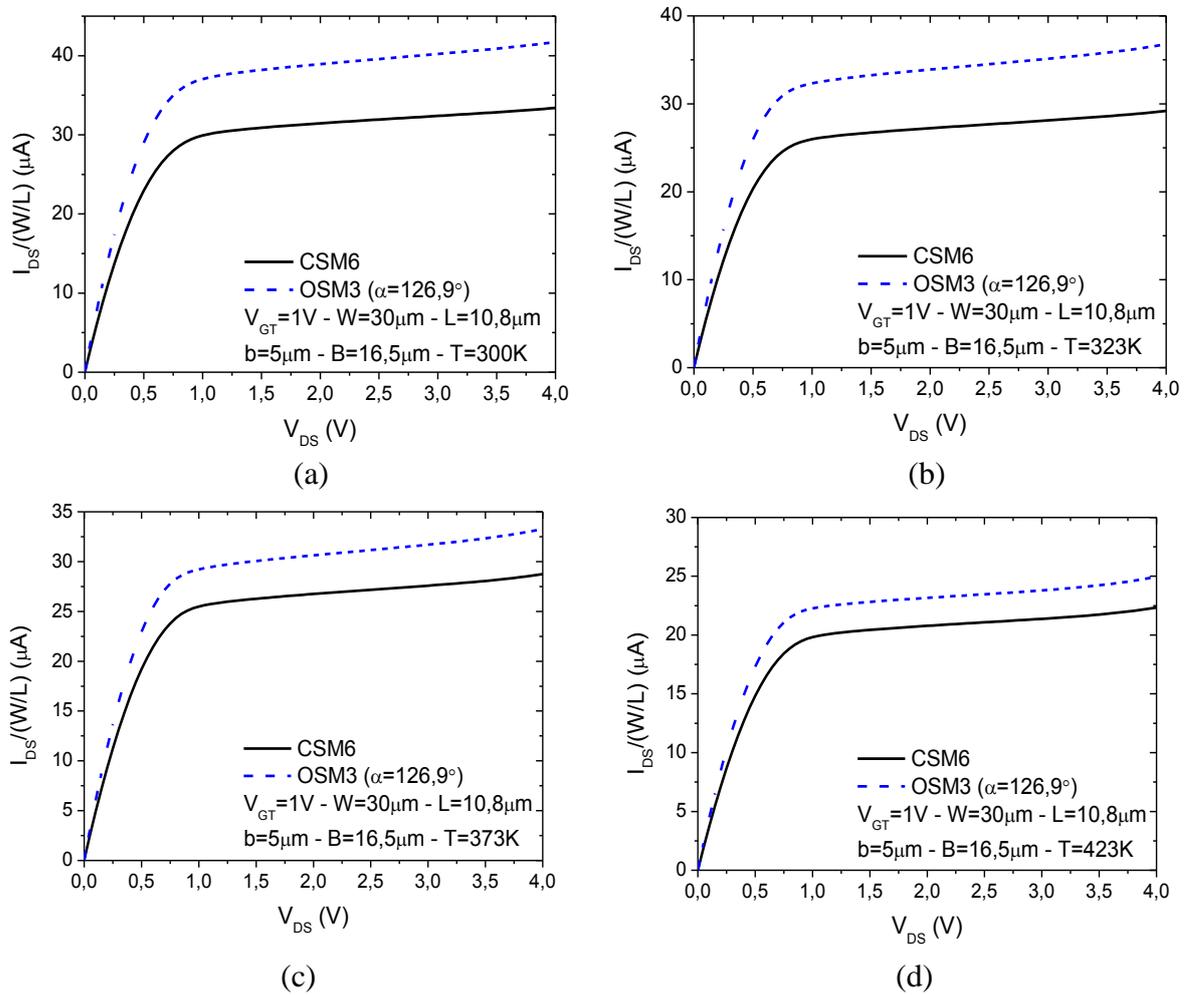
Quando se analisa a Tabela 3.15 observar-se que,  $I_{DS}$  diminui com o aumento da temperatura em ambos os transistores, como esperado.

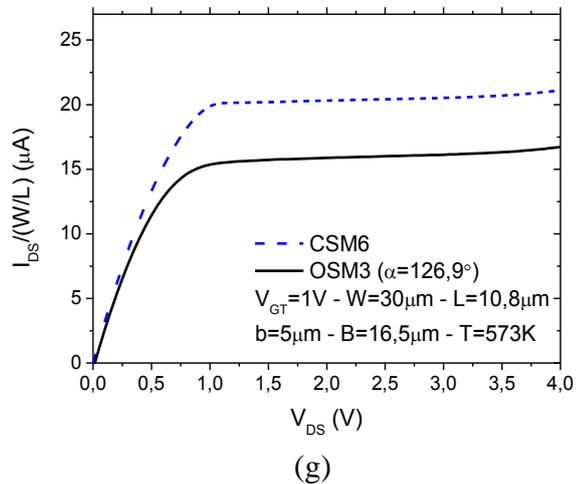
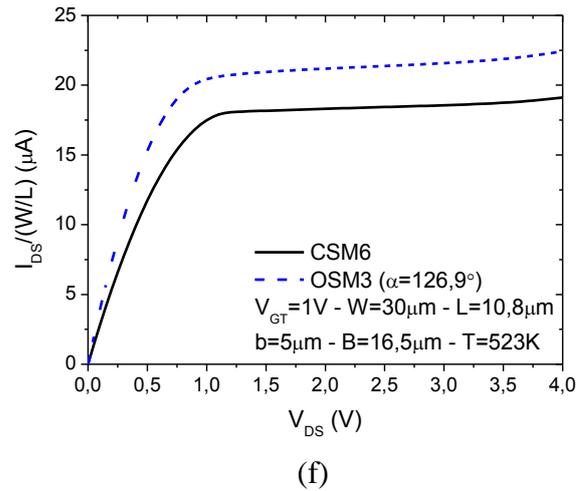
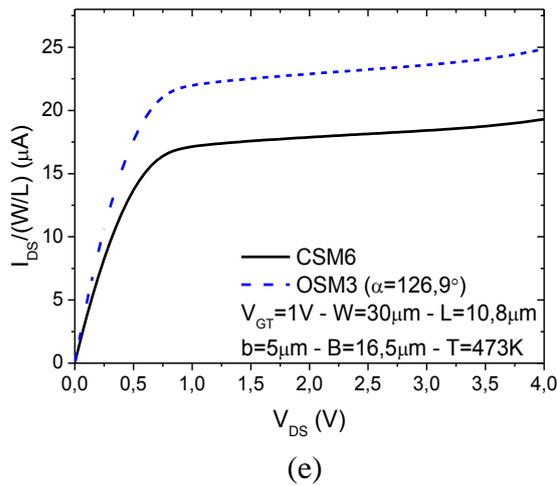
Sempre que o ângulo  $\alpha$  passa de  $53,1^\circ$  para  $90,0^\circ$ , a tendência é que os efeitos LCE e PAMDLE diminuam de intensidade, causando uma redução da velocidade média dos portadores móveis na região de canal, e conseqüentemente numa redução de  $I_{DS}$ . Isso é exemplificado em um comparativo de  $I_{DS}/(W/L)$  mostrado na Tabela 3.15, onde se observa

uma redução de  $I_{DS}$  para todas as temperaturas em que os transistores foram submetidos, somente pelo fato de se aumentar o ângulo  $\alpha$ .

A Figura 3.35 mostra os valores de  $I_{DS}/(W/L)$  do OSM com ângulo  $\alpha$  igual a  $126,9^\circ$  e do seu CSM equivalente, em função da temperatura e de  $V_{DS}$ , considerando o valor de  $V_{GT}$  igual a 1 V.

Figura 3.35 - Os gráficos das correntes de dreno normalizadas pela razão (W/L) do OSM3 ( $\alpha$  igual a  $126,9^\circ$ ) e do seu CSM equivalente, em função de  $V_{DS}$ , com  $V_{GT}$  igual a 1 V, para as temperaturas de 300 K (a), 323 K (b), 373 K (c), 423 K (d), 473 K (e), 523 K (f) e 573 K (g)





Fonte: Autor

Na Figura 3.35 temos um OSM com  $\alpha$  igual a  $126,9^\circ$ , onde ele apresenta uma  $I_{DS}/(W/L)$  maior que a do seu CSM equivalente em todas as temperaturas. Mas, quando comparamos com os OSMs com ângulo  $\alpha$  menor, é possível observar a redução do ganho de corrente de dreno, devido à proximidade do ângulo  $\alpha$  de  $180^\circ$ .

A Tabela 3.16 mostrar o ganho na corrente de dreno do OSM3, além de mostrar a redução de  $I_{DS}$  influenciada pela alta temperatura e pelo aumento do ângulo  $\alpha$ , ou seja, de  $53,1^\circ$  para  $126,9^\circ$ .

Tabela 3.16 - Tabela dos valores de  $I_{DS}/(W/L)$  do OSM3 ( $\alpha$  igual a  $126,9^\circ$ ) e do seu CSM equivalente (CSM6) em função da temperatura, para  $V_{GT}$  igual a 1V, e também a redução de  $I_{DS}/(W/L)$  do OSM3 em relação ao OSM1

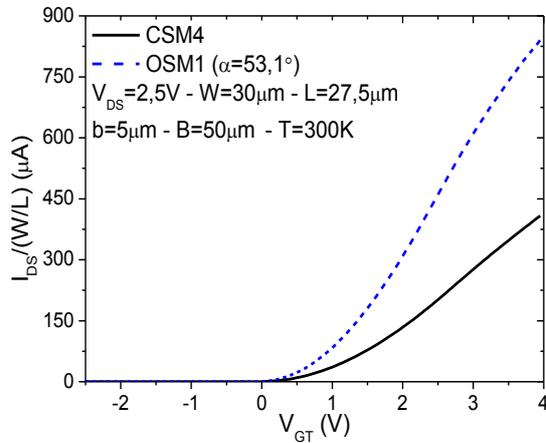
		$I_{DS}/(W/L)$ para $V_{DS}$ igual a 2V ( $\mu A$ )						
<b>Temperatura (K)</b>		300	323	373	423	473	523	573
<b>OSM3</b>		38,93	33,89	30,63	23,16	22,88	21,18	20,31
<b>CSM6</b>		31,45	27,23	26,75	20,78	17,88	17,31	15,87
<b>Ganho</b>		<b>24%</b>	<b>25%</b>	<b>15%</b>	<b>12%</b>	<b>28%</b>	<b>22%</b>	<b>28%</b>
<b>Redução da <math>I_{DS}/(W/L)</math> do OSM3 em relação ao OSM1</b>		<b>53%</b>	<b>55%</b>	<b>51%</b>	<b>56%</b>	<b>41%</b>	<b>43%</b>	<b>40%</b>

Fonte: Autor

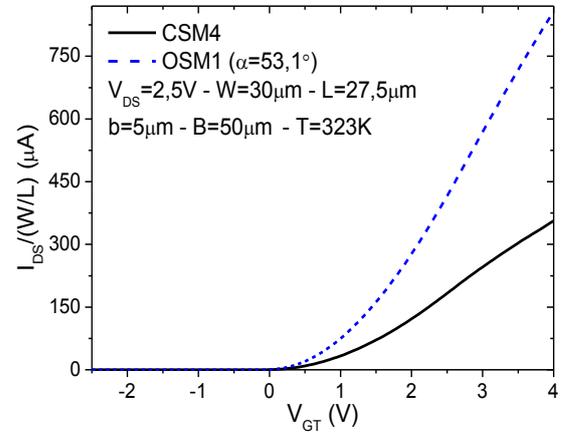
Os dados da Tabela 3.16, mostram que o ganho de corrente de dreno que o OSM proporciona diminui para  $\alpha$  igual a  $126,9^\circ$ , quando comparado com os ângulos de  $53,1^\circ$  e  $90,0^\circ$ , devido a sua proximidade de uma estrutura retangular, como indica a redução da  $I_{DS}/(W/L)$  em relação ao OSM com  $\alpha$  igual a  $53,1^\circ$ , que reduz, em média, pela metade. Mas como  $\alpha$  é igual a  $126,9^\circ$ , ainda o OSM tem um ganho de corrente de dreno considerável em relação ao seu CSM equivalente.

Igualmente como feito com o DSM, será apresentada a segunda curva importante para a caracterização elétrica de um SOI MOSFET, que é a curva de  $I_{DS}$  (normalizada pela razão  $W/L$ ) medida em função de  $V_{GT}$ , para valores de  $V_{DS}$  fixo. A Figura 3.36 mostra as correntes  $I_{DS}/(W/L)$  do OSM1 e do seu CSM equivalente em função de  $V_{GT}$ , para  $V_{DS}$  igual a 2,5 V, à medida que a temperatura aumenta.

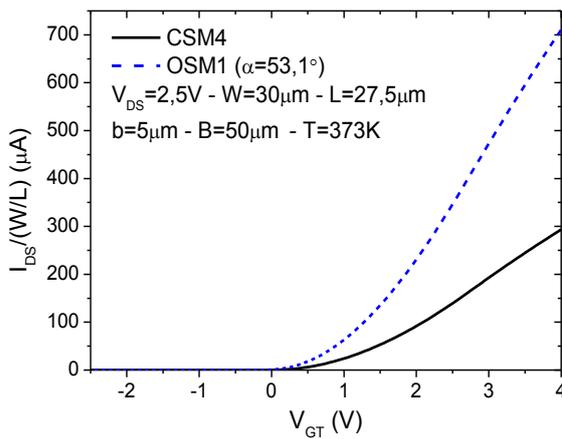
Figura 3.36 - Os gráficos das correntes de dreno normalizadas pela razão (W/L) do OSM1 ( $\alpha$  igual a  $53,1^\circ$ ) e o seu CSM equivalente, em função de  $V_{GT}$ , com  $V_{DS}$  igual a 2,5 V, para as temperaturas de 300K (a), 323K (b), 373K (c), 423K (d), 473K (e), 523K (f) e 573K (g)



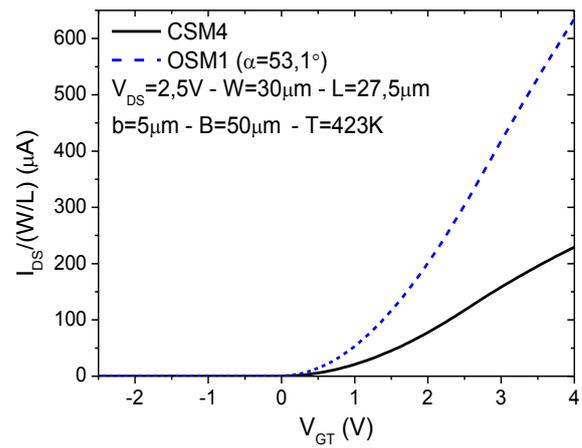
(a)



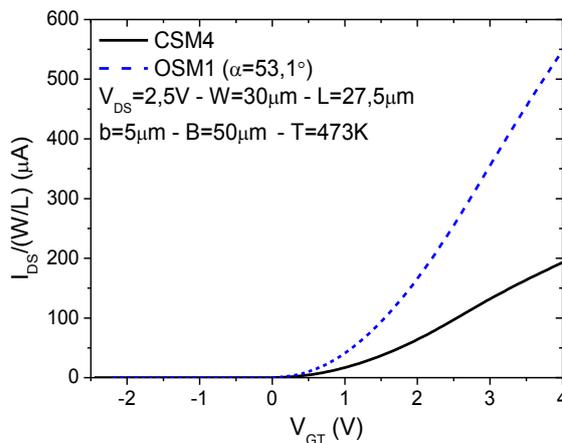
(b)



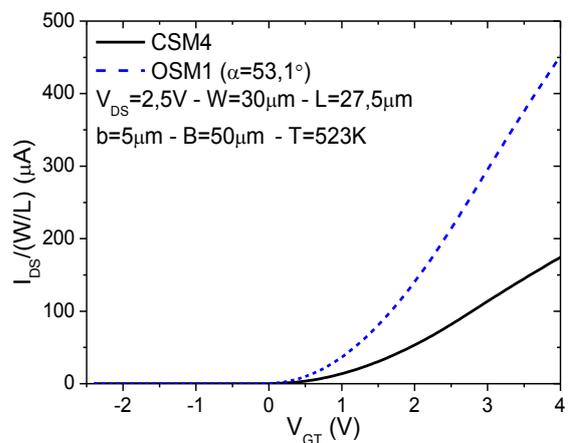
(c)



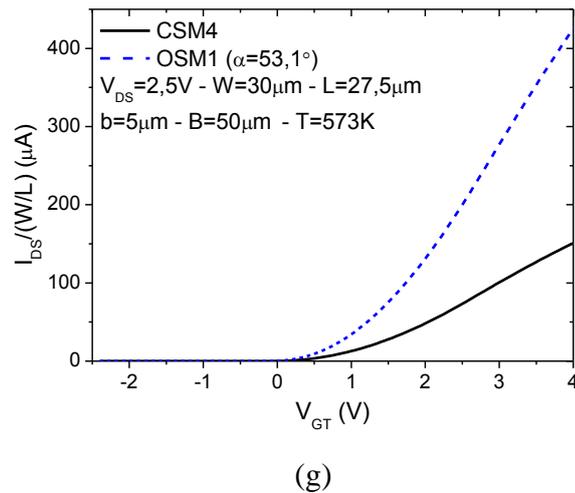
(d)



(e)



(f)



Fonte: Autor

Assim como ocorreu para o SOI MOSFET do tipo Diamante, o SOI MOSFET do tipo OCTO apresenta uma corrente de dreno maior que a encontrada em seu CSM equivalente em todas as temperaturas que ambos foram submetidos, considerando  $V_{DS}$  igual a 2,5 V, como ilustra a Figura 3.36. O ganho proporcionado pela estrutura OSM1 está explícito na Tabela 3.17, provando que os efeitos LCE e PAMDLE, que potencializam o desempenho elétrico do OSM, permanecem ativos em altas temperaturas. Para ambos os transistores a corrente de dreno decrementa à medida que a temperatura aumenta como ilustram tanto a Figura 3.36 quanto a Tabela 3.17, devido à redução da mobilidade dos portadores móveis na região do canal à medida que a temperatura aumenta.

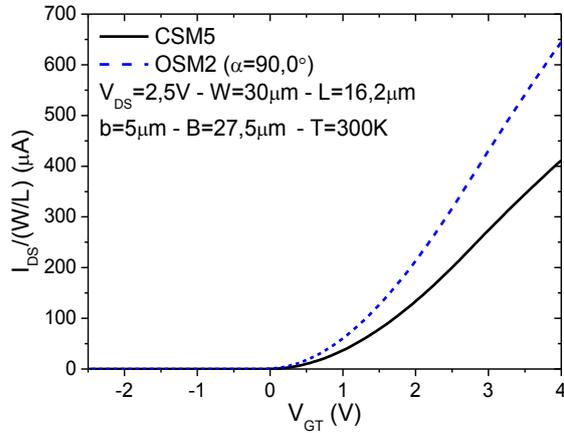
Tabela 3.17 - Tabela dos valores de  $I_{DS}/(W/L)$  do OSM1 e do seu CSM equivalente em função da temperatura, para  $V_{DS}$  igual a 2,5V

$I_{DS}/(W/L)$ para $V_{GT}$ igual a 3,5 V ( $\mu A$ )							
Temperatura (K)	300	323	373	423	473	523	573
<b>OSM1</b>	739,82	717,54	595,33	529,43	454,55	375,66	353,13
<b>CSM4</b>	347,48	303,04	244,55	195,68	163,73	144,83	126,76
<b>Ganho</b>	<b>112%</b>	<b>137%</b>	<b>143%</b>	<b>171%</b>	<b>178%</b>	<b>159%</b>	<b>179%</b>

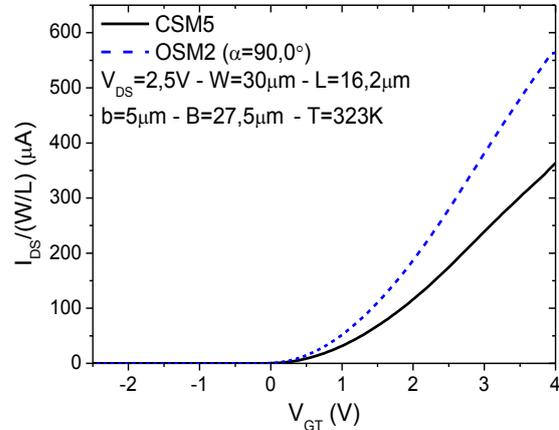
Fonte: Autor

A seguir, é apresentado na Figura 3.37, os valores de  $I_{DS}/(W/L)$  do OSM2 e do seu CSM equivalente em função de  $V_{GT}$  e da temperatura, para  $V_{DS}$  igual a 2,5 V.

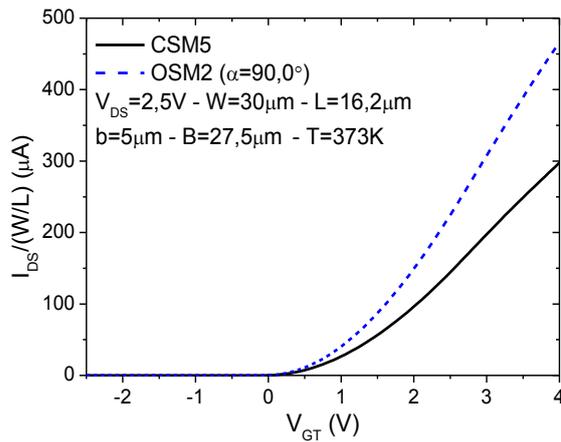
Figura 3.37 - Os gráficos das correntes de dreno normalizadas pela razão (W/L) do OSM2 ( $\alpha$  igual a  $90,0^\circ$ ) e do seu CSM equivalente, em função de  $V_{GT}$ , com  $V_{DS}$  igual a 2,5 V, para as temperaturas de 300 K (a), 323 K (b), 373 K (c), 423 K (d), 473 K (e), 523 K (f) e 573 K (g)



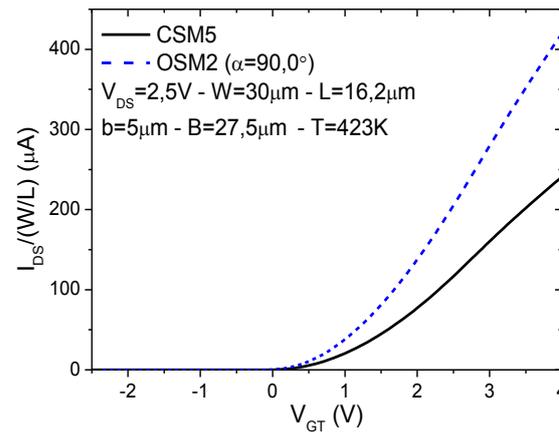
(a)



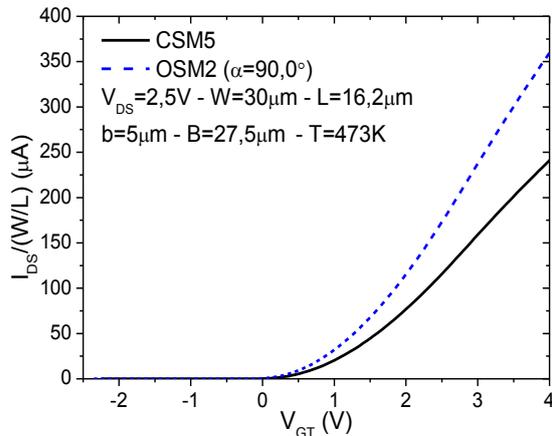
(b)



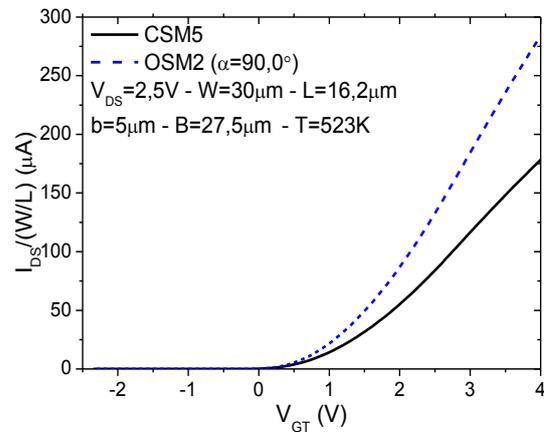
(c)



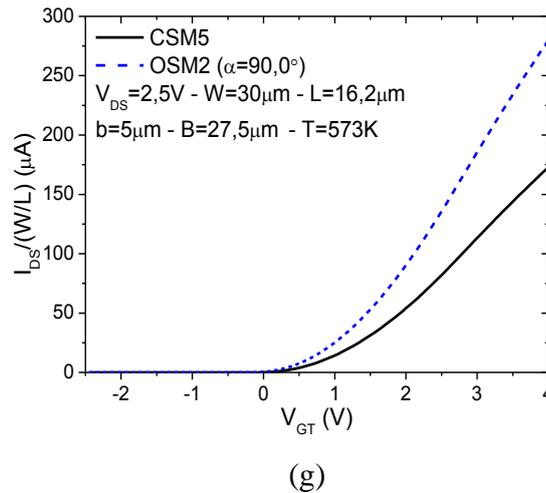
(d)



(e)



(f)



Fonte: Autor

A Figura 3.37 mostra claramente que o OSM2 apresenta uma corrente de dreno em função de  $V_{GT}$  maior que a encontrada no seu CSM equivalente em todas as temperaturas que ambos foram submetidos, com ganhos elevados, como mostra a Tabela 3.18. E à medida que o ângulo  $\alpha$  aumenta os efeitos LCE e PAMDLE diminuem, causando uma redução de  $I_{DS}$  em todas as temperaturas, como pode ser visto na Tabela 3.18, o comparativo com o OSM de  $\alpha$  igual a  $53,1^\circ$  (Tabela 3.17) com o OSM de  $\alpha$  igual a  $90,0^\circ$ .

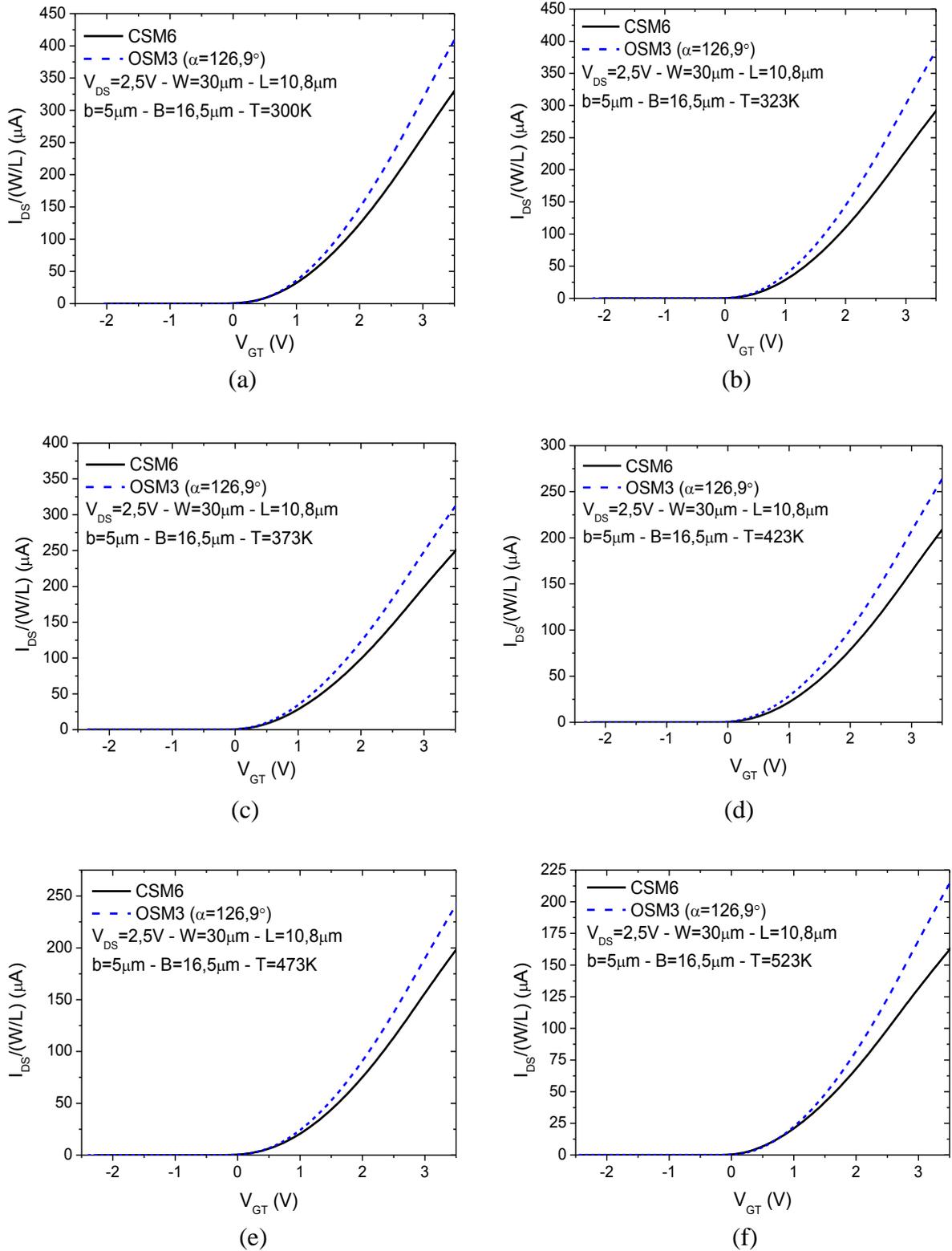
Tabela 3.18 - Tabela dos valores de  $I_{DS}/(W/L)$  do OSM2 ( $\alpha$  igual a  $90,0^\circ$ ) e do seu CSM equivalente (CSM5) em função da temperatura, para  $V_{DS}$  igual a 2,5V, e também a redução de  $I_{DS}/(W/L)$  do OSM2 em relação ao OSM1

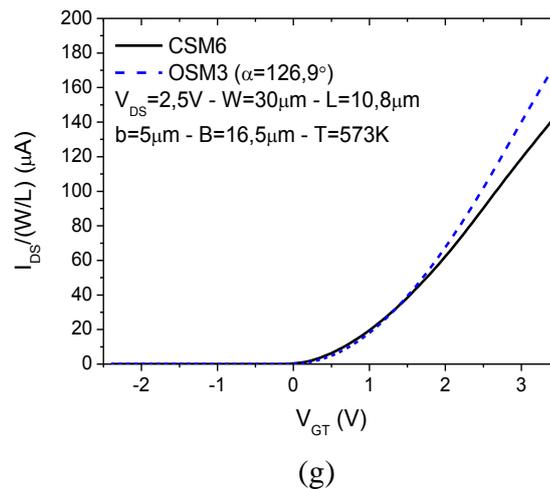
$I_{DS}/(W/L)$ para $V_{GT}$ igual a 3,5 V ( $\mu A$ )							
Temperatura (K)	300	323	373	423	473	523	573
<b>OSM2</b>	540,86	479,85	389,37	351,86	300,45	235,64	224,57
<b>CSM5</b>	344,70	301,85	248,94	205,97	197,14	148,27	137,91
<b>Ganho</b>	<b>57%</b>	<b>59%</b>	<b>56%</b>	<b>71%</b>	<b>52%</b>	<b>59%</b>	<b>63%</b>
<b>Redução da <math>I_{DS}/(W/L)</math> do OSM2 em relação ao OSM1</b>	<b>27%</b>	<b>33%</b>	<b>35%</b>	<b>33%</b>	<b>34%</b>	<b>37%</b>	<b>36%</b>

Fonte: Autor

Por fim, a Figura 3.38 ilustra os valores experimentais de  $I_{DS}/(W/L)$  do OSM com  $\alpha$  igual a  $126,9^\circ$  e do seu CSM equivalente em função de  $V_{GT}$ , para  $V_{DS}$  igual a 2,5 V, à medida que a temperatura aumenta.

Figura 3.38 - Os gráficos das correntes de dreno normalizadas pela razão (W/L) do OSM3 ( $\alpha$  igual a  $126,9^\circ$ ) e do seu CSM equivalente, em função de  $V_{GT}$ , com  $V_{DS}$  igual a 2,5 V, para as temperaturas de 300 K (a), 323 K (b), 373 K (c), 423 K (d), 473 K (e), 523 K (f) e 573 K (g)





Fonte: Autor

À medida que o ângulo  $\alpha$  do OSM aumenta e se aproxima de  $180^\circ$ , a estrutura OSM se aproxima da de seu SOI MOSFET equivalente, devido à região de porta octogonal se aproximar de um formato retangular (CSM), sendo esta aproximação ainda maior do que a do DSM com o ângulo  $\alpha$  próximo de  $180^\circ$ , e isso faz com que os efeitos LCE e PAMDLE tendam a diminuir ou não existir no caso de  $\alpha$  igual a  $180^\circ$ . Essa abordagem fica evidente quando se compara a Figura 3.38 com a Figura 3.36 e a Figura 3.37, onde mostra claramente que quando o ângulo  $\alpha$  é igual a  $53,1^\circ$ , o ganho de corrente de dreno que o OSM proporciona é o maior possível (dentro das estruturas OSMs estudadas) em comparação aos ângulos  $\alpha$  maiores, considerando todas as temperaturas estudadas. E quando se altera o ângulo  $\alpha$  de  $53,1^\circ$  para  $126,9^\circ$ , a  $I_{DS}$  reduz em média 47%, como pode ser visto pela Tabela 3.19.

Tabela 3.19 - Tabela dos valores de  $I_{DS}/(W/L)$  do OSM3 ( $\alpha$  igual a  $126,9^\circ$ ) e do seu CSM equivalente (CSM6) em função da temperatura, para  $V_{DS}$  igual a 2,5V, e também a redução de  $I_{DS}/(W/L)$  do OSM3 em relação ao OSM1

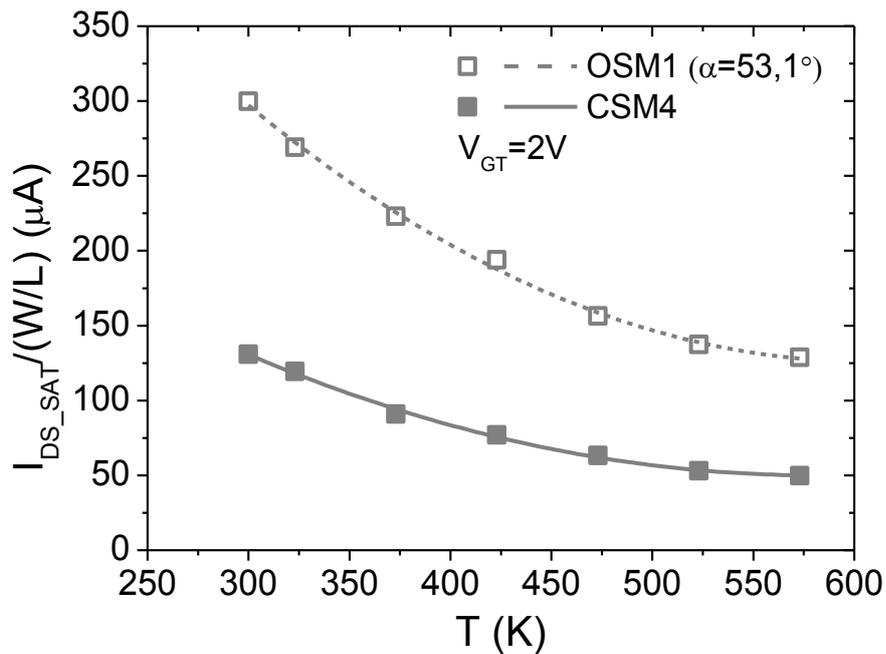
Temperatura (K)	$I_{DS}/(W/L)$ para $V_{GT}$ igual a 3,5 V ( $\mu A$ )						
	300	323	373	423	473	523	573
<b>OSM3</b>	409,06	385,07	311,89	263,91	241,32	214,34	177,07
<b>CSM6</b>	330,00	291,55	249,29	208,90	198,18	162,22	145,95
<b>Ganho</b>	<b>24%</b>	<b>32%</b>	<b>25%</b>	<b>26%</b>	<b>22%</b>	<b>32%</b>	<b>21%</b>
<b>Redução da <math>I_{DS}/(W/L)</math> do OSM3 em relação ao OSM1</b>	<b>45%</b>	<b>46%</b>	<b>48%</b>	<b>50%</b>	<b>47%</b>	<b>43%</b>	<b>50%</b>

Fonte: Autor

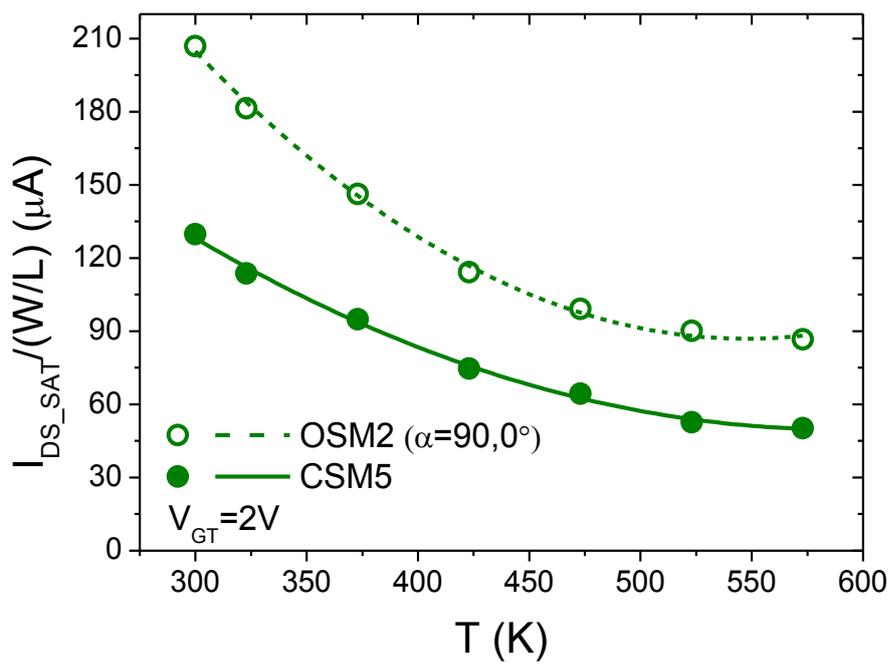
### 3.3.3 Corrente de saturação de dreno

Os valores de  $I_{DS\_SAT}$  em função da temperatura para os OSMs e os seus respectivos CSMs equivalentes são apresentadas na Figura 3.39, que são normalizadas por suas respectivas razões de aspecto ( $W/L$ ), segundo a Tabela 3.13. Os transistores estão operando no modo de saturação, pois a extração de  $I_{DS\_SAT}$  foi realizada para  $V_{GT}$  igual a 2 V. A extração de  $I_{DS\_SAT}$  dos transistores foi realizada pela extrapolação da corrente de dreno na saturação, através do gráfico de  $I_{DS}$  em função de  $V_{DS}$  até o eixo da corrente  $I_{DS}$  (eixo Y), assim como mostra a Figura 2.27 do item 2.6.2.

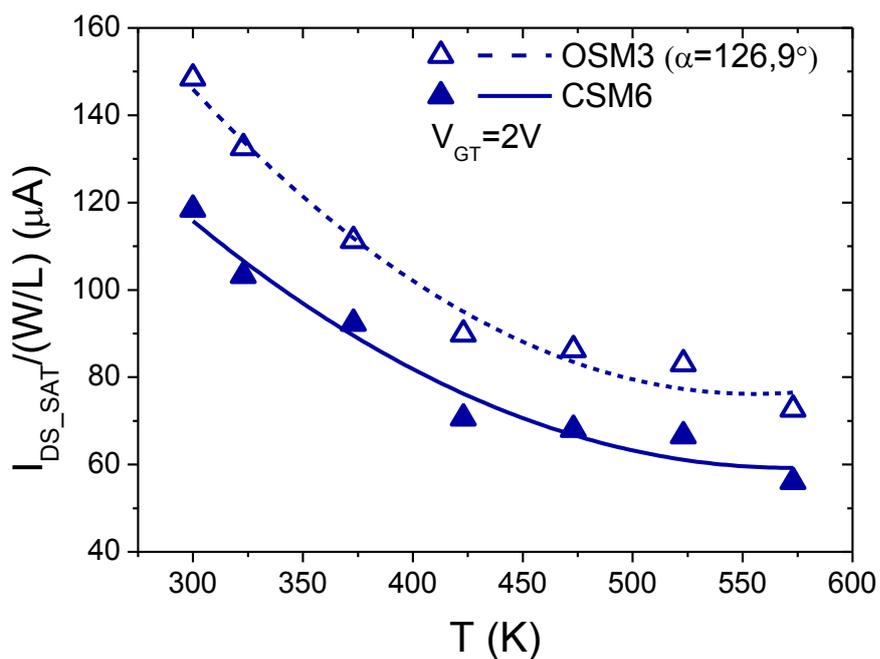
Figura 3.39 - Os gráficos de  $I_{DS\_SAT}/(W/L)$  dos SOI MOSFETs do tipo OCTO com  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e os seus respectivos CSMs equivalentes em função da temperatura



(a)



(b)



(c)

Fonte: Autor

Assim como ocorreu no comparativo dos DSMs com os seus respectivos CSMs equivalentes, a estrutura OSM apresentou valores de  $I_{DS\_SAT}$  maiores do que os valores encontrados em seus respectivos CSMs equivalentes, para todas as temperaturas estudadas. Isso graças à mudança da geometria de porta de retangular (CSM) para octogonal, que traz

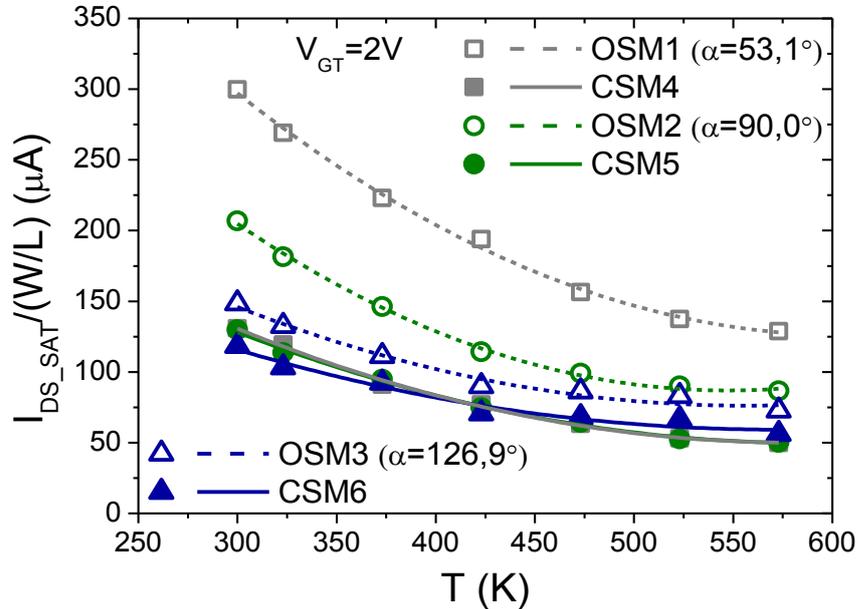
melhorias no desempenho elétrico, e, além disso, o efeito LCE é potencializado em comparação ao DSM, ou seja, há um aumento da velocidade média de deriva dos portadores ao longo canal, que por sua vez aumenta  $I_{DS}$ .

Observando a Figura 3.39 é possível observar que  $I_{DS\_SAT}$  é sempre maior que a encontrada em seu CSM equivalente. Por exemplo, o OSM apresentou um ganho em relação ao seu CSM equivalente de 129%, 59% e 25% para temperatura igual a 300 K e 159%, 73% e 30% para temperatura igual a 523 K, considerando  $\alpha$  igual a 53,1°, 90,0° e 126,9°, respectivamente. Além disso, o OSM apresentou uma variação de  $I_{DS\_SAT}/(W/L)$  com aumento da temperatura menor do que o apresentado no seu respectivo CSM equivalente, pois para  $\alpha$  igual a 53,1°, 90,0° e 126,9° houve uma redução de 57%, 58% e 51%, respectivamente. Já seus respectivos convencionais equivalentes apresentaram uma variação de  $I_{DS\_SAT}/(W/L)$  com aumento da temperatura de 62%, 61% e 53%.

A mudança dos valores do ângulo  $\alpha$  altera o ganho de corrente de  $I_{DS\_SAT}/(W/L)$  proporcionado pela estrutura OSM, igual ocorrido com os DSMs. Observando a Figura 3.39, conclui-se que quanto maior o ângulo  $\alpha$  do OSM, menor será  $I_{DS\_SAT}/(W/L)$  em todas as temperaturas investigadas. Quando o ângulo  $\alpha$  se aproxima de 180°, a geometria de porta do OSM se aproxima da forma retangular, ou seja, os efeitos LCE e PAMDLE diminuem e conseqüentemente a velocidade média de deriva dos portadores de carga móveis na região de canal decai, resultando na redução de  $I_{DS}$ . Esta abordagem explica um menor ganho de corrente  $I_{DS\_SAT}$ , dos OSMs em relação aos seus respectivos CSMs equivalentes, para  $\alpha$  igual a 126,9° em comparação a ângulos  $\alpha$  menores, como no caso de  $\alpha$  igual a 53,1° (GIMENEZ; GALEMBECK; RENAUX *et al.*, 2015).

Essa abordagem pode ser mais bem visualizada através da Figura 3.40, onde estão ilustradas as correntes de dreno na saturação dos OSMs e dos seus respectivos CSMs equivalentes em função da temperatura, onde se identifica que o OSM com  $\alpha$  igual a 53,1° apresenta  $I_{DS\_SAT}$  maior do que todos os outros SOI MOSFETs, considerando as mesmas condições de polarização. Portanto, o OSM com ângulo  $\alpha$  igual a 53,1° compensa a redução da mobilidade em altas temperaturas em relação aos OSMs com maiores ângulos  $\alpha$ .

Figura 3.40 - Gráfico de  $I_{DS\_SAT}/(W/L)$  entre os SOI MOSFETs do tipo OCTO e os seus respectivos convencionais equivalentes em função da temperatura, com diferentes valores do ângulo  $\alpha$

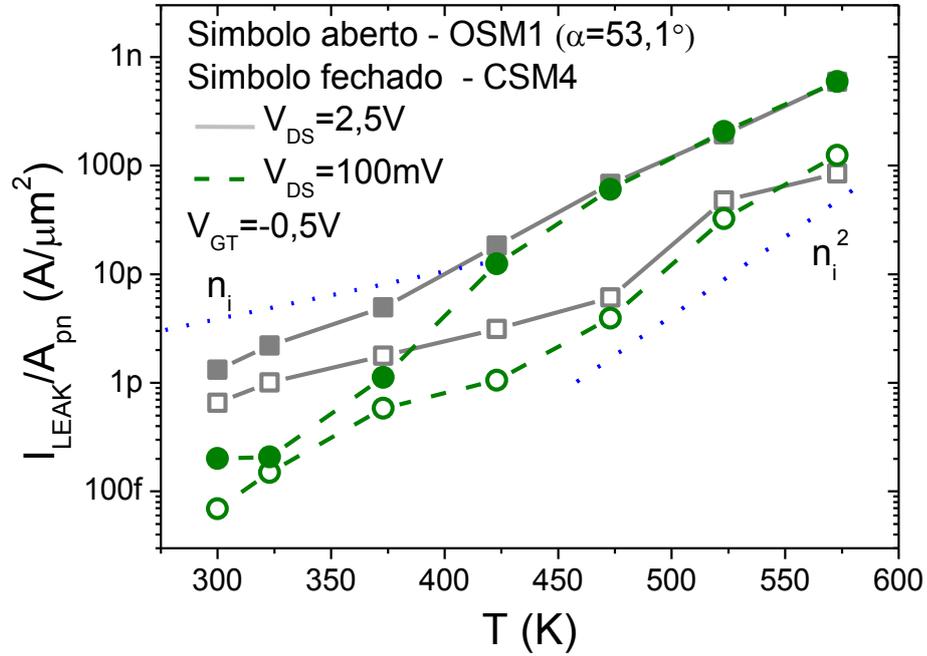


Fonte: Autor

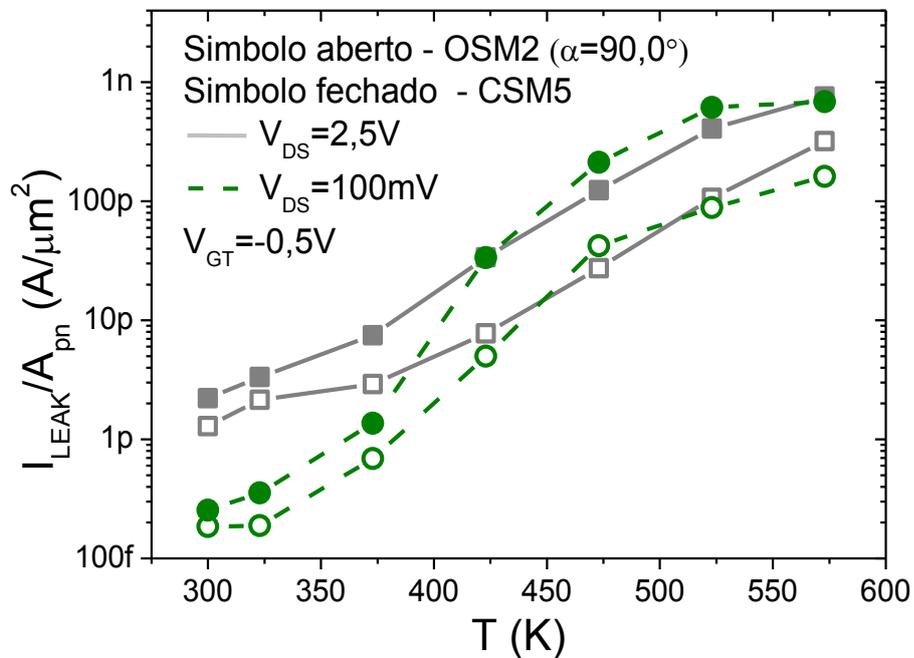
### 3.3.4 Corrente de fuga de dreno

A Figura 3.41 ilustra os gráficos dos valores de  $I_{LEAK}$  dos OSMs e dos seus respectivos CSMs equivalentes em função da temperatura, normalizados pela área da junção pn da interface dreno/canal ( $A_{pn}$ ), devido às áreas de porta ( $A_G$ ) entre os transistores serem distintas, conforme ilustra a Tabela 3.13. Para a extração de  $I_{LEAK}$  considerou-se  $V_{GT}$  igual a -0,5 V e  $V_{DS}$  igual a 2,5 V, onde a extração de  $I_{LEAK}$  foi realizada pelo método descrito no item 2.6.3. Assim como ocorrido no comparativo do DSM com o seu convencional equivalente, não houve o aparecimento do efeito GIDL, tanto nos OSMs, com os três ângulos  $\alpha$  diferentes, quanto em seus respectivos CSMs equivalentes.

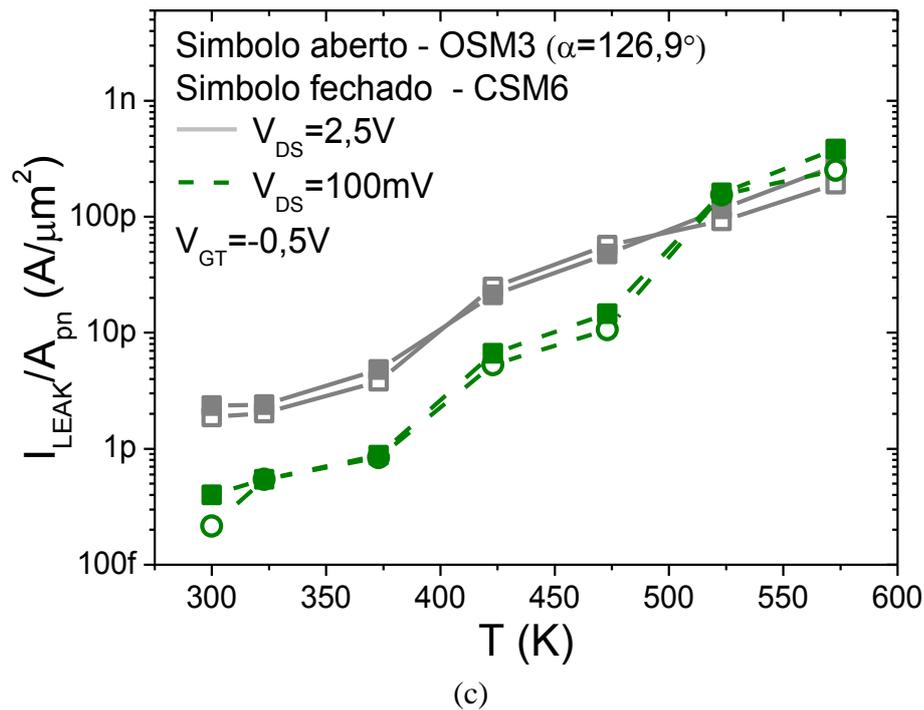
Figura 3.41 - Os gráficos de  $I_{LEAK}/(A_{pn})$  dos SOI MOSFETs do tipo OCTO com  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e os seus respectivos CSMs equivalentes em função da temperatura, considerando  $V_{DS}$  igual a 100 mV e 2,5 V, respectivamente



(a)



(b)



Fonte: Autor

Assim como ocorreu com os DSMs e os seus respectivos CSMs, para temperaturas acima de 423 K, é possível notar um maior aumento de  $I_{LEAK}$ , comparado aos valores dessa corrente para temperaturas abaixo de 423 K. Isto acontece, pois  $I_{LEAK}$  segue a variação quadrática dos portadores intrínsecos ( $n_i^2$ ) com a temperatura para temperaturas acima de 423 K e segue a variação de  $n_i$  com a temperatura para menores temperaturas (COLINGE, 2004).

À medida que se aumenta o valor de  $V_{DS}$ , a densidade da corrente de fuga de dreno aumenta, sendo que a influência de  $V_{DS}$  em  $I_{LEAK}$  é mais significativa para temperaturas abaixo de 423 K, pois acima desta temperatura a variação quadrática de  $n_i$  com a temperatura influencia mais na densidade da corrente de fuga, como ocorreu com os DSMs e os seus respectivos CSMs equivalente, explicado no item 3.2.4.

Observando e analisando a Figura 3.41,  $I_{LEAK}$  aumenta à medida que a temperatura se eleva para todos os transistores, como indicado pela equação (2.6.4), no item 2.6.3 (COLINGE, 2004). Além disso, o OSM com  $\alpha$  igual a  $126,9^\circ$  e seu CSM equivalente apresentaram valores similares de  $I_{LEAK}$  em todas as temperaturas observadas, tanto para  $V_{DS}$  igual a 100 mV quanto para  $V_{DS}$  igual a 2,5 V, como ilustra a Figura 3.41.c.

Mas os valores de  $I_{LEAK}$  para o OSM1 e OSM2 são sempre menores (aproximadamente 65% e 27% para T igual a 300 K e aproximadamente 79% e 76% para T igual a 573 K, considerando o ângulo  $\alpha$  igual a  $53,1^\circ$  e  $90,0^\circ$ , respectivamente, para  $V_{DS}$  igual

a 100 mV e aproximadamente 50% e 42% para T igual a 300 K e aproximadamente 86% e 58% para T igual a 573 K, considerando o ângulo  $\alpha$  igual a 53,1° e 90,0°, respectivamente, considerando  $V_{DS}$  igual a 2,5 V) do que os valores de  $I_{LEAK}$  observado em seus respectivos CSMs equivalentes, como mostra a Figura 3.41.a e a Figura 3.41.b (GIMENEZ; GALEMBECK; RENAUX *et al.*, 2015).

Este comportamento pode ser justificado pelo fato de que, quando se reduz o ângulo  $\alpha$  da estrutura OSM, a densidade de linhas do campo elétrico longitudinal (LEF) ao longo da interface entre as regiões de dreno e de canal reduz, e é menor do que a encontrada em seu respectivo CSM homólogo, devido ao perímetro e a área desta interface (um junção pn) ser maior do que o presente no seu CSM homólogo, reduzindo assim o valor de  $I_{LEAK}$  presente no OSM (GIMENEZ; GALEMBECK; RENAUX *et al.*, 2015).

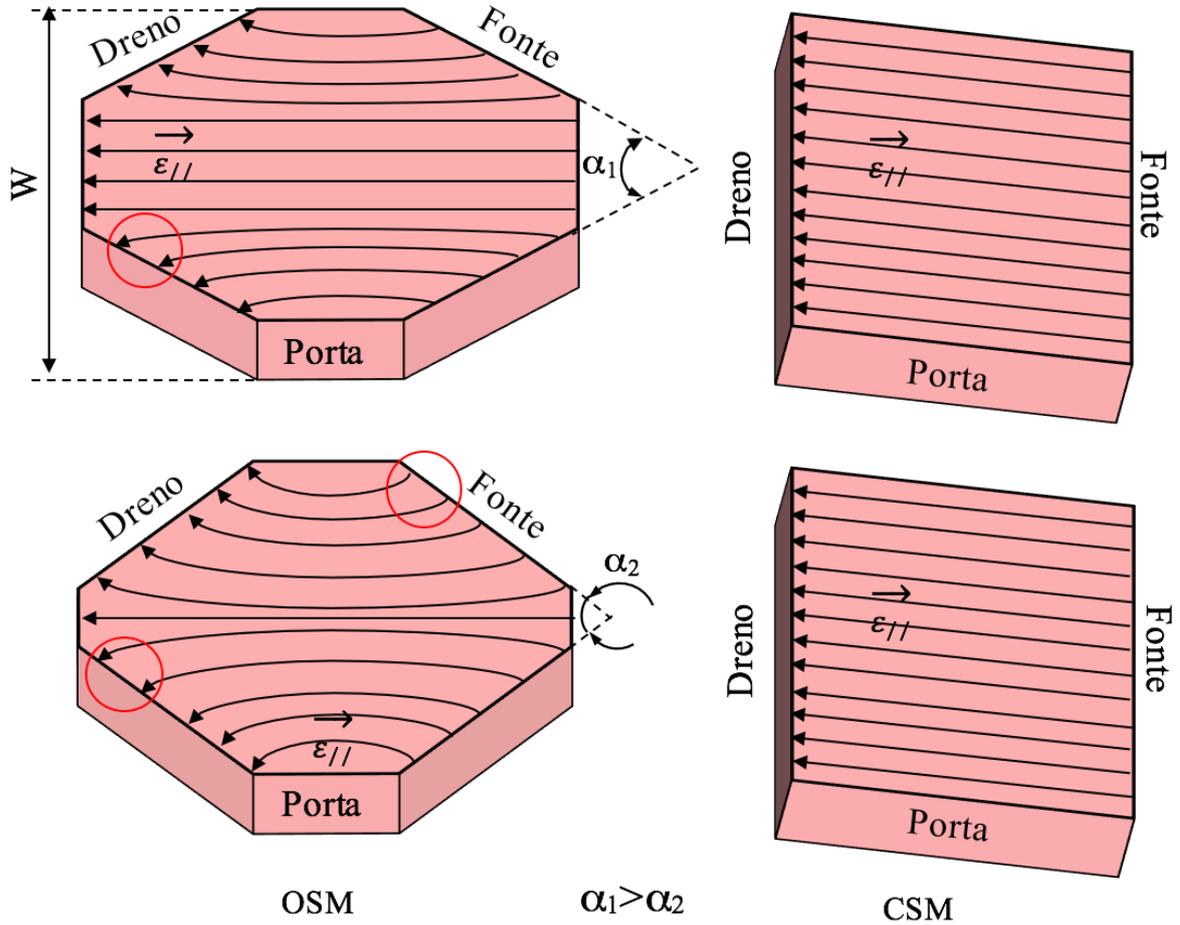
A Figura 3.42 ilustra como a redução do ângulo  $\alpha$  e o maior perímetro da interface de junção pn entre dreno e canal do OSM faz com que a densidade de linhas do campo elétrico longitudinal reduza em comparação ao seu CSM equivalente, considerando o mesmo W e as mesmas condições de polarização, ou seja, os transistores apresentam o mesmo número de linhas de LEF, mas o OSM reduz a densidade de linhas de LEF, devido a sua maior área/perímetro de junção pn da interface dreno/canal (GIMENEZ; GALEMBECK; RENAUX *et al.*, 2015).

As regiões com o círculo na Figura 3.42 exemplificam onde não há linhas do campo elétrico longitudinal, que aumenta à medida que o ângulo  $\alpha$  reduz (redução da densidade de linhas de LEF), contribuindo assim para redução de  $I_{LEAK}$  para o transistor OSM. Esta é uma característica marcante do estilo de leiaute OCTO em relação ao seu CSM equivalente (GIMENEZ; GALEMBECK; RENAUX *et al.*, 2015).

Esta redução em  $I_{LEAK}$  é uma vantagem que o estilo de leiaute SOI MOSFET do tipo OCTO proporciona em comparação com o estilo de leiaute Diamante (GIMENEZ; GALEMBECK *et al.*, 2015); (GIMENEZ; GALEMBECK; RENAUX *et al.*, 2015).

Portanto, devido aos valores de  $I_{LEAK}$  serem menores na estrutura OSM, para  $\alpha$  igual a 53,1° e 90,0° respectivamente, do que em seus CSMs equivalentes, o estilo de leiaute ortogonal pode ser considerado uma alternativa para ser usado em aplicações de eletrônica móvel, pois essas aplicações necessitam de baixo consumo de energia, ou seja, valores de corrente de fuga de dreno cada vez mais baixos, para proporcionar longos períodos de carga de bateria (HIRAOKA; MATSUMOTO *et al.*, 1998).

Figura 3.42 - As reduções das densidades de linhas do campo elétrico longitudinal à medida que os ângulos  $\alpha$  dos OSMs reduzem ( $\alpha_1 > \alpha_2$ ), em comparação ao dos seus respectivos CSMs equivalentes

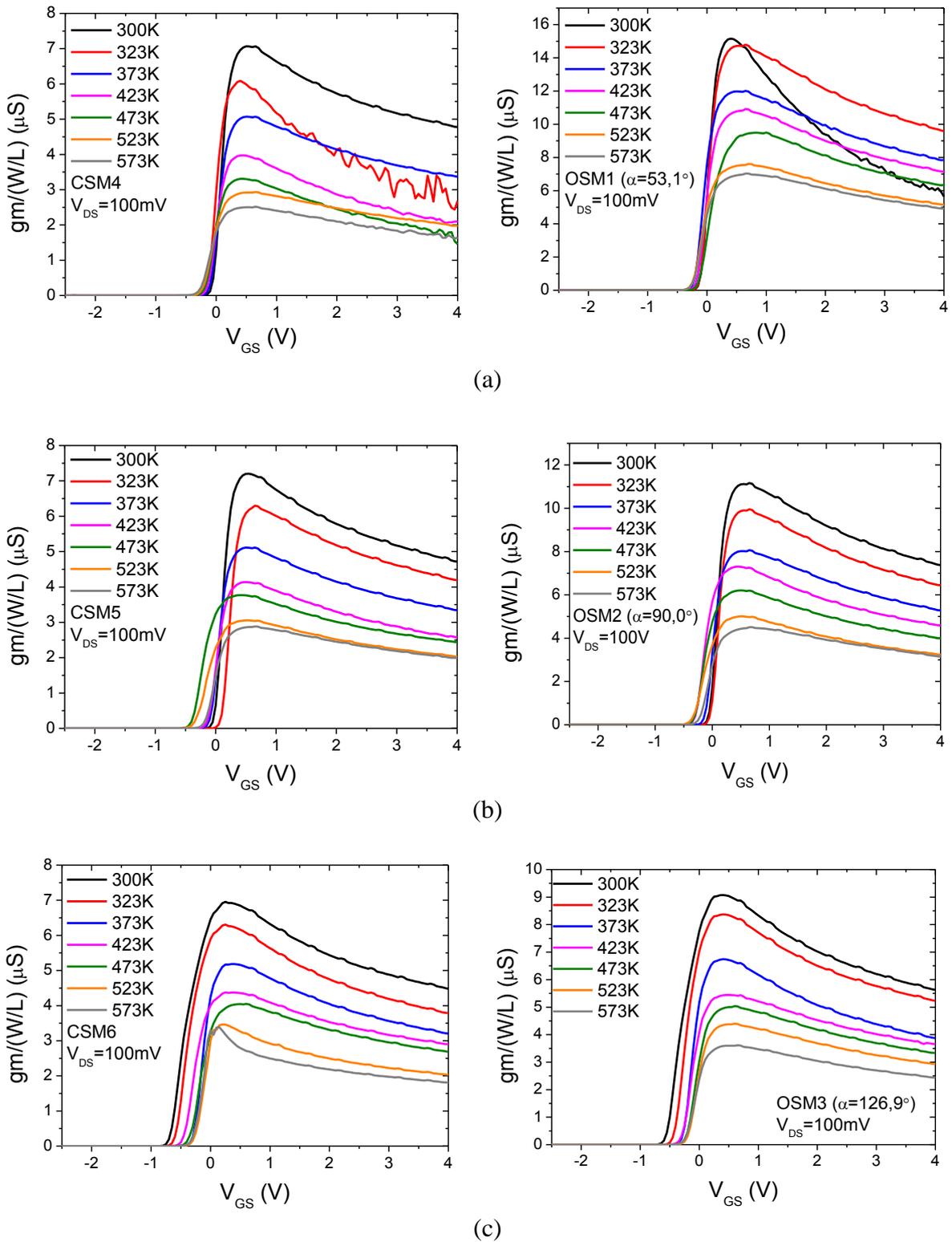


Fonte: Autor

### 3.3.5 Transcondutância

Agora serão apresentados, na Figura 3.43 os gráficos da transcondutância em função da temperatura, para os OSMs e os seus respectivos CSMs equivalentes, considerando  $V_{DS}$  igual a 100 mV.

Figura 3.43 - Os gráficos de  $gm/(W/L)$  dos SOI MOSFETs do tipo OCTO com  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus respectivos CSMs equivalentes em função da temperatura, para  $V_{DS}$  igual a 100 mV



Fonte: Autor

Analisando a Figura 3.43, observa-se que a transcondutância reduz à medida que a

temperatura em que todos os transistores estão submetidos aumenta, devido a sua dependência com a mobilidade dos portadores móveis na região do canal, como explicado no item 2.6.4 (COLINGE, 2004).

A comparação da transcondutância entre os OSMs com relação aos seus respectivos CSMs equivalentes, apresentou valores elevados de  $g_m$  para os OSMs, como mostra a Figura 3.43. Essa melhoria na transcondutância está explicitada na Tabela 3.20, onde se observa altos ganhos de  $g_{m_{max}}$  proporcionado pelo OSM em relação ao seu CSM equivalente.

Tabela 3.20 - Valores de  $g_{m_{max}}/(W/L)$  dos SOI MOSFETs do tipo OCTO (OSM1, OSM2 e OSM3) e de seus respectivos CSMs equivalentes em função da temperatura, para  $V_{DS}$  igual a 100 mV, apresentando as diferenças percentuais entre os pares de dispositivos homólogos considerados

T (K)	$g_{m_{max}}/(W/L)$ ( $\mu S$ )		Ganho do OSM1 (%)	$g_{m_{max}}/(W/L)$ ( $\mu S$ )		Ganho do OSM2 (%)	$g_{m_{max}}/(W/L)$ ( $\mu S$ )		Ganho do OSM3 (%)
	OSM1	CSM4		OSM2	CSM5		OSM3	CSM6	
300	15,16	7,07	114	11,12	7,20	54	9,07	6,96	30
323	14,72	6,09	142	9,95	6,30	58	8,37	6,31	33
373	11,98	5,07	136	8,02	5,11	57	6,74	5,19	30
423	10,91	3,97	175	7,30	4,14	76	5,44	4,37	24
473	9,49	3,31	187	6,21	3,77	65	5,04	4,05	24
523	7,52	2,92	158	5,00	3,06	63	4,38	3,46	27
573	6,95	2,50	178	4,51	2,87	57	3,60	3,38	7

Fonte: Autor

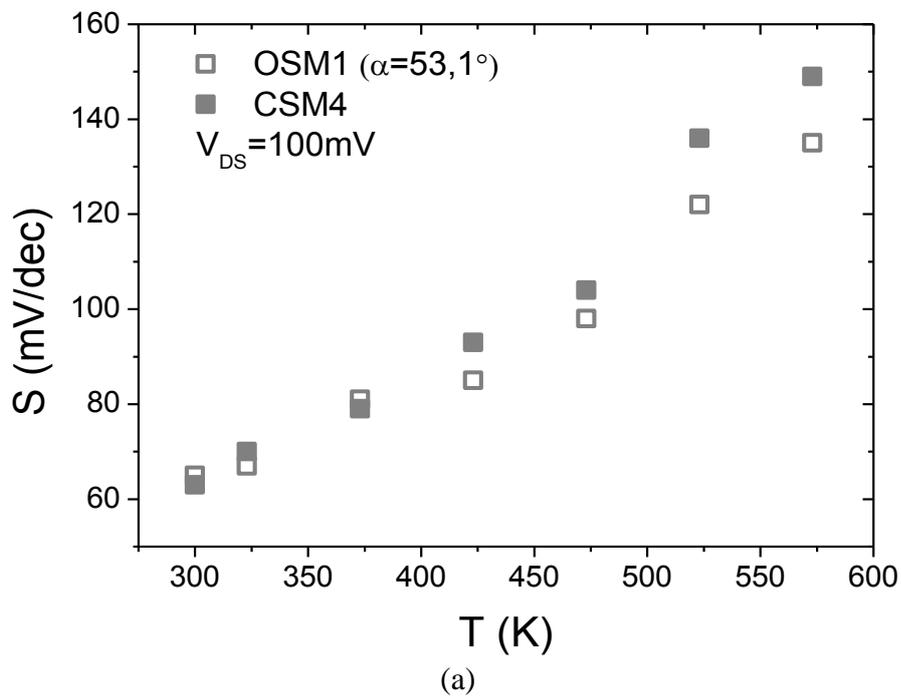
Analisando a Tabela 3.20, observa-se que a estrutura OSM, apresenta altos valores de  $g_{m_{max}}$  em comparação aos seus respectivos CSMs equivalentes para todas as temperaturas estudadas graças aos efeitos LCE e PAMDLE, que potencializam o controle de  $I_{DS}$  em função da tensão de porta, devido principalmente ao aumento do campo elétrico longitudinal que traz um aumento na velocidade de deriva dos portadores móveis na região de canal, que por sua vez aumentam a sua  $I_{DS}$ .

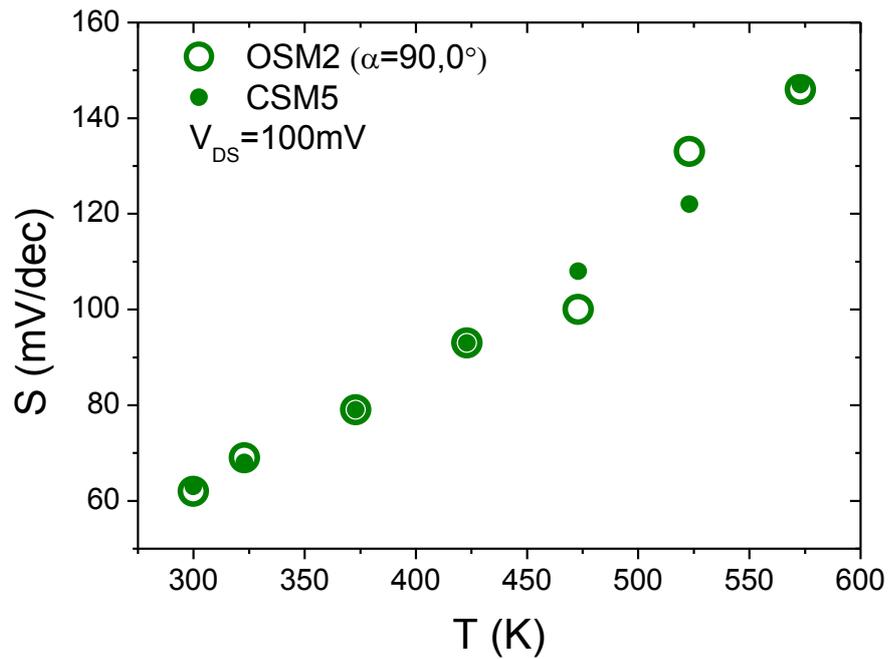
É possível concluir que, à medida que o ângulo  $\alpha$  diminui, a diferença de  $g_m$  entre o OSM e o seu CSM equivalente, aumenta significativamente, pois os efeitos LCE e PAMDLE, e conseqüentemente, os ganhos  $G_{LCE}$  e  $G_{PAMDLE}$ , aumentam à medida que o ângulo  $\alpha$  diminui.

### 3.3.6 Inclinação de sublimiar

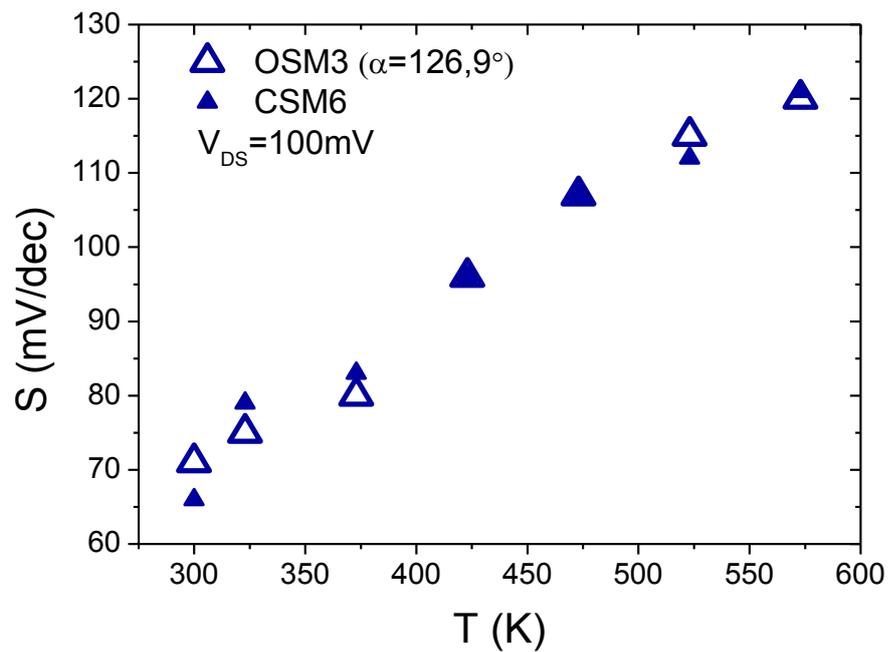
Na Figura 3.44 estão ilustrados os valores da inclinação de sublimiar em função da temperatura para os OSMs e os seus respectivos CSMs equivalentes, considerando  $V_{DS}$  igual a 100 mV. A extração deste parâmetro usou a metodologia ilustrada no item 2.6.5.

Figura 3.44 - Os gráficos das inclinações de sublimiar ( $S$ ) dos SOI MOSFETs do tipo OCTO com  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus respectivos CSMs equivalentes em função da temperatura





(b)



(c)

Fonte: Autor

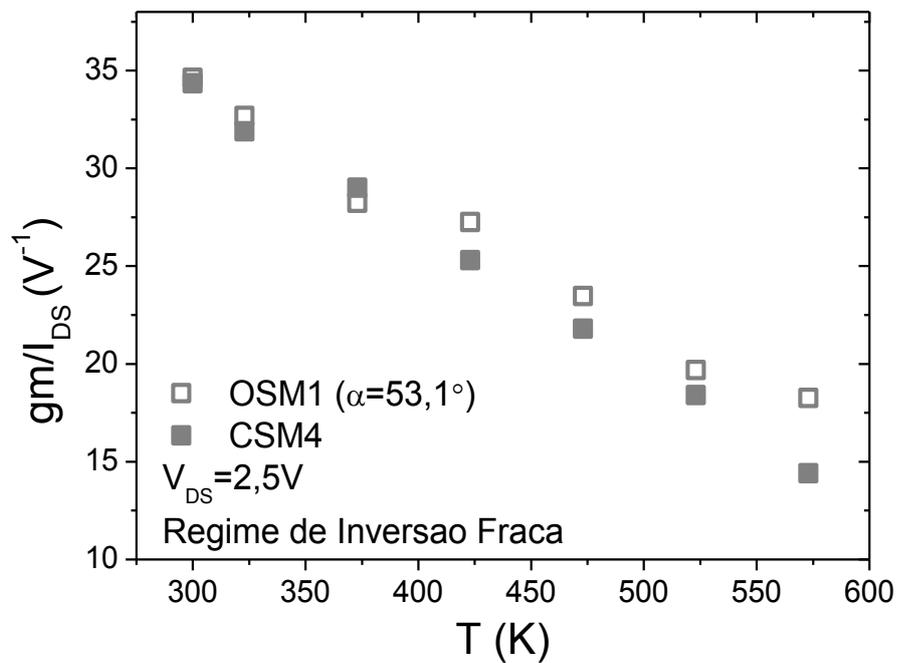
Analisando a Figura 3.44, observa-se que a inclinação de sublimiar aumenta com o aumento da temperatura (como descrito no item 2.6.5) para todos os dispositivos estudados. Os valores da inclinação de sublimiar para os SOI MOSFETs do tipo OCTO são similares aos valores de  $S$  de seus respectivos convencionais equivalentes. Portanto, o uso do SOI MOSFET do tipo OCTO não prejudica o desempenho elétrico em aplicações digitais, quando

se compara com o seu convencional SOI MOSFET equivalente.

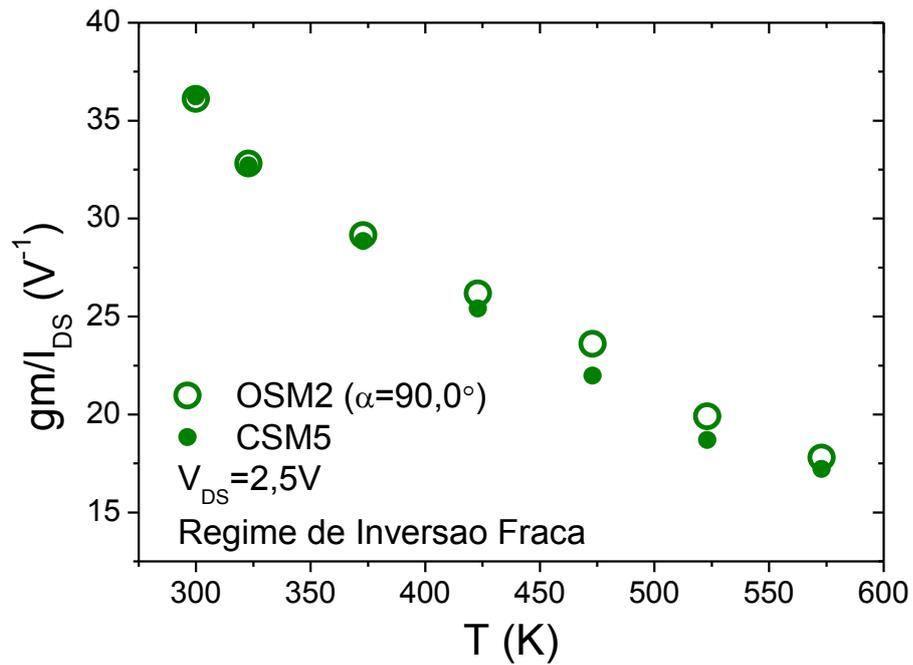
### 3.3.7 Razão $gm/I_{DS}$

A Figura 3.45 ilustra os gráficos das razões  $gm/I_{DS}$  dos OSMs, com os três valores diferentes de ângulo  $\alpha$ , e os seus respectivos CSMs equivalentes em função da temperatura, em regime de inversão fraca e  $V_{DS}$  igual a 2,5 V (região de saturação).

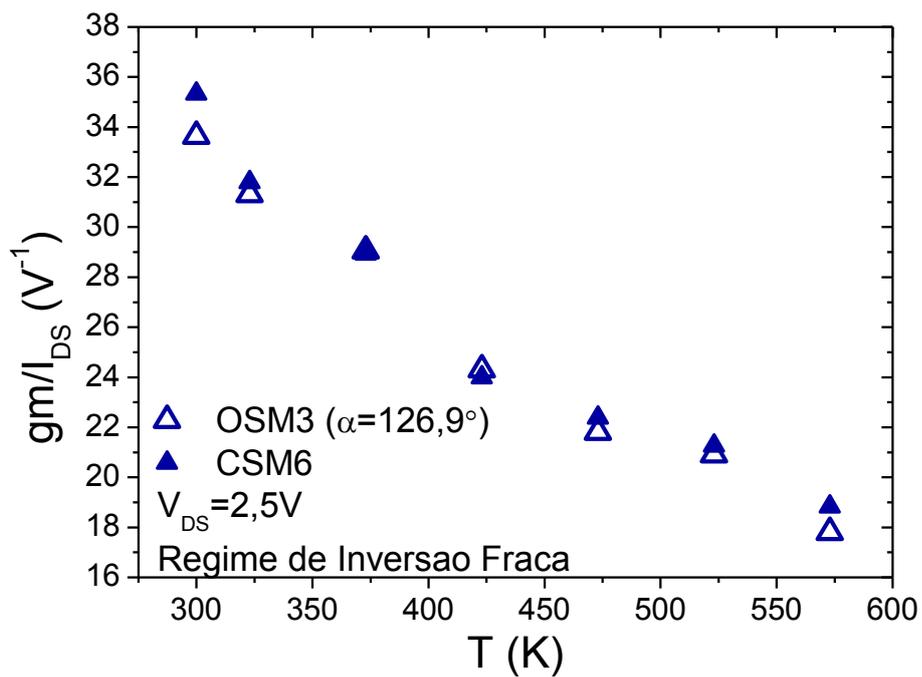
Figura 3.45 - Os gráficos das razões  $gm/I_{DS}$  dos SOI MOSFETs do tipo OCTO com  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c), e os seus respectivos CSMs equivalentes em função da temperatura, no regime de inversão fraca



(a)



(b)



(c)

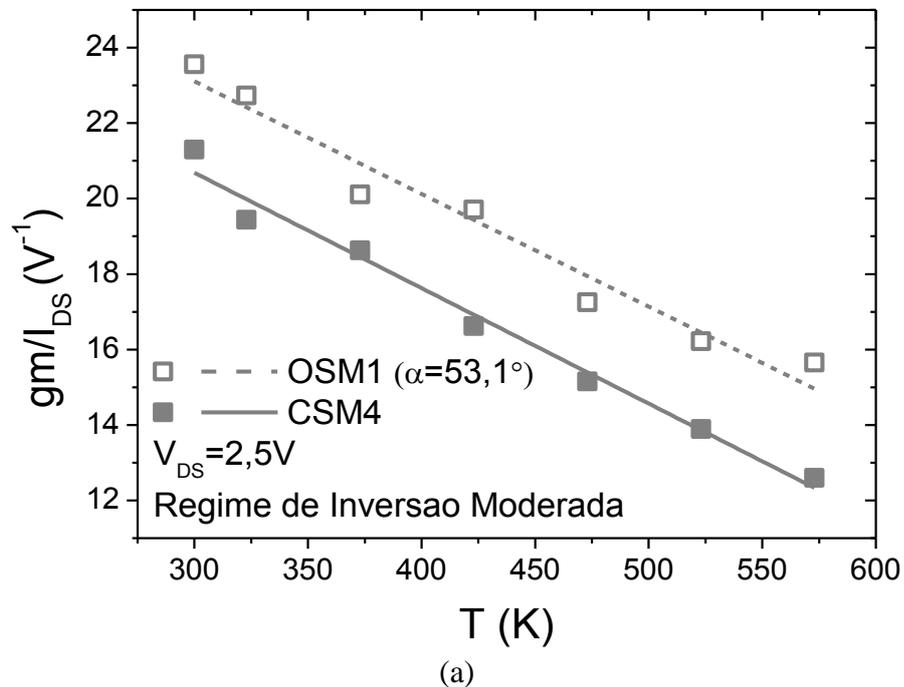
Fonte: Autor

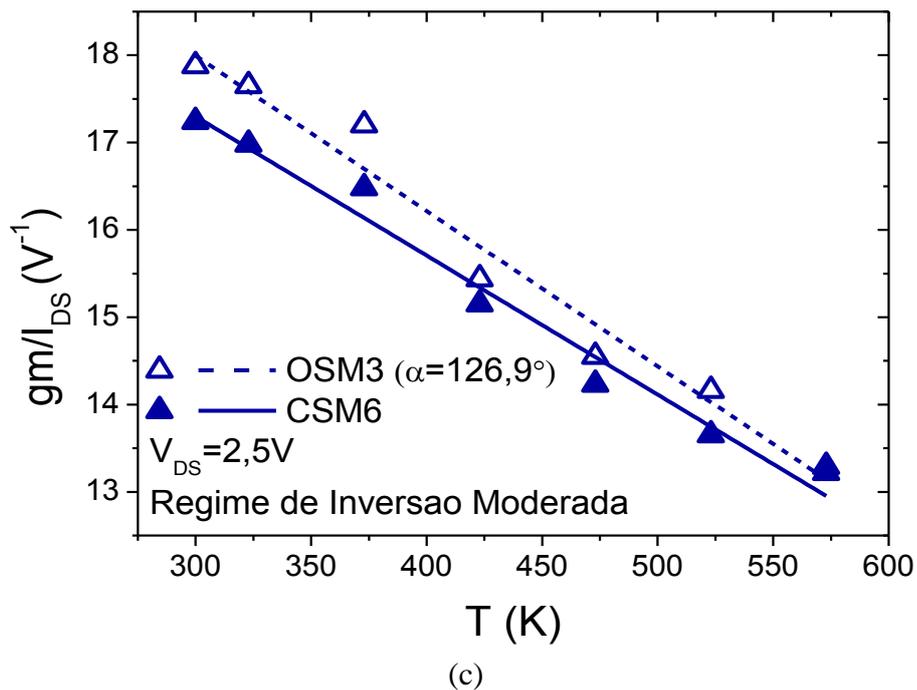
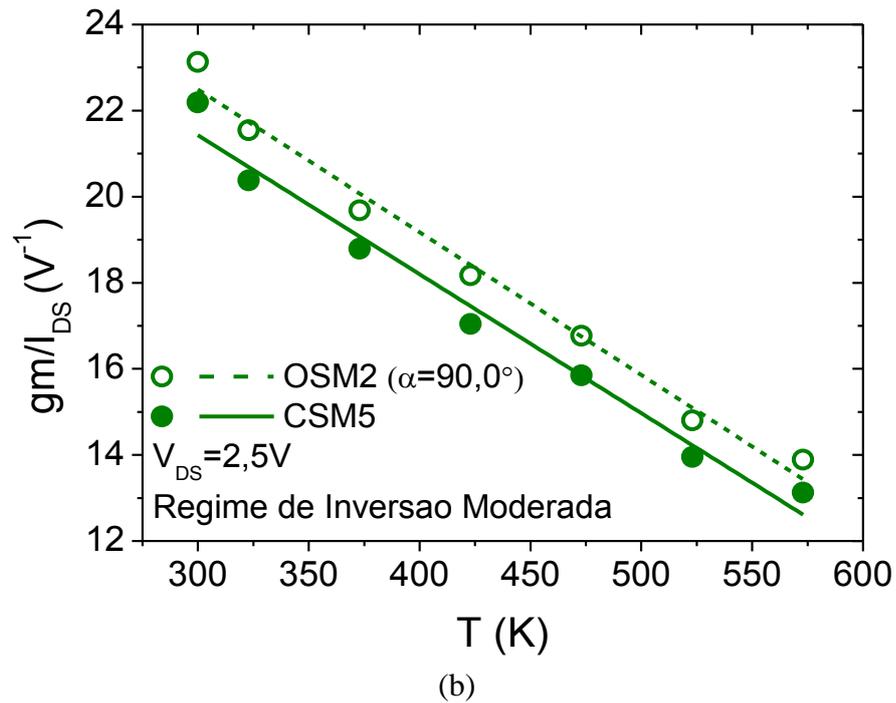
Analisando a Figura 3.45, pode-se observar que à medida que a temperatura aumenta, a partir de 300 K, os valores da razão  $gm/I_{DS}$ , em regime de inversão fraca, reduz com o aumento da temperatura para todos os dispositivos, devido a sua dependência com  $S$ , segundo descrito no item 2.6.6.

As razões  $gm/I_{DS}$  para os OSMs apresentaram valores similares em comparação com os resultados encontrados em seus respectivos CSMs equivalentes, independente do ângulo  $\alpha$  do OSM, considerando todas as temperaturas estudadas. Isto pode ser explicado pela equação (2.6.28), onde a razão  $gm/I_{DS}$  é inversamente proporcional a inclinação de sublimiar ( $S$ ), e como  $S$  aumenta com o aumento da temperatura (item 2.6.5), que causa uma redução da razão  $gm/I_{DS}$ , pode-se concluir que os valores de  $S$  do OSM, para os três ângulos  $\alpha$  estudado, são similares aos  $S$  de seus respectivos CSMs equivalentes, para todas as temperaturas estudadas, comprovando os resultados do item 3.3.6.

Agora, a Figura 3.46 mostra os gráficos das razões  $gm/I_{DS}$  dos OSMs, com os três valores diferentes de ângulo  $\alpha$ , e os seus respectivos CSMs equivalentes em função da temperatura, considerando  $I_{DS}/(W/L)$  igual a 100 nA (regime de inversão moderada) e  $V_{DS}$  igual a 2,5 V (região de saturação).

Figura 3.46 - Os gráficos das razões  $gm/I_{DS}$  dos SOI MOSFETs do tipo OCTO com  $\alpha$  igual a 53,1° (a),  $\alpha$  igual a 90,0 (b) e  $\alpha$  igual a 126,9° (c), e os seus respectivos CSMs equivalentes em função da temperatura, no regime de inversão moderada





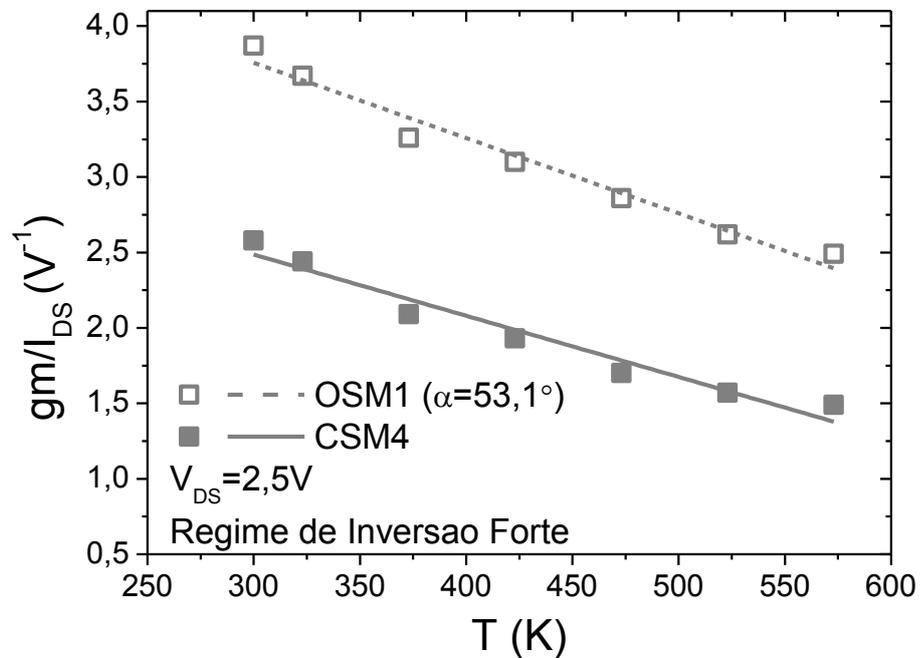
Fonte: Autor

Assim como ocorreu no comparativo do DSM e o seu CSM equivalente (item 3.2.7), a razão  $gm/I_{DS}$ , no regime de inversão moderada, reduz com o aumento da temperatura no comparativo experimental entre os OSMs e os seus CSMs equivalentes, como mostra a Figura 3.46. Além disso, os OSMs apresentaram valores de  $gm/I_{DS}$  sempre maiores que seus CSM equivalentes para todas as temperaturas estudadas. Por exemplo, o OSM apresentou um ganho

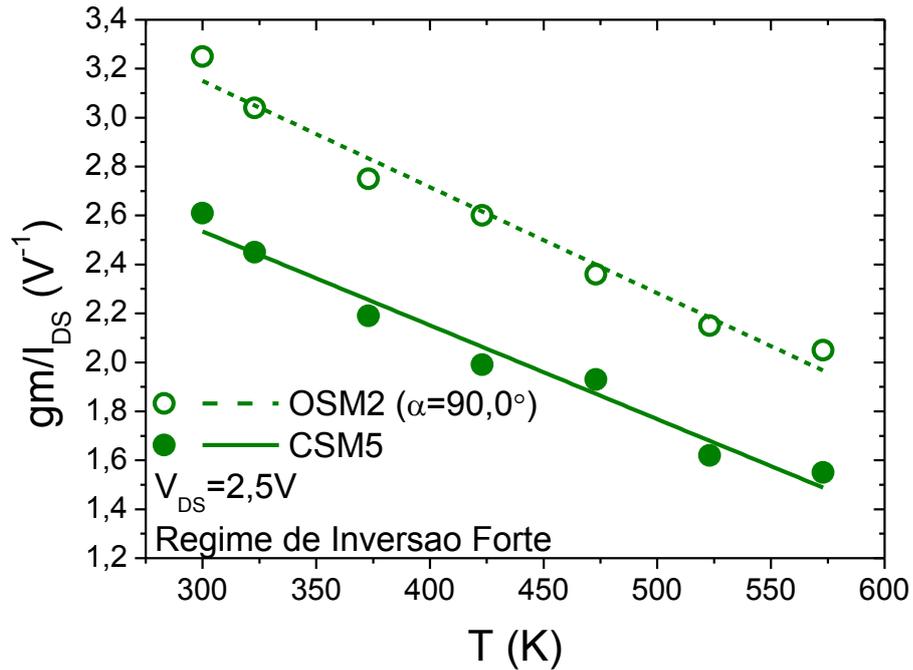
em relação ao seu CSM equivalente de 11%, 4% e 4% para temperatura igual a 300 K e 24%, 6% e 1% para temperatura igual a 573 K, considerando  $\alpha$  igual a 53,1°, 90,0° e 126,9°, respectivamente.

E por último, a Figura 3.47 mostra os gráficos das razões  $gm/I_{DS}$  dos OSMs, com os três valores diferentes de ângulo  $\alpha$ , e os seus respectivos CSMs equivalentes em regime de inversão forte, à medida que a temperatura aumenta, considerando  $V_{DS}$  igual a 2,5 V (região de saturação) e  $I_{DS}/(W/L)$  igual a 20  $\mu A$ .

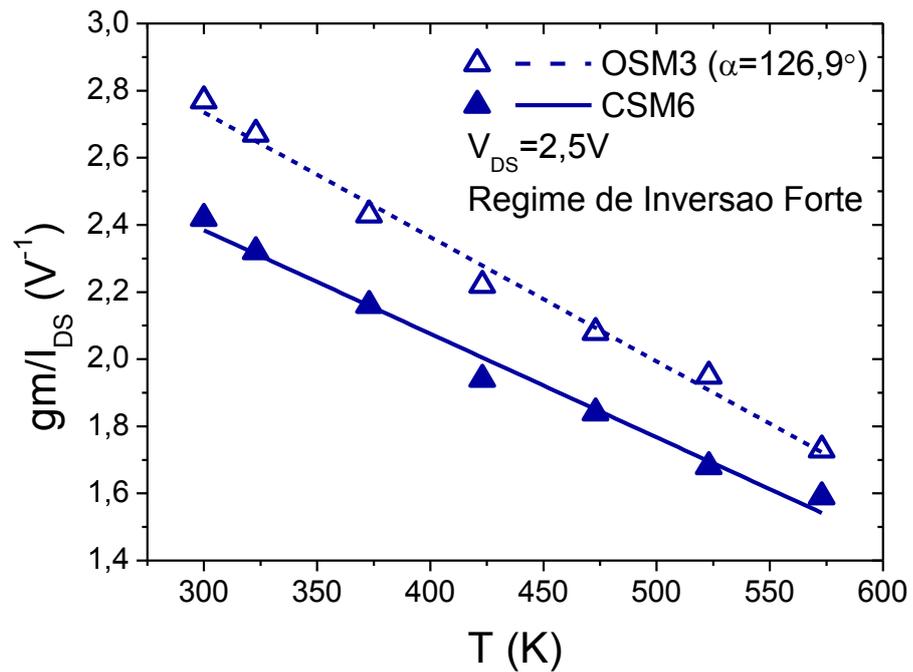
Figura 3.47 - Os gráficos das razões  $gm/I_{DS}$  dos SOI MOSFETs do tipo OCTO com  $\alpha$  igual a 53,1° (a),  $\alpha$  igual a 90,0 (b) e  $\alpha$  igual a 126,9° (c), e os seus respectivos CSMs equivalentes em função da temperatura, no regime de inversão forte



(a)



(b)



(c)

Fonte: Autor

Analisando a Figura 3.47 verifica-se que, a razão  $gm/I_{DS}$  reduz com o aumento da temperatura, assim como nos outros dois regimes de polarização, pois segue a variação da raiz quadrada da mobilidade com o aumento da temperatura, como explicado no item 2.6.6 (COLINGE, 2008). Os valores das razões  $gm/I_{DS}$  para os OSMs sempre se apresentaram

maiores do que aquelas encontrados em seus respectivos CSMs equivalentes. A estrutura OSM apresentou um ganho em relação ao seu CSM equivalente de 50%, 25% e 14% para temperatura igual a 300 K e 67%, 32% e 9% para temperatura igual a 523 K, considerando  $\alpha$  igual a 53,1°, 90,0° e 126,9°.

O ganho proporcionado pelos OSMs para a razão  $gm/I_{DS}$  em relação aos seus respectivos CSMs equivalentes, tanto no regime de inversão moderada (Figura 3.46) quanto no regime de inversão forte (Figura 3.47), são proporcionados pelos efeitos LCE e PAMDLE, que se mantem ativos em altas temperaturas e que potencializam a corrente  $I_{DS}$  e consequentemente a sua transcondutância.

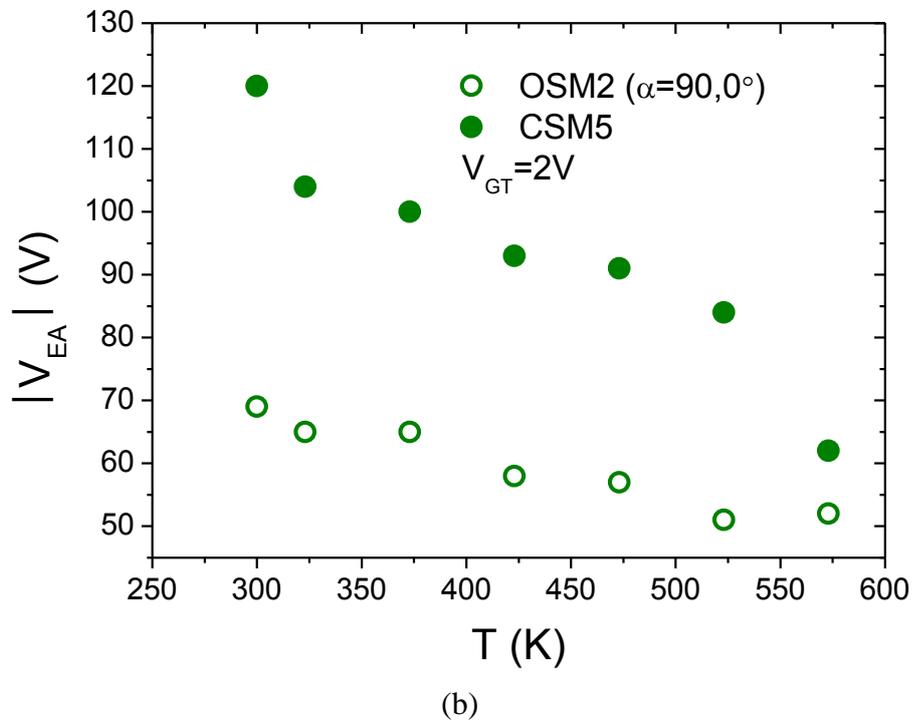
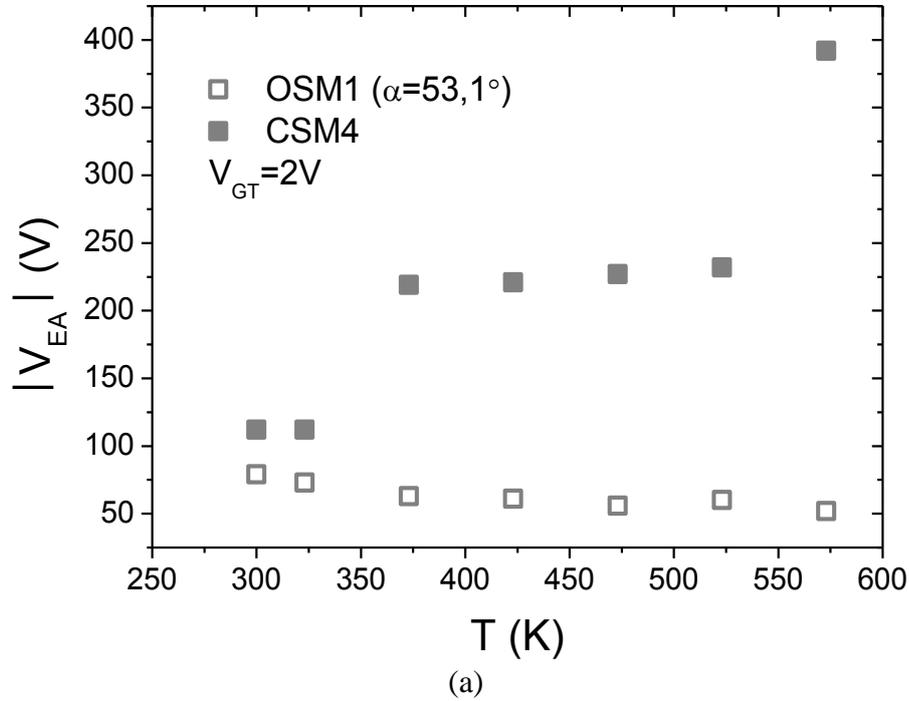
Tanto o DSM quanto o OSM com  $\alpha$  igual a 53,1° apresentaram valores da razão  $gm/I_{DS}$  maiores quando comparados com os transistores com ângulos  $\alpha$  igual a 90,0° e 126,9°, respectivamente (considerando regime de inversão moderada e forte), porque os ganhos dos efeitos LCE e PAMDLE são mais significantes à medida que o ângulo  $\alpha$  decrementa a partir de 180°, resultando em altos valores da razão  $gm/I_{DS}$ , considerando todas as temperaturas estudadas.

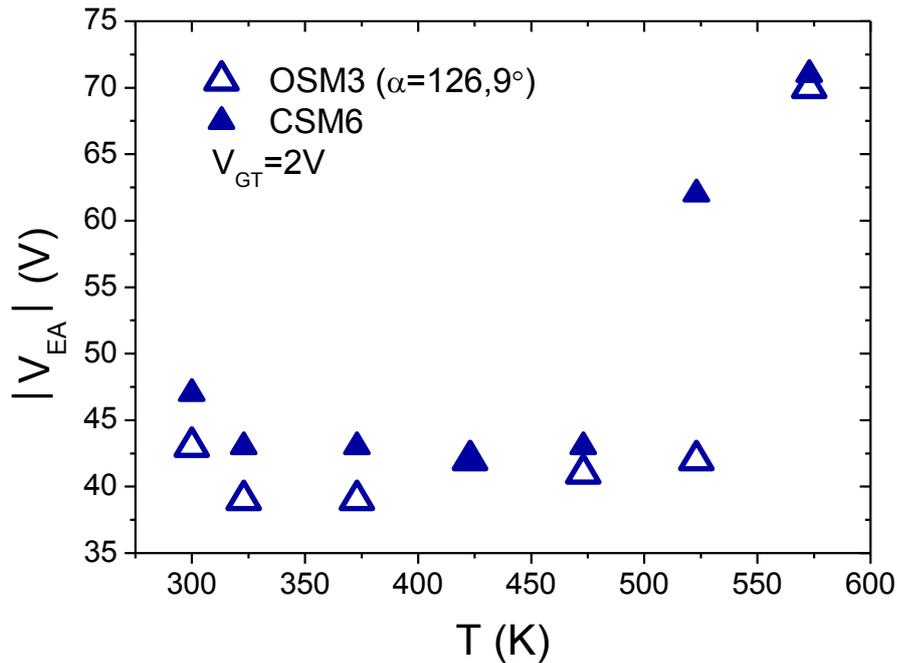
Portanto os SOI MOSFETs do tipo OCTO, assim como o SOI MOSFET do tipo Diamante, podem ser considerados uma ótima alternativa para projetar SOI MOSFET a fim de potencializar o desempenho analógico de CIs CMOS em altas temperaturas.

### 3.3.8 Tensão Early

A seguir, a Figura 3.48 ilustra as tensões Early entre os OSMs e os seus respectivos CSMs equivalentes em função da temperatura, considerando as mesmas condições de polarização. As tensões  $V_{EA}$  foram extraídas da forma de extrapolação da corrente de saturação (item 2.6.7).

Figura 3.48 - Os gráficos das tensões Early dos SOI MOSFETs do tipo OCTO para  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus respectivos CSMs equivalentes em função da temperatura, considerando  $V_{GT}$  igual a 2 V





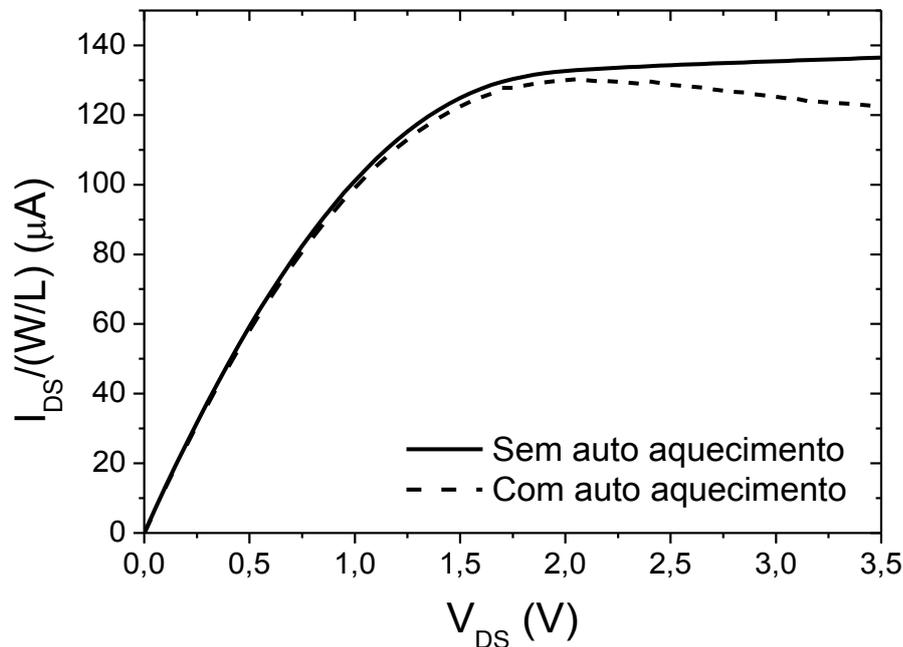
(c)

Fonte: Autor

Analisando a Figura 3.48.a, é possível analisar que  $V_{EA}$  para o CSM4 aumenta abruptamente quando a temperatura aumenta a partir de 323 K, indicando que o transistor está sofrendo do efeito chamado de auto aquecimento (COLINGE, 2004). Como os SOI MOSFETs são termicamente isolados do substrato pelo óxido enterrado, a remoção de excesso de calor gerado dentro do transistor é menos eficiente do que o observado em um MOSFET convencional (*Bulk*), chegando a possuir uma condutividade térmica 100 vezes inferior, que resulta em uma substancial elevação da temperatura do transistor (COLINGE, 2004).

O calor gerado pode se propagar de um transistor para o outro, e o acoplamento térmico pode afetar o funcionamento dos CIs analógicos sensíveis às variações, tais como os espelhos de corrente (COLINGE, 2004). Devido ao auto aquecimento, uma resistência negativa pode ser observada na característica de saída de um CSM, como ilustra a Figura 3.49, que é devido ao efeito da redução da mobilidade, causado pelas altas temperaturas que traz uma redução da corrente de dreno e a condutância de saída ( $g_D$ ) decremента também, ou seja, fica negativa ou próxima de zero (COLINGE, 2004). E à medida que a tensão  $V_{DS}$  aumenta o auto aquecimento aumenta, causando condutância de saída cada vez mais negativa na região de saturação, devido à redução da mobilidade.

Figura 3.49 - Exemplo de um gráfico das correntes de dreno com e sem auto aquecimento de um SOI nMOSFET totalmente depletado



Fonte: Autor

O efeito do auto aquecimento no CSM4 traz um valor muito maior da tensão de Early do que a encontrada no OSM1 (Figura 3.48.a), e, portanto a confiabilidade do OSM1 em relação ao seu CSM equivalente, especialmente em termos de ganho de tensão intrínseco ( $A_V$ ) é muito melhor, pelo fato de  $V_{EA}$  do OSM1 decrementar à medida que a temperatura aumenta, como esperado pela literatura (WOLPERT; AMPADU, 2012); (COLINGE, 2004); (BABCOCK; CHOI *et al.*, 2010); (MARTINO; NEVES *et al.*, 2014); (YANG; LIN *et al.*, 2014). Além disso, o OSM1 não sofre com o efeito do auto aquecimento, sendo uma grande vantagem em relação ao seu CSM equivalente, pois o ganho  $A_V$  se comportará corretamente em altas temperaturas.

Uma hipótese para justificar o não aparecimento do efeito do auto aquecimento no OSM1 é que o campo elétrico longitudinal é maior pela presença do efeito LCE e, portanto, a velocidade dos portadores móveis na região do canal tende a ser maior do que a observada em seu correspondente equivalente e, conseqüentemente, evita a ocorrência do auto aquecimento. Além disso, o perímetro das junções dreno/canal e fonte/canal do OSM1 são maiores do que seu convencional equivalente, conforme a Tabela 3.13, o que proporciona uma maior dissipação de calor (trabalhos futuros usando simulações em três dimensões irão investigar com mais propriedades este comportamento nestes dispositivos).

Agora quando se compara o OSM com  $\alpha$  igual a  $90.0^\circ$  e seu CSM equivalente (Figura 3.48.b), a tensão Early para ambos os transistores reduz em altas temperaturas (BABCOCK; CHOI *et al.*, 2010); (MARTINO; NEVES *et al.*, 2014); (YANG; LIN *et al.*, 2014), mas a tensão Early do OSM2 tende de ser menor do que a encontrada em seu CSM equivalente, devido a sua resultante do campo elétrico longitudinal, que é consequência do efeito LCE, ser maior que a encontrada no CSM5 e, conseqüentemente, aumentando a inclinação de  $I_{DS}$  na região de saturação que traz uma redução maior de  $V_{EA}$  e  $g_D$  (Tabela 3.22) em relação ao seu CSM equivalente, considerando as mesmas condições de polarização em ambos os transistores. Portanto, as regiões de depleção no dreno do OSM2 tende a aumentar ainda mais com a mesma polarização de  $V_{DS}$ , em comparação com o CSM5, causando o efeito de ionização por impacto e reduzindo a tensão Early. Mas a variação da tensão Early é muito menor no OSM2 do que a observada no CSM5, ou seja,  $V_{EA}$  do OSM2 variou 25% contra, uma variação de 48% do  $V_{EA}$  do OSM2, à medida que a temperatura aumentou de 300 K até 573 K.

E finalmente, o comparativo do OSM com  $\alpha$  igual a  $126.9^\circ$  com o seu CSM equivalente (Figura 3.48.c), mostra que os valores de  $V_{EA}$  apresentam praticamente o mesmo comportamento em função da temperatura, mas na temperatura de 523 K o CSM6 começa a sofrer do efeito de auto aquecimento, em contraste com o OSM3 que sofre de auto aquecimento a partir de T igual a 573K, devido ao maior campo elétrico longitudinal.

Assim como realizado no comparativo da tensão Early entre o DSM e o seu CSM equivalente, calculou-se a variação de  $V_{EA}$  com o aumento da temperatura pela equação (2.6.31), onde os valores de  $g_{D\_SAT}$  e  $I_{DS\_SAT}$  foram extraídos para  $V_{DS}$  igual a 3V, conforme ilustra a Tabela 3.21, a Tabela 3.22 e a Tabela 3.23, comprovando que os resultados de  $V_{EA}$  por este método se apresentaram relativamente próximos aos valores de  $V_{EA}$  extraídos pelo método de extrapolação da corrente de dreno (com erro máximo de 24%). Além disso, é possível observar que, o efeito LCE aumenta o efeito de ionização por impacto e conseqüente o OSM apresenta um maior valor de  $g_{D\_SAT}$  em relação ao seu convencional equivalente (CSM).

Tabela 3.21 - Tabela dos valores de  $g_{D\_SAT}$  e  $I_{DS\_SAT}$  para o cálculo de  $V_{EA}$  em função da temperatura para o OSM1 e o CSM4, considerando  $V_{DS}$  igual a 3 V

T (K)	$g_{D\_SAT}$ ( $\mu S$ )		$I_{DS\_SAT}$ ( $\mu A$ )		$V_{EA} = \frac{I_{DS\_SAT}}{g_{D\_SAT}}$	
	CSM4	OSM1	CSM4	OSM1	CSM4	OSM1
300	1,15	3,03	146	267	126,96	88,12
323	1,09	2,82	133	240	122,02	85,11
373	0,32	2,69	100	199	312,50	73,98
423	0,30	2,44	81	174	270,00	71,31
473	0,25	2,20	68	141	272,00	64,09
523	0,17	1,93	58	129	341,18	66,84
573	0,12	1,84	55	117	458,33	63,59

Fonte: Autor

Tabela 3.22 - Tabela dos valores de  $g_{D\_SAT}$  e  $I_{DS\_SAT}$  para o cálculo de  $V_{EA}$  em função da temperatura para o OSM2 e o CSM5, considerando  $V_{DS}$  igual a 3 V

T (K)	$g_{D\_SAT}$ ( $\mu S$ )		$I_{DS\_SAT}$ ( $\mu A$ )		$V_{EA} = \frac{I_{DS\_SAT}}{g_{D\_SAT}}$	
	CSM5	OSM2	CSM5	OSM2	CSM5	OSM2
300	2,17	4,16	254	322	117,05	77,40
323	2,09	3,80	218	283	104,31	74,47
373	1,76	2,90	179	224	101,70	77,24
423	1,51	2,51	142	179	94,04	71,31
473	1,35	2,31	123	162	91,11	70,13
523	1,25	2,14	100	143	80,00	66,82
573	1,20	1,90	92	133	76,67	70,00

Fonte: Autor

Tabela 3.23 - Tabela dos valores de  $g_{D\_SAT}$  e  $I_{DS\_SAT}$  para o cálculo de  $V_{EA}$  em função da temperatura para o OSM3 e o CSM6, considerando  $V_{DS}$  igual a 3 V

T (K)	$g_{D\_SAT}$ ( $\mu S$ )		$I_{DS\_SAT}$ ( $\mu A$ )		$V_{EA} = \frac{I_{DS\_SAT}}{g_{D\_SAT}}$	
	CSM6	OSM3	CSM6	OSM3	CSM6	OSM3
300	6,00	6,63	348	371	58,00	55,96
323	5,65	6,49	305	333	53,98	51,31
373	5,15	5,45	274	280	53,20	51,38
423	3,83	4,04	197	224	51,44	55,45
473	3,45	3,72	189	213	54,78	57,26
523	1,92	3,54	181	197	94,27	55,65
573	1,62	1,52	163	176	100,62	115,79

Fonte: Autor

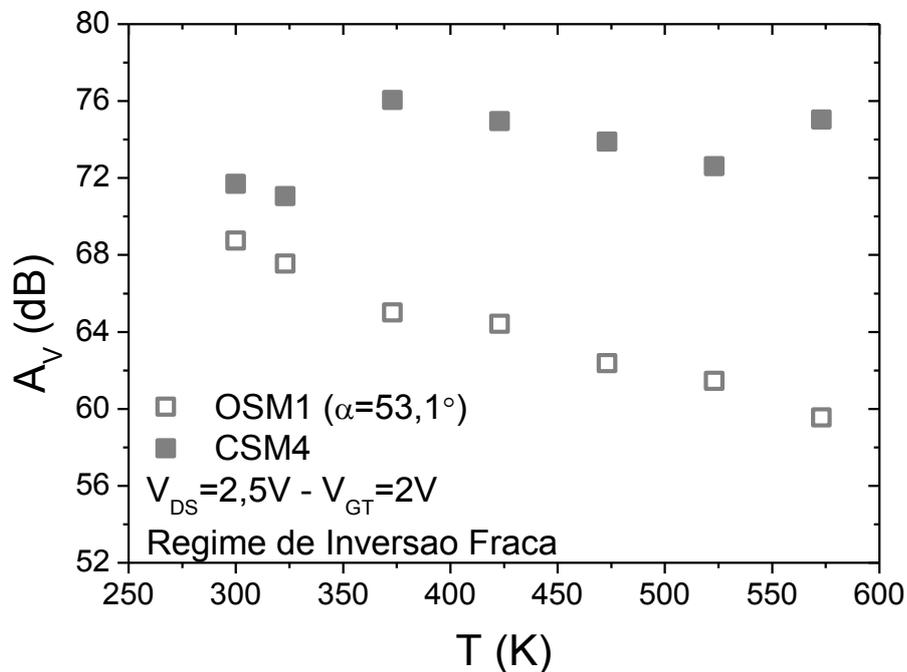
Observando os valores de  $g_{D\_SAT}$  para o CSM4 pela Tabela 3.21, conclui-se e

comprova que ele está sofrendo de auto aquecimento, devido aos seus valores estarem reduzindo e próximos de zero a medida que a temperatura aumenta, resultando no aumento de  $V_{EA}$  em altas temperaturas. O mesmo resultado ocorreu para o CSM6 a partir da temperatura de 523 K e para o OSM3 para temperaturas a partir de 573K, conforme a Tabela 3.23

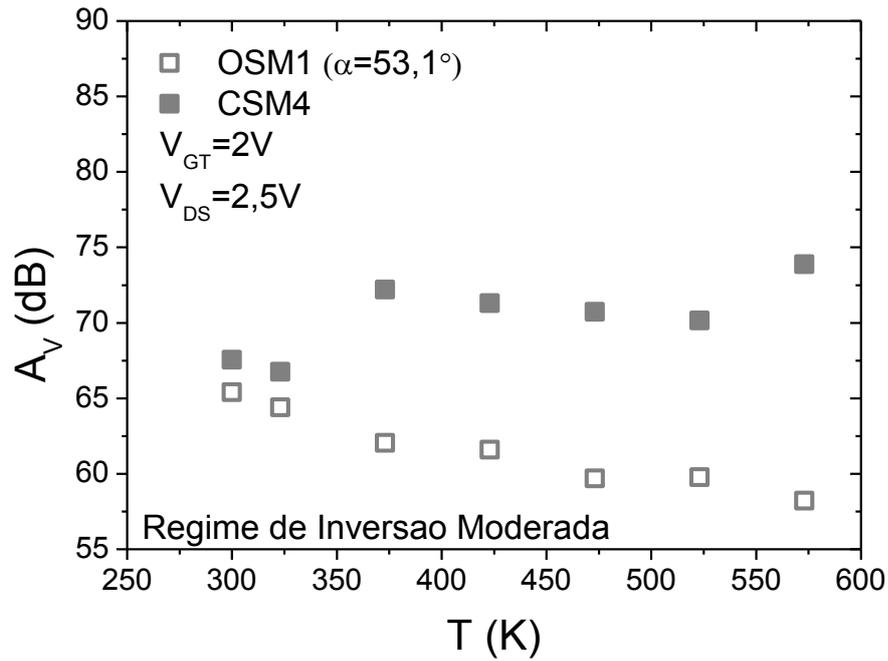
### 3.3.9 Ganho de tensão intrínseco

Os valores dos ganhos de tensão intrínseco do OSM com ângulo  $\alpha$  igual a  $53,1^\circ$  e do seu CSM equivalente em função da temperatura está ilustrado Figura 3.50, para os três regimes de inversão, considerando  $V_{DS}$  e  $V_{GT}$  igual a 2,5 V e 2 V, respectivamente. Sendo que, os valores de  $I_{DS}/(W/L)$  para a extração das razões  $gm/I_{DS}$ , nos regimes de inversão moderada e forte, são iguais a 100 nA e 20  $\mu$ A, respectivamente.

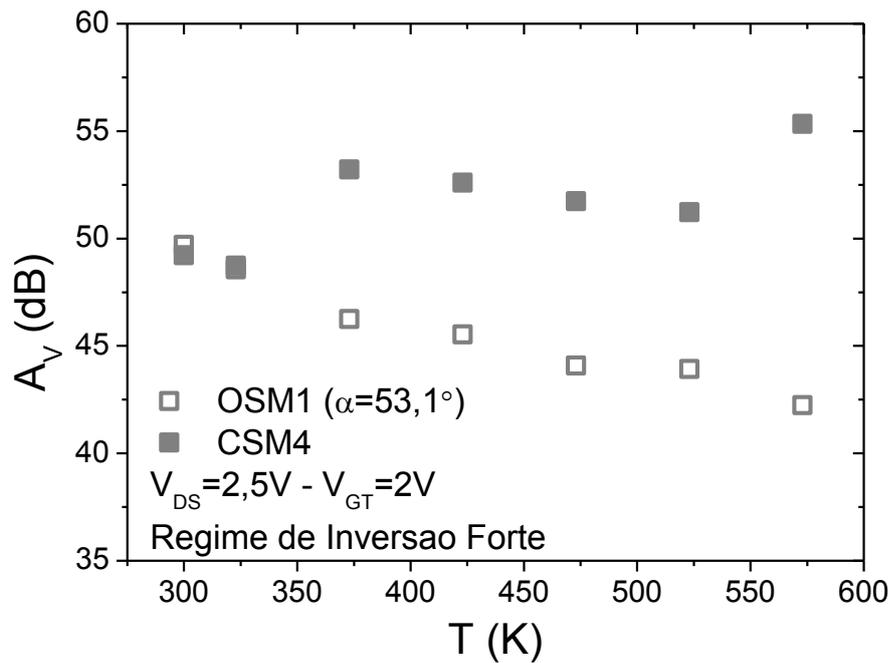
Figura 3.50 - Os gráficos de  $A_V$  do SOI MOSFET do tipo OCTO para  $\alpha$  igual a  $53,1^\circ$  no regime de inversão fraca (a), moderada (b) e forte (c) e dos seus CSMs equivalentes em função da temperatura



(a)



(b)



(c)

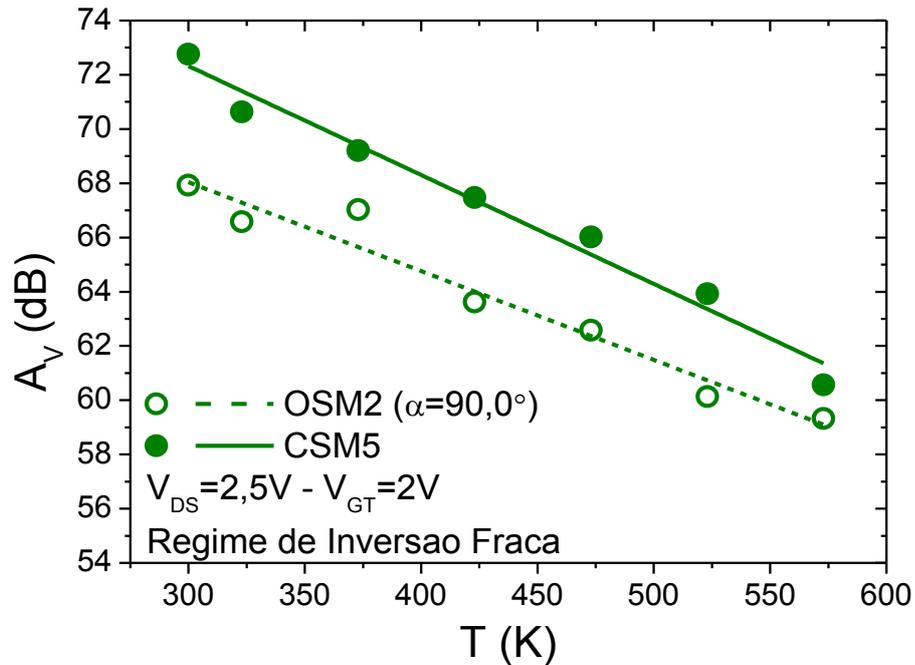
Fonte: Autor

Pode-se observar pela Figura 3.50, que os valores de  $A_V$  estão reduzindo com o aumento da temperatura, exceto para o CSM4, onde seus valores de  $A_V$  aumentam a partir da temperatura de 323 K até 573 K, devido ao aumento abrupto de sua tensão Early (Figura 3.48.a) causado pelo efeito de auto aquecimento, que foi explicado no item 3.3.8, sendo não possível caracterizar este parâmetro, nos três regimes de inversão. Assim, o ganho  $A_V$  do OSM1 apresenta uma variação de 13%, 11% e 15% para o regime de inversão fraca,

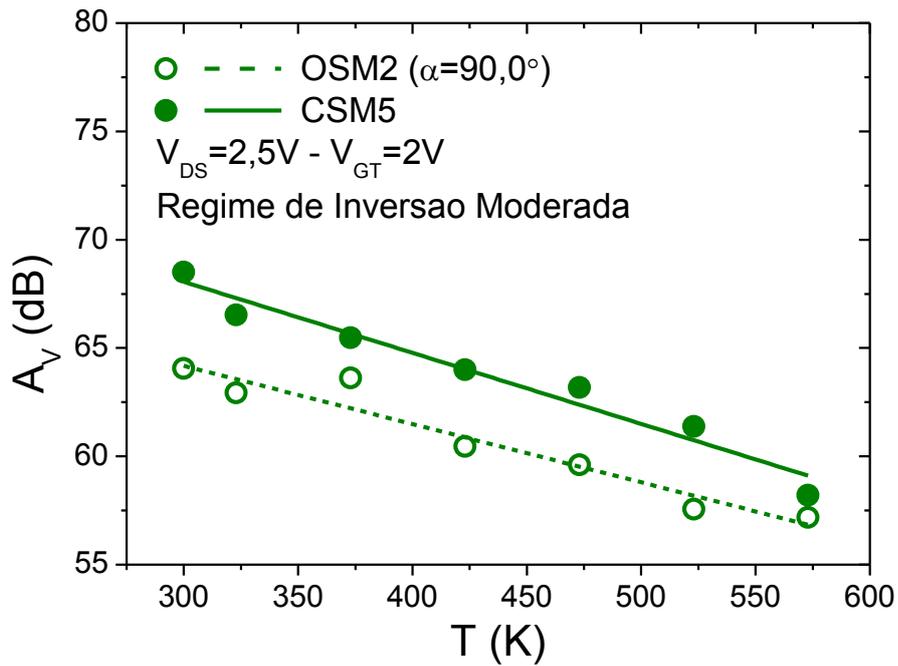
moderada e forte, respectivamente, quando se considera o aumento da temperatura de 300 K para 573 K. Isto mostra que nos três regimes de polarização, o OSM1 apresenta praticamente a mesma variação percentual do  $A_V$  à medida que a temperatura aumenta.

A Figura 3.51 ilustra os valores de  $A_V$  em dB, nos três regimes de polarização, para o OSM com ângulo  $\alpha$  igual a  $90,0^\circ$  e o seu respectivo CSM equivalente em função da temperatura, operando na região de saturação, onde  $V_{EA}$  foi extraído para  $V_{GT}$  igual a 2 V e  $g_m/I_{DS}$  para  $V_{DS}$  igual a 2,5 V. Considerando o valor de  $I_{DS}/(W/L)$  para a extração da razão  $g_m/I_{DS}$ , nos regimes de inversão moderada e forte, igual a 100 nA e 20  $\mu$ A, respectivamente.

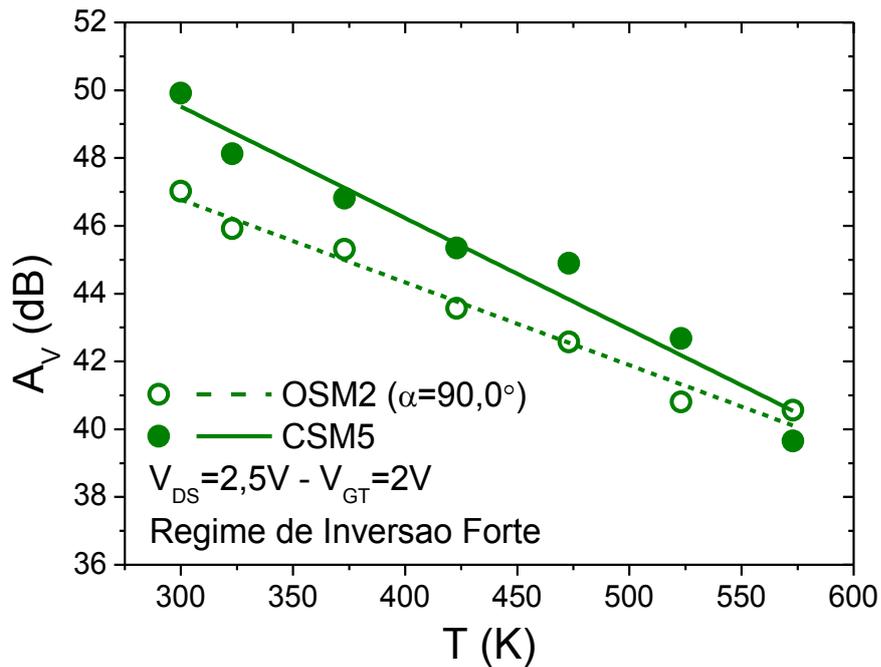
Figura 3.51 - Os gráficos de  $A_V$  do SOI MOSFET do tipo OCTO para  $\alpha$  igual a  $90,0^\circ$  no regime de inversão fraca (a), moderada (b) e forte (c) e do seu CSM equivalente em função da temperatura



(a)



(b)



(c)

Fonte: Autor

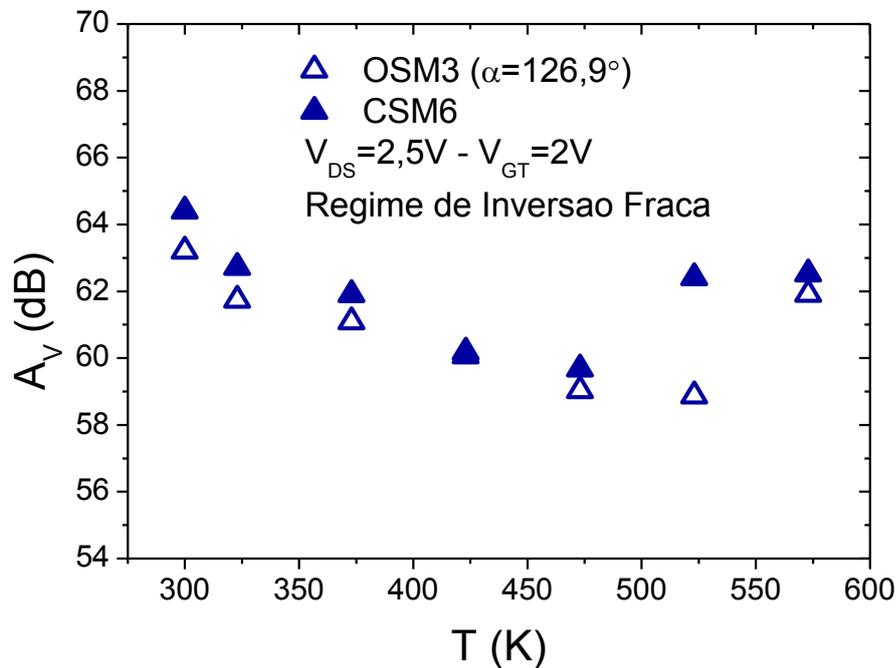
Quando se compara o OSM2 com seu respectivo CSM equivalente, como ilustrado na Figura 3.51, os valores de  $A_V$  para o OSM2 são sempre menores do que aqueles encontrados em seu CSM equivalente nos três regimes de inversão. O OSM2 apresentou, em relação ao seu CSM equivalente, uma redução percentualmente de 7%, 6% e 6% para temperatura de 300 K, nos regimes de inversão fraca, moderada e forte, respectivamente, e apenas uma

redução 2% para a temperatura de 573 K nos três regimes de polarização.

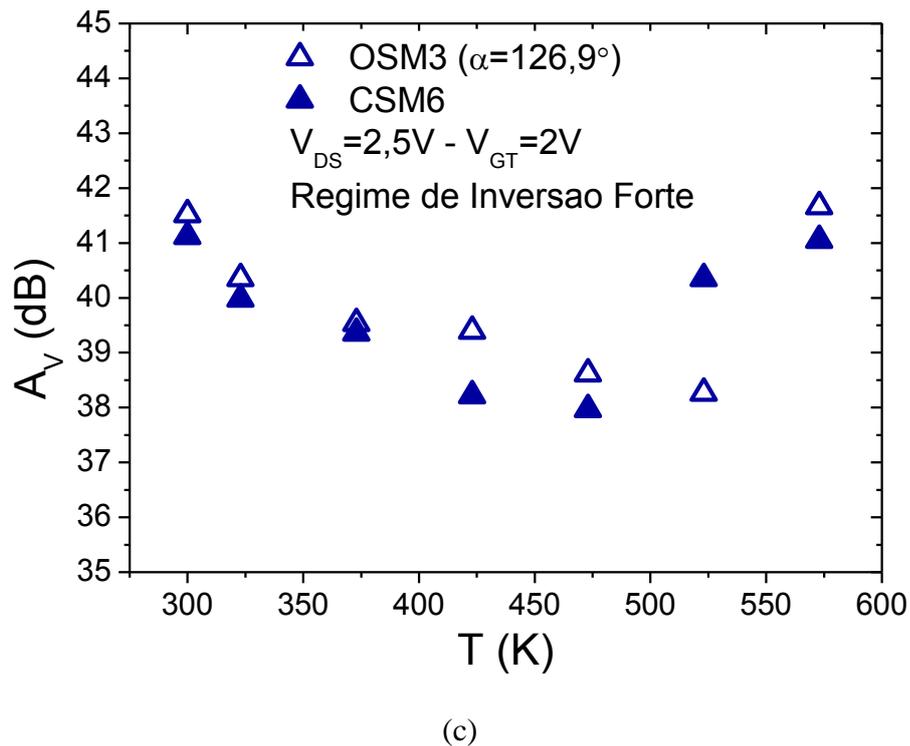
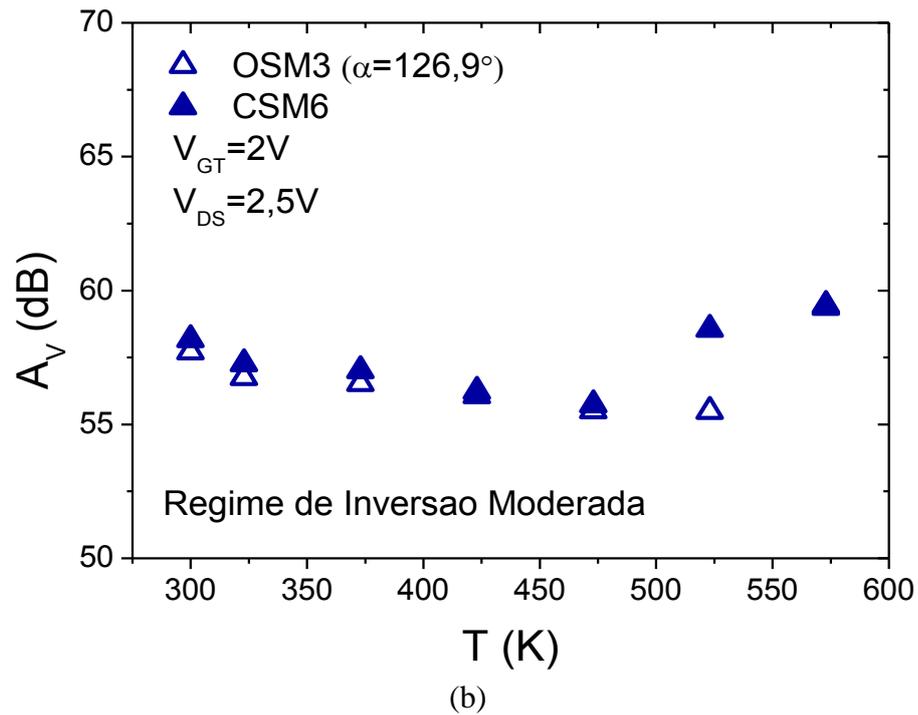
Essa perda que o OSM2 apresentou em  $A_V$  é devido a resultante de o campo elétrico longitudinal ser maior em sua estrutura do que a resultante de campo elétrico longitudinal presente no CSM5, causando um maior efeito de ionização por impacto e consequentemente aumentando a corrente  $I_{DS}$  e reduzindo sua tensão Early (item 3.3.8), o que resulta em valores menores de  $A_V$  em relação ao seu CSM equivalente, como ilustrado na Figura 3.51.

E por último, é apresentado na Figura 3.52 os gráficos dos ganhos de tensão intrínseco em dB, nos três regimes de polarização, para o OSM com ângulo  $\alpha$  igual a  $126,9^\circ$  e o seu respectivo CSM equivalente em função da temperatura, no qual  $V_{DS}$  é igual a 2,5 V (região de saturação) e o valor de  $V_{EA}$  extraído para  $V_{GT}$  igual a 2 V. Considerando o valor de  $I_{DS}/(W/L)$  para a extração das razões  $g_m/I_{DS}$ , nos regimes de inversão moderada e forte, igual a 100 nA e 20  $\mu$ A, respectivamente.

Figura 3.52 - Os gráficos de  $A_V$  do SOI MOSFET do tipo OCTO para  $\alpha$  igual a  $126,9^\circ$  no regime de inversão fraca (a), moderada (b) e forte (c) e do seu CSM equivalente em função da temperatura



(a)



Fonte: Autor

Para o OSM com  $\alpha$  igual a  $126,9^\circ$  e seu respectivo CSM homólogo, o parâmetro  $A_V$  praticamente apresenta o mesmo comportamento em dB para ambos os transistores e nos três regime de polarização, como ilustra a Figura 3.52, pois para esse ângulo  $\alpha$  o OSM está muito próximo de uma geometria de porta retangular o que traz uma redução dos efeitos LCE e PAMDLE, reduzindo assim o efeito de ionização por impacto e apresentando valores

similares entre si de  $V_{EA}$ , como mostrou a Figura 3.48.c. Mas quando o CSM3 está na temperatura de 523 K, ele começa a sofrer do efeito de auto aquecimento, causando um aumento incontrollável de  $A_V$  em altas temperaturas. E o OSM3 somente começa a sofrer do efeito de auto aquecimento na temperatura de 573 K.

### 3.3.10 Frequência de ganho de tensão unitário

A seguir, a Tabela 3.24 mostra os valores da transcondutância dos SOI MOSFETs do tipo OCTO e dos seus respectivos CSMs equivalentes, normalizada pelos seus respectivos W/L, em função da temperatura, para  $V_{DS}$  igual 2,5 V, sendo esses valores usados para o cálculo de  $f_T$ . Nota-se que esses valores decaem à medida que a temperatura aumenta, devido à redução da mobilidade dos portadores livres na região do canal em altas temperaturas, como explicado no item 2.6.4.

Tabela 3.24 - Valores de  $gm/(W/L)$  dos SOI MOSFETs do tipo OCTO (OSM1, OSM2 e OSM3) e dos seus respectivos CSMs equivalentes em função da temperatura, para  $V_{DS}$  e  $V_{GT}$  igual a 2,5 V, apresentando as diferenças percentuais entre os pares de dispositivos homólogos considerados

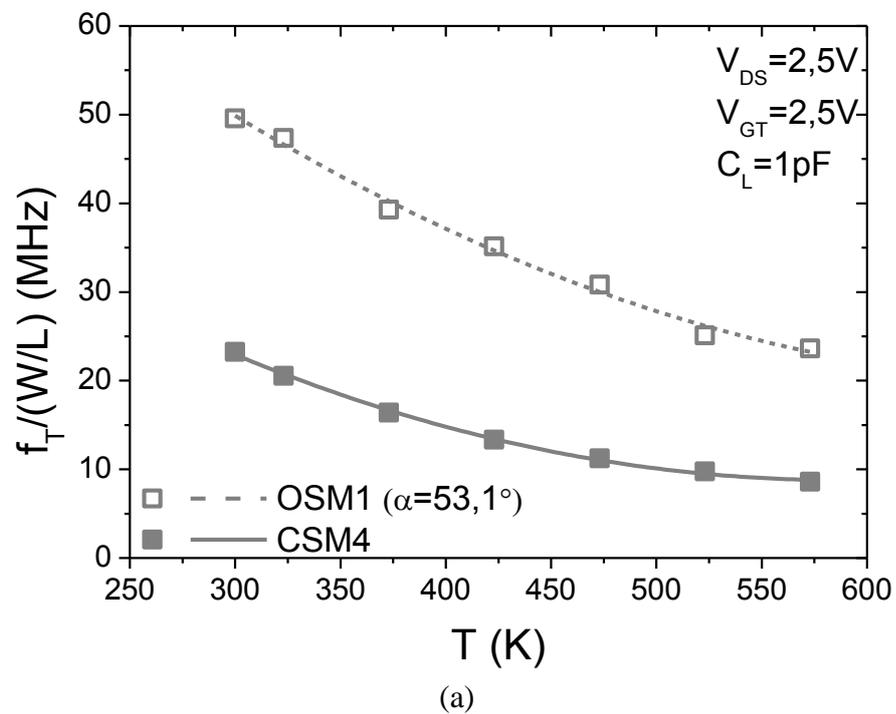
T (K)	gm/(W/L) ( $\mu$ S)		Ganho do OSM1 (%)	gm/(W/L) ( $\mu$ S)		Ganho do OSM2 (%)	gm/(W/L) ( $\mu$ S)		Ganho do OSM3 (%)
	OSM1	CSM4		OSM2	CSM5		OSM3	CSM6	
300	312	146	114	221	142	56	171	137	25
323	298	129	131	198	127	56	161	120	34
373	247	103	140	161	103	56	127	101	26
423	221	84	163	144	85	69	108	86	26
473	194	71	173	124	83	49	100	82	22
523	158	61	159	99	62	60	89	65	37
573	148	54	174	97	60	62	73	58	26

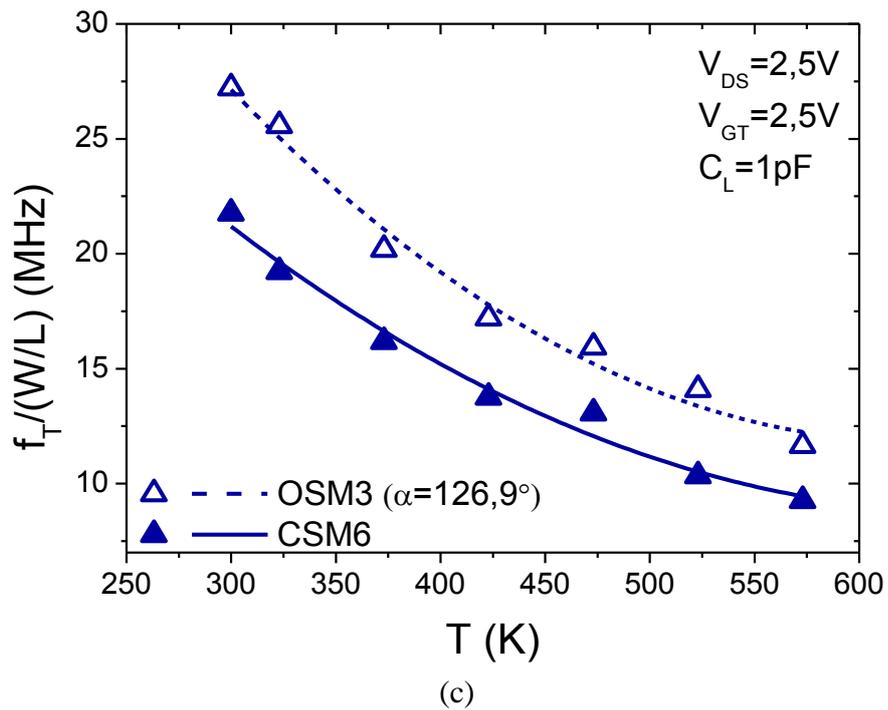
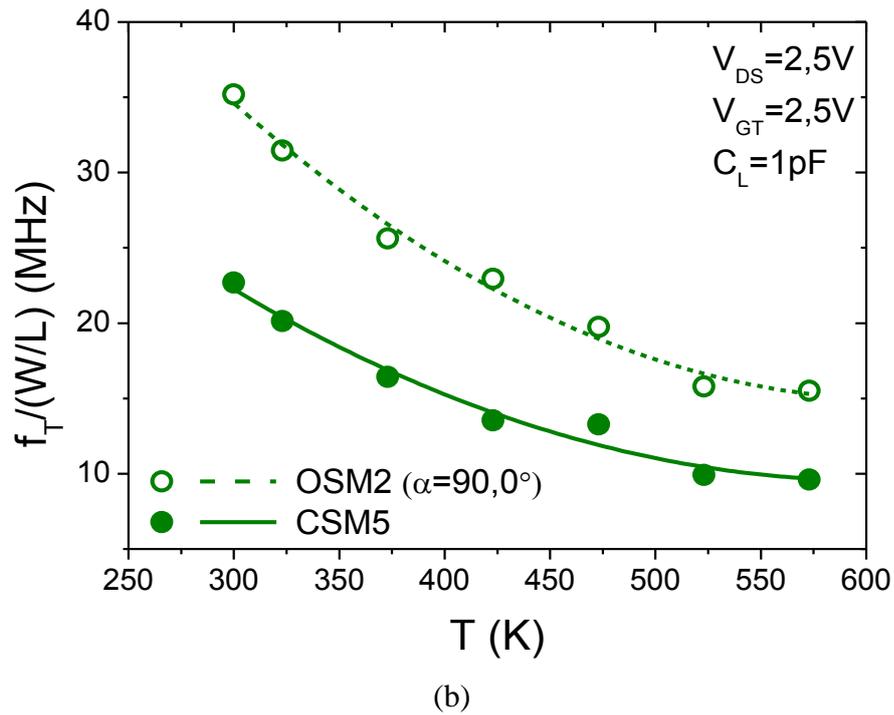
Fonte: Autor

Com os dados da Tabela 3.24, verifica-se que, além da estrutura OSM apresentar valores de transcondutâncias maiores em relação aos seus respectivos CSM equivalentes, à medida que o ângulo  $\alpha$  aumenta a partir de  $53,1^\circ$  o ganho de corrente de dreno, a melhora na velocidade média de deriva dos portadores móveis na região do canal e conseqüentemente a sua transcondutância reduzem devido a menor intensidade do efeito LCE e a redução do ganho proporcionado pelo efeito PAMDLE, pois a estrutura OSM se aproxima de uma

estrutura retangular, igual a do CSM. E isso traduzirá também na frequência de ganho de tensão unitário, conforme ilustra a Figura 3.53, onde estão ilustrados os gráficos de  $f_T/(W/L)$  dos OSMs e dos seus respectivos CSMs equivalentes em função da temperatura, considerando  $C_L$  igual a 1 pF, e estes SOI MOSFETs estão operando na região de saturação e em regime de inversão moderada ( $V_{GT}$  igual a 2,5 V e  $V_{DS}$  igual a 2,5 V).

Figura 3.53 - Os gráficos de  $f_T/(W/L)$  para os SOI MOSFETs do tipo OCTO com  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus respectivos CSMs equivalentes em função da temperatura





Fonte: Autor

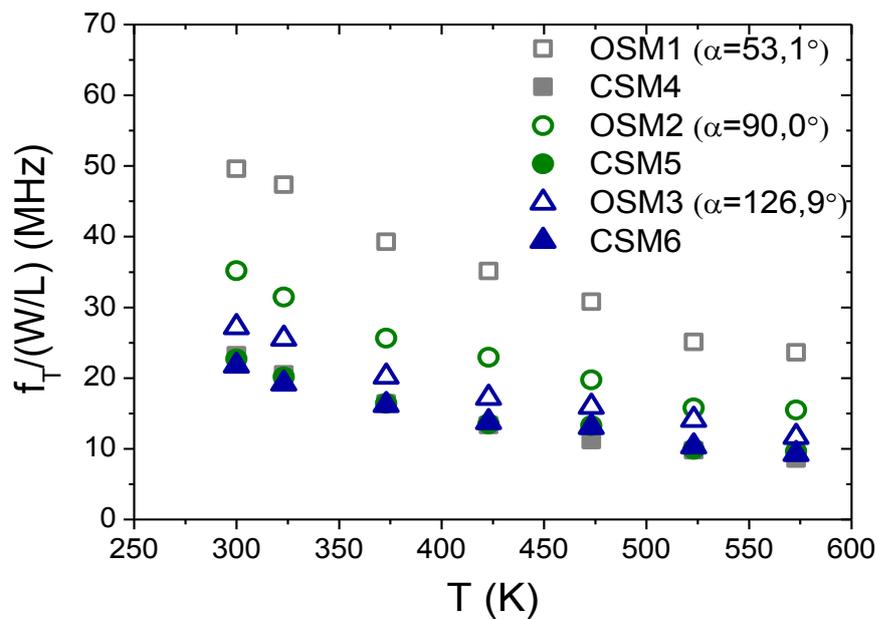
Exatamente como ocorreu com o comparativo envolvendo os DSMs e seus CSMs equivalentes,  $f_T/(W/L)$  reduz à medida que a temperatura aumenta. Além disso, analisando a Figura 3.53, o valor de  $f_T/(W/L)$  encontrado no OSM é sempre maior do que o encontrado em seu CSM equivalente, para os três ângulos  $\alpha$  estudados em todas as temperaturas. Quando os transistores estão em uma temperatura de 300K o OSM apresenta um ganho em termo de

$f_T/(W/L)$  de 113%, 55% e 25% considerando ângulos  $\alpha$  iguais a  $53,1^\circ$ ,  $90,0^\circ$  e  $126,9^\circ$ , respectivamente e ganhos de 175%, 61% e 26% para temperatura igual a 573 K, considerando ângulos  $\alpha$  iguais a  $53,1^\circ$ ,  $90,0^\circ$  e  $126,9^\circ$ , respectivamente.

Este ganho proporcionado pela estrutura SOI MOSFET do tipo OCTO em altas temperaturas, é devido à presença dos efeitos LCE e PAMDLE, que potencializam a transcondutância desses transistores em relação aos seus convencionais equivalentes, sempre considerando a mesma condição de polarização e isso prova, novamente, que os efeitos LCE e PAMDLE se mantêm ativos em altas temperaturas.

Pelo fato de o OSM apresentar altos valores de  $f_T/(W/L)$  em ambientes com altas temperaturas, ele se torna uma ótima alternativa para ser utilizado em amplificadores, em aplicações de rádio frequência, OTA, entre outras. E o transistor que apresentou melhores resultados em termos de frequência de ganho de tensão unitário é o OSM com  $\alpha$  igual a  $53,1^\circ$ , como ilustra a Figura 3.54 que ilustra  $f_T/(W/L)$  dos OSMs e dos seus respectivos CSMs equivalentes em função da temperatura, evidenciando principalmente a influência do ângulo  $\alpha$ , onde se sobressai o OSM com ângulo  $\alpha$  igual a  $53,1^\circ$ .

Figura 3.54 - Gráfico de  $f_T/(W/L)$  dos OSMs (para diferentes ângulos  $\alpha$ ) e dos seus respectivos CSMs equivalentes em função da temperatura, considerando  $V_{DS}$  igual a 2,5 V,  $V_{GT}$  igual a 2,5 V e  $C_L$  igual a 1pF

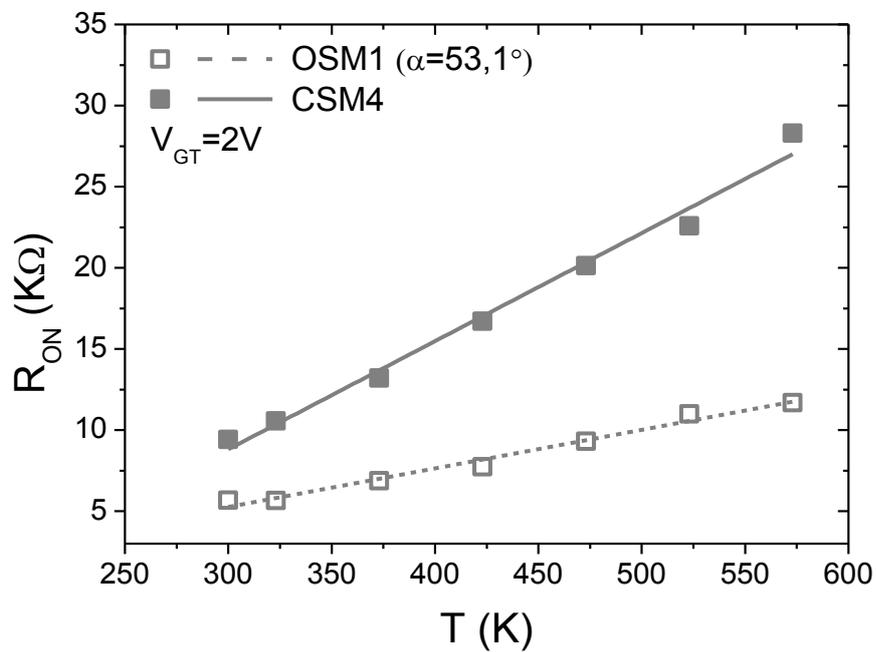


Fonte: Autor

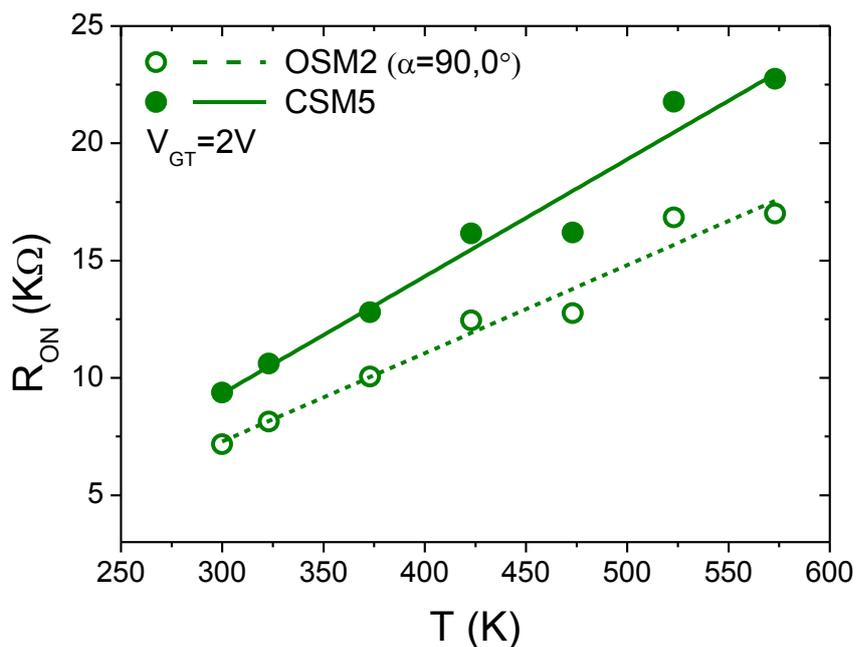
### 3.3.11 Resistência de dreno de estado ligado

A Figura 3.55 ilustra os valores experimentais de  $R_{ON}$  para os OSMs com os três diferentes ângulos  $\alpha$  e seus correspondentes CSMs equivalentes em função da temperatura, sendo que seus valores foram extraídos segundo o método descrito no item 2.6.10.

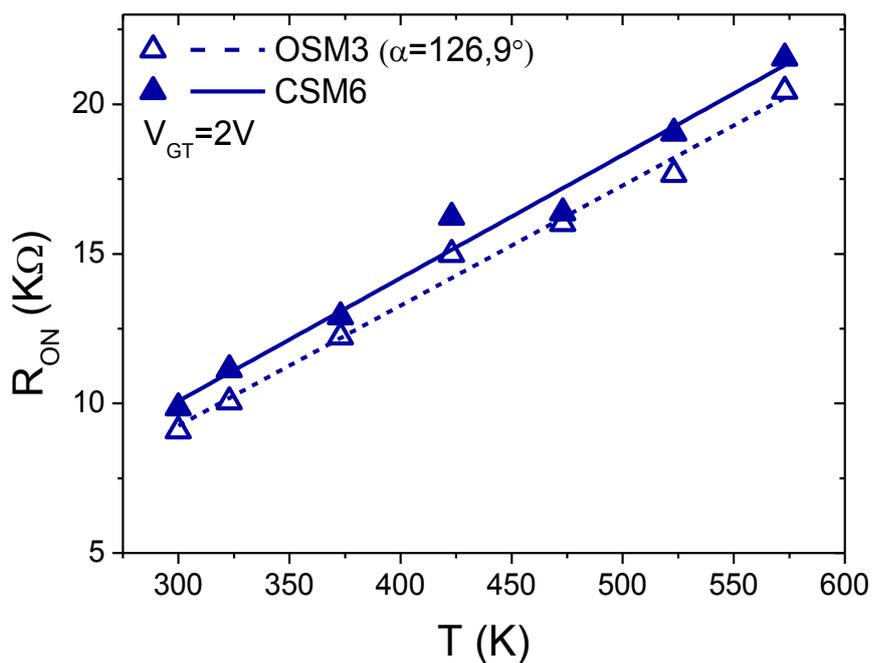
Figura 3.55 - Os gráficos de  $R_{ON}$  dos SOI MOSFETs do tipo OCTO com  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus respectivos CSMs equivalentes em função da temperatura



(a)



(b)



(c)

Fonte: Autor

Assim como ocorreu com os DSMs e seus CSMs equivalentes, a resistência  $R_{ON}$  também aumenta à medida que a temperatura aumenta como ilustra a Figura 3.55. Os valores de  $R_{ON}$  para os OSMs são sempre menores (aproximadamente 40%, 24% e 8% para temperatura igual a 300 K e 59%, 25% e 5% para temperatura igual a 573 K, considerando ângulos  $\alpha$  iguais a  $53,1^\circ$ ,  $90,0^\circ$  e  $126,9^\circ$ , respectivamente) do que os encontrados em CSM

equivalentes, devido principalmente à presença efeito LCE, que resulta em uma corrente de dreno maior, além da presença do efeito PAMDLE que também potencializa  $I_{DS}$  através do ganho  $G_{PAMDLE}$ .

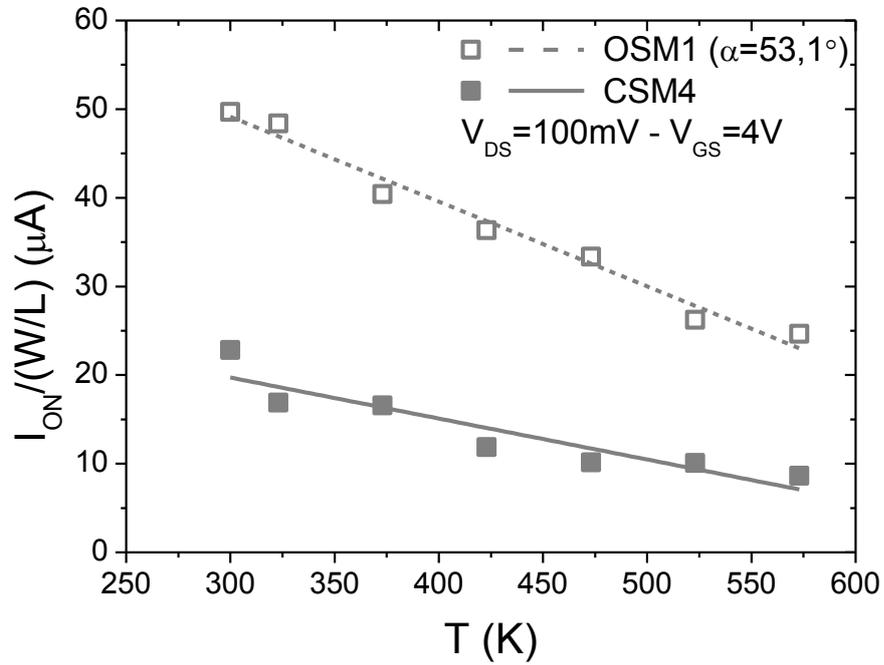
Além de o OSM apresentar menores valores de  $R_{ON}$ , o ângulo  $\alpha$  destes transistores pode influenciar nesta resistência. Quando o ângulo  $\alpha$  está próximo de  $180^\circ$ , o OSM apresenta comportamento semelhante aos seus respectivos convencionais equivalentes, mas quando o ângulo  $\alpha$  está próximo de  $0^\circ$ , a velocidade média de deriva dos portadores móveis na região do canal aumenta, traduzindo em altos valores de  $I_{DS}$  e menores valores de  $R_{ON}$ , devido ao alto campo elétrico longitudinal (efeito LCE). E quando se observa a Figura 3.55, verifica-se que para o OSM para  $\alpha$  igual a  $53,1^\circ$  (Figura 3.55.a) a resistência  $R_{ON}$  é sempre menor do que aquelas encontradas nos OSMs com  $\alpha$  igual a  $90,0^\circ$  e  $126,9^\circ$ , respectivamente.

Além disso, os DSMs e OSMs podem ser usados como elemento principal (chave de potência) em conversores AC-AC e DC-DC (HIRAOKA; MATSUMOTO *et al.*, 1998), porque apresentam baixos valores de  $R_{ON}$  e também reduzem a constante de tempo de atraso de CIs CMOS digitais, dado pelo produto de  $R_{ON}$  pela capacitância de porta até o substrato (GIMENEZ; CORREIA *et al.*, 2015), melhorando assim o desempenho da velocidade do CI CMOS.

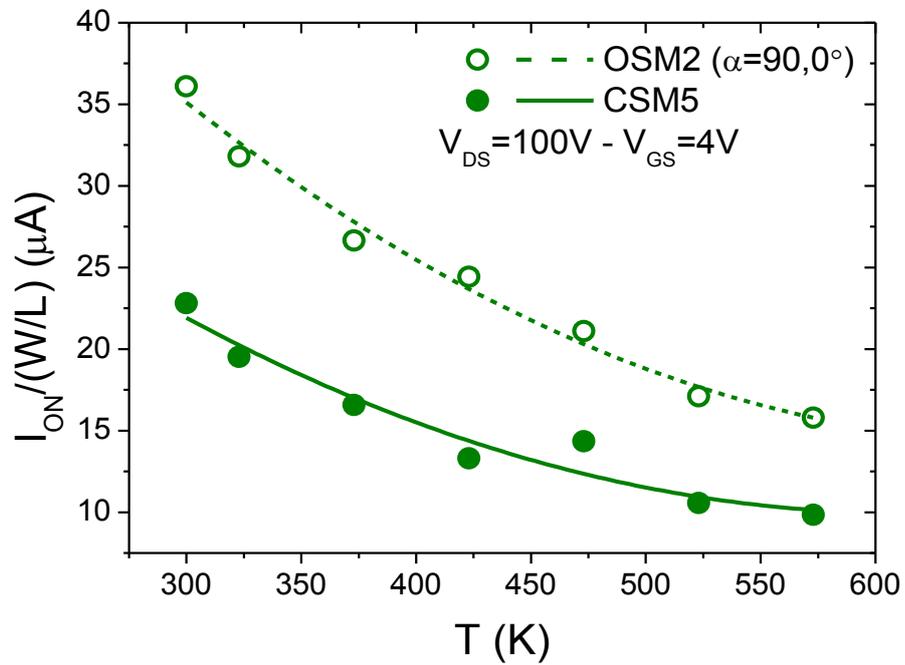
### 3.3.12 Corrente de dreno de estado ligado

A seguir, na Figura 3.56, estão ilustradas as correntes de dreno de estado ligado ( $I_{ON}$ ) normalizadas pela relação W/L dos OSMs, considerando os três ângulos  $\alpha$ , e dos seus respectivos CSMs equivalentes em função da temperatura. A corrente  $I_{ON}$  foi extraída para  $V_{DS}$  igual a 100 mV e  $V_{GS}$  igual a 4 V, segundo o método explicado no item 2.6.11.

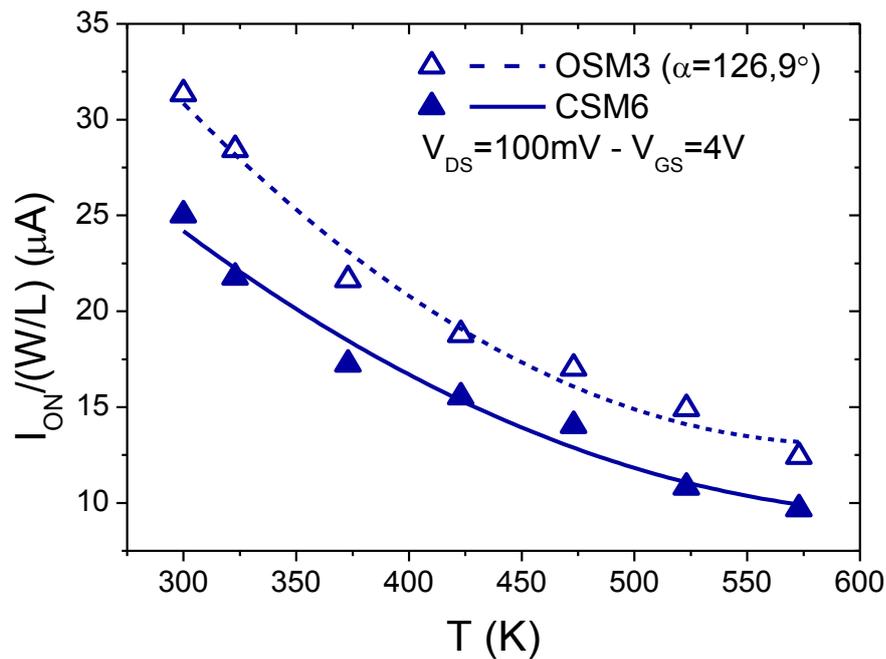
Figura 3.56 - Os gráficos de  $I_{ON}/(W/L)$  dos SOI MOSFETs do tipo OCTO com  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus respectivos CSMs equivalentes em função da temperatura



(a)



(b)



(c)

Fonte: Autor

Assim como ocorrido na comparação do DSM, a corrente  $I_{ON}$  reduz com o aumento da temperatura e o OSM sempre apresentou valores maiores (aproximadamente 118%, 58% e 25% para temperatura igual a 300 K e 186%, 60% e 28% para temperatura igual a 573 K, considerando ângulos  $\alpha$  iguais a 53,1°, 90,0° e 126,9°, respectivamente) do que os encontrados em CSM equivalentes, devido, principalmente, à presença efeito LCE, que potencializa a corrente  $I_{ON}$ , além da presença do efeito PAMDLE, como ilustra a Figura 3.56.

Tanto os DSMs quanto os OSMs, à medida que o ângulo  $\alpha$  aumenta, o ganho de corrente de  $I_{ON}$  reduz, devido à redução dos efeitos LCE e PAMDLE, pois ambos os transistores estão cada vez mais se aproximam de uma estrutura com geometria de porta retangular.

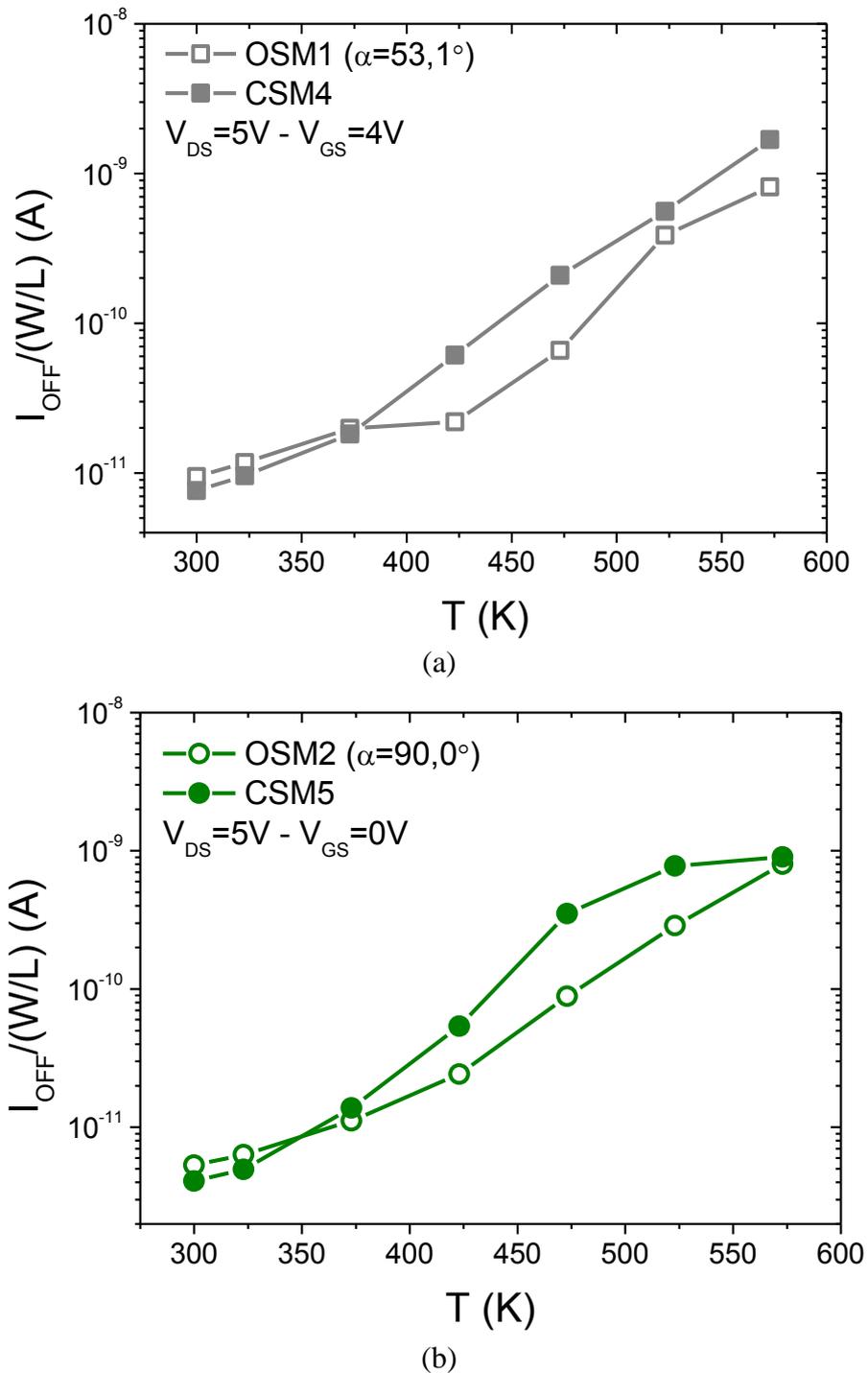
Os DSMs e os OSMs podem ser uma ótima alternativa para uso em circuitos integrados digitais, devido aos altos valores de  $I_{ON}$ , comparados com os seus respectivos CSM equivalentes.

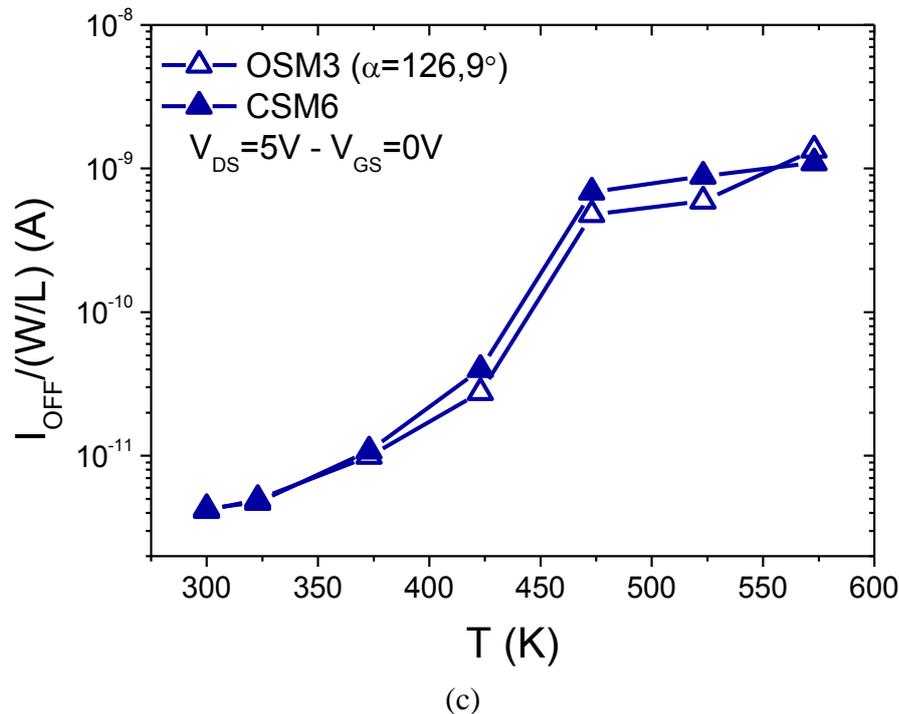
### 3.3.13 Corrente de dreno de estado desligado

A seguir, a Figura 3.57 ilustra os gráficos das correntes de dreno de estado desligado

( $I_{OFF}$ ) normalizadas pela relação  $W/L$  para os OSMs, considerando os três ângulos  $\alpha$ , e para os seus respectivos CSMs equivalentes em função da temperatura. As correntes de dreno de estado desligado foram extraídas para  $V_{DS}$  igual a 5 V e  $V_{GS}$  igual a 0 V (região de corte), segundo o método explicado no item 2.6.12.

Figura 3.57 - Os gráficos de  $I_{OFF}/(W/L)$  dos SOI MOSFETs do tipo OCTO com  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus respectivos CSMs equivalentes em função da temperatura





Fonte: Autor

À medida que a temperatura aumenta os valores de  $I_{OFF}$  também aumenta como mostra a Figura 3.57, assim como ocorreu anteriormente com o DSM (item 3.2.13). O OSM com  $\alpha$  igual a  $126,9^\circ$  e seu CSM equivalente apresentam valores de  $I_{OFF}$  similares, apesar de o OCTO possuir uma área de junção metalúrgica pn dreno/fonte maior do que seu CSM equivalente, o que causaria uma corrente maior de  $I_{OFF}$ . Mas o valor deste ângulo, estando próxima ao de  $180^\circ$ , o que faz com a geometria de porta do OCTO se aproximar de uma geometria retangular, resultando em um menor efeito LCE.

Quando a temperatura está entre 300 K e 373 K, os valores da corrente de dreno de estado desligado do OSM1 e do OSM2 são similares ao de seus respectivos CSMs equivalentes. Acima de 373 K, onde predomina a corrente de difusão, a corrente  $I_{OFF}$  para o OSM sempre apresentou menores valores (aproximadamente 64% e 55% para temperatura igual a 423 K e 53% e 13% para temperatura igual a 573 K, considerando ângulos  $\alpha$  iguais a  $53,1^\circ$  e  $90,0^\circ$ , respectivamente) do que os encontrados em CSM equivalentes, considerando as mesmas condições de polarização.

Os valores de  $I_{OFF}$  para o OSM com  $\alpha$  iguais a  $53,1^\circ$  e  $90,0^\circ$  apresentaram o mesmo comportamento que  $I_{LEAK}$  apresentou (item 3.3.4), ou seja, à medida que se reduz o ângulo  $\alpha$  do OSM, a densidade LEF na junção pn da interface entre dreno e região de canal reduz e é menor do que aquela encontrada em seu CSM equivalente, devido ao perímetro de junção pn

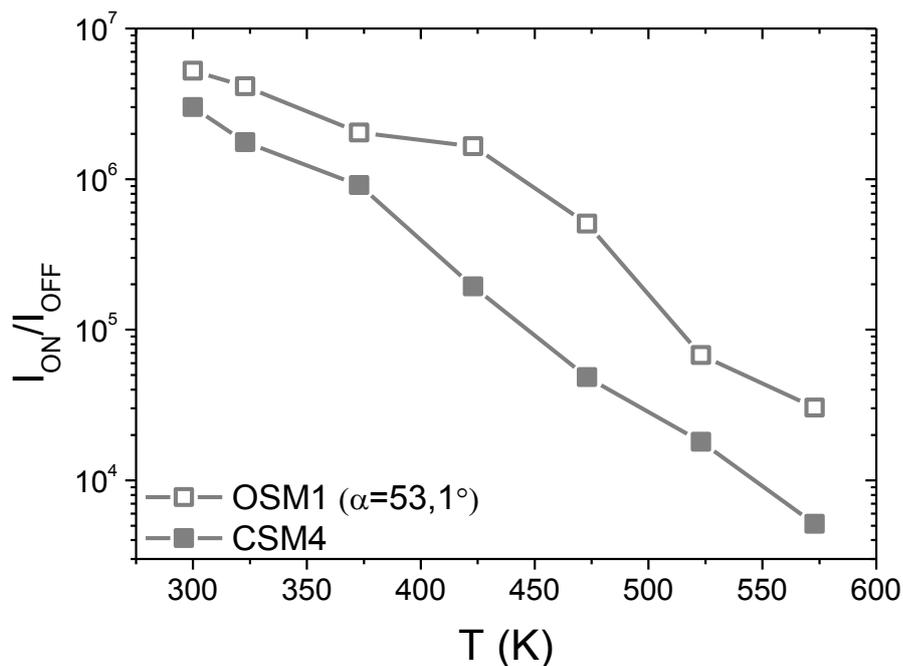
entre dreno e a região de canal do OSM ser maior do que o presente em seu CSM equivalente, reduzindo assim  $I_{OFF}$ .

Este é um grande ganho do estilo de leiaute OCTO em relação estilo de leiaute Diamante, pois o OSM terá um baixíssimo consumo de energia e potência dissipada com seus baixos valores de  $I_{OFF}$  (HIRAOKA; MATSUMOTO *et al.*, 1998).

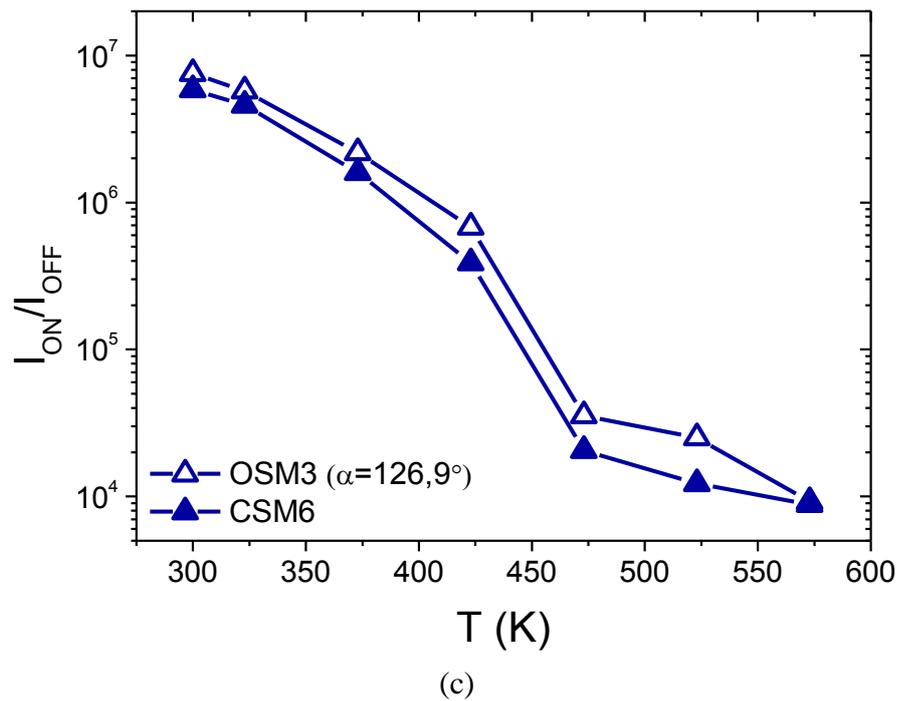
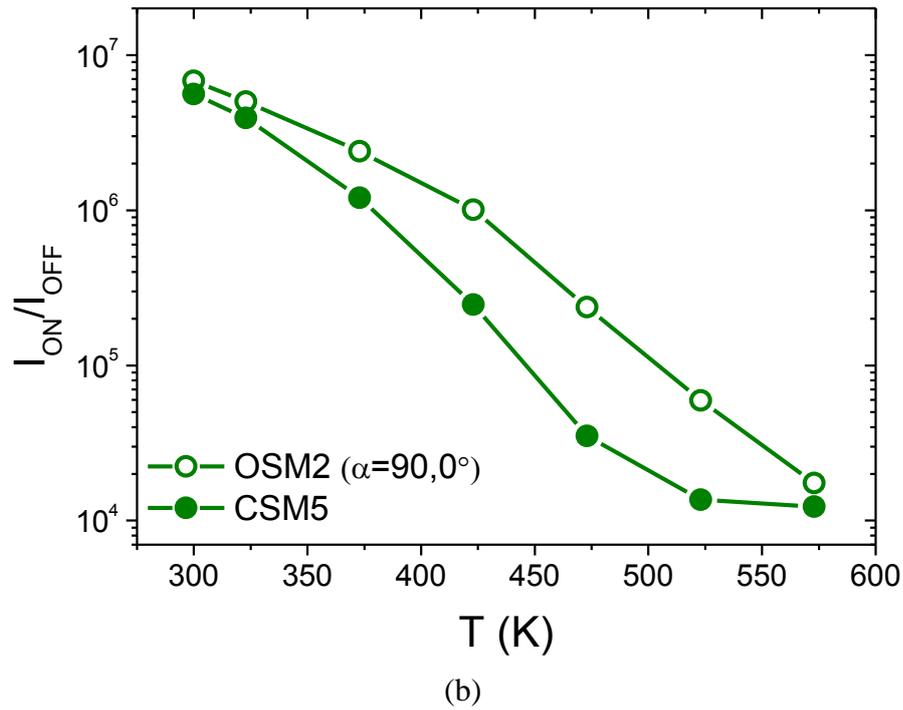
### 3.3.14 Razão $I_{ON}/I_{OFF}$

Por fim, a Figura 3.58 apresenta as razões  $I_{ON}/I_{OFF}$ , em escala logarítmica, dos SOI MOSFETs do tipo OCTO, com os três ângulos  $\alpha$  diferentes, e dos seus correspondentes CSMs equivalentes em função da temperatura. Considerando que a corrente  $I_{ON}$  foi extraída para  $V_{DS}$  igual a 100 mV e  $V_{GS}$  igual a 4 V (item 3.3.12), quando o SOI MOSFET está operando como uma chave fechada (região de triodo), e a corrente  $I_{OFF}$  foi extraída para  $V_{DS}$  igual a 5 V e  $V_{GS}$  igual a 0 V (item 3.3.13), quando o transistor está operando com uma chave aberta (região de corte).

Figura 3.58 - Os gráficos das razões  $I_{ON}/I_{OFF}$  dos SOI MOSFETs do tipo OCTO com  $\alpha$  igual a  $53,1^\circ$  (a),  $\alpha$  igual a  $90,0^\circ$  (b) e  $\alpha$  igual a  $126,9^\circ$  (c) e dos seus respectivos CSMs equivalentes em função da temperatura



(a)



Fonte: Autor

Analisando a Figura 3.58, verifica-se que as razões  $I_{ON}/I_{OFF}$  para o OSM1 e o OSM2 são sempre maiores (aproximadamente 75% e 22% para temperatura igual a 300 K e 492% e 42% para temperatura igual a 573 K, considerando ângulos  $\alpha$  iguais a  $53,1^\circ$  e  $90,0^\circ$ , respectivamente) do que o encontrado em seu respectivo CSM equivalente, para todas as temperaturas e considerando as mesmas condições de polarização.

Este ganho proporcionado pelo OSM é justificado principalmente pela redução de  $I_{OFF}$  com o aumento da temperatura em relação ao seu CSM equivalente, como explicado no item 3.3.13, causado pela redução da densidade de linhas do campo elétrico longitudinal na junção pn da interface da região entre dreno e a região de canal. Esse é outro diferencial do OSM em relação ao DSM (item 3.2.14), pois para todas as temperaturas a razão  $I_{ON}/I_{OFF}$  é maior que seu respectivo CSM equivalente, devido ao menor valor de  $I_{OFF}$  que potencializa esta razão. Além disso, o OSM possui uma corrente de  $I_{ON}$  superior ao seu CSM equivalente (item 3.3.12).

Já no caso do comparativo do OSM com  $\alpha$  igual a  $126,9^\circ$  com seu CSM equivalente, ambos apresentaram valores similares da razão  $I_{ON}/I_{OFF}$ , devido à similaridade das correntes  $I_{ON}$  (item 3.3.12) e  $I_{OFF}$  (item 3.3.13).

Com esses resultados pode-se concluir que, tanto o DSM e principalmente o OSM podem ser considerados uma grande alternativa, para potencializar a velocidade de processamento em aplicações digitais, em circuitos integrados SOI CMOS em altas temperaturas. Além disso, eles reduzem o consumo de energia com os altos valores apresentados para razão  $I_{ON}/I_{OFF}$ .

### 3.4 TABELA COMPARATIVA GERAL DOS PARÂMETROS DOS SOI MOSFETs

Analisando a Tabela 3.25, observa-se que a maioria dos principais parâmetros elétricos, tanto para o SOI MOSFET do tipo Diamante quanto para o SOI MOSFET do tipo OCTO, apresentam um melhor desempenho do que aquele encontrado em seus respectivos convencionais SOI MOSFETs equivalentes.

Mas há algumas desvantagens que a mudança da geometria de porta pode ocasionar. Para o DSM a tensão Early é menor do que a encontrada em seu CSM equivalente em função da temperatura, devido principalmente ao efeito LCE que potencializa o efeito de ionização por impacto. E os valores de  $I_{OFF}$  e  $I_{LEAK}$  apresentam valores maiores para ângulos  $\alpha$  menores que  $90,0^\circ$ , pois apresentam uma área de junção metalúrgica pn na interface dreno/canal e um campo elétrico longitudinal (efeito LCE) maiores do que os encontrados no seu CSM equivalente, mas como estão na mesma ordem de grandeza não é um demérito do DSM em altas temperaturas.

A grande melhoria que o OSM trouxe em relação ao DSM, diz respeito aos valores menores de  $I_{LEAK}$  e  $I_{OFF}$ , além de manter a razão  $I_{ON}/I_{OFF}$  maior que a do seu CSM equivalente

em todas as temperaturas estudadas.

Baseado nestes resultados, os DSMs e OSMs, podem ser uma grande alternativa, a fim de melhorar as aplicações em circuitos integrados analógicos e digitais integrado em altas temperaturas, onde a corrente de dreno e a velocidade de processamento podem ser melhoradas como resultado do uso de um, ou de ambos os transistores.

Tabela 3.25 - A tabela comparativa geral dos parâmetros estudados entre os DSMs e os OSMs com os seus respectivos CSMs equivalentes

	DSM	CSM	OSM	CSM
<b><i>Corrente de saturação</i></b>	+	-	+	-
<b><i>Corrente de dreno de fuga</i></b>	- ( $\alpha$ igual a 53,1°) 0 ( $\alpha$ igual a 90,0°) 0 ( $\alpha$ igual a 126,9°)	+ 0 0	+ ( $\alpha$ igual a 53,1°) + ( $\alpha$ igual a 90,0°) 0 ( $\alpha$ igual a 126,9°)	- - 0
<b><i>Transcondutância</i></b>	+	-	+	-
<b><i>Inclinação de sublimiar</i></b>	0	0	0	0
<b><i>Razão <math>g_m/I_{DS}</math></i></b>	+	-	+	-
<b><i>Tensão Early</i></b>	-	+	- ( $\alpha$ igual a 90,0°) 0 ( $\alpha$ igual a 126,9°)	+ 0
<b><i>Ganho de tensão intrínseco</i></b>	0	0	- ( $\alpha$ igual a 90,0°) 0 ( $\alpha$ igual a 126,9°)	+ 0
<b><i>Frequência de ganho de tensão unitário</i></b>	+	-	+	-
<b><i>Resistência de dreno de estado ligado</i></b>	+	-	+	-
<b><i>Corrente de dreno de estado ligado</i></b>	+	-	+	-
<b><i>Corrente de dreno de estado desligado</i></b>	- ( $\alpha$ igual a 53,1°) - ( $\alpha$ igual a 90,0°) 0 ( $\alpha$ igual a 126,9°)	+ + 0	+ ( $\alpha$ igual a 53,1°) + ( $\alpha$ igual a 90,0°) 0 ( $\alpha$ igual a 126,9°)	- - 0
<b><i>Razão <math>I_{ON}/I_{OFF}</math></i></b>	+	-	+	-

Nota: + significa maior desempenho; - significa menor desempenho; 0 significa similar desempenho

Fonte: Autor

Os DSMs e os OSMs, por fornecerem correntes entre dreno e fonte maiores do que as encontradas em seus respectivos CSMs equivalentes podem substituir os seus respectivos

CSMs equivalentes em aplicações de circuitos integrados analógicos, onde usualmente os SOI MOSFETs tem um comprimento de canal ( $L$ ) maior que a dimensão mínima permitida pela tecnologia de processo de fabricação, com uma menor largura de canal ( $W$ ), devido aos efeitos LCE e PAMDLE, a fim de fornecer a mesma corrente  $I_{DS}$  de seu CSM equivalente, resultando conseqüentemente em uma redução de área ocupada e do custo final do CI.

#### 4 CONCLUSÃO E TRABALHOS FUTUROS

Neste trabalho foi apresentado um estudo sobre as vantagens e desvantagens dos leiautes hexagonal e octogonal, em relação aos seus respectivos convencionais equivalentes (leiaute convencional-retangular), em ambientes com altas temperaturas, utilizando a tecnologia SOI CMOS de 1 $\mu$ m da UCL, Bélgica.

O SOI MOSFET do tipo Diamante foi criado através de uma simples mudança de leiaute da região de porta, ou seja, de retangular (convencional) para hexagonal, a fim de, em temperatura ambiente, melhorar o campo elétrico longitudinal sobre o canal, resultando no aumento de sua velocidade média de deriva dos portadores móveis na região do canal, e conseqüentemente, uma melhoria na corrente entre dreno e fonte, na transcondutância e na frequência de ganho de tensão unitário sem praticamente afetar o ganho de tensão intrínseco, em comparação ao seu convencional equivalente, considerando a mesma área de porta, o mesmo  $W$  e condições de polarização.

O estilo de leiaute OCTO (octogonal) é uma evolução do estilo de leiaute Diamante, porque foi especialmente desenvolvido para aumentar a tensão de ruptura ( $BV_{DS}$ ) e melhorar a robustez as descargas eletrostáticas (ESD). Este inovador leiaute apresenta os mesmos benefícios presentes no SOI MOSFET do tipo Diamante (efeitos LCE e PAMDLE), mas com um campo elétrico longitudinal (LEF) resultante ainda maior que aquele observado no DSM na região central do canal.

A partir de resultados experimentais, tanto os DSMs quanto os OSMs, apresentaram grandes ganhos na corrente de saturação ( $I_{DS\_SAT}$ ) em relação aos seus respectivos convencionais equivalentes, à medida que a temperatura aumenta, onde estes ganhos podem chegar a 140% para o caso dos DSMs e 159% para o caso dos OSMs. Os ganhos proporcionados pelas estruturas DSMs e OSMs são devido aos efeitos LCE e PAMDLE.

No caso da corrente de fuga de dreno e a corrente de dreno de estado desligado, os OSMs, para  $\alpha$  igual a 53,1° e  $\alpha$  igual a 90,0°, apresentaram ótimos resultados, ou seja, reduziram os seus valores com até 86% para  $I_{LEAK}$  e a 64% para  $I_{OFF}$ . Com este resultado, o OSM é capaz de reduzir o consumo de energia elétrica em relação aos seus CSMs equivalentes, considerando a mesma largura de canal  $W$  e condições de polarização.

A frequência de ganho de tensão unitário ( $f_T$ ), tanto para o DSM quanto para o OSM, que já tinha se mostrado uma grande vantagem em temperatura ambiente em relação aos seus respectivos CSMs equivalentes, mostrou o mesmo comportamento para temperaturas elevadas, com uma porcentagem de ganho em  $f_T$  chegando até 157% para o DSM e até 175%

para o OSM. Portanto, estes transistores podem ser considerados uma ótima opção para aplicações de CIs CMOS em rádio frequência (RF).

Os DSMs e os OSMs apresentaram baixos valores da resistência de dreno de estado ligado ( $R_{ON}$ ) em todas as temperaturas estudadas em relação aos seus respectivos CSMs equivalentes, pois ambas as estruturas aumentam a velocidade média de deriva dos portadores móveis na região do canal, que por sua vez traz uma melhoria em  $I_{DS}$ , reduzindo assim os valores de  $R_{ON}$ . Este resultado é uma ótima opção para melhorar o desempenho da velocidade de CIs CMOS digitais, pois reduz sua constante de tempo de atraso, dado pelo produto de  $R_{ON}$  pela capacitância de porta até o substrato. Além disso, ambos os transistores podem ser usados como o elemento principal (chave de potência) dos conversores AC-AC e DC-DC, onde há a necessidade de baixos valores de  $R_{ON}$ , e, portanto, proporcionará reduções dos tamanhos destes conversores.

E a principal conclusão deste trabalho foi que os efeitos LCE e PAMDLE permanecem ativos em altas temperaturas. Graças a esses efeitos, pode-se melhorar o desempenho elétrico em aplicações analógicas e digitais em altas temperaturas.

Sabendo-se de que os DSMs e os OSMs fornecem maiores correntes entre dreno e fonte do que aquelas encontradas em seus respectivos CSMs homólogos, e fixando-se uma determinada corrente entre dreno e fonte num projeto de CI SOI CMOS, é possível reduzir a área ocupada por esses transistores através da redução das suas larguras de canal ( $W$ ). Além disso, os DSMs e os OSMs podem proporcionar um melhor desempenho elétrico operando em altas temperaturas, quando se compara com seus respectivos CSMs homólogos.

Portanto os estilos de leiaute do tipo Diamante e OCTO podem ser considerados como uma técnica alternativa para a implementação de SOI MOSFETs utilizados em aplicações de CI CMOS analógicos e digitais em altas temperaturas, sem causar qualquer custo adicional ao processo de SOI CMOS atual.

Como trabalhos futuros decorrentes desse trabalho de dissertação de mestrado, pode-se sugerir:

- a) Estudo comparativo e experimental entre os DSMs e OSMs em relação aos seus respectivos CSMs equivalentes em baixas temperaturas, ou seja, abaixo da temperatura ambiente;
- b) Um estudo comparativo entre o DSM e o OSM em altas temperaturas, com o objetivo de saber qual dos dois é mais adequado para as aplicações de CIs SOI CMOS em altas

temperaturas;

- c) Estudo da corrente de fuga de dreno dos OSMs e dos DSMs em simuladores numéricos tridimensional, para que possa ser feita uma análise crítica mais detalhada sobre a influência das altas temperaturas;
- d) Estudo do comportamento da mobilidade do DSM e do OSM em função da temperatura;
- e) Estudo do ponto invariante com a temperatura (*Zero Temperature Coefficient, ZTC*) para o DSM e o OSM.

## 5 PUBLICAÇÕES

Galembeck, E. H. S. ; Renaux, C. ; Flandre, D. ; Gimenez, S.P. **Experimental Comparative Study Between the Diamond MOSFET and Its “Conventional Counterpart in High Temperatures Environment**. São Francisco: [s.n.]. 2013. p. IEEE S3S Conference.

GIMENEZ, S. P.; Galembeck, E. H. S. ; Renaux, C. ; Flandre, D. Diamond layout style impact on SOI MOSFET in high temperature environment. **Microelectronics and Reliability**, v. 55, n. 5, p. 783-788, Abril 2015.

GIMENEZ, S. P.; Galembeck, E. H. S. ; Renaux, C. ; Flandre, D. Using the Octagonal Layout for SOI MOSFETs in High Temperature Environment. **IEEE Transactions on Device and Materials Reliability**, 2015.

## REFERÊNCIAS

- ALATI, D. M. et al. FISH SOI MOSFET: modeling, characterization and its application to improve the performance of analog ICs. **Journal of Electrochemical Society**, v. 158, p. H1258-H1264, Novembro 2011.
- \_\_\_\_\_. et al. **Experimental comparative study of the X-Ray radiation effects between the threshold voltages of the diamond and conventional layout styles**. EURO SOI 2012. Montpellier: [s.n.]. 2012. p. 53-54.
- \_\_\_\_\_.; GIMENEZ, S. P. **Comparative experimental study between diamond and conventional MOSFET**. 218th ECS Meeting. Las Vegas: [s.n.]. 2010.
- ALVAREZ, A. R. **BiCMOS technology and applications**. 2. ed. Netherlands: Kluwer Academic Publishers, 1993.
- BABCOCK, J. A. et al. **Temperature interaction of Early voltage, current gain and breakdown characteristics of npn and pnp SiGe HBTs on SOI**. 2010 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM). [S.l.]: [s.n.]. 2010. p. 145 - 148.
- BELLODI, M.; GIMENEZ, S. P. **Drain leakage current evaluation in the diamond soi nmosfet at high temperatures**. 216th ECS Meeting. Viena: [s.n.]. 2009.
- CALLISTER, W. D.; RETHWISCH, D. G. **Ciência e engenharia de materiais uma introdução**. 8. ed. Rio de Janeiro: LTC, 2012.
- CAVIN, R. K.; LUGLI, P.; ZHIRNOV, V. V. Science and Engineering Beyond Moore's Law. **Proceedings of the IEEE**, v. 100, p. 1720 - 1749, Maio 2012.
- CHEN, J. et al. Comparison of TiSi<sub>2</sub>, CoSi<sub>2</sub>, and NiSi for Thin-Film Silicon-on-Insulator Applications. **Journal of Electrochemical Society**, 1997. 2437-2442.
- CHEN, J.-S.; RYU, S.-H.; KORNEGAY, K. T. **High-temperature mixed-signal ICs using silicon carbide CMOS technology**. High Temperature Electronics Conference. [S.l.]: [s.n.]. 1998. p. 292-295.
- CHIEN, A. A.; KARAMCHETI, V. Moore's Law: The First Ending and a New Beginning. **Computer**, v. 46, p. 48-53, Dezembro 2013.
- CHOI, J. Y.; FOSSUM, J. G. Analysis and control of floating-body bipolar effects in fully depleted submicrometer SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 38, n. 6, p. 1383-1391, 1991.
- CHUANG, C.-T.; LU, P.-F.; ANDERSON, C. J. SOI for digital CMOS VLSI: design considerations and advance. **Proceedings of the IEEE**, v. 86, n. 4, p. 689-720, 1998.
- COLINGE, J. P. **Advanced CMOS devices made in thin SOI films**. Extended Abstracts of 5th International Workshop on Future Electron Devices. Miyagi-Zao: [s.n.]. 1988. p. 105-112.
- \_\_\_\_\_. **SILICON-ON-INSULATOR TECHNOLOGY: Materials to VLSI**. 3<sup>a</sup>. ed. Norwell: Kluwer Academic Publishers, 2004.
- \_\_\_\_\_. Multi-gate SOI MOSFETs. **Microelectronic Engineering**, v. 84, p. 2071-2076, 2007.

\_\_\_\_\_. **FinFETS and others multi-gate transistors**. Cambridge: Springer, 2008.

\_\_\_\_\_.; COLINGE, C. A. **PHYSICS OF SEMICONDUCTOR DEVICES**. 2<sup>a</sup>. ed. Norwell: Kluwer Academic Publishers, 2002.

CRISTOLOVEANU, S.; LI, S. S. **Electrical Characterization of Silicon-On-Insulator Materials and Devices**. 2<sup>a</sup>. ed. Boston: Kluwer Academic Publisher, 1995.

CULURCIELLO, E. **Silicon-on-Sapphire Circuits and System, Sensor and Biosensor Interfaces**. [S.l.]: McGraw-Hill Companies, 2010.

DIAB, A. et al. Room to High Temperature Measurements of Flexible SOI FinFETs With Sub-20-nm Fins. **IEEE Transactions on Electron Devices**, v. 61, p. 3978 - 3984, Dezembro 2014.

EGGERMONT, J.-P. et al. Design of SOI CMOS Operational Amplifiers for Applications up to 300 °C. **IEEE Journal of Solid-State Circuits** , v. 31, p. 179-186, Fevereiro 1996.

EL-MANSY, Y. MOS Device and technology constraints in VLSI. **IEEE Transactions on Electron Devices**, v. 29, 1982.

FINO, L. N. S. et al. **Experimental Study of the OCTO SOI nMOSFET to Improve the Device Permoance**. EUROSIOI 2012 - VIII Workshop of the Thematic Network on Silicon On Insulator Technology. Montpellier: [s.n.]. 2012. p. 55-56.

\_\_\_\_\_. et al. **Using OCTO SOI nMOSFET to Reduce Die Area of Analog Integrated Circuits**. Seminatec 2012. São Bernardo do Campo: [s.n.]. 2012.

\_\_\_\_\_. et al. **Improving the X-ray radiation tolerance of the analog ICs by using OCTO layout style**. SBMicro 2013. [S.l.]: [s.n.]. 2013. p. 1-4.

\_\_\_\_\_. et al. The Influence of Back Gate Bias on the OCTO SOI MOSFET s Response to X-ray Radiation. **Journal of Integrated Circuits and Systems**, 2015.

FLANDRE, D. Silicon-on-insulator technology for high temperature metal oxide semiconductor devices and circuits. **Materials Science and Engineering**, v. 29, p. 7-12, 1995.

\_\_\_\_\_. et al. **Intelligent SOI CMOS integrated circuits and sensors for heterogeneous environments and applications**. Sensors, 2002. Proceedings of IEEE. [S.l.]: [s.n.]. 2002. p. 1407-1412.

FRANCIS, P. et al. **SOI technology for high-temperature applications**. Electron Devices Meeting. Louvain: [s.n.]. 1992. p. 353-356.

FRICKE, K. et al. AlGaAs/GaAs HBT for high-temperature applications. **IEEE Transactions on Electron Devices**, v. 39, p. 1977–1981, Setembro 1992.

GALEMBECK, E. H. S. et al. **Experimental Comparative Study Between the Diamond MOSFET and Its “Conventional Counterpart in High Temperatures Environment**. São Francisco: [s.n.]. 2013. p. IEEE S3S Conference.

GENTINNE, B. et al. Fully depleted SOI-CMOS technology for high temperature IC applications. **Materials Science and Engineering** , v. 46, p. 1-7, 1997.

GIMENEZ, S. P. Diamond MOSFET: An innovative layout to improve performance of ICs. **Solid-State Electronics**, v. 54, p. 1960-1699, 2010.

\_\_\_\_\_. et al. **Improving The Protons Radiation - Robustness Of Integrated Circuits By Using The Diamond Layout Style**. RADECS 2012. Biarritz: [s.n.]. 2012.

\_\_\_\_\_. et al. Compact Diamond MOSFET model accounting for PAMDLE applicable down 150 nm node. **Electronics Letters**, v. 50, p. 1618-1620, 2014.

\_\_\_\_\_. et al. Using diamond layout style to boost MOSFET frequency response of analogue IC. **Electronics Letters**, v. 50, p. 398-400, 2014.

\_\_\_\_\_. et al. An innovative Ellipsoidal layout style to further boost the electrical performance of MOSFETs. **IEEE Electron Device Letters**, v. 36, p. 705 - 707, Julho 2015.

\_\_\_\_\_. et al. Diamond layout style impact on SOI MOSFET in high temperature environment. **Microelectronics and Reliability**, v. 55, n. 5, p. 783-788, Abril 2015.

\_\_\_\_\_. et al. Impact of Using the Octagonal Layout for SOI MOSFETs in High Temperature Environment. **IEEE Transactions on Device and Materials Reliability**, 2015.

\_\_\_\_\_.; ALATI, D. M. **OCTO SOI MOSFET: An Evolution of the Diamond to Be Used in the Analog Integrated Circuits**. EUROSOCI 2011. Granada: [s.n.]. 2011. p. 91-92.

\_\_\_\_\_.; BELLODI, M. **Diamond MOSFET: A New Drain and Source/Channel Interface Layout to Improve Drain Current**. EUROSOCI. Gotemburgo: [s.n.]. 2009. p. 63-64.

GOEL, A. K.; TAN, T. H. High-temperature and self-heating effects in fully depleted SOI MOSFETs. **Microelectronics Journal**, v. 37, p. 963-975, Março 2006.

GRAY, P. R. **Analysis And Design of Analog Integrated Circuits**. 4<sup>a</sup>. ed. New York: John Wiley & Son, 2001.

GUTIERREZ, A. B. **Estudo Comparativo do Comportamento da Corrente de Fuga em Transistor SOI MOSFET Convencional e de Porta Dupla Operando em Altas Temperaturas**. Centro Universitário da FEI. São Bernardo do Campo, p. 132. 2008.

HIRAOKA, Y. et al. **Application of the thin-film SOI power MOSFET fabricated by sub- $\mu$ m-rule CMOS/SOI process for the DC-DC converter**. Proceedings of the 10th International Symposium on Power Semiconducto. [S.l.]: [s.n.]. 1998. p. 147-148.

ICHIKAWA, F. et al. Fully depleted SOI process and device technology for digital and RF applications. **Solid-State Electronics**, v. 48, n. 6, p. 999-1006, 2004.

INIGUEZ, B. et al. A review of leakage current in SOI CMOS ICs: impact on parametric testing in SOI CMOS ICs: impact on parametric testing techniques. **Solid State Electronics**, v. 47, p. 1959-1967, 2003.

KAHNG, D.; ATALLA, M. M. **Silicon-Silicon Dioxide Field Induced Surface Device**. IRE Solid State Devices Research Conference. Pittsburgh: [s.n.]. 1960.

LI, Y.; CHOU, H.-M. Comparative Study of Electrical Characteristic on Sub-10-nm Double-Gate MOSFETs. **IEEE Transactions on Nano technology Electron**, v. 4, n. 5, p. 645- 647, Setembro 2005.

- MACK, C. The Multiple Lives of Moore's Law. **IEEE Spectrum**, v. 52, p. 31, abril 2015.
- MARTINO, J. A.; PAVANELLO, M. A.; VERDONCK, P. B. **Caracterização Elétrica de Tecnologia e Dispositivos MOS**. São Paulo: Pioneira Thomson Learning, 2003.
- MARTINO, M. D. V. et al. **Early voltage and intrinsic voltage gain in vertical nanowire-TFETs as a function of temperature**. 2014 International Caribbean Conference on Devices, Circuits and Systems (ICCDACS). [S.l.]: [s.n.]. 2014. p. 1 - 4.
- MARYLINE BAWEDIN, S. C. D. F. F. U. Floating-Body SOI Memory: Concepts, Physics and Challenges. **ECS Transactions**, San Francisco, California, p. 243-256, 2009.
- MCCLUSKEY, F. P.; GRZYBOWSKI, R.; PODLESIAK, T. **High Temperature Electronics**. Florida: CRC Press, 1997.
- MOORE, G. Cramming more components onto integrated circuits. **Electronics Magazine**, v. 38, p. 114-117, Abril 1965.
- NARASIMHAN, R.; SADWICK, L. P.; HWU, R. J. Enhancement of high-temperature high-frequency performance of GaAs-based FETs by the high-temperature electronic technique. **IEEE Transactions on Electron Devices**, v. 46, p. 24-31, Janeiro 1999.
- NEAMEN, D. A. **Semiconductor Physics and Devices - Basic Principles**. 4<sup>a</sup>. ed. Nova York: McGraw-Hill, 2012.
- NISSIMOFF, A. **Estudo dinâmico de memórias 1T-DRAM**. Escola Politécnica da Universidade de São Paulo. São Paulo, p. 85. 2013.
- OLIVEIRA, A. V. et al. **High temperature influence on analog parameters of Bulk and SOI nFinFETs**. 2015 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS). Bologna: [s.n.]. 2015. p. 293 - 296.
- PAVANELLO, M. A. et al. **Impact of Graded-Channel Architecture on Double Gate Transistors for High- Performance Analog Applications**. 11th international symposium on SOI technology and devices. Paris: 203rd Electrochemical Society Meeting. 2003. p. 261-266.
- \_\_\_\_\_.; A., M. J.; FLANDRE, D. Analog Circuit Design Using Graded-Channel SOI nMOSFETs. **Solid-State Electronics**, v. 46, n. 8, p. 1215-1225, 2002.
- RAVAZI, B. **Design of Analog CMOS Integrated Circuits**. Nova York: Mc Graw Hill, 2001.
- RUDENKO, T. et al. Properties of high-temperature off-state currents in SOI MOSFETs derived from the diffusion mechanism. **High Temperature Electronics**, Berlim, p. 83-86, 1999.
- SAKAKIBARA, J.; URAKAMI, Y.; YAMAGUCHI, H. **Ultra Low On- Resistance Super 3D MOSFET Under 300V Breakdown Voltage**. 16th International Symposium on Power Semiconductor Devices & ICs. Kitakyushu: [s.n.]. 2004.
- SAKURAI, S.; ISMAEL, M. **Low Voltage CMOS Operational Amplifiers Theory, Design and Implementation**. London: Kluwer Academic Publishers, 1994.
- SEDRA, A. S.; SMITH, K. C. **Microeletrônica**. 5<sup>a</sup>. ed. São Paulo: Pearson Education do Brasil, 2011.

SHACHAM-DIAMAND, Y. et al. **Advanced Nanoscale ULSI Interconnects: Fundamentals and Applications**. Nova York: Springer, 2009.

SHIN, C. **Advanced Mosfet Designs and Implications for SRAM Scalling**. Doutorado em Engenharia Elétrica e Ciências da Computação - University of California. Berkeley. 2011.

SILVEIRA, F.; FLANDRE, D.; JESPERS, P. G. A. A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. **IEEE J. Solid-State Circuits**, v. 31, p. 1314–1319, Setembro 1996.

SONNENBERG, V.; NICOLETT, A. S. Transistores MOSFETS fabricados na tecnologia de silício sobre isolante - SOI MOSFET: A caminho do futuro. **Boletim técnico da faculdade de tecnologia de São Paulo**, São Paulo, 2003. 14-23.

STREETMAN, B. G.; BANERJEE, S. **Solid State Electronic Devices**. 2ª. ed. Nove Jersey: Prentice Hall, 2000.

SZE, S. M. **Physics of Semiconductor Devices**. 2ª. ed. [S.l.]: Wiley-Interscience publication, 1981.

TERAO, A. et al. Measurement of threshold voltages of thin-film accumulation- mode PMOS/SOI transistors. **IEEE Electron Device Letters**, v. 12, p. 682-684, 1991.

USA, I. R. M. A. **Industrial Engineering: Concepts, Methodologies, Tools and Applications**. Hershey: Engineering Science Reference, v. 1, 2013.

VANDOOREN, A.; COLINGE, J. P.; FLANDRE, D. Gate-All-Around OTA's for Rad-Hard and High-Temperature Analog Applications. **IEEE Transactions on Nuclear Science**, v. 46, n. 4, p. 1242-1249, Agosto 1999.

VASHCHENKO, V.; SHIBKOV, A. **ESD Design for Analog Circuits**. Nove York: Springer, 2001.

WOLPERT, D.; AMPADU, P. **Managing Temperature Effects in Nanoscale Adaptive Systems**. Nova York: Springer, 2012.

YANG, H.-C. et al. **Early Voltages Associated with Temperature Effects on Strained MOSFET Devices**. 2014 International conference on information science, electronics and electrical engineering (ISEEE). [S.l.]: [s.n.]. 2014. p. 2080 - 2083.

YOSHIDA, E.; TANAKA, T. A Capacitorless 1T-DRAM technology using gate induced drain leakage (GIDL) current for low power and high speed embedded memory. **IEEE Transactions on Electron Devices**, p. 692-697, Abril 2006.