

CENTRO UNIVERSITÁRIO DA FEI

GENARO MARINIELLO DA SILVA

**EFEITOS DO AUTOAQUECIMENTO EM TRANSISTORES SOI-MOS
TRIDIMENSIONAIS NANOMÉTRICOS**

São Bernardo do Campo

2016

GENARO MARINIELLO DA SILVA

**EFEITOS DO AUTOAQUECIMENTO EM TRANSISTORES SOI-MOS
TRIDIMENSIONAIS NANOMÉTRICOS**

Tese apresentada ao Centro Universitário FEI, como parte dos requisitos necessários para obtenção do título de Doutor em Engenharia Elétrica, orientado pelo Prof. Dr. Marcelo Antonio Pavanello.

São Bernardo do Campo

2016

Mariniello da Silva, Genaro.

EFEITOS DO AUTOAQUECIMENTO EM TRANSISTORES
SOI-MOS TRIDIMENSIONAIS NANOMÉTRICOS / Genaro Mariniello
da Silva. São Bernardo do Campo, 2016.

171 f. : il.

Tese - Centro Universitário FEI.

Orientador: Prof. Dr. Marcelo Antonio Pavanello.

1. Transistores sem junção. 2. Autoaquecimento. 3. Propriedades
térmicas. I. Pavanello, Marcelo Antonio , orient. II. Título.

Aluno: Genaro Mariniello da Silva

Matrícula: 512204-9

Título do Trabalho: Efeitos do autoaquecimento em transistores SOI MOS tridimensionais nanométricos.

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof. Dr. Marcelo Antonio Pavanello

Data da realização da defesa: 28/09/2016

ORIGINAL ASSINADA

Avaliação da Banca Examinadora

São Bernardo do Campo, 28 / 09 / 2016.

MEMBROS DA BANCA EXAMINADORA

Prof. Dr. Marcelo Antonio Pavanello

Ass.: _____

Prof. Dr. Victor Sonnenberg

Ass.: _____

Prof. Dr. Roberto Baginski Batista Santos

Ass.: _____

Prof. Dr. Leandro Tiago Manera

Ass.: _____

Prof.^a Dr.^a Maria Glória Caño de Andrade

Ass.: _____

A Banca Examinadora acima-assinada atribuiu ao aluno o seguinte:

APROVADO

REPROVADO

VERSÃO FINAL DA TESE

**ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS
RECOMENDAÇÕES DA BANCA EXAMINADORA**

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz

Dedico este trabalho a minha família que sempre esteve ao meu lado e que sempre me apoiou desde o início, investindo em meus estudos e acreditando no meu potencial.

AGRADECIMENTOS

Em primeiro lugar, gostaria de agradecer ao Prof. Dr. Marcelo Antonio Pavanello pela oportunidade de ser meu orientador nesse projeto de Doutorado, além de demonstrar todo apoio e confiar no meu trabalho.

À minha família que compreendeu meus momentos de ausência, ansiedade, e que principalmente pôde fazer parte dos momentos de felicidade durante a execução deste projeto.

Aos amigos Bruna Cardoso Paz , Lígia Martins D'Oliveira e Arianne Soares do Nascimento por me auxiliar nesse projeto, muitas vezes disponibilizando de longos tempos para discutir idéias e solucionar dúvidas.

À amiga Juliana Pinheiro Nemer pela dedicação e apoio ao projeto.

Aos professores e colegas de doutorado que sempre me apoiaram.

Aos funcionários da FEI que sempre demonstraram prontidão em todos os momentos.

À CAPES, pelo financiamento dos meus estudos durante os quatro anos possibilitando o meu crescimento pessoal com a obtenção do título de Doutor.

*O sucesso é ir de fracasso em fracasso sem
perder entusiasmo.*

Winston Churchill

RESUMO

O autoaquecimento é um efeito que os dispositivos SOI MOSFETs estão sujeitos, quando a potência dissipada na forma de calor encontra dificuldade em dissipar-se para fora do dispositivo. Este efeito é muito comum e ocorre com maior frequência em dispositivos com óxido enterrado. Nos transistores SOI MOSFETs, esse efeito está presente quando o dispositivo estiver com alta polarização de porta e alta polarização de dreno, degradando a corrente elétrica que passa pelo canal. Quando o autoaquecimento é intenso, pode-se verificar uma redução abrupta da corrente elétrica de dreno. Este trabalho apresenta o estudo do autoaquecimento em transistores nanofios SOI MOSFETs de múltiplas portas com concentração natural de dopantes e, pela primeira vez, o estudo do autoaquecimento em transistores nanofios SOI MOSFETs de múltiplas portas sem junção. Para que seja possível verificar a influência da dissipação de calor nestes dispositivos, usou-se, pela primeira vez, um método de polarização em dispositivos com dois contatos de porta, muito semelhante ao método já conhecido com quatro contatos de porta. Para a extração da temperatura de autoaquecimento, foi utilizado o módulo de medidas LCR, no qual foi possível extrair o valor da resistência elétrica da porta através da polarização dos dois contatos de porta dos dispositivos em função da polarização de dreno. Para avaliar a precisão do método, as temperaturas de autoaquecimento foram extraídas em dispositivos com maiores larguras de canal, confrontando os resultados com outros métodos descritos na literatura. Observou-se que o método foi eficiente na extração da temperatura de autoaquecimento em dispositivos com largura de canal de $10\mu\text{m}$ na qual a temperatura do metal representa a temperatura do canal. Entretanto, o mesmo não pode ser observado em transistores nanofios, com largura de canal igual a $12,5\text{nm}$, pois as dimensões do metal de porta nestes dispositivos facilitam a dissipação de calor gerado na camada de silício, dificultando avaliar o autoaquecimento nestes transistores. Foram feitas simulações numéricas tridimensionais dos transistores SOI MOSFETs com concentração natural de dopantes e nos transistores SOI MOSFETs sem junções. Foram inseridos vários pontos de grade dependentes da temperatura de autoaquecimento, onde foi possível obter simulações compatíveis com os resultados experimentais. Assim, pôde-se quantificar a diferença de temperatura entre o canal e o metal nos transistores nanofios, além de comprovar o efeito da dissipação térmica nos transistores nanofios influenciados pelas dimensões do metal de porta.

Palavras chave: Transistores sem junção. Autoaquecimento. Propriedades térmicas.

ABSTRACT

The self-heating is an effect where devices are submitted when the dissipated power presents difficulty to dissipate the heat out of the device. This effect is so common and occurs frequently in devices with the presence of a buried oxide. On SOI MOSFET transistors, this effect is presented when the device has a high gate and drain bias, degrading the electrical current that flows through the channel. When the self-heating is intense, it is possible to verify an abrupt reduction of the drain current. This work presents the study of the self-heating in undoped nanowires SOI MOSFETs transistors with multiple gates and, for the first time the study of the self-heating in nanowires SOI MOSFETs transistors without junctions. To verify the influence of the heat dissipation in those devices, it has been used for the first time, devices with two gate bias contacts, like the well-known method on devices with 4 gate contacts. LCR meter was used to extract the temperature of self-heating by measuring the electrical resistance in the gate between two gate contacts biased as a function of drain bias. In order to evaluate the method, the self-heating temperatures were extracted in devices with larger channel width, comparing the results with other methods published in the literature. It has been observed that the method was very efficient in devices with channel with equal to $10\mu\text{m}$, which the temperature in the gate metal represents the temperature in the channel. Otherwise, it was not happened on nanowire devices with channel width equal to 12.5nm , once the metal gate dimensions facilitate the heat dissipation generated in the silicon layer, complicating the self-heating evaluation in nanowire devices. Also, it has been performed tridimensional numerical simulations of SOI MOSFETs undoped devices and SOI MOSFETs without junctions. Thermal mesh has been used in order to obtain self-heating simulations to compare with experimental results. Therefore, it was possible to quantify the difference of temperature between the channel and the metal in nanowire transistors, besides confirming the thermal dissipation effect on these transistors due to the metal gate dimensions.

Keyword: Transistors without junctions. Self-heating. Thermal properties.

LISTA DE ILUSTRAÇÕES

Figura 1 – Perfil longitudinal de um transistor SOI MOSFET.	23
Figura 2 – Perfil longitudinal de um transistor SOI MOSFET com inversão do canal.....	24
Figura 3 – Perfil longitudinal de um transistor SOI MOSFET modo acumulação.	26
Figura 4 – Funcionamento dos transistores SOI MOSFETs em modo acumulação.	28
Figura 5 – Curvas de corrente de um transistor SOI MOSFET tipo P, com $V_B=0$	29
Figura 6 – Componentes de campo elétrico em MOSFETs de múltiplas portas.....	30
Figura 7 – Transistor de porta dupla: FinFET.	32
Figura 8 – Esquema de um transistor de porta tripla.	33
Figura 9 – Transistores de porta tripla:.....	33
Figura 10 – Ilustração de um dispositivo com múltiplos fins (multi-fins).....	36
Figura 11 – Representação de um transistor FDSOI não dopado com gate stack.....	37
Figura 12 – Curva I_D em função de V_G de um transistor SOI MOSFET.	37
Figura 13 – Curva da tensão de faixa plana em função de t_{si}	39
Figura 14 – Comportamento de V_T	40
Figura 15 – Curva da transcondutância em função de V_G	42
Figura 16 – Curva da mobilidade em função de V_G	43
Figura 17 – Curva de S em função de V_G	44
Figura 18 – Distribuição das cargas de depleção (Q_d) controladas pela porta em um transistor nMOS.	46
Figura 19 – Distribuição das cargas de depleção (Q_d) controladas pela porta em um transistor n SOI MOSFET.	46
Figura 20 – Tensão de limiar em função do comprimento efetivo de canal em transistores nMOSFETs e FDSOI tipo N.	47
Figura 21 – Transistor MOS sem junção de porta tripla.	49
Figura 22 – Secção transversal de um transistor MOS sem junção na qual foram analisadas as densidades de portadores.	51

Figura 23 – Concentração de elétrons em função de V_G .	52
Figura 24 – Comparação entre as curvas de g_m em função de V_G .	54
Figura 25 – Comparação entre as curvas I_D em função de V_G entre os transistores MOS sem junção e modo inversão com $L = 10$ nm.	55
Figura 26 – Comportamento da mobilidade nos transistores sem junção e modo inversão.	55
Figura 27- Redução do efeito de canal curto nos transistores MOS sem junção.	56
Figura 28 – Curvas de DIBL e V_T em função de L_{ef} .	56
Figura 29 – Curvas de I_D em função de V_G em diferentes temperaturas.	57
Figura 30 – Concentração intrínseca de portadores e largura da banda proibida em função da temperatura.	59
Figura 31 – Comportamento de V_T em função da temperatura.	63
Figura 32 – Extração da mobilidade efetiva.	67
Figura 33 –Comportamento da inclinação de sublimiar e da transcondutância máxima em função da temperatura.	68
Figura 34 – Simulação do autoaquecimento.	69
Figura 35 – Comportamento da condutividade térmica do silício em função de T .	70
Figura 36 – Curva ilustrativa sobre o efeito do autoaquecimento.	71
Figura 37 – Estrutura teste para medir a resistência de porta de um transistor MOSFET.	73
Figura 38 – Temperatura do canal em função da potência.	74
Figura 39 – Calibragem da temperatura realizada em um transistor com linhas de metal.	75
Figura 40 – Medidas do aumento da temperatura de autoaquecimento local no sensor em estruturas SOI MOSFET de porta tripla.	76
Figura 41 – Extração do autoaquecimento através de uma porta sensora.	77
Figura 42 – Autoaquecimento medido em função da potência em diferentes estruturas.	79
Figura 43 – Estruturas com sensor de autoaquecimento com diodos n+ p- ou dispositivos MOSFETs.	80
Figura 44 – Resistência térmica em função da dimensão espacial entre o dispositivo autoaquecido e o sensor em transistores MOSFETs de porta tripla com múltiplos fins tipo N e tipo P com diferentes estruturas.	81

Figura 45 – Transistor utilizado para extrair as medidas do ruído térmico.....	82
Figura 46 – Corrente de dreno e temperatura da ilha de silício medidos em função da polarização de dreno.	82
Figura 47 – Condutância de dreno em saturação.....	84
Figura 48 – Circuito elétrico para obter a medida do transitório.....	85
Figura 49 – Curva ilustrativa do circuito para analisar autoaquecimento através do gerador de pulso.	86
Figura 50 – Medida pulsada de um transistor SOI FinFET.....	86
Figura 51 – Curva I_D em função de V_D de um transistor SOI FinFET com e sem autoaquecimento.....	87
Figura 52 – Representação esquemática de uma estrutura SOI MOSFET planar para estimar a constante de tempo de autoaquecimento.	88
Figura 53 – Obtenção do valor de τ	90
Figura 54 – Esquema do transistor para a extração da corrente de dreno.....	91
Figura 55 – Micrografias da secção transversal do dispositivo SOI MOSFET de porta tripla.	93
Figura 56 – Curvas de corrente elétrica de dreno em função de	95
Figura 57 – Ilustração da polarização dos transistores com dois contatos de porta.	96
Figura 58 – Curvas da resistência de porta em função da polarização do dreno.....	97
Figura 59 – Curvas experimental da temperatura de autoaquecimento em função de V_D	98
Figura 60 – Estrutura de um transistor SOI MOSFET gerado através do SDE do simulador Synopsys Sentaurus.	99
Figura 61 – Estrutura com contatos térmicos.	100
Figura 62 – Curvas de I_D em função de V_G	101
Figura 63 – Comparação do valor de V_T entre os resultados experimentais e as simulações.	102
Figura 64 – Comparação do valor de g_m em função de V_G	103
Figura 65 – Curvas de R_{th} em função de $R_{th-cont}$	105
Figura 66 – Simulação do espalhamento de temperatura.	106

Figura 67 – Ssimulação do espalhamento de temperatura.	107
Figura 68 – Curvas do espalhamento de temperatura.	108
Figura 69 – Curvas da temperatura de autoaquecimento em função da potência.	110
Figura 70 – Comportamento de R_{th}	111
Figura 71 – Comparação do espalhamento de temperatura em dispositivos com diferentes dimensões do metal de porta.	113
Figura 72 – Comparação de I_D em função de V_G entre os dispositivos com diferentes dimensões do metal.	114
Figura 73 – Curvas de R_{th} extraídos no canal e no metal de porta em função de W	115
Figura 74 – Comportamento de R_{th} em dispositivos planares SOI MOSFETs.	116
Figura 75 – Curvas de I_D em função V_G em transistores de porta tripla SOI MOSFETs sem junção tipo N.	118
Figura 76 – Curvas de R_G em função de V_G	119
Figura 77 – Curvas da temperatura de autoaquecimento em função de V_D	120
Figura 78 – Comparação dos valores de R_{th} em função de W	121
Figura 79 – Curvas de corrente elétrica de dreno em função da polarização de porta de transistores de porta tripla SOI MOSFETs sem junção tipo N, com diferentes larguras de canal, com $W = 12,5$ nm.	122
Figura 80 – Curvas da temperatura de autoaquecimento em função de P	123
Figura 81 – I_D em função de V_G	124
Figura 82 – I_D em função de V_G para diferentes concentrações de dopantes (N_D) em simulações com e sem autoaquecimento.	125
Figura 83 – Mobilidade dos elétrons ao longo do canal.	126
Figura 84 – Curva da transcondutância em função de V_G	126
Figura 85 – $\% \Delta I_D$ em função da potência estática para diferentes concentrações de dopantes (N_D).	127
Figura 86 – Curvas de I_D em função de V_D com e sem a presença de autoaquecimento.	128
Figura 87 – ΔI_D em função da tensão de dreno para diferentes valores de V_{GT}	129
Figura 88 – I_D em função de V_G para diferentes valores de W	130

Figura 89 – Mobilidade dos elétrons ao longo do canal.....	131
Figura 90 – I_D em função de V_G	132
Figura 91 – ΔI_D em função de P	133
Figura 92 – Densidade de elétrons em função de V_G	134
Figura 93 – Mobilidade dos elétrons extraídas no ao longo do canal em função de V_G	136
Figura 94 – Mobilidade dos elétrons ao longo do canal para $N_D = 5.10^{18} \text{cm}^{-3}$ em simulações com e sem autoaquecimento.....	137

LISTA DE ABREVIATURAS E SIGLAS

DELTA	Fully Depleted Lean channel transistor
DIBL	Drain Induced Barrier Lowering
FDSOI MOSFET	Fully Depleted Silicon-On-Insulator Metal Oxide Field Effect Transistor
FET	Field Effect Transistor
JNT	Junctionless Nanowire Transistor
MOSFET	Metal Oxide Field Effect Transistor
SOI MOSFET	Silicon-On-Insulator Metal Oxide Field Effect Transistor
XMOS	Cross Gate MOSFET
SHE	Self-Heating-Effect (Efeito de autoaquecimento)
ZTC	Zero Temperature Coefficient

LISTA DE SÍMBOLOS

β	Coeficiente de espalhamento	-
μ	Mobilidade	[cm ² /V.s]
μ_0	Mobilidade resultante	[cm ² /V.s]
μ_{CC}	Mobilidade de espalhamento portador-portador	[cm ² /V.s]
μ_{eff}	Mobilidade efetiva	[cm ² /V.s]
μ_{ni}	Mobilidade de espalhamento por impurezas neutras	[cm ² /V.s]
μ_{ps}	Mobilidade de espalhamento por fônons	[cm ² /V.s]
μ_{psii}	Mobilidade de espalhamento por impurezas ionizadas	[cm ² /V.s]
E_C	Nível de condução	[eV]
E_g	Energia de Gap (Banda proibida)	[eV]
E_V	Nível de valência	[eV]
g_D	Condutância de saída	[A.V ⁻¹]
g_m	Transcondutância	[A.V ⁻¹]
\hbar	Constante de Planck	4,135.10 ⁻¹⁵ [eV.s]
I_{acc}	Corrente elétrica de acumulação	[mA]
I_B	Corrente elétrica de corpo	[mA]
I_D	Corrente de Dreno	[mA]
I_{D0}	Corrente que flui em um finger	[mA]
$I_{sat,acc}$	Corrente elétrica de saturação em modo acumulação	[mA]
k	Constante de Boltzman	8,617.10 ⁻⁵ [eV.K ⁻¹]
L	Comprimento de canal de um transistor planar	[nm]
m_e^*	Massa efetiva do elétron	kg
m_h^*	Massa efetiva da lacuna	kg
n	Fator de corpo	-
N_A	Concentração de impurezas aceitadoras de elétrons	[cm ⁻³]
N_D	Concentração de impurezas doadoras de elétrons	[cm ⁻³]
n_i	Concentração intrínseca de portadores	[cm ⁻³]
P	Potência dissipada	[W]
P_N	Potência normalizada	[W/ μ m]
q	Carga elementar do elétron	[C]
Q_d	Densidade de Cargas de depleção	[C/cm ²]

Q_{Si}	Densidade de Cargas no silício	[C/cm ²]
Q_{SS}	Densidade de carga elétrica no óxido	[C/cm ²]
R_G	Resistência elétrica de porta	[Ω]
R_{th}	Resistência térmica	[°C/W] ou [K/W]
R_{th-cont}	Resistência térmica de contato	[K/(cm ² .W)]
S	Inclinação de Sublimiar	[mV/déc]
T	Temperatura absoluta	[K]
t_{Box}	Espessura do óxido enterrado	[nm]
t_{ox}	Espessura do óxido de porta	[nm]
t_{si}	Espessura da película de silício	[nm]
V_D	Tensão de dreno	[V]
V_{FB}	Tensão de faixa plana	[V]
V_G	Tensão de porta	[V]
V_S	Tensão de fonte	[V]
V_T	Tensão de limiar	[V]
V_{T,acc}	Tensão de limiar em acumulação	[V]
W	Largura de canal	[nm]
W_{ef}	Largura efetiva do FinFET	[nm]
W_{fin}	Largura de canal em transistores multi-fins	[nm]
x_{dmáx}	Profundidade máxima de depleção da camada de silício	[nm]
ε_{ox}	Permissividade do óxido	[F/cm ²]
ε_{Si}	Permissividade do silício	[F/cm ²]
K	Condutividade térmica	[W/(K.m)]
Λ	Comprimento natural	-
Ξ	Campo elétrico	[V.m ⁻¹]
ρ	Densidade	[g/cm ³]
τ	Constante de tempo de autoaquecimento	[s]
Φ	Potencial Elétrico	[V]
χ_{Si}	Afinidade eletrônica do silício	[V]
Φ_F	Potencial de Fermi	[V]
Φ_M	Função trabalho do metal de porta	[V]
Φ_S	Potencial de superfície do semiconductor	[V]
Φ_{Si}	Função trabalho do semiconductor	[V]

SUMÁRIO

AGRADECIMENTOS	4
1 INTRODUÇÃO	19
1.1 HISTÓRICO.....	19
1.2 MOTIVAÇÃO E OBJETIVO	20
1.3 ORGANIZAÇÃO DO TRABALHO	21
2 CONCEITOS FUNDAMENTAIS	23
2.1 TRANSISTOR SOI MOSFET	23
2.1.1 SOI MOSFET Operando em Modo Inversão.....	24
2.1.2 SOI MOSFET Operando em Modo Acumulação	26
2.2 TRANSISTORES DE MÚLTIPLAS PORTAS	30
2.2.1 Transistores de porta dupla.....	31
2.2.2 Transistores de porta tripla.....	32
2.2.3 Outros dispositivos de múltiplas portas e suas comparações.....	34
2.2.4 SOI MOSFETs <i>multi-fins</i> ou multi-dedos.....	35
2.3 TRANSISTORES SOI MOSFETS COM CONCENTRAÇÃO NATURAL DE DOPANTES	36
2.3.1 Propriedades elétricas dos transistores SOI MOSFETs com concentração natural de dopantes.....	37
2.3.1.1 <i>Tensão de faixa plana</i>	38
2.3.1.2 <i>Tensão de limiar nos transistores SOI MOSFETs com concentração natural de dopantes (V_T)</i>	39
2.3.1.3 <i>Transcondutância</i>	41
2.3.1.4 <i>Mobilidade</i>	42
2.3.1.5 <i>Inclinação de sublimiar</i>	43
2.3.1.6 <i>Efeito de canal curto</i>	45
2.4 TRANSISTOR MOS SEM JUNÇÃO.....	47
2.4.1 Origem dos transistores MOS sem junção	48
2.4.2 Características dos transistores MOS sem junção.....	48

2.4.3	Operação dos Transistores MOS sem junção.....	50
2.4.4	Propriedades elétricas dos transistores SOI MOSFETs sem junção	51
3	INFLUÊNCIA DA TEMPERATURA SOBRE OS PARÂMETROS FÍSICOS E ELÉTRICOS DOS TRANSISTORES MOSFETS	57
3.1	PROPRIEDADES FÍSICAS	58
3.2	PARÂMETROS ELÉTRICOS.....	61
3.2.1	Tensão de limiar	61
3.2.2	Mobilidade.....	63
3.2.2.1	<i>Espalhamento por fônons ou de rede</i>	<i>63</i>
3.2.2.2	<i>Espalhamento por impurezas ionizadas</i>	<i>64</i>
3.2.2.3	<i>Espalhamento por impurezas neutras</i>	<i>65</i>
3.2.2.4	<i>Espalhamento portador-portador</i>	<i>65</i>
3.2.2.5	<i>Mobilidade resultante.....</i>	<i>66</i>
3.2.3	Inclinação de sublimiar	67
4	AUTOAQUECIMENTO	69
4.1	CARACTERIZAÇÃO DO AUTOAQUECIMENTO	72
4.1.1	Caracterização do autoaquecimento através da extração da resistência de porta em estruturas com 4 terminais de porta.....	72
4.1.2	Caracterização do autoaquecimento através da extração da resistência do metal com 4 terminais de linha do metal.....	74
4.1.3	Caracterização do autoaquecimento através das medidas de caracterização de um transistor vizinho	76
4.1.4	Caracterização do autoaquecimento através de um transistor com diodo adjacente..	79
4.1.5	Caracterização do autoaquecimento através do ruído	81
4.1.6	Caracterização do autoaquecimento através da curva de g_{DS} cross-over	83
4.1.7	Caracterização do autoaquecimento através de medidas pulsadas.....	85
4.2	ESTUDO DO AUTOAQUECIMENTO EM DISPOSITIVOS SOI MOSFETS.....	87
5	AUTOAQUECIMENTO EM TRANSISTORES SOI MOSFETS.....	92
5.1	CARACTERÍSTICAS DOS DISPOSITIVOS.....	92

5.2	RESULTADOS	93
5.2.1	Análise do autoaquecimento em transistores SOI MOSFETs com concentração natural de dopantes no canal.....	94
5.2.1.1	<i>Medidas experimentais obtidas pelo método da extração da resistência de porta em dispositivos SOI MOSFETs de múltiplas portas com 2 contatos de porta</i>	94
5.2.1.2	<i>Verificação do autoaquecimento nos dispositivos SOI MOSFETs de múltiplas portas com concentração natural de dopantes no canal, através de simulações numéricas</i>	99
5.2.1.3	<i>Medidas experimentais obtidas pelo método da extração da resistência de porta em dispositivos SOI MOSFETs planares com 2 contatos de porta</i>	115
5.2.2	Análise do autoaquecimento de transistores SOI MOSFETs sem junção.....	117
5.2.2.1	<i>Medidas experimentais obtidas pelo método da extração da resistência de porta em dispositivos SOI MOSFETs sem junção de múltiplas portas com 2 contatos de porta</i>	117
5.2.2.2	<i>Verificação do autoaquecimento nos dispositivos SOI MOSFETs sem junção de múltiplas portas através de simulações numéricas</i>	121
5.2.3	Simulações dos efeitos do autoaquecimento em outros dispositivos SOI MOSFETs sem junção com comprimentos de canal mais longo	123
5.2.3.1	<i>Simulações em dispositivos com diferentes concentrações de impureza.....</i>	124
5.2.3.2	<i>Simulações com alta polarização de V_D com diferentes valores de W</i>	129
5.2.3.3	<i>Comparações entre dispositivos SOI MOSFETs sem junção e SOI MOSFETs modo inversão.....</i>	131
6	CONCLUSÕES E TRABALHOS FUTUROS	138
	REFERÊNCIAS	140
	APÊNDICE A - SIMULADOR SYNOPSIS SENTAURUS.....	150
	APÊNDICE B – CÓDIGO PARA GERAR A ESTRUTURA DO TRANSITOR.....	154
	APÊNDICE C – CÓDIGO DE SIMULAÇÃO	168

1 INTRODUÇÃO

Neste capítulo serão apresentados um breve histórico dos transistores MOSFETs e SOI MOSFETs com a finalidade de situar o leitor o que foi e o que está sendo desenvolvido no ramo da microeletrônica.

Também serão apontados os principais objetivos deste trabalho, bem como este está organizado.

1.1 HISTÓRICO

Um transistor “*Metal-Oxide-Silicon Field Effect Transistor*” (MOSFET) [1] é um dispositivo eletrônico formado por um substrato de silício com uma camada ativa definida por três regiões: fonte, canal e dreno. Em cada uma delas, inclusive na parte inferior do substrato, há contatos metálicos para que possam ser aplicadas as tensões elétricas, permitindo ou não a passagem da corrente elétrica pelo dispositivo. O fluxo de corrente elétrica é formado através da polarização da porta que será responsável pela inversão ou acumulação de cargas na região de canal, dependendo do tipo de funcionamento do transistor. A intensidade da corrente elétrica é determinada através da polarização das regiões de fonte e dreno.

Esses dispositivos são utilizados em circuitos eletrônicos analógicos e digitais como, por exemplo, circuitos retificadores, amplificadores, micro controladores e memórias.

Com o desenvolvimento da tecnologia e a crescente miniaturização dos dispositivos, os transistores MOSFETs começaram a apresentar alguns problemas, sendo, o principal deles, relacionado ao efeito de canal curto, que aproximava as regiões de fonte e dreno, reduzindo o controle eletrostático da porta e o fluxo de corrente de dreno na região do canal [2].

No entanto, os transistores MOSFETs foram aperfeiçoados através da inserção de um óxido enterrado ao substrato, dando origem aos dispositivos “*Silicon On Insulator Metal-Oxide-Silicon Field Effect Transistors*” (SOI MOSFETs) [3] proporcionando algumas vantagens com relação ao que já se havia anteriormente. Dentre elas, pode-se citar a redução no efeito de canal curto, que cada vez mais se acentua na medida em que os dispositivos tem suas dimensões reduzidas, a eliminação do efeito transistor parasitário na tecnologia CMOS, inclinação de sublimiar bem próxima ao seu valor ideal, menor variação da tensão de limiar em relação aos MOSFETs sem a presença do óxido enterrado, entre outros [3]. Por outro lado, a presença do óxido acarreta um aumento indesejável na capacitância de junção e do efeito de corpo [4].

Essa tecnologia também evoluiu através da fabricação de dispositivos tridimensionais com múltiplas portas, tais como os FinFETs [5] e os transistores de porta tripla [2]. Nesta nova configuração verifica-se uma verticalização do canal, que possibilita inserção de múltiplas portas a qual aumenta o controle do potencial eletrostático dos dispositivos. Com a verticalização, é possível obter uma redução do comprimento natural do dispositivo uma vez que este decresce com o aumento do número de portas (dupla, tripla ou quádrupa) [2]. Conseqüentemente, o dispositivo apresenta um melhor funcionamento sem sofrer influência dos efeitos de canal curto. Além disso, um dispositivo com múltiplas portas, pode-se observar um aumento da mobilidade, uma vez que, além da mobilidade presente na interface Si/SiO₂ no topo do dispositivo, também se leva em consideração a mobilidade formada nas laterais de um canal verticalizado [2].

Entretanto, uma das dificuldades encontradas durante o processo de fabricação dos dispositivos é fazer implantações iônicas com diferentes concentrações de dopantes ocasionando uma difusão dos portadores das regiões de fonte e dreno, no canal, principalmente em dispositivos com comprimentos de canal mais curtos.

Como uma forma de facilitar o processo de fabricação destes dispositivos, permitindo ainda mais a miniaturização destes, uma nova tecnologia foi proposta por Jean Pierre Colinge [6]. Nesta nova abordagem, as junções existentes entre canal/fonte e canal/dreno dos transistores foram eliminadas mantendo-se o mesmo tipo de dopantes com a concentração de impureza constante ao longo de toda camada de silício. A partir de alguns estudos, verificou-se que este tipo de transistor apresentou resultados muito significativos quando comparados com os FinFETs, pois apesar de não haver junções, o funcionamento desse dispositivo apresentou similaridades com os demais transistores e até algumas vantagens preservando a redução do efeito de canal curto e facilidade no processo de fabricação [6]. Esses transistores foram denominados de Transistores Sem Junção, "*Junctionless Nanowire Transistors*" (JNT) [6], pelo fato de não apresentarem diferenças de impurezas nem de concentrações entre as regiões de dreno, canal e fonte.

1.2 MOTIVAÇÃO E OBJETIVO

Perante ao desenvolvimento da tecnologia dos transistores SOI MOSFETs, é importante observar a dissipação de calor nestes dispositivos. A presença do óxido enterrado acarreta no aumento da temperatura interna dos transistores devido à sua baixa dissipação térmica. O

aumento da temperatura influencia as propriedades elétricas dos dispositivos tais como alteração da tensão de limiar, redução da mobilidade e degradação da corrente elétrica de dreno.

Apesar de existirem muitos trabalhos na literatura, pouco se tem explorado sobre o efeito do autoaquecimento em transistores SOI MOSFETs nanométricos e em transistores SOI MOSFETs sem junção.

O objetivo deste trabalho será estudar o autoaquecimento em transistores SOI MOSFETs nanométricos através da extração da resistência elétrica de porta em dispositivos SOI MOSFETs com concentração natural de dopantes e SOI MOSFETs sem junção, com dois contatos de porta, medidos experimentalmente em diferentes temperaturas no laboratório do CEA-LETI, na França e compará-los através de simulações numéricas tridimensionais com uso do TCAD Synopsys. Através destes resultados será possível entender como ocorre a dissipação da temperatura nestes dispositivos e obter conclusões pertinentes ao estudo do transporte das propriedades térmicas destes dispositivos.

1.3 ORGANIZAÇÃO DO TRABALHO

Este trabalho contém 6 capítulos organizados da seguinte forma:

Capítulo 1: Uma breve introdução sobre os transistores e uma pequena descrição do que será feito este trabalho.

Capítulo 2: Neste capítulo serão abordados os principais conceitos sobre o funcionamento dos transistores MOSFETs. Serão enfatizados os estudos dos transistores SOI MOSFETs de múltiplas portas com concentração natural de dopantes no canal e sem junção, visando discutir suas vantagens e desvantagens comparando-as com outras tecnologias anteriores. Ainda neste capítulo, serão apresentados os principais parâmetros elétricos que são de suma importância para analisar o comportamento dos dispositivos tais como, tensão de limiar, tensão de faixa plana, transcondutância, inclinação de sublimiar e mobilidade.

Capítulo 3: Neste capítulo será detalhada a influência da temperatura nos transistores de modo geral, demonstrando a sua influência nas propriedades físicas e elétricas dos semicondutores. Será abordada a influência da temperatura na concentração de portadores intrínsecos e extrínsecos no semicondutor, na faixa proibida, na tensão de limiar, na mobilidade, na transcondutância e nos efeitos de canal curto.

Capítulo 4: Neste capítulo será analisado o autoaquecimento nos transistores MOSFETs. Serão abordadas as causas do autoaquecimento bem como as consequências no funcionamento

dos dispositivos. Serão apresentadas algumas técnicas para extrair a variação da temperatura nos dispositivos e as vantagens e desvantagens de cada uma delas.

Capítulo 5: Neste capítulo serão apresentados os resultados obtidos experimentalmente dos dispositivos SOI MOSFETs com concentração natural de dopantes no canal e em transistores SOI MOSFETs sem junção. Os resultados obtidos serão complementados com simulações para que se possa obter as conclusões pertinentes a este trabalho. Como uma extensão do trabalho, alguns parâmetros, como concentração de portadores e o comprimento efetivo serão analisados para que seja possível verificar suas influências com o autoaquecimento de transistores SOI MOSFETs sem junção.

Capítulo 6: Neste capítulo serão apresentadas as principais conclusões e possíveis extensões deste trabalho a serem feitas futuramente.

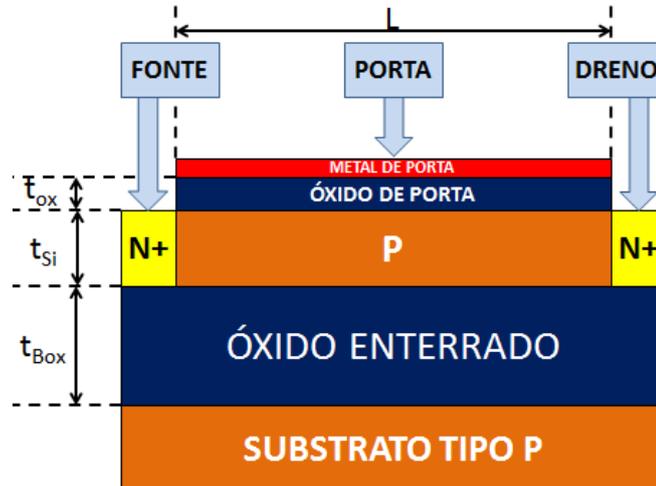
2 CONCEITOS FUNDAMENTAIS

Neste capítulo serão apresentados os transistores SOI MOSFETs e os transistores SOI MOSFETs sem junção. Será abordado o princípio de funcionamento de cada um destes dispositivos, onde serão comparadas as estruturas que funcionam em modo inversão e em modo acumulação, principalmente em dispositivos tridimensionais com múltiplas portas. Para facilitar o entendimento de como estes dispositivos operam, os parâmetros elétricos tais como tensão de limiar, mobilidade, transcondutância e outros, serão abordados resumidamente.

2.1 TRANSISTOR SOI MOSFET

A Figura 1 representa, esquematicamente, a secção transversal de um transistor MOS (*Metal Oxide Silicon*) fabricado na tecnologia silício sobre isolante (*Silicon On Insulator*), o SOI MOSFET.

Figura 1 – Perfil longitudinal de um transistor SOI MOSFET.



Fonte: Autor

Legenda: Representação esquemática indicando as regiões de porta, fonte, dreno e substrato.

Este dispositivo apresenta dois isolantes, um sendo o óxido de porta, com espessura t_{ox} , e o outro composto por um óxido enterrado com espessura t_{Box} sob uma camada de silício de espessura t_{Si} . O óxido enterrado isola a região ativa da lâmina do restante do substrato. Nesta Figura 1, também estão representadas as regiões de canal (substrato P abaixo do óxido de porta), fonte e dreno, onde serão devidamente polarizados para o funcionamento do transistor. Ainda

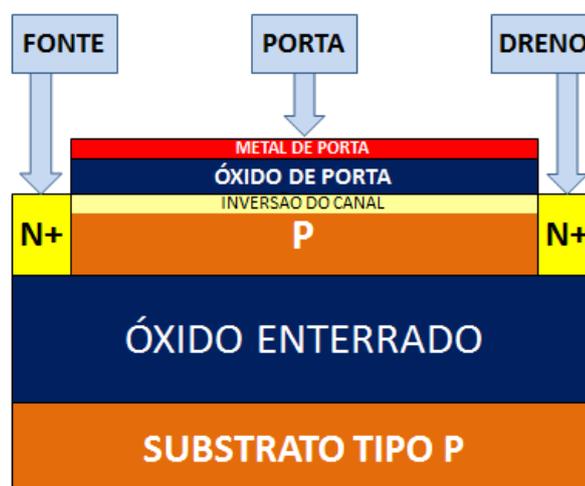
na Figura 1, também estão representadas a espessura da camada de silício (t_{Si}), a espessura do óxido enterrado (t_{Box}), a espessura do óxido de porta (t_{ox}) e o comprimento de canal (L) que são parâmetros importantes para se determinar a corrente elétrica que passará pelo dispositivo.

Essa tecnologia proporcionou várias vantagens sobre o MOSFET com tecnologia convencional (“*Bulk*”), tais como a redução do efeito de canal curto [7], aumento da mobilidade [3], menor corrente de fuga [8], redução das capacitâncias parasitárias [9] e, principalmente a eliminação do efeito tiristor parasitário [10]. Os transistores SOI MOSFETs podem ser classificados de acordo com seu modo de funcionamento, inversão ou acumulação, que serão detalhados adiante.

2.1.1 SOI MOSFET Operando em Modo Inversão

Os dispositivos SOI MOSFETs que operam em modo inversão são fabricados dopando-se a região de canal com impurezas diferentes das impurezas usadas para a dopagem das regiões de fonte e dreno. Essa condição pode ser ilustrada na Figura 1 e na Figura 2, onde tanto o dreno quanto a fonte estão dopados com portadores doadores de elétrons (tipo N) enquanto o substrato e o canal estão dopados com portadores aceitadores de elétrons (tipo P) [3]. A condução ocorrerá quando a polarização da porta for suficiente para formar uma camada de inversão dos portadores na interface da região de silício com o óxido de porta, onde a corrente poderá fluir através dos terminais de fonte e dreno, como ilustrado na Figura 2.

Figura 2 – Perfil longitudinal de um transistor SOI MOSFET com inversão do canal.



Fonte: Autor

Os transistores SOI MOSFETs podem estar com a camada de silício parcialmente ou totalmente depletados [3]. Esta condição depende de uma relação entre a espessura da camada de silício (t_{Si}) e da profundidade da região de depleção ($x_{dmáx}$).

O valor de $x_{dmáx}$ está expresso na equação (1), a qual depende da permissividade do silício (ϵ_{Si}), do potencial de Fermi (Φ_F), da carga elementar do elétron (q) e da concentração de portadores do canal (N_A , no caso dos SOI MOSFETs tipo N ou N_D , no caso dos SOI MOSFETs tipo P [11]).

$$x_{dmáx} = \sqrt{\frac{4\epsilon_{Si}\Phi_F}{q \cdot N_A}} \quad (1)$$

O valor do potencial de Fermi, como descrito na equação (2) depende da constante de Boltzman (k), do valor da temperatura em escala absoluta (T), de q , de N_A ou N_D (dependendo da impureza dopada na região ativa) e da concentração intrínseca de portadores do semiconductor (n_i), que é, aproximadamente igual a $1,45 \cdot 10^{10} \text{cm}^{-3}$ na temperatura de 300K [12], [13].

$$\Phi_F = -\frac{kT}{q} \ln \frac{N_D}{n_i} \quad (\text{substrato tipo N}) ; \quad \Phi_F = \frac{kT}{q} \ln \frac{N_A}{n_i} \quad (\text{substrato tipo P}) \quad (2)$$

Caso a espessura da camada de silício seja menor que $x_{dmáx}$ e, quando a diferença de tensão aplicada entre porta e a fonte (V_G) for maior que a tensão de limiar (V_T), no caso de um transistor tipo N, ocorrerá a depleção total na região ativa do SOI MOSFET. No caso de um MOSFET tipo P, para que haja a depleção total, o valor de V_G deverá ser menor que V_T .

Isso ocorre devido a interação entre as regiões de depleção induzidas pela porta e pelo substrato, configurando um transistor SOI totalmente depletado (Fully Depleted SOI MOSFET – FDSOI) [3]. Nessa configuração, estes transistores apresentam características elétricas melhores que os dispositivos MOS convencionais, como aumento da mobilidade dos portadores no canal [14], redução dos efeitos de canal curto [7], melhor inclinação de sublimiar [15,16], menor variação da tensão de limiar com a variação da temperatura [17], entre outras. Com a inserção do óxido enterrado e, neste modo de operação, o SOI MOSFET apresenta uma redução no fator de corpo, reduzindo as capacitâncias parasitárias e, conseqüentemente apresentando as vantagens discutidas anteriormente destes transistores em relação aos MOSFETs implementados com tecnologia convencional [18].

Por outro lado, quando t_{Si} for maior que o dobro de $x_{dm\acute{a}x}$, as camadas de depleção da primeira interface (silício e óxido de porta) e da segunda interface (silício e óxido enterrado) não irão interagir. Nessa configuração, o transistor é conhecido como um SOI MOSFET parcialmente depletado (Partially Depleted SOI MOSFET – PDSOI). Neste caso haverá uma região neutra entre as interfaces, levando o transistor a se comportar como um transistor MOSFET convencional caso haja contato elétrico com a camada de silício. Se não houver o contato elétrico, o dispositivo apresentará efeitos de corpo flutuante, como o efeito Kink [19] e o efeito bipolar parasitário [20].

Também há o transistor SOI quase totalmente depletado (Near Full Depleted SOI MOSFET - NFD SOI) que são dispositivos cuja espessura da camada de silício da região de canal é maior que $x_{dm\acute{a}x}$, porém menor que $2 \cdot x_{dm\acute{a}x}$ ($x_{dm\acute{a}x} < t_{Si} < 2 \cdot x_{dm\acute{a}x}$). Com isso, o transistor poderá assumir a configuração de um FDSOI MOSFET ou poderá assumir o papel de um PDSOI MOSFET, já que as camadas de depleção da primeira e segunda interface poderão ou não estar em contato uma com a outra, dependendo da condição de substrato.

2.1.2 SOI MOSFET Operando em Modo Acumulação

A Figura 3 ilustra um transistor SOI MOSFET com canal tipo P, onde as regiões de fonte e dreno também apresentam impurezas do tipo P+, isto é, estas regiões estão com concentrações de dopantes maiores que a região de canal, porém com o mesmo tipo de impureza.

Figura 3 – Perfil longitudinal de um transistor SOI MOSFET modo acumulação.



Fonte: Autor

Um dispositivo SOI MOSFET sem junção PN entre as regiões de fonte/canal e canal/dreno pode ser fabricado com características elétricas semelhantes aos de um SOI MOSFET totalmente depletado com junções PN.

Uma vez que este tipo de transistor não apresenta uma característica similar aos transistores MOSFETs que operam em modo inversão, essa tecnologia só funcionará em dispositivos modo acumulação fabricados com a tecnologia SOI MOSFETs de camada fina, pois isto garante que o dispositivo esteja na condição de totalmente depletado quando não estiver operando.

Enquanto a tensão aplicada na porta do transistor for nula ($V_G = 0$), o canal estará totalmente depletado devido à presença de cargas positivas na interface óxido de porta/silício e pela diferença entre a função trabalho do material de porta, neste caso silício policristalino tipo N^+ , e da camada de silício da região ativa, (Φ_{MS}) que está representada através da equação (3). Nesta situação em que o valor de V_G é nulo não ocorre passagem de corrente elétrica entre fonte e dreno, conforme verifica-se no item (A) da Figura 4 [21].

$$\Phi_{MS} = -\frac{E_g}{2q} - \Phi_{Fp} \quad (3)$$

Como o transistor em questão é um pMOSFET, deve-se polarizar a porta com tensões negativas ($V_G < 0$) para que seja possível a passagem da corrente elétrica pelo canal. O fluxo da corrente de dreno inicia-se quando o valor da tensão aplicada na porta for menor que a tensão de limiar (V_T), uma vez que este nível de tensão é suficiente para reduzir a região depletada, conforme ilustrado no item (B) da Figura 4 [21].

As correntes elétricas que compõem a corrente de dreno fluem nestes dispositivos através do canal e podem percorrer dois caminhos: pelo corpo do dispositivo (I_B) ou pela camada de acumulação (I_{acc}) próxima à interface com o óxido de porta. Como este dispositivo apresenta mais de uma componente de corrente elétrica, há também mais de uma tensão de limiar [3].

A componente da corrente de dreno que passa pelo corpo do transistor (I_B) depende da concentração de portadores (N_A), da carga elementar do elétron (q), da mobilidade de portadores que passam pelo corpo (μ_p), da largura do canal (W), do comprimento do canal (L) e do campo elétrico (ξ), como descreve a equação (2.4) [3].

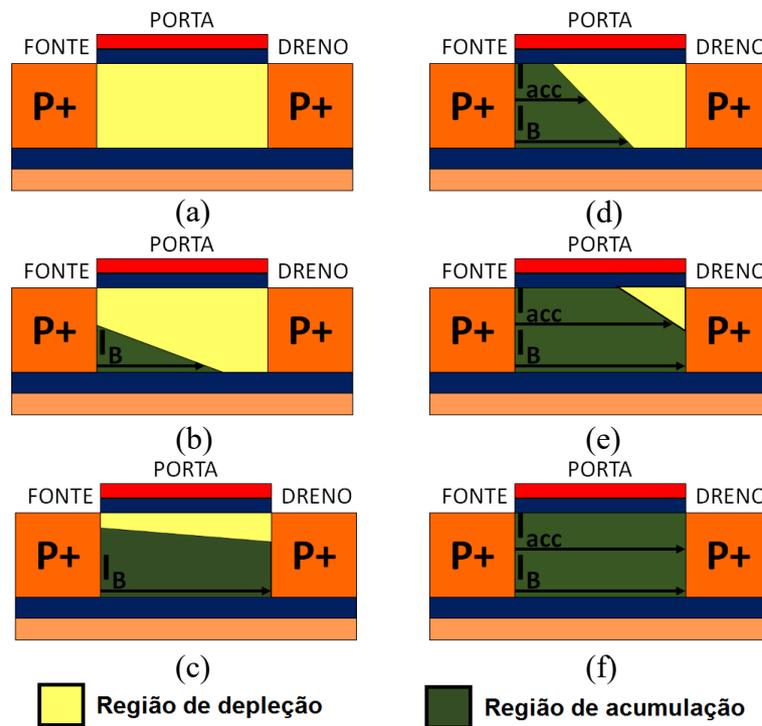
$$I_B = q \cdot N_A \cdot \mu_{p'} \cdot \frac{W}{L} \cdot \xi \quad (4)$$

Enquanto a tensão aplicada à porta do transistor PMOS for menor que a tensão de faixa plana (V_{FB}), não haverá tensão suficiente para formar uma camada de acumulação na superfície. Mesmo assim, dependendo da tensão aplicada à fonte e ao dreno, é possível que ocorra o pinçamento do corpo, onde estas condições estão representadas na Figura 4, itens (B) e (C) [21].

A tensão de limiar que permite a condução da corrente de acumulação ($V_{T,acc}$) é alcançada quando o potencial de superfície na primeira interface do dispositivo for zero, isto é, a tensão aplicada à porta atinge o valor de tensão em faixa plana, que pode ser descrita de acordo com a equação (5) [21].

$$V_{T,acc} = V_{FB} = \Phi_{MS} - \frac{Q_{ox}}{C_{ox}} \quad (5)$$

Figura 4 – Funcionamento dos transistores SOI MOSFETs em modo acumulação.



Fonte: Autor “adaptado de” Colinge, 1990. [21]

Enquanto V_G for menor que V_{FB} , haverá uma camada de acumulação próxima a fonte que pode ou não atingir a região de dreno. As possíveis condições estão apresentadas na Figura

4, onde no item (D), pode-se observar um caso em que ocorre o pinçamento dos dois canais de condução. No item (E), nota-se um outro caso em que o início do pinçamento ocorre somente no canal em que flui a corrente de acumulação. Por fim, no item (F) cujo o canal está totalmente em acumulação. Estas condições dependem da polarização do dreno e a corrente que passa pela interface do dispositivo (I_{acc}) é obtida através da equação (6) [21].

$$I_{acc} = -\frac{\mu_p \cdot \epsilon_{OX}}{t_{OX}} \left(\frac{W}{L}\right) \cdot \left[(V_G - V_{T,acc}) \cdot V_{DS} - \frac{(V_{DS})^2}{2} \right] \quad (6)$$

Na região em que $V_{DS} < V_G - V_T$, tem-se o valor da corrente de saturação ($I_{sat, acc}$)

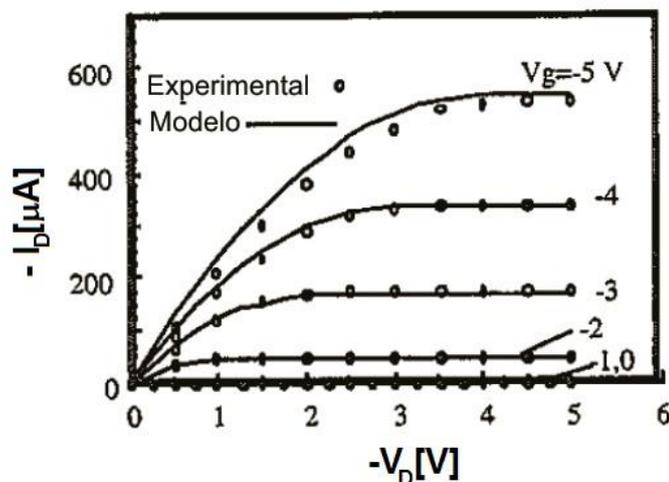
$$I_{sat,acc} = -\frac{\mu_p \cdot \epsilon_{OX}}{t_{OX}} \left(\frac{W}{L}\right) \cdot \frac{(V_G - V_{T,acc})^2}{2} \quad (7)$$

Finalmente, a corrente total de dreno (I_D) é a soma da corrente de acumulação (I_{acc}) com a corrente de corpo (I_B) [21].

$$I_D = I_{acc} + I_B \quad (8)$$

A Figura 5 mostra as curvas de corrente de dreno em função da polarização aplicada ao dreno num SOI MOSFET tipo P operando em modo acumulação, sem polarização de substrato, com t_{Si} igual a 100 nm e N_A igual a $4 \cdot 10^{16} \text{ cm}^{-3}$ [21].

Figura 5 – Curvas de corrente de um transistor SOI MOSFET tipo P, com $V_B=0$.

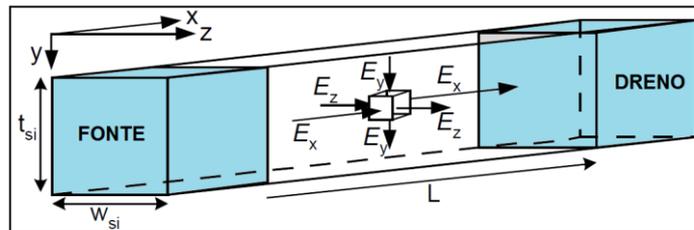


Fonte: Colinge, 1990 [21]

2.2 TRANSISTORES DE MÚLTIPLAS PORTAS

Os transistores de múltiplas portas foram desenvolvidos para facilitar o escalamento dos dispositivos MOSFETs e reduzir ainda mais o efeito de canal curto uma vez que, a presença de múltiplas portas reduz a influência do campo elétrico na região do canal devido à polarização do dreno, aumentando o controle eletrostático das cargas presentes nessa região [2]. A Figura 6 ilustra como se comporta o campo elétrico nos dispositivos MOSFETs com múltiplas portas.

Figura 6 – Componentes de campo elétrico em MOSFETs de múltiplas portas.



Fonte: Colinge, p. 18, 2008 [2].

A componente E_x do campo elétrico é fortemente influenciada pela região de dreno perante à região de canal, sendo responsável pelos efeitos de canal curto [2]. Esta componente depende do valor do comprimento de canal, da influência das portas alocadas na parte superior ou inferior do transistor, que controlam a componente E_y do campo elétrico e das portas laterais que controlam a componente E_z do campo elétrico [2].

A soma das derivadas parciais das componentes do campo elétrico em uma região do canal pode ser descrita conforme (9), cujo seu valor se resulta em uma constante C [2].

$$\frac{\partial E_x(x, y, z)}{\partial x} + \frac{\partial E_y(x, y, z)}{\partial y} + \frac{\partial E_z(x, y, z)}{\partial z} = C \quad (9)$$

Da equação (9), pode-se observar que para reduzir a variação da componente vetorial E_x em relação ao comprimento na direção x , pode-se aumentar a componente $\partial E_y/\partial y$ e/ou $\partial E_z/\partial z$. Portanto, a verticalização do canal em um dispositivo MOSFET com múltiplas portas permite obter um melhor controle sobre o canal e reduzir os efeitos de canal curto, reduzindo a influência do campo elétrico E_x , não somente pelo aumento do valor de L , mas também pelo

aumento das componentes E_y e/ou E_z através da redução da espessura de W_{Si} e/ou redução da espessura de t_{Si} , respectivamente [2].

A vantagem de um MOSFET conter múltiplas portas em relação aos transistores planares é que estes conduzem uma maior quantidade de corrente por unidade de área do silício, uma vez que os diferentes campos elétricos permitem a existência de múltiplos planos de condução para o fluxo de I_D [2]. Assim, seria possível afirmar que se um dispositivo fosse de porta tripla, então este apresentaria três vezes mais corrente do que um planar similar.

Entretanto, a mobilidade varia dentro do canal, uma vez que esta depende da orientação cristalina do semiconductor, isto é, a camada de inversão nas interfaces ocorre de maneiras diferentes [22]. A mobilidade no topo, onde a orientação cristalina é $\langle 100 \rangle$, é maior do que nas laterais, onde a orientação é $\langle 110 \rangle$ e, conseqüentemente, a corrente elétrica de dreno que flui pelo topo também é maior [23].

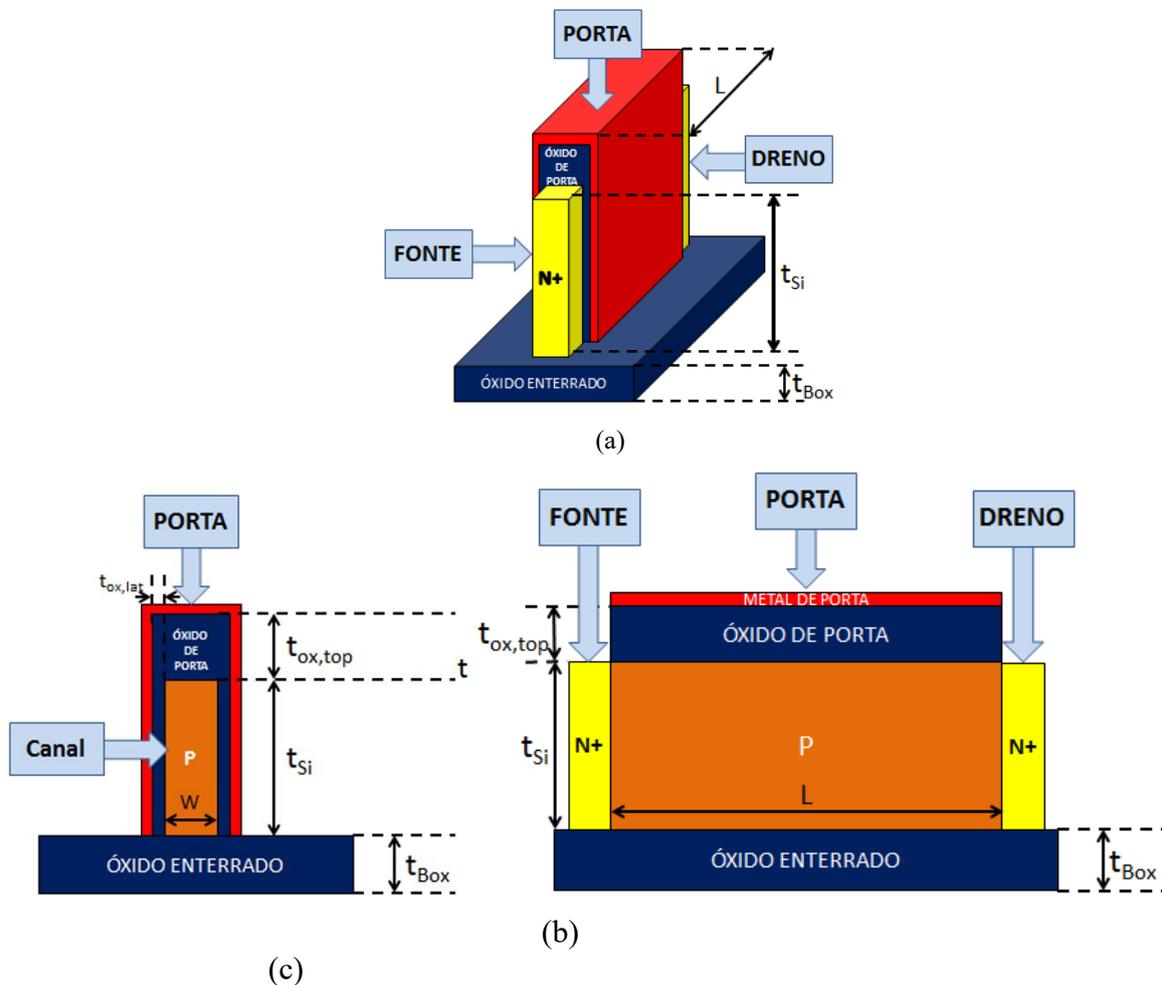
2.2.1 Transistores de porta dupla

Um dispositivo SOI MOSFET, representado na Figura 7a, será caracterizado como sendo de porta dupla quando as portas laterais do dispositivo tiverem maior influência no controle das cargas no canal.

Uma das condições para que isto ocorra é quando o valor da espessura da camada de silício sobre o isolante (t_{Si}) for muito superior ao valor da largura dessa mesma região (W) ou quando o óxido de porta que envolve o silício for mais espesso na parte superior do que nas laterais, conforme visto na Figura 7b e na Figura 7c, que representa um transistor FinFET com suas respectivas dimensões [24].

O primeiro transistor de porta dupla, o XMOS, foi proposto em 1984 e proporcionava as melhorias com relação ao efeito de canal curto, reduzindo os efeitos recorrentes desse fator [25]. Já o primeiro SOI MOSFET, de porta dupla, fabricado foi o DELTA [26] (fully Depleted Lean channel transistor) em 1989, levando ao surgimento de outros dispositivos como o SOI FinFET [27] e o MFXMOS [28,29].

Figura 7 – Transistor de porta dupla: FinFET.



Fonte: Autor

Legenda:

(a) Esquema tridimensional de um transistor de porta dupla FinFET.

(b) Seção transversal do FinFET.

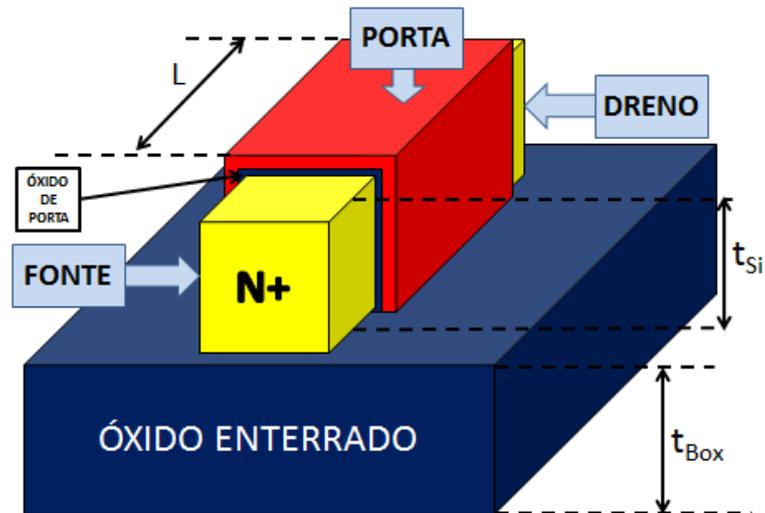
(c) Seção longitudinal do FinFET

2.2.2 Transistores de porta tripla

Quando, além das portas laterais, a porta superior também tiver uma influência significativa na condução de corrente elétrica de dreno que passa pelo canal, o dispositivo MOSFET será caracterizado como um transistor de porta tripla, como ilustrado na Figura 8. Nestes casos, a espessura do óxido de porta é muito similar ou, até mesmo igual em toda a interface com a região ativa. [30].

Alguns exemplos de transistores de porta tripla, podem ser citados como os dispositivos Π -gate (Pi-gate) [31,32] e Ω -gate (ômega-gate) [33]. A Figura 9 ilustra estes dispositivos, e pode-se notar que estes se diferenciam pela maneira de como a porta está confeccionada no substrato.

Figura 8 – Esquema de um transistor de porta tripla.

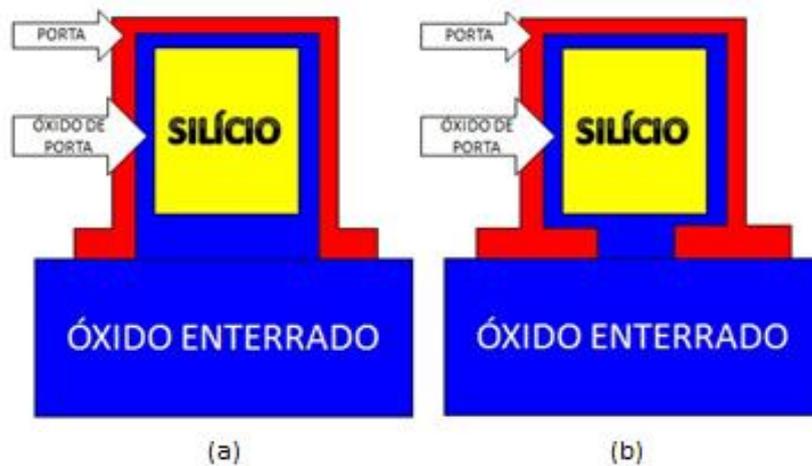


Fonte: Autor

Figura 9 – Transistores de porta tripla:

(a) MOSFET Π -Gate.

(b) MOSFET Ω -Gate.



Fonte: Autor, “adaptado de” Colinge, p. 14, 2008 [2].

2.2.3 Outros dispositivos de múltiplas portas e suas comparações.

Há também outros dispositivos de múltiplas portas, como os transistores de porta quádrupla e os cilíndricos que estão totalmente envolvidos pela porta [2]. Um dos parâmetros importantes verificados nos dispositivos de múltiplas portas é o comprimento natural (λ). Este parâmetro pode ser equacionado dependendo do tipo de porta, como descrito em (10), (11), (12) e (13) do Quadro 1. Os parâmetros ϵ_{Si} , ϵ_{ox} , t_{Si} , e t_{ox} , representa a permissividade do silício, a permissividade do óxido, a espessura do óxido da camada de silício e a espessura do óxido de porta, respectivamente.

Sendo assim, é possível concluir que o comprimento natural reduz com o aumento da multiplicidade das portas e, conseqüentemente reduz os efeitos de canal curto do dispositivo [2]. É importante ressaltar, que em todos os casos, existe uma única porta. Dizer se ela é simples, dupla, tripla ou quádrupla, é uma forma de expressar a quantidade de planos que envolvem a camada de silício e como elas atuam eletrostaticamente.

Quadro 1 - Comprimento natural dos dispositivos MOSFETs de múltiplas portas.

Tipo de Porta	Comprimento natural
Simples	$\lambda_1 = \sqrt{\frac{\epsilon_{Si}}{\epsilon_{ox}} t_{Si} t_{ox}} \quad (10)$
Dupla	$\lambda_2 = \sqrt{\frac{\epsilon_{Si}}{2\epsilon_{ox}} t_{Si} t_{ox}} \quad (11)$
Quádrupla	$\lambda_4 = \sqrt{\frac{\epsilon_{Si}}{4\epsilon_{ox}} t_{Si} t_{ox}} \quad (12)$
Transistor cilíndrico envolvido pela porta	$\lambda_0 = \sqrt{\frac{2\epsilon_{Si} t_{Si}^2 \cdot \ln\left(1 + \frac{2t_{ox}}{t_{Si}}\right) + \epsilon_{ox} t_{Si}^2}{16\epsilon_{ox}}} \quad (13)$

Fonte: Autor, “adaptado de” Colinge, p. 21, 2008 [2]

A utilização de mais portas em dispositivos pode causar o fenômeno de inversão de volume [34], principalmente em dispositivos totalmente depletados. Este fenômeno consiste no aumento da concentração de elétrons no interior da camada de silício, isto é, os portadores se distribuem ao longo do canal, porém, não se concentram na superfície da interface entre o silício e o óxido de porta, mas em regiões profundas, mais ao centro do filme de silício, na região de canal. A inversão de volume causa o aumento da transcondutância devido ao aumento da mobilidade dos portadores no interior do silício. Por isso, espera-se um ganho na mobilidade média do dispositivo em inversão de volume. Contudo, este fenômeno torna-se importante em dispositivos de camada de silício com espessura inferior a 30 nm [35].

Quando os transistores tiverem dimensões de W e t_{si} menores que 10 nm, estes poderão sofrer confinamento quântico [2]. Esse efeito necessita da inserção da equação de Schrödinger [36] junto da equação de Poisson.

Estes tipos de transistores tiveram um novo formato ocasionado pela verticalização do canal. O grande avanço dessa tecnologia, permitiu uma redução ainda maior das dimensões dos transistores, sem aumentar os efeitos de canal curto, ao manter a inclinação de sublimiar em níveis muito próximos ao valor ideal de 60 mV/dec em 300 K, além de proporcionar um melhor efeito eletrostático devido ao aumento da corrente de condução ocasionado pela presença dos dois canais gerados pela duplicação da porta [31,32,33].

Portanto, significativas melhorias puderam ser observadas através da inserção de múltiplas portas, como citadas anteriormente assim como redução nos efeitos de canal curto e um aumento nos valores de transcondutância, devido ao melhor controle eletrostático que representam uma grande vantagem no controle de I_D pela tensão aplicada à porta, em relação aos dispositivos SOI com portas simples [35].

2.2.4 SOI MOSFETs *multi-fins* ou multi-dedos

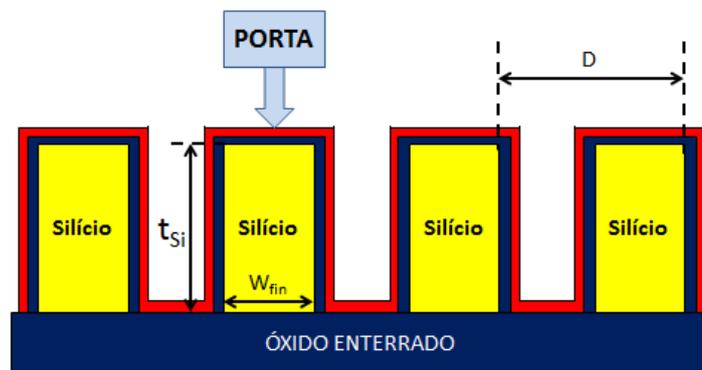
É possível realizar uma conexão entre os dispositivos de múltiplas portas através de uma técnica da fabricação de estruturas conhecidas como “*multi-fins*” ou multi-dedos [2]. Estes dispositivos são compostos de transistores de múltiplas portas com finas camadas de silício (fins) em paralelo, como pode ser observado na Figura 10.

Essa configuração permite que haja um aumento da corrente de dreno em um dispositivo de múltiplas portas, onde o valor de I_D , normalizada por D (distância entre duas regiões de silício consecutivas) e composta pela corrente que flui em um transistor planar por unidade de

largura do canal (I_{D0}) deverá ser maior do que se fosse obtido através de um dispositivo planar similar, como pode ser observada na equação (14) [2].

$$I_D = I_{D0} \cdot \left(\frac{W_{fin} + 2t_{Si}}{D} \right) \quad (14)$$

Figura 10 – Ilustração de um dispositivo com múltiplos fins (multi-fins)

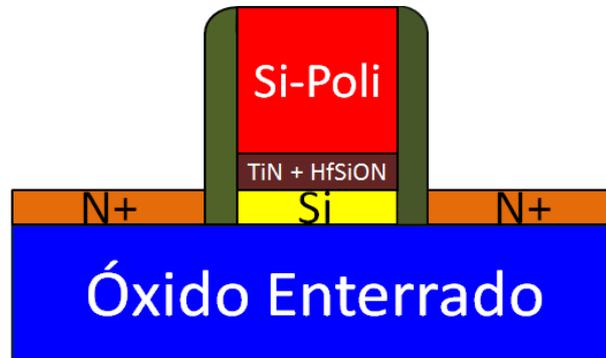


Fonte: Autor “adaptado de” Colinge, p. 25, 2008 [2].

2.3 TRANSISTORES SOI MOSFETS COM CONCENTRAÇÃO NATURAL DE DOPANTES

Em transistores SOI MOSFETs com camadas de silício ultrafinas que operam em modo inversão, dopar as regiões de fonte, canal e dreno tornou-se uma tarefa complexa. Uma das soluções encontradas para facilitar o processo de fabricação destes dispositivos foi evitar a dopagem da região de canal, que deu origem aos dispositivos FDSOI MOSFETs com concentração natural de dopantes, também conhecidos como FDSOI MOSFETs não dopados (“*Undoped FDSOI*”) [37]. Para se obter êxito nestas estruturas, utiliza-se um eletrodo “*midgap*”. A região da porta normalmente é confeccionada com Nitreto de Titânio (TiN) combinado com HfSiON, (“*gate stack*”), por exemplo [38], conforme pode-se observar na Figura 11, aumentando a constante dielétrica do material (“*high-k*”).

Figura 11 – Representação de um transistor FDSOI não dopado com gate stack.

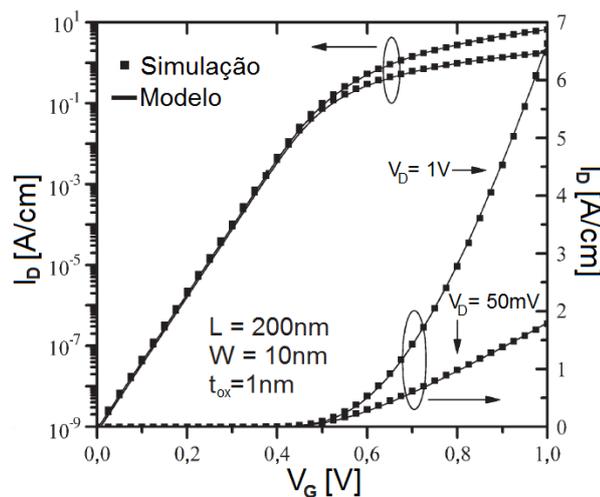


Fonte: Autor

2.3.1 Propriedades elétricas dos transistores SOI MOSFETs com concentração natural de dopantes

A Figura 12 ilustra a curva da corrente elétrica de dreno em função da polarização da porta em transistores SOI MOSFETs com concentração natural de dopantes com porta dupla em triodo ($V_D = 50 \text{ mV}$) e saturação ($V_D = 1 \text{ V}$). Este dispositivo apresenta $L = 200 \text{ nm}$, $W = 10 \text{ nm}$ e $t_{ox} = 1 \text{ nm}$ [39].

Figura 12 – Curva I_D em função de V_G de um transistor SOI MOSFET.



Fonte: Hariharan, 2008 [39].

Legenda: Transistor SOI MOSFET com comprimento natural de dopantes, com $L = 200 \text{ nm}$ com polarizações de dreno iguais a 50 mV e 1 V .

2.3.1.1 Tensão de faixa plana

A tensão de faixa plana (V_{FB}) pode ser definida como a tensão necessária a ser aplicada na porta do transistor que fará com que se inicie a formação de cargas de depleção [40]. No momento em que a tensão aplicada na porta atingir o valor de faixa plana, o potencial na superfície do silício terá seu valor nulo ($\Phi_S = 0$), onde não há presença de carga no semiconductor ($Q_{Si} = 0$) [40]. Quando a função trabalho entre o metal e o semiconductor for nula ($\Phi_{MS} = 0$) e a densidade de carga efetiva no óxido de porta também for nula ($Q_{SS} = 0$), o valor de V_{FB} será nulo. Entretanto, caso os valores de Φ_{MS} e Q_{SS} não forem nulos, o valor de V_{FB} será determinado através da equação (15) [40] :

$$V_{FB} = -\frac{Q_{SS}}{C_{OX}} + \Phi_{MS} \quad (15)$$

O valor de Φ_{MS} é a diferença entre a função trabalho do metal (Φ_M) e a função trabalho do semiconductor (Φ_{Si}), conforme a equação (16) [40], onde este valor representa a energia necessária para que um elétron presente no nível de Fermi seja extraído deste local.

$$\Phi_{MS} = \Phi_M - \Phi_{Si} \quad (16)$$

O valor de Φ_M varia de acordo com o metal utilizado na porta do transistor. O alumínio, por exemplo, apresenta função trabalho de 4,1 eV, enquanto que o TiN, 4,2 eV. Já o valor Φ_M do silício-poli tipo N será aproximadamente igual à afinidade eletrônica do silício (χ_{Si}) conforme a equação (17), devido ao nível de Fermi do metal ser próximo do nível de condução no silício. Se o material for silício-poli tipo P, tem-se que o nível de Fermi do metal será próximo do nível de valência no silício, onde o valor de Φ_M sofrerá um aumento causado pela diferença entre os valores dos níveis de energia das camadas de condução e de valência ($E_C - E_V$), representado pela faixa proibida, conforme a equação (18).

$$\Phi_M = \chi_{Si} = 4,15 \text{ eV} \quad \text{Silício Policristalino tipo N} \quad (17)$$

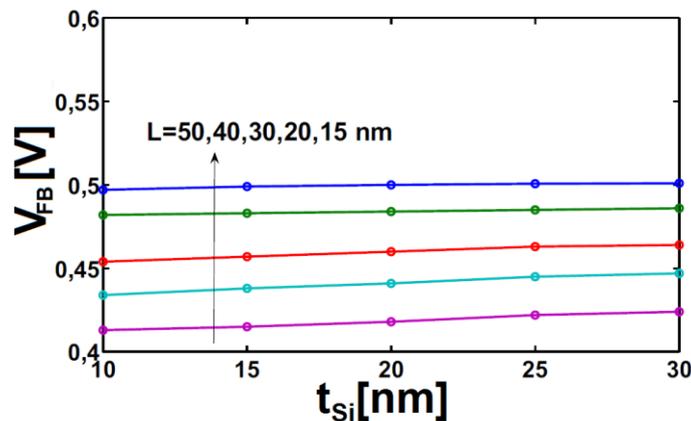
$$\Phi_M = \chi_{Si} + \frac{E_g}{q} = 5,25 \text{ eV} \quad \text{Silício Policristalino tipo P} \quad (18)$$

O valor de Φ_{Si} também pode ser relacionado com χ_{Si} , Φ_F e com a metade do potencial da banda proibida, de acordo com a equação (19).

$$\Phi_{Si} = \chi_{Si} + \frac{E_g}{2q} + \Phi_{Fp} \quad \text{ou} \quad \Phi_{Si} = \chi_{Si} + \frac{E_g}{2q} - \Phi_{Fn} \quad (19)$$

Os valores de V_{FB} foram extraídos através das simulações de estruturas de porta dupla não dopadas. Foram analisados diferentes comprimentos de canal, a partir de 15 nm até 50 nm, com diferentes espessuras, a partir de 15 nm até 30 nm, conforme demonstrado na Figura 13. Pode-se notar que nestes transistores, a tensão de faixa plana se mantém praticamente constante, com uma sutil variação em transistores com comprimentos de canal mais longos [41].

Figura 13 – Curva da tensão de faixa plana em função de t_{Si} .



Fonte: Baruah, 2009 [41]

Legenda: Dispositivos de porta dupla com concentração natural de dopantes, comparados com diferentes comprimentos de canal.

2.3.1.2 Tensão de limiar nos transistores SOI MOSFETs com concentração natural de dopantes (V_T)

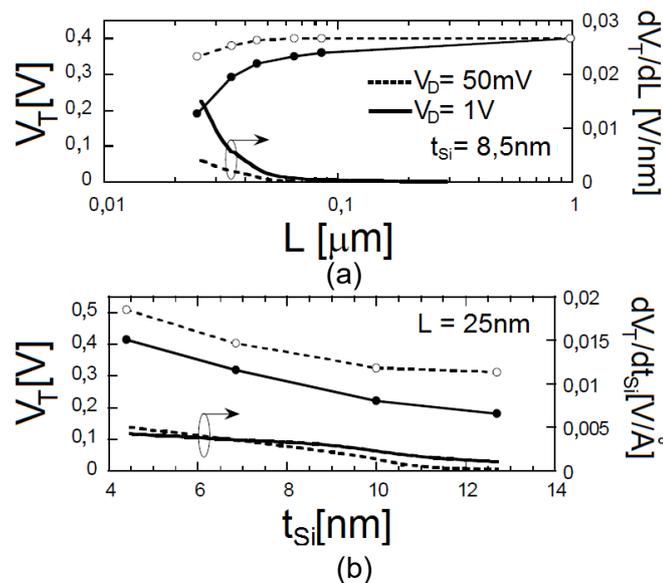
Nos dispositivos MOS que operam em modo inversão, a tensão de limiar (V_T) é definida como sendo a polarização aplicada à porta do transistor para que haja a formação de um canal de inversão. Essa condição ocorre quando o potencial de superfície equivale ao dobro do potencial de Fermi ($\Phi_S = 2\Phi_F$) [42].

O valor de V_T nos dispositivos MOSFETs com concentração natural de dopantes apresenta uma variação maior quando o dispositivo tem seu comprimento de canal reduzido. Conforme observa-se na Figura 14a, em transistores com comprimento de canal maiores que 50 nm, o valor de V_T não varia [43].

Além disso, o valor da polarização de dreno atua significativamente na alteração do valor de V_T , onde é possível observar que mesmo em transistores MOSFETs com concentração natural de dopantes e com comprimento de canal menor que 50 nm, a variação da tensão de limiar é menor quando o terminal de dreno está polarizado com baixas tensões, neste caso, 50 mV. Esta análise nos permite concluir que estes dispositivos sofrem de canal curto com comprimento de canal abaixo de 50 nm, evidenciando o aumento do “*Drain Induced Barrier Lowering*” (DIBL) [43].

Já na Figura 14b, é possível observar que o valor de V_T também varia com a espessura da camada de silício quase que linearmente, conforme observado pela sua taxa de variação que permanece praticamente constante quando o valor de t_{Si} é menor que 8 nm. Acima deste valor, não há variação de V_T .

Figura 14 – Comportamento de V_T .



Fonte: Weber, 2008 [43].

Legenda: Curva da tensão de limiar e suas respectivas derivadas de um transistor SOI MOSFET não dopado com polarizações de dreno iguais a 50 mV e 1 V.

(a) Curva em função de L .

(b) Curva em função de t_{Si} .

2.3.1.3 Transcondutância

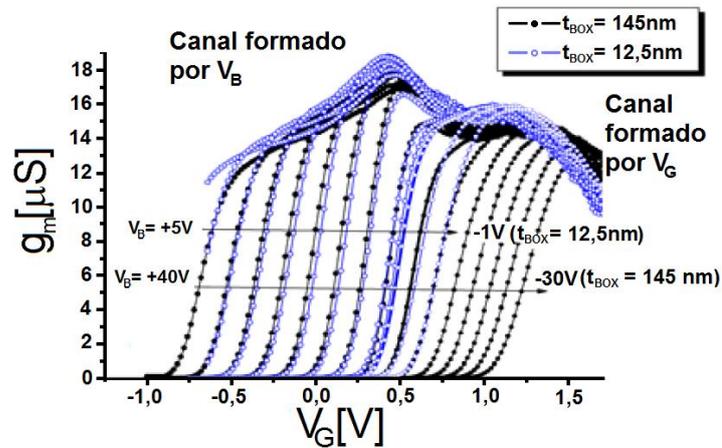
Define-se transcondutância como sendo a derivada parcial da corrente elétrica entre dreno e fonte pela tensão aplicada entre a porta e a fonte, conforme a equação (20).

$$g_m = \left. \frac{\partial I_{DS}}{\partial V_G} \right|_{V_{Dcte}} \quad (20)$$

A transcondutância (g_m) permite determinar a mobilidade de um transistor com canal longo. O valor máximo extraído do gráfico da transcondutância ($g_{m,máx}$) em função de V_G possibilita o cálculo da mobilidade máxima que o transistor oferece.

A Figura 15 mostra as curvas obtidas experimentalmente da transcondutância de dois transistores SOI MOSFETs com concentração natural de dopantes no canal, com a espessura de silício da região ativa aproximadamente igual a 11 nm. Os transistores têm diferentes espessuras de óxido enterrado, sendo um fino com 12,5 nm e o outro mais espesso com 145 nm. Verifica-se que ocorre um primeiro pico da transcondutância determinado pela polarização do substrato (V_B), na interface Si/SiO₂ enterrado, e o valor ainda é maior quando a espessura da camada de óxido enterrado é menor ($t_{BOX} = 12,5$ nm). Com o aumento da polarização da tensão de porta (V_G), nota-se um segundo pico, menor decorrente da formação do canal através da interface (TiN/HfO₂), que formam o eletrodo de porta do dispositivo, com alta constante dielétrica (high-k) [44].

Figura 15 – Curva da transcondutância em função de V_G .



Fonte: Rudenko, 2009 [44].

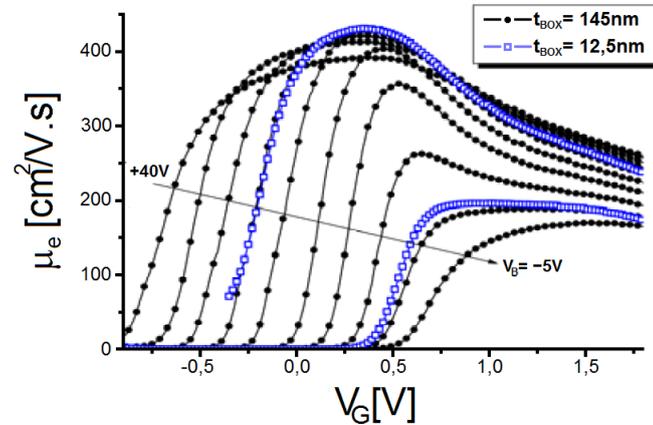
Legenda: Curva da transcondutância em função da polarização de porta extraídos com diferentes valores de V_B de dois transistores SOI MOSFETs com concentração natural de dopantes com canal longo ($W/L = 10 \mu\text{m}/10 \mu\text{m}$), sendo um deles com $t_{\text{BOX}} = 12,5 \text{ nm}$ e o outro com $t_{\text{BOX}} = 145 \text{ nm}$.

2.3.1.4 Mobilidade

A mobilidade (μ) é um dos parâmetros importantes analisado nos transistores devido à sua dependência com o campo elétrico gerado no semiconductor. Na literatura é possível encontrar alguns métodos para extrair o valor da mobilidade. Um dos métodos mais comuns é extraí-la através de um modelo utilizado com o valor da transcondutância em função da polarização de porta [45].

Entretanto, as mobilidades extraídas na Figura 16 foram obtidas através do método split-CV [46]. Pode-se observar que a mobilidade máxima é praticamente o dobro quando o canal sofre mais influência da polarização do substrato [44].

Figura 16 – Curva da mobilidade em função de V_G .



Fonte: Weber, 2008 [44].

Legenda: Curva da mobilidade em função da polarização de porta extraídos com diferentes valores de V_B de dois transistores SOI MOSFETs com concentração natural de dopantes com canal longo ($W/L = 10 \mu\text{m}/10 \mu\text{m}$), um deles com $t_{\text{BOX}} = 12,5 \text{ nm}$ e o outro com $t_{\text{BOX}} = 145 \text{ nm}$.

2.3.1.5 Inclinação de sublimiar

A inclinação de sublimiar (S) é uma análise da região de sublimiar que pode ser observada através da componente linear da curva I_D em função de V_G , com o eixo vertical em escala logarítmica. Essa região é encontrada antes da tensão de limiar e a expressão que determina o valor de S está representada pela equação (21).

$$S = \frac{dV_G}{d(\log I_{DS})} \quad (21)$$

Essa equação define a variação da polarização de porta necessária para que a corrente de dreno aumente uma década [12]. A corrente que passa pelo transistor nessa região é predominantemente a corrente de difusão [42].

Para um transistor, quanto menor o valor de S , menor será a variação do valor de V_G necessário para que a corrente I_D varie uma década e, conseqüentemente, melhor será seu desempenho. Sendo assim o valor ideal de S será atingido quando o termo n for bem próximo

de 1, como representado pela equação (22), o que resultaria $S \approx 60$ mV/déc em temperatura ambiente.

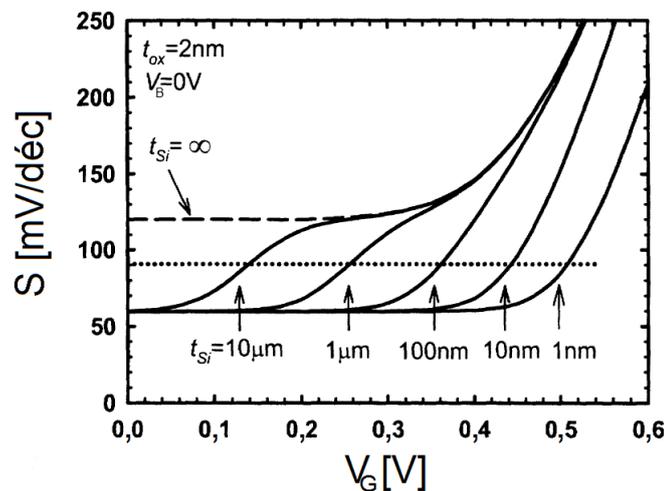
$$S = \frac{k \cdot T}{q} \ln(10) \cdot n \quad (22)$$

O termo n está associado ao acoplamento capacitivo e, os transistores de múltiplas portas apresentam um valor de n próximo da unidade [47], o que os tornam próximos do valor mínimo ideal.

Na Figura 17 é possível ver o comportamento da inclinação de sublimiar dos dispositivos SOI MOSFETs de porta dupla com concentração natural de dopantes obtidos através de simulações.

Pode-se notar duas regiões bem distintas em transistores com maior espessura, iniciando-se em 60 mV/déc para baixos valores de V_G , aumentando rapidamente com o incremento da polarização da porta. Já em dispositivos mais finos, nota-se um comportamento mais lento do aumento de S , onde é possível notar uma única região com patamar de 60 mV/déc em transistores com t_{Si} menores que $1 \mu\text{m}$ [48].

Figura 17 – Curva de S em função de V_G .



Fonte: García-Sánchez, 2005 [48]

Legenda: Curva da inclinação de sublimiar em função da polarização da porta em dispositivos SOI MOSFETs com concentração natural de dopantes com diferentes espessuras de silício.

2.3.1.6 Efeito de canal curto

O efeito de canal curto ocorre com a redução das dimensões de um transistor. Quando o comprimento de canal apresentar dimensões muito reduzidas, este acabará sendo comprometido pelas zonas de depleção induzidas nas junções de fonte e dreno, conforme observa-se na Figura 18. Conseqüentemente, há uma perda do controle da porta sobre as cargas da região de depleção do canal, devido ao compartilhamento dessas cargas entre fonte, dreno e porta [49]. Assim, o controle da porta sobre as cargas no canal do transistor é menor em um dispositivo com canal curto do que em um com canal longo. Como resultado a esse efeito, verifica-se uma redução no valor de V_T e um aumento na inclinação de sublimiar [50].

Esse efeito nos dispositivos SOI totalmente depletado, conforme visto na Figura 19 é menor do que nos MOSFETs convencionais (Figura 18) devido à fina espessura da camada de silício e devido à presença do óxido enterrado.

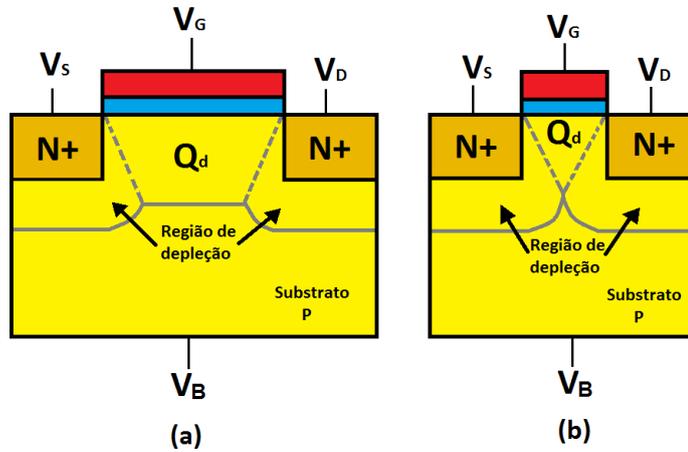
Em um dispositivo com canal curto o aumento de V_D pode reduzir a barreira de potencial na fonte, reduzindo a tensão de limiar [49]. Esse efeito é conhecido como DIBL.

Na Figura 18, as cargas de depleção de um transistor MOSFET convencional com canal longo nota-se que a região representada pelo trapézio, tem maior facilidade de ser controlada pela porta já que não há a indução das zonas de depleção nas junções de fonte e dreno. Já no MOSFET de canal curto, as cargas de depleção representadas pela região triangular permitem observar as zonas de depleção do dreno próximo à fonte e vice-versa acarretando na perda do controle de porta, apresentando um alto valor de DIBL.

Na Figura 19 as cargas de depleção nos transistores FDSOI também representadas pela área do trapézio demonstram que não ocorre a indução das zonas de depleção das junções de fonte e dreno. Entretanto, com redução do comprimento de canal, ainda a região das cargas de depleção apresenta uma geometria trapezoidal, mostrando que este transistor pode ser reduzido mais que o MOSFET convencional sem apresentar um aumento de DIBL.

A Figura 20 ilustra o comportamento da tensão de limiar nos transistores MOSFETs e SOI MOSFETs totalmente depletados, onde é possível concluir que os transistores SOI MOSFETs apresentam melhor controle desse efeito uma vez que os valores de V_T praticamente não sofrem redução quando comparados à redução do comprimento efetivo de canal nos transistores MOSFETs [3].

Figura 18 – Distribuição das cargas de depleção (Q_d) controladas pela porta em um transistor nMOS.



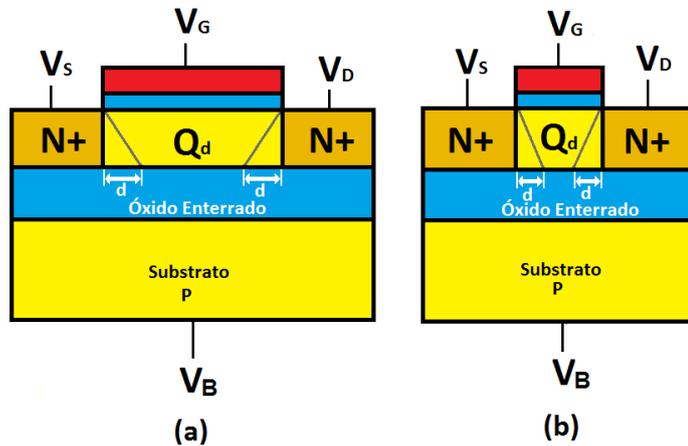
Fonte: Autor

Legenda:

(a) Transistor de canal longo.

(b) transistor de canal curto.

Figura 19 – Distribuição das cargas de depleção (Q_d) controladas pela porta em um transistor n SOI MOSFET.



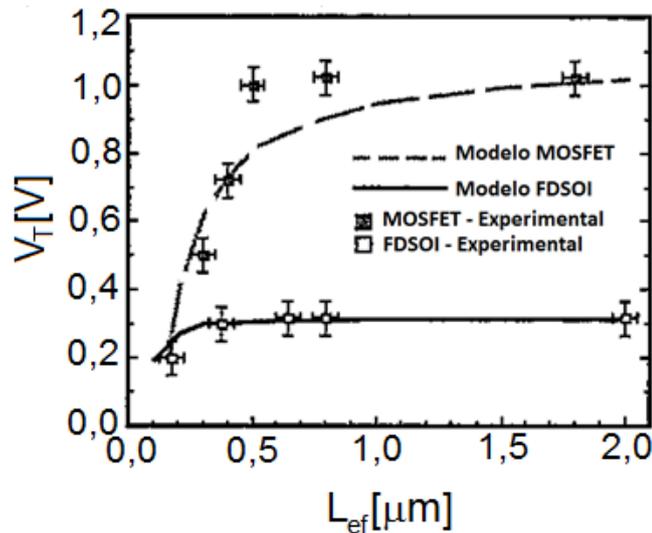
Fonte: Autor

Legenda:

(a) Transistor de canal longo.

(b) transistor de canal curto.

Figura 20 – Tensão de limiar em função do comprimento efetivo de canal em transistores nMOSFETs e FDSOI tipo N.



Fonte: Colinge, p.169, 2003 [3].

2.4 TRANSISTOR MOS SEM JUNÇÃO

Com a redução das dimensões dos transistores SOI MOSFETs, cada vez mais aparecem obstáculos no processo de fabricação, principalmente quanto às junções de fonte e dreno com o canal. Uma vez que, no processo de miniaturização, o canal também é reduzido, faz-se necessário utilizar-se de processos extremamente complexos para evitar a difusão de impurezas dentro do canal [51].

Uma forma de contornar este problema foi proposta através de estruturas com múltiplas portas onde as três regiões permanecem homogêneas, com o mesmo tipo de impureza e mesma concentração de dopantes, mantendo a região ativa e as junções de fonte e dreno com as mesmas características [6].

Pelo fato dessas regiões não estarem definidas, esse dispositivo é caracterizado como um transistor com ausência de junções conhecido como transistores MOS sem junção ou, quando possuem dimensões inferiores à 10 nm, Transistores Nanofios sem junção (Junctionless Nanowire Transistor – JNT) [52].

2.4.1 Origem dos transistores MOS sem junção

Os Transistores MOS sem junção tiveram como ponto de partida o conceito utilizado pelo físico Julius Edgar Lilienfeld, em 22 de outubro de 1925 no Canadá. O transistor proposto por Lilienfeld apresentava uma fina camada de semiconductor depositada sobre uma fina camada de isolante. Para que houvesse contato, foi depositado um metal sobre esta película semicondutora, formando uma estrutura muito parecida com um transistor MOS. [53].

Portanto, a estrutura proposta por Lilienfeld é um dispositivo com efeito de campo como nos transistores da tecnologia MOS. Na verdade, este dispositivo acaba por ser um simples resistor que, mediante a uma tensão aplicada na porta desta estrutura permite que os portadores da película de semiconductor sejam depletados, possibilitando controlar sua condutividade [54].

Diferentemente de quaisquer outros tipos de transistores, o transistor de Lilienfeld não contém nenhuma junção, facilitando o processo de fabricação e a miniaturização destes dispositivos [6].

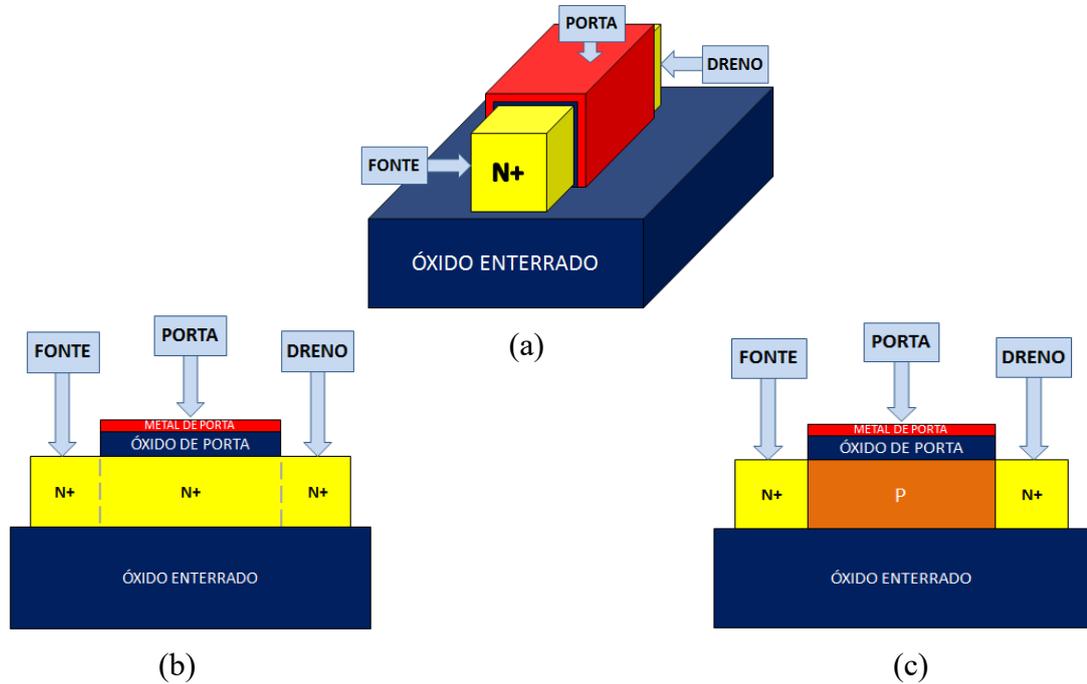
Com a possibilidade de controlar o fluxo da corrente de dreno com a depleção da fina camada de silício temos, então, um transistor e, como não há diferença de gradientes de concentração de dopantes, tem-se, então, um transistor MOS sem junção [52].

2.4.2 Características dos transistores MOS sem junção

Os dispositivos MOS sem junção são apresentados como uma alternativa na redução das dimensões dos transistores e são fabricados tridimensionalmente com múltiplas portas, mais especificamente como um transistor de porta tripla, como visto na Figura 8, uma vez que já foram discutidas as vantagens dessa tecnologia no processo de miniaturização desses transistores.

O nome “Sem junção” deve-se ao fato da camada de silício ser dopada com o mesmo tipo de impureza (tipo N ou tipo P) e a concentração destes portadores é constante ao longo do transistor [55]. É possível comparar a diferença entre o perfil de um transistor tridimensional sem junção tipo N com um transistor tridimensional SOI MOSFET tipo N dopado tradicionalmente. O item (a) da Figura 21 apresenta o transistor tridimensional com porta tripla, e, os itens (b) e (c) ilustram a diferença entre o transistor MOS sem junção e o transistor modo inversão, respectivamente, enfatizando a diferença entre as impurezas presentes no canal, com que estes são fabricados.

Figura 21 – Transistor MOS sem junção de porta tripla.



Fonte: Autor

Legenda: (a) Estrutura de um transistor de porta tripla.

(b) Representação esquemática do perfil de um transistor MOS sem junção.

(c) Representação esquemática do perfil de um transistor modo inversão.

Ao eliminar-se a junção do transistor, nenhum processo de difusão causada pelo gradiente de concentração de dopantes ocorrerá nestes dispositivos. Por isso, não se faz necessário a utilização de processos com técnicas de recozimentos para a implantação de diferentes dopantes na estrutura, o que facilita a fabricação de dispositivos com comprimento de canal reduzido [6].

O funcionamento do transistor modo inversão inicia-se através da formação de um canal que conecta o dreno à fonte. Para isso, faz-se necessário aplicar uma tensão no terminal de porta (V_G) maior que o valor de V_T , uma vez que a região de canal, que é do tipo P (transistor nMOS) formará uma região N (inversão do canal) na interface com o óxido de porta permitindo o fluxo de corrente elétrica da fonte para o dreno. Esse modo de funcionamento é chamado de modo inversão (IM).

Já no transistor MOS sem junção, a dopagem na fonte, no canal e no dreno tem o mesmo tipo de impureza, no caso representado pela impureza do tipo N. Portanto, o transistor MOS sem junção difere do dispositivo SOI que opera em modo acumulação, que apresenta uma

concentração de impureza no canal diferente às concentrações implantadas nas regiões de fonte e dreno, como visto anteriormente na Figura 4.

Entretanto, diferentemente de um transistor SOI modo acumulação, os dispositivos MOS sem junção apresentam maior parte da condução de I_D nas regiões mais profundas da região ativa e não pela camada de acumulação presente na interface do silício com óxido de porta. Por isso, o modo de funcionamento destes dispositivos não pode ser caracterizado como acumulação [56].

2.4.3 Operação dos Transistores MOS sem junção

O modo de operação do transistor MOS sem junção apresenta diferenças em relação aos dispositivos SOI que operam em modo acumulação, como já foi dito anteriormente. Estes transistores precisam ser fabricados com uma camada de silício que seja fina e estreita o suficiente para garantir que haja a depleção total do canal enquanto o transistor não estiver ligado [6]. Vale a pena ressaltar que este transistor é simplesmente um resistor que encontra-se em estado desligado quando a polarização da porta gera uma diferença entre a função trabalho do material utilizado na porta e da função trabalho da camada de silício, mantendo-a totalmente depletada.

Para um transistor sem junção com silício dopado e com impurezas do tipo N, que apresenta como material de porta silício poli tipo P a diferença de potencial da função trabalho é aproximadamente 1,1 V. Este é o potencial que mantém a camada de silício depletada enquanto não houver polarização da porta.

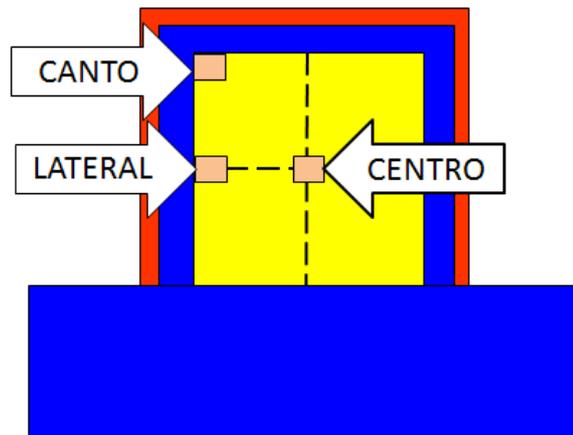
Ao aplicar-se uma tensão positiva na porta de um transistor MOS sem junção do tipo N, a depleção se reduz, gerando uma região neutra no interior da região do canal, mas especificamente no centro da camada de silício, na qual a corrente elétrica passa a fluir entre as regiões de fonte e dreno. Quando toda a camada de depleção for eliminada, os elétrons passarão a fluir com mais abundância na interface entre o silício e o óxido de porta, dando início ao processo de acumulação.

Com a redução da camada de depleção, os primeiros níveis de corrente fluirão em regiões mais profundas no interior do canal, o que dizemos que é uma corrente que passa pelo corpo do transistor (I_B). Para que esta corrente seja considerável é necessário que seja implantado altas doses de concentração de dopantes, da ordem de 10^{19} átomos por cm^3 [56].

2.4.4 Propriedades elétricas dos transistores SOI MOSFETs sem junção

Para analisar o comportamento dos portadores num transistor MOS sem junção de porta tripla com W de 15 nm, L de 500 nm, t_{Si} de 30 nm, t_{ox} de 2 nm, óxido enterrado com 100 nm e concentração de dopantes de $5 \cdot 10^{18} \text{ cm}^{-3}$ com baixa polarização de dreno ($V_D = 50 \text{ mV}$), foram simulados, através do simulador Sentaurus da Synopsys, o comportamento da concentração de elétrons em função da polarização da porta em três regiões distintas: no centro, na lateral e no canto superior desse dispositivo, conforme se observa na Figura 22 [57].

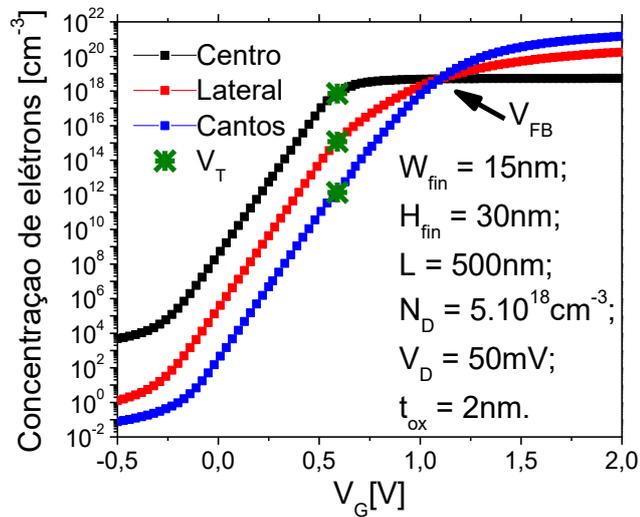
Figura 22 – Secção transversal de um transistor MOS sem junção na qual foram analisadas as densidades de portadores.



Fonte: Autor

Os dados obtidos encontram-se no gráfico da Figura 23, evidenciando o valor de $V_T = 0,59 \text{ V}$ (determinado através do método da segunda derivada) [58] onde é possível ver a concentração de portadores em função da polarização da porta nas três regiões discutidas anteriormente.

Figura 23 – Concentração de elétrons em função de V_G .



Fonte: Mariniello, 2013 [57].

Legenda: Concentração de elétrons em função de V_G em três diferentes regiões do transistor MOS sem junção.

Através da Figura 23 pode-se perceber que, para baixo valor de V_D , isto é, quando o dispositivo está operando em triodo, e com V_G abaixo da tensão de limiar, a concentração de portadores é predominante no corpo do transistor, conforme observa-se na curva da concentração no centro do dispositivo. [57]. Sendo assim, a corrente de corpo é maior, fluindo entre os terminais de fonte e dreno pela região neutra que está sendo formada com o aumento da polarização da porta.

Com a redução da região de depleção, a quantidade de portadores aumenta até o momento em que o valor de V_G atinge o valor de limiar, onde a concentração de portadores no centro do dispositivo acaba por atingir seu valor máximo [57]. A partir deste momento é possível notar ainda um aumento da concentração de portadores somente nas interfaces entre o silício e o óxido de porta até o momento em que a polarização da porta atinge o valor de faixa plana ($V_G = V_{\text{FB}}$) onde é possível notar que a concentração de portadores permanece constante nas três regiões analisadas e, possivelmente, em toda a região ativa. Nos transistores modo acumulação, como é o caso dos transistores SOI MOSFETs sem junção, o valor de V_{FB} é dada no momento em que se inicia a formação das cargas de acumulação [3].

Após a polarização de V_G atingir valores maiores que V_{FB} , a concentração de portadores aumenta significativamente na interface Si-SiO₂ onde pode-se dizer que a corrente

predominante será a corrente de acumulação (I_{acc}) [57]. Nota-se que a quantidade de portadores nos cantos superiores do transistor é maior devido ao aumento do campo elétrico resultante.

Geralmente o valor de V_T define o valor necessário da polarização da porta para que o dispositivo esteja conduzindo a corrente elétrica de dreno que o faça operar. Entretanto, nos dispositivos MOS sem junção o valor de V_T está relacionado com o momento em que a depleção começa a reduzir e, conseqüentemente há a passagem da corrente pelo corpo do dispositivo. Os transistores MOS sem junção apresentam valores de V_T dependentes da concentração de dopantes, da espessura do óxido de porta, da secção transversal do dispositivo e do material de porta utilizado [6] [59]. A equação para obter-se a tensão de limiar é obtida a partir da equação de Poisson para dispositivos nMOS bidimensionais (23)

$$\frac{d^2\Phi}{dx^2} + \frac{d^2\Phi}{dy^2} = - \frac{qN_D}{\epsilon_{Si}} \quad (23)$$

Demonstra-se que o valor necessário onde V_G estará na condição de limiar ($V_G = V_T$) é obtido através de uma expressão analítica, conforme segue a equação (24) [51]:

$$V_T = V_{FB} - qN_D \left[\frac{W_{fin}H_{fin}}{C'_{ox}} + \frac{1}{\epsilon_{Si}} \left(\frac{W_{fin}H_{fin}}{W_{ef}} \right)^2 \right] \quad (24)$$

Em dispositivos com W e/ou t_{Si} estreitos, geralmente com dimensões inferiores a 10 nm, os portadores poderão estar em confinamento quântico [2]. Neste caso deve ser incorporado a solução da equação de Schrödinger à equação (24) para descrever o valor da tensão de limiar, obtendo-se a equação (25). O parâmetro \hbar é a constante de Planck, m_e^* é a massa efetiva do elétron [51] e W_{ef} é o comprimento total do silício cercado pelo óxido de porta. Nos transistores de porta tripla, pode ser representado pela equação (26).

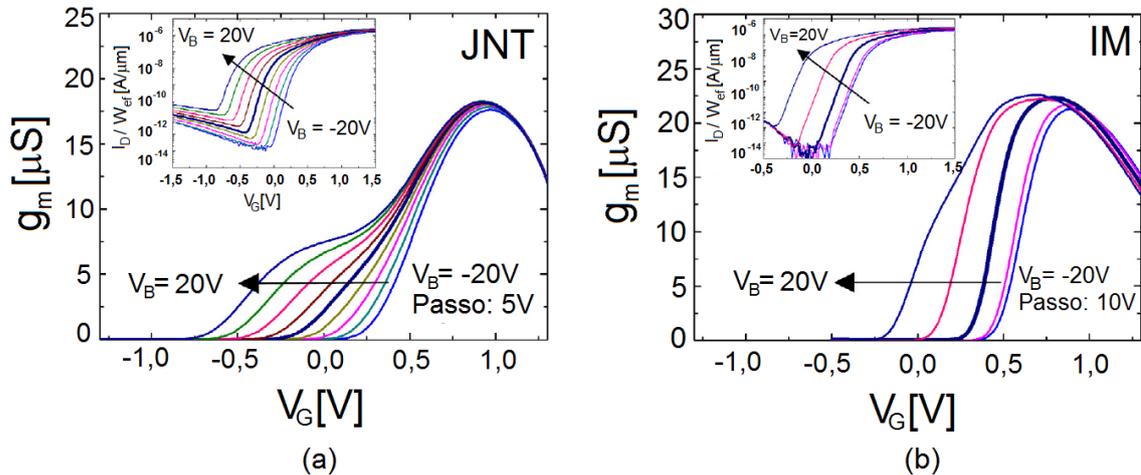
$$V_T = V_{FB} - qN_D \left[\frac{W_{fin}H_{fin}}{C'_{ox}} + \frac{1}{\epsilon_{Si}} \left(\frac{W_{fin}H_{fin}}{W_{ef}} \right)^2 \right] + \frac{\pi^2 \hbar^2}{2qm_e^*} \left[\frac{1}{H_{fin}^2} + \frac{1}{W_{fin}^2} \right] \quad (25)$$

$$W_{ef} = W_{fin} + 2 \cdot H_{fin} \quad (26)$$

De acordo com a Figura 24, na qual são mostradas as curvas de transistores MOS sem junção e transistores modo inversão similares, é possível observar um maior aumento de g_m nos

transistores modo inversão devido à maior mobilidade nestes em relação aos transistores MOS sem junção [60].

Figura 24 – Comparação entre as curvas de g_m em função de V_G .



Fonte: Park, 2013 [60].

Legenda: (a) JNT.

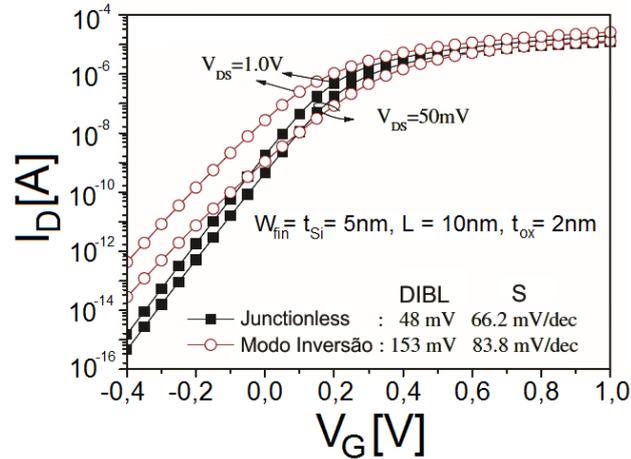
(b) IM.

A Figura 25 compara simulações da curva da corrente de dreno em função da polarização da porta em transistores MOS sem junção e em transistores MOS que operam em modo inversão tanto na região de triodo ($V_D = 50$ mV), quanto na saturação ($V_D = 1$ V). O dispositivo apresenta dimensões de $W = 5$ nm, $L = 10$ nm e espessura do óxido de porta de 2 nm. As concentrações utilizadas foram $N_A = 2.10^{15} \text{cm}^{-3}$ no transistor modo inversão e $N_D = 1.10^{19} \text{cm}^{-3}$ em transistores MOS sem junção [61].

De acordo com os resultados apresentados, tem-se que os transistores sem junção apresentam melhor inclinação de sublimar quando comparado com um transistor modo inversão, além de apresentar também melhores resultados de DIBL.

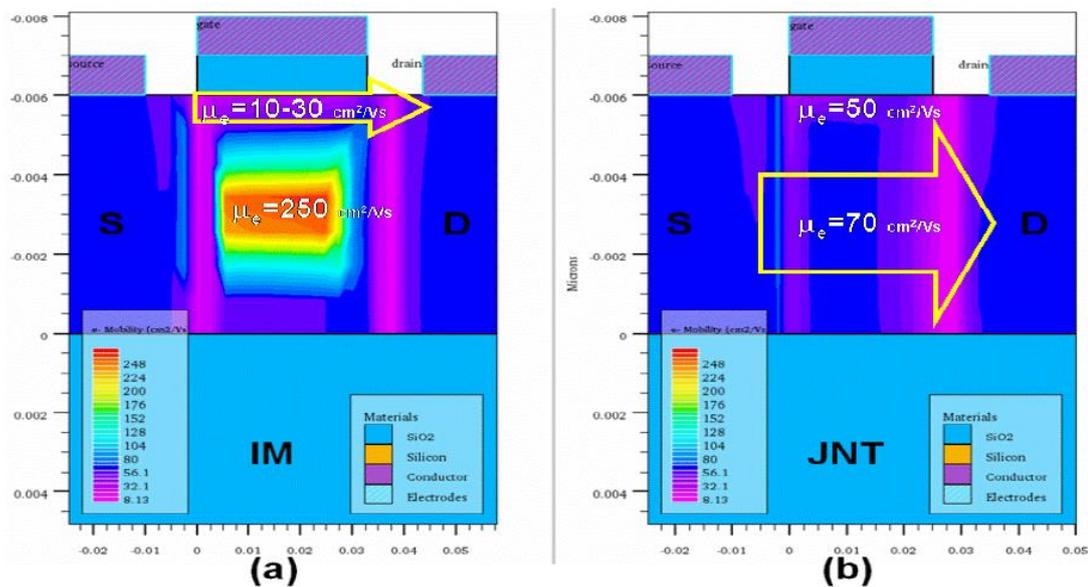
Devido ao aumento da dopagem nos JNTs, a mobilidade é menor neste tipo de transistor. Embora essa situação nos leve a interpretar como uma desvantagem desse dispositivo, pesquisas revelam que a mobilidade num transistor comum em modo inversão atinge significativamente uma mobilidade menor nas interfaces do que num transistor sem junção. Além disso, a mobilidade presente em toda a camada de silício no JNT é maior do que a mobilidade que passa na interface no transistor modo-inversão [62]. A Figura 26 demonstra esse resultado.

Figura 25 – Comparação entre as curvas I_D em função de V_G entre os transistores MOS sem junção e modo inversão com $L = 10$ nm.



Fonte Colinge, 2011 [62].

Figura 26 – Comportamento da mobilidade nos transistores sem junção e modo inversão.



Fonte: Colinge, 2011 [62].

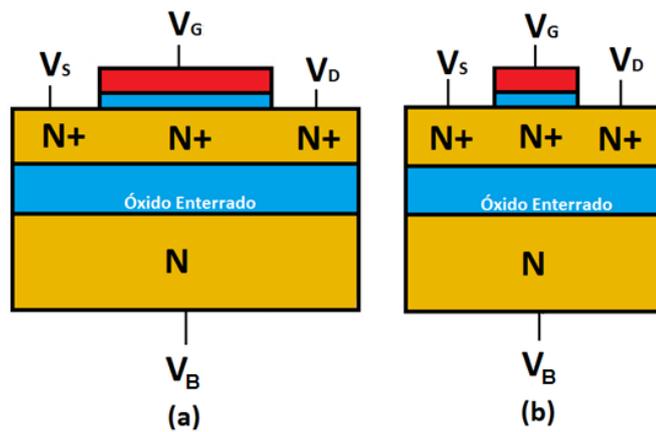
Legenda: (a) Transistor em modo inversão com pouca mobilidade efetiva nas interfaces.

(b) JNT com mobilidade efetiva no centro da estrutura bem maior que na interface do MI.

A Figura 27 ilustra o comportamento dos transistores MOS sem junção que, sem a diferença entre os portadores das regiões de fonte e dreno, torna-se mais fácil reduzir as dimensões sem que o dispositivo sofra do efeito de canal curto.

Os transistores MOS sem junção apresentam maior redução dos efeitos de canal curto, uma vez que estes não apresentam junções PN. De acordo com a Figura 28, tem-se que o valor de V_T se mantém constante com a redução do comprimento de canal e o valor de DIBL tem se mostrado menor quando comparado aos transistores modo inversão [61].

Figura 27- Redução do efeito de canal curto nos transistores MOS sem junção.

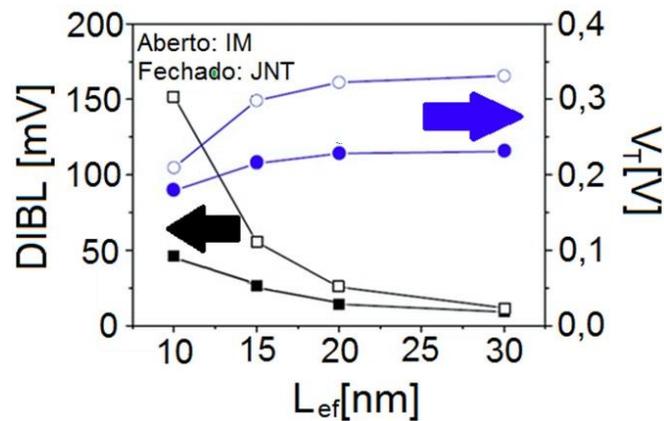


Fonte: Autor

Legenda: (a) canal longo.

(b) canal curto.

Figura 28 – Curvas de DIBL e V_T em função de L_{ef} .



Fonte: Lee, 2010 [61].

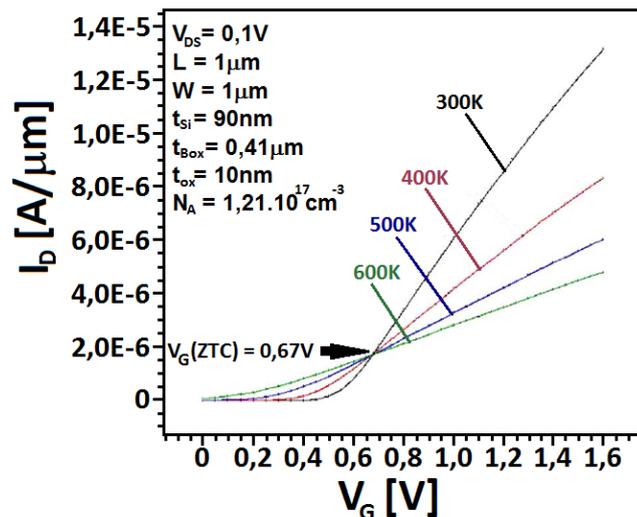
Legenda: Curvas de DIBL e V_T de um transistor modo inversão e de um MOS sem junção em função de L_{ef} .

3 INFLUÊNCIA DA TEMPERATURA SOBRE OS PARÂMETROS FÍSICOS E ELÉTRICOS DOS TRANSISTORES MOSFETS

Sabe-se que a alteração da temperatura nos dispositivos eletrônicos influi diretamente nas propriedades físicas dos semicondutores e, conseqüentemente, acaba interferindo nos parâmetros elétricos [42].

A Figura 29 apresenta as curvas simuladas da corrente de dreno em função da polarização da porta num dispositivo SOI MOSFET tipo N com diferentes temperaturas, a partir de 300K até 600K, com variação de 100K [63]. Este dispositivo apresenta comprimento e largura de canal iguais a 1 μm , espessuras do silício, óxido enterrado e óxido de porta iguais a 90 nm, 0,41 μm e 10 nm, respectivamente, e concentração de portadores no canal igual a $1,21 \cdot 10^7 \text{ cm}^{-3}$. As curvas desta simulação foram feitas polarizando-se o terminal dreno com 100 mV. Pode-se observar que a variação de temperatura influencia no valor da tensão de limiar do dispositivo além de alterar o valor do nível de corrente devido à variação da mobilidade dos portadores [63]. Além disso, também é possível localizar um ponto na curva onde, para uma mesma polarização da porta, a corrente não varia com a temperatura. Este ponto é conhecido como “Zero Temperature Coefficient” (ZTC) [64].

Figura 29 – Curvas de I_D em função de V_G em diferentes temperaturas.



Fonte: GOEL, 2006 [63].

Legenda: Curvas de I_D em função de V_G (a) num transistor SOI MOSFET com $W = L = 1 \mu\text{m}$ e $V_D = 0,1 \text{ V}$ operando em diferentes temperaturas.

3.1 PROPRIEDADES FÍSICAS

Quando o silício não está dopado, dizemos que a concentração de portadores é intrínseca. Essa concentração depende apenas do material e da temperatura, onde a quantidade de portadores livres é gerada apenas por excitação térmica. Quando a temperatura estiver em 0K, dizemos que o material se encontra em zero absoluto, o que significa que não há energia térmica para que ocorra a geração de pares elétron-lacuna e, portanto, inexistência de portadores livres.

Quando a temperatura se eleva, os elétrons começam a receber energia térmica para que ocorra a geração de pares elétron-lacunas, aumentando a concentração intrínseca de portadores, segundo a equação (27), onde N_C representa a densidade de estados na banda de condução, N_V representa a densidade de estados na banda de valência, E_G é a largura da banda proibida, k é a constante de Boltzman e T , representa a temperatura. Os valores de N_C e N_V podem ser encontrados através das equações (28) e (29), respectivamente, onde m_{de}^* e m_{dh}^* são as massas efetivas das densidades de estados para elétrons e lacunas, enquanto que m_0 é a massa do elétron e h é o valor da constante de Planck [13].

$$n_i = \sqrt{N_C \cdot N_V} \cdot e^{-\frac{E_G}{2kT}} \quad (27)$$

$$N_C = 2 \left(\frac{2\pi \cdot m_{de}^* \cdot m_0 kT}{h^2} \right)^{\frac{3}{2}} \quad (28)$$

$$N_V = 2 \left(\frac{2\pi \cdot m_{dh}^* \cdot m_0 kT}{h^2} \right)^{\frac{3}{2}} \quad (29)$$

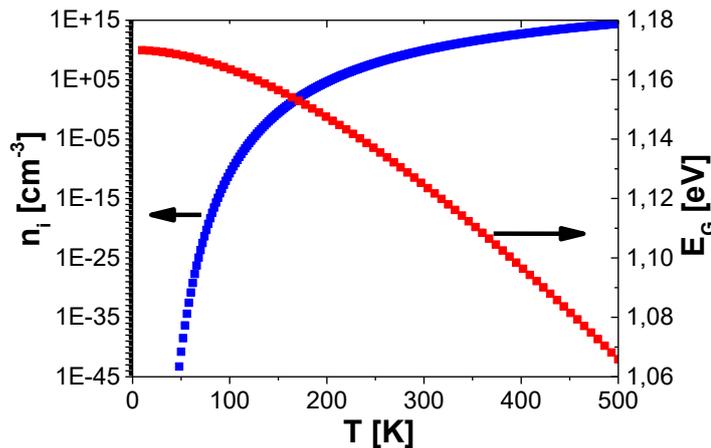
A largura de faixa proibida é descrita conforme a equação (30) onde o parâmetro α_{Eg} equivale a $4,73 \cdot 10^{-4}$ eV/K, o parâmetro β_{Eg} equivale 636K e a largura da banda proibida definida quando o dispositivo estiver em zero absoluto ($E_G(0)$), equivale a 1,17eV, quando o semiconductor utilizado for o silício [65].

$$E_G = E_G(0) - \frac{\alpha_{Eg} T^2}{\beta_{Eg} + T} \quad (30)$$

A Figura 30 relaciona a concentração intrínseca de portadores e a largura de banda proibida com a temperatura, obtida através das equações (27) e (30). É possível notar que a

temperatura influencia fortemente na variação da concentração intrínseca de portadores e influencia levemente a largura de banda proibida.

Figura 30 – Concentração intrínseca de portadores e largura da banda proibida em função da temperatura.



Fonte: Autor

Quando o semiconductor apresentar uma concentração extrínseca, isto é, quando este for dopado com uma determinada concentração de impurezas, a energia térmica presente no dispositivo pode não ser capaz de ionizar todas essas impurezas [13] e apenas uma parte da concentração de dopantes será ionizada. As equações que definem a concentração de impurezas ionizadas estão representadas a seguir, onde a equação (31) define a concentração para portadores aceitadores de elétrons e a equação (32) define a concentração de impurezas doadoras de elétrons. E_A e E_D representam os valores de energia de ativação para os portadores aceitadores e doadores, respectivamente enquanto que E_{Fn} e E_{Fp} representam os níveis de Fermi dos elétrons e das lacunas, respectivamente. O valor de g_A é 4 e o valor de g_D é 2 [13].

$$N_A^- = \frac{N_A}{1 + g_A \cdot e^{\frac{E_A - E_{Fp}}{kT}}} \quad (31)$$

$$N_D^- = \frac{N_D}{1 + g_D \cdot e^{\frac{E_{Fn} - E_D}{kT}}} \quad (32)$$

Os valores de g_A , g_D , E_A e E_D podem ser calculados em função da concentração de dopantes com a finalidade de obter valores mais adequados de ionização completa dos portadores. Isso se deve ao fato de que os modelos descritos nas equações (31) e (32)

demonstrarem que, com o aumento da concentração de portadores na região ativa do silício, a porcentagem de impurezas ionizadas diminui. Porém essa relação só é válida até a concentração de portadores atingir sua magnitude de, aproximadamente, 10^{18}cm^{-3} [66]. Acima desse valor, a porcentagem de impurezas aumenta até que atinjam a ionização completa em concentrações acima de 10^{20}cm^{-3} . As equações (33), (34), (39) e (40) são utilizadas para calcular os valores de g_D , g_A , E_D e E_A , respectivamente, onde b_D e b_A podem ser calculados através das equações (35) e (3), cujos parâmetros d , N_b e g , E_{dop0} , N_{ref} e c dependem da impureza, conforme verifica-se na Tabela 1, e, n_1 e p_1 estão representados nas equações(37) e (38), respectivamente [67].

$$g_D = \frac{b_D}{g + (1 - b_D) \cdot \frac{N_D}{n_1}} \quad (33)$$

$$g_A = \frac{b_A}{g + (1 - b_A) \cdot \frac{N_A}{p_1}} \quad (34)$$

$$b_D = \left(1 + \left(\frac{N_D}{N_b} \right)^d \right)^{-1} \quad (35)$$

$$b_A = \left(1 + \left(\frac{N_A}{N_b} \right)^d \right)^{-1} \quad (3)$$

$$n_1 = N_C \cdot e^{-\frac{E_D}{k.T}} \quad (37)$$

$$p_1 = N_V \cdot e^{-\frac{E_A}{k.T}} \quad (38)$$

$$E_D = \frac{E_{dop0}}{1 + \left(\frac{N_D}{N_{ref}} \right)^c} \quad (39)$$

$$E_A = \frac{E_{dop0}}{1 + \left(\frac{N_A}{N_{ref}} \right)^c} \quad (40)$$

Tabela 1 – Parâmetros utilizados para o cálculo de ionização incompleta para o caso de silício dopado com boro, arsênio ou fósforo.

Parâmetro	BORO	ARSÊNIO	FÓSFORO
$E_{dop,0}$ [meV]	44,39	53,70	45,50
N_{ref} [cm ⁻³]	$1,3 \cdot 10^{18}$	$3 \cdot 10^{18}$	$2,2 \cdot 10^{18}$
c	1,4	1,5	2,0
N_b [cm ⁻³]	$4,5 \cdot 10^{18}$	$9 \cdot 10^{18}$	$6 \cdot 10^{18}$
d	2,4	1,8	2,3
g	$\frac{1}{4}$	$\frac{1}{2}$	$\frac{1}{2}$

Fonte: Akturk, 2006 [67].

As funções g_D (valor de g para o elemento Boro) e g_A (valor de g para os elementos Arsênio e Fósforo) como demonstrado na Tabela 1, tendem a zero quando as concentrações de dopantes forem altas (aproximadamente na ordem de 10^{20} portadores por cm³). Entretanto, para baixas dopagens, estes valores tendem ao inverso de g , valendo 2 e 4, respectivamente.

Outro parâmetro que depende da temperatura é o potencial de Fermi. Esse parâmetro tem uma dependência com a temperatura tanto diretamente, através do termo kT/q , conforme (2), quanto indiretamente através da concentração intrínseca e da concentração de dopantes, conforme (31) e (32). O potencial de Fermi apresenta maior influência da temperatura para concentração de dopantes mais baixas, uma vez que este aumenta com a redução da temperatura devido à redução da concentração intrínseca de portadores.

3.2 PARÂMETROS ELÉTRICOS

Com a influência da temperatura, foi possível verificar que as propriedades físicas sofreram alterações e conseqüentemente, os parâmetros elétricos também sofrerão variações quando o dispositivo estiver submetido em sistemas com variação de temperatura.

3.2.1 Tensão de limiar

O valor de V_T aumenta com a redução de temperatura uma vez que o valor do potencial de Fermi também aumenta. A equação (41) representa o comportamento da variação de V_T em função da temperatura em transistores MOSFETs planares e SOI MOSFETs totalmente depletados (este quando $\alpha_{VT} = 0$) [3], a equação (42) a mesma variação para dispositivos com porta dupla e concentração intrínseca [68] e, a equação (43), para transistores MOS sem junção.

$$\frac{dV_T}{dT} = \frac{d\Phi_F}{dT} \left[1 + \alpha_{V_T} \cdot \frac{q}{C'_{ox}} \sqrt{\frac{\epsilon_{Si} N_A}{kT \cdot \ln\left(\frac{N_A}{n_i}\right)}} + \frac{2qN_{it}}{C'_{ox}} \right] \quad (41)$$

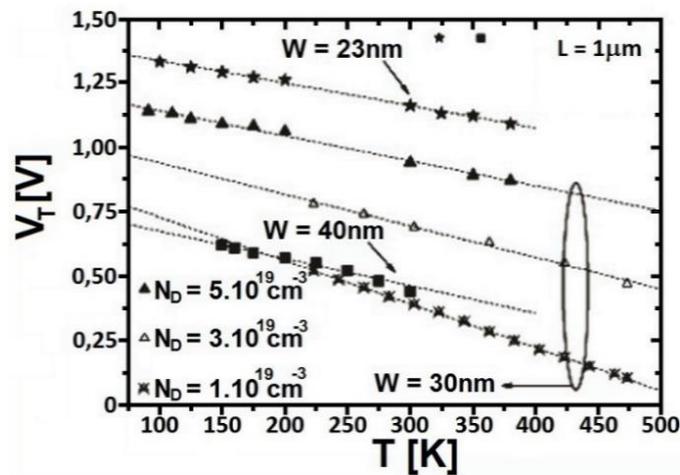
$$\frac{dV_T}{dT} = -\frac{1}{2} \frac{dE_G}{dT} + \frac{k}{q} \left(1 + \ln\left(\frac{2C'_{ox}kT}{q^2 n_i W_{fin}}\right) - \frac{T}{n_i} \frac{dn_i}{dT} \right) - \frac{\pi^2 \hbar^2}{2qW_{fin}(m^*)^2} \frac{dm^*}{dT} \quad (42)$$

$$\frac{\partial V_T}{\partial T} = \frac{\partial V_{FB}}{\partial T} - \left(\frac{q}{\epsilon_{Si}} \cdot \left(\frac{A}{W_{ox}} \right)^2 + \frac{qA}{C_{ox}} \right) \frac{\partial N_D}{\partial T} + \frac{1}{q} \frac{\partial \Delta E_0}{\partial T} \quad (43)$$

Para um dispositivo de porta dupla, a dependência de V_T com a temperatura é menor do que um dispositivo SOI totalmente depletado [68,69]. Nos transistores MOS sem junção, o comportamento de V_T é similar aos transistores MOS convencional, quando ocorre a variação de temperatura [70,71].

A Figura 31 demonstra a variação da tensão de limiar com a influência da temperatura através de resultados experimentais obtidos através dos dispositivos MOS sem junção com diferentes concentrações, em diferentes temperaturas em transistores com larguras da camada de silício de 23 nm, 30 nm e 40 nm com $L = 1 \mu\text{m}$. É possível verificar a variação de V_T com a temperatura, principalmente em dispositivos com menor concentração de portadores em altas temperaturas [72].

Figura 31 – Comportamento de V_T em função da temperatura.



Fonte: Souza, 2011 [71].

Legenda: Resultado experimental de V_T em função de T em transistores MOS sem junção medidos em dispositivos com diferentes concentrações de dopantes, com $L = 1 \mu\text{m}$.

3.2.2 Mobilidade

Como foi apresentado anteriormente, a mobilidade é um parâmetro importante a ser analisado nos transistores, uma vez que ele está relacionado com a quantidade de corrente que passa pelo dispositivo. Nessa seção serão apresentados como a temperatura influi nesse parâmetro.

3.2.2.1 Espalhamento por fônons ou de rede

A mobilidade de um dispositivo através do espalhamento por fônons ou de rede, também conhecida pelo seu termo em inglês, lattice scattering, está relacionada com a interação entre os portadores e as vibrações da rede cristalina do semiconductor. A variação da temperatura altera a vibração da rede cristalina e, conseqüentemente a mobilidade. As expressões dessa mobilidade são similares, tanto para os elétrons (μ_{pse}) quanto para as lacunas (μ_{psh}), onde a equação (44) descreve estes modelos [65]. Os valores das constantes encontram-se na Tabela 2. Este modelo utiliza a regra de Matthiessen [73] para combinar os fônons ópticos e acústicos.

$$\mu_{psx} = \frac{1}{\frac{1}{\mu_{0xa} \cdot \left(\frac{T}{300}\right)^{-\alpha_x}} + \frac{1}{\mu_{0xb} \cdot \left(\frac{T}{300}\right)^{-\beta_x}}} \quad (44)$$

Tabela 2 – Parâmetros utilizados na equação (44)

x	$\mu_{0xa}(\text{cm}^2/(\text{V.s}))$	$\mu_{0xb}(\text{cm}^2/(\text{V.s}))$	α_x	β_x
elétrons (e)	4195	2153	1,5	3,13
lacunas (h)	2502	591	1,5	3,25

Fonte: Bludau, 1974 [65].

3.2.2.2 Espalhamento por impurezas ionizadas

A alta concentração de dopantes nos transistores MOS sem junção também é influenciado pela alteração da temperatura que, por sua vez, também influencia no valor da mobilidade. A esse tipo de mobilidade de espalhamento por impurezas ionizadas (ionized impurity scattering), μ_{psie} para os elétrons e μ_{psih} , para as lacunas, estão sendo considerados os mecanismos de espalhamento por fônons e por impurezas ionizadas em um único modelo pelo fato destes mecanismos serem dependentes um do outro [72]. A equação (45) descreve este modelo, e os parâmetros estão descritos na Tabela 3.

$$\mu_{psix} = \mu_{min,x} + \frac{\mu_{psx} - \mu_{min,x}}{1 + \left(\frac{N_A^-}{N_{Ref,x}}\right)^{\alpha_x}} \quad (45)$$

Tabela 3 – Parâmetros utilizados na equação (45)

x	α_x	$\mu_{min,x}$	$N_{Ref,x}$
elétrons (e)	$0,72 \cdot \left(\frac{T}{300}\right)^{0,065}$	$197,7 - 45,5 \log(T)$	$1,12 \cdot 10^{17} \cdot \left(\frac{T}{300}\right)^{3,2}$
lacunas (h)	$0,72 \cdot \left(\frac{T}{300}\right)^{0,065}$	$110,9 - 25,6 \log(T)$	$2,23 \cdot 10^{17} \cdot \left(\frac{T}{300}\right)^{3,2}$

Fonte: Caughey, 1967 [72].

3.2.2.3 Espalhamento por impurezas neutras

Este parâmetro é importante quando a concentração de impurezas não ionizadas estiver acima de 10^{18} portadores por cm^3 e em baixas temperaturas, uma vez que em baixas temperaturas não há energia térmica suficiente para ionizar todos os portadores. Este modelo pode ser descrito pela equação (46). Os parâmetro C_0 e $E_{ni,x}$ podem ser descritos de acordo com as equações (47) e (48), respectivamente [74]. Esses espalhamentos também são reportados aos elétrons (μ_{nie}) e às lacunas (μ_{nih}), onde a diferença se encontra na massa efetiva utilizada nas equações (47) e (48). Os parâmetros ε e ε_0 referem-se à permissividade relativa do semiconductor e a permissividade do vácuo, respectivamente.

$$\mu_{nix} = C_0 \cdot \left(\frac{2}{3} \sqrt{\frac{kT}{E_{ni,x}}} + \frac{1}{3} \sqrt{\frac{E_{ni,x}}{kT}} \right) \quad (46)$$

$$C_0 = \frac{2\pi^3 q^3 m_x^*}{5\varepsilon_{Si} h^3 (N_A - N_A^-)} \quad (47)$$

$$E_{ni,x} = 1,136 \cdot 10^{-19} \cdot \left(\frac{m_x^*}{m_0} \right) \cdot \left(\frac{\varepsilon_0}{\varepsilon} \right) \quad (48)$$

3.2.2.4 Espalhamento portador-portador

O espalhamento portador-portador, μ_{cc} (carrier-to-carrier scattering), é um mecanismo importante em semicondutores com alta densidade de portadores como transistores submicrométricos, por exemplo. Este espalhamento depende, principalmente do tipo de impureza na qual o dispositivo está submetido, se é tipo N (impurezas doadoras de elétrons – N_D) ou tipo P (impurezas aceitadoras de elétrons). O valor da mobilidade μ_{cc} pode ser descrito pela equação (49) [75].

$$\mu_{cc} = \frac{2 \cdot 10^{17}}{\sqrt{N_x} \cdot \ln \left(1 + 8,28 \cdot 10^8 \cdot T^2 \cdot N_A^{-\frac{1}{3}} \right)} \quad (49)$$

3.2.2.5 Mobilidade resultante

A mobilidade resultante (μ_0) é determinada através da equação de Matthiessen [70], onde é importante ressaltar que nenhum destes modelos apresentados depende do campo elétrico aplicado ao semiconductor. Esse modelo pode ser representado pela equação (50).

$$\mu_0 = \frac{1}{\frac{1}{\mu_{pssi}} + \frac{1}{\mu_{cc}} + \frac{1}{\mu_{ni}}} \quad (50)$$

Num dispositivo modo inversão, a tensão aplicada à porta atrai os portadores para a interface entre o óxido de porta e o silício devido ao campo elétrico vertical. Como a interface do dispositivo apresenta imperfeições, o valor da mobilidade dos portadores no dispositivo sofre uma redução. Essa degradação da mobilidade (μ_{eff}) pode ser descrita segundo a equação (51), onde α é o coeficiente de espalhamento e E_{eff} representa o campo elétrico efetivo nas direções vertical e horizontal.

$$\mu_{eff} = \frac{\mu_0}{1 + \alpha |E_{eff}|} \quad (51)$$

A variação da temperatura interfere na mobilidade efetiva através do potencial de Fermi, onde nota-se uma maior degradação da mobilidade quando a temperatura reduz [70].

Nos transistores MOS sem junção, a mobilidade só será afetada quando a tensão aplicada à porta for maior que V_{FB} , que é a situação onde o dispositivo já obtiver a camada de acumulação de portadores [69].

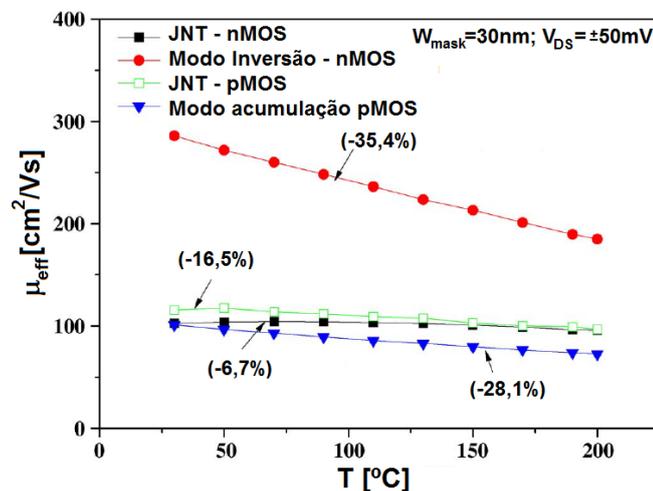
A Figura 32 apresenta o comportamento de μ_{eff} em função da temperatura em 4 diferentes tipos de transistores com porta tripla: SOI MOSFETs sem junção tipo N e tipo P, SOI MOSFETs modo inversão tipo N e SOI MOSFET modo acumulação tipo P. Todos os dispositivos apresentam comprimento de canal de 1 μm , largura da máscara de 30 nm, espessura de silício entre 5 nm e 10 nm, óxido de porta de 10 nm e óxido enterrado entre 10 nm e 15 nm. Os dispositivos SOI MOSFETs sem junção foram dopados com concentração uniforme entre 1 - $2.10^{19} \text{ cm}^{-3}$, o canal do transistor modo inversão foi dopado com $2.10^{18} \text{ cm}^{-3}$ e o canal do dispositivo que opera em modo acumulação apresenta concentração de dopantes de aproximadamente $5.10^{15} \text{ cm}^{-3}$ [70].

Ao submeter-se os dispositivos à um aumento de temperatura, partindo de 25°C até 200°C, Pode-se observar uma redução de aproximadamente 6,7% no valor da mobilidade nos

transistores SOI MOSFETs sem junção do tipo N, uma redução de 16,5% nos transistores SOI MOSFETs sem junção tipo P, uma redução de 28,1% nos transistores SOI MOSFETs que operam em modo acumulação e uma redução da mobilidade efetiva de 35,4% nos transistores SOI MOSFETs que operam em modo inversão.

Através destes resultados, pode-se notar que, apesar dos transistores SOI MOSFETs que operam em modo inversão apresentarem um maior valor de mobilidade efetiva, os transistores SOI MOSFETs sem junção são os que apresentam uma menor variação da μ_{eff} com o aumento da temperatura.

Figura 32 – Extração da mobilidade efetiva.



Fonte: Lee, 2010 [70].

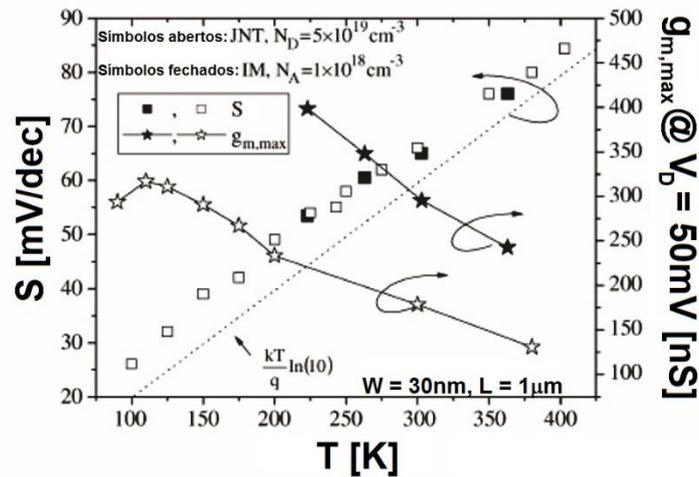
Legenda: Extração da mobilidade efetiva nos transistores SOI MOSFETs sem junção tipo N e tipo P, nos transistores SOI MOSFETs modo inversão tipo N e nos transistores SOI MOSFETs modo acumulação tipo P, em função da temperatura.

3.2.3 Inclinação de sublimiar

Através da equação (22), é possível observar que o valor da inclinação de sublimiar é proporcional à temperatura. Como nos transistores MOS sem junção o termo n é muito próximo da unidade, devido a este transistor conter múltiplas portas, S apresenta um valor próximo do valor ideal [61].

De acordo com a Figura 33, onde são apresentadas as curvas experimentais de transistores MOS sem junção e transistores MOS que operam em modo inversão, é possível observar o decréscimo da inclinação de sublimiar em função da redução de temperatura nas duas configurações de transistores [71]. Entretanto é possível ver também, que a transcondutância máxima é maior nos transistores modo inversão, apesar de ambas as configurações apresentarem uma redução de $g_{m,max}$ com o aumento da temperatura devido à redução do espalhamento dos fônons [71].

Figura 33 –Comportamento da inclinação de sublimiar e da transcondutância máxima em função da temperatura.



Fonte: Souza, 2011 [71].

Legenda: Resultado experimental da inclinação de sublimiar e da máxima transcondutância em função da temperatura, em transistores MOS sem junção e transistores modo inversão medidas em dispositivos com $W = 30\text{ nm}$ e com $L = 1\text{ }\mu\text{m}$.

4 AUTOAQUECIMENTO

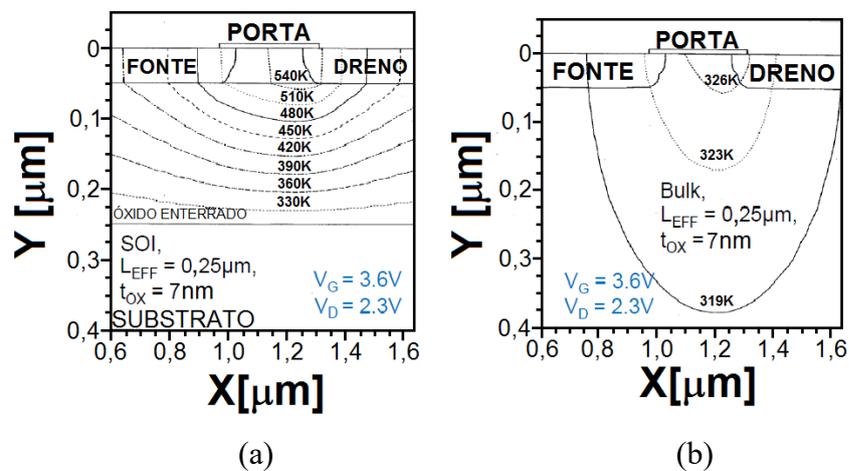
Devido à tecnologia SOI apresentar um óxido enterrado no substrato (SiO_2), a dissipação de calor no dispositivo torna-se mais complexa, pois o óxido enterrado, além de funcionar como um isolante elétrico, também opera como um isolante térmico.

Conforme pode-se observar na Figura 34a, quando comparado com o transistor Bulk ilustrado na Figura 34b, o aumento da temperatura causado pelo calor gerado pela passagem de corrente (efeito Joule) interfere no modo de funcionamento destes dispositivos quando em presença ou não do óxido enterrado [76].

A presença do óxido enterrado eleva a temperatura do dispositivo e provoca alguns efeitos tais como, redução da tensão de limiar, redução da mobilidade no canal, aumento da corrente de fuga em estado desligado nas junções e na porta, e aumento na inclinação de sublimiar. Estes efeitos são conhecidos como efeitos de autoaquecimento (S.H.E. – Self-Heating Effects).

O autoaquecimento nos dispositivos MOSFETs ocorre de forma menos acentuada, pois a ausência do SiO_2 permite que o calor gerado no canal se dissipe pelo substrato de silício, o qual possui maior condutividade térmica que o óxido. Em temperatura ambiente, a condutividade térmica (κ) do óxido de silício é $1,40 \text{ W}/(\text{K}\cdot\text{m})$, enquanto que o valor de κ do silício é $148 \text{ W}/(\text{K}\cdot\text{m})$.

Figura 34 – Simulação do autoaquecimento.



Fonte: Dallmann, 1995 [76].

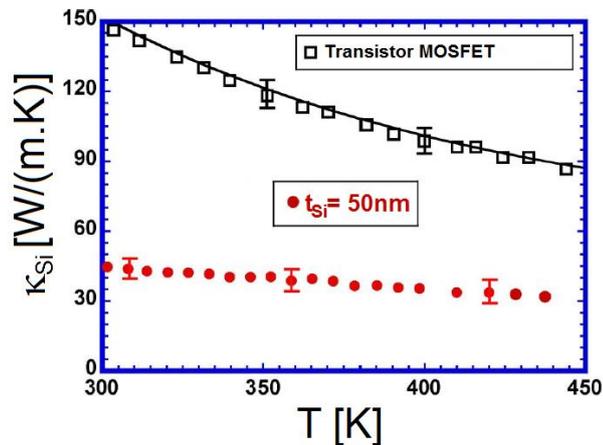
Legenda: Secção transversal dos dispositivos simulados.

(a) Transistor SOI-MOSFET tipo N.

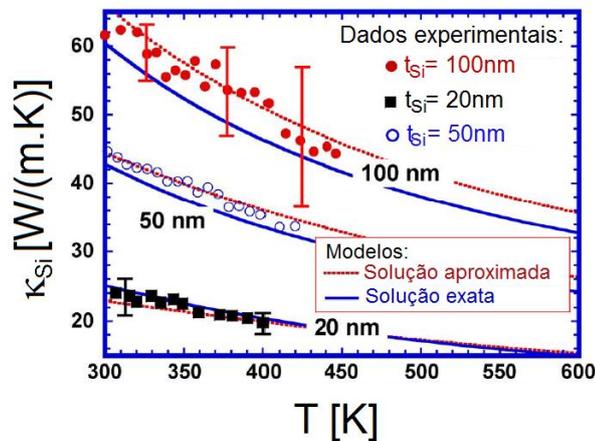
(b) Transistor MOSFET tipo N.

Entretanto, conforme pode ser visto na Figura 35a, o valor de κ_{Si} varia dependendo da espessura da camada de silício e , varia também com a temperatura. Em transistores com camadas mais finas, como visto na Figura 35b em camadas com $t_{Si} = 20$ nm, a condutividade térmica do silício pode ser menor que $20\text{W}/(\text{K}\cdot\text{m})$ em altas temperaturas [77].

Figura 35 – Comportamento da condutividade térmica do silício em função de T .



(a)



(b)

Fonte: Liu, 2006 [77].

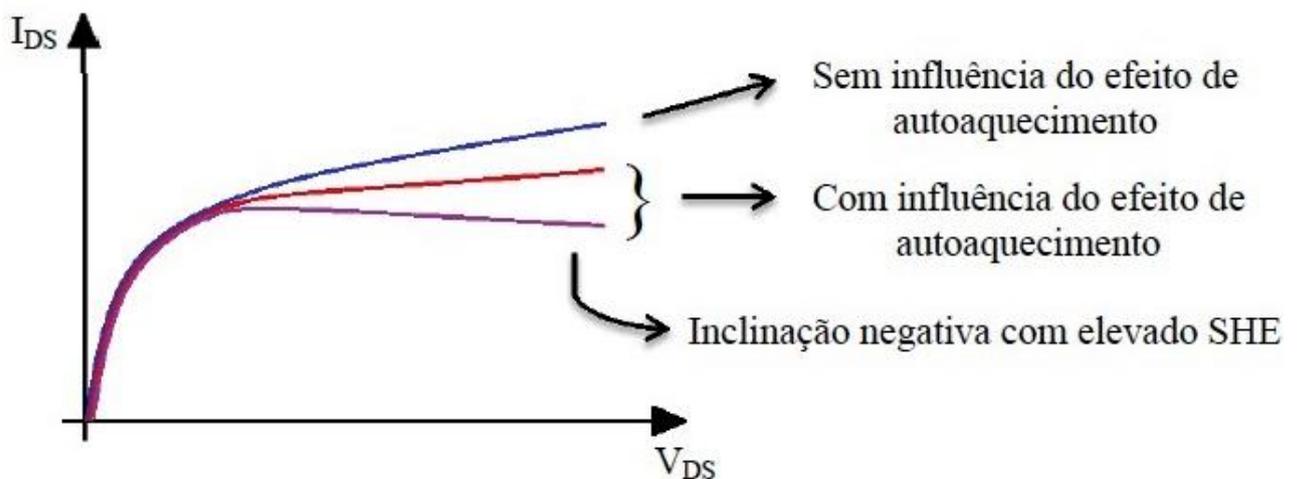
Legenda:

(a) Condutividade térmica do silício e a condutividade térmica lateral da camada de silício ultrafina.

(b) Comparação entre os dados experimentais e dois modelos para verificar a condutividade térmica do silício em altas temperaturas.

Quando a camada de silício aquece, o calor difunde-se verticalmente através do óxido enterrado e lateralmente através da ilha de silício [78]. Com isso a mobilidade dos portadores diminui levando à redução da corrente de dreno devido à potência gerada no dispositivo não conseguir se dissipar [3]. Como resultado, pode-se verificar uma redução na condutância de saída do canal, por esta ter uma relação entre a potência dissipada pelo dispositivo e a diferença de temperatura do canal com o substrato. A Figura 36 ilustra o efeito do autoaquecimento.

Figura 36 – Curva ilustrativa sobre o efeito do autoaquecimento.



Fonte: Autor

Com a crescente miniaturização dos dispositivos, o efeito de autoaquecimento torna-se mais relevante nos dispositivos com presença de óxido enterrado devido à redução da área existente para possibilitar a dissipação de calor, isto é, a região do fluxo de calor fica mais estreita, aumentando a resistência térmica e, conseqüentemente, aumentando a temperatura da região ativa do transistor [79].

Alguns efeitos presentes nos transistores SOI MOSFETs, devido ao autoaquecimento, podem ser verificados através da redução no valor da tensão de limiar, redução da mobilidade, aumento da corrente de fuga e aumento da inclinação de sublimiar [3,78,80]. Entretanto, o efeito mais característico do autoaquecimento é o aparecimento de uma região com condutividade diferencial de saída negativa na curva $I_D \times V_D$ [81].

Essa característica da condutividade ocorre devido a dois mecanismos atuando simultaneamente. Por um lado o aumento da condutância de dreno devido ao efeito de canal curto causado pela redução do comprimento efetivo do canal do transistor, deslocando o ponto de pinch-off. Esse fenômeno provoca um aumento de I_D . Por outro lado, o autoaquecimento

degrada a mobilidade com a elevação da temperatura, o que reduz a intensidade de corrente no dispositivo. Como os dois efeitos ocorrem simultaneamente em dispositivos com dimensões reduzidas, o resultado é devido ao efeito mais intenso.

A degradação de mobilidade em correntes elevadas é compensada pelo aumento da condutância de dreno em dispositivos de canal curto, levando à ocorrência da condutância negativa na região de saturação da curva $I_D \times V_D$ [81]. Como o autoaquecimento está relacionado com a potência térmica dissipada no dispositivo, é possível ver sua influência principalmente em medidas realizadas em modo DC.

É possível que o calor de um dispositivo se propague para outro. Assim podem-se observar os efeitos de acoplamento térmico em circuitos como espelho de corrente [82]. Uma vez que o autoaquecimento influencia no funcionamento de circuitos analógicos, faz-se necessário utilizar modelos de simulação que consideram este efeito para que o projeto destes seja o mais eficiente possível.

4.1 CARACTERIZAÇÃO DO AUTOAQUECIMENTO

Os métodos que utilizam medidas experimentais para caracterizar o autoaquecimento são:

- a) extração da resistência de porta em estruturas com 4 terminais de porta;
- b) extração da resistência do metal com 4 terminais de linha do metal;
- c) através das medidas do próprio transistor;
- d) através das medidas de um transistor com um diodo adjacente;
- e) através da medida do ruído;
- f) através da curva de g_{DS} cross-over;
- g) através de medidas pulsadas.

4.1.1 Caracterização do autoaquecimento através da extração da resistência de porta em estruturas com 4 terminais de porta

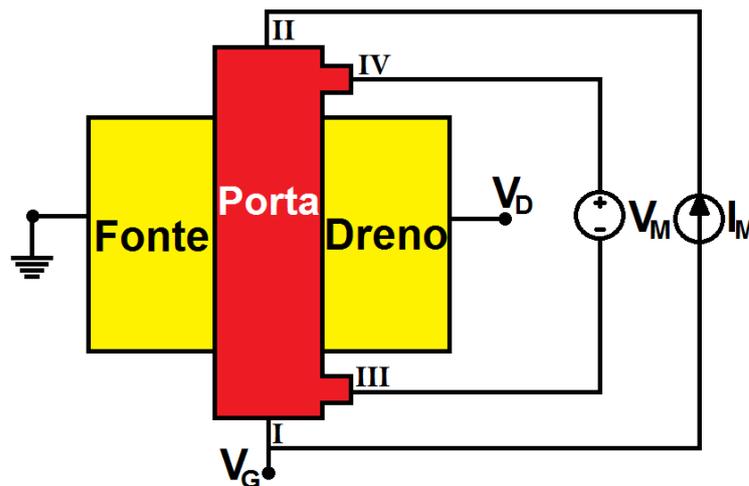
Uma das maneiras de se extrair o autoaquecimento é através do transistor MOSFET com uma estrutura de teste com 4 terminais de porta, que permite obter uma boa caracterização da variação de temperatura [83].

Num primeiro momento, admite-se que a temperatura média dentro do dispositivo é equivalente à temperatura que pode ser medida na porta do transistor, neste caso. Um modo

interessante de averiguar o autoaquecimento num transistor MOS, com esta estrutura de teste, seria medindo a variação da resistência na porta do dispositivo, uma vez que esta é dependente da temperatura do transistor. Sendo assim, controlando a temperatura ambiente através de um prato térmico (thermal-chuck), onde estará submetido o dispositivo, é possível calibrar e extrair a medida da resistência na porta do transistor (R_G) [83].

Conforme pode-se observar na Figura 37, que apresenta o circuito elétrico para se extrair o valor de R_G de uma estrutura de teste com 4 terminais de porta, as polarizações de porta (V_G) e de dreno (V_D) definem o ponto de operação do transistor, enquanto que se faz passar uma corrente I_M , de baixa intensidade pela porta através dos contatos I e II que definirá o valor de R_G ao se medir a queda de potencial (V_M) acoplada aos terminais III e IV.

Figura 37 – Estrutura teste para medir a resistência de porta de um transistor MOSFET.

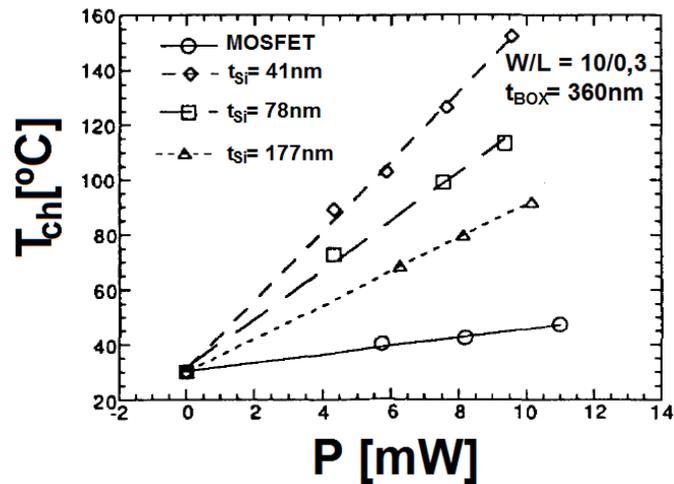


Fonte: Mautry, 1989 [83].

Uma vez que se sabe a que temperatura o transistor está sendo submetido, o valor de R_G se manterá praticamente constante enquanto a temperatura no transistor não for diferente da temperatura ambiente. Porém, com o aumento de V_G , a corrente de dreno passa a aumentar e o dispositivo, quando sofrer de autoaquecimento apresentará um aumento no valor da R_G . Com os valores de R_G , pode-se determinar o valor da temperatura que o transistor apresenta. [84].

A Figura 38 demonstra os resultados obtidos através da estrutura de teste de um transistor SIMOX SOI com 4 pontas, com W/L de $10 \mu\text{m}/0,3 \mu\text{m}$ com óxido enterrado de 360 nm com diferentes espessuras de silício (41, 78 e 177 nm), comparado com um transistor MOSFET, com dimensões semelhantes extraídos na temperatura ambiente de 30°C [78].

Figura 38 – Temperatura do canal em função da potência.



Fonte: Su, 1992 [78].

Legenda: Temperatura do canal em função da potência em um dispositivo SOI MOSFET com diferentes espessuras de silício comparadas com um dispositivo MOSFET.

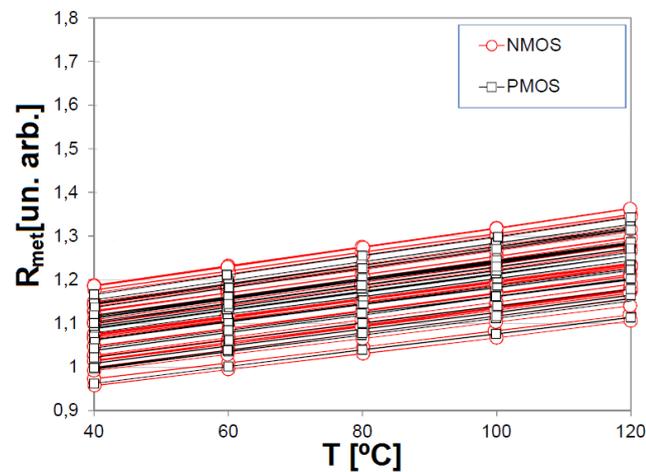
Pode-se notar a eficiência do método em apresentar um maior aumento da temperatura em função do aumento da dissipação da potência nos transistores SOI MOSFETs com menor espessura do silício sobre o óxido enterrado e menor variação de temperatura em transistores MOSFETs, onde não há óxido enterrado presente na estrutura

4.1.2 Caracterização do autoaquecimento através da extração da resistência do metal com 4 terminais de linha do metal

Analogamente às estruturas com 4 terminais de porta apresentados anteriormente, também é possível extrair medidas de autoaquecimento em estruturas com 4 terminais de linha no metal. Da mesma forma como apresentado a resistência de porta, a resistência do metal também é um parâmetro dependente da temperatura e, portanto, pode ser também utilizada como um termômetro para analisar a variação de temperatura decorrente do autoaquecimento em dispositivos MOSFETs. Uma das vantagens deste método é possibilitar uma análise nas camadas de interconexões da estrutura para averiguar o impacto do autoaquecimento nestas regiões.

A Figura 39 fornece a curva normalizada da calibragem de um transistor SOI MOSFET de porta tripla com tecnologia de 22 nm da Intel, com linhas de metal estrategicamente posicionadas e conectadas eletricamente para se obter melhores medidas como um termômetro de temperatura, na qual se pode observar o aumento da resistência do metal com o aumento da temperatura [85]. O sensor foi calibrado para uma variação de temperatura de 40°C até 120°C, mostrando uma ótima linearidade nas respostas térmicas das linhas de metal.

Figura 39 – Calibragem da temperatura realizada em um transistor com linhas de metal.

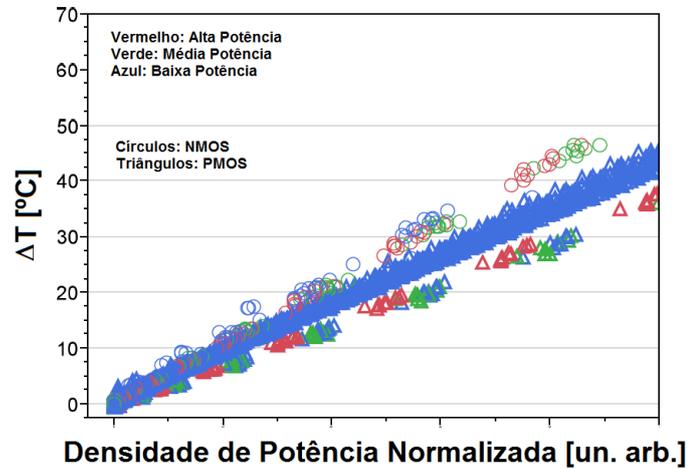


Fonte: Prasad, 2013 [85]

Legenda: Calibragem da temperatura realizada em um transistor com linhas de metal para ser utilizada como termômetros nos transistores SOI MOSFETs de porta tripla.

Uma vez feita a calibragem das linhas de metal, torna-se possível verificar o autoaquecimento. A Figura 40 mostra o aumento da temperatura (ΔT) em função da potência normalizada (P_N) para 3 diferentes otimizações (alta, média e baixa potência), mostrando a linearidade da curva obtida através deste método [85].

Figura 40 – Medidas do aumento da temperatura de autoaquecimento local no sensor em estruturas SOI MOSFET de porta tripla.

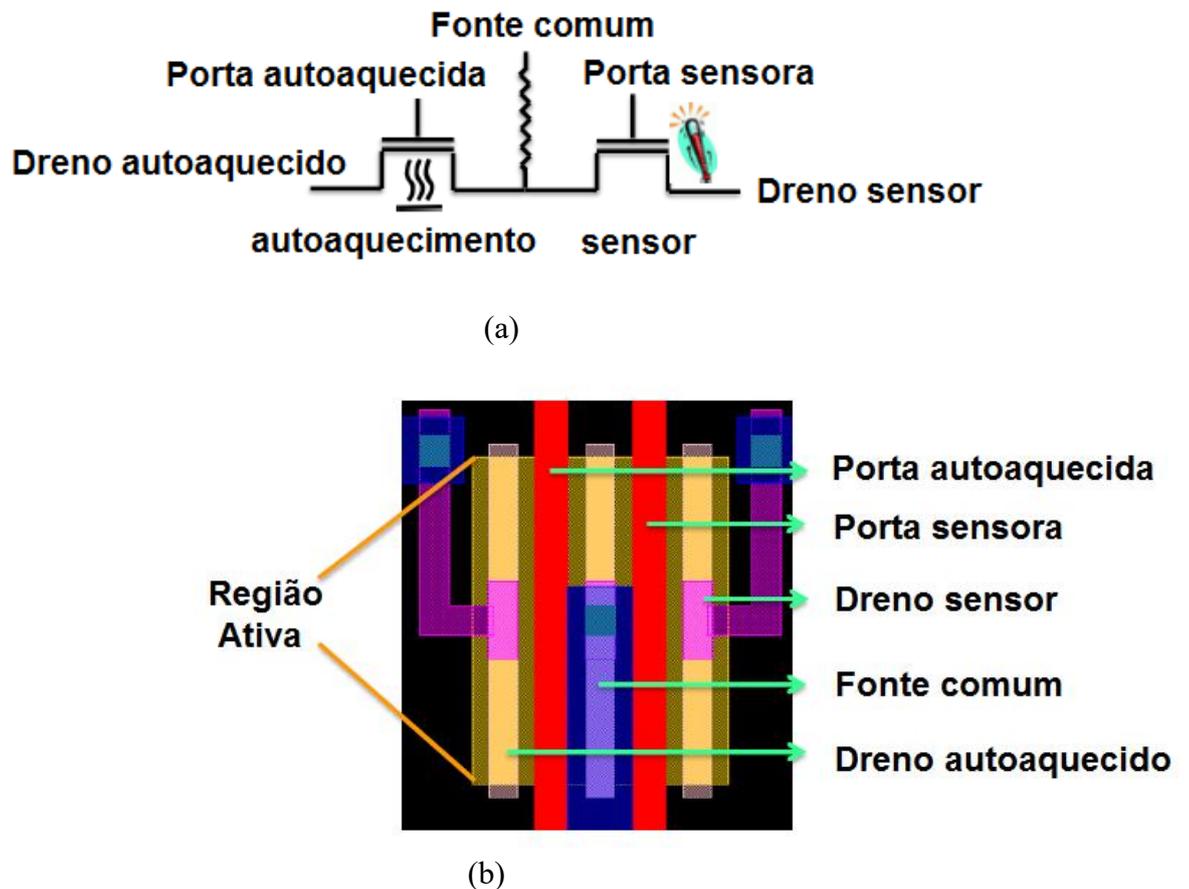


Fonte: Prasad, 2013 [85]

4.1.3 Caracterização do autoaquecimento através das medidas de caracterização de um transistor vizinho

Uma outra forma de avaliar o autoaquecimento de um transistor é utilizar um outro transistor como sensor de temperatura. A Figura 41a e a Figura 41b apresenta o esquema e a vista superior, respectivamente, de dois transistores com fonte comum, onde o primeiro sofre a influência do autoaquecimento e o segundo é utilizado como termômetro.

Figura 41 – Extração do autoaquecimento através de uma porta sensora.



Fonte: Bury, 2014 [86].

Legenda:

(a) Esquema da configuração de dois transistores com fonte comum.

(b) Vista superior se uma máscara mostrando que ambos dispositivos estão localizados em uma mesma região ativa.

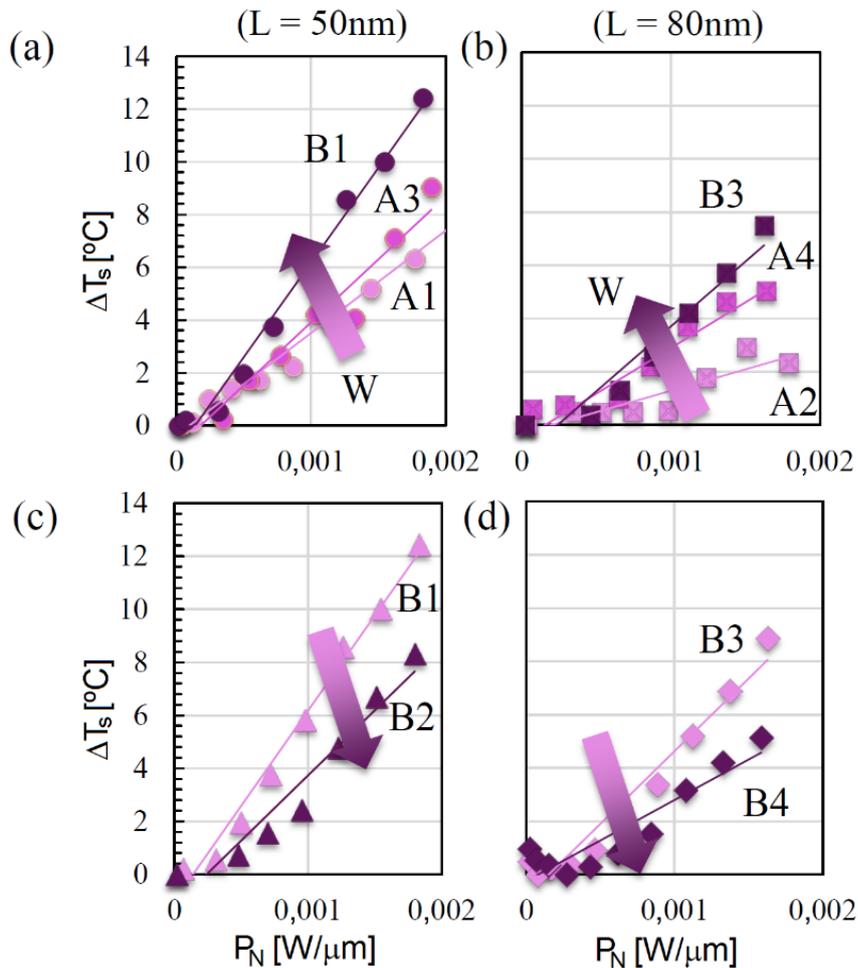
Para se obter as informações da temperatura do primeiro transistor, deve-se colocar o primeiro em regime de saturação, polarizando devidamente V_D e V_G , mantendo-se a fonte comum aterrada. A seguir, extrai-se a inclinação da tensão de sublimiar (S) uma vez que este parâmetro é dependente da temperatura, conforme observado na equação (22) [86].

Para calibrar o processo para realizar a medida da estrutura, verifica-se o valor da corrente que passa no sensor de dreno, quando este estiver submetido ao potencial 0V. Uma vez que o potencial da fonte comum também estiver a 0V, não deverá passar nenhuma corrente no canal do sensor. Entretanto, com o aumento da temperatura por autoaquecimento no transistor medido, o potencial de dreno no sensor deve sofrer uma pequena elevação, devido à resistência série gerada no terminal da fonte comum, gerando a corrente no transistor utilizado

como sensor. A partir daí, pode-se extrair a curva da inclinação de sublimar do transistor que opera como sensor e, assim, pode-se obter a variação da temperatura (ΔT) em função de P_N e, conseqüentemente o valor de R_{th} [86].

A Figura 42a mostra os resultados obtidos com um transistor com comprimento de canal igual a 50 nm, com diferentes larguras de canal iguais A1, A3 e B1 sendo, respectivamente, 70 nm, 200 nm e 500 nm, enquanto que a Figura 42b apresenta os resultados obtidos com um transistor com comprimento de canal igual a 80 nm, também com diferentes larguras de canal iguais A2, A4 e B3 sendo, respectivamente, 70 nm, 200 nm e 500 nm, mostrando o maior efeito do autoaquecimento em transistores com maiores larguras de canal. Já a Figura 42c compara dois dispositivos com comprimento de canal igual a 50 nm e largura de canal igual a 500 nm onde os dispositivos estão com suas portas separadas por uma distância de B1 e B2, iguais a 100 nm e 140 nm, respectivamente enquanto que na Figura 42d os dispositivos com comprimento de canal igual a 80 nm e largura de canal igual a 500 nm estão com as portas separadas de uma distância B3 e B4, também de 100 nm e 140 nm, respectivamente. Nestes casos é possível notar que a diferença entre as distâncias da porta do transistor autoaquecido e do transistor que é utilizado como sensor influi no resultado do autoaquecimento uma vez que a temperatura varia ao longo do dispositivo com dissipação do calor [86].

Figura 42 – Autoaquecimento medido em função da potência em diferentes estruturas.



Fonte: Bury, 2014 [86].

Legenda:

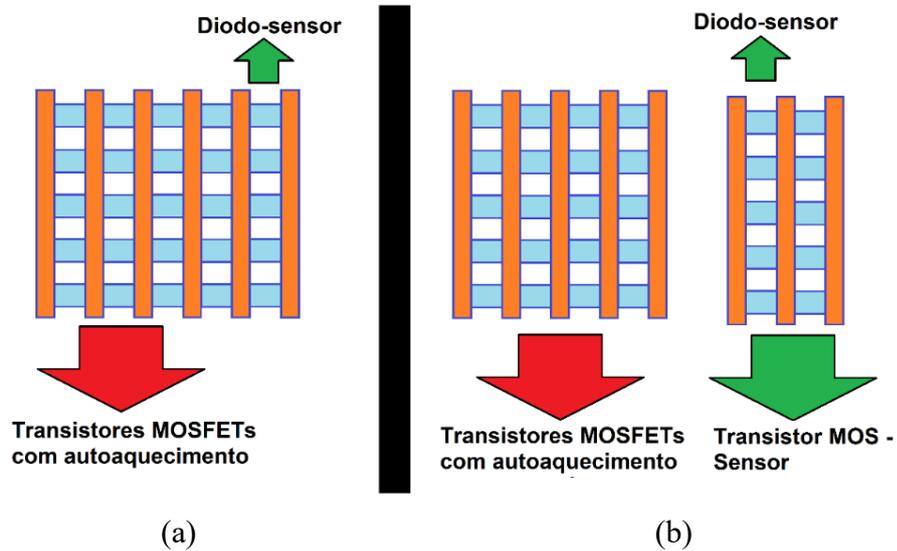
(a) e (b) mostra a variação da temperatura em estruturas com diferentes larguras de canal.

(c) e (d) mostra a sensibilidade do sensor em estruturas com diferentes distâncias entre as portas.

4.1.4 Caracterização do autoaquecimento através de um transistor com diodo adjacente

Uma outra estrutura de teste para se observar o autoaquecimento, pode ser arquitetada com a presença de um diodo adjacente à um transistor MOSFET ou, como visto anteriormente, um outro transistor MOSFET como sensor de temperatura. A Figura 43a apresenta um diodo acoplado ao dispositivo MOSFET multi-fins, enquanto que na Figura 43b observa-se uma estrutura MOSFET agindo como um sensor desacoplado do dispositivo MOSFET que também pode ser utilizado como um Diodo-sensor. Ambas as estruturas consistem em um sensor MOS lateralmente alocado com a finalidade de medir a dissipação de calor dos multi fins [85].

Figura 43 – Estruturas com sensor de autoaquecimento com diodos n+ p- ou dispositivos MOSFETs.



Fonte: Prasad, 2013 [85]

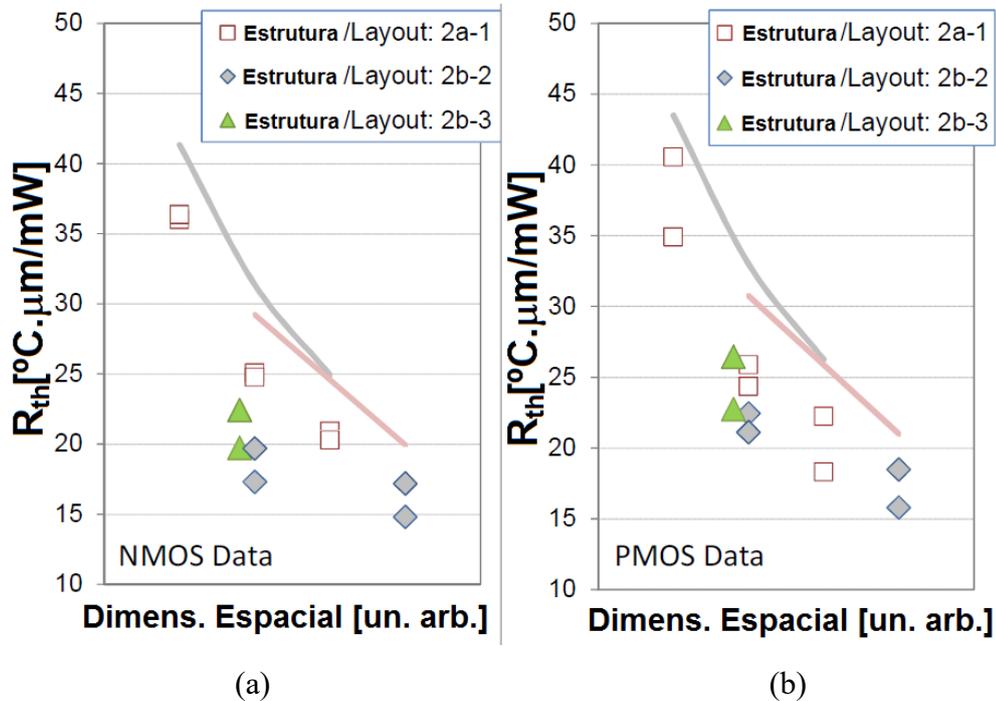
Legenda: (a) Transistor acoplado ao diodo.

(b) Transistor desacoplado ao sensor podendo ser utilizado como sensor MOSFET ou diodo

A temperatura que passa pelo diodo pode ser obtida através da corrente de fuga quando o diodo está reversamente polarizado [87] e, no transistor MOSFET, como já dito anteriormente, pode ser determinado através da curva da inclinação de sublimar.

A Figura 44 mostra a R_{th} em função do espaçamento aleatório do transistor ao sensor de temperatura de 3 diferentes configurações para um transistor nMOS e para um transistor pMOS. A estrutura 2a-1 refere-se a um transistor MOSFET com porta tripla de múltiplos fins com o sensor de diodo acoplado ao dispositivo, enquanto que a estrutura 2b-2 se refere ao transistor MOSFET com porta tripla de múltiplos fins com o sensor de diodo desacoplado do dispositivo e a estrutura 2b-3 refere-se ao transistor MOSFET com porta tripla de múltiplos fins com o sensor MOSFET desacoplado do dispositivo. Nota-se que as sensibilidades das medidas feitas com os sensores mais distantes dos dispositivos registram menores temperaturas quando comparadas aos sensores que estão mais próximas as estruturas.

Figura 44 – Resistência térmica em função da dimensão espacial entre o dispositivo autoaquecido e o sensor em transistores MOSFETs de porta tripla com múltiplos fins tipo N e tipo P com diferentes estruturas.



Fonte: Prasad, 2013 [85]

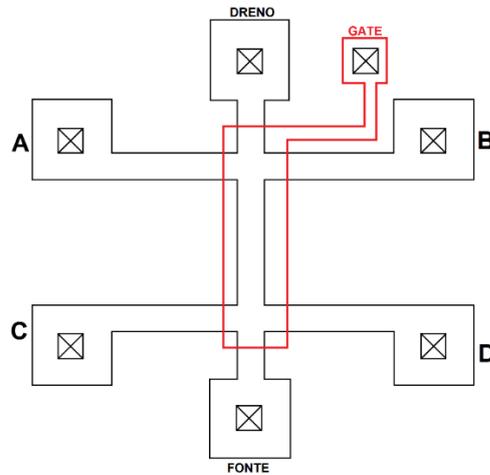
4.1.5 Caracterização do autoaquecimento através do ruído

Para se obter o autoaquecimento, também é possível recorrer a análise do ruído medido em um transistor. De acordo com a equação (52), que representa o ruído térmico de Nyquist (v_n), é possível obter a temperatura (T), onde R é o valor da resistência associada ao ruído, B é a largura de banda e k é a constante de Boltzman.

$$v_n^2 = 4kTRB \quad (52)$$

A Figura 45 representa uma estrutura de um transistor SOI-MOSFET, com largura de canal de $1 \mu\text{m}$ e comprimento efetivo (L_{eff}) de canal de $7,8 \mu\text{m}$ onde foi extraído o autoaquecimento através do ruído obtido através do analisador de sinais HP3561A [88].

Figura 45 – Transistor utilizado para extrair as medidas do ruído térmico.

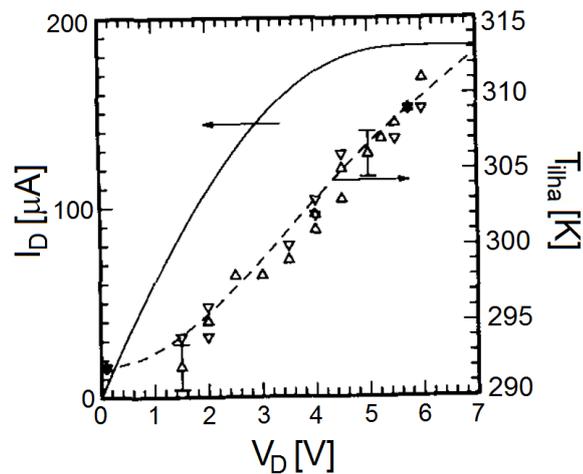


Fonte: Bunyan, 1992 [88].

Legenda: $W = 1 \mu\text{m}$ e $L_{\text{eff}} = 7,8 \mu\text{m}$.

O efeito do autoaquecimento pode ser observado na Figura 46 onde estão representados os resultados experimentais da curva de corrente elétrica de dreno e a temperatura da ilha de silício em função da polarização de dreno.

Figura 46 – Corrente de dreno e temperatura da ilha de silício medidos em função da polarização de dreno.



Fonte: Bunyan, 1992 [88].

Legenda: $V_G = 8\text{V}$ e $V_B = -50\text{V}$.

No caso da curva de temperatura, os símbolos são os resultados experimentais, enquanto que a linha tracejada indica a curva calculada através da resistência térmica ($R_{th} = 16K/mW$). A polarização de porta foi atribuída como sendo $V_G = 8V$ e $V_B = -50V$ [88].

4.1.6 Caracterização do autoaquecimento através da curva de g_{DS} cross-over

A caracterização do autoaquecimento através de medidas dinâmicas, também é uma alternativa na análise da variação de temperatura de um transistor. Os modelos apresentados até então, são interessantes para verificar o calor dissipado nos dispositivos, porém, como a dissipação de calor degrada a corrente que passa pelo canal, o resultado pode acabar sendo comprometido [89].

Entretanto, o autoaquecimento pode ser ignorado em medidas dinâmicas uma vez que a transição entre os níveis lógicos, em circuitos digitais, pode ser mais rápida que o tempo da constante térmica de autoaquecimento. Alguns estudos têm demonstrado que o autoaquecimento pode ser investigado com métodos no domínio da frequência e podem ser aplicados em tecnologias SOI [90,91,92,93].

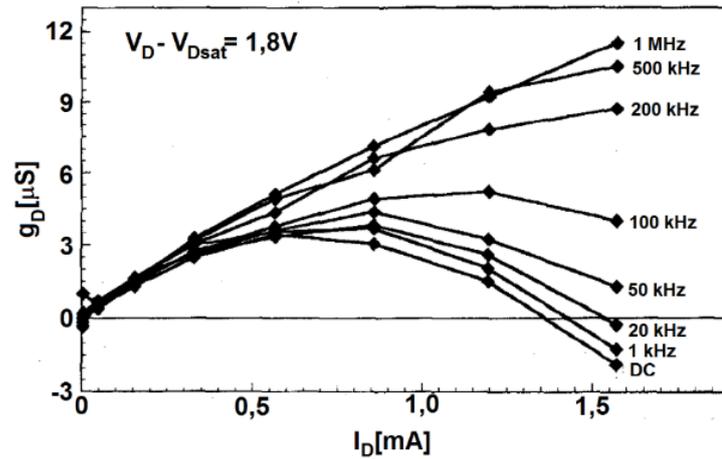
De acordo com a Figura 47a, pode-se observar que através da curva da condutância de saída (g_D) em função de I_D ocorre um aumento de g_D até o momento em que o nível de corrente atinge um valor máximo onde, a partir daí, g_D volta a decrescer. Isso demonstra que, com o aumento da potência ocorre uma degradação da corrente que passa pelo canal, influenciado pela degradação da mobilidade [89].

É possível verificar o efeito do autoaquecimento na Figura 47b, onde em baixas frequências a condutância de saída apresenta valores negativos, que mais uma vez demonstra a degradação da corrente elétrica no canal devido à dissipação de potência e aumento da temperatura. Já em altas frequências, é possível verificar o aumento da condutância, onde ela se mantém praticamente constante, que pode ser analisada como sendo um bom funcionamento do canal, mesmo com o aumento da temperatura não sofrendo influência da dissipação da potência [89].

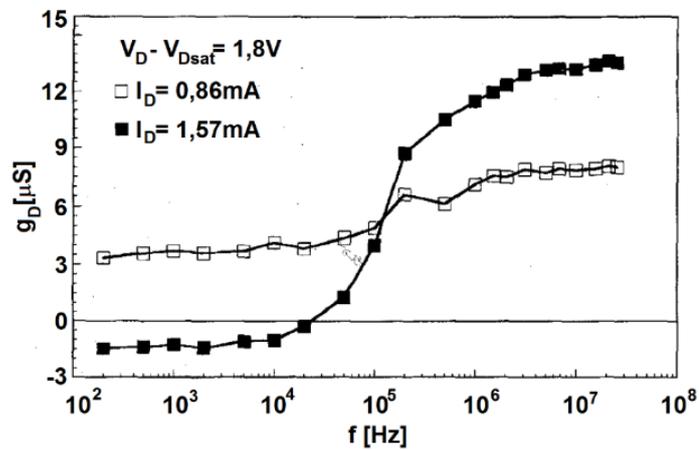
A temperatura de autoaquecimento (T) pode ser determinada analiticamente através da equação (53), onde g_{DST} representa a transcondutância em altas frequências, g_{DS} representa a transcondutância em baixa frequência, T_0 a temperatura ambiente e k_{mob} é uma constante de ajuste exponencial de mobilidade dependente com o tempo que pode ser definido entre 1,5 e 1,7 em dispositivos MOSFETs e SOI MOSFETs tipo n [42,89,94].

$$T = T_0 \left[1 + \frac{g_{DST} - g_{DS}}{k_{mob} \left(g_{DS} + \frac{I_D}{V_D} \right) - (g_{DST} - g_{DS})} \right] \quad (53)$$

Figura 47 – Condutância de dreno em saturação.



(a)



(b)

Fonte: Tembroek, 1996 [89].

Legenda: Condutância de dreno em saturação de um transistor SIMOX nMOSFET 20/5 μm parcialmente depletado:

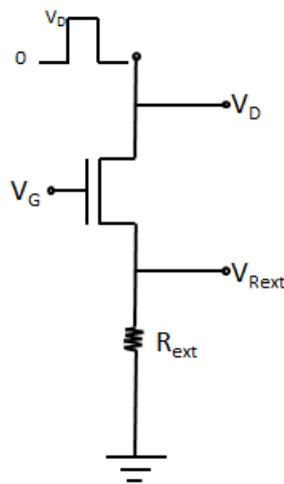
(a) em função da corrente de dreno.

(b) em função da frequência.

4.1.7 Caracterização do autoaquecimento através de medidas pulsadas

Ao aplicar-se um degrau de tensão no dreno com a polarização da porta constante, pode-se avaliar o autoaquecimento obtido através da curva característica da corrente transitória de dreno média. Essa curva é analisada através da tensão elétrica que é medida no resistor conectado à fonte [94]. A Figura 48, a seguir, ilustra o circuito que detecta o autoaquecimento.

Figura 48 –Circuito elétrico para obter a medida do transitório.



Fonte: Yasuda, 1991 [94].

Uma outra técnica utilizada é aplicar pulsos a fim de se obter uma curva característica da corrente de dreno em função da polarização da porta, através de um gerador de pulso conectado à porta do transistor [95,96].

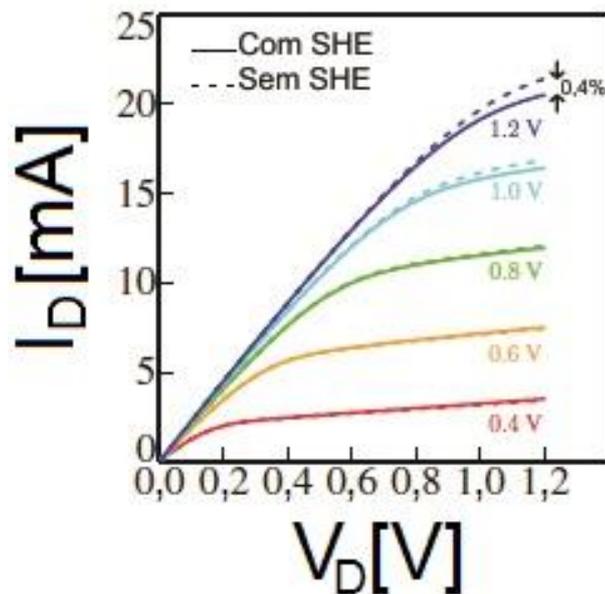
Essa técnica visa eliminar o autoaquecimento enquanto está ocorrendo a medição. Entretanto para que se obtenha sucesso com essas medidas, estas necessitam ser realizadas num tempo muito curto e necessita-se que o período de repouso entre os pulsos seja longo.

O circuito da Figura 49, configura a medida da curva do transitório da corrente de dreno.

Como resultado, pode-se verificar que neste transistor, o efeito de autoaquecimento é responsável pela redução de aproximadamente 0,4% do valor da corrente elétrica, onde este pode ser notado já 80ns após o pulso iniciar.

A Figura 51 ilustra o comportamento da corrente de dreno em função da polarização do dreno para diferentes valores de V_G entre 0,4V e 1,2V [98]. Pode-se notar que na medida em que tanto a polarização do dreno quanto a polarização da porta aumentam, maior é o efeito do autoaquecimento, devido ao aumento da potência gerada. Ao relacionarmos a Figura 50 com a Figura 51, nota-se a redução da corrente de dreno com o efeito do autoaquecimento em aproximadamente 0,4%.

Figura 51 – Curva I_D em função de V_D de um transistor SOI FinFET com e sem autoaquecimento.



Fonte: SCHOLTEN, A. J., 2009 [98]

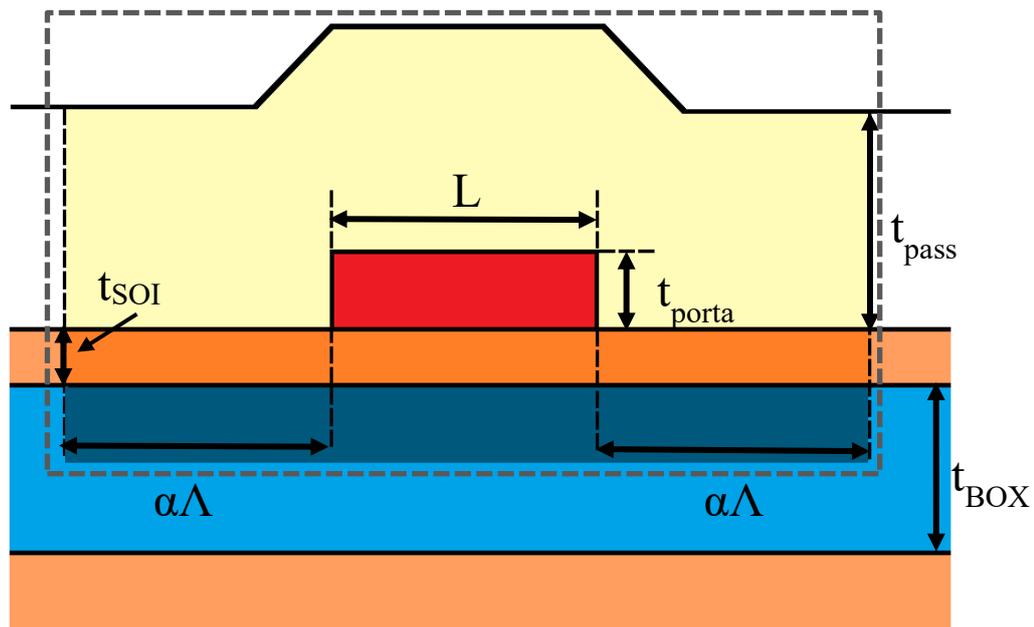
4.2 ESTUDO DO AUTOAQUECIMENTO EM DISPOSITIVOS SOI MOSFETS

Um parâmetro importante a ser determinado através da curva de autoaquecimento nos transistores é a constante de tempo do autoaquecimento (τ). Apesar desse efeito influenciar, principalmente nas medidas em modo DC, onde a potência é dissipada no dispositivo [73] [99], a variação causada pelo autoaquecimento é desprezível em circuitos digitais, onde as constantes de tempo de temperatura não influenciam no tempo de chaveamento. Já em circuitos

análogos, o tempo do autoaquecimento acaba influenciando em parâmetros que dependem da temperatura como foi verificado no capítulo 3.

A Figura 52 representa esquematicamente o corte de um dispositivo SOI MOSFET planar, com a espessura das regiões do canal com a camada adjacente de silício (t_{SOI}), a espessura do eletrodo de porta (t_{porta}), a espessura do óxido de passivação (t_{pass}), a espessura do óxido enterrado (t_{BOX}) o comprimento da porta (L) e o comprimento de decaimento da temperatura nas regiões de fonte e dreno ($\alpha\Lambda$), sendo que α é a condutância térmica lateral normalizada nas bordas das regiões de fonte e dreno. Estes parâmetros servirão para determinar o valor de τ [94]. A área delimitada destacada pelo retângulo pontilhado, demarca uma região que representa, aproximadamente, o volume do dispositivo aquecido (Vol).

Figura 52 – Representação esquemática de uma estrutura SOI MOSFET planar para estimar a constante de tempo de autoaquecimento.



Fonte: Yasuda, 1991 [94].

O valor de Vol pode ser determinado através da soma dos volumes Vol_{BOX} e V_{Si} que correspondem a região do óxido enterrado e o silício, respectivamente, conforme (54).

$$Vol = Vol_{BOX} + Vol_{Si} \quad (54)$$

Os valores de Vol_{BOX} e V_{Si} podem ser determinados de acordo com (55) e (56) , respectivamente.

$$Vol_{BOX} = W(L + 2\alpha\Lambda) \left(t_{pass} + \frac{1}{2} t_{BOX} \right) \quad (55)$$

$$Vol_{Si} = W(L + 2\alpha\Lambda) \left(t_{SOI} + \frac{1}{L + 2\alpha\Lambda} t_{porta} \right) \quad (56)$$

Sendo a condutância térmica do calor confinada no volume aquecido (K_T), descrita em (57), pode-se estimar o valor de τ de acordo com (58).

$$K_T = \frac{K_{SiO_2}}{t_{BOX}} W(L + 2\alpha\Lambda) \quad (57)$$

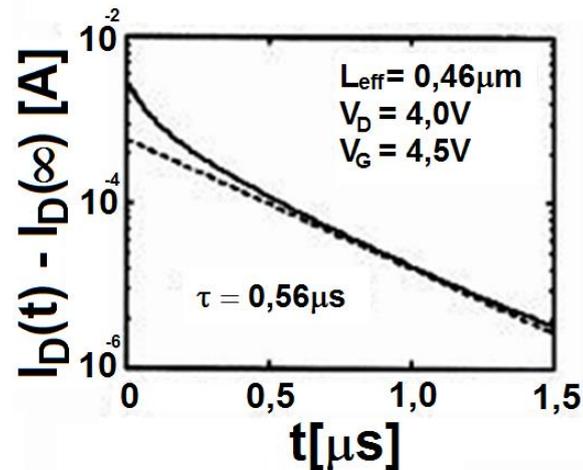
$$\tau = \frac{\rho c Vol}{K_T} = \frac{\rho_{SiO_2} c_{SiO_2} Vol_{BOX} + \rho_{Si} c_{Si} Vol_{Si}}{K_T} \quad (58)$$

Substituindo (55), (56) e (57) em (58), tem-se (59), onde as densidades (ρ) e os calores específicos (c), são dados por $\rho_{SiO_2} = 2,2 \text{ g/cm}^3$, $\rho_{Si} = 2,3 \text{ g/cm}^3$, $c_{SiO_2} = 0,17 \text{ cal/(g.K)}$, $c_{Si} = 0,17 \text{ cal/(g.K)}$, $K_{SiO_2} = 0,014 \text{ W/(cm.K)}$ e $K_{Si} = 1,5 \text{ W/(cm.K)}$.

$$\tau = \frac{t_{BOX}}{K_{SiO_2}} \left[\rho_{SiO_2} c_{SiO_2} \left(t_{pass} + \frac{1}{2} t_{BOX} \right) + \rho_{Si} c_{Si} \left(t_{SOI} + \frac{1}{L+2\alpha\Lambda} t_{porta} \right) \right] \quad (59)$$

A equação (59) determina a constante de tempo de autoaquecimento (τ), que pode ser observado na Figura 53 através da inclinação da curva pontilhada, enquanto que a curva contínua expressa o resultado experimental da curva do transitório da corrente elétrica de dreno em função do tempo. Os valores utilizados foram: $t_{pass} = 0,6 \text{ }\mu\text{m}$; $t_{BOX} = 0,5 \text{ }\mu\text{m}$; $t_{porta} = 0,3 \text{ }\mu\text{m}$; $W = 10 \text{ }\mu\text{m}$.

Figura 53 – Obtenção do valor de τ .

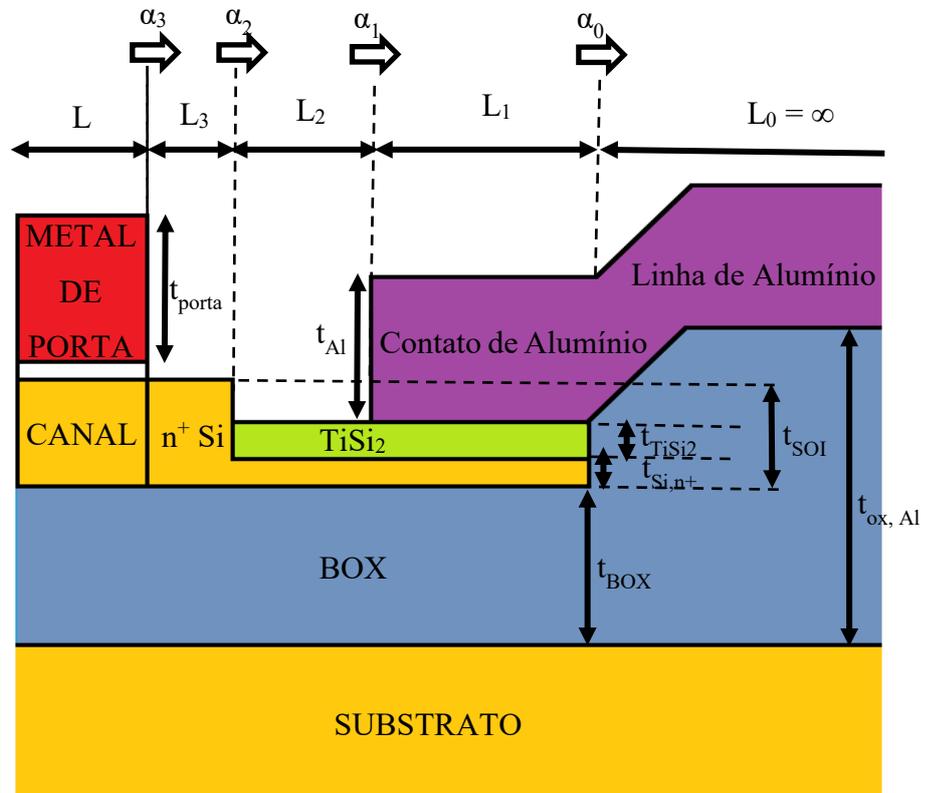


Fonte: Yasuda, 1991 [94].

Legenda: Obtenção do valor de τ , por meio de um gráfico $I_D(t) - I_D(\infty)$ em função do tempo onde a curva sólida representa a característica experimental do transitório e a curva tracejada indica a constante de tempo do autoaquecimento.

A Figura 54 ilustra, complementarmente à Figura 52, como ocorre o aumento da temperatura no dispositivo quando a corrente de dreno está na fase transitória, evidenciando a dependência da condutância térmica em diferentes regiões do dispositivo. A região fora do canal foi dividida em 4 partes, sendo a linha de alumínio com comprimento L_∞ , o metal de contato com $L_1 = 5,0 \mu m$, a camada de silício com $L_2 = 1,3 \mu m$, a camada de Si n+ com comprimento $L_3 = 0,5 \mu m$ [94].

Figura 54 – Esquema do transistor para a extração da corrente de dreno.



Fonte: YASUDA, N., 1991 [94].

5 AUTOAQUECIMENTO EM TRANSISTORES SOI MOSFETS

Este capítulo tem por objetivo verificar o autoaquecimento em transistores SOI MOSFETs de múltiplas portas, apesar de ser observado também o efeito do autoaquecimento em alguns dispositivos planares. Primeiramente serão abordados os dispositivos modo inversão com junções, considerando o canal com concentração natural de dopantes e, a seguir, os dispositivos sem junção com alta dopagem na camada de silício. Além disso, foram feitas simulações com um único fin a ser comparado com multifins, para que seja possível verificar o impacto do transporte de calor em estruturas com diferentes arquiteturas.

5.1 CARACTERÍSTICAS DOS DISPOSITIVOS.

As simulações realizadas para compor este trabalho foram feitas através do simulador numérico Synopsys Sentaurus. Entretanto, os resultados experimentais foram extraídos no laboratório de pesquisa CEA-LETI, situado em Grenoble, França.

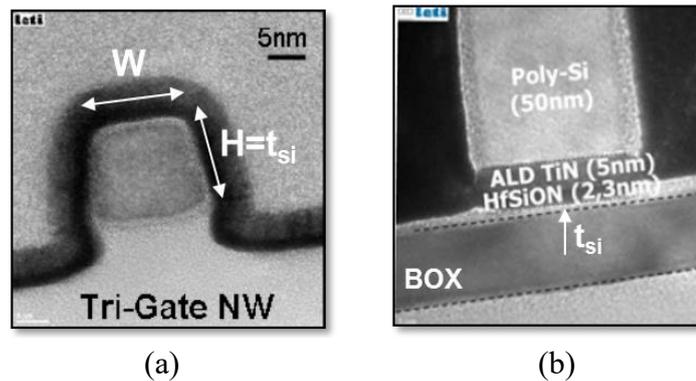
Os dispositivos SOI MOSFETs medidos, tanto os sem junção quanto os transistores modo inversão com concentração natural de dopantes no canal, apresentam geometria de porta tripla, com comprimento de canal de 50 nm e silício policristalino tipo P com espessura de 50nm sobreposto ao TiN, com 5nm, como material de porta. Estes transistores apresentam diferentes valores de W , sendo um mais largo com 10 μm e o outro mais estreito, com 12,5 nm. O dispositivo mais estreito pode ser observado na Figura 55a e Figura 55b, onde estão apresentadas as micrografias da secção transversal enfatizando a geometria do transistor e a composição do gate stack, respectivamente.

Complementarmente, foram feitas medições em dispositivos SOI MOSFETs com canal dopado em transistores planares.

Os dispositivos também foram simulados com a finalidade de verificar fisicamente o efeito do autoaquecimento além de garantir as conclusões dos resultados medidos. Além disso, serão mostradas algumas propriedades físicas abordadas através de simulações de transistores SOI MOSFETs sem junção com maiores comprimento de canal, com $L = 500$ nm, verificando o comportamento dos transistores com diferentes concentrações de dopantes, com diferentes larguras e diferentes alturas da camada de silício presente nos dispositivos tridimensionais. Todos os dispositivos foram desenhados com porta tripla, isto é, a espessura do óxido de porta é constante ao redor da região ativa, com 2 nm de espessura. Para que não haja a interferência

da resistência série nestes dispositivos, as extensões de fonte e dreno foram simuladas com 1 nm de comprimento. O óxido enterrado apresenta 100 nm de espessura.

Figura 55 – Micrografias da secção transversal do dispositivo SOI MOSFET de porta tripla.



Fonte: CEA-LETI, 2016.

Legenda: (a) Dimensões do dispositivo.

(b) Dimensões do gate stack.

Todas as simulações foram feitas incluindo o modelo de difusão e deriva, velocidade de saturação com alto campo elétrico, modelo de mobilidade com dependência da temperatura, estreitamento da banda proibida e a dependência com o campo elétrico vertical.

5.2 RESULTADOS

Nesta seção serão apresentados os resultados obtidos durante o trabalho de Doutorado, objetivando o estudo do autoaquecimento dos transistores SOI MOSFETs com concentração natural de dopantes e SOI MOSFETs sem junções, cujas medidas foram obtidas experimentalmente no laboratório CEA-LETI, na França e, também através de simulações numéricas tridimensionais.

5.2.1 Análise do autoaquecimento em transistores SOI MOSFETs com concentração natural de dopantes no canal.

Primeiramente, foi feito um estudo do autoaquecimento em transistores SOI MOSFETs com concentração natural de dopantes, em dispositivos com largura de canal nanométrica de 12,5 nm e em dispositivos mais longos com largura de canal de 10 μ m.

5.2.1.1 Medidas experimentais obtidas pelo método da extração da resistência de porta em dispositivos SOI MOSFETs de múltiplas portas com 2 contatos de porta

Para averiguar o autoaquecimento em transistores SOI MOSFETs de porta tripla com concentração natural de dopantes no canal, foram feitas medidas em estruturas especiais com dois contatos de porta, utilizando-se um método similar a estrutura com 4 contatos de porta, como já descrito no item 4.1.1.

Nessa nova proposta de medida foram utilizados o módulo LCR de medições do Agilent B1500 capaz de extrair as medidas de indutância, capacitância e resistência de um componente eletrônico. O LCR é utilizado para fazer medidas AC e, no entanto, necessita de uma frequência e de uma amplitude de tensão, que nos experimentos foram configurados como 100kHz e 50mV, respectivamente. Vale ressaltar, que ao implementar o valor da frequência, as resistências parasitárias são eliminadas, proporcionando valores mais confiáveis.

Os dispositivos foram confeccionados no CEA-LETI, com $L = 50$ nm, com uma fina camada de silício de 12 nm de espessura, com diferentes larguras de canal ($W = 10 \mu\text{m}$ e $W = 12,5$ nm).

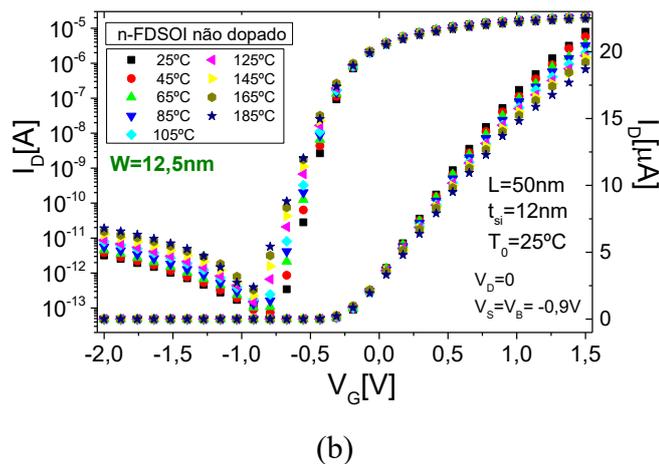
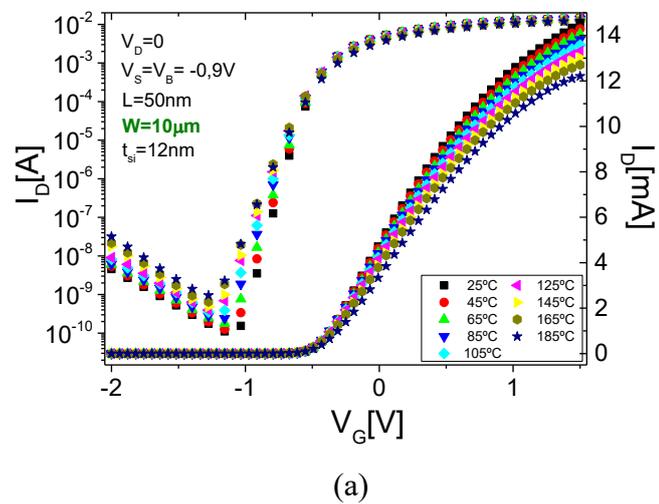
Primeiramente, uma lâmina com diversos dispositivos foi colocada numa câmara em temperatura ambiente igual a 25°C. Para se extrair as curvas de I_D em função de V_G , os dispositivos foram polarizados com os terminais de fonte e de substrato polarizados com -0,9 V enquanto o terminal de dreno foi mantido em 0V. Foi selecionado uma rampa da polarização de uma das portas a partir de -2V até 1,5V, com passo de 50 mV. Conforme pode-se observar na Figura 56, foi possível extrair o comportamento da corrente elétrica, em diferentes temperaturas, partindo de 25°C até 185°C, com passo de 20°C. A variação da temperatura foi sendo ajustada em cada experimento através de um sensor presente na câmara conectado com um computador periférico para o monitoramento.

A cada temperatura, após extraída a corrente de dreno em função da polarização da porta, o equipamento de medidas era configurado utilizando-se o módulo LCR, com uma

frequência baixa de 100kHz e uma tensão alternada de amplitude igual a 5 mV, para possibilitar a extração da resistência elétrica do contato de porta em função da polarização do terminal de dreno.

De forma análoga ao método da extração da resistência de porta em dispositivos com 4 contatos de porta, foram feitas pela primeira vez, a extração dos valores de R_G em função da polarização de dreno em dispositivos com 2 contatos de porta para analisar a influência da temperatura.

Figura 56 – Curvas de corrente elétrica de dreno em função de .

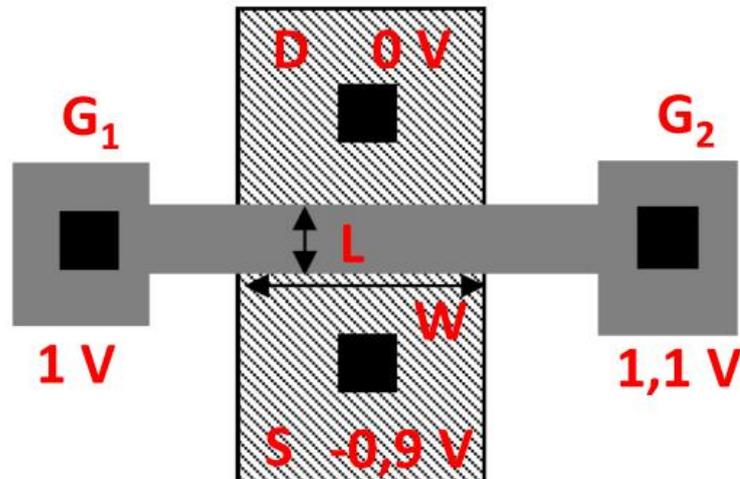


Fonte: Autor

Legenda: – Curvas de corrente elétrica de dreno em função de V_G dos transistores de porta tripla SOI-MOSFETs tipo N com concentração natural de dopantes no canal, em diferentes temperaturas e com diferentes larguras de canal (a) $W = 10 \mu\text{m}$ e (b) $W = 12,5 \text{ nm}$.

A configuração utilizada para extrair os valores de R_G em função de V_D foi através das polarizações dos terminais de fonte e de substrato, ambos polarizados com $-0,9\text{ V}$ em corrente contínua, mantendo-se o terminal de dreno aterrado. O primeiro contato de porta (G_1) foi polarizado a 1 V de tensão e o segundo contato de porta (G_2), com $1,1\text{ V}$ para gerar uma resistência elétrica de porta possível de ser medida pelo módulo LCR do equipamento, com as configurações mencionadas anteriormente. A Figura 57 representa a configuração do transistor com as configurações para determinar a resistência de porta.

Figura 57 – Ilustração da polarização dos transistores com dois contatos de porta.

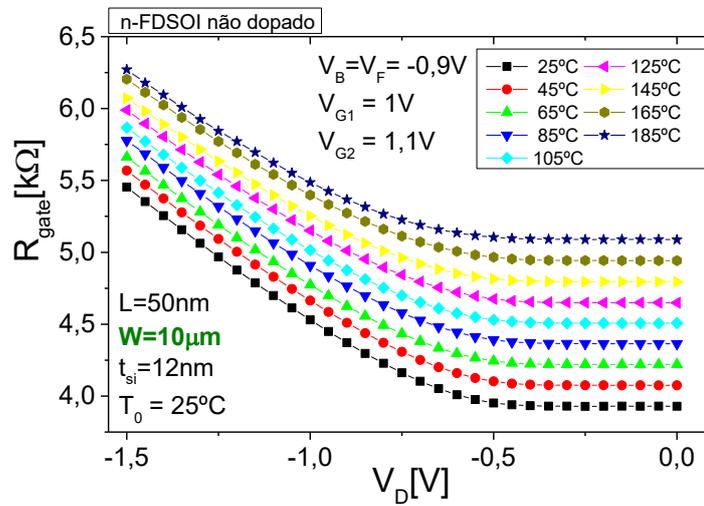


Fonte: Autor

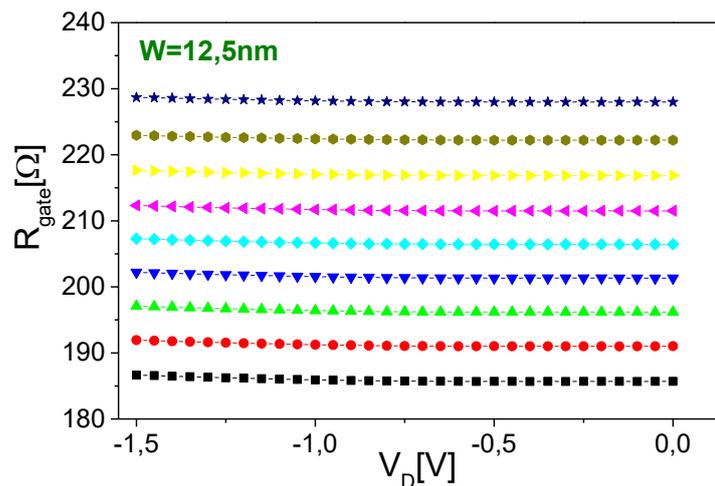
A Figura 58 contém as curvas extraídas experimentalmente da resistência de porta em função da polarização de dreno, em diferentes condições de temperatura da mesma forma como realizadas nas extrações das curvas de corrente de dreno em função da polarização de porta. Nestas medidas, variou-se o dreno de 0 até $-1,5\text{ V}$. Pode-se notar um aumento significativo da resistência do canal nos transistores largos.

Da mesma forma como mencionado no item 4.1.1, tomou-se como base o patamar da resistência elétrica como sendo a temperatura ambiente, isto é, na Figura 58a, para 25°C , o valor de R_G é igual a $3,929\text{ k}\Omega$, para 45°C , R_G é igual a $4,075\text{ k}\Omega$ e, assim por diante até quando T for igual a 185°C . A partir destes valores, traçando-se uma reta média através dos pontos obtidos na curva da resistência de porta em função da temperatura, pode-se estipular o valor da variação da temperatura de autoaquecimento em função da polarização de dreno [83].

Figura 58 – Curvas da resistência de porta em função da polarização do dreno.



(a)



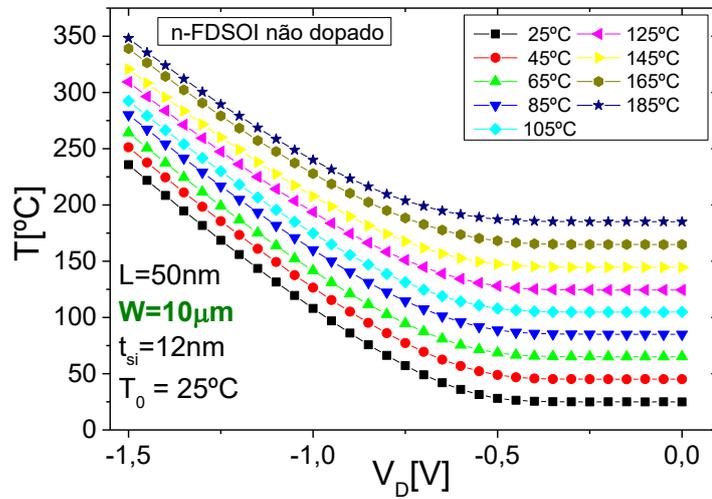
(b)

Fonte: Autor

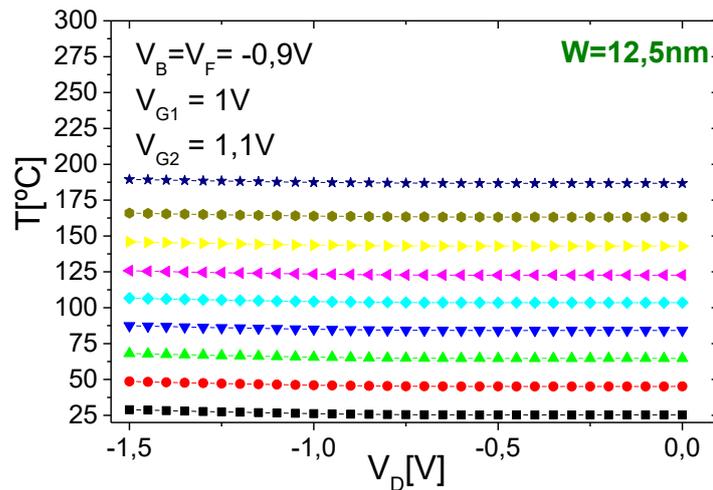
Legenda: Curvas da resistência de porta em função da polarização do dreno em transistores de porta tripla SOI MOSFETs tipo N com concentração natural de dopantes no canal, em diferentes temperaturas ambiente e, com diferentes larguras de canal, (a) $W = 10 \mu\text{m}$ e (b) $W = 12,5 \text{ nm}$.

Na Figura 59 estão representadas as mesmas curvas da Figura 58 porém, com as resistências de porta convertidas em temperatura. Pode-se observar que o transistor com maior largura de canal ($W = 10 \mu\text{m}$) apresenta uma grande variação de temperatura, enquanto que, o transistor de menor largura de canal ($W = 12,5 \text{ nm}$) praticamente não sofre de autoaquecimento.

Figura 59 – Curvas experimental da temperatura de autoaquecimento em função de V_D .



(a)



(b)

Fonte: Autor

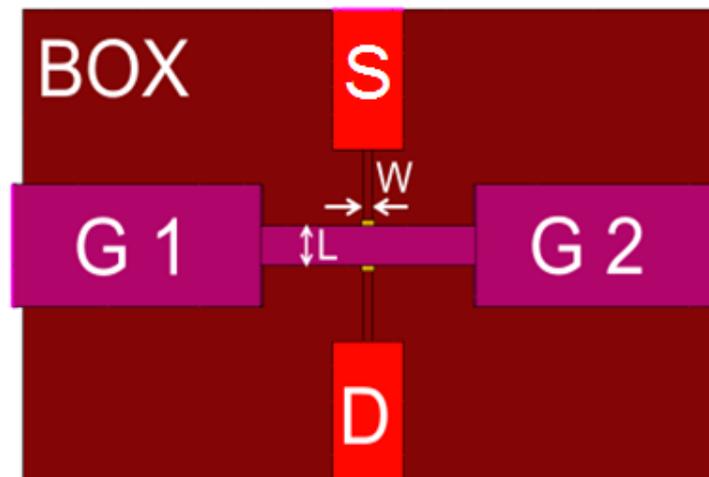
Legenda: Curvas experimental da temperatura de autoaquecimento em função da polarização do dreno em transistores de porta tripla SOI MOSFETs tipo N com concentração natural de dopantes no canal, em diferentes temperaturas ambiente e, com diferentes larguras de canal, (a) $W = 10 \mu\text{m}$ e (b) $W = 12,5 \text{ nm}$.

5.2.1.2 Verificação do autoaquecimento nos dispositivos SOI MOSFETs de múltiplas portas com concentração natural de dopantes no canal, através de simulações numéricas

Com o objetivo de averiguar com mais profundidade os valores extraídos experimentalmente, foram feitas simulações através do software TCAD Synopsys Sentaurus em estruturas SOI MOSFETs. Foram levados em consideração a geometria e o material do dispositivo, aproximando a estrutura de um transistor real medido experimentalmente, como o da Figura 55.

Primeiramente, através do gerador de dispositivos do Synopsys Sentaurus (SDE), foram geradas as estruturas SOI MOSFETs com dois contatos de porta como pode ser observado na Figura 60, que representa um dispositivo SOI MOSFET com largura de canal W e comprimento de canal L , evidenciando, além dos contatos de porta G1 e G2, as extensões de fonte (S) e dreno (D) e o óxido enterrado (BOX).

Figura 60 – Estrutura de um transistor SOI MOSFET gerado através do SDE do simulador Synopsys Sentaurus.

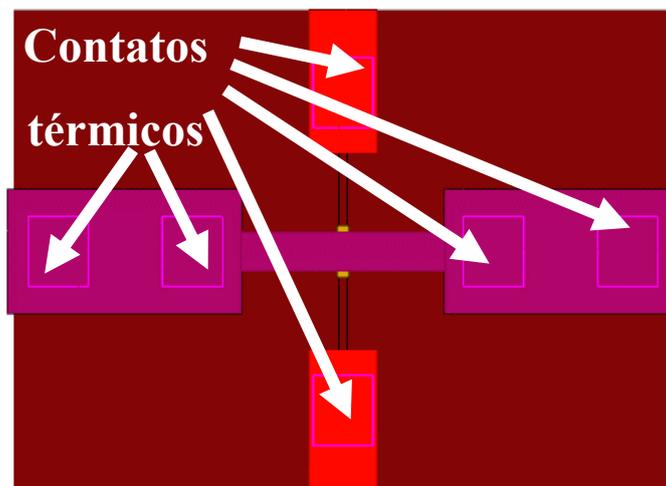


Fonte: Autor

Em seguida, foram colocados os contatos térmicos na estrutura, conforme pode ser observado na Figura 61, para que o simulador fosse capaz de computar a dissipação térmica no dispositivo. Os contatos térmicos, tanto nos terminais de porta, como nos terminais de fonte e dreno, foram estrategicamente colocados da mesma forma onde estão inseridas as vias de contato entre os metais nos dispositivos reais. Também foi colocado um contato na parte

inferior do óxido enterrado, que é a parte que está em contato direto com a fonte de calor durante as medições experimentais.

Figura 61 – Estrutura com contatos térmicos.



Fonte: Autor

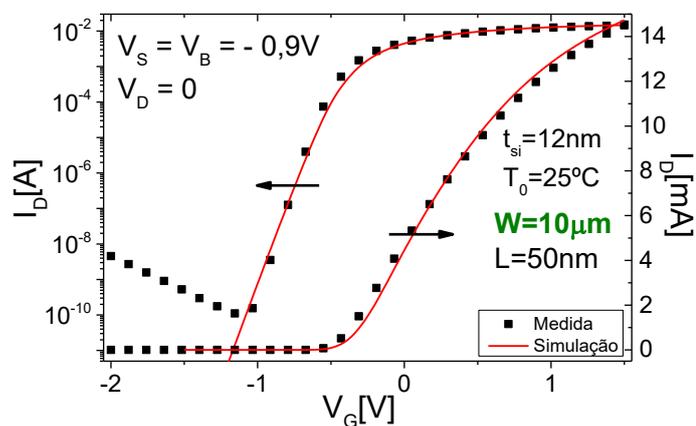
Legenda: Estrutura de um transistor SOI MOSFET gerado através do SDE do simulador Synopsys Sentaurus, com contatos térmicos nos contatos de porta, nas extensões de fonte e dreno e parte inferior do óxido enterrado.

Com as estruturas prontas, o próximo passo foi realizar as simulações térmicas dos dispositivos SOI MOSFETs. Para isso, foi utilizado o modelo Philips de mobilidade unificada, que descreve a mobilidade em função da temperatura [100] **Fonte bibliográfica inválida especificada..** Para simular a curva de I_D em função de V_G , foi necessário ajustar os modelos de mobilidade máxima, velocidade de saturação e a função trabalho do metal de porta. Com os parâmetros ajustados, foi possível obter uma simulação com resultados que, além de coerentes, ficaram bem próximos aos dos resultados obtidos experimentalmente tanto nos transistores com W largo, quanto em transistores com W mais estreito, conforme observado na Figura 62a e Figura 62b, respectivamente.

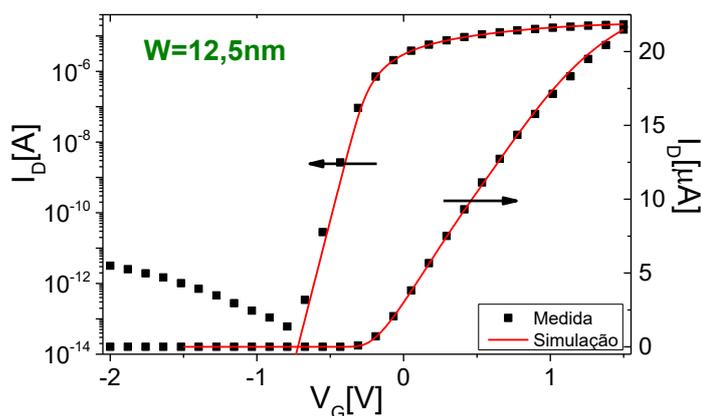
Um dos parâmetros que pode ser verificado nestas Figuras é o comportamento da inclinação de sublimiar. Nos transistores com $W = 10 \mu\text{m}$, tem-se que o valor de $S = 91,62 \text{ mV/déc}$ nos dispositivos simulados, enquanto que nos dispositivos medidos $S = 75,11 \text{ mV/déc}$. Esta diferença apresenta um erro percentual de 21,98% do resultado experimental comparado

com a simulação. No dispositivo com $W = 12,5 \text{ nm}$, o valor experimental de $S = 60,47 \text{ mV/déc}$, enquanto que, por simulação, $S = 63,12 \text{ mV/déc}$ apresentando um erro percentual de 4,38%.

Figura 62 – Curvas de I_D em função de V_G .



(a)



(b)

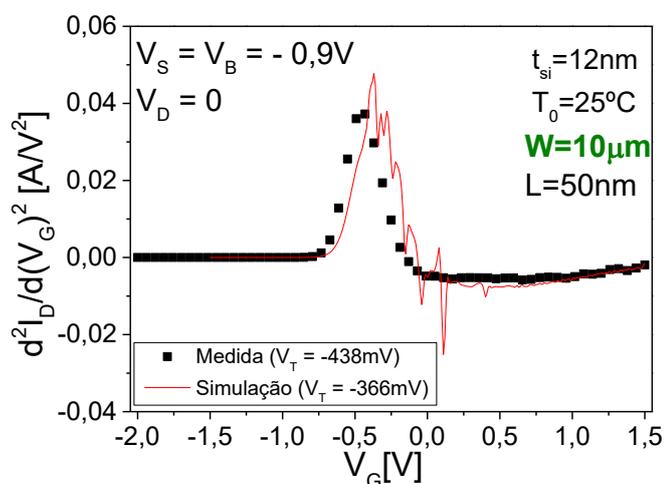
Fonte: Autor

Legenda: Curvas de corrente elétrica de dreno em função da polarização de porta de transistores de porta tripla SOI MOSFETs tipo N com concentração natural de dopantes no canal, com diferentes larguras de canal, (a) $W = 10 \mu\text{m}$ e (b) $W = 12,5 \text{ nm}$.

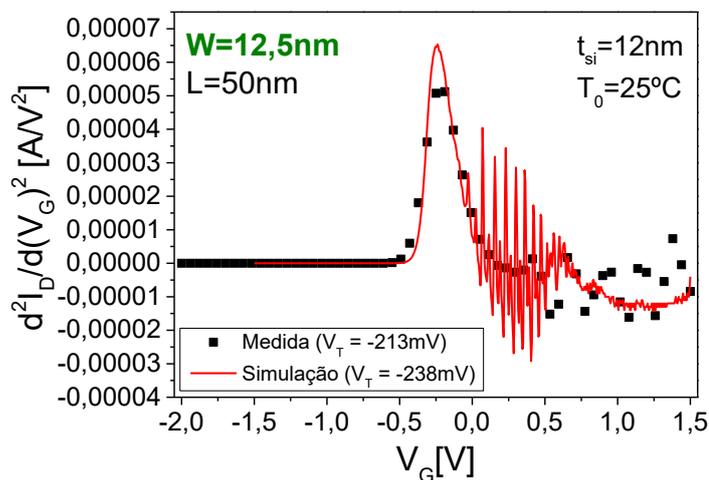
Com a finalidade de aprofundar ainda mais a comparação do ajuste de simulação, a Figura 63a e a Figura 63b permitem avaliar o erro percentual entre os valores da tensão de limiar entre os dispositivos simulados comparando-os com os transistores medidos com $W = 10 \mu\text{m}$ e $W = 12,5 \text{ nm}$, respectivamente. O método da segunda derivada da corrente de dreno em função da polarização da porta foi utilizado para extrair os valores de V_T . De acordo com a

Figura 63a, nos transistores mais largos, pôde ser observada uma discrepância de 16,44% entre o valor de V_T medido experimentalmente, que é de -438 mV comparado com -366 mV obtido através da simulação. Por outro lado, o erro percentual nos dispositivos com largura de canal mais estreita foi de 11,73%, sendo o valor experimental igual a -213 mV comparado com o valor simulado de -238 mV.

Figura 63 – Comparação do valor de V_T entre os resultados experimentais e as simulações.



(a)



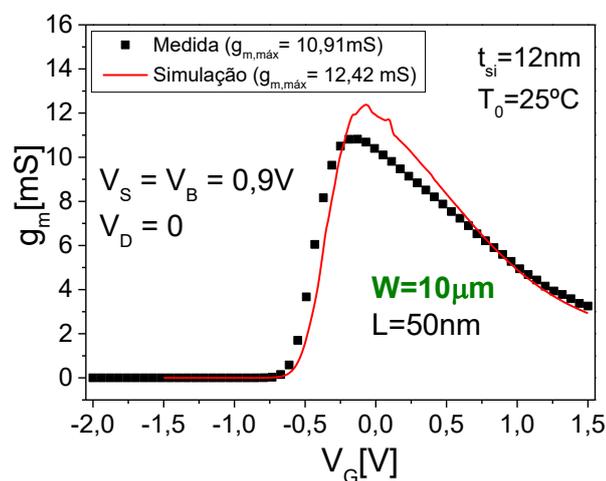
(b)

Fonte: Autor

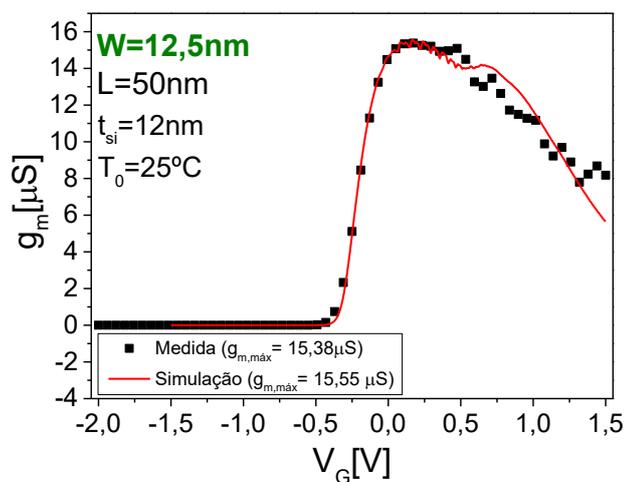
Legenda: Análise de V_T através do método da segunda derivada de I_D em função de V_G nos transistores de porta tripla SOI MOSFETs tipo N com concentração natural de dopantes no canal, com diferentes larguras de canal, (a) $W = 10 \mu\text{m}$ e (b) $W = 12,5$ nm.

A Figura 64a e a Figura 64b, apresentam as curvas de transcondutância em função da polarização de porta dos transistores medidos com $W = 10 \mu\text{m}$ e $W = 12,5 \text{ nm}$, respectivamente. Também é possível reforçar o casamento dos dados experimentais com os dados simulados comparando o erro percentual entre os valores máximos de transcondutância. Na Figura 63a, é possível observar um erro percentual de 13,84% entre o valor de $g_{m,\text{máx}}$ medido experimentalmente, que é de 10,91mS comparado com 12,42mS obtido por simulação numérica. No entanto, o erro percentual nos dispositivos mais estreitos resultou em 1,10%, sendo o valor experimental igual a 15,38 μS comparado com o valor simulado de 15,55 μS .

Figura 64 – Comparação do valor de g_m em função de V_G .



(a)



(b)

Fonte: Autor

Pode-se verificar que, de acordo com os resultados obtidos, o dispositivo com menor comprimento de canal, $W = 12,5$ nm, foi bem ajustado quando comparado com o dispositivo com maior largura de canal. Mesmo que o foco deste trabalho seja sobre os transistores MOS nanométricos, o dispositivo com $W = 10$ μm , também apresenta boas condições para ser utilizado como comparação entre o efeito do autoaquecimento entre os dispositivos.

Uma vez ajustados os parâmetros físicos da simulação eletrostática, faz-se necessário ajustar a resistência térmica do contato ($R_{\text{th-cont}}$), que é um outro parâmetro importante para realizar a simulação com grade térmica.

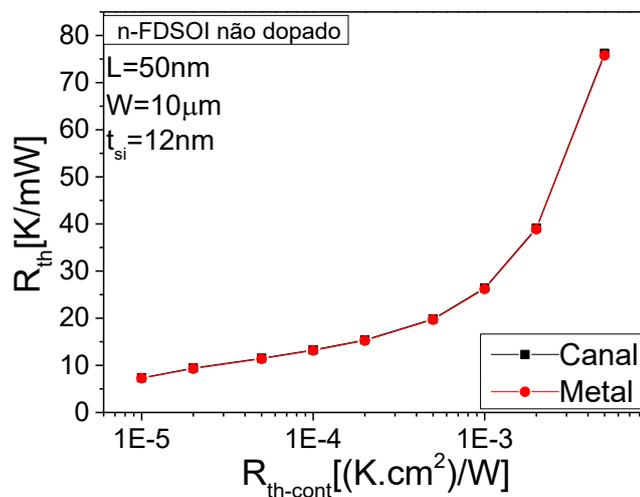
Para simplificar a análise, foi considerado que todos os contatos térmicos contidos no dispositivo de simulação fossem uniformes. Sendo assim, foram traçados os valores das resistências térmicas (R_{th}), conforme (60) onde ΔT é a variação da temperatura de autoaquecimento e P , a potência de dissipação térmica dos dispositivos SOI MOSFETs com concentração natural de dopantes no canal em função da resistência térmica de contato ($R_{\text{th-cont}}$).

$$R_{th} = \frac{\Delta T}{P} \quad (60)$$

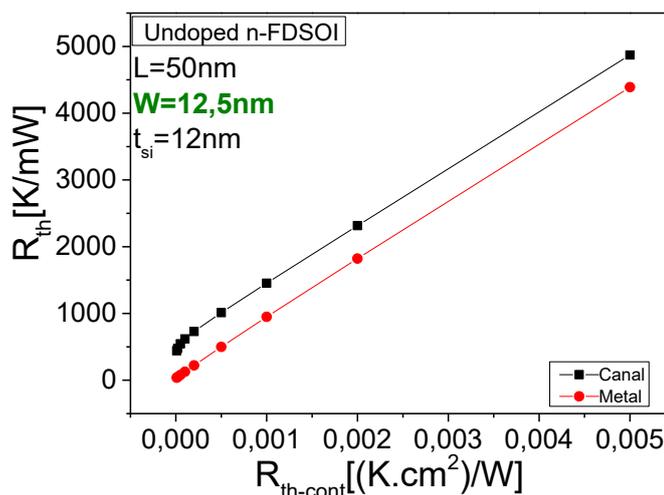
O valor de R_{th} foi analisado em duas regiões distintas nos dispositivos SOI MOSFETs. Um valor foi tomado na região de canal e o outro no metal de porta. As estruturas apresentam dimensões com comprimento de canal igual a 50 nm, espessura do silício de 12 nm e com óxido enterrado de 145 nm. A Figura 65a apresenta o comportamento de R_{th} em função de $R_{\text{th-cont}}$ em transistores com $W = 10$ μm enquanto que a Figura 65b, em transistores com 12,5 nm, ambos submetidos a uma tensão de dreno igual a 1,5V.

Verifica-se um comportamento linear de R_{th} em função de $R_{\text{th-cont}}$ nos dispositivos com W estreito (12,5 nm), o que não ocorre nos transistores com W mais largos (10 μm). Entretanto, nota-se valores de R_{th} muito menores nos transistores mais largos quando comparados com os mais estreitos. Vale ressaltar que os transistores com maior comprimento de canal apresentam o valor de R_{th} extraído no canal praticamente igual ao extraído no metal, enquanto que nos transistores mais estreitos, os valores de R_{th} do canal difere do metal.

Tendo como referência os valores extraídos experimentalmente, as simulações foram realizadas, utilizando o valor de $R_{\text{th-cont}}$ como um parâmetro para calibrar a temperatura, baseando-se no valor de R_{th} obtido experimentalmente. Utilizou-se o modelo de difusão e deriva para que fosse possível computar a dissipação da temperatura junto com o modelo de mobilidade selecionado (Philips), obtendo-se os valores de corrente de dreno em regime quase estacionário.

Figura 65 – Curvas de R_{th} em função de $R_{th-cont}$.

(a)



(b)

Fonte: Autor

Legenda: Curvas de R_{th} em função de $R_{th-cont}$ em transistores SOI MOSFETs com concentração natural de dopantes no canal com diferentes larguras de canal.

(a) $W = 10 \mu\text{m}$.

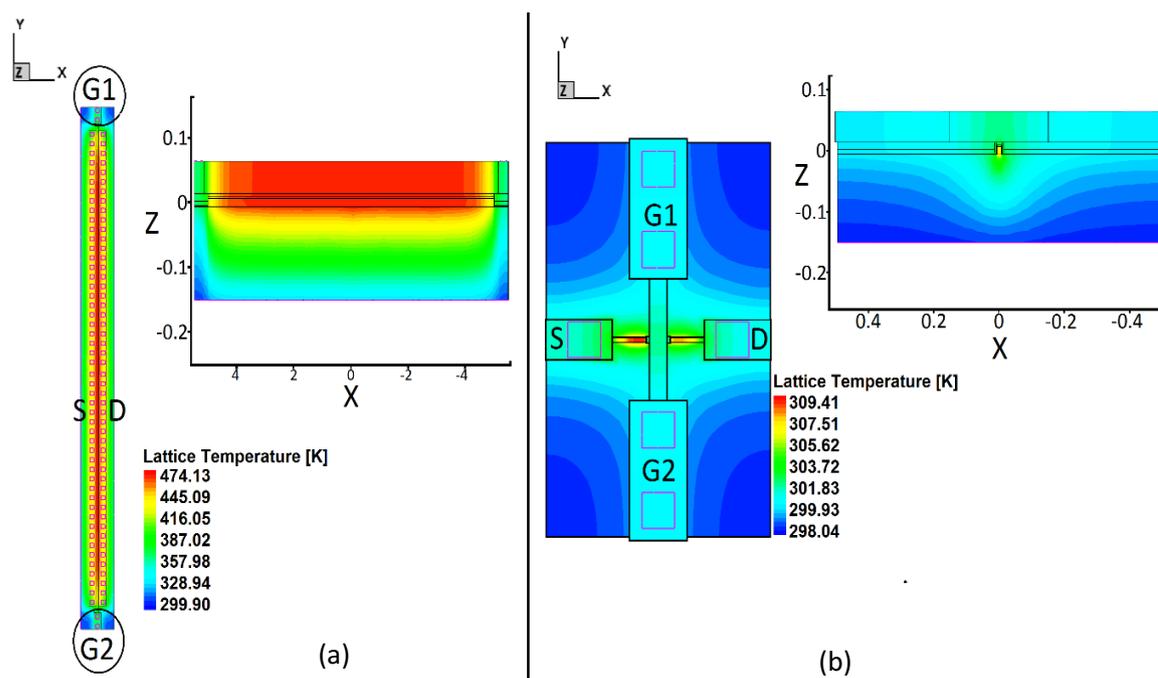
(b) $W = 12,5 \text{ nm}$.

A Figura 66 apresenta a vista superior dos transistores simulados em temperatura ambiente de 25°C, bem como sua secção longitudinal. Ambos foram extraídos para um mesmo valor de densidade de potência (P^*), conforme (61) igual a 10,75W/cm².

$$P^* = \frac{I_D \cdot V_D}{W \cdot t_{Si}} \quad (61)$$

Os contatos térmicos foram colocados nas mesmas regiões dos dois transistores, na fonte, no dreno, no substrato e nos dois contatos de porta. De acordo com a Figura 66a é possível observar que a temperatura máxima atingida no transistor com $W = 10 \mu\text{m}$ ($T_{\text{máx}} = 474,13^\circ\text{C}$) é muito maior do que a temperatura máxima observada no transistor com menor largura de canal ($T_{\text{máx}} = 309,41^\circ\text{C}$), representado na Figura 66b. Através da secção longitudinal, verifica-se que a dissipação de calor ocorre, principalmente, através do óxido enterrado nos transistores mais largos enquanto que, nos menos largos, a dissipação ocorre também através dos contatos de porta.

Figura 66 – Simulação do espalhamento de temperatura.

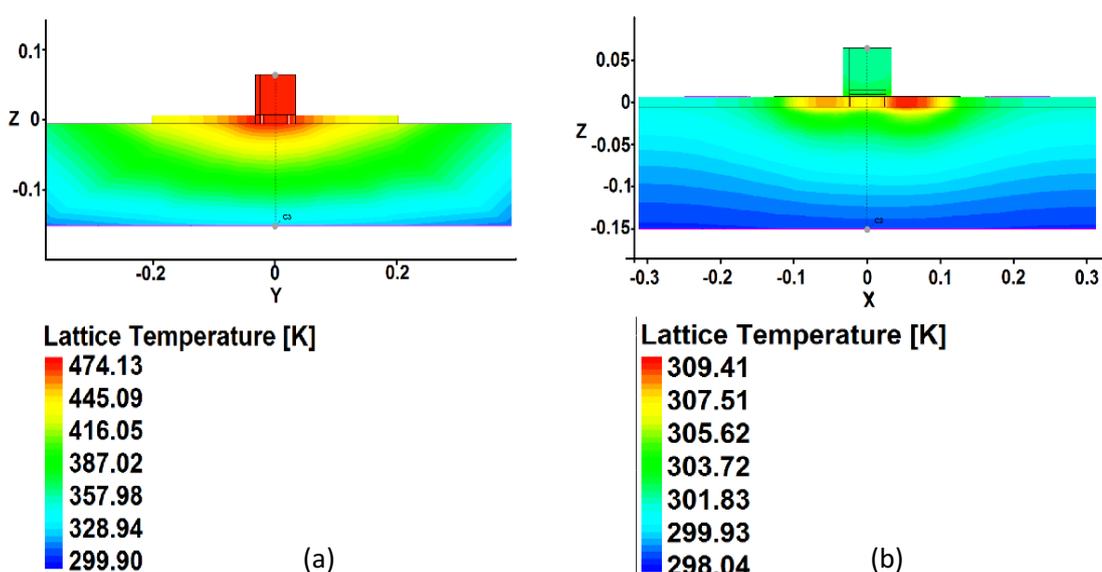


Fonte: G. MARINIELLO, 2016 [101]

Legenda: Vista superior e secção longitudinal da simulação dos dispositivos de porta tripla SOI MOSFETs tipo N com concentração natural de dopantes no canal, com a representação em escala de cores do espalhamento de temperatura quando a densidade de potência dissipada pelo dispositivo atinge o valor de $10,75\text{W}/\text{cm}^2$.

(a) $W = 10 \mu\text{m}$ e
(b) $W = 12,5 \text{ nm}$.

Figura 67 – Simulação do espalhamento de temperatura.



Fonte: G. MARINIELLO, 2016 [101]

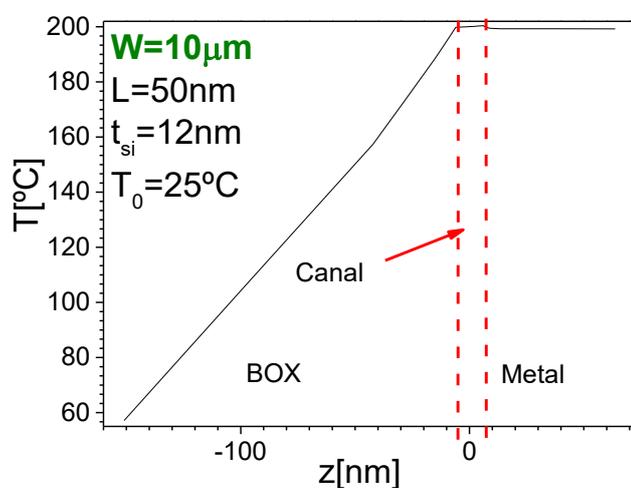
Legenda: Secção transversal dos dispositivos de porta tripla SOI MOSFETs tipo N com concentração natural de dopantes no canal, com a representação em escala de cores do espalhamento de temperatura quando a densidade de potência dissipada pelo dispositivo atinge o valor de $10,75\text{W}/\text{cm}^2$. (a) $W = 10\ \mu\text{m}$ e (b) $W = 12,5\ \text{nm}$.

Através da secção transversal observada na Figura 67, pode-se verificar que a temperatura máxima (*hot-spot*) do dispositivo de maior W atinge o canal, e que se confina na região do metal de porta conforme a Figura 67a. Entretanto, na Figura 67b, nota-se que a máxima temperatura não chega a atingir o canal, ficando confinada somente nas regiões de fonte e dreno, com maior intensidade no dreno. Além disso, nota-se uma redução significativa da temperatura na região do metal de porta, quando comparado ao canal [101].

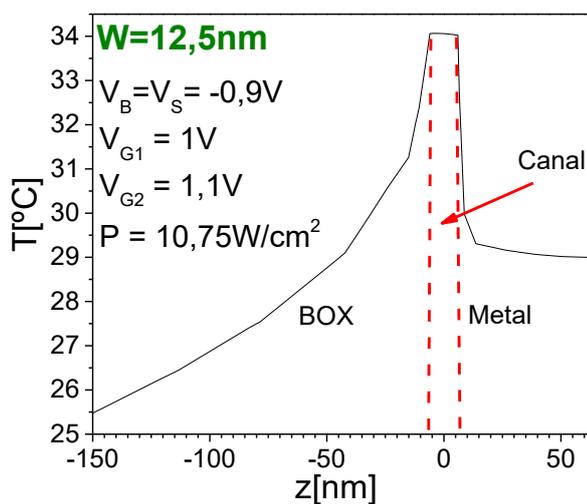
De acordo com a Figura 68, onde estão representados os resultados obtidos por simulação do corte feito na Figura 67, é possível verificar quantitativamente a diferença entre o calor gerado no canal comparado com o calor dissipado pelo metal de porta. Enquanto nos

transistores largos o metal serve como um termômetro da temperatura em que se encontra o canal, o mesmo não ocorre em transistores com menor comprimento de W . Isso demonstra que o método de análise do autoaquecimento com 2 contatos de porta em transistores estreitos não é eficiente para se obter a temperatura no canal.

Figura 68 – Curvas do espalhamento de temperatura.



(a)



(b)

Fonte: Autor

Legenda: Curvas do espalhamento de temperatura em função da distância vertical extraída no centro do dispositivo a partir do óxido enterrado até o metal de porta em transistores de porta tripla SOI MOSFETs tipo

N com concentração natural de dopantes no canal, em diferentes temperaturas ambiente e, com diferentes larguras de canal, (a) $W = 10 \mu\text{m}$ e (b) $W = 12,5 \text{ nm}$.

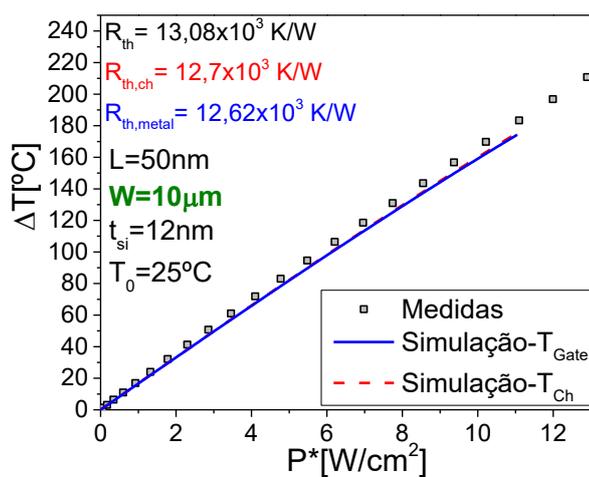
O que vale ressaltar é que as simulações apresentam as informações da variação de temperatura extraídos no canal e no metal separadamente. Nos transistores mais largos as variações da temperatura no canal e no metal são praticamente iguais, sendo a menor na região mais profunda do óxido enterrado com 60°C atingindo 200°C na região de canal e do metal de porta quando $P^* = 10,75\text{W}/\text{cm}^2$, isto é, a variação da temperatura neste transistor é de, aproximadamente 140°C .

O mesmo não ocorre nos transistores com $W = 12,5 \text{ nm}$ em que a temperatura na região mais profunda do óxido enterrado é de $25,5^\circ\text{C}$ e atinge 29°C no metal, enquanto, no canal, a temperatura chega a ser por volta de 34°C . Neste, por sua vez, nota-se uma variação de temperatura no canal de $8,5^\circ\text{C}$ sendo maior que o dobro do que ocorre no metal, que a variação de temperatura é de $3,5^\circ\text{C}$. Estes resultados justificam a baixa resistência de porta obtida experimentalmente e não condiz com o autoaquecimento que ocorre no canal do transistor.

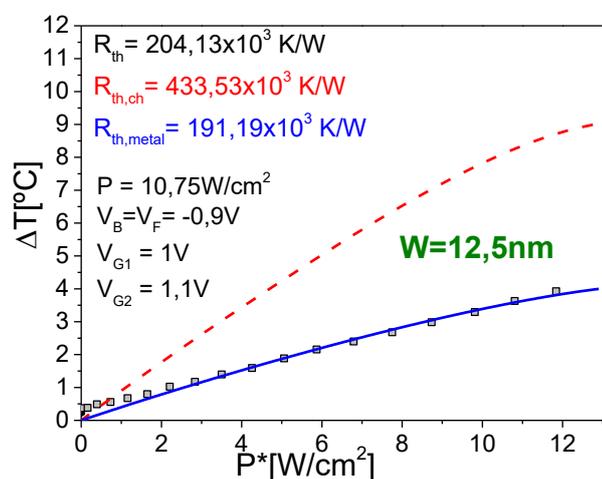
A Figura 69a e a Figura 69b apresentam os resultados de R_{th} comparados com a simulação dos transistores com $W = 10 \mu\text{m}$ e $W = 12,5 \text{ nm}$, respectivamente. Os símbolos representam os resultados experimentais, enquanto que as linhas representam os resultados simulados.

A Figura 70a mostra a linearidade obtida através da derivada da variação da temperatura em função de P^* . Pode-se verificar que a resistência térmica do dispositivo se mantém aproximadamente constante para ambos transistores. A Figura 70b contém as simulações de transistores com diferentes larguras de canal, que demonstra que abaixo de 500 nm , a diferença entre as resistências térmicas do canal e do metal se acentuam.

Figura 69 – Curvas da temperatura de autoaquecimento em função da potência.



(a)

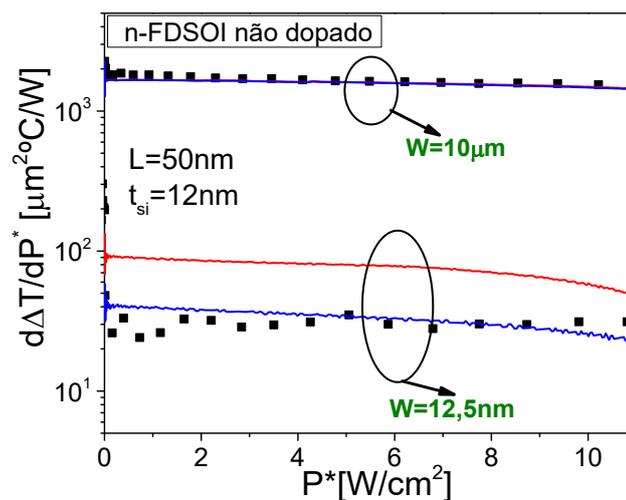


(b)

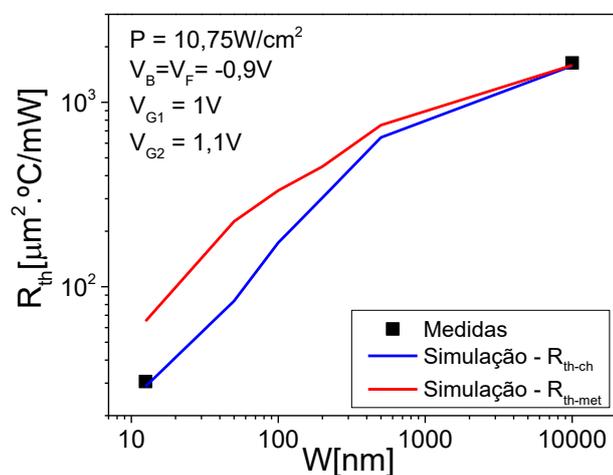
Fonte: Autor

Legenda: Transistores de porta tripla SOI MOSFETs tipo N com concentração natural de dopantes no canal, em diferentes temperaturas ambiente e, com diferentes larguras de canal, (a) $W = 10 \mu\text{m}$ e (b) $W = 12,5 \text{ nm}$.

Figura 70 – Comportamento de R_{th} .



(a)



(b)

Fonte: Autor

Legenda: (a) Curvas da derivada da temperatura de autoaquecimento em função da potência em transistores de porta tripla SOI MOSFETs tipo N com concentração natural de dopantes no canal, em diferentes temperaturas ambiente e, com diferentes larguras de canal, (a) $W = 10\mu\text{m}$ e (b) $W = 12,5\text{nm}$.

A Figura 71, apresenta uma comparação do mesmo dispositivo em duas arquiteturas diferentes. Na Figura 71a, o transistor SOI MOSFET de porta tripla com $L = 50$ nm e $W = 12,5$ nm com $t_{si} = 12$ nm confeccionado sobre um óxido enterrado com $t_{BOX} = 145$ nm foi simulado com a presença de dois contatos de porta, com base num dispositivo real para se extrair as resistências térmicas pelo método da extração da resistência de porta. Por outro lado, na Figura 71b, o mesmo dispositivo encontra-se com um único contato de porta, com suas dimensões reduzidas com a finalidade de verificar o comportamento do autoaquecimento em estruturas com área do metal de porta, ajustando as dimensões do óxido enterrado e do metal de porta à um dispositivo similar adotado em estruturas multi-fins.

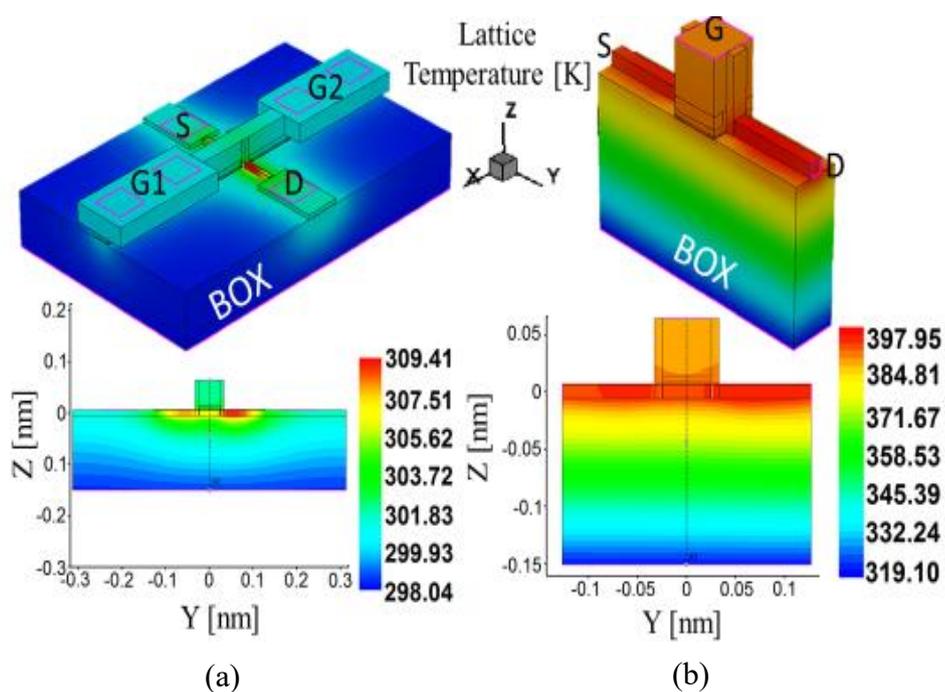
Também é possível verificar que enquanto as maiores temperaturas estão concentradas nas regiões de fonte e dreno, quando o metal de porta dissipa o calor, transistores com metal de porta reduzido apresentam temperaturas mais elevadas na região de canal.

Apesar de ambas obterem praticamente os mesmos níveis de I_D , quando submetidas a $V_D = 0,9$ V, conforme observado na Figura 72, ao compararmos estas duas estruturas, foi possível verificar um grande aumento na temperatura máxima do dispositivo, que, de acordo com a Figura 71, atingiu quase 90 K de diferença somente com a redução da área do metal de porta. Apesar de já se saber que a dissipação do calor gerado na estrutura pelo metal de porta influi na temperatura do dispositivo, esta é a primeira vez que um trabalho em transistores nanométricos mostra essa diferença.

Ainda tomando-se como base os dispositivos da Figura 71, as diferenças entre os valores de R_{th} medido e R_{th} extraídos por simulações presentes na Figura 73 mostram que no dispositivo com dois contatos de porta, devido ao alto aumento da dissipação de calor através do metal, os valores de R_{th} ficam comprometidos através da extração de R_G em transistores SOI MOSFETs com canal estreito, quando a largura de canal for menor que 500 nm [101] [102].

Entretanto, em dispositivos com um único contato de porta reduzido ao tamanho da largura do dispositivo pode-se verificar que, com a redução da dissipação de calor, os dispositivos com larguras de canal com 1 μ m ficam comprometidos quando se extrai o valor de R_{th} ao comparar-se com o método extraído através de R_G . É importante ressaltar que na simulação baseada nos dispositivos com um único contato de porta, os valores obtidos seguem a lei $1/W$ [78].

Figura 71 – Comparação do espalhamento de temperatura em dispositivos com diferentes dimensões do metal de porta.



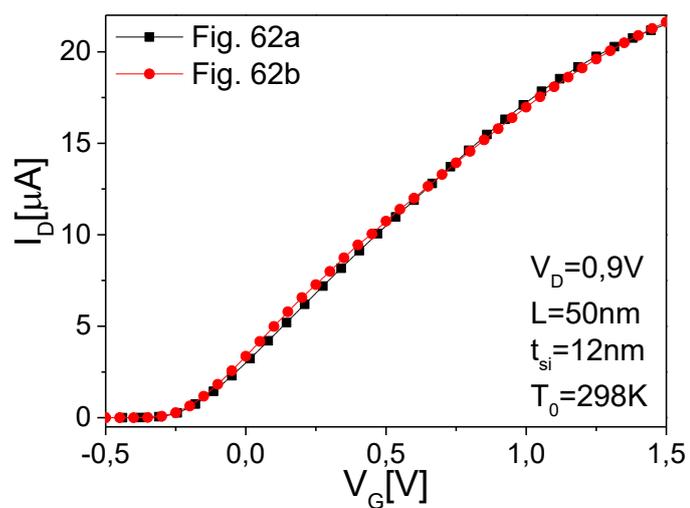
Fonte: Mariniello, 2016 [101]

Legenda: Vista superior e secção longitudinal da simulação dos dispositivos de porta tripla SOI MOSFETs tipo N com concentração natural de dopantes no canal, com $L = 50$ nm e $W = 12,5$ nm com a representação em escala de cores do espalhamento de temperatura.

(a) Dispositivo com 2 contatos de porta.

(b) Dispositivo com 1 contato de porta reduzido ao tamanho do fin, simulando uma estrutura utilizada em dispositivos com múltiplos fins.

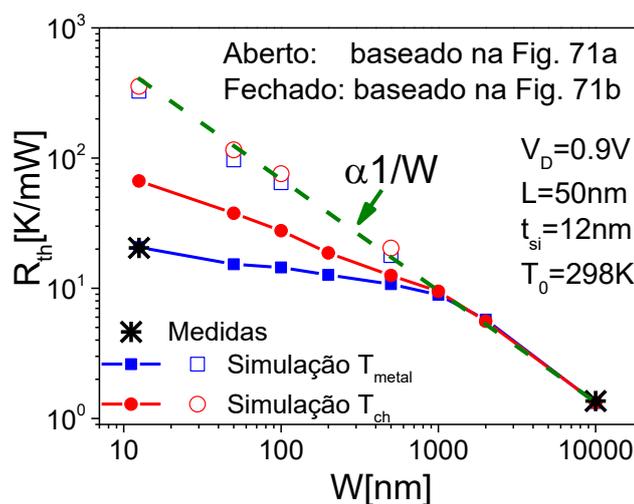
Figura 72 – Comparação de I_D em função de V_G entre os dispositivos com diferentes dimensões do metal.



Fonte: Autor

Legenda: Simulação da corrente de dreno em função da polarização da porta dos dispositivos de porta tripla SOI MOSFETs tipo N com concentração natural de dopantes no canal, com $L = 50\text{ nm}$ e $W = 12,5\text{ nm}$. (a) Dispositivo com 2 contatos de porta. (b) Dispositivo com 1 contato de porta reduzido ao tamanho do fin, simulando uma estrutura utilizada em dispositivos com múltiplos fins.

Figura 73 – Curvas de R_{th} extraídos no canal e no metal de porta em função de W .



Fonte: Mariniello, 2016 [101].

Legenda: Comparação entre os valores de R_{th} extraídos no canal e no metal de porta em função de W em transistores com dois contatos de porta e em transistores simulados com um único contato de porta, baseados na Figura 71.

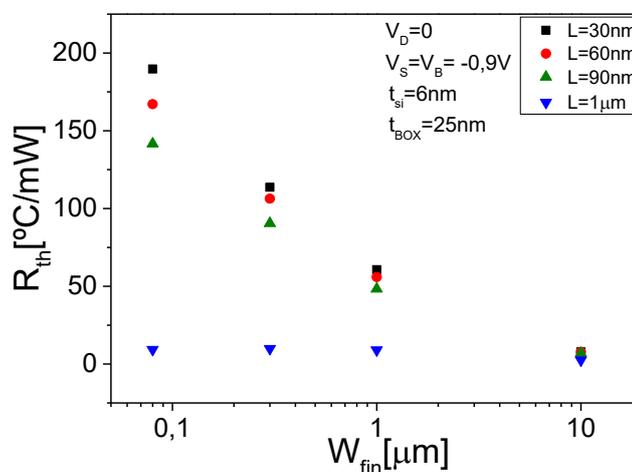
5.2.1.3 Medidas experimentais obtidas pelo método da extração da resistência de porta em dispositivos SOI MOSFETs planares com 2 contatos de porta

A Figura 74 contém os valores de R_{th} de dispositivos planares SOI MOSFETs tipo N, extraídos dos dispositivos com dois contatos de porta confeccionados pela STi Microelectronics®, através do valor de R_G . As dimensões destes transistores são menores do que os apresentados anteriormente em dispositivos de porta tripla, com $t_{Si} = 6$ nm, $t_{BOX} = 25$ nm, com $EOT = 2$ nm. Os valores de R_{th} foram extraídos para diferentes valores de L (30 nm, 60 nm, 90 nm e 1 μ m) e diferentes valores de W (80 nm, 300 nm, 1 μ m e 10 μ m).

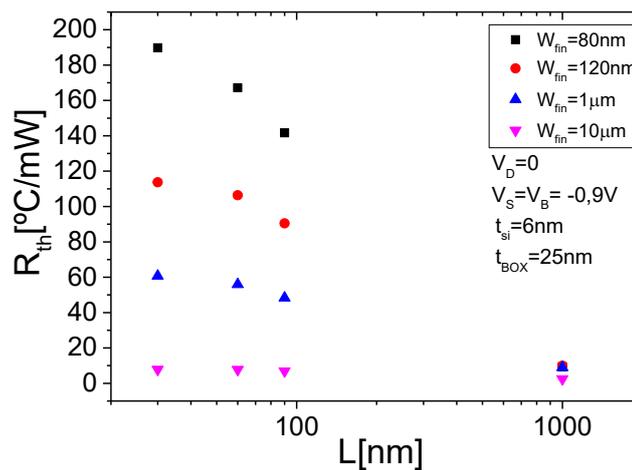
Na Figura 74a, R_{th} está plotada em função de W para diferentes valores de L , enquanto na Figura 74b, estão plotadas as curvas de R_{th} em função de L . É possível verificar que em dispositivos nanométricos, conforme o valor de W se reduz, o valor de R_{th} começa a apresentar uma maior dependência com L . Verifica-se, através da curva, que em transistores com $W = 80$

nm, que o valor de R_{th} tende a ser quase nulo, para os dispositivos com $L = 1 \mu\text{m}$. Contudo, para transistores com comprimentos de canal mais curto, o valor da resistência térmica aumenta chegando a atingir quase $200^\circ\text{C}/\text{mW}$ quando $L = 30 \text{ nm}$. Entretanto, quando o comprimento de canal do dispositivo aumenta, esta dependência começa a se tornar cada vez menor, podendo ser observado um patamar, praticamente constante, para todos os valores de W , quando o comprimento de canal é de $1 \mu\text{m}$.

Figura 74 – Comportamento de R_{th} em dispositivos planares SOI MOSFETs.



(a)



(b)

Fonte: Autor

Legenda: Comportamento de R_{th} em dispositivos planares SOI MOSFETs com concentração natural de dopantes. (a) R_{th} em função de W para diferentes valores de L . (b) R_{th} em função de L para diferentes valores de W .

5.2.2 Análise do autoaquecimento de transistores SOI MOSFETs sem junção

Da mesma forma como foram feitas as medidas nos transistores SOI MOSFETs com concentração natural de dopantes, também foram feitas para os dispositivos SOI MOSFETs sem junção, no Laboratório de caracterização elétrica do CEA-LETI, utilizando-se o método da extração de dispositivos com 2 contatos de porta, conforme ilustrado na Figura 57.

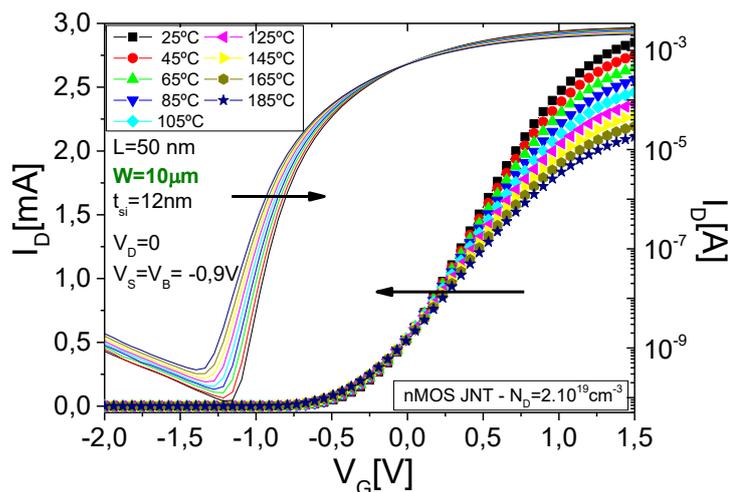
5.2.2.1 Medidas experimentais obtidas pelo método da extração da resistência de porta em dispositivos SOI MOSFETs sem junção de múltiplas portas com 2 contatos de porta

Na Figura 75 estão contidas as curvas obtidas experimentalmente da corrente elétrica de dreno em função da polarização da porta em um transistor SOI MOSFET tipo N, sem junção, de porta tripla, com concentração de portadores igual a $2 \cdot 10^{19} \text{cm}^{-3}$, com $t_{\text{Si}} = 12 \text{ nm}$ e comprimento de canal igual a 50 nm .

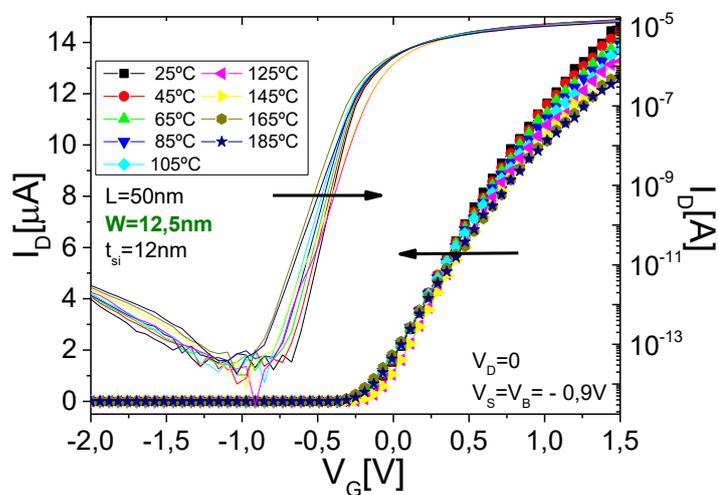
Como nos transistores com concentração natural de dopantes no canal, foram obtidas as curvas em diferentes temperaturas, iniciando-se em 25°C até 185°C com passo de 20°C . Na Figura 75a, os transistores apresentam $W = 10 \text{ }\mu\text{m}$, enquanto que, na Figura 75b, as curvas obtidas representam os transistores com $W = 12,5 \text{ nm}$.

É possível notar uma grande diferença na tensão de limiar entre estes dispositivos, uma vez que em transistores SOI MOSFETs sem junção, o valor de V_T é dependente das dimensões do dispositivo. Além disso, como nos transistores que operam em modo inversão, verifica-se uma degradação da corrente elétrica com o aumento da temperatura.

Figura 75 – Curvas de I_D em função V_G em transistores de porta tripla SOI MOSFETs sem junção tipo N.



(a)



(b)

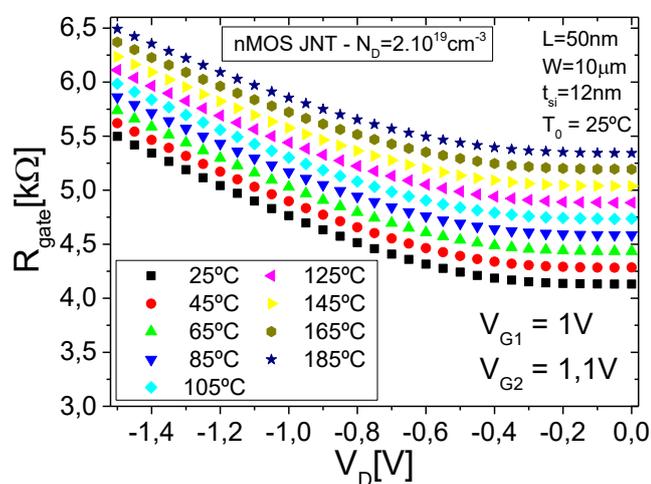
Fonte: Autor

Legenda: Curvas de corrente elétrica de dreno em função da polarização de porta de transistores de porta tripla SOI MOSFETs sem junção tipo N, com diferentes larguras de canal, (a) $W = 10 \mu\text{m}$ e (b) $W = 12,5 \text{ nm}$.

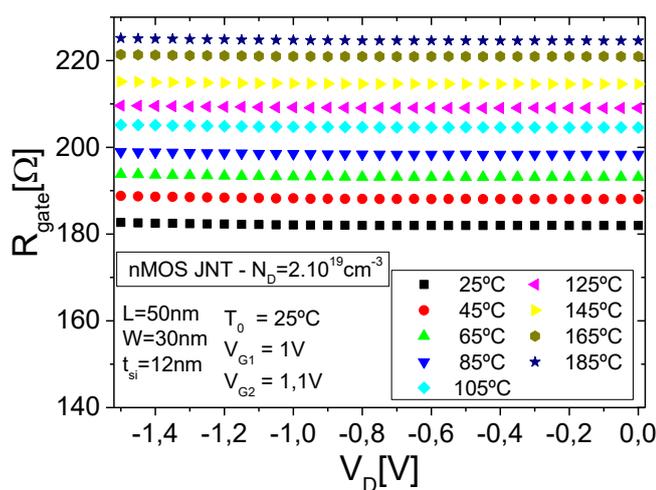
A partir das mesmas análises feitas para a Figura 58 e para a Figura 59, na Figura 76 e na Figura 77 encontram-se as curvas extraídas experimentalmente da resistência de porta e da temperatura, respectivamente, em função da polarização de dreno.

Pode-se observar que, da mesma forma como os dispositivos com concentração natural de dopantes, o transistor com maior largura de canal ($W = 10 \mu\text{m}$) apresenta uma grande variação de temperatura, enquanto que, o transistor de menor largura de canal ($W = 12,5 \text{ nm}$) praticamente não sofre de autoaquecimento.

Figura 76 – Curvas de R_G em função de V_G .



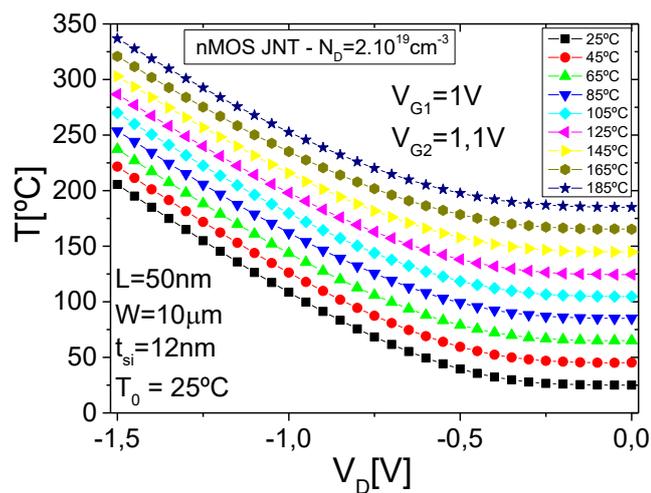
(a)



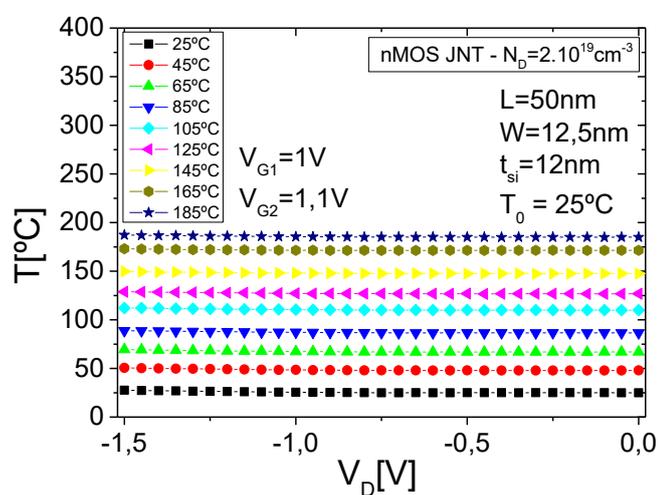
(b)

Legenda: Curvas da resistência de porta em função da polarização do dreno em transistores de porta tripla SOI MOSFETs sem junção tipo N, em diferentes temperaturas ambiente e, com diferentes larguras de canal, (a) $W = 10 \mu\text{m}$ e (b) $W = 12,5 \text{ nm}$.

Figura 77 – Curvas da temperatura de autoaquecimento em função de V_D .



(a)



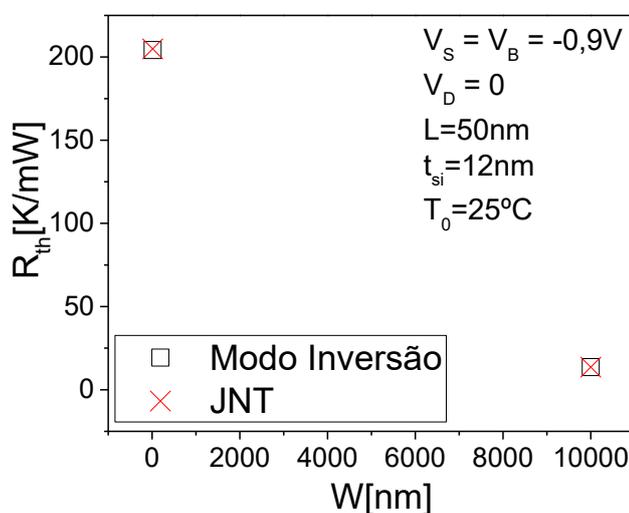
(b)

Fonte: Autor

Legenda: Curvas da temperatura de autoaquecimento em função da polarização do dreno em transistores de porta tripla SOI MOSFETs sem junção tipo N, em diferentes temperaturas ambiente e, com diferentes larguras de canal, (a) $W = 10 \mu\text{m}$ e (b) $W = 12,5 \text{ nm}$.

De acordo com a Figura 78, que compara os valores de R_{th} extraídos em dispositivos sem junção com dispositivos modo inversão com concentração natural de dopantes no canal, pode-se verificar que as resistências térmicas são bem semelhantes, apesar da variação de temperatura nos dispositivos MOS sem junção ser sutilmente menor do que a variação de temperatura nos transistores com canal com concentração natural de dopantes.

Figura 78 – Comparação dos valores de R_{th} em função de W .



Fonte: Autor

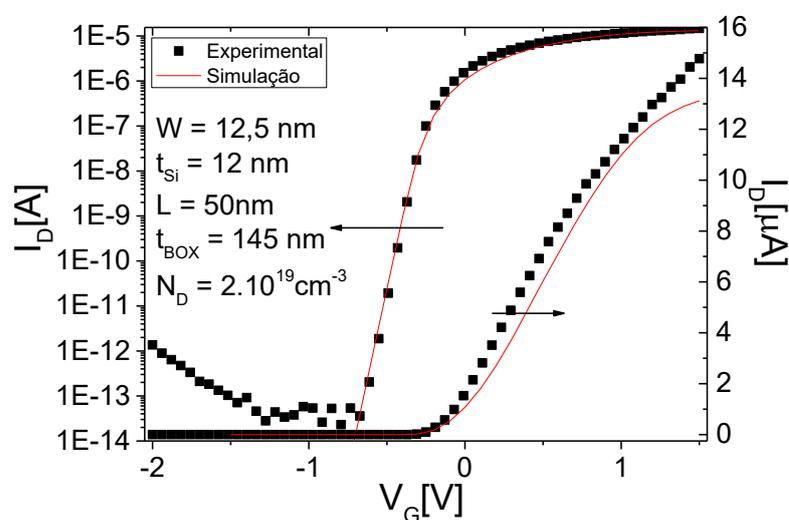
Legenda: Comparação dos valores de R_{th} em função de W entre transistores de porta tripla SOI MOSFETs tipo N com concentração natural de dopantes no canal e SOI MOSFETs sem junção.

5.2.2.2 Verificação do autoaquecimento nos dispositivos SOI MOSFETs sem junção de múltiplas portas através de simulações numéricas

Da mesma forma como foram feitas as simulações nos transistores SOI MOSFETs com concentração natural de dopantes no canal, os dispositivos SOI MOSFETs sem junção também utiliza o valor de $R_{th-cont}$ como um parâmetro para calibrar a temperatura, baseando-se no valor de R_{th} obtido experimentalmente. Os modelos utilizados também foram de difusão e deriva junto com o modelo Philips de mobilidade, ajustando os valores de mobilidade máxima e velocidade de saturação para aproximar os resultados com os obtidos experimentalmente. De

acordo com a Figura 79, é possível notar a aproximação dos valores de I_D em função de V_G entre a curva simulada e a curva obtida experimentalmente, nos dispositivos SOI MOSFET sem junção com $L = 50$ nm, $W = 12,5$ nm, $t_{Si} = 12$ nm, $t_{BOX} = 145$ nm, concentração de portadores de aproximadamente 2.10^{19}cm^{-3} , constante ao longo da camada de silício, com temperatura ambiente de 25°C .

Figura 79 – Curvas de corrente elétrica de dreno em função da polarização de porta de transistores de porta tripla SOI MOSFETs sem junção tipo N, com diferentes larguras de canal, com $W = 12,5$ nm.

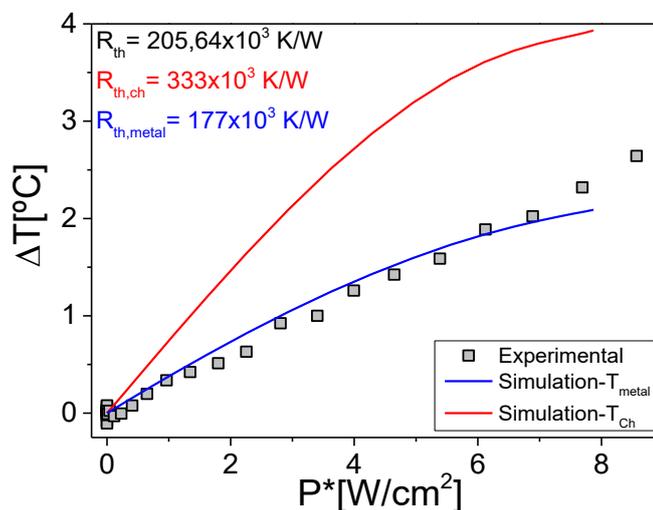


Fonte: Autor

Legenda: Curvas de corrente elétrica de dreno em função da polarização de porta de transistores de porta tripla SOI MOSFETs sem junção tipo N, com diferentes larguras de canal, com $W = 12,5$ nm.

A Figura 80 apresenta os resultados de R_{th} comparados com a simulação dos transistores com $W = 10 \mu\text{m}$ e $W = 12,5$ nm, respectivamente. Os símbolos representam os resultados experimentais, enquanto que as linhas representam os resultados simulados.

Figura 80 – Curvas da temperatura de autoaquecimento em função de P.



Fonte: Autor

Legenda: Curvas da temperatura de autoaquecimento em função da potência em transistores de porta tripla SOI MOSFETs sem junção tipo N, em diferentes temperaturas ambiente e, com diferentes larguras de canal, (a) $W = 10 \mu\text{m}$ e (b) $W = 12,5 \text{ nm}$.

Da mesma forma como nos dispositivos SOI MOSFETs com concentração natural de dopantes no canal, as simulações obtidas nos dispositivos SOI MOSFETs sem junção também é possível verificar que nos transistores de canal estreito ($W = 12,5 \text{ nm}$) a temperatura no canal é maior que a temperatura no metal. Entretanto, ao compararmos as curvas da Figura 69b com as curvas da Figura 80, é possível observar que o valor da temperatura no canal é menor nos transistores SOI MOSFETs sem junção. Mesmo assim os resultados justificam a baixa resistência de porta obtida experimentalmente e, não condiz com o autoaquecimento que ocorre no canal destes transistores.

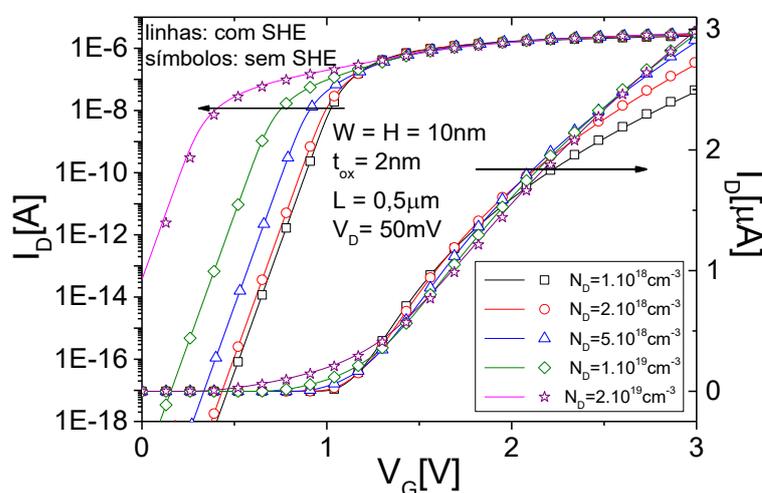
5.2.3 Simulações dos efeitos do autoaquecimento em outros dispositivos SOI MOSFETs sem junção com comprimentos de canal mais longo

Nesta seção serão abordados estudos de autoaquecimento que foram feitos durante o curso de Doutorado, com a finalidade de entender como o simulador apresenta os resultados de autoaquecimento em dispositivos SOI MOSFETs sem junção.

5.2.3.1 Simulações em dispositivos com diferentes concentrações de impurezas

A Figura 81 apresenta as curvas de corrente de dreno em função da polarização da porta, de um transistor SOI MOSFET sem junção com $W = L = 10$ nm, com óxido de porta de 2 nm, com e sem o efeito do autoaquecimento.

Figura 81 – I_D em função de V_G .



Fonte: Mariniello, 2014 [103].

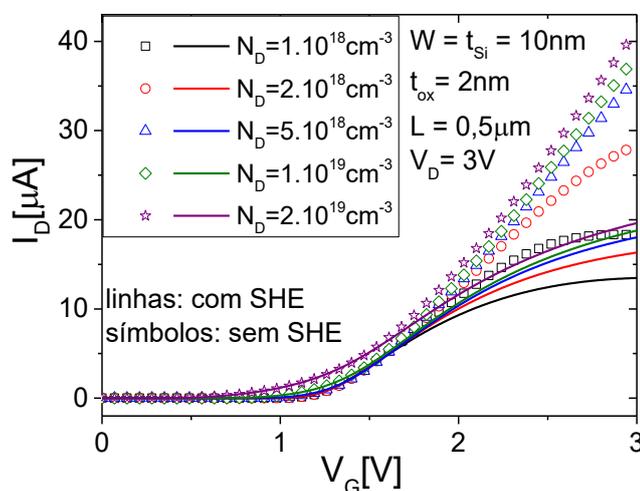
Legenda: I_D em função de V_G para diferentes concentrações de dopantes (N_D) em simulações com grade isotérmica (sem autoaquecimento) e com contato térmico (com autoaquecimento) com $V_D = 50$ mV.

A polarização de dreno utilizada nessa simulação foi de 50 mV para evitar altas potências no dispositivo. Com isso foi possível notar que o uso de uma grade isotérmica (sem autoaquecimento), onde a estrutura é simulada com a temperatura constante, comparada com uma outra simulação, com a presença de contato térmico, que gera uma grade dependente da temperatura do aquecimento do dispositivo (com autoaquecimento), permitiu demonstrar a compatibilidade dos resultados que, neste caso, em baixas potências ($P = V_D \cdot I_D$), foram semelhantes. Uma vez que a potência é baixa, a formação de calor também é baixa o que não altera as características térmicas do dispositivo.

Nesta simulação, ainda é possível verificar que a tensão de limiar acaba reduzindo devido ao aumento da concentração de impurezas, como já descrito na equação (24), porém, mais uma vez elas se mantêm idênticas com o uso da grade isotérmica e com a presença do contato térmico [103].

A partir dos mesmos parâmetros utilizados na simulação da Figura 81, com exceção da tensão de dreno, que foi aumentada para 3 V, pode-se verificar na Figura 82 que o efeito do autoaquecimento torna-se mais relevante. Se a potência dissipada não for alta o suficiente para dissipar calor, as curvas com e sem o efeito do autoaquecimento são idênticas. Entretanto, para tensões aplicadas à porta do dispositivo maiores que 1,5 V é possível observar a diferença entre os níveis de corrente elétrica de dreno, que se reduz devido à alteração da temperatura no dispositivo. A degradação da corrente por autoaquecimento pode chegar a 50%, como é o caso do dispositivo cuja concentração de impurezas na camada de silício é maior ($N_D = 2 \cdot 10^{19} \text{cm}^{-3}$), para $V_G = 3 \text{V}$ [103].

Figura 82 – I_D em função de V_G para diferentes concentrações de dopantes (N_D) em simulações com e sem autoaquecimento.



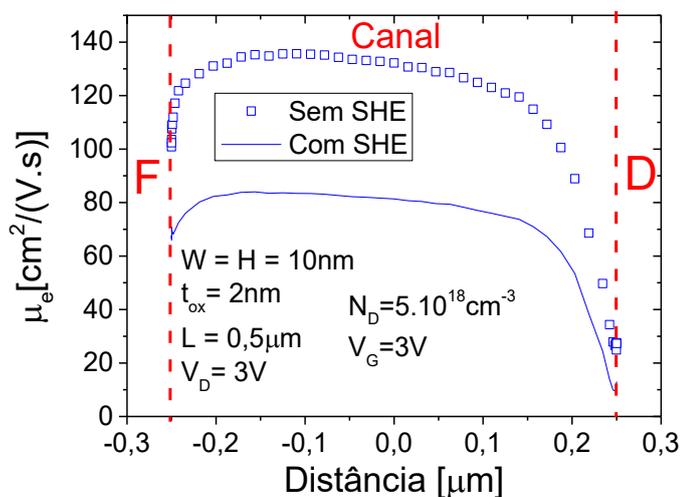
Fonte: Mariniello, 2014 [103].

A Figura 83 permite observar a degradação da mobilidade que ocorre no interior do canal, devido ao aumento da temperatura por autoaquecimento uma vez que a dissipação térmica se torna complexa devido à presença do óxido enterrado. Estes parâmetros foram extraídos através da secção transversal do transistor simulado, na linha horizontal que divide a camada de silício em duas regiões simétricas. Pode-se verificar que a mobilidade dos elétrons

na região do canal apresenta uma redução de $130\text{cm}^2/(\text{V}\cdot\text{s})$ para $80\text{cm}^2/(\text{V}\cdot\text{s})$ com a influência do efeito do autoaquecimento.

A Figura 84, confirma estes resultados através da curva da transcondutância em função da polarização da porta dos transistores, onde é possível verificar a degradação da mobilidade através dos picos das curvas de g_m [103].

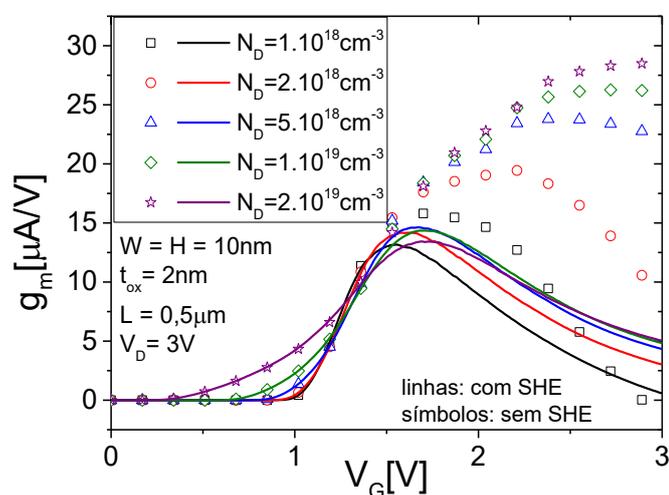
Figura 83 – Mobilidade dos elétrons ao longo do canal.



Fonte: Mariniello, 2014 [103].

Legenda: Mobilidade dos elétrons ao longo do canal para $N_D = 5.10^{18}\text{cm}^{-3}$ em simulações com e sem autoaquecimento.

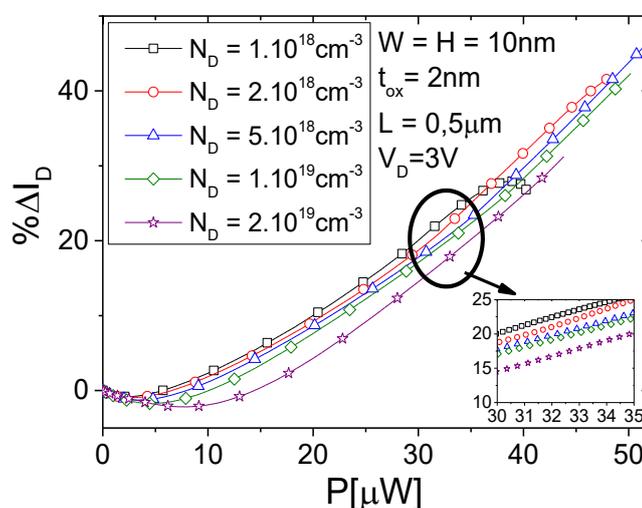
Figura 84 – Curva da transcondutância em função de V_G .



Fonte: Mariniello, 2014 [103].

Para se verificar quantitativamente a influência do autoaquecimento em simulações com diferentes valores de N_D , foram extraídas as diferenças entre os valores de corrente sem autoaquecimento com os valores com autoaquecimento, conforme a Figura 85. Estes valores foram relacionados com a potência de autoaquecimento para que fosse possível verificar a porcentagem da variação dessa corrente em função da potência normalizada por V_{GT} . Como resultado, pode-se verificar que essa variação de corrente fica cada vez maior conforme o aumento do valor da potência, chegando a uma diferença de 40% quando $P = 50\mu W$. Entretanto, na região destacada da Figura 85, tem-se que somente 5% de variação de corrente ocorre com um aumento de uma ordem de magnitude da concentração de dopantes, o que demonstra que N_D influencia muito pouco, ou quase nada, no efeito do autoaquecimento nos SOI MOSFETs sem junção [103].

Figura 85 – $\% \Delta I_D$ em função da potência estática para diferentes concentrações de dopantes (N_D).

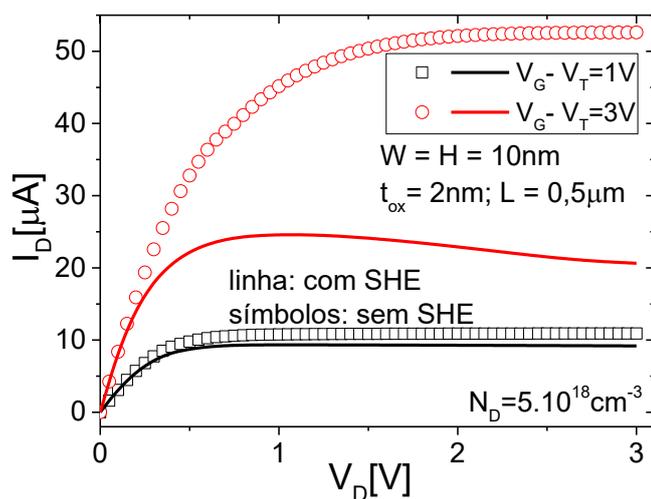


Fonte: Mariniello, 2014 [103].

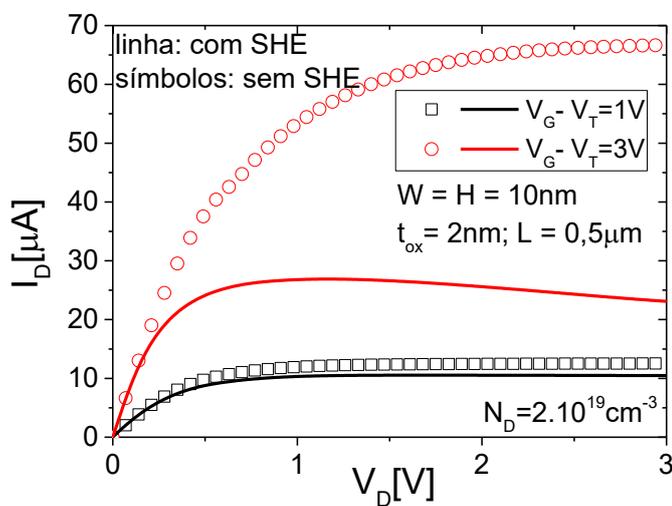
Com o objetivo de analisar a condutância de saída de um transistor MOS sem junção, foram simuladas estruturas com V_{GT} de 1 V e 3V. Na Figura 86, tem-se as curvas de $I_D \times V_D$, com diferentes concentrações de impurezas. É possível observar que o dispositivo que apresenta uma concentração de portadores maior, $N_D = 2.10^{19}\text{cm}^{-3}$, a corrente de dreno também é maior quando V_{GT} for igual a 3V simulada com grade isotérmica. Entretanto, tanto para $N_D = 2.10^{19}\text{cm}^{-3}$ e para $N_D = 5.10^{18}\text{cm}^{-3}$, o efeito do autoaquecimento praticamente mantém o nível

de corrente de dreno igual nas duas concentrações. Quando o valor de V_{GT} for 1 V, como a polarização de porta é menor o efeito de autoaquecimento não é relevante [103].

Figura 86 – Curvas de I_D em função de V_D com e sem a presença de autoaquecimento.



(a)



(b)

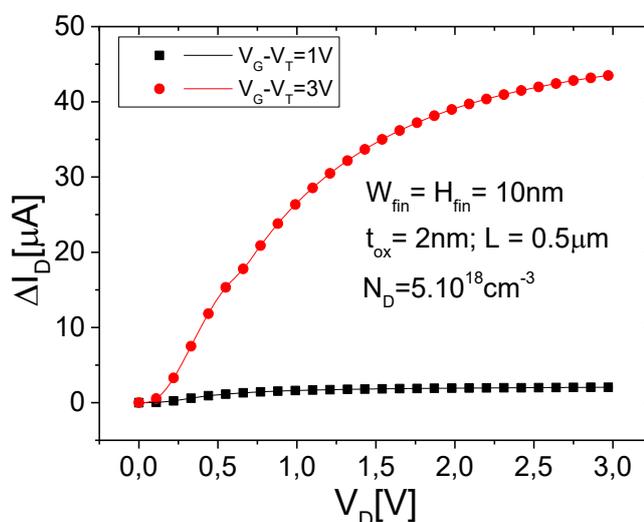
Fonte: Mariniello, 2014 [103].

Legenda: Curvas de I_D em função de V_D com e sem a presença de autoaquecimento em dispositivos com valores de N_{ef} similares. (a) $N_D = 5.10^{18} \text{cm}^{-3}$ e (b) $N_D = 2.10^{19} \text{cm}^{-3}$.

De acordo com a Figura 87, que apresenta a curva da variação da corrente em transistores sem autoaquecimento com os valores com esse efeito, é possível verificar o

aumento dessa variação com o aumento de V_D , principalmente quando V_{GT} aumenta. No mesmo dispositivo, a diferença entre as correntes pode chegar até a $40\mu\text{A}$ quando V_D e V_{GT} aumentam. Entretanto, como já visto anteriormente, uma vez que para um mesmo valor de V_{GT} , as curvas com diferentes concentrações demonstram que estas não apresentam uma influência significativa no efeito de autoaquecimento.

Figura 87 – ΔI_D em função da tensão de dreno para diferentes valores de V_{GT} .



Fonte: Mariniello, 2014 [103].

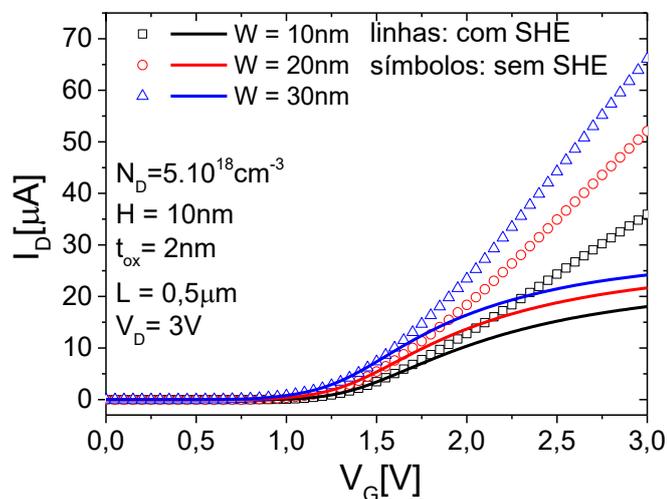
5.2.3.2 Simulações com alta polarização de V_D com diferentes valores de W

Como os transistores MOS sem junção são constituídos de uma estrutura tridimensional de múltiplas portas, ao serem polarizados pela porta com uma tensão maior que a de faixa plana, foi visto na seção 2.3.3, que a corrente predominante é a que passa pela interface entre o silício e o óxido. Sendo assim, essa corrente depende da geometria do dispositivo, mais especificamente do valor de W_{ef} , que depende dos valores de W e t_{si} , como já foi apresentado na equação (26).

Para analisar o autoaquecimento com diferentes valores de W_{ef} , foram realizadas algumas simulações com diferentes valores de W : 10 nm, 20 nm e 30 nm.

A Figura 88 apresenta as curvas da corrente de dreno em função da polarização da porta em simulações com a presença do autoaquecimento e simulações sem este efeito.

Figura 88 – I_D em função de V_G para diferentes valores de W .



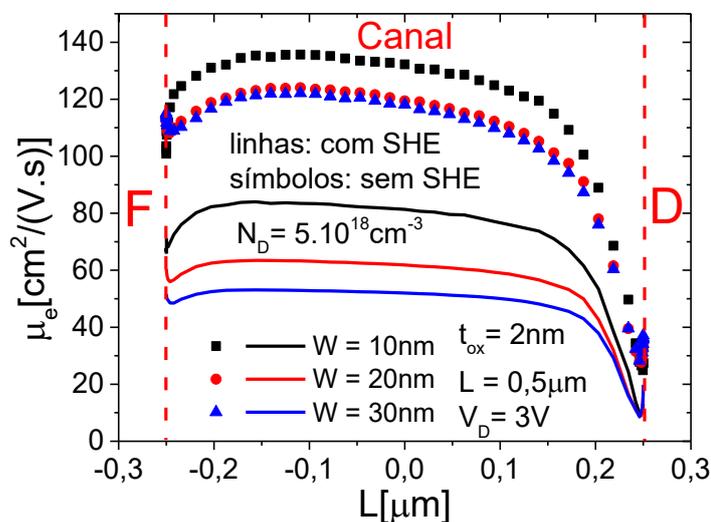
Fonte: Mariniello, 2014 [103].

Legenda: I_D em função de V_G para diferentes larguras da camada de silício (W) com $N_D = 5.10^{18} \text{cm}^{-3}$ em simulações com e sem autoaquecimento.

Nota-se uma grande redução no valor de I_D causado pelo autoaquecimento nos transistores MOS sem junção com o aumento da tensão aplicada à porta do dispositivo. Quando V_G atinge o valor de 3V, de acordo com o gráfico observa-se que, em um dispositivo com W de 30 nm o valor de I_D que é de 66 μA passa para 24 μA com o efeito do autoaquecimento.

A Figura 89 ilustra mais uma vez a queda da mobilidade dos portadores na faixa de 70 $\text{cm}^2/(\text{V}\cdot\text{s})$ para os dispositivos com $W = 30 \text{nm}$, devido ao aumento da temperatura [103].

Figura 89 – Mobilidade dos elétrons ao longo do canal.



Fonte: Mariniello, 2014 [103].

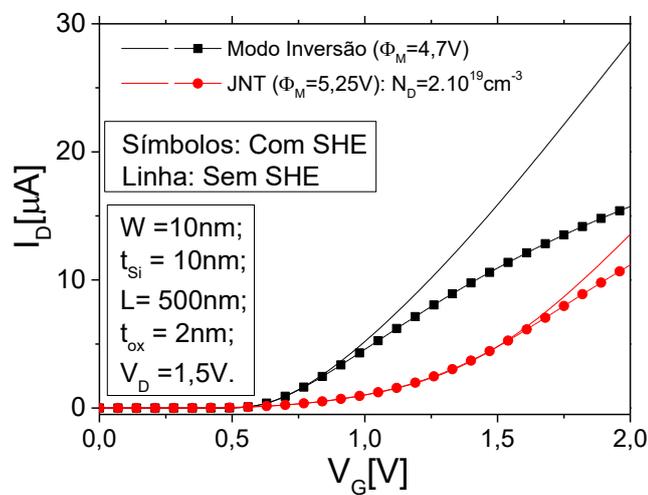
Legenda: Mobilidade dos elétrons ao longo do canal para $N_D = 5 \cdot 10^{18} \text{ cm}^{-3}$ em simulações com e sem autoaquecimento.

5.2.3.3 Comparações entre dispositivos SOI MOSFETs sem junção e SOI MOSFETs modo inversão

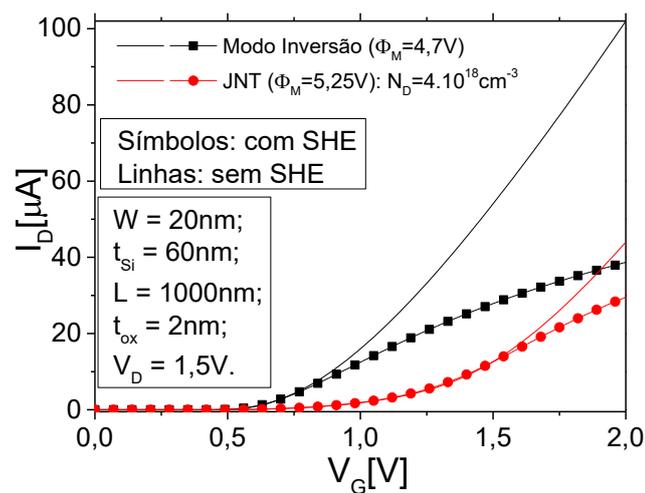
A Figura 90 compara as simulações dos dispositivos de porta tripla SOI MOSFETs sem junção, com transistores de porta tripla SOI MOSFETs com canal dopado que operam em modo inversão.

Na Figura 90a, ambos dispositivos apresentam $W = 10 \text{ nm}$, $L = 500 \text{ nm}$, $t_{\text{ox}} = 2 \text{ nm}$, $t_{\text{BOX}} = 100 \text{ nm}$ e concentração de portadores igual a $2 \cdot 10^{19} \text{ cm}^{-3}$. Por outro lado, na Figura 90b, os dois transistores apresentam $W = 20 \text{ nm}$, $L = 1000 \text{ nm}$, $t_{\text{ox}} = 2 \text{ nm}$, $t_{\text{BOX}} = 100 \text{ nm}$ e concentração de portadores igual a $4 \cdot 10^{18} \text{ cm}^{-3}$. Esta configuração foi utilizada para que fosse possível comparar os transistores com mesma tensão de limiar [104].

De acordo com os resultados obtidos por simulação a partir da Figura 91, onde estão representadas as diferenças entre os valores das correntes sem e com autoaquecimento (ΔI_D) em função da potência dissipada pelo transistor, é possível concluir que os dispositivos sem junção apresentam um efeito de autoaquecimento muito menor que os transistores modo inversão.

Figura 90 – I_D em função de V_G .

(a)



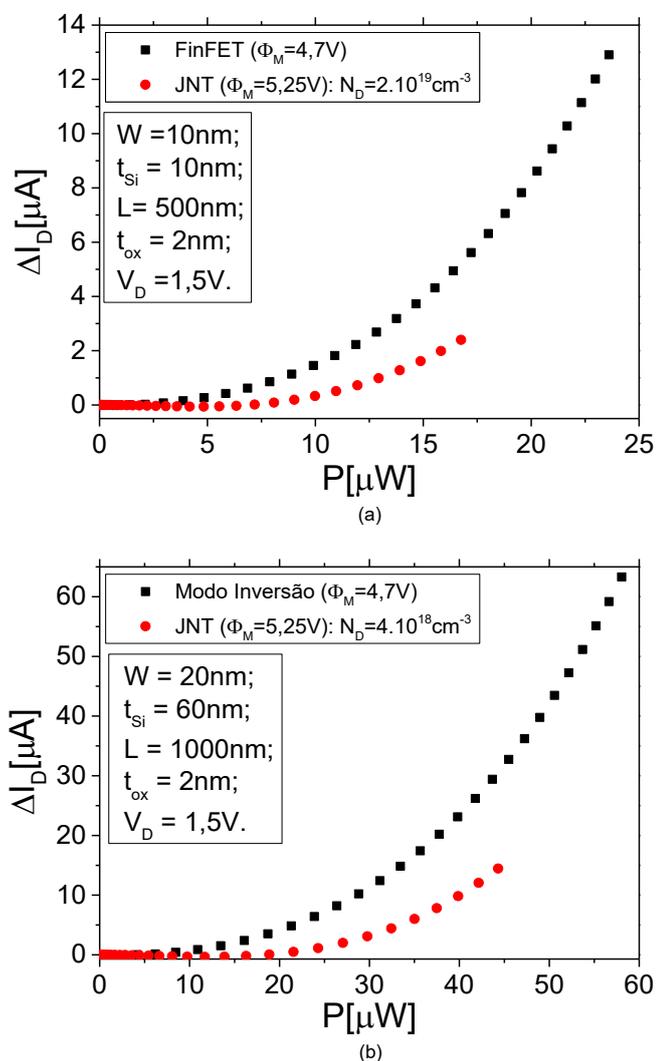
(b)

Fonte: Mariniello, 2015 [104].

Legenda: Corrente de dreno em função de V_G , comparando um transistor de porta tripla SOI MOSFET sem junção com um dispositivo modo inversão de porta tripla SOI MOSFET com canal dopado.

(a) $W = t_{\text{Si}} = 10\text{ nm}$.

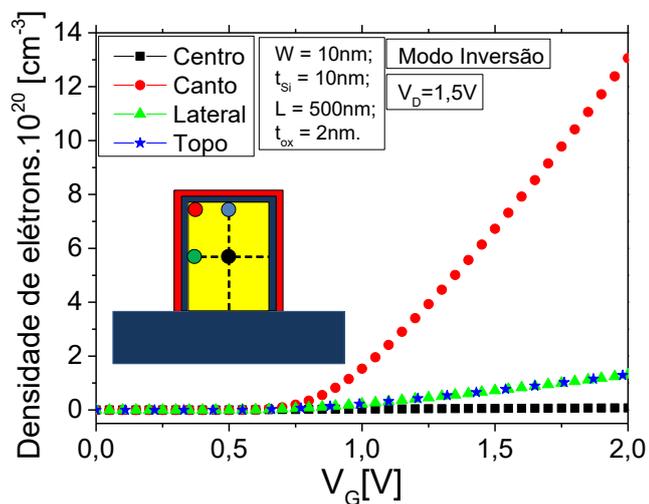
(b) $W = 20\text{ nm}$ e $t_{\text{Si}} = 60\text{ nm}$.

Figura 91 – ΔI_D em função de P.

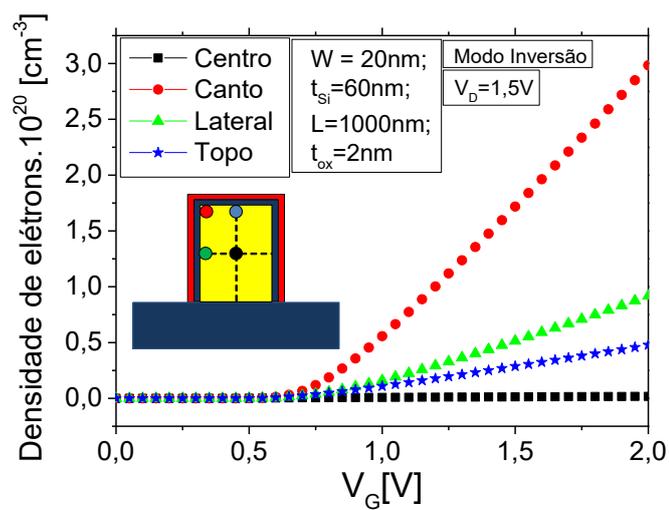
Fonte: Mariniello., 2015 [104]

Legenda: ΔI_D em função de P, comparando um transistor de porta tripla SOI MOSFET sem junção com um dispositivo modo inversão de porta tripla SOI MOSFET com canal dopado. (a) $W = t_{Si} = 10$ nm. (b) $W = 20$ nm e $t_{Si} = 60$ nm.

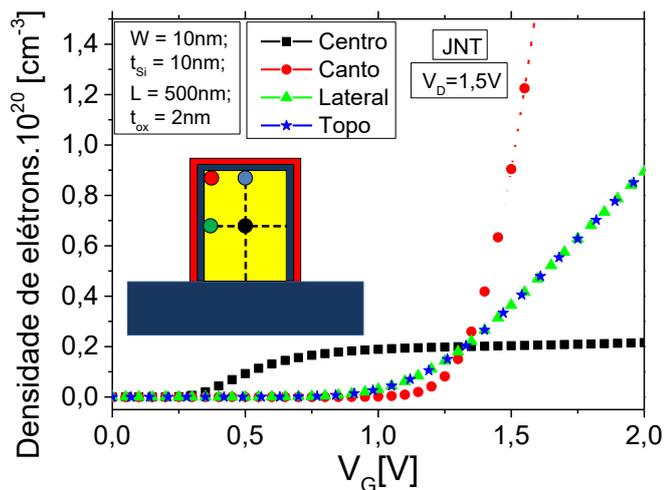
Para investigar o motivo do autoaquecimento obtido ser menor nos transistores SOI MOSFETs sem junção, foram feitas simulações do comportamento da densidade de portadores nestes dispositivos em 4 diferentes regiões: no centro, no canto na lateral e no topo, conforme pode ser observado na Figura 92. Assim, é possível verificar onde a concentração de portadores é maior.

Figura 92 – Densidade de elétrons em função de V_G .

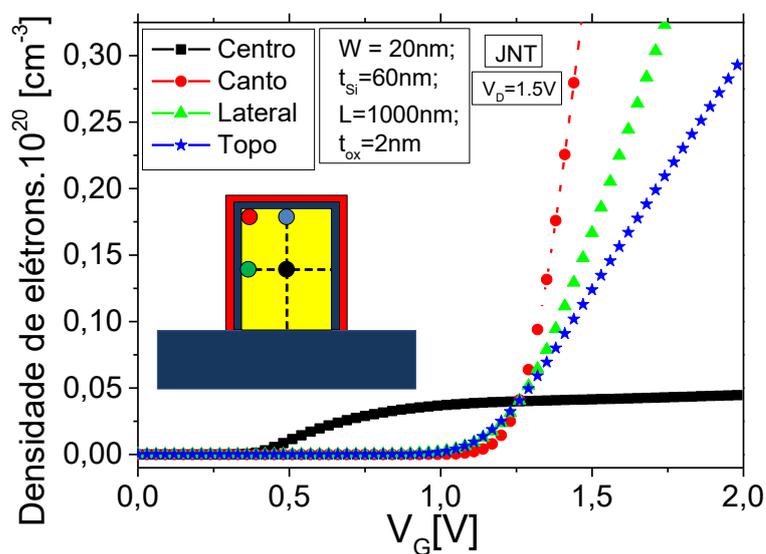
(a)



(b)



(c)



(d)

Fonte: Mariniello, 2015 [104]

Legenda: Densidade de elétrons em função de V_G , com $V_D = 1,5V$ em 4 regiões distintas: centro, canto, lateral e topo.

(a) Transistor de porta tripla SOI MOSFET modo inversão, com $W = t_{Si} = 10$ nm e $L = 500$ nm.

(b) Transistor de porta tripla SOI MOSFET modo inversão, com $W = 20$ nm, $L = 1000$ nm e $t_{Si} = 60$ nm.

(c) Transistor de porta tripla SOI MOSFET sem junção, com $W = t_{Si} = 10$ nm e $L = 500$ nm.

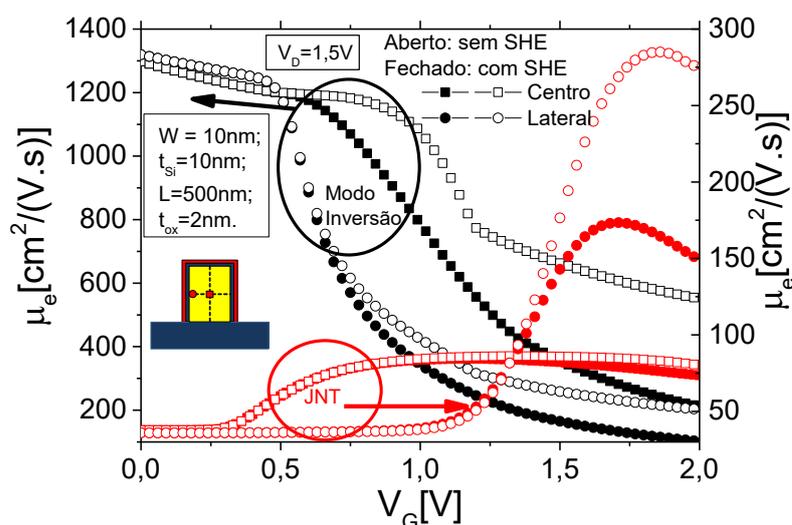
(d) Transistor de porta tripla SOI MOSFET sem junção com $W = 20$ nm, $L = 1000$ nm e $t_{Si} = 60$ nm.

De acordo com os resultados, é possível verificar que nos transistores SOI MOSFETs que operam em modo inversão, a densidade de portadores aumenta após a polarização da porta atingir o valor de V_T . A partir daí nota-se que a concentração de portadores é bem maior no canto do dispositivo. A menor concentração para os dois casos ocorre no centro do transistor, conforme pode ser observado na Figura 92a e na Figura 92b.

Já no caso dos transistores MOS sem junção, conforme observa-se na Figura 92c e na Figura 92d, nota-se um aumento da concentração de portadores no centro do dispositivo, quando este atinge seu valor de limiar. Entretanto, quando estes transistores atingem o valor da tensão de faixa plana (V_{FB}), a concentração nos cantos passa a ser maior, quase que abruptamente, assim como ocorre também um aumento significativo das concentrações na lateral e no topo.

Como a maior superfície se encontra nas laterais dos dispositivos, foram extraídas as mobilidades nestes locais, conforme plotado na Figura 93. Extraiu-se no centro, devido ao caso dos transistores MOS sem junção até atingir o valor de V_{FB} e, nas laterais, no caso dos dois dispositivos. Observa-se que a mobilidade dos elétrons é bem maior no caso dos transistores modo inversão do que nos transistores SOI MOSFET sem junção.

Figura 93 – Mobilidade dos elétrons extraídas no ao longo do canal em função de V_G .

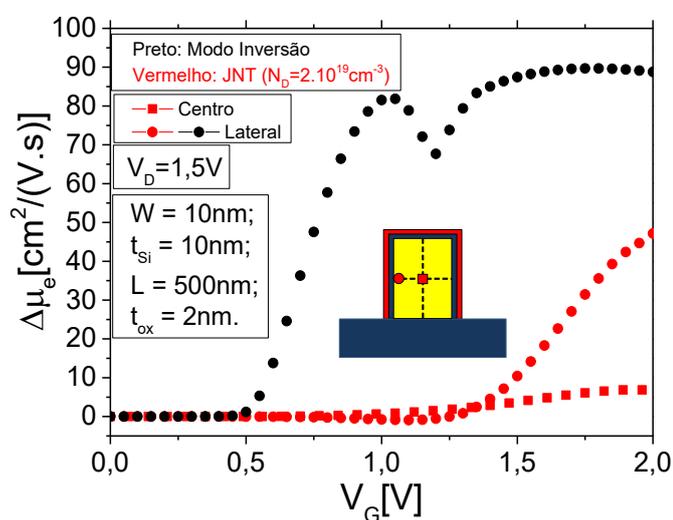


Fonte: Mariniello, 2014 [103]

Legenda: Mobilidade dos elétrons extraídas no centro e ao longo do canal para $N_D = 5.10^{18}\text{cm}^{-3}$ em simulações com e sem autoaquecimento.

Entretanto, conforme observa-se na Figura 94, mesmo com o autoaquecimento, a variação da mobilidade entre as simulações sem e com autoaquecimento nos transistores SOI MOSFETs sem junção é menor do que a variação da mobilidade nos transistores SOI MOSFETs que operam em modo inversão. Essa é uma das justificativas encontradas para compreender o menor efeito do autoaquecimento nos transistores sem junção.

Figura 94 – Mobilidade dos elétrons ao longo do canal para $N_D = 5.10^{18} \text{cm}^{-3}$ em simulações com e sem autoaquecimento.



Fonte: Mariniello, 2014 [106].

Legenda: Mobilidade dos elétrons ao longo do canal para $N_D = 5.10^{18} \text{cm}^{-3}$ em simulações com e sem autoaquecimento.

6 CONCLUSÕES E TRABALHOS FUTUROS

Neste trabalho foram apresentados os efeitos de autoaquecimento dos transistores SOI MOSFETs com concentração natural de dopantes no canal e dos transistores SOI MOSFET sem junção. Foi utilizada uma nova técnica adaptada a partir da extração da resistência elétrica de porta, agora em dispositivos com somente 2 contatos de porta. Estes dados experimentais foram extraídos no laboratório de caracterização elétrica do CEA-LETI, na França.

Através das propriedades elétricas extraídas nas simulações, pode-se concluir que o simulador apresenta resultados com base na realidade ao comparar as simulações com grade isotérmica em relação às simulações com contato térmico, pois é possível verificar a influência de temperatura quando o dispositivo apresenta maior potência elétrica dissipada em simulações com a presença de contatos térmicos.

Foi possível obter resultados com erro inferior a 15% entre os parâmetros elétricos obtidos pelo simulador e os obtidos experimentalmente nos dispositivos nanométricos.

Com o auxílio do simulador, ao calibrar as estruturas com as obtidas experimentalmente, observa-se que é possível extrair o autoaquecimento em dispositivos com dois contatos de porta com canal mais largo. Porém, o método não é eficiente em dispositivos nanométricos com canal estreito devido às dimensões do metal de porta permitir a dissipação do calor gerado na região de silício, impedindo a veracidade da temperatura de autoaquecimento extraída.

A ineficiência do método experimental apresentado é comprovada através das simulações onde os resultados mostram que o canal aquece mais do que o metal de porta. Entretanto, como nos dispositivos nanométricos a área do metal de porta é muito maior do que a região ativa do transistor, a dissipação do calor é mais intensa sendo responsável por dificultar a medida real do autoaquecimento do dispositivo. Através das simulações constatou-se que a dimensão da largura do silício menor do que 500 nm compromete o estudo do autoaquecimento.

Ainda através do simulador, foi possível constatar que a região com temperaturas mais elevadas está próxima às interfaces dreno/canal e fonte/canal nos transistores com maior dissipação térmica através do metal de porta. Ao reduzir as dimensões do metal de porta, as temperaturas mais elevadas passam a estar concentrada na região de canal.

Em dispositivos mais largos, pode-se extrair o calor do canal através do metal de porta. Sendo assim, pode-se dizer que, através da extração da resistência elétrica de porta, este dispositivo pode ser utilizado como um termômetro da temperatura confinada no canal.

O autoaquecimento é consideravelmente notado nos dispositivos MOS sem junção com alto valores de polarização de porta e com alta polarização de dreno, devido a maior potência

gerada na região ativa, principalmente em transistores com dimensões reduzidas, onde a dissipação térmica é pior.

Em dispositivos SOI MOSFETs planares com concentração natural de dopantes, pode-se constatar que, em transistores com valores de W mais largos, o valor da resistência térmica pouco depende do tamanho do comprimento de canal. Entretanto, com a redução de W , o dispositivo passa a depender também da dimensão do comprimento de canal.

As concentrações de impurezas praticamente não afetam o autoaquecimento nos dispositivos MOSFETs sem junção. Nota-se, também que, quanto maior o valor de V_{GT} , maior será o efeito do autoaquecimento proporcionando uma condutância de saída negativa na curva de I_D em função de V_D .

Ao comparar os dispositivos modo inversão com os dispositivos sem junção, pode-se verificar que, devido à diferença entre as mobilidades extraídas com e sem autoaquecimento no mesmo dispositivo é maior nos transistores modo inversão do que nos transistores sem junção.

Foi possível concluir que as dimensões dos dispositivos alteram significativamente o efeito do autoaquecimento nestes transistores.

Este trabalho ainda pode ser estendido em outras pesquisas, uma vez que uma única forma de avaliar o autoaquecimento foi utilizado. Outras estruturas também necessitam destas análises, pois foi feito um estudo em um dispositivo com um único transistor, podendo ser estendido a multi-fins, por exemplo.

Novas estruturas como vários transistores em paralelo, podem ser aprofundadas através de extração de medidas experimentais comparadas com simulações.

Algo interessante a ser investigado é a relação entre a área do canal e a área da porta que compromete a extração da resistência elétrica de porta no método com 2 contatos de porta.

Será de grande importância desenvolver modelos que possam descrever o comportamento eletrotérmico dos dispositivos SOI MOSFETs, perante ao autoaquecimento.

Um estudo sobre estrutura multi-fins com transistores nanométricos pode ser iniciado, onde será possível verificar a quantidade de fins que influencia no autoaquecimento da estrutura, a distância entre eles.

REFERÊNCIAS

1. SEDRA, A. S.; SMITH, K. C. . **Microeletrônica**. 4^a. ed. São Paulo: Pearson Makron Books, v. Único, 2000.
2. COLINGE, J. P. **FinFets and Other Multi-Gate Transistors**. Cambridge: Springer, 2008.
3. COLINGE, J. P. The SOI MOSFET. In: COLINGE **Silicon-On-Insulator Technology: Materials to VLSI**. Boston: Kluwer Academic Publishers, 2003.
4. W.XIONG et al. Self-aligned ground-plane FDSOI MOSFET. **IEEE International SOI Conference**, p. 23 - 24, 7-10 Oct 2002. ISSN 0-7803-7439-8.
5. HISAMOTO, D. et al. FinFET-a self-aligned double-gate MOSFET scalable to 20 nm. **IEEE Transactions on Electron Devices**, v. 47, n. 12, p. 2320 - 2325, Dec 2000. ISSN 0018-9383.
6. COLINGE, J. P. et al. Nanowire transistors without junctions. **Nature Nanotechnology**, v. 5, p. 225-229, Mar 2010. ISSN 10.1038/NNANO.2010.15.
7. YOUNG, K. K. Short-channel effect in fully depleted SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 36, n. 2, p. 399 - 402, Feb 1989. ISSN 0018-9383.
8. ADAN, A. O.; HIGASHI, K. OFF-State leakage current mechanisms in bulkSi and SOI MOSFETs and their impact on CMOS ULSIs standby current. **IEEE Transactions on Electron Devices**, v. 48, n. 9, p. 2050 - 2057, Sep 2001. ISSN 0018-9383.
9. RAN-HONG, Y.; OURMAZD, A.; LEE, K. F. Scaling the Si MOSFET: from bulk to SOI to bulk. **IEEE Transactions on Electron Devices**, v. 39, n. 7, p. 1704 - 1710, Jul 1992. ISSN 0018-9383.
10. MUSSEAU, O. Single-event effects in SOI technologies and devices. **IEEE Transactions on Nuclear Science**, v. 43, n. 2, p. 603-613, Apr 1996. ISSN 0018-9499.
11. FLANDRE, D.; WIELE, F. V. D. Second-order analytical modeling of thin-film SOI MOSFETs. **Proceedings of IEEE SOS/SOI Technology Conference**, p. 27-28, Oct 3-5 1989. ISSN 10.1109/SOI.1989.69749.
12. COLINGE, J. P.; COLINGE, A. C. **Physics of Semiconductor Devices**. 1^a. ed. New York: Massachussetts: Kluwer Academic Publishers, 2002.
13. SELBERHERR, S. MOS device modeling at 77 K. **IEEE Transactions on Electron Devices**, v. 36, n. 8, p. 1464 - 1474, Aug 1989. ISSN 0018-9383.

14. YOSHIMI, M. et al. Two-dimensional simulation and measurement of high-performance MOSFETs made on a very thin SOI film. **IEEE Transactions on Electron Devices**, v. 36, n. 3, p. 493 - 503, Mar 1989. ISSN 0018-9383.
15. COLINGE, J. P. Thin-film SOI technology: the solution to many submicron CMOS problems. **IEEE International Electron Devices Meeting - IEDM**, Washington, DC, EUA, p. 817 - 820, 03 Dec 1989. ISSN 0163-1918.
16. WOUTERS, D. J.; COLINGE, J.; MAES, H. E. Subthreshold slope in thin-film SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 37, n. 9, p. 2022-2033, Sep 1990. ISSN 0018-9383.
17. GROESENEKEN, G. et al. Temperature dependence of threshold voltage in thin-film SOI MOSFETs. **IEEE Electron Device Letters**, v. 11, n. 8, p. 329-331, Aug 1990. ISSN 0741-3106.
18. LIM, H. K.; FOSSUM, J. G. Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's. **IEEE Transactions on Electron Devices**, v. 30, n. 10, p. 1244-1251, Oct 1983. ISSN 0018-9383.
19. FICHTNER, W.; HOCHMAIR, E. Current-kink noise of n-channel enhancement e.s.f.i.-m.o.s. s.o.s. transistors. **Electronics Letters**, v. 13, n. 22, p. 675 - 676, Oct 1977. ISSN 0013-5194.
20. KRISHNAN, S.; FOSSUM, J. G. Grasping SOI floating-body effects. **IEEE Circuits and Devices Magazine**, v. 14, n. 4, p. 32-37, Jul 1998. ISSN 8755-3996.
21. COLINGE, J. P. Conduction mechanisms in thin-film accumulation-mode SOI p-channel MOSFETs. **IEEE Transactions on Electron Devices**, v. 37, n. 3, p. 718-723, Mar 1990. ISSN 0018-9383.
22. LANDGRAF, E. et al. Influence of crystal orientation and body doping on trigate transistor performance. **Solid-State Electronics**, v. 50, n. 1, p. 38-43, Jan 2006. ISSN 2005.10.041.
23. SUBRAMANIAN, V. et al. Impact of fin width on digital and analog performances of n-FinFETs. **Solid-State Electronics**, v. 51, n. 4, p. 551 - 559, Apr 2007. ISSN 10.1016.
24. DONGGUN, P. 3 Dimensional GAA Transistors : twin silicon nanowire MOSFET and multi-bridge-channel MOSFET. **Proceedings IEEE International SOI Conference**, p. 131, 2 - 5 Oct 2006. ISSN 1078-621X.

25. SEKIGAWA; HAYASHI, T.; Y. Calculated threshold-voltage characteristics of an X MOS transistor having an additional bottom gate. **Solid-States Electronics**, v. 27, n. 8-9, p. 827-828, 1984.
26. HISAMOTO, D. et al. A Fully Depleted Lean-Channel Transistor (DELTA) - A Novel Vertical Ultra Thin SOI MOSFET. **International Technical Digest on Electron Devices Meeting - IEDM**, p. 833-836, 1989. ISSN 10.1109/IEDM.1989.74182.
27. HUANG, X. et al. Sub 50-nm FinFET: PMOS. **International Electron Devices Meeting**, p. 67-70, 1999. ISSN 10.1109/IEDM.1999.823848.
28. LIU, Y. K. et al. Ideal Rectangular Cross-Section Si-Fin Channel Double-Gate MOSFETs Fabricated Using Orientations-Dependent Wet Etching. **IEEE Electron Device Letters**, v. 24, n. 7, p. 484-486, 2003.
29. LIU, Y. K. et al. Multi-Fin Double-Gate MOSFET Fabricated by Using (110)-Oriented SOI Wafers and Orientation-Dependent Etching. **Electrochemical Society Proceedings**, p. 255 - 261, 2003.
30. PEI, G. et al. FinFET design considerations based on 3-D simulation and analytical modeling. **IEEE Transactions on Electron Devices**, v. 49, n. 8, p. 1411-1419, 2002.
31. PARK, J. T.; COLINGE, J. P.; DIAZ, C. H. Multiple-gate soi mosfets: Device design guidelines. **IEEE Transactions on Electron Devices**, 2002. 2222-2229.
32. PARK, J. T.; COLINGE, J. P.; DIAZ, C. H. Pi-gate soi mosfet. **IEEE Electron Device Letters**, p. 405-406, 2001. ISSN 22(0741-3106).
33. YANG, F. L. et al. 25 nm cmos omega fets. **Digest International Electron Devices Meeting - IEDM**, p. 255-258, 2002. ISSN (0780374622).
34. BALESTRA, F. et al. Double-gate silicon-on-insulator transistor with volume inversion: A new device with enhanced performance. **IEEE Electron Device Letters**, v. 8, p. 410-412, Sep 1987.
35. COLINGE, J. P. et al. Silicon-on-Insulator "Gate-All-Around Device". **Technical Digest of IEDM**, 1990. 595-598.
36. ERNEST, T. et al. Ultimately Thin SOI MOSFETs: Characteristics and Mechanisms. **Proceedings of the IEEE International SOI Conference**, 1999. 92-93.
37. FENOUILLET-BERANGER, C. et al. Fully-Depleted SOI Technology using High-K and Single-Metal Gate for 32nm Node LSTP Applications featuring 0.179tm² 6T-SRAM

- bitcell. **IEEE International Electron Devices Meeting**, Washington, DC, p. 267 - 270, 10 -12 Dec 2007. ISSN 0163-1918.
38. PLANES, N. et al. 28nm FDSOI technology platform for high-speed low-voltage digital application. **Symposium on VLSI Technology (VLSIT)**, Honolulu, HI, p. 133-134, 12-14 Jun 2012. ISSN 0743-1562.
39. HARIHARAN, V.; VASI, J.; RAO, V. R. Drain Current Model Including Velocity Saturation for Symmetric Double-Gate MOSFETs. **IEEE Transactions on Electron Devices**, v. 55, n. 8, p. 2173 - 2180, Aug 2008. ISSN 0018-9383.
40. MARTINO, J. A.; PAVANELLO, M. A.; VERDONCK, P. B. **Caracterização Elétrica de Tecnologia e Dispositivos MOS**. São Paulo: THOMSON, 2003.
41. BARUAH, R. K.; MAHAPATRA, S. Concept of “Crossover point” and its application on Threshold Voltage definition. **22nd International Conference on VLSI Design**, p. 241 - 246, 5 - 9 Jan 2009. ISSN 1063-9667.
42. SZE, S. M. **Physics of Semiconductor Devices**. 2^a. ed. Nova Yorque: John Wiley and Sons, 1981.
43. WEBER, O. et al. High immunity to threshold voltage variability in undoped ultra-thin FDSOI MOSFETs and its physical understanding. **IEEE International Electron Devices Meeting**, San Francisco, CA, p. 1 - 4, 15 - 17 Dec 2008. ISSN 0163-1918.
44. RUDENKO, T. et al. Transconductance and Mobility Behaviors in UTB SOI MOSFETs with Standard and Thin BOX. **5th Workshop, Proceedings of Thematic Network on Silicon-on-Insulator Technology Devices and Circuits (EUROSIOI)**, Göteborg, Sweden, p. 111-112, 19-21 Jan 2009.
45. BALESTRA, F.; HAFEZ, I.; GHIBAUDO, G. A New Method for the Extraction of MOSFET Parameters at Ambient and Liquid Helium Temperatures. **18th European Solid State Device Research Conference (ESSDERC)**, Montpellier, França, p. c4-817 - c4-820, 13-16 Sep 1988. ISSN 2-86883-099-4.
46. MILEUSNIC, S.; ZIVANOV, M.; HABAS, P. MOS transistors characterization by split C-V method. **International Semiconductor Conference**, Sinaia, p. 503 - 506, 09-13 Oct 2001. ISSN 0-7803-6666-2.
47. AKARVARDAR, K. et al. A Two-Dimensional Model for Interface Coupling in Triple-Gate Transistors. **IEEE Transactions on Electron Devices**, v. 54, n. 4, p. 767 - 775, Apr 2007. ISSN 0018-9383.

48. GARCÍA-SÁNCHEZ, F. J.; MUCI, A. O.-C. A. J. Subthreshold Behavior of Undoped DG MOSFETs. **IEEE Conference on Electron Devices and Solid-State Circuits**, p. 75-80, 19-21 Dec 2005. ISSN 0-7803-9339-2.
49. VEERARACHAVAN, S.; FOSSUM, J. G. A Short-channel effects in SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 36, n. 3, p. 522-528, 1989.
50. VEERARAGHAVAN, S.; FOSSUM, J. G. A physical short-channel model for the thin-film SOI MOSFET applicable to device and circuit CAD. **IEEE Transactions on Electron Devices**, v. 35, n. 11, p. 1866 - 1875, Nov 1988. ISSN 0018-9383.
51. TREVISOLI, R. D. et al. Threshold Voltage in Junctionless Nanowire Transistors. **Semiconductor, Science and Technology**, v. 26, p. 1-8, 2011.
52. COLINGE, J. P. et al. SOI Gated Resistor: CMOS without Junctions. **IEEE SOI Conference**, Foster City, CA, p. 1-2, 5-8 Oct 2009. ISSN 1078-621X.
53. LILIENFELD, J. E. **Method and apparatus for controlling electric current**. US patent 1,745,175, 1925.
54. LILIENFELD, J. E. **Device for controlling electric current**. US patent 1,900,018, 1928.
55. LEE, C. W. et al. Junctionless multigate field effect transistor. **Applied Physics Letters**, v. 94, n. 5, p. 053 511, 2009.
56. COLINGE, J. P. et al. Junctionless Nanowire Transistor (JNT): Properties and design guidelines. **Solid-State Electronics**, v. 65-66, p. 33-37, Nov 2011. ISSN 2011.06.004.
57. MARINIELLO, G. et al. Analysis of charges densities in multiple-gates SOI nMOS junctionless. **Symposium on Microelectronics Technology and Devices (SBMicro)**, p. 1-4, Setembro 2013. ISSN 978-1-4799-0516-4.
58. ORTIZ-CONDE, A.; GARCÍA-SÁNCHEZ, F. J.; LIOU, J. J. On the extraction of threshold voltage, effective channel length and series resistance of MOSFETs. **Journal of Telecommunications and Information Technology - JTIT**, v. 3, p. 43-58, 2000.
59. KRANTI, A. et al. Junctionless nanowire transistor (JNT): Properties and design guidelines. **Proceedings of European Solid-State Device Research Conference - ESSDERC**, p. 357 - 360, Sep 2010. ISSN 1930-8876.
60. PARK, S. J. et al. Back biasing effects in tri-gate junctionless transistors. **Solid-State Electronics**, v. 87, p. 74 - 79, Sep 2013. ISSN 10.1016.

61. LEE, C.-W. et al. Performance estimation of junctionless multigate transistors. **Solid-State Electronics**, v. 54, n. 2, p. 97 - 103, Feb 2010. ISSN sse.2009.12.003.
62. COLINGE, J. P. et al. A Simulation Comparisson between Junctionless and Inversion-Mode MuGFETs. **219th ECS Meeting**, Montreal, v. 35, p. 63-72, 2011.
63. GOEL, A. K.; TAN, T. H. High-temperature and self-heating effects in fully depleted SOI MOSFETs. **Microelectroics Journal**, v. 37, p. 963-975, 2006.
64. SHOUCAIR, F.; HWANG, W.; JAIN, P. ELECTRICAL CHARACTERISTICS OF LARGE SCALE INTEGRATION (LSI) MOSFETs AT VERY HIGH TEMPERATURES PART II : EXPERIMENT. **Microelectron. Reliab.**, Great Britain, v. 24, n. 3, p. 487-510, 1984.
65. BLUDAU, W.; ONTON, A.; HEINKE, W. Temperature dependence of the band gap of silicon. **Journal of Applied Physics**, v. 45, n. 4, p. 1846 - 1848, 1974. ISSN 10.1063.
66. SCHENK, A.; ALTERMATT, P. P.; SCHMITHUSEN, B. Physical Model of Incomplete Ionization for Silicon Device Simulation. **International Conference on Simulation of Semiconductor Processes and Devices**, Monterey, CA, p. 51 - 54, 6 - 8 Sep 2006. ISSN 1-4244-0404-5.
67. AKTURK, A. et al. Device Modeling at Cryogenic Temperatures: Effects of Incomplete Ionization. **IEEE Transactions on Electron Devices**, v. 54, n. 11, p. 2984 - 2990, Nov 2007. ISSN 0018-9383.
68. DORIA, R. T.; PAVANELLO, M. A. Low Temperature and Silicon Thickness Influences on the Threshold Voltage of Double-Gate MOSFETs Considering a Charge Based Extraction Procedure. **ECS Transactions** , v. 23, n. 1, p. 605 - 612, 2009. ISSN 10.1149.
69. AKARVARDAR, K. et al. High-temperature performance of state-of-the-art triple-gate transistors. **Microelectronics Reliability**, v. 47, n. 12, p. 2065 - 2069, Dec 2007. ISSN 10.1016.
70. LEE, C.-W. et al. High-Temperature Performance of Silicon Junctionless MOSFETs. **IEEE Transactions on Electron Devices**, v. 57, n. 3, p. 620 - 625, Mar 2010. ISSN 0018-9383.
71. SOUZA, M. D. et al. Cryogenic Operation of Junctionless Nanowire Transistors. **IEEE Electron Device Letters**, v. 32, n. 10, p. 1322 - 1324, Oct 2011. ISSN 0741-3106.

72. CAUGHEY, D. M.; THOMAS, R. E. Carrier mobilities in silicon empirically related to doping and field. **Proceedings of the IEEE**, v. 55, n. 12, p. 2192 - 2193, Dec 1967. ISSN 0018 - 9219.
73. GUTIÉRREZ-D, E. A.; DEEN, M. J.; CLAEYS, C. L. **Low Temperature Electronics Physics, Devices, Circuits, and Applications**. San Diego, CA: Academic Press, 2001.
74. LI, S. S.; THURDER, W. R. The dopant density and temperature dependence of electron mobility and resistivity in n-type silicon. **Solid-State Electronics**, v. 20, n. 7, p. 609 - 616, Jul 1977. ISSN 10.1016.
75. DORKEL, J. M.; LETURCQ, P. Carrier mobilities in silicon semi-empirically related to temperature, doping and injection level. **Solid-State Electronics**, v. 24, n. 9, p. 821 - 825, Sep 1981. ISSN 10.1016.
76. DALLMANN, D. A.; SHENAI, K. Scaling Constraints Imposed by Self-Heating in Submicron SOI MOSFET's. **IEEE Transaction on Electron Devices**, v. 42, n. 3, p. 489-496, Mar 1995.
77. LIU, W. et al. Modeling and Data for Thermal Conductivity of Ultrathin Single-Crystal SOI Layers at High Temperature. **IEEE TRANSACTIONS ON ELECTRON DEVICES**, v. 53, n. 8, p. 1868 - 1876, Aug 2006.
78. SU, L. T. et al. Measurement and modeling of self-heating effects in SOI nMOSFETs. **International Electron Devices Meeting**, São Francisco, Califórnia, p. 357-360, 13 - 16 Dec 1992. ISSN 0163-1918.
79. OSHIMA, K. et al. Advanced SOI MOSFETs with buried alumina and ground plane: self-heating and short-channel effects. **Solid-State Electronics**, v. 48, n. 6, p. 907-917, Jun 2004. ISSN sse.2003.12.026.
80. BERGER, M.; CHAI, Z. Estimation of heat transfer in SOI-MOSFETs. **IEEE Transactions on Electron Devices**, v. 38, n. 4, p. 871-875, Apr 1991. ISSN 0018-9383.
81. OUISSE, T. Self-consistent quantum-mechanical calculations in ultrathin silicon-on-insulator structures. **Journal of Applied Physics**, v. 76, n. 10, p. 5989 - 5995, Nov 1994. ISSN 5989 - 5995.
82. TENBROEK, B. M. et al. Characterization of layout dependent thermal coupling in SOI CMOS current mirrors. **IEEE Transactions on Electron Devices**, v. 43, n. 12, p. 2227-2232, Dec 1996. ISSN 0018-9383.

83. MAUTRY, P. G.; TRAGER, J. Self-heating and Temperature Measurement in Sub- μm -MOSFETs. **19th European Solid State Device Research Conference - ESSDERC**, Berlin, Germany, p. 675 - 678, 1989.
84. MAUTRY, P. G.; TRAGER, J. Investigation of self-heating in VLSI and ULSI MOSFETs. **International Conference on Microelectronic Test Structure - ICMTS**, San Diego, CA, p. 221-226, 1990.
85. PRASAD, C. et al. Self-heat reliability considerations on Intel's 22nm Tri-Gate technology. **International Reliability Physics Symposium - IRPS**, Anaheim, CA, p. 5D.1.1 - 5D.1.5, 2013.
86. BURY, E. et al. Experimental validation of self-heating simulations and projections for transistors in deeply scaled nodes. **International Reliability Physics Symposium**, Waikoloa, HI, p. XT.8.1 - XT.8.6, 2014. ISSN 10.1109/IRPS.2014.6861186.
87. MANTOOTH, H. A. A unified diode model with self-heating effects. **Proceedings of the Bipolar/BiCMOS Circuits and Technology Meeting**, Minneapolis, MN, p. 62 - 65, 1995.
88. BUNYAN, R. J. T. et al. Use of noise thermometry to study the effects of self-heating in submicrometer SOI MOSFETs. **IEEE Electron Device Letters**, v. 13, n. 5, p. 279 - 281, May 1992. ISSN 0741-3106.
89. TENBROEK, B. M. et al. Self-heating effects in SOI MOSFETs and their measurement by small signal conductance techniques. **IEEE Transactions on Electron Devices**, v. 43, n. 12, p. 2240 - 2248, Aug 1996. ISSN 0018-9383.
90. REDMAN-WHITE, W. et al. Electrical and Thermal Feedback Effects on the Small-Signal Drain Characteristics of Partially-Depleted Soi Mosfets. **IEEE International SOI Conference**, Ponte Vedra Beach, FL, p. 122 - 123, 1992.
91. HOWES, R.; REDMAN-WHITE, W. A small-signal model for the frequency-dependent drain admittance in floating-substrate MOSFET's. **IEEE Journal of Solid-State Circuits**, v. 27, n. 8, p. 1186 - 1193, Aug. 1992. ISSN 0018-9200.
92. CAVIGLIA, A. L.; ILIADIS, A. A. Linear dynamic self-heating in SOI MOSFETs. **IEEE Electron Device Letters**, v. 14, n. 3, p. 133 - 135, Mar 1993. ISSN 0741-3106.
93. TU, R. H. et al. An AC conductance technique for measuring self-heating in SOI MOSFET's. **IEEE Electron Device Letters**, v. 16, n. 2, p. 67 - 69, Feb 1995. ISSN 0741-3106.

94. YASUDA, N. et al. Analytical Device Model of SOI MOSFETs Including Self-Heating Effect. **Japanese Journal of Applied Physics** JSAP logo Email alert RSS feed, v. 30, n. 12B, p. 3677 - 3684, 1991. ISSN 10.1143.
95. UNIVERSITY, H.; STARC. **HiSIM HV 1.2.1 User's Manual**, [Hiroshima], 2010.
96. YANG, W. et al. **BSIMSOI 4.4 MOSFET MODEL User's Manual**. Berkely: University of California, 2010.
97. KOH, R.; IIZUKA, T. Self-heating Parameter Extraction of Power Metal-oxide-silicon Field Effect Transistor Based on Transient Drain Current Measurement. **IETE Journal of Research**, v. 58, n. 3, p. 230 - 236, Jun 2012.
98. SCHOLTEN, A. J. et al. Experimental assessment of self-heating in SOI FinFETs. **International Electron Devices Meeting - IEDM**, Baltimore, MD, p. 1-4, 7-9 Dezembro 2009. ISSN 978-1-4244-5640-6.
99. YACHOU, D.; GAUTIER, J.; RAYNAUD, C.. Self-heating effects on SOI devices and implication to parameter extraction. **IEEE International SOI Conference**, Palm Springs, CA, p. 148 - 149, 5 - 7 Oct 1993. ISSN 0-7803-1346-1.
100. KLAASSEN, D. B. M. A Unified Mobility Model for Device Simulation - I. Model Equations and Concentration Dependence. **Solid-State Electronics**, v. 35, n. 7, p. 953-959, 1992.
101. MARINIELLO, G. et al. Underestimation of measured self-heating in nanowires by using gate resistance technique. **Electronics Letters**, v. 52, n. 23, p. 1935 - 1937, Sep 2016. ISSN 10.1049/el.2016.2570.
102. LAURENT, A. et al. Hot Carrier Degradation in Nanowire Transistors: Physical mechanisms, Width dependence and Impact of Self-Heating. **IEEE Symposium on VLSI Technology**, Honolulu, HI, EUA, 2016.
103. MARINIELLO, G.; PAVANELLO, M. A. A simulation study of self-heating effect on junctionless nanowire transistors. **29th Symposium on Microelectronics Technology and Devices (SBMicro), 2014**, Aracaju, p. 1-4, 1-5 Sep 2014. ISSN 14709861.
104. MARINIELLO, G.; PAVANELLO, M. A. Simulation Comparison of Self-Heating Effects in Junctionless Nanowire Transistors and FinFET Devices. **ECS Transactions (Online)**, Chicago, IL, 66, 2015. 259-266.

105. LOMBARDI, C. et al. A Physically Based Mobility Model for Numerical Simulation of Nonplanar Devices. **IEEE trans on Computer Aided Design**, v. 7, n. 11, p. 1164-1171, 1988.

APÊNDICE

APÊNDICE A - SIMULADOR SYNOPSIS SENTAURUS

Para que fosse possível realizar este trabalho, o uso de um TCAD (Technology Computer-Aided Design) foi necessário para simular estruturas construídas computacionalmente, com a finalidade de auxiliar nos estudos e proporcionar conclusões confiáveis.

Com a capacidade de simular dispositivos bidimensionais ou tridimensionais e gerar gráficos com alta confiabilidade além de fornecer parâmetros físicos e elétricos com a possibilidade de calibrar uma simulação com o objetivo de fornecer resultados mais reais possíveis, o TCAD acaba sendo um pacote de programas muito utilizado em universidades e até mesmo em indústrias.

Nessa linha de pesquisa, foi utilizado o pacote TCAD desenvolvido pela Synopsys®, por apresentar um conjunto de modelos de simulação altamente confiáveis para o entendimento das capacitâncias no JNT.

Dentre os softwares utilizados tem-se:

- a) Sentaurus Structure Editor – Editor de estruturas para gerar o dispositivo;
- b) Sentaurus Device – O Simulador de dispositivos;
- c) Tecplot SV – Visualizador de estruturas;
- d) Inspect – Visualizador de resultados.

Sentaurus Structure Editor

Para que seja possível construir um dispositivo no simulador Sentaurus faz-se necessário o uso do Sentaurus Structure Editor (SDE) para gerar a estrutura, seja bidimensional ou tridimensional.

O SDE está disponível em modo texto ou em modo de interface gráfica, possibilitando as pessoas que tem certas dificuldades em escrever códigos a operá-lo com os botões de manuseio rápido. Neste trabalho, todas as estruturas foram geradas através de códigos escritas em arquivos de edição de texto em ambiente Linux, já que o TCAD Synopsys é executado neste sistema operacional. Além disso a extensão necessária para a execução deste arquivo de texto necessita ser gravada como scm.

Neste ambiente, são criadas regiões com informações do material utilizado (silício, óxido, metal, etc), concentração de dopantes de cada região, eletrodos, refinamento de grade e outros parâmetros que sejam necessários para a confecção da estrutura.

Desta forma, um dispositivo com características bem definidas é criado virtualmente com uma matriz de pontos (grade) sem que haja uma uniformidade, porém com cada ponto registrado com as informações das coordenadas no plano a ser utilizada na simulação do dispositivo.

Sentaurus Device

Para a simulação dos dispositivos que foram criados com o SDE, faz-se necessário o uso do programa Sentaurus Device (SDevice) que tem a função de caracterizar numericamente o comportamento elétrico destes dispositivos. Este simulador tem a capacidade de gerar arquivos de simulações, sejam elas unidimensionais (1D), bidimensionais (2D) ou até mesmo tridimensionais (3D).

O SDevice conta com uma série de equações a serem aplicadas na simulação com resoluções numéricas basicamente solucionadas por interpolações nos pontos de cruzamento da grade aplicada ao dispositivo pelo SDE, com alta confiabilidade nas informações obtidas com seu uso correto e bem operado por quem tem conhecimento do software. Como forma de exemplificar algumas das equações utilizadas pelo simulador, podemos destacar a equação de Poisson, a equação de continuidade para elétrons e lacunas, densidades de corrente além de uma série de modelos físicos e analíticos que podem ser utilizadas dependendo das necessidades de suas utilizações.

Tecplot SV

O Tecplot SV é um programa onde é possível visualizar as estruturas geradas tanto pelo SDE, que são estruturas sem nenhuma polarização quanto estruturas simuladas pelo SDevice, onde é possível obter informações das estruturas polarizadas. É no Tecplot SV que permite visualizar a concentração de dopantes, obter melhores informações de grade, verificar os contatos, obter parâmetros como campo elétrico, densidade de corrente e lacunas, potencial elétrico, etc.

Na maior parte das simulações geradas pelo SDE, a análise da estrutura pelo Tecplot SV é fundamental para a verificação de possíveis erros de construção do dispositivo antes de

iniciar a simulação do mesmo. É neste local também, que é possível fazer medidas de comprimentos na estrutura para ver se todos os dados estão de acordo com o desejado para uma ótima simulação, como espessura do óxido de porta, comprimento e largura de canal, etc.

Inspect

A principal função do Inspect é permitir a visualização dos dados obtidos pelo simulador, gerados em tabelas, em funções para uma análise quantitativa com diversas funções matemáticas além de permitir salvá-las em formatos que podem ser adaptados em outros softwares para cálculos e obtenções de informações que não estão explicitamente nas curvas geradas pelo simulador.

Modelos Utilizados nas Simulações

Neste trabalho, alguns modelos foram utilizados com o objetivo de aproximar os resultados com possíveis valores reais. Todas as simulações foram feitas com modelo hidrodinâmico para que fosse possível ver o efeito do autoaquecimento

a) PhuMob

O modelo PhuMob (Philips Unified Mobility Model): considera a mobilidade unificado por Philips, proposto por Klaasen [100] **Fonte bibliográfica inválida especificada..** Este modelo descreve de forma unificada a mobilidade dos portadores minoritários e majoritários além de descrever a dependência da mobilidade com a temperatura dados os mecanismos de degradação da mobilidade ocasionados pelo espalhamento pelas impurezas e portador-portador. A equação da mobilidade dos portadores (μ_0) é dependente da mobilidade dos portadores independente do campo elétrico ($\mu_{i,L}$) que representa os mecanismos de espalhamento de rede, e também é dependente da mobilidade gerada através de um modelo unificado [73] para os mecanismos de espalhamento portador-portador e impurezas ionizadas ($\mu_{i,DAeh}$), conforme equação (3.1) a seguir :

$$\mu_0 = \frac{1}{\frac{1}{\mu_{i,L}} + \frac{1}{\mu_{i,DAeh}}} \quad (5.1)$$

b) Enormal

O modelo Enormal representa a degradação da mobilidade nas interfaces proposto por Lombardi. Este modelo considera o efeito do campo elétrico transversal que é responsável pelo aumento da interação dos portadores com a interface semiconductor-isolante e, conseqüentemente aumenta a degradação devido aos mecanismos de espalhamento por fônons acústicos e pela rugosidade na superfície (μ_{sr}) [105]. Também inclui dependências com a temperatura e com a concentração de dopantes. A equação do campo elétrico transversal é dependente de μ_{sr} , do espalhamento de rede (μ_{ac}) e da mobilidade do substrato (μ_B), dada pela equação 3.2 a seguir:

$$\frac{1}{\mu_{eff}} = \frac{1}{\mu_{sr}} + \frac{1}{\mu_{ac}} + \frac{1}{\mu_B} \quad (5.2)$$

c) HighFieldSaturation

O modelo HighFieldSaturation foi proposto por Canali. Este modelo considera o alto campo elétrico, onde a mobilidade já deixa de ser proporcional ao campo elétrico graças a velocidade de saturação dos portadores. Este modelo também considera a dependência com a temperatura.

d) BandGapNarrowing

O modelo BandGapNarrowing (OldSlotboom) é um modelo dependente da temperatura que considera o estreitamento da faixa proibida devido ao alto campo elétrico.

Simulações dos transistores MOS sem junção com e sem o efeito do autoaquecimento.

Os transistores MOS sem junção foram simulados através do modelo hidrodinâmico no Synopsys Sentaurus. Nas simulações com o efeito do autoaquecimento, utilizou-se contato térmico na parte inferior do óxido através da linha de comando “Thermode”. Já as simulações sem autoaquecimento foram realizadas sem quaisquer contatos térmicos.


```
(define r8 (sdegeo:create-cuboid (position (- (+ Wfin 0.045)) (+ Lfin Lfonte) (- Hfin))
(position (+ Wfin 0.045) (+ Lfin (+ Lfonte 0.185)) Hfin) "Silicon" "Dreno2"))
```

```
(define CD (sdegeo:create-rectangle (position -0.045 0.160 Hfin) (position 0.045 0.250
Hfin) "Silicon" "DC01"))
```

```
(sdegeo:bool-unite (list r7 r8))
```

```

:
:
:OXIDO:
:
:

```

```
; Define o oxido de porta 3D Superior
```

```
(define r10 (sdegeo:create-cuboid (position (- Wfin) (- Lfin) (+ Hfin tox)) (position Wfin
Lfin Hfin) "Oxide" "SiO2TOP"))
```

```
; Lateral Esquerdo
```

```
(define r11 (sdegeo:create-cuboid (position (- (+ Wfin tox)) (- Lfin) (+ Hfin tox)) (position (-
Wfin) Lfin (- Hfin)) "Oxide" "SiO2ESQ"))
```

```
(define r12 (sdegeo:create-cuboid (position (- (+ Wfin tox)) (- Lfin) (- Hfin)) (position (- Wbox
) Lfin (- (- Hfin tox))) "Oxide" "SiO2EXTSQ"))
```

```
; Lateral Direito
```

```
(define r13 (sdegeo:create-cuboid (position (+ Wfin tox) (- Lfin) (+ Hfin tox)) (position Wfin
Lfin (- Hfin)) "Oxide" "SiO2EDIR"))
```

```
(define r14 (sdegeo:create-cuboid (position (+ Wfin tox) (- Lfin) (- Hfin)) (position Wbox
Lfin (- (- Hfin tox))) "Oxide" "GOXEXTDIR"))
```

; Define o oxido2 de porta 3D Superior

```
(define r15 (sdegeo:create-cuboid (position (- (+ (+ Wfin tox) tox2)) (- Lfin) (+ Hfin tox))
(position (+ (+ Wfin tox) tox2) Lfin (+ (+ Hfin tox) tox2)) "HfO2" "HfO2TOP2"))
```

;Lateral Esquerdo2

```
(define r16 (sdegeo:create-cuboid (position (- (+ Wfin tox)) (- Lfin) (+ Hfin (+ tox) tox2))
(position (- (+ (+ Wfin tox) tox2)) Lfin (- (- Hfin tox))) "HfO2" "HfO2ESQ"))
```

```
(define r17 (sdegeo:create-cuboid (position (- (+ (+ Wfin tox) tox2)) (- Lfin) (- (- Hfin tox)))
(position (- Wbox) Lfin (- (- Hfin (+ tox tox2)))) "HfO2" "HfO2EXTESQ"))
```

; Lateral Direito 2

```
(define r18 (sdegeo:create-cuboid (position (+ Wfin tox) (- Lfin) (+ Hfin (+ tox) tox2))
(position (+ (+ Wfin tox) tox2) Lfin (- (- Hfin tox))) "HfO2" "HfO2DIR"))
```

```
(define r19 (sdegeo:create-cuboid (position (+ (+ Wfin tox) tox2) (- Lfin) (- (- Hfin tox)))
(position Wbox Lfin (- (- Hfin (+ tox tox2)))) "HfO2" "HfO2EXTDIR"))
```

; Define o substrato 3D2

```
(define r20 (sdegeo:create-cuboid (position (- Wbox ) (- (+ Lfin (+ Lfonte 0.185))) (- Hfin))
(position Wbox (+ Lfin (+ Lfonte 0.185)) (- (+ Hfin tbox))) "Oxide" "BOX"))
```

; Define o oxido de fonte 3D Superior

```
(define r21 (sdegeo:create-cuboid (position (- (+ Wfin tox)) (- Lfin) (+ Hfin tox)) (position (+
Wfin tox) (- (+ Lfin Lfonte )) Hfin) "Oxide" "SiO2FONTESUP"))
```

; Lateral Esquerdo

```
(define r22 (sdegeo:create-cuboid (position (- Wfin) (- Lfin) (+ Hfin tox)) (position (- (+ Wfin tox)) (- (+ Lfin Lfonte)) (- Hfin)) "Oxide" "SiO2FONTESQ"))
```

```
;Lateral Direito
```

```
(define r23 (sdegeo:create-cuboid (position Wfin (- Lfin) (+ Hfin tox)) (position (+ Wfin tox) (- (+ Lfin Lfonte)) (- Hfin)) "Oxide" "SiO2FONTEDIR"))
```

```
; Define o oxido de dreno 3D Superior
```

```
(define r24 (sdegeo:create-cuboid (position (- (+ Wfin tox)) Lfin (+ Hfin tox)) (position (+ Wfin tox) (+ Lfin Lfonte) Hfin) "Oxide" "SiO2DRENOSUP"))
```

```
; Lateral Esquerdo
```

```
(define r25 (sdegeo:create-cuboid (position (- Wfin) Lfin (+ Hfin tox)) (position (- (+ Wfin tox)) (+ Lfin Lfonte) (- Hfin)) "Oxide" "SiO2DRENOESQ"))
```

```
;Lateral Direito
```

```
(define r26 (sdegeo:create-cuboid (position Wfin Lfin (+ Hfin tox)) (position (+ Wfin tox) (+ Lfin Lfonte) (- Hfin)) "Oxide" "SiO2DRENODIR"))
```

```
.....  

.....;METAL:.....  

.....
```

```
; Define o metal de porta 3D Superior
```

```
(define r27 (sdegeo:create-cuboid (position (- (+ (+ Wfin tox) tox2)) (- Lfin) (+ (+ Hfin tox) tox2)) (position (+ (+ Wfin tox) tox2) Lfin (+ (+ (+ Hfin tox) tox2) tmet)) "TiN" "NitrSUP"))
```

```
; Define o metal de porta 3D Esquerdo
```

```
(define r28 (sdegeo:create-cuboid (position (- (+ (+ Wfin tox) tox2)) (- Lfin) (+ (+ (+ Hfin tox) tox2) tmet)) (position (- (+ (+ (+ Wfin tox) tox2) tmet)) Lfin (- (- Hfin (+ tox tox2)))) "TiN" "NitrESQ"))
```

```
(define r29 (sdegeo:create-cuboid (position (- (+ (+ (+ Wfin tox) tox2) tmet)) (- Lfin) (- (- Hfin (+ tox (+ tox2) tmet)))) (position (- Wbox) Lfin (- (- Hfin (+ tox (+ tox2)))))) "TiN" "NitrEXTESQ"))
```

; Define o metal de porta 3D Direito

```
(define r30 (sdegeo:create-cuboid (position (+ (+ Wfin tox) tox2) (- Lfin) (+ (+ (+ Hfin tox) tox2) tmet)) (position (+ (+ (+ Wfin tox) tox2) tmet) Lfin (- (- Hfin (+ tox tox2)))) "TiN" "NitrDIR"))
```

```
(define r31 (sdegeo:create-cuboid (position (+ (+ (+ Wfin tox) tox2) tmet) (- Lfin) (- (- Hfin (+ tox (+ tox2) tmet)))) (position Wbox Lfin (- (- Hfin (+ tox (+ tox2)))))) "TiN" "NitrEXTDIR"))
```

; Define o metal de porta 3D Superior

```
(define r32 (sdegeo:create-cuboid (position (- (+ Wfin 0.145)) (- Lfin) (+ (+ (+ Hfin tox) tox2) tmet)) (position (+ Wfin 0.145) Lfin (+ (+ (+ (+ Hfin tox) tox2) tmet) tmet2)) "GatePolySilicon" "PolySUP"))
```

```
(define r33 (sdegeo:create-cuboid (position (- (+ Wfin 0.145)) (+ Lfin 0.055) (+ (+ (+ Hfin tox) tox2) tmet)) (position (- (+ Wfin 0.495)) (- (+ Lfin 0.055)) (+ (+ (+ (+ Hfin tox) tox2) tmet) tmet2)) "GatePolySilicon" "PolySUPESQ"))
```

```
(define MC1 (sdegeo:create-rectangle (position -0.180 -0.045 (+ (+ (+ (+ Hfin tox) tox2) tmet) tmet2) ) (position -0.270 0.045 (+ (+ (+ (+ Hfin tox) tox2) tmet) tmet2)) "GatePolySilicon" "C01"))
```

```
(define MC2 (sdegeo:create-rectangle (position -0.380 -0.045 (+ (+ (+ (+ Hfin tox) tox2) tmet)
tmet2) ) (position -0.470 0.045 (+ (+ (+ (+ Hfin tox) tox2) tmet) tmet2))
"GatePolySilicon" "C02"))
```

```
(define r36 (sdegeo:create-cuboid (position (+ Wfin 0.145) (+ Lfin 0.055) (+ (+ (+ Hfin tox)
tox2) tmet)) (position (+ Wfin 0.495) (- (+ Lfin 0.055)) (+ (+ (+ (+ Hfin tox) tox2) tmet)
tmet2)) "GatePolySilicon" "PolySUPDIR"))
```

```
(define MC3 (sdegeo:create-rectangle (position 0.180 -0.045 (+ (+ (+ (+ Hfin tox) tox2) tmet)
tmet2) ) (position 0.270 0.045 (+ (+ (+ (+ Hfin tox) tox2) tmet) tmet2))
"GatePolySilicon" "C03"))
```

```
(define MC4 (sdegeo:create-rectangle (position 0.380 -0.045 (+ (+ (+ (+ Hfin tox) tox2) tmet)
tmet2) ) (position 0.470 0.045 (+ (+ (+ (+ Hfin tox) tox2) tmet) tmet2))
"GatePolySilicon" "C04"))
```

```
;Poly inferior
```

```
(define r39 (sdegeo:create-cuboid (position (- (+ (+ (+ Wfin tox) tox2) tmet) ) (- Lfin) (- (-
Hfin (+ tox (+ tox2 tmet)))))) (position (- Wbox) Lfin (+ (+ (+ Hfin tox) tox2) tmet) )
"GatePolySilicon" "PolyINFESQ"))
```

```
(define r40 (sdegeo:create-cuboid (position (+ (+ (+ Wfin tox) tox2) tmet) (- Lfin) (- (- Hfin
(+ tox (+ tox2 tmet)))))) (position Wbox Lfin (+ (+ (+ Hfin tox) tox2) tmet))
"GatePolySilicon" "PolyINFDIR"))
```

```
.....
.....SPACER.....
.....
```

```
; Spacer 1S
```

```
(define r41 (sdegeo:create-cuboid (position (- (+ (+ Wfin tox) tox2)) (- Lfin) (+ Hfin tox))
(position (- (+ Wfin tox)) (- (+ Lfin sp)) (- Hfin)) "Si3N4" "spacer1S"))
```

;Spacer 2S

```
(define r42 (sdegeo:create-cuboid (position (+ (+ Wfin tox) tox2) (- Lfin) (+ Hfin tox))
  (position (+ Wfin tox) (- (+ Lfin sp)) (- Hfin)) "Si3N4" "spacer2S"))
```

;Spacer 3S

```
(define r43 (sdegeo:create-cuboid (position (- (+ (+ Wfin tox) tox2)) (- Lfin) (+ Hfin tox) )
  (position (+ (+ Wfin tox) tox2) (- (+ Lfin sp)) (+ (+ (+ (+ Hfin tox) tox2) tmet) tmet2))
  "Si3N4" "spacer3S"))
```

; Spacer 1D

```
(define r44 (sdegeo:create-cuboid (position (- (+ (+ Wfin tox) tox2)) Lfin (+ Hfin tox))
  (position (- (+ Wfin tox)) (+ Lfin sp) (- Hfin)) "Si3N4" "spacer1D"))
```

;Spacer 2D

```
(define r45 (sdegeo:create-cuboid (position (+ (+ Wfin tox) tox2) Lfin (+ Hfin tox)) (position
  (+ Wfin tox) (+ Lfin sp) (- Hfin)) "Si3N4" "spacer2D"))
```

;Spacer 3D

```
(define r46 (sdegeo:create-cuboid (position (- (+ (+ Wfin tox) tox2)) Lfin (+ Hfin tox))
  (position (+ (+ Wfin tox) tox2) (+ Lfin sp) (+ (+ (+ (+ Hfin tox) tox2) tmet) tmet2)) "Si3N4"
  "spacer3D"))
```

```

;;;;;;;;;;;;;;;;;;;;;;;;
;; CONTATOS ;;
;;;;;;;;;;;;;;;;;;;;;;;;

```

```

; Contato de porta

```

```

(sdegeo:define-contact-set "porta" 0.001 (color:rgb 1 0 0) "###")

```

```

(sdegeo:set-current-contact-set "porta")

```

```

(sdegeo:define-3d-contact (find-face-id (position -0.200 0 (+ (+ (+ (+ Hfin tox) tox2) tmet)
tmet2) )) (sdegeo:get-current-contact-set))

```

```

; Contato de porta2

```

```

(sdegeo:define-contact-set "porta2" 0.001 (color:rgb 1 0 0) "###")

```

```

(sdegeo:set-current-contact-set "porta2")

```

```

(sdegeo:define-3d-contact (find-face-id (position -0.400 0 (+ (+ (+ (+ Hfin tox) tox2)
tmet) tmet2) )) (sdegeo:get-current-contact-set))

```

```

; Contato de porta 3

```

```

(sdegeo:define-contact-set "porta3" 0.001 (color:rgb 1 0 0) "###")

```

```

(sdegeo:set-current-contact-set "porta3")

```

```

(sdegeo:define-3d-contact (find-face-id (position 0.200 0 (+ (+ (+ (+ Hfin tox) tox2)
tmet) tmet2) )) (sdegeo:get-current-contact-set))

```

; Contato de porta 4

```
(sdegeo:define-contact-set "porta4" 0.001 (color:rgb 1 0 0) "###")
```

```
(sdegeo:set-current-contact-set "porta4")
```

```
(sdegeo:define-3d-contact (find-face-id (position 0.400 0 (+ (+ (+ (+ Hfin tox) tox2) tmet)
tmet2) )) (sdegeo:get-current-contact-set))
```

```
(sdegeo:delete-region MC1)
```

```
(sdegeo:delete-region MC2)
```

```
(sdegeo:delete-region MC3)
```

```
(sdegeo:delete-region MC4)
```

; Contato de dreno

```
(sdegeo:define-contact-set "dreno" 0.001 (color:rgb 0 1 0) "###")
```

```
(sdegeo:set-current-contact-set "dreno")
```

```
(sdegeo:define-3d-contact (find-face-id (position 0 0.200 Hfin )) (sdegeo:get-current-
contact-set))
```

```
(sdegeo:delete-region CD)
```

; Contato de fonte

```
(sdegeo:define-contact-set "fonte" 0.001 (color:rgb 0 1 0) "###")
```

```
(sdegeo:set-current-contact-set "fonte")
```

```
(sdegeo:define-3d-contact (find-face-id (position 0 -0.200 Hfin )) (sdegeo:get-current-
contact-set))
```

```
(sdegeo:delete-region CS)
```

```
; Contato do substrato
```

```
(sdegeo:define-contact-set "substrato" -0.001 (color:rgb 1 1 0) "##")
```

```
(sdegeo:set-current-contact-set "substrato")
```

```
(sdegeo:define-3d-contact (find-face-id (position 0.000 0.000 (- (+ Hfin tbox)) ))
```

```
(sdegeo:get-current-contact-set))
```

```
;;
```

```
;; DOPAGEM ;;
```

```
;;
```

```
; Canal
```

```
(sdedr:define-constant-profile "definicao_perfil_constante_canal"
```

```
"BoronActiveConcentration" Na)
```

```
(sdedr:define-constant-profile-region "placement_perfil_constante_canal"
```

```
"definicao_perfil_constante_canal" "Canal")
```

```
; Fonte
```

```
(sdedr:define-constant-profile "definicao_perfil_constante_fonte0"
```

```
"ArsenicActiveConcentration" Nd1)
```

```
(sdedr:define-constant-profile-region "placement_perfil_constante_fonte0"
```

```
"definicao_perfil_constante_fonte0" "Fonte0")
```

```
(sdedr:define-constant-profile "definicao_perfil_constante_fonte1"
```

```
"ArsenicActiveConcentration" Nd2)
```

```
(sdedr:define-constant-profile-region "placement_perfil_constante_fonte1"
```

```
"definicao_perfil_constante_fonte1" "Fonte1")
```

```

(sdedr:define-constant-profile                                "definicao_perfil_constante_fonte2"
 "ArsenicActiveConcentration" Nd2)
(sdedr:define-constant-profile-region                        "placement_perfil_constante_fonte2"
 "definicao_perfil_constante_fonte2" "Fonte2")

; Dreno
(sdedr:define-constant-profile                                "definicao_perfil_constante_dreno0"
 "ArsenicActiveConcentration" Nd1)
(sdedr:define-constant-profile-region                        "placement_perfil_constante_dreno0"
 "definicao_perfil_constante_dreno0" "Dreno0")

(sdedr:define-constant-profile                                "definicao_perfil_constante_dreno1"
 "ArsenicActiveConcentration" Nd2)
(sdedr:define-constant-profile-region                        "placement_perfil_constante_dreno1"
 "definicao_perfil_constante_dreno1" "Dreno1")

(sdedr:define-constant-profile                                "definicao_perfil_constante_dreno2"
 "ArsenicActiveConcentration" Nd2)
(sdedr:define-constant-profile-region                        "placement_perfil_constante_dreno2"
 "definicao_perfil_constante_dreno2" "Dreno2")

;
;
;

(sdedr:define-refinement-window "CanalGOX" "Cuboid" (position (- Wfin) (- Lfin) (*
Hfin 0.9) ) (position Wfin Lfin (* Hfin 1.1) ) )
(sdedr:define-refinement-window "CanalBOX" "Cuboid" (position (- Wfin) (- Lfin) (- (*
Hfin 0.9) ) ) (position Wfin Lfin (- (* Hfin 1.1) ) ) )
(sdedr:define-refinement-window "SilicioFonte" "Cuboid" (position (- Wfin) (- (+ (* Lfin 1.3)
sp)) (- Hfin ) ) (position Wfin (* (- Lfin) 0.9) Hfin ) )

```

```
(sdedr:define-refinement-window "SilicioDreno" "Cuboid" (position (- Wfin) (+ (* Lfin 1.3)
sp) (- Hfin ) ) (position Wfin (* Lfin 0.9) Hfin ) )
```

```
(sdedr:define-refinement-window "Centro" "Cuboid" (position (- Wfin) 0.001 (-
Hfin ) ) (position Wfin (- 0.001) Hfin ) )
```

```
.....
```

```
;; Refino ;;
```

```
.....
```

; Definição refino

```
(sdedr:define-refinement-size "TBOX" 5.0e-2 4.0e-2 5.0e-2 2.0e-2 1.0e-2 2.0e-2)
```

```
(sdedr:define-refinement-size "TGOX" 2.0e-3 8.0e-3 2.0e-4 1.0e-3 4.0e-3 1.0e-4)
```

```
(sdedr:define-refinement-size "Silicio" 2.0e-3 1.0e-2 2.0e-3 1.0e-3 5.0e-3 1.0e-3)
```

```
(sdedr:define-refinement-size "FonteDreno" 2.0e-2 3.0e-2 2.0e-3 1.0e-2 1.0e-2 1.0e-3)
```

```
(sdedr:define-refinement-size "InterfaceH" 1.0e-2 2.0e-3 1.0e-3 5.0e-3 1.0e-3 5.0e-4)
```

```
(sdedr:define-refinement-size "InterfaceV" 1.0e-2 2.0e-3 2.0e-3 5.0e-3 1.0e-3 1.0e-3)
```

```
(sdedr:define-refinement-size "Metal" 2.0e-2 1.0e-2 2.0e-2 1.0e-2 8.0e-3 1.0e-2)
```

```
(sdedr:define-refinement-size "MetalExt" 5.0e-2 2.0e-2 2.0e-2 4.0e-2 1.0e-2 1.0e-2)
```

; Aplicação refino

```
(sdedr:define-refinement-region "RefRegiaoCanal" "Silicio" "Canal")
```

```
(sdedr:define-refinement-region "RefRegiaoDreno1" "FonteDreno" "Dreno1")
```

```
(sdedr:define-refinement-region "RefRegiaoFonte1" "FonteDreno" "Fonte1")
```

```
;;(sdedr:define-refinement-region "RefRegiaoGOX" "TGOX" "SiO2TOP")
```

```
;;(sdedr:define-refinement-region "RefRegiaoGOX" "TGOX" "SiO2FONTEDIR")
```


APÊNDICE C – CÓDIGO DE SIMULAÇÃO

```
#-----#
```

```
Device InvMod {
```

```
  Electrode {
```

```
    { Name="fonte" Voltage=0.0 }
```

```
    { Name="dreno" Voltage=0.0 }
```

```
    { Name="porta" Voltage=0.0 }
```

```
    { Name="substrato" Voltage=0.0 }
```

```
  }
```

```
#####
```

```
  Thermode{
```

```
    {Name = "substrato" Temperature=298 SurfaceResistance=1.25E-4}
```

```
    {Name = "fonte" Temperature=298 SurfaceResistance=1.25E-4}
```

```
    {Name = "dreno" Temperature=298 SurfaceResistance=1.25E-4}
```

```
    {Name = "porta" Temperature=298 SurfaceResistance=1.25E-4}
```

```
    {Name = "porta2" Temperature=298 SurfaceResistance=1.25E-4}
```

```
    {Name = "porta3" Temperature=298 SurfaceResistance=1.25E-4}
```

```
    {Name = "porta4" Temperature=298 SurfaceResistance=1.25E-4}
```

```
  }
```

```
#####
```

```
  File {
```

```
    Grid = "NanoWire_Trigate_msh.tdr"
```

```
    Current = "W12p5L50nm"
```

```
    Doping = "NanoWire_Trigate_msh.tdr"
```

```
    Plot = "W12p5L50nm"
```

```
    Parameter = "Mob.par"
```

```
  }
```

```
#####
```

```
  Physics {
```

```
    Mobility (HighFieldSaturation Phumob ThinLayer (IALMob) Enormal)
```

```
    EffectiveIntrinsicDensity(BandGapNarrowing (OldSlotboom))
```

```
    Hydrodynamic
```

```
  }
```

```

#####
CurrentPlot {
  Temperature ((0,0,0) (0,0,0.0059) (0,0,0.063))
}
#####
Plot {
  eDensity hDensity eCurrent hCurrent
equasiFermi hquasiFermi
eTemperature
ElectricField eEparallel hEparallel
Potential SpaceCharge
SRHRecombination Auger
eMobility hMobility eVelocity hVelocity
Doping DonorConcentration AcceptorConcentration
ElectricField
BandGap BandGapNarrowing Affinity ConductionBand valenceBand
}
}
#####
Math {
  ExitOnFailure
  Method = ils
  number_of_threads = 4
  stacksize = 100000
}
#####
System {
  InvMod trans (dreno=d fonte=s porta=g substrato=b)
  Vsource_pset vd (d 0) {dc=0}
  Vsource_pset vs (s 0) {dc=0}
  Vsource_pset vg (g 0) {dc=0}
  Vsource_pset vb (b 0) {dc=0}
}

```

```

Solve {

##### ZERO #####

  Poisson
  Coupled { Poisson Electron Hole eTemperature hTemperature Temperature}
CurrentPlot (time = (-1))
##### SOURCE #####

  Quasistationary (
    InitialStep=0.05 MaxStep=0.05 Minstep=1E-6
    Goal { Parameter=vs.dc Voltage= -0.9 }
  )
  { Coupled { Poisson Electron Hole eTemperature hTemperature Temperature}
CurrentPlot (time = (-1))}

##### BOX #####

  Quasistationary (
    InitialStep=0.5 MaxStep=0.5 Minstep=1E-6
    Goal { Parameter=vb.dc Voltage= -0.9 }
  )
  { Coupled { Poisson Electron Hole eTemperature hTemperature Temperature}
CurrentPlot (time = (-1))}

  Save (FilePrefix="BOX_298K")

##### PORTA #####

  Quasistationary (
    InitialStep=0.05 MaxStep=0.1 MinStep=1.E-9
    Goal { Parameter=vg.dc Voltage = -1.5}
  )
  { Coupled
  { Poisson Electron Hole eTemperature hTemperature Temperature} CurrentPlot (time
= (-1)) }

```

Save (FilePrefix="SHN6_2_VG-0p5V_StaticSHENW_298K")

```
    Quasistationary (  
      InitialStep=0.05 MaxStep=0.1 MinStep=1.E-15  
      Goal { Parameter=vg.dc Voltage = 1.5}  
    )  
    { Coupled  
      { Poisson Electron Hole eTemperature hTemperature Temperature} CurrentPlot (time  
= (range = (0 1) intervals=600)) }  
  }
```