

CENTRO UNIVERSITÁRIO DA FEI

LEANDRO POLONI DANTAS

**Estudo da Distorção Harmônica em Transistores de
Porta Circular Usando Tecnologia SOI CMOS Sub-
Micrométrica de 0,13 μm**

São Bernardo do Campo

2008

LEANDRO POLONI DANTAS

**Estudo da Distorção Harmônica em Transistores de
Porta Circular Usando Tecnologia SOI CMOS Sub-
Micrométrica de 0,13 μm**

Dissertação apresentada ao Centro
Universitário da FEI para obtenção do título
de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Salvador Pinillos
Gimenez

São Bernardo do Campo

2008

Dantas, Leandro Poloni

Estudo da distorção harmônica em transistores de porta circular
usando tecnologia SOI CMOS sub-micrométrica de 0,13 μm /
Leandro Poloni Dantas . - São Bernardo do Campo, 2008.
145 f. : il.

Dissertação de Mestrado - Centro Universitário da FEI.

Orientador: Salvador Pinillos Gimenez

1. Distorção harmônica. 2. Linearidade. 3. SOI - Porta Circular.
I. Gimenez, Salvador Pinillos, orient. II. Título.

CDU 621.382

Dedico esse trabalho a minha noiva Priscila pelo seu amor incondicional, apoio, compreensão e por me fazer um homem muito feliz.

AGRADECIMENTOS

Ao meu orientador, Prof. Dr. Salvador Pinillos Gimenez, pela imensa dedicação despendida a mim e a minha pesquisa. Por ter se mostrado muito mais que um parceiro de jornada, se tornando um grande amigo e merecedor da minha admiração.

Aos professores Dr. Marcello Bellodi, Dr. Marcelo Antonio Pavanello, Dr. Renato Camargo Giacomini e Dr. João Antonio Martino pelos ensinamentos passados durante o período de aulas e as contribuições dadas durante essa pesquisa e preparo da dissertação.

A toda diretoria da BeSafer Intelligence por compreender meu desejo de cursar um mestrado e me oferecer além de apoio financeiro, totais condições para que eu pudesse tirar o maior proveito desse passo tão importante de minha vida.

Aos meus pais Antonio Augusto Aparecido Dantas e Yara Poloni Dantas, ao meu irmão Leonardo Poloni Dantas e minha avó Olga Rodrigues Poloni por todo carinho, orações e amparo dado durante esse período.

A minha noiva e amada Priscila Pinas Feletti por todo amor, paciência e muito, muito, muito apoio oferecidos durante esses dois anos e dois meses.

Aos colegas de turma e das turmas anterior e posterior pela contribuição direta e indireta na minha pesquisa e desenrolar desse trabalho.

A toda equipa da FEI que participou nos bastidores me oferecendo total conforto, infra-estrutura e materiais adequados.

Ao Sr. Cor Claeys do IMEC por ceder as amostras de transistores utilizados e ao Sr. Antonio Cerdeira do CINVESTAV-IPN por fornecer o programa IFM.

A todos aqueles involuntariamente esquecidos, mas que contribuíram de alguma forma ou que se interessaram por essa causa tão importante para mim.

Por último, porém o mais importante, agradeço a Deus pela vida cheia de saúde e por permitir que tantas pessoas boas estivessem a minha volta contribuindo para a realização desse sonho.

*Quando surge uma dificuldade não
devemos pensar que ela veio para nos
atormentar. Se assim pensarmos, a
dificuldade se tornará maior ainda e o
sofrimento mais profundo. A dificuldade
vem, não para atormentar o homem, mas
para polir a alma. Vem para despertar a
capacidade latente e avivar a força total do
homem; não para fazê-lo sofrer.*

Masaharu Taniguchi

RESUMO

Dantas, L. P. **Estudo da Distorção Harmônica em Transistores de Porta Circular Usando Tecnologia SOI CMOS Sub-Micrométrica de 0,13 μm** . 2008. 145 f., Dissertação (Mestrado) – Centro Universitário da FEI, São Bernardo do Campo, 2008.

Neste trabalho é apresentado o estudo comparativo de distorção harmônica entre transistores SOI nMOSFETs parcialmente depletados de porta de geometria circular e convencional, operando na região de saturação e em temperatura ambiente. Para tanto, são utilizados transistores com comprimento médio de canal igual a 1 μm e óxido de porta igual a 2,5 nm. O transistor de porta circular apresenta assimetria entre as regiões de dreno e fonte, podendo assim ser polarizado de duas formas diferentes, denominadas de configuração de dreno externo e dreno interno. Uma outra característica do transistor circular, que não é observada nos transistores convencionais, é a ocorrência da corrente de dreno na direção radial. Para este trabalho foram executadas medidas experimentais e simulações numéricas tridimensionais para determinação das curvas características dos transistores [corrente de dreno em função da tensão de porta ($I_{\text{DS}} \times V_{\text{GS}}$) e corrente de dreno em função da tensão de dreno ($I_{\text{DS}} \times V_{\text{DS}}$)]. Toda análise da distorção harmônica foi feita aplicando-se o método da Função Integral (IFM), que permite a determinação de distorção harmônica total (THD) e da distorção do segundo (HD2) e terceiro (HD3) harmônicos, usando-se apenas as curvas características de corrente contínua (DC) dos dispositivos. Essa análise mostrou, através da figura de mérito mais importante gerada por este trabalho, que a distorção harmônica total efetiva [THD dividido pelo ganho em malha aberta (A_V)] em função da razão da transcondutância (g_m) sobre I_{DS} do SOI nMOSFET de porta de geometria circular operando em configuração de dreno externo é menor do que na configuração de dreno interno e também que a configuração convencional do SOI nMOSFET. Isso faz com que o SOI nMOSFET de porta de geometria circular operando em configuração de dreno externo seja uma excelente alternativa em aplicações de circuitos integrados analógicos.

Palavras-chave: SOI, porta circular, linearidade, distorção harmônica

ABSTRACT

Dantas, L. P. **Study of Harmonic Distortion in Transistors with Circular Gate Using SOI CMOS Sub-Micrometric Technology of 0.13 μm** . 2008. 145 p., Dissertation (Master) – Centro Universitário da FEI, São Bernardo do Campo, 2008.

This work presents a comparative study of harmonic distortion between circular and conventional gate partially-depleted SOI nMOSFETs, operating in saturation region and room temperature. Transistors with canal length of 1 μm and gate oxide thickness equal to 2.5 nm are used in this. The drain and source regions of circular gate transistor are asymmetric, and they can be biased of two different ways, called external drain or internal drain configuration. Another characteristic of circular transistor that is not observed in conventional transistors is that drain current occurs in all directions of channel. In this work are performed experimental measurements and numerical tri-dimensional simulations for determination of fundamental transistor curves [drain current as a function of gate voltage ($I_{\text{DS}} \times V_{\text{GS}}$) e drain current as a function of drain voltage ($I_{\text{DS}} \times V_{\text{DS}}$)]. The whole analysis of distortion is made using the Integral Function Method (IFM) that permits the determination of total harmonic distortion (THD), second (HD2) and third (HD3) harmonic distortions only by using the direct current (DC) characteristic curves. The analysis showed, based on the most import merit figure produced in this work, that the effective total harmonic distortion [THD over the open loop gain (A_V)] as a function of transconductance (g_m) over I_{DS} of the circular gate SOI nMOSFET with external drain configuration is lower than internal drain configuration and the conventional SOI nMOSFET too. It makes the circular gate SOI nMOSFET with external drain configuration an excellent option for analog integrated circuit applications.

Keywords: SOI, circular gate, linearity, harmonic distortion

LISTA DE FIGURAS

Figura 1.1 – (a) Seção transversal de um inversor CMOS convencional com a representação das capacitâncias parasitas e do tiristor PNP parasitário. (b) Seção transversal de um inversor SOI CMOS e suas capacitâncias parasitas.	24
Figura 2.1 – Leiaute de SOI MOSFETs circulares, onde a região interna circular pode operar ou como fonte (a) ou como dreno (b).	27
Figura 2.2 – Vista superior e seção transversal dos SOI nMOSFETs convencional (a), circular operando em configuração de dreno externo (b) e de dreno interno (c), contendo a indicação do sentido da corrente ao longo do canal.	28
Figura 2.3 – Representação gráfica do comprimento efetivo de canal dos SOI MOSFETs convencional e circular operando em configurações de dreno externo e interno.	29
Figura 2.4 – Gráfico teórico da determinação de V_{TH} pelo método da derivada da transcondutância.	31
Figura 2.5 – Exemplo de uma curva teórica de $R_{SD} \times V_{GS}$, usada para realizar a extração da resistência série de um MOSFET.	32
Figura 2.6 – Exemplo de uma curva de $g_m/I_{DS} \times I_{DS}/(W/L)$ obtida experimentalmente de um SOI nMOSFET circular operando na configuração de dreno externo.	34
Figura 2.7 – Transistor bipolar parasitário no SOI MOSFET.	36
Figura 2.8 – Representação do “ <i>single-transistor latchup</i> ”. Inclinação de sublimiar normal (a), inclinação infinita de sublimiar e histerese (b), e “ <i>latchup</i> ” do dispositivo (c).	36
Figura 2.9 – Método para determinação da tensão Early.	37
Figura 2.10 - Amplificador de transcondutância de um único transistor.	38
Figura 2.11 – Características da distorção harmônica de circuitos lineares (a) e não-lineares (b).	41
Figura 2.12 – Circuito usado para medir a distorção harmônica (a) e a distorção na corrente de dreno causada pela não linearidade na curva $I_{DS}-V_{GS}$ (b).	42
Figura 2.13 – Processo de normalização da curva DC entrada-saída através do método IFM.	44
Figura 2.14 – Representação das duas áreas presentes no quadrado dividido pela curva normalizada entrada-saída $y(x)$	45
Figura 2.15 – Característica da curva normalizada que intercepta a bissetriz em um ponto qualquer e a correção feita pela função $y_s(x)$	46
Figura 2.16 – Saída normalizada da função $y_r(x)$	47

Figura 2.17 – Saída normalizada simétrica da diferença $y_r(x)-x$ e seu módulo $ y_r(x)-x $. O caso mais comum de múltiplos cruzamentos da bissetriz.	48
Figura 2.18 – Esquema gráfico para obtenção de $(THD/A_v) \times (g_m/I_{DS})$	50
Figura 3.1 – Curvas da segunda derivada de $I_{DS} \times V_{GS}$ experimental dos transistores SOI nMOSFET convencional (a) e circular (b).	53
Figura 3.2 – Corrente de dreno normalizada em função da razão de aspecto em função da sobreensão de porta dos transistores SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para diferentes valores de V_{DS} [0,4 V (a), 0,6 V (b), 0,8 V (c) e 1 V (d)].	54
Figura 3.3 – Resistência normalizada entre dreno e fonte dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para polarização de dreno igual a 100 mV.	57
Figura 3.4 – Desenho ilustrativo da resistência da região interna e externa de uma parte de um transistor circular (a), representação do transistor circular operando em configuração de dreno externo (b) e interno (c), considerando a resistência série.	58
Figura 3.5 – Curva experimental $I_{DS}/(W/L) \times V_{GT}$ mostrando a ocorrência do efeito <i>single-transistor latchup</i> no transistor circular operando em configuração de dreno interno na região de sublimiar.	59
Figura 3.6 – Transcondutância normalizada em função da razão de aspecto em função da sobreensão de porta dos SOI nMOSFETs convencional e circular, operando em configuração de dreno externo e interno para polarização de dreno igual a 0,4 V (a) e 0,5 V (b).	60
Figura 3.7 – Conjunto de curvas $g_m \times V_{GS}$ experimentais para diferentes valores de V_{DS} do transistor circular operando com dreno interno, com destaque para o primeiro pico de cada curva.	62
Figura 3.8 – Curvas experimentais de g_m/I_{DS} em função da tensão de porta (V_{GT}), para V_{DS} igual a 0,11 V (a) e 0,8 V (b).	63
Figura 3.9 – Curva experimental da relação g_m/I_{DS} em função da corrente de dreno normalizada $[I_{DS}/(W/L)]$ e polarização de dreno igual a 110 mV.	64
Figura 3.10 – Curva experimental da relação g_m/I_{DS} em função da corrente de dreno normalizada $[I_{DS}/(W/L)]$ e polarização de dreno igual a 0,8 V, com destaque para a região de inversão forte.	65
Figura 3.11 – Medidas experimentais da corrente de dreno normalizada em função da razão de aspecto em função da tensão de dreno dos SOI nMOSFETs convencional e circular operando	

em configuração de dreno externo e interno, para diferentes valores de sobretensão de porta.	66
Figura 3.12 – Tensão Early em função da sobretensão de porta (V_{GT}) experimental dos transistores SOI nMOSFETs.	68
Figura 3.13 – Representação do ganho de saída em função do ponto de polarização V_{GS} dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno.	69
Figura 3.14 – Distorção harmônica total em função do ponto de polarização V_{GT} experimental dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para V_a igual a 30 mV(a) e 200 mV (b).	70
Figura 3.15 – Distorção harmônica de terceira ordem em função do ponto de polarização V_{GT} dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para V_a igual a 30 mV (a) e 200 mV (b).	72
Figura 3.16 – THD/A_V em função do ponto de polarização V_{GT} experimental dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para V_a igual a 30 mV e 200 mV.	73
Figura 3.17 – THD/A_V em função da relação g_m/I_{DS} experimental dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para V_a igual a 30 mV e 200 mV.	74
Figura 3.18 – THD/A_V em função de V_a dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para g_m/I_{DS} igual a $4,6 V^{-1}$.	75
Figura 3.19 – $HD3/A_V$ em função de V_a experimental dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para g_m/I_{DS} igual a $4,6 V^{-1}$.	77
Figura 4.1 – Representação tridimensional da estrutura do SOI nMOSFET convencional simulada.	80
Figura 4.2 – Representação tridimensional da estrutura do SOI nMOSFET circular simulada.	80
Figura 4.3 – Seção transversal das estruturas simuladas.	81
Figura 4.4 – Curvas da segunda derivada de $I_{DS} \times V_{GS}$ dos SOI nMOSFET convencional (a), circular em configurações de dreno externo (b) e interno (c).	83
Figura 4.5 – Corrente de dreno em função da sobretensão de porta dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para $V_{DS} = 0,8 V$.	84

Figura 4.6 – Resistência normalizada entre dreno e fonte dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para polarização de dreno igual a 100 mV.	85
Figura 4.7 – Seção transversal do SOI nMOSFET convencional destacando-se as regiões de interface metal/óxido de isolamento do contato externo (a) e interno (b) em função da densidade de corrente elétrica.....	86
Figura 4.8 – Seção transversal do SOI nMOSFET circular operando em configuração de dreno externo destacando-se as regiões de interface metal/óxido de isolamento do contato externo (a) e interno (b) em função da densidade de corrente elétrica.....	87
Figura 4.9 – Seção transversal do SOI nMOSFET circular operando em configuração de dreno interno destacando-se as regiões de interface metal/óxido de isolamento do contato externo (a) e interno (b) em função da densidade de corrente elétrica.....	88
Figura 4.10 – Transcondutância normalizada em função da razão de aspecto em função da sobreensão de porta dos SOI nMOSFETs convencional e circular, operando em configuração de dreno externo e interno para polarização de dreno igual a 0,8 V.	89
Figura 4.11 – g_m/I_{DS} em função da sobreensão de porta (V_{GT}) dos SOI nMOSFETs convencional e circular para V_{DS} igual a 0,8 V.	90
Figura 4.12 – g_m/I_{DS} em função da corrente de dreno normalizada [$I_{DS}/(W/L)$].	91
Figura 4.13 – Corrente de dreno normalizada em função da razão de aspecto em função da tensão de dreno dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno, para $V_{GT} = 400$ mV e 500 mV (a) e 600 mV e 700 mV (b).	92
Figura 4.14 – Tensão Early em função do ponto de polarização (V_{GT}) dos transistores SOI nMOSFETs.....	95
Figura 4.15 – Representação do ganho de tensão em função de V_{GT} dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno, respectivamente.	96
Figura 4.16 – Distorção harmônica total em função do ponto de polarização V_{GT} dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para V_a igual a 30 mV(a) e 200 mV (b).	97
Figura 4.17 – Distorção harmônica de terceira ordem em função do ponto de polarização V_{GT} dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para V_a igual a 30 mV (a) e 200 mV (b).	99

Figura 4.18 – THD/ A_V em função do ponto de polarização V_{GT} dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para V_a igual a 30 mV e 200 mV.	101
Figura 4.19 – THD/ A_V em função da relação g_m/I_{DS} dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para V_a igual a 30 mV e 200 mV.	103
Figura 4.20 – THD/ A_V em função de V_a dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para g_m/I_{DS} igual a $2,6 \text{ V}^{-1}$	104
Figura 4.21 – HD3/ A_V em função de V_a dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para g_m/I_{DS} igual a $2,6 \text{ V}^{-1}$	106
Figura A.1 – Representação 3D da região do canal de um SOI MOSFET de porta de geometria circular.	115

LISTA DE TABELAS

Tabela 3.1 – Tensão Early em função do ponto de polarização (V_{GT}) dos transistores SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno..	67
Tabela 3.2 – Ganho de tensão em função do ponto de polarização (V_{GT}) dos transistores SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno, para $V_{DS} = 0,8$ V.....	68
Tabela 3.3 – THD/ $A_V \times V_a$ dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para g_m/I_{DS} igual a $4,6$ V^{-1}	76
Tabela 3.4 – Resumo das medidas experimentais dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno.....	78
Tabela 4.1 – Tensão Early em função do ponto de polarização (V_{GT}) dos transistores SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno..	94
Tabela 4.2 – Ganho de tensão em função do ponto de polarização (V_{GT}) dos transistores SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno, para $V_{DS} = 0,8$ V.....	95
Tabela 4.3 – THD/ $A_V \times V_a$ dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para g_m/I_{DS} igual a $2,6$ V^{-1}	105

LISTA DE SÍMBOLOS

∂I_{DS}	Variação infinitesimal na corrente entre dreno e fonte (A)
ΔI_{DS}	Variação na corrente entre dreno e fonte (A)
ΔL_{DE}	Distância entre a região de estrangulamento e a região de dreno do SOI MOSFET circular operando em configuração de dreno externo (nm)
ΔL_{DI}	Distância entre a região de estrangulamento e a região de dreno do SOI MOSFET circular operando em configuração de dreno interno (nm)
ΔL_Q	Distância entre a região de estrangulamento e a região de dreno do SOI MOSFET convencional (nm)
ΔV_{DS}	Variação na tensão entre dreno e fonte (V)
∂V_{GS}	Variação infinitesimal na tensão entre porta e fonte (V)
ΔV_{GS}	Variação na tensão entre porta e fonte (V)
ΔV_{in}	Variação na tensão de entrada de um amplificador de transcondutância SOI nMOSFET (V)
ΔV_{out}	Variação na tensão de saída de um amplificador de transcondutância SOI nMOSFET (V)
ϵ_0	Permissividade do vácuo ($8,854 \times 10^{-14}$ F/cm)
ϵ_{si}	Permissividade do silício (F/cm)
μ_n	Mobilidade dos elétrons na camada de inversão [$\text{cm}^2/(\text{V.s})$]
Φ	Ângulo de defasagem da função de entrada do dispositivo na análise por Taylor
Φ_F	Potencial de Fermi (V)
Φ_S	Potencial de superfície (V)
ξ	Frequência do sinal de entrada (Hz)
ω	Frequência angular do sinal de entrada (Hz)
ω_0	Frequência angular fundamental (Hz)
a_0	Amplitude do nível DC para a série de Fourier e Taylor (V)
a_1	Ganho linear para a série Taylor
a_2	Coefficientes de distorção do segundo harmônico para a série de Fourier e Taylor
a_3	Coefficientes de distorção do terceiro harmônico para a série de Fourier e Taylor

a_n	Amplitude do n -ésimo termo da série de Fourier em função do cosseno de ξ
A	Amplitude da função aplicada na entrada do dispositivo
A_{DE}	Área da região de interface dreno/canal do SOI nMOSFET circular operando em configuração de dreno externo
A_{DI}	Área da região de interface dreno/canal do SOI nMOSFET circular operando em configuração de dreno interno
A_Q	Área da região de interface dreno/canal do SOI nMOSFET convencional
ÁREA 1	Área acima da curva normalizada para a aplicação do IFM
ÁREA 2	Área abaixo da curva normalizada para a aplicação do IFM
A_V	Ganho de tensão em malha aberta para baixas frequências
A_{V_DE}	Ganho de tensão do SOI nMOSFET circular operando em configuração de dreno externo (dB)
A_{V_DI}	Ganho de tensão do SOI nMOSFET circular operando em configuração de dreno interno (dB)
A_{V_Q}	Ganho de tensão do SOI nMOSFET convencional (dB)
b_n	Amplitude do n -ésimo termo da série de Fourier em função do seno de ξ
C_0	Coefficiente de Fourier correspondente à amplitude do nível DC do sinal de saída
C_1	Coefficiente de Fourier correspondente à amplitude do sinal de frequência fundamental na saída
C_3	Coefficiente de Fourier correspondente à amplitude do terceiro harmônico no sinal de saída
C_L	Capacitância de saída de um amplificador de transcondutância SOI nMOSFET
C_n	Coefficiente de Fourier correspondente à amplitude do harmônico de ordem n no sinal de saída
C_{oxf}	Capacitância do óxido de porta por unidade de área (F/cm^2)
D	Primeira função integral para o cálculo da distorção harmônica
D_s	Segunda função integral para o cálculo da distorção harmônica
D_r	Terceira função integral para o cálculo da distorção harmônica
D_{rs}	Quarta função integral para o cálculo da distorção harmônica
f_g	Fator Geométrico que define a relação entre as dimensões dos transistores retangulares e circulares
f_T	frequência de ganho unitário (Hz)

g_{DLS}	Condutância de dreno (S)
g_m	Transcondutância (S)
$g_{m_m\acute{a}x}$	Transcondutância máxima (S)
HD0	Distorção harmônica correspondente à parcela DC do sinal de entrada
HD2	Distorção harmônica referente ao harmônico de segunda ordem
HD3	Distorção harmônica referente ao harmônico de terceira ordem
HDn	Distorção harmônica referente ao harmônico de enésima ordem
I	Corrente (A)
I_{ch}	Corrente do canal (A)
I_{DS}	Corrente de dreno (A)
I_{DS_DE}	Corrente de dreno do SOI nMOSFET circular operando em configuração de dreno externo (A)
I_{DS_DI}	Corrente de dreno do SOI nMOSFET circular operando em configuração de dreno interno (A)
I_{DS_Q}	Corrente de dreno do SOI nMOSFET convencional (A)
I_{DSsat}	Corrente de dreno de saturação (A)
I_{DSsat_DI}	Corrente de dreno de saturação do SOI MOSFET circular operando em configuração de dreno interno (A)
$\vec{J}_E$	Densidade de campo elétrico
k	Constante de Boltzmann ($1,38 \times 10^{-23}$ J/K)
L	Comprimento de máscara do canal do dispositivo (μm)
L_{eff}	Comprimento efetivo do canal do dispositivo (μm)
L_{eff_DE}	Comprimento efetivo do canal do SOI MOSFET circular operando em configuração de dreno externo (μm)
L_{effDI}	Comprimento efetivo do canal do SOI MOSFET circular operando em configuração de dreno interno (μm)
L_{effQ}	Comprimento efetivo do canal do SOI MOSFET convencional (μm)
M	Fator multiplicativo TBJ parasitário
N_A	Concentração de dopantes no canal (cm^{-3})
$N_{Dreno/Fonte}$	Concentração de dopantes no dreno e fonte (cm^{-3})
P_1	Potência da frequência fundamental no sinal de saída
P_2	Potência do segundo harmônico presente no sinal de saída

P_3	Potência do terceiro harmônico presente no sinal de saída
P_4	Potência do quarto harmônico presente no sinal de saída.
P_n	Potência do n -ésimo harmônico presente no sinal de saída
q	Carga elementar do elétron ($q = 1,6 \times 10^{-19}$ C)
R_1	Raio interno da coroa que define o início do canal do transistor circular
R_2	Raio externo da coroa que define o final do canal do transistor circular
R_3	Raio do transistor circular
R_{CH}	Resistência do canal (Ω)
R_S	Resistência série (Ω)
R_{SD}	Resistência total entre fonte e dreno (Ω)
R_{SEXT}	Resistência série da região externa do SOI nMOSFET circular
R_{SINT}	Resistência série da região interna do SOI nMOSFET circular
R_{Snorm}	Resistência série normalizada (Ω)
S	Inclinação de sub-limiar (mV/década)
t_{oxb}	Espessura da camada de óxido enterrado (nm)
t_{oxf}	Espessura da camada de óxido de porta (nm)
t_{Si}	Espessura da camada de silício (nm)
T	Temperatura absoluta (K)
THD	Distorção harmônica total (dB)
THD_0	Distorção harmônica total acrescida do nível DC (dB)
$(THD/A_V)_{DE}$	Distorção harmônica total efetiva do SOI nMOSFET circular operando em configuração de dreno externo (dB)
$(THD/A_V)_{DI}$	Distorção harmônica total efetiva do SOI nMOSFET circular operando em configuração de dreno interno (dB)
$(THD/A_V)_Q$	Distorção harmônica total efetiva do SOI nMOSFET convencional (dB)
V	Tensão (V)
V_0	Nível de tensão DC entre porta e fonte (V)
V_1	Amplitude da frequência fundamental no sinal de saída
V_2	Amplitude do segundo harmônico no sinal de saída
V_3	Amplitude do terceiro harmônico no sinal de saída
V_4	Amplitude do quarto harmônico no sinal de saída
V_a	Amplitude máxima do sinal de entrada senoidal (V)

V_{a_DE}	Amplitude máxima do sinal de entrada senoidal do SOI nMOSFET circular operando em configuração de dreno externo (V)
V_{a_DI}	Amplitude máxima do sinal de entrada senoidal do SOI nMOSFET circular operando em configuração de dreno interno (V)
V_{a_Q}	Amplitude máxima do sinal de entrada senoidal do SOI nMOSFET convencional (V)
V_n	Amplitude do n -ésimo harmônico no sinal de saída
V_B	Potencial de substrato (V)
V_{BS}	Tensão aplicada ao substrato (V)
V_D	Potencial de dreno (V)
V_{DD}	Tensão de alimentação (V)
V_{DG}	Diferença de potencial entre dreno e porta (V)
V_{DS}	Tensão aplicada ao dreno do transistor (V)
V_{DSsat}	Tensão de dreno de saturação (V)
V_{EA}	Tensão Early (V)
V_{FB}	Tensão de faixa plana (V)
V_G	Potencial de porta (V)
V_{GS}	Tensão aplicada à porta do transistor (V)
V_{GT}	Sobretensão de porta (V)
V_{IN}	Tensão de entrada (V)
V_{OUT}	Tensão de saída (V)
V_S	Potencial de fonte (V)
V_{GS_DE}'	Tensões efetivas entre porta e fonte do SOI nMOSFET circular operando em configuração de dreno externo (V)
V_{GS_DI}'	Tensões efetivas entre porta e fonte do SOI nMOSFET circular operando em configuração de dreno interno (V)
V_{TH}	Tensão de limiar (V)
W	Largura do canal do dispositivo (μm)
$W_{médio}$	Largura médio do canal do SOI nMOSFET circular (μm)
X_0	Ponto de polarização do dispositivo na análise pelo IFM
X_{dmax}	Espessura máxima da camada de depleção

LISTA DE ABREVIATURAS

AC	Corrente Alternada
CF	Coefficientes de Fourier
CGT	Circular Gate Transistor (Transistor de Canal Circular)
CGT _{DE}	Transistor de Canal Circular Operando em Configuração de Dreno Externo
CGT _{DI}	Transistor de Canal Circular Operando em Configuração de Dreno Interno
DC	Corrente Contínua
ED	External Drain (Dreno Externo)
FET	Field Effect Transistor (Transistor de Efeito de Campo)
HD	Harmonic Distortion (Distorção Harmônica)
ID	Internal Drain (Dreno Interno)
IFM	Integral Function Method (Método da Função Integral)
IMD	Intermodulation Distortion (Distorção de Intermodulação)
LPLV	Low-Power Low-Voltage (Baixa-Potência Baixa-Tensão)
MOS	Metal-Oxide-Semiconductor (Metal-Óxido-Semicondutor)
OTA	Operational Transconductance Amplifier (Amplificador Operacional de Transcondutância)
SOI	Silicon-on-Insulator (Silício sobre Isolante)
THD	Total Harmonic Distortion (Distorção Harmônica Total)
HD	Harmonic Distortion (Distorção Harmônica)
HD2	Second Order Harmonic Distortion (Distorção de Segundo Harmônico)
HD3	Third Order Harmonic Distortion (Distorção de Terceiro Harmônico)
VIP	Voltage Interception Point (Ponto de Interceptação da Tensão)
VLSI	Very Large Scale of Integration (Muito grande escala de integração)

SUMÁRIO

1	INTRODUÇÃO.....	23
2	CONCEITOS FUNDAMENTAIS	27
2.1	SOI MOSFET DE PORTA DE GEOMETRIA CIRCULAR.....	27
2.1.1	ORIENTAÇÃO DA CORRENTE ELÉTRICA	28
2.2	REGIÃO DE ESTRANGULAMENTO (<i>PINCH-OFF</i>) E COMPRIMENTO EFETIVO DE CANAL (L_{EFF})	29
2.3	TENSÃO DE LIMAR	30
2.4	RESISTÊNCIA SÉRIE.....	32
2.5	TRANSCONDUTÂNCIA	33
2.6	RAZÃO G_M/I_{DS}	33
2.7	EFEITO PARASITÁRIO DEVIDO AO CORPO FLUTUANTE	35
2.8	TENSÃO EARLY (V_{EA}) E CONDUTÂNCIA DE DRENO (G_{DS}).....	37
2.9	GANHO DE TENSÃO DE UM AMPLIFICADOR DE TRANSCONDUTÂNCIA DE UM ÚNICO TRANSISTOR.....	38
2.10	NÃO-LINEARIDADE OU DISTORÇÃO HARMÔNICA	40
2.10.1	MÉTODOS PARA DETERMINAÇÃO DA NÃO-LINEARIDADE	42
2.10.2	DISTORÇÃO HARMÔNICA TOTAL EFETIVA (THD/A_V)	50
3	MEDIDAS EXPERIMENTAIS – RESULTADOS	52
3.1	MEDIDAS	52
3.2	TENSÃO DE LIMAR (V_{TH})	53
3.3	CARACTERÍSTICAS [$I_{DS}/(W/L)$] X V_{GT}	54
3.4	RESISTÊNCIA SÉRIE NORMALIZADA	57
3.5	TRANSISTOR PARASITÁRIO DEVIDO AO CORPO FLUTUANTE (<i>SINGLE-TRANSISTOR LATCHUP</i>).....	59
3.6	TRANSCONDUTÂNCIA NORMALIZADA [$G_M/(W/L)$]	60
3.7	RAZÃO G_M/I_{DS} EM FUNÇÃO DA SOBRETENSÃO DE PORTA	62
3.8	RAZÃO G_M/I_{DS} EM FUNÇÃO DA CORRENTE DE DRENO NORMALIZADA EM FUNÇÃO DA RAZÃO DE ASPECTO	64
3.9	CARACTERÍSTICA I_{DS} X V_{DS}	66
3.10	TENSÃO EARLY (V_{EA}) E GANHO DE TENSÃO EM MALHA ABERTA (A_V).....	67

3.11	DISTORÇÃO HARMÔNICA PARA DISPOSITIVOS OPERANDO EM SATURAÇÃO	69
3.11.1	DISTORÇÃO HARMÔNICA TOTAL (THD)	70
3.11.2	DISTORÇÃO DO HARMÔNICO DE TERCEIRA ORDEM (HD3)	72
3.11.3	DISTORÇÃO HARMÔNICA TOTAL EFETIVA	73
3.11.4	DISTORÇÃO HARMÔNICA EM FUNÇÃO DA AMPLITUDE DA ENTRADA SENOIDAL (V_A)	75
3.12	RESUMO DAS MEDIDAS EXPERIMENTAIS	77
4	SIMULAÇÕES NUMÉRICAS – RESULTADOS	79
4.1	SIMULADOR ATLAS	79
4.2	MODELOS UTILIZADOS NO SIMULADOR ATLAS	81
4.3	TENSÃO DE LIMAR (V_{TH})	83
4.4	CARACTERÍSTICAS I_{DS} X V_{GT}	84
4.5	RESISTÊNCIA SÉRIE NORMALIZADA	85
4.6	TRANSCONDUTÂNCIA NORMALIZADA [$G_M/(W/L)$]	89
4.7	RAZÃO G_M/I_{DS} EM FUNÇÃO DA SOBRETENSÃO DE PORTA	90
4.8	RAZÃO G_M/I_{DS} EM FUNÇÃO DA CORRENTE DE DRENO NORMALIZADA EM FUNÇÃO DA RAZÃO DE ASPECTO	91
4.9	CARACTERÍSTICA I_{DS} X V_{DS}	92
4.10	TENSÃO EARLY (V_{EA}) E GANHO DE TENSÃO EM MALHA ABERTA (A_V)	94
4.11	DISTORÇÃO HARMÔNICA PARA DISPOSITIVOS OPERANDO EM SATURAÇÃO	96
4.11.1	DISTORÇÃO HARMÔNICA TOTAL (THD)	97
4.11.2	DISTORÇÃO DO HARMÔNICO DE TERCEIRA ORDEM (HD3)	98
4.11.3	DISTORÇÃO HARMÔNICA TOTAL EFETIVA	100
4.11.4	DISTORÇÃO HARMÔNICA EM FUNÇÃO DA AMPLITUDE DA ENTRADA SENOIDAL (V_A)	104
5	CONCLUSÕES E SEQUÊNCIA DO TRABALHO	107
	REFERÊNCIAS BIBLIOGRÁFICAS	110
	APÊNDICE A – DEDUÇÃO FATOR GEOMÉTRICO	114
	APÊNDICE B – SIMULAÇÃO ATLAS	117
	APÊNDICE C – RESUMO SEMINATEC 2007	123
	APÊNDICE D – ARTIGO SFORUM2007	125
	APÊNDICE E – ARTIGO ECS MEETING	132

1 INTRODUÇÃO

O transistor de efeito de campo do tipo metal-óxido-semicondutor (MOSFET) é um dispositivo capaz de controlar o fluxo de corrente entre seus terminais de saída (dreno e fonte) através do potencial aplicado ao terminal de porta, que é isolado da estrutura por meio de um óxido fino (óxido de porta) [1].

Apesar de ser conhecido desde 1926, quando foi patenteado por Lilienfield, apenas em 1960 tornou-se uma realidade comercial, principalmente por permitir uma escala de miniaturização muito maior que os transistores bipolares (TBJ) e por possuir um processo de fabricação relativamente simples. Diferentemente dos bipolares, os MOSFETs permitem a condução de corrente por apenas um tipo de portador (elétrons ou lacunas), isso lhe rendeu a denominação de transistor unipolar [1],[2].

Quase ao mesmo tempo em que os transistores MOS tradicionais entravam em escala de produção, surgiu o conceito tecnológico de dispositivos Silício-Sobre-Isolante (SOI), objetivando circuitos com alta densidade de integração [3].

Inicialmente, a tecnologia SOI tinha como principal aplicação, a fabricação de circuitos resistentes à radiação, mas ela ficou adormecida por décadas, já que a tecnologia MOSFET convencional não dava sinais que se tornaria obsoleta. As previsões iniciais apontavam um limite tecnológico na ordem de 1 micrometro, porém isso foi revisto posteriormente para 0,5 micrometro e depois para um quarto de micrometro [3]. Isso fez com que os dispositivos SOI demorassem ainda mais para chegar ao mercado em escala industrial.

Na medida em que as dimensões foram reduzidas e a dopagem do substrato aumentada, as capacitâncias parasitas aumentaram, pois apenas 1 μm dos atuais 800 μm de espessura da lâmina de silício era efetivamente usado. Outro efeito bastante indesejável que se tornou muito comum, foi o disparo do tiristor PNPN inerente a todas as estruturas CMOS convencionais [4] [Figura 1.1(a)].

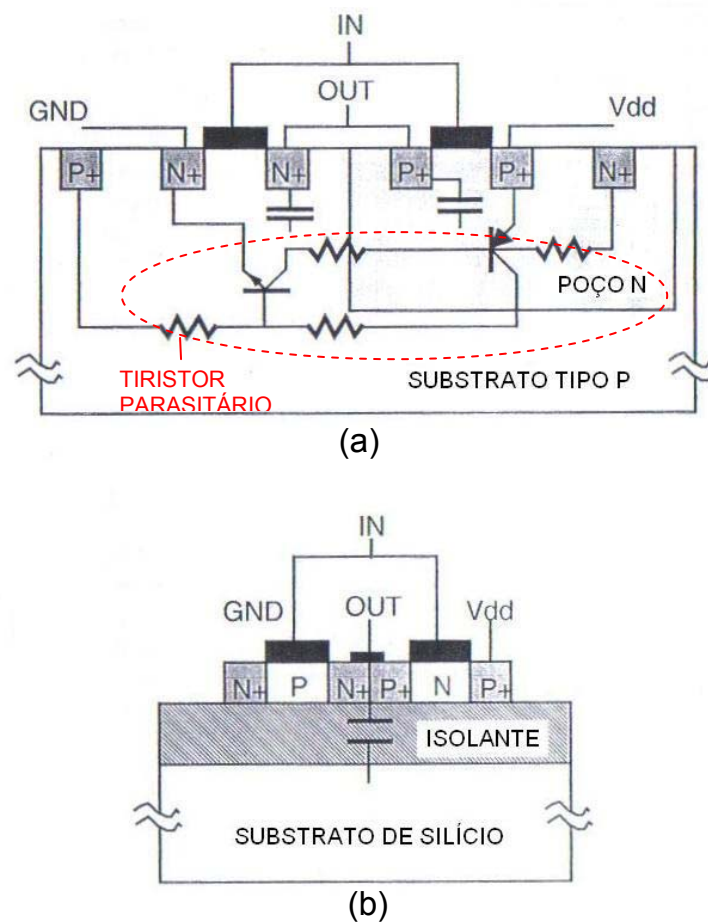


Figura 1.1 – (a) Seção transversal de um inversor CMOS convencional com a representação das capacitâncias parasitas e do tiristor PNP parasitário. (b) Seção transversal de um inversor SOI CMOS e suas capacitâncias parasitas.

Fonte: “adaptado de” Colinge, J.- P., Silicon-On-Insulator Technology, 2004, 3 ed., p. 3.

Por sua vez, um dispositivo SOI fabricado a partir de um filme fino de silício, e mecanicamente suportado por um isolante [Figura 1.1(b)] é considerado um dispositivo MOSFET quase ideal. Isso se justifica pelos seguintes aspectos [3]:

- a) Isolação dielétrica: circuitos com SOI MOSFETs são constituídos em ilhas contendo apenas um componente e ficam dielectricamente isolados entre si e também do substrato, por intermédio do óxido enterrado. Isso elimina totalmente a possibilidade da formação das indesejáveis junções PNP;
- b) Projeto de circuitos e procedimentos: a sequência de fabricação de circuitos com SOI MOSFETs em lâminas SOI, é mais simples que a convencional, pois a ausência de poços e das barreiras entre componentes, reduzem o número de passos no processo de fabricação e oferecem uma maior liberdade de projeto. Além disso, é possível aumentar a densidade de componentes por unidade de área e minimizar as interconexões entre os componentes;

- c) Efeitos de canal curto: os dispositivos SOI são mais imunes aos efeitos de canal curto, basicamente porque as extensões da região de depleção de fonte e dreno estão restritas ao tamanho da junção e ao controle do potencial de superfície pelas duas portas (via porta superior e pelo substrato de silício);
- d) Confiabilidade: a motivação primária para o desenvolvimento da tecnologia SOI MOSFET, foi sua excelente tolerância à radiação.

A constante demanda por dispositivos mais eficazes, capazes de drenar maior corrente de dreno, mais imunes aos efeitos de canal curto, e que sejam capazes de reproduzir com maior fidelidade os sinais analógicos, resultou no desenvolvimento de novos dispositivos (Canal-Gradual (GC), Dupla Porta SOI MOSFET, etc) [5],[6],[7] e novas técnicas de layout e de arranjo de dispositivos que acarretaram no aumento da área e das capacitâncias parasitárias dos circuitos integrados. Uma outra possibilidade é estudar a influência da forma geométrica da porta dos transistores, considerando-se a mesma tecnologia. O SOI nMOSFET com porta de geometria circular (CGT) é uma opção [8].

Considerando-se esta opção, este trabalho objetiva investigar comparativamente a distorção harmônica (linearidade) [8],[9] entre os SOI nMOSFETs convencional (porta em formato retangular) e com porta de geometria circular implementados com tecnologia sub-micrométrica de 0,13 μm . O estudo leva em consideração os efeitos da assimetria entre fonte e dreno do transistor de porta circular operando em configuração de dreno interno e dreno externo. As comparações entre a linearidade do transistor de porta circular e retangular são realizadas considerando a mesma razão de aspecto (W/L). Justificativas físicas são propostas e são suportadas por resultados experimentais e por simulações numéricas tridimensionais.

Para tanto, este trabalho é dividido em quatro capítulos, além deste breve capítulo introdutório.

No segundo capítulo são estudados os conceitos fundamentais que servem de base para o desenvolvimento deste trabalho. Neste capítulo também é apresentado o método da função integral (IFM) [10],[11],[12] que usa apenas a característica em corrente contínua (DC) do dispositivo para calcular a distorção harmônica.

O terceiro capítulo é todo dedicado à apresentação dos resultados das medidas experimentais da distorção harmônica em SOI nMOSFETs convencional e de canal circular, operando na região de saturação como amplificadores de sinais.

O quarto capítulo repete a análise realizada no capítulo três, porém agora baseada em resultados de simulações numéricas tridimensionais.

Por fim, no quinto capítulo são apresentadas as principais conclusões obtidas por esse estudo. Também são sugeridas possíveis seqüências de trabalho que podem ser realizadas a partir deste.

2 CONCEITOS FUNDAMENTAIS

Neste capítulo são apresentados os conceitos fundamentais que suportam o estudo da distorção harmônica em SOI nMOSFETs com porta convencional e circular.

2.1 SOI MOSFET de porta de geometria circular

Os MOSFETs, implementados com tecnologia SOI, de porta de geometria circular [4],[8] são dispositivos assimétricos, pois as dimensões de fonte e dreno são diferentes (Figura 2.1). A corrente circula na direção radial do canal, ou seja, ela pode existir da região externa para interna, operando na configuração de dreno externo, abreviado como CGT_{DE} [Figura 2.1(a)] ou pode ocorrer da região interna para externa, operando na configuração de dreno interno, abreviado como CGT_{DI} [Figura 2.1(b)].

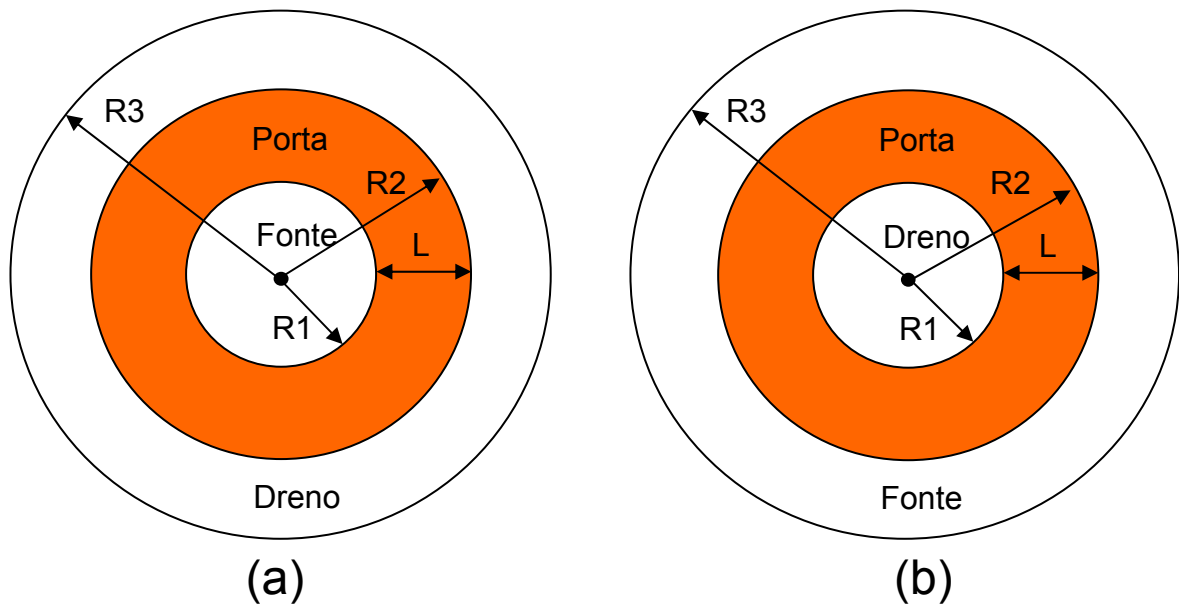


Figura 2.1 – Layout de SOI MOSFETs circulares, onde a região interna circular pode operar ou como fonte (a) ou como dreno (b).

Na Figura 2.1, R_1 é o raio que define o início da região de porta, R_2 é o raio que define o final da região de porta, L é o comprimento do canal ($R_2 - R_1$) e R_3 é o raio externo que define o final da região de fonte/dreno.

A relação entre as razões de aspecto (f_g) dos transistores convencional e circular é dada pela equação (2.1).

$$f_g = \left(\frac{W}{L} \right)_{\text{Convencional}} = \left[\frac{2\pi}{\ln(R_2/R_1)} \right]_{\text{Circular}} \quad (2.1)$$

onde W é a largura do canal. Detalhes sobre a dedução desta expressão são apresentados no Apêndice A.

2.1.1 Orientação da corrente elétrica

A Figura 2.2 apresenta a vista superior e a seção transversal dos SOI nMOSFETs convencional [Figura 2.2(a)], circular operando em configuração de dreno externo [Figura 2.2(b)] e de dreno interno [Figura 2.2(c)], onde é indicado o sentido da corrente de dreno ao longo do canal dos transistores.

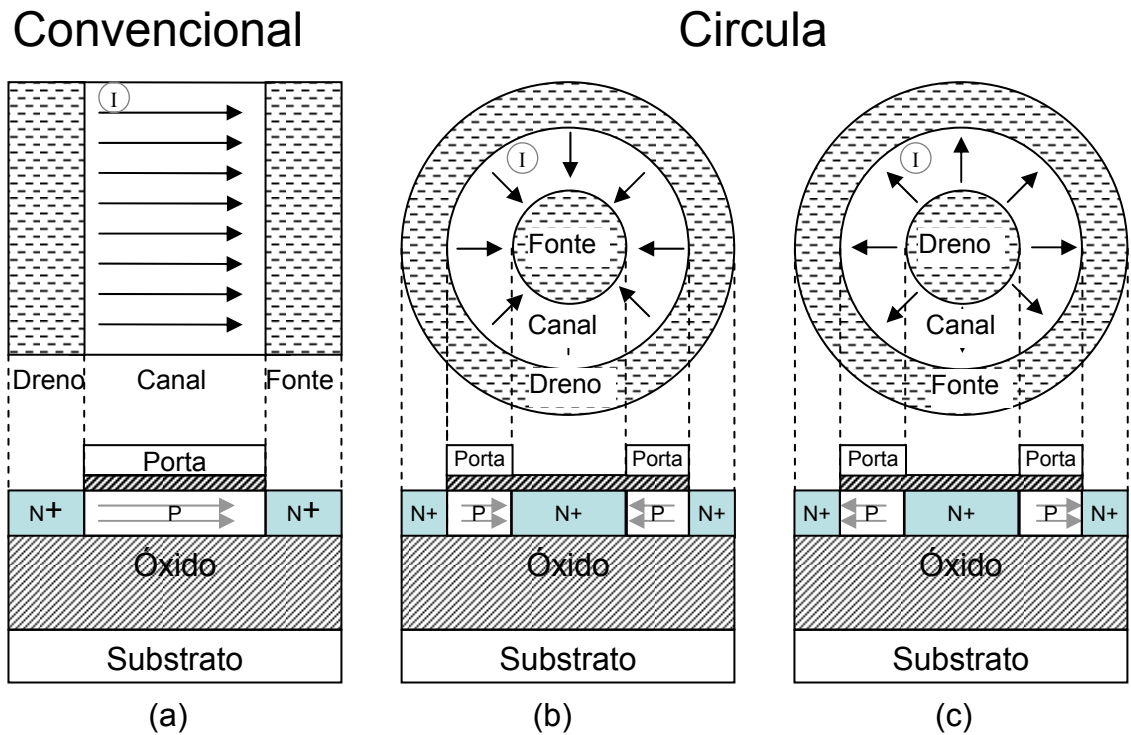


Figura 2.2 – Vista superior e seção transversal dos SOI nMOSFETs convencional (a), circular operando em configuração de dreno externo (b) e de dreno interno (c), contendo a indicação do sentido da corrente ao longo do canal.

Diferentemente do transistor convencional, o transistor circular apresenta orientação radial da corrente que circula pelo canal. Essa corrente pode ser definida como convergente nos transistores polarizados com dreno externo, ou divergente na polarização de dreno interno.

2.2 Região de estrangulamento (*Pinch-off*) e comprimento efetivo de canal (L_{eff})

Quando os dispositivos estão operando nas mesmas condições de polarização, o ponto de estrangulamento se dá de forma diferenciada para cada uma das estruturas. A Figura 2.3 mostra o comportamento da região de estrangulamento do SOI MOSFET convencional e do circular operando em ambas as configurações estudadas (estes são representados em apenas uma parte do dispositivo).

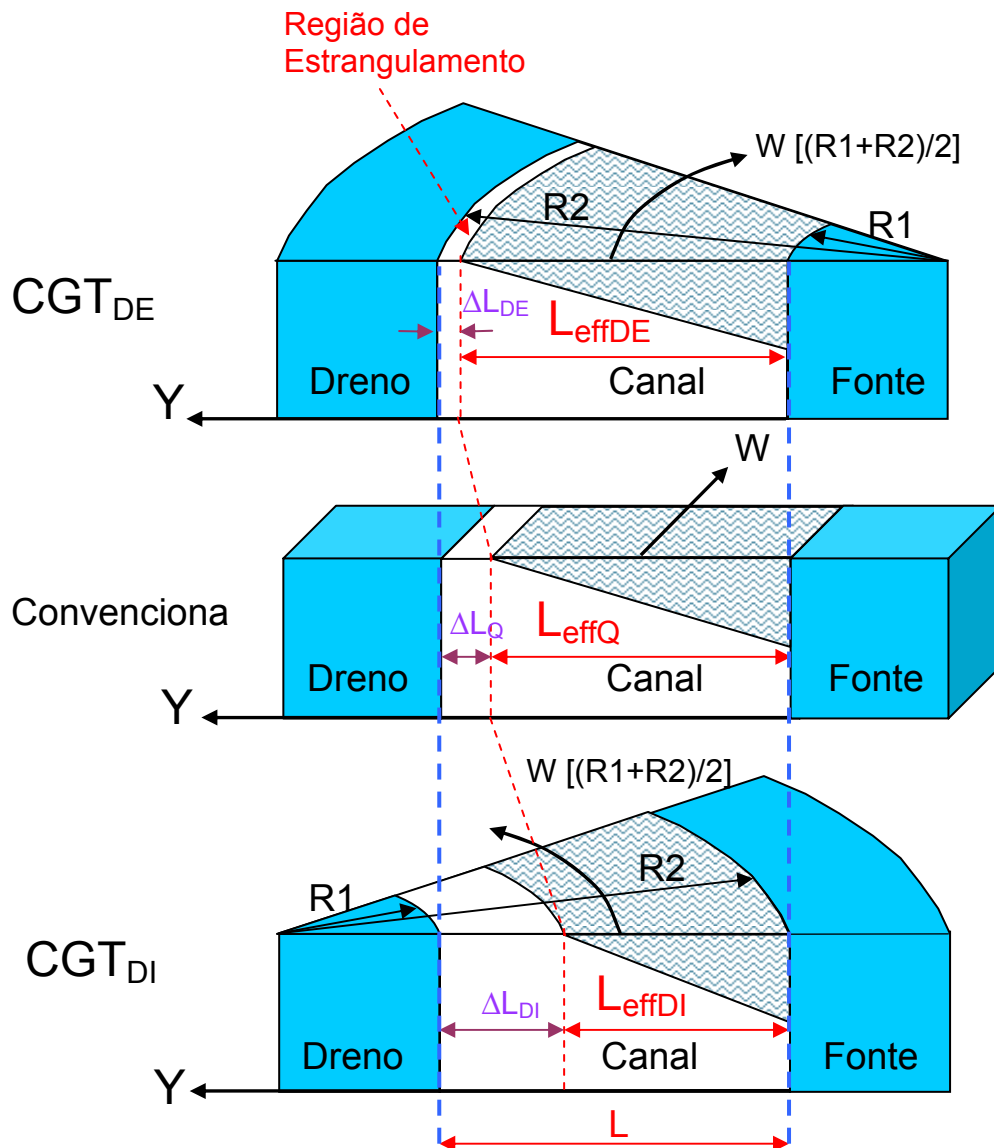


Figura 2.3 – Representação gráfica do comprimento efetivo de canal dos SOI MOSFETs convencional e circular operando em configurações de drenagem externa e interna.

Na Figura 2.3, ΔL_Q , ΔL_{DE} e ΔL_{DI} são as distâncias entre a região de estrangulamento e a região de dreno, e L_{eff_Q} , L_{eff_DE} e L_{eff_DI} são os comprimentos efetivos de canal dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno, respectivamente. Note que o comprimento efetivo de canal (L_{eff}) é dado pela diferença entre o comprimento de canal de máscara (L) e a distância entre as regiões de estrangulamento e o dreno (ΔL).

Como ΔL_{DE} é menor que ΔL_Q que por sua vez é menor que ΔL_{DI} , tem-se que L_{eff_DE} é maior que L_{eff_Q} que por sua vez é maior que L_{eff_DI} . Isso ocorre porque a área da região de interface dreno/canal do CGT_{DE} é maior que área do SOI nMOSFET convencional que por sua vez é maior que a área do CGT_{DI}, fazendo com que a densidades de campo elétrico ($\vec{J}_E$) próxima a região de interface dreno/canal seja menor no CGT_{DE} em relação ao SOI nMOSFET convencional que por sua vez é menor que o CGT_{DI}. De acordo com a referência [8], para as mesmas condições de polarização, o transistor circular operando na configuração de dreno interno possui o menor comprimento efetivo de canal, seguido do transistor convencional e por fim do transistor circular operando na configuração de dreno externo. Mesmo que as variações de comprimento de canal sejam relativamente pequenas (na ordem de nanômetros) frente ao comprimento de canal utilizado neste estudo (1 μm), elas contribuem para que ocorra uma diferença entre as correntes que fluem nos dispositivos. Como a corrente de dreno é inversamente proporcional ao comprimento do canal, tem-se que I_{DS_DI} é maior que I_{DS_Q} que por sua vez é maior que I_{DS_DE} , onde I_{DS_DI} e I_{DS_DE} são as correntes de dreno do transistor circular operando na configuração de dreno interno e externo, respectivamente e I_{DS_Q} é a corrente dreno do transistor convencional.

2.3 Tensão de limiar

A tensão de limiar (V_{TH}) de um nMOSFET convencional é definida como a tensão de porta, que é capaz de criar uma camada de inversão na superfície do canal (interface SiO₂ e Si), povoando-a com elétrons livres (portadores minoritários), que são capazes de conduzir corrente elétrica ao longo do canal [2].

Sabe-se que a espessura da camada de silício (t_{si}) do SOI nMOSFET parcialmente depletado, é pelo menos duas vezes maior que a soma das larguras máximas das camadas de depleção (x_{dmax}) das interfaces Si-SiO₂ (silício-óxido de porta e silício-óxido enterrado) ($t_{si} > 2 \cdot x_{dmax}$). Essa característica garante que sempre há uma região tipo p entre as camadas de

depleção. Isso faz com que o SOI nMOSFET parcialmente depletado apresente a mesma tensão de limiar que um transistor nMOSFET convencional, e é dada pela equação (2.2) [4],[13]:

$$V_{TH} = V_{FB} + 2\Phi_F + \frac{qN_A x_{d\max}}{C_{oxf}} \quad (2.2)$$

onde V_{FB} é a tensão de faixa plana (*flatband*), Φ_F é o potencial de Fermi, q é a carga do elétron, N_A é a concentração de dopantes no canal e C_{oxf} é a capacitância do óxido de porta.

Neste trabalho utiliza-se o método da segunda derivada da corrente de dreno em função da tensão de porta (V_{GS}), que também pode ser chamado de método da transcondutância [13],[14], para determinação de V_{TH} . Esse método tem origem na premissa que para tensões inferiores a V_{TH} , I_{DS} igual a zero e para V_{GS} maior ou igual a V_{TH} , I_{DS} tem relação linear com V_{GS} . Assim, a primeira derivada de $I_{DS} \times V_{GS}$ gera uma função degrau em V_{GS} igual a V_{TH} e a segunda derivada resulta em um pulso infinito em V_{GS} igual a V_{TH} . Na prática isso não ocorre, porém um pulso relativamente estreito pode ser identificado e seu ponto de máximo fornece o valor V_{TH} (Figura 2.4) [13].

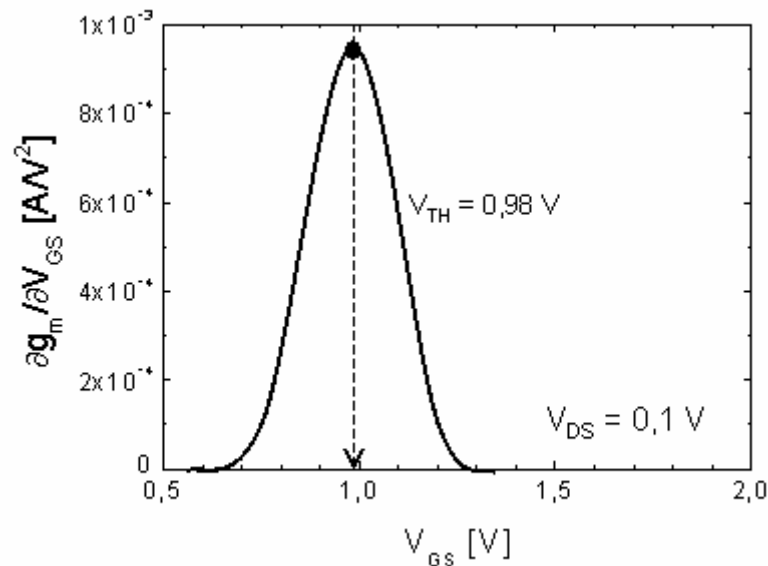


Figura 2.4 – Gráfico teórico da determinação de V_{TH} pelo método da derivada da transcondutância.

A vantagem deste método sobre os demais métodos descritos na literatura, é que ele não é afetado pelos efeitos da resistência série e pela degradação da mobilidade [13].

2.4 Resistência série

A resistência série (R_S) de um MOSFET é o valor da resistência intrínseca das regiões de dreno e fonte do dispositivo; ela interfere diretamente no valor da corrente de dreno (I_{DS}).

Considerando-se uma curva característica $I_{DS} \times V_{GS}$, para um valor de V_{DS} constante, e dividindo-se V_{DS} por I_{DS} , determina-se a resistência total entre dreno e fonte do dispositivo (R_{SD}), equação (2.3).

$$R_{SD} = \frac{V_{DS}}{I_{DS}} = R_{CH} + R_S \quad (2.3)$$

onde R_{CH} é a resistência do canal.

Para baixos valores de V_{DS} e altos valores de V_{GS} , o valor de R_{CH} cai drasticamente, pois a interface entre o canal e o óxido de porta apresenta-se totalmente invertida, fazendo com que R_{SD} se torne praticamente igual a R_S .

A Figura 2.5 apresenta um exemplo gráfico da resistência total de um dispositivo em função da tensão V_{GS} . Uma curva exponencial de primeira ordem pode ser ajustada sobre os dados experimentais e prolongada até alcançar um patamar plano [15].

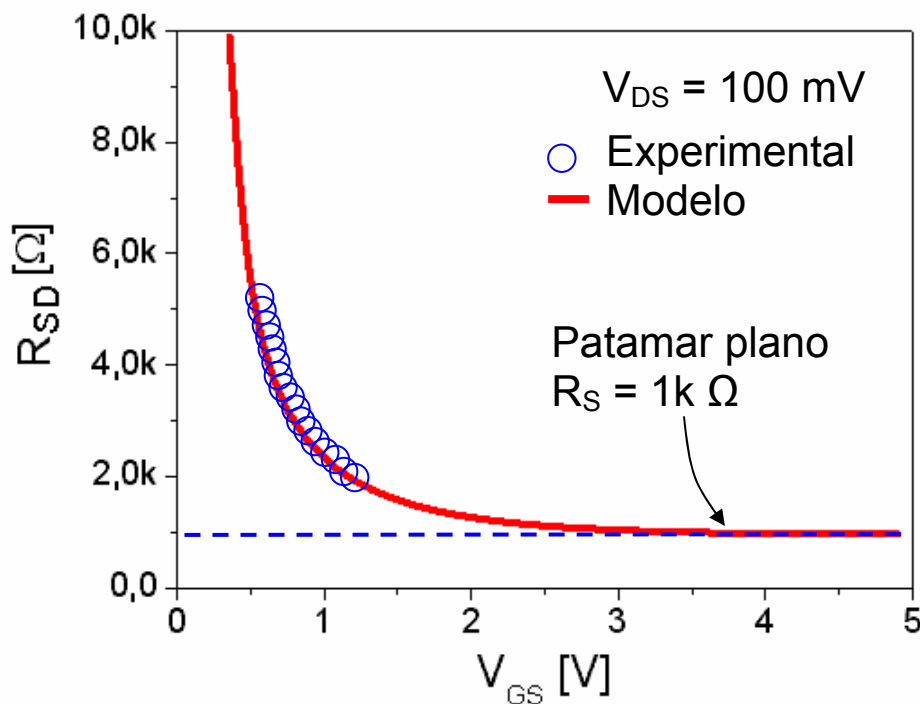


Figura 2.5 – Exemplo de uma curva teórica de $R_{SD} \times V_{GS}$, usada para realizar a extração da resistência série de um MOSFET.

O valor da resistência no patamar plano da Figura 2.5, representa a resistência série do dispositivo, que neste caso é de $1\text{ k } \Omega$.

2.5 Transcondutância

A transcondutância (g_m) de um MOSFET é a medida da efetividade do controle da corrente entre dreno e fonte pela tensão de porta e fonte e é dada pela equação (2.4) [4].

$$g_m = \frac{\Delta I_{DS}}{\Delta V_{GS}} = \frac{\partial I_{DS}}{\partial V_{GS}} \quad (2.4)$$

onde ΔI_{DS} é a variação de corrente entre fonte e dreno, ΔV_{GS} é a variação de tensão entre porta e fonte, e $\partial I_{DS}/\partial V_{GS}$ é a derivada da corrente de dreno em função das variações de tensão de porta.

A transcondutância de um SOI nMOSFET convencional de camada fina operando na região de saturação é dada pela equação (2.5).

$$g_m = \frac{\mu_n C_{oxf}}{(1 + \alpha)} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH}) \quad (2.5)$$

onde μ_n é a mobilidade dos elétrons na camada de inversão do canal e α é o fator de acoplamento, dado pela equação (2.6).

$$\alpha = \frac{\epsilon_{si}}{x_{dmax} C_{oxf}} \quad (2.6)$$

onde ϵ_{si} é a permissividade do silício e x_{dmax} é a espessura máxima da camada de depleção.

2.6 Razão g_m/I_{DS}

A referência [16] apresenta uma metodologia de desenvolvimento de projetos de circuitos integrados analógicos baseada num tratamento unificado para todas as regiões de operação do MOSFET. Essa metodologia aplica-se principalmente aos circuitos analógicos CMOS de baixa tensão e baixa potência (*low power-low voltage*), onde a região de inversão

moderada geralmente é usada para implementar circuitos analógicos com um bom compromisso entre ganho de tensão de malha aberta, velocidade (resposta em altas frequências ou altos valores de frequência de ganho unitário, f_T) e consumo de potência elétrica. O procedimento de síntese está baseado na característica $g_m/I_{DS} \times I_{DS}/(W/L)$ que não depende das dimensões dos dispositivos. Sua característica é universal (única) para todos os MOSFETs do tipo n ou p, referente a um mesmo processo de fabricação, desde que os efeitos de canal curto sejam evitados. A universalidade desta curva pode então ser explorada durante a fase de projeto, quando as razões W/L dos dispositivos não são conhecidas. Uma vez escolhido o par de valores g_m/I_{DS} e $I_{DS}/(W/L)$, e adotando-se uma corrente de polarização I_{DS} , a razão W/L do transistor pode ser exatamente determinada. Para isso, adota-se o valor de L , de tal forma que defina uma tensão Early, que por sua vez define o ganho de tensão de malha aberta desejado. Isto feito, ajusta-se W de forma a satisfazer a relação $I_{DS}/(W/L)$. Note que o gráfico de $g_m/I_{DS} \times I_{DS}/(W/L)$ fornece as regiões de operação dos dispositivos [16], onde o limite entre as regiões de inversão fraca e moderada é determinado pelo valor de g_m/I_{DS} máximo subtraído de 10% da diferença entre seu valor máximo e mínimo, esses mesmos 10% são somados ao valor mínimo para a determinação da do limite entre a região de inversão moderada e forte.

A Figura 2.6 apresenta um exemplo de um gráfico de $g_m/I_{DS} \times I_{DS}/(W/L)$ obtido experimentalmente de um SOI nMOSFET circular operando na configuração de dreno externo.

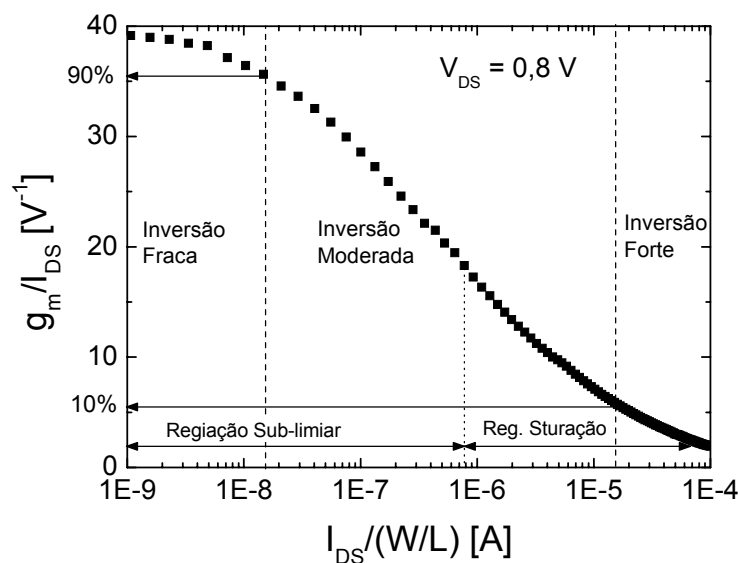


Figura 2.6 – Exemplo de uma curva de $g_m/I_{DS} \times I_{DS}/(W/L)$ obtida experimentalmente de um SOI nMOSFET circular operando na configuração de dreno externo.

Observa-se através da Figura 2.6, que maiores valores da razão g_m/I_{DS} são alcançados, quanto mais próximo da região de inversão fraca o transistor é polarizado.

2.7 Efeito parasitário devido ao corpo flutuante

O potencial da camada de silício dos SOI MOSFETs parcialmente depletados apresenta-se flutuando, pois a camada de silício não está ligada diretamente a nenhum eletrodo. Esse potencial é determinado pelas correntes que entram e saem pelo corpo do dispositivo, bem como pelo acoplamento capacitivo entre ele e os 4 terminais disponíveis nesses transistores (dreno, fonte, porta e substrato). Uma vez que o potencial do corpo está diretamente relacionado à tensão de limiar, transientes neste potencial resultam em alterações de tensão de limiar e instabilidades na corrente de dreno [4].

A geração de portadores majoritários no canal (neste caso lacunas) devido à ionização por impacto, próximo à região de dreno, aumenta o potencial de corpo, isso faz com que a tensão de limiar diminua. Esse fenômeno não se restringe aos transistores operando em saturação ou triodo. Quando a tensão de porta ainda é inferior à tensão de limiar, a ionização por impacto pode ocorrer, se a tensão de dreno for elevada suficiente, mesmo que a corrente seja muito baixa. O aumento no potencial de porta se reflete na redução da tensão de limiar. Finalmente, é possível notar um deslocamento para esquerda da curva $I_{DS} \times V_{GS}$, o resultado disso é uma inclinação de sublimiar menor que o limite teórico (60 mV/década) [4],[17],[18].

Quando o tempo de vida dos portadores minoritários é alto suficiente, o transistor bipolar (TBJ) parasita NPN que se forma na estrutura do nMOSFET, amplifica a corrente de base, que por sua vez aumenta a corrente de dreno (Figura 2.7), o que caracteriza uma realimentação positiva de corrente. Isso faz com que haja um aumento brusco na corrente de dreno e leva a inclinação de sublimiar a praticamente 0 mV/década. Esse fenômeno é conhecido como “*single-transistor latchup*” (Figura 2.8) [4].

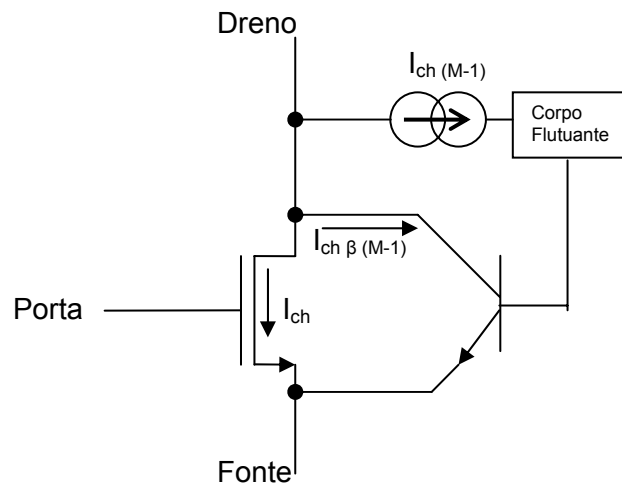


Figura 2.7 – Transistor bipolar parasitário no SOI MOSFET.

Fonte: “adaptado de” Colinge, J. P., Silicon-On-Insulator Technology, 2004, 3 ed., p. 210.

Na Figura 2.7, I_{ch} é a corrente do canal, M é o fator multiplicativo e β é o ganho de corrente do TBJ.

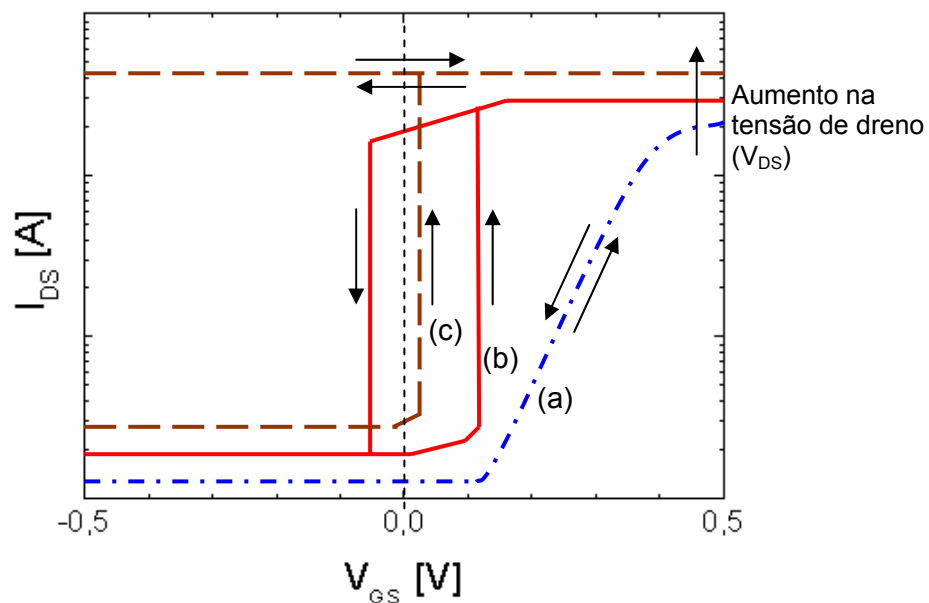


Figura 2.8 – Representação do “single-transistor latchup”. Inclinação de sublimiar normal (a), inclinação infinita de sublimiar e histerese (b), e “latchup” do dispositivo (c).

Fonte: “adaptado de” Colinge, J. P., Silicon-On-Insulator Technology, 2004, 3 ed., p. 211.

A Figura 2.8 apresenta três possibilidades de operação de um transistor na região de sublimiar. Para baixos valores de V_{DS} , verifica-se um comportamento normal da inclinação de sublimiar [Figura 2.8(a)]. À medida que V_{DS} é incrementado, a realimentação positiva de corrente faz com que a tensão de limiar reduza e a ionização por impacto aumente, e dessa forma, a corrente aumenta repentinamente [Figura 2.8(b)]. À medida que a tensão de porta é

reduzida, a ionização por impacto se opõe a redução da corrente, criando um efeito de histerese [Figura 2.8(b)]. Quando a polarização de dreno é suficientemente alta e o dispositivo dispara, ele não pode ser mais desligado devido à realimentação positiva [Figura 2.8(c)].

2.8 Tensão Early (V_{EA}) e condutância de dreno (g_{DS})

A tensão Early é um parâmetro que mede a dependência da corrente de dreno de saturação (I_{DSsat}) em relação à variação da tensão de dreno, para uma determinada sobretensão de porta ($V_{GT} = V_{GS} - V_{DS}$). Quanto maior for seu valor, menor será a dependência da corrente de dreno em relação à tensão de dreno. Esse efeito se deve a modulação do comprimento de canal, ou seja, assim que V_{DS} é maior do que a tensão de dreno de saturação (V_{DSsat}), o comprimento de canal efetivo se altera por causa do deslocamento da região de estrangulamento na direção da fonte. O comprimento efetivo de canal torna-se menor e resulta numa maior corrente de dreno para uma determinada sobretensão de porta.

Para determinação da tensão Early, utiliza-se o método do prolongamento do trecho plano da região de saturação da curva $I_{DS} \times V_{DS}$ até o encontro com o eixo V_{DS} , para diferentes valores de sobretensão de porta (V_{GT}) [1]. O ponto de encontro dessas retas com o eixo das tensões é definido como tensão Early (Figura 2.9).

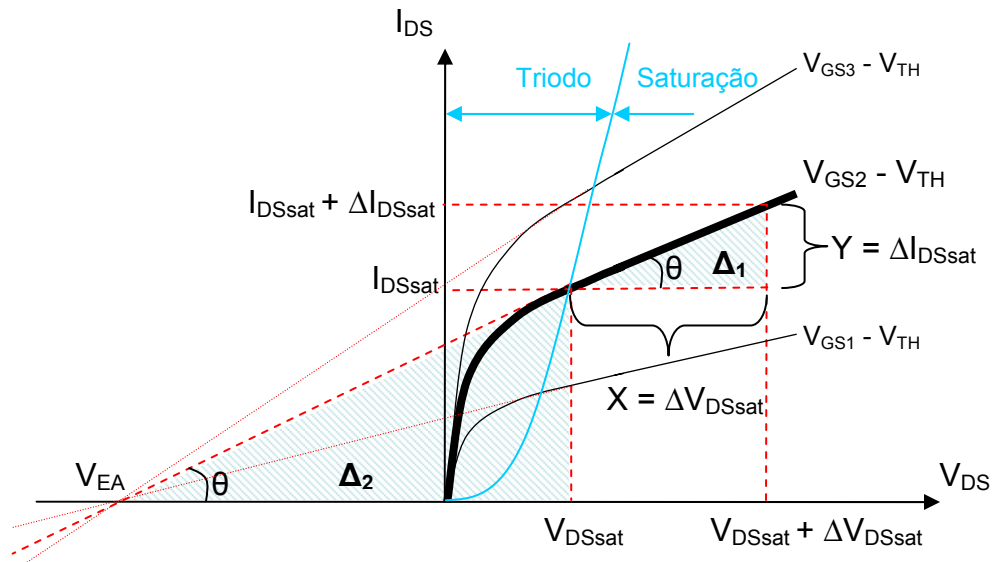


Figura 2.9 – Método para determinação da tensão Early.

Na Figura 2.9, V_{GS3} , V_{GS2} e V_{GS1} são as tensões aplicadas à porta, Y é a variação da corrente de dreno ΔI_{DSsat} em função de X , que é a variação da tensão de corrente de dreno

ΔV_{DSsat} , θ é o ângulo de inclinação do triângulo Δ_1 formado por ΔI_{DSsat} e ΔV_{DSsat} , e Δ_2 é o triângulo equivalente a Δ_1 formado a partir de V_{EA} .

A condutância de dreno (g_{DS}) é determinada pela variação da corrente dreno (∂I_{DS}) em função da variação da tensão de dreno (∂V_{DS}), para uma determinada tensão de porta, equação (2.7).

$$g_{DS} = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_{GS} = \text{constante}} \quad (2.7)$$

Para determinar a condutância de dreno utiliza-se o método da semelhança de triângulos, como é observado na Figura 2.9, entre os triângulos Δ_1 e Δ_2 , e é dada pela equação (2.8).

$$g_{DS} = \tan \theta = \frac{Y}{X} = \frac{\Delta I_{DSsat}}{\Delta V_{DSsat}} \cong \frac{I_{DSsat}}{V_{EA} + V_{DSsat}} \cong \frac{I_{DSsat}}{V_{EA}} \quad (2.8)$$

considerando $V_{EA} \gg V_{DSsat}$.

Na prática, g_{DS} nunca é zero, uma vez que V_{EA} é um valor finito [1].

2.9 Ganho de tensão de um amplificador de transcondutância de um único transistor

Considere um amplificador de transcondutância de um único transistor ligado a uma carga capacitiva C_L , como indicado na Figura 2.10, onde V_{DD} é a tensão de alimentação, V_{IN} é a tensão de entrada e V_{OUT} é a tensão de saída.

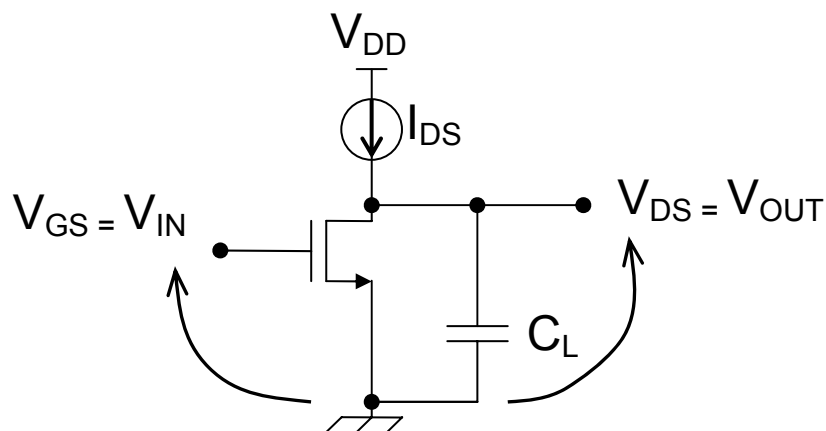


Figura 2.10 - Amplificador de transcondutância de um único transistor.

O ganho de tensão (A_v) desse amplificador é dado pela equação (2.9) [4].

$$A_v = \frac{\Delta V_{out}}{\Delta V_{in}} = \frac{\Delta V_{DS}}{\Delta V_{GS}} = R_{SD} \cdot I_{DS} \cdot \frac{1}{\Delta V_{GS}} = \frac{1}{g_{DS}} \cdot g_m \cdot \Delta V_{GS} \cdot \frac{1}{\Delta V_{GS}} = \frac{g_m}{g_{DS}} = \frac{g_m}{I_{DS}} \cdot V_{EA} \quad (2.9)$$

onde ΔV_{out} é a variação da tensão de saída, ΔV_{in} é a variação da tensão de entrada, ΔV_{DS} é a variação da tensão entre dreno e fonte ($\Delta V_{DS} = R_{SD} \cdot I_{DS}$), onde R_{SD} é a resistência de saída entre fonte e dreno que é inversamente proporcional à condutância de saída entre dreno e fonte ($g_{DS} = I_{DS}/V_{EA}$).

Maiores ganhos de tensão são alcançados quanto maiores forem os valores de g_m/I_{DS} e V_{EA} . Maiores valores de g_m/I_{DS} ocorrem no regime de inversão fraca para o MOSFET [19], onde g_m/I_{DS} é praticamente constante e é inversamente proporcional a inclinação de sublimiar (S), e é dado pela equação (2.10).

$$\frac{g_m}{I_{DS}} = \frac{\partial I_{DS}}{I_{DS} \partial V_{GS}} = \frac{\ln(10)}{S} = \frac{q}{(1 + \alpha)kT} = \frac{q}{nkT} \quad (2.10)$$

onde n é o fator de corpo ($n = 1 + \alpha$), k é a constante de Boltzmann e T é a temperatura absoluta em Kelvin.

Na inversão forte g_m/I_{DS} apresenta um comportamento hiperbólico em função da corrente entre dreno e fonte, e é dado pela equação (2.11) [20].

$$\frac{g_m}{I_{DS}} = \sqrt{\frac{2\mu_n C_{oxf} (W/L)}{nI_{DS}}} \quad (2.11)$$

onde μ_n é a mobilidade dos elétrons e C_{oxf} é a capacitância do óxido de porta.

Para uma dada tecnologia, podem-se alcançar maiores valores de V_{EA} , usando-se dispositivos de comprimentos longos de canal e isentos de efeitos de canal curto [4].

2.10 Não-linearidade ou distorção harmônica

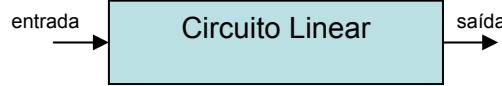
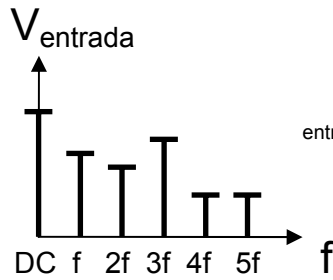
O estudo de distorção harmônica em transistores é de extrema importância para o projeto de circuitos integrados analógicos ou mistos, onde os transistores podem estar operando na região de triodo como resistores lineares em filtros e *mixers* ou na região de saturação como amplificadores de transcondutância [12].

Qualquer deformação na forma de onda de um sinal de saída em relação à forma de onda do sinal de entrada, a menos do ganho de tensão, é chamada de distorção [21]. Ela pode ser de dois tipos:

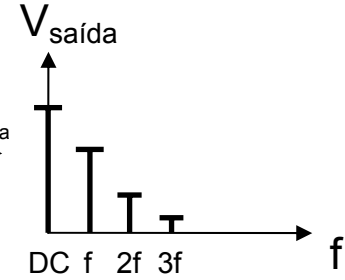
Distorção Linear: ocorre em sistemas lineares, onde a amplitude do sinal de saída em função da frequência do sinal é alterada pelos elementos reativos (capacitores e indutores). O espectro de frequência de saída varia conforme o sinal de entrada. Um exemplo típico desses sistemas são os filtros. Neste caso, não há formação de novos harmônicos no sinal de saída, apenas ocorre a supressão de algumas faixas de frequência [Figura 2.11(a)];

Distorção Não-Linear: ocorre em sistemas não-lineares, onde a forma do sinal de saída depende do ponto de operação e da amplitude do sinal de entrada. Circuitos com diodos retificadores e transistores são exemplos típicos de sistemas não lineares. A distorção não-linear está presente num dado sistema, se esse possuir um sinal de entrada senoidal, com frequência fundamental f , apresentar uma amplitude A_{IN} e na saída o sinal possuir uma amplitude diferente A_{OUT} , com um espectro de frequências (harmônicos) composto por múltiplos inteiros da frequência fundamental $2f, 3f, \dots$. É por isso que a distorção não-linear é também chamada de distorção harmônica [Figura 2.11(b)].

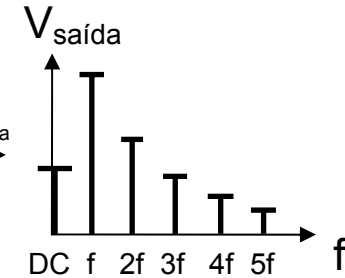
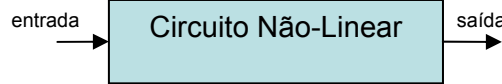
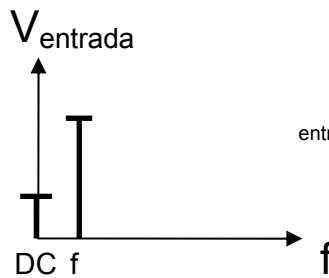
Sinal de Entrada



Sinal de Saída



(a)



(b)

Figura 2.11 – Características da distorção harmônica de circuitos lineares (a) e não-lineares (b).

Para medir a distorção em um transistor, é necessário aplicar um sinal variável na porta do transistor (V_{GS}) e medir a corrente de dreno (I_{DS}), para um determinado valor de tensão de dreno (V_{DS}).

Considere uma entrada senoidal dada pela equação (2.12).

$$V_{GS} = V_0 + V_a \text{sen}(2\pi \cdot f \cdot t) \quad (2.12)$$

onde, V_0 é o nível de tensão DC entre a porta e a fonte, V_a é a amplitude máxima do sinal senoidal, f é a frequência do sinal senoidal e t é o tempo.

A Distorção Harmônica Total (THD) do sinal de saída de um dispositivo ou circuito é definida como a soma de todas as potências das frequências harmônicas, acima da fundamental, dividido pela potência da fundamental e é normalmente expressada em dB [equação (2.13)].

$$THD = \frac{\sum \text{potência_dos_harmônicos}}{\text{potência_da_freq._fundamental}} = \frac{P_2 + P_3 + P_4 + \dots + P_n}{P_1} \quad (2.13)$$

onde P_1 é a potência da frequência fundamental e P_2 , P_3 , P_4 e P_n são as potências das componentes diferentes da fundamental, presentes no sinal de saída.

Na Figura 2.12(a) é representado o circuito usado para medir a distorção harmônica de um transistor, e a Figura 2.12(b) ilustra a distorção na corrente de dreno em função de V_{GS} causada pela não linearidade na curva de transferência $I_{DS} \times V_{GS}$, para um determinado V_{DS} .

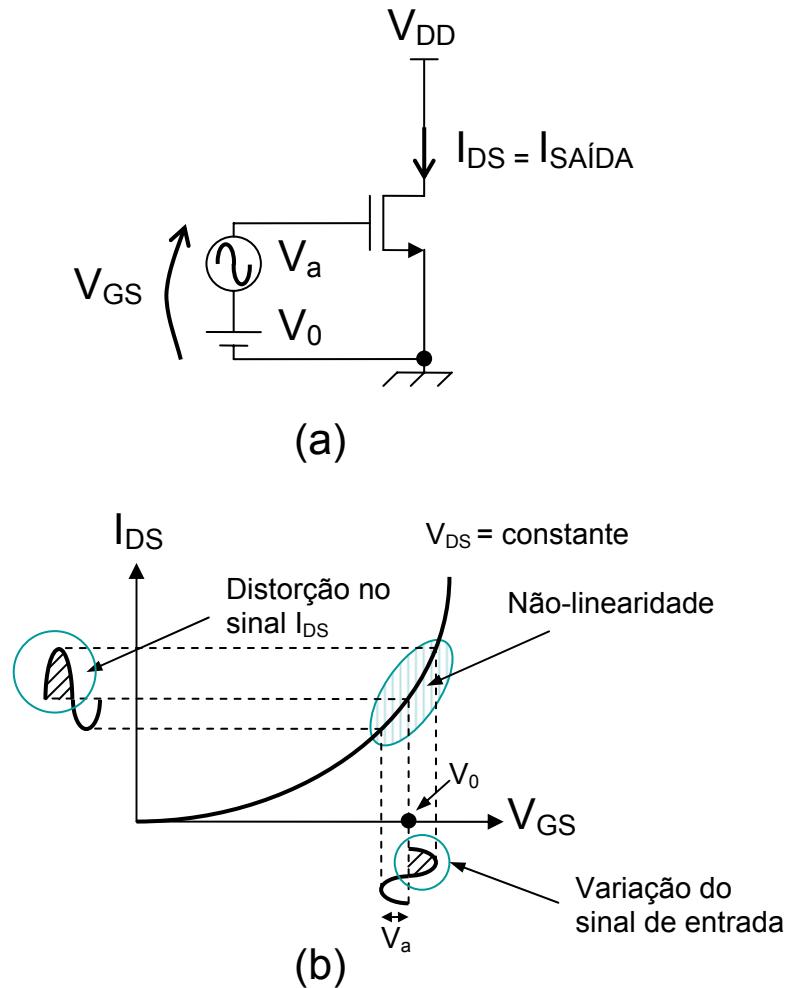


Figura 2.12 – Circuito usado para medir a distorção harmônica (a) e a distorção na corrente de dreno causada pela não linearidade na curva I_{DS} - V_{GS} (b).

2.10.1 Métodos para determinação da não-linearidade

Existem diversas formas para o cálculo da não-linearidade ou distorção harmônica em sinais elétricos. Destacam-se três métodos bastante utilizados e com características bem distintas, como é descrito a seguir:

- I. Método da Série de Fourier [22],[23]: para aplicá-lo é necessário realizar a caracterização elétrica dos dispositivos em corrente alternada (AC), onde o sinal

de saída do dispositivo, que normalmente é visualizado no domínio do tempo, é transformado no domínio da frequência, gerando uma distribuição espectral. Além disso, possui difícil implementação numérica.

- II. Série de Taylor [21],[22]: não mais necessita da caracterização elétrica em corrente alternada, sendo apenas necessária a escolha de um ponto de polarização e o conhecimento de sua função de transferência. A desvantagem deste método é a necessidade da realização de sucessivos cálculos de derivadas de ordem superior da função de transferência. Isso torna o sistema muito suscetível a ruídos e a análise torna-se muito complicada.
- III. Método da Função Integral (IFM): no início desta década, um novo método bastante revolucionário foi apresentado, ele considera apenas a característica de transferência DC e pode ser aplicado aos circuitos ou aos dispositivos isolados de qualquer tecnologia. Uma análise geométrica na forma da curva de transferência, determina a não linearidade do objeto em estudo sob diversos aspectos [9],[10],[11],[12],[24],[25]. Esse é o método utilizado neste trabalho.

O método IFM se diferencia dos demais por não necessitar de informações (medidas experimentais ou simulações) em regime alternado para caracterizar a distorção do componente ou do circuito. O método permite o cálculo direto da THD, distorção harmônica de segunda ordem (HD2) e terceira ordem (HD3). Outra vantagem deste método é sua maior imunidade aos ruídos quando se está processando dados experimentais [10],[11],[12].

Para um transistor MOSFET operando como amplificador, ou seja, polarizado na região de saturação, a característica DC de entrada-saída utilizada é a curva que relaciona a corrente entre dreno e fonte (I_{DS}) com a tensão aplicada entre porta e fonte (V_{GS}). Já para o transistor operando como resistor linear, a região de polarização é a triodo e a figura de mérito utilizada é $I_{DS} \times V_{DS}$. Considere que o sinal de entrada senoidal é dado pela equação (2.14).

$$X = X_0 + A \cdot \text{sen}(\xi) \quad (2.14)$$

onde X é o sinal de entrada, X_0 é o ponto de polarização DC, A é a amplitude do sinal de entrada e ξ é igual ao produto $\omega.t$, onde ω é a velocidade angular dada por $2\pi.f$, f é a frequência do sinal e t é o tempo.

O sinal de saída é expresso por uma função não linear $f(X)$, dada pela equação (2.15).

$$Y = f(X) \quad (2.15)$$

onde X e Y podem ser tensão ou corrente.

A primeira etapa importante do método é a normalização de ambas as magnitudes em um intervalo que vai de 0 a 1, para isso utilizam-se as equações (2.16), (2.17) e (2.18):

$$x = \frac{X - (X_0 - A)}{(X_0 + A) - (X_0 - A)} = \frac{X - (X_0 - A)}{2A} \quad (2.16)$$

$$y = \frac{Y(X) - Y(X_0 - A)}{Y(X_0 + A) - Y(X_0 - A)} \quad (2.17)$$

$$X = X_0 + A(2x - 1) \quad (2.18)$$

Considere uma curva $Y = f(t)$ onde se aplica um sinal em torno de X_0 e com amplitude de A. As magnitudes normalizadas x e y irão variar de 0 a 1, como mostrado na Figura 2.13.

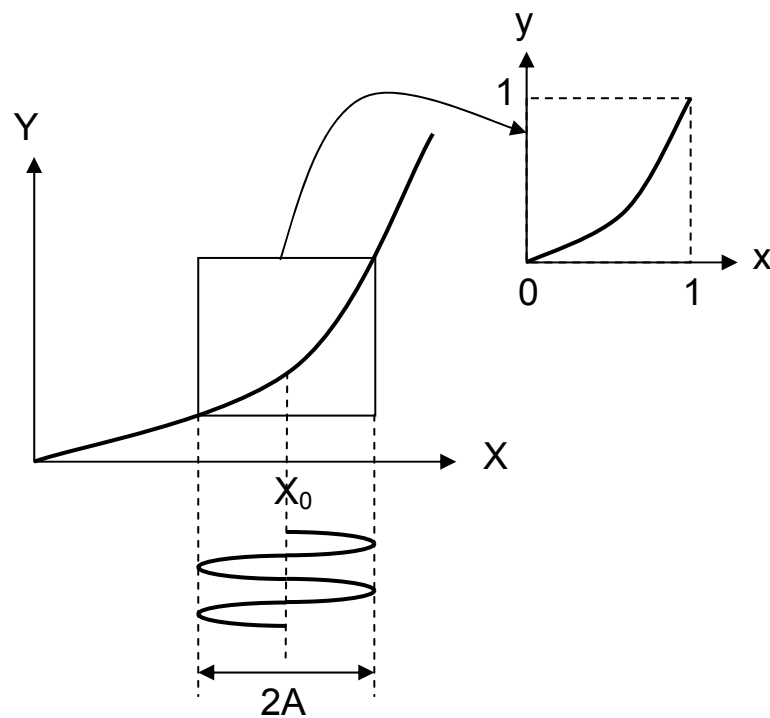


Figura 2.13 – Processo de normalização da curva DC entrada-saída através do método IFM.

Substituindo a equação (2.18) em (2.17), obtém-se a característica de saída normalizada em função do ponto de polarização e da amplitude, equação (2.19):

$$y(x) = \frac{Y(X_0 + A(2x-1)) - Y(X_0 - A)}{Y(X_0 + A) - Y(X_0 - A)} \quad (2.19)$$

Na Figura 2.14 é apresentado em detalhes o quadrado de área igual a 1 dividido em duas ÁREAS pela curva $y(x)$. Se a função $y(x)$ fosse totalmente linear a ÁREA 1 seria igual a ÁREA 2 e $y(x) = x$. A área cinza na figura dá uma idéia da não-linearidade da curva, esta é a idéia principal do método. A distorção harmônica está relacionada com a diferença entre as áreas acima (ÁREA 2) e abaixo (ÁREA 1) da função $y(x)$.

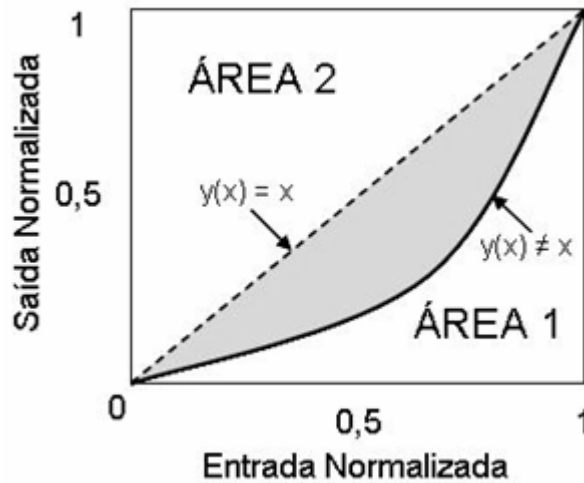


Figura 2.14 – Representação das duas áreas presentes no quadrado dividido pela curva normalizada entrada-saída $y(x)$.

O efeito da componente DC do sinal de saída (C_0), chamado de deslocamento DC (*shift* DC), no estudo da THD, é definido através da equação (2.20).

$$THD_0 = \sqrt{\frac{\sum_{n=2}^{\infty} |C_n|^2}{|C_1|^2} + \frac{|C_0|^2}{|C_1|^2}} \quad (2.20)$$

onde C_1 é a amplitude da frequência fundamental e C_n são as amplitudes das frequências harmônicas de ordem n .

Define-se a função D , que corresponde a diferença entre as ÁREAS 1 e 2, que pode ser positiva ou negativa, através da equação (2.21).

$$D = |ÁREA1 - ÁREA2| = \left| \int_0^1 y(x) \cdot dx - \int_0^1 x(y) \cdot dy \right| = \left| 2 \cdot \int_0^1 y(x) \cdot dx - 1 \right| \quad (2.21)$$

A função D está diretamente relacionada com THD_0 , e apresenta uma relação praticamente constante, $THD_0 \approx 1,06D$ [10].

Quando a curva da função $y(x)$ não se apresenta totalmente acima ou abaixo da bissetriz da curva DC normalizada [$y(x) = x$], como ilustrado na Figura 2.15, a função D não mais condiz com a real distorção, isso porque as áreas superior e inferior se complementam dando uma falsa idéia da linearidade. Para corrigir esse problema introduz-se uma nova função chamada de $ys(x)$, equação (2.22), que substitui a função $y(x)$, agora toda a curva fica acima da bissetriz.

$$ys(x) = |y(x) - x| + x \quad (2.22)$$

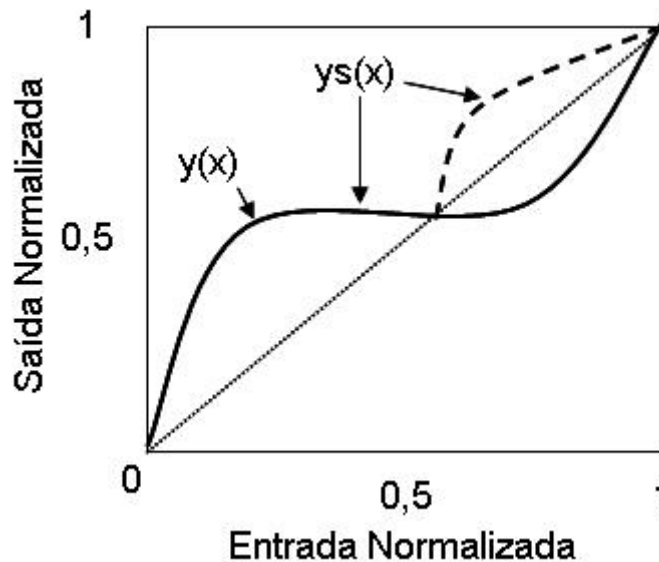


Figura 2.15 – Característica da curva normalizada que intercepta a bissetriz em um ponto qualquer e a correção feita pela função $ys(x)$.

Por consequência deste ajuste, uma nova função D_s é definida, de acordo com a equação (2.23).

$$Ds = 2 \cdot \int_0^1 y_s(x) \cdot dx - 1 \quad (2.23)$$

O uso da função Ds , evita a necessidade de se calcular o ponto de interseção entre a função $y(x)$ e a bissetriz como era feito em [24]. A função $y(x)$ era dividida em duas partes que eram integradas separadamente e depois seus módulos eram somados.

Em muitos casos o valor de $HD3$ tem ordem de grandeza muito inferior a THD , porém em circuitos balanceados (amplificadores diferenciais, operacionais, etc.), as harmônicas de ordem par são suprimidas fazendo com que $HD3$ se torne bastante representativo em THD . A supressão das harmônicas pares é matematicamente representada pela equação (2.24).

$$Yr = Y(X_0 + A \sin \xi) - Y(X_0 - A \sin \xi) \quad (2.24)$$

Normalizando-se a função Yr [equação (2.24)], o que é feito da mesma forma apresentada nas equações (2.16), (2.17) e (2.18), obtém-se a função yr [equação (2.25)].

$$yr(x) = \frac{Yr(X_0 + A(2x - 1)) - Yr(X_0 - A)}{Yr(X_0 + A) - Yr(X_0 - A)} \quad (2.25)$$

A Figura 2.16 apresenta o resultado da função $yr(x)$, onde é praticamente impossível identificar o comportamento da não-linearidade, pois $HD3$ é muito pequena, nesse exemplo.

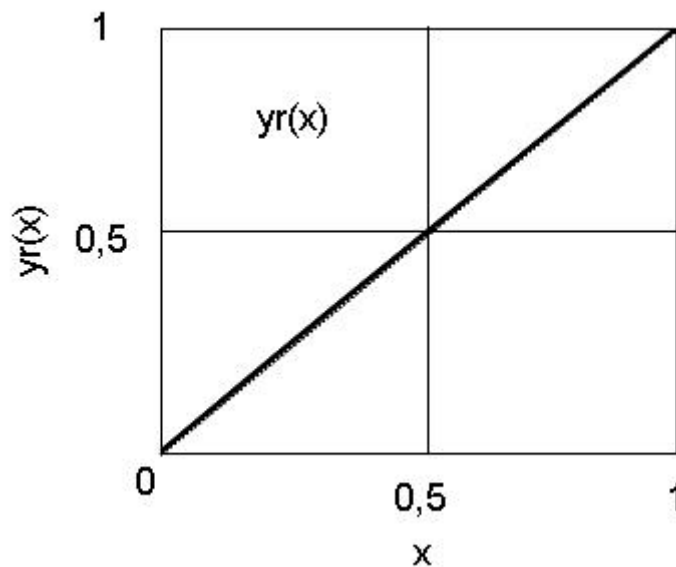


Figura 2.16 – Saída normalizada da função $yr(x)$.

Representando-se o gráfico da diferença $[yr(x)-x]$ em função de x , pode-se perceber que a supressão das harmônicas pares produz um resultado totalmente simétrico. O caso mais comum é representado na Figura 2.17, onde a curva cruza a bissetriz uma vez antes de $x = 0,5$ e outra vez em $x = 0,5$, o comportamento se repete na outra metade, espelhado nos eixos x e y .

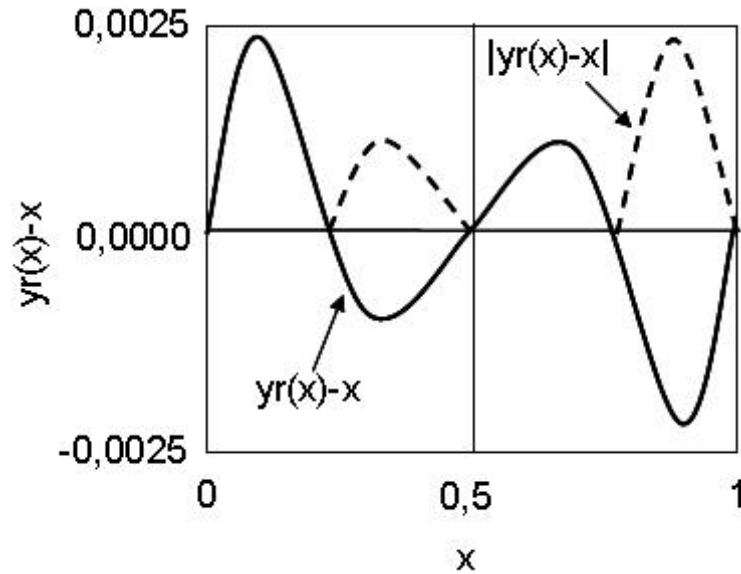


Figura 2.17 – Saída normalizada simétrica da diferença $yr(x)-x$ e seu módulo $|yr(x)-x|$. O caso mais comum de múltiplos cruzamentos da bissetriz.

A análise da Figura 2.17 gera uma integral definida entre x igual a 0 e 0,5 e que deve ser multiplicada por 2, gerando a função Dr [equação (2.26)].

$$Dr = 2 \cdot \left| 2 \cdot \int_0^{0,5} yr(x) \cdot dx - 0,5^2 \right| \quad (2.26)$$

O último caso a ser considerado é quando a função normalizada apresenta múltiplos cruzamentos com a bissetriz, no intervalo de $x = 0$ e $x = 0,5$, e se deseja considerar o efeito de todos os harmônicos ímpares, não só HD3. Assim é definida a função yrs [equação (2.27)].

$$yrs(x) = |yr(x) - x| + x \quad (2.27)$$

Que por sua vez determina Drs através da equação (2.28).

$$Drs = 2 \cdot \int_0^1 yrs(x) \cdot dx - 1 \quad (2.28)$$

De posse do todas essas informações, sabendo-se que, de acordo com a literatura, os harmônicos de segunda e terceira ordens são considerados predominantes e que o deslocamento DC, agora definido como HD0, é praticamente igual a distorção harmônica de segunda ordem (HD2), pode-se definir THD₀ e a distorção harmônica total (THD) como descrito pelas equações (2.29) e (2.30).

$$\begin{aligned} THD_0 &= \sqrt{HD0^2 + HD2^2 + HD3^2 + \dots} \\ &\approx \sqrt{2HD2^2 + HD3^2 + \dots} = 1,06 \cdot Ds \end{aligned} \quad (2.29)$$

$$THD = \sqrt{HD2^2 + HD3^2 + \dots} \quad (2.30)$$

A partir das equações (2.29) e (2.30), e baseando-se na definição da função Drs, THD pode ser escrito de acordo com a equação (2.31).

$$THD = \sqrt{\frac{(1,06Ds)^2}{2} + \frac{Drs^2}{2}} \quad (2.31)$$

Da mesma forma HD2 é definido de acordo com a equação (2.32).

$$HD2 = \sqrt{\frac{(1,06Ds)^2}{2} - \frac{Drs^2}{2}} \quad (2.32)$$

Analogamente, a distorção harmônica de terceira ordem (HD3), pode ser definida pela equação (2.33).

$$HD3 = Dr \quad (2.33)$$

Essas são as três figuras de mérito mais importantes para o estudo da distorção harmônica. Todo detalhamento matemático para elaboração do método está descrito na referência [25].

2.10.2 Distorção harmônica total efetiva (THD/ A_V)

Como os transistores apresentam diferentes valores de V_{EA} e conseqüentemente diferentes A_V , para uma mesma tensão de polarização V_{DS} , define-se a chamada Distorção Harmônica Total Efetiva que nada mais é que a normalização de THD em função de A_V [7],[26]. Ela permite a comparação de transistores polarizados como amplificadores de ganho unitário, e pode ser representada em função da sobretensão de porta ($THD/A_V \times V_{GT}$) ou da razão g_m/I_{DS} ($THD/A_V \times g_m/I_{DS}$).

A Figura 2.18 descreve um procedimento ilustrativo para a obtenção das figuras de mérito $THD/A_V \times V_{GT}$ e $THD/A_V \times g_m/I_{DS}$.

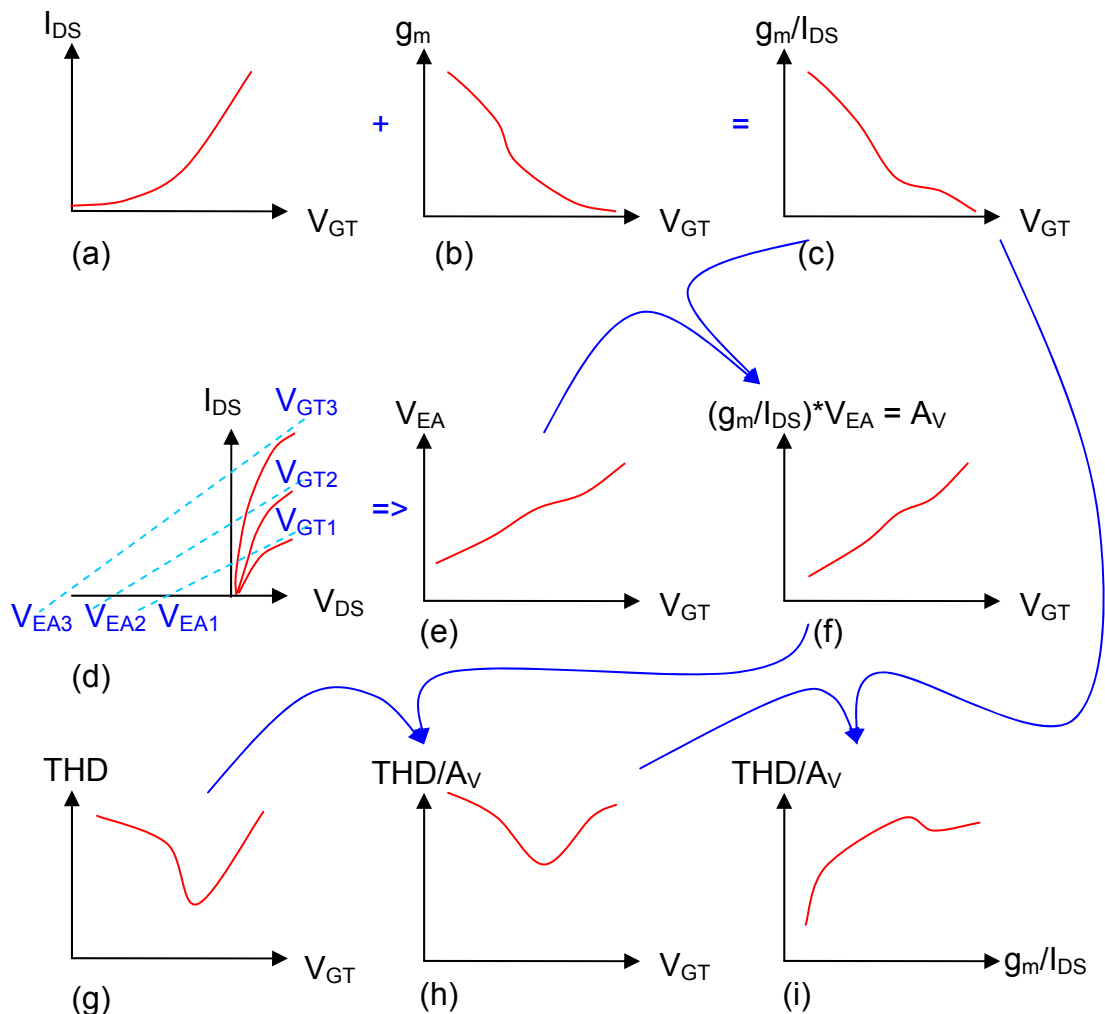


Figura 2.18 – Esquema gráfico para obtenção de $(THD/A_V) \times (g_m/I_{DS})$.

Procedimento seguindo a ilustração da Figura 2.18:

- I. A partir da curva característica $I_{DS} \times V_{GT}$ [Figura 2.18(a)] deriva-se I_{DS} em função de V_{GT} , a fim de obter a curva da transcondutância em função de V_{GT} [Figura 2.18(b)];
- II. Divide-se o valor de g_m de [Figura 2.18(b)] pelo respectivo valor de I_{DS} de [Figura 2.18(a)], considerando os mesmos valores de V_{GT} , com isso tem-se g_m/I_{DS} em função de V_{GT} [Figura 2.18(c)];
- III. A partir de uma família de curvas $I_{DS} \times V_{DS}$, com diferentes valores de V_{GT} , calcula-se o valor de tensão Early (V_{EA}) para cada curva, através do método do prolongamento do trecho plano da região de saturação [Figura 2.18(d)];
- IV. Os valores de V_{EA} obtidos são organizados em uma curva de V_{EA} em função de V_{GT} [Figura 2.18(e)];
- V. Multiplica-se o valor de g_m/I_{DS} [Figura 2.18(c)] pelo respectivo valor de V_{EA} [Figura 2.18(e)], considerando os mesmos valores de V_{GT} , com isso tem-se $(g_m/I_{DS}) \cdot V_{EA}$ em função de V_{GT} , que é equivalente ao ganho de tensão (A_V) em função de V_{GT} [Figura 2.18(f)];
- VI. A partir do valor de THD em função de V_{GT} [Figura 2.18(g)], extraído por um dos métodos apresentados anteriormente, divide-se THD pelo respectivo valor de A_V [Figura 2.18(f)], considerando os mesmos valores de V_{GT} . O resultado dessa operação matemática é a primeira figura de mérito procurada, THD/A_V em função de V_{GT} [Figura 2.18(h)];
- VII. Para a obtenção da segunda figura de mérito, relacionam-se os valores de THD/A_V da curva [Figura 2.18(h)] com os valores de g_m/I_{DS} da curva [Figura 2.18(c)] por intermédio de V_{GT} . Para cada valor de V_{GT} , há um valor correspondente de THD/A_V e g_m/I_{DS} . Desta forma, obtém-se THD/A_V em função de g_m/I_{DS} [Figura 2.18(i)].

Esta última figura de mérito tem significado especial por ser muito importante no momento do projeto de circuitos analógicos, onde o valor de g_m/I_{DS} guiará o projetista sobre o modo de inversão que os transistores deverão estar polarizados para definir se o circuito terá característica de alto ganho e baixa resposta em frequência (modo de inversão fraca), de ganho de tensão e resposta em frequência moderados (modo de inversão moderada) ou de baixo ganho de tensão e de alta resposta em frequência (modo de inversão forte), conforme mostra a Figura 2.6. A relação THD/A_V indicará ao projetista quanta distorção harmônica o seu circuito integrado apresentará.

3 MEDIDAS EXPERIMENTAIS – RESULTADOS

Neste capítulo são apresentados os resultados experimentais da distorção harmônica dos SOI nMOSFETs convencionais e circulares. O estudo comparativo entre a distorção harmônica desses dispositivos também é apresentado neste capítulo.

3.1 Medidas

Todas as medidas foram realizadas à temperatura ambiente, com o auxílio do caracterizador de dispositivos Keithley 4200. Os circuitos integrados utilizados foram fabricados no IMEC, Bélgica, utilizando tecnologia SOI CMOS parcialmente depletados de $0,13\ \mu\text{m}$.

Os parâmetros tecnológicos dos SOI nMOSFETs são: espessura do óxido de porta (t_{oxf}) igual a 2,5 nm, espessura do óxido enterrado (t_{oxb}) igual a 400 nm, espessura da camada de silício (t_{si}) igual a 100 nm, concentração do canal (N_A) igual a $5,5 \times 10^{17}\ \text{cm}^{-3}$ e concentração de dreno e fonte ($N_{\text{Dreno/Fonte}}$) igual a $1 \times 10^{20}\ \text{cm}^{-3}$.

As dimensões dos SOI nMOSFETs com canal de geometria circular (CGT) utilizados para fazer as medidas experimentais são: R_1 igual a $15,5\ \mu\text{m}$, R_2 igual a $16,5\ \mu\text{m}$, comprimento do canal (L) igual a $1\ \mu\text{m}$, que de acordo com a equação (2.1), corresponde a uma largura de canal (W) igual a $100\ \mu\text{m}$, resultando uma razão de aspecto de 100. As dimensões do SOI nMOSFET convencional são: comprimento do canal (L) igual a $1\ \mu\text{m}$ e uma largura do canal (W) igual a $10\ \mu\text{m}$, resultando em uma relação de aspecto de 10.

Nota-se que existe uma diferença de 10 vezes entre as relações W/L do transistor circular e convencional. Essa diferença ocasiona grande variação entre as correntes de dreno desses transistores. Para suprimir essas diferenças e permitir a comparação entre ambos, será considerado a corrente entre dreno e fonte normalizada em função da razão de aspecto dos transistores [$I_{\text{DS}}/(W/L)$]. Esses dispositivos não apresentam efeito de canal curto.

Como apresentado no capítulo anterior, o transistor circular pode ser polarizado de duas formas distintas, operando com dreno externo ou interno. Os estudos efetuados apresentam comparações entre o circular operando com dreno interno/externo e o convencional.

3.2 Tensão de limiar (V_{TH})

Calcula-se a tensão de limiar, com o objetivo comparar o comportamento dos dispositivos estudados no mesmo ponto de sobretensão de porta ($V_{GT} = V_{GS} - V_{TH}$).

A Figura 3.1 apresenta como foi feita a extração da tensão de limiar para o transistor convencional [Figura 3.1(a)] e para o circular [Figura 3.1(b)] através das curvas da segunda derivada da corrente de dreno em função de V_{GS} para $V_{DS} = 100$ mV. Apesar de haver apenas um gráfico para o circular, neste caso, a configuração com dreno externo, ambas as configurações de dreno resultaram numa mesma tensão de limiar.

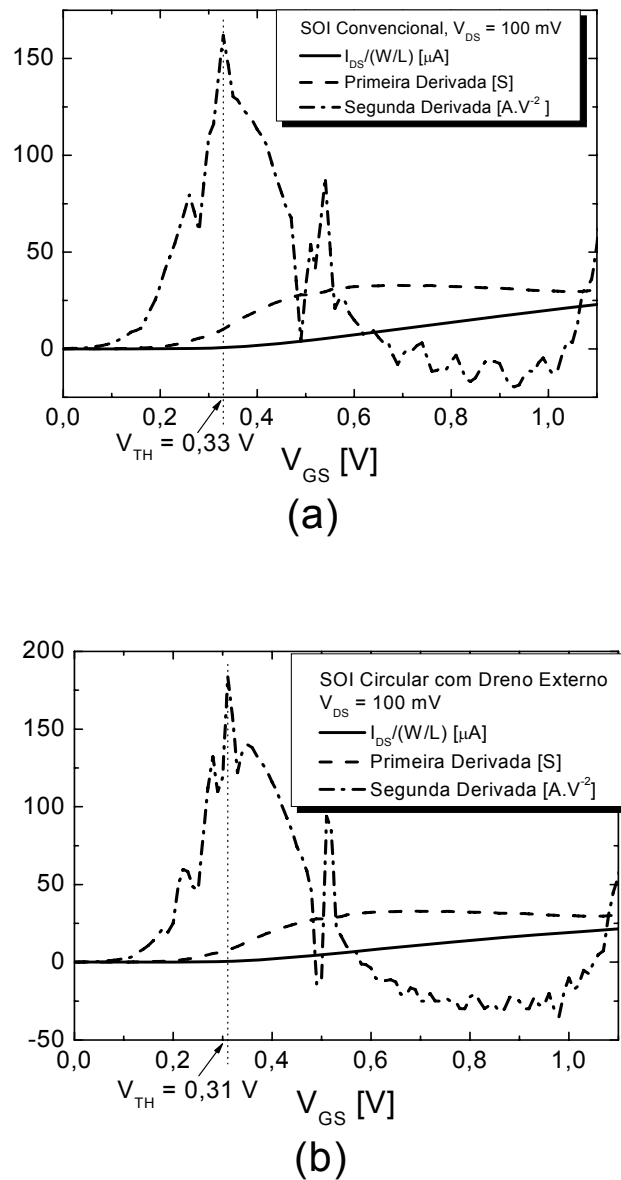


Figura 3.1 – Curvas da segunda derivada de $I_{DS} \times V_{GS}$ experimental dos transistores SOI nMOSFET convencional (a) e circular (b).

Observa-se que a tensão de limiar extraída do transistor convencional é igual a 0,33 V e do circular é igual a 0,31 V. Isso representa uma superioridade de 20 mV na tensão do transistor convencional em relação ao circular.

3.3 Características $[I_{DS}/(W/L)] \times V_{GT}$

A representação da corrente de dreno normalizada em relação à razão de aspecto $[I_{DS}/(W/L)]$ em função da sobretensão de porta ($V_{GT} = V_{GS} - V_{TH}$) é sem dúvida uma das curvas mais importantes deste estudo, pois ela é a base para o cálculo da distorção harmônica total do sinal de saída na região de saturação.

A Figura 3.2 apresenta as curvas experimentais $I_{DS}/(W/L)$ em função de V_{GT} do SOI nMOSFET circular operando em configuração de dreno externo e interno e do SOI nMOSFET convencional, para quatro valores de V_{DS} [0,4 V (a), 0,6 V (b), 0,8 V (c) e 1 V (d)].

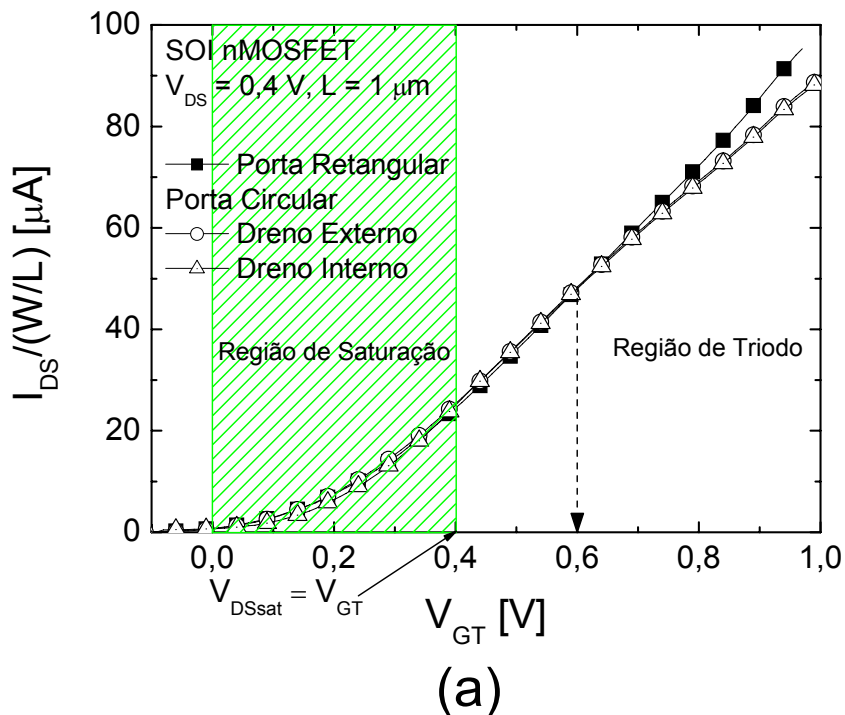


Figura 3.2 – Corrente de dreno normalizada em função da razão de aspecto em função da sobretensão de porta dos transistores SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para diferentes valores de V_{DS} [0,4 V (a), 0,6 V (b), 0,8 V (c) e 1 V (d)].

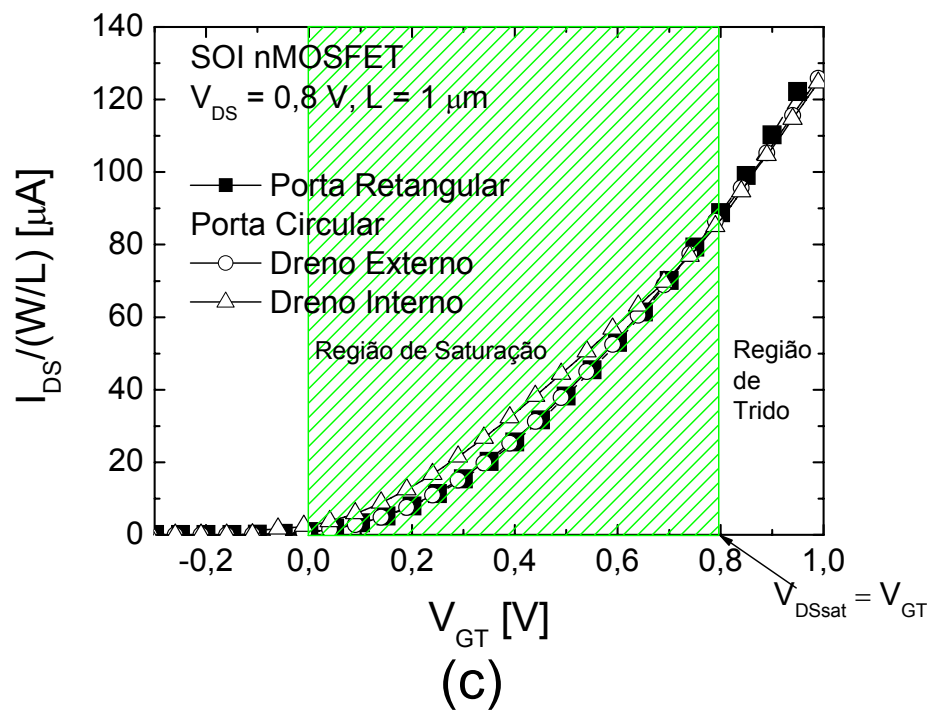
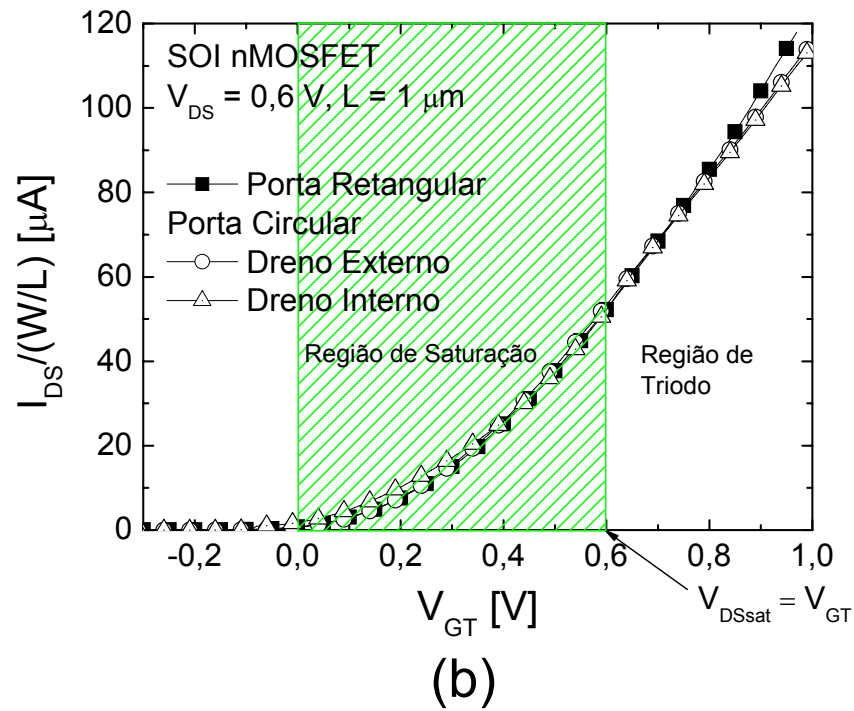


Figura 3.2 – (continuação.)

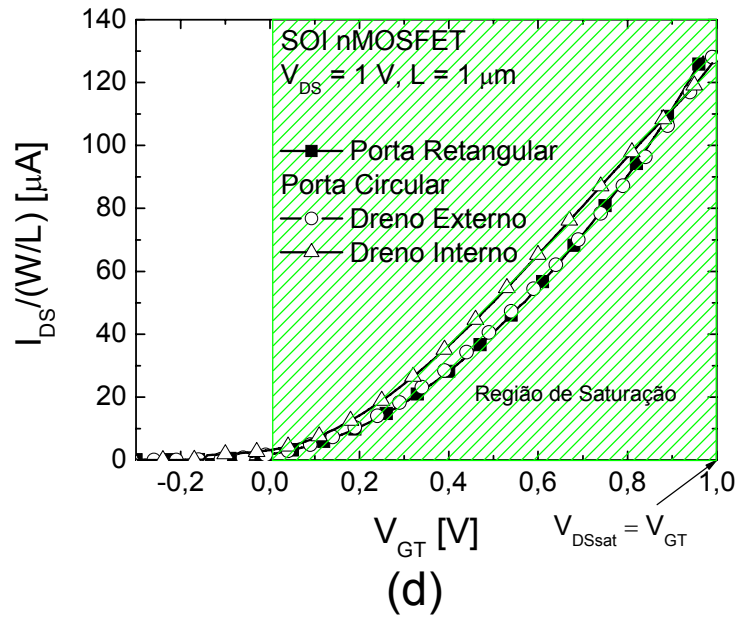


Figura 3.2 – (continuação.)

Observando a Figura 3.2, nota-se que, para V_{DS} igual ou superior a 0,6 V, a corrente de dreno do transistor circular operando em configuração de dreno interno é maior que a do convencional, enquanto polarizado na região de saturação, pois a área de sua região de interface dreno/canal é menor que a do transistor convencional e que a do circular operando em configuração de dreno externo, resultando numa maior densidade de campo elétrico ($\vec{J}_E$) próximo ao dreno, consequentemente maior intensidade de ionização por impacto e deslocamento da região de estrangulamento (*pinch-off*) da região de dreno (ΔL) [8]. Dessa forma, o comprimento efetivo do canal (L_{eff}) é menor, resultando numa maior corrente de dreno. Observe também que a corrente do transistor circular operando em configuração de dreno externo se comporta de forma muito semelhante ao convencional para todas as condições de polarização de V_{DS} , enquanto polarizado na região de saturação. Isso pode ser justificado pelo fato que o deslocamento da região de estrangulamento em direção a fonte, ocorre de forma semelhante nesses dispositivos, para esses níveis de polarização.

3.4 Resistência série normalizada

A Figura 3.3 apresenta a curva da resistência entre dreno e fonte em função de V_{GS} dos SOI nMOSFETs convencional e circular, através da qual foi extraída a resistência série normalizada (R_{Snorm}) dos dispositivos, utilizando o método descrito no item 2.4.

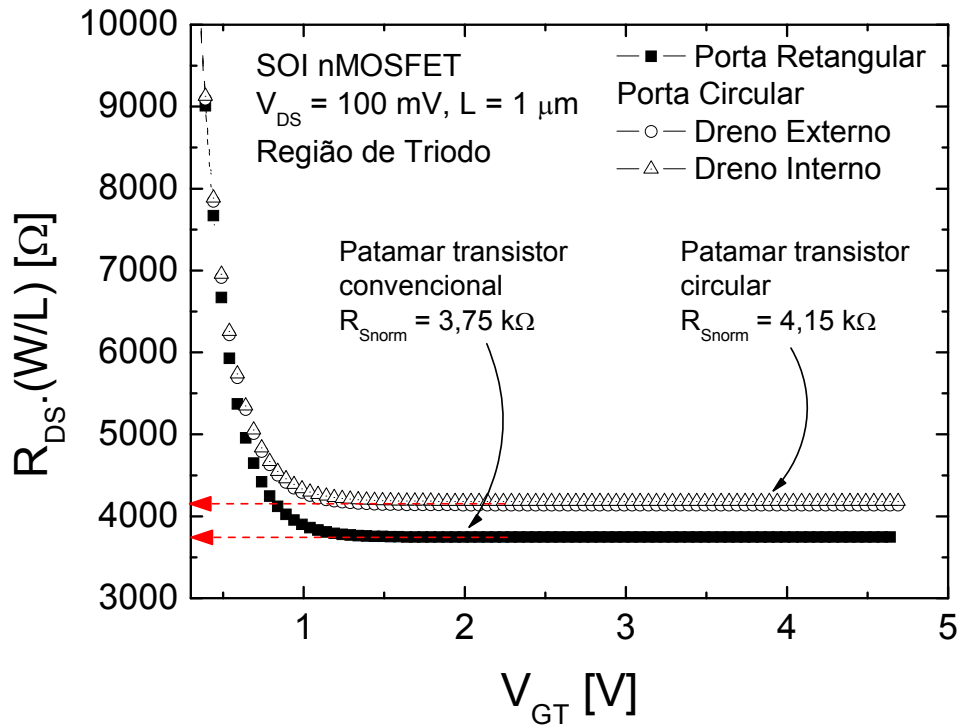


Figura 3.3 – Resistência normalizada entre dreno e fonte dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para polarização de dreno igual a 100 mV.

Note que o transistor circular operando em ambas as configurações apresenta R_{Snorm} superior ao convencional (4,15k Ω contra 3,75k Ω).

Apesar da resistência série total (R_S) do transistor circular ser a mesma na configuração de dreno interno e externo, a resistência da região interna é diferente da resistência da região externa, como é mostrado na Figura 3.4(a). Isso ocorre devido à assimetria entre as regiões de dreno e fonte, onde a região interna apresenta menor área de interface com o canal do que a região externa, fazendo com que a região interna apresente maior resistência série que a externa ($R_{SINT} > R_{SEXT}$).

A Figura 3.4 ilustra uma proposta de circuito equivalente do SOI nMOSFET circular operando em configuração de dreno externo (CGT_{DE}) e dreno interno (CGT_{DI}), com suas respectivas resistências série de fonte e dreno.

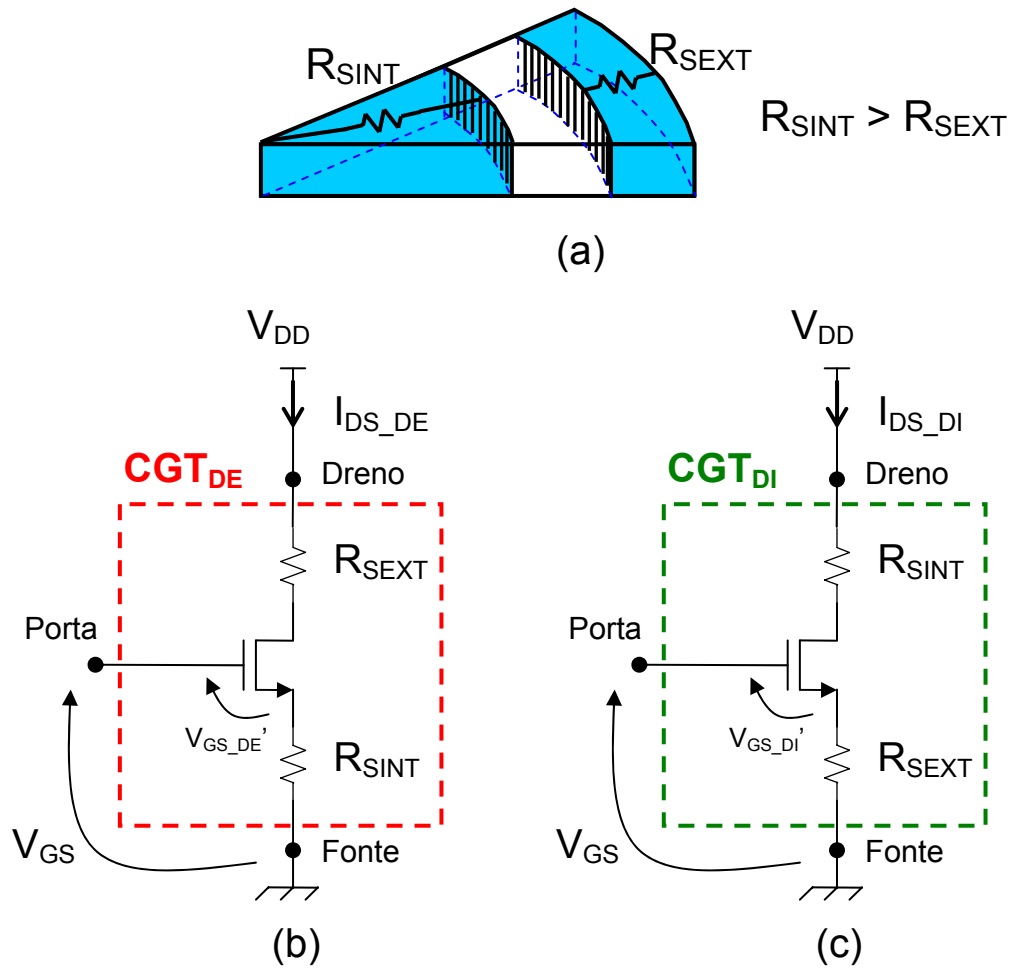


Figura 3.4 – Desenho ilustrativo da resistência da região interna e externa de uma parte de um transistor circular (a), representação do transistor circular operando em configuração de dreno externo (b) e interno (c), considerando a resistência série.

Na Figura 3.4, R_{SEXT} é a resistência da região externa, R_{SINT} é a resistência da região interna do transistor circular independentemente do seu modo de operação. V_{GS_DE}' , V_{GS_DI}' , I_{DS_DE} e I_{DS_DI} são as tensões efetivas entre porta e fonte e as correntes de dreno do SOI nMOSFET circular operando em configuração de dreno externo e interno, respectivamente.

As equações (3.1) e (3.2) representam a tensão efetiva entre porta e fonte no transistor circular operando em ambas as configurações, considerando a queda de tensão na região de fonte devido a sua resistência série.

$$V_{GS_DE}' = V_{GS} - I_{DS_DE} \cdot R_{SINT} \quad (3.1)$$

$$V_{GS_DI}' = V_{GS} - I_{DS_DI} \cdot R_{SEXT} \quad (3.2)$$

Como a área da região interna, por onde circula a corrente I_{DS} , é menor do que a área da região externa, a resistência série da região interna é maior do que a resistência série da região externa ($R_{SINT} > R_{SEXT}$), logo a tensão efetiva entre porta e fonte do CGT_{DI} é maior que a tensão efetiva do CGT_{DE} ($V_{GS_DI}' > V_{GS_DE}'$), isso faz com que a corrente de dreno do CGT_{DI} seja maior que a corrente de dreno do CGT_{DE} ($I_{DS_DI} > I_{DS_DE}$).

3.5 Transistor parasitário devido ao corpo flutuante (*single-transistor latchup*)

O comportamento de transistor bipolar parasitário ocorre no SOI nMOSFET circular em configuração dreno interno. Esse fenômeno é conhecido como *single-transistor latchup* [27],[28] e pode ser observado na Figura 3.5.

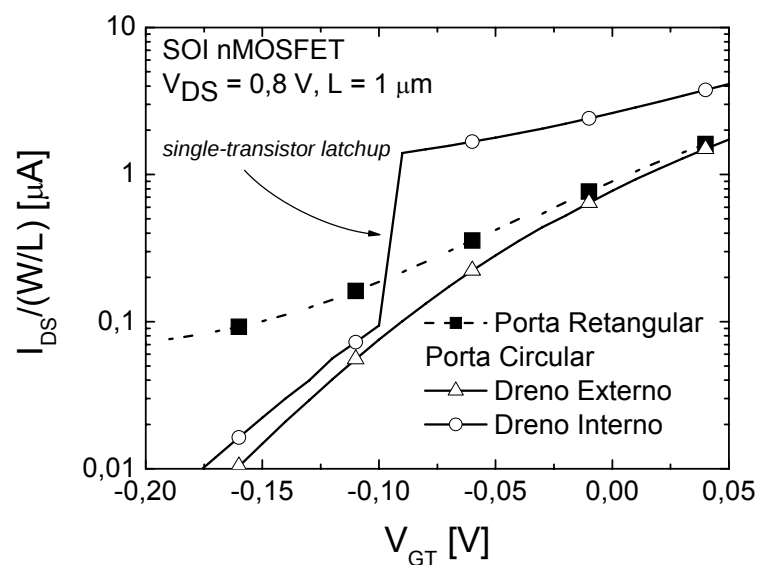


Figura 3.5 – Curva experimental $I_{DS}/(W/L) \times V_{GT}$ mostrando a ocorrência do efeito *single-transistor latchup* no transistor circular operando em configuração de dreno interno na região de sublimiar.

Note que os SOI nMOSFETs convencional e circular em configuração dreno externo não apresentam aumento abrupto na corrente, devido ao transistor parasitário, pois a densidade de campo elétrico ($\vec{J}_E$) nas suas regiões de dreno não é tão intensa quanto no transistor circular em configuração dreno interno, pois possuem maior área de interface dreno/canal, e dessa forma a densidade de campo elétrico não é capaz de aumentar a ionização por impacto a ponto de fazer com que o efeito aconteça [4].

3.6 Transcondutância normalizada [$g_m/(W/L)$]

A Figura 3.6 apresenta as curvas de transcondutância normalizada pela razão de aspecto para duas condições de polarização de dreno [0,4 V (a) e 0,5 V (b)].

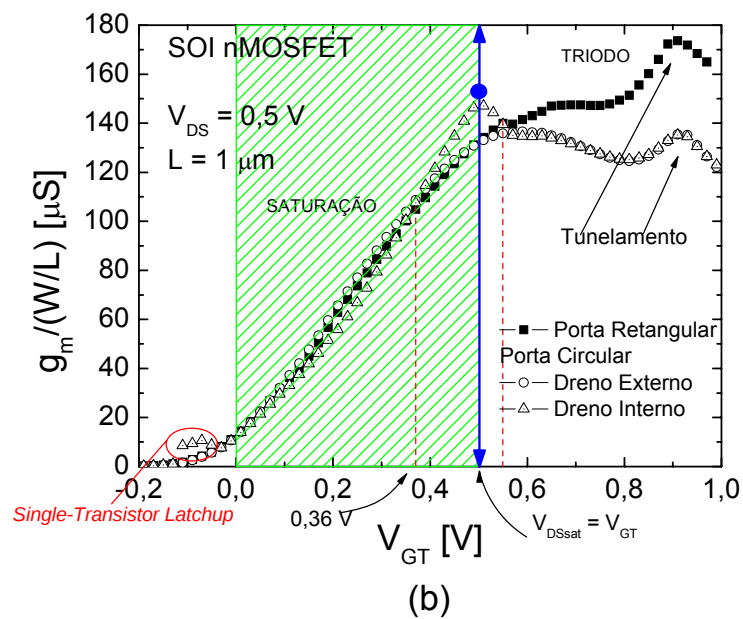
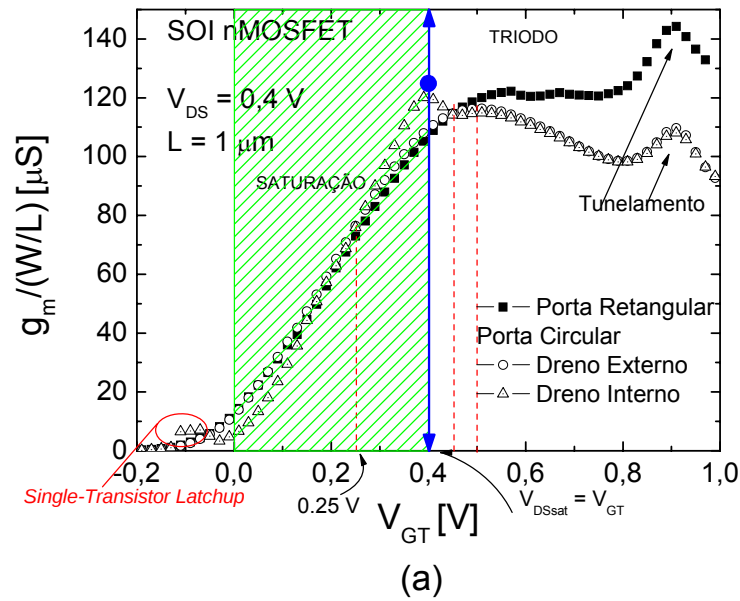


Figura 3.6 – Transcondutância normalizada em função da razão de aspecto em função da sobre-tensão de porta dos SOI nMOSFETs convencional e circular, operando em configuração de dreno externo e interno para polarização de dreno igual a 0,4 V (a) e 0,5 V (b).

Pode-se observar através da Figura 3.6(a) que a transcondutância do SOI MOSFET de canal circular operando em configuração de dreno externo é um pouco maior ($\approx 2\%$) que a do convencional na região de saturação ($V_{GT} \leq 0,5$ V). Para valores maiores que 0,5V (região de triodo), observa-se uma acentuada degradação da transcondutância do transistor circular em relação ao convencional devido a sua maior resistência série (R_s), para ambas as configurações (dreno interno e externo). Repare também que a transcondutância do transistor circular operando em configuração de dreno interno é menor que os demais para $V_{GT} \leq 0,25$ V e maior entre 0,25 V e 0,45 V. Comportamento similar é observado para $V_{DS} = 0,5$ V [Figura 3.6(b)] e também outros valores estudados nesse trabalho.

Note também na Figura 3.6, que existe um pico na transcondutância do transistor circular operando em configuração de dreno interno ($g_{m_máxDI}$). Esse pico de g_m no CGT_{DI} está posicionado exatamente na interface das regiões de saturação e triodo. Ele é gerado quando a região de estrangulamento no canal deixa de existir, devido a diminuição da ionização por impacto decorrente do aumento na sobretensão de porta, que provoca a redução da corrente de base que polariza o transistor bipolar parasitário inerente a essa estrutura e portanto, forçando esse transistor a ir para a região de corte. Esse fenômeno sugere um novo método para extração da tensão de limiar, que aqui será intitulado de “Pico de $g_m \times V_{GS}$ do CGT_{DI} ”.

A Figura 3.7 apresenta um conjunto de curvas de g_m em função de V_{GS} do transistor circular em operação de dreno interno, para diferentes valores da tensão de dreno (V_{DS}).

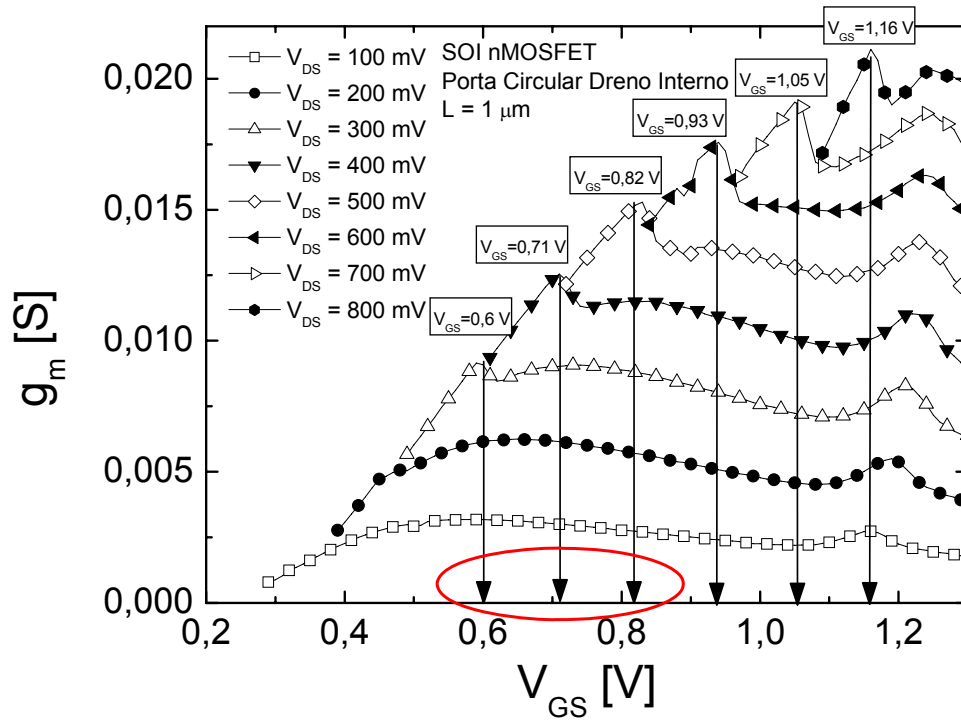


Figura 3.7 – Conjunto de curvas $g_m \times V_{GS}$ experimentais para diferentes valores de V_{DS} do transistor circular operando com dreno interno, com destaque para o primeiro pico de cada curva.

Para a faixa de valores de V_{DS} entre 0,3 V e 0,5 V, onde a corrente de tunelamento não interfere no primeiro pico da transcondutância, pode-se extrair a tensão de limiar com maior precisão a partir dos valores de V_{DS} e V_{GS} obtidos no gráfico de $g_m \times V_{GS}$ da Figura 3.7, pois o primeiro pico de g_m aparece bem no limite das regiões de saturação e triodo (V_{DSsat}), e sabe-se que $V_{DSsat} = V_{GS} - V_{TH}$. Para ilustrar, considere a curva $g_m \times V_{GS}$ para $V_{DS} = 0,4$ V, o pico da transcondutância ocorre em $V_{GS} = 0,71$ V, logo $V_{TH} = 0,71 - 0,4 = 0,31$ V. Esse valor é idêntico ao valor de V_{TH} obtido pelo método da segunda derivada.

3.7 Razão g_m/I_{DS} em função da sobretensão de porta

A Figura 3.8 apresenta a característica g_m/I_{DS} em função de V_{GT} , para V_{DS} igual a 0,11 V (a) e 0,8 V (b).

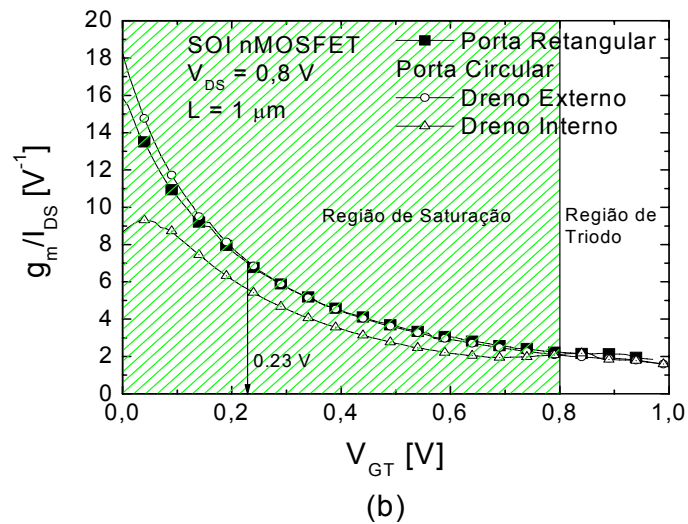
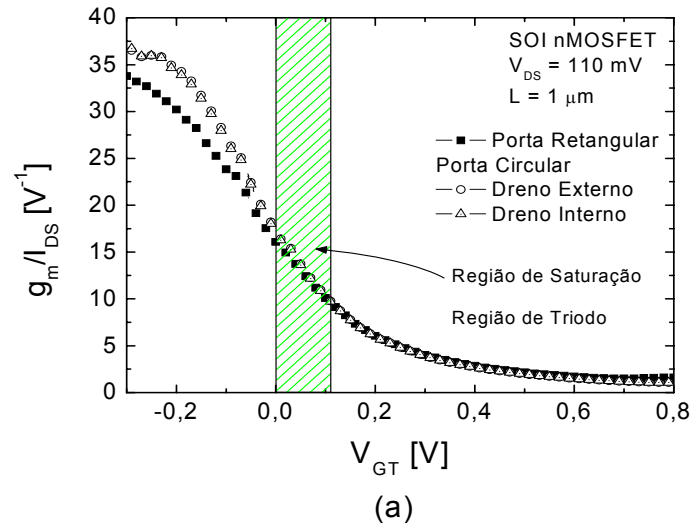


Figura 3.8 – Curvas experimentais de g_m/I_{DS} em função da tensão de porta (V_{GT}), para V_{DS} igual a 0,11 V (a) e 0,8 V (b).

Para ambas as polarizações de dreno [Figura 3.8(a) e Figura 3.8(b)], o SOI nMOSFET circular operando em configuração de dreno externo apresenta maior g_m/I_{DS} que o convencional, para polarização de porta desde a região de sublimiar até valores intermediários na região de saturação [$V_{GT} = 0,23 \text{ V}$, Figura 3.8(b)]. Após esse ponto, ambos apresentam praticamente o mesmo valor de g_m/I_{DS} . Isso ocorre porque o SOI nMOSFET circular operando em configuração de dreno externo é mais imune a variações no comprimento efetivo de canal e apresenta maior inclinação de sublimiar que o convencional, como pode ser visto na Figura 3.5.

Na região de triodo, o canal se apresenta totalmente invertido (os portadores minoritários se tornam majoritários), isso faz com que não haja o efeito de modulação do comprimento de canal, tornando assim as três configurações de SOI nMOSFET equivalentes.

O SOI nMOSFET circular operando em configuração de dreno interno, quando polarizado com baixos valores de V_{GT} [Figura 3.8(a)], não sofre com o efeito de *single-transistor latchup* e apresenta o comportamento idêntico ao dreno externo. Para V_{DS} superior a 0,4 V, o efeito de *single-transistor latchup* faz com que haja um brusco aumento na corrente de dreno na região de sublimiar e diminuição na inclinação da curva $I_{DS}/(W/L) \times V_{GT}$ quando o dispositivo começa a operar na região de saturação. Esse efeito faz com que a transcondutância diminua apesar de uma corrente equivalente aos demais dispositivos, como pode ser percebido na Figura 3.8(b).

3.8 Razão g_m/I_{DS} em função da corrente de dreno normalizada em função da razão de aspecto

A Figura 3.9 apresenta a curva $g_m/I_{DS} \times I_{DS}/(W/L)$ dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno.

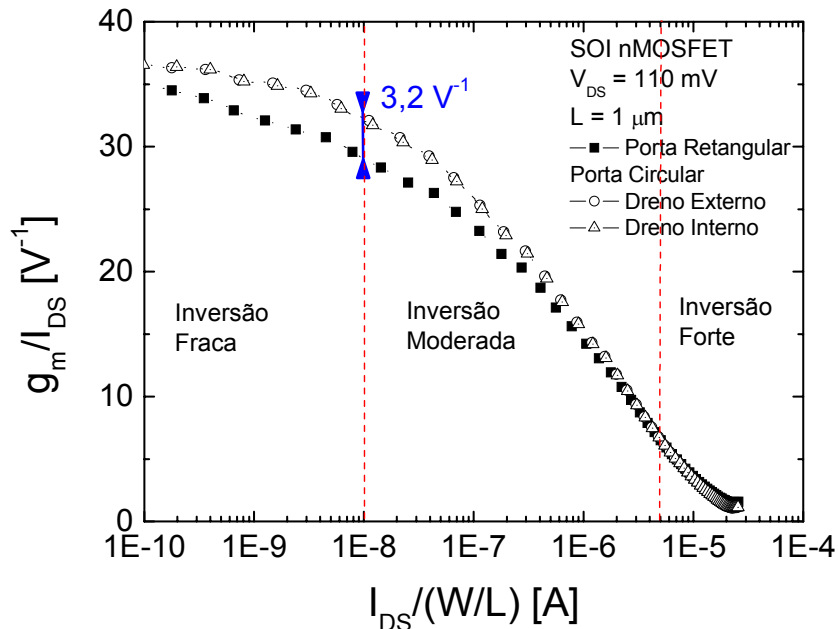


Figura 3.9 – Curva experimental da relação g_m/I_{DS} em função da corrente de dreno normalizada $[I_{DS}/(W/L)]$ e polarização de dreno igual a 110 mV.

A Figura 3.9 mostra que o SOI nMOSFET de porta circular possui o mesmo comportamento para ambas as formas de operação (dreno interno e externo). O valor da sua relação g_m/I_{DS} é superior ao convencional, quando operando nas regiões de inversão fraca e moderada. No final da inversão fraca e início da moderada a diferença entre eles é de aproximadamente $3,2 \text{ V}^{-1}$, isso ocorre devido à transcondutância do transistor de porta circular ser maior a do transistor convencional na região de sublimiar e, além disso, o transistor convencional apresenta maior corrente de dreno que o transistor de porta circular para valores de V_{GT} inferiores a $-0,1 \text{ V}$, detalhes na Figura 3.5.

Esse mesmo comportamento é observado para valores de V_{DS} maiores que 110 mV , porém na região de inversão forte, os dispositivos SOI nMOSFETs de porta circular operando em configuração de dreno externo e o convencional apresentam praticamente os mesmos valores de g_m/I_{DS} . Enquanto que o SOI nMOSFETs de porta circular operando em configuração de dreno interno, apresenta uma menor relação g_m/I_{DS} decorrente de sua menor transcondutância (diretamente afetada pelo efeito *single-transistor latchup*) e maior degradação da mobilidade a medida que se aproxima da região de triodo.

A Figura 3.10 destaca essa região para uma polarização de dreno igual a $0,8 \text{ V}$.

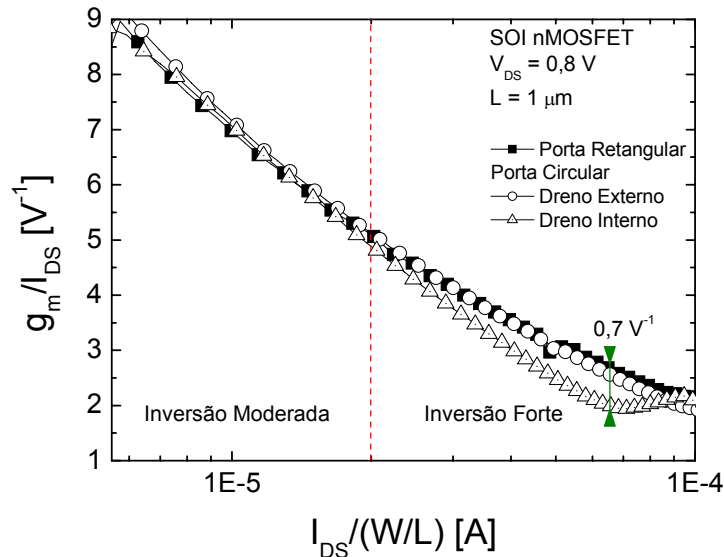


Figura 3.10 – Curva experimental da relação g_m/I_{DS} em função da corrente de dreno normalizada $[I_{DS}/(W/L)]$ e polarização de dreno igual a $0,8 \text{ V}$, com destaque para a região de inversão forte.

3.9 Característica $I_{DS} \times V_{DS}$

A Figura 3.11 apresenta a corrente de dreno normalizada $[I_{DS}/(W/L)]$ em função da tensão de dreno (V_{DS}) dos SOI nMOSFETs convencional e circular nas duas configurações de dreno possíveis. Cada conjunto de curvas considera uma mesma sobretensão de porta (V_{GT}). Neste caso, a corrente de dreno normalizada em função da razão de aspecto é usada para eliminar os efeitos relativos às diferentes dimensões de canal dos dispositivos e V_{GT} é usado para eliminar a diferença entre as tensões de limiar (V_{TH}).

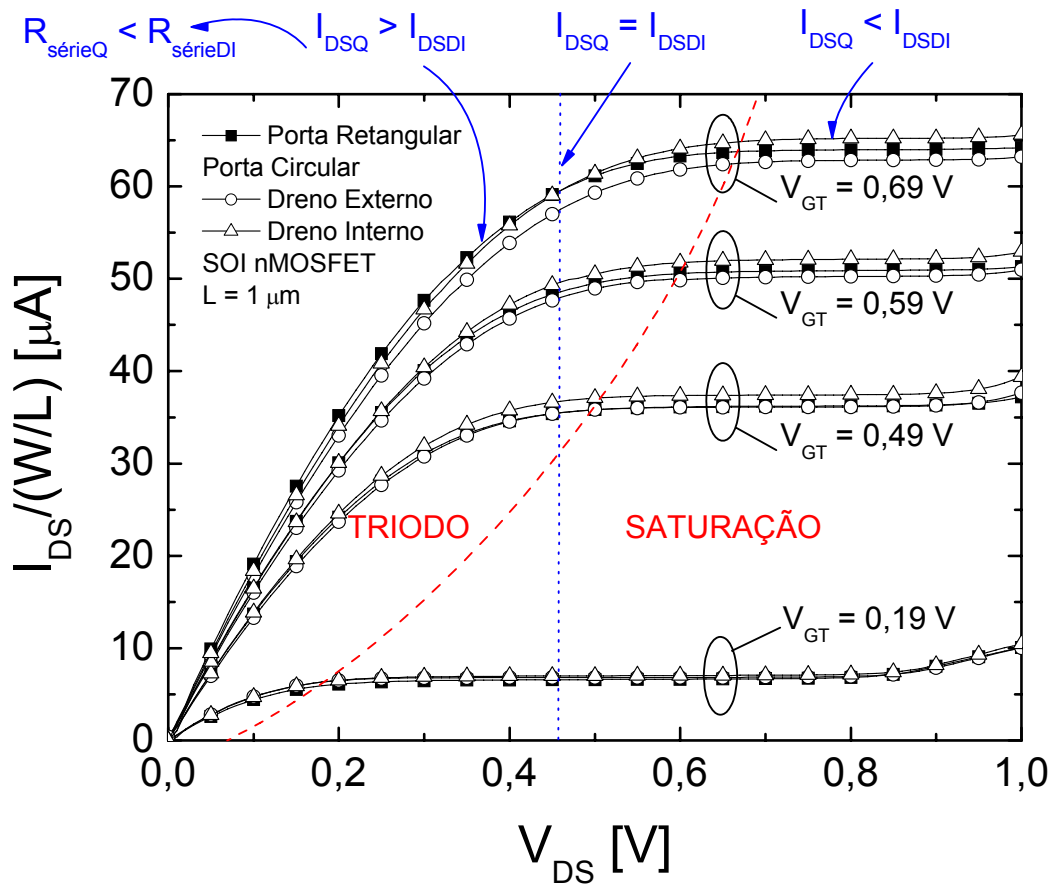


Figura 3.11 – Medidas experimentais da corrente de dreno normalizada em função da razão de aspecto em função da tensão de dreno dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno, para diferentes valores de sobretensão de porta.

Observando a Figura 3.11, percebe-se que para baixos valores de V_{GT} , as correntes de dreno dos SOI nMOSFETs convencional e circular têm praticamente o mesmo comportamento, pois os deslocamentos das regiões de estrangulamento em relação ao dreno (ΔL), são similares, que resulta em comprimentos efetivos de canal similares (L_{eff}) e

conseqüentemente não há praticamente diferença entre as correntes de dreno. À medida que V_{GT} aumenta, a corrente do transistor circular operando em configuração de dreno interno se torna maior que a do convencional e que a do circular operando em configuração de dreno externo. Isso ocorre porque a área da interface dreno/canal do circular operando com dreno interno (A_{DI}) é menor que a do convencional (A_Q), que por sua vez é menor que a do circular operando com dreno externo (A_{DE}), além disso, como descrito no item 3.4, o CGT_{DI} apresenta naturalmente maior tensão efetiva entre porta e fonte que o CGT_{DE} e o SOI nMOSFET convencional. Complementarmente maiores valores de V_{GT} permitem a formação de um canal com perfil de cargas mais uniforme e implica em aumento da ionização por impacto próximo do ponto de estrangulamento do canal.

3.10 Tensão Early (V_{EA}) e ganho de Tensão em malha aberta (A_V)

Como mencionado no capítulo 2, utiliza-se o método do prolongamento do trecho plano da região de saturação da curva $I_{DS}/(W/L) \times V_{DS}$, para cada valor de V_{GT} , a fim de fazer a determinação de V_{EA} . As curvas $I_{DS}/(W/L) \times V_{DS}$ são as mesmas apresentadas no item anterior e através delas são coletados 6 valores de V_{EA} para cada transistor, os quais são apresentados na Tabela 3.1.

Tabela 3.1 – Tensão Early em função do ponto de polarização (V_{GT}) dos transistores SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno.

V_{GT} [V]	Convencional [V_{EA_Q} (V)]	Circular dreno externo [V_{EA_DE} (V)]	Circular dreno interno [V_{EA_DI} (V)]
0,19	12,8	46,0	22,3
0,29	20,9	77,7	46,4
0,39	25,5	77,5	65,4
0,49	86,3	115,4	95,9
0,59	81,7	85,4	84,5
0,69	99,9	113,5	116,9

Observando a Tabela 3.1, à medida que se aumenta V_{GT} , maiores são os valores de V_{EA} para todos os dispositivos estudados, repare que V_{EA_DE} é maior que V_{EA_DI} que por sua vez é maior que V_{EA_Q} para valor de V_{GT} menor ou igual a 0,59 V, e para valores maiores, V_{EA_DI} é maior que os demais devido ao grande aumento de I_{DSsat_DI} .

A Figura 3.12 apresenta a tensão Early em função do ponto de polarização (V_{GT}) para os SOI nMOSFETs estudados.

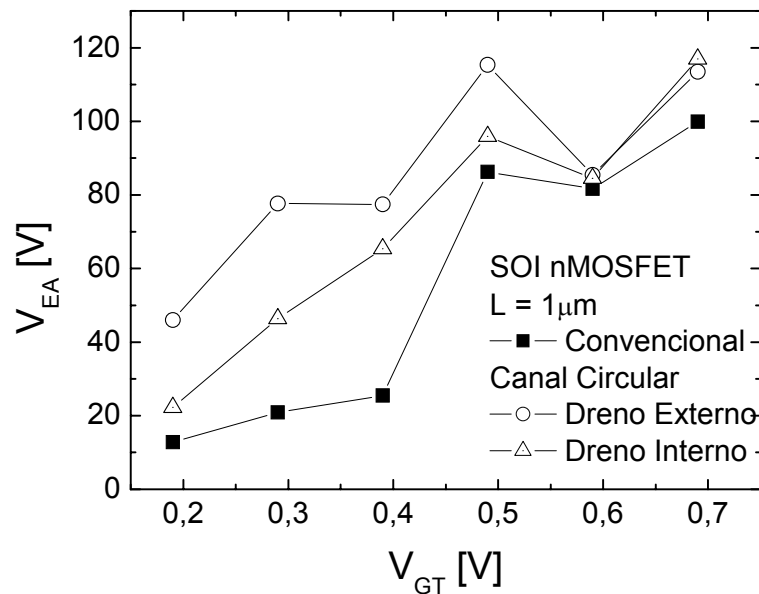


Figura 3.12 – Tensão Early em função da sobre-tensão de porta (V_{GT}) experimental dos transistores SOI nMOSFETs.

A equação (2.9) relaciona os valores de V_{EA} com os valores de g_m apresentados no item 3.6, dessa forma é possível determinar o ganho de tensão para cada SOI nMOSFET (Tabela 3.2).

Tabela 3.2 – Ganho de tensão em função do ponto de polarização (V_{GT}) dos transistores SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno, para $V_{DS} = 0,8$ V.

V_{GT} [V]	Convencional [A_{V_Q} (dB)]	Circular dreno externo [A_{V_DE} (dB)]	Circular dreno interno [A_{V_DI} (dB)]
0,19	40,8	51,4	42,9
0,29	42,2	53,2	46,7
0,39	41,6	50,9	47,3
0,49	50,4	52,4	48,4
0,59	47,6	48,0	45,4
0,69	48,5	48,9	47,1

A Figura 3.13 apresenta as curvas do ganho de tensão dos SOI nMOSFETs convencional e circular em função da sobre-tensão de porta.

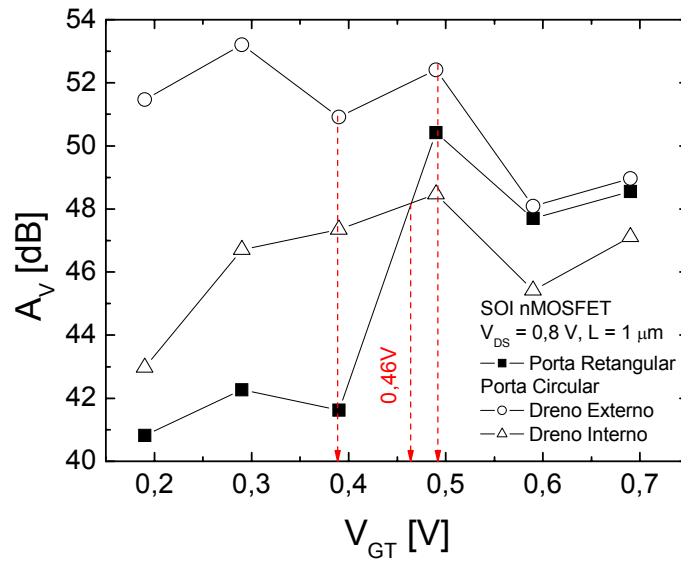


Figura 3.13 – Representação do ganho de saída em função do ponto de polarização V_{GS} dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno.

Verificando-se a Figura 3.13, nota-se que o ganho de tensão do SOI nMOSFET circular operando em configuração de dreno externo é maior que o do circular operando em configuração de dreno interno e que o do convencional em toda a faixa de sobretensão de porta estudada, devido a maiores valores de tensão Early e g_m/I_{DS} .

O transistor de porta circular operando em configuração de dreno interno apresenta ganho de tensão de malha aberta superior ao SOI nMOSFET convencional para valores de V_{GT} menores ou iguais que 0,46 V, pois apresenta tensão Early consideravelmente maior que o do convencional. Para valores de V_{GT} maiores que 0,46 V, o seu ganho de tensão é menor, pois a sua pior relação g_m/I_{DS} em relação ao convencional, e a redução na diferença entre os valores de tensão Early, permitem que o SOI nMOSFET convencional apresente maior ganho de tensão em relação ao transistor de porta circular operando em configuração de dreno interno.

3.11 Distorção harmônica para dispositivos operando em saturação

A distorção harmônica total (THD) e distorção da terceira harmônica (HD3) dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno são analisadas com a utilização do Método da Função Integral (IFM), suportado pela ferramenta matemática programa Mathcad [29].

A distorção harmônica de segunda ordem (HD2) não é estudada, pois se objetiva aplicação em amplificadores operacionais, onde a presença de pares diferenciais suprime os harmônicos de ordem par [10],[12].

3.11.1 Distorção harmônica total (THD)

A partir da curva característica experimental $I_{DS}/(W/L) \times V_{GT}$, foi extraída a distorção harmônica total para dois valores diferentes de amplitude do sinal de entrada (V_a), 30 mV [Figura 3.14(a)] e 200 mV [Figura 3.14(b)], considerando $V_{DS} = 0,8$ V e variando seu nível DC da entrada de V_{TH} até $V_{TH} + 1$ V, assim V_{GT} está entre 0 V e 1 V.

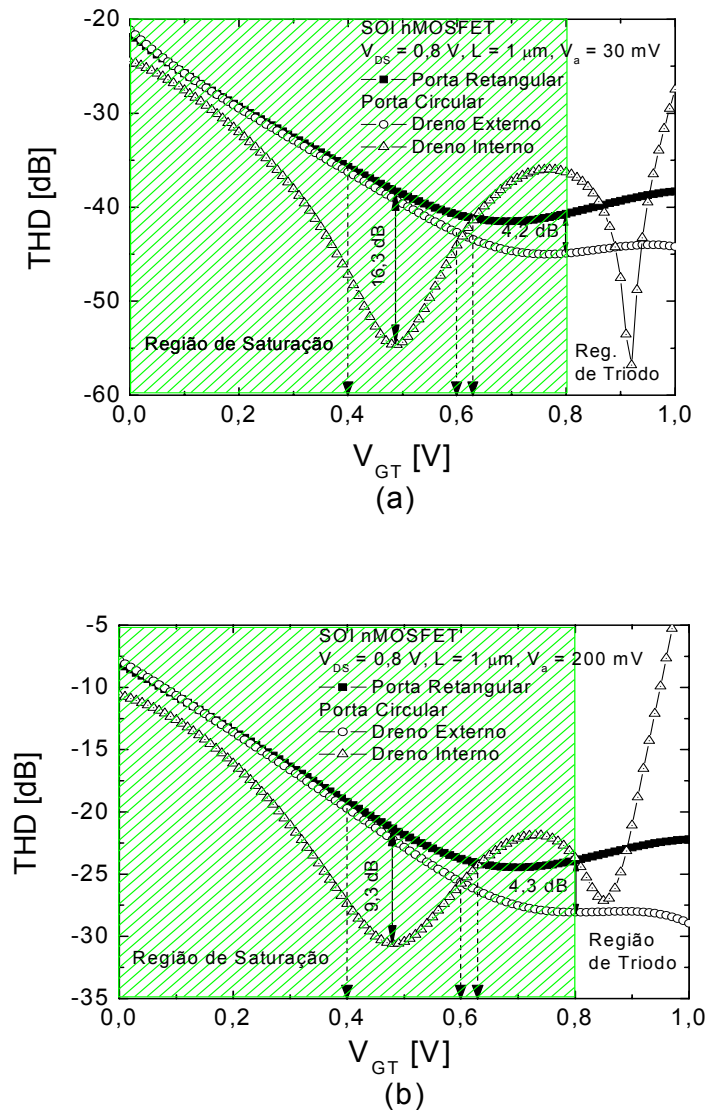


Figura 3.14 – Distorção harmônica total em função do ponto de polarização V_{GT} experimental dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para V_a igual a 30 mV(a) e 200 mV (b).

Analisando a Figura 3.14(a), observa-se que o comportamento da THD dos transistores convencional e circular operando em configuração de dreno externo, é praticamente o mesmo para valores de sobreensão de porta inferiores a 0,4 V. Para valores de V_{GT} maiores que 0,4 V, o transistor circular operando em configuração de dreno externo apresenta menor THD que o convencional, pois a distância da região de estrangulamento em relação ao dreno (ΔL_{DE}) é menor que a do convencional (ΔL_Q), devido a maior área de sua região de interface dreno/canal (A_{DE}) em relação aos demais dispositivos, o que faz com que a inclinação de sua curva $I_{DS}/(W/L) \times V_{GS}$ varie menos que a dos demais dispositivos (é mais linear), ou seja, ΔL_{DE} , L_{eff_DE} e I_{DS_DE} são menos susceptíveis as variações de V_{GS} . Quando $V_{GT} = 0,8$ V (limite entre as regiões de triodo e saturação, $V_{GT} = V_{DS}$) a linearidade do transistor circular em configuração de dreno externo é aproximadamente 4,2 dB melhor que o convencional.

A THD do transistor circular operando em configuração dreno interno é menor que os demais para valores de V_{GT} menores que 0,6 V. A maior diferença da THD em relação ao transistor convencional é de 16,3 dB, quando V_{GT} vale aproximadamente 0,5 V e V_a é igual a 30 mV. Essa expressiva melhora na linearidade se deve a menor variação da corrente de dreno do CGT operando em configuração de dreno interno em relação aos demais. Isso é possível devido a presença do efeito de *single-transistor latchup* na região de sublimiar, responsável por uma maior corrente de dreno, que vai se aproximando das demais à medida que V_{GT} aumenta e o perfil da concentração de elétrons no canal se torna mais uniforme, diminuindo-se a ionização por impacto (I.I.) e fazendo com que o comprimento efetivo do canal (L_{eff}) se aproxime do valor de máscara (L). Para valores de V_{GT} maiores que 0,6 V, a THD do CGT operando em configuração com dreno interno é maior que a do transistor convencional e que a do CGT operando em configuração com dreno externo, esse comportamento se mantém até pelo menos o final da região de saturação. Isso ocorre devido a maior resistência série dos transistores circulares em relação ao convencional e a brusca variação na transcondutância, decorrente da diminuição da influência do efeito de *single-transistor latchup* na corrente de dreno.

Praticamente o mesmo comportamento de THD é observado para $V_a = 200$ mV [Figura 3.14(b)]. Neste caso, a diferença máxima de THD do transistor circular operando em configuração de dreno interno em relação ao convencional é 9,3 dB.

3.11.2 Distorção do harmônico de terceira ordem (HD3)

A Figura 3.15 apresenta o comportamento de HD3 em função de V_{GT} para dois valores de V_a , 30 mV [Figura 3.15(a)] e 200 mV [Figura 3.15(b)].

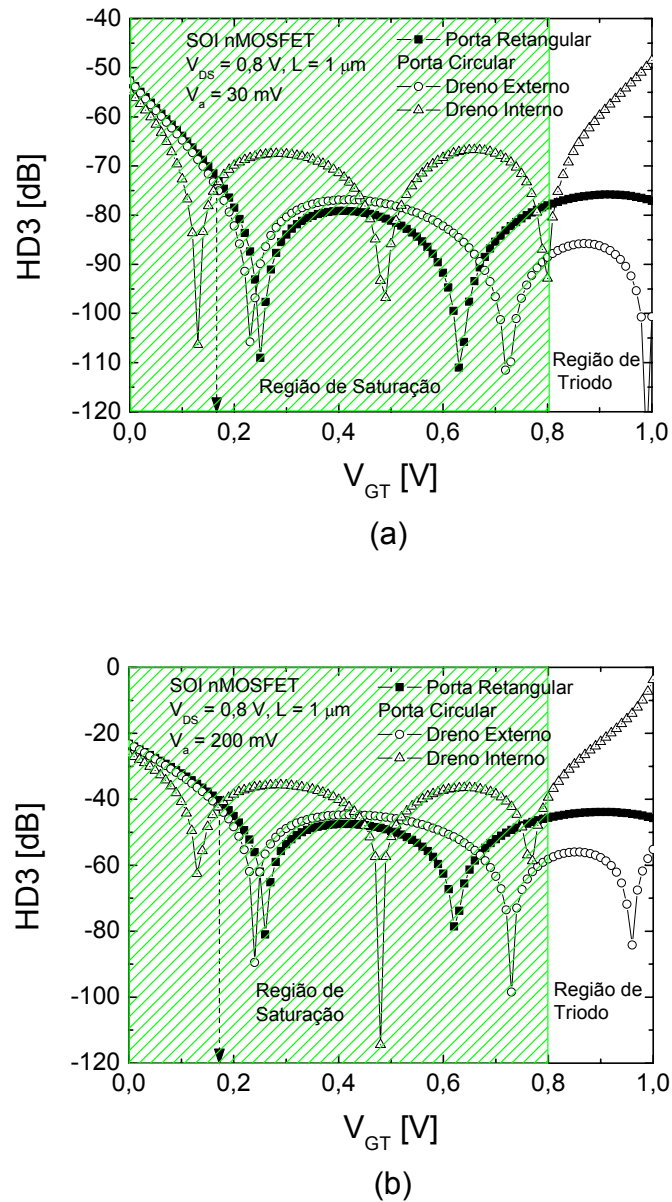


Figura 3.15 – Distorção harmônica de terceira ordem em função do ponto de polarização V_{GT} dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para V_a igual a 30 mV (a) e 200 mV (b).

Analisando as Figura 3.15, nota-se que para V_{GT} menor do que 0,18 V, o SOI nMOSFET de canal circular operando em configuração de dreno interno apresenta menor

influência da HD3 que o transistor com dreno externo e o convencional. Porém, para valores superiores a esse e principalmente após V_{GT} igual a 0,5 V, o transistor circular operando em configuração de dreno interno é mais influenciado que os demais, isso se deve aos mesmos motivos descritos no item 3.11.1. Além disso, o SOI nMOSFET circular operando em configuração de dreno externo possui comportamento similar ao transistor convencional (principalmente enquanto V_{GT} é menor do que 0,7 V). Esse comportamento se deve a semelhança entre suas curvas $I_{DS}/(W/L) \times V_{GT}$, que começam a se diferenciar à medida que aproxima da região de triodo, quando a resistência série se torna mais significativa no comportamento dos dispositivos. A menor resistência série do CGT_{DE} em relação ao convencional permite uma menor variação na corrente de dreno e consequentemente maior linearidade.

O mesmo comportamento de HD3 desses dispositivos foi observado para outros valores de V_{DS} .

3.11.3 Distorção harmônica total efetiva

A Figura 3.16 apresenta a distorção harmônica total sobre o ganho de tensão de saída (THD/A_V) em função de V_{GT} .

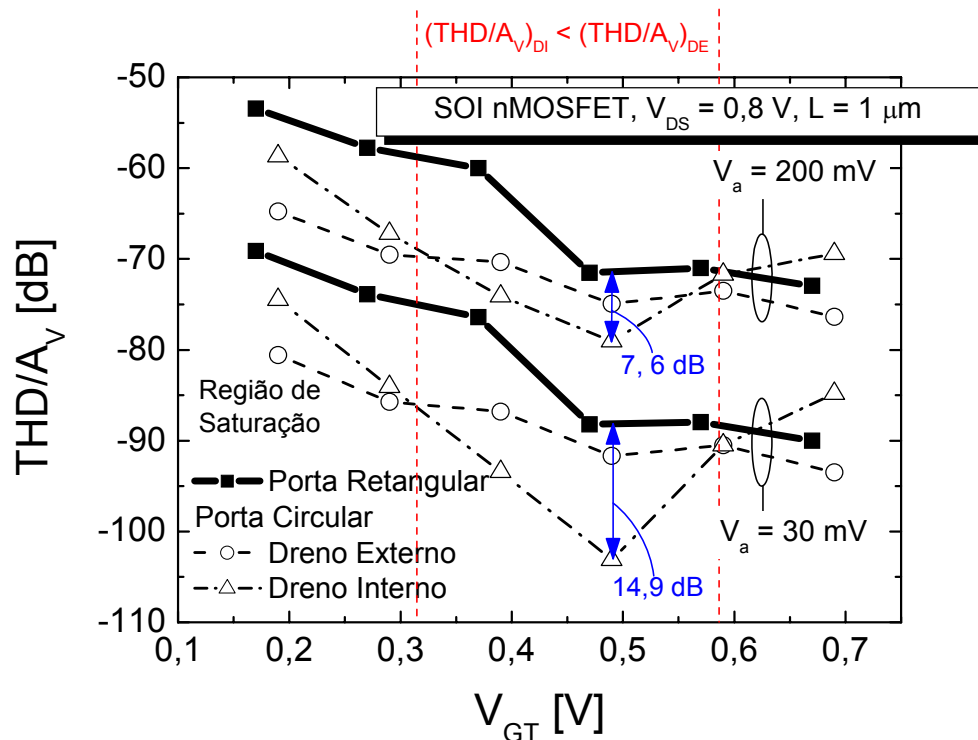


Figura 3.16 – THD/A_V em função do ponto de polarização V_{GT} experimental dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para V_a igual a 30 mV e 200 mV.

Analisando a Figura 3.16, pode-se notar que a distorção harmônica total normalizada em função do ganho de tensão (THD/A_V) do transistor de canal circular operando em configuração de dreno externo é menor que o SOI nMOSFET convencional para todas os valores de V_{GT} estudados. Isto pode ser justificado, porque os transistores circulares operando em configuração de dreno externo apresentam maiores valores da razão transcondutância sobre corrente de dreno (g_m/I_{DS}) e de tensão Early (V_{EA}), até valores de V_{GT} próximos da transcondutância máxima (g_{m_max}) [11], resultando em um maior ganho de tensão A_V [$= (g_m/I_{DS}) \cdot V_{EA}$], considerando as mesmas condições de polarização. O mesmo comportamento é observado para o transistor circular operando em configuração de dreno interno, mas apenas para V_{GT} menor ou igual a 0,6 V. Na faixa de V_{GT} entre 0,32 V e 0,58 V, o transistor circular operando em configuração de dreno interno apresenta linearidade superior à configuração de dreno externo, isso porque nesse faixa de valores ele apresenta sua melhor linearidade e possui menor resistência série de fonte, como demonstrado no item 3.4, o que permite uma corrente de dreno maior e valores de tensão Early próximos dos obtidos na configuração de dreno externo.

A mais importante figura de mérito gerada por este trabalho que pode ser usada em projetos de circuitos integrados analógicos é a razão da distorção harmônica total sobre o ganho de tensão saída (THD/A_V) em função da transcondutância sobre a corrente de polarização de dreno (g_m/I_{DS}), considerando dois valores diferentes de amplitude máxima do sinal de entrada senoidal (V_a), como indicado na Figura 3.17.

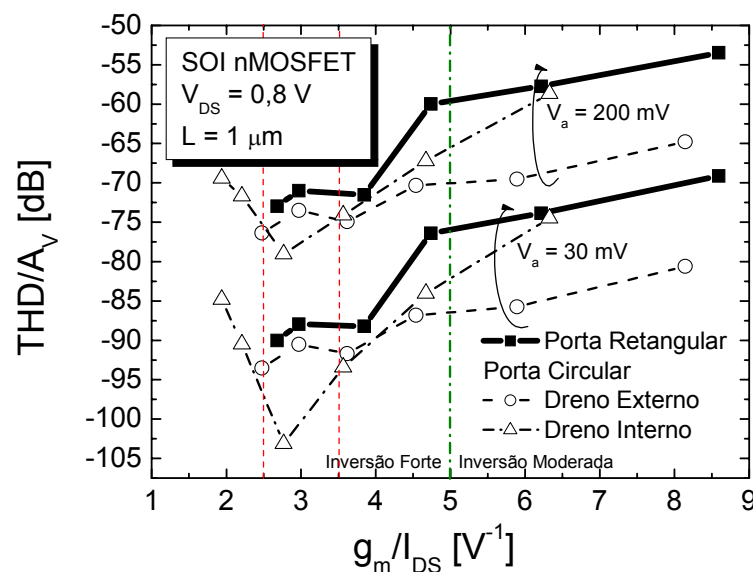


Figura 3.17 – THD/A_V em função da relação g_m/I_{DS} experimental dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para V_a igual a 30 mV e 200 mV.

Para valores de g_m/I_{DS} entre $2,5 \text{ V}^{-1}$ e $3,5 \text{ V}^{-1}$, note que $(\text{THD}/A_V)_{DI}$ é menor que $(\text{THD}/A_V)_{DE}$ que por sua vez é menor que $(\text{THD}/A_V)_Q$, isso ocorre porque essa faixa de valores coincide com a região de maior linearidade e V_{EA} do CGT_{DI}, isso é observado através da Figura 3.12 e da Figura 3.14.

Para valores de g_m/I_{DS} superiores a $3,5 \text{ V}^{-1}$, o CGT_{DI} sofre uma grande perda de linearidade devido a aproximação da região de inversão moderada, onde apresenta uma menor transcondutância em relação aos demais, isso representa um menor ganho em malha aberta. Nessa faixa de valores, o CGT_{DE} apresenta tensão Early e g_m/I_{DS} superior a do CGT_{DI} e do SOI nMOSFET convencional.

Assim, mais uma vez é melhor utilizar o SOI nMOSFET circular operando em configuração de dreno externo ao invés do SOI nMOSFET convencional, a fim de melhorar a linearidade considerando as regiões de inversão forte e moderada, para aplicações analógicas, como OTAs operando em alta frequência.

3.11.4 Distorção harmônica em função da amplitude da entrada senoidal (V_a)

Com o objetivo de verificar o comportamento da linearidade em função da amplitude de um sinal senoidal de entrada (V_a), focando OTAs operando em alta frequência, o valor de g_m/I_{DS} foi fixado em $4,6 \text{ V}^{-1}$. Na Figura 3.18 é mostrado THD/A_V em função de V_a para os SOI nMOSFETs convencional e circular operando em ambas as configurações.

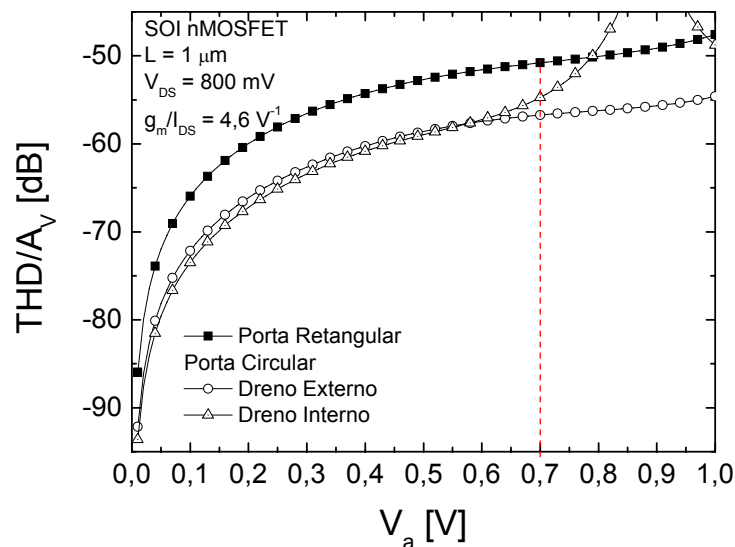


Figura 3.18 – THD/A_V em função de V_a dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para g_m/I_{DS} igual a $4,6 \text{ V}^{-1}$.

Observa-se na Figura 3.18, que THD/A_V do transistor circular operando em configuração de dreno externo apresenta uma melhor linearidade ($\cong 6$ dB) em relação ao convencional SOI nMOSFET para todos os valores de V_a em ambas as regiões de operação (saturação e triodo).

O mesmo comportamento é observado no circular em configuração de dreno interno para valor de V_{GT} menor do que 0,7 V. Depois deste valor ocorre uma brusca piora na linearidade devido à sua maior resistência série, pois I_{DS_DI} é menor do que I_{DS_Q} (passa a operar na região de triodo).

Considerando a Figura 3.18, pode-se extrair a máxima amplitude do sinal senoidal de entrada para uma determinada distorção harmônica efetiva, como apresentado na Tabela 3.3.

Tabela 3.3 – $\text{THD}/A_V \times V_a$ dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para g_m/I_{DS} igual a $4,6 \text{ V}^{-1}$.

THD/A_V (dB)	Convencional [V_{a_Q} (V)]	Circular dreno externo [V_{a_DE} (V)]	Circular dreno interno [V_{a_DI} (V)]
-80	0,02	0,04	0,05
-75	0,03	0,07	0,08
-70	0,06	0,12	0,15
-65	0,11	0,22	0,25
-60	0,2	0,42	0,44
-55	0,36	0,96	0,69

Analisando a Tabela 3.3, para uma mesma distorção harmônica total efetiva (THD/A_V), pode-se verificar que o SOI nMOSFET circular operando em ambas as configurações, pode amplificar sinais senoidais com amplitudes pelo menos duas vezes maiores que as suportadas pelo transistor convencional.

Na Figura 3.19 é apresentada $\text{HD3}/A_V$ em função de V_a para os transistores convencional e circular operando em ambas as configurações.

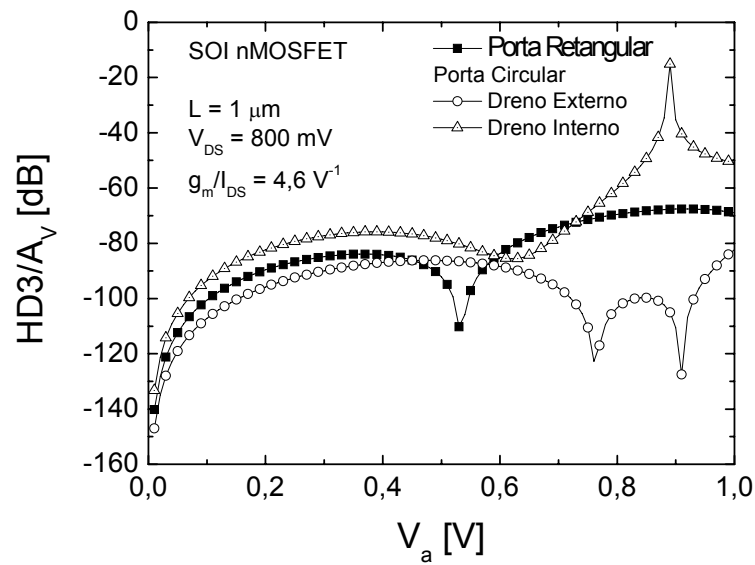


Figura 3.19 – $HD3/A_V$ em função de V_a experimental dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para g_m/I_{DS} igual a $4,6 \text{ V}^{-1}$.

Como observado, a $HD3/A_V$ é muito menor que a THD/A_V para todos os transistores estudados, porém THD/A_V do SOI nMOSFET circular operando em configuração de dreno interno é mais afetada pela $HD3/A_V$ que o SOI nMOSFET convencional. Já o SOI nMOSFET circular operando em configuração dreno externo apresenta menor $HD3/A_V$ que as demais configurações em praticamente toda a faixa de amplitude de V_a estudada, com destaque para valores de V_a superiores a $0,6 \text{ V}$.

3.12 Resumo das medidas experimentais

A Tabela 3.4 apresenta um breve resumo dos principais resultados obtidos através das medidas experimentais dos dispositivos SOI nMOSFETs estudados neste capítulo.

Tabela 3.4 – Resumo das medidas experimentais dos SOI nMOSFETs convencional e circular operando nas configurações de dreno externo e interno.

Características	Resultados Experimentais	Observações
$I_{DS} \times V_{GT}$	$CGT_{DE} \approx$ Convencional	$0,6 \text{ V} \leq V_{DS} \leq 1,0 \text{ V}$ Região de saturação
	CGT_{DI} maior corrente	Influenciado pelo efeito de <i>single latchup</i> (indesejável)
Resistência série	Convencional < CGTs	
$g_m/(W/L) \times V_{GT}$	$CGT_{DE} \approx$ Convencional	Região de saturação
	CGT_{DI} pico na interface sat./triódo	CGT_{DI} sugere método para extração de V_{TH}
$g_m/(W/L) \times I_{DS}/(W/L)$	$CGTs >$ Convencional	$V_{DS} = 110 \text{ mV}$ Inversão fraca e moderada
	$CGT_{DE} > \text{Conv.} > CGT_{DI}$	$V_{DS} = 0,8 \text{ V}$ Inversão moderada
Tensão Early (V_{EA})	$CGT_{DE} > CGT_{DI} > \text{Conv.}$	$0,19 \text{ V} \leq V_{GT} \leq 0,69 \text{ V}$
Ganho de tensão (A_V)	$CGT_{DE} > CGT_{DI} > \text{Conv}$	$V_{GT} < 0,5 \text{ V}$
	$CGT_{DE} > \text{Conv} > CGT_{DI}$	$V_{GT} \geq 0,5 \text{ V}$
THD $\times V_{GT}$	$CGT_{DE} \leq$ Convencional	$V_{DS} = 0,8 \text{ V}$ $V_a = 30 \text{ mV}$ e 200 mV $0 \text{ V} \leq V_{GT} \leq 1 \text{ V}$
	$CGT_{DI} \ll CGT_{DE}$ e Convencional	Influenciado pelo efeito de <i>single latchup</i> (indesejável)
THD/ $A_V \times V_{GT}$	$CGT_{DE} <$ Convencional	$V_{DS} = 0,8 \text{ V}$ $V_a = 30 \text{ mV}$ e 200 mV $0,2 \text{ V} \leq V_{GT} < 0,7 \text{ V}$
THD/ $A_V \times g_m/I_{DS}$	$CGT_{DE} <$ Convencional	$V_{DS} = 0,8 \text{ V}$ $V_a = 30 \text{ mV}$ e 200 mV Inversão moderada e forte
THD/ $A_V \times V_a$	$CGT_{DE} <$ Convencional	$V_{DS} = 0,8 \text{ V}$ $g_m/I_{DS} = 4,6 \text{ V}^{-1}$ $0 \text{ V} < V_a < 1 \text{ V}$

Analisando a Tabela 3.4, podemos concluir que o SOI nMOSFET de porta em formato de anel circular, operando em configuração de dreno externo, apresenta menor distorção harmônica e pode amplificar sinais alternados com maiores amplitudes que o SOI nMOSFET convencional, quando operando na região de saturação. SOI nMOSFET de porta em formato de anel circular operando em configuração de dreno interno apresenta picos de linearidade muito superiores aos demais dispositivos, porém essa maior linearidade é decorrente da presença do efeito parasitário de *single-transistor latchup*, o que é extremamente indesejável.

4 SIMULAÇÕES NUMÉRICAS – RESULTADOS

Neste capítulo são apresentados os resultados do estudo da distorção harmônica em SOI nMOSFETs convencional e de porta de geometria circular, obtidos por meio de simulações numéricas tridimensionais, executadas através do programa simulador de dispositivos Atlas [30]. O estudo comparativo entre a distorção harmônica desses dispositivos também é apresentado. Cabe aqui ressaltar que o objetivo deste capítulo é verificar as tendências que foram observadas experimentalmente, ou seja, é realizado um estudo comparativo qualitativo de linearidade.

4.1 Simulador Atlas

Atlas é um programa simulador de dispositivos, desenvolvido pela Silvaco, que se baseia em modelos físicos para prever o comportamento elétrico de dispositivos semicondutores para uma dada condição de polarização.

As simulações baseadas nas características físicas têm se tornado muito importantes por duas razões. A primeira razão por serem muito mais rápidas e baratas que a realização de medidas experimentais, e a segunda é porque fornecem informações que são difíceis ou impossíveis de se extrair com precisão.

As simulações Atlas normalmente utilizam dois arquivos de entrada. O primeiro é um arquivo de texto que contém os comandos do simulador, onde são declarados os modelos físicos e procedimentos numéricos (chamados de métodos) que devem ser adotados para resolver as equações associadas e se alcançar a solução desejada. O segundo arquivo de entrada define o dispositivo semicondutor a ser estudado.

Todas as simulações Atlas realizadas neste estudo foram preparadas e executadas no programa DeckBuild [31], também da Silvaco, que nada mais é do que um ambiente de simulação.

As estruturas dos transistores foram desenvolvidas no programa DevEdit3D [31], que é outra uma ferramenta iterativa da Silvaco, para edição dos dispositivos semicondutores e grades. Neste caso foram desenvolvidos dois SOI nMOSFETs similares com o mesmo comprimento de canal de 1 μm . Um deles é o transistor de porta circular representado por apenas uma fatia de 10°, que equivale a uma largura de canal de 2,8 μm e o outro é o transistor convencional desenvolvido com largura de canal de 1 μm . Em função dessas

diferenças geométricas, a corrente de dreno dos dispositivos é apresentada normalizada em função da razão de aspecto (W/L). As Figuras 4.1 e 4.2 apresentam os SOI nMOSFETs simulados e a Figura 4.3 a seção transversal desses dispositivos.

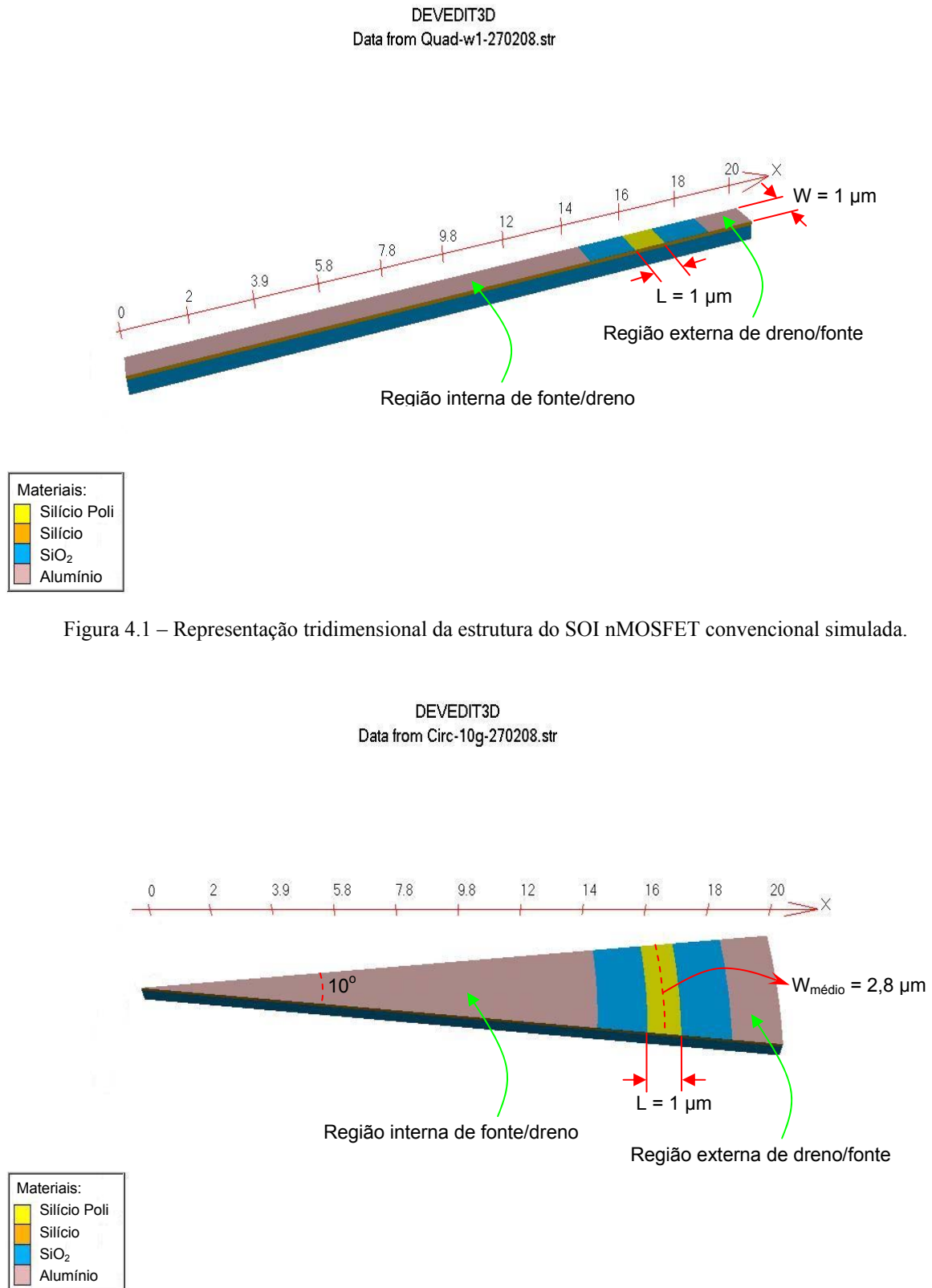


Figura 4.1 – Representação tridimensional da estrutura do SOI nMOSFET convencional simulada.

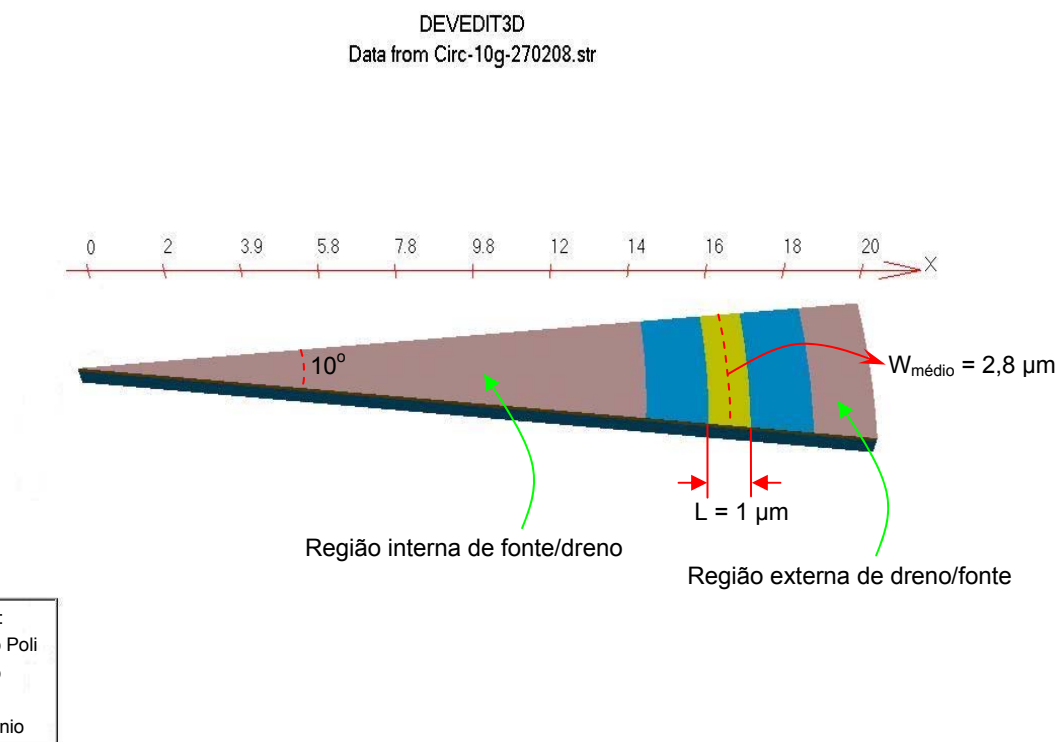


Figura 4.2 – Representação tridimensional da estrutura do SOI nMOSFET circular simulada.

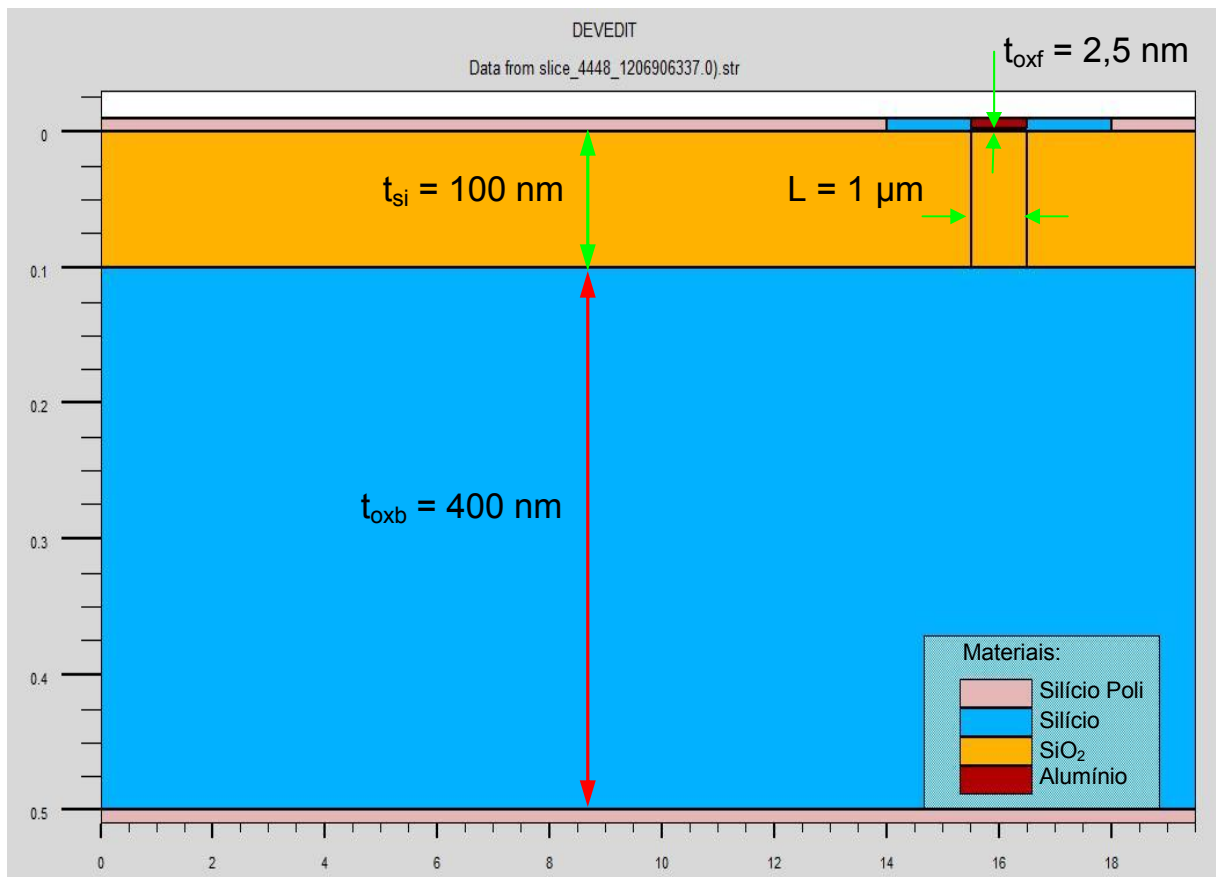


Figura 4.3 – Seção transversal das estruturas simuladas.

Os dispositivos simulados além de respeitarem as mesmas dimensões geométricas dos dispositivos medidos experimentalmente, apresentam as mesmas concentrações de dopantes no canal ($N_A = 5,5 \times 10^{17} \text{ cm}^{-3}$) e nas regiões de dreno e fonte ($N_{\text{Dreno/Fonte}} = 1 \times 10^{20} \text{ cm}^{-3}$).

4.2 Modelos utilizados no simulador Atlas

As simulações Atlas utilizam modelos matemáticos que descrevem os fenômenos físicos relevantes, tais como modelos que descrevem o comportamento de cargas estáticas, mobilidade dos portadores entre outros. Na sequência apresentamos uma pequena descrição de cada um dos modelos utilizados [30] e no Apêndice B encontram-se dois dos arquivos de simulação numéricas tridimensionais utilizados neste trabalho.

- KLA (*Klaassen Model*): modelo para baixos campos elétricos que fornece uma descrição unificada da mobilidade dos portadores majoritários e minoritários. Considera a distribuição das impurezas e das cargas ao longo da estrutura e mede os efeitos do agrupamento de impurezas em regiões de alta concentração.

Este modelo é recomendado tanto para dispositivos MOS quanto para bipolares. Mais detalhes sobre esse modelo estão descritos nas referências [32] e [33].

- SHI (*Shirahata Model*): modelo de mobilidade que leva em conta a degradação da mobilidade dentro das camadas de inversão, causada pelo campo elétrico vertical (ideal para transistores com óxido fino de porta) [34].
- FLDMOB (*Parallel Electric Field Dependence*): modelo de degradação da mobilidade, baseado na intensidade do campo elétrico vertical. É utilizado em dispositivos de silício e arseneto de gálio, para modelagem de efeitos relacionados à velocidade de saturação dos portadores.
- SRH (*Shockley-Read-Hall*): modelo de recombinação dos pares elétrons-lacunas gerados por distúrbios no equilíbrio da estrutura [35],[36]. Trabalha com tempo de vida fixo de portadores e leva em conta a temperatura.
- AUGER: modelo de recombinação que ocorre através da transição do estado de uma partícula, na qual um portador livre pode ser capturado ou emitido do material [37]. Este é um modelo importante em dispositivos com alta concentração de corrente.
- BGN (*Bandgap Narrowing*): modelo para cargas estáticas que descreve a dependência da distância entre as faixas de energia e a concentração de dopantes [38]. Importante em regiões altamente dopadas ($> 10^{18} \text{ cm}^{-3}$).
- IMPACT SELB (*Selberherr's Model*): modelo de ionização por impacto com dependência da temperatura [39], é uma variação do modelo clássico de Chynoweth [40]. A temperatura dos portadores é utilizada para calcular o campo elétrico efetivo baseado em uma relação homogênea entre temperatura e campo. É um modelo considerado local, por apresentar dependência direta com o campo em cada ponto da estrutura.

É importante salientar, que as simulações Atlas realizadas neste capítulo, usam na maioria dos parâmetros dos modelos utilizados, valores iniciais definidos pelo próprio simulador (valores *default*), pois como foi dito no início deste capítulo, o objetivo principal é verificar as tendências observadas experimentalmente, sem o comprometimento de realizar a otimização de todos os parâmetros dos modelos Atlas, a fim de obter resultados de simulações exatamente iguais aos resultados experimentais obtidos no capítulo anterior.

4.3 Tensão de limiar (V_{TH})

As tensão de limiar desses transistores é calculada com o objetivo comparar seus comportamentos, garantindo-se que tenham sempre a mesma sobretensão de porta ($V_{GT} = V_{GS} - V_{TH}$).

A Figura 4.4 apresenta como foi feita a extração da tensão de limiar para o SOI nMOSFET convencional (a) e para o circular (b) e (c), através das curvas da segunda derivada da corrente de dreno em função de V_{GS} , para V_{DS} igual a 10 mV.

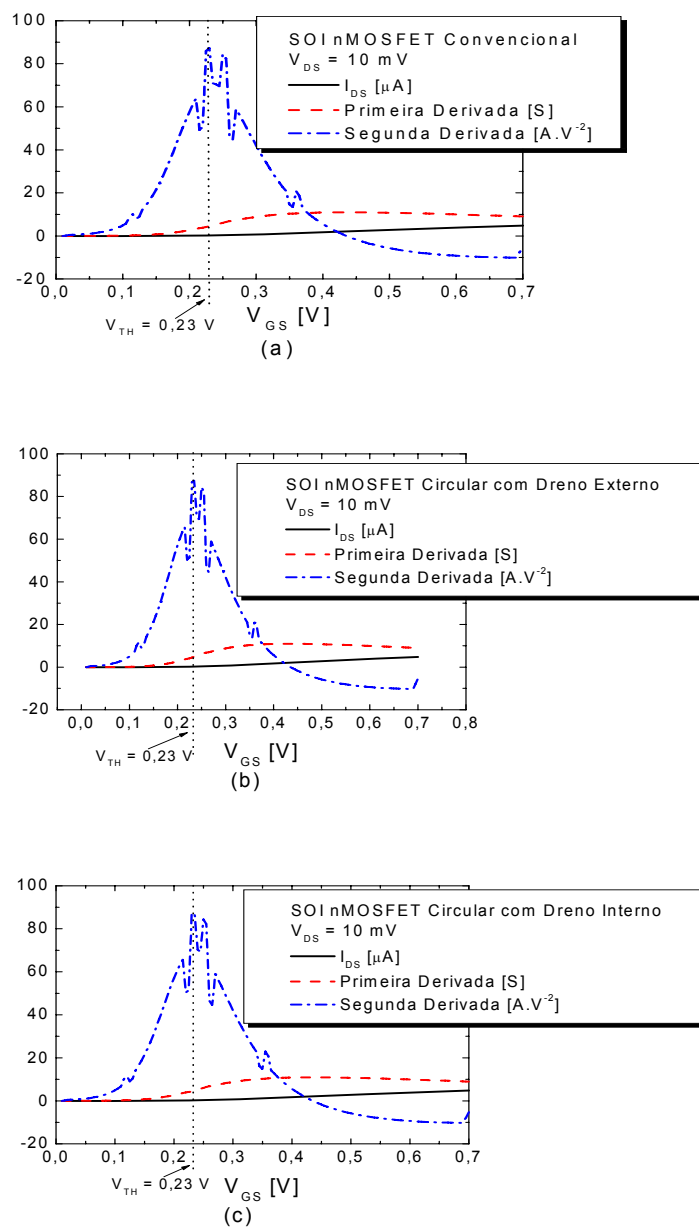


Figura 4.4 – Curvas da segunda derivada de I_{DS} x V_{GS} dos SOI nMOSFET convencional (a), circular em configurações de dreno externo (b) e interno (c).

Observa-se que a tensão de limiar é a mesma para todos os dispositivos estudados. Mesmo assim, todas as curvas características são apresentadas em função de V_{GT} , para facilitar a comparação com os resultados experimentais.

4.4 Características $I_{DS} \times V_{GT}$

A Figura 4.5 apresenta as curvas de I_{DS} em função de V_{GT} do transistor convencional e circular operando em configuração de dreno externo e interno, para V_{DS} igual a 0,8 V.

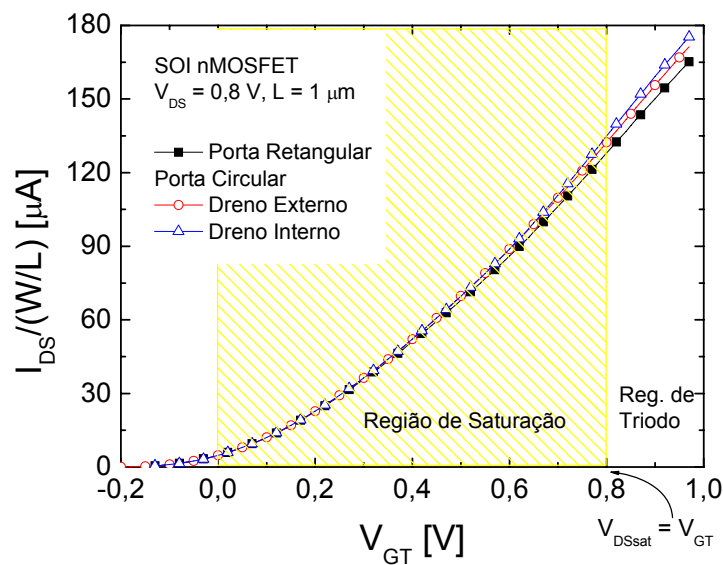


Figura 4.5 – Corrente de dreno em função da sobretensão de porta dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para $V_{DS} = 0,8 \text{ V}$.

Através a Figura 4.5, observa-se que para valores de V_{GT} de até 0,5 V, as três configurações de transistor estudadas apresentam praticamente o mesmo comportamento. Para valores superiores, os SOI nMOSFETs circulares passam a apresentar patamares de corrente de dreno superior ao transistor convencional. Ainda assim, o CGT_{DE} tende a apresentar um comportamento mais similar ao SOI nMOSFET convencional do que o CGT_{DI} . Esse mesmo comportamento foi observado para simulações com tensão de dreno de 0,5 V.

4.5 Resistência série normalizada

A Figura 4.6 apresenta a curva da resistência série total entre dreno e fonte em função de V_{GS} dos SOI nMOSFETs convencional e circular, através da qual foi extraída a resistência série normalizada (R_{Snorm}) dos dispositivos, utilizando o método descrito no item 2.4.

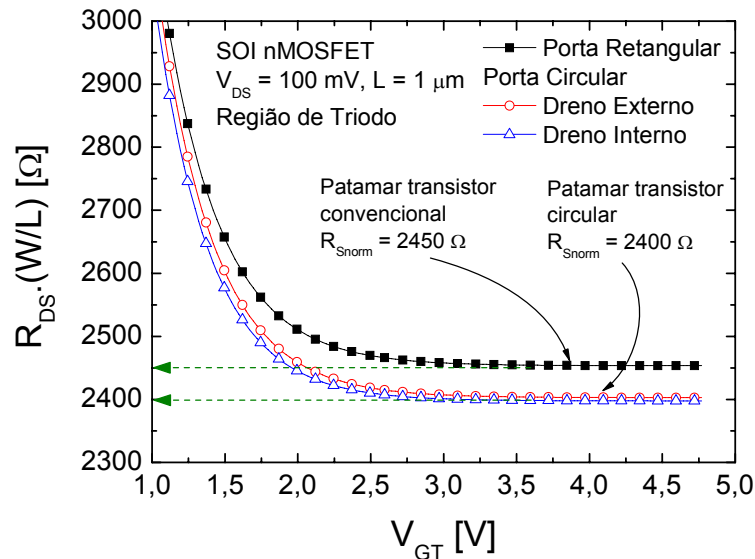
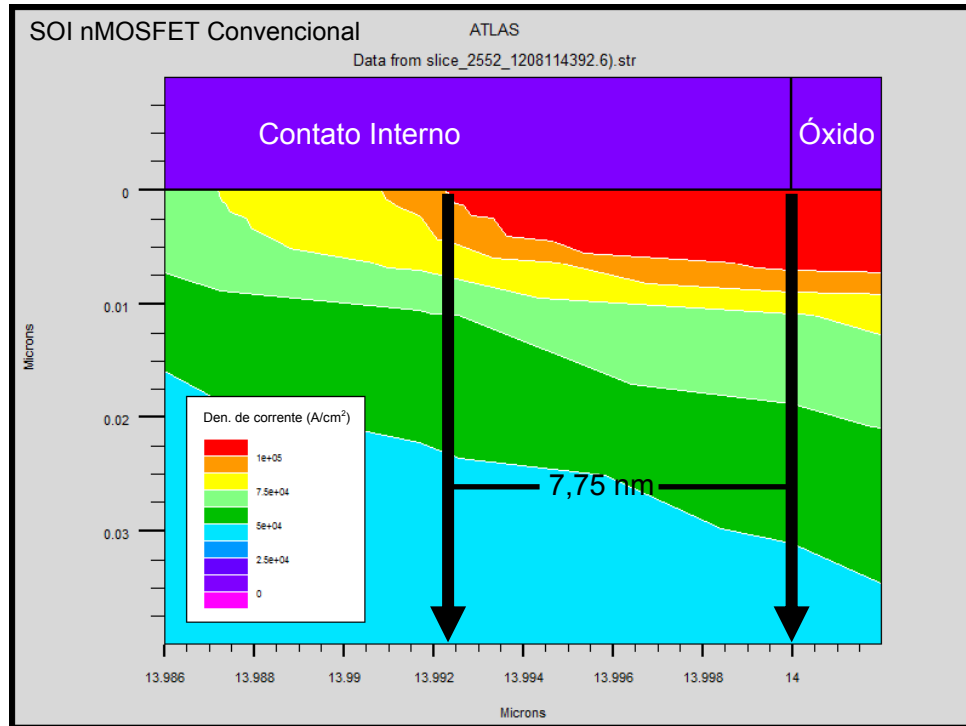


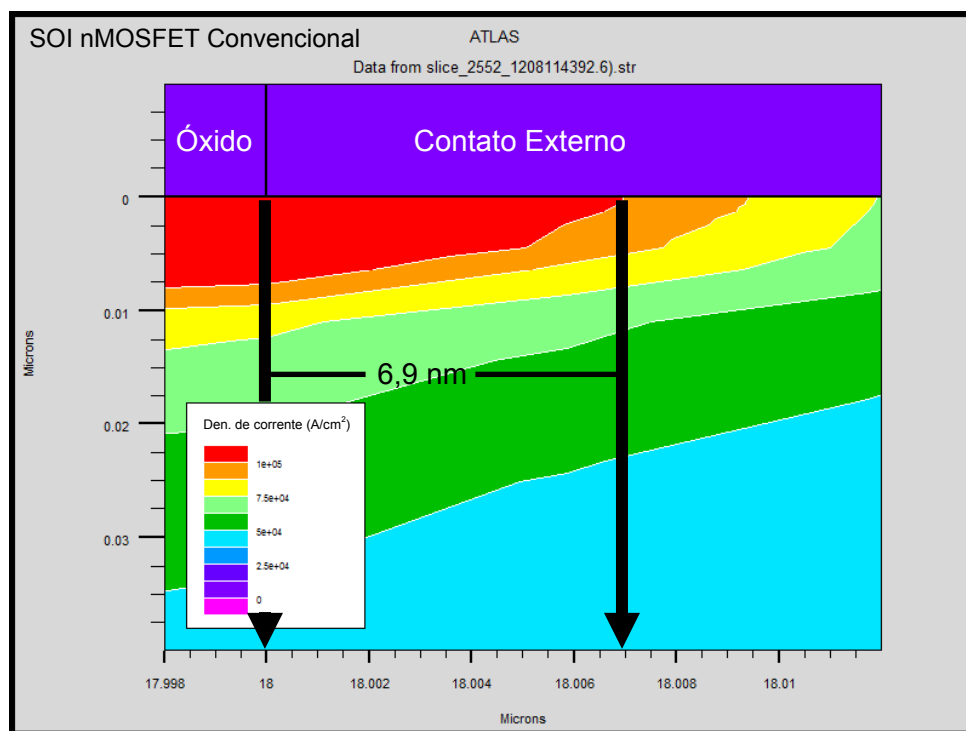
Figura 4.6 – Resistência normalizada entre dreno e fonte dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para polarização de dreno igual a 100 mV.

Nota-se, que diferentemente das medidas experimentais, a resistência série do dispositivo circular é inferior à resistência do dispositivo convencional. Para altos valores de polarização a resistência do canal se torna desprezível frente a resistência das regiões de dreno e fonte. Essa resistência está diretamente ligada à resistência de contato entre o silício e o metal condutor, neste caso alumínio. Quanto maior a área de contato menor a resistência. As estruturas simuladas possuem grandes áreas de contato entre o metal e o silício das regiões de dreno e fonte. Se considerado apenas isso, o SOI nMOSFET convencional apresentaria uma resistência série muito inferior ao SOI nMOSFET de porta de geometria circular, uma vez que sua área de contato é de aproximadamente $15,5 \mu\text{m}^2$ contra apenas $7,86 \mu\text{m}^2$ do SOI nMOSFET de porta de geometria circular. Porém quando se considera apenas a região por onde a corrente circula de forma significativa, o resultado é bem diferente. As Figuras 4.7, 4.8 e 4.9 apresentam o estudo feito sobre a seção transversal dos dispositivos, considerando-se as áreas próximas da interface metal/óxido de isolamento do contato interno e externo dos SOI nMOSFETs convencional e de porta de geometria circular operando em configuração de

dreno externo e interno em função da densidade de corrente elétrica (A/cm^2), para polarizações de dreno igual a 100 mV e de porta igual a 5 V.

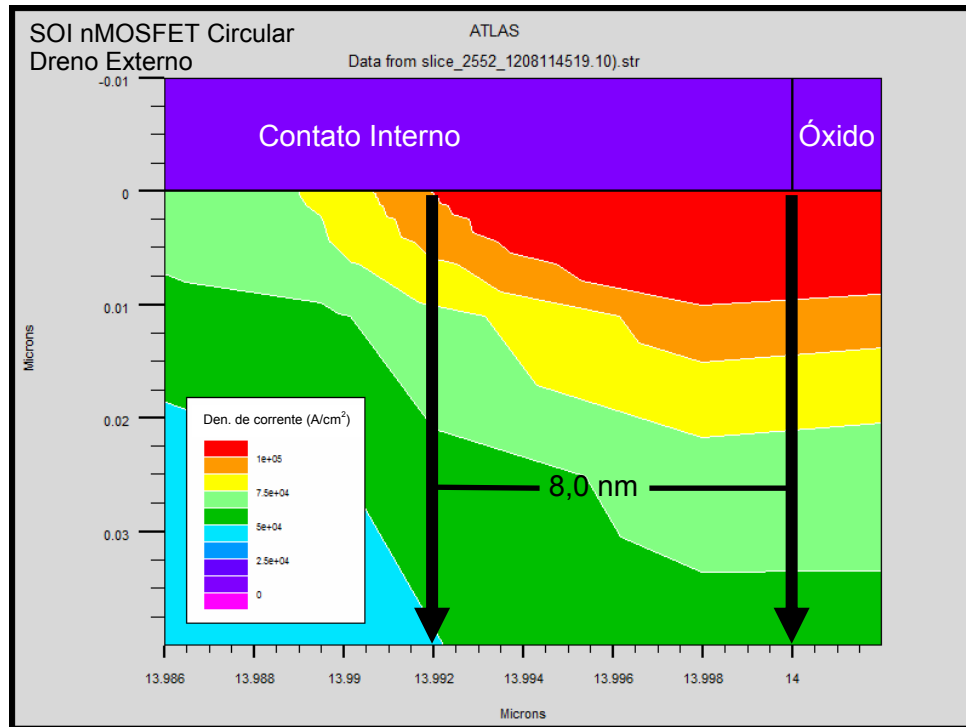


(a)

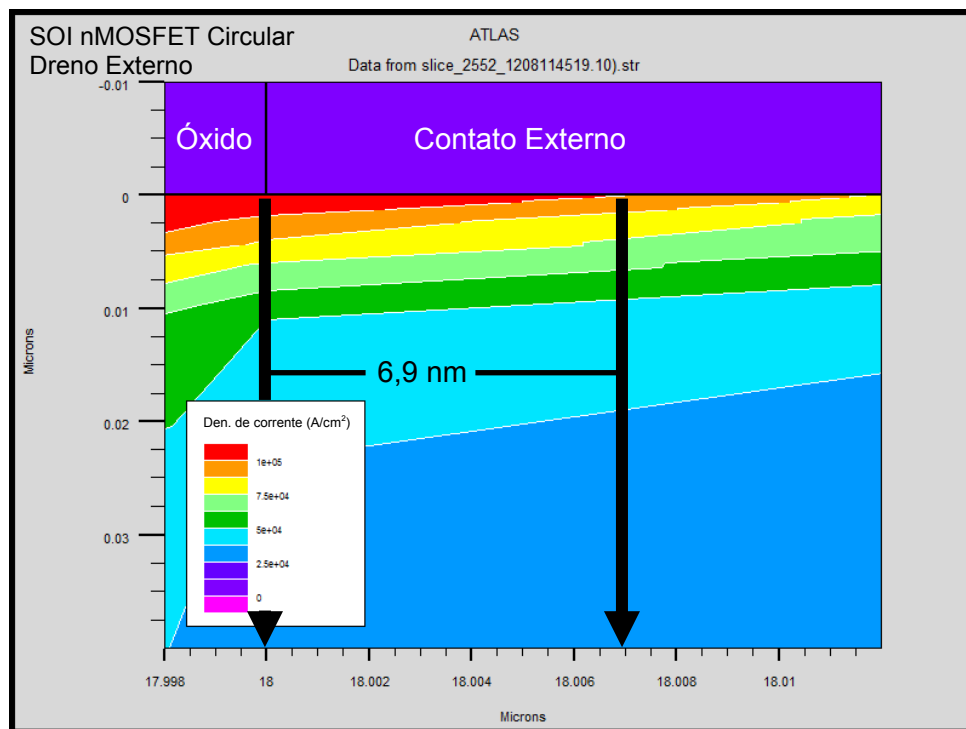


(b)

Figura 4.7 – Seção transversal do SOI nMOSFET convencional destacando-se as regiões de interface metal/óxido de isolamento do contato externo (a) e interno (b) em função da densidade de corrente elétrica.

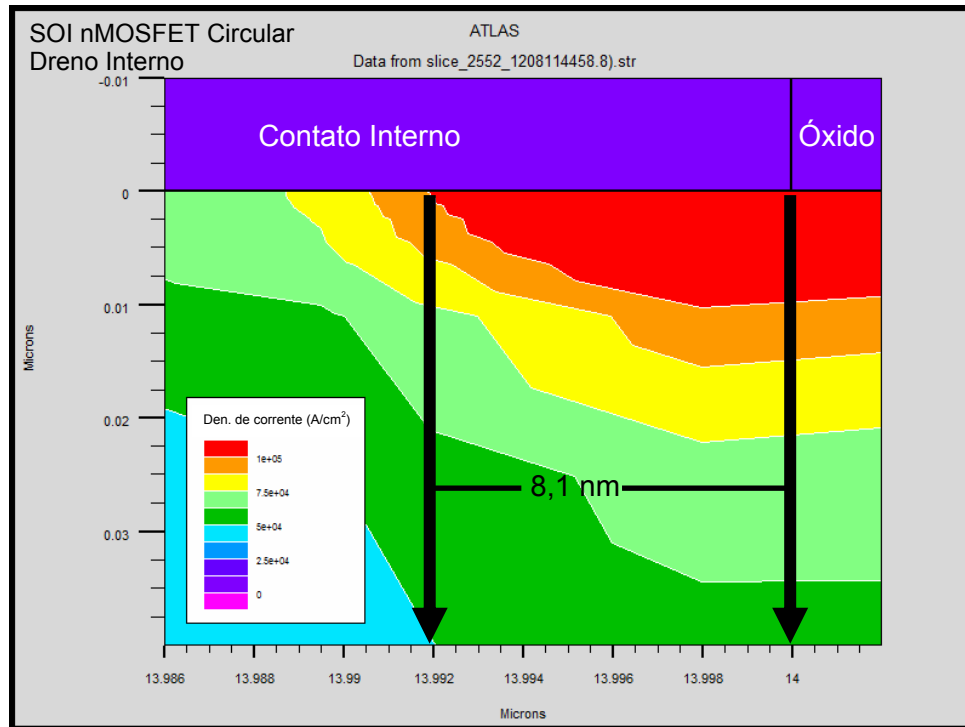


(a)

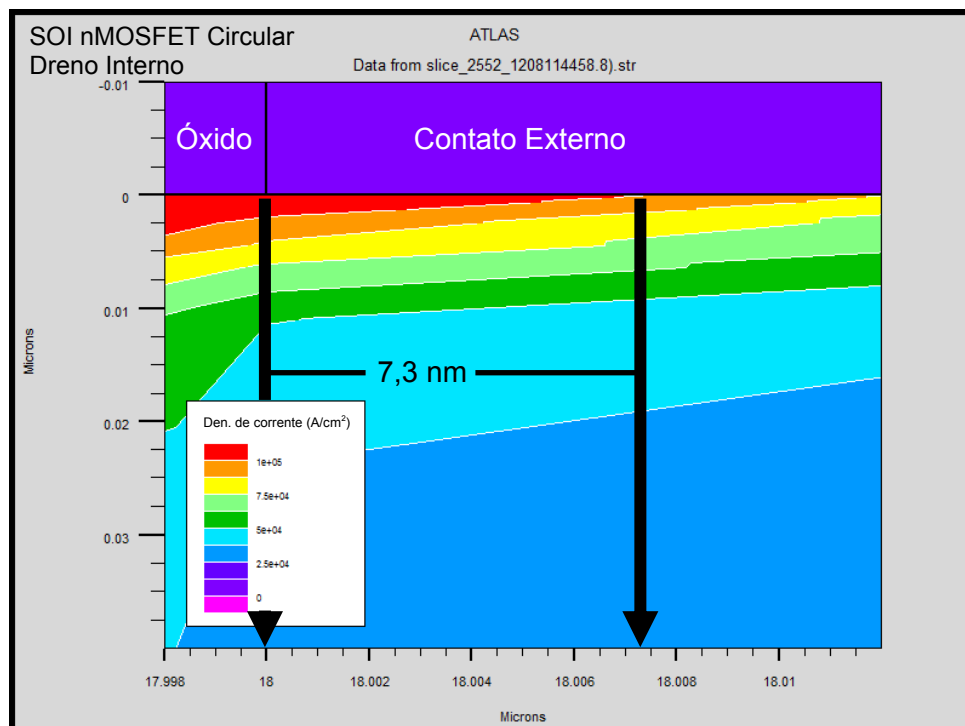


(b)

Figura 4.8 – Seção transversal do SOI nMOSFET circular operando em configuração de dreno externo destacando-se as regiões de interface metal/óxido de isolamento do contato externo (a) e interno (b) em função da densidade de corrente elétrica.



(a)



(b)

Figura 4.9 – Seção transversal do SOI nMOSFET circular operando em configuração de dreno interno destacando-se as regiões de interface metal/óxido de isolamento do contato externo (a) e interno (b) em função da densidade de corrente elétrica.

Considerando-se a área de contato útil dos dispositivos, para valores que apresentam densidades de corrente elétrica iguais ou superiores a $1 \times 10^5 \text{ A/cm}^2$ e tomando-se como base

os comprimentos anotados nas Figuras 4.7, 4.8 e 4.9, depois de calculada a área de contato dos dispositivos e aplicada a devida normalização, observa-se que o SOI nMOSFET circular operando em configuração de dreno interno tem maior área de contato útil que a configuração de dreno externo que por sua vez é maior que o SOI nMOSFET convencional. Esse resultado está de acordo com o observado na Figura 4.6.

Vale lembrar que diferentes comprimentos do óxido de isolamento entre os contatos de porta e fonte/dreno, podem provocar variações nas áreas úteis de contato dos dispositivos, sobretudo nos dispositivos circulares, devido sua assimetria entre dreno e fonte.

4.6 Transcondutância normalizada [$g_m/(W/L)$]

A Figura 4.10 apresenta as curvas de transcondutância normalizada pela razão de aspecto para polarização de dreno igual a 0,8 V.

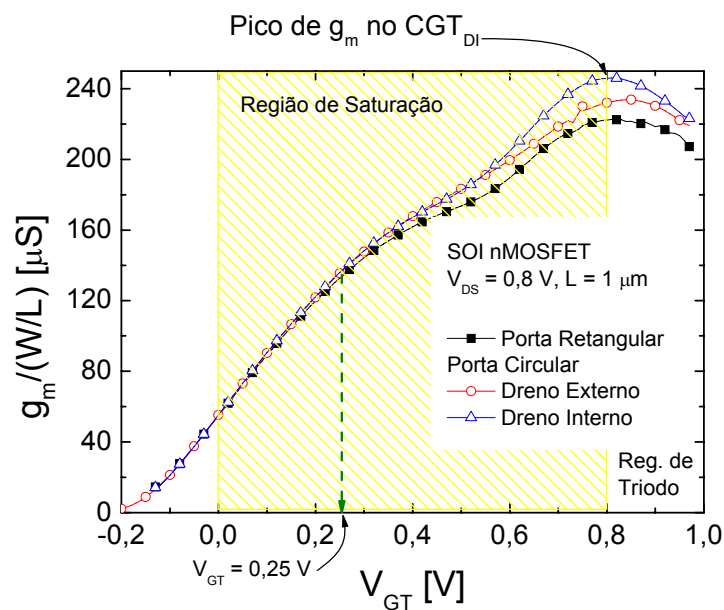


Figura 4.10 – Transcondutância normalizada em função da razão de aspecto em função da sobre-tensão de porta dos SOI nMOSFETs convencional e circular, operando em configuração de dreno externo e interno para polarização de dreno igual a 0,8 V.

Pode-se observar através da Figura 4.10 que a transcondutância dos SOI nMOSFETs de canal circular é superior a do transistor convencional para valores de V_{GT} superiores a 0,25 V. Observe que o CGT_{DI} apresenta maior transcondutância que o CGT_{DE} e o SOI nMOSFET convencional para a faixa de V_{GT} entre 0,57 V a 1,0 V. Novamente o comportamento do CGT_{DE} é mais próximo do comportamento do SOI nMOSFET convencional do que o CGT_{DI} , seguindo as mesmas tendências que foram observadas nos resultados experimentais da seção

3.6. A superioridade de $g_m/(W/L)$ dos SOI nMOSFETs de canal circular em relação ao convencional na região de triodo, é consequência da menor resistência série obtida nas estruturas simuladas.

Uma característica bastante interessante do SOI nMOSFET circular operando em configuração de dreno interno, observada também por medidas experimentais, é que seu pico de transcondutância ocorre na interface entre as regiões de saturação e triodo, podendo ser utilizado para extrair a tensão de limiar (sugere um novo método de extração de tensão de limiar, confirmado por resultados de simulações numéricas tridimensionais).

4.7 Razão g_m/I_{DS} em função da sobretensão de porta

A Figura 4.11 apresenta a característica g_m/I_{DS} em função de V_{GT} , para V_{DS} igual a 0,8 V.

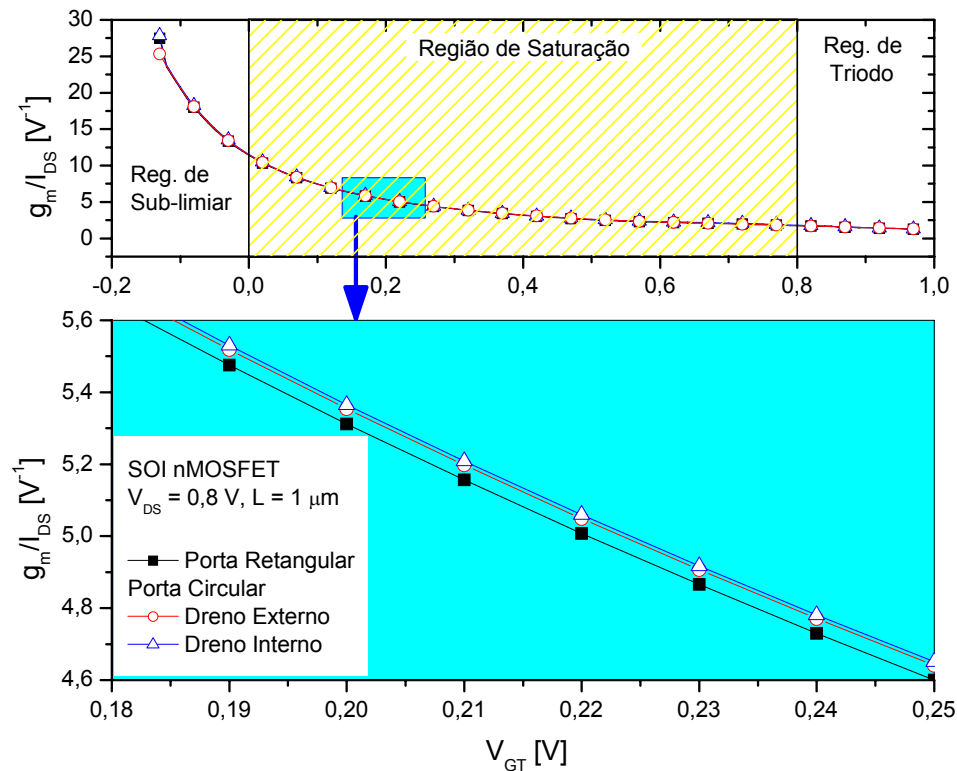


Figura 4.11 – g_m/I_{DS} em função da sobretensão de porta (V_{GT}) dos SOI nMOSFETs convencional e circular para V_{DS} igual a 0,8 V.

Através da Figura 4.11, é possível verificar a superioridade da relação g_m/I_{DS} dos SOI nMOSFETs circulares em relação ao convencional. Esse comportamento não pode ser observado durante as medidas experimentais no CGT_{DI}, vide Figura 3.8. Essa restrição se deu justamente em função do efeito parasitário de *single-transistor latchup*, descrito no item 3.5, que provocou acentuada degradação em sua relação g_m/I_{DS} . Já o CGT_{DE}, apresenta o mesmo comportamento observado experimentalmente, ou seja, uma pequena superioridade g_m/I_{DS} em relação ao SOI nMOSFET convencional.

4.8 Razão g_m/I_{DS} em função da corrente de dreno normalizada em função da razão de aspecto

A Figura 4.12 apresenta a curva $g_m/I_{DS} \times I_{DS}/(W/L)$ dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno.

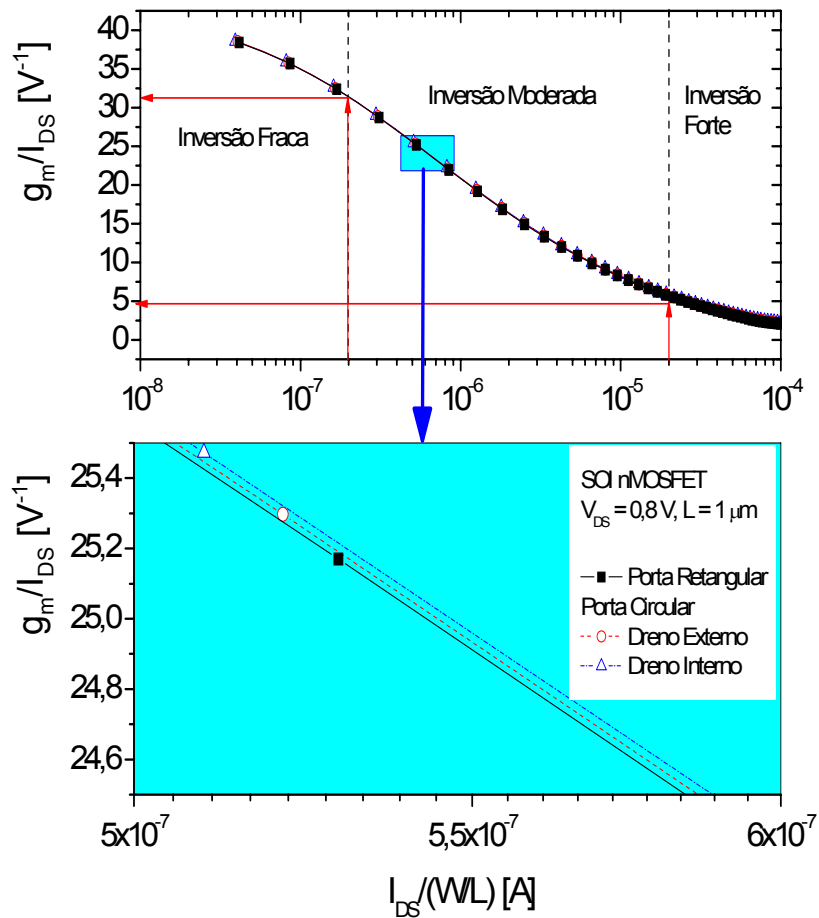


Figura 4.12 – g_m/I_{DS} em função da corrente de dreno normalizada $[I_{DS}/(W/L)]$.

A Figura 3.9 mostra um comportamento muito semelhante entre os SOI nMOSFETs convencional e circular, porém assim como ocorre no item 4.7, o SOI nMOSFET circular apresenta uma pequena superioridade em relação ao convencional quando operando na região de inversão moderada e forte.

4.9 Característica $I_{DS} \times V_{DS}$

A Figura 4.13 apresenta a corrente de dreno normalizada $[I_{DS}/(W/L)]$ em função da tensão de dreno (V_{DS}) dos SOI nMOSFETs convencional e circular nas duas configurações de dreno possíveis. Cada conjunto de curvas considera uma mesma sobretensão de porta (V_{GT}). Neste caso, a corrente de dreno normalizada em função da razão de aspecto é usada para eliminar os efeitos relativos às diferenças na largura de canal dos dispositivos.

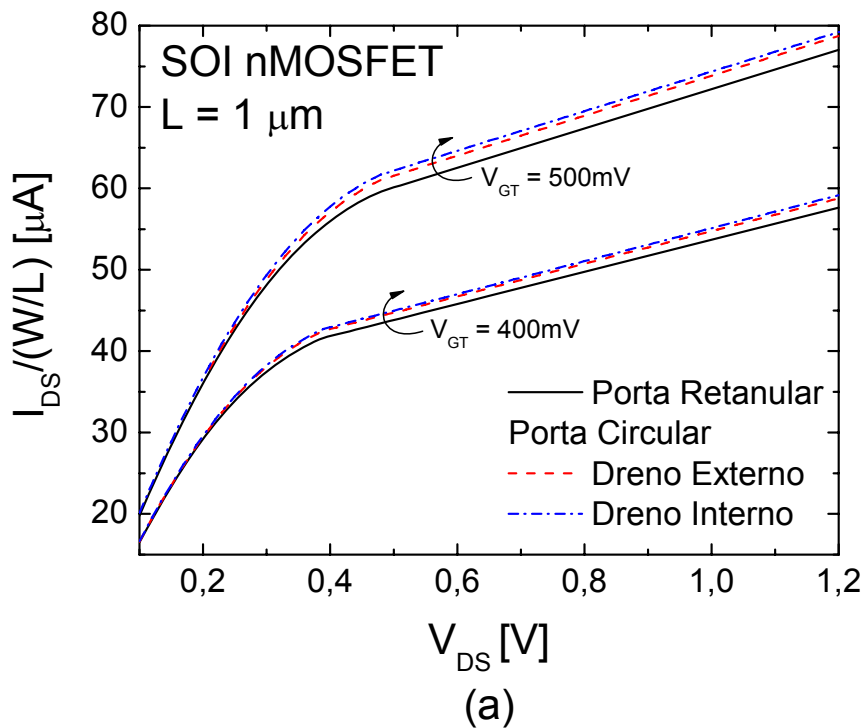


Figura 4.13 – Corrente de dreno normalizada em função da razão de aspecto em função da tensão de dreno dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno, para $V_{GT} = 400$ mV e 500 mV (a) e 600 mV e 700 mV (b).

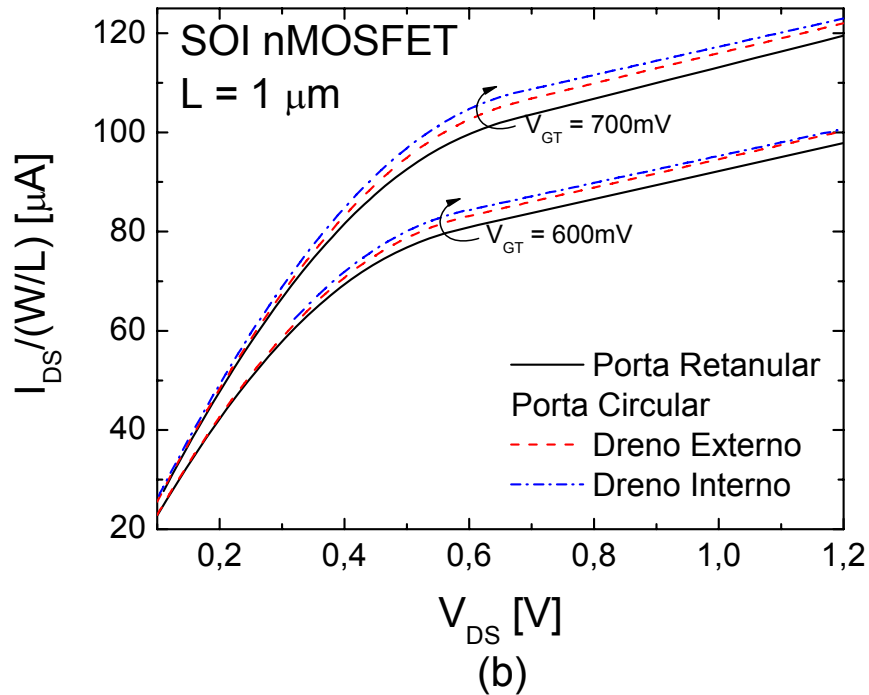


Figura 4.13 – (continuação.)

Através da Figura 4.13, percebe-se que para baixos valores de V_{GT} as correntes de dreno dos SOI nMOSFETs circulares não apresentam diferenças significativas entre si e tendem a se aproximar dos valores de corrente do SOI nMOSFET convencional. Esse efeito também foi observado através de medidas experimentais como demonstrado no item 3.9.

À medida que se aumenta o potencial de porta, os dispositivos passam a apresentar patamares de corrente com níveis cada vez mais separados. Onde o SOI nMOSFET circular operando em configuração de dreno interno possui corrente superior a configuração de dreno externo, que por sua vez é superior ao SOI nMOSFET convencional. Uma característica particular do SOI nMOSFET circular operando em configuração de dreno interno é que a medida que V_{GT} aumenta, além dele apresentar maior corrente que os demais, seu patamar se torna menos inclinado, isso favorece um maior aumento na tensão Early. Esse efeito é consequência da maior ionização por impacto, causada pela menor área de interface dreno/canal e pela maior densidade de campo elétrico horizontal próximo da região de estrangulamento do canal. Além disso, como descrito no item 3.4, o CGT_{DI} apresenta naturalmente maior tensão efetiva entre porta e fonte que o CGT_{DE} e o SOI nMOSFET convencional, devido a sua maior área de interface canal/fonte que resulta em menor resistência série da região de fonte.

4.10 Tensão Early (V_{EA}) e ganho de tensão em malha aberta (A_V)

O método de prolongamento do trecho plano da região de saturação da curva $I_{DS}/(W/L) \times V_{DS}$ para diferentes valores de V_{GT} , foi utilizado para a determinação de V_{EA} . As curvas $I_{DS}/(W/L) \times V_{DS}$ são as mesmas apresentadas no item anterior complementadas por curvas com valores de V_{GT} inferiores a 400 mV. Através delas são coletados 7 valores de V_{EA} para cada transistor, os quais são apresentados na Tabela 4.1.

Tabela 4.1 – Tensão Early em função do ponto de polarização (V_{GT}) dos transistores SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno.

V_{GT} [V]	Convencional [V_{EA_Q} (V)]	Circular dreno externo [V_{EA_DE} (V)]	Circular dreno interno [V_{EA_DI} (V)]
0,1	0,98	1,04	0,91
0,2	1,24	1,31	1,18
0,3	1,48	1,56	1,45
0,4	1,71	1,79	1,71
0,5	1,94	2,03	2,01
0,6	2,19	2,29	2,42
0,7	2,5	2,59	3,02

Observando a Tabela 4.1, à medida que se aumentam os valores de V_{GT} , maiores são os valores de V_{EA} para todos os dispositivos estudados. Nota-se que V_{EA_DE} é maior que V_{EA_DI} que por sua vez é maior que V_{EA_Q} para valor de V_{GT} menor ou igual a 0,5 V, e para maiores valores de V_{GT} , V_{EA_DI} é maior que os demais devido ao aumento de I_{DSsat_DI} , causado pela menor área de interface dreno/canal e maior densidade de campo elétrico horizontal próximo ao ponto do estrangulamento do canal, que resultam em aumento da ionização por impacto.

A Figura 4.14 apresenta a tensão Early em função do ponto de polarização (V_{GT}) para os SOI nMOSFETs estudados.

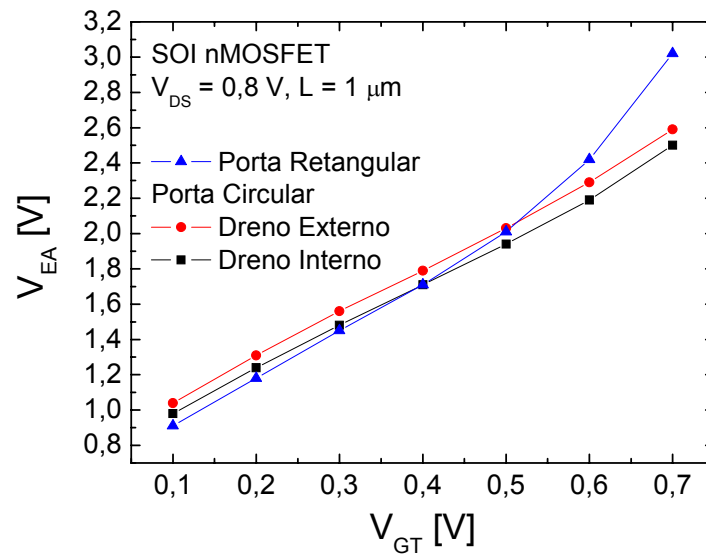


Figura 4.14 – Tensão Early em função do ponto de polarização (V_{GT}) dos transistores SOI nMOSFETs.

Pode-se notar que as curvas da Figura 4.14 apresentam um comportamento similar ao observado experimentalmente, onde o SOI nMOSFET circular operando em configuração de dreno externo apresenta valores de tensão Early sempre superiores ao convencional, e para valores de V_{GT} superiores a 0,6 V o CGT_{DI} tem a maior tensão Early entre os dispositivos estudados.

Aplicando-se a equação (2.9) que leva em consideração os valores de g_m , I_{DS} e V_{EA} , apresentados nos itens 4.4, 4.6 e 4.10, pode-se determinar o ganho de tensão para cada SOI nMOSFET, como é mostrado na Tabela 4.2.

Tabela 4.2 – Ganho de tensão em função do ponto de polarização (V_{GT}) dos transistores SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno, para $V_{DS} = 0,8$ V.

V_{GT} [V]	Convencional [A_{V_Q} (dB)]	Circular dreno externo [$A_{V_{DE}}$ (dB)]	Circular dreno interno [$A_{V_{DI}}$ (dB)]
0,1	17,2	17,8	16,6
0,2	16,3	16,9	16,0
0,3	15,5	16,0	15,4
0,4	14,6	15,2	14,7
0,5	13,9	14,5	14,4
0,6	13,6	14,2	14,9
0,7	13,9	14,2	16,0

A Figura 4.15 apresenta as curvas do ganho de tensão dos SOI nMOSFETs convencional e circular em função da sobretensão de porta.

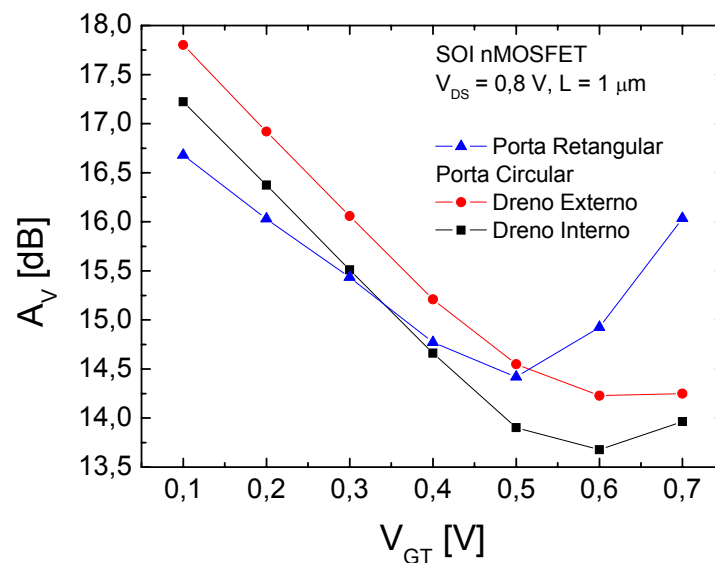


Figura 4.15 – Representação do ganho de tensão em função de V_{GT} dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno, respectivamente.

Verificando-se a Figura 4.15, nota-se que o ganho de tensão do SOI nMOSFET circular operando em configuração de dreno externo é maior que o do circular operando em configuração de dreno interno e que o do convencional para V_{GT} menor ou igual a 0,5 V. Após esse ponto o SOI nMOSFET circular operando em configuração de dreno interno passa a apresentar ganho expressivamente maior que os demais ($> 1,5$ dB). Isso é decorrência de sua maior tensão Early e g_m/I_{DS} , seguindo as mesmas tendências observadas nos resultados experimentais.

4.11 Distorção harmônica para dispositivos operando em saturação

A distorção harmônica total (THD) e de terceira harmônica (HD3) dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno são analisadas com a utilização do Método da Função Integral (IFM), suportado pela ferramenta matemática programa Mathcad [29].

A distorção harmônica de segunda ordem (HD2) não é estudada, pois se objetiva aplicação em amplificadores operacionais, onde a presença de pares diferenciais suprime os harmônicos de ordem par [10],[12].

4.11.1 Distorção harmônica total (THD)

Assim como no capítulo 3, a distorção harmônica total foi extraída para dois valores diferentes de amplitude do sinal de entrada (V_a), 30 mV [Figura 4.16(a)] e 200 mV, [Figura 4.16(b)], considerando $V_{DS} = 0,8$ V e variando seu nível DC da entrada de V_{TH} até $V_{TH} + 1$ V.

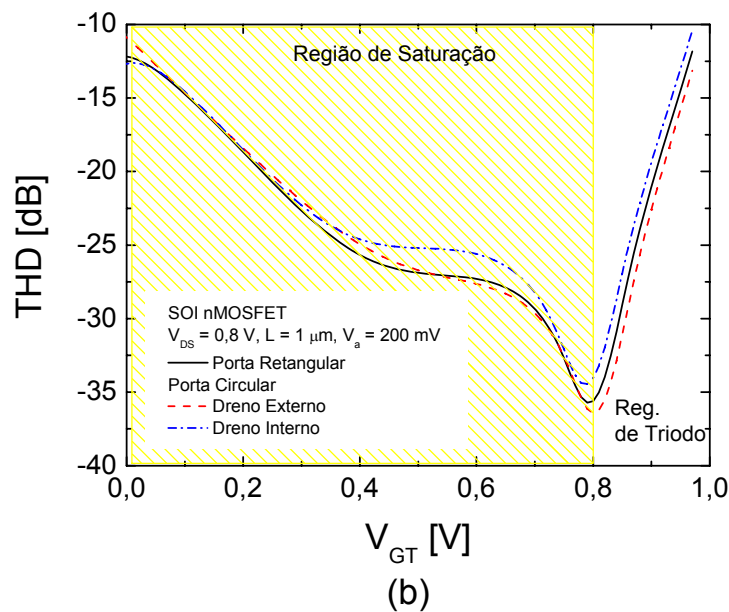
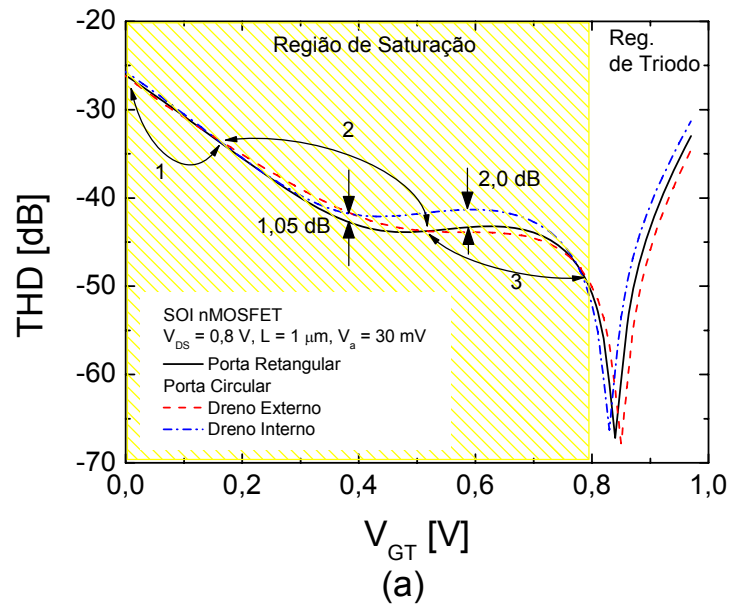


Figura 4.16 – Distorção harmônica total em função do ponto de polarização V_{GT} dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para V_a igual a 30 mV(a) e 200 mV (b).

Analisando a Figura 4.16(a), observa-se que o comportamento da THD dos transistores convencional e circular operando em configuração de dreno externo na região de saturação, pode ser dividido em três regiões, na primeira para valores de sobreensão de porta inferiores a 0,2 V, onde eles apresentam praticamente a mesma distorção. A segunda região se caracteriza por uma maior linearidade do transistor convencional, onde a maior diferença é de 1,05 dB para V_{GT} aproximadamente igual a 0,4 V. A terceira região apresenta maior linearidade do transistor circular operando em configuração de dreno externo, essa região se estende de V_{GT} igual a 0,5 V até o final da região de saturação. Essa melhor linearidade do CGT_{DE}, quando operando na inversão forte e próximo da região de triodo, foi observada nas medidas experimentais de forma mais intensa, item 3.11.1. Ela é atribuída ao menor efeito de modulação de comprimento de canal devido a sua maior área de interface dreno/canal e também a menor ionização por impacto, uma vez que o fluxo de elétrons se distribui por uma área maior antes de atingir a região de dreno.

O SOI nMOSFET circular operando em configuração de dreno interno, apresenta comportamento semelhante ao SOI nMOSFET convencional enquanto V_{GT} é menor que 0,3 V, após esse valor sua linearidade é inferior aos demais dispositivos estudados. Esse comportamento é antagônico ao observado nas medidas experimentais, naquele momento o efeito de *single-transistor latchup* favoreceu intensamente uma melhora em sua linearidade. Dessa forma o resultado da simulação apresentado é interpretado como a possível resposta do dispositivo na ausência do efeito parasitário.

A mesma análise baseada na Figura 4.16(a) pode ser estendida para a Figura 4.16(b), onde o mesmo comportamento foi observado, porém com níveis de THD maiores.

4.11.2 Distorção do harmônico de terceira ordem (HD3)

A Figura 4.17 apresenta o comportamento de HD3 em função de V_{GT} para dois valores de V_a , 30 mV [Figura 4.17(a)] e 200 mV [Figura 4.17(b)].

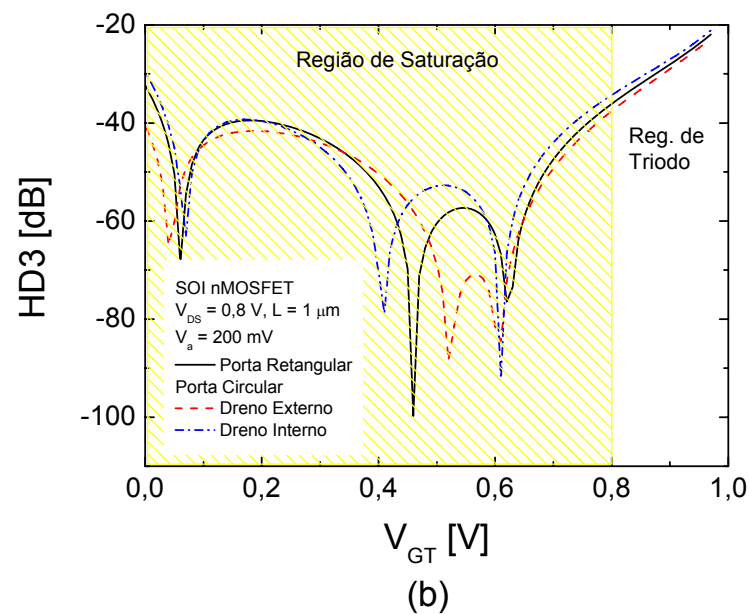
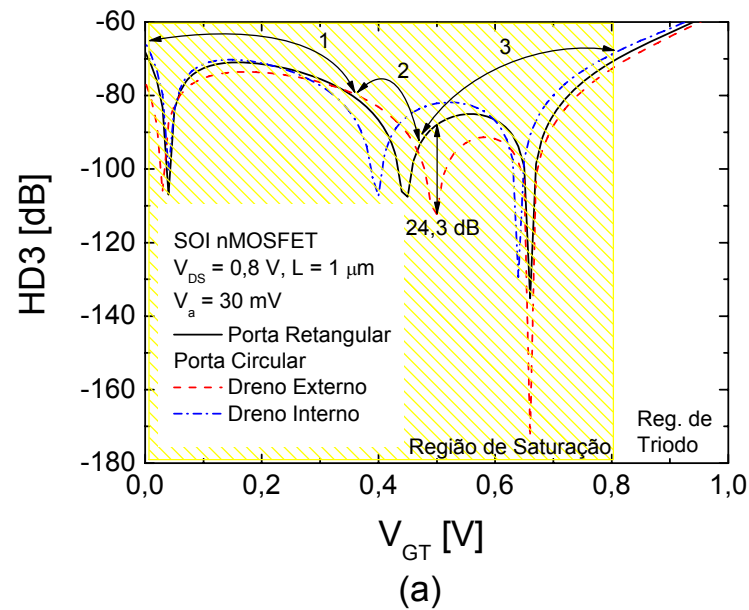


Figura 4.17 – Distorção harmônica de terceira ordem em função do ponto de polarização V_{GT} dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para V_a igual a 30 mV (a) e 200 mV (b).

Assim como feito na análise da distorção harmônica total, a análise da distorção harmônica de terceira ordem foi dividida em três regiões distintas. A primeira região se estende desde o início da saturação até V_{GT} aproximadamente igual a 0,36 V e se caracteriza pela menor HD3 do SOI nMOSFET circular operando em configuração de dreno externo em

relação o convencional. Na segunda região, que vai até V_{GT} igual a 0,47 V, o comportamento dos dispositivos se inverte e o SOI nMOSFET convencional passa a apresentar menor HD3. A terceira região é semelhante à primeira, porém se destaca pela expressiva diferença entre os níveis dos dois dispositivos. A máxima diferença ocorre em V_{GT} igual a 0,5 V com valor de 24,3 dB.

O fato do SOI nMOSFET circular operando em configuração de dreno externo apresentar regiões com expressiva redução de HD3 em relação ao convencional, pode refletir intensamente em uma melhora da linearidade total do dispositivo, quando esses dispositivos pertencem ao par diferencial de circuitos amplificadores operacionais. Neste caso os harmônicos de ordem par são suprimidos e a THD se torna intensamente influenciada por HD3.

Apesar do SOI nMOSFET circular operando em configuração de dreno interno apresentar regiões de menor HD3 em relação aos demais dispositivos simulados (150 mV), na maior parte da região de saturação (650 mV), apresenta um maior valor de HD3 que o SOI nMOSFET convencional.

As mesmas tendências podem ser observadas através da Figura 4.17(b), porém com maiores valores de HD3, na ordem de 50 dB.

4.11.3 Distorção harmônica total efetiva

A Figura 4.18 apresenta a distorção harmônica total sobre o ganho de tensão de saída (THD/A_v) em função de V_{GT} .

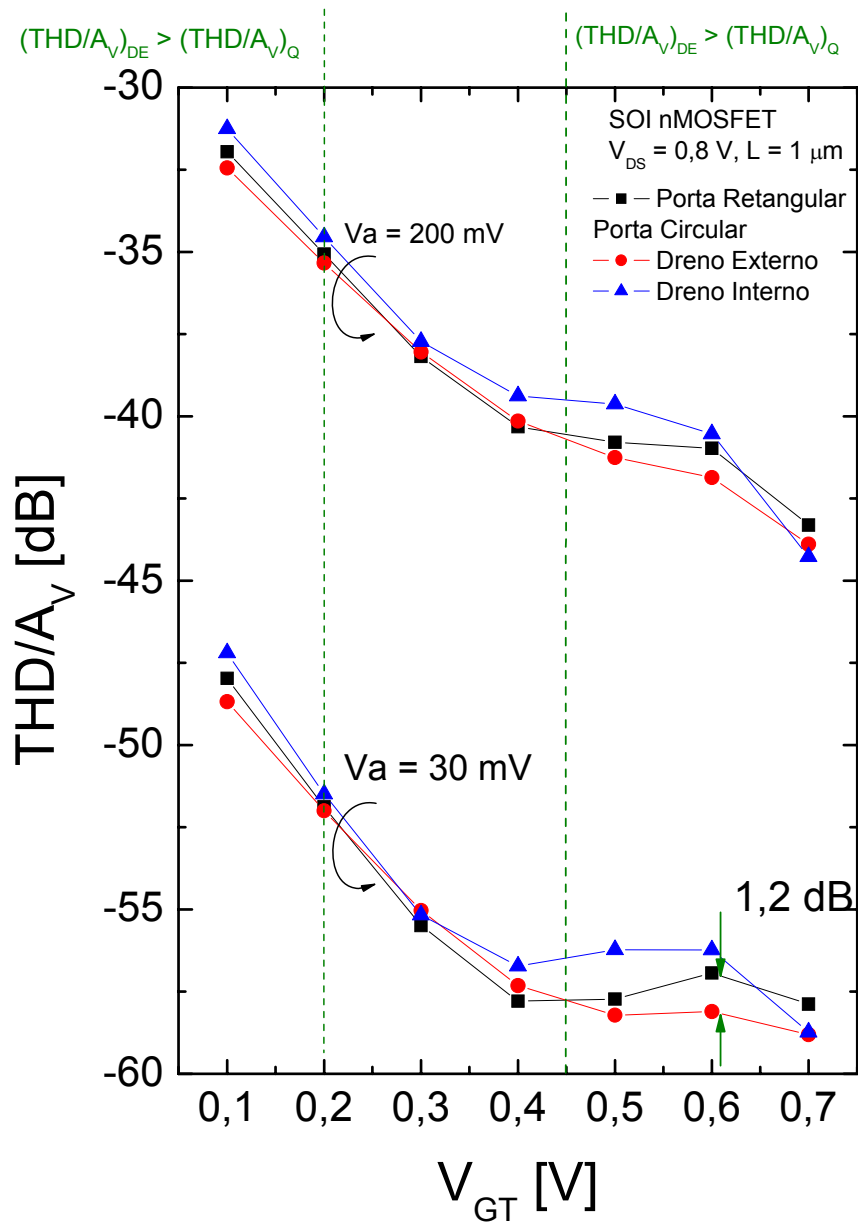


Figura 4.18 – THD/A_V em função do ponto de polarização V_{GT} dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para V_a igual a 30 mV e 200 mV.

Analisando a Figura 4.18, pode-se notar que a distorção harmônica total normalizada em função do ganho de tensão (THD/A_V) do SOI nMOSFET de canal circular operando em configuração de dreno externo é menor que o SOI nMOSFET convencional para valores de V_{GT} inferiores a 0,2 V e superiores a 0,45 V. A máxima diferença (1,2 dB) é observada quando V_{GT} é igual a 0,6 V. Por outro lado, na faixa intermediária de valores (linhas pontilhadas da Figura 4.18), o CGT_{DE} apresenta maior distorção efetiva que o SOI nMOSFET

convencional ($\leq 0,5$ dB), a diferença no entanto diminui a medida que se aumenta a amplitude V_a , quando $V_a = 200$ mV a diferença é praticamente nula.

A maior linearidade do CGT_{DE} pode ser justificada por ele apresentar maiores valores da razão transcondutância sobre corrente de dreno (g_m/I_{DS}) e de tensão Early (V_{EA}), resultando em um maior ganho de tensão $A_V [= (g_m/I_{DS}) \cdot V_{EA}]$, considerando as mesmas condições de polarização. Essa mesma justificativa foi apresentada durante as medidas experimentais (item 3.11.3), onde se observou uma maior linearidade do CGT_{DE} em toda a faixa de valores de sobretensão de porta estudada.

Diferentemente das medidas experimentais, quando o CGT_{DI} apresentou regiões com distorção harmônica efetiva muito inferior aos demais dispositivos (vide Figura 3.16), as simulações mostraram que na ausência do efeito de *single-transistor latchup*, o CGT_{DI} tende a apresentar maior distorção que os demais enquanto V_{GT} é menor do que 0,65 V. A partir desse valor a sua maior relação g_m/I_{DS} e tensão Early propiciam um ganho de malha aberta (A_V) até 2 dB maior que o SOI nMOSFET convencional. Esse ganho compensa sua menor linearidade, e faz com que ele seja o dispositivo com menor THD/ A_V para $V_{GT} = 0,7$ V.

A mais importante figura de mérito para as aplicações analógicas é o comportamento da razão THD/ A_V em função da transcondutância sobre a corrente de polarização de dreno (g_m/I_{DS}), ela é apresentada na Figura 4.19 considerando dois diferentes valores de amplitude máxima do sinal de entrada senoidal (V_a).

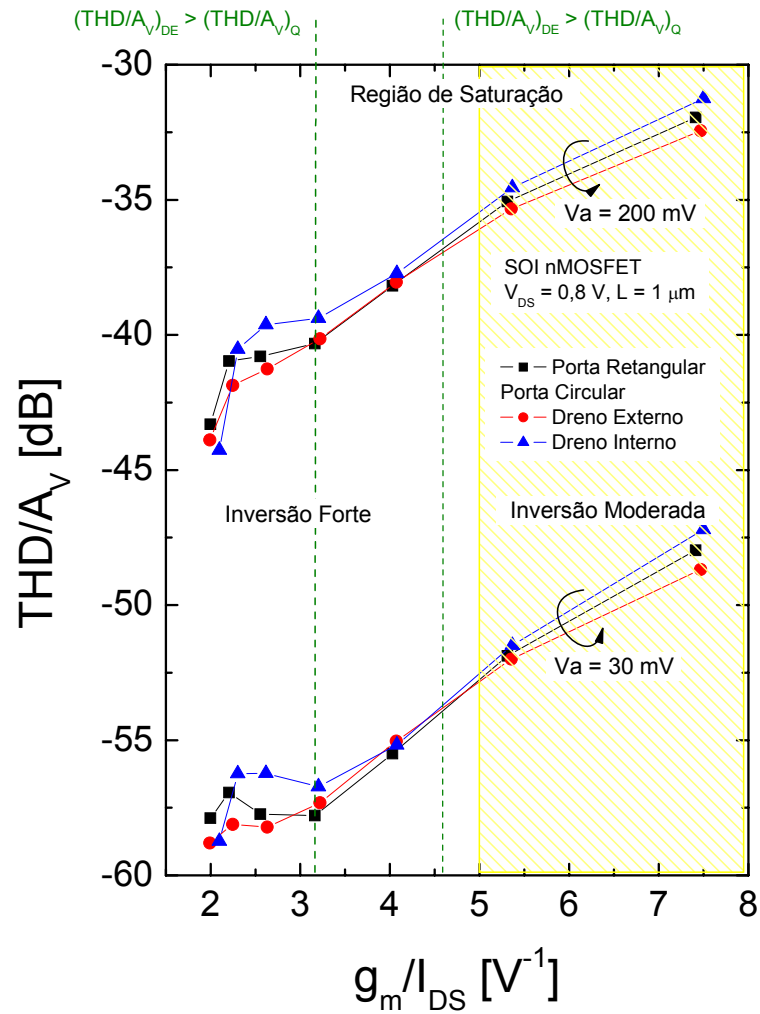


Figura 4.19 – THD/A_V em função da relação g_m/I_{DS} dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para V_a igual a 30 mV e 200 mV.

Através da Figura 4.19, percebe-se que o SOI nMOSFET circular operando em configuração de dreno externo apresenta linearidade superior ao CGT_{DI} e ao convencional em praticamente todos os pontos estudados. Esse comportamento se inicia na região de inversão forte e se estende à região de inversão moderada, onde os valores de distorção efetiva apresentados indicam uma tendência de molhara na linearidade. A mesma tendência é constatada nos resultados experimentais, onde a diferença entre de THD/A_V do CGT_{DE} e do SOI nMOSFET convencional chega a 10 dB, para ambas as amplitudes V_a estudadas.

A ausência do efeito de *single-transistor latchup* no CGT_{DI} durante as simulações, se reflete na Figura 4.19, como uma maior THD/A_V em relação aos demais dispositivos, para quase toda a amplitude de g_m/I_{DS} estudada. Apenas em uma pequena parte da região de

inversão forte, esse dispositivo apresenta melhora na relação THD/A_V , em decorrência da maior tensão Early.

4.11.4 Distorção harmônica em função da amplitude da entrada senoidal (V_a)

Com o objetivo de verificar o comportamento da linearidade em função da amplitude de um sinal senoidal de entrada, focando OTAs operando em alta frequência (região de inversão forte), o valor de g_m/I_{DS} foi fixado em $2,6 \text{ V}^{-1}$. Na Figura 4.20 são mostradas as curvas de (THD/A_V) em função de V_a para os SOI nMOSFETs convencional e circular operando em ambas as configurações.

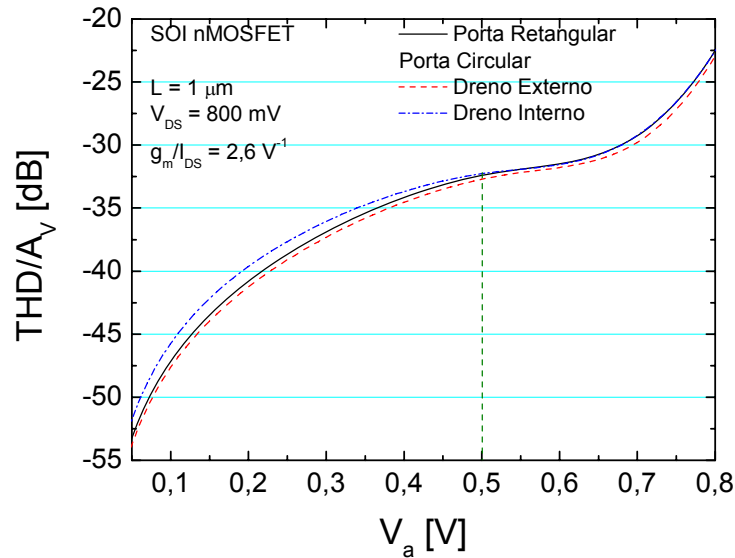


Figura 4.20 – THD/A_V em função de V_a dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para g_m/I_{DS} igual a $2,6 \text{ V}^{-1}$.

Observa-se na Figura 4.20, que a THD/A_V do transistor circular operando em configuração de dreno externo apresenta uma melhor linearidade ($\approx 0,5 \text{ dB}$) em relação ao convencional SOI nMOSFET para todos os valores de V_a estudados.

Por outro lado, o SOI nMOSFET circular operando em configuração de dreno interno apresenta maior distorção harmônica efetiva que os demais dispositivos, enquanto V_a é menor do que $0,5 \text{ V}$. Após esse valor seu comportamento se torna idêntico ao do SOI nMOSFET convencional.

Esse mesmo comportamento é identificado na região de inversão moderada com g_m/I_{DS} fixado em 8 V^{-1} .

Considerando a Figura 4.20, pode-se extrair a máxima amplitude do sinal senoidal de entrada para uma determinada distorção harmônica efetiva, como apresentado na Tabela 4.3.

Tabela 4.3 – THD/ A_V x V_a dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para g_m/I_{DS} igual a $2,6 \text{ V}^{-1}$.

THD/ A_V (dB)	Convencional [V_{a_Q} (V)]	Circular dreno externo [$V_{a_{DE}}$ (V)]	Circular dreno interno [$V_{a_{DI}}$ (V)]
-50	0,070	0,075	0,060
-45	0,120	0,135	0,100
-40	0,210	0,230	0,190
-35	0,360	0,380	0,340
-30	0,680	0,700	0,680
-25	0,770	0,780	0,770

Analisando a Tabela 4.3, para uma mesma distorção harmônica total efetiva, pode-se verificar que o SOI nMOSFET circular operando em configuração de dreno externo pode amplificar sinais senoidais com amplitudes no mínimo 10 mV superior às suportadas pelo transistor convencional. Já o CGT_{DI} não é capaz de amplificar sinais com amplitudes maiores ou iguais que as do SOI nMOSFET convencional, enquanto o limite de distorção é inferior a -35 dB. Para valores superiores, ambos apresentam os mesmos limites de amplitude V_a .

As mesmas tendências foram observadas nos resultados experimentais para o CGT_{DE} e o SOI nMOSFET convencional. Por outro lado, a ausência do efeito parasitário mostrou que o CGT_{DI} não tende a apresentar melhora de desempenho em relação ao SOI nMOSFET convencional.

Na Figura 3.19 é apresentada HD3/ A_V em função de V_a para os transistores convencional e circular operando em ambas as configurações.

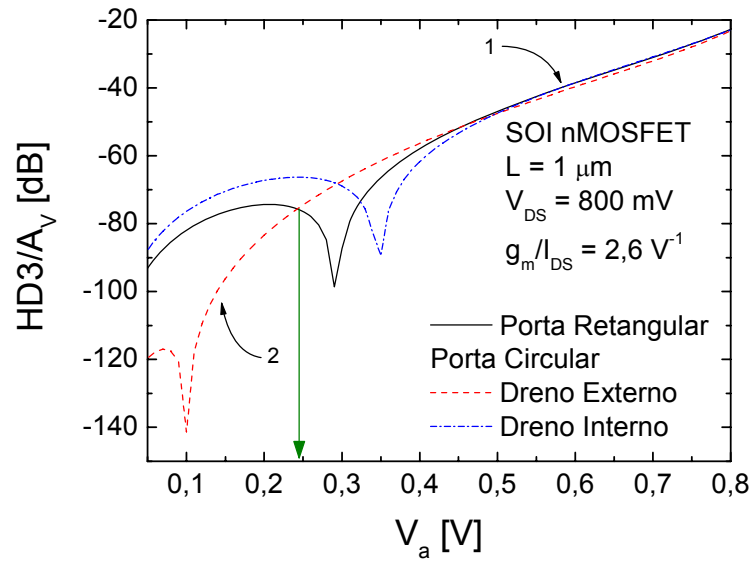


Figura 4.21 – $HD3/A_V$ em função de V_a dos SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno para g_m/I_{DS} igual a $2,6 \text{ V}^{-1}$.

Como observado na Figura 4.21, a $HD3/A_V$ é muito menor que a THD/A_V para todos os transistores estudados, porém destacam-se duas regiões. A primeira ocorre quando as amplitudes de V_a variam de aproximadamente 0,45 V a 0,8 V. Nesta região o CDT_{DE} , o CGT_{DI} e o SOI nMOSFET convencional apresentam praticamente o mesmo comportamento.

A segunda região se caracteriza pela acentuada redução na $HD3/A_V$ do CGT_{DE} para valor de V_{GT} menor do que 0,25 V, onde se verifica um pico de linearidade em V_{GT} igual a 0,1 V, neste ponto a diferença entre a $HD3/A_V$ do SOI nMOSFET convencional e o CGT_{DE} atinge a marca de 60 dB.

5 CONCLUSÕES E SEQUÊNCIA DO TRABALHO

Este trabalho teve por objetivo estudar a distorção harmônica (linearidade) através de resultados experimentais e simulações numéricas tridimensionais nos SOI nMOSFETs de porta de geometria circular. Adicionalmente, foi feito o estudo comparativo com o SOI nMOSFET convencional (porta de geometria retangular).

A técnica utilizada para o cálculo da distorção harmônica foi o IFM (método da função integral), que se baseia em analisar apenas as curvas características do regime de corrente contínua (DC) dos dispositivos.

Dois SOI nMOSFETs foram medidos durante o estudo experimental (um convencional e outro com porta em anel circular). Eles apresentam comprimento de canal (L) de $1\text{ }\mu\text{m}$, largura do canal (W) de $10\text{ }\mu\text{m}$ para o convencional e de $100\text{ }\mu\text{m}$ para o circular.

As simulações numéricas tridimensionais foram realizadas usando dois SOI nMOSFETs. A estrutura para o transistor de geometria retangular apresenta W igual a $1\text{ }\mu\text{m}$, e a estrutura para o transistor com porta em anel circular corresponde a uma fração de 10° , o que corresponde a uma largura de canal de $2,8\text{ }\mu\text{m}$. Ambas possuem comprimento de canal de $1\text{ }\mu\text{m}$.

A curva característica $I_{DS}/(W/L) \times V_{GT}$ obtida experimentalmente mostra que o SOI nMOSFET de porta circular operando com dreno externo possui praticamente o mesmo comportamento que o SOI nMOSFET convencional, durante toda a região de saturação. Na região de triodo, o dispositivo com canal circular apresentou menor corrente de dreno que o convencional, devido a sua maior resistência série. Um efeito parasitário, conhecido como *single-transistor latchup*, foi identificado no SOI nMOSFET de canal circular operando com dreno interno. Quanto maior a polarização de dreno utilizada, mais evidente era o incremento abrupto na corrente de dreno (10 vezes para $V_{DS} = 0,8\text{V}$), com o dispositivo operando na região de sublimiar, devido ao disparo do transistor parasitário bipolar existente no corpo do transistor.

Como não foi possível identificar esse efeito parasitário nas simulações numéricas, elas serviram de ferramenta para comparação do comportamento do CGT_{DI} com e sem esse efeito.

A primeira análise de distorção harmônica foi feita em função da sobretensão de porta (V_{GT}), para $V_{DS} = 0,8\text{ V}$, onde a amplitude de sinal analógico (V_a) foi fixada e variou-se V_{GT}

de 0 V a 1 V. Percebeu-se, com base em resultados experimentais, que o SOI nMOSFET de porta circular operando em configuração de dreno externo, apresenta distorção harmônica total (THD) inferior ao SOI nMOSFET convencional, alcançando uma diferença máxima de aproximadamente 4,2 dB quando $V_{GT} = 0,8$ V. As simulações comprovaram esses resultados para baixos e altos valores de V_{GT} , porém identificou-se uma região de menor linearidade do CGT_{DE} em relação ao SOI nMOSFET convencional para valores de V_{GT} entre 0,2 V e 0,5 V.

A configuração de dreno interno mostra dois resultados totalmente antagônicos decorrentes da presença ou não do efeito parasitário *single-transistor latchup*. Enquanto as medidas experimentais apontam valores de THD até 16,3 dB inferiores ao convencional, para V_a igual a 30 mV, as simulações mostram um comportamento equivalente ao convencional para valores de V_{GT} inferiores a 0,2 V e uma menor linearidade para valores maiores que 0,2 V (até +2 dB).

A análise da distorção de terceiro harmônico, baseada em resultados experimentais e de simulações, mostrou que o SOI nMOSFET de porta circular operando em configuração de dreno interno apresenta grandes regiões com níveis de distorção superiores ao dispositivo convencional. Por outro lado, SOI nMOSFET de porta circular operando em configuração de dreno externo apresenta comportamento equivalente ou predominantemente mais linear que o convencional. Destacam-se pontos de polarização onde a diferença atingida é superior a 20 dB, ideal para operação em pares diferenciais de amplificadores operacionais. Isso permitiria uma excelente linearidade dos dispositivos, já que nesse tipo de circuito (par diferencial), os harmônicos de ordem par são suprimidos e a THD tende a HD_3 .

Quando analisada a distorção harmônica total efetiva (THD/A_V) em função da relação g_m/I_{DS} (figura de mérito mais importante para o projeto de um circuito integrado analógico), os resultados experimentais e simulados apontaram para uma mesma tendência, onde SOI nMOSFET de porta circular operando em configuração de dreno externo apresenta linearidade superior a configuração de dreno interno e convencional. Isso foi observado nas regiões de inversão forte com -3 dB em relação ao convencional e início da inversão moderada. Essa tendência deve se estender ao longo da região de inversão moderada, uma vez que a máxima diferença entre o CGT_{DE} e o SOI nMOSFET convencional (≈ 10 dB) foi medida entre os últimos pontos na região de inversão moderada.

Com esse trabalho, o projetista de circuitos integrados analógicos poderá além de determinar as dimensões dos transistores, através da curva $g_m/I_{DS} \times I_{DS}/(W/L)$, como também poderá saber o quanto de distorção harmônica efetiva um determinado circuito integrado analógico pode gerar, através da curva $THD/A_V \times g_m/I_{DS}$.

A última figura de mérito estudada, está diretamente relacionada à capacidade de amplificação de sinais dos dispositivos, onde se mediu a distorção harmônica total efetiva em função da amplitude de um sinal senoidal aplicado a porta (V_a), para uma tensão de dreno igual a 0,8 V e uma tensão de porta equivalente a g_m/I_{DS} igual a 4,6 V^{-1} para a medida experimental e 2,6 V^{-1} para a simulação, ambos correspondem à região de inversão forte, ideal para OTAs operando em alta frequência. O SOI nMOSFET de porta circular operando em configuração de dreno externo se mostrou mais linear em ambos os casos com destaque para as medidas experimentais onde a superioridade em relação ao convencional se manteve praticamente constante em 6 dB. Isso lhe permite trabalhar com amplitudes do sinal de entrada duas vezes maiores que o convencional, mantendo o mesmo nível de distorção harmônica total efetiva.

Todas as constatações oriundas deste trabalho provam que o SOI nMOSFET de porta em formato de anel circular, operando com dreno externo, apresenta uma menor distorção harmônica que o SOI nMOSFET convencional. Dessa forma, pode-se concluir que esse dispositivo é extremamente atrativo para aplicação em circuitos integrados analógicos, tais como amplificadores.

Um outro aspecto a se destacar, que foi identificado no SOI nMOSFET de porta em formato de anel circular operando em configuração de dreno interno, é a presença de um pico na curva da transcondutância na interface entre as regiões de saturação e de triodo, que sugere um novo método para a extração da tensão de limiar, quando condições de polarização específicas são respeitadas.

Como seqüência para este trabalho, seria muito interessante a realização de um estudo comparativo da linearidade em SOI MOSFETs convencionais e de porta em formato de anel circular para diferentes valores de L com W fixo e vice-versa. Outro estudo seria a verificação do comportamento da linearidade em baixas e altas temperaturas.

REFERÊNCIAS BIBLIOGRÁFICAS

Capítulo 1:

- [1] SEDRA, A. S.; SMITH, J. C. **Microeletrônica**. São Paulo: Makron *Books*, 2000.
- [2] MARTINO, J. A.; PAVANELLO, M. A.; VERDONCK, P. B. **Caracterização Elétrica de Tecnologia e Dispositivos MOS**. 1 ed. São Paulo: Pioneira Thomson Learning, 2003.
- [3] CRISTOLOVEANU, S.; LI, S. S. **Electrical Characterization of Silicon-On-Insulator Materials and Devices**. 2 ed. Boston: Kluwer Academic Publishers. 1995.
- [4] COLINGE, J.- P. **Silicon-On-Insulator Technology: Materials to VLSI**. 3 ed. Boston: Kluwer Academic Publishers, 2004.
- [5] PAVANELLO, M. A.; CERDEIRA, A.; MARTINO, J. A.; RASKIN, J.- P.; FLANDRE, D.; Impact of Asymmetric Channel Configuration on the Linearity of Double-Gate SOI MOSFETs, In: **Proceedings of the 6th International Caribbean Conference on Devices, Circuits and Systems (ICCDCS)**, p. 187-191, 2006.
- [6] CERDEIRA, A.; ALEMÁN, M. A.; PAVANELLO, M. A.; MARTINO J. A.; VANCAILLIE, L.; FLANDRE, D.; Advantages of the Graded-Channel SOI FD MOSFET for Application as a Quasi-Linear Resistor, **IEEE Transactions on Electron Devices**, v. 52, n. 5, p. 967-972, 2005.
- [7] SOUZA, M. de; PAVANELLO, M. A.; CERDEIRA, A; FLANDRE, D.; Graded-Channel SOI nMOSFET Model Valid for Harmonic Distortion Evaluation, **Proc. 25TH International Conference on Microelectronics**, Belgrado, Servia e Montenegro, 14-17 maio 2006.
- [8] GIMENEZ, S. P.; Early Voltage Behavior in Circular Gate SOI nMOSFET Using 0.13 μm Partially-Depleted SOI CMOS Technology, **SBMicro 2006 – 21st International Symposium on Microelectronics Technology and Devices**, v. 4, p. 319, Ouro Preto, 2006.
- [9] DORIA, R. T. **Estudo da linearidade em transistores SOI de porta dupla com estrutura de canal gradual**. 2007. 144f. Dissertação (Mestrado em Dispositivos Eletrônicos) – Centro Universitário da FEI, São Bernardo do Campo, 2007.
- [10] CERDEIRA, A.; ESTRADA, M.; QUINTERO, R.; FLANDRE, D.; ORTIZ-CONDE, A.; GARCÍA SÁNCHEZ, F. J.; New Method for Determination of Harmonic Distortion in SOI FD Transistors, **Solid-State Electronics**, v. 46, n. 1, p. 103-108, 2002.

[11] CERDEIRA, A.; ALEMÁN, M. A.; ESTRADA, M.; FLANDRE, D.; PARVAIS, B.; PICUN, G.; The Integral Function Method: A New Method to Determine the Non-Linear Harmonic Distortion, In: **SBMicro 2003 - 18th International Symposium on Microelectronics Technology and Devices**, p. 131-146, São Paulo, 2003.

[12] CERDEIRA, A.; ALEMÁN, M. A.; ESTRADA, M.; FLANDRE, D.; Integral Function Method for Determination of Nonlinear Harmonic Distortion, **Solid-State Electronics**, v. 48, n. 12, p. 2225-2234, 2004.

Capítulo 2:

[13] SCHRODER, D. K. **Semiconductor Material and Device Characterization**. 3 ed. Hoboken: IEEE, 2006.

[14] TERADA, K.; NISHIYAMA, K.; HATANAKA, K.; Comparison of MOSFET-threshold-voltage extraction methods, **Solid-State Electronics**, vol. 45, p. 35-40, jan. 2001.

[15] DIXIT, A.; KOTTANTHARAYIL, A.; COLLAERT, N.; GOODWIN, M.; JURCZAK, M.; DE MEYER, K.; Analysis of the Parasitic S/D Resistance in Multiple-Gate FETs, **IEEE Transactions on Electron Devices**, v. 52, no. 6, p. 1132-1140, jun. 2005.

[16] SILVEIRA, F.; FLANDRE, D.; JESPER, P. G. A.; A g_m/I_D Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Silicon-on-Insulator Micropower OTA, **IEEE Journal of Solid-State Circuits**, v. 31, no. 9, p. 1314-1319, 1996.

[17] DAVIS, J.R.; GLACCUM, A.E.; REESON, K.; HEMMENT, P.L.F.; Improved subthreshold characteristics of n-channel SOI transistors, **IEEE Electron Device Letters**, v. 7, no. 10, p. 570-572, out. 1986.

[18] MATLOUBIAN, M.; CHEN, C.-E.D.; MAO, B.-Y.; SUNDARESAN, R.; POLLACK, G.P.; Modeling of the subthreshold characteristics of SOI MOSFETs with floating body Matloubian, **IEEE Transactions on Electron Devices**, v. 37, no. 9, p. 1985-1994, set. 1990.

[19] VITTOZ, E. A.; **Tech. Digest of Papers**, ISSCC, p. 14, 1994.

[20] FLANDRE, D.; FERREIRA, L. F.; JESPER, P. G. A.; COLINGE, J. P.; Modeling and application of fully depleted SOI MOSFETs for low voltage, low power analogue CMOS circuits, **Solid-State Electronics**, vol. 39, no. 4, p. 455, 1996.

[21] SANSEN, Willy; Distortion in Elementary Transistor Circuits, **IEEE Transactions on Circuits and Systems – Part II: Analog and Digital Signal Processing**, v. 46, no. 3, p. 315-325, 1999.

[22] WAMBACQ, P.; SANSEN, W.; **Distortion Analysis of Analog Integrated Circuits**, Dordrecht: Kluwer Academic Publishers, 1998.

[23] HSU, H. P.; **Análise de Fourier**, Rio de Janeiro: Livros Técnicos e Científicos Editora, 1972.

[24] CERDEIRA, A.; ESTRADA, M; QUINTERO, R; FLANDRE, D; ORTIZ-CONDE, A; GARCÍA SÁNCHEZ, F. J.; Generalization of the integral function method to evaluate distortion in SOI FD MOSFET. In: **Proceedings of the 23 International Conference on Microelectronics**, v. 2. p. 443–446, Nis, Iugoslávia, 2002.

[25] CERDEIRA, A.; ESTRADA, M.; Mathematical Basis of the Expressions Used by the Integral Function Method for the Determination of Nonlinear Harmonic Distortion in Devices and Circuits; In: **Proceedings of the 7th International Conference on Solid State and IC Technology**, p.1143-1146 , Bejing, China, 2004.

[26] DORIA, R. T.; PAVANELLO, M. A. ; CERDEIRA, A.; RASKIN, J. P.; FLANDRE, D.; Channel Length Reduction Influence on Harmonic Distortion of Graded-Channel Gate-All-Around Devices. In: **SBMicro 2006 – 21st International Symposium on Microelectronics Technology and Devices**, v. 4, p. 247-256, Ouro Preto, 2006.

Capítulo 3:

[27] CHOI, J.-Y.; FOSSUM, J.G.; Analysis and control of BJT latch in fully depleted floating-body submicron SOI MOSFETs, **IEEE SOS/SOI Technology Conference**, p. 21-22, out. 1990.

[28] CHEN, C.E.D.; MATLOUBIAN, M.; SUNDARESAN, R.; MAO, B.-Y; WEI, C.C.; POLLACK, G.P.; Single-transistor latch in SOI MOSFETs, **IEEE Electron Device Letters**, v. 9, no. 12, p. 636-638, dez. 1988.

[29] Mathcad 12 User's Guide, Mathsoft Engineering & Education, Inc., 2004.

Capítulo 4:

[30] Atlas Users' Manual, Device simulation software, 10^a edição, 2005.

- [31] VWF Interactive Tools, Device simulation software, 2004.
- [32] KLAASSEN, D. B. M.; A Unified Mobility Model for Device Simulation – I. Model Equations and Concentration Dependence, **Solid-State Electronics**, v. 35, no. 7, p. 953-959, 1992.
- [33] KLAASSEN, D. B. M.; A Unified Mobility Model for Device Simulation – II. Temperature Dependence of Carrier Mobility and Lifetime, **Solid-State Electronics**, v. 35, no. 7, p. 961-967, 1992.
- [34] SHIRAHATA, M.; KUSANO, H.; KOTANI, N.; KUSANOKI, S.; AKASAKA, Y.; A Mobility Model Including the Screening Effect in MOS Inversion Layer, **IEEE Trans. Computer-Aided Design**, v. 11, no. 9, p. 1114-1119, settembre 1992.
- [35] SHOCKLEY, W.; READ, W. T.; Statistics of the Recombination of Holes and Electrons, **Phys. Rev.**, 87, 952, p. 835-842.
- [36] HALL, R. N.; Electron Hole Recombination in Germanium, **Phys. Rev.**, 87, p. 387, 1952.
- [37] DZIEWIOR, J.; SCHMID, W.; Auger Coefficient for Highly Doped and Highly Excited Silicon, **Appl. Phys. Lett.**, v. 31, p. 346-348, 1977.
- [38] SLOTBOOM, J. W.; The PN Product in Silicon, **Solid State Electronics**, v. 20, p. 279-283, 1977.
- [39] SELBERHERR, S.; Analysis and Simulation of Semiconductor Devices, **Springer-Verlag**, Wien-New York, 1984.
- [40] CHYNOWETH, A. G.; Ionization Rates for Electrons and Holes in Silicon, **Phys. Rev.**, v. 109, p. 1537-1540, 1958.

APÊNDICE A – DEDUÇÃO FATOR GEOMÉTRICO

Dedução do fator geométrico que relaciona um transistor de canal circular com um de canal retangular ou convencional:

$$f_g = \left(\frac{W}{L} \right)_{\text{Convencional}} = \left[\frac{2\pi}{\ln(R2/R1)} \right]_{\text{Circular}} \quad (\text{A.1})$$

De acordo com a Figura 2.1, $R1$ é o raio interno da coroa que define o início do canal, $R2$ é o raio externo da coroa que define o final do canal, L é o comprimento do canal ($R2-R1$).

Se considerarmos um transistor convencional, podemos representar a resistência do canal por meio da segunda lei de Ohm.

$$R_{\text{convencional}} = \rho \cdot \frac{L}{x \cdot W} \quad (\text{A.2})$$

onde ρ é resistividade da região do canal, L é o comprimento do canal, x é a espessura do canal e W é a largura do canal. Sendo assim, $x \cdot W = \text{área da seção transversal}$.

Já para determinação da resistência do canal do transistor circular é necessário resolver uma equação diferencial também baseada na segunda lei de Ohm.

$$\partial R_{\text{circular}} = \rho \cdot \frac{\partial y}{x \cdot 2\pi \cdot y} \quad (\text{A.3})$$

onde ∂y é uma fração infinitesimal de L e $2\pi \cdot y$ é o perímetro da circunferência de raio y , isso equivale ao W do transistor convencional ao longo do canal. Vide Figura A.1.

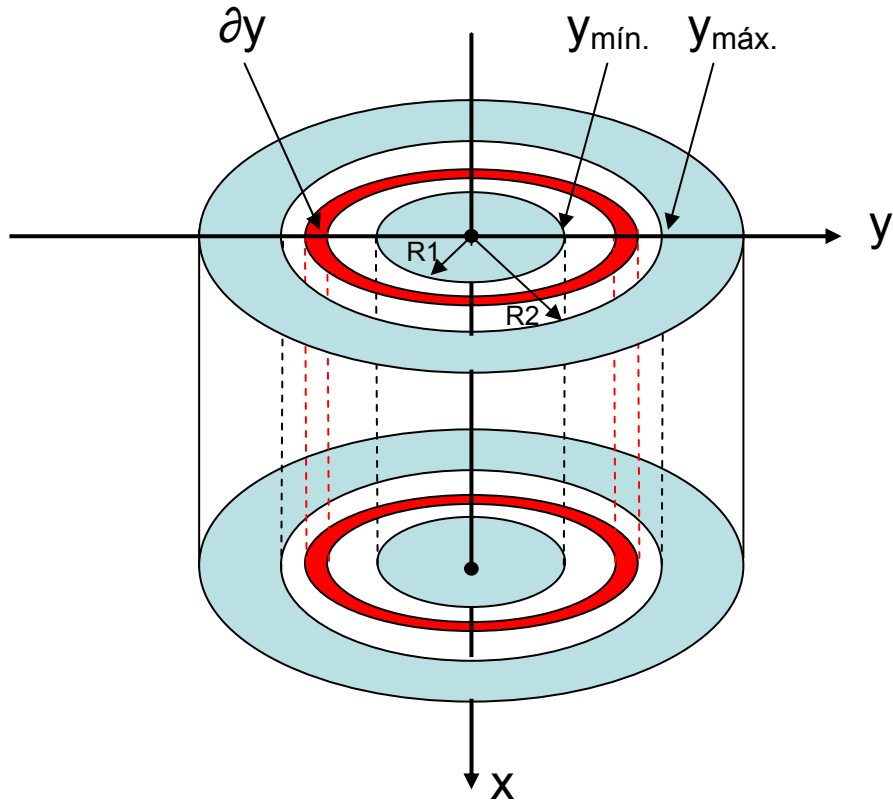


Figura A.1 – Representação 3D da região do canal de um SOI MOSFET de porta de geometria circular.

O próximo passo é integrarmos a função dos dois lados:

$$\int \partial R_{circular} = \int \rho \cdot \frac{\partial y}{x \cdot 2\pi \cdot y} \quad (A.4)$$

$$\int \partial R_{circular} = \frac{\rho}{2\pi \cdot x} \int \frac{1}{y} \cdot \partial y \quad (A.5)$$

$$R_{circular} = \frac{\rho}{2\pi \cdot x} \cdot \ln(y) \Big|_{y_{mín.}}^{y_{máx.}} \quad (A.6)$$

Se $y_{máx.} = R2$ e $y_{mín.} = R1$, ficamos com:

$$R_{circular} = \frac{\rho}{2\pi \cdot x} \cdot (\ln(R2) - \ln(R1)) \quad (A.7)$$

Lembrando que subtração entre logaritmos de mesma base pode ser expressa como o logaritmo da divisão entre os fatores:

$$R_{circular} = \rho \cdot \frac{\ln(R2/R1)}{2\pi \cdot x} \quad (A.8)$$

Finalmente igualando (A.2) e (A.8) ficamos com:

$$\left(\frac{W}{L}\right)_{\text{Convencional}} = \left[\frac{2\pi}{\ln\left(\frac{R2}{R1}\right)}\right]_{\text{Circular}} \quad (\text{A.9})$$

APÊNDICE B – SIMULAÇÃO ATLAS

Abaixo segue um dos arquivos Atlas utilizado para extração da tensão de limiar no transistor circular em configuração de dreno externo.

```
#####
# Simulacao de um transistor 3D com L=1um e W=100um #
# Espessura da camada de silicio: tSi=100nm #
# Espessura do oxido de porta: toxf=25nm #
# Espessura do oxido enterrado: toxb=400nm #
# #
# PARA CDE E QUA: #
# Subs=1, Dreno=2, Porta=3, Fonte=4 #
# PARA CDI: #
# Subs=1, Dreno=4, Porta=3, Fonte=2 #
# #
# Nome dos contatos #
# 1=ContSubs, 2=ContDreno, 3=ContPorta, 4=ContFonte #
#####
go atlas
#####
# A malha foi especificada no devedit3d #
#####
MESH infile = Circ-10g-270208.str
#####
DOPING UNIFORM CONCENTRATION=1E20 N.TYPE REGION=3
DOPING UNIFORM CONCENTRATION=5.5E17 P.TYPE REGION=4
DOPING UNIFORM CONCENTRATION=1E20 N.TYPE REGION=5
#####
CONTACT NAME=ContPorta N.POLY
CONTACT NAME=ContSubs WORKFUNCTION=4.95

#####
# ESPECIFICAÇÃO DOS MODELOS FÍSICOS
#####
#srh - modelo de recombinação
#auger - modelo de recombinação
#kla shi - modelo de mobilidade
#bgn - modelo decargas
#fldmob - modelo de mobilidade

models srh auger bgn kla shi fldmob print temp=300
method gummel newton autonr trap maxtrap=10 carriers=1 electron

#####
#!!!!!!
#-->> Curva: Ids x Vgs, para Vds=800mV <<--
#!!!!!!

#####
# Polarizacao da porta: Vsubs=0V, Vdreno=0.8V, Vporta varia de
# 0.1 a 1.5V, Vfonte=0V.
#####
solve init
#solve prev
solve v1=0
solve v4=0
```

```

solve v2=0
solve v3=0

# Subindo a tensao do dreno ate 0.1 V
solve v2=1e-6
solve v2=1e-5
solve v2=1e-4
solve v2=1e-3
solve v2=1e-2
solve v2=1e-1

# Subindo a tensão de porta até 0.01V
solve v3=1e-9
solve v3=1e-6
solve v3=1e-5
solve v3=1e-4
solve v3=1e-3
solve v3=1e-2

#####
# ESPECIFICAÇÃO DOS MODELOS FÍSICOS PARA SOLUÇÃO
#####
impact selb AN1=7.03E3 AN2=7.03E3 AP1=6.71E3 AP2=6.71E3
method gummel newton carriers=2 autotr trap maxtrap=10

#####
# SE HOUVER ALGUMA SOLUÇÃO ANTERIOR COLOCAR O ARQUIVO AQUI
#####
#Quando usar, retirar todas soluções intermediárias!!!
#LOAD INFILE=<nome do arquivo> MASTER
#MASTER ---não é necessária após o infile quando for a primeira continuação

# Labels
SET data=060308
SET tipo=CDE
#SET tipo=CDI
#SET tipo=QUA

# Nome do arquivo de solução
log outf=IdsVgs-Vds800mV-"tipo"-"data".log

#Início da solução
solve v3=0.01 vstep=0.01 vfinal=0.2 name=ContPorta outfile="tipo"02 master onefileonly
solve v3=0.21 vstep=0.01 vfinal=0.3 name=ContPorta outfile="tipo"03 master onefileonly
solve v3=0.31 vstep=0.01 vfinal=0.4 name=ContPorta outfile="tipo"04 master onefileonly
solve v3=0.41 vstep=0.01 vfinal=0.5 name=ContPorta outfile="tipo"05 master onefileonly
solve v3=0.51 vstep=0.01 vfinal=0.6 name=ContPorta outfile="tipo"06 master onefileonly
solve v3=0.61 vstep=0.01 vfinal=0.7 name=ContPorta outfile="tipo"07 master onefileonly
solve v3=0.71 vstep=0.01 vfinal=0.8 name=ContPorta outfile="tipo"08 master onefileonly
solve v3=0.81 vstep=0.01 vfinal=0.9 name=ContPorta outfile="tipo"09 master onefileonly
solve v3=0.91 vstep=0.01 vfinal=1.0 name=ContPorta outfile="tipo"10 master onefileonly
solve v3=1.01 vstep=0.01 vfinal=1.1 name=ContPorta outfile="tipo"11 master onefileonly
solve v3=1.11 vstep=0.01 vfinal=1.2 name=ContPorta outfile="tipo"12 master onefileonly
output
save outf=IdsVgs-Vds800mV-"tipo"-"data".str

#Fim da solução
quit
#

```

Abaixo segue um dos arquivos Atlas utilizado para extração da tensão Early no transistor circular em configuração de dreno externo.

```
#####
# Simulacao de um transistor 3D com L=1um e W=100um #
# Espessura da camada de silicio: tSi=100nm #
# Espessura do oxido de porta: toxf=25nm #
# Espessura do oxido enterrado: toxb=400nm #
# #
# PARA CDE E QUA: #
# Subs=1, Dreno=2, Porta=3, Fonte=4 #
# PARA CDI: #
# Subs=1, Dreno=4, Porta=3, Fonte=2 #
# #
# Nome dos contatos #
# 1=ContSubs, 2=ContDreno, 3=ContPorta, 4=ContFonte #
#####
go atlas
#####
# A malha foi especificada no devedit3d #
#####
MESH infile = C:\Alunos\Leandro\Simula050308\Circ-10g-270208.str
#####
DOPING UNIFORM CONCENTRATION=1E20 N.TYPE REGION=3
DOPING UNIFORM CONCENTRATION=5.5E17 P.TYPE REGION=4
DOPING UNIFORM CONCENTRATION=1E20 N.TYPE REGION=5
#####
CONTACT NAME=ContPorta N.POLY
CONTACT NAME=ContSubs WORKFUNCTION=4.95

# Labels
SET data=060308
SET tipo=CDE
#SET tipo=CDI
#SET tipo=QUA
SET vth=0.23
SET vgs="$vth"+0.1
SET vgs2="$vth"+0.2
SET vgs3="$vth"+0.3
SET vgs4="$vth"+0.4
SET vgs5="$vth"+0.5
SET vgs6="$vth"+0.6
SET vgs7="$vth"+0.7

#####
# ESPECIFICAÇÃO DOS MODELOS FÍSICOS
#####
#srh - modelo de recombinação
#auger - modelo de recombinação
#kla shi - modelo de mobilidade
#bgn - modelo decargas
#fldmob - modelo de mobilidade

models srh auger bgn kla shi fldmob print temp=300
method gummel newton autonr trap maxtrap=10 carriers=1 electron

#!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!
#-->> Curva: Ids x Vds, para Vgt variável <<--
```

```

#####
#!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!

#####
# Polarizacao da porta: Vsubs=0V, Vdreno varia de 0.1 a 1.2V,
# (Vporta - Vth) varia de 0.1 a 0.7V, Vfonte=0V.
#####
solve init
#solve prev
solve v1=0
solve v4=0
solve v2=0
solve v3=0

# Subindo a tensão de porta até Vgt = 930mV
#solve v3=1e-13
#solve v3=1e-12
#solve v3=1e-11
#solve v3=1e-10
solve v3=1e-9
solve v3=1e-8
solve v3=1e-7
solve v3=1e-6
solve v3=1e-5
solve v3=1e-4
solve v3=1e-3
solve v3=1e-2
solve v3=0.23 vstep=0.05 vfinal="$vgs7" name=ContPorta

# Subindo a tensao do dreno ate 100mV
solve v2=1e-6
solve v2=1e-5
solve v2=1e-4
solve v2=1e-3
solve v2=1e-2
solve v2=1e-1

output
save outf=IdsVds-Start-"$tipo"-"$data".str

#####
# ESPECIFICAÇÃO DOS MODELOS FÍSICOS PARA SOLUÇÃO
#####
impact selb AN1=7.03E3 AN2=7.03E3 AP1=6.71E3 AP2=6.71E3
method gummel newton carriers=2 autonr trap maxtrap=10

#####
# SE HOUVER ALGUMA SOLUÇÃO ANTERIOR COLOCAR O ARQUIVO AQUI
#####
#Quando usar, retirar todas soluções intermediárias!!
#LOAD INFILE=<nome do arquivo> MASTER
#MASTER --- é necessário para uso do TONYPLOT

#####
# SÉTIMA CURVA VGT = 700mV
#solve v3="$vgs7" vstep=0.01 vfinal="$vgs7" name=ContPorta

# Nome do arquivo de solução
log outf=IdsVds-Vgt700mV-"$tipo"-"$data".log

#Início da solução

```

[illegible]

[illegible]

APÊNDICE C – RESUMO SEMINATEC 2007

Neste apêndice consta a resume aceito para o SEMINATEC 2007 - Workshop sobre Semicondutores; Micro & Nano Tecnologia. Aqui estão os resultados das primeiras medidas executadas.

Study of Harmonic Distortion in Circular Gate SOI nMOSFET using 0.13 μm Partially-Depleted SOI CMOS technology

Leandro Poloni Dantas and Salvador Pinillos Gimenez

Centro Universitário da FEI

lepoloni@yahoo.com.br and sgimenez@fei.edu.br

Harmonic distortion is an important merit figure for low-power, low-voltage analog integrated circuits applications, OTAs for example. This work studies the Harmonic Distortion (Linearity) in Circular Gate SOI nMOSFET (Figure 1.A), using 0.13 μm Partially-Depleted SOI CMOS technology for analog applications. The drain/source asymmetric effects are considered in terms of drain current as a function of the gate and drain voltages. Circular gate SOI nMOSFET Harmonic Distortion comparisons with rectangular gate partially-depleted SOI nMOSFET are performed, regarding the same effective channel length and width. Experimental results and three-dimensional simulations are used to qualify these results.

Integral Function Method (IFM) is used to determine the total harmonic distortion (THD), second order (HD2) and third order harmonic distortion (HD3) in order to perform this work.

It is observed that circular gate presents improved harmonic distortion as compared with rectangular gate SOI nMOSFETs, regarding same channel length (L) and width (W), operating in saturation region and for $V_{GT} (=V_{GS}-V_{TH})$ less than 0,4 V (figure 1.B and 1.C).

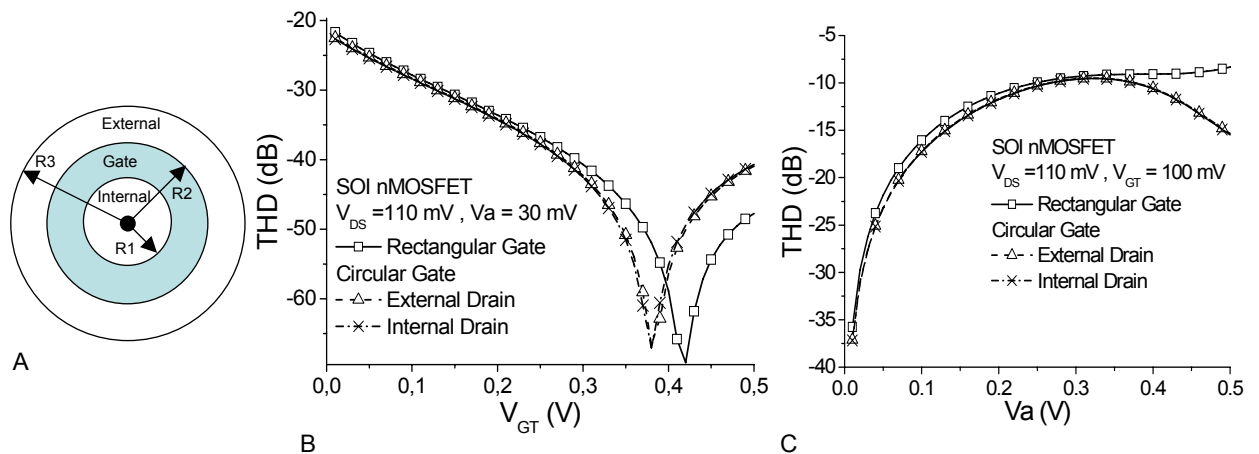


Figure 1: Circular gate SOI nMOSFET layout, where the internal contact can be used either as a source or as drain (1.A), THD $\times V_{GT}$ (1.B) and THD $\times V_a$ (1.C), where V_a is the amplitude of applied sinusoidal signal.

APÊNDICE D – ARTIGO SFORUM2007

Neste apêndice segue o artigo aceito para o 7th *Microelectronics Students Fórum* – SFORUM2007, onde são abordados os conceitos fundamentais sobre distorção harmônica em transistores SOI operando na região de saturação.

HARMONIC DISTORTION COMPARISON BETWEEN CIRCULAR GATE AND CONVENTIONAL SOI NMOSFET USING 0.13 μm PARTIALLY-DEPLETED SOI CMOS TECHNOLOGY

Leandro Poloni Dantas¹ and Salvador Pinillos Gimenez^{1,2}

¹Centro Universitário da FEI
Av. Humberto de Alencar Castelo Branco, 3972, SBC - SP - 09850-901 - Brazil
lepoloni@yahoo.com.br

²Laboratório de Sistemas Integráveis da Universidade de São Paulo
Av. Prof. Luciano Gualberto, trav. 3, n. 158, SP - SP - 05508-900 - Brazil

ABSTRACT

The Harmonic Distortion or Linearity is an important merit figure for low-power, low-voltage analog integrated circuits applications. This paper studies the Harmonic Distortion in Circular Gate SOI nMOSFET, using 0.13 μm Partially-Depleted SOI CMOS technology for analog applications. The drain/source asymmetric effects are considered in terms of the drain current as a function of the gate and of the drain voltage. The circular gate SOI nMOSFET Harmonic Distortion comparisons with the conventional (rectangular gate) partially-depleted SOI nMOSFET are performed, regarding the same effective channel length and width. This paper is based on experimental results. The Integral Function Method (IFM) is used to determine the total harmonic distortion (THD) and the third order harmonic distortion (HD3) in order to perform this work. It is observed that circular gate presents improved harmonic distortion as compared with the rectangular gate SOI nMOSFETs, for the same effective channel length and width, operating in the saturation region.

1. INTRODUCTION

The harmonic distortion is an important merit figure for low-power low-voltage analog integrated circuit applications, as for the Operational Transconductance Amplifiers (OTAs), one of the main basic analog built blocks. When a signal is applied to the transistor gate, the harmonic distortion occurs due to the I_{DS} - V_{GS} non-linearity characteristic in the saturation region, as indicated in figure 1.

To measure the harmonic distortion, it is necessary to apply a signal in the transistor gate (V_{GS}) and to measure the output signal. The device linearity can be obtained considering an input sinusoidal signal given by the equation (1).

$$V_{GS} = V_0 + V_a \sin(\omega t) \quad (1)$$

where V_0 is the DC gate to the source bias and V_a is the maximum amplitude value of the sinusoidal signal.

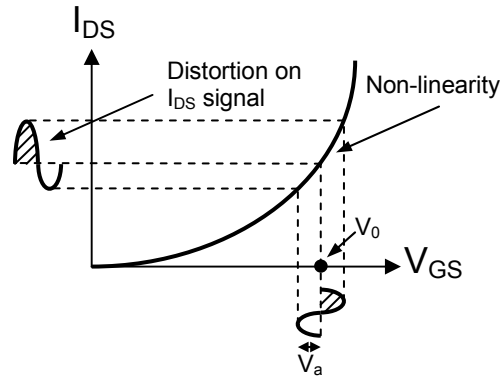


Figure 1 – Drain current distortion caused by non-linearity in I_{DS} versus V_{GS} curve.

The Total Harmonic Distortion (THD) of a signal is defined as a sum of all harmonic frequency powers above the fundamental one over the fundamental frequency power and it is usually expressed in dB [equation (2)] [2].

$$THD = \frac{\sum \text{harmonic_powers}}{\text{fundamental_freq_power}} = \frac{P_2 + P_3 + P_4 + \dots + P_n}{P_1} \quad (2)$$

where P_1 is the power level of the fundamental frequency harmonic and P_2 , P_3 , P_4 and P_n are the power levels of the harmonic components presented in the output signal.

The Integral Function Method (IFM) is used to determine the total and the third order harmonic distortions [1, 2]. This method uses only the device DC electrical characteristic (I_{DS} - V_{GS}), instead of Fourier-based methods, which require complicated AC characterization.

New devices [Graded-Channel (GC), Double Gate SOI nMOSFET, etc] and new techniques (circuit layouts that degrade the die area and the parasitic capacitances) can be used to improve harmonic distortion [3-5]. Another possibility is to study the influence of the gate geometrical form in Linearity, for the same technology. The circular gate transistor (CGT) [6], presented in figure 2, is an option.

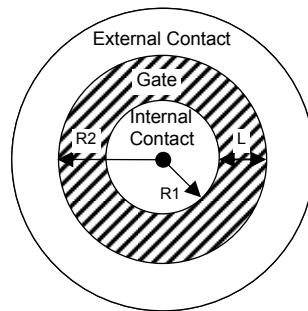


Figure 2 - Circular gate SOI nMOSFET layout.

In figure 2, L is the channel length ($= R_2 - R_1$), and R_1 and R_2 are internal and external radii of the channel. Note that CGT presents drain and source asymmetric dimensions. The internal contact can operate either as a drain or as a source. This device can be biased in two different ways: the internal and the external drain configurations.

The geometric factor (f_r) of the conventional (rectangular gate) transistor and the CGT is given by the equation (3) [7].

$$f_r = \left(\frac{W}{L} \right)_{\text{Rectangular}} = \left[\frac{2\pi}{\ln(R2/R1)} \right]_{\text{Circular}} \quad (3)$$

The objective of this paper is to study the Total Harmonic Distortion and the Third Order Harmonic Distortion behaviors in the circular gate SOI nMOSFETs taking into account the drain/source asymmetric effects, base on experimental results. The comparisons between the conventional and the circular gates SOI nMOSFETs are also performed, considering the same effective channel length and width.

2. PROCESS AND ELECTRICAL CHARACTERISTICS

The devices were fabricated at IMEC, Belgium, using the 0.13 μm Partially-Depleted SOI CMOS technology. The technologic parameters of the SOI nMOSFETs are: $t_{\text{oxf}} = 2.5 \text{ nm}$ (gate oxide thickness), $t_{\text{oxb}} = 400 \text{ nm}$ (buried oxide thickness), $t_{\text{si}} = 100 \text{ nm}$ (silicon thickness), $N_A = 5.5 \times 10^{17} \text{ cm}^{-3}$ (channel concentration), $N_{\text{Drain/Source}} = 1 \times 10^{20} \text{ cm}^{-3}$ (Drain/Source concentration). The CGT dimensions are $L = 1 \mu\text{m}$ (channel length) and $W = 100 \mu\text{m}$ (the average channel width). In order to obtain $W/L = 100$, using the expression (3), $R1$ and $R2$ values of the circular gate transistor are $15.5 \mu\text{m}$ and $16.5 \mu\text{m}$, respectively. The conventional transistor dimensions are $L = 1 \mu\text{m}$ and $W = 10 \mu\text{m}$, resulting $W/L = 10$.

The CGT and the conventional threshold voltages (V_{TH}) are extracted by using the second derivative method and their values are 0.31 V and 0.33 V , respectively.

The figure 3 presents experimental normalized drain current $[I_{\text{DS}}/(W/L)]$ as a function of drain to source voltage (V_{DS}) of CGT with the internal and external drain configurations and the conventional SOI nMOSFETs, for different gate to source voltages (V_{GS}). The normalized drain current $[I_{\text{DS}}/(W/L)]$ is used to eliminate the dimensions effects in linearity comparative study between the CGT and the rectangular gate SOI nMOSFETs.

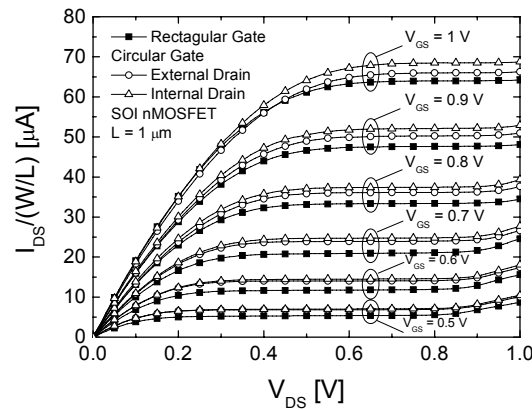


Figure 3 – $I_{\text{DS}}/(W/L)$ versus V_{DS} of rectangular and circular gate SOI nMOSFETs.

The drain current of the CGT operating with the internal drain configuration is higher than operating with the external drain and the conventional SOI nMOSFET, due to the pinch-off point of the CGT with the internal drain configuration is more distant from the drain than the external drain configuration [6] and consequently the effective channel length of the CGT with the internal drain configuration is smaller than the external drain configuration, resulting in higher drain current. Besides, as the gate voltage increases, bigger are the drain current

differences between the internal and the external configurations and also the conventional device.

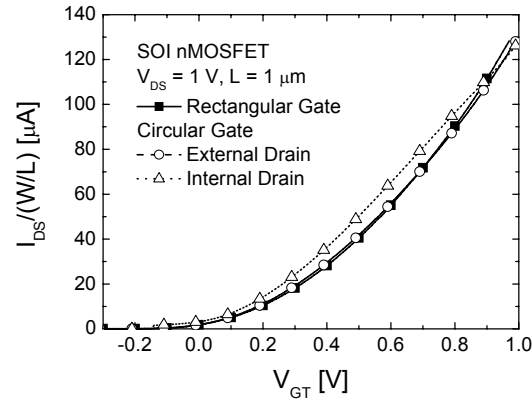


Figure 4 – $I_{DS}/(W/L)$ versus V_{GT} of rectangular and circular gate SOI nMOSFETs.

To eliminate the threshold voltage differences between the CGT and the conventional one, figure 4 is plotted normalized drain current as a function of V_{GT} , where V_{GT} is given by $V_{GS} - V_{TH}$.

Observing figure 4, for the same V_{GT} , drain current with the internal drain configuration is higher than the external drain configuration, because of the pinch-off point behavior in the CGT as explained before. Besides, the CGT with the external drain configuration presents similar behavior of the rectangular gate transistor. For $V_{GT} > 0.75$ V, the CGT drain current with both configurations is smaller than the conventional one, due to the mobility degradation in the CGT, because the drain current occurs in all directions in contrast to the conventional transistor (the mobility depends on the crystallography orientation). These characteristics are observed for different V_{DS} values ($0.1 \text{ V} \leq V_{DS} \leq 1 \text{ V}$).

3. HARMONIC DISTORTION ANALYSIS

The linearity study is performed in the saturation region ($V_{GT} \leq V_{DS}$) and figure 5 presents the CGT and the conventional SOI nMOSFETs THD- V_{GT} curves for different values of V_a . They are extracted applying the IFM method.

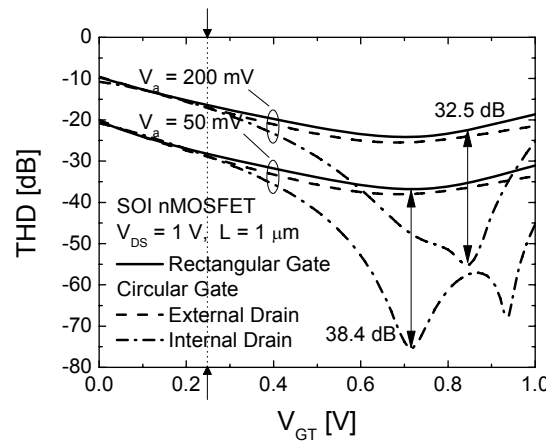


Figure 5 – THD versus V_{GT} of rectangular and circular gate SOI nMOSFETs for V_a equal to 50 mV and 200 mV.

The THD behavior is similar for all devices when $V_{GT} < 0.25$ V. When V_{GT} is higher than 0.25 V, the CGTs (mainly the internal drain) present lower THD than the rectangular gate. For $V_a = 200$ mV and $V_{GT} = 0.85$ V, the THD of the CGT with the internal drain configuration is lower than the external drain configuration and the rectangular gate for about 32.5 dB and 31.9 dB, respectively. The same THD behavior is observed considering $V_a = 50$ mV and $V_{GT} = 0.72$ V. Additionally, for $V_{GT} > 0.9$ V, it can be seen that the THD of the CGT with the internal drain configuration increases strongly due to the mobility degradation.

Figure 6 shows the CGT and the conventional HD3 behaviors for $V_a = 200$ mV.

Analysing it, we conclude that the $HD3_{CGT}$ is dominant when V_{GT} is smaller than 0.25 V (A region) and V_{GT} is higher than 0.68 V (C region), respectively. While the $HD3_{Rectangular\ Gate}$ is dominant into the interval given by $0.25\text{ V} < V_{GT} < 0.68\text{ V}$ (B region). The same HD3 behavior is observed for all transistors, with different V_a values.

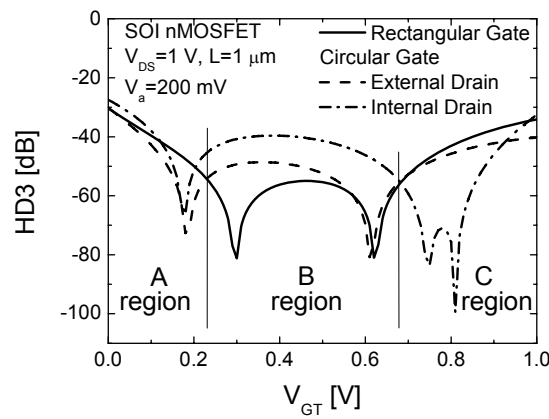


Figure 6 – HD3 versus V_{GT} of rectangular and circular gate SOI nMOSFETs for $V_a = 200$ mV.

4. CONCLUSIONS

It is observed that the circular gate transistor presents lower Harmonic Distortion or higher linearity than the conventional SOI nMOSFET in the saturation region. Besides, the CGT linearity behavior with external drain configuration is a little better than the conventional one. The CGT linearity behavior with the internal drain configuration is extremely superior than the conventional SOI nMOSFET for $V_{GT} > 0.5$ V. Knowing that high frequency amplifiers operate in strong inversion, the CGT with internal drain configuration can be used instead of the conventional one to improve extremely the Harmonic Distortion in analog applications.

The $HD3_{CGT}$ is dominant when V_{GT} is lower than 0.25 V (in direction of the weak inversion region) and when V_{GT} is higher than 0.68 V (in direction of the strong inversion region), when $V_a = 200$ mV.

5. ACKNOWLEDGEMENTS

The authors would like to thank João Antonio Martino from LSI/EPUSP and Cor Claeys from IMEC for supplying the devices and Antonio Cerdeira from CINVESTAV-IPN and Marcelo Antonio Pavanello from Centro Universitário da FEI for supplying IFM software.

6. REFERENCES

- [1] A. Cerdeira, M. Estrada, R. Quintero, D. Flandre, A. Ortiz-Conde and F. J. García-Sánchez, "New method for determination of harmonic distortion in SOI FD transistors," *Solid State Electron.*, vol. 46, pp. 103-108, 2002.
- [2] A. Cerdeira, M. A. Alemán, M. Estrada and D. Flandre, "Integral function method for determination of nonlinear harmonic distortion," *Solid State Electron.*, vol. 48, no. 12, pp. 2225-2234, 2004.
- [3] M. A. Pavanello, A. Cerdeira, J. A. Martino, J. P. Raskin and D. Flandre, "Impact of Asymmetric Channel Configuration on the Linearity of Double-Gate SOI MOSFETs," *6TH International Caribbean Conf.in Devices, Circuits and Systems*, Mexico, Apr. 26-28, 2006.
- [4] A. Cerdeira, M. A. Alemán, M. A. Pavanello, J. A. Martino and D. Flandre, "Advantages of the Graded-Channel SOI FD MOSFET for Applications as a Quasi-Linear Resistor," *IEEE Transactions on Electron Devices, Circuits and Systems*, vol. 52, no. 5, pp. 967-972, May 2005.
- [5] M. de Souza, M. A. Pavanello, A. Cerdeira and D. Flandre, "Graded-Channel SOI nMOSFET Model Valid for Harmonic Distortion Evaluation," *Proc. 25TH International Conference on Microelectronics (Miel 2006)*, Belgrade, Serbia and Montenegro, 14-17 May 2006.
- [6] S. P. Gimenez, R. M. G. Ferreira and J. A. Martino, "Early Voltage Behavior in Circular Gate SOI nMOSFET Using 0.13 μm Partially-Depleted SOI CMOS Technology," *SBMicro 2006*, vol. 4, pp. 319-328, 2006.
- [7] J. P. Collinge, *Silicon-On-Insulator Technology: Materials to VLSI*, Kluwer Academic Publishers, United States of America, 2004.

APÊNDICE E – ARTIGO ECS MEETING

Neste apêndice segue o artigo aceito para o *212th ECS Meeting*, onde é apresentado boa parte do estudo realizado neste trabalho.

Comparison between Harmonic Distortion in Circular Gate and Conventional SOI NMOSFET Using 0.13 μm Partially-Depleted SOI CMOS Technology

L. P. Dantas^{a*} and S. P. Gimenez^{a,b}

^a Centro Universitário da FEI,
Av. Humberto de Alencar Castelo Branco, 3972, 09850-901,
São Bernardo do Campo, Brazil

* lpoloni@besafer.com

^b LSI – Universidade de São Paulo,
Av. Prof. Luciano Gualberto, trav.3 n.158, 05508-900, São Paulo, Brazil

Harmonic distortion or Linearity is an important merit figure for low-power, low-voltage analog integrated circuit applications. This paper studies the Harmonic Distortion in Circular Gate SOI nMOSFET, using 0.13 μm Partially-Depleted SOI CMOS technology for analog applications. The drain/source asymmetric effects are considered in terms of drain current as a function of the gate and drain voltages. Circular gate SOI nMOSFET Harmonic Distortion comparisons with conventional (rectangular gate) partially-depleted SOI nMOSFET are performed, regarding the same effective channel length and width. This paper is based on experimental results. Integral Function Method (IFM) is used to determine the total harmonic distortion (THD) and third order harmonic distortion (HD3) in order to perform this work. It is observed that circular gate presents improved harmonic distortion as compared with rectangular gate SOI nMOSFETs, for the same effective channel length and width.

Introduction

Harmonic distortion is an important merit figure for low-power low-voltage analog integrated circuit applications, as the Operational Transconductance Amplifiers (OTAs), one of the main basic analog build blocks. When a signal is applied into the transistor gate, the harmonic distortion occurs in the output signal (drain node) due to $I_{DS} \times V_{GS}$ non-linearity characteristics in the saturation region, as indicated in the figure 1.

In order to measure the harmonic distortion, it is necessary to apply a signal into the transistor gate (V_{GS}) and measure the output signal. Regarding an input sinusoidal signal given by the equation [1], it can obtain the device linearity.

$$V_{GS} = V_0 + V_a \sin(2.\pi.f.t) \quad [1]$$

In equation [1], V_0 is the DC gate to source voltage, V_a is the maximum amplitude value of sinusoidal signal, f is the frequency of sinusoidal signal and t is the time.

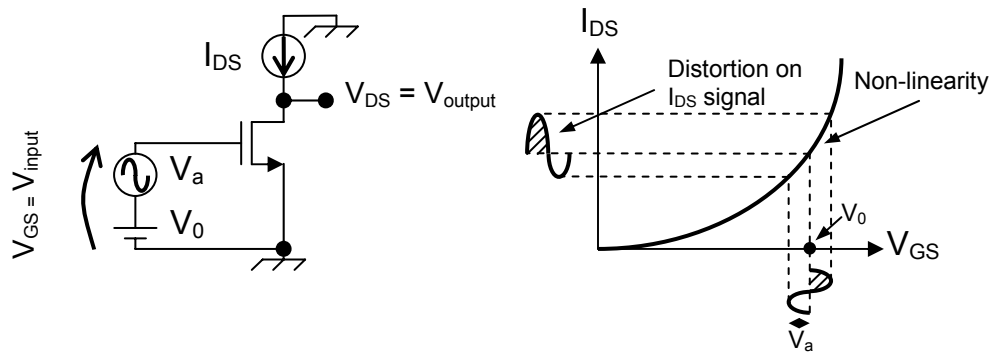


Figure 1. Drain current distortion caused by non-linearity in $I_{DS} \times V_{GS}$ curve.

The Total Harmonic Distortion (THD) of a signal is defined as the sum of all harmonic frequency powers above the fundamental one over the fundamental frequency power and is usually expressed in dB (equation [2]) (1).

$$THD = \frac{\sum \text{harmonic_powers}}{\text{fundamental_freq_power}} = \frac{P2 + P3 + P4 + \dots + Pn}{P1} \quad [2]$$

where $P1$ is the power level of the fundamental frequency and $P2$, $P3$, $P4$ and Pn are the power levels of the harmonic components presented in the output signal.

The Integral Function Method (IFM) is used to determine the total and third order harmonic distortion (1, 2). This method uses only the device DC electrical characteristics ($I_{DS} \times V_{GS}$), in contrast of the Fourier-based methods, which require complicated AC characterization.

New devices (Graded-Channel (GC), Double Gate SOI nMOSFEI, etc) and new techniques, as circuits' arrangements with increased area and parasitic capacitances, have been used in order to improve the harmonic distortion (3-5). Other possibility is to study the influence of other gate geometrical form in the linearity regarding the same technology. The circular gate transistor (CGT) (6), presented in figure 2, is an option.

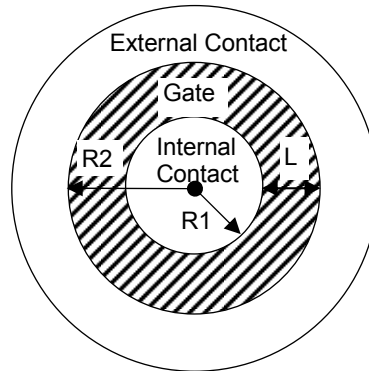


Figure 2. Circular gate SOI nMOSFET layout.

In the figure 2, L is the channel length ($= R2 - R1$), and $R1$ and $R2$ are internal and external radii of the channel. Note that CGT presents drain and source asymmetric

dimensions. The internal contact can operate either as a drain or as a source (internal and external drain configurations).

The geometric factor (f_r) of a conventional transistor (rectangular gate) and CGT is given by equation [3] (7).

$$f_r = \left(\frac{W}{L} \right)_{\text{Conventional}} = \left[\frac{2\pi}{\ln(R2/R1)} \right]_{\text{Circular}} \quad [3]$$

The objective of this paper is study the Total Harmonic Distortion and Third Order Harmonic Distortion behavior in circular gate SOI nMOSFETs taking into account the drain/source asymmetric effects, regarding experimental results. Comparisons between conventional and circular gates SOI nMOSFETs are also performed, considering the same effective channel length and width.

Process and Electrical Characteristics

The devices were fabricated at IMEC, Belgium, using 0.13 μm Partially-Depleted SOI CMOS technology. The technologic parameters of the SOI nMOSFETs are: $t_{\text{oxf}} = 2.5 \text{ nm}$ (gate oxide thickness), $t_{\text{oxb}} = 400 \text{ nm}$ (buried oxide thickness), $t_{\text{si}} = 100 \text{ nm}$ (silicon thickness), $N_A = 5.5 \times 10^{17} \text{ cm}^{-3}$ (channel concentration), $N_{\text{Drain/Source}} = 1 \times 10^{20} \text{ cm}^{-3}$ (Drain/Source concentration). The CGTs dimensions are $L = 1 \text{ }\mu\text{m}$ (channel length) and $W = 100 \text{ }\mu\text{m}$ (average channel width). In order to obtain $W/L = 100$, using the expression [3], $R1$ and $R2$ values of the circular gate transistor are $15.5 \text{ }\mu\text{m}$ and $16.5 \text{ }\mu\text{m}$, respectively. The conventional transistor dimensions are $L = 1 \text{ }\mu\text{m}$ and $W = 10 \text{ }\mu\text{m}$, resulting $W/L = 10$.

Threshold voltage (V_{TH}) of CGTs with both drain configurations and conventional one are extracted by using the second derivative method (8, 9) and their values are 0.31 V for internal and external drain configurations and 0.33 V , respectively.

The figure 3 presents experimental normalized drain current [$I_{\text{DS}}/(W/L)$] as a function of drain to source voltage (V_{DS}) of CGT with internal and external drain configurations and conventional SOI nMOSFET, regarding different gate to source voltages (V_{GS}). Normalized drain current [$I_{\text{DS}}/(W/L)$] is used in order to eliminate the dimension effects in the linearity comparison study between CGT and rectangular gate SOI nMOSFET.

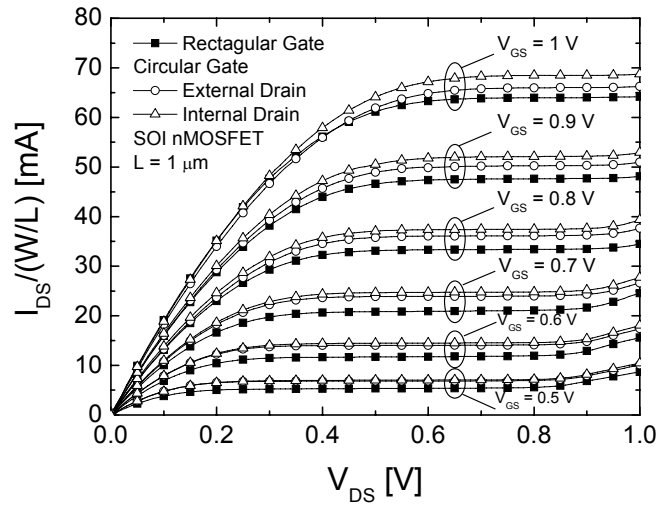


Figure 3. $I_{DS}/(W/L)$ versus V_{DS} of the rectangular and CGT with both drain configurations SOI nMOSFETs.

Observing figure 3, the drain current of CGT operating with internal drain configuration is larger than operating with external drain and conventional SOI nMOSFET, due the pinch-off point of CGT with internal drain configuration is more distant from the drain than the external drain configuration (6) and consequently the effective channel length of CGT with internal drain configuration is smaller than the external drain configuration, resulting in higher drain current. Besides, when the gate voltage increases, larger are the drain current differences between internal and external configurations and also the conventional device (6).

In figure 4 is plotted normalized drain current as a function of V_{GT} , where V_{GT} is equal to $V_{GS} - V_{TH}$, in order to eliminate the threshold voltage differences between CGTs and conventional one.

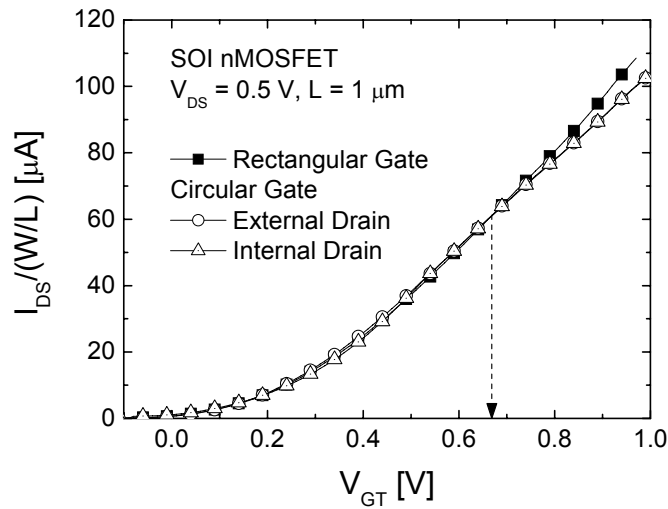


Figure 4. $I_{DS}/(W/L)$ versus V_{GT} of the rectangular and circular gate SOI nMOSFETs.

Observing figure 4, the CGT drain current with both configurations is higher than conventional transistor, mainly for the internal drain configuration, because the pinch-off

point in CGT as explained before. For $V_{GT} > 0.72$ V, the CGT with both configurations is smaller than conventional one, due to mobility degradation in CGT, because the drain current occurs in all directions in contrast to conventional transistor (mobility depends of crystallography orientation). The same drain current behavior is observed for $I_{DS} \times V_{GT}$ curves, with $0.1 \text{ V} \leq V_{DS} \leq 1 \text{ V}$.

Figure 5 presents the transconductance as a function of V_{GT} for CGT and conventional transistor.

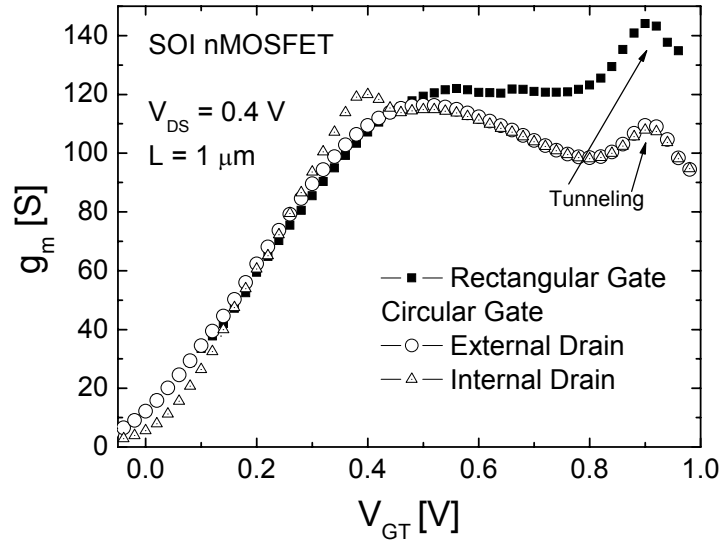


Figure 5. g_m versus V_{GT} of the rectangular and circular gate SOI nMOSFETs.

It can be observed that CGT with external drain and conventional transistor present practically the same behavior for $V_{GT} < 0.5$ V. Besides, the transconductance of CGT with external drain configuration is a little bit higher than conventional one for $V_{GT} \leq 0.5$ V, where occurs the maximum transconductances (g_{m_max}) of the devices. For $V_{GT} > 0.5$ V, it can be seen that transconductance degradations of CGT with both configurations in comparison of conventional SOI nMOSFET, due to mobility degradation, as explained before. Additionally, the g_m of GCT with internal drain configuration is smaller than with external drain configuration and rectangular gate for $V_{GT} \leq 0.25$ V and higher transconductance for $0.25 \text{ V} \leq V_{GT} \leq 0.5 \text{ V}$. This effect is observed for all ranges of V_{DS} values measured and can be justified because of drain/source dimensions differences.

Harmonic Distortion Analysis

Total harmonic distortion (THD) and third order harmonic distortion (HD3) are extracted applying Integral Function Method (IFM) (1, 2) regarding the $I_{DS} \times V_{GT}$ curves of devices.

Total Harmonic Distortion (THD)

Figures 6 and 7 present THD of CGT with both configurations and conventional SOI nMOSFET as a function of DC bias voltage (V_0), that is equal to V_{GT} , for two different values of V_a (30 mV and 200 mV) and $V_{DS} = 0.8$ V.

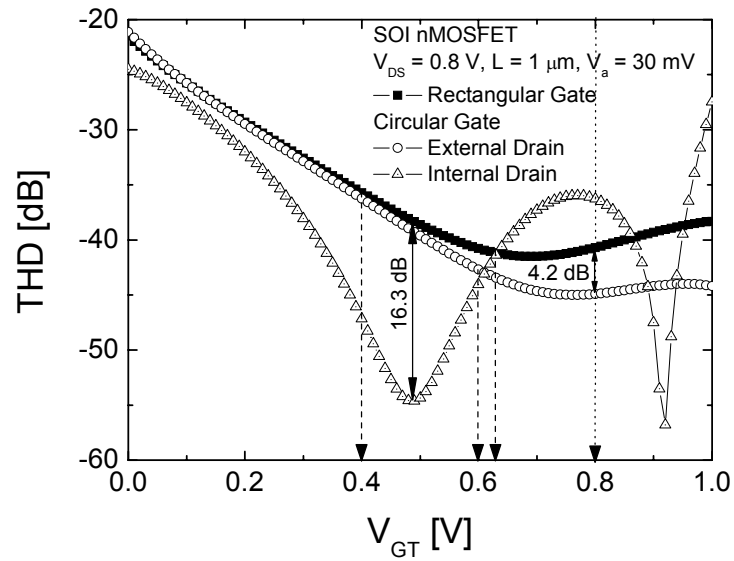


Figure 6. THD versus V_{GT} of the conventional and CGT with both configurations for V_a equal to 30 mV.

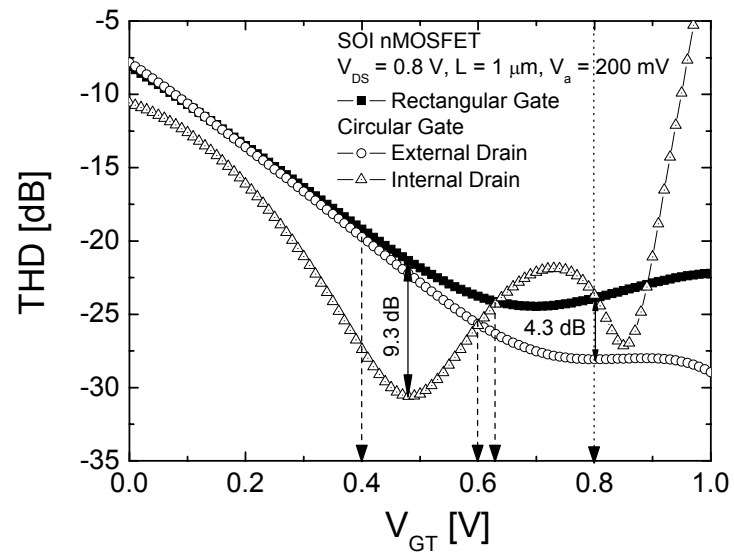


Figure 7. THD versus V_{GT} of conventional and CGT with both configurations for V_a equal to 200 mV.

Analyzing figures 6 and 7, it we can observe that THD behavior of CGT with external drain configuration and conventional one are practically the same for $V_{GT} < 0.4$ V for both V_a . When V_{GT} is higher than 0.4 V, CGT with external drain configuration presents a THD improved than rectangular gate. For $V_{GT} = 0.8$ V (edge of triode and saturation regions) and V_a varying from 30 mV up to 200 mV, THD of CGT with external drain configuration is approximately 4.2-4.3 dB. Besides, THD of CGT with internal drain configuration is smaller than the external drain configuration and conventional one for $V_{GT} \leq 0.6$ V (weak and moderate inversion and beginning of strong inversion), the THD biggest differences are 16.3 dB and 9.3 dB for $V_a = 30$ mV and for $V_a = 200$ mV, respectively. For $V_{GT} > 0.6$ V, the THD of CGT with internal drain configuration is higher than with external drain configuration. Additionally, for $V_{GT} > 0.85$ V, it can be seen that THD of CGT with internal drain configuration strongly increases due to mobility degradation observed in device transconductance as a function of V_{GT} curves. So, in order to improve THD in analog applications, it is recommended using CGT with internal drain configurations for $V_{GT} \leq 0.6$ V, and to use GCT with external drain configuration for $V_{GT} > 0.6$ V instead of conventional SOI nMOSFET for this technology.

Third Order Harmonic Distortion (HD3)

In the order to verify the influence of the Third Order Harmonic Distortion in the Total Harmonic Distortion in the output signal, figures 8 and 9 present HD3 of CGT and conventional SOI nMOSFET as function of bias voltage (V_{GT}) for two different values of V_a and $V_{DS} = 0.8$ V.

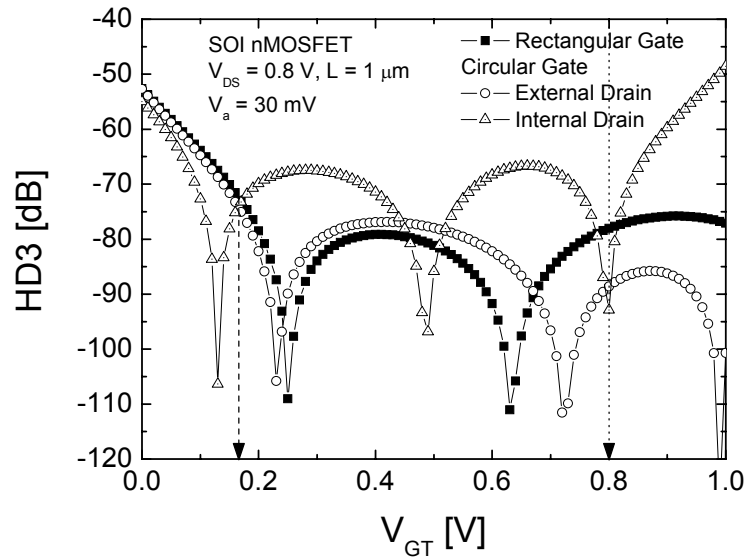


Figure 8. HD3 versus V_{GT} of conventional and CGT with both configurations for V_a equal to 30 mV.

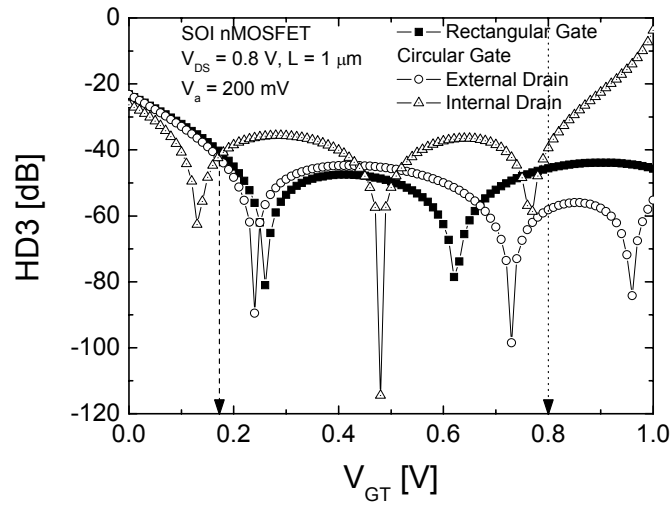


Figure 9. HD3 versus V_{GT} of conventional and CGT with both configurations for V_a equal to 200 mV.

Analisando as figuras 8 e 9, para os dois valores de V_a , nota-se que na região de inversão fraca, o transistor de canal circular com dreno interno apresenta menor influência da HD3 que o transistor com dreno externo e o convencional nMOSFET. Porém, na região de inversão moderada e principalmente na inversão forte o transistor circular com dreno interno é mais influenciado que os demais. Além disso,

Analyzing figures 8 and 9, for two V_a values, we note that in weak inversion, CGT with internal drain configuration presents less influence of HD3 than with external drain configuration and conventional nMOSFET. But in moderate and mainly in strong inversion regions it is more influenced by HD3 than the others. Besides, the CGT with external drain configuration has a similar behavior of conventional SOI transistor (mainly in weak and moderate regions).

The Effective Total Harmonic Distortion (THD/ A_V)

In order to eliminate the influence of voltage gain of these devices, in figure 10 is presented the total harmonic distortion over voltage gain (A_V) as function of V_{GT} .

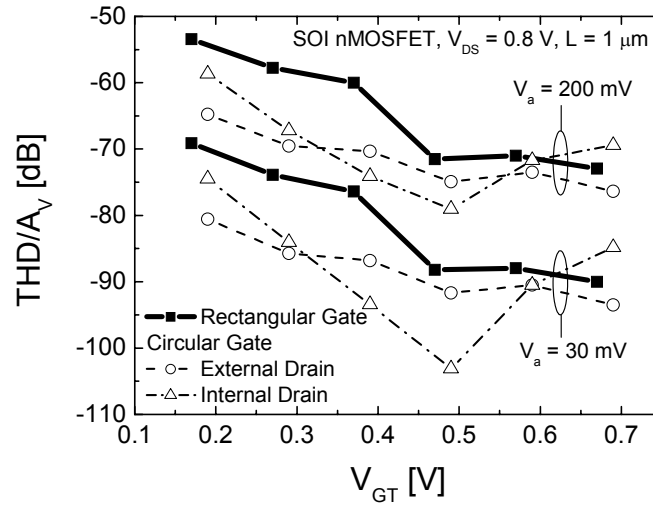


Figure 10. THD/A_V versus V_{GT} of conventional and CGT with both configurations for V_a equal to 30 mV and 200 mV.

Analyzing figure 10, we note that Total Harmonic Distortion normalized as function of voltage gain (THD/A_V) of CGTs with external drain configuration is smaller than conventional SOI nMOSFET for all ranges of V_{GT} values. It can be justified because CGT with external drain configuration presents a little higher g_m up to V_{GT} values near to g_{m_max} and larger Early voltage (V_{EA}) (6), resulting in superior voltage gain $A_V (= g_m/I_{DS} \times V_{EA})$, considering the same channel length and bias conditions. The same behavior is observed for the CGT with internal drain configuration, but only for $V_{GT} \leq 0.6 \text{ V}$. The linearity degradation in CGT with internal drain configuration for $V_{GT} > 0.6 \text{ V}$ occurs because the mobility degradation and consequently g_m decreases when V_{GT} increases above of this value.

Other important merit figure for analog applications is the effective Total Harmonic Distortion over voltage gain ratio (THD/A_V) behavior as a function of transconductance over DC bias drain current ratio (g_m/I_{DS}) for all transistor operation regions, regarding two different values of maximum amplitudes of input sinusoidal signal (V_a), as indicated in figure 11.

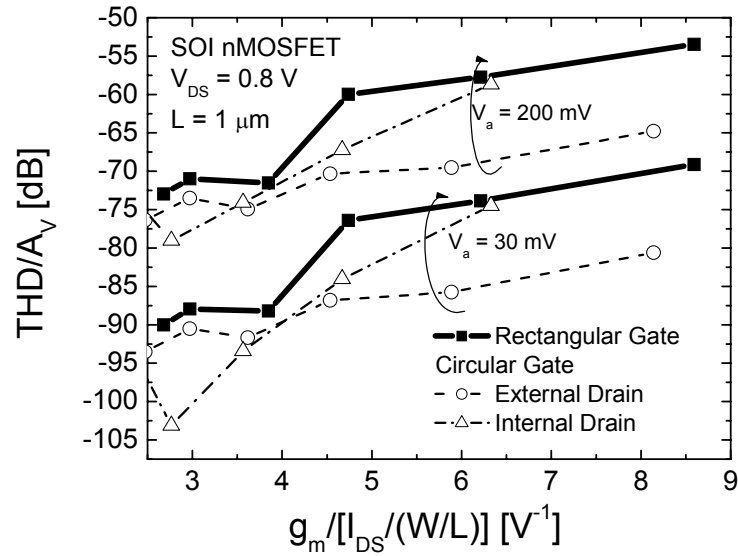


Figure 11. THD/ A_V versus $g_m/I_{DS}/(W/L)$ of the conventional and CGT with both configurations SOI nMOSFETs for V_a equal to 30 mV and 200 mV.

Verifying figure 11, it can be observed that increasing g_m/I_{DS} (from strong inversion to weak inversion regions direction) the THD/ A_V of CGT with external drain configuration is smaller than CGT with internal drain configuration and conventional transistor. Note that, increasing $g_m/[I_{DS}/(W/L)]$ the CGT with internal drain configuration degrades the effective Total Distortion normalized as a function of voltage gain. So, again it is better to use CGT with external drain configuration instead conventional SOI nMOSFET in order to improve the linearity regarding strong and moderate inversion regions for analog applications, as OTAs operating at high frequency.

THD as Function of Sinusoidal Signal Amplitude (V_a), Fixing the $g_m/[I_{DS}(W/L)]$

In order to verify the linearity behavior as a function of the input sinusoidal signal amplitude in strong inversion, focusing OTAs operating in high frequency, ($g_m/[I_{DS}/(W/L)]$), in figure 12 is shown THD/ $A_V \times V_a$ for CGT with both configurations and conventional SOI nMOSFET.

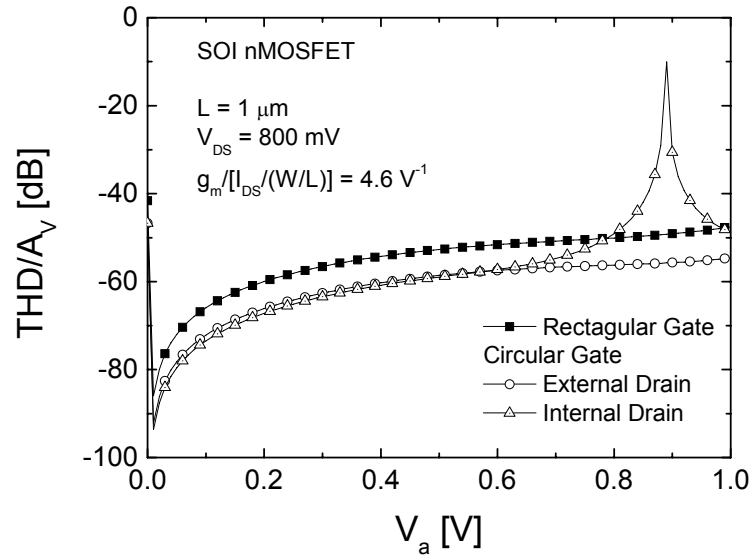


Figure 12 – THD/A_V versus V_a of the conventional and CGT with both configurations SOI nMOSFETs for $g_m/I_{DS}/(W/L)$ equal to 4.6 V^{-1} .

Observing figure 12, we note that THD/A_V of CGTs with external drain configuration presents improved linearity ($\cong 6 \text{ dB}$) than with internal drain configuration and conventional SOI nMOSFET for all values of V_a . The same behavior is noted for CGT with internal drain configuration up to $V_a < 0.7 \text{ V}$. After this value occurs the linearity degradation because mobility degradation. Besides, THD/A_V of CGT with internal drain configuration present a little improvement over external drain configuration for $V_a < 0.6 \text{ V}$.

Regarding figure 12, it can extract the maximum amplitude of input sinusoidal signal for a determined effective harmonic distortion, as presented in the Table I.

TABLE I. $\text{THD}/A_V \times V_a$ of the devices.

$\text{THD}/A_V \text{ [dB]}$	$V_a \text{ [V]}$		
	Conventional	Ext. Drain CGT	Int. Drain CGT
-80	0.02	0.04	0.05
-75	0.03	0.07	0.08
-70	0.06	0.12	0.15
-65	0.11	0.22	0.25
-60	0.2	0.42	0.44
-55	0.36	0.96	0.69

Analyzing table I, regarding the same effective Total Harmonic Distortion over the voltage gain ratio, it can be seen that CGT with both drain configurations get to amplify input sinusoidal signal with higher amplitudes. So, it is possible to amplify sinusoidal signals with higher amplitudes in order to generate the same linearity by using CGTs instead of conventional transistor, mainly for CGT with external drain configuration.

In the figure 13 is presented $HD3/A_V \times V_a$ for CGT with both configurations and conventional transistor.

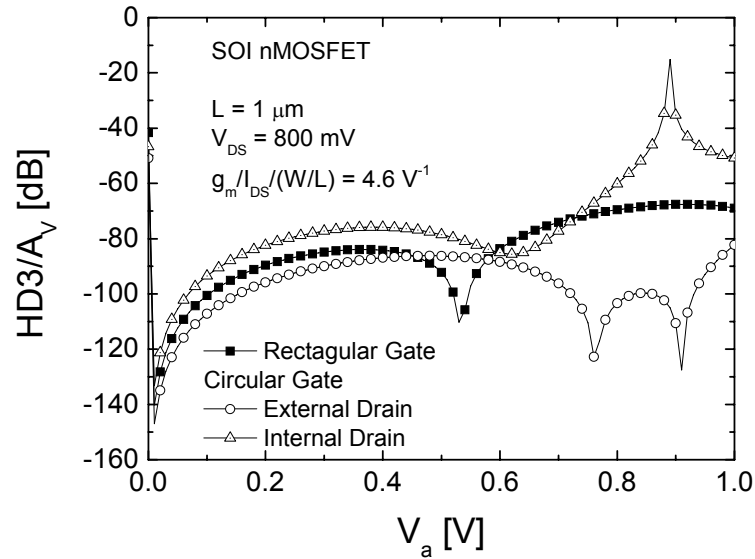


Figure 13 – $HD3/A_V$ versus V_a of the rectangular and circular gate SOI nMOSFETs for $g_m/I_{DS}/(W/L)$ equal to 4.6 V^{-1} .

THD/A_V of CGT with internal drain is more strongly affected by HD3 than CGT with external drain configuration and conventional transistor for practically all values of V_a .

As observed before, $HD3/A_V$ is much smaller than THD/A_V for all devices, but THD/A_V of CGT with internal drain is more strongly affected by HD3 than CGT with external drain configuration and rectangular gate transistor for all values of V_a .

Conclusions

This work gives an experimental comparative study of Harmonic distortion or Linearity between circular gate transistor operating with external and internal configurations and conventional SOI nMOSFETs, using $0.13 \mu\text{m}$ Partially-Depleted SOI CMOS technology.

The Integral Function Method (IFM) is used to determine the total harmonic distortion (THD) and third order harmonic distortion (HD3) in order to perform this study.

Regarding the drain/source asymmetric dimensions effects, it is observed that circular gate transistor operating with external drain configuration presents higher linearity than with internal drain configuration and conventional SOI nMOSFET for all device operation regions, mainly in moderate and strong inversion, due to improved Early voltage.

In the strong inversion region, circular gate transistor operating with external drain configuration can amplify sinusoidal signals with higher amplitudes in order to produce the same harmonic distortion than with internal drain configuration and conventional transistor.

So, for high frequency analog applications where the transistor is biased in strong inversion, the use of circular gate transistor operating with internal drain configuration instead conventional SOI nMOSFET in order to have improved linearity.

Acknowledgements

The authors would like to thank João Antonio Martino from LSI/EPUSP and Cor Claeys from IMEC for supplying the devices, Antonio Cerdeira from CINVESTAV-IPN and Marcelo Antonio Pavanello from Centro Universitário da FEI for supplying IFM software and BeSafer Intelligence directors for financial support.

References

1. A. Cerdeira, M. A. Alemán, M. Estrada and D. Flandre, *Solid State Electronics*, vol. 48, no. 12, p. 2225, 2004.
2. A. Cerdeira, M. Estrada, R. Quintero, D. Flandre, A. Ortiz-Conde and F. J. García-Sánchez, *Solid State Electronics*, vol. 46, p. 103, 2002
3. M. A. Pavanello, A. Cerdeira, J. A. Martino, J. P. Raskin and D. Flandre, *6TH International Caribbean Conf. in Devices, Circuits and Systems*, Mexico, Apr. 26-28, 2006.
4. A. Cerdeira, M. A. Alemán, M. A. Pavanello, J. A. Martino and D. Flandre, *IEEE Transactions on Electron Devices, Circuits and Systems*, vol. 52, no. 5, p. 967, May 2005.
5. M. de Souza, M. A. Pavanello, A. Cerdeira and D. Flandre, *Proc. 25TH International Conference on Microelectronics (Miel 2006)*, Belgrade, Serbia and Montenegro, 14-17 May 2006.
6. S. P. Gimenez, R. M. G. Ferreira and J. A. Martino, *SBMicro 2006*, vol. 4, p. 319, 2006.
7. J. P. Colinge, *Silicon-On-Insulator Technology: Materials to VLSI*, p. 111, Kluwer Academic Publishers, United States of America, 2004.
8. Cristoloveanu, S., *Electrical Characterization of Silicon-on-Insulator materials and devices*, 2o Edition, Boston, Kluwer Academic Publishes, 1995.
9. K. Terada, K. Nishiyama and K. Hatanaka, *Solid-State Electronics*, vol. 45, p. 35, 2001.