CENTRO UNIVERSITÁRIO DA FEI
GABRIEL AUGUSTO DA SILVA

ESTUDO DO USO DA GEOMETRIA DE PORTA DO TIPO MEIO-DIAMANTE DA SEGUNDA GERAÇÃO DE ESTILOS DE LEIAUTE NÃO CONVENCIONAIS PARA MOSFETS

São Bernardo do Campo
2023

GABRIEL AUGUSTO DA SILVA

ESTUDO DO USO DA GEOMETRIA DE PORTA DO TIPO MEIO-DIAMANTE DA SEGUNDA GERAÇÃO DE ESTILOS DE LEIAUTE NÃO CONVENCIONAIS PARA MOSFETS

Tese de Doutorado apresentada ao Centro Universitário FEI, como parte dos requisitos necessários para obtenção do título de Doutor em Engenharia Elétrica. Orientado pelo Dr. Prof. Salvador Pinillos Gimenez.

São Bernardo do Campo

2023

da Silva, Gabriel Augusto.
Estudo do uso da geometria de porta do tipo meio-diamante da segunda geração de estilos de leiaute não convencionais para MOSFETs / Gabriel Augusto da Silva. São Bernardo do Campo, 2023.
121 f. : il.

Tese - Centro Universitário FEI.
Orientador: Prof. Dr. Salvador Pinillos Gimenez.

1. Estilos de Leiaute. 2. Meio-Diamante. 3. Modelagem Matemática. 4. Caracterização Elétrica. 5. Simulação Numérica Tridimensional. I. Gimenez, Salvador Pinillos, orient. II. Título.

Elaborada pelo sistema de geração automática de ficha catalográfica da FEI com os dados fornecidos pelo(a) autor(a).

centro universitário FEI

APRESENTAÇÃO DE TESE
ATA DA BANCA EXAMINADORA

Programa de Pós-Graduação Stricto Sensu em Engenharia Elétrica

Doutorado

PGE-10

Aluno(a): Gabriel Augusto da Silva **Matrícula:** 518201-9

Título do Trabalho: ESTUDO DO USO DA GEOMETRIA DE PORTA DO TIPO MEIO-DIAMANTE DA SEGUNDA GERAÇÃO DE ESTILOS DE LEIAUTE NÃO CONVENCIONAIS PARA MOSFETS

Área de Concentração: Nanoeletrônica e Circuitos Integrados

Orientador(a): Prof. Dr. Salvador Pinillos Gimenez

Data da realização da defesa: 01/03/2023 ORIGINAL ASSINADA

Avaliação da Banca Examinadora:

Aprovado por unanimidade, sua apresentação foi tecnicamente adequada e respondeu satisfatoriamente os questionamentos da banca. Além disso o aluno terá um prazo de 60 dias para atender as correções necessárias sugeridas pela banca.

A Banca Julgadora acima-assinada atribuiu ao aluno o seguinte resultado:

APROVADO ☐ REPROVADO ☐

MEMBROS DA BANCA EXAMINADORA

Prof. Dr. Salvador Pinillos Gimenez

Prof. Dr. Rodrigo Trevisoli Doria

Profª Drª Milene Galeti

Profª Drª Talitha Nicoletti Régis

Prof. Dr. Marcelo Bariatto Andrade Fontes

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz

AGRADECIMENTOS

Agradeço a meus pais pelo apoio incondicional, não só durante esta pesquisa, como durante toda a minha vida.

Ao meu orientador Prof. Dr. Salvador Pinillos Gimenez pelo apoio longo de todo o percurso do doutorado. Apoio este que foi técnico, me auxiliando no desenvolvimento de todo o trabalho, mas também foi moral, incentivando e compreendendo todos os problemas que tivemos que superar ao longo de todos esses anos.

Aos meus colegas, hoje já doutores, Egon e Flávio, que me auxiliaram nas simulações numéricas tridimensionais.

Ao corpo docente do Centro Universitário da FEI, que sempre foi solícito em todas às demandas que eventualmente tive e que me auxiliou, em especial, no cumprimento dos créditos obrigatórios do curso que trouxeram conhecimentos relevantes e que foram importantes de fato durante o desenvolvimento do trabalho.

À instituição do Centro Universitário da FEI, que forneceu todas as ferramentas necessárias para que eu tivesse condições de executar este trabalho.

Ao programa Mini@sic e ao Programa APCI-SBMicro, coordenado pelo Prof. Jacobus Willibrordus Swart e ao Imec, que através do programa de fabricação gratuita de Circuitos Integrados do CNPq, possibilitou a manufatura dos dispositivos utilizados nesta tese de doutorado e ainda deu todo o suporte nos eventuais problemas encontrados durante o processo de leiaute e fabricação.

À Coordenação de Aperfeiçoamento de Pessoal de Nível Superior – CAPES, ao CNPq e a FAPESP que fomentou esta pesquisa e também a pesquisa de minha dissertação de mestrado.

"Apressa-te a viver bem e
pensa que cada dia é, por si só,
uma vida."
Sêneca

RESUMO

Altos recursos são desprendidos em pesquisas e muitos estudos continuam sendo realizados para reduzir as dimensões dos Transistores de Efeito de Campo Metal-Oxido-Semicondutor (*Metal-Oxide-Semiconductor Field Effect Transistors*, MOSFETs) a fim de melhorar suas características elétricas. Os estilos de leiaute do tipo Diamante, Octo e Elipsoidal para MOSFETs são exemplos dos inovadores formatos de porta (primeira geração), que foram patenteado no Brasil pelo Centro Universitário FEI, e que são capazes também de potencializar os desempenhos elétricos, principalmente os analógicos desses transistores, sem gerar qualquer custo extra para o atual e estabelecido processo de fabricação de Circuitos integrados (CIs) Metal-Óxido-Semicondutor Complementar (*Complementary Metal-Oxide-Semiconductior*, CMOS). Buscando melhorar ainda mais o desempenho elétricos dos MOSFETs, esse projeto de pesquisa visa estudar o primeiro elemento dos estilos de leiaute de porta para MOSFETs da segunda geração, isto é o "Meio-Diamante". Esse estilo de leiaute híbrido tem por objetivo reduzir ainda mais os comprimentos de canais dos MOSFETs em relação aos que foram alcançados pelo estilo de leiaute do tipo Diamante, e portanto são capazes de reduzir ainda mais a área de silício gasta pelos CIs CMOS analógicos. Por exemplo, alguns dos principais resultados encontrados por este projeto de pesquisa mostraram que o MOSFET do tipo Meio-Diamante foi capaz de alcançar um aumento na corrente de dreno de saturação, um aumento na frequência de ganho de tensão unitário e uma redução de resistência de estado ligado de 21%, 28% e 21%, respectivamente, que aquelas encontradas pelo MOSFET do tipo retangular equivalente, considerando-se que os dispositivos apresentam as mesmas áreas de porta, as mesmas larguras de canal e as mesmas condições de polarização. Portanto, segundo os resultados obtidos por este projeto de pesquisa, o estilo de leiaute de porta do tipo Meio-Diamante da segunda geração pode ser considerado uma outra alternativa para também potencializar ainda mais o desempenho elétrico dos MOSFETs, principalmente para aquelas aplicações de CIs CMOS analógicos, sem causar qualquer custo adicional para o processo de fabricação planar que são utilizados atualmente.

Palavras-chave: Estilos de Leiaute, Meio-Diamante, Segunda Geração, Modelagem Matemática, Caracterização Elétrica, Simulação Numérica Tridimensional.

ABSTRACT

High resources are spent in research and many studies continue to be carried out to reduce the dimensions of Metal-Oxide-Semiconductor Field Effect Transistors (MOSFETs) in order to improve their electrical characteristics. The layout styles of the Diamond, Octo and Ellipsoidal types for MOSFETs are examples of the innovative layout styles (first generation), which were patented in Brazil by the Centro Universitario FEI, and which are also capable of enhancing the electrical performances, especially the analog ones of these transistors, without generating any extra cost for the current and established process of manufacturing Complementary Metal-Oxide-Semiconductor (CMOS) Integrated Circuits (ICs). Seeking to further improve the electrical performance of MOSFETs, this research project aims to study the first element of the second generation of layout styles for MOSFETs, namely the "Half-Diamond". This hybrid layout style aims to further reduce the channel lengths of the MOSFETs compared to those achieved by the Diamond-type layout style, and therefore being able to further reduce the silicon die area consumed by analog CMOS ICs. For example, some of the key results found by this research project showed that the Half-Diamond type MOSFET was able to achieve a higher saturation drain current, a higher unity voltage gain frequency, and lower on-state resistance of 21%, 28% and 21% higher, respectively, than those found by the equivalent rectangular-type MOSFET, considering the same gate area, the same channel width and the same bias conditions. Therefore, according to the results achieved by this research project, the Half-Diamond layout style can be considered an alternative to enhance the electrical performance of MOSFETs, mainly for applications of analog CMOS ICs, without causing any additional cost to the planar manufacturing process that are currently used

Key-words: Layout Style, Half-Diamond, Mathematical Modeling, Electric Characterization, Second Generation, Three-dimensional numerical simulations.

LISTA DE SÍMBOLOS

A_G	Área de porta [μm^2]
A_T	Área total [μm^2]
A_V	Ganho de tensão do transistor [V/V]
α	Ângulo que define a geometria de porta do MOSFET dos tipos Diamante e OCTO [em graus ou radiano]
b	Menor comprimento de canal em um MD, MO, MMD e MMO [μm]
B	Maior comprimento de canal em um MD, MO, MMD e MMO [μm]
B'	A diferença entre B e b no MD [μm]
C_{OX}	Capacitância do óxido de porta do MOSFET [F/cm²]
$\vec{\varepsilon}_{//}$	Vetor do campo elétrico longitudinal do MD, MO e ME [kV/cm]
$\vec{\varepsilon}_{//_MMD}$	Vetor do campo elétrico longitudinal resultante do MOSFET do tipo Meio-Diamante [kV/cm]
$\vec{\varepsilon}_T$	Vetor do campo elétrico longitudinal resultante do ME [kV/cm]
f_T	Frequência de ganho de tensão unitário [Hz]
G_{LCE}	Ganho da I_{DS} devido ao efeito LCE
G_{PAMDLE}	Ganho da I_{DS} devido ao efeito PAMDLE
G_{TOTAL}	Ganho total da I_{DS} do MMD em relação a de um convencional equivalente
g_m	Transcondutância de entrada [S]
$g_{m_máx}$	Transcondutância de entrada máxima [S]
I_{DS}	Corrente entre dreno e fonte do MOSFET [A]
I_{DS_MC}	Corrente entre dreno e fonte do MC [A]
I_{DS_MD}	Corrente entre dreno e fonte do MD [A]
I_{DS_SAT}	Corrente entre dreno e fonte de saturação do MOSFET [A]
I_{LEAK}	Corrente de fuga de dreno do MOSFET [A]
I_{OFF}	Corrente de dreno de estado desligado do MOSFET [A]
I_{ON}	Corrente de dreno de estado ligado do MOSFET [A]
I_{ON} / I_{OFF}	Razão entre a corrente de estado ligado e a corrente de estado desligado do MOSFET
μ_N	Mobilidade dos elétrons no silício [cm^2/V.s]
L	Comprimento de canal do MOSFET [μm]
L_{EFF}	Comprimento efetivo de canal do MOSFET [μm]

L_{eff_MMD}	Comprimento efetivo de canal do MMD [µm]
L_{geo}	Comprimento médio geométrico de canal [µm]
L_{min}	Comprimento mínimo de canal permitido pela tecnologia de fabricação de CIs CMOS do MOSFET [µm]
R_{ON}	Resistência de estado ligado entre dreno e fonte do MOSFET [Ω]
SiO_2	Óxido de Silício
V_{DS}	Tensão entre dreno e fonte no MOSFET [V]
V_{EA}	Tensão Early [V]
V_{GS}	Tensão entre porta e fonte no MOSFET [V]
V_{GT}	Sobre-tensão de porta [V]
V_{TH}	Tensão de limiar do MOSFET [V]
W	Largura de canal do MOSFET [µm]

LISTA DE ABREVIATURAS

CI	Circuito Integrado
CMOS	Complementary metal–oxide–semiconductor
CNPq	Conselho Nacional de Desenvolvimento Científico e Tecnológico
DEPAMBBRE	*Deactivate the Parasitic MOSFETs of the Bird's Beak Regions Effect* (Efeito de Desativação dos MOSFETs Parasitários na Região de Bico de Pássaro)
DRC	*Design Rules Check* (Verificação de regras de projeto),
IMEC	*Interuniversity Microelectronics Centre*
LCE	*Longitudinal Corner Effect* (Efeito de Campo Longitudinal)
MC	MOSFET com estilo de leiaute Convencional (geometria de porta retangular)
MD	MOSFET com estilo de leiaute do tipo Diamante (estilo de porta hexagonal)
MMD	MOSFET com estilo de leiaute do tipo Meio-Diamante
MEP	*MOSIS Educational Program* (Programa Educacional da MOSIS)
MOS	*Metal-Oxide-Semiconductor* (Metal-Óxido-Semicondutor)
MOSFET	*Metal-Oxide-Semiconductor Field-Effect Transistor* (Transistor de Efeito de Campo Metal-Óxido-Semicondutor)
MOSIS	*Metal-Oxide-Semiconductor Implementation Service*
MPW	*Multi-Project-Wafer* (Lâmina de múltiplos projetos)
nMOSFET	MOSFET do tipo N
PAMDLE	*Parallel Association of MOSFETs with Different Channel Lengths Effect* (Efeito da Associação Paralela de MOSFETs com Diferentes Comprimentos de Canal)
pMOSFET	MOSFET do tipo P
PDK	*Project Development Kit* (*kit* de desenvolvimento de projetos).
RLEF	Campo elétrico longitudinal resultante
SS	Inclinação de sublimiar
TBJ	Transistor Bipolar de Junção
TCAD	*Technology Computer Aided Design* (Tecnologia de projeto assistido por computador)
TSMC	*Taiwan Semiconductor Manufacturing Company*

LISTA DE ILUSTRAÇÕES

Figura 2.1 – O MOSFET do tipo N. 24
Figura 2.2 – O MOSFET do tipo P. 25
Figura 2.3 – O MOSFET do tipo N operando na região de corte sem tensão aplicada na região de porta. 26
Figura 2.4 – MOSFET do tipo N operando na região de Triodo. 27
Figura 2.5– MOSFET do tipo N operando na região de Saturação. 28
Figura 2.6 – Vista superior de um exemplo de um nMOSFET do tipo Diamante. 30
Figura 2.7 – Exemplo de um MD representado com N' MOSFETs convencionais associados em paralelo. 32
Figura 2.8 – Campo elétricos longitudinais na estrutura de um MD. 34
Figura 2.9 – Imagem ressaltando a interface entre dreno e porta em (a) um MOSFET com porta retangular e (b) um MOSFET do tipo Diamante. 35
Figura 2.10 – Exemplo de leiaute de um MOSFET do tipo Meio-Diamante utilizando tecnologia de fabricação de silício tipo "*Bulk*" 36
Figura 2.11 – Curva da segunda derivada da I_{DS} em função de V_{GS} para um V_{DS} de 50 mV para a obtenção do V_{TH} do MC 38
Figura 2.12– Circuito que representa um transistor trabalhando como uma chave em estado ligado, para um V_{DS} igual a 500 mV. 39
Figura 2.13 – Exemplo de um gráfico de log(I_{DS}) em função de V_{GS}, de um MOSFET do tipo convencional com V_{DS} igual a 50 mV ilustrando a caracterização elétrica de I_{ON}. 40
Figura 2.14– Circuito elétrico equivalente de um MOSFET operando como uma chave aberta. 41
Figura 2.15 – Exemplo de uma curva de log(I_{DS}) em função de V_{GS} de um MOSFET convencional considerando-se $V_{DS} = V_{DD}$ ilustrando a caracterização elétrica da I_{OFF}. 42
Figura 2.16 – Exemplo de o gráfico de I_{DS} em função de V_{DS}, considerando-se $V_{GS} = 1$ V, para a caracterização elétrica de R_{ON}. 43
Figura 2.17 – Exemplo de uma curva I_{DS} em função de V_{DS}, para V_{GS} igual a 500 mV, ilustrando a caracterização elétrica da I_{DS_SAT}. 44
Figura 2.18 – Exemplo de curva do logaritmo de I_{DS} em função de V_{GS} para um V_{DS} de 100 mV na escala mono-logarítmica. 45
Figura 2.19 – Exemplo de curva de I_{DS} em função de V_{DS}, para um V_{GS} de 500 mV, ilustrando como é feita a caracterização elétrica da V_{EA}. 46

Figura 2.20 – Esquema elétrico do circuito amplificador de sinais de um único MOSFET em configuração de fonte comum 47
Figura 3.1 – Exemplo de um leiaute de um MOSFET do tipo Meio-Diamante, ilustrando a interação das componentes vetoriais dos campos elétricos longitudinais e seu correspondente vetor campo elétrico longitudinal resultante num ponto X do canal. 49
Figura 3.3.2 – Circuito elétrico equivalente de um MMD Associação paralela de MOSFETs. 50
Figura 4.1 – Exemplo de uma tela de checagem de DRC utilizando a ferramenta Calibre. 54
Figura 4.2 – O leiaute do MC utilizado nesse estudo. 55
Figura 4.3 – O leiaute do MD utilizado nesse estudo. 55
Figura 4.4 - O leiaute do MMD utilizado nesse estudo. 56
Figura 4.5 – Exemplo de erro apontado pelo DRC desse processo de fabricação de CIs CMOS que não foi possível ser eliminado, pois o formato de uma geometria não convencional de porta não é previsto. 57
Figura 5.1 – Equipamentos utilizados no laboratório de medidas: analisador de parâmetros de dispositivos semicondutores Keithley 4200 SCS à esquerda e o microprovador *Cascade* à direita 59
Figura 5.2 – Exemplo de imagem obtida com o auxílio do microscópio de um dos MOSFETs estudados por este projeto de pesquisa. 60
Figura 5.3 – Exemplo de uma tela do analisador *Keithley 4200 SCS* contendo uma curva do log(I_{DS}) em função de V_{GS}, para um determinado valor de V_{DS}, de um dos MOSFETs estudados por este projeto de pesquisa. 61
Figura 5.4 – Exemplo de malha da grade do MOSFET do tipo Meio-Diamente feito para realizar uma simulação numérica tridimensional indicando o corte "C" realizado para estudo dos parâmetros elétricos dos MOSFETs. 63
Figura 6.1 – Imagem do campo elétrico total (vertical e longitudinal) resultante de um MMD realizado a 1nm abaixo da região da porta. (Mudar Porta (G) para região do canal)..... 66
Figura 6.2 – Curva do perfil do campo elétrico ao longo do canal do MOSFET tipo Meio-Diamante para um V_{DS} = 1 V e V_{GS} = 1 V. 67
Figura 6.3 - Imagem do MMD mostrando o potencial elétrico na região do canal com localizado 1 nm abaixo da região da porta. (Vide anterior: porta/região de canal)..... 68
Figura 6.4 - Curva do perfil do potencial ao longo do canal do MOSFET tipo Meio-Diamante para um V_{DS} = 1 V e V_{GS} = 1 V 69

Figura 6.5 - Imagem do MMD mostrando a densidade de corrente elétrica na região do canal com localizado 1 nm abaixo da região da porta. (vide)..... 70
Figura 6.6 – As curvas simuladas de $I_{DS}/(W/L_{geo})$ em função de V_{DS} do MMD (azul), MD (vermelho) e MC (preto), considerando-se uma V_{GT} igual a 100 mV. 73
Figura 6.7 – As curvas simuladas de gm/(W/L_{geo}) em função de V_{GT} do MC (preto), MD (vermelho) e MMD (azul), considerando-se um valor de V_{DS} igual a 500 mV 75
Figura 6.8 – As curvas simuladas de $I_{DS}/(W/L_{geo})$ em função de V_{DS} do MC (preto), MD (vermelho) e MMD (azul), respectivamente, para um V_{GT} = 100 mV..... 77
Figura 6.9 – As curvas simuladas de $I_{DS}/(W/L_{geo})$ em função de V_{DS} do MMD (azul), MD (vermelho) e MC (preto), considerando-se uma V_{GT} igual a 100 mV, indicando os valores das $I_{DS}/(W/L_{geo})$ utilizadas no cálculo de A_{V0}. 78
Figura 6.10 – Curvas características simuladas de $I_{DS}/(W/L_{geo})$ em função de V_{GT} do MMD, do MD e do MC, respectivamente, para um valor de V_{DS} igual a 100 mV..... 81
Figura 6.11 – As curvas simuladas log $I_{DS}/(W/L_{geo})$ em função de V_{GS} do MMD, MD e MC. 83
Figura 6.12 – As curvas simuladas de $I_{DS}/(W/L_{geo})$ em função de V_{DS} do MMD, MD e MC. 84
Figura 6.13 – As curvas medidas experimentalmente de $I_{DS}/(W/Lgeo)$ em função de V_{DS} do MMD, MD e MC..... 88
Figura 6.14 – As curvas medidas experimentalmente de g_m em função de V_{GS} do MMD, MD e MC. 90
Figura 6.15 – As curvas experimentais de $I_{DS}/(W/L_{geo})$ em função de V_{DS} para V_{GT} igual a 100 mV do MMD, MD e MC..... 91
Figura 6.16 – Curvas experimentais de $I_{DS}/(W/L_{geo})$ em função de V_{GT} de MMD, MD e MC. 94
Figura 6.17 – As curvas experimentais log $I_{DS}/(W/L_{geo})$ em função de V_{GS} do MMD, MD e dos MC. 96
Figura 6.18 – As curvas experimentais de $I_{DS}/(W/L_{geo})$ em função de V_{DS} do MMD, MD e MC..... 97

LISTA DE TABELAS

Tabela 4.1 Características dimensionais dos MOSFETs estudados por este projeto de pesquisa. 58
Tabela 6.1. Características dimensionais do MOSFETs estudados por este projeto de pesquisa. 65
Tabela 6.2. Valores de V_{TH} dos dispositivos estudados por este projeto de pesquisa..... 71
Tabela 6.3 Valores obtidos por simulação numérica tridimensional de $I_{DS_SAT}/(W/L_{geo})$ MMD, do MD e do MC respectivamente. 73
Tabela 6.4. Valores de $g_{m_máx}/(W/L_{geo})$ do MMD, do MD e do MC respectivamente..... 75
Tabela 6.5. Valores de V_{EAs} do MMD, do MD e do MC, respectivamente. 77
Tabela 6.6: Valores de A_{V0} do MMD, do MD e do MC, respectivamente. 79
Tabela 6.7. Valores simulados das $f_T/(W/L_{geo})$ do MMD, do MD e do MC, respectivamente. 80
Tabela 6.8. Valores simulados de $I_{ON}/(W/L)$ para o MMD, do MD e do MC respectivamente 82
Tabela 6.9. Valores simulados de $I_{OFF}/(W/L_{geo})$ para o MMD, do MD e do MC respectivamente 83
Tabela 6.10. Valores simulados de $R_{ON}/(L_{geo}/W)$ do MMD, do MD e do MC respectivamente 85
Tabela 6.11. Valores simulados de I_{ON}/I_{OFF} do MMD, do MD e do MC respectivamente. 85
Tabela 6.12. Quadro geral comparativo entre os parâmetros elétricos e figuras de mérito dos nMOSFETs..... 86
Tabela 6.13. V_{TH} dos dispositivos medidos experimentalmente. 87
Tabela 6.14 Valores obtidos experimentalmente de $I_{DS_SAT}/(W/L_{geo})$ MMD, do MD e do MC respectivamente. 89
Tabela 6.15 Valores obtidos experimentalmente de $g_{m_máx}$ MMD, do MD e do MC respectivamente. 91
Tabela 6.16. Valores obtidos experimentalmente de V_{EA} para o MMD, do MD e do MC respectivamente. 92
Tabela 6.17. Valores experimentais de A_{V0} para o MMD, do MD e do MC respectivamente 93
Tabela 6.18. Valores experimentais de $f_T/(W/L_{geo})$ do MMD, do MD e do MC respectivamente. 94

Tabela 6.19. Valores experimentais de $I_{ON}/(W/L)$ para o MMD, do MD e do MC respectivamente 95
Tabela 6.20. Valores experimentais de $I_{OFF}/(W/L_{geo})$ para o MMD, do MD e do MC respectivamente 96
Tabela 6.21. Valores experimentais de $R_{ON}/(L_{geo}/W)$ para o MMD, do MD e do MC respectivamente 98
Tabela 6.22. Valores experimentais de I_{ON}/I_{OFF} do MMD, do MD e do MC respectivamente. 99
Tabela 6.22. Quadro geral comparativo dos valores experimentais dos parâmetros e figuras de mérito. 99

SUMÁRIO

RESUMO **5**

ABSTRACT **6**

LISTA DE SÍMBOLOS **7**

LISTA DE ABREVIATURAS **9**

LISTA DE ILUSTRAÇÕES **10**

LISTA DE TABELAS **13**

1. INTRODUÇÃO **19**

1.1. Motivação 21

1.2. Objetivo 22

2. CONCEITOS FUNDAMENTAIS **23**

2.1. O MOSFET convencional do tipo enriquecimento implementado em lâmina do tipo convencional (Bulk) com geometria de porta retangular 23

2.2. O MOSFET do tipo N com geometria de porta do tipo Diamante 28

2.2.1. O Estilo de Leiaute do Tipo Diamante para MOSFETs (geometria de porta hexagonal) 29

2.2.1.1. Efeito de Canto Longitudinal (*Longitudinal Corner Effect*, LCE)..... 29

2.2.1.2. Efeito da Associação Paralela de MOSFETs com Diferentes Comprimentos de Canal (*Parallel Connections of MOSFETs with Different Channel Lengths Effect*, PAMDLE) 31

2.2.1.3. Desativação dos MOSFETs Parasitários nas Regiões de Bico de Pássaro" (*Deactivate the Parasitic MOSFETs of the Bird's Beak Regions Effect*, DEPAMBBRE) 33

2.2.2. Estilo do leiaute do tipo Meio-Diamante para MOSFETs da segunda geração 35

2.3. Principais Parâmetros Elétricos e Figuras de Mérito dos MOSFETs Estudados nesse Projeto de Pesquisa 37

2.3.1. A tensão de limiar (V_{TH}) 37

2.3.2. A corrente elétrica entre dreno e fonte de estado ligado (I_{ON}) 38

2.3.3. A corrente elétrica entre dreno e fonte de estado desligado (I_{OFF})..... 40

2.3.4. A Razão I_{ON}/I_{OFF} 42

2.3.5. A resistência série de estado ligado entre dreno e fonte (R_{ON}) 42

2.3.6. A corrente elétrica de dreno de saturação entre dreno e fonte (I_{DS_SAT}) 43

2.3.7. A inclinação de sublimiar..... 44

2.3.8. A transcondutância..... 45

2.3.9. A tensão Early (V_{EA})..... 46

2.3.10. O ganho de tensão intrínseco de um amplificador de um único estágio implementado com um único MOSFET..... 47

2.3.11. A frequência de ganho de tensão unitário 48

3. MODELAGEM ANALÍTICA DO MOSFET DO TIPO MEIO-DIAMANTE 49

4. CARACTERÍSTICAS DOS LEIAUTES DOS MOSFETS ESTUDADOS... 53

5. METODOLOGIA DE OBTENÇÃO DOS DADOS 59

5.1. Medidas Experimentais dos MOSFETs estudados..... 59

5.2. Simulações numéricas tridimensionais dos MOSFETs estudados 61

6. RESULTADOS OBTIDOS NESTE PROJETO DE PESQUISA..... 64

6.1. Resultados das simulações numéricas tridimensionais do MOSFET do tipo Meio-Diamante 64

6.1.1. Análise dos parâmetros elétricos e figuras de mérito obtidas a partir dos cortes feitos nos dispositivos por meio das simulações numéricas tridimensionais 65

6.1.2. Caracterizações elétricas dos parâmetros elétricos e das figuras de mérito dos dispositivos por meio das simulações numéricas tridimensionais..... 70

6.1.2.1. A tensão de limiar (V_{TH})..... 71

6.1.2.2. A corrente de saturação entre as regiões de dreno e fonte (I_{DS_SAT}) dos MOSFETs estudados 72

6.1.2.3. A transcondutância máxima ($g_{m_máx}$)..... 74

6.1.2.4. A tensão Early (V_{EA}) 76

6.1.2.5. O ganho de tensão de malha aberta de baixas frequências (A_{V0}) 78

6.1.2.6. A frequência de ganho de tensão unitário (f_T) 79

6.1.2.7. A corrente entre dreno e fonte de estado ligado (I_{ON}) 81

6.1.2.8. A corrente entre dreno e fonte de estado desligado (I_{OFF}) 82

6.1.2.9. Resistência de estado ligado entre dreno e fonte (R_{ON}) 84

6.1.2.10. Razão I_{ON}/I_{OFF} 85

6.1.3. Quadro geral comparativo entre os parâmetros elétricos e figuras de mérito considerados nas simulações numéricas tridimensionais dos nMOSFETs estudados por este trabalho 86

6.2. Resultados Experimentais comparativos para o MOSFET do tipo Meio Diamante 87

6.2.1. Caracterização elétrica dos parâmetros 87

6.2.1.1. A tensão de limiar (V_{TH}) 87

6.2.1.2. A corrente de saturação entre dreno e fonte (I_{DS_SAT}) 88

6.2.1.3. A transcondutância máxima ($g_{m_máx}/(W/L_{geo})$) 90

6.2.1.4. A tensão Early (V_{EA}) 91

6.2.1.5. O ganho de tensão de malha aberta de baixas frequências (A_{V0}) 93

6.2.1.6. A frequência de ganho unitário (f_T) 93

6.2.1.7. A corrente entre dreno e fonte de estado ligado (I_{ON}) 94

6.2.1.8. A corrente entre dreno e fonte de estado desligado (I_{OFF}) 96

6.2.1.9. Resistência de estado ligado entre dreno e fonte (R_{ON}) 97

6.2.1.10. Razão I_{ON}/I_{OFF} 99

6.2.2. Quadro geral comparativo dos parâmetros experimentais 99

7. CONCLUSÕES 101

8. Trabalhos futuros 102

9. Publicações ao longo do programa 102

10. REFERÊNCIAS 103

APÊNDICE A: Características Dimensionais dos Dispositivos Implementados 109

APÊNDICE B: Arquivo de simulação dos dispositivo 117

1. INTRODUÇÃO

O estudo da eletrônica é de suma importância para o desenvolvimento econômico da humanidade. A Lei de Moore, verificada pela primeira vez em 1965 postulou uma projeção de que a quantidade de transistores em uma mesma área de silício deveria dobrar a cada período de 18 a 24 meses. Essa projeção se tornou em grande parte verdadeira, basicamente sendo cumprida até os dias atuais. A evolução acelerada e constante nos equipamentos eletrônicos passou a gerar expectativa nos consumidores e na própria indústria em relação ao desenvolvimento tecnológico, sempre na expectativa de que dispositivos mais modernos e com melhores desempenhos fossem lançados ano a ano e nas possibilidades que esses dispositivos propiciam (SCHALLER, 1997). A ideia de um transistor foi patenteada em 1926 por Lilienfeld (LILIENFELD, 1930). Até então, a tecnologia predominante nos circuitos eletrônicos era a válvula termiônica, que consumia altos valores de potência elétrica e ocupava um espaço muito grande. Somente em 1947, o primeiro Transistor Bipolar de Junção (TBJ) foi funcionalmente implementado pelos Laboratórios Bell (BRINKMAN, HAGGAN e TROUTMAN, 1997). Esse feito deu início a era da eletrônica de estado sólido, baseada no conceito de que um sólido, como o silício, poderia ter a corrente elétrica controlada, dependendo de sua dopagem e de suas condições de polarização (SCHALLER, 1997).

Desde a invenção do primeiro Transistor de Efeito de Campo Metal-Óxido-Semicondutor (*Metal-Oxide-Semiconductor Field Effect Transistor*, MOSFET), a indústria dependeu fortemente da redução da área ocupada de silício desses dispositivos para evolução dos dispositivos eletrônicos, pois, dessa forma, era possível reduzir tanto o tamanho final do circuito integrado eletrônico, quanto na redução de seu consumo de energia elétrica. Essa foi uma abordagem efetiva por várias décadas, mas claramente não poderá ser adotada por tempo indeterminado (VENEMA, 2011). Apesar de algumas previsões terem sido feitas em relação ao fim ou a restrições do uso do silício como principal material semicondutor (SCHULZ, 1999), ele tem se mostrado resiliente com o passar dos anos, mantendo sua predominante importância até os dias de hoje. O desenvolvimento da eletrônica atual exige dispositivos cada vez menores, mais baratos e com melhor desempenho.

Devido a essa necessidade constante de melhoria do desempenho elétrico dos equipamentos eletrônicos e trabalhando para que eles sejam mais baratos, mais eficientes eletricamente e cada vez menores (SHAN SUN e SHEN, 2011), e considerando todas as limitações tecnológicas, surgiram outras formas de aprimorar o funcionamento dos

transistores visando manter a contínua evolução da indústria eletrônica. Essas formas alternativas de melhora são diferentes de reduzir de tamanho dos dispositivos, que sempre envolve custos financeiros na atualização do processo de fabricação. São por exemplo: I- Estudo de materiais alternativos para serem utilizados nos processos de fabricação de circuito integrados (CIs) Metal-Oxido-Semicondutor Complementar (Complementary Metal-Oxide-Semiconductor, CMOS) atual, podendo assim melhorar as características elétricas do dispositivo (GUPTA, YADAVA e CHAUHAN, 2018); II- Estudo de novas estruturas, como o FinFET, que tem como objetivo modificar a estrutura básica tradicional do MOSFET planar e, por consequência, alcançar melhores desempenhos elétricos (TAKEUCHI, M, *et al.*, 2018); III- Estudo de novos processos de fabricação, visando melhorar os métodos do processo produtivo, podendo influenciar diretamente no tamanho e no desempenho elétrico dos dispositivos (C.CHUANG, CHEN, *et al.*, 2014). Todos esses estudos têm entregado enormes contribuições à comunidade científica da área da eletrônica, possibilitando a integração de bilhões de transistores dentro de um único CI CMOS. Para se implementar algumas dessas soluções inovadoras e eficazes, de forma geral, é necessário o acesso à tecnologia de ponta e processos de fabricação dos mais complexos que a indústria de nanotecnologia tem a oferecer. Esses processos podem sofrer com anomalias que, por menor que sejam, podem gerar alterações indesejadas e muitas vezes imprevisíveis no comportamento elétrico dos dispositivos (SAHA, 2014). Por consequência, esses processos de fabricação acabam se tornando ainda mais caros do que os até então utilizados, o que pode elevar os preços dos CIs CMOS (GEIGER, ALLEN e STRADER, 1990). Devido a esses fatores, soluções simples e baratas, efetuadas ainda na etapa de leiaute, são muito desejáveis e bem vindas para aumentar o desempenho elétrico dos CIs CMOS (LIMA e GIMENEZ, 2009).

Com o objetivo de propor outras alternativas para melhorar também o desempenho elétrico dos MOSFETs, que ainda são pouco exploradas pela comunidade científica e pelas indústrias de dispositivos semicondutores e de CIs CMOS, esse projeto de pesquisa visa dar continuidade ao estudo de novas propostas de geometrias de porta para a implementação dos leiautes dos MOSFETs (GIMENEZ, ALATI, *et al.*, 2011). Essa técnica vem mostrando, em diversos estudos anteriores, que é capaz de melhorar o desempenho elétrico dos MOSFETs, principalmente aqueles parâmetros elétricos relacionados a aplicações analógicas e também a tolerância a radiações ionizantes. (DE SOUZA FINO, GIMENEZ, *et al.*, 2013). Dentre os estudos sobre MOSFETs com geometria de porta não convencional, pode-se citar (SILVA e GIMENEZ, 2014) que mostra que o MOSFET do tipo Diamante consegue obter ganhos na

forma de MOSFET Planar de Potência (GALEMBECK, RENAUX, *et al.*, 2021) que demonstra que o MOSFET do tipo Diamante mantém ganhos mesmo trabalhando em altas temperaturas, (PERUZZI, CRUZ, *et al.*, 2019) que demonstra a melhora a tolerância a radiação ionizante proporcionada pelo MOSFET do tipo Diamante.

Alguns dos dispositivos com geometrias de porta não convencionais, como o Diamante, Octo, *Fish*, *Wave*, Elipsoidal, já foram e ainda estão sendo estudados devido aos seus resultados nas mais diversas aplicações de CIs CMOS, porém, tratando-se dos dispositivos com geometrias de porta dos tipos hexagonal (Diamante), octogonal (Octo) e Elipsoidal, verifica-se que os seus comprimentos de canal não podem alcançar as dimensões mínimas permitidas pelo processo de fabricação de CIs CMOS. Isso ocorre devido à própria natureza geométrica desses tipos de estilos de leiaute. Dessa forma, novas geometrias de leiaute foram propostas, buscando a evolução desses predecessores estilos de leiaute estudados a partir da redução do comprimento efetivo de canal que pode ser alcançado modificando essas geometrias já consolidadas de modo a se alcançar um dispositivo híbrido entre um MOSFET com geometria convencional retangular e um MOSFET de uma dessas geometrias inovadoras (SILVA e GIMENEZ, 2022).

1.1. Motivação

A implementação de dispositivos não convencionais de geometria de porta é motivada pela possibilidade da melhoria do desempenho elétrico dos MOSFETs, sem o aumento de custos de produção, resultando na redução da área de silício utilizada por CIs CMOS onde são utilizados. Além disso, o estudo de geometrias não convencionais de porta pode representar um ganho extra em projetos em que outras melhorias tecnológicas tenham sido utilizadas, podendo então representar um aumento extra de desempenho junto com outros ganhos obtidos em outras vertentes de estudos de dispositivos semicondutores (ALATI, 2012) (GIMENEZ e ET AL., 2012) (DE SOUZA FINO, GIMENEZ, *et al.*, 2013).

Portanto, a motivação deste trabalho de pesquisa é o de aprimorar os leiautes não convencionais de porta da primeira geração (Diamante, Octo e Elipsoidal) para MOSFETs, que por si só, já demonstram que são capazes de aumentar o desempenho elétrico e tolerância à radiação ionizante em diversas aplicações de CIs CMOS. Portanto, a proposta deste projeto de pesquisa é o de estudar o primeiro elemento da segunda geração de estilos de leiaute de porta para MOSFETs, que é formada pelos estilos de leiaute do tipo Meio-Diamante, Meio-Octo e Meio-Elipsoidal, isto é, o já citado Meio-Diamante, que tem por objetivo conseguir

reduzir ainda mais os comprimentos de canal dos MOSFETs, em relação aqueles que foram alcançados pelos elementos da primeira geração de estilos de leiaute, preservando os efeitos LCE, PAMDLE e DEPAMBBRE. Até o presente momento, as geometrias de porta não convencionais para MOSFETs da primeira geração de estilos de leiaute, são utilizadas principalmente nas aplicações de CIs CMOS analógicos, que não utilizam as dimensões mínimas permitidas pelo processo de fabricação. No entanto, a segunda geração de estilos de leiaute de porta representam um passo importante no sentido de serem utilizados também nas aplicações digitais, nos quais os MOSFETs são projetados com as mínimas dimensões permitidas pelo processo de fabricação de CIs CMOS.

1.2. Objetivo

Esse projeto de pesquisa objetiva estudar o primeiro elemento da segunda geração de estilos de leiaute para MOSFETs, isto é, o Meio-Diamante, desde a sua concepção, a implementação do seu leiaute, respeitando-se as regras de projeto do processo de fabricação, a sua modelagem matemática e as suas caracterizações elétricas por meio das simulações numérica tridimensionais e por meio de experimentos, utilizando-se a tecnologia de fabricação planar de CIs CMOS (*Bulk*) da TSMC de 180 nm.

2. CONCEITOS FUNDAMENTAIS

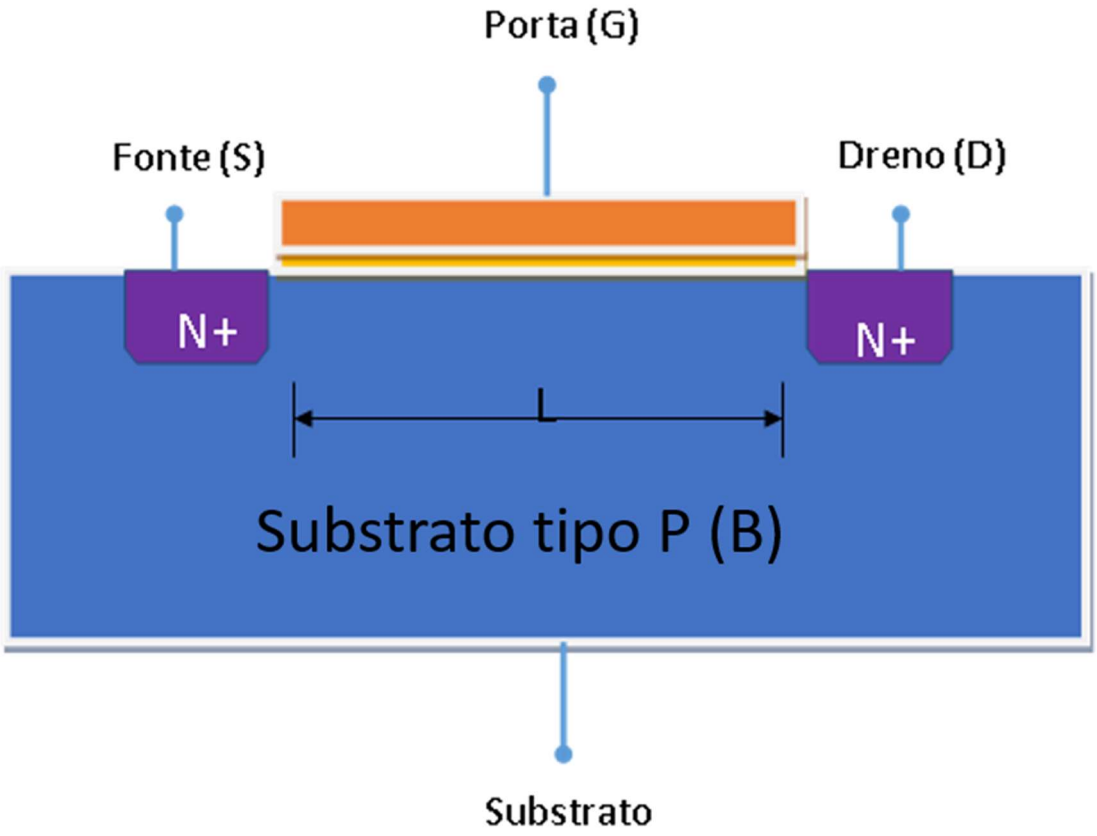
Neste capítulo serão apresentados os principais conceitos fundamentais que são necessários para a compreensão deste trabalho de pesquisa.

2.1. O MOSFET convencional do tipo enriquecimento implementado em lâmina do tipo convencional (Bulk) com geometria de porta retangular

O MOSFET é um dispositivo com quatro terminais, sendo Dreno ou *Drain* (D), Fonte ou *Source* (S), que são os terminais por onde flui a maior e principal corrente elétrica do dispositivo, a corrente entre dreno e fonte (I_{DS}), Porta ou *Gate* (G), que é o terminal de controle da corrente I_{DS}, e Substrato ou *Bulk* (B), que tem o objetivo de polarizar a lâmina do dispositivo, evitando correntes parasitárias. As regiões de dreno e fonte são dopadas, que é o processo que o silício passa para que sejam adicionadas impurezas e é capaz de tornar o material semicondutor com predominância de portadores de cargas doadoras (substrato tipo N) ou aceitadoras (substrato tipo P) (COLINGE e COLINGE, 2002).

O MOSFET do tipo enriquecimento, canal do tipo N (SEDRA e SMITH, 2007) é o objeto de estudo desse trabalho de pesquisa. Em primeira aproximação, um canal de condução se forma entre a região de dreno e a região de fonte, quando a tensão entre porta e fonte (V_{GS}) é maior que a sua tensão de limiar (V_{TH}). O MOSFET opera em três regiões: corte, tríodo e saturação (SEDRA e SMITH, 2007). A Figura 2.1 mostra um MOSFET do tipo enriquecimento com canal do tipo N.

Figura 2.1 – O MOSFET do tipo N.

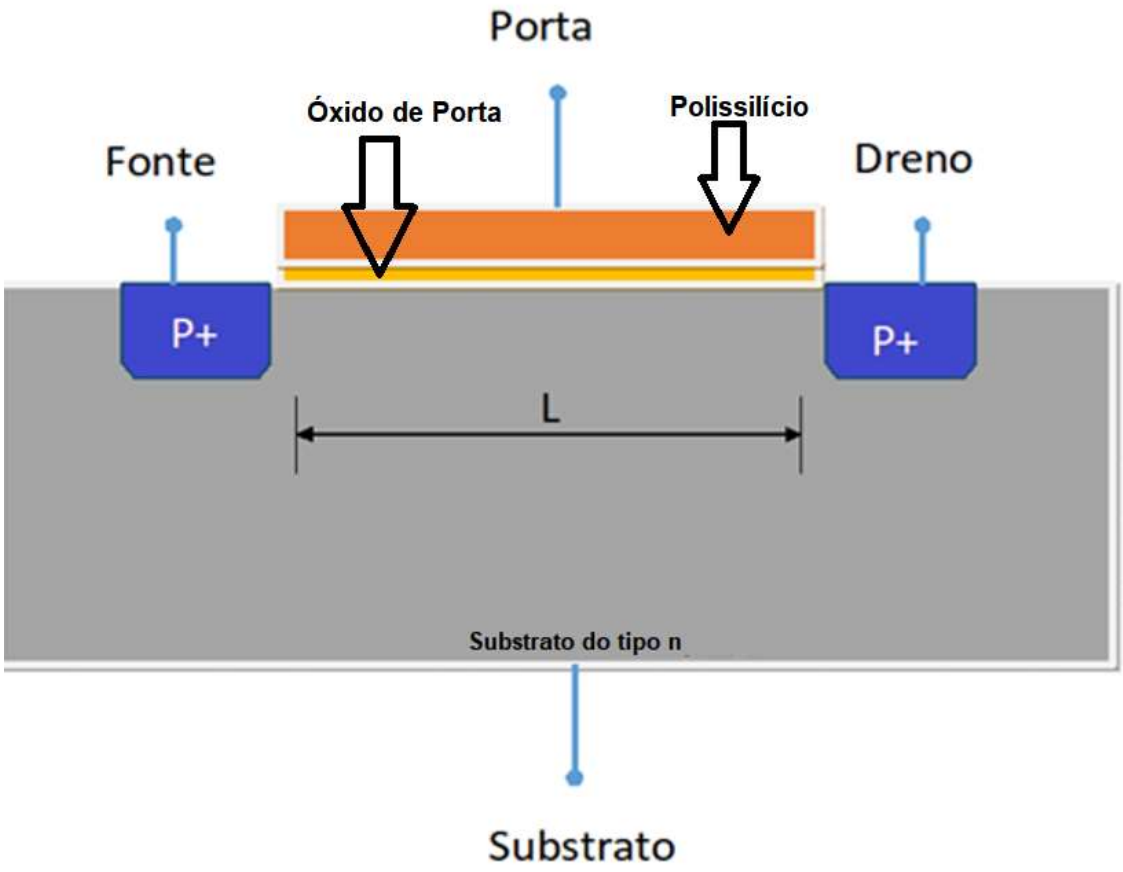


Fonte: Autor

Na Figura 2.1, L é o comprimento de canal do MOSFET e as regiões N+ são as regiões do dreno e da fonte, sendo essas regiões fortemente dopadas, com impurezas de do tipo doadora. Ele é construído em um substrato com dopagem do tipo P (COLINGE e COLINGE, 2002).

Alternativamente, tem-se o MOSFET do tipo enriquecimento, de canal do tipo P ou pMOSFET, que tem regiões de dreno e fonte fortemente dopados com cargas aceitadoras (P+), sendo construído em um substrato com dopagem do tipo N (Figura 2.2) (SEDRA e SMITH, 2007).

Figura 2.2 – O MOSFET do tipo P.

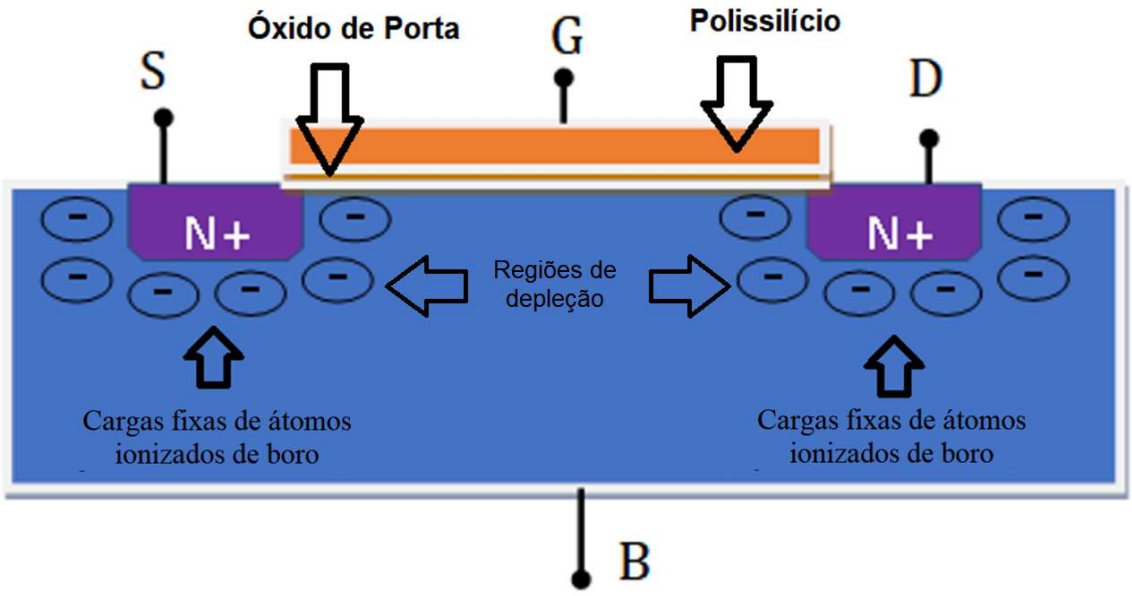


Fonte: Autor

A região de porta é formada pelo chamado capacitor Metal-Óxido-Silício (*Metal-Oxide-Silicon*, MOS). Ele tem esse nome por ser formado pelo silício policristalino que funciona como um condutor, por um dielétrico formado pelo dióxido de silício (SiO_2) fino, que serve para evitar que uma corrente flua por esse contato, além do material semicondutor, que é definido pelo substrato do tipo P. Um MOSFET do tipo N (nMOSFET), quando polarizado com uma tensão entre a região de porta e a região de fonte (V_{GS}) maior ou igual a tensão de limiar (V_{TH}), terá a formação de uma camada de condução sob a região de porta, por onde poderá fluir uma corrente elétrica com portadores de carga negativa (elétrons) entre as regiões de dreno e fonte (SZE e NG, 2007).

Um nMOSFET opera na região de corte nas seguintes situações: quando V_{GS} é menor que V_{TH} e quando não há tensão entre o dreno e a fonte (V_{DS}). Para esses casos, não há condução de corrente elétrica entre o dreno e a fonte (I_{DS}). (SZE e NG, 2007) A **Erro! Fonte de referência não encontrada.** ilustra essa situação.

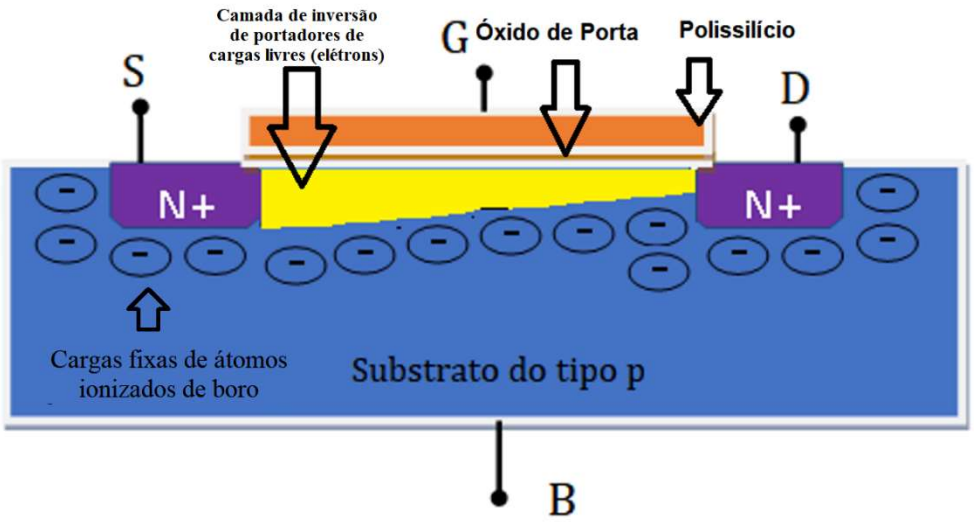
Figura 2.3 – O MOSFET do tipo N operando na região de corte sem tensão aplicada na região de porta.



Fonte: Autor

Uma vez que V_{GS} for maior ou igual a V_{TH}, se forma uma camada de inversão no substrato do tipo P, na interface entre a região de óxido de silício (SiO_2) e o substrato do tipo P, que é chamada canal, que possibilita a condução de uma corrente elétrica entre a fonte e o dreno, quando existe um determinado V_{DS} diferente de zero ($V_{DS} < V_{GS} - V_{TH}$) (SZE e NG, 2007) (Figura 2.4).

Figura 2.4 – MOSFET do tipo N operando na região de Triodo.



Fonte: Autor

Devido a existência da camada de inversão, é possível a condução de corrente elétrica entre o dreno e a fonte (I_{DS}) em um MOSFET do tipo enriquecimento com canal do tipo N. Essa corrente elétrica será proporcional à carga de inversão (Q_{INV}) e a velocidade de deriva dos portadores de cargas móveis ($\overrightarrow{v_d}$) [Equação (1)] (COLINGE e COLINGE, 2002).

$$\overrightarrow{I_{DS}} = Q_{INV}.\overrightarrow{v_d} = Q_{INV}.\mu_N.\overrightarrow{\varepsilon_{//}} \quad (1)$$

Onde μ_N é a mobilidade dos elétrons [$m^2/(V.s)$] e $\overrightarrow{\varepsilon_{//}}$ é o campo elétrico longitudinal na região do canal (V/m), em decorrência da existência de V_{DS} (COLINGE e COLINGE, 2002).

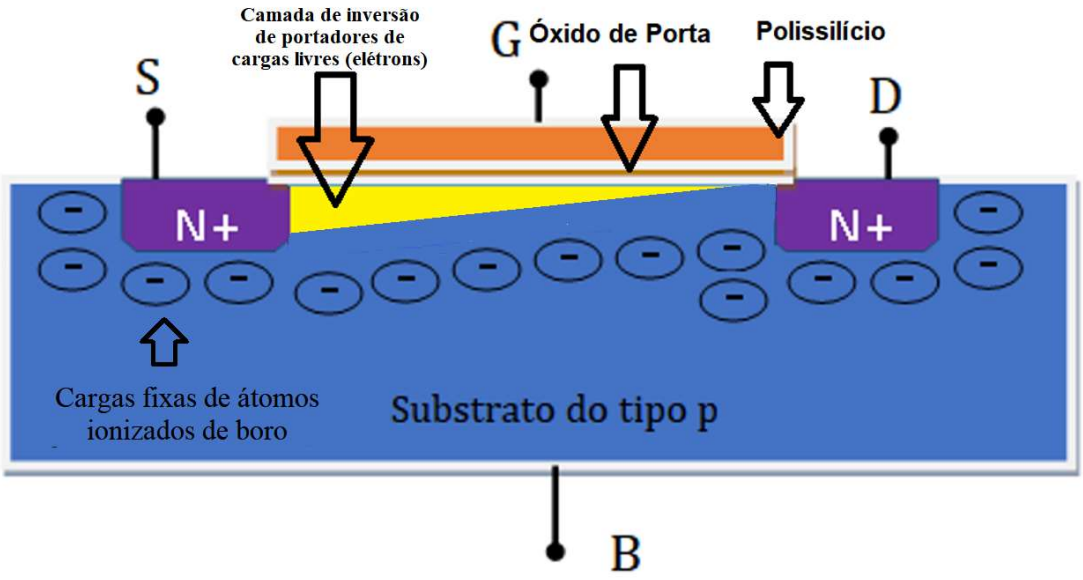
Quando V_{GS} é maior ou igual a V_{TH}, com V_{DS} menor ou igual a V_{GT} (sobretensão de porta, que é dado pela diferença entre V_{GS} e V_{TH}), o nMOSFET está operando na região de Triodo (SEDRA e SMITH, 2007). A Equação (2) define o valor da corrente elétrica entre o dreno e a fonte (I_{DS}) do MOSFET do tipo N nessa condição de polarização (SEDRA e SMITH, 2007).

$$I_{DS} = \mu_N.C_{OX}.\frac{W}{L}.[(V_{GS} - V_{TH}).V_{DS} - \frac{1}{2}V_{DS}^2] \quad (2)$$

Onde C_{OX} é a capacitância do capacitor MOS por unidade de área (F/m²), W é a largura do canal e L é o comprimento do canal do transistor.

Na condição de polarização onde V_{GS} é maior ou igual a V_{TH} e V_{DS} é maior ou igual a V_{GT}, ocorre o chamado "estrangulamento do canal" (*pinch-off*), que caracteriza a polarização do nMOSFET operando na região de saturação (SEDRA e SMITH, 2007), conforme está ilustrado na Figura 2.5.

Figura 2.5– MOSFET do tipo N operando na região de Saturação.



Fonte: Autor

Nessa condição de polarização é utilizada a Equação (3) para descrever o comportamento elétrico da I_{DS} de um nMOSFET, sem levar em condição da variação da I_{DS} em função de V_{DS}. (SEDRA e SMITH, 2007).

$$I_{DS} = \frac{1}{2}\mu_N . C_{OX} . \frac{W}{L} . (V_{GS} - V_{TH})^2 \quad (3)$$

2.2. O MOSFET do tipo N com geometria de porta do tipo Diamante

Esta seção descreve o comportamento do MOSFET com geometria de porta hexagonal, que foi nomeado como MOSFET do tipo Diamante (*Diamond MOSFET*).

2.2.1. O Estilo de Leiaute do Tipo Diamante para MOSFETs (geometria de porta hexagonal)

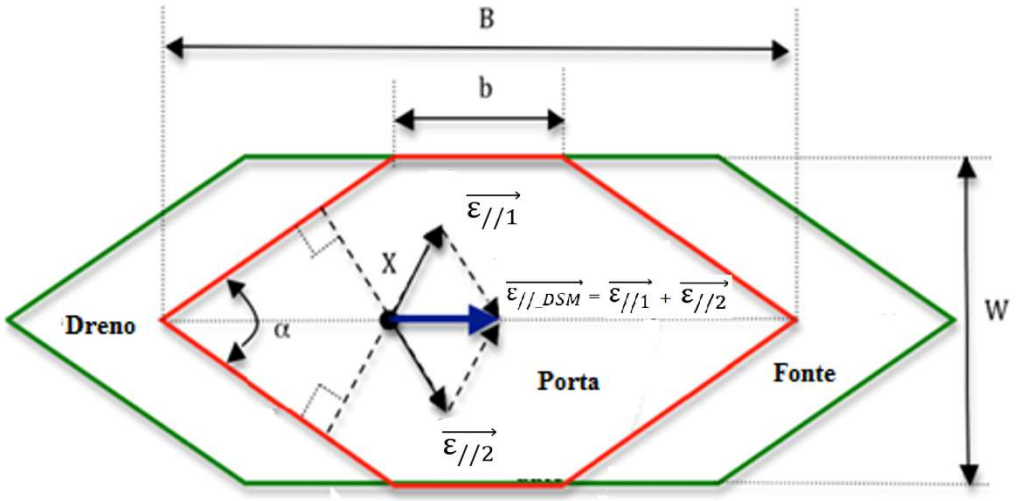
Esse estilo de leiaute para MOSFETs foi patenteado no Brasil pelo Centro Universitário FEI (GIMENEZ e BELLODI, 2008), o MOSFET do tipo Diamante (MD) apresenta um formato de porta hexagonal. Esse formato de porta não convencional propicia efeitos até então não identificados no MOSFET com formato de porta retangular, podendo obter ganhos significativos em relação àqueles observados nos MOSFETs do tipo convencional (formato de porta retangular).

2.2.1.1. Efeito de Canto Longitudinal (*Longitudinal Corner Effect*, LCE)

Foram encontrados três efeitos elétricos inovadores nesse tipo de estrutura de leiaute para MOSFETs. O primeiro desses efeitos é o Efeito de Canto Longitudinal (*Longitudinal Corner Effect*, LCE), que está relacionado à angulação da forma geométrica da porta hexagonal e sua relação com o campo elétrico longitudinal. Como o formato da porta é hexagonal, existem mais que uma componente de campo elétrico longitudinal. Esse efeito aumenta o $\overrightarrow{\varepsilon_{//}}$ resultante na região de porta e, por consequência, ocorre um aumento na I_{DS} em relação ao um MOSFET com geometria de porta convencional (retangular) (LEONI, 2013).

A Figura 2.6 mostra um exemplo de um nMOSFET do tipo Diamante (MD) e a a somatória das duas componentes dos campos elétricos longitudinais no ponto “X” e sua correspondente resultante, no qual ela é maior que a de um nMOSFET do tipo convencional (geometria de porta retangular) equivalente (MC), considerando-se que eles apresentam as mesmas áreas de porta (A_G), as mesmas larguras de porta (W) e as mesmas condições de polarização (GIMENEZ, 2010).

Figura 2.6 – Vista superior de um exemplo de um nMOSFET do tipo Diamante.



Fonte: “Adaptado de” (GIMENEZ, 2010)

Onde na Figura 2.6, $\overrightarrow{\varepsilon_{//1}}$ e $\overrightarrow{\varepsilon_{//2}}$ são as componentes vetoriais dos campos elétricos longitudinais gerados pela interface formada pelas regiões de dreno e porta e $\overrightarrow{\varepsilon_{//_DSM}}$ é o vetor campo elétrico longitudinal resultante, b e B são respectivamente a menor dimensão e a maior dimensão do comprimento de canal desse nMOSFET (DA SILVA e GIMENEZ, 2014).

As componentes vetoriais dos campos elétricos longitudinais ($\overrightarrow{\varepsilon_{//1}}$ e $\overrightarrow{\varepsilon_{//2}}$) do nMOSFET do tipo Diamante são ortogonais à interface entre as regiões de dreno/fonte e a região de porta. Dessa forma, os vetores das componentes dos campos elétricos longitudinais *s*ao somadas vetorialmente, resultando no $\overrightarrow{\varepsilon_{//_DSM}}$, que é maior que aquela observada num nMOSFET do tipo convencional equivalente (mesma A_G, W e condições de polarização). Quanto mais agudo for o ângulo α, maior será o efeito LCE no nMOSFET, no qual o ângulo α pode ser calculado a partir de suas dimensões geométricas [Equação (6)] :

$$\alpha = 2.\tan^{-1}\left(\frac{W}{B-b}\right) \tag{6}$$

Considerando-se dois nMOSFETs, sendo que um é MD e o outro é um MC, para que eles sejam equivalentes em termos dimensionais, é necessário que eles apresentem as

mesmas áreas de porta (A_G), as mesmas razões de aspecto (W/L) e as mesmas larguras de canal (W). Para atender essas condições, é necessário que o comprimento de canal de um MC equivalente a um MD apresente um comprimento geométrico de canal médio (L_{geo}) dado pela Equação (9) (GIMENEZ, 2010).

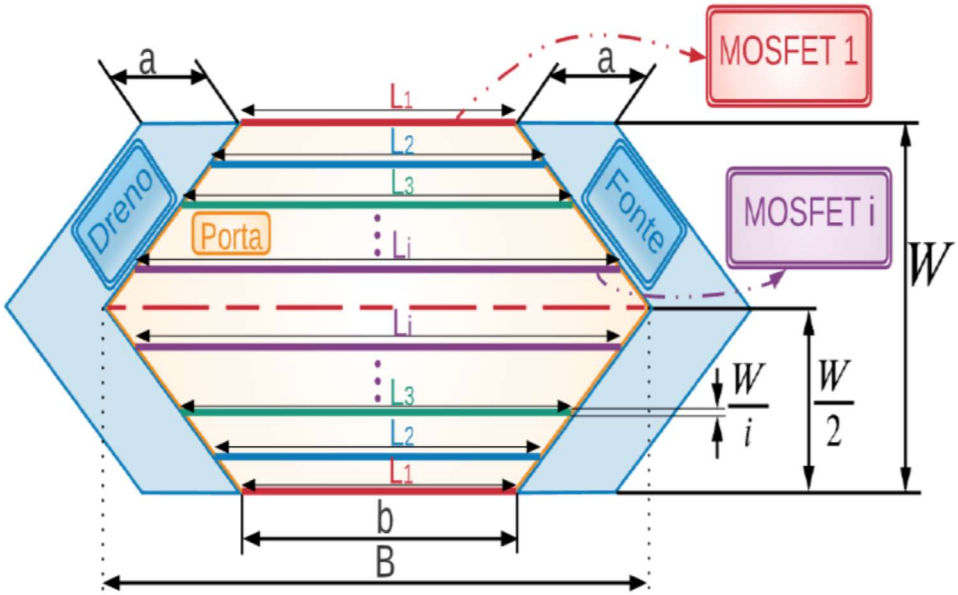
$$L_{geo} = \frac{B + b}{2} \tag{9}$$

2.2.1.2. Efeito da Associação Paralela de MOSFETs com Diferentes Comprimentos de Canal (*Parallel Connections of MOSFETs with Different Channel Lengths Effect*, PAMDLE)

O segundo efeito que é criado por um MD é o Efeito da Associação Paralela de MOSFETs com Diferentes Comprimentos de Canal (*Parallel Connections of MOSFETs with Different Channel Lengths Effect*, PAMDLE), que é relacionado aos diferentes comprimentos de canal que são observados ao longo da região da porta desse MOSFET, que varia de b (próximos às bordas do canal) a B (centro do canal) (PERUZZI, 2013).

Dessa forma, o MOSFET com formato de porta hexagonal pode ser definido como a associação paralela de infinitos MOSFETs, com larguras de canal infinitesimais e comprimentos de canal variável ($b \leq L_i \leq B$) (GIMENEZ, DAVINI, *et al.*, 2014). A **Erro! Fonte de referência não encontrada.** ilustra um exemplo de um MD seccionado em N MOSFETs com formato de porta retangular, com diferentes comprimentos de canal (L_1, L_2,..., L_N) e com a mesma largura de canal infinitesimal (W/N', com N' tendendo a infinito) (PERUZZI, 2013).

Figura 2.7 – Exemplo de um MD representado com N' MOSFETs convencionais associados em paralelo.



Fonte: "Adaptado de" (PERUZZI, 2014)

Dessa forma, o comprimento de canal efetivo do MOSFET do tipo Diamante (L_{eff_MD}) é menor do que o comprimento de canal de um MOSFETs do tipo convencional (geometria de porta retangular) que apresenta a mesma área de porta e mesma largura de canal, pois a associação desses N MOSFETs infinitesimais resulta em um comprimento efetivo de canal menor do que o encontrado em um MOSFET com geometria de porta retangular com mesma área de porta. Esse efeito tende a fazer o I_{DS} do MOSFET do tipo Diamante fluir mais pelas bordas do que pelo centro do canal. Os transistores infinitesimais mais próximos das margens apresentam razões de aspecto menores do que aqueles MOSFETs infinitesimais que se localizam próximos ao centro do canal (GIMENEZ, DAVINI, *et al.*, 2014). Esse efeito identificado no MOSFET do tipo Diamante é chamado de efeito PAMDLE. Aplicando-se a primeira lei de Kirchhoff no circuito elétrico equivalente do MOSFET do tipo Diamante (associação paralela de infinitos MOSFETs com geometrias de porta retangular) pode-se obter o cumprimento efetivo de canal desse transistor como, pode ser observado pela Equação (10) (GIMENEZ, 2010).

$$L_{eff_MD} = \frac{B - b}{\ln\left(\frac{B}{b}\right)} \tag{10}$$

O valor da I_{DS} do MD (I_{DS_MD}) pode ser calculada em função da I_{DS} do MC (I_{DS_MC}) equivalente, de acordo com a Equação (7) (GIMENEZ, 2010).

$$I_{DS_MD} = \frac{\frac{B - b}{ln\left(\frac{B}{b}\right)}}{\frac{B + b}{2}} \cdot \sqrt{2 + \cos(\alpha)} \, . \, I_{DS_MC} \tag{8}$$

A combinação desses dois efeitos (LCE e PAMDLE) do MD tendem a melhorar a sua capacidade de condução de I_{DS}, o ganho de tensão de malha aberta (A_V), a frequência de ganho de tensão unitária (f_T), a transcondutância máxima ($g_{m_máx}$) e reduzir a resistência de estado ligado (R_{ON}) em relação a um MOSFET convencional equivalente, que apresenta a mesma área de porta, a mesma largura de canal e as mesmas condições de polarização do MD (DA SILVA e GIMENEZ, 2014).

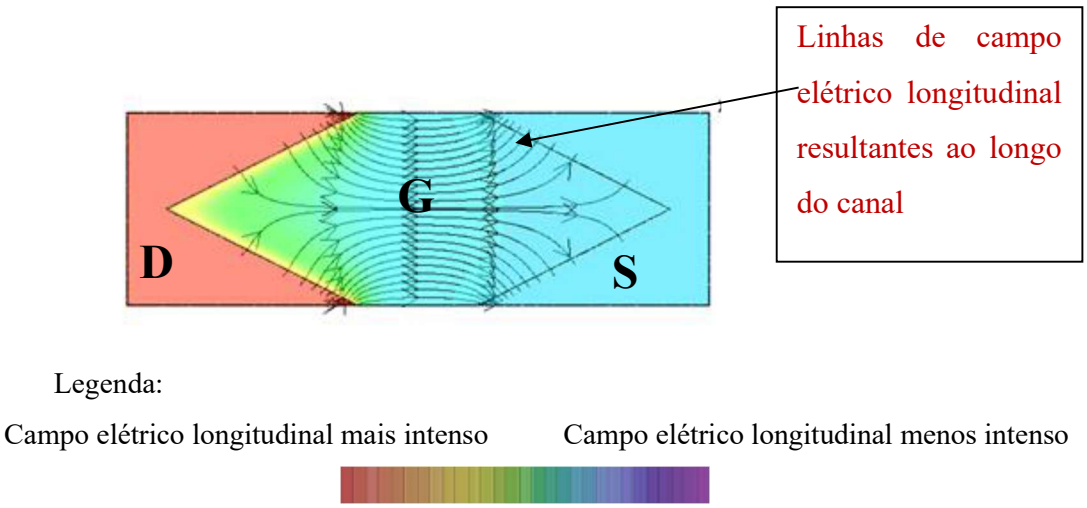
2.2.1.3. Desativação dos MOSFETs Parasitários nas Regiões de Bico de Pássaro" (*Deactivate the Parasitic MOSFETs of the Bird's Beak Regions Effect*, DEPAMBBRE)

Ainda há um terceiro efeito, chamado de "Desativação dos MOSFETs Parasitários nas Regiões de Bico de Pássaro" (*Deactivate the Parasitic MOSFETs of the Bird's Beak Regions Effect*, DEPAMBBRE), que tem como objetivo o de desativar os MOSFETs parasitários existentes entre as regiões periféricas (margens) do canal e o óxido de campo, definidas como "Regiões de Bico de Pássaro" (*Bird Beak Regions*, BBR) (BRISSET, FERLET-CAVROIS, *et al.*, 1996)

Graças a esse efeito, o estilo de leiaute do MOSFET do tipo Diamante se torna mais tolerante às radiações ionizantes do que o MOSFET com formato de porta retangular considerando-se que eles apresentam mesmas áreas de porta, mesmas larguras de canal e mesmas condições de polarização (ALATI, 2012) (GIMENEZ, ALATI, *et al.*, 2012). Pelo

fato das linhas de campo elétrico longitudinais serem curvas nas regiões de bico de pássaro, os MOSFETs parasitários dessas regiões de tendem a ficar desativadas quando esses MOSFETs operam em ambientes de radiações ionizantes. A **Erro! Fonte de referência não encontrada.** ilustra um exemplo de uma estrutura de MOSFET do tipo Diamante que foi simulada num simulador numérico tridimensional indicando as linhas de campo elétrico longitudinal resultantes no canal, que são curvas.

Figura 2.8 – Campo elétricos longitudinais na estrutura de um MD

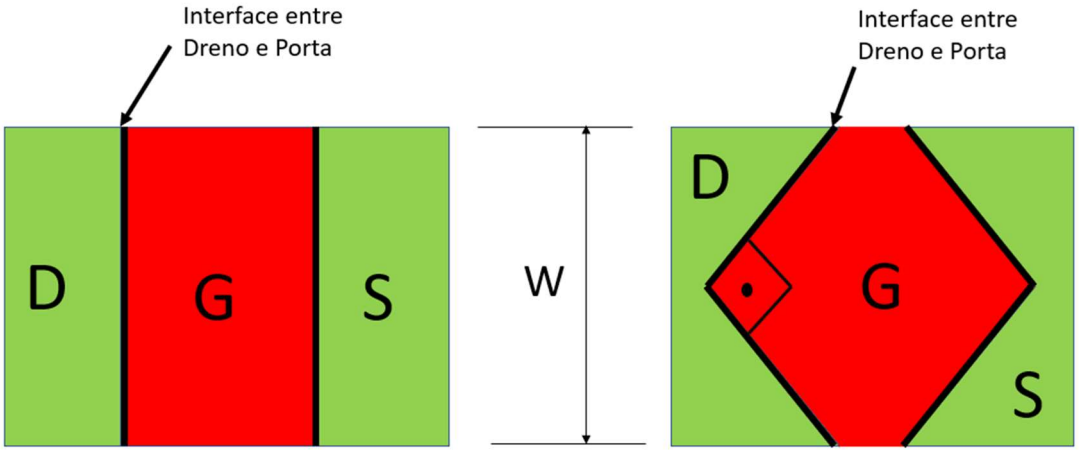


Fonte: “Adaptado de” (NETO, 2015)

A **Erro! Fonte de referência não encontrada.** também ilustra que a intensidade do campo elétrico longitudinal é maior mais próxima à interface entre a região definida pela interface entre a região de dreno e porta. Analisando-se a **Erro! Fonte de referência não encontrada.**, foi possível sugerir a segunda geração dos estilos de leiautes para MOSFETs, pois é possível reduzir o comprimento efetivo de canal do MOSFET do tipo Diamante e ainda preservar os efeitos LCE, PAMDLE e DEPAMBBRE já estudados pela literatura (SILVA e GIMENEZ, 2022) (GALEMBECK e GIMENEZ, 2022).

Pela própria natureza da geometria do MD, ele possui um comprimento geométrico de canal maior do que o mínimo possível para determinada tecnologia, sendo a menor dimensão da tecnologia utilizada em b. Também por esta condição de sua geometria, o comprimento da interface entre dreno e porta para as geometrias não convencionais é maior do que o comprimento da interface entre dreno e porta para o dispositivo de porta retangular como pode ser visto na Figura 2.9.

Figura 2.9 – Imagem ressaltando a interface entre dreno e porta em (a) um MOSFET com porta retangular e (b) um MOSFET do tipo Diamante.



(a) (b)

Fonte: Autor

Para um MD com $\alpha = 90°$, como o da Figura 2.9, se considerarmos um W = 2 µm, por exemplo, a interface entre dreno e porta no MC é de 2 µm, enquanto no MD é de 2,83 µm. Essa maior interface entre dreno e porta faz com que o MD possua um I_{OFF} maior ao do convencional equivalente, o que acaba também prejudicando a sua razão I_{ON}/I_{OFF}. Devido a essas questões, o MD tem sua utilização limitada a aplicações analógicas, uma vez que as essas questões praticamente inviabilizam sua utilização em circuitos digitais (DA SILVA, 2012).

A partir dessa ideia surgiu o conceito dos dispositivos da segunda geração de geometria de portas não convencionais para MOSFETs, que serão estudados mais afundo nesse trabalho.

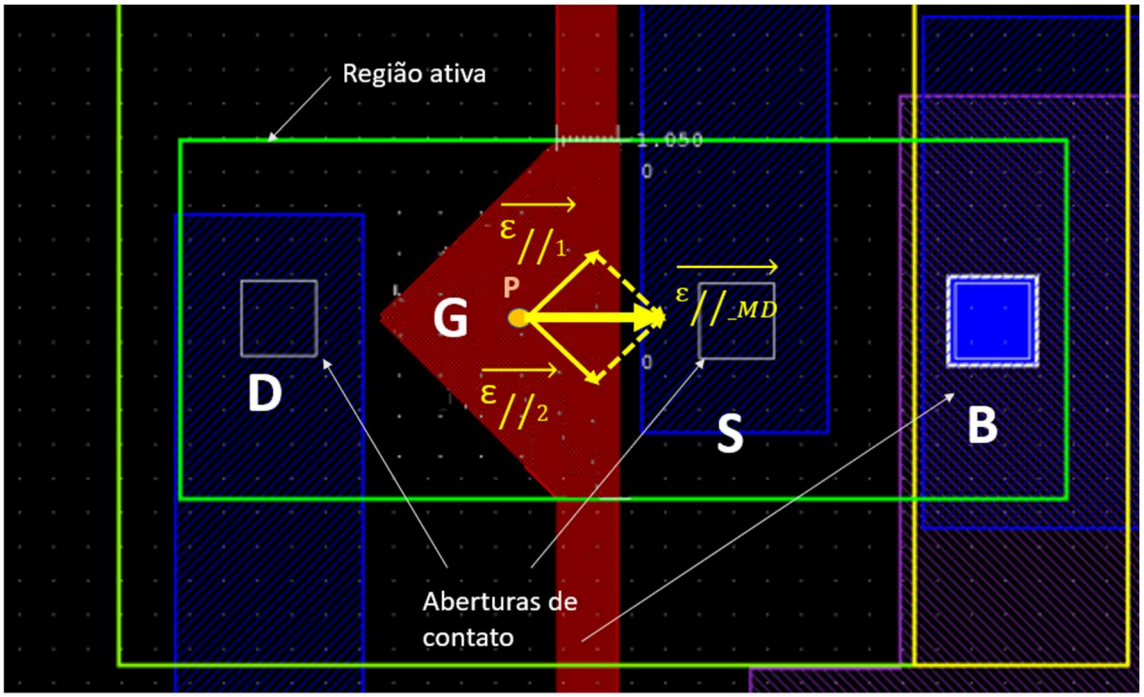
2.2.2. Estilo do leiaute do tipo Meio-Diamante para MOSFETs da segunda geração

A fim de aumentar ainda mais o desempenho elétrico e principalmente reduzir ainda mais a área total de silício e aumentar ainda mais a razão de aspecto dos MOSFETs analógicos e de radiofrequência em relação aos já alcançados pelos estilos de leiaute do tipo Diamante da primeira geração para MOSFETs (MD), está sendo proposto o estilo de leiaute Meio-Diamante (MMD), que faz parte desta nova geração. Ele é a evolução do estilo de

leiaute do tipo Diamante, e pertence à “Segunda Geração dos Estilos de Leiautes Inovadores para MOSFETs” (SILVA e GIMENEZ, 2022) (GALEMBECK e GIMENEZ, 2022).

Esse leiaute é capaz de preservar os efeitos LCE, PAMDLE e DEPAMBBRE presentes nos estilos de leiaute que possuem geometria de porta não convencionais (Diamante, Octo, Elipsoidal, etc). Além disso, são inovações principalmente porque são responsáveis por reduzir ainda mais os comprimentos efetivos de canal (L_{eff}) dos MOSFETs, em comparação aos alcançados pelos estilos da primeira geração de estilos de leiautes inovadores (Diamante, Octo e Elipsoidal), que por sua vez, são menores do que os MOSFETs equivalentes convencionais (retangulares), devido ao efeito PAMDLE (GIMENEZ, 2010). O MOSFET do tipo Meio-Diamante apresenta uma geometria de porta híbrida, que é composta por uma parte triangular do MOSFET do tipo Diamante da região do dreno e uma parte retangular do MOSFET convencional, a fim de reduzir ainda mais as dimensões dos transistores, ou seja, reduzindo a dimensão B do MOSFET do tipo Diamante e, consequentemente, o seu comprimento efetivo do canal (L_{eff}) (SILVA e GIMENEZ, 2022). A Figura 2.10 ilustra o leiaute de um MOSFET do tipo Meio-Diamante, as componentes vetoriais e a resultante do campo elétrico longitudinal.

Figura 2.10 – Exemplo de leiaute de um MOSFET do tipo Meio-Diamante utilizando tecnologia de fabricação de silício tipo “*Bulk*”



Fonte: Autor

Eliminando a região triangular de interface entre porta e fonte do MOSFET do tipo Diamante, é possível manter os efeitos LCE, PAMDLE e DEPAMBBRE e reduzir o comprimento efetivo de canal, potencializando ainda mais a capacidade de condução de corrente elétrica entre as regiões de dreno e fonte do MOSFET do tipo Meio-Diamante em relação ao equivalente MOSFET do tipo Diamante e Convencional, considerando as mesmas áreas de porta e mesmas condições de polarização (SILVA e GIMENEZ, 2022).

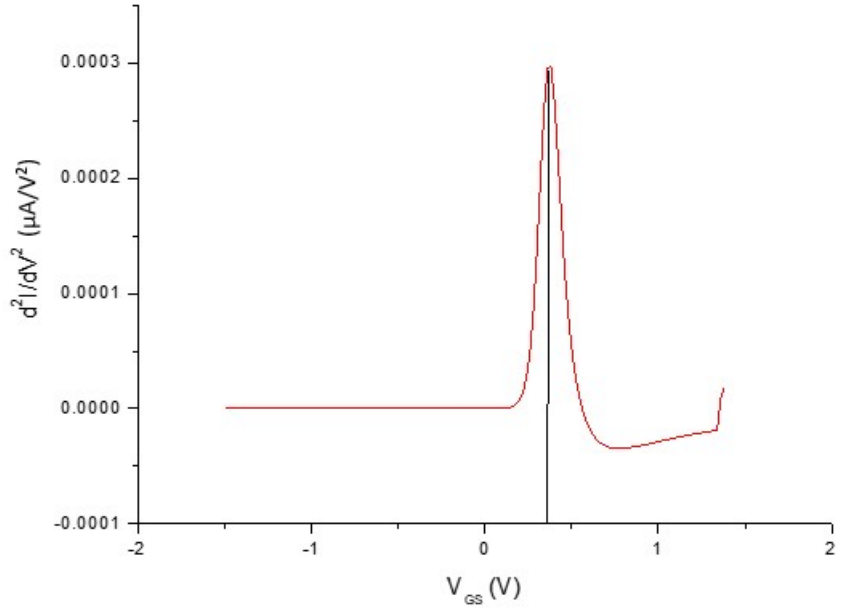
2.3. Principais Parâmetros Elétricos e Figuras de Mérito dos MOSFETs Estudados nesse Projeto de Pesquisa

Nessa seção serão apresentados os principais parâmetros elétricos e figuras de mérito que serão estudados nesta tese de doutorado.

2.3.1. A tensão de limiar (V_{TH})

A tensão de limiar (V_{TH}) é a tensão mínima necessária para que exista uma camada de inversão de portadores de carga móveis suficiente para que seja possível a passagem de uma corrente elétrica entre as regiões de dreno e fonte em um MOSFET. Basicamente é a tensão mínima necessária para que o MOSFET conduza corrente elétrica entre os terminais de dreno e fonte (polarização para que o MOSFET opere nas regiões de tríodo ou de saturação) (COLINGE e COLINGE, 2002). Diversos métodos foram desenvolvidos para a obtenção de V_{TH} (ORTIZ-CONDE, GARCÍA SÁNCHEZ, *et al.*, 2001), mas esse trabalho utiliza o método da segunda derivada de I_{DS} em função de V_{GS} pois esse método tende a reduzir a influência da resistência série e com um baixo ruído (COLINGE e COLINGE, 2002).. Esta derivada pode ser facilmente obtida graficamente a partir do uso de *softwares* de tratamento de dados, conforme mostrado na Figura 2.11, que ilustra a curva da segunda derivada de I_{DS} em função de V_{GS} para um V_{DS} igual a 50 mV.

Figura 2.11 – Curva da segunda derivada da I_{DS} em função de V_{GS} para um V_{DS} de 50 mV para a obtenção do V_{TH} do MC .

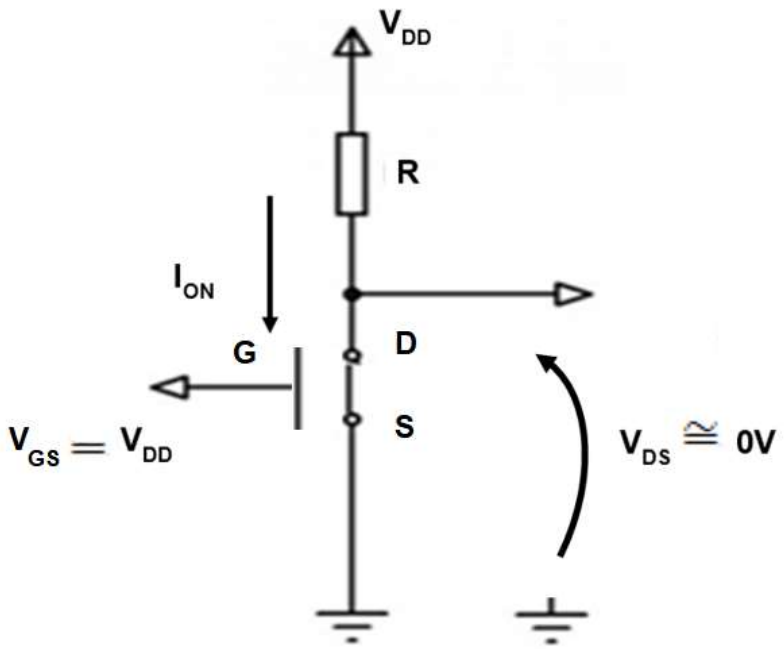


Fonte: Autor

2.3.2. A corrente elétrica entre dreno e fonte de estado ligado (I_{ON})

A corrente elétrica entre dreno e fonte de estado ligado (I_{ON}) é definida pelo valor de I_{DS} no qual o MOSFET se encontra funcionando como uma chave fechada. O seu valor é obtido com V_{GS} igual a tensão da fonte (V_{DD}) e a com V_{DS} próximo a zero, pois a queda de tensão em uma chave fechada tende a ser muito baixa (Figura 2.12) (COLINGE e COLINGE, 2002).

Figura 2.12– Circuito que representa um transistor trabalhando como uma chave em estado ligado, para um V_{DS} igual a 500 mV.

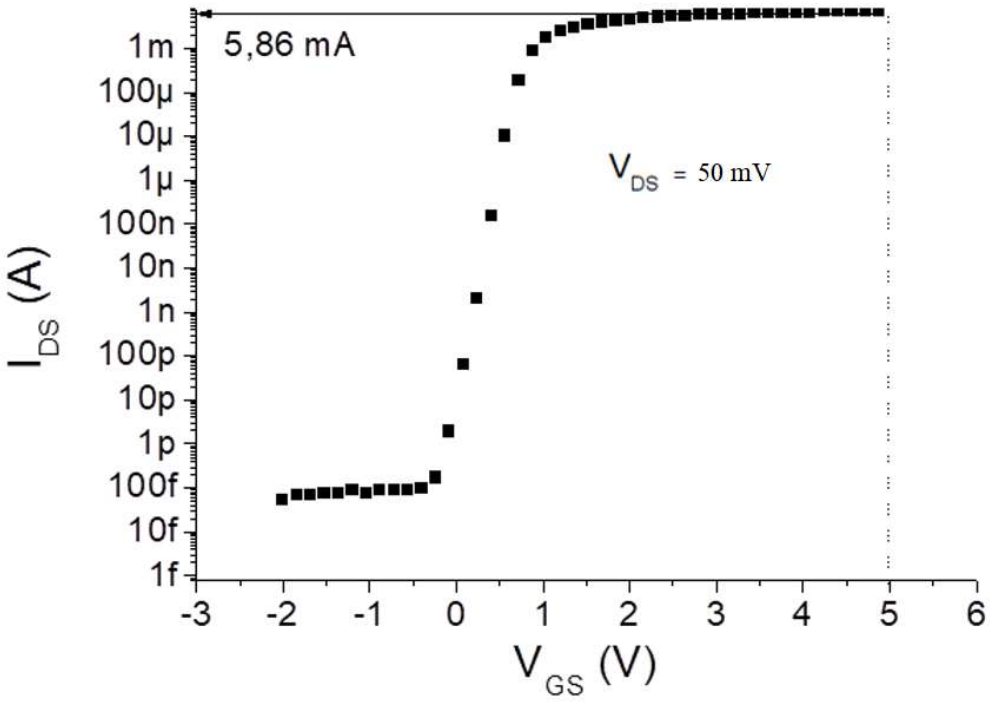


Fonte: Autor

Na Figura 2.12, R é a resistência série do MOSFET.

A obtenção de I_{ON} pode ser facilmente feita a partir da curva do logaritmo de I_{DS} em função de V_{GS}, conforme pode ser visto na Figura 2.13.

Figura 2.13 – Exemplo de um gráfico de log(I_{DS}) em função de V_{GS}, de um MOSFET do tipo convencional com V_{DS} igual a 50 mV ilustrando a caracterização elétrica de I_{ON}.

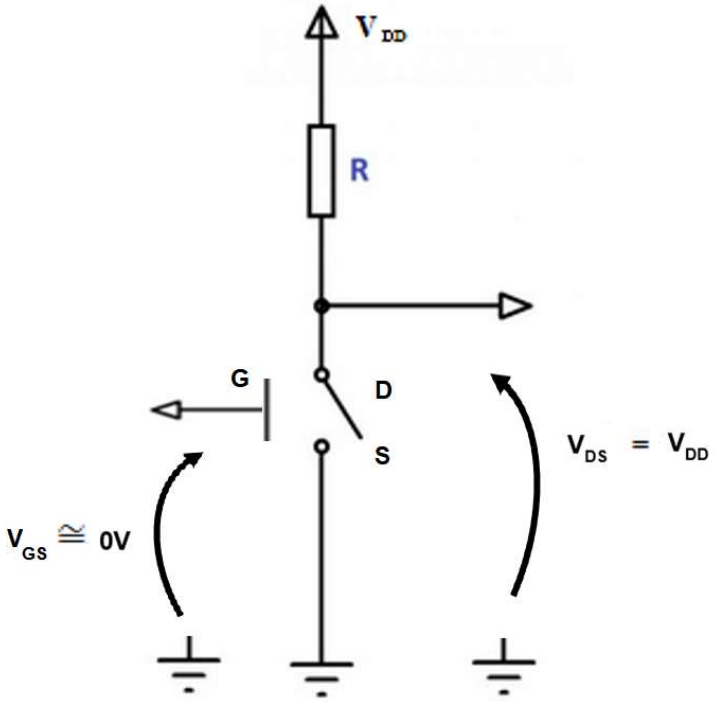


Fonte: Autor

2.3.3. A corrente elétrica entre dreno e fonte de estado desligado (I_{OFF})

A corrente elétrica entre o dreno e a fonte de estado desligado (I_{OFF}) é definida pelo valor de I_{DS} no qual o MOSFET se encontra funcionando como uma chave aberta. Este parâmetro é obtido para V_{GS} é igual a 0 V e com V_{DS} próximo a V_{DD} (Figura 2.14) (SEDRA e SMITH, 2007).

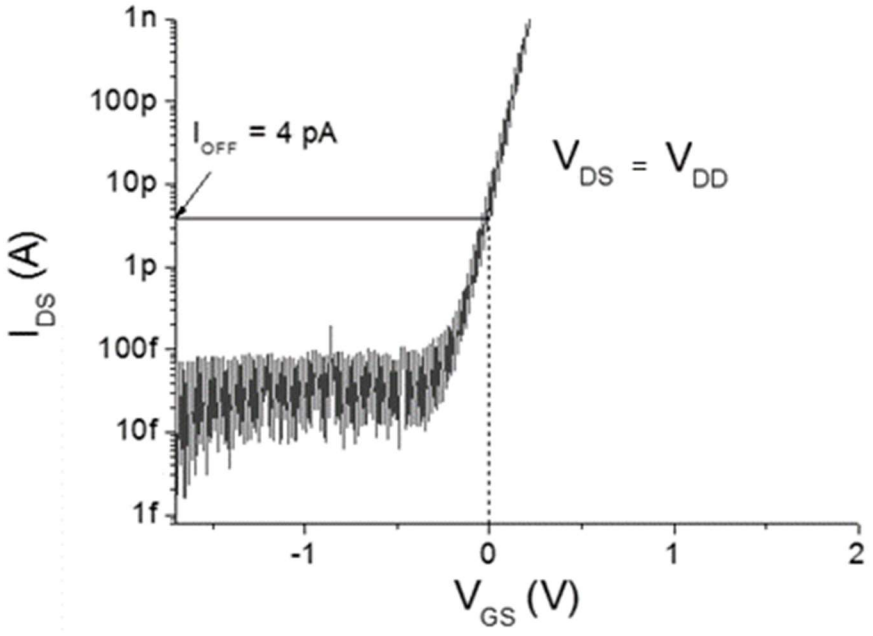
Figura 2.14– Circuito elétrico equivalente de um MOSFET operando como uma chave aberta.



Fonte: Autor

I_{OFF} é obtido a partir da curva do logaritmo de I_{DS} em função de V_{GS} com V_{GS} igual a 0 V e considerando-se V_{DS} praticamente igual a V_{DD}. A Figura 2.15 ilustra um exemplo de caracterização elétrica de I_{OFF}.

Figura 2.15 – Exemplo de uma curva de log(I_{DS}) em função de V_{GS} de um MOSFET convencional considerando-se $V_{DS} = V_{DD}$ ilustrando a caracterização elétrica da I_{OFF}.



Fonte: Autor

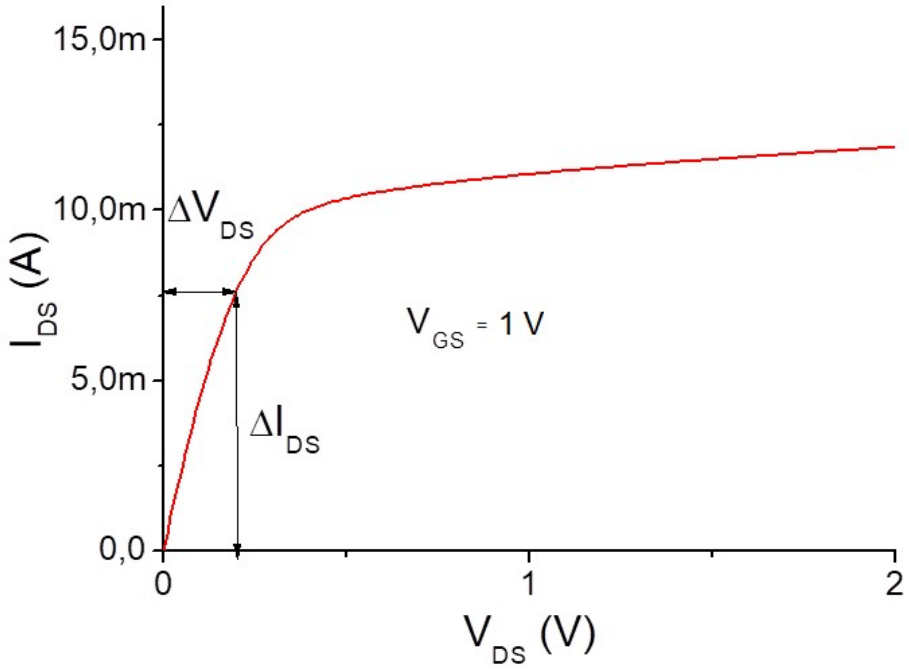
2.3.4. A Razão I_{ON}/I_{OFF}

A razão I_{ON}/I_{OFF} é uma forma simplificada de analisar ambos os parâmetros enfatizando a eficiência do dispositivo. É um parâmetro muito importante em aplicações digitais e quanto maior for o seu valor, melhor será o MOSFET, pois um bom MOSFET para aplicações digitais terá alto I_{ON} e baixo I_{OFF} (LI e CHOU, 2005).

2.3.5. A resistência série de estado ligado entre dreno e fonte (R_{ON})

A resistência série de estado ligado entre dreno e fonte (R_{ON}) se refere ao valor de resistência elétrica série entre os terminais de dreno e fonte quando o dispositivo está operando em estado ligado (chave fechada). Este parâmetro pode ser obtido a partir da Primeira Lei de Ohm aplicada na região linear do gráfico de I_{DS} em função de V_{DS}, que corresponde a região Tríodo para um determinado V_{GT} (SHACHAM-DIAMAND, 2009). É outro parâmetro importante em aplicações de CIs CMOS digitais, pois também está relacionado a eficiência energética do dispositivo. A Figura 2.16 ilustra o gráfico de I_{DS} em função de $V_{DS,}$ considerando-se $V_{GS} = 1$ V, visando a caracterização elétrica de R_{ON}.

Figura 2.16 – Exemplo de o gráfico de I_{DS} em função de V_{DS}, considerando-se V_{GS} = 1 V, para a caracterização elétrica de R_{ON}



Fonte: Autor.

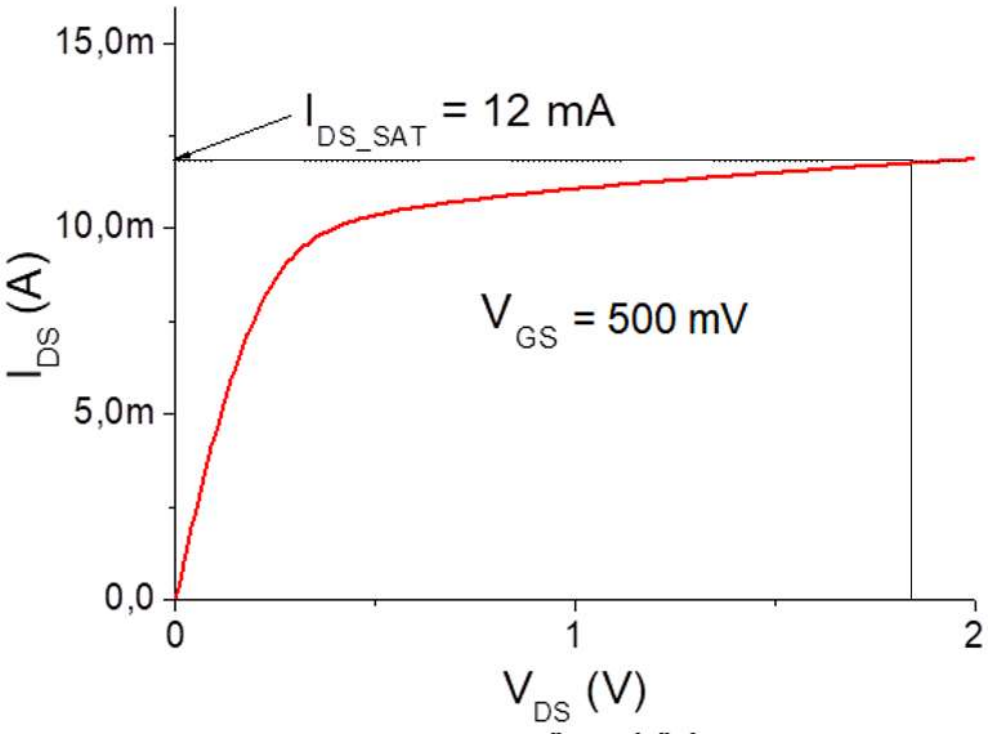
Onde R_{ON} é igual a razão entre ΔV_{DS} e ΔI_{DS} em que ΔV_{DS} é a variação de tensão entre dreno e fonte e ΔI_{DS} é a variação de corrente entre dreno e fonte com o MOSFET polarizado na região de Triodo. Para a determinação gráfica do valor de R_{ON}, pode ser feita a derivada da região linear em que o MOSFET se encontra polarizado em tríodo. O constante encontrado corresponde a R_{ON}.

2.3.6. A corrente elétrica de dreno de saturação entre dreno e fonte (I_{DS_SAT})

A corrente elétrica de dreno de saturação entre dreno e fonte (I_{DS_SAT}) é definida como o valor de corrente quando o MOSFET está polarizado na região de saturação. É um parâmetro muito importante para um dispositivo que será utilizado em aplicações analógicas, como operando como um amplificador, por exemplo. Quanto maior for I_{DS_SAT}, menor será a área necessária para fabricar determinado circuito. Além de sua própria importância, esse parâmetro também influencia outros parâmetros de suma importância em aplicações digitais, como veremos mais adiante. Este parâmetro pode ser obtido diretamente do gráfico de I_{DS}

em função de V_{DS}, na região de saturação (SEDRA e SMITH, 2007), como visto na Figura 2.17.

Figura 2.17 – Exemplo de uma curva I_{DS} em função de V_{DS}, para V_{GS} igual a 500 mV, ilustrando a caracterização elétrica da I_{DS_SAT}.

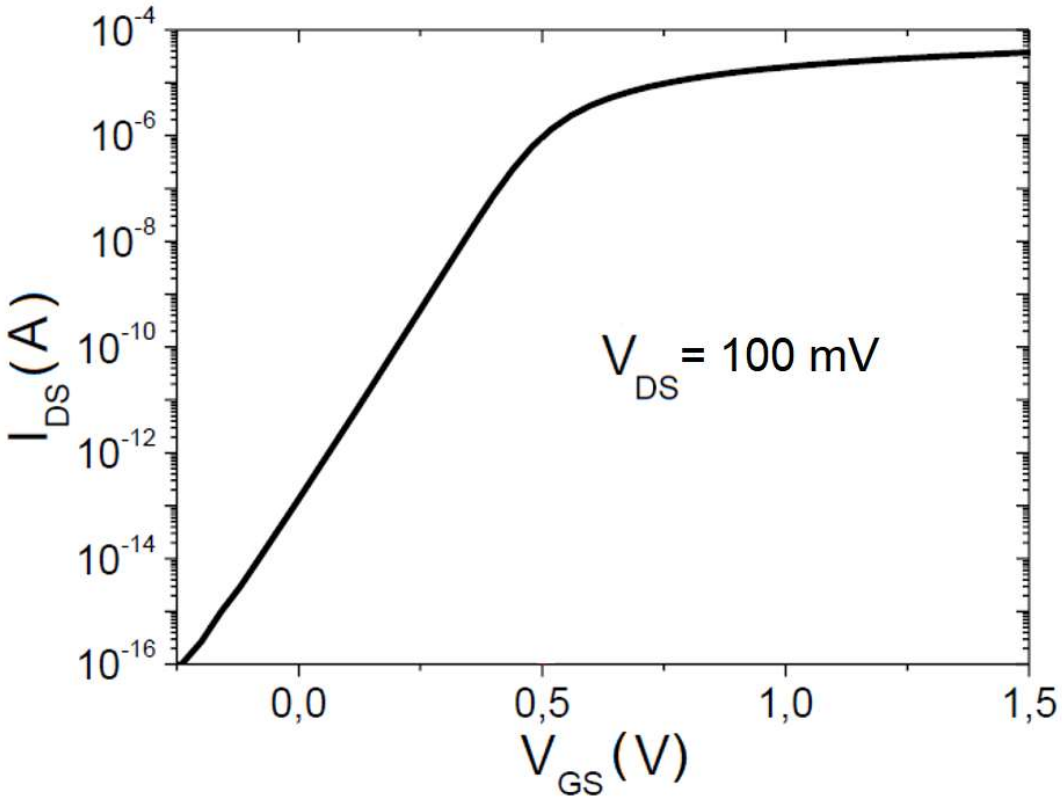


Fonte: Autor.

2.3.7. A inclinação de sublimiar

A inclinação de sublimiar (*Subthreshold Slope*, SS) está relacionada a existência da corrente elétrica entre as regiões de dreno e fonte quando V_{GS} é menor do que a V_{TH}. SS é definida como o inverso da taxa de variação da I_{DS} em relação a V_{GS}, para um valor de V_{DS} específico (COLINGE e COLINGE, 2002). A I_{DS} nessa polarização é predominantemente uma corrente de difusão e o seu comportamento é exponencial em função da V_{GS}, logo pode-se obter esse parâmetro a partir da curva da I_{DS} em função de V_{GS}, na escala mono-logarítmica (MARTINO, PAVANELLO e VERDONCK, 2004), como pode ser visto na Figura 2.18.

Figura 2.18 – Exemplo de curva do logaritmo de I_{DS} em função de V_{GS} para um V_{DS} de 100 mV na escala mono-logarítmica.



Fonte: Autor.

A partir dessa curva, pode-se fazer a caracterização elétrica do coeficiente angular da parcela retilínea da curva que possui valores de V_{GS} abaixo da tensão de limiar. O inverso do coeficiente angular da parte retilínea com tensão abaixo de V_{TH} nessa curva corresponde ao valor de SS, que também pode ser descrito matematicamente pela Equação (11).

$$SS = \frac{dV_{GS}}{d(\log I_{DS})} \tag{11}$$

2.3.8. A transcondutância

A transcondutância (g_m) é a medida da taxa de variação da I_{DS} em função de V_{GS}, considerando-se um determinado valor de V_{DS}. A transcondutância máxima (g_{m_max}) pode ser obtida quando o MOSFET opera na região de saturação (SZE e NG, 2007). Esse parâmetro elétrico está relacionado ao controle que a V_{GS} exerce sobre os valores da I_{DS} do

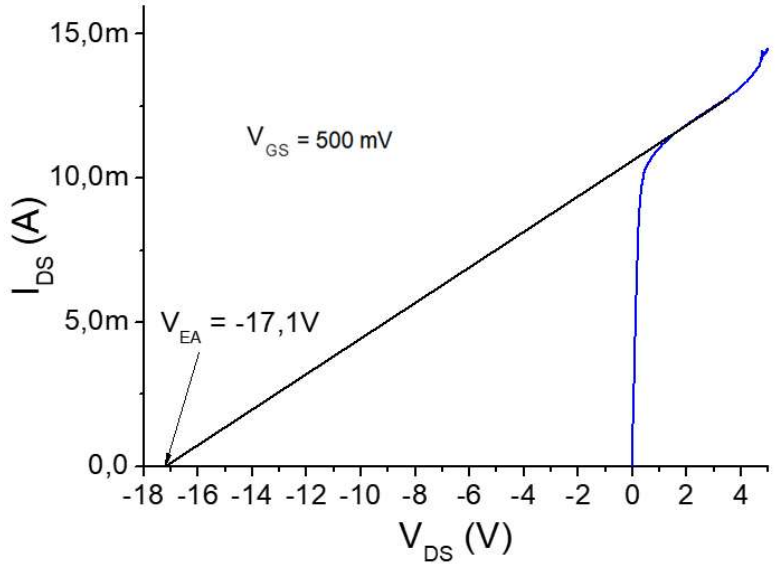
MOSFET. A g_{m_max} é definida pela Equação (12), considerando-se que as tensões entre as regiões de dreno e fonte sejam maiores que a sobretensão de porta (V_{GT}=V_{GS}-V_{TH}) ou seja, para tensões V_{DS} que polarizam o MOSFET na região de saturação (V_{DS_SAT}) (COLINGE e COLINGE, 2002).

$$g_{m_max} = \left(\frac{\delta I_{DS}}{\delta V_{GS}}\right)_{V_{DS_SAT}} \quad (12)$$

2.3.9. A tensão Early (V_{EA})

Conforme V_{DS} vai ficando cada vez maior do que a V_{GT}, verifica-se que existe uma dependência linear entre I_{DS} e V_{DS}. A tensão Early (V_{EA}) é um parâmetro elétrico que define essa dependência, que é uma consequência da modulação do comprimento de canal em função dos valores da V_{DS}, quando o MOSFET opera na região de saturação. Seu valor pode ser caracterizado eletricamente pela extrapolação da região linear da região de saturação da curva de I_{DS} em função de V_{DS} de um MOSFET, com uma reta que encontre ao eixo das abscissas (COLINGE e COLINGE, 2002) (SEDRA e SMITH, 2007). A Figura 2.19 ilustra um exemplo de uma curva da I_{DS} em função de VDS, considerando um determinado valor de V_{GS} de um MOSFET, ilustrando como é feita a caracterização elétrica da V_{EA}.

Figura 2.19 – Exemplo de curva de I_{DS} em função de V_{DS}, para um V_{GS} de 500 mV, ilustrando como é feita a caracterização elétrica da V_{EA}.



Fonte: Autor

Para que o valor de VEA seja o mais preciso possível, dois pontos da região linear da curva polarizada na região de saturação são escolhidos e, a partir desses pontos, se determina a equação da reta. Uma vez definida a equação da reta, determina-se matematicamente o ponto em que a corrente é zero. Dessa forma é feita a extrapolação matemática da reta da região linear da curva.

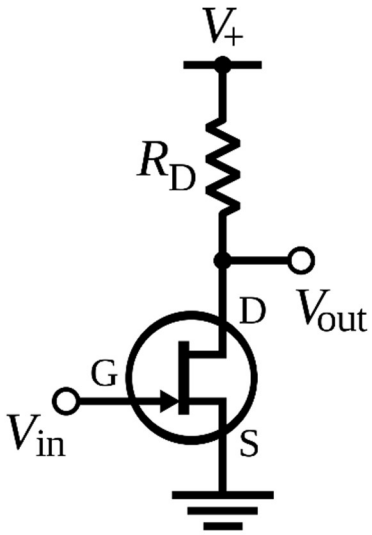
2.3.10. O ganho de tensão intrínseco de um amplificador de um único estágio implementado com um único MOSFET

O ganho de tensão intrínseco de um amplificador configurado em fonte comum e implementado com um único MOSFET (A_V) depende da g_m, da V_{EA} e da I_{DS} e portanto pode ser calculado a partir da Equação (13) (COLINGE e COLINGE, 2002).

$$A_V = \frac{g_m}{I_{DS}} V_{EA} \tag{13}$$

A Figura 2.20 ilustra um amplificador configurado em fonte comum, onde a fonte faz parte tanto da malha de entrada quanto da malha de saída.

Figura 2.20 – Esquema elétrico do circuito amplificador de sinais de um único MOSFET em configuração de fonte comum



Fonte: Autor.

Onde, na Figura 2.20, V_{in} é a tensão do sinal de entrada, V_{out} é a tensão do sinal de saída, V_+ é a tensão de alimentação e R_D é uma resistência.

2.3.11. A frequência de ganho de tensão unitário

A frequência de ganho de tensão unitário (f_T) é calculada a partir da Equação (14) (SZE e NG, 2007).

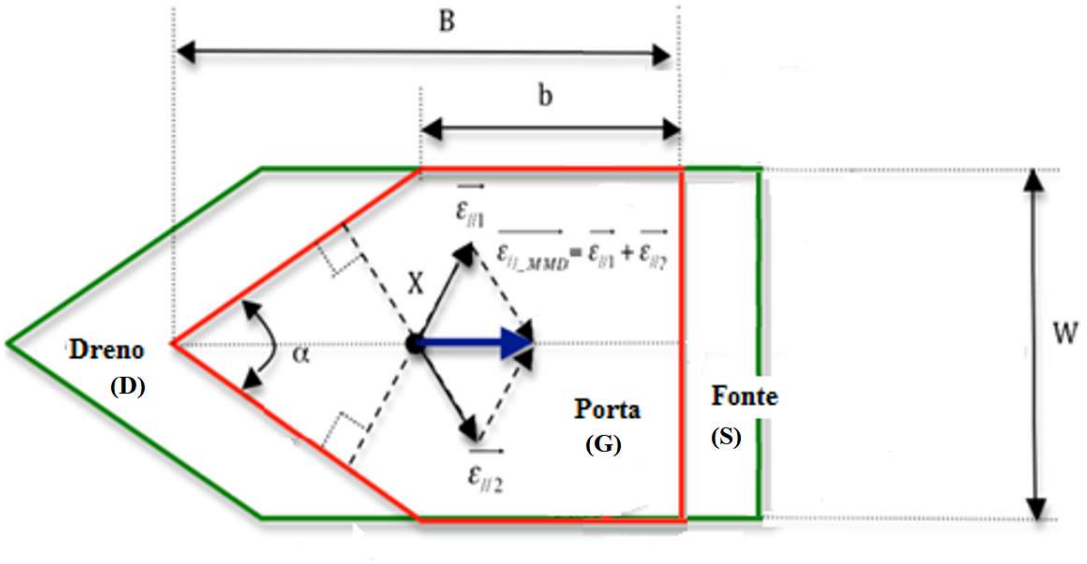
$$f_T = \frac{g_m}{2\pi C_L} \tag{14}$$

Onde C_L é a capacitância de carga.

3. MODELAGEM ANALÍTICA DO MOSFET DO TIPO MEIO-DIAMANTE

Já foi mostrado que o efeito LCE é observado em um MD. Pelas características geométricas do MOSFET do tipo Meio-Diamante (MMD), é possível verificar que esse efeito também ocorre nesse dispositivo. A Figura 3.1 ilustra um exemplo de um leiaute simplificado de um MMD, com as suas componentes vetoriais dos campos elétricos longitudinais ($\overrightarrow{\varepsilon_{//1}}$ e $\overrightarrow{\varepsilon_{//2}}$) e a sua correspondente resultante ($\overrightarrow{\varepsilon_{//_MMD}}$) num ponto X do canal.

Figura 3.1 – Exemplo de um leiaute de um MOSFET do tipo Meio-Diamante, ilustrando a interação das componentes vetoriais dos campos elétricos longitudinais e seu correspondente vetor campo elétrico longitudinal resultante num ponto X do canal.



Fonte: Autor

É possível verificar que o MMD mantém o efeito LCE da estrutura de um MD em que o seu vetor campo elétrico longitudinal resultante (RLEF) é dado por $\overrightarrow{\varepsilon_{//_MMD}}$ e que é igual a soma das componentes vetoriais $\overrightarrow{\varepsilon_{//1}}$ e $\overrightarrow{\varepsilon_{//2}}$. O $\overrightarrow{\varepsilon_{//_MMD}}$ tende a ser maior que o RLEF de um MOSFET convencional (geometria de porta retangular), considerando que ambos tenham a mesma A_G, W e condições de polarizações. Assim como ocorre no MD, o MMD também possui duas componentes vetoriais de campos elétricos longitudinais e portanto o seu $\overrightarrow{\varepsilon_{//_MMD}}$ pode ser calculado a partir da lei dos cossenos e é dado pela Equação (14).

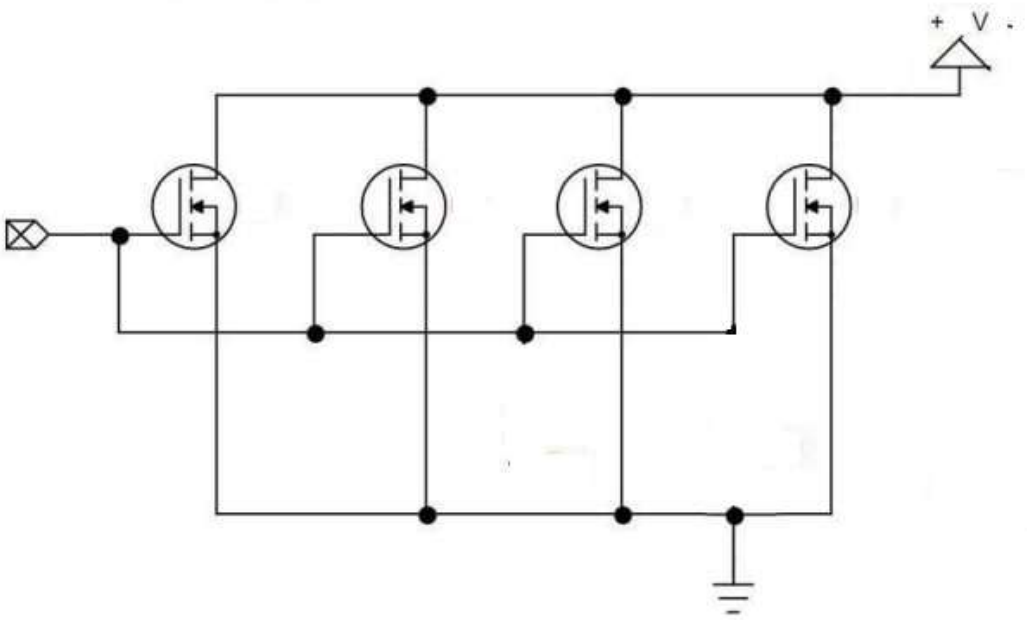
$$\overrightarrow{\varepsilon_{//_MMD}} = \sqrt{\left(\overrightarrow{\varepsilon_{//1}}\right)^2 + \left(\overrightarrow{\varepsilon_{//2}}\right)^2 + 2.\overrightarrow{\varepsilon_{//1}}.\overrightarrow{\varepsilon_{//2}}.\cos\alpha} = \overrightarrow{\varepsilon_{//1}}\left[\sqrt{2+\cos(\alpha)}\right] \quad (14)$$

A I_{DS} de saturação (I_{DS_SAT}) do MMD é caracterizada por ser de deriva, portanto ela depende diretamente do seu RLEF. Dessa forma, sabendo-se que o RLEF de um MC é dado por somente uma componente vetorial de campo elétrico longitudinal ($\overrightarrow{\varepsilon_{//1}}$), podemos definir que o MMD apresenta um ganho da I_{DS} (G_{LCE}), devido ao efeito LCE, em relação a I_{DS} de um MOSFET do tipo convencional, e que é dado pela Equação (15).

$$G_{LCE} = \sqrt{2 + \cos(\alpha)} \tag{15}$$

A Figura 3.2 apresenta um circuito elétrico equivalente de um MMD, em que esse MOSFET pode ser representado eletricamente pela associação paralela de infinitos MOSFETs convencionais (formato de porta retangular), com as mesmas larguras de canal infinitesimais e diferentes comprimentos de canal ($b \leq L_i \leq B$, onde i tende a infinito) Aplicando-se a primeira lei de Kirchhoff no nó definido pelas conexões elétricas dos diferentes drenos desses MOSFETs do circuito elétrico da Figura 3.2, é possível determinar o seu comprimento efetivo de canal (L_{eff}) [Equação (16)].

Figura 3.3.2 – Circuito elétrico equivalente de um MMD Associação paralela de MOSFETs.



Fonte: Autor.

Onde, V é a polarização entre as regiões de dreno e fonte do MMD.

$$L_{eff_MMD} = \frac{\mathrm{B} - \mathrm{b}}{ln\left(\frac{B}{b}\right)} \tag{16}$$

O efeito PAMDLE que ocorre na estrutura de um MMD é responsável por reduzir o seu comprimento efetivo de canal em relação ao de um MOSFET convencional (geometria de porta retangular) equivalente, ou seja, aquele que apresenta a mesma A_G e a mesma W do MMD. Dessa forma, o ganho de corrente de dreno do MMD em relação ao do MOSFET do tipo convencional é dado pela Equação (17).

$$G_{PAMDLE} = \frac{\frac{\mathrm{B} - \mathrm{b}}{ln\left(\frac{B}{b}\right)}}{\left(\frac{B + b}{2}\right)} \tag{17}$$

Dessa forma, a I_{DS} de um MMD (I_{DS_MMD}) pode ser escrita em função da corrente de dreno de um MOSFET do tipo convencional (I_{DS_MC}), levando-se em conta os efeitos LCE e PAMDLE, considerando-se todas as regiões de operação, e é definida pela Equação (18).

$$\mathrm{I_{DS_MMD}} = \sqrt{2 + \cos(\alpha)} \cdot \frac{\frac{\mathrm{B-b}}{\ln\left(\frac{\mathrm{B}}{\mathrm{b}}\right)}}{\left(\frac{\mathrm{B+b}}{2}\right)} \mathrm{I_{DS_MC}} = \mathrm{G_{LCE}} \cdot \mathrm{G_{PAMDLE}} \cdot \mathrm{I_{DS_MC}} \tag{18}$$

Onde G_{LCE} é dado pela expressão $\sqrt{2 + \cos(\alpha)}$ e o G_{PAMDLE} é dado pela expressão

$$\frac{\frac{\mathrm{B} - \mathrm{b}}{\ln\left(\frac{\mathrm{B}}{\mathrm{b}}\right)}}{\left(\frac{\mathrm{B} + \mathrm{b}}{2}\right)}.$$

Dessa forma o ganho total da I_{DS} do MMD em relação a de um convencional equivalente (G_{TOTAL}) é dado pela combinação dos ganhos gerados pelo efeito LCE e pelo efeito PAMDLE [Equação (19)].

$$G_{TOTAL} = G_{LCE} * G_{PAMDLE} \tag{19}$$

Logo, a I_{DS} do MMD pode ser calculado pela Equação (18).

$$I_{DS_MMD} = G_{TOTAL}.I_{DS_MC} \tag{20}$$

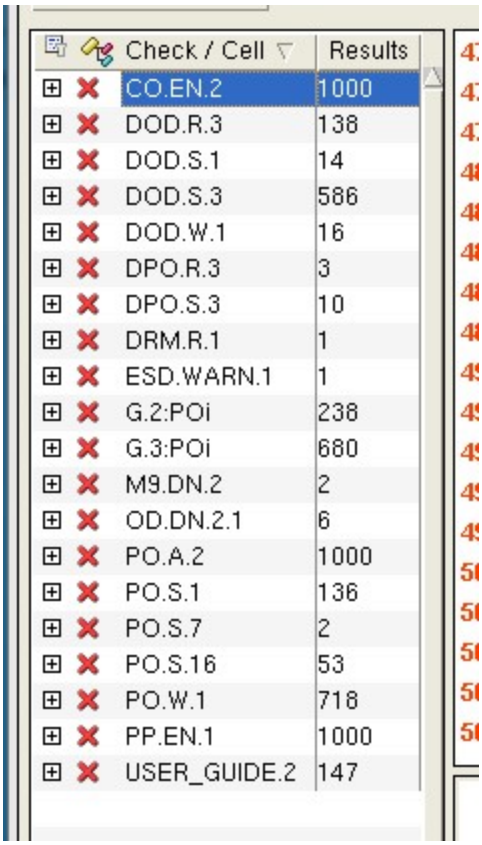
4. CARACTERÍSTICAS DOS LEIAUTES DOS MOSFETS ESTUDADOS

Os MOSFETs utilizados nessa tese de doutorado foram projetados com o intuito de serem os menores possíveis na tecnologia utilizada. Procurou-se manter alguns parâmetros dimensionais fixos em comum para que eles pudessem ser comparados entre si, como por exemplo a área de porta e a largura de porta. Todos os MOSFETs utilizados nesse trabalho são do tipo nMOSFET do tipo enriquecimento.

Os leiautes dos MOSFETs do tipo Meio-Diamante (MMD) e dos demais transistores utilizados neste projeto de pesquisa foram implementados com o *software* intitulado "*Design IC Station*" da *Mentor Graphics*, respeitando-se as regras de projeto da tecnologia de 180 nm de CIs CMOS da TSMC (*Taiwan Semiconductor Manufacturing Company*). Esses dispositivos foram fabricados por meio do programa *IMEC/TSMC Mini@sic Incentive Program for Brazilian Universities*, do CNPq, coordenado pelo Prof. Dr. Jacobus Willibrordus Swart, que tem por objetivos incentivar a fabricação de dispositivos semicondutores e CIs CMOS, via EUROPRACTICE, pelas instituições de ensino e pesquisa brasileiras de forma gratuita em uma lâmina de múltiplos projetos (*Multi-Project-Wafer*, MPW).

Nesse programa a TSMC forneceu uma série de arquivos de suporte aos leiautistas, que é conhecido como *kit* de desenvolvimento de projetos (*Project Development Kit*, PDK). O PDK fornece uma série de arquivos como, por exemplo, aqueles relacionados com a checagem de regras de projeto (*Design Rules Check*, DRC) pertinentes ao processo de fabricação de CIs CMOS, os arquivos correspondentes das máscaras disponíveis pelo processo de fabricação utilizado, dentre outros arquivos que podem são utilizados para que seja possível fazer a fabricação dos dispositivos e CIs CMOS desejados. O DRC é utilizado em um *software* chamado *Calibre*, que está integrado ao *Design IC Station*. A Figura 4.1 ilustra um exemplo de uma tela de checagem de DRC, utilizando-se a ferramenta *Calibre* e um dos arquivos de DRC fornecidos pela TSMC.

Figura 4.1 – Exemplo de uma tela de checagem de DRC utilizando a ferramenta Calibre.



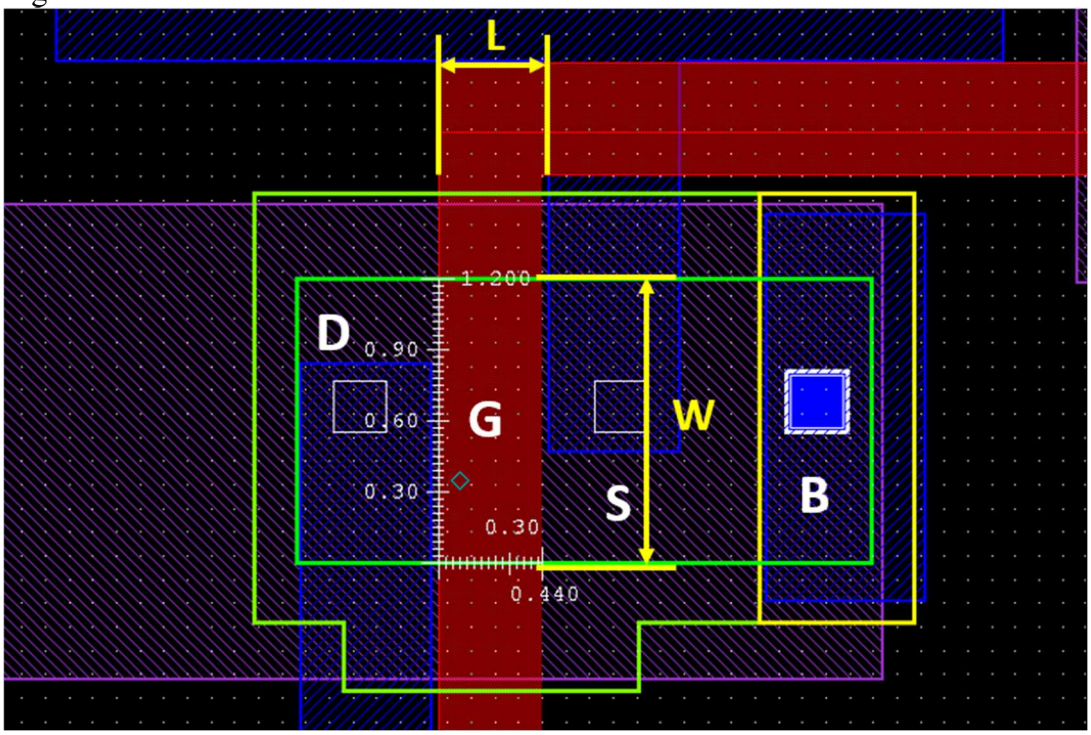
Fonte: Autor.

Cada código apresentado na Figura 4.1 corresponde a um erro encontrado no leiaute. O próprio Calibre mostra onde o erro está localizado. É possível consultar cada um desses códigos no manual de regras de projeto, que identifica cada um desses erros. Gostaríamos de ressaltar que esse manual não pôde ser disponibilizado dentro desta tese, nem mesmo parcialmente, por se tratar de um arquivo confidencial.

Com base nos arquivos que definem as regras de projeto a serem utilizadas e que são fornecidos pela TSMC do processo de fabricação 180 nm de CIs CMOS convencional (*Bulk*), foi projetado os MOSFETs utilizados neste projeto de pesquisa tentando sempre possuir as menores dimensões possíveis. Os MOSFETs com geometrias de porta não-convencionais foram construídos com ângulo α igual a 90°, pois essa tecnologia de fabricação de CIs CMOS somente permite que seja feito com esse valor de ângulo. As Figuras 4.1, 4.2 e 4.3 ilustram, respectivamente, o MC, o MD e o MMD utilizados para a realização deste projeto de pesquisa. A mínima dimensão permitida para a fabricação de um

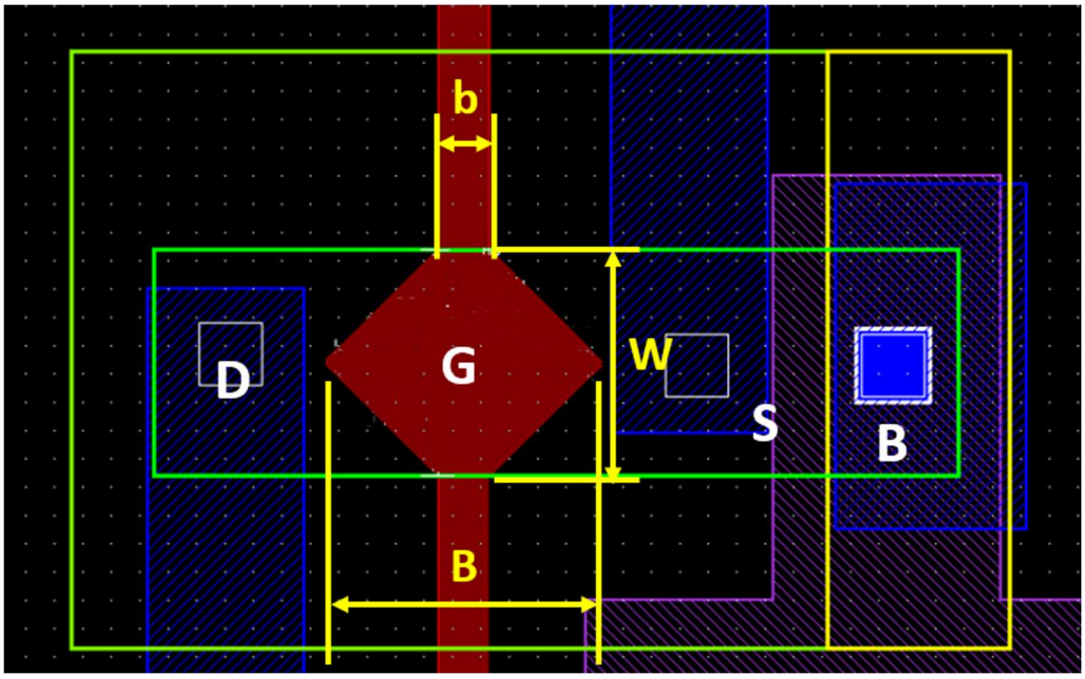
MOSFET, que corresponde ao menor comprimento de canal permitido para esta tecnologia é de 180 nm.

Figura 4.2 – O leiaute do MC utilizado nesse estudo.



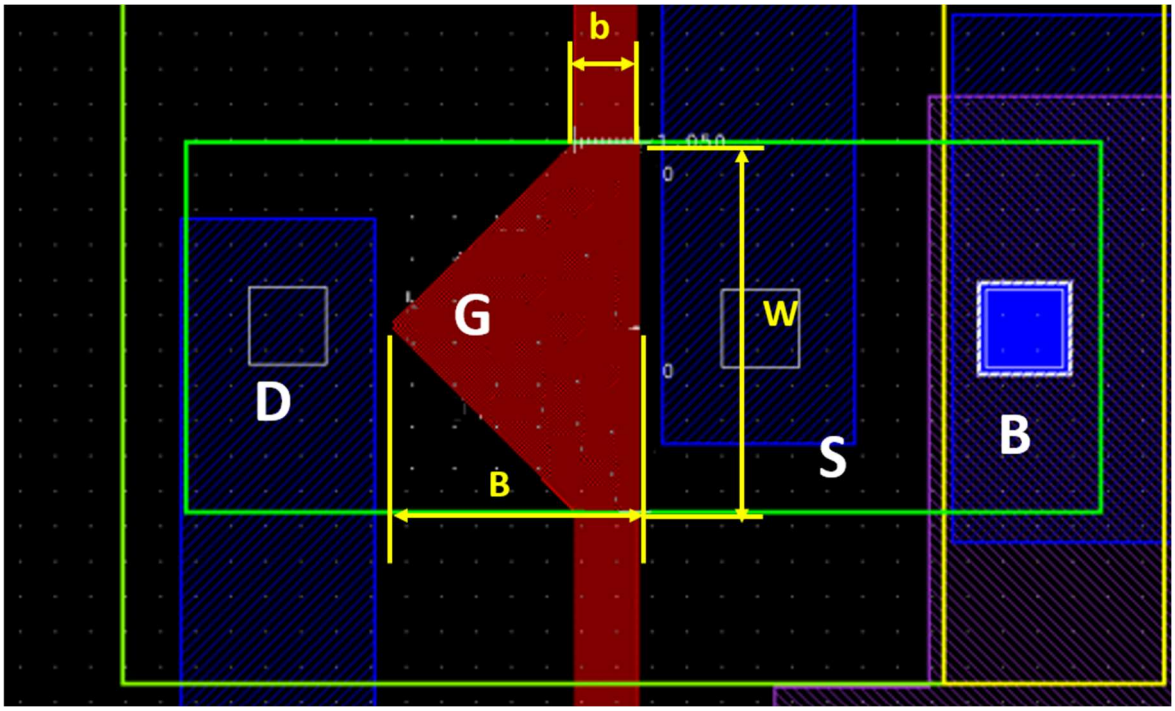
Fonte: Autor

Figura 4.3 – O leiaute do MD utilizado nesse estudo.



Fonte: Autor

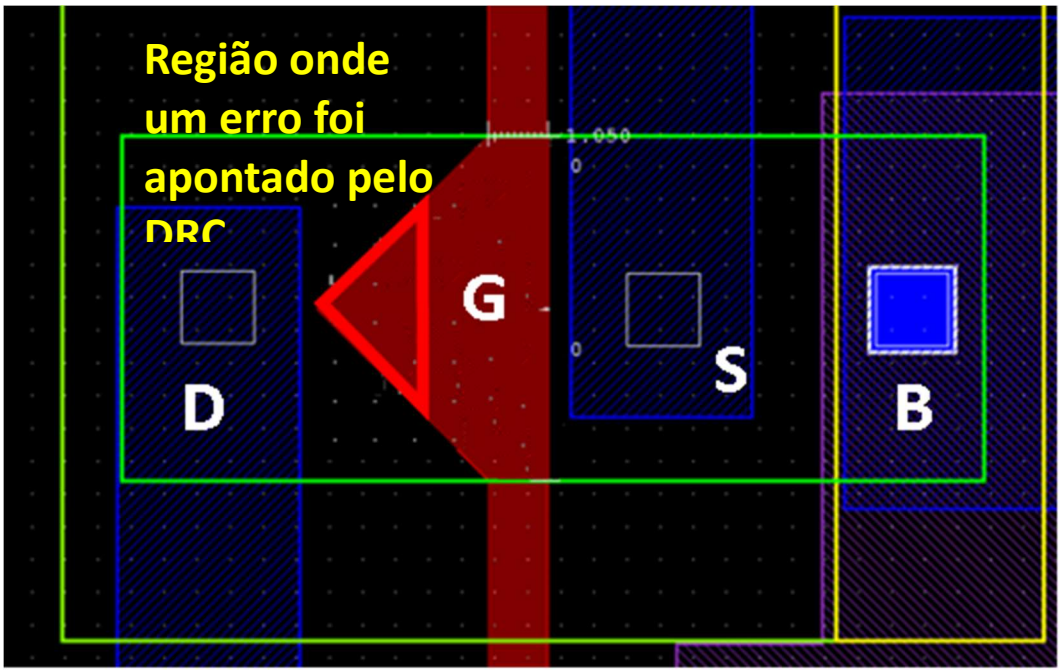
Figura 4.4 - O leiaute do MMD utilizado nesse estudo.



Fonte: Autor

Adotando-se o valor de b, desenhou-se o leiaute de um MD e de um MMD com as menores dimensões que fossem possíveis de serem fabricados. O valor encontrado para B nessas condições foi de 0,67 µm para o MMD, de acordo com as equações que definem as geometrias desses transistores [Equações (9), (10) e (16)]. É importante ressaltar que nem todos os erros ou preocupações (*warnings*) indicados pelo DRC foram respeitados pelos nossos leiautes, pois eles não infringiam efetivamente nas regras de projeto indicada pelo manual fornecido pela TSMC, no entanto, eram apontadas pelo Calibre. Isso se deve ao fato de essas geometrias de porta não convencionais não são previstas pelos algoritmos dos *softwares* de detecção de erros dessas ferramentas, o que faz com que alguns erros sejam indevidamente apontados, como mostrado na Figura 4.5.

Figura 4.5 – Exemplo de erro apontado pelo DRC desse processo de fabricação de CIs CMOS que não foi possível ser eliminado, pois o formato de uma geometria não convencional de porta não é previsto.



Fonte: Autor

Observe que o erro apontado corresponde a uma região da porta do MOSFET que está mais estreita do que a dimensão mínima permitida pela tecnologia. Por essa razão o DRC identifica como se fosse um erro, porém é impossível construir um MOSFET com esse tipo de característica de porta (Diamante, Meio-Diamante, Octo, Meio-Octo, etc.) sem que essa regra seja infringida. Nesse caso, tivemos que pedir uma dispensa desse erro para que a TSMC não considerasse em seu processo de checagem de erros antes de ser manufaturado. Dessa forma, tivemos que preencher um requerimento para a desconsideração desses tipos de erros apontados pelas regras de projeto. Esse requerimento foi enviado ao fabricante, que poderia ou não ser autorizado pela TSMC. Nesse caso, o fabricante deferiu nosso requerimento e pudemos prosseguir com a fabricação desses dispositivos por ser tratar de um projeto de pesquisa em que se deseja justamente testar a viabilidade do uso desses diferenciados leiautes nesta tecnologia de fabricação de CIs CMOS. Em geral, o fabricante indefere o requerimento quando o erro causa risco para a fabricação e risco de um possível mal funcionamento para todo os demais dispositivos dentro do MPW. Normalmente, caso o erro coloque em risco somente os dispositivos do requerente, o fabricante permite que os erros apontados pelo DRC sejam infringidos, porém não garantem o funcionamento dos mesmos.

Uma vez definidos os valores de α, b e B para o MMD, foi possível calcular o seu W pelo Teorema de Pitágoras, o seu L_{geo} pela Equação (9) e o seu L_{eff} pela Equação (16).

Essas dimensões atribuídas ao MMD resultaram em uma área de porta (A_G) igual a 0,46 μm². Para que os dispositivos fabricados fossem comparáveis, alguns valores dimensionais foram fixados para todos os dispositivos utilizados por este projeto de pesquisa.

Os valores de A_G, W e o L_{geo} foram fixados para o MC e para o MMD. Não é matematicamente possível fixar A_G, W e L_{geo} simultaneamente para o MMD e o MD, portanto foi fixado somente as A_G para todos os dispositivos (DA SILVA e GIMENEZ, 2014) (DE SOUZA FINO, 2012) (PERUZZI, 2014).

Os MOSFETs projetados e posteriormente fabricados possuem as seguintes características geométricas, conforme estão indicadas na Tabela 4.1.

Tabela 4.1 Características dimensionais dos MOSFETs estudados por este projeto de pesquisa.

Dimensions	MMD	MD	MC
W (μm)	1,05	0,80	1,05
L (μm)	-	-	0,44
B (μm)	0,67	0,90	-
b (μm)	0,18	0,18	-
α (°)	90	90	-
L_{geo} (μm)	0,44	0,54	0,44
L_{eff} (μm)	0,37	0,45	0,44
W/L_{geo}	2,47	1,48	2,39
A_G (μm²)	0,46	0,46	0,46

Fonte: Autor

Para que fossem feitas as comparações entre os parâmetros elétricos e figuras de mérito dos MOSFETs estudados por este projeto de pesquisa, foi necessário normalizar as curvas características desses dispositivos por W/L_{geo}, a fim de reduzir a influência das diferenças entre as dimensões dos dispositivos e normalizadas pela sobretensão de porta (V_{GT}), para reduzir a influência das pequenas diferenças das tensões de limiares desses dispositivos.

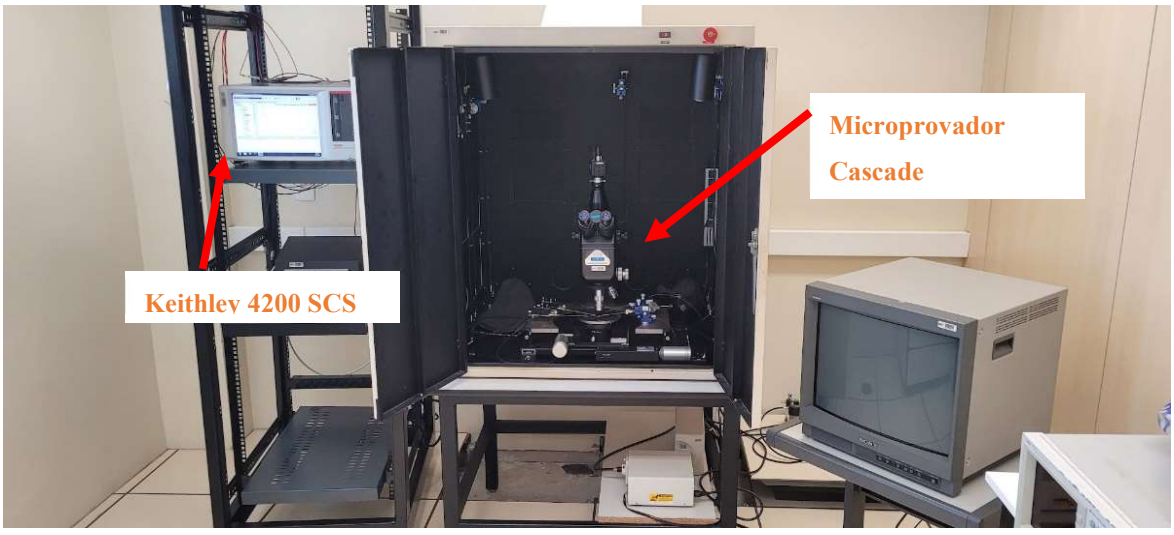
5. METODOLOGIA DE OBTENÇÃO DOS DADOS

Nesta seção serão apresentados os métodos utilizados para a obtenção dos resultados deste projeto de pesquisa. Os resultados foram obtidos a partir de simulações numéricas tridimensionais e por medidas experimentais, para que posteriormente fosse possível ser feito um comparativo entre ambos os métodos utilizados e verificar se há discrepâncias consideráveis nos resultados.

5.1. Medidas Experimentais dos MOSFETs estudados

Os resultados experimentais desse trabalho de pesquisa foram obtidos a partir da fabricação de CIs CMOS utilizando a tecnologia de fabricação de 180 nm da TSMC levando-se em conta as características dimensionais apresentadas no Capítulo 4 (Tabela 4.1). Uma vez com os CIs CMOS fabricados em mãos, foi possível fazer as caracterizações elétricas dos MOSFETs no laboratório de medidas de dispositivos semicondutores do Centro Universitário da FEI. Os equipamentos utilizados estão ilustrados na Figura 5.1.

Figura 5.1 – Equipamentos utilizados no laboratório de medidas: analisador de parâmetros de dispositivos semicondutores Keithley 4200 SCS à esquerda e o microprovador *Cascade* à direita

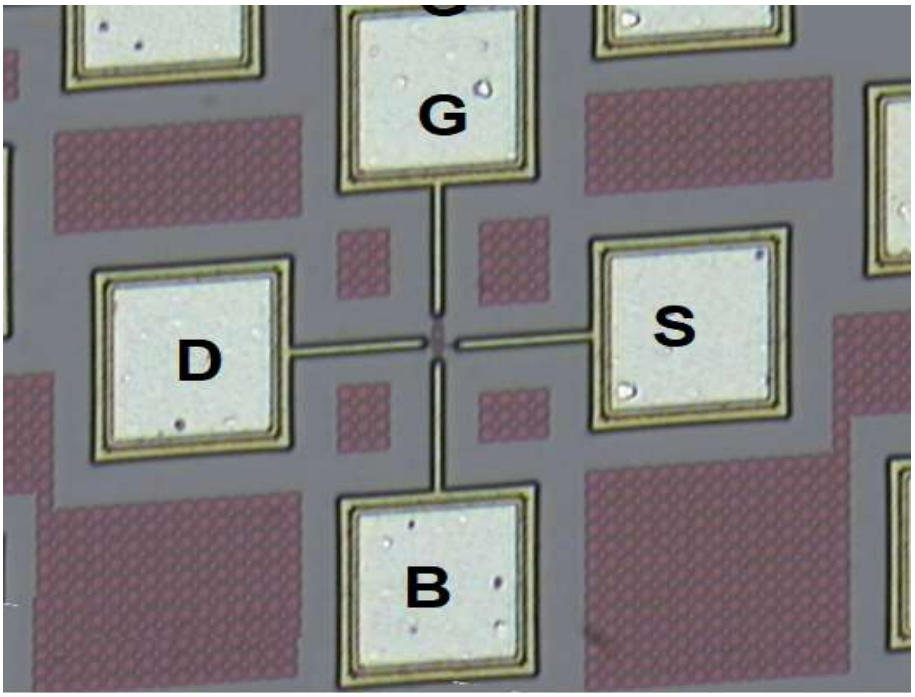


Fonte: Autor

Os CIs CMOS fabricados foram colocados sob o microscópio do microprovador da *Cascade Microtech*, onde os contatos são feitos através de agulhas com pontas microscópicas sobre os *PADs* dos MOSFETs. Por meio do uso do microscópio foi possível identificar os terminais dos dispositivos (Dreno, porta, fonte e substrato). A foto de um dos

dispositivos estudados foi obtida com o auxílio do microscópio e está ilustrada na Figura 5.2.

Figura 5.2 – Exemplo de imagem obtida com o auxílio do microscópio de um dos MOSFETs estudados por este projeto de pesquisa.

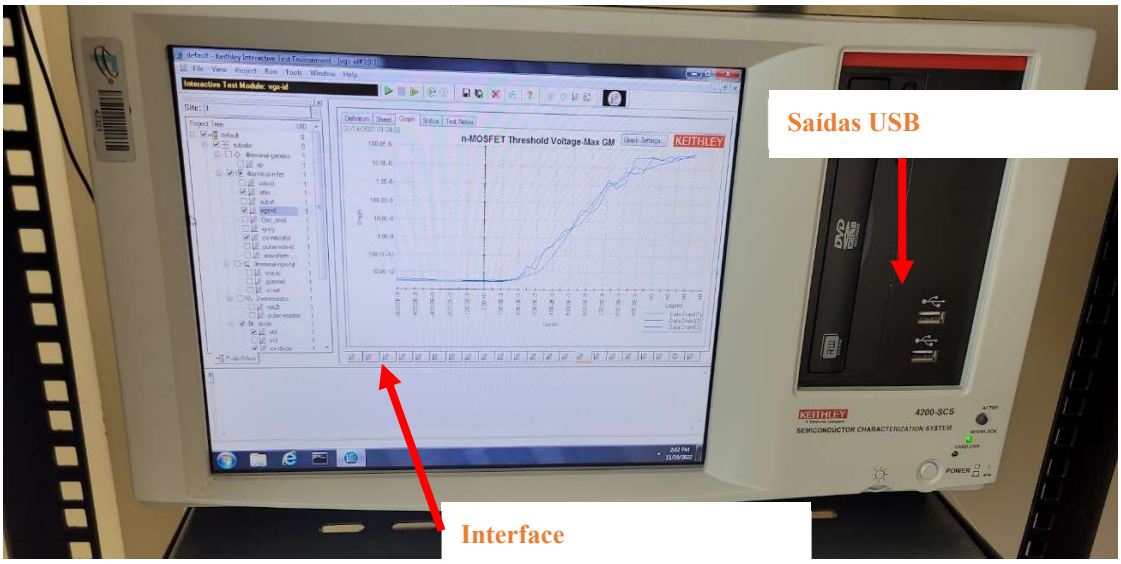


Fonte: Autor

Uma vez que o dispositivo é identificado no *chip* com o auxílio do microscópio, pode-se identificar os seus terminais de acordo com o mapa do nosso CI CMOS, que foi disponibilizado no Apêndice A.

Os parâmetros elétricos e figuras de mérito do MOSFET foram caracterizados eletricamente pelo analisador de parâmetros de dispositivos semicondutores *Keithley 4200 SCS*, da *Keithley Instruments Inc*. A Figura 5.3 ilustra uma das telas do analisador *Keithley 4200 SCS*, que mostra uma curva log(I_{DS}) em função de V_{GS}, para um determinado valor de V_{DS}, de um dos MOSFETs

Figura 5.3 – Exemplo de uma tela do analisador *Keithley 4200 SCS* contendo uma curva do log(I_{DS}) em função de V_{GS}, para um determinado valor de V_{DS}, de um dos MOSFETs estudados por este projeto de pesquisa.



Fonte: Autor

O analisador de parâmetros *Keithley 4200 SCS* é capaz de gerar as tensões de polarização que são aplicadas através de cabos conectados às das agulhas nos dispositivos e, ao mesmo tempo que polariza o dispositivo, ele é capaz também de fazer as medições de correntes elétricas que fluem por ele e despois faz e apresenta o gráfico na sua tela, como pode ser visto na Figura 5.3. Esses dados são posteriormente exportados via saída USB e tratados em um computador pessoal por outra ferramenta computacional.

5.2. Simulações numéricas tridimensionais dos MOSFETs estudados

Além da realização do leiaute, da fabricação e da caracterização elétrica dos MOSFETs, também foram feitas simulações numéricas tridimensionais para auxiliar no entendimento do comportamento físico e elétrico dos MOSFETs estudados e para servir como comparação com os resultados experimentais obtidos. Para se fazer as simulações, foi utilizado a tecnologia de projeto assistido por computador (*Technology Computer Aided Design*, TCAD), que é muito utilizada, especialmente em pesquisas, uma vez que a fabricação de dispositivos é muito limitada devido aos altos custos envolvidos e ao tempo gasto, desde as concepções dos dispositivos até tê-los fabricados em mãos. Além de convenientes, os simuladores numéricos tridimensionais de dispositivos semicondutores possuem modelos

físicos que simulam o comportamento muito próximo ao real dos dispositivos semicondutores. Eles também dão mais liberdade em relação à geometria dos MOSFETs, uma vez que não precisam respeitar as regras de projeto impostas por determinadas tecnologias de fabricação de CIs CMOS utilizadas.

O simulador utilizado nesse trabalho foi o *Sentaurus Device*, da *Synopsys*. Os modelos utilizados neste projeto de pesquisa na simulação dos MOSFETs estudados foram:

I - *HighFieldSaturation*: Os MOSFETs estudados apresentarem altos campos elétricos longitudinais devido ao efeito LCE. Este modelo considera a influência do alto campo elétrico longitudinal resultante e tem como objetivo determinar a influência do campo elétrico longitudinal resultante do efeito LCE na mobilidade dos portadores de carga móvel. Quando há um alto campo elétrico longitudinal resultante na região de dreno, a velocidade dos portadores de carga passa a ser definida pela velocidade de saturação (CANALI et al., 1975), (SYNOPSYS, 2015);

II - *Philips Unified Mobility Model*: Este modelo descreve a dependência da mobilidade com a dopagem e considera o espalhamento por impurezas ionizadas na mobilidade dos portadores de cargas moveis na região de canal. (SYNOPSYS, 2015);

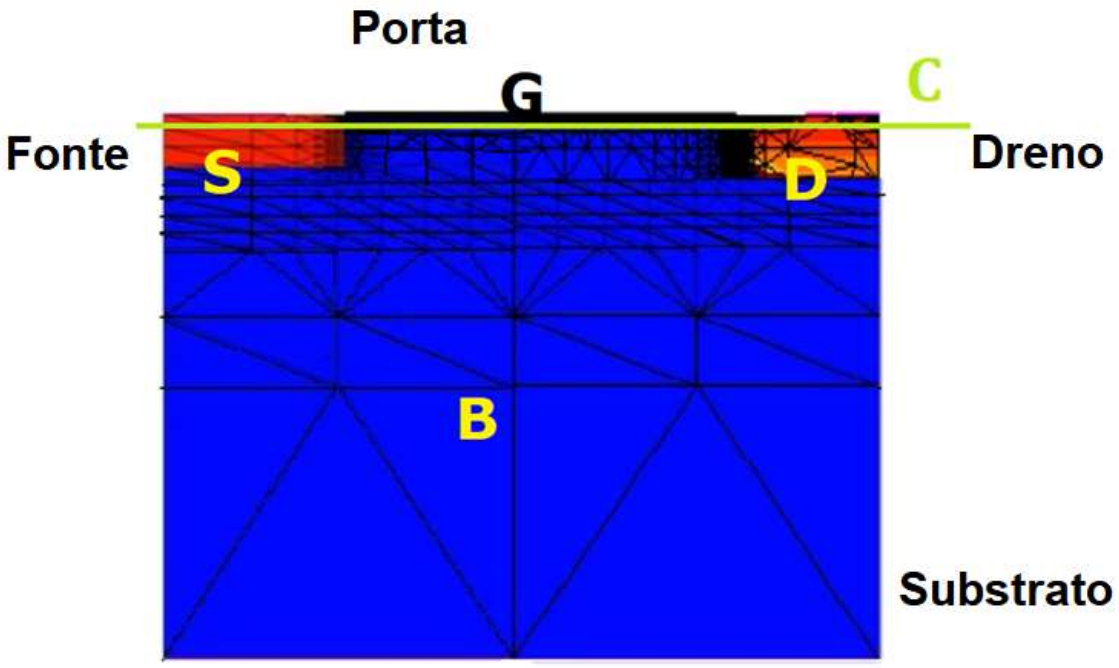
III - *Enormal*: Modelo que considera a degradação da mobilidade na interface do óxido de porta e substrato através do campo elétrico transversal (SYNOPSYS, 2015);

IV - *Shockley-Read-Hall* (SRH): Este modelo considera os defeitos presentes na rede cristalina do semicondutor e calcula os mecanismos de recombinação e geração dos portadores de carga móveis nos semicondutores (SAH; NOYCE; SHOCKLEY, 1957) devido aos (SYNOPSYS, 2015).

Os dispositivos simulados utilizaram as mesmas dimensões dos dispositivos fabricados e indicados na Tabela 4.1 para que os resultados pudessem ser similares. Os arquivos de descrição dos dispositivos simulados estão no Apêndice B.

A malha de pontos da estrutura do dispositivo são os pontos onde o simulador de dispositivos semicondutores faz os cálculos numéricos para definir o comportamento elétrico do transistor estudado. A malha é mais refinada nas regiões de interesse, que no caso do MOSFET, é a região de canal e as regiões de interface entre dreno e substrato e fonte e substrato, como pode ser observado na Figura 5.4. O corte C indica onde foi feito o corte na estrutura do dispositivo para mostrar o comportamento elétrico dos parâmetros elétricos que foram estudados de forma visual. Tais cortes foram feitos 1 nm abaixo da região de porta e serão apresentados na seção de resultados.

Figura 5.4 – Exemplo de malha da grade do MOSFET do tipo Meio-Diamente feito para realizar uma simulação numérica tridimensional indicando o corte “C” realizado para estudo dos parâmetros elétricos dos MOSFETs.



Fonte: Autor

Legenda: Substrato tipo P

Substrato tipo N+

6. RESULTADOS OBTIDOS NESTE PROJETO DE PESQUISA

Neste capítulo são apresentados tanto os resultados experimentais, quanto os resultados das simulações numéricas tridimensionais dos MOSFETs. Conforme já descrito, as medidas foram realizadas no Laboratório de Nanoeletrônica e Dispositivos Integrados dentro do Centro Universitário da FEI, enquanto as simulações numéricas tridimensionais foram feitas no *software* Sentaurus. O mapa com as características dimensionais específicas de cada um dos dispositivos fabricados é encontrado no Apêndice A. Todos os gráficos são normalizados pela razão de aspecto (W/L_{geo}) para reduzir a influência das diferenças das dimensões dos dispositivos e foi utilizada a sobretensão de porta para representar as curvas características dos transistores, justamente para reduzir a influência das diferenças entre as tensões de limiares dos MOSFETs estudados. Tanto o MD quanto o MMD foram utilizados com α igual a 90° devido a limitações impostas pelo processo de fabricação.

6.1. Resultados das simulações numéricas tridimensionais do MOSFET do tipo Meio-Diamante

A Tabela 4.1 apresenta as características geométricas dos MOSFETs estudados por este projeto de pesquisa de forma simplificada e se baseou na Tabela 4.1. Essas características geométricas dos transistores das Tabelas 4.1 e 6.1 serviram como base para a implementação desses transistores no simulador numérico de dispositivos (Sentaurus da Sinopse).

Tabela 6.1. Características dimensionais do MOSFETs estudados por este projeto de pesquisa.

	MMD ($\alpha = 90°$)	MD ($\alpha = 90°$)	MC
B (μm)	0,670	0,80	-
b (μm)	0,180	0,180	-
W (μm)	1,05	0,90	1,05
L_{geo} (μm)	0,425	0,54	0,440
W/L_{geo}	2,47	1,48	2,39
A_G (μm²)	0,463	0,460	0,462
L_{eff} (μm)	0,373	0,450	0,440

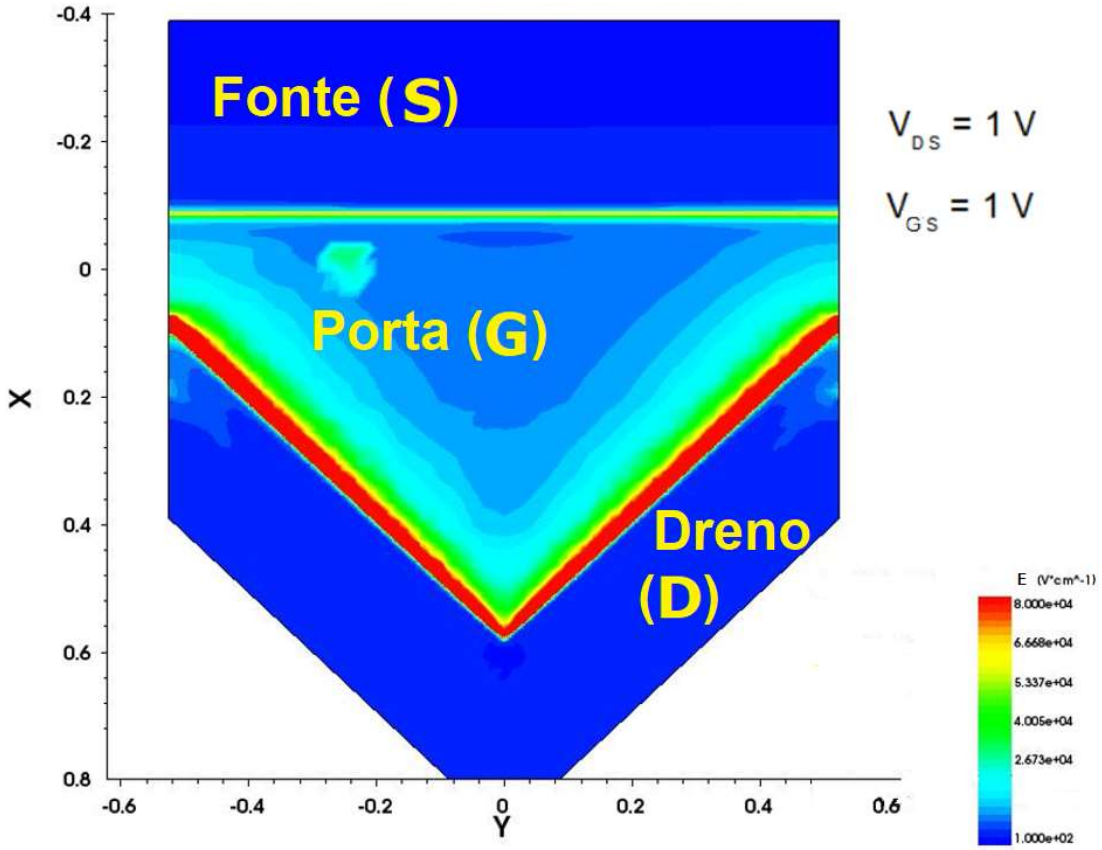
Fonte: Autor

6.1.1. Análise dos parâmetros elétricos e figuras de mérito obtidas a partir dos cortes feitos nos dispositivos por meio das simulações numéricas tridimensionais

Para analisar as características de campo elétrico total (vertical e longitudinal), potencial elétrico e densidade de corrente elétrica do MMD, foi feito um corte a 1 nm abaixo da interface entre SiO_2 e o substrato na região de canal, conforme ilustrado na Figura 5.4.

A Figura 6.1 ilustra uma imagem gerada a partir do corte que foi realizado a 1 nm abaixo da região da interface formada pelo oxido de porta fino e o substrato do tipo p da região de canal no nMOSFET, do campo elétrico total (vertical e longitudinal) resultante na região de canal do MMD, considerando-se as seguintes condições de polarização: V_{DS} igual a 1 V e V_{GS} igual a 1 V, ou seja, o dispositivos operando na região de saturação.

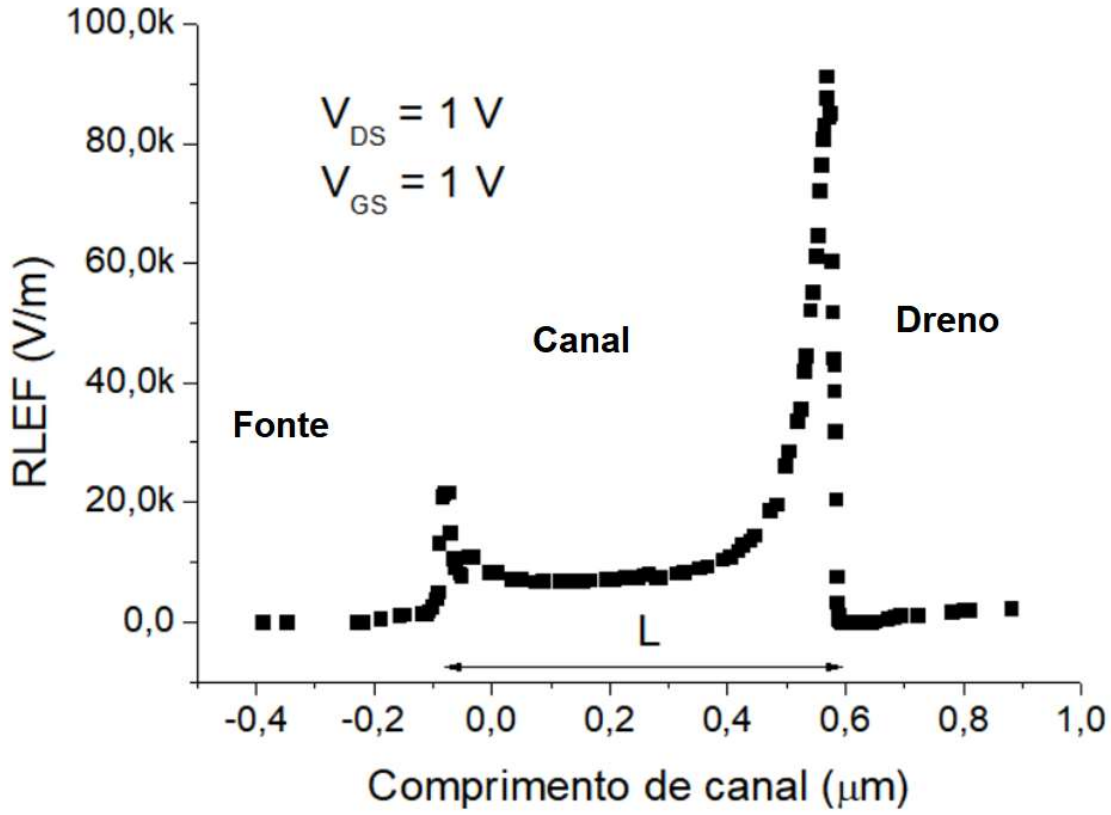
Figura 6.1 – Imagem do campo elétrico total (vertical e longitudinal) resultante de um MMD realizado a 1nm abaixo da região da porta. (Mudar Porta (G) para região do canal)



Fonte: Autor

É importante notar que, assim como no MOSFET do tipo Diamante (MD), a região de alto campo elétrico resultante no MOSFET do tipo Meio-Diamante (MMD) possui um perfil do seu comportamento elétrico similar ao do MD (PERUZZI, 2014). Isso significa que, apesar de termos modificado a interface entre a região de canal e a região de fonte, de triangular para retangular, a característica elétrica de alto campo elétrico resultante na interface entre a região de dreno e a região de canal são similares. Portanto, pode-se concluir que o efeito LCE permanece na estrutura do MMD, assim como ocorre na estrutura do MD equivalente. A **Erro! Fonte de referência não encontrada.** ilustra uma curva do campo elétrico longitudinal observado ao longo do canal do MMD.

Figura 6.2 – Curva do perfil do campo elétrico ao longo do canal do MOSFET tipo Meio-Diamante para um V_{DS} = 1 V e V_{GS} = 1 V.

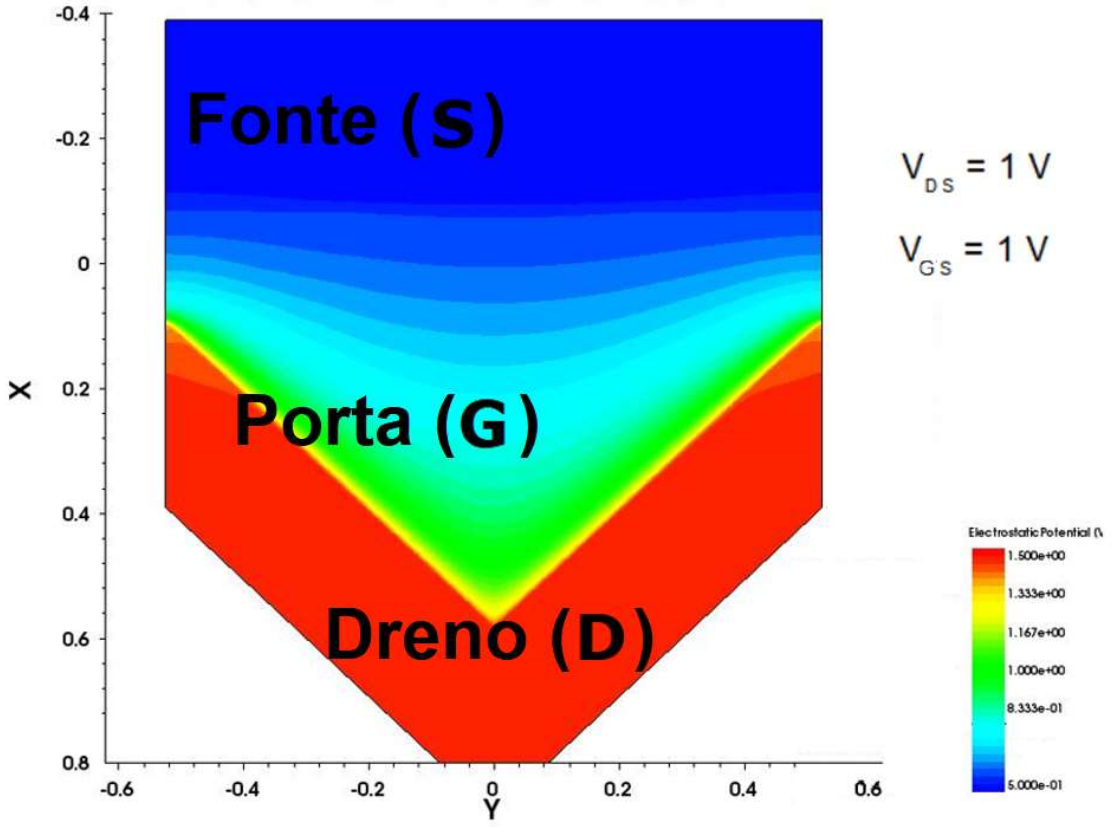


Fonte: Autor

A **Erro! Fonte de referência não encontrada.** ilustra o crescimento de campo elétrico longitudinal nas interfaces da região de canal com as regiões de dreno e fonte, ilustrando que o campo elétrico longitudinal é muito mais intenso na interface entra o canal e o dreno.

A Figura 6.3 ilustra uma imagem gerada a partir do corte que foi realizado a 1 nm abaixo da região da interface formada pelo oxido de porta fino e o substrato do tipo p da região de canal no nMOSFET, do potencial elétrico resultante na região de canal do MMD, considerando-se as seguintes condições de polarização: V_{DS} igual a 1 V e V_{GS} igual a 1 V (operando na região de saturação).

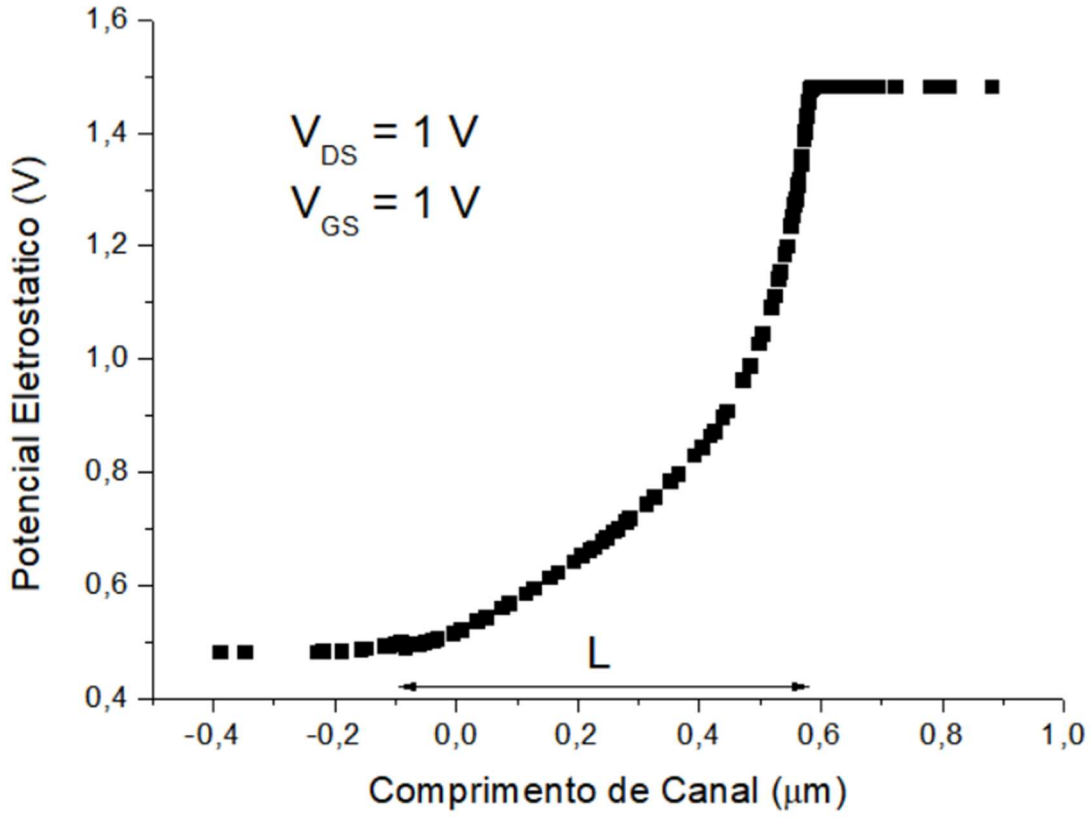
Figura 6.3 - Imagem do MMD mostrando o potencial elétrico na região do canal com localizado 1 nm abaixo da região da porta. (Vide anterior: porta/região de canal)



Fonte: Autor

Analisando-se a Figura 6.3, pode-se verificar que o perfil do potencial elétrico na região de canal no MOSFET do tipo Meio-Diamante (MMD) também é parecido com o do MD, em decorrência do perfil do seu campo elétrico resultante ser semelhante ao do MD.

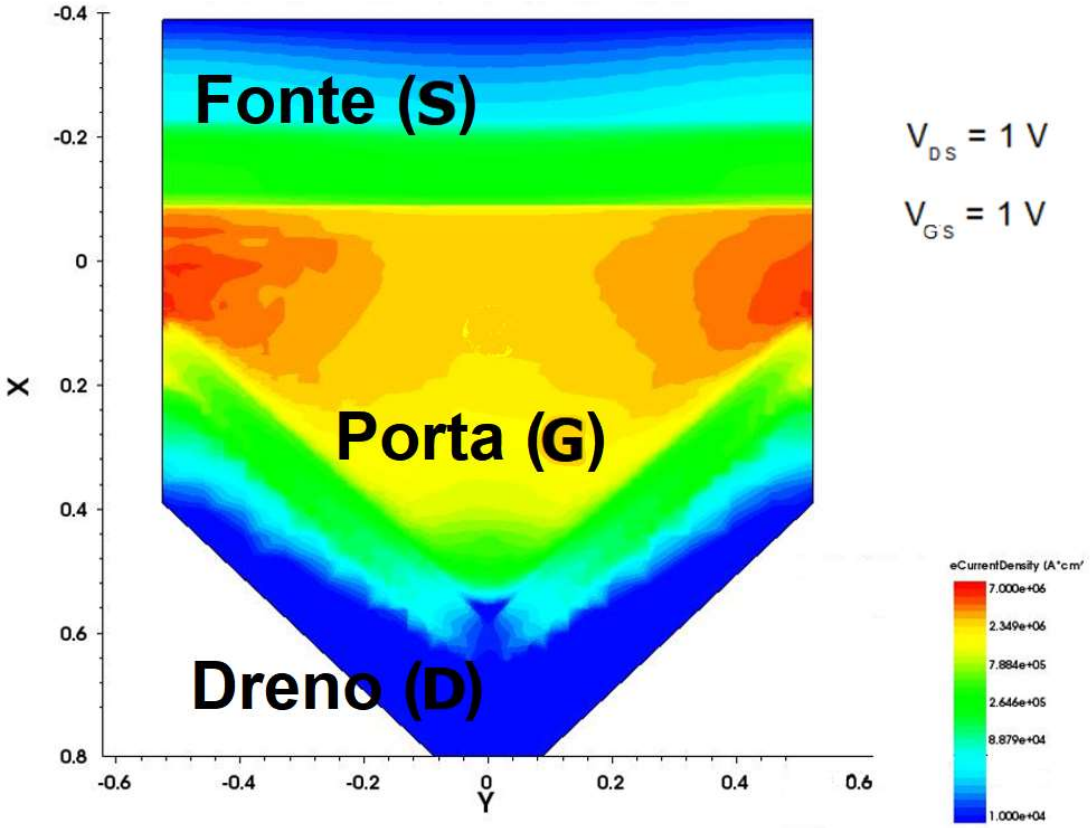
Figura 6.4 - Curva do perfil do potencial ao longo do canal do MOSFET tipo Meio-Diamante para um V_{DS} = 1 V e V_{GS} = 1 V



Fonte: Autor

A Figura 6.5 ilustra uma imagem gerada a partir do corte que foi realizado a 1 nm abaixo da região da interface formada pelo oxido de porta fino e o substrato do tipo p da região de canal no nMOSFET, da densidade da corrente elétrica de dreno na região de canal do MMD, considerando-se as seguintes condições de polarização: V_{DS} igual a 1 V e V_{GS} igual a 1 V (região de saturação).

Figura 6.5 - Imagem do MMD mostrando a densidade de corrente elétrica na região do canal com localizado 1 nm abaixo da região da porta. (vide)



Fonte: Autor

Analisando-se a Figura 6.5, verifica-se que a densidade de corrente de dreno na região de canal do MMD, mais uma vez, é similar à do MD equivalente na região do canal. Além disso, observamos também que a maior densidade de corrente de dreno ocorre nas margens do canal do MMD, da mesma forma que acontece no MD equivalente. Esse comportamento similar da densidade de corrente elétrica de dreno ocorre em função da existência do efeito PAMDLE que ocorre em sua estrutura também.

6.1.2. Caracterizações elétricas dos parâmetros elétricos e das figuras de mérito dos dispositivos por meio das simulações numéricas tridimensionais

Nesta seção são apresentadas as caracterizações elétricas dos parâmetros elétricos e figuras de mérito obtidos de cada MOSFET estudados por este projeto de pesquisa. Esses dispositivos foram feitos com comprimento geométrico de canal (L_{geo}) diferentes, para que pudéssemos manter as áreas de porta (A_G) e as mesmas larguras de canal desses transistores.

Consequentemente, a fim de se fazer uma comparação adequada entre os parâmetros elétricos e figuras de mérito desses dispositivos, as curvas características desses transistores, que foram obtidas por simulações numéricas tridimensionais, foram normalizadas em função de suas razões de aspecto (W/L_{geo}).

6.1.2.1. A tensão de limiar (V_{TH})

Conforme já visto anteriormente, o MOSFET pode ter ou não a formação de uma camada de inversão de portadores de cargas minoritários móveis sob sua região de porta, dependendo da polarização aplicada ao mesmo. A tensão elétrica de porta mínima necessária para que haja a formação de uma camada de inversão de portadores de cargas minoritários móveis na região de canal é denominada tensão de limiar (V_{TH}) (COLINGE e COLINGE, 2002).

As V_{TH} dos MOSFETs, que foram usados para fazer esse estudo, foram caracterizadas eletricamente utilizando-se o método da derivada segunda da curva característica de $I_{DS}/(W/L_{geo})$ em função de V_{GS}, para um valor de V_{DS} próximo de zero (100 mV, valor que foi considerado neste trabalho) (ORTIZ-CONDE, GARCÍA SÁNCHEZ, *et al.*, 2001). Os valores obtidos dessas tensões de limiar dos diferentes MOSFETs estudados estão apresentados na Tabela 6.2.

Tabela 6.2. Valores de V_{TH} dos dispositivos estudados por este projeto de pesquisa

Tipos de MOSFETs	MMD	MD	MC	ΔV_{TH}
V_{TH}	0,340 V	0,340 V	0,360 V	-5,5%

Fonte: Autor

Onde ΔV_{TH} é a variação percentual entre os valores das V_{THs} do MMD e do MC. As V_{THs} encontradas foram muito parecidas, com uma variação percentual máxima de -5,5%, considerando-se como referência a V_{TH} do MC. Isso pode ser justificado em função das variações das diferenças intrínsecas das grades das estruturas de cada um desses transistores. Como os resultados obtidos das V_{THs} dos MMD e MD foram iguais, podemos afirmar que as grades das estruturas elaboradas desses dois MOSFETs foram feitas de forma bem parecidas, ao contrário da grade gerada pelo simulador numérico gerou para o caso do MC, em função de serem estruturas geométricas de transistores diferentes.

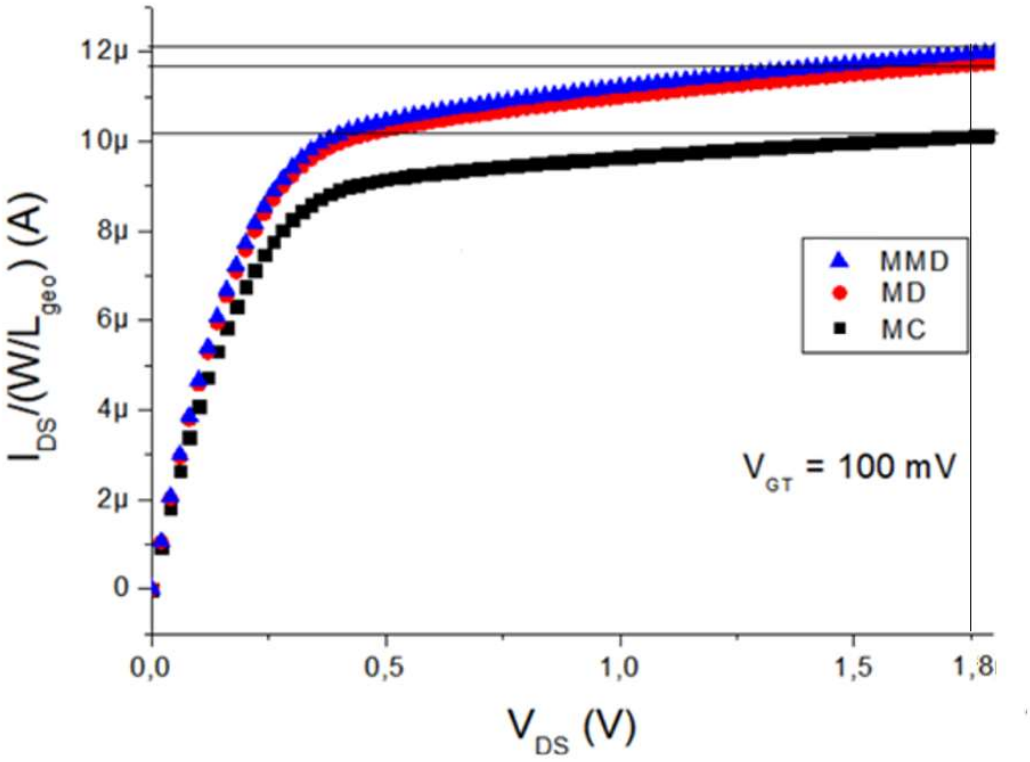
6.1.2.2. A corrente de saturação entre as regiões de dreno e fonte (I_{DS_SAT}) dos MOSFETs estudados

Conforme já visto, a I_{DS} do MOSFET é proporcional a sobretensão de porta (V_{GT}), considerando-se que esses transistores estão operando na região de Saturação. Como o MC tem uma V_{TH} diferente dos demais MOSFETs estudados (MMD e DM), as comparações entre os parâmetros elétricos e figuras de mérito deles foram levadas em conta e comparadas em função da sobretensão de porta ($V_{GT}=V_{GS}-V_{TH}$), para que os resultados fossem os mais normalizados possíveis, no qual considera que os valores das espessuras dos canais desses transistores sejam o mais próximas possíveis.

Pelo fato dos MOSFETs estudados terem diferenças entre as suas razões de aspecto (W/L_{geo}), as comparações entre os seus parâmetros elétricos e figuras de mérito sejam o mais corretas possível, tais parâmetros foram também normalizados em função das razões de aspectos desses transistores (W/L_{geo}).

A Figura 6.6 ilustra um gráfico de $I_{DS}/(W/L_{geo})$ em função de V_{DS}, para um V_{GT} de 100 mV dos diferentes MOSFETs estudados, visando a caracterização elétrica da corrente de dreno de saturação (I_{DS_SAT}), considerando-se um valor de V_{DS} de 1,8 V e um valor de V_{GT} de 100 mV.

Figura 6.6 – As curvas simuladas de $I_{DS}/(W/L_{geo})$ em função de V_{DS} do MMD (azul), MD (vermelho) e MC (preto), considerando-se uma V_{GT} igual a 100 mV.



Fonte: Autor

A Tabela 6.3 apresenta os valores de $I_{DS_SAT}/(W/L_{geo})$ dos nMOSFETs estudados obtidos a partir da curva da Figura 6.6.

Tabela 6.3 Valores obtidos por simulação numérica tridimensional de $I_{DS_SAT}/(W/L_{geo})$ MMD, do MD e do MC respectivamente.

Tipos de MOSFETs	MMD	MD	MC	$\Delta I_{DS_SAT}/(W/L_{geo})$ (%)
$I_{DS_sat}/(W/L_{geo})$ (µA)	12,0	11,9	10,1	18,81

Fonte: Autor

Avaliando-se a Figura 6.6, verifica-se que a $I_{DS_SAT}/(W/L_{geo})$ do MMD é 5,55% e 18,8% maior que aquelas medidas no MD a no MC, respectivamente, levando-se em conta as mesmas condições de polarização. Justifica-se esse resultado entre o MMD e MD graças aos efeitos LCE e PAMDLE no MMD ser mais capaz de potencializar a sua $I_{DS}/(W/L_{geo})$ do

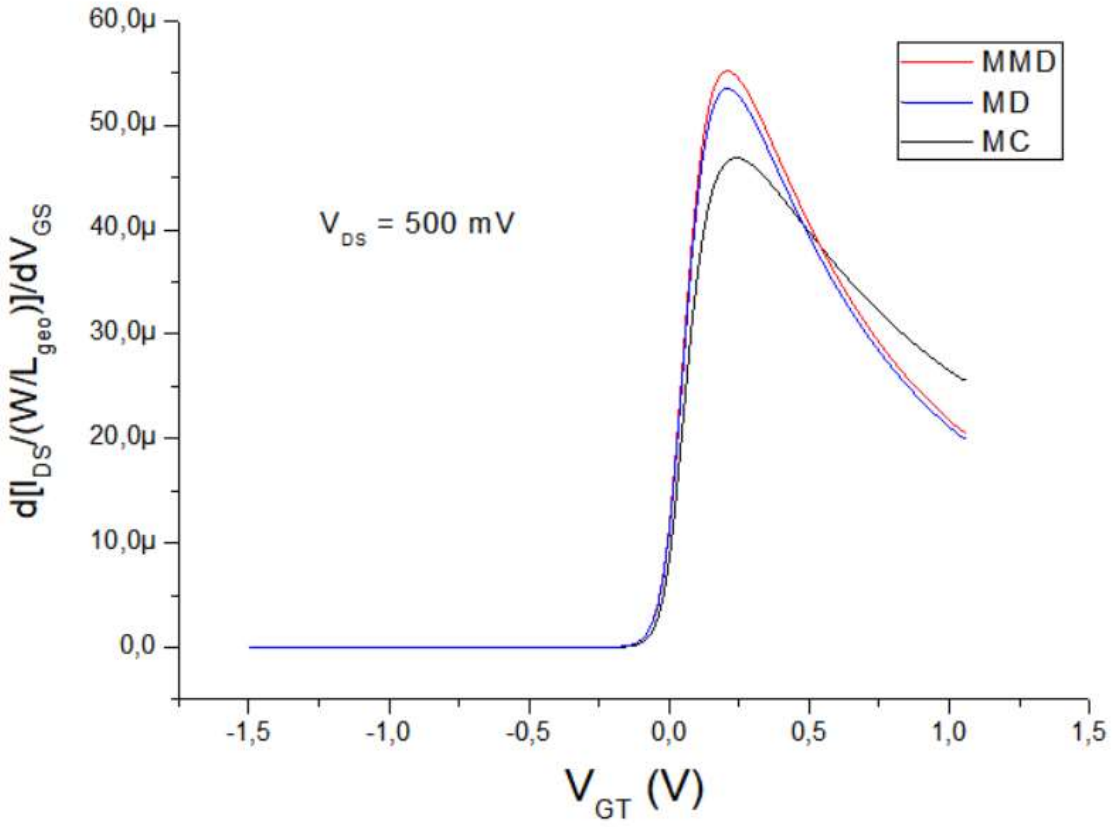
que a do MD, pois o MMD possui LCE atuando em quase toda a sua região de canal, enquando o MD possui a região de interface entre canal e fonte onde não há atuação desse efeito. Dessa forma, podemos concluir que o primeiro elemento da Segunda Geração de estilos de leiaute não convencionais de porta (MMD), realmente é capaz de proporcionar um maior desempenho elétrico do que o primeiro elemento da Primeira Geração de estilos de leiaute não convencionais de porta (MD). Além disso, comparando-se os resultados encontrados entre as $I_{DS}/(W/L_{geo})$ do MMD e MC, verificamos que a $I_{DS}/(W/L_{geo})$ do MMD é 18,8% maior que a do MC, devido presença dos efeitos LCE e PAMDLE atuando na estrutura do MMD, fato este que não ocorre no MC.

Portanto, com base nos resultados encontrados, podemos afirmar que o estilo de leiaute híbrido do primeiro elemento da Segunda Geração de estilos de leiautes para MOSFETs pode ser considerado uma alternativa para ser usado principalmente para as aplicações analógicas e de radiofrequência de CIs CMOS. Adicionalmente, podemos reduzir ainda mais a área gasta de lâmina de silício (*waffer*) de CIs CMOS analógicos e de radiofrequência pelo uso do MMD do que aquelas já alcançadas pelo uso dos MDs, quando realizamos a substituição dos MCs, que reflete consequentemente numa maior resposta de frequência desse inovador primeiro elemento de estilo de leiaute da Segunda Geração para MOSFETs, em função de apresentarem menores capacitâncias parasitas em suas estruturas, que é resultado de sua menor dimensão em relação aos MDs equivalentes.

6.1.2.3. A transcondutância máxima ($g_{m_máx}$)

A $g_{m_máx}$ pode ser obtida a partir da derivada de $I_{DS}/(W/L_{geo})$ em relação a V_{GT}, para um V_{DS} que polariza o transistor na região de saturação, obtendo-se o valor máximo de gm (SZE e NG, 2007). A Figura 6.7 ilustra um gráfico da derivada da corrente de dreno normalizada em função de W/L_{geo} $\{d[I_{DS}/(W/L_{geo})]/dV_{GT}\}$ em função de $V_{GT,}$ para um V_{DS} de 500 mV dos diferentes nMOSFETs estudados (transistores operando na região de saturação) visando as caracterizações elétricas das transcondutâncias máximas $[g_{m_máx}/(W/L_{geo})]$ normalizadas em função de suas razões de aspecto (W/L_{geo}).

Figura 6.7 – As curvas simuladas de gm/(W/L_{geo}) em função de V_{GT} do MC (preto), MD (vermelho) e MMD (azul), considerando-se um valor de V_{DS} igual a 500 mV



Fonte: Autor

A Tabela 6.4 mostra os valores das $g_{m_máx}$/(W/L_{geo}) dos MOSFETs estudados por esse projeto de pesquisa, que foram obtidos a partir do gráfico da Figura 6.7, onde $\Delta g_{m_máx}$ (%) é a diferença percentual entre a $g_{m_máx}$/(W/L_{geo}) do MMD em relação a do MC.

Tabela 6.4. Valores de $g_{m_máx}$/(W/L_{geo}) do MMD, do MD e do MC respectivamente.

Tipos de MOSFETs	MMD	MD	MC	$\Delta g_{m_máx}$(W/L_{geo}) (%)
$g_{m_máx}$/(W/L_{geo}) (µA/V)	55,2	53,5	46,8	18%

Fonte: Autor

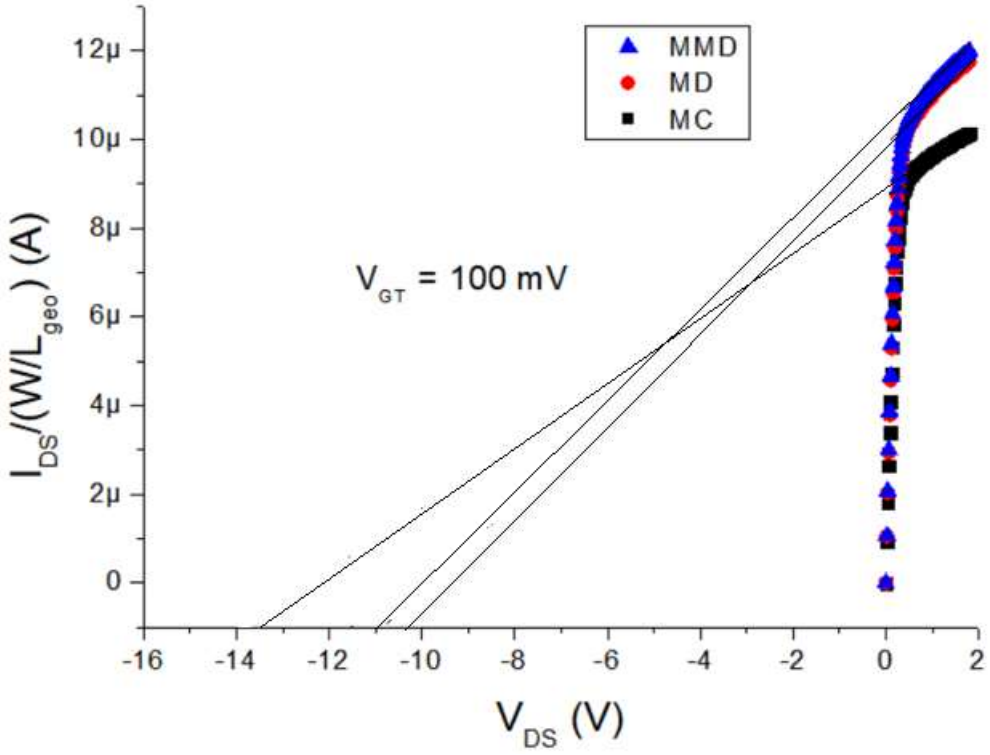
Foi possível verificar que [$g_{m_máx}$/(W/L_{geo})] do MMD é maior 3,2% e 18% em relação a do MD e a do MC, respectivamente, levando-se em conta as mesmas condições de polarização. Isso ocorre porque o MMD apresenta uma maior variação de I_{DS}/(W/L_{geo}) em relação àquelas medidas do MD e do MC, devido aos efeitos LCE e PAMDLE mais intensos

presentes na estrutura do MMD, considerando as mesmas condições de polarização para os MOSFETs estudados e enquanto operam na região da saturação. Isto é explicado pelo fato do MMD apresentar a RLEF ao longo de toda a sua região de canal maior do que a do MC, enquanto o MMD e o MD apresentam valores muito próximos um ao outro. Essa pequena diferença está associada a maior influência dos efeitos LCE e PAMDLE, em virtude do MMD apresentar um comprimento efetivo de canal (L_{eff}) menor do que aquele encontrado no MDs. Mais uma vez é demonstrado que os efeitos LCE e PAMDLE potencializam o desempenho elétrico do MMD em relação ao MD e ao MC, respectivamente e, portanto, o MMD pode ser considerado uma alternativa ao MC para potencializar o desempenho elétrico das aplicações de CI CMOS analógicos e de radiofrequência.

6.1.2.4. A tensão Early (V_{EA})

A tensão Early é uma consequência direta do efeito da modulação do comprimento de canal em decorrência da influência da tensão entre dreno e fonte dos MOSFETs. Há uma dependência indesejada da I_{DS} em relação ao valor de V_{DS}. A tensão Early é o valor encontrado por meio da extrapolação da região linear da curva de I_{DS} em função de V_{DS} para determinado valor de V_{GT}, quando um MOSFET opera na região de saturação. Em geral, é desejável que ela seja a maior possível em módulo para que ele possa amplificar sinais elétricos quando ele opera como amplificador. A Figura 6.8 ilustra as curvas de $I_{DS}/(W/L_{geo})$ em função de V_{DS}, para um V_{GT} igual a 100 mV, indicando as caracterizações elétricas da Tensão Early por meio da determinação da equação da reta da região linear da região de saturação. Posteriormente, se determina o valor de tensão elétrica no ponto em que a reta cruza o eixo das abscissas.

Figura 6.8 – As curvas simuladas de $I_{DS}/(W/L_{geo})$ em função de V_{DS} do MC (preto), MD (vermelho) e MMD (azul), respectivamente, para um V_{GT} = 100 mV.



Fonte: Autor

A Tabela 6.5 apresenta os valores das V_{EAs} dos MOSFETs estudados que foram obtidos a partir do gráfico da Figura 6.8, onde ΔV_{EA} (%) é a diferença percentual entre a $|V_{EA}|$ do MMD em relação ao do MC.

Tabela 6.5. Valores de V_{EAs} do MMD, do MD e do MC, respectivamente.

Tipos de MOSFETs	MMD	MD	MC	ΔV_{EA} (%)
$\|V_{EA}\|$ (V)	11,0	10,4	13,5	-19%

Fonte: Autor

Analisando-se a Tabela 6.4, verificamos que o valor de $|V_{EA}|$ do MMD é 7,5% maior e 19% menor em relação àquelas medidas no MD e no MC, respectivamente. A V_{EA} do MMD é maior do que a do MD por causa do maior nível de $I_{DS}/(W/L_{geo})$ dele. A inclinação da curva na região de saturação de ambos os MOSFETs são as mesmas.

A V_{EA} do MMD é menor do que a do MC. Isso pode ser justificado pela inclinação da curva de $I_{DS}/(W/L_{geo})$ ser maior para o MMD, que é causado pelo maior valor de campo elétrico longitudinal gerado pelo LCE, em relação ao MC.

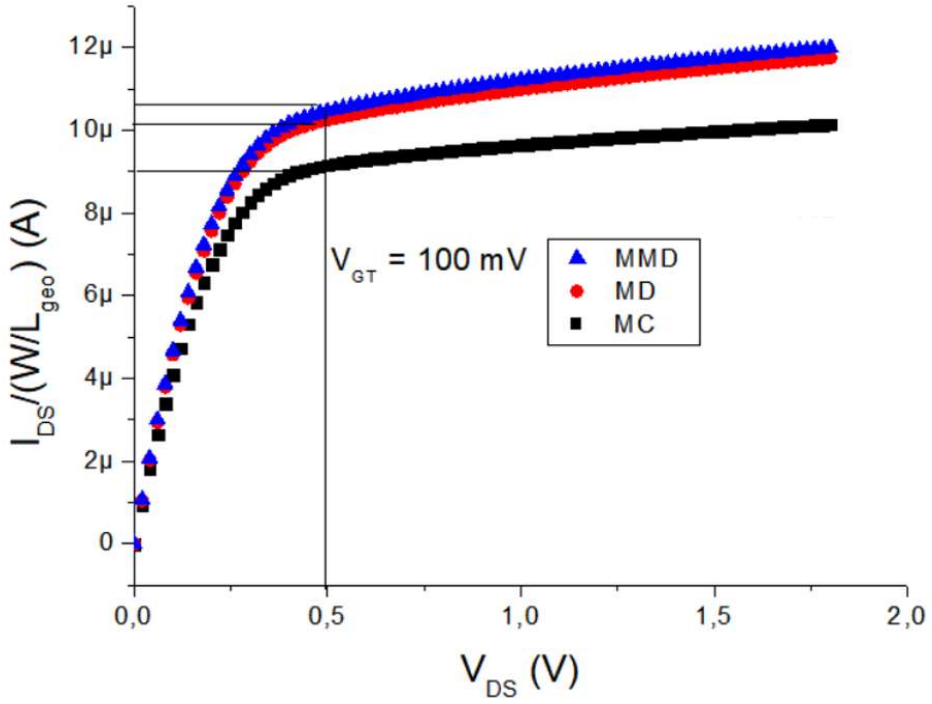
6.1.2.5. O ganho de tensão de malha aberta de baixas frequências (A_{V0})

O ganho de tensão de malha aberta de baixas frequências ou ganho de tensão intrínseca (A_{V0}) de um MOSFET, pode ser calculado a partir da Equação (21).

$$A_{V0} = \frac{g_{m_max}}{I_{DS}} |V_{EA}| \tag{21}$$

Para o cálculo de A_{v0}, foram utilizados os valores das $g_{m_máx}/(W/L_{geo})$ (Tabela 6.4), dos módulos das V_{EA} (Tabela 6.5) e das $I_{DS}/(W/L_{geo})$ dos nMOFETs obtidos considerando-se um valor de V_{DS} igual a 500 mV e V_{GT} igual a 100 mV, conforme ilustrado na Figura 6.9.

Figura 6.9 – As curvas simuladas de $I_{DS}/(W/L_{geo})$ em função de V_{DS} do MMD (azul), MD (vermelho) e MC (preto), considerando-se uma V_{GT} igual a 100 mV, indicando os valores das $I_{DS}/(W/L_{geo})$ utilizadas no cálculo de A_{V0}.



Fonte: Autor

Os A_{V0} encontrados dos n MOSFETs podem ser vistos na Tabela 6.6, onde ΔA_{V0} (%) é a diferença percentual entre o A_{V0} do MMD em relação ao do MC.

Tabela 6.6: Valores de A_{V0} do MMD, do MD e do MC, respectivamente.

Tipos de MOSFETs	MMD	MD	MC	ΔA_{V0} (%)
A_{V0} (V/V)	56,6	55,1	70,0	-19

Fonte: Autor

Analisando-se os dados da Tabela 6.6, observa-se que o A_{v0} do MMD é 2,7% maior do que o do MD. Isso pode ser justificado pois V_{EA} do MMD é 5,8% maior que o do MD e a $g_{m_max}/(W/L_{geo})/[I_{DS}/(W/L_{geo})]$ do MMD é 3% maior em relação a do MD. Essa diferença pode ser explicada principalmente porque a $I_{DS}/(W/L_{geo})$ do MMD sempre é maior que a do MD. Isso pode ser justificado pois o MMD possui LCE atuando ao longo de quase toda a sua região de canal, enquanto o MD possui a região de interface entre canal e fonte onde não há atuação desse efeito, considerando-se que esses dispositivos estão com as mesmas polarizações. Dessa forma, o campo elétrico longitudinal resultante (RLEF) do MMD tende a ser sempre maior do que a do MD equivalente, em decorrência do efeito LCE estar presente nas estruturas desses dois MOSFETs. Além disso, verificamos que o A_{v0} do MMD é 19% menor do que o do MC. Esse resultado pode ser justificado pela diferenças entre os $g_{m_max}/(W/L_{geo})/[I_{DS}/(W/L_{geo})]$ e V_{EAs} desses dois dispositivos que ocorrem simultaneamente, sendo que o $g_{m_max}/(W/L_{geo})/[I_{DS}/(W/L_{geo})]$ do MMD é 18% maior que a do MC e a V_{EA} do MMD é 19% menor que a do que a do MC equivalente.

6.1.2.6. A frequência de ganho de tensão unitário (f_T)

A frequência de ganho de tensão unitário (f_T) foi caracterizada eletricamente a partir da Equação (22), considerando uma capacitância de carga (C_L) de 10 pF.

$$\frac{f_T}{\left(\frac{W}{L_{geo}}\right)} = \frac{\left|\frac{g_{m_max}}{\left(\frac{W}{L_{geo}}\right)}\right|}{2\pi C_L} \quad (22)$$

Para esse estudo, as $g_{m_max}/(W/L_{geo})$ consideradas para o cálculo das $f_T/(W/L_{geo})$ foram obtidas considerando-se um V_{DS} igual a 500 mV e um V_{GT} igual a 100 mV, para garantir que os nMOSFETs operam na região de saturação. A Tabela 6.7 apresenta os valores simulados das $f_T/(W/L_{geo})$ do MMD, do MD e do MC, respectivamente, onde $\Delta[f_T/(W/L_{geo})]$ (%) é a diferença percentual entre a $f_T/(W/L_{geo})$ do MMD em relação a do MC.

Tabela 6.7. Valores simulados das $f_T/(W/L_{geo})$ do MMD, do MD e do MC, respectivamente.

Tipos de MOSFETs	MMD	MD	MC	$\Delta[f_T/(W/L_{geo})]$ (%)
$f_T/(W/L_{geo})$ (kHz)	879	851	745	18

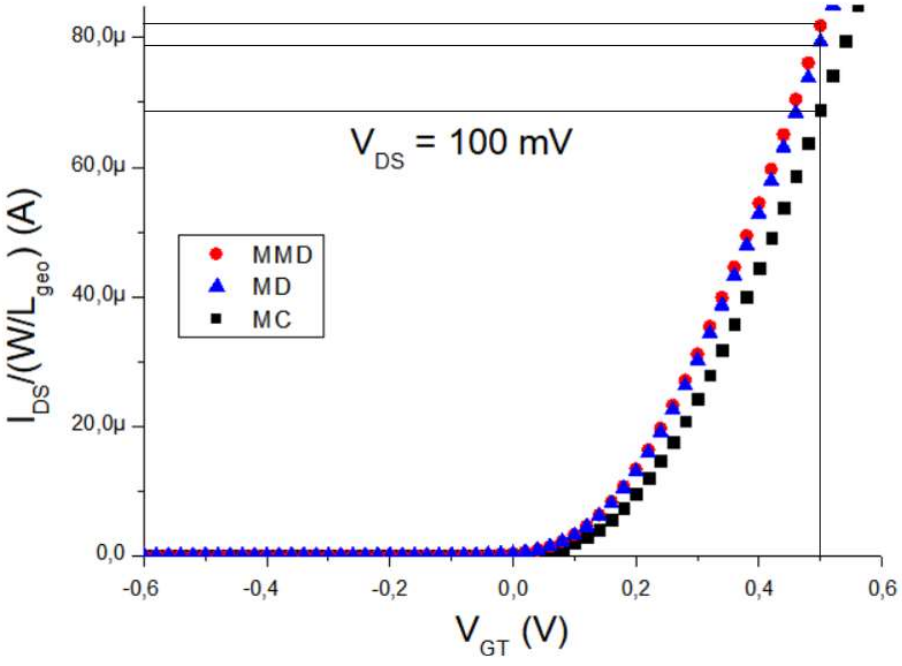
Fonte: Autor

Analisando-se os valores apresentados na Tabela 6.6, observamos que o valor de $f_T/(W/L_{geo})$ do MMD é 3,3% e 18% maior em relação as do MD e do MC, respectivamente. Isso pode ser justificado porque o $g_{m_max}/(W/L_{geo})$ do MMD apresenta sempre valores maiores que a do MD e a do MC, respectivamente. O resultado encontrado entre as $f_T/(W/L_{geo})$ do MMD e dos demais transistores é consequência de uma maior intensidade do campo elétrico longitudinal resultante ao longo do canal do MMD em relação eles. No caso dos resultados encontrados entre as $f_T/(W/L_{geo})$ do MMD e a do MD serem próximas é consequência dos efeitos LCE e PAMDLE serem parecidos nessas duas estruturas de transistores. Porém, a $f_T/(W/L_{geo})$ do MMD é um pouco maior pelo fato o MMD possui LCE atuando em quase toda a sua região de canal, enquanto o MD possui a região de interface entre canal e fonte onde esse efeito não atua. Adicionalmente, a diferença observada entre as $f_T/(W/L_{geo})$ do MMD e do MC decorre da existência dos efeitos LCE e PAMDLE existem somente no MMD. Portanto, baseado nessa análise, podemos concluir que o primeiro estilo de leiaute da Segunda Geração de estilos de leiaute para MOSFETs pode ser considerada uma alternativa interessante para potencializar a resposta em frequência dos MOSFETs em termos de $f_T/(W/L_{geo})$ dos CIs CMOS analógicos e de radiofrequência.

6.1.2.7. A corrente entre dreno e fonte de estado ligado (I_{ON})

A corrente entre dreno e fonte de estado ligado (I_{ON}) é definida como o valor da I_{DS} quando o MOSFET opera como uma chave fechada, considerando-se um valor de V_{GS} igual a tensão da fonte de alimentação, quando o MOSFET opera na região Tríodo (V_{DS} próximo de zero) (MARTINO, PAVANELLO e VERDONCK, 2004). Portanto, para fazer a caracterização elétrica da $I_{ON}/(W/L_{geo})$ para este estudo, levaremos em conta um valor de V_{DS} de 100 mV, pois na realidade sempre há alguma queda de tensão sobre os contatos de dreno e fonte nessa condição de operação. Além disso, as $I_{ON}/(W/L_{geo})$ dos transistores foram obtidas considerando-se um valor de V_{GT} igual a 0,5 V. **Erro! Fonte de referência não encontrada.**A Figura 6.10 ilustra um gráfico de $I_{DS}/(W/L_{geo})$ em função de V_{GT}, considerando-se um valor de V_{DS} igual a 100 mV, para os diferentes MOSFETs estudados, visando a caracterização elétrica das $I_{ON}/(W/L_{geo})$ desses transistores.

Figura 6.10 – Curvas características simuladas de $I_{DS}/(W/L_{geo})$ em função de V_{GT} do MMD, do MD e do MC, respectivamente, para um valor de V_{DS} igual a 100 mV.



Fonte: Autor

Erro! Fonte de referência não encontrada. Os $I_{ON}/(W/L_{geo})$ dos nMOSFETs estudados podem ser vistos na Tabela 6.8, onde Δ $I_{ON}/(W/L_{geo})$ (%) é a diferença percentual entre o $I_{ON}/(W/L)$ do MMD em relação ao do MC.

Tabela 6.8. Valores simulados de $I_{ON}/(W/L)$ para o MMD, do MD e do MC respectivamente

Tipos de MOSFETs	MMD	MD	MC	Δ $I_{ON}/(W/L)$ %
$I_{ON}/(W/L_{geo})$ (μA)	286	272	260	10

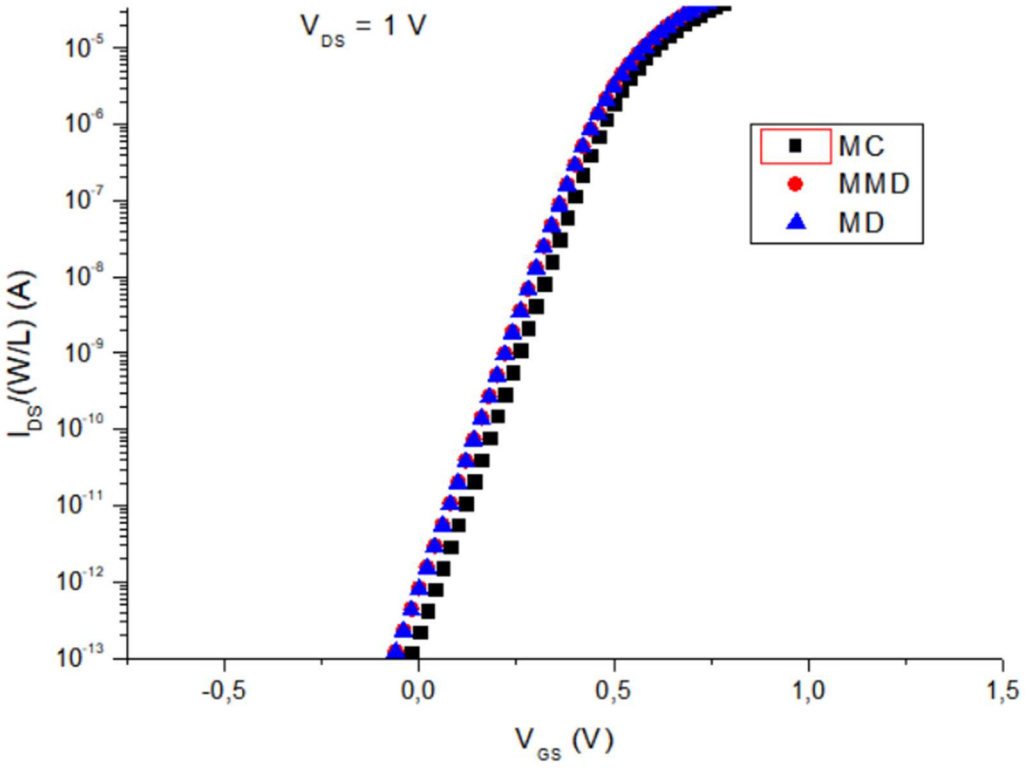
Fonte: Autor

Na Figura 6.10, verifica-se que os valores das $I_{ON}/(W/L_{geo})$ do MMD foi de 81,8 μA, do MD foi de 79,4 μA e do MC foi de 68,9 μA. Dessa forma, a $I_{ON}/(W/L_{geo})$ do MMD é 3,0% e 19% maior do que aqueles medidos dos equivalentes MD e MC, respectivamente. A $I_{ON}/(W/L_{geo})$ do MMD e do MD são bem parecidos em virtude deles apresentarem praticamente os mesmos efeitos LCE e PAMDLE em suas estruturas, considerando-se que eles possuem as mesmas áreas de porta e condições de polarização. O MMD apresenta um valor um pouco maior, que pode ser explicado pelo efeito LCE atuar em toda a região de canal do MMD, o que não ocorre no MD Com relação, os resultados encontrados entre as $I_{ON}/(W/L_{geo})$ do MMD e do MC, pode-se justificar esse maior valor da $I_{ON}/(W/L_{geo})$ do MMD, pelo fato de existirem os efeitos LCE e PAMDLE em sua estrutura, o que não ocorre na estrutura do MC. Portanto, baseado nesses resultados encontrados, podemos afirmar que o MMD pode ser considerado uma alternativa de se implementar nMOSFET também para as aplicações de CIs CMOS digitais, embora não seja possível utilizá-lo para substituir nMOSFETs com dimensões mínimas de comprimento de canal, porém ele é capaz de substituir os MCs com dimensões menores do que aqueles que foram conseguidos pelos MDs, pois o MMD pode ser implementado com valores de B menores do que aqueles encontrados nos MDs.

6.1.2.8. A corrente entre dreno e fonte de estado desligado (I_{OFF})

A Figura 6.9 ilustra um gráfico de $I_{DS}/(W/L_{geo})$ em função de V_{GS}, para um V_{DS} de 1 V dos diferentes MOSFETs estudados, visando a caracterização elétrica da $I_{OFF}/(W/L_{geo})$ no ponto onde $V_{GS} = 0$ V.

Figura 6.11 – As curvas simuladas log $I_{DS}/(W/L_{geo})$ em função de V_{GS} do MMD, MD e MC.



Fonte: Autor

Os $I_{OFF}/(W/L_{geo})$ dos nMOSFETs estudados podem ser vistos na Tabela 6.9, onde $\Delta I_{OFF}/(W/L)$ (%) é a diferença percentual entre o $I_{OFF}/(W/L_{geo})$ do MMD em relação ao do MC.

Tabela 6.9. Valores simulados de $I_{OFF}/(W/L_{geo})$ para o MMD, do MD e do MC respectivamente

Tipos de MOSFETs	MMD	MD	MC	$\Delta I_{OFF}/(W/L)$ %
$I_{OFF}/(W/L_{geo})$ (pA)	220	200	112	96,43

Fonte: Autor

Analisando-se curvas da Figura 6.9, verificamos que as $I_{OFF}/(W/L_{geo})$ do MMD igual a 817 fA, do MD é igual a 732 fA e do MC é igual a 112 fA. Dessa forma, o $I_{OFF}/(W/L_{geo})$ do MMD é aproximadamente 10% maior que a do MD e sete vezes maior que a do MC, respectivamente.

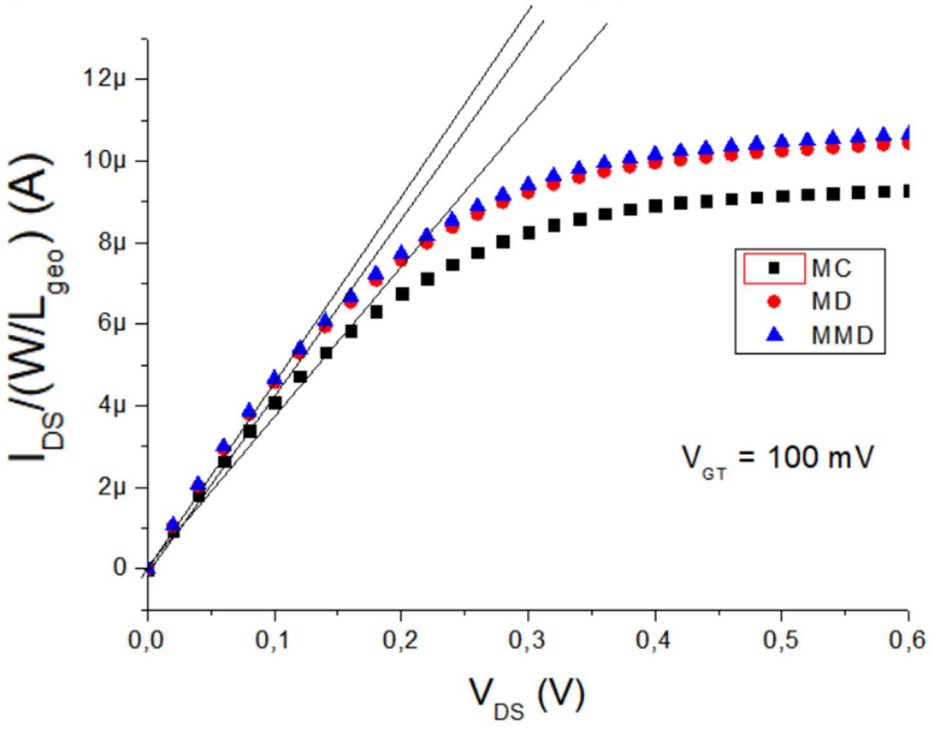
As $I_{OFF}/(W/L_{geo})$ do MMD e do MD são parecidas entre si, pois ambos os dispositivos estão sujeitos aos mesmos efeitos de LCE e de PAMDLE. Porém, a $I_{OFF}/(W/L_{geo})$ do MMD é maior que a do MC, pois o campo elétrico longitudinal resultante (RLEF) gerado pelo LCE

na estrutura do MMC é maior que a do MC e porque o perímetro da junção dreno/fonte do MMC é também maior que a do MC equivalente, considerando-se que ambos os dispositivos possuem ass mesmas condições de polarização.

6.1.2.9. Resistência de estado ligado entre dreno e fonte (R_{ON})

A Figura 6.12 ilustra o gráfico de $I_{DS}/(W/L_{geo})$ em função de V_{DS}, para um V_{GT} de 100 mV dos diferentes MOSFETs estudados, visando a caracterização elétrica de $R_{ON}.(W/L_{geo})$, considerando-se os nMOSFETs operando na região Triodo e fazendo a derivada gráfica do das curvas, pode-se determinar o valor das R_{ON}.

Figura 6.12 – As curvas simuladas de $I_{DS}/(W/L_{geo})$ em função de V_{DS} do MMD, MD e MC.



Fonte: Autor

Os $R_{ON}/(L_{geo}/W)$ dos nMOSFETs estudados podem ser vistos na Tabela 6.10, onde Δ $R_{ON}/(L_{geo}/W)$ (%) é a diferença percentual entre o $R_{ON}/(L_{geo}/W)$ do MMD em relação ao do MC.

Tabela 6.10. Valores simulados de $R_{ON}/(L_{geo}/W)$ do MMD, do MD e do MC respectivamente

Tipos de MOSFETs	MMD	MD	MC	Δ $I_{OFF}/(W/L)$ %
$R_{ON}/(L_{geo}/W)$ (Ω)	2122	2201	2404	-11,7

Fonte: Autor

Analisando a Figura 6.12, podemos notar que a $R_{ON}.(W/L_{geo})$ do MMD é igual a 2122 Ω, a do MD é igual a 2201 Ω e do MC é igual a 2404 Ω. Dessa forma, a $R_{ON}.(W/L_{geo})$ do MMD é 3,59% e 11,7% menor do que as medidas no MD e no MC, respectivamente. Tanto o MMD quanto o MD tiveram valores parecidos, uma vez que ambos estão sujeitos a praticamente as mesmas intensidades dos efeitos LCE e PAMDLE nesses transistores. Adicionalmente, comparando-se a $R_{ON*}(W/L_{geo})$ do MMD com a do MC, verificamos que ela realmente é bem menor devido aos efeitos LCE e PAMDLE que estão presentes na estrutura física do MMD, fato este que não ocorre no MC. Dessa forma, essa melhora no desempenho elétrico desse parâmetro elétrico do MMD em relação ao do MC, se dá por causa do maior valor de RLEF ao longo do comprimento do canal do MMD e por cause que o L_{eff} do MMD é 15,2% menor em comparação ao medido na contraparte MC. Esses resultados mostram também que o MMD pode ser eventualmente úteis em aplicações CIs CMOS digitais (DA SILVA e GIMENEZ, 2014), onde um baixo valor de R_{ON} é um fator importantíssimo para potencializar a velocidade de processamento desses tipos de circuitos integrados. Além do mais, por substituir um MC por um MMD equivalente (mesma área de porta e mesma largura de porta), é possível obter R_{ON}*(W/Lgeo) maiores, considerando-se as mesmas condições de polarização (GIMENEZ, 2010).

6.1.2.10. Razão I_{ON}/I_{OFF}

A partir dos valores obtidos para I_{ON} e para I_{OFF}, podemos determinar a razão I_{ON}/I_{OFF}. A Tabela 6.11 exibe os valores calculados da razão para os dispositivos.

Tabela 6.11. Valores simulados de I_{ON}/I_{OFF} do MMD, do MD e do MC respectivamente.

Tipos de MOSFETs	MMD	MD	MC	Δ $I_{OFF}/(W/L)$ %
I_{ON}/I_{OFF}	1,30	1,31	2,32	-43,97

Fonte: Autor

Devido ao I_{OFF} muito menor do MC em relação ao demais dispositivos, ele acabou tendo performance superior nesse parâmetro em relação tanto ao MMD quanto em relação ao MD.

6.1.3. Quadro geral comparativo entre os parâmetros elétricos e figuras de mérito considerados nas simulações numéricas tridimensionais dos nMOSFETs estudados por este trabalho

A

Tabela 6.12 apresenta um quadro comparativo geral dos parâmetros estudados, onde Δ% é a diferença percentual entre a grandeza correspondente ao MMD em relação ao MC

.

Tabela 6.12. Quadro geral comparativo entre os parâmetros elétricos e figuras de mérito dos nMOSFETs

	MMD	MD	MC	ΔX (%)
$g_{m_máx}/(W/L_{geo})$ (μA/V)	55,2	53,5	46,8	18
$\|V_{EA}\|$ (V)	11,0	10,4	13,5	-19
$f_T/(W/L_{geo})$ (Hz)	879	851	745	18
A_{V0} (V/V)	56,6	55,1	70,0	-19
$I_{DS_sat}/(W/L_{geo})$ (μA)	12,0	11,9	10,1	18,81
$I_{ON}/(W/L_{geo})$ (μA)	286	272	260	10
$I_{OFF}/(W/L_{geo})$ (pA)	220	200	112	96,43
I_{ON}/I_{OFF}	1,30	1,31	2,32	-43,97
$R_{ON}/(L_{geo}/W)$ (Ω)	2122	2201	2404	-11,7

Nota: ΔX (%) corresponde a variação do parâmetro elétrico ou figura de mérito do MMD em relação ao do MC equivalente, em percentagem.

Fonte: Autor

Analisando-se os dados da

Tabela 6.12, é possível verificar MMD apresentou um desempenho elétrico sempre maior que o do MD equivalente, com exceção do parâmetro elétrico $I_{OFF}/(W/L_{geo})$, com uma variação máxima entre eles de aproximadamente de 10%, porém na ordem de grandeza de pA, e portanto tem-se um baixo impacto no consumo de energia elétrica por parte do MMD

em relação ao do MD, porém a figura de mérito I_{ON}/I_{OFF} desses dispositivos são praticamente as mesmas, o que não impacta significativamente no desempenho elétrico dos CIs CMOS digitais. Já na comparação entre os parâmetros elétricos e figuras de mérito do MMD e do MC, verificamos que o MMD pode substituir o MC para potencializar a resposta em frequência, em termos de $f_T/(W/L_{geo})$, dos CIs CMOS analógicos e de radiofrequência, as custas de um menor A_{V0}. Além disso, MMC pode ser usado para substituir o MC para prover uma maior $I_{DS_sat}/(W/L_{geo})$ e $I_{ON}/(W/L_{geo})$ (μA), considerando-se as mesmas condições de polarização, ou se consideramos uma mesma $I_{DS_sat}/(W/L_{geo})$ e $I_{ON}/(W/L_{geo})$, ele pode ocupar uma menor área de "die".

6.2. Resultados Experimentais comparativos para o MOSFET do tipo Meio Diamante

Os MOSFET fabricados para esse estudo também obedecem às dimensões indicadas na Tabela 4.1 com o MMD e o MD tendo ângulo α igual a 90º. Os dispositivos foram fabricados pela TSMC via mini@sic.

6.2.1. Caracterização elétrica dos parâmetros

Nessa seção serão indicados os parâmetros obtidos dos dispositivos fabricados e caracterizados no Laboratório de Nanoeletrônica e Dispositivos Integrados dentro do Centro Universitário da FEI. Assim como nas simulações numéricas tridimensionais, esses dispositivos foram feitos com L_{geo} diferentes, mantendo-se somente as A_G e W constantes. As curvas características obtidas por experimentalmente foram normalizadas pela sua razão de aspecto W/L_{geo}, onde L_{geo} é o comprimento geométrico de canal desses transistores. Os ângulos α foram fixadas em 90° por limitações no processo de fabricação.

6.2.1.1. A tensão de limiar (V_{TH})

Os valores de V_{TH} dos MOSFETs foram caracterizados eletricamente a partir do método da segunda derivada da curva característica de $I_{DS}/(W/L_{geo})$ em função de V_{GS} para um valor de V_{DS} igual a 100 mV. Os valores obtidos de V_{TH} dos diferentes MOSFETs são apresentados na Tabela 6.13.

Tabela 6.13. V_{TH} dos dispositivos medidos experimentalmente.

Tipos de MOSFETs	MMD	MD	MC	ΔV_{TH} (%)
V_{TH}	0,460 V	0,461	0,458 V	0,4%

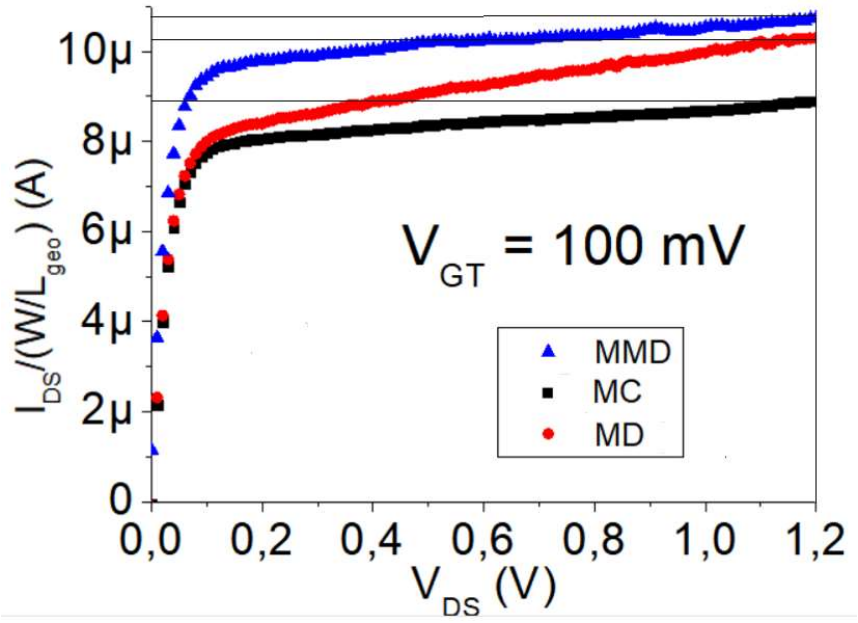
Fonte: Autor

Onde ΔV_{TH} é a variação percentual entre os valores das V_{THs} do MMD e do MC. Mais uma vez as V_{TH} tiveram valores muito próximos, tendo diferenças de 0,2% e 0,4% para o MD e o MC, respectivamente, se comparados ao MMD. Essas pequenas diferenças podem ser explicadas pelas diferenças geométricas e pelo processo de fabricação, que causa pequenas variações aleatórias ao longo da lâmina de silício.

6.2.1.2. A corrente de saturação entre dreno e fonte (I_{DS_SAT})

I_{DS} é proporcional a sobretensão de porta V_{GT} com os transistores operando na região de Saturação. Apesar da diferença mínima entre os valores de V_{TH}, as comparações do estudo desse projeto de pesquisa foram feitas considerando V_{GT}s iguais entre os MOSFETs. Os L_{geo}s dos MOSFETs estudados são diferentes, então a normalização pela razão de aspecto (W/L_{geo}) é feita para uma comparação mais correta entre dispositivos. A Figura 6.16 ilustra um gráfico de $I_{DS}/(W/L_{geo})$ em função de V_{DS} para um V_{GT} de 100 mV dos diferentes MOSFETs estudados, visando a caracterização elétrica da corrente de dreno de saturação ($I_{DS_SAT}/(W/L_{geo})$, considerando-se um V_{DS} de 1,2 V e um V_{GT} de 100 mV. Foi utilizada um V_{DS} para a extração desse parâmetro experimentalmente do que o obtido na simulação numérica tridimensional para respeitar as limitações de tensão impostas pelo processo de fabricação.

Figura 6.13 – As curvas medidas experimentalmente de $I_{DS}/(W/Lgeo)$ em função de V_{DS} do MMD, MD e MC.



Fonte: Autor

A Tabela 6.15 apresenta os valores de $I_{DS_SAT}/(W/L_{geo})$ dos nMOSFETs estudados obtidos a partir da curva da Figura 6.14.

Tabela 6.14 Valores obtidos experimentalmente de $I_{DS_SAT}/(W/L_{geo})$ MMD, do MD e do MC respectivamente.

Tipos de MOSFETs	MMD	MD	MC	Δ $I_{DS_SAT}/(W/L_{geo})$ (%)
$I_{DS_SAT}/(W/L_{geo})$ (µA)	10,7	10,2	8,83	21

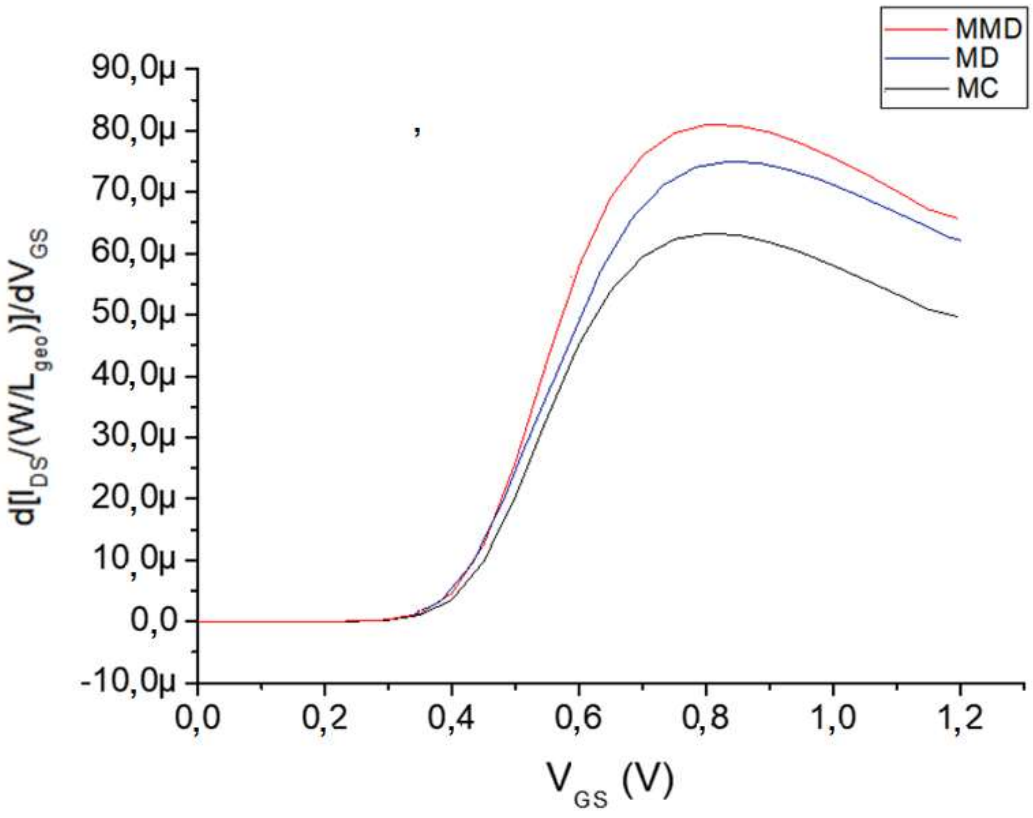
Fonte: Autor

Analisando o gráfico, observamos que $I_{DS_SAT}/(W/L_{geo})$ do MMD é de 10,7 µA, do MD é de 10,2 µA e o do MC é de 8,83 µA. Pode-se verificar que a $I_{DS_SAT}/(W/L_{geo})$ do MMD é 4,9% e 21% maior do que a do MD e a do MC, respectivamente, levando-se em conta as mesmas condições de polarização. Assim como para os dados simulados, o resultado obtido pode ser justificado devido ao MMD possuir LCE atuando em quase toda a sua região de canal, enquanto o MD possui a região de interface entre canal e fonte onde não há atuação desse efeito. Tanto o MMD e o MD tiveram valores de I_{DS_SAT} maiores que o MC. Esses resultados do MMD e do MD podem ser justificados pelos efeitos do LCE e PAMDLE que causam esse aumento de $I_{DS_SAT}/(W/L_{geo})$ devido ao campo elétrico longitudinal mais intenso que essa configuração de porta fica sujeita

6.2.1.3. A transcondutância máxima ($g_{m_máx}/(W/L_{geo})$)

A Figura 6.14 ilustra o gráfico da derivada de $I_{DS}/(W/L_{geo})$ em relação a V_{GS} em função de V_{GS} para um V_{DS} de 800 mV dos diferentes nMOSFETs estudados, visando as caracterizações elétricas das $g_{m_máx}/(W/L_{geo})$.

Figura 6.14 – As curvas medidas experimentalmente de g_m em função de V_{GS} do MMD, MD e MC.



Fonte: Autor

A Tabela 6.15 apresenta os valores de $g_{m_máx}/(W/L_{geo})$ dos nMOSFETs estudados obtidos a partir da curva da Figura 6.14.

Tabela 6.15 Valores obtidos experimentalmente de $g_{m_máx}$ MMD, do MD e do MC respectivamente.

Tipos de MOSFETs	MMD	MD	MC	$\Delta g_{m_máx}$ (%)
$g_{m_máx}/(W/L_{geo})$ (μA/V)	81,2	74,1	63,2	28

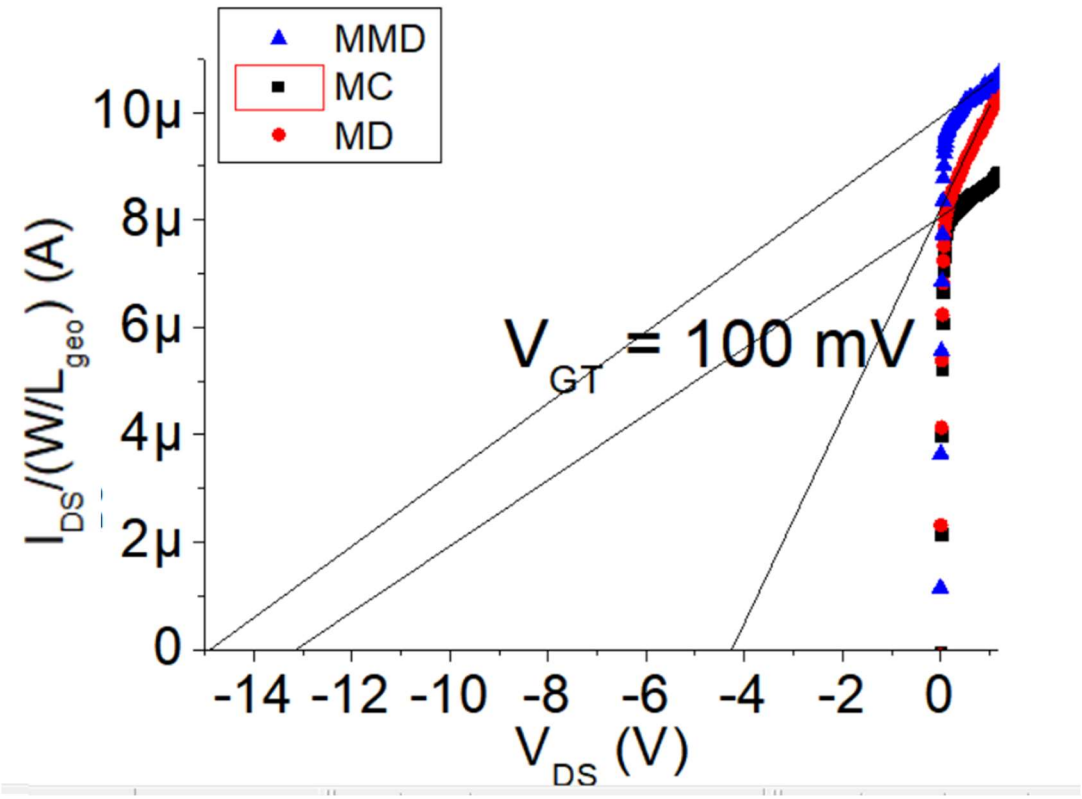
Fonte: Autor

Analisando a Tabela 6.15, o MMD teve comportamento similar ao MD, com um ganho de 9,6%. O valor de $g_{m_máx}/(W/L_{geo})$ é maior para o MMDdo que o do MC em 28%, devido ganho relacionado ao LCE e PAMDLE que esse dispositivo proporciona. O aumento de campo elétrico longitudinal ao longo da região de canal em relação ao MC, combinado à redução de L_{eff} gerado pelo efeito PAMDLE, gera uma melhora em $g_{m_máx}/(W/L_{geo})$.

6.2.1.4. A tensão Early (V_{EA})

V_{EA} é extraído do gráfico I_{DS} em função de V_{DS} pela extrapolação da região linear da curva na região de saturação. Para se fazer isso, foi determinada a equação da reta dessa região e, na sequência, o valor em que a reta cruza o eixo das abscissas. A Figura 6.15 ilustra o gráfico de $I_{DS}/(W/L_{geo})$ em função de V_{DS} com V_{GT} igual a 100 mV dos três dispositivos estudados, indicando a caracterização elétrica de V_{EA} por meio da extrapolação da região linear da região de saturação até essa reta alcance o eixo das abscissas.

Figura 6.15 – As curvas experimentais de $I_{DS}/(W/L_{geo})$ em função de V_{DS} para V_{GT} igual a 100 mV do MMD, MD e MC.



Fonte: Autor

A Tabela 6.16 apresenta os valores de V_{EA} obtidos experimentalmente dos MOSFETs estudados, onde ΔV_{EA} (%) é a diferença percentual entre a $|V_{EA}|$ do MMD em relação ao do MC .

Tabela 6.16. Valores obtidos experimentalmente de V_{EA} para o MMD, do MD e do MC respectivamente.

Tipos de MOSFETs	MMD	MD	MC	ΔV_{EA} %
$\|V_{EA}\|$ (V)	15,2	4,6	13,5	12,6

Fonte: Autor

Nos valores experimentais, podemos verificar que a $|V_{EA}|$ do MMD é 3,3 vezes maior do que a do MD e 12,6% maior do que o do MC para as mesmas condições de polarização. Foi um parâmetro com resultado diferente entre o encontrado nas simulações numéricas tridimensionais e o encontrado no experimental. Houve uma pequena diferença entre o MMD e o MC. Já para o MD houve uma grande diminuição de $|V_{EA}|$, o que é justificado pelo LCE, embora seja um resultado divergente com o que a simulação numérica

tridimensional apresentou. Estima-se que essa diferença se deva à necessidade de uma escolha diferente entre os modelos utilizados nas simulações, uma vez que esse resultado está mais alinhado ao encontrado na literatura disponível (SILVA e GIMENEZ, 2022) (GALEMBECK e GIMENEZ, 2022) (LEONI, 2013).

6.2.1.5. O ganho de tensão de malha aberta de baixas frequências (A_{V0})

A partir de $g_{m_máx}$ (Tabela 6.15), de V_{EA} (Tabela 6.16) e de $I_{DS}/(W/L_{geo})$ obtidos com a polarização de V_{DS} de 800 mV e V_{GT} de 100 mV, podemos extrair o ganho de malha aberta de baixas frequências (A_{V0}) dos nMOSFETs a partir da Equação (21)

Os A_{V0} dos nMOSFETs estudados podem ser vistos na Tabela 6.17, onde ΔA_{V0} (%) é a diferença percentual entre o A_{V0} do MMD em relação ao do MC.

Tabela 6.17. Valores experimentais de A_{V0} para o MMD, do MD e do MC respectivamente

Tipos de MOSFETs	MMD	MD	MC	ΔA_{V0}%
A_{V0} (V/V)	79,2	34,9	74,3	6,59

Fonte: Autor

Verificamos que o A_{V0} do MMD é cerca de duas vezes maior que o do MD. Isso ocorre devido à $|V_{EA}|$ baixa encontrada no MD. O MMD tem um A_{V0} 6,59% maior do que o do MC, considerando as mesmas condições de polarização. O MD teve uma diminuição desse parâmetro por ser diretamente proporcional ao $|V_{EA}|$. Esse resultado pode ser justificado pela diferença V_{EA} nos valores experimentais, com o MMD tendo

6.2.1.6. A frequência de ganho unitário (f_T)

A $f_T/(W/L_{geo})$ pode ser calculado a partir da Equação (5), considerando uma capacitância de carga de 10 pF . Assim como feito na simulação numérica tridimensional, para esse estudo, foi utilizado $gm/(W/L_{geo})$ para manter a normalização utilizada nos outros parâmetros. A gm considerada para o cálculo do f_T foi obtido para V_{DS} igual a 800 mV e V_{GT} igual a 100 mV, garantindo que o MOSFET estará polarizado na região de saturação. A Tabela 6.7 a apresenta os valores de $f_T/(W/L_{geo})$ para os três dispositivos estudados.

Tabela 6.18. Valores experimentais de $f_T/(W/L_{geo})$ do MMD, do MD e do MC respectivamente.

Tipos de MOSFETs	MMD	MD	MC	$\Delta f_T/(W/L_{geo})$ (%)
$f_T/(W/L_{geo})$ (kHz)	1292	1180	1006	29

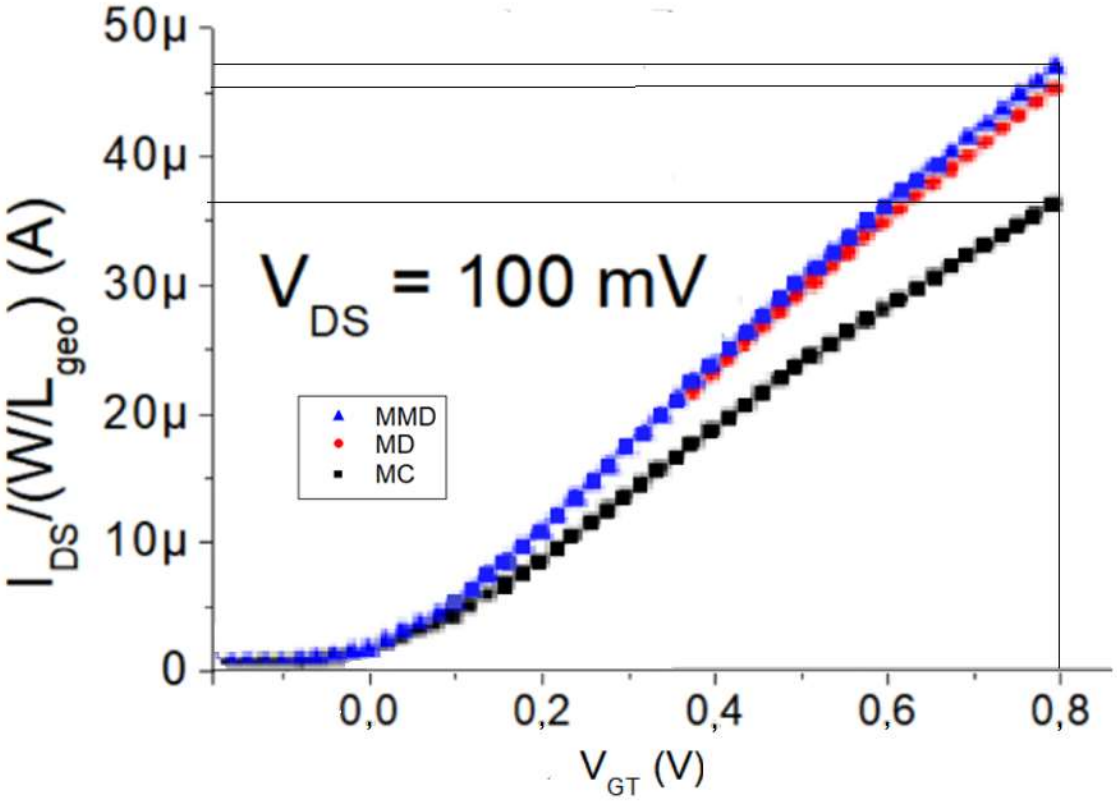
Fonte: Autor

Desta vez houve um aumento de 9,49% de $f_T/(W/L_{geo})$ para o MMD em relação ao MD. Novamente houve um aumento de $f_T/(W/L_{geo})$ para o MMD em relação ao MC, desta vez de 29%. Mais uma vez, esse resultado pode ser justificado porque o $g_m/(W/L_{geo})$ do MMD apresenta valores maiores que o do MD e MC, respectivamente. Esse fato é consequência de uma maior intensidade do campo elétrico longitudinal que existe na estrutura do MMD com relação aos demais nMOSFETs devido a presença do LCE e PAMDLE em sua estrutura.

6.2.1.7. A corrente entre dreno e fonte de estado ligado (I_{ON})

A Figura 6.16 ilustra o gráfico de $I_{DS}/(W/L_{geo})$ em função de V_{GT} para um V_{DS} de 100 mV, dos diferentes MOSFETs estudados, visando as caracterizações elétricas das $I_{ON}/(W/L_{geo})$. O valor foi extraído para uma V_{GT} igual a 0,8 V.

Figura 6.16 – Curvas experimentais de $I_{DS}/(W/L_{geo})$ em função de V_{GT} de MMD, MD e MC.



Fonte: Autor

Os $I_{ON}/(W/L_{geo})$ dos nMOSFETs estudados podem ser vistos na Tabela 6.19, onde Δ $I_{ON}/(W/L_{geo})$ (%) é a diferença percentual entre o $I_{ON}/(W/L)$ do MMD em relação ao do MC.

Tabela 6.19. Valores experimentais de $I_{ON}/(W/L)$ para o MMD, do MD e do MC respectivamente

Tipos de MOSFETs	MMD	MD	MC	Δ $I_{ON}/(W/L)$ %
$I_{ON}/(W/L_{geo})$ (µA)	47,7	45,3	36,1	32

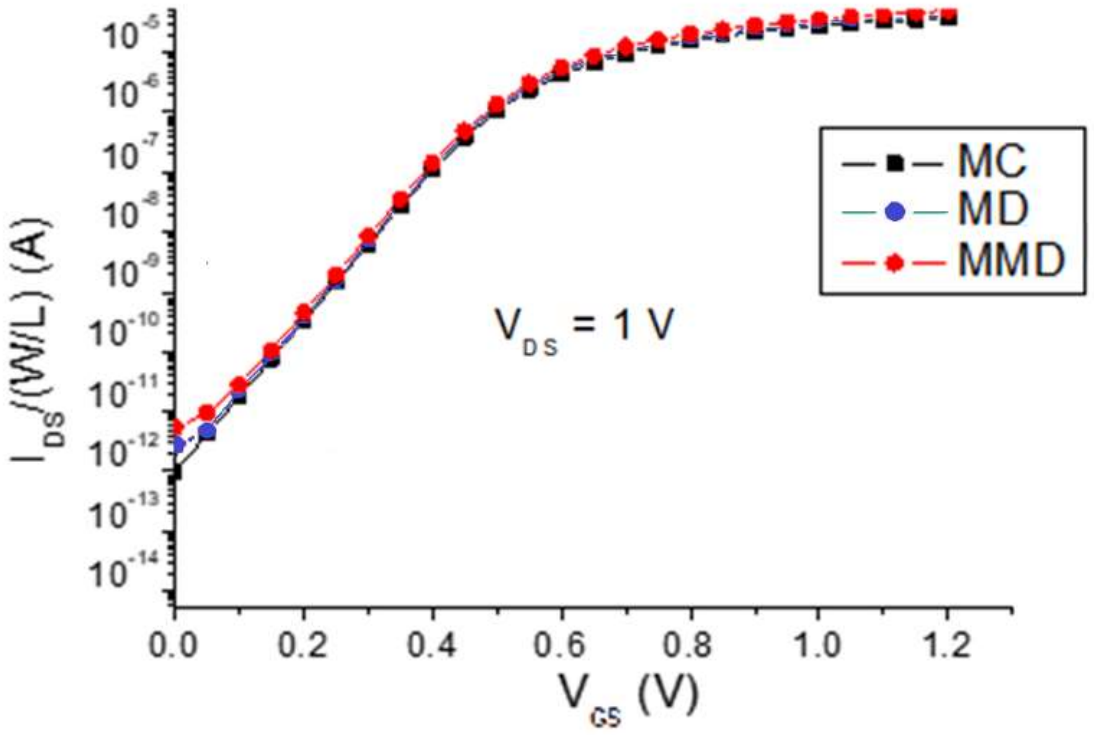
Fonte: Autor

Analisando a Figura 6.16, verifica-se que a $I_{ON}/(W/L_{geo})$ do MMD é de 47,7 µA, do MD é de 45,3 µA enquanto do MC é 36,1 µA, portanto, o MMD teve um ganho de 5,4% em relação ao MD e 32% em relação ao MC, respectivamente, para as mesmas condições de polarização. Isso acontece devido ao incremento da corrente entre dreno e fonte causados pelo efeito LCE, que gera aumento no campo elétrico longitudinal na região de canal do MMD e do MD e devido ao PAMDLE, que reduz o L_{eff} do MMD e do MD.

6.2.1.8. A corrente entre dreno e fonte de estado desligado (I_{OFF})

A Figura 6.17 ilustra um gráfico de $I_{DS}/(W/L_{geo})$ em função de V_{GS} para um V_{DS} de 1 V dos diferentes MOSFETs estudados, visando a caracterização elétrica da $I_{OFF}/(W/L_{geo})$ no ponto onde $V_{GS} = 0$ V.

Figura 6.17 – As curvas experimentais log $I_{DS}/(W/L_{geo})$ em função de V_{GS} do MMD, MD e dos MC.



Fonte: Autor

Os $I_{OFF}/(W/L_{geo})$ dos nMOSFETs estudados podem ser vistos na Tabela 6.20, onde Δ $I_{OFF}/(W/L)$ (%) é a diferença percentual entre o $I_{OFF}/(W/L_{geo})$ do MMD em relação ao do MC.

Tabela 6.20. Valores experimentais de $I_{OFF}/(W/L_{geo})$ para o MMD, do MD e do MC respectivamente

Tipos de MOSFETs	MMD	MD	MC	Δ $I_{OFF}/(W/L)$ %

$I_{OFF}/(W/ L_{geo})$ (pA)	6,52	3,20	0,98	565

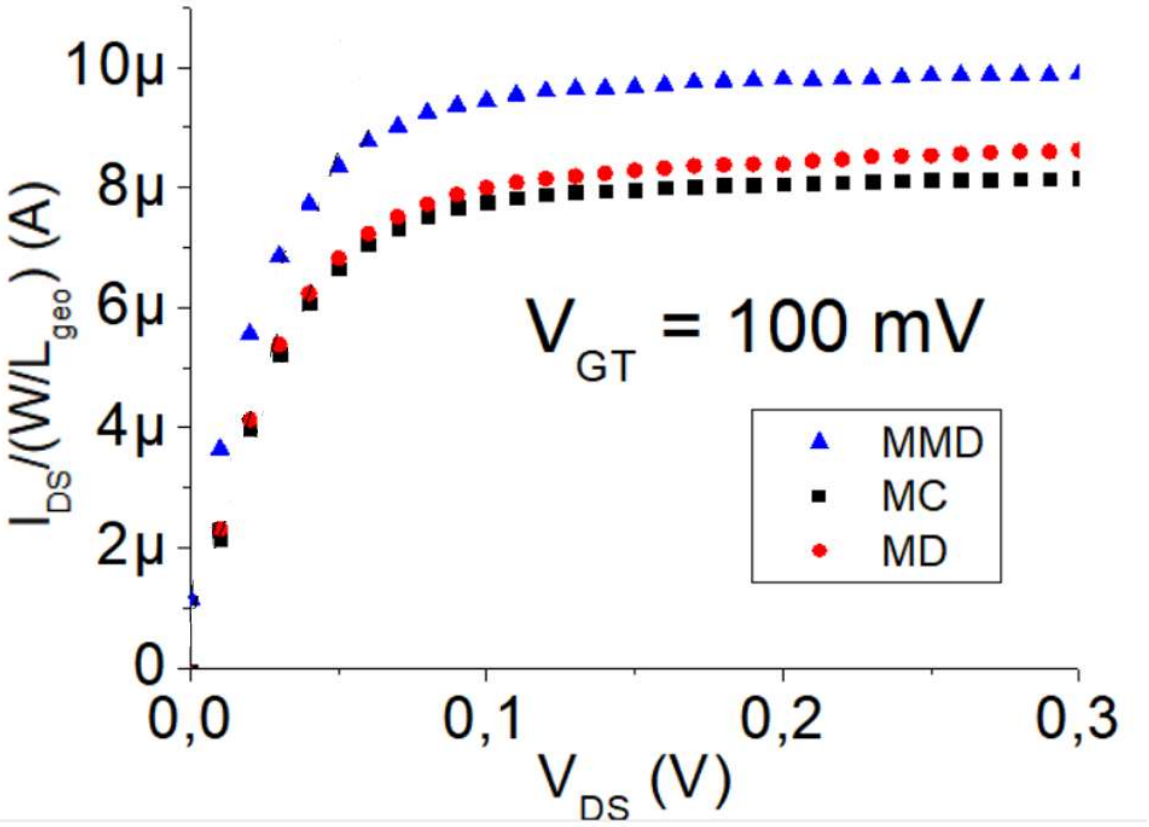
Fonte: Autor

Analisando-se o gráfico ilustrado na Figura 6.17, verificamos que os valores de $I_{OFF}/(W/L_{geo})$ do MMD é igual a 6,52 pA, do MD é igual a 3,20 pA, e do MC é igual a 0,98 pA. Portanto, o $I_{OFF}/(W/L_{geo})$ do MMD é 29% maior que o aquele medido do MD e cerca de 6,5 vezes maior do que aquele medido do MC. Isso acontece devido aos efeitos LCE e PAMDLE, que aumentam as correntes no dispositivo não convencional, inclusive a corrente de estado desligado.

6.2.1.9. Resistência de estado ligado entre dreno e fonte (R_{ON})

A partir das curvas experimentais foram extraídos R_{ON}. A Figura 6.18 ilustra um gráfico de $I_{DS}/(W/L_{geo})$ em função de V_{DS} para um V_{GT} de 100 mV dos diferentes MOSFETs estudados, visando a caracterização elétrica de R_{ON} a partir da derivada para a obtenção do coeficiente angular das retas nas regiões de tríodo.

Figura 6.18 – As curvas experimentais de $I_{DS}/(W/L_{geo})$ em função de V_{DS} do MMD, MD e MC.



Fonte: Autor

Os $R_{ON}/(L_{geo}/W)$ dos nMOSFETs estudados podem ser vistos na Tabela 6.20, onde $\Delta R_{ON}/(L_{geo}/W)$ (%) é a diferença percentual entre o $R_{ON}/(L_{geo}/W)$ do MMD em relação ao do MC.

Tabela 6.21. Valores experimentais de $R_{ON}/(L_{geo}/W)$ para o MMD, do MD e do MC respectivamente

Tipos de MOSFETs	MMD	MD	MC	$\Delta I_{OFF}/(W/L)$ %
$R_{ON}/(L_{geo}/W)$ (Ω)	2890	3558	3651	-20,8

Fonte: Autor

Analisando-se a $R_{ON}/(L/W)$ do MMD é igual a 2890 Ω, enquanto que a do MD é igual a 3558 Ω e a do MC é igual a 3651 Ω.

O MMD teve uma redução de 18,8% em relação ao MD e 20,8% em relação ao MC, respectivamente. Os resultados foram congruentes com os vistos nas simulaç~pes numéricas tridimensionais.

6.2.1.10. Razão I_{ON}/I_{OFF}

A partir dos valores obtidos para I_{ON} e para I_{OFF}, podemos determinar a razão I_{ON}/I_{OFF} experimental. A Tabela 6.22 mostra os valores obtidos.

Tabela 6.22. Valores experimentais de I_{ON}/I_{OFF} do MMD, do MD e do MC respectivamente.

Tipos de MOSFETs	MMD	MD	MC	Δ I_{OFF}/(W/L) %
I_{ON}/I_{OFF}	1,30	1,31	2,32	-43,97

Fonte: Autor

Principalmente devido ao I_{OFF} muito menor do MC em relação ao MMD e MD, ele acabou tendo performance superior nesse parâmetro em relação aos demais dispositivos.

6.2.2. Quadro geral comparativo dos parâmetros experimentais

A Tabela 6.23 mostra um comparativo geral dos parâmetros estudados experimentalmente.

Tabela 6.23. Quadro geral comparativo dos valores experimentais dos parâmetros e figuras de mérito.

	MMD	MD	MC	%
$g_{m_máx}/(W/L_{geo})$ (μA/V)	281,2	275,1	263,2	6,5
$\|V_{EA}\|$ (V)	15,2	4,6	13,5	12,6
f_t (Hz)	4482	1859	4200	28,43
A_{V0} (V/V)	79,2	34,9	74,3	6,59
$I_{DS_sat}/(W/L_{geo})$ (μA)	10,7	9,88	8,83	21,2
$I_{ON}/(W/L_{geo})$ (μA)	47,7	45,3	36,1	32
$I_{OFF}/(W/L_{geo})$ (pA)	6,52	3,20	0,98	565
I_{ON}/I_{OFF} ($x10^6$)	9,30	11,7	30,6	-69,6
$R_{ON}/(L_{geo}/W)$ (Ω)	2890	3558	3651	-20,8

Fonte: Autor

Ao contrário dos valores encontrados em simulação, foi possível verificar melhoras na maioria dos parâmetros estudados para o MMD em relação ao MC, incluindo todos os

parâmetros analógicos. Isso se deve aos efeitos LCE e PAMDLE que aumentam o campo elétrico longitudinal na região de porta e reduzem o comprimento efetivo de canal, tornado o MMD uma alternativa viável intermediaria entre o MD e o MC. Os resultados experimentais estão mais próximos ao esperado se comparado à literatura existente do Diamante, mas cabe, em trabalhos futuros, fabricar novos dispositivos com essas características geométricas para que mais comparações possam ser feitas.

7. CONCLUSÕES

Este projeto de pesquisa tem por objetivo estudar por simulações numéricas tridimensionais e por dados experimentais o primeiro elemento da segunda geração de estilos de leiaute para MOSFETs, comparativamente ao comportamento elétrico dos MOSFETs dos tipos Diamante e Convencional equivalentes.

Os principais resultados encontrados foram um aumento na corrente de dreno saturação normalizada de 21%, na frequência de ganho de tensão unitário de 28% e redução da resistência de estado ligado de 21%. A melhoria do desempenho elétrico dos MOSFETs pode ser observada graças aos três efeitos elétricos identificados nesse tipo de estilos de leiaute para MOSFETs, que são o Efeito de Canto Longitudinal (*Longitudinal Corner Effect*, LCE), o Efeito da Associação Paralela de MOSFETs com Diferentes Comprimentos de Canal (*Parallel Association of MOSFETs with Different Channel Lengths Effect*, PAMDLE) e o Efeito de Desativação dos MOSFETs Parasitários na Região de Bico de Pássaro (*Deactivate the Parasitic MOSFETs of the Bird's Beak Regions Effect*, DEPAMBBRE). O LCE e o PAMDLE são capazes de potencializar o desempenho elétrico dos MOSFETs, enquanto o DEPAMBBRE é apto para aumentar suas tolerâncias às radiações ionizantes em relação aos convencionais equivalentes, considerando-se as mesmas condições de polarização.

Em virtude dos resultados encontrados podemos afirmar que o estilo de leiaute do tipo Meio-Diamante passa a ser uma alternativa mais atraente que os da primeira geração, visto que podem conseguir substituir nMOSFETs convencionais com dimensões ainda menores que os alcançados com os nMOSFETs do tipo Diamante e consequentemente gerar CIs CMOS analógicos ainda com menores dimensões que aqueles obtidos com o uso dos nMOSFETs do tipo Diamante. Os resultados indicaram ganhos consideráveis, incluindo um ganho de 18,8 % em I_{DS_sat} e uma redução de mais de 15,4% de R_{ON}, podendo assim ser uma alternativa tanto aos leiautes convencionais, como também aos leiautes não convencionais de primeira geração.

8. Trabalhos futuros

Como trabalhos futuros, seria interessante aprofundar o levantamento de dados do dispositivos Meio-Diamante, fazendo novas medidas em diferentes condições, incluindo em ambientes com temperaturas baixas e altas, além de seu comportamento em submetido a radiações ionizantes. Além desses estudos envolvendo o Meio-Diamante, cabe o estudo de outros dispositivos híbridos, como o Meio-Octo e Meio-Elipsoidal, que podem seguir tendencias similares.

9. Publicações ao longo do programa

1. Título: The Second Generation of Layout Styles to Further Boost the Electrical Performance of Analog MOSFETs
   Autores: Gabriel Augusto da Silva and Salvador Pinillos Gimenez
   Ano: 2022

2. Título: An Innovative Strategy to Reduce the Design Cycle Time and Die Area of Robust Operational Transconductance Amplifiers by using iMTGSPICE and Diamond Layout Style for MOSFETs.
   Autores: José Roberto Banin Júnior, Rodrigo Moreto, Gabriel Augusto da Silva, Carlos Eduardo Thomaz and Salvador Pinillos Gimenez
   Ano: 2019

3. Título: BOOSTING THE IONIZING RADIATION TOLERANCE IN THE MOSFETS MATCHING BY USING DIAMOND LAYOUT STYLE
   Autores: Vinicius Vono Peruzzi, William Souza da Cruz, Gabriel Augusto da Silva, Ricardo Cotrim Teixeira and Luis Eduardo Seixas Junior.
   Ano: 2019

4. Título: COMPARATIVE STUDY BETWEEN CONVENTIONAL AND WAVE PLANAR POWER MOSFETS
   Autores: Gabriel Augusto da Silva and Salvador Pinillos Gimenez
   Ano: 2021

5. Título: IMPACT OF USING OCTOGONAL LAYOUT STYLE IN PLANAR POWER MOSFETS
   Autores: Gabriel Augusto da Silva and Salvador Pinillos Gimenez
   Ano: 2022

10. REFERÊNCIAS

ALATI, D. M. **Estudo do Comportamento elétrico de estruturas MOSFETs não convencionais e do MOSFET Diamante em ambientes radiativos**. São Bernardo do Campo: [s.n.], 2012.

BONDYOPADHYAY, P. K. Moore's Law Governs the Silicon Revolution. **Proceendins of the IEEE**, Janeiro 1998. 78-81.

BRINKMAN, W. F.; HAGGAN, D. E.; TROUTMAN, W. W. A History of the Invention of the Transistor and Where It Will Lead Us. **IEEE Journal of Solid-State Circuits**, Dezembro 1997.

BRISSET, C. et al. Two-dimensional simulation of total dose effects on NMOSFET with lateral parasitic transistor. **IEEE Transactions on Nuclear Science**, 1996.

C.CHUANG et al. **orward-voltage-tunable schottky-integrated trench MOSFETs**. IEEE 26th International Symposium on Power Semiconductor Devices & IC's (ISPSD). Waikoloa, USA: [s.n.]. 2014.

CHANG, C. Y.; SZE, S. M. **ULSI Devices**. New York: Wiley Inter-Science, 2000.

CLEIN, D.; SHIMOKURA, G. **CMOS IC layout:** concepts, methodologies, and tools. [S.l.]: Butterworth–Heinemann, 2000.

COLINGE, J. P.; COLINGE, C. A. **Physics of Semiconductor Devices**. New York: Springer, 2002.

DA SILVA, G. A. **Implementação de Leiautes de Amplificadores Operacionais de Transcondutância (OTAs) com Convencional utilizando as Regras de Projeto do Processo CMOS de 0,35 µm da On-Semiconductor Via o Programa Educacional do MOSFETs com Formato de Porta não MOSIS (MEP)**. São Bernardo do Campo. 2012.

DA SILVA, G. A. **Implementação de Leiautes de MOSFETs de Potência Utilizando o Processo de Fabricação da AMS de 0,35 µm, via MOSIS**. São Bernardo do Campo. 2012.

DA SILVA, G. A.; GIMENEZ, S. P. **Boosting the ICs Current Driver by Using Diamond Planar Power MOSFET**. SBMicro. Aracaju: [s.n.]. 2014.

DE LIMA MORETO, R. A. et al. **Analysis of Variability of Solutions Generated by an Evolutionary System (AGSPICE) for Manufacturing a CMOS OTA**. SBCCI. Curitiba: [s.n.]. 2013.

DE SOUZA FINO, L. N. **ESTUDO EXPERIMENTAL DO OCTO SOI MOSFET PARA A IMPLEMENTAÇÃO DE CIRCUITOS INTEGRADOS ANALÓGICOS E DIGITAIS**. São Bernardo do Campo: Centro Universitárioda FEI, 2012.

DE SOUZA FINO, L. N. et al. **Improving the X-ray radiation tolerance of the analog ICs by using OCTO layout style**. SBMicro. Curitiba: [s.n.]. 2013.

GALEMBECK, E. H. S. et al. **The Impact of LCE and PAMDLE Regarding Different CMOS ICs Nodes and High Temperatures**. [S.l.]: IEEE, 2021.

GALEMBECK, E. H. S.; GIMENEZ, S. P. New Hybrid Generation of Layout Styles to Boost the Electrical, Energy, and Frequency Response Performances of Analog MOSFETs. **IEEE Transactions on Electron Devices**, 2022.

GEIGER, R. L.; ALLEN, P. E.; STRADER, N. R. **VLSI design techniques for analog and digital circuits**. Austin: Mcgraw-Hill College, 1990.

GHOSH, J. et al. **A New Approach for Estimation of On-Resistance and Current Distribution in Power Array Layouts**. VLSI Design, 2008. VLSID 2008. 21st International Conference on. Hyderabad: [s.n.]. 2008.

GHOSH, J. et al. **A New Approach for Estimation of RDS(on) of Power Arrays:** Extensions and Experimental Results. Circuits and Systems, 2009. ISCAS 2009. IEEE International Symposium on. Taipei: [s.n.]. 2009.

GIMENEZ, S. P. **Estrutura de Transistor do Gênero MOSFET (MOSFET Octo)**. PI0903005-0 A2, 28 Agosto 2009.

GIMENEZ, S. P. **The Wave SOI MOSFET:** A New Accuracy Transistor Layout to Improve Drain Current and Reduce Die Area for Current Drivers Applications. 215th ECS Meeting. San Francisco: [s.n.]. 2009.

GIMENEZ, S. P. Diamond MOSFET: An innovative layout to improve performance of ICs. **Solid-State Electronics**, v. 54, p. 1690-1699, 2010.

GIMENEZ, S. P. **Aperfeiçoamento em Transistores (MOSFET FISH)**. PI1101477-6 A2, 11 Abril 2011.

GIMENEZ, S. P. et al. **FISH SOI MOSFET:** Modeling, Characterization and Its Application to Improve the Performance of Analog ICs. Journal of the Electrochemical Society. Montreal: [s.n.]. 2011.

GIMENEZ, S. P. et al. **Experimental Study of the OCTO SOI nMOSFET to Improve the Device Performance**. EUROSOI. Montpelier: [s.n.]. 2012.

GIMENEZ, S. P. et al. **Improving The Proton Radiation- -Robustness of Integrated Circuits By Using the Diamond Leiaute Style**. RADECS. Biarritz: [s.n.]. 2012.

GIMENEZ, S. P. et al. Compact diamond MOSFET model accounting for PAMDLE applicable down 150 nm node. **Electronics Letters**, v. 50, p. 1618-1620, 2014.

GIMENEZ, S. P. et al. An innovative Ellipsoidal layout style to further boost the electrical performance of MOSFETs. **IEEE Electron Device Letters**, 2015.

GIMENEZ, S. P.; ALATI, D. M. **Octo SOI MOSFET:** An Evolution of the Diamond MOSFET to Be Used in th Analog Integrated Circuits. Seventh Workshop of the Thematic Nerwork on Silicon on Insulator Technology. Granada: [s.n.]. 2011.

GIMENEZ, S. P.; ALATI, M. D. **FISH SOI MOSFET:** An Evolution ofthe Diamond SOI Transistor for Digital ICs Applications. ECS Meeting. Montreal: [s.n.]. 2011.

GIMENEZ, S. P.; BELLODI, M. **Aperfeiçoamento em Transistores (MOSFET Diamante)**. PI0802745-5 A2, 07 ago. 2008.

GIMENEZ, S. P.; CLASER, R.; ALATI, D. M. **Using Diamond SOI nMOSFETs to Improve the Frequency Response of the Analog Integrated Circuits**. Seventh Workshop of the Thematic Network on Silicon on Insulator Technology, Devices and Circuits. Granada: [s.n.]. 2011.

GIMENEZ, S. P.; DA SILVA, G. A. **Comparative Study between the Conventional power MOSFET and the Overlapping Circular-Gate Transistor**. EUROSOI. Montpelier: [s.n.]. 2012.

GIMENEZ, S. P.; DA SILVA, G. A. **Estudo Comparativo de Leiautes Não Convencionais de MOSFETs de Potência**. Simpósio de Pesquisa do Grande ABC. São Caetano do Sul: [s.n.]. 2012.

GIMENEZ, S. P.; DE LIMA, J. A.; CIRNE, K. H. Modeling and Characterization of Overlapping Circular-Gate MOSFET and Its Application to Power Devices. **IEEE Transactions on Power Electronics**, v. 27, n. 3, p. 1622-1631, Março 2012.

GIMENEZ, S. P.; ET AL. **Improving Proton Radiation-Robustness of Integrated Circuits by Using the Diamond Layout Style**. RADECS. [S.l.]: [s.n.]. 2012.

GUPTA, A.; YADAVA, N.; CHAUHAN, R. K. **Impact of Symmetric Double Material Gate Oxide on Analog and RF Performance of FDSOI MOSFET**. 5th IEEE Uttar Pradesh Section International Conference on Electrical, Electronics and Computer Engineering (UPCON). Gorakhpur, India: [s.n.]. 2018.

JIANG, L.; ZHOU, J.-M.; LI, C.-G. **Estimate of the Power Dissipation of Multilayer and High Density Nano-CMOS Chip**. High Density Microsystem Design and Packaging and Component Failure Analysis. Shanghai: [s.n.]. 2005. p. 1-6.

LEONI, R. D. **Estudo Experimental da Resporta em Frequência entre o MOSFET do tipo Diamante e o Equivalente Convencional para as Tecnologias CMOS Convencional e SOI**. São Bernardo do Campo: [s.n.], 2013.

LI, Y.; CHOU, H.-M. Comparative Study of Electrical Characteristic on Sub-10 nm Double-Gate MOSFETs. **IEEE Transactions on NanotechnologyElectron**, Setembro 2005.

LILIENFELD, J. E. **Method and Apparatus for Controlling Electric Currents**. 1.745.175, 28 Janeiro 1930.

LIMA, J. A. D.; GIMENEZ, S. P. A novel Overlapping Circular-Gate Transistor (O-CGT) and its application to analog design. **Argentine School of Micro-Nanoelectronics, Technology and Applications,** 2009. 11 - 16.

LORENZ, L. **Power semiconductor devices and smart power IC's - the enabling technology for future high efficient power conversion systems -**. Power Electronics and Motion Control Conference, 2009. IPEMC '09. IEEE 6th International. Wuhan: IEEE. 2009. p. 193-201.

MARTINO, J. A.; PAVANELLO, M. A.; VERDONCK, P. B. **Caracterização Elétrica de Tecnologia e Dispositivos MOS**. São Paulo: Thomson, 2004.

MATSUMOTO, S. et al. A Quasi-SOI Power MOSFET for Radio Frequency Applications Formed by Reversed Silicon Wafer Direct Bonding. **IEEE Transactions on Electron Devices**, 7 Agosto 2002. 1448-1453.

MOSIS Educational Program (MEP). Disponivel em: <http://www.mosis.com/pages/products/mep/mep-about>. Acesso em: 10 Novembro 2014.

NETO, E. D. **ESTUDO COMPARATIVO POR SIMULAÇÃO NUMÉRICA TRIDIMENSIONAL ENTRE FINFETS IMPLEMENTADOS COM OS ESTILOS DE LEIAUTE DO TIPO DIAMANTE, OCTO E O CONVENCIONAL EQUIVALENTE**. São Bernardo do Campo: [s.n.], 2015.

NETO, E. D. et al. **OCTO FinFET**. SBMicro. Curitiba: [s.n.]. 2013.

ORTIZ-CONDE, A. et al. A Review of Recent MOSFET threshold Voltage Extraction Methods. **Microelectronics Reliability**, 22 Dezembro 2001. 583-596.

PERUZZI, V. V. **Estudo Comparativo Experimental entre o Casamento do SOI nMOSFETs do Tipo Diamante e dos seus respectivos Convencionais Equivalente**. São Bernardo do Campo: [s.n.], 2013.

PERUZZI, V. V. **ESTUDO COMPARATIVO EXPERIMENTAL ENTRE O CASAMENTO DO SOI nMOSFETs DO TIPO DIAMANTE E DOS SEUS RESPECTIVOS**. São Bernardo do Campo. 2014.

PERUZZI, V. V. et al. Boosting the MOSFETs matching by using diamond layout style. **2016 31st Symposium on Microelectronics Technology and Devices (SBMicro)**, Belo Horizonte, 2016.

PERUZZI, V. V. et al. Using Statistical Student's t-Test to Qualify the Electrical Performance of the Diamond MOSFETs. **Symposium on Microelectronics Technology and Devices (SBMicro)**, 2018.

PERUZZI, V. V. et al. **Boosting the Ionizing Radiation Tolerance in the Mosfets Matching by Using Diamond Layout Style**. São Paulo: IEEE, 2019.

SAHA, S. K. Compact MOSFET Modeling Process Variability-Aware VLSI Circuit Design. **IEEE Access**, v. 2, p. 104-115, 19 Fevereiro 2014.

SCHALLER, R. R. Moore's law: past, present and future . **IEEE Spectrum**, Junho 1997. 52–59.

SCHULZ, M. The end of the road for silicon? **Nature**, 1999.

SEDRA, A. S.; SMITH, C. K. **Microeletrônica**. [S.l.]: Pearson Prentice Hall, v. 5, 2007.

SHACHAM-DIAMAND, Y. **Advanced Nanoscale ULSI Interconnects**. New York: [s.n.], 2009.

SHAN SUN, J.-S. Y.; SHEN, Z. J. Performance of Thench Power MOSFET With Strained Si/SiGe Multilayer Channel. **IEEE Transactions on Electron Devices**, v. 58, n. 5, p. 1517-1522, maio 2011.

SILVA, G. A. D.; GIMENEZ, S. P. Boosting the performance of the planar power MOSFET By using Diamond layout style. **2014 29th Symposium on Microelectronics Technology and Devices (SBMicro)**, Aracaju, 2014.

SILVA, G. A. D.; GIMENEZ, S. P. The Second Generation of Layout Styles to Further Boosting the Electrical Performance and Reducing the Die Area of Analog MOSFETs. **Journal of Integrated Circuits and Systems**, Setembro 2022.

SYNOPSYS. **Sentaurus™ Device User**. [S.l.]. 2015.

SZE, S. M.; NG, K. K. **Phisics of Semiconductor Devices**. Hoboken: John Wiley & Sons, 2007.

TAKEUCHI, K. et al. **Measurement of IGBT trench MOS-gated region characteristics using short turn-around-time MOSFET test structures**. IEEE

International Conference on Microelectronic Test Structures (ICMTS). Austin, USA: [s.n.]. 2018.

VENEMA, L. Silicon electronics and beyond. **Nature**, 2011. 309–309.

WU, F. et al. **Suppression of Gate Oscillation of Power MOSFET with Bridge Topology**. 6th World Congress on Intelligent Control and Automation. Dallan: [s.n.]. 2006.

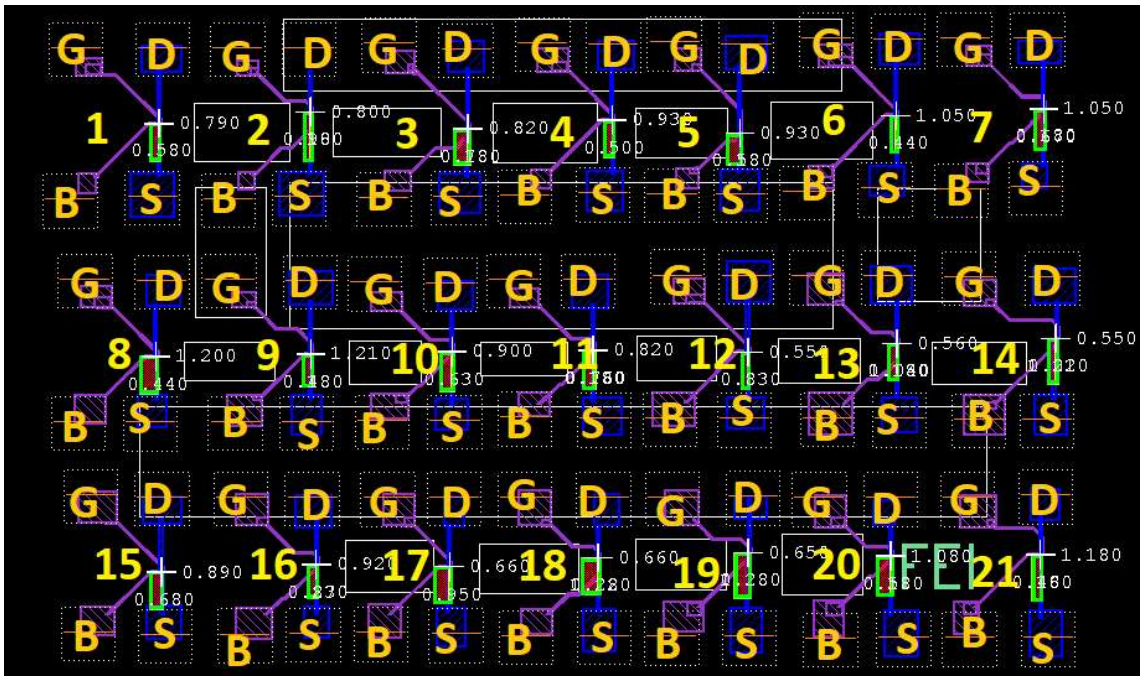
XIONG, Y. et al. New Physical Insights on Power MOSFET Switching Losses. **IEEE Transactions on Power Electronics**, February 2009. 525-531.

YOO, A. et al. **High Performance Low-Voltage Power MOSFETs with Hybrid Waffle Layout Structure in a 0.25 um Standard CMOS Process**. International Symposium on Power Semiconductor Devices & IC's. Oralando: [s.n.]. 2008.

YOO, A.; MARIAN CHANG, O. T.; NG, W. T. **High Performance Low-Voltage Power MOSFETs with Hybrid Waffle Layout Structure in a 0.25□m Standard CMOS Process**. 20th International Symposium on Power Semiconductor Devices & IC's. Orlando: [s.n.]. 2008.

APÊNDICE A: Características Dimensionais dos Dispositivos Implementados

Nesse mapa são ilustrados com detalhes os circuitos implementados que estão sendo objeto desse e de outros estudos. É um circuito integrado fabricado na TSMC, com tecnologia de 0,18 µm via IMEC.

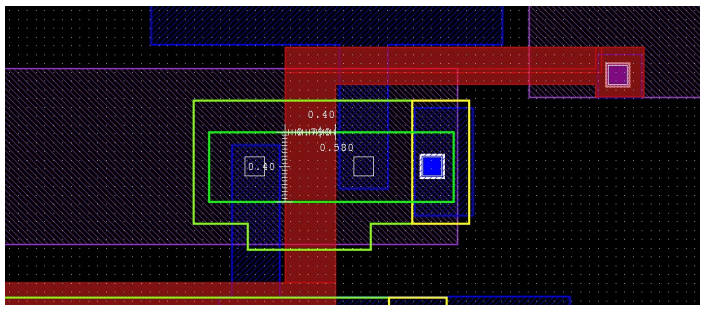


G – Gate
S – Source
B – Bulk
D – Drain

Unitários

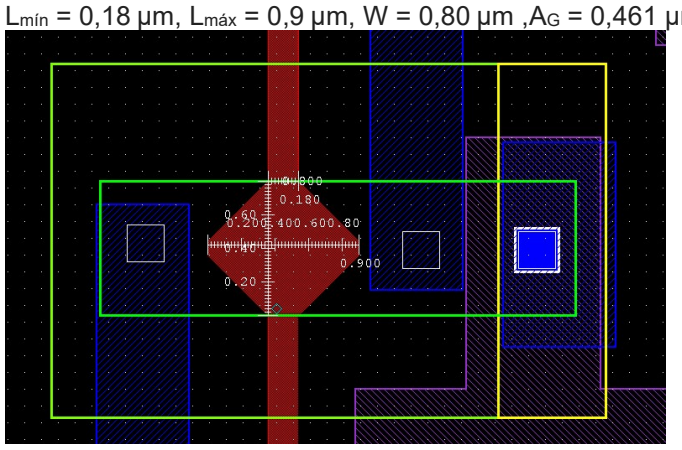
1 – Convencional

L = 0,56 µm, W = 0,81 µm, A_G = 0,458 µm²



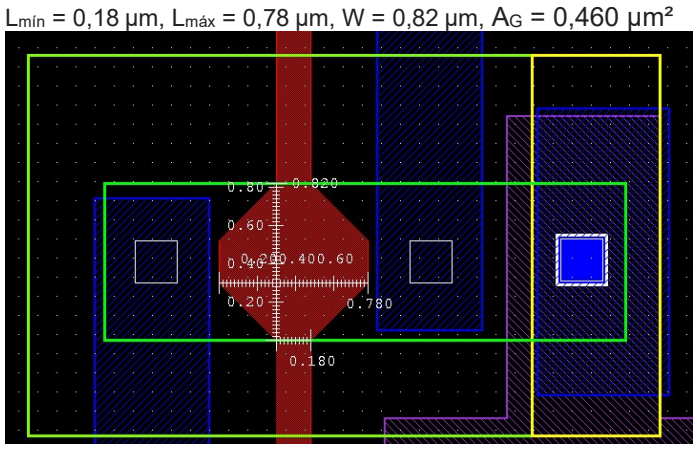
2 - diamante 90°

$L_{mín}$ = 0,18 µm, $L_{máx}$ = 0,9 µm, W = 0,80 µm ,A_G = 0,461 µm²

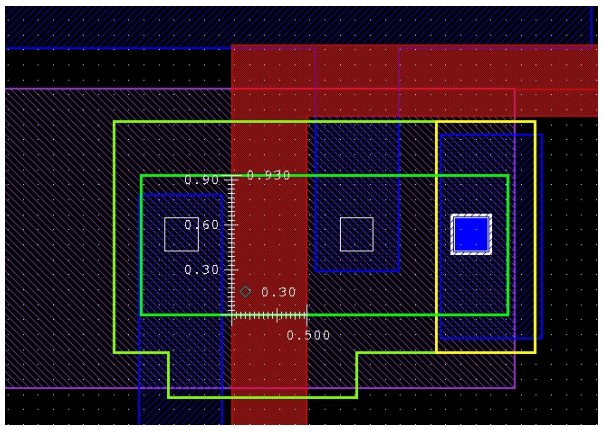


3 - octo 90° 25%

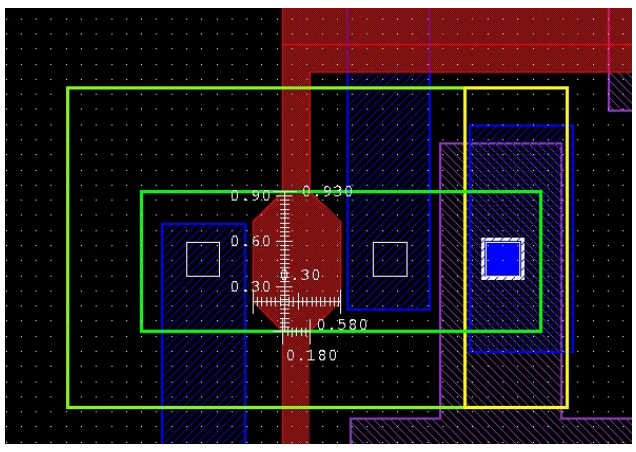
$L_{mín}$ = 0,18 µm, $L_{máx}$ = 0,78 µm, W = 0,82 µm, A_G = 0,460 µm²



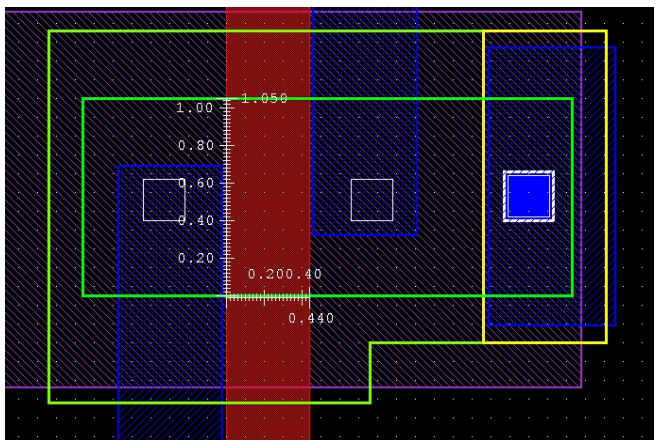
4 – Convencional
L = 0,5 µm, W = 0,93 µm, A_G = 0,458 µm²



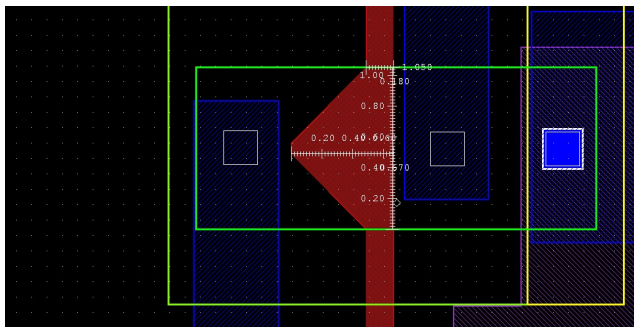
5 - octo 90° 50%
$L_{mín}$ = 0,18 µm, $L_{máx}$ = 0,58 µm, W = 0,93 µm, A_G = 0,459 µm²



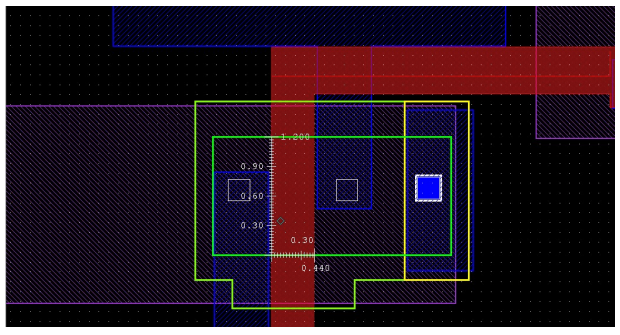
6 - Convencional
L = 0,44 µm, W = 1,05 µm, A_G = 0,462 µm²



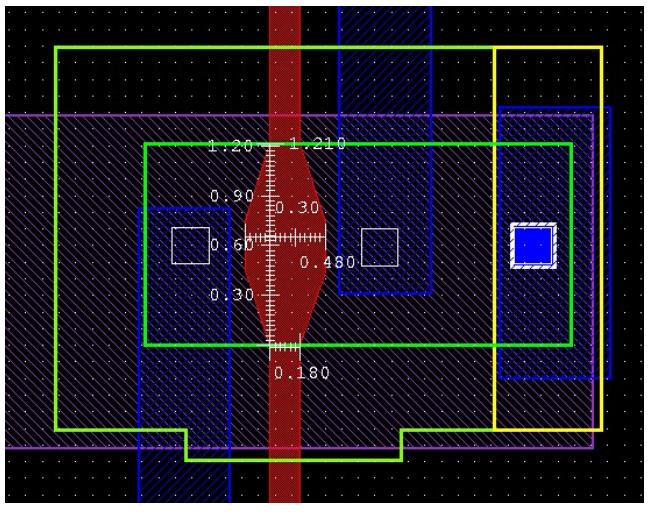
7 – meio diamante 90°
$L_{mín}$ = 0,18 µm, $L_{máx}$ = 0,67 µm, W = 1,05 µm, A_G = 0,463 µm²



8 – Convencional
L = 0,44 µm, W = 1,20 µm, A_G = 0,528 µm²

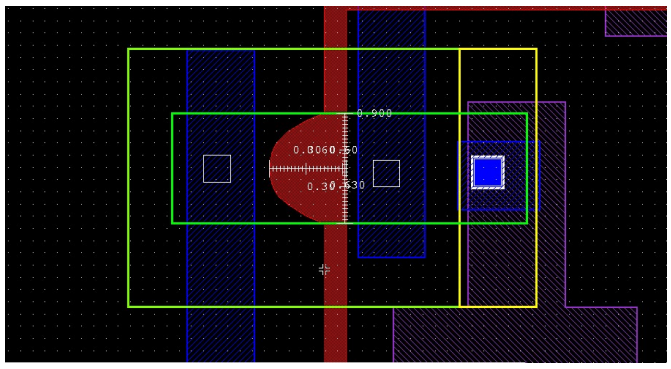


9 - octo 135° 25%
$L_{mín}$ = 0,18 µm, $L_{máx}$ = 0,48 µm, W = 1,20 µm A_G = 0,448 µm²



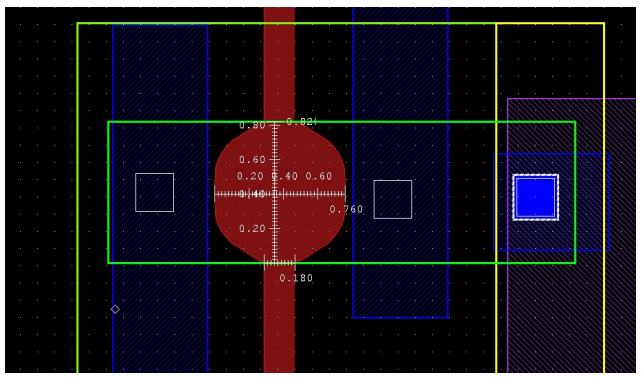
10 – meio elipse

$L_{mín}$ = 0,18 µm, $L_{máx}$ = 0,63 µm, W = 0,90 µm A_G = 0,453 µm²



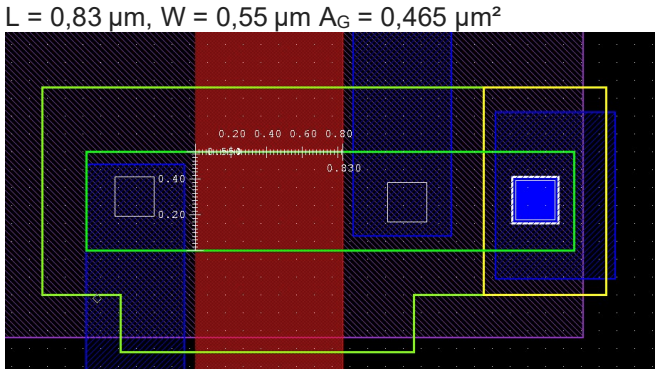
11 – elipse

$L_{mín}$ = 0,18 µm, $L_{máx}$ = 0,76 µm, W = 0,82 µm A_G = 0,512 µm²



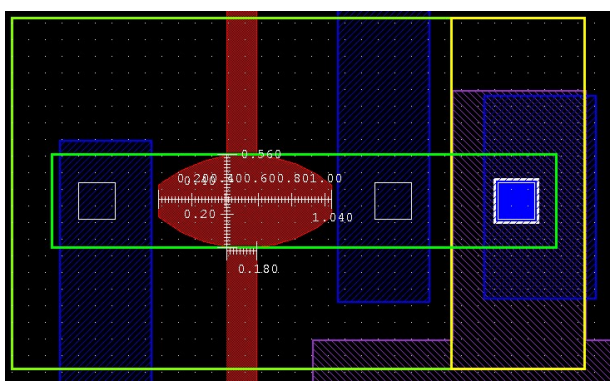
12 – Convencional

L = 0,83 µm, W = 0,55 µm A_G = 0,465 µm²

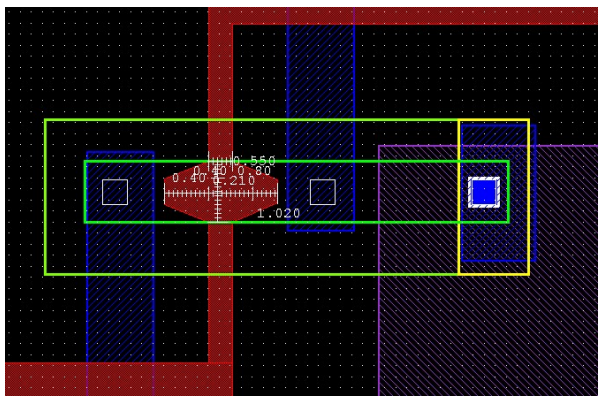


13 - elipse

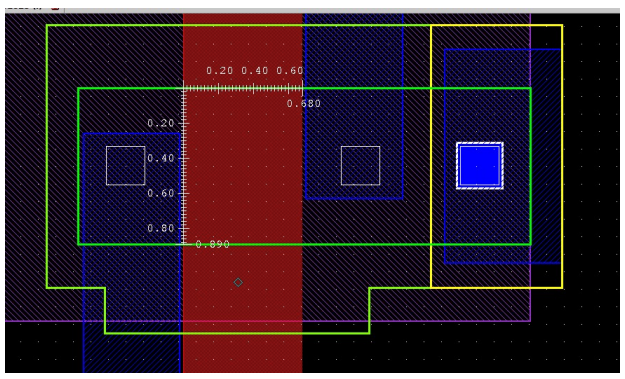
$L_{mín}$ = 0,18 µm, $L_{máx}$ = 1,04 µm, W = 0,56 µm, A_G = 0,459 µm²



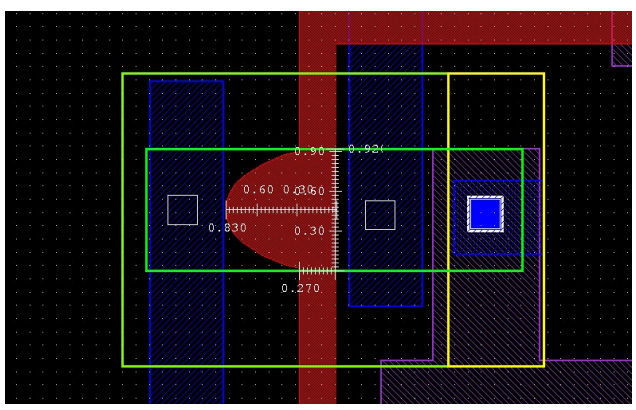
14 – octo 15° 25%
$L_{mín}$ = 0,18 µm, $L_{máx}$ = 1,02 µm, W = 0,51 µm, A_G = 0,430 µm²



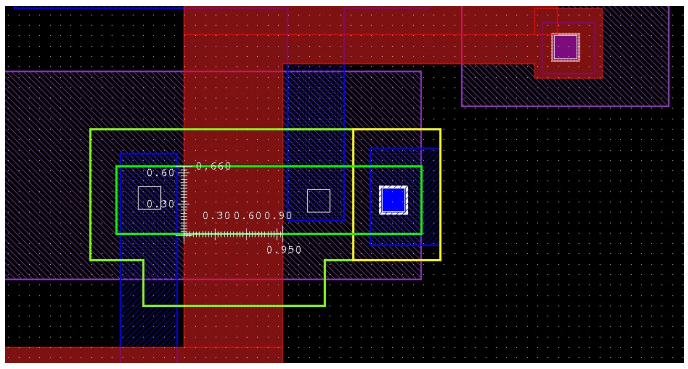
15 - Convencional
L = 0,68 µm, W = 0,80 µm A_G = 0,605 µm²



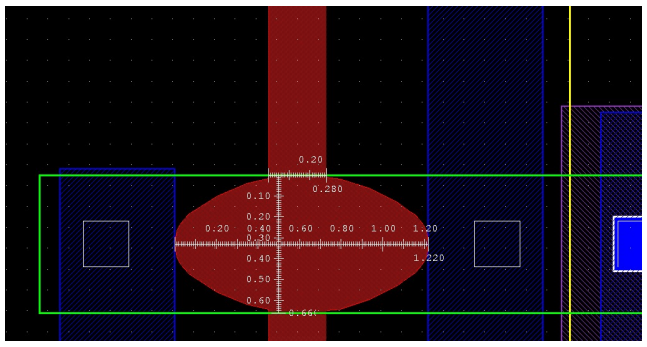
16 - meio elipse
$L_{mín}$ = 0,27 µm, $L_{máx}$ = 0,83 µm, W = 0,92 µm A_G = 0,606 µm²



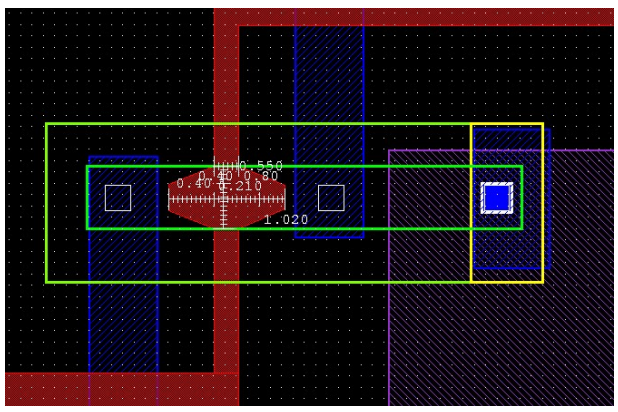
17 – Convencional
L = 0,66 µm, W = 0,95 µm, A_G = 0,618 µm²



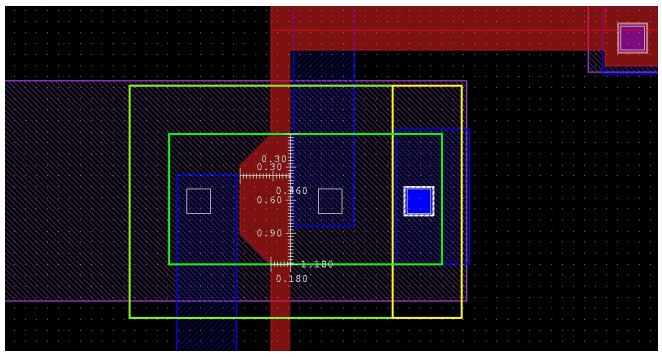
18 - elipse
$L_{mín}$ = 0,20 µm, $L_{máx}$ = 1,22 µm, W = 0,66 µm, A_G = 0,612 µm²



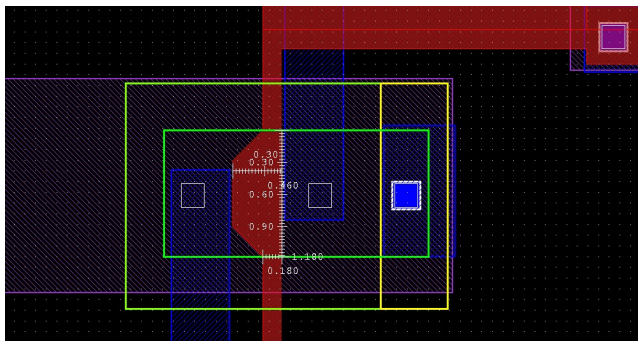
19 – octo 15° 25%
$L_{mín}$ = 0,18 µm, $L_{máx}$ = 1,02 µm, W = 0,51 µm, A_G = 0,615 µm²



20 – meio octo 90° 25%
$L_{mín}$ = 0,18 µm, $L_{máx}$ = 0,58 µm, W = 1,08 µm, A_G = 0,466 µm²



21 – meio octo 90° 50%
$L_{mín}$ = 0,18 µm, $L_{máx}$ = 0,46 µm, W = 1,18 µm, A_G = 0,464 µm²



APÊNDICE B: Arquivo de simulação dos dispositivo

Convencional

(sde:clear)
(sdegeo:set-default-boolean "ABA")
##########Definindo os parâmetros
(define L @L@); comprimento de canal
(define W @W@); largura de canal
(define tox 0.0042); espessura do oxido
(define DL 0.3); largura de região de dreno
(define SL 0.3); largura da região de fonte
(define NA 1e17); dopagem da região de substrato
(define ND 1e19); dopagem das regiões de dreno e fonte
(define tSi 1); espessura da lâmina de Si
(define NDdepth 0.1); profundidade das regiões de dreno e fonte
(define RBR 0.02); ajuste do refino entre as junções dreno/fonte e canal
##########Criando as regiões do dispositivo
(sdegeo:create-cuboid (position (- (/ (- 0 L) 2) SL) (/ (- 0 W) 2) 0) (position (+ (/ L 2) DL) (/ W 2) tSi) "Silicon" "Substrato"); Criação do substrato de Si
(sdegeo:create-cuboid (position (/ (- 0 L) 2) (/ (- 0 W) 2) tSi) (position (/ L 2) (/ W 2) (+ tox tSi)) "Oxide" "OxidoPorta"); Criação do óxido de Porta
(sdegeo:create-cuboid (position (/ L 2) (/ (- 0 W) 2) tSi) (position (+ (/ L 2) DL) (/ W 2) (- tSi NDdepth)) "Silicon" "Dreno"); Criação da região de dreno
(sdegeo:create-cuboid (position (/ (- 0 L) 2) (/ (- 0 W) 2) tSi) (position (- (/ (- 0 L) 2) SL) (/ W 2) (- tSi NDdepth)) "Silicon" "Fonte"); Criação da região de fonte
##########Criação da grade
##Grade Global
(sdedr:define-refinement-window "RefWin.Global" "Cuboid"
(position (- (/ (- 0 L) 2) SL) (/ (- 0 W) 2) tSi) (position (+ (/ L 2) DL) (/ W 2) (- tSi (*NDdepth 2))))
(sdedr:define-refinement-size "RefDef.Global" 1.0 0.05 0.05 0.1 0.05 0.05)
(sdedr:define-refinement-placement "Place.Global" "RefDef.Global" "RefWin.Global")
##Janela de refino na região de interface entre o canal e óxido
(sdedr:define-refinement-window "InterfaceSiSi02" "Cuboid" (position (- (/ (- 0 L) 2) RBR) (/ (- 0 W) 2) (- tSi (* NDdepth 0.2))) (position (+ (/ L 2) RBR) (/ W 2) (+ tox tSi)))
(sdedr:define-refinement-size "Interface" 0.025 0.025 0.025 0.025 0.025 0.025)
(sdedr:define-refinement-function "Interface" "MaxLenInt" "Silicon" "Oxide" 0.001 1.5 "DoubleSide")
(sdedr:define-refinement-placement "IntSiO2" "Interface" "InterfaceSiSi02")
##Janela de refino na região entre Dreno e canal
(sdedr:define-refinement-size "RefDef.DrenoFonte" 0.01 0.01 0.01 0.01 0.01 0.01)
(sdedr:define-refinement-window "RefWin.Dreno" "Cuboid" (position (- (/ L 2) RBR) (/ (- 0 W) 2) tSi) (position (+ (/ L 2) RBR) (/ W 2) (- tSi NDdepth)))
(sdedr:define-refinement-placement "Place.Dreno" "RefDef.DrenoFonte" "RefWin.Dreno")
##Janela de refino na região entre Fonte e canal
(sdedr:define-refinement-window "RefWin.Fonte" "Cuboid" (position (- (/ (- 0 L) 2) RBR) (/ (- 0 W) 2) tSi) (position (+ (/ (- 0 L) 2) RBR) (/ W 2) (- tSi NDdepth)))
(sdedr:define-refinement-placement "Place.Fonte" "RefDef.DrenoFonte" "RefWin.Fonte")
##########Dopagem
##Substrato

(sdedr:define-constant-profile "Const.*Bulk*" "BoronActiveConcentration" NA) (sdedr:define-constant-profile-region "PlaceCD.*Bulk*" "Const.*Bulk*" "Substrato")
##Regioes de dreno e fonte
(sdedr:define-constant-profile "Const.SD" "ArsenicActiveConcentration" ND)
(sdedr:define-constant-profile-region "PlaceCD.Dreno" "Const.SD" "Dreno")
(sdedr:define-constant-profile-region "PlaceCD.Fonte" "Const.SD" "Fonte")
##########Definindo os contatos
(sdegeo:define-contact-set "gate" 4.0 (color:rgb 1.0 0.0 0.0) "##")
(sdegeo:define-contact-set "drain" 4.0 (color:rgb 1.0 0.0 0.0) "||")
(sdegeo:define-contact-set "source" 4.0 (color:rgb 1.0 0.0 0.0) "==")
(sdegeo:define-contact-set "substrate" 4.0 (color:rgb 1.0 0.0 0.0) "<><>")
Contato de substrato
(sdegeo:set-current-contact-set "substrate")
(sdegeo:set-contact-faces (find-face-id (position 0 0 0)) "substrate")
##Contato de porta
(sdegeo:set-current-contact-set "gate")
(sdegeo:set-contact-faces (find-face-id (position 0 0 (+ tSi tox))) "gate")
Contato de fonte
(sdegeo:create-cuboid (position (- (/ (- 0 L) 2) SL) (/ (- 0 W) 2) tSi) (position (- (/ (- 0 L) 2) (/ SL 3)) (/ W 2) (+ tox tSi)) "Oxide" "ContatoFonte") 166
(sdegeo:delete-region (find-body-id (position (- (/ (- 0 L) 2) (/ SL 2)) (/ (- 0 W) 2) (+ tox tSi))))
(sdegeo:set-current-contact-set "source")
(sdegeo:set-contact-faces (find-face-id (position (+ (- (/ (- 0 L) 2) SL) 0.001) 0 tSi)) "source")
##Contato de dreno
(sdegeo:create-cuboid (position (+ (/ L 2) DL) (/ (- 0 W) 2) tSi) (position (+ (/ L 2) (/ DL 3)) (/ W 2) (+ tox tSi)) "Oxide" "ContatoDreno")
(sdegeo:delete-region (find-body-id (position (+ (/ L 2) (/ DL 2)) (/ (- 0 W) 2) (+ tox tSi))))
(sdegeo:set-current-contact-set "drain")
(sdegeo:set-contact-faces (find-face-id (position (- (+ (/ L 2) DL) 0.001) 0 tSi)) "drain")
##########Salvando a estrutura
(sde:save-model "Convencional_n@node@")

Meio Diamante

```
(sdegeo:set-default-boolean "ABA")
##########Definindo os parâmetros
(define W @W@); largura do canal
(define B @B@); Maior comprimento de canal
(define b @b@); menor comprimento de canal
(define tox 0.0042); espessura de óxido de porta
(define DL 0.3); comprimento da região de dreno
(define SL 0.3); comprimento da região de fonte
(define NA 1e17); dopagem da região de substrato
(define ND 1e19); dopagem da região de dreno e fonte
(define tSi 1); espessura do filme de Si
(define NDmin 1e17); dopagem mínima usada na Gaussiana
(define NDdepth 0.1); espessura da região de fonte e dreno
(define RBR 0.02); valor do refino da grade entre as regiões de dreno/fonte e canal
##########Criando as regiões do dispositivo
##Substrato
(sdegeo:create-polygon (list (position (+ (/ b 2) DL) (/ (- 0 W) 2) 0) (position (- (/ (- 0 b) 2)
SL) (/ (- 0 W) 2) 0)
(position (- (- (/ (- 0 b) 2) SL) (/ (- B b) 2)) 0 0) (position (- (/ (- 0 b) 2) SL) (/ W 2) 0)
(position (+ (/ b 2) DL) (/ W 2) 0)
(position (+ (+ (/ b 2) (/ (- B b) 2)) DL) 0 0)) "Silicon" "substrato")
(sdegeo:extrude (list (car (find-face-id (position 0 0 0)))) tSi)
##Óxido de porta
(sdegeo:create-polygon (list (position (/ b 2) (/ (- 0 W) 2) tSi) (position (/ (- 0 b) 2) (/ (- 0 W)
2) tSi) (position (- (/ (- 0 b) 2) (/ (- B b) 2)) 0 tSi) (position (/ (- 0 b) 2) (/ W 2) tSi) (position (/
b 2) (/ W 2) tSi) (position (+ (/ b 2) (/ (- B b) 2)) 0 tSi)) "Oxide" "oxidodeporta")
(sdegeo:extrude (list (car (find-face-id (position 0 0 tSi)))) tox)
##########Criação da grade
##Janela de refino na região de interface entre o canal e óxido
(sdedr:define-refinement-window "InterfaceSiSi02"
"Polygon" (list (position (/ b 2) (/ (- 0 W) 2) (+ tSi 0.002))
(position (/ (- 0 b) 2) (/ (- 0 W) 2) (+ tSi 0.002))
(position (- (/ (- 0 b) 2) (/ (- B b) 2)) 0 (+ tSi 0.002))
(position (/ (- 0 b) 2) (/ W 2) (+ tSi 0.002))
(position (/ b 2) (/ W 2) (+ tSi 0.002))
(position (+ (/ b 2) (/ (- B b) 2)) 0 (+ tSi 0.002))
(position (/ b 2) (/ (- 0 W) 2) (- tSi (* NDdepth 0.2)))
(position (/ (- 0 b) 2) (/ (- 0 W) 2) (- tSi (* NDdepth 0.2)))
(position (- (/ (- 0 b) 2) (/ (- B b) 2)) 0 (- tSi (* NDdepth 0.2)))
(position (/ (- 0 b) 2) (/ W 2) (- tSi (* NDdepth 0.2)))
(position (/ b 2) (/ W 2) (- tSi (* NDdepth 0.2)))
(position (+ (/ b 2) (/ (- B b) 2)) 0 (- tSi (* NDdepth 0.2)))))
(sdedr:define-refinement-size "Interface" 0.05 0.05 0.05 0.01 0.01 0.01 )
(sdedr:define-refinement-function "Interface" "MaxLenInt" "Silicon" "Oxide" 0.0001 4
"DoubleSide") (sdedr:define-refinement-placement "Interface" "Interface" "InterfaceSiSi02" )
##Janela de refino na região entre Dreno e canal
(sdedr:define-refinement-window "RefWin.Dreno" "Polygon" (list
```

```
(position (+ (/ b 2) RBR) (/ (- 0 W) 2) (- tSi NDdepth))
(position (- (/ b 2) RBR) (/ (- 0 W) 2) (- tSi NDdepth))
(position (- (/ b 2) RBR) (/ (- 0 W) 2) tSi)
(position (+ (/ b 2) RBR) (/ (- 0 W) 2) tSi)
(position (+ (+ (/ b 2) (/ (- B b) 2)) RBR) 0 tSi)
(position (- (+ (/ b 2) (/ (- B b) 2)) RBR) 0 (- tSi NDdepth))
(position (+ (+ (/ b 2) (/ (- B b) 2)) RBR) 0 (- tSi NDdepth))
(position (- (+ (/ b 2) (/ (- B b) 2)) RBR) 0 tSi)))
(sdedr:define-refinement-window "RefWin.Dreno2" "Polygon" (list
(position (+ (/ b 2) RBR) (/ W 2) tSi)
(position (+ (/ b 2) RBR) (/ W 2) (- tSi NDdepth))
(position (- (/ b 2) RBR) (/ W 2) (- tSi NDdepth))
(position (- (/ b 2) RBR) (/ W 2) tSi)
(position (+ (+ (/ b 2) (/ (- B b) 2)) RBR) 0 tSi)
(position (- (+ (/ b 2) (/ (- B b) 2)) RBR) 0 (- tSi NDdepth))
(position (+ (+ (/ b 2) (/ (- B b) 2)) RBR) 0 (- tSi NDdepth)) 167
```