

CENTRO UNIVERSITÁRIO DA FEI

CRISTIANO TAVARES MALHEIRO

**ESTUDO DA DISTRIBUIÇÃO DA CORRENTE EM MUGFETS E MODELAGEM
DA RESISTÊNCIA DE ESPRAIAMENTO EM FINFETS NANOMÉTRICOS**

São Bernardo do Campo

2012

CRISTIANO TAVARES MALHEIRO

**ESTUDO DA DISTRIBUIÇÃO DA CORRENTE EM MUGFETS E MODELAGEM
DA RESISTÊNCIA DE ESPRAIAMENTO EM FINFETS NANOMÉTRICOS**

Dissertação apresentada ao Centro Universitário da FEI, como parte dos requisitos necessários para a obtenção do título de Mestre em Engenharia Elétrica.

Área de concentração: Microeletrônica.

Orientador: Prof. Dr. Renato Camargo Giacomini.

São Bernardo do Campo

2012

Malheiro, Cristiano Tavares.

Estudo da distribuição da corrente em MUGFETS e modelagem da resistência de espraçamento em FINFETS nanométricos / Cristiano Tavares Malheiro. São Bernardo do Campo, 2012.

134 f. : il.

Dissertação (Mestrado) - Centro Universitário da FEI.

Orientador: Prof. Dr. Renato Camargo Giacomini

1. Múltiplas portas. 2. Densidade total de corrente. 3. Resistência de espraçamento. I. Giacomini, Renato Camargo, orient. II. Título.

CDU 621.381



Centro Universitário da FEI

APRESENTAÇÃO DE DISSERTAÇÃO ATA DA BANCA JULGADORA

PGE- 10

Programa de Mestrado de Engenharia Elétrica

Aluno: Cristiano Tavares Malheiro

Matrícula: 1102268

Título do Trabalho: **ESTUDO DA DISTRIBUIÇÃO DA CORRENTE EM MUGFETS E MODELAGEM DA RESISTÊNCIA DE ESPRAIAMENTO EM FINFETS NANOMÉTRICOS.**

Area de Concentração: Dispositivos Eletrônicos Integrados

ORIGINAL ASSINADA

Orientador: Prof. Dr. Renato Camargo Giacomini

Data da realização da defesa: 8 / Agosto / 2012

A Banca Julgadora abaixo-assinada atribuiu ao candidato o seguinte:

APROVADO

REPROVADO

São Bernardo do Campo, 8 / agosto / 2012.

MEMBROS DA BANCA JULGADORA

Prof. Dr. Renato Camargo Giacomini

Ass.: _____

Prof.^a Dr.^a Michelly de Souza

Ass.: _____

Prof. Dr. Sandro Martini

Ass.: _____

VERSÃO FINAL DA DISSERTAÇÃO

**ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS
RECOMENDAÇÕES DA BANCA EXAMINADORA**

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz

Dedico este trabalho aos meus pais, aos meus dois irmãos, aos familiares e amigos que sempre me apoiaram e continuarão na torcida pelas minhas conquistas durante a vida.

“We keep moving forward, opening new doors,
and doing new things,
because we’re curious and curiosity keeps
leading us down new paths.”

Walt Disney

AGRADECIMENTOS

Agradeço primeiramente a Deus e a Nossa Senhora Aparecida, pela oportunidade de estar cursando uma pós-graduação strictu sensu (Mestrado), como bolsista do CNPq e por subsídio da FEI que atualmente se destaca como uma das melhores instituições particulares do Brasil.

Aos meus pais Manoel Malheiro Neto e Maria Edite Malheiro por todas as orações, momentos superados juntos, apoio nas horas mais difíceis e alegrias nas nossas inúmeras vitórias. Ao meu irmão Daniel Tavares Malheiro, pelo entusiasmo prestado desde a conquista da bolsa de estudos do CNPq. Aos meus dois sobrinhos que amo tanto, Ana Beatriz Tavares Malheiro e Guilherme Tavares Malheiro e aos seus pais, Luciano Tavares Malheiro e Renata Guilherme Tavares Malheiro.

Aos Doutores Marcelo Antonio Pavanello, Michelly de Souza, Salvador Pinillos Gimenez e Marcello Bellodi, por terem me apresentado ferramentas essenciais nas seis disciplinas do mestrado para o desenvolvimento deste trabalho.

Em especial, agradeço ao meu orientador, Dr. Renato Camargo Giacomini, desde o momento da escolha e seleção dentre 54 candidatos pleiteando a bolsa do CNPq, pela infinita paciência, incentivo, orientação e ajuda financeira para a viagem internacional para apresentação do artigo que compõe esta dissertação no ICCDCS em Playa Del Carmen-México. Ao empenho pessoal e profissional prestados a mim durante todo esse período e essencial para a conclusão desse trabalho.

Gostaria de agradecer também a Dra. Paula Ghedini Der Agopian, que sempre esteve disposta a ajudar-me nos mais diversos momentos de dúvidas, nas apresentações, congressos e na vida pessoal.

À minha amiga e bolsista do CNPq, Arianne Soares do Nascimento Pereira pelo apoio, amizade, conversas, artigos, torcida e infinita paciência em me escutar e me ajudar em todos os momentos do mestrado. Às conversas, almoços, academia, festas e reuniões que tivemos durante esses árduos e preciosos 2 anos de mestrado.

Aos meus colegas e amigos do Grupo de Mestrado: André Luiz Perin, Geisa Andrade, Caio Mendes Bordallo, Carla Dick Pinho Novo, Dárcio Silvestre Sabbadin, Guilherme Antônio Valente Rodrigues, Henrique Lanza, Rodrigo D'Angelo Mathias, Robson de Assis Magalhães e Frederico Marion Madeira e Marcelo Parada.

Aos professores Victor Sonnemberg e Michele Rodrigues, pelas dicas e contribuições dadas durante o período da qualificação.

Agradeço especialmente aos meus amigos de graduação pelo fortalecimento da amizade durante o período de Mestrado: Juliana Ferreira Nemer, Genaro Mariniello da Silva, João Felipe Fernandes Coghi e Daniel Manha Alati, por vencermos juntos mais essa etapa de nossas vidas, pelo nosso amadurecimento enquanto graduados até as nossas conquistas, congressos como o da SBMicro de São Paulo e da Paraíba em que nos ajudamos durante as apresentações e com isso coroamos mais ainda nossos trabalhos e nossa amizade.

Aos amigos dos outros grupos de estudo do Mestrado na FEI: Bruna Cardoso Paz, Renan Trevisoli Doria, Rodrigo Trevisoli Doria, Márcio de Souza, Ingrid Catherine Baptista Santos, Klaus Huscher Cirne, Eduardo Luiz Ronchete da Silva e Felipe Neves de Souza por todo o apoio e ajuda nas disciplinas, artigos e congressos. Aos colegas de turma Rafael Navarenho de Souza, Leonardo Navarenho de Souza Fino, Alysson Augusto Silva Swerts, Daniel Belo de Carvalho, Marcelo Marcelino Correia e Vinicius Vono Peruzzi pelo grupo de estudos e apoio durante as provas.

À Adriana, Ricardo e Márcia, responsáveis pela secretaria de mestrado, que sempre procuraram resolver os problemas enfrentados ao longo do curso.

Aos colegas de IAAA, Leonardo Anjoletto Ferreira, Vagner, André Sobiecki e Andrey Masiero pelas tantas conversas e cafés durante as horas de dedicação na FEI.

Aos colegas da USP, Maria Gloria Caño de Andrade, Catia, Sara Dereste dos Santos, Thalita Nicoletti, Rudolf Theoderich Bühler e João Antonio Martino pelo apoio nos congressos.

Ao meu grande amigo José Marcio Ferreira da Rocha pela torcida, apoio e incentivo durante esse período e principalmente para finalizar este trabalho.

Aos amigos da UNISA Polo Diadema: Álvaro, Francine, Diniz, Paulo, Pedro, Alexis, Cristiano Freitas, Cida, Eliete, Fabiana e Vanessa pelo apoio na tutoria junto com o mestrado.

Agradeço à bibliotecária Edna pela amizade desde minha infância e pelas correções e ajuda antecipada para a normalização desse meu trabalho.

Aos demais amigos, familiares e todos que direta ou indiretamente ajudaram para a conclusão deste trabalho, tanto profissionalmente quanto afetivamente, pelo apoio, entusiasmo e torcida, os meus sinceros agradecimentos.

Obrigado por tudo,
Cristiano Tavares Malheiro

RESUMO

O foco deste trabalho é estudar os caminhos da corrente em transistores de múltiplas portas em três regimes de operação (sublimiar, limiar e pós-limiar) e, a partir deste estudo, analisar e modelar o efeito do espriamento da corrente nas regiões de extensão de fonte e dreno para os dispositivos FinFET SOI de porta dupla. Examinando por onde a corrente percorre o dispositivo desde o dreno até a fonte, entende-se a origem e a composição das resistências parasitárias. Essas resistências, nos transistores FinFET, tendem a apresentar valores elevados, implicando na dificuldade em utilizar este tipo de dispositivo. Desta forma, entendida a origem das resistências parasitárias, torna-se necessário criar modelos que permitam estimá-las facilmente. Neste sentido, este trabalho apresenta um novo modelo analítico para representação da resistência de espriamento (R_{SP1}) em dispositivos FinFET de porta dupla, sem parâmetros de ajuste, visando um equacionamento simples e que pode ser utilizado para um maior número de dispositivos que os modelos anteriormente publicados. Os dados extraídos da simulação numérica, referentes ao estudo da resistência de espriamento consideraram o uso de confinamento quântico para a comparação com o modelo proposto, por entender que a parcela do espriamento é dependente da espessura do canal (x_c) independentemente do valor da largura da aleta (W_{FIN}). Os resultados obtidos por meio da modelagem proposta foram comparados com os valores extraídos da simulação numérica para três diferentes concentrações de impurezas dopantes ($N_D=1 \times 10^{19} \text{cm}^{-3}$; $N_D=5 \times 10^{19} \text{cm}^{-3}$ e $N_D=1 \times 10^{20} \text{cm}^{-3}$) nas regiões de fonte e dreno do transistor. Além disso, foram também comparados com modelos já existentes na literatura (Dixit e Parada). O novo modelo apresentou erros menores que 8% para toda a faixa de largura de aletas (W_{FIN}) simuladas desde 16nm até 51nm, enquanto os modelos anteriores garantiram precisão apenas para alguns pontos dessa faixa. Neste trabalho, a parcela de resistência de espriamento (R_{SP1}) representou uma contribuição de aproximadamente 40% sobre a resistência de extensão das regiões de fonte/ dreno (R_{EXT}), o que indica que é importante considerar esse efeito na associação das resistências parasitárias.

Palavras chave: Múltiplas portas, densidade total de corrente, resistência de espriamento.

ABSTRACT

The focus of this work is to study the current paths in multiple gate transistors for three models of operation (subthreshold, threshold and post-threshold) and from this study, to analyze and to model the spreading current effect in the source/ drain extension regions for Double-Gate SOI FinFET devices. Examining where the current runs through the device from the drain to the source, means the origin and composition of the parasitic resistances. These resistances in FinFET transistors tend to present higher values, implying the difficulty to use this type of device. Therefore, understood the origin of parasitic resistances, it is necessary to create models to estimate them easily. Thus, this work presents a new analytical model to represent the spreading resistance (R_{SP1}) in double-gate SOI FinFET devices, without fitting parameters, aiming at a simple equation that can be used for a greater number of devices than previously published models. The data extracted from the numerical simulation for the study of spreading resistance considered the use of quantum confinement for comparison with the proposed model, understanding that the spreading parcel is dependent on the channel thickness (x_c) regardless of the value of the fin width (W_{FIN}). The results obtained by the proposed model were compared with the values extracted from numerical simulation of three different concentrations of doping impurities ($N_D=1 \times 10^{19} \text{cm}^{-3}$; $N_D=5 \times 10^{19} \text{cm}^{-3}$ e $N_D=1 \times 10^{20} \text{cm}^{-3}$) in the regions of source and drain of the transistor. Moreover, were also compared with existing models in the literature (Dixit and Parada). The new model showed errors below 8% for every fin width (W_{FIN}) range simulated from 16nm to 51nm, whereas previous models guaranteed accurate only to a few points that range. In this work, the spreading resistance parcel (R_{SP1}) represented a contribution of approximately 40% on the extension resistance of the source/ drain regions (R_{EXT}), which indicates that it is important to consider this effect in parasitic resistances association.

Keywords: Multiple gates, total current density, spreading resistance.

LISTA DE FIGURAS

Figura 1. Visão Geral da ITRS, apontando a evolução dos diferentes tipos de transistores e materiais [4].....	27
Figura 2. Esquema de um transistor FinFET de porta tripla ou Triple-Gate com substrato de SiO ₂	28
Figura 3. Transistor nMOSFET.....	30
Figura 4. Esquema de um transistor SOI.....	31
Figura 5. Comparação de uma tecnologia CMOS Convencional e SOI.....	32
Figura 6. Tiristor Parasitário presente na estrutura CMOS [7].....	32
Figura 7. Esquema da classificação dos transistores quanto à espessura de filme de silício. (A) Transistor PDSOI 2D. (B) Transistor FDSOI 2D. (C) Diagrama de faixa de energia para o PDSOI. (D) Diagrama de faixa de energia para o FDSOI.....	34
Figura 8. Exemplo de Inclinação de Sublimiar.....	36
Figura 9. Cargas de depleção nos transistores MOSFETs e FDSOI.....	40
Figura 10. Influência do DIBL na tensão de limiar (V_{th}) e na inclinação de sublimiar (S) em função do comprimento de canal (L).....	40
Figura 11. Diagrama de Energia comparativo de canal longo e curto para o FDSOI [21].	41
Figura 12. Árvore genealógica e classificação dos transistores [22].....	41
Figura 13. Arquitetura de Transistores [12].	42
Figura 14. Perfil dos Transistores de porta tripla. (A) TG Bulk FinFET. (B) TG SOI FinFET.	43
Figura 15. (A) Transistor DSOI/ M-DSOI de porta tripla (B) TG DSOI FinFET. (C) TG M-DSOI FinFET.	44
Figura 16. (A) Layout de um MOSFET. (B) Layout de um transistor de múltiplas portas com “multi-finger”[12].....	45
Figura 17. (A) Seção Transversal do dispositivo de múltiplas portas com "multi-fins". (B) Foto do dispositivo real sem os “fins”.....	46
Figura 18. Esquema do transistor DG SOI FinFET com Hard Mas. (A) plano de corte β . (B) Detalhes dos efeitos de canto na aleta de silício.....	48
Figura 19. Concentração de elétrons em função da distância perpendicular sob a análise clássica e quântica [39].....	48
Figura 20. Exemplo de Análise da Resistência de Espreadimento (R_{SPI}) com e sem modelagem quântica [40].....	49

Figura 21. Poço de Potencial infinito	51
Figura 22. Poço de Potencial infinito com suas funções de onda e suas correspondentes energias das partículas.....	52
Figura 23. (A) Plano de corte. (B) Densidade de Corrente para um transistor de porta dupla com $W_{FIN}=6$ m [40]. (C) Densidade Total de Corrente (J_T) e Campo Elétrico na região de canal do dispositivo extraídos do Corte 2 (D) Densidade de Total de Corrente (J_T) e Campo Elétrico na região de fonte/ dreno do dispositivo extraídos do Corte 1.....	53
Figura 24. (A) Perfil da Estrutura SOI de porta dupla. (B) Esquema das parcelas da resistência total [44].	55
Figura 25. Esquema das parcelas da resistência total.....	55
Figura 26. (A) Perfil da Estrutura SOI de porta dupla; (B) Esquema das parcelas da resistência total.....	56
Figura 27. Corte horizontal no plano γ , esquematizando as componentes da resistência parasitária (RPARA).....	57
Figura 28. Corte paralelo a passagem de corrente de um transistor FinFET, detalhando as parcelas de resistência total.	58
Figura 29. (A) Estrutura de um transistor de Porta Dupla. (B) Transistor de Porta Dupla com as linhas de corrente de espriamento.	58
Figura 30. Espriamento da corrente na interface da região de extensão de fonte/ dreno com a região de canal.	59
Figura 31. (A) Plano de corte γ do transistor de porta dupla. (B) Comparação entre o método do Baccarani e o método do Dixit representado pelo corte no plano γ	60
Figura 32. Setor de coroa circular considerado para modelo analítico proposto por Parada et. al. [40].....	61
Figura 33. Corte paralelo a passagem de corrente de um transistor FinFET, detalhando as parcelas de resistência total [40].....	62
Figura 34. Corte paralelo à passagem de corrente de um transistor FinFET simulado, detalhando a região compreendida por L_{SP}	63
Figura 35. Corte paralelo à passagem de corrente de um transistor FinFET simulado, detalhando a região compreendida por L_{SP} [48].	64
Figura 36. Curva $I_{DS} \times V_G$ para $W_{FIN}=21$ nm, $L=150$ nm e $L_D=90$ nm.	65
Figura 37. $R_{TOT} \times L_D$ para $W_{FIN}=51$ nm, $L=150$ nm.....	66
Figura 38. $R_{TOT} \times L$ para $W_{FIN}=51$ nm, $L=150$ nm.....	66

Figura 39. (A) Transistor de porta tripla com siliceto. (B). Transistor de porta dupla com hard mask e siliceto.	71
Figura 40. Plano de corte γ no transistor FinFET para as simulações 2D.....	71
Figura 41. (A). Variação de $R_{TOT} \times L$ para concentração de $5 \times 10^{19} \text{ cm}^{-3}$. (B) Variação de $R_{TOT} \times L_D$ para concentração de $5 \times 10^{19} \text{ cm}^{-3}$	73
Figura 42. Gráfico da segunda derivada de I_{DS} pelo V_{GS}	75
Figura 43. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_1 . (B) Perfil do corte transversal no meio da região das portas da estrutura em regime de sublimiar.	76
Figura 44. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_2 . (B) Perfil do corte transversal na região de extensão da estrutura em regime sublimiar.	77
Figura 45. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_3 . (B) Corte transversal no meio da região de extensão da estrutura em regime sublimiar.	77
Figura 46. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_4 . (B) Perfil do corte transversal na região de extensão próximo ao siliceto em regime sublimiar.	78
Figura 47. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_5 . (B) Perfil do corte transversal no início da região HDD com siliceto no regime sublimiar.	78
Figura 48. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_6 . (B) Perfil do corte transversal no meio da região HDD com siliceto no regime sublimiar.	79
Figura 49. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_1 . (B) Perfil do corte transversal no meio da estrutura no limiar.....	79
Figura 50. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_2 . (B) Corte transversal no início da região de extensão da estrutura no limiar.....	80
Figura 51. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_3 . (B) Corte transversal no meio da região de extensão da estrutura no limiar.....	80

Figura 52. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_4 . (B) Perfil do corte transversal na região de extensão próximo ao siliceto no limiar.....	81
Figura 53. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_5 . (B) Perfil do corte transversal no início da região HDD no regime no limiar.....	81
Figura 54. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_6 . (B) Perfil do corte transversal no meio da região HDD no limiar.....	82
Figura 55. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_1 . (B) Perfil do corte transversal no meio da estrutura no regime de pós-limiar em escala linear. (C) Perfil do corte transversal no meio da estrutura no regime de pós-limiar em escala logarítmica.....	82
Figura 56. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_2 . (B) Perfil do corte transversal no início da região de extensão no regime de pós-limiar em escala linear. (C) Perfil do corte transversal no início da região de extensão no regime de pós-limiar em escala logarítmica.....	83
Figura 57. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_3 . (B) Corte transversal no meio da região de extensão da estrutura no regime de pós-limiar.....	83
Figura 58. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_4 . (B) Perfil do corte transversal na região de extensão próximo ao siliceto em regime de pós-limiar.....	84
Figura 59. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_5 . (B) Perfil do corte transversal no início da região HDD no regime no regime de pós-limiar.....	84
Figura 60. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_6 . (B) Perfil do corte transversal no meio da região HDD no regime de pós-limiar.....	85
Figura 61. (A) Esquema do dispositivo SOI FinFET de porta tripla com a definição do corte transversal representado pelo plano β_1 . (B) Perfil do corte transversal no meio da região das portas na estrutura no regime sublimiar.....	85

Figura 62. (A) Esquema do dispositivo SOI FinFET de porta tripla com a definição do corte transversal representado pelo plano β_3 . (B) Corte transversal no meio da região de extensão da estrutura no regime sublimiar.	86
Figura 63. (A) Esquema do dispositivo SOI FinFET de porta tripla com a definição do corte transversal representado pelo plano β . (B) Perfil do corte transversal no meio da estrutura no limiar.....	86
Figura 64. (A) Esquema do dispositivo SOI FinFET de porta tripla com a definição do corte transversal representado pelo plano β_2 . (B) Corte transversal no início da região de extensão da estrutura no limiar.....	87
Figura 65. (A) Esquema do dispositivo SOI FinFET de porta tripla com a definição do corte transversal representado pelo plano β_3 . (B) Corte transversal no meio da região de extensão da estrutura no limiar.....	87
Figura 66. (A) Esquema do dispositivo SOI FinFET de porta tripla com a definição do corte transversal representado pelo plano β_1 . (B) Perfil do corte transversal no meio da estrutura no regime de pós-limiar em escala linear. (C) Perfil do corte transversal no meio da estrutura no regime de pós-limiar em escala logarítmica.	88
Figura 67. (A) Esquema do dispositivo SOI FinFET de porta tripla com a definição do corte transversal representado pelo plano β . (B) Corte transversal no meio da região de extensão da estrutura no regime de pós-limiar.	88
Figura 68. (A) Área de espraçamento curto. (B) Área de espraçamento longo.....	90
Figura 69. Área efetiva de ocorrência do espraçamento após inserção do modelo em um dispositivo de porta dupla.....	91
Figura 70. Gráfico do ângulo de espraçamento em função da largura da aleta para a concentração de $N_D=1 \times 10^{20} \text{ cm}^{-3}$ [40].....	92
Figura 71. Gráfico da variação do ângulo de espraçamento (α) pela largura da aleta (W_{FIN}) para $N_D=1 \times 10^{19} \text{ cm}^{-3}$	93
Figura 72. Gráfico da variação do ângulo de espraçamento (α) pela largura da aleta (W_{FIN}) $N_D=5 \times 10^{19} \text{ cm}^{-3}$	93
Figura 73. Gráfico da variação do ângulo de espraçamento (α) pela largura da aleta (W_{FIN}) $N_D=1 \times 10^{20} \text{ cm}^{-3}$	94
Figura 74. Cortes transversais para determinar os 40% do pico da corrente para obter o valor de x_c	98

Figura 75. Densidade Total de Corrente (J_T) em função da distância entre as portas, demonstrando a presença do efeito quântico nas bordas e um detalhamento do método para obtenção do valor de x_c [52].	99
Figura 76. (A) Variação de $R_{TOT} \times L_D$ para obtenção de L_{SP} para a concentração de $1 \times 10^{19} \text{cm}^{-3}$. (B) Variação de $R_{TOT} \times L_D$ para obtenção de L_{SP} para a concentração de $1 \times 10^{20} \text{cm}^{-3}$. (C) Variação de $R_{TOT} \times L_D$ para obtenção de L_{SP} para a concentração de $5 \times 10^{19} \text{cm}^{-3}$...	100
Figura 77. Resistência de Extensão (R_{EXT}) em função da largura da aleta (W_{FIN}) para as três concentrações de dopantes.	102
Figura 78. Gráfico de R_{SP1} em função de W_{FIN} .	103
Figura 79. Comparação do Modelo proposto por Dixit com o Método de extração da simulação.	106
Figura 80. Comparação do Modelo Proposto de Parada com o Método de extração da simulação.	108
Figura 81. Comparação do Modelo Analítico Proposto com Método de extração da simulação.	109
Figura 82. Relevância da parcela de R_{SP1} sobre R_{EXT} para duas concentrações de impurezas dopantes.	110

LISTA DE TABELAS

Tabela 1. Valores das parcelas (r_{EXT}/L_D e r_{CH}/L) extraídos da simulação.....	74
Tabela 2. R_{SP1} obtido por meio da adoção da expressão de α obtido pelo gráfico da Figura 71.	94
Tabela 3. R_{SP1} obtido por meio da adoção da expressão de α obtido pelo gráfico da Figura 72.	95
Tabela 4. R_{SP1} obtido por meio da adoção da expressão de α obtido pelo gráfico da Figura 73.	96
Tabela 5. Valores de R_{SP1} extraídos da simulação.	103
Tabela 6. Valores de resistividade ρ extraídos da simulação.....	104
Tabela 7. R_{SP1} pelo Dixit et. al. [44] e os erros em relação ao R_{SP1} extraído da simulação. .	105
Tabela 8. Ângulo α em função de W_{FIN} com $N_D=1 \times 10^{20} \text{cm}^{-3}$ para o modelo analítico de Parada et. al. [40].....	107
Tabela 9. R_{SP1} obtido pelo modelo analítico de Parada et. al. [40] e os erros em relação ao R_{SP1} extraído da simulação.	107
Tabela 10. Modelo de R_{SP1} Proposto e os erros em relação ao R_{SP1} extraído da simulação. .	108
Tabela 11. Relevância da parcela de R_{SP1} sobre R_{EXT} para duas concentrações N_D	110

LISTA DE SÍMBOLOS

A	Constante 1 para solução da equação de Schrödinger
A_R	Área da seção transversal da região do canal [cm^2]
B	Constante 2 para solução da equação de Schrödinger
C_{depl}	Capacitância da região de depleção por unidade de área [F/cm^2]
C_{oxb}	Capacitância do óxido enterrado por unidade de área [F/cm^2]
C_{oxf}	Capacitância do óxido de porta do transistor MOS por unidade de área [F/cm^2]
C_{Si}	Capacitância da camada de silício por unidade de área [F/cm^2]
C_G	Capacitância da porta [F/cm^2]
d	Distância máxima da região de depleção controlada pela fonte/ dreno [m]
E	Energia [J]
E_C	Nível de energia inferior da faixa de condução [eV]
E_F	Nível de Fermi do semiconductor [eV]
E_{FM}	Nível de Fermi do metal/eletrodo de porta [eV]
E_g	Largura da faixa proibida [eV]
E_i	Nível intrínseco [eV]
E_v	Nível de energia superior da faixa de valência [eV]
g_m	Transcondutância do transistor [S]
g_m/I_{DS}	Relação entre a transcondutância e a corrente de dreno do transistor MOS [V^{-1}]
h	Constante de Planck [$6,626 \times 10^{-34} \text{J.s}$]
H_{eff}	Altura eficaz da aleta de silício + óxido de extensão [m]
H_{BOX}	Altura da aleta com óxido de silício na região de extensão [m]
H_{Fin}	Altura da aleta de silício em transistores FinFETs [m]
H_m	Altura do hard mask em transistores FinFETs de porta dupla [m]
H_S	Altura de siliceto [m]
H_{SEG}	Altura do SEG [m]
I_D	Corrente de dreno [A]
I_{DS}	Corrente entre dreno e fonte [A]
I_{DSsat}	Corrente de saturação entre dreno e fonte [A]
$I_{\text{DS}}/(W/L)$	Corrente normalizada entre dreno e fonte [A]
$I_{\text{D,deriva}}$	Componente da corrente de deriva [A]
$I_{\text{D,difusão}}$	Componente da corrente de difusão [A]
I_{D0}	Corrente do dispositivo planar de porta única [A]

I_{ON}	Corrente no estado ligado [A]
J_T	Densidade Total de Corrente [A/m]
k	Constante de Boltzmann [$1,38066 \times 10^{-23}$ J/K]
L	Comprimento de máscara do canal do transistor [m]
L_C	Comprimento da região de contato [m]
L_D	Comprimento da região de extensão de fonte e dreno [m]
L_R	Comprimento da região onde há passagem de corrente no material genérico [m]
L_S	Comprimento do siliceto [m]
L_{SP}	Comprimento da região de espraiamento [m]
m	massa da partícula [kg]
m_e^*	massa efetiva dos elétrons [kg]
n	número quântico
N_A	Concentração de impurezas aceitadoras em um semiconductor [cm^{-3}]
N_D	Concentração de impurezas doadoras em um semiconductor [cm^{-3}]
N_{DHDD}	Concentração de impurezas dopantes no lado de alta dopagem [cm^{-3}]
N_{DLDD}	Concentração de impurezas dopantes no lado de baixa dopagem [cm^{-3}]
n_i	Concentração intrínseca de portadores [cm^{-3}]
q	Carga elementar do elétron [$1,6 \times 10^{-19}$ C]
Q_{depl}	Carga de depleção [C/cm^2]
$Q_{depl, eff}$	Densidade de cargas de depleção efetiva por unidade de área [C/cm^2]
Q_F	Carga de interface [cm^{-2}]
P	Passo entre duas aletas [m]
R	Resistência de material genérico [Ω]
R_{AC}	Resistência de acumulação na região de fonte e dreno [Ω]
R_C	Resistência de contato [Ω]
R_j	Resistência de folha da fonte [Ω/m]
R_{CH}	Resistência de canal [Ω]
r_{CH}	Resistência de canal por unidade de comprimento [$\Omega \cdot \mu\text{m}$]
R_{EXT}	Resistência de extensão de Fonte e Dreno [Ω]
r_{EXT}	Resistência de extensão de Fonte e Dreno por unidade de comprimento [$\Omega \cdot \mu\text{m}$]
R_{PARA}	Resistência série de fonte e dreno [Ω]
R_{SC}	Resistência da área de um setor circular [Ω]
R_{SP1}	Resistência de espraiamento 1 [Ω]
$R_{SP1, MEXT}$	Resistência média de espraiamento 1 extraído da simulação [Ω]

R_{SP2}	Resistência de espraçamento 2 [Ω]
R_{SQ}	Resistência da área retangular [Ω]
R_{TOT}	Resistência total do transistor [Ω]
S	Inclinação de sublimiar [mV/déc]
T	Temperatura absoluta [K]
t	tempo [s]
t_{box}	Espessura do óxido enterrado [m]
t_{Si}	Espessura da camada de silício [m]
t_{oxf}	Espessura do óxido de porta [m]
V_{DD}	Tensão de alimentação [V]
V_D	Tensão de dreno [V]
V_{DS}	Tensão entre dreno e fonte [V]
V_G	Tensão de porta [V]
V_{GB}	Tensão aplicada ao substrato do transistor SOI [V]
V_{GF}	Tensão aplicada à primeira porta e fonte do transistor SOI [V]
V_{GS}	Tensão aplicada entre gate e source do transistor [V]
V_{th}	Tensão de limiar de porta [V]
V_{thf}	Tensão de limiar de porta na 1ª interface do transistor SOI [V]
W	Largura de máscara do canal do transistor [m]
W_{FIN}	Largura da aleta para transistores FinFET [m]
W_{SD}	Largura das regiões de fonte e dreno [m]
x_c	Espessura do canal [m]
$x_{dmáx}$	Profundidade máxima da região de depleção [m]
x_{d1}	Profundidade máxima de depleção 1 [m]
x_{d2}	Profundidade máxima de depleção 2 [m]
x_j	Profundidade da junção [m]
x_{jsp}	Profundidade da junção do espraçamento [m]
x_{ox}	espessura do óxido de porta [m]
α	Ângulo de espraçamento [rad]
ϵ_{ox}	Permissividade do óxido de silício [$3,45 \times 10^{-13}$ F/cm]
ϵ_{Si}	Permissividade do silício [$1,06 \times 10^{-12}$ F/cm]
η	acoplamento capacitivo
η_{mos}	acoplamento capacitivo do MOS

η_{acc}	acoplamento capacitivo em regime de acumulação
η_{depl}	acoplamento capacitivo em regime de depleção
θ	Constante de condução do transistor de múltiplas portas
μ	Mobilidade dos portadores majoritários da região de canal [$m^2/V.s$]
μ_n	Mobilidade dos portadores majoritários tipo N [$m^2/V.s$]
μ_p	Mobilidade dos portadores majoritários tipo P [$m^2/V.s$]
μ_{top}	Mobilidade dos elétrons no topo de uma estrutura de porta tripla [$cm^2/V.s$]
μ_{side}	Mobilidade dos elétrons nas laterais de uma estrutura de porta tripla [$cm^2/V.s$]
ξ	Campo elétrico [V/cm]
ρ	Resistividade do material [Ω/m]
ρ_{ext}	Resistividade da extensão de fonte e dreno [Ω/m]
ρ_{HDD}	Resistividade do lado de alta dopagem (HDD) [Ω/m]
Φ_F	Potencial de Fermi [V]
Φ_M	Função trabalho do metal [V]
Φ_{MS}	Função trabalho do metal- silício [V]
Φ_{SiB}	Potencial da superfície da segunda interface [V]
Φ_{SiF}	Potencial da superfície da primeira interface [V]
Φ_{S1}	Potencial da superfície do semiconductor 1 [V]
Φ_{S2}	Potencial da superfície do semiconductor 2 [V]
Φ_S	Potencial da superfície do transistor [V]
Φ_{SUB}	Função trabalho do substrato [V]
Ψ	Função de onda
\hbar	Constante de Planck normalizada [$1,055 \times 10^{-34} J.s$]
\hat{H}	Operador hamiltoniano
\vec{r}	vetor posição em espaço tridimensional
\hat{U}	Operador Potencial de Interação

LISTA DE ABREVIATURAS

2D	Bidimensional
3D	Tridimensional
BOX	Buried OXide
CMOS	Complementary Metal-Oxide-Semiconductor
DELTA	fully DEpleted Lean-channel TrAnsistor
DIBL	Drain-Induced-Barrier-Lowering
DG	Double-Gate
DSOI	Drain Source On Insulator
ENG	Effective Number of Gates
FD	Fully depleted
FinFET	Fin Field Effect Transistor
HDD	High Doped Drain
ITRS	International Technology Roadmap for Semiconductors
LDD	Lightly Doped Drain
MOS	Metal-Oxide-Semiconductor
nMOS	n Metal-Oxide-Semiconductor
pMOS	p Metal-Oxide-Semiconductor
M-DSOI	Modified- Drain Source On Insulator
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor
MuGFET	Multiple Gate Field Effect Transistor
NFD	Near Fully Depleted
PD	Partially Depleted
SEG	Selective Epitaxial Growth
SCEs	Short Channel Effects
SG	Single Gate
SOI	Silicon-On-Insulator
TG	Triple-Gate

PUBLICAÇÕES GERADAS DURANTE O PERÍODO DE MESTRADO

Foram geradas as seguintes publicações durante o período de Mestrado:

An Analytical Estimation Model for the Spreading Resistance of Double- Gate FinFETs; Cristiano Tavares Malheiro; Arianne Soares do Nascimento Pereira; Renato Camargo Giacomini; 8th International Caribbean Conference on Devices, Circuits and Systems- ICCDCS 2012, p. 1-4. Playa Del Carmen, Quintana Roo, México, 2012. (Apresentação Oral do Trabalho).

Study of Different Triple-Gate Structures Through 3D Device Simulation; Cristiano Tavares Malheiro; Paula Ghedini Der Agopian; Renato Camargo Giacomini. Chip on the Cliffs- 11th Microelectronics Students Forum - SFORUM 2011, João Pessoa – PB, Brasil, 2011. (Apresentação Oral do Trabalho- 10 melhores trabalhos).

Spreading Resistance Extraction for Double Gate SOI FinFETs; Cristiano Tavares Malheiro; Marcelo Gonzaga de Oliveira Parada. ; Paula Ghedini Der Agopian; Renato Camargo Giacomini; VI Workshop on Semiconductors and Micro & Nano Technology 2011- SEMINATEC 2011, p. 43-43. Campinas – SP, Brasil, 2011. (Poster)

A Compact Model and an Extraction Method for the FinFET Spreading Resistance; Marcelo Gonzaga de Oliveira Parada; Cristiano Tavares Malheiro ; Paula Ghedini Der Agopian; Renato Camargo Giacomini; 26th Symposium on Microelectronics Technology and Devices- SBMICRO 2011- ECS Transactions Proceedings of Microelectronics Technology and Devices, v. 39. p. 255-262. João Pessoa – PB, Brasil, 2011. (Poster).

Comparative study of self-heating effects influence on IV characteristics of four different structures; Rodrigo D'Angelo Mathias; Cristiano Tavares Malheiro; Renato Giacomini; Paula Ghedini Der Agopian; VII Workshop on Semiconductors and Micro & Nano Technology 2012- SEMINATEC 2012, p. 53-54. São Bernardo do Campo – SP, Brasil, 2012 (Poster).

SUMÁRIO

1	INTRODUÇÃO	26
1.1	OBJETIVO DO TRABALHO	29
1.2	APRESENTAÇÃO DO TRABALHO	29
2	CONCEITOS BÁSICOS	30
2.1	TECNOLOGIA E ARQUITETURAS DE DISPOSITIVOS	30
2.1.1	Tecnologia Silicon-On-Insulator (SOI).....	30
2.1.1.1	Os Transistores Parcialmente Depletado (PDSOI), Totalmente Depletado (FDSOI) e Quase Totalmente Depletado (NFDSOI).....	33
2.1.1.2	Parâmetros Elétricos do SOI MOSFET	35
2.1.1.3	Tensão de Limiar.....	35
2.1.1.4	Inclinação de Sublimiar.....	36
2.1.1.5	Transcondutância	37
2.1.1.6	Efeitos relacionados à redução das dimensões: Efeito de Canal Curto, DIBL e comportamento das cargas.	38
2.1.2	Transistores de Múltiplas Portas ou MuGFETs	41
2.1.3	Outros dispositivos de porta tripla (DSOI e M-DSOI) [29]	43
2.1.4	Características dos dispositivos de Múltiplas Portas.....	44
2.1.4.1	Condução da Corrente	45
2.1.4.2	Tensão de Limiar.....	46
2.1.4.3	Efeito de Canto	47
2.1.5	Efeitos Quânticos.....	48
2.1.5.1	O confinamento quântico.....	49
2.1.5.1	O poço de potencial infinito	50
2.2	RESISTÊNCIA PARASITÁRIA	54
2.2.1	As componentes da Resistência Total (R_{TOT}).....	54
2.2.2	Corrente de Espreadimento.....	57
2.2.3	Modelos para Obtenção Analítica da Resistência de Espreadimento.....	59
2.2.3.1	Modelo proposto por Baccarani, et. al.[47].....	59
2.2.3.2	Modelo proposto por Dixit et. al. [45].....	60
2.2.3.3	Modelo Proposto por Parada et. al. [41].....	61
2.2.4	Método para extração da resistência de espreadimento proposto por Parada [49]	63
2.2.4.1	Obtenção do L_{SP} proposto por Parada [49]	63
2.2.5	Exemplo de utilização do método de extração proposto por Parada	64
3	SIMULAÇÕES	68
3.1	O SIMULADOR DE DISPOSITIVOS ATLAS DA SILVACO [50]	68
3.1.1	Modelos de Mobilidade [50]	69
3.1.2	Mecanismos de Geração e Recombinação [50].....	69
3.1.3	Modelos Quânticos [50]	70

3.2	SIMULAÇÕES REALIZADAS	70
3.2.1	Análise da densidade de corrente em estruturas FinFET de porta dupla e porta tripla.....	70
3.2.2	Obtenção da resistência de espreamento (R_{SP1}) para dispositivos FinFET 2D.....	71
4	ESTUDO DA DISTRIBUIÇÃO DA CORRENTE EM MUGFETS ATRAVÉS DE SIMULAÇÃO NUMÉRICA.....	75
4.1	DISPOSITIVOS SOI FINFET DE PORTA DUPLA COM CONTATO DE SILICETO	75
4.1.1	Regime de sublimiar	76
4.1.2	Regime de limiar	79
4.1.3	Regime de pós-limiar	82
4.2	DISPOSITIVOS SOI FINFET DE PORTA TRIPLA COM SILICETO	85
4.2.1	Regime de sublimiar	85
4.2.2	Regime de limiar	86
4.2.3	Regime pós-limiar.....	87
4.3	COMPARAÇÃO DOS REGIMES QUANTO AO NÚMERO DE PORTAS	89
5	MODELO PROPOSTO DE RESISTÊNCIA DE ESPRAIAMENTO (R_{SP1}) PARA TRANSISTORES FINFETS DE PORTA DUPLA [53]	90
5.1	OBTENÇÃO DOS PARÂMETROS UTILIZADOS NO MODELO.....	92
5.1.1	Obtenção do ângulo de espreamento α	92
5.1.2	Obtenção do parâmetro da espessura de canal x_c	97
5.1.3	Obtenção do L_{SP}	99
6	AVALIAÇÃO DO MODELO A PARTIR DA SIMULAÇÃO NUMÉRICA	102
6.1	RESULTADOS A PARTIR DO MÉTODO DE EXTRAÇÃO DA SIMULAÇÃO.....	102
6.1.1	Valores médios de R_{SP1}	103
6.2	COMPARAÇÃO DOS RESULTADOS EXTRAÍDOS COM O MODELO DE DIXIT ET. AL. [45].....	104
6.3	COMPARAÇÃO DOS RESULTADOS EXTRAÍDOS COM O MODELO DE PARADA [49].....	106
6.4	COMPARAÇÃO DOS RESULTADOS EXTRAÍDOS COM O MODELO PROPOSTO [53]	108
6.5	IMPORTÂNCIA DA RESISTÊNCIA DE ESPRAIAMENTO SOBRE A RESISTÊNCIA TOTAL	110
7	CONCLUSÕES.....	111
	REFERÊNCIAS	113
	APÊNDICE A – TABELA CONTENDO TODOS OS DADOS EXTRAÍDOS DA SIMULAÇÃO ATRAVÉS DO MÉTODO DE PARADA [29].....	119
	APÊNDICE B - ARQUIVO DE SIMULAÇÃO DG SOI FINFET BIDIMENSIONAL.....	125
	APÊNDICE C - ARQUIVO PARA CONSTRUÇÃO DA ESTRUTURA 3D.....	127
	APÊNDICE D - ARQUIVO PARA CONSTRUÇÃO DA ESTRUTURA 3D	130
	APÊNDICE E - ARQUIVO PARA SIMULAÇÃO DO DISPOSITIVO 3D.....	133

1 INTRODUÇÃO

A demanda de novas tecnologias e o avanço dos estudos no campo da Microeletrônica faz com que seja necessária a adoção de novas geometrias e a redução nas dimensões dos dispositivos semicondutores. Com a redução das dimensões, naturalmente aparecem nos dispositivos semicondutores efeitos parasitários indesejáveis, como é o caso dos SCEs (*Short Channel Effects*- efeitos de canal curto), responsáveis pela perda parcial do controle do terminal da porta do transistor sobre as cargas de depleção [1,2]. Para minimização ou redução desse e de outros efeitos que possam estar ou não em competição, é necessário um estudo cada vez mais minucioso e a adoção de melhores alternativas para fabricação e uso desses dispositivos.

Os estudos na área de Microeletrônica buscam formas de integração cada vez maior da relação dispositivos/ área em uma lâmina de silício [3]. Desta forma, hoje temos, segundo a ITRS (*International Technology Roadmap for Semiconductors*) [4], um comprimento mínimo de canal em torno de 22nm para a tecnologia CMOS (*Complementary Metal-Oxide Semiconductor*- Metal Óxido Semicondutor Complementar). Seguindo a tendência da Lei de Moore, de que o número de transistores quadruplica aproximadamente a cada três anos [5], teremos tecnologias de memória FLASH na ordem de 16nm de comprimento de canal em 2016 (Figura 1- projeção 2009 IS ITRS Flash Poly).

Na Figura 1 pode-se observar que existem diversos estudos para o aperfeiçoamento das atuais e futuras tecnologias e uma linha do tempo referenciando os possíveis saltos com as dimensões das tecnologias [4]. Em relação aos materiais utilizados na estrutura MOS do transistor, temos o estudo da inserção de diferentes materiais de porta e dielétrico de porta, investigando a influência da composição desses diferentes materiais na formação de canal e funcionamento do dispositivo.

Nesta mesma figura, quanto às regiões de depleção e inversão do canal, estuda-se o conceito de material estressado, ou seja, o material Si tensionado por meio de dilatação térmica. Essa dilatação térmica faz com que a estrutura cristalina sofra alterações nas disposições dos átomos com o intuito de aumentar a mobilidade dos portadores e, conseqüentemente, a corrente de dreno [6].

E finalmente, por meio do controle eletrostático das cargas, reduz-se os efeitos de canal curto e os transistores que antes eram de porta única (*Single Gate*) passam a contar com Múltiplas Portas (*Multi Gate Transistors*), favorecendo o controle das cargas no canal [4].

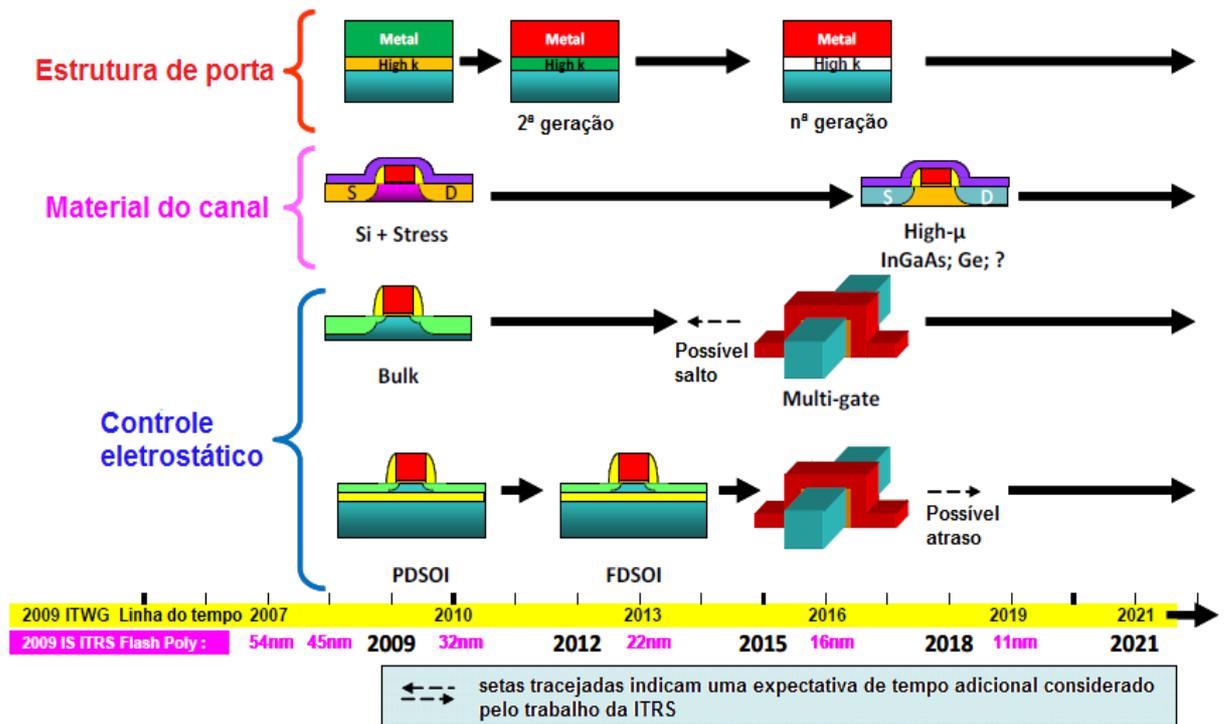


Figura 1. Visão Geral da ITRS, apontando a evolução dos diferentes tipos de transistores e materiais [4].

Uma tecnologia que merece destaque e que tem contribuído de forma significativa para toda a evolução da construção de circuitos com dispositivos semicondutores é o transistor SOI (*Silicon-On-Insulator*- Silício Sobre Isolante), pela introdução do BOX (*Buried Oxide*- óxido de silício enterrado) na região de substrato, minimizando os efeitos parasitários como o SCE e as capacitâncias parasitárias [7]. Além do dispositivo SOI, as estruturas de múltiplas portas, por apresentarem um melhor acoplamento eletrostático, estão promovendo uma condição mais favorável à condução da corrente no canal [8]. Uma das principais empresas fabricantes de processadores de computadores no mundo, a Intel, anunciou a adoção desde maio de 2011, do conceito de transistor 3D (tridimensional) [9], ou seja, a adoção de dispositivos MuGFETs (*Multiple Gate Field Effect Transistors*- Transistores de Efeito de Campo de Múltiplas Portas) em seus futuros processadores.

O primeiro registro descrevendo um transistor de múltipla porta, que na época era de porta dupla (*Double-Gate Transistor*) foi de 1984 [10] e a fabricação aconteceu nos anos 90. A utilização pela Intel dos transistores de múltiplas portas é baseada na dimensão de 22 nanômetros e feito sobre o substrato do tipo MOS convencional [3], por reduzir custo e minimizar o efeito do auto-aquecimento, dissipando mais facilmente o calor proveniente da condução de corrente no canal [11].

O foco deste trabalho é estudar o caminho da corrente em dois dispositivos distintos de Múltiplas Portas: o transistor FinFET de porta dupla e o transistor FinFET de porta tripla,

no qual a condução da corrente ocorre através da “aleta” de silício, fina e alta, do dreno em direção à fonte, como mostra a ilustração da Figura 2.

Além disso, o trabalho também tem como foco o estudo da resistência de espreadimento em estruturas FinFET de porta dupla. Neste caso, considerando o estudo da corrente pelas resistências parasitárias e a influência do confinamento quântico [12] para um grupo de larguras de aleta (W_{FIN}) de 16 a 51 nanômetros.

Por fim, para a realização do estudo do espreadimento foram consideradas simulações 2D- Bidimensional para facilitar a obtenção das parcelas das resistências parasitárias e analisar o resultado pela altura da aleta (H_{FIN}) caracterizando o estudo novamente como 3D. Para obtenção destas parcelas de resistência, na simulação 2D variou-se o comprimento de canal (L), o comprimento de extensão de fonte/dreno (L_D) e a largura das aletas (W_{FIN}), obtendo curvas de corrente necessárias em regime de triodo, para um transistor nMOS ($0 < V_{DS} \leq V_{GS} - V_{th}$, onde V_{DS} é a tensão entre dreno e fonte, V_{GS} é a tensão aplicada entre porta e fonte e V_{th} é a tensão de limiar) caracterizando o método de extração [13].

A partir dessas simulações, foi proposto um modelo analítico para fácil obtenção da parcela da resistência de espreadimento e os resultados foram comparados com outros modelos existentes na literatura.

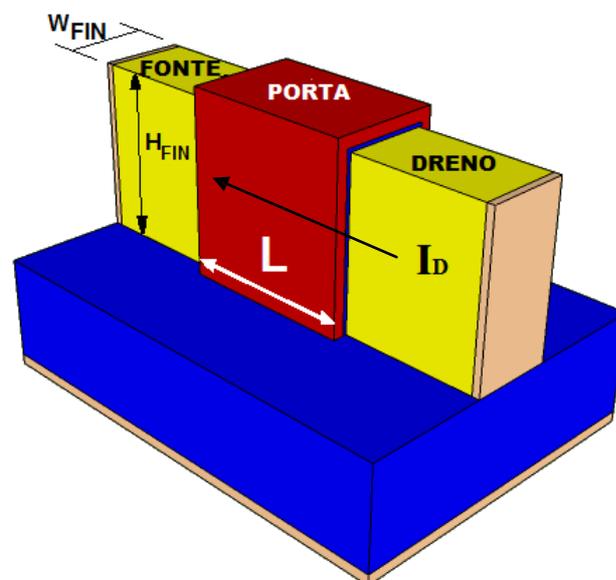


Figura 2. Esquema de um transistor FinFET de porta tripla ou Triple-Gate com substrato de SiO_2 .

1.1 Objetivo do trabalho

O objetivo deste trabalho é analisar os desvios do caminho da corrente a partir da observação da densidade de corrente em dispositivos FinFET de porta dupla e porta tripla, e estudar o fenômeno de espraiamento de corrente em estruturas *Double Gate FinFET*- DG FinFET ou FinFET de porta dupla. Desenvolver um novo método analítico para a obtenção das resistências parasitárias relacionadas ao espraiamento da corrente.

E, por último, verificar e comparar os modelos e métodos de extração da resistência parasitária a partir de simulação numérica de dispositivos em diferentes valores de concentração nas regiões de extensão de fonte e dreno.

1.2 Apresentação do Trabalho

Este trabalho está dividido em sete capítulos. Segue uma breve descrição sobre o conteúdo de cada um destes.

O Capítulo 1 apresenta uma breve introdução sobre o tema abordado e o foco principal do trabalho.

O Capítulo 2 apresenta conceitos fundamentais sobre os transistores SOI, transistores de múltiplas portas, resistência parasitária, efeitos quânticos, métodos de extração e modelos para obtenção da resistência de espraiamento.

O Capítulo 3 descreve o uso do simulador numérico, detalhando os métodos utilizados para a obtenção dos resultados para validação das informações que serão apresentadas no Capítulo 4.

O Capítulo 4 detalha o estudo da distribuição da corrente em dois dispositivos de múltiplas portas (porta dupla e porta tripla), a partir da simulação numérica, explicitando os caminhos de corrente no interior dos dispositivos.

O Capítulo 5 contempla o modelo proposto de resistência de espraiamento para transistores FinFET de porta dupla.

No Capítulo 6, é feita a avaliação do modelo proposto por meio da simulação numérica e a comparação com os modelos anteriormente utilizados na literatura.

No Capítulo 7, após a análise dos resultados, são apresentadas as conclusões e os próximos passos para a continuidade da pesquisa.

2 CONCEITOS BÁSICOS

Neste capítulo são apresentados: a tecnologia Metal-Óxido-Semicondutor (MOS), a tecnologia silício sobre isolante (Silicon-On-Insulator - SOI), os transistores SOI de múltiplas portas com diferentes geometrias, em especial o FinFET e por último, os conceitos fundamentais sobre corrente elétrica, confinamento quântico e resistência parasitária.

2.1 Tecnologia e Arquiteturas de Dispositivos

Nesta seção são apresentadas a evolução de tecnologias de porta única e a arquitetura dos dispositivos para desencadeamento dos estudos das seções posteriores.

2.1.1 Tecnologia Silicon-On-Insulator (SOI)

O Transistor MOS ou transistor de efeito de campo (Figura 3), tornou-se uma realidade no final da década de 1960, pois podia ser construído em dimensões da ordem de micrômetros, com seu processo de fabricação simples e implementado no chamado Circuito Integrado (CI). Além disso, as funções lógicas digitais e memórias também podiam ser implementadas em um mesmo CI sem a necessidade de resistores ou diodos, tudo exclusivamente MOSFET [14]. O MOSFET é o transistor base da tecnologia CMOS.

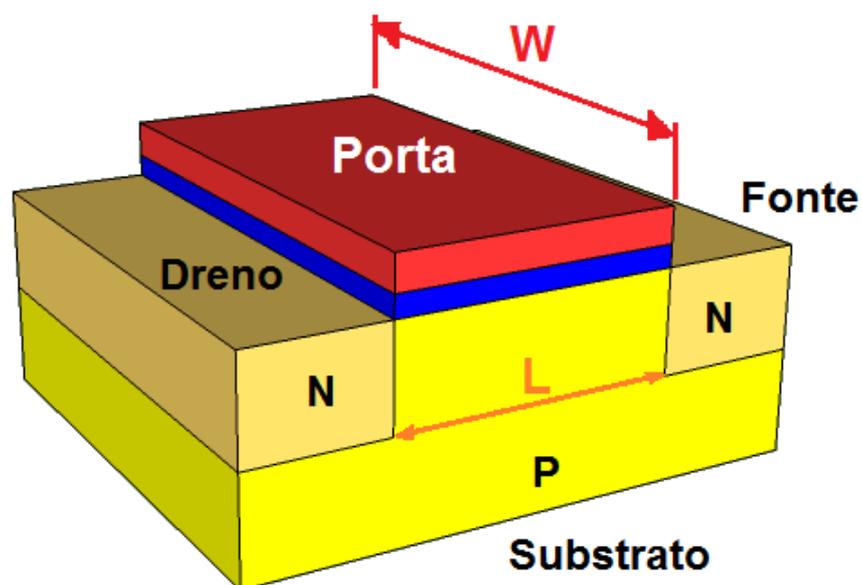


Figura 3. Transistor nMOSFET.

O transistor SOI CMOS é a evolução do transistor MOS convencional, a diferença entre eles, é que o SOI CMOS apresenta o substrato com óxido enterrado. Com a inserção desse óxido enterrado consegue-se reduzir as capacitâncias de junção e efeitos parasitários como a influência da radiação, canal curto e aumentar o número de transistores por lâmina de silício [7].

A tecnologia SOI CMOS (Figura 4), em comparação a tecnologia CMOS convencional, trouxe além das vantagens citadas anteriormente, a maior densidade de integração [7]. A partir de 2000, grandes empresas como IBM, AMD e Freescale iniciaram a fabricação de microprocessadores e aparelhos com tecnologia SOI em larga escala. Uma tendência de mercado está sendo adotar este tipo de transistor devido às suas inúmeras vantagens em relação à tecnologia anterior, a CMOS convencional, mas que poderá também ser substituída pelos transistores de Múltiplas Portas como anunciado pela Intel no ano de 2011 [15].

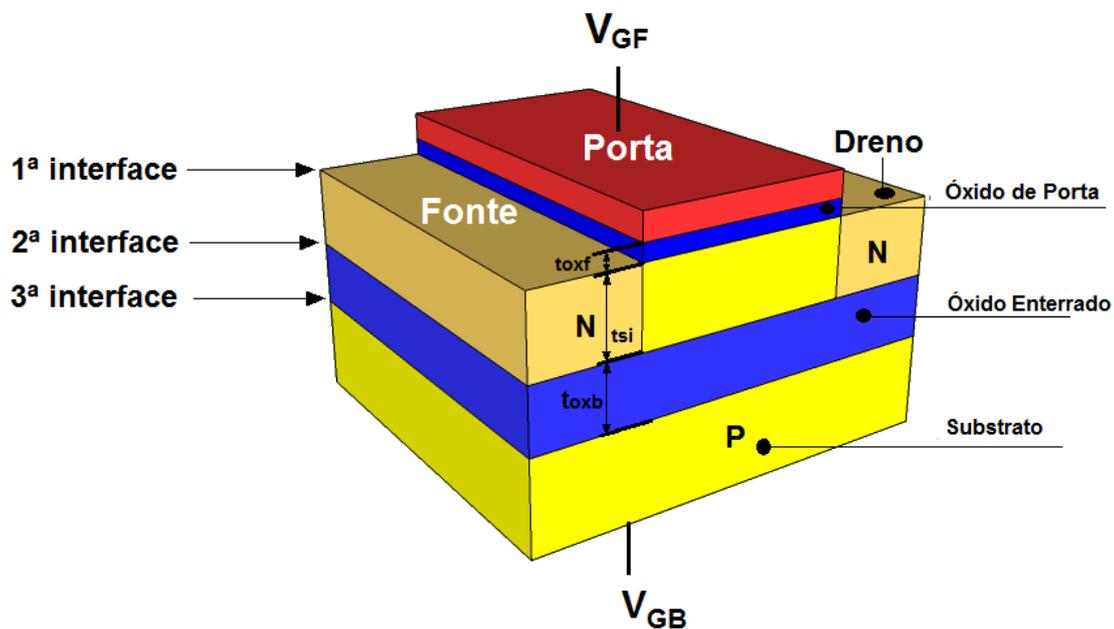


Figura 4. Esquema de um transistor SOI.

Observando um transistor típico e comparando uma tecnologia CMOS convencional “Bulk” com uma SOI CMOS, pode-se notar através do exemplo de um inversor lógico que o SOI não necessita de poço tipo P, reduzindo assim as etapas fotolitográficas (Figura 5)[16].

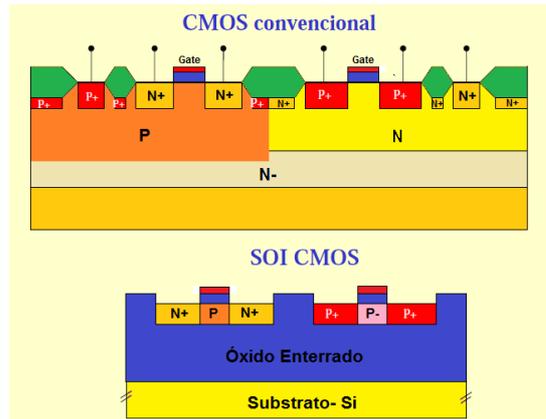


Figura 5. Comparação de uma tecnologia CMOS Convencional e SOI.

Existem importantes vantagens do SOI em relação ao MOS convencional devido à introdução do óxido enterrado. Como exemplo, cabe citar que este dispositivo possui uma menor capacitância de junção, o que implica um aumento significativo no nível de corrente e a maior velocidade de chaveamento. É menos susceptível ao efeito de canal curto por conta das regiões de depleção estarem mais isoladas uma das outras e não contar com regiões rasas que favorecem a migração de elétrons entre as regiões de depleção. Outro fator importante é a eliminação do efeito chamado tiristor parasitário ou do inglês “Latch-up” (Figura 6). No transistor MOS convencional, este efeito apresenta-se como uma indesejada realimentação de transistor bipolar PNP com outro NPN (formando um tiristor), fazendo com que aconteça condução mesmo se o dispositivo estiver desligado [7].

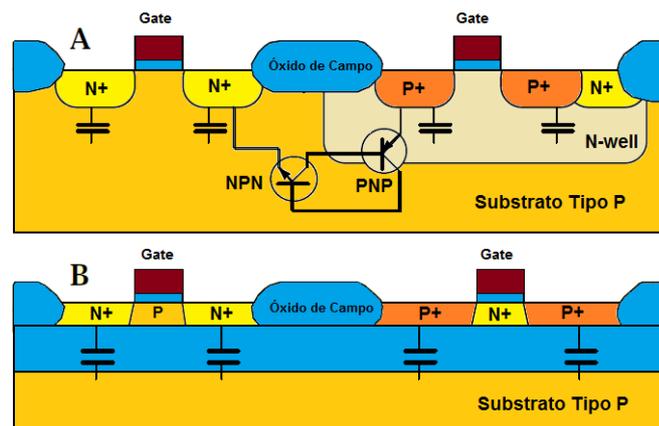


Figura 6. Tiristor Parasitário presente na estrutura CMOS [7].

Outras vantagens que o SOI apresenta em relação ao MOS convencional são: maior proteção à radiação, baixa potência de consumo e melhor desempenho devido à diminuição da capacitância de junção e diminuição do efeito de corpo [7]. Porém, como desvantagem do SOI em relação ao MOS convencional, tem-se os efeitos de corpo flutuante (Efeito Kink e o

efeito do transistor bipolar parasitário entre dreno e fonte) [17] e o autoaquecimento que dificulta a dissipação de potência devido à baixa condutividade térmica do óxido enterrado [11].

A física do transistor SOI é altamente dependente da espessura do filme de silício, da concentração de dopantes e da temperatura, que influenciam a espessura de depleção do transistor. Com isso, o transistor SOI pode ser classificado em três tipos: FDSOI (Fully Depleted- Transistor Totalmente Depletado), PDSOI (Partially Depleted- Transistor Parcialmente Depletado) e NFDSOI (Near-Fully Depleted SOI- Transistor Quase Totalmente Depletado) [7]. Sabendo-se que no transistor convencional, a região de depleção ou espessura máxima de depleção é dada pelo equilíbrio das cargas negativas e positivas, pode-se calculá-la pela equação (1) [13].

$$x_{dm\acute{a}x} = \sqrt{\frac{4\epsilon_{Si}\phi_F}{qN_A}} \quad (1)$$

onde o ϵ_{Si} é a permissividade do silício, N_A é a concentração de dopantes aceitadores de carga, e o ϕ_F é o potencial de Fermi que representa a probabilidade em 50% de se achar um elétron e é dado pela equação (2), onde n_i é a concentração intrínseca dos portadores.

$$\phi_F = \frac{kT}{q} \ln \left(\frac{N_A}{n_i} \right) \quad (2)$$

onde k é a constante de Boltzmann, T a temperatura absoluta em Kelvin, q é a carga do elétron em Coulomb.

2.1.1.1 Os Transistores Parcialmente Depletado (PDSOI), Totalmente Depletado (FDSOI) e Quase Totalmente Depletado (NFDSOI).

O Transistor PDSOI (Figura 7A), possui a espessura do filme de silício (t_{Si}) maior que o dobro de $x_{dm\acute{a}x}$ ($t_{Si} > 2.x_{dm\acute{a}x}$). Com isto as depleções da 1ª e 2ª interfaces (Figura 4), nunca entrarão em contato, criando a região denominada neutra ou corpo (*body*). Aplicando tensão nos dois terminais (Front Gate Voltage (V_{GF}) e Back Gate Voltage (V_{GB})) maiores que a

tensão de limiar (V_{th}), tem-se a formação de canal nas duas primeiras interfaces (Figura 4). Este tipo de transistor apresenta uma região neutra, entre as regiões de depleção, que se ligada por um contato de corpo, faz com que o dispositivo tenha um comportamento idêntico ao dos transistores MOS convencionais [7].

Os transistores PDSOI também podem sofrer de efeito de corpo flutuante, por não possuírem contato de corpo e sofrerem também do efeito kink que eleva abruptamente o patamar da corrente de dreno (I_D). Pode também, apresentar o efeito do transistor bipolar parasitário, aumentando a ionização por impacto na curva da corrente de dreno e fonte (I_{DS}) em função da tensão de dreno e fonte (V_{DS}), criando uma anomalia na inclinação de sublimiar (S) e reduzindo a tensão de ruptura do dreno [7].

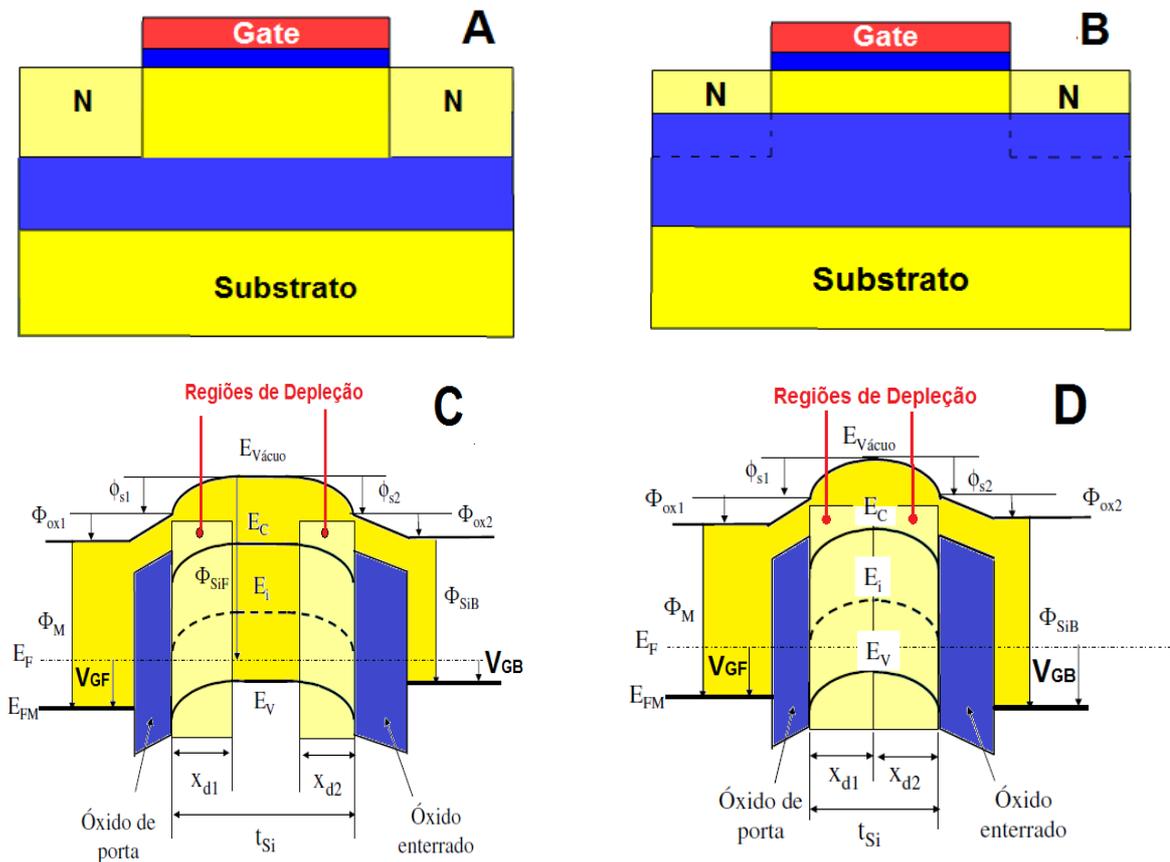


Figura 7. Esquema da classificação dos transistores quanto à espessura de filme de silício. (A) Transistor PDSOI 2D. (B) Transistor FDSOI 2D. (C) Diagrama de faixa de energia para o PDSOI. (D) Diagrama de faixa de energia para o FDSOI.

O Transistor FDSOI (Figura 7B), é classificado desta forma por conta do filme de silício (t_{Si}) ser menor que $x_{dmáx}$ ($t_{Si} < x_{dmáx}$). Com isto, o transistor quando polarizado acima da tensão de limiar (V_{th}) estará totalmente depletado. Apresenta as melhores propriedades, tais como: maior mobilidade (maior facilidade do portador se deslocar pela estrutura

cristalina), menor S , maior corrente de saturação, menor efeito de canal curto, baixo campo elétrico e alta transcondutância. Para o caso do nMOS, pode-se ter a 2ª interface acumulada se for aplicada uma tensão negativa em V_{GB} ou invertida se aplicada tensão positiva [7].

As Figuras 7C, D mostram respectivamente, os diagramas de faixa de energia dos dispositivos PDSOI e FDSOI. Nesta figura, os níveis de energia representados são: inferior da faixa de condução (E_C), superior da faixa de valência (E_V), e nível intrínseco (E_i). E os níveis de Fermi são representados como: E_F para o semiconductor e E_{FM} para o metal. Os potenciais de superfície Φ_{S1} e Φ_{S2} , Φ_{SiF} da primeira interface e Φ_{SiB} da segunda interface, Φ_M do metal e as regiões de depleção são x_{d1} e x_{d2} .

Todos os transistores SOI simulados neste trabalho são do tipo FDSOI. Os transistores FDSOI apresentam como vantagem redução do campo elétrico horizontal, maior mobilidade de portadores na região de canal, menor variação de tensão de limiar com a temperatura e menor ocorrência de efeitos de canal curto [18]. Sua inclinação de sub-limiar aproxima-se do valor mínimo teórico de 60 mV/década na temperatura ambiente.

Pode acontecer de o dispositivo ficar no limiar dos dois tipos de comportamentos, ou seja, um caso intermediário entre o transistor totalmente depletado e o parcialmente depletado, onde ($x_{dmáx} < t_{si} < 2x_{dmáx}$). Caso a tensão de substrato (V_{GB}) ofereça tensão de modo que as duas regiões de depleção não se encontrem ou se a 2ª interface estiver neutra ou acumulada, o transistor se comportará como um parcialmente depletado, senão, pelo fato da presença de uma polarização de V_{GB} induzir uma sobreposição entre as regiões de depleção, o dispositivo estará totalmente depletado.

2.1.1.2 Parâmetros Elétricos do SOI MOSFET

Para entender o comportamento de estruturas de múltiplas portas, é necessário estudar alguns parâmetros elétricos de uma estrutura planar, como o SOI. A seguir são apresentados conceitos básicos sobre a inclinação de sublimiar e transcondutância.

2.1.1.3 Tensão de Limiar

O transistor PDSOI apresenta um comportamento semelhante ao nMOSFET convencional e sua tensão de limiar (V_{thf}) segue a seguinte expressão (3):

$$V_{\text{thf}} = V_{\text{FB}} + 2\Phi_{\text{F}} + \frac{qN_{\text{A}}x_{\text{dmáx}}}{C_{\text{oxf}}} \quad (3)$$

onde: A tensão de limiar depende da tensão de faixa plana (V_{FB}), da capacitância do óxido (C_{oxf}), espessura máxima da região de depleção ($x_{\text{dmáx}}$), da concentração de impureza aceitadoras (N_{A}), da carga do elétron (q) e do potencial de Fermi (Φ_{F}) [13].

2.1.1.4 Inclinação de Sublimiar

A inclinação de sublimiar (S) é definida como o inverso da inclinação da curva da corrente de dreno e fonte (I_{DS}) em função da tensão de porta da 1ª interface do SOI (V_{GF}). A corrente de dreno apresenta-se em escala logarítmica, na região de sublimiar, como pode ser visto na Figura 8.

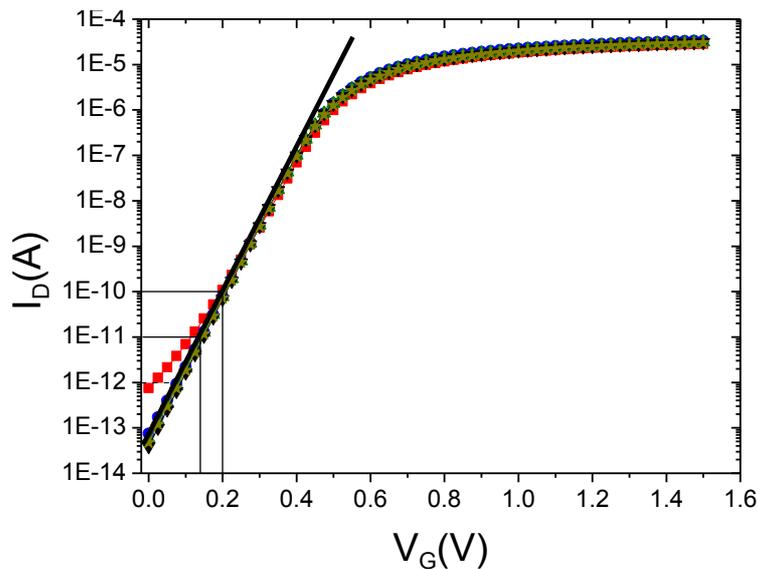


Figura 8. Exemplo de Inclinação de Sublimiar.

A inclinação de sublimiar pode ser definida pela expressão (4).

$$S = \frac{\partial V_{\text{GF}}}{\partial \log(I_{\text{DS}})} \quad (4)$$

A inclinação de sublimiar também pode ser calculada considerando a construção do dispositivo dependente do acoplamento capacitivo como mostra a equação (5).

$$S = \frac{kT}{q} \ln(10) (1 + \eta) \quad (5)$$

onde η é o acoplamento capacitivo da estrutura. O acoplamento capacitivo depende da construção do transistor, apresentando três casos específicos para o transistor planar:

I. Transistor MOS ou SOI MOSFET parcialmente depletado:

$$\eta = \eta_{\text{MOS}} = \frac{C_{\text{depl}}}{C_{\text{oxf}}} \quad (6)$$

onde: a capacitância de depleção C_{depl} é dada por: $C_{\text{depl}} = \frac{\epsilon_{\text{Si}}}{x_{\text{dmáx}}}$

II. Transistor SOI MOSFET com a segunda interface acumulada:

$$\eta = \eta_{\text{acc}} = \frac{C_{\text{Si}}}{C_{\text{oxf}}} \quad (7)$$

III. Transistor SOI MOSFET totalmente depletado com a segunda interface depletada:

$$\eta = \eta_{\text{depl}} = \frac{C_{\text{Si}} C_{\text{oxb}}}{C_{\text{oxf}} (C_{\text{Si}} + C_{\text{oxb}})} \quad (8)$$

onde: C_{Si} é a capacitância da camada de silício por unidade de área e C_{oxb} é a capacitância do óxido enterrado por unidade de área. Logo:

$$\eta_{\text{acc}} < \eta_{\text{MOS}} < \eta_{\text{depl}} \quad (9)$$

2.1.1.5 Transcondutância

A transcondutância é um parâmetro elétrico do transistor MOSFET (g_m) considerado como a medida da eficácia do controle da corrente de dreno e fonte (I_{DS}) pela tensão aplicada na porta (V_G) [19] como mostra a equação (10).

$$g_m = \left. \frac{\partial I_{\text{DS}}}{\partial V_G} \right|_{V_{\text{DS}} \text{ CTE}} \quad (10)$$

Para o caso do transistor PDSOI, a transcondutância será a mesma do transistor MOS convencional, como sendo a primeira derivada. As equações (11) e (12) apresentam a corrente de dreno em saturação e a transcondutância, respectivamente.

$$I_{DSAT} = \frac{W\mu_n C_{oxf}}{2L(1 + \eta)} (V_{GF} - V_{th})^2 \quad (11)$$

$$g_m = \frac{\mu_n C_{oxf}}{(1 + \eta)} \frac{W}{L} (V_{GF} - V_{th}) \quad (12)$$

onde: W é a largura do canal, L é o comprimento do canal, μ_n é a mobilidade efetiva de elétrons e η é o acoplamento capacitivo, que pode ser adotado dependendo do transistor conforme visto na seção **2.1.1.4**.

2.1.1.6 Efeitos relacionados à redução das dimensões: Efeito de Canal Curto, DIBL e comportamento das cargas.

A largura da região de depleção na junção de dreno é proporcional ao potencial de V_{DS} aplicado. A junção fonte- canal também apresenta uma região de depleção. Quando reduzimos o dispositivo, a invasão do canal por essas regiões de depleção torna-se significativa, fazendo com que o controle das cargas de depleção deixe de ser dependente apenas do potencial da porta (V_G).

K. J. Young [20], descreve um modelamento pela equação de Poisson do comportamento do potencial de condução com a distribuição das cargas pelas regiões de dreno, sendo a componente y da equação imposta pelo eletrodo de porta e a componente x imposta pelas regiões de junções de fonte e dreno. À medida que reduzimos a dimensão do transistor, o potencial considera a distribuição bidimensional, pois a carga passa a não ser mais controlada unicamente pela porta, e é descrita pela equação (13).

$$\frac{d^2\phi(x,y,z)}{dx^2} + \frac{d^2\phi(x,y,z)}{dy^2} = \frac{qN_A}{\epsilon_{Si}} \quad (13)$$

Esta equação demonstra que quanto maior for o potencial controlado pela junção de fonte e dreno (componente x do primeiro termo), menor será o controle das cargas pelo canal. Uma das principais consequências dessa distribuição de cargas bidimensional são os chamados efeitos de canal curto, que se manifestam principalmente pela queda na tensão de limiar e a piora na inclinação de sublimiar.

Proximamente às junções de fonte e dreno, é criada uma região de depleção que se estende no substrato (MOSFET convencional - Figura 9) e sob a porta, chamada de divisão de cargas. Essas cargas partilhadas acabam não contando no cálculo da tensão de limiar V_{th} . Com isto as cargas de depleção controladas pela porta diminuem e refletem na redução da tensão de limiar, como mostra a equação (12):

$$V_{th} = f(Q_{depl}) \quad (14)$$

Para transistores MOS de canal longo, a carga de depleção controlada pela porta é dada pela equação (15).

$$Q_{depl} = qN_A x_{dm\acute{a}x} \quad (15)$$

Quando o transistor é de canal curto, apenas uma fração da depleção, é controlada pela porta;

$$Q_{depl,eff} = Q_{depl} \left[1 - \frac{x_j}{L} \right] \left(\sqrt{1 + \frac{2x_{dm\acute{a}x}}{x_j}} - 1 \right) \quad (16)$$

onde: $Q_{depl,eff}$ é a quantidade de cargas efetivas na depleção e x_j é a profundidade de junção de fonte e dreno.

Para o FDSOI, a carga na depleção é dada pela equação (17), segundo a referência [2].

$$Q_{depl,eff} = Q_{depl} \left(1 - \frac{d}{L} \right) \quad (17)$$

onde: d é o comprimento da depleção da junção (Figura 9).

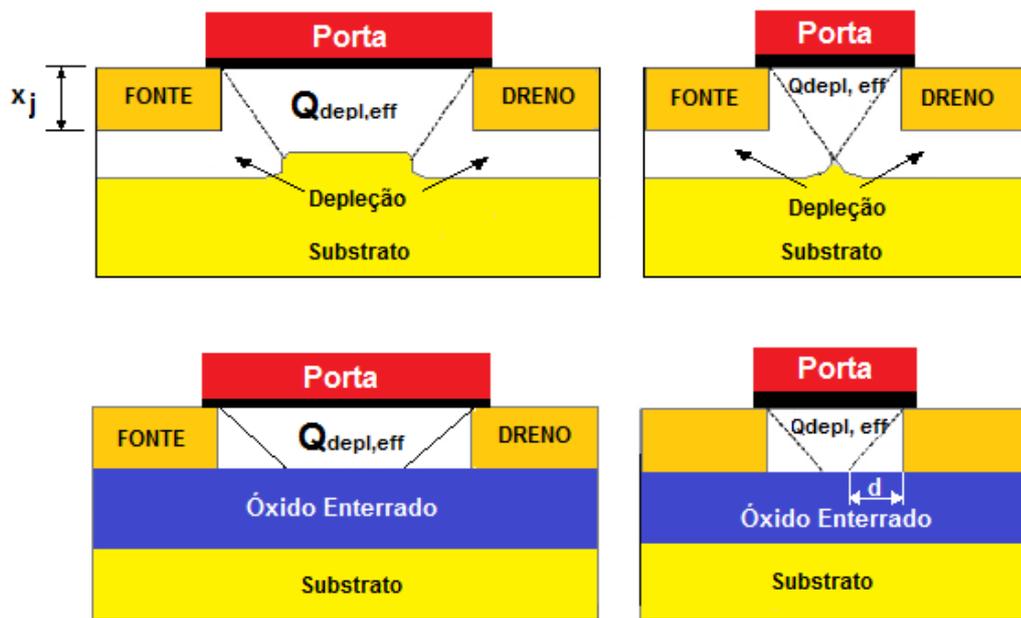


Figura 9. Cargas de depleção nos transistores MOSFETs e FDSOI.

Quando o dispositivo está sob a influência das regiões de depleção das junções de fonte e dreno, a barreira de potencial dessas regiões é reduzida. Com a diminuição da barreira de potencial em relação às cargas de depleção, aumenta-se a influência do que chamamos de DIBL (Drain Induced Barrier Lowering), que faz com que a tensão de limiar (V_{th}) diminua e a inclinação de sublimiar (S) aumente [12] (Figura 10).

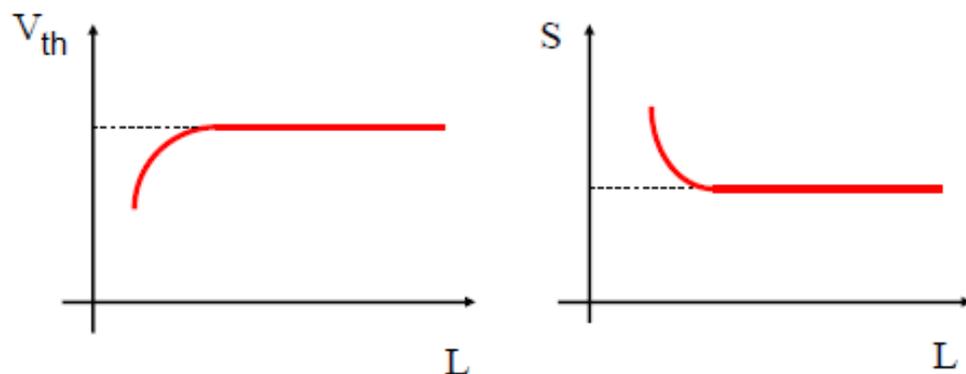


Figura 10. Influência do DIBL na tensão de limiar (V_{th}) e na inclinação de sublimiar (S) em função do comprimento de canal (L).

Isto é devido ao fato de que ao aumentarmos a polarização de dreno, a região de cargas de depleção pela porta estende-se ainda mais distante do dreno, provocando uma importante penetração do campo elétrico do dreno para a fonte. Com isso, a barreira de potencial da fonte é novamente reduzida e propicia o DIBL [21].

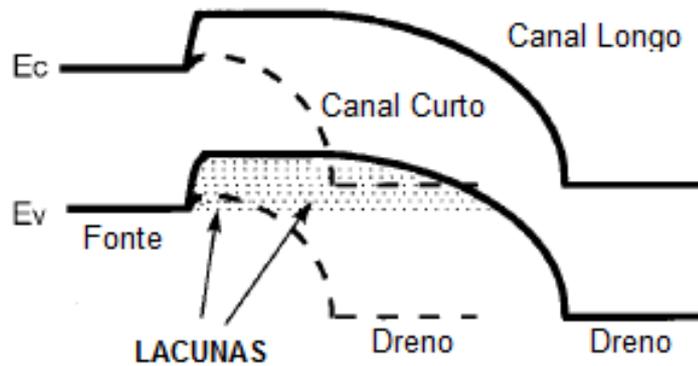


Figura 11. Diagrama de Energia comparativo de canal longo e curto para o FDSOI [21].

Na Figura 11 podem-se observar as diferenças no diagrama de energia para um canal longo e curto através da mudança da altura de encurvamento em relação às bandas de energia. A quantidade de cargas fixas na banda valência diminui repentinamente por conta da grande influência de recombinação devido à proximidade das depleções [21].

2.1.2 Transistores de Múltiplas Portas ou MuGFETs

Com a necessidade de reduzir mais ainda os efeitos de canal curto e obter um melhor acoplamento eletrostático, surgiram estruturas de múltiplas portas, com menor influência do campo elétrico do dreno sobre o canal. A tensão aplicada na porta é uniforme e possui o mesmo valor em cada uma, o que representa uma melhor eficiência no controle das cargas do canal.

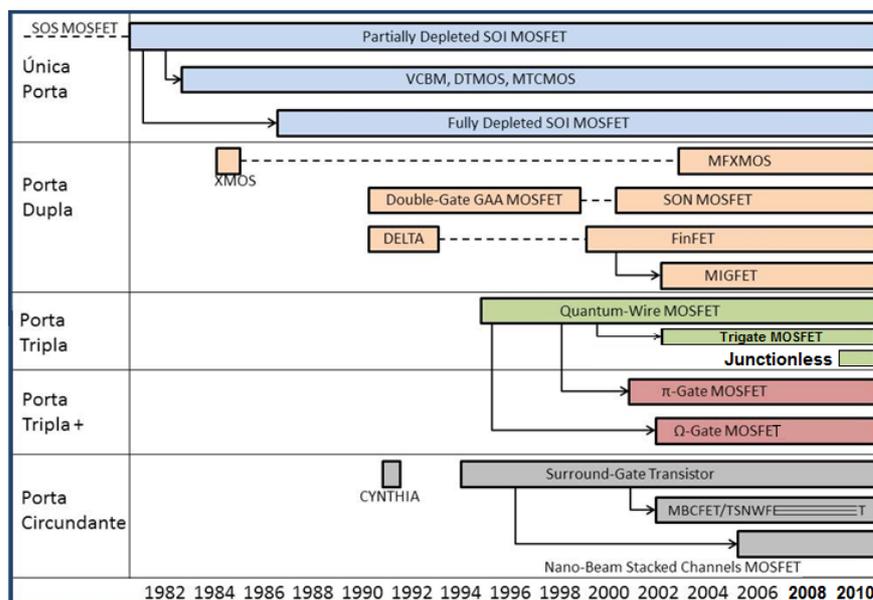


Figura 12. Árvore genealógica e classificação dos transistores [22].

Na Figura 12 tem-se a árvore genealógica [22] mostrando as evoluções das diferentes classificações dos transistores ao longo do tempo. Além das estruturas de porta única, as estruturas de múltiplas portas são classificadas de acordo com o número de portas. As estruturas denominadas XMOS, DELTA e FinFET, por exemplo, são classificadas como estruturas de porta dupla (*Double Gate*). As estruturas denominadas *Junctionless* [23] e *Trigate* MOSFET por possuírem três portas são classificadas como transistores de porta tripla (*Triple Gate*). Existe uma exceção para as estruturas π gate e Ω gate que são classificadas como porta tripla + (*plus*), por possuir de três a quatro portas estendidas até o substrato (Figura 13). E, por fim, as estruturas circundantes ou de porta quádrupla, como por exemplo, o Surround-Gate e o CYNTHIA (*Circular-section device*).

No contexto histórico, temos, como sendo o primeiro SOI MOSFET de porta dupla fabricado, o transistor DELTA, que apresentava uma alta e estreita ilha de silício chamada “finger” ou “aleta”. O primeiro artigo sobre Double Gate SOI FinFET foi publicado por T. Sekigawa e Y. Hayashi [24], mostrando que esta estrutura apresentava uma redução significativa nos efeitos de canal curto em relação ao FD SOI de porta única.

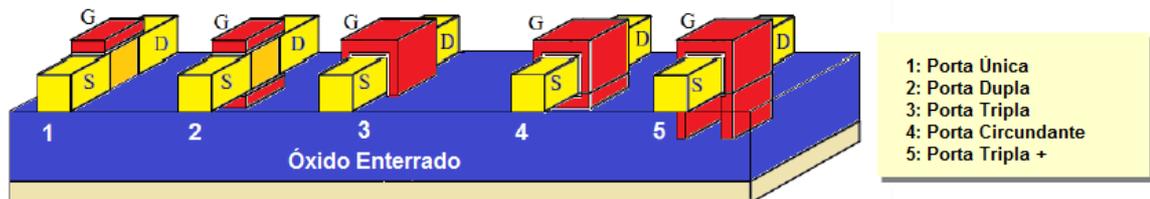


Figura 13. Arquitetura de Transistores [12].

Uma evolução do DELTA é o transistor FinFET considerado de porta dupla, por apresentar o chamado *hard mask* (óxido espesso) na porta superior, tendo controle das cargas apenas pelas portas laterais.

Os dispositivos de porta dupla apresentam vantagens sobre os dispositivos de porta única (*Single Gate*) como: menor efeito de corpo devido ao eficiente acoplamento capacitivo entre a região do canal e a porta, formação de canal em cada porta dobrando a condução de corrente e a possibilidade de formação de canal em toda a ilha de silício pelo efeito denominado inversão de volume (à medida que largura é reduzida, a inversão de volume torna-se imediata) [25] favorecendo uma maior condução de corrente pelo canal no dispositivo [16].

Os dispositivos de porta tripla apresentam vantagens elétricas similares aos dispositivos de porta dupla. Os dispositivos de porta tripla +, apresentam essa nomenclatura

por possuírem a chamada pseudo-porta que se estendem até uma região abaixo da região ativa do transistor, fazendo com que se tenha uma maior condução da corrente, menor influência do campo elétrico no canal e, conseqüentemente, um menor efeito de canal curto.

Alguns modelos como o dispositivo G^4 FET [26] que utiliza uma combinação de funcionamentos do MOSFET) pode ser polarizado com mais de um valor de tensão em cada uma das quatro portas e sua fabricação é similar a de um SOI MOSFET parcialmente depletado. Em termos de caminhos de corrente, neste dispositivo é possível, dependendo da polarização aplicada nas portas, encontrar três componentes de corrente circulando: a corrente na primeira interface, na segunda interface ou corrente no volume e distante das interfaces (no meio do canal). [27].

Os dispositivos de porta tripla se mostram excelentes alternativas para o escalamento e substituição da tecnologia CMOS. Os FinFETs podem ser fabricados sem o óxido espesso (hard mask), o que caracteriza um dispositivo de porta tripla. Ele é basicamente fabricado sobre o substrato de silício sobre isolante (SOI), mas o substrato em bulk também tem ganhado atenção principalmente devido à simplicidade de integração em tecnologia CMOS [8]. O transistor SOI de porta tripla (TG SOI FinFET (Figura 14B)) possui algumas desvantagens em relação ao transistor Bulk de porta tripla (TG Bulk FinFET Figura 14A) como o alto custo de lâmina e a alta densidade de defeitos. O TG Bulk FinFET possui melhor imunidade aos problemas da transferência de calor [28].

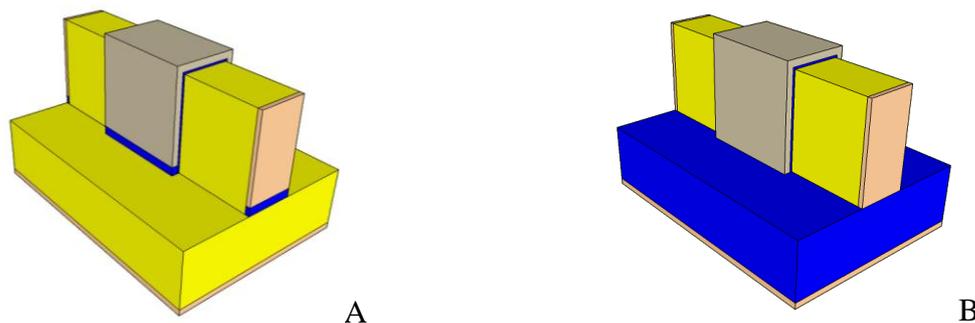


Figura 14. Perfil dos Transistores de porta tripla. (A) TG Bulk FinFET. (B) TG SOI FinFET.

2.1.3 Outros dispositivos de porta tripla (DSOI e M-DSOI) [29]

O transistor DSOI de porta tripla (Drain-Source-On-Insulator ou Dreno-Fonte-Sobre-Isolante – Figuras 15A,B) é composto por regiões de fonte e dreno na aleta formadas por óxido de silício. A porta possui uma altura efetiva (H_{eff}) dada pela soma da altura do óxido na região de extensão (H_{BOX}) mais a altura da aleta (H_{FIN}). Este tipo de dispositivo possui uma

espécie de janela de acesso ao substrato e consegue aliar os benefícios do transistor MOS convencional (boa dissipação de calor e com contato de corpo) com os benefícios do SOI (menor inclinação de sublimar, menor capacitâncias de junção, dentre outras) [30].

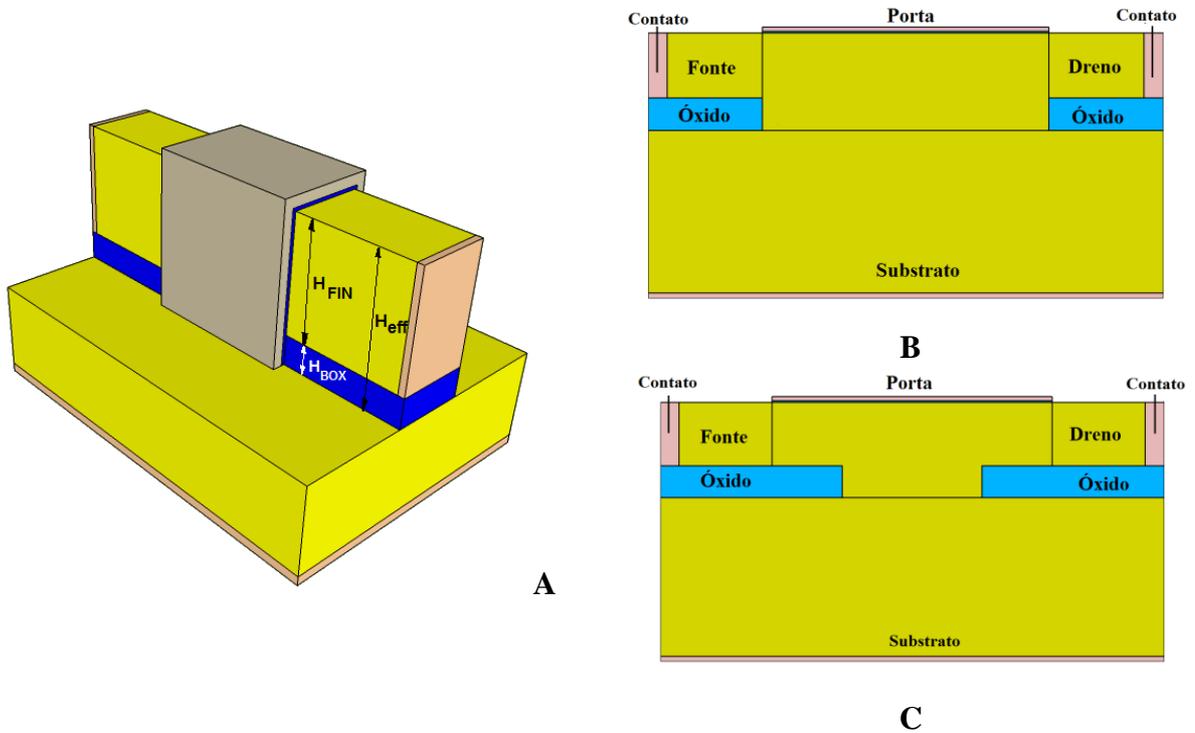


Figura 15. (A) Transistor DSOI/ M-DSOI de porta tripla (B) TG DSOI FinFET. (C) TG M-DSOI FinFET.

O transistor M-DSOI de porta tripla (Modified-Drain-Source-On-Insulator ou Dreno-Fonte-Sobre-Isolante-Modificado Figuras 15A,C) é uma evolução do DSOI, pois possui, além do óxido de silício nas regiões de fonte e dreno, uma parte desse óxido invadindo a região de canal e uma janela menor de acesso ao substrato em relação ao TG DSOI FinFET, tendendo a um transistor SOI [30]. É um transistor que possui um comportamento elétrico com uma maior otimização a favor da dissipação do calor e um pouco mais imune à geração a corrente de fuga que o transistor DSOI [31].

2.1.4 Características dos dispositivos de Múltiplas Portas

Nesta seção serão apresentadas algumas características dos dispositivos de Múltiplas Portas, tais como: condução da corrente, tensão de limiar, efeito de canto e efeito quântico.

2.1.4.1 Condução da Corrente

A condução da corrente em um dispositivo de múltiplas portas é basicamente igual à soma das correntes que passam por todas as interfaces que são envolvidas pelo eletrodo de porta, considerando o filme de Si totalmente depletado e a ausência do efeito da inversão de volume [12]. Com isso, podemos concluir que a corrente total é igual à corrente do dispositivo de porta única multiplicada pelo equivalente ao número de portas. Por exemplo, a condução de um dispositivo de porta dupla é o dobro de um dispositivo planar com comprimento e largura equivalentes.

Nas estruturas de porta tripla e porta dupla vertical todos os “fins” ou aletas possuem individualmente a mesma espessura e largura. Como resultado, a condução de corrente é proporcional ao número de fins do dispositivo, sendo assim, o dispositivo que dispõe de vários fins, chama-se de “multi-fingers” ou “multi-fins”. (Figura 16).

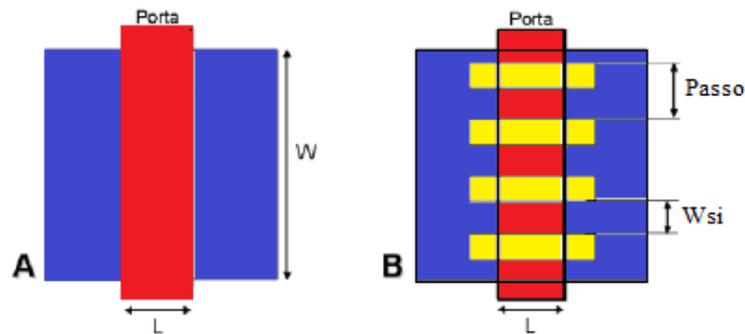


Figura 16. (A) Layout de um MOSFET. (B) Layout de um transistor de múltiplas portas com “multi-finger”[12]

Admitindo que o dispositivo planar é feito em silício, o mesmo possui uma orientação cristalina dada pelo índice de Miller [12] $\langle 100 \rangle$, logo, a mobilidade de superfície é então representada por μ_{top} . Porém, a mobilidade nas interfaces das paredes laterais é diferente da mobilidade na superfície, pois é normalmente dada pelo índice de Miller $\langle 110 \rangle$ e representada por μ_{side} [32] como mostra a equação (18).

Considerando um passo P (pitch), ou seja, a distância entre os fins, a corrente em um dispositivo de múltiplas é dada pela equação (18).

$$I_{DS} = I_{D0} \frac{\theta \mu_{TOP} W_{FIN} + 2 \mu_{side} H_{FIN}}{\mu_{top} P} \quad (18)$$

onde: I_{D0} é a corrente no dispositivo planar de uma única porta, θ é a condição da condução: se for igual a 1 a condução ocorre nas três interfaces e igual a 0 se a condução ocorre apenas

formação do canal nas paredes laterais, W_{FIN} é a largura de cada fin individualmente, H_{FIN} é a altura filme de silício e P é o passo ou distância entre os fins.

A condução de corrente pode também ser aumentada com o aumento da altura da aleta (H_{FIN}), mas o uso de aletas muito altas, segundo Colinge [12], pode gerar dificuldades durante a fabricação do dispositivo e fugas durante o funcionamento. É importante notar também que a capacitância de gate aumenta com o que chamamos de número efetivo de portas (*ENG-Effective Number of Gates*). Assim quanto mais portas forem adotadas, maiores os valores de atrasos dado pela expressão que depende do produto capacitância de porta e tensão de alimentação em função da corrente no estado ligado ($\frac{C_G V_{DD}}{I_{ON}}$). Quanto mais largo o transistor, ou seja, ($W = W_{FIN} + 2H_{FIN}$) maior a área da associação, conseqüentemente maiores serão os tempos de atraso [33].

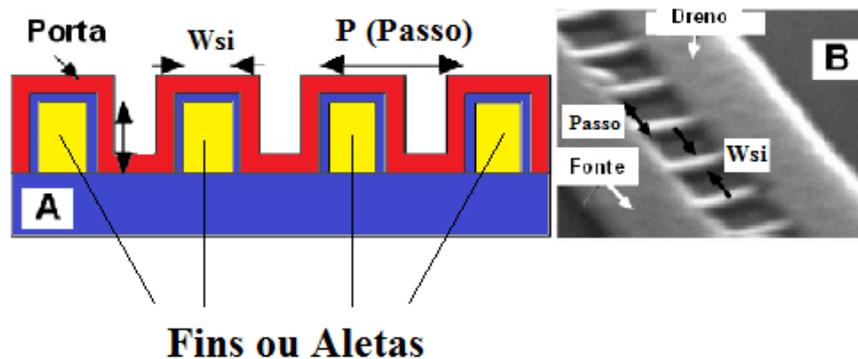


Figura 17. (A) Seção Transversal do dispositivo de múltiplas portas com "multi-fins". (B) Foto do dispositivo real sem os "fins".

2.1.4.2 Tensão de Limiar

Para os transistores de porta única, especificamente o SOI, a tensão de limiar (V_{th}) é definida como sendo a mínima tensão aplicada à porta do dispositivo, necessária para formação do canal de inversão dos portadores, quando o potencial de Fermi é igual a duas vezes o potencial da superfície ($\Phi_S = 2\Phi_F$). Em outras palavras, são as cargas móveis que se acumulam na região do canal invertendo a sua superfície nos primeiros nanômetros [34].

O método clássico de extração da tensão de limiar consiste no cálculo de extração da tensão de limiar consiste no cálculo da segunda derivada da curva da corrente de dreno (I_{DS}) em função da tensão de porta/ fonte (V_{GS}) e obtenção do seu ponto de máximo [35]. Ao

aumentar a tensão de porta e o dreno sendo polarizado com tensão baixa, espera-se que o transistor passe da região de sublimiar para a região de triodo, a curva da corrente em função de V_G nessas condições, tende a ser linear, assim, a segunda derivada em ambas às regiões tenderia a zero e o pico (ponto de máximo) seria a transição entre elas [35].

Para transistores de porta dupla com concentração de dopantes intrínseca (natural da lâmina), a definição da tensão de limiar não é trivial [36,37,38]. O potencial de superfície na condição de limiar passa a ser maior que $2\Phi_F$ e a concentração de portadores de inversão nesta condição poderá ser maior em um dispositivo estreito que em outro mais largo [12].

Como definição comportamental da tensão de limiar, o método clássico de extração de V_{TH} pode ser utilizado para os dispositivos de múltiplas portas.

2.1.4.3 Efeito de Canto

Os transistores de efeito de campo são compostos por planos condutores, cargas fixas, cargas móveis e diferentes materiais. Por meio de algumas arestas de junção de dois ou mais planos origina-se o efeito denominado efeito de canto [8].

Os efeitos de canto são descritos através de suas consequências imediatas, como aumento de potencial local, diminuição da tensão de ruptura e maior concentração de portadores nas regiões de canto. Esse efeito ocorre em função da soma de vetores de campo elétrico no canto do dispositivo ser maior que os vetores do campo elétrico [39] nas paredes do canal do transistor. Em outras palavras, os efeitos de canto são ocasionados por uma maior concentração de densidade de corrente nos cantos da região de canal devido à somatória dos campos elétricos da porta lateral e superior. Pode haver o surgimento de tensões de limiar distintas e variações na curva da corrente de dreno em função da tensão aplicada na porta [12]. Se a estrutura adotada for uma estrutura de porta dupla com a isolação da porta superior, esse efeito é minimizado por conta da prevenção de camada de inversão no topo [8].

Na Figura 18A, é possível notar pelo corte, representado pelo plano β , que a região da aleta de silício possui maior densidade de corrente nos cantos (Figura 18B), evidenciando a influência desse efeito na condução da corrente e concentração de portadores.

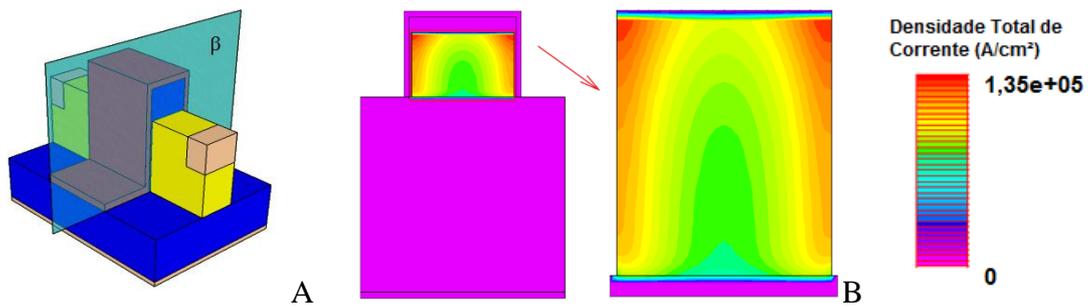


Figura 18. Esquema do transistor DG SOI FinFET com Hard Mas. (A) plano de corte β . (B) Detalhes dos efeitos de canto na aleta de silício.

2.1.5 Efeitos Quânticos

À medida que se diminuem os dispositivos eletrônicos surgem efeitos que eram menos importantes nas tecnologias da ordem de micrômetros, como por exemplo, o confinamento quântico na região do canal, que não pode ser desprezado abaixo de 10 nanômetros [12]. Este confinamento pode ocorrer em uma ou mais direções dependendo do número de portas do dispositivo. Em dispositivos de porta dupla este confinamento ocorre apenas em uma direção, perpendicular às portas e no caso de dispositivos de porta tripla ou mais portas, este confinamento ocorre em duas ou mais direções [40].

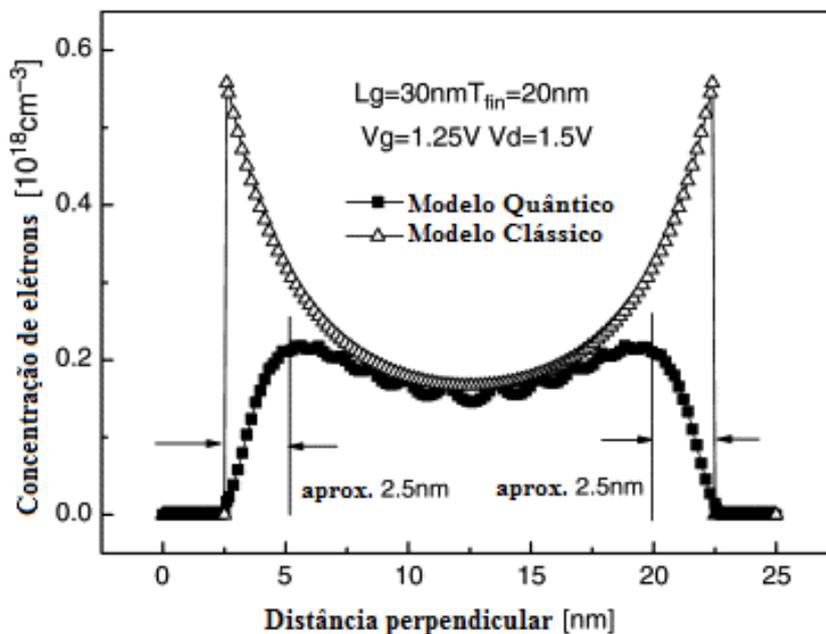


Figura 19. Concentração de elétrons em função da distância perpendicular sob a análise clássica e quântica [40].

Com isto o perfil das sub-bandas de energia e a distribuição de cargas na região de canal passam a não obedecer mais as regras da teoria clássica, conforme exemplo de

concentração de elétrons em função da distância perpendicular feita em um dispositivo de largura (W) igual a 30 nanômetros (Figura 19) [40]. Em particular, as regiões de inversão podem não ser localizadas na superfície do filme de silício, mas podem ainda ser encontradas na profundidade do filme, gerando o que chamamos de fenômeno da inversão de volume. O confinamento de elétrons é também a origem de novos comportamentos da mobilidade e da tensão de limiar [12].

É importante observar a característica da distribuição da corrente desde o canal e ao longo da extensão das regiões de fonte e dreno, pois assumem um comportamento diferenciado devido à influência dos efeitos quânticos, e desta forma alteram os valores da resistência parasitária (R_{PARA}). Como exemplo, na Figura 20, temos a resistência de espalhamento (R_{SPI}), que é uma parcela da resistência parasitaria responsável pelo espalhamento da corrente nas regiões de fonte/dreno, a qual será abordada com maior foco neste trabalho, com valores diferentes sob um olhar clássico e quântico [41]. Nessa figura, existe uma diferença entre valores clássicos e quânticos independentes dos valores de largura da aleta (W_{FIN}) por motivos de que o efeito quântico é dependente da espessura de canal (x_c), como pode ser visto na seção 2.2.3.3.

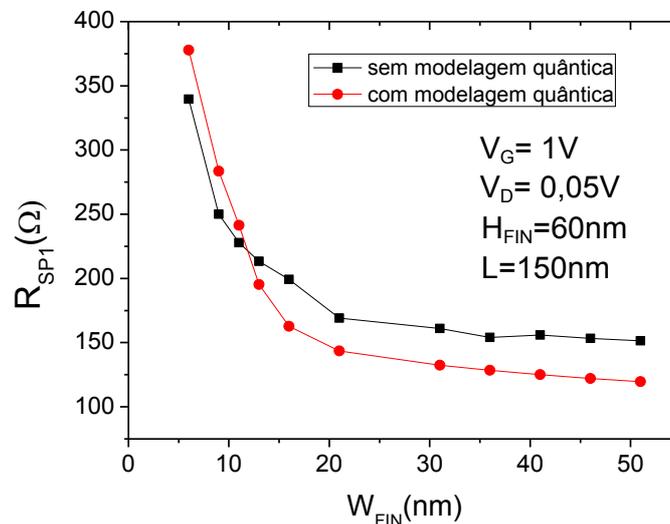


Figura 20. Exemplo de Análise da Resistência de Espalhamento (R_{SPI}) com e sem modelagem quântica [41].

2.1.5.1 O confinamento quântico

Na Física Quântica, um elétron, partícula e seus estados são caracterizados por uma função de onda complexa $\Psi(x,t)$. Esta função de onda armazena toda a informação disponível sobre o elétron em um dado instante de tempo [42].

A evolução temporal da função de onda de uma partícula em um sistema físico obedece à equação diferencial de Schrödinger, apresentada na eq.(19).

$$i\hbar \frac{\partial}{\partial t} \Psi(\vec{r}, t) = \hat{H}\Psi(\vec{r}, t) \quad (19)$$

onde: $\Psi(\vec{r}, t)$ é a função de onda que representa a partícula em um espaço tridimensional através do vetor posição \vec{r} e \hat{H} é o operador de energia total, na Física, conhecido como hamiltoniano do sistema. Para o caso de uma partícula, esse operador relaciona a soma das energias cinética e potencial da partícula pela equação (20).

$$\hat{H} = -\frac{\hbar}{2m} \nabla^2 + \hat{U} \quad (20)$$

onde ∇^2 é o operador laplaciano: $\nabla^2 = \frac{\partial^2}{\partial x^2} + \frac{\partial^2}{\partial y^2} + \frac{\partial^2}{\partial z^2}$ e \hat{U} é o operador potencial de interação.

A equação (20) descreve a evolução temporal do estado quântico do sistema físico exemplificando como esses estados são alterados por influências externas.

Com isto, temos a equação de Schrödinger exprimindo a energia total de uma partícula em termos de operadores atuando sobre a função de onda. Deste modo, para o caso de uma partícula no espaço, a equação de Schrödinger pode ser descrita pela equação (21).

$$i\hbar \frac{\partial}{\partial t} \Psi(\vec{r}, t) = -\frac{\hbar}{2m} \nabla^2 \Psi(\vec{r}, t) + \hat{U}(\vec{r}, t) \quad (21)$$

2.1.5.1 O poço de potencial infinito

Poço de Potencial é uma função energia potencial $V(x)$, (Figura 21), que possui um mínimo. A melhor aproximação para diversas situações físicas é um poço com lados retilíneos e altura finita [43].

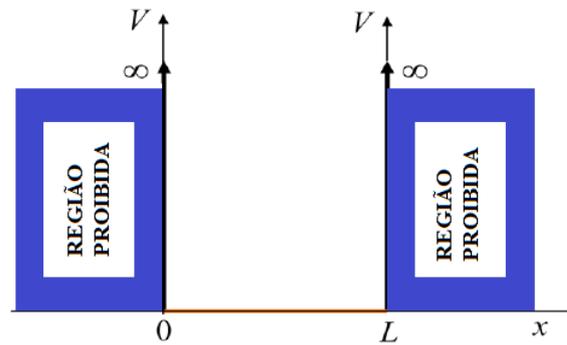


Figura 21. Poço de Potencial infinito

Este poço de potencial pode ser descrito como:

$$V(x) = \begin{cases} 0, & \text{para } 0 < x < L \\ \infty, & \text{para } x \leq 0 \text{ ou } x \geq L \end{cases}$$

Pode-se impor condições que equivalem dizer que a partícula está confinada entre 0 e L, ou seja, não podendo existir fora dessa região ou na interface. ($\Psi(0) = \Psi(L) = 0$)

Na região de confinamento não temos nenhum potencial de interação da partícula com o meio, portanto, ela pode ser descrita segundo a equação de uma partícula livre, como mostra a equação (22) de Schrödinger.

$$\frac{-\hbar^2}{2m} \frac{d^2}{dx^2} \psi(x) = E\psi \quad \text{para } 0 < x < L \quad (22)$$

onde \hbar é a constante de Planck (h) dividida por 2π , m a massa da partícula, ψ a função de onda da partícula, E o nível de energia e x o sentido do deslocamento da partícula.

A expressão (22) tem como solução a equação (23).

$$\psi(x) = A \sin kx + B \cos kx \quad (23)$$

onde: $k^2 = \frac{2mE}{\hbar^2}$

Inserindo as condições de contorno na equação (23), obtemos a expressão (24).

$$\psi(x) = A \sin k_n x \quad (24)$$

onde: $k_n = \frac{n\pi}{L}$ com $(n = 1, 2, 3, \dots)$

Logo a energia do elétron equivale a:

$$E = \frac{n^2 \pi^2 \hbar^2}{2mL^2} \quad (25)$$

onde: n é chamado de número quântico, pois conduz a valores quantizados de energia, obtendo assim as diferentes possíveis soluções de onda para os elétrons dentro do poço.

A mesma ideia se aplica para o poço de potencial finito, como por exemplo, o famoso problema da caixa, porém considerando um potencial constante e fixo fora da caixa [44].

Da Figura 22, pode-se observar que a para uma partícula confinada, nem todo valor de energia é permitido, por causa do aprisionamento [42], gerar uma quantização no nível de energia. Com isso, podemos concluir que os níveis de energia a partir da equação (25), se tornam ainda mais discretos e evidentes quanto menor for à região de confinamento.

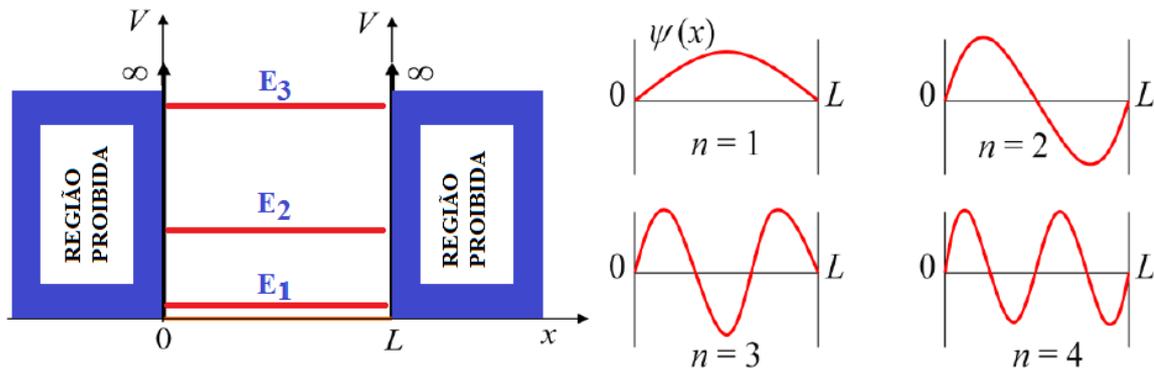


Figura 22. Poço de Potencial infinito com suas funções de onda e suas correspondentes energias das partículas.

Por exemplo, para o caso do dispositivo FinFET ser de porta dupla, os elétrons ficam confinados na região próxima às portas por possuírem potencial finito e de mesmo valor. Para esse e outros casos, deve-se considerar as equações descritas nesta seção, para o cálculo da energia e das prováveis funções de onda das partículas na região do canal. Substituindo o valor de L pela largura da aleta (W_{FIN}) na equação (25), tem-se (26).

$$E = \frac{n^2 \pi^2 \hbar^2}{2mW_{FIN}^2} \quad (26)$$

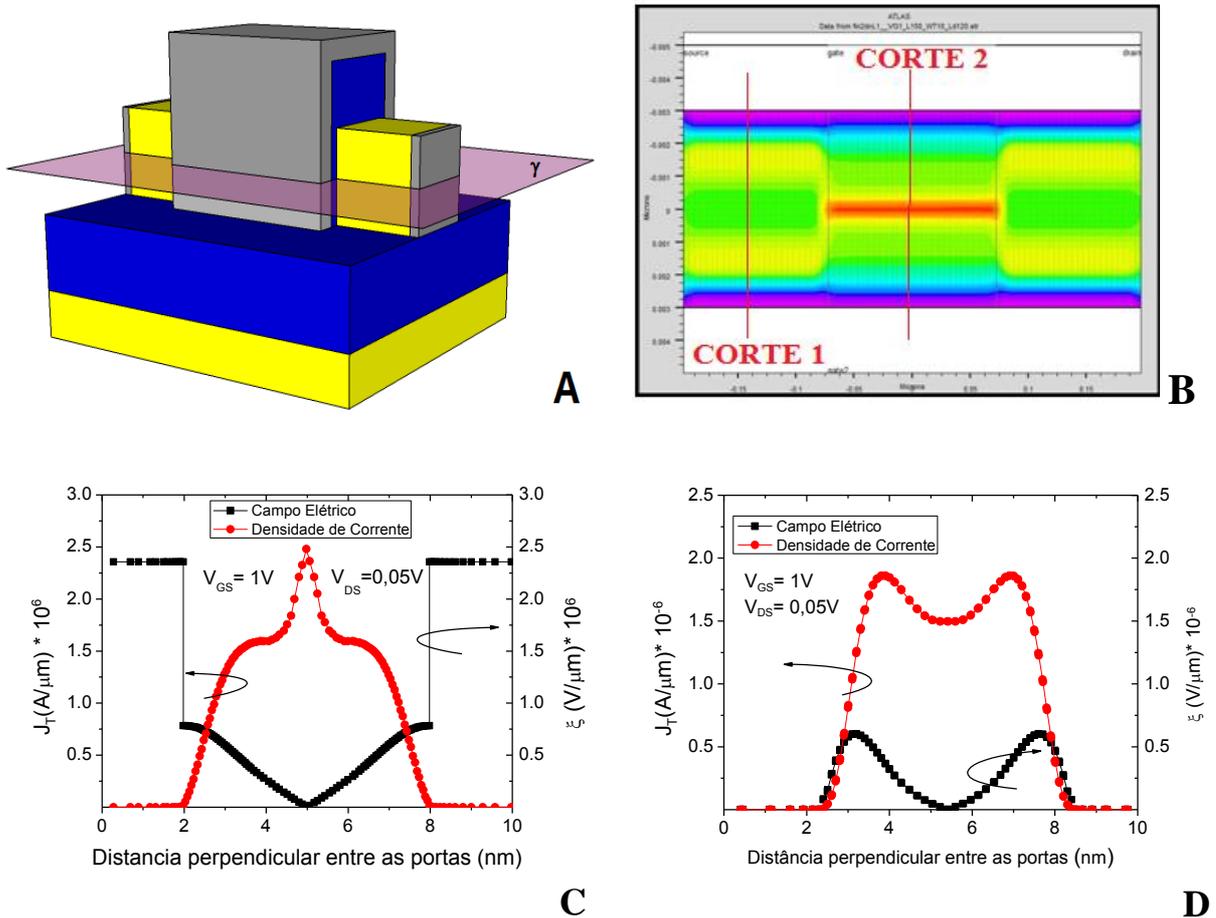


Figura 23. (A) Plano de corte. (B) Densidade de Corrente para um transistor de porta dupla com $W_{FIN} = 6$ m [41]. (C) Densidade Total de Corrente (J_T) e Campo Elétrico na região de canal do dispositivo extraídos do Corte 2 (D) Densidade de Total de Corrente (J_T) e Campo Elétrico na região de fonte/ dreno do dispositivo extraídos do Corte 1.

Na Figura 23A, tem-se o plano de corte utilizado para obter o perfil da Figura 23B, de um dispositivo de porta dupla com $W_{FIN} = 6$ nm, na qual temos a mudança da direção do caminho da corrente quando se observa a densidade de corrente. A corrente caminha no centro do canal porque as cargas se encontram bastante confinadas e percorrem as bordas das regiões de extensão de fonte e dreno, pelo fato da influência do campo elétrico vertical ir se reduzindo ao longo da extensão até a região de contato.

Na Figura 23C, é possível observar os gráficos obtidos pelo corte transversal 2 (Figura 23B) feito no centro da estrutura. Nesse gráfico, é possível observar que o campo elétrico diminui em direção ao centro, o que faz com que a densidade total de corrente atinja o máximo, pela influência no centro do potencial das duas portas.

Na Figura 23D, temos o corte transversal 1 (Figura 23B) feito na região de fonte/dreno. Esse corte descreve a influência do campo elétrico acompanhando a densidade total de corrente, onde se tem valores de amplitude menores, por não sofrer influência do campo elétrico do canal do dispositivo sobre a região de fonte/dreno.

2.2 Resistência Parasitária

A resistência parasitária ou resistência série é um efeito parasitário importante nos transistores. À medida que reduzimos as dimensões dos transistores, os efeitos parasitários começam a se tornar significativos. Em transistores FinFETs, o valor da resistência série ou resistência parasitária (R_{PARA}) junto à fonte e dreno deveria ser zero, porém devido à largura estreita da aleta, a resistência torna-se significativa alterando diretamente o nível de corrente da tecnologia adotada, tornando-se um efeito parasitário importante a ser estudado.

A resistência total de um transistor MOSFET (R_{TOT}) é o valor de resistência entre o contato de fonte e dreno do dispositivo. Este valor se altera em função das tensões aplicadas na porta e no dreno.

2.2.1 As componentes da Resistência Total (R_{TOT})

A resistência total (R_{TOT}) compreende a resistência série mais a resistência do canal. Para o transistor SOI FinFET, a resistência total pode ser esquematizada conforme Figura 24, onde são separadas as parcelas descritas na equação (27).

$$R_{TOT}(V_{GS}, V_{DS}) = R_{PARA}(V_{GS}) + R_{CH}(V_{GS}, V_{DS}) \quad (27)$$

onde: R_{PARA} é a resistência série ou parcela referente às parcelas totais das regiões de fonte e dreno e R_{CH} é a parcela da resistência total referente à resistência de canal.

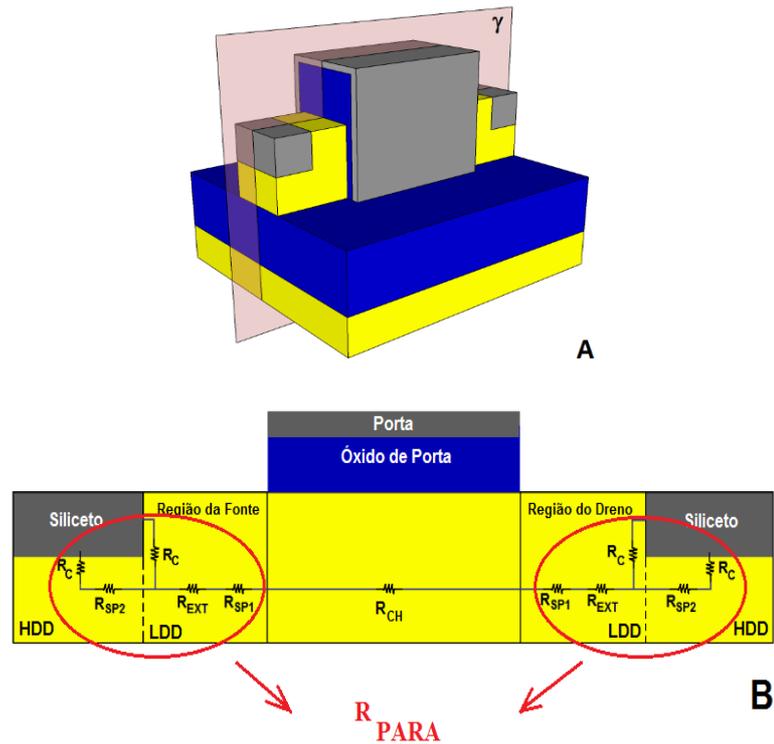


Figura 24. (A) Perfil da Estrutura SOI de porta dupla. (B) Esquema das parcelas da resistência total [45].

Desta forma, a resistência total pode ser dada pela associação das seguintes parcelas:

$$R_{TOT} = 2 * (R_{EXT} * L_D + R_{SP1} * L_{SP}) + \left(\frac{R_C * (R_C + R_{SP2})}{R_C + (R_C + R_{SP2})} \right) + R_{CH} * L \quad (28)$$

onde: R_{EXT} é a resistência referente às regiões de extensão de fonte e dreno, R_C é a parcela referente à resistência de contato, R_{SP1} e R_{SP2} são as parcelas referentes ao espraçamento ou espalhamento da corrente, L_D é o comprimento da região de extensão de fonte e dreno, L_{SP} é o comprimento da região do espraçamento ou espalhamento da corrente, L_C é o comprimento da região de contato e L é o comprimento da região de canal.

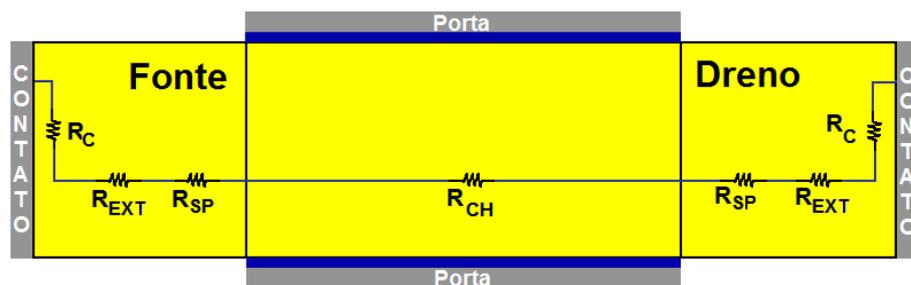


Figura 25. Esquema das parcelas da resistência total.

Na Figura 25 é apresentada a associação das resistências por outro plano de corte, onde notamos que o modelo foi simplificado por contra do contato encontrar-se de forma pelicular na estrutura. Simplificado e de forma geral, o valor da resistência total é dado pela equação (29).

$$R_{TOT} = 2 * (R_{EXT} * L_D + R_{SP1} * L_{SP}) + R_C * L_C + R_{CH} * L \quad (29)$$

Além das resistências já descritas, tem-se também a presença da resistência de acumulação (R_{AC}) expressa na Figura 26, que aparece na transição entre a região de canal e a região de extensão de fonte/ dreno. Isto ocorre devido a imperfeições no processo de fabricação do dispositivo que acarretam em alteração do comprimento efetivo do canal. Neste presente trabalho, esta parcela de resistência, não foi considerada, já que os resultados foram obtidos através de simulações, considerando perfil de dopagem abrupta [46].

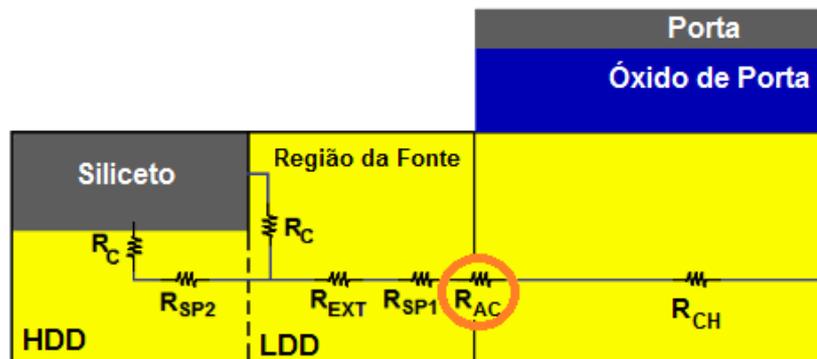


Figura 26. (A) Perfil da Estrutura SOI de porta dupla; (B) Esquema das parcelas da resistência total.

Outra parcela também não considerada neste trabalho, mas que aparece em análises de outro autor [45], é uma segunda parcela de resistência de espraiamento R_{SP2} que ocorre quando utilizados transistores em que a região da extensão de fonte e dreno é dopada de forma a criar duas regiões, uma fracamente dopada mais próxima ao canal, conhecida como LDD (*Light Doped Drain*) e outra fortemente dopada conhecida como HDD (*High Doped Drain*). Os dispositivos estudados de maneira bidimensional não utilizaram diferentes regiões de dopagem para facilitar a análise e modelamento. Desta maneira será desconsiderado o valor de R_{SP2} , que poderá posteriormente ser estudado de forma similar a R_{SP1} .

A componente R_{PARA} é composta de três elementos básicos: resistência de contato (R_C), resultante da junção entre o metal e/ou siliceto e o semiconductor dopado nas regiões de extensão de fonte e dreno que foi desconsiderada, resistência das extensões das regiões de fonte e dreno (R_{EXT}) que compreende desde o contato até o início da região do canal e por

último a resistência de espraçamento (R_{SP1}), em função do comportamento do fluxo de corrente nas proximidades do canal e dependente da tensão aplicada na porta [47].

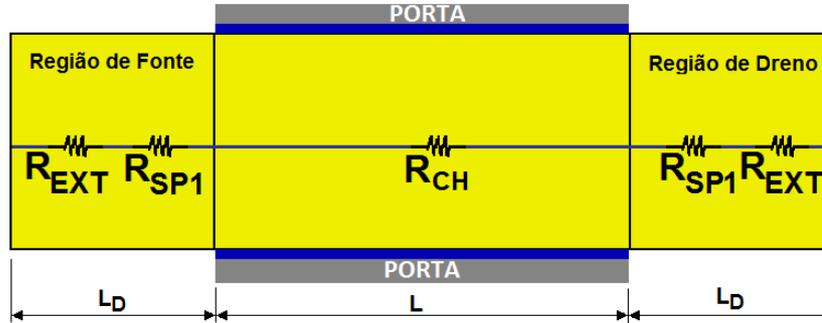


Figura 27. Corte horizontal no plano γ , esquematizando as componentes da resistência parasitária (R_{PARA}).

Para cada ponto de operação do transistor a resistência total pode ser facilmente obtida no regime de triodo. No presente trabalho optou-se pela região linear da curva com tensão de porta (V_{GS}) igual a 1V e tensão de dreno igual a 0,05V obtido pela equação :

$$R_{TOT} = \frac{V_{DS}}{I_{DS}} \quad (30)$$

onde: o valor da corrente de dreno a fonte (I_{DS}) é obtido através de simulação numérica.

Desta forma, a resistência série de fonte e dreno ou R_{PARA} pode ser descrita conforme Equação (31). Todos os termos são multiplicados por dois, já que os valores de resistência de cada termo são simétricos para a fonte e para o dreno, a menos a componente do canal.

$$R_{PARA}(V_{GS}) = 2 * R_{EXT} + 2 * R_{SP1}(V_{GS}) \quad (31) \quad (13)$$

Substituindo (31) em (27), temos:

$$R_{TOT}(V_{GS}, V_{DS}) = 2 * R_{EXT} + 2 * R_{SP1}(V_{GS}) + R_{CH} * (V_{GS}, V_{DS}) \quad (32) \quad (14)$$

2.2.2 Corrente de Espraçamento

A resistência de espraçamento ocorre devido ao espalhamento ou espraçamento da corrente na região do canal para a região de fonte ou dreno. Isto ocorre, por intermédio da corrente disposta na região do canal sofrer influência do campo elétrico vertical devido à

tensão aplicada às portas, no caso dos transistores de múltiplas portas. Quando esta corrente entra nas regiões de fonte ou dreno, o valor do campo elétrico vertical sofre uma queda abrupta fazendo com que a densidade de corrente se espalhe por toda a largura do dispositivo.

No caso do transistor FinFET de porta dupla, o espriamento da corrente ocorre em duas posições na mesma região, representado na associação em paralelo das duas resistências de espriamento expresso na Figura 28.

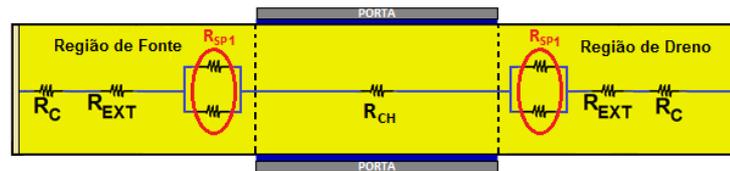


Figura 28. Corte paralelo a passagem de corrente de um transistor FinFET, detalhando as parcelas de resistência total.

A corrente de espriamento está situada em um comprimento limitado e definido nas regiões de extensão de fonte e dreno. Esta corrente assume um comportamento em consequência do campo elétrico vertical no canal. Este campo elétrico atrai os portadores para próximo do óxido e se reduz ao longo das regiões de extensão de fonte e dreno. Ao longo da extensão de fonte e dreno o campo elétrico deixa de ter influência, e desta forma, a corrente migra para toda a região de extensão como mostra a Figura 29B em um transistor de porta dupla [48].

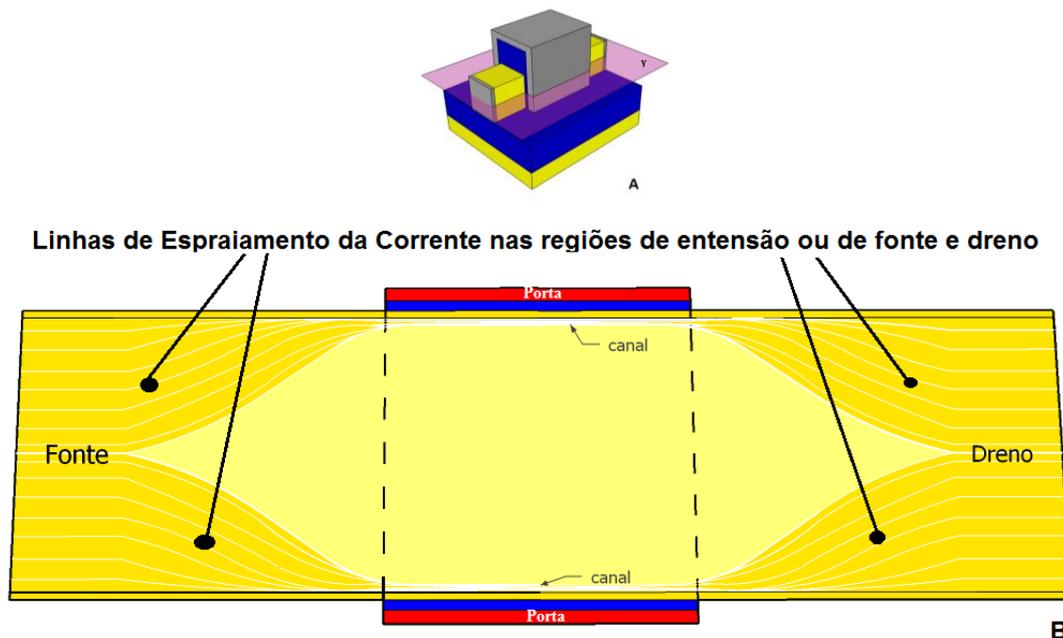


Figura 29. (A) Estrutura de um transistor de Porta Dupla. (B) Transistor de Porta Dupla com as linhas de corrente de espriamento.

2.2.3 Modelos para Obtenção Analítica da Resistência de Espreadimento.

Para obter o comportamento da corrente em dispositivos FinFET foi necessário estudar os modelos de resistência que limitam o caminho da corrente. Desta forma, serão apresentados os modelos para obter a resistência de espraioamento.

A seguir serão detalhados três modelos para a obtenção analítica da resistência de espraioamento 1: Modelo proposto por Baccarani, Modelo proposto por Dixit e o Modelo proposto por Parada.

2.2.3.1 Modelo proposto por Baccarani, et. al.[47].

Baccarani cita que a resistência de espraioamento é uma importante componente da resistência parasitária (R_{PARA}), para dispositivos com dimensão de largura de canal estreita.

Para a proposição do seu método analítico foi considerado, a partir de simulação numérica, um transistor MOSFET planar, com uma grade bem densa e compatível para a visualização do espraioamento. A estrutura contava com uma transição abrupta entre o canal e a região de fonte e uma distribuição uniforme na região do canal com condução ôhmica [47].

A expressão analítica foi obtida a partir da solução da equação de Laplace na região de transição da fonte com o canal utilizando a transformada de Schawartz-Christoffel.

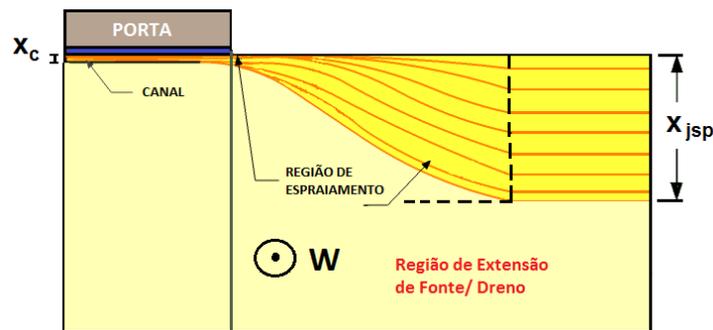


Figura 30. Espreadimento da corrente na interface da região de extensão de fonte/ dreno com a região de canal.

O modelo analítico final proposto por Baccarani está expresso na equação (33).

$$R_{SP1} = \frac{2}{\pi} * \frac{R_j * x_{jsp}}{W} * \ln \left(0,75 * \frac{x_{jsp}}{x_c} \right) \quad (33)$$

onde: R_j representa a resistência de folha da junção fonte/ dreno com canal, x_{jsp} a profundidade de junção, W a largura do dispositivo e x_c a espessura do canal, conforme indicado na Figura 30.

2.2.3.2 Modelo proposto por Dixit et. al. [45].

O autor parte da expressão obtida por Baccarani, et. al. [47] e modifica a equação para ser utilizada em dispositivos de porta dupla, conforme segue:

$$R_{SP1} = \frac{1}{2} \left\{ \frac{2}{\pi} * \frac{\rho_{ext}}{H_{FIN}} * \ln \left[0,75 * \frac{\left(\frac{W_{FIN}}{2} \right)}{x_c} \right] \right\} \quad (34)$$

onde ρ_{ext} é a resistividade da região de extensão fonte e dreno, H_{FIN} é a altura da aleta e W_{FIN} a largura da aleta.

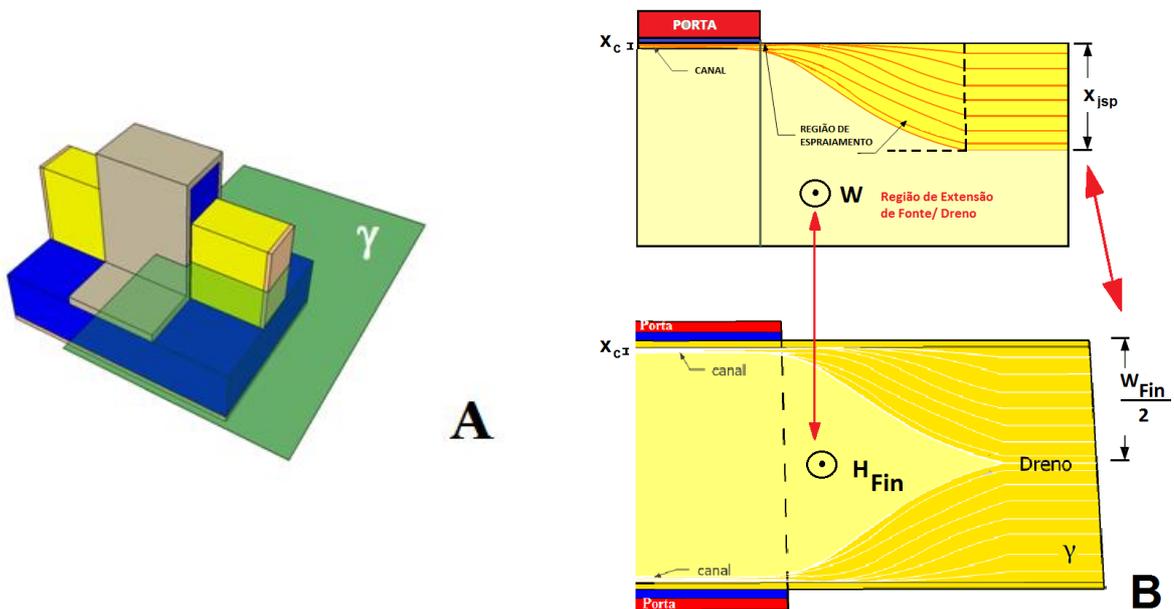


Figura 31. (A) Plano de corte γ do transistor de porta dupla. (B) Comparação entre o método do Baccarani e o método do Dixit representado pelo corte no plano γ .

A dimensão de largura (W) citada por Baccarani et. al. [47] foi substituído por H_{FIN} na análise proposta por Dixit et. al. [45], pois para transistores FinFETs, o comprimento perpendicular à passagem de corrente é na altura da aleta (H_{FIN}), x_j foi substituído por $W_{FIN}/2$. Por fim, para esta análise, o transistor foi dividido ao meio, considerando o efeito das duas

portas separadamente. Em decorrência, a equação é multiplicada por 1/2, pois o transistor conta com dois resistores idênticos em paralelo, conforme pode ser visto nos esquemas das Figuras 33 e 35.

Este modelo apresenta alguns erros, quando comparado principalmente com dispositivos de estreitas larguras de canal, mas que complementa bem os resultados para outras escalas/ dimensões de largura de aleta (W_{FIN}).

2.2.3.3 Modelo Proposto por Parada et. al. [41].

O Modelo descrito por Parada é baseado na observação de simulações de diversos transistores de forma bidimensional. O método de extração da resistência de espraio será apresentado no item 2.2.4.

O modelo parte da equação básica de resistência, para posteriormente derivar e integrar a equação de R_{SP} , considerando o caminho da corrente nas proximidades do canal como um setor de coroa circular, como definido na Figura 32.

$$R = \rho * \frac{L_R}{A_R} \quad (35)$$

onde L_R é o comprimento da região onde ocorre passagem de corrente e A_R a área da seção transversal à passagem de corrente.

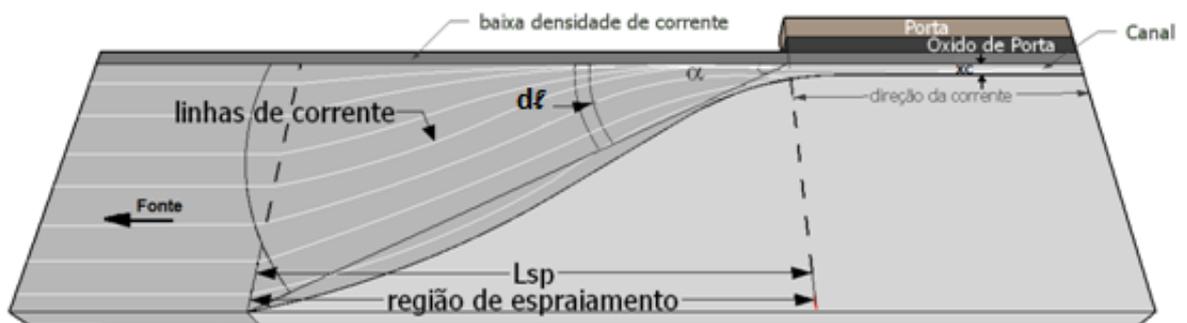


Figura 32. Setor de coroa circular considerado para modelo analítico proposto por Parada et. al. [41].

Considerando ℓ como a distância do vértice com ângulo α , a resistência do resistor infinitesimal com ângulo $d\ell$ é:

$$\partial R_{SP1} = \frac{1}{2} * \frac{\rho_{EXT} \partial \ell}{\alpha * L * H_{FIN}} \quad (36)$$

onde: a razão ℓ . H_{FIN} é a área da seção transversal à passagem de corrente. ρ_{EXT} é a resistividade da região de extensão de fonte e dreno, podendo ser expressa por $\rho_{EXT} = \frac{R_{EXT}}{L_D} W_{FIN} H_{FIN}$, α é o ângulo de espraçamento e L_{SP} o comprimento da região de espraçamento.

Integrando desde a junção, onde $\ell = \frac{x_c}{\tan(\alpha)}$ até o final da região de espraçamento.

Com isso, a expressão aproximada e simples para o cálculo da resistência de espraçamento do Parada et. al. é dada pela equação (37).

$$R_{SP1} = \frac{1}{2} * \frac{\rho_{EXT}}{\alpha * H_{FIN}} * \int_{\frac{x_c}{\tan(\alpha)}}^{\frac{x_c}{\tan(\alpha)} + L_{SP}} \frac{\partial \ell}{\ell} = \frac{1}{2} * \frac{\rho_{EXT}}{\alpha * H_{FIN}} * \ln \left(\frac{L_{SP} + \frac{x_c}{\tan(\alpha)}}{\frac{x_c}{\tan(\alpha)}} \right) \quad (37)$$

Este modelo foi definido para a concentração de $N_D = 1 \times 10^{20} \text{ cm}^{-3}$ e com α e x_c sendo parâmetros de ajuste.

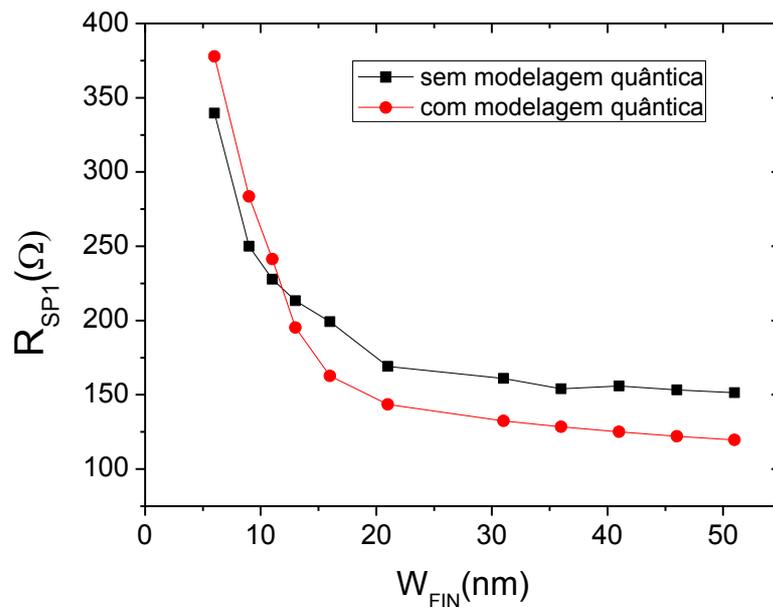


Figura 33. Corte paralelo a passagem de corrente de um transistor FinFET, detalhando as parcelas de resistência total [41].

Foi visto que, à medida em que os valores das outras parcelas de resistência são reduzidos, a participação da resistência de espraio torna-se uma parcela significativa e que influi no caminho da corrente do canal e em um dado comprimento até voltar a ter um comportamento uniforme até o contato [41].

2.2.4 Método para extração da resistência de espraio proposto por Parada [49]

No método de extração desenvolvido por Parada [49] e adotado neste trabalho, para cada transistor simulado, a resistência total (R_{TOT}) foi obtida, dividindo o valor da tensão de dreno pela corrente de dreno, como visto na eq. (30).

Ao variar-se o comprimento de canal (L) dos transistores é possível obter o valor da (R_{TOT}) para cada transistor. A única componente que varia em função do canal é a resistência de canal, logo obtemos r_{CH}/L , pois a componente r_{CH} é extraída em função do comprimento pelo motivo da simulação ser bidimensional. Da mesma forma, variando apenas o comprimento de extensão de fonte e dreno é possível obter a variação do valor de resistência total em função de L_D . Porém neste caso, como temos simetria na fonte e dreno do transistor, logo a variação da resistência de extensão pelo comprimento é o dobro ($2r_{EXT}/L_D$).

No modelo analítico proposto, o comprimento próximo ao canal, onde ocorre o espraio da corrente foi denominado L_{SP} ou comprimento de espraio, conforme a Figura 34.

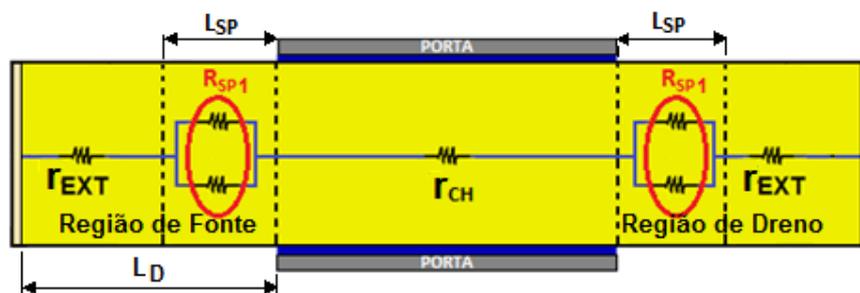


Figura 34. Corte paralelo à passagem de corrente de um transistor FinFET simulado, detalhando a região compreendida por L_{SP} .

2.2.4.1 Obtenção do L_{SP} proposto por Parada [49]

Para obter o comprimento do espraio (L_{SP}) (Figura 35) utilizou-se a seguinte técnica: foram simulados outras dimensões de comprimento de extensão decrescentes até 4

nanômetros, para obter a corrente predominantemente de espraioamento. Notou-se que abaixo de 6 nanômetros de comprimento de extensão (L_D), a variação da resistência de extensão (R_{EXT}) possui outro comportamento, ou seja, o espraioamento da corrente. Com isso, é possível observar que o espraioamento acontece em uma pequena região e independe do valor da largura de aleta (W_{FIN}) [49].

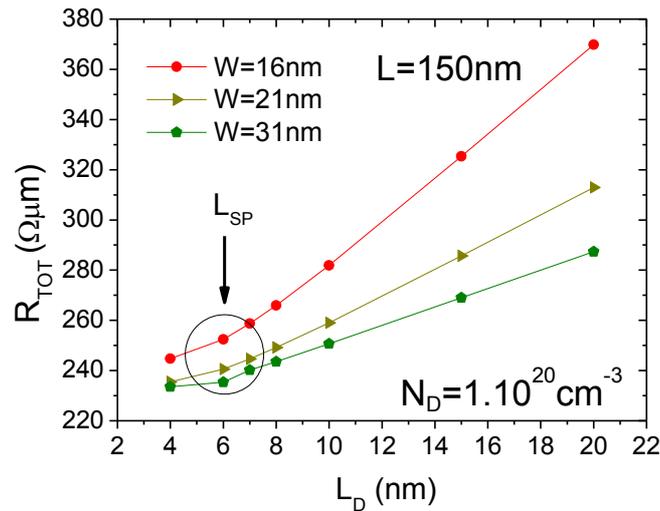


Figura 35. Corte paralelo à passagem de corrente de um transistor FinFET simulado, detalhando a região compreendida por L_{SP} [49].

Desta forma, a equação (27), apresentada no item 2.2.1, foi modificada para separar a região de extensão de fonte e dreno em duas partes: a primeira, onde ocorre a passagem da corrente, e a segunda, onde ocorre predominantemente o espraioamento. Assim, temos:

$$R_{TOT} = 2 * r_{EXT} * (L_D - L_{SP}) + 2 * R_{SP1} + r_{CH} * L \quad (38)$$

2.2.5 Exemplo de utilização do método de extração proposto por Parada

Segue exemplo da aplicação do método para um grupo de transistores de $W_{FIN}=51nm$ com concentração de $N_D=1 \times 10^{19} cm^{-3}$, resultando no valor da resistência de espraioamento para um transistor com $L=150nm$, $L_D=90nm$.

Da simulação do dispositivo, obtém-se a curva $I_{DS} \times V_{GS}$ conforme apresentado na Figura 36.

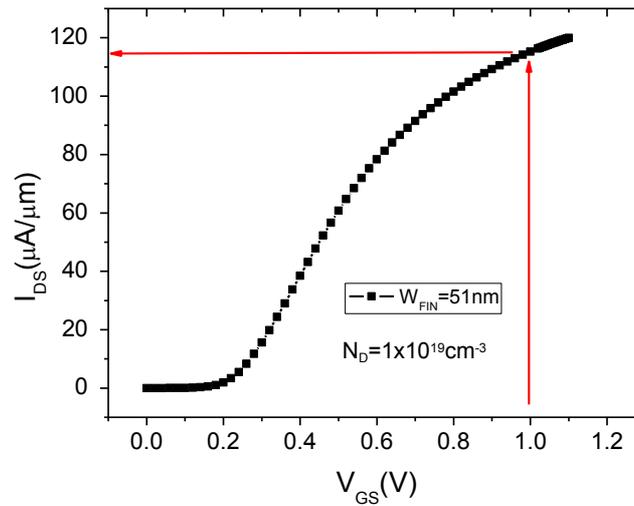


Figura 36. Curva I_{DS} x V_G para $W_{FIN}=21\text{nm}$, $L=150\text{nm}$ e $L_D=90\text{nm}$.

Para todas as análises apresentadas a seguir, foram considerados apenas ($V_G=1\text{V}$), pois é a tensão suficientemente acima da tensão de limiar que está próxima de $0,3\text{V}$. No gráfico verifica-se que para $V_G=1\text{V}$, $I_{DS}= 115,243\text{E-}4 \mu A/\mu m$. Como o valor da tensão no dreno utilizada é de 50mV , obtém-se o valor de R_{TOT} .

$$R_{TOT} = \frac{50 \cdot 10^{-3}}{115,23 \cdot 10^{-6}} = 433,8658 \Omega \mu m \quad (39)$$

Para obter o resultado em Ω , o valor encontrado deve ser dividido pela altura da aleta $H_{FIN}=60\text{nm}$. Desta forma:

$$R_{TOT} = \frac{433,8658 \Omega \mu m}{60 \text{ nm}} = 7231,0970 \Omega \quad (40)$$

Utilizando quatro transistores de mesma largura e comprimento de canal, porém, com diferentes comprimentos de extensão de fonte/ dreno, o gráfico de R_{TOT} por L_D pode ser obtido conforme a Figura 37.

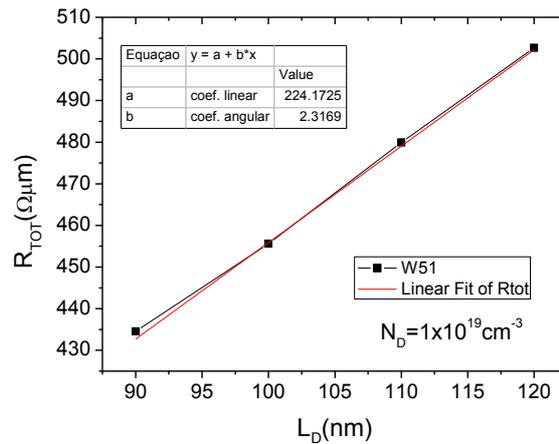


Figura 37. R_{TOT} x L_D para $W_{FIN}=51\text{nm}$, $L=150\text{nm}$.

Nota-se através deste gráfico que a hipótese de que a variação de R_{TOT} em função de L_D é linear, está correta. A inclinação da aproximação linear resulta no valor de $2r_{EXT}/L_D=2,3169\Omega\mu\text{m}/\text{nm}$. De forma semelhante, utilizando transistores de mesmo W_{FIN} e L_D e variando o valor de L outro gráfico pode ser obtido, conforme a Figura 38.

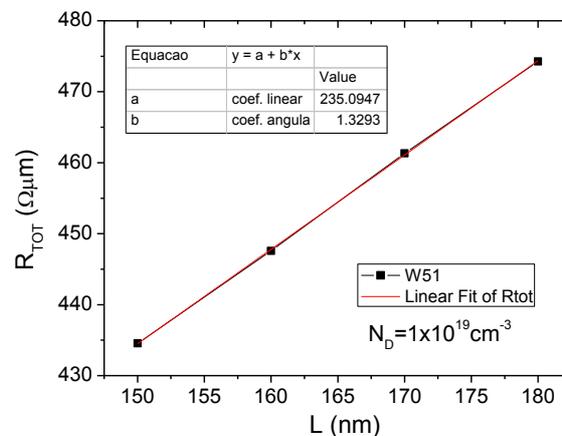


Figura 38. R_{TOT} x L para $W_{FIN}=51\text{nm}$, $L=150\text{nm}$.

Verifica-se, neste caso, que a hipótese de que a variação de R_{TOT} em função de L é linear, também está correta. Deste gráfico, a inclinação da aproximação linear resulta no valor de $r_{CH}/L=1,3293\Omega\mu\text{m}/\text{nm}$, portanto, o valor da resistência do canal pode ser obtido para cada transistor, multiplicando este valor pelo comprimento do canal.

Substituindo os valores encontrados na equação (38) e considerando $L_{SP}=6\text{nm}$, o seguinte resultado pode ser obtido:

$$433,8658 = 2,3169(90 - 6) + 1,3293(150) + 2R_{SP} \quad (41)$$

Desta forma, o valor de R_{SP} encontrado é de $39,8512 \Omega\mu\text{m}$. Para qualquer outro transistor de mesmo W_{FIN} , o valor de R_{SP1} é facilmente encontrado substituindo os valores de L e L_D na equação (38). Para outros valores de largura de canal, outros gráficos de resistência total em função do comprimento do canal e do comprimento de extensão de fonte e dreno devem ser obtidos e repetidos todos os passos para a obtenção do valor de cada resistência desejado.

Dos valores já encontrados: $2r_{EXT}/L_D$, r_{CH}/L e R_{SP1} podem ser substituídos na equação (38), para obter o valor da resistência de espriamento de cada transistor.

3 SIMULAÇÕES

Com o objetivo de observar o efeito do espriamento, foram realizadas simulações numéricas bidimensionais utilizando o simulador Atlas Silvaco [50]. As simulações foram divididas em duas análises.

A primeira análise consiste em observar a densidade total de corrente em duas estruturas SOI FinFET (porta dupla e porta tripla) com regiões de alta dopagem e siliceto (liga metal mais semiconductor) para os três regimes de operação (sublimiar, limiar e pós-limiar).

E, por último, para obter a componente da resistência de espriamento 1 (R_{SPI}) foram feitas simulações bidimensionais variando a largura da aleta (W_{FIN}), o comprimento de canal (L) e o comprimento de extensão das regiões de fonte e dreno (L_D) para três concentrações distintas de impurezas doadoras nas regiões de extensão.

3.1 O Simulador de Dispositivos ATLAS da Silvaco [50]

Com o simulador ATLAS é possível obter características elétricas com grande grau de confiabilidade, pois sua estrutura é baseada em modelos físicos já consolidados. As simulações são baseadas em modelos físicos cujas equações são resolvidas por método iterativo [50].

Com essa ferramenta de simulação é possível construir dispositivos semicondutores, definir as concentrações de dopagens da estrutura, as geometrias de contato e obter os principais parâmetros elétricos, como campo elétrico, densidade total de corrente, potencial, nível de Fermi, gradiente de temperatura e muitos outros para diversos tipos de estudo de uma maneira simples e precisa [50].

É necessário um estudo prévio das particularidades de cada dispositivo simulado, por exemplo: função trabalho, cargas de interface, cargas no óxido, etc. para a escolha de modelos que possam convergir com o que acontece na realidade. Junto aos modelos, é preciso também definir o método que será utilizado, por exemplo Newton [50], pois o Atlas necessita deste comando para construir o dispositivo utilizando elementos finitos. Com esse método de elementos finitos constrói-se uma grade de pontos pré-definida pelo usuário, e por meio disto é possível estimar os parâmetros elétricos através dos cálculos ponto- a- ponto na estrutura, aproximando-se do dispositivo real.

Desta forma, por meio de simulação, é possível obter resultados de forma confiável, sem a necessidade de fabricação e testes em um dispositivo real.

3.1.1 Modelos de Mobilidade [50]

O Simulador Atlas da Silvaco [50] dispõe de diversos modelos para reproduzir a mobilidade na estrutura cristalina do dispositivo simulado. Dentre os modelos existentes, para a realização deste trabalho foram adotados os seguintes modelos:

- a) **CONMOB**: Modelo de mobilidade para baixo campo elétrico dependente em relação à concentração de impurezas dopantes, válido somente para temperatura ambiente de 300K;
- b) **FLDMOB**: Modela a velocidade de saturação, ou seja, considera a degradação da mobilidade dos portadores em função do campo elétrico paralelo. É utilizado tanto para dispositivos de arseneto de gálio como para silício;
- c) **KLA (Klassen)**: Modelo de Mobilidade que oferece uma descrição conjunta da mobilidade dos portadores majoritários e minoritários. Inclui a dependência com a temperatura, concentração de dopantes e mobilidade inicial, considerando os mecanismos de espalhamento de rede, espalhamento de impurezas e espalhamento portador-portador;
- d) **SHI (Shirahata Model)**: É um modelo de mobilidade que combina parte do modelo do KLA junto com uma expressão empírica para a dependência da mobilidade em relação ao campo elétrico transversal na camada de inversão. Este modelo é ideal para transistores que apresentam camadas de óxido de porta finas.

3.1.2 Mecanismos de Geração e Recombinação [50]

Os modelos para geração e recombinação adotados foram os seguintes:

- a) **SRH (Shockley-Read-Hall Recombination)**: Modelo de recombinação de elétrons e lacunas conforme a combinação das equações de Shockley, Read e Hall considerando na equação tempo de vida fixos e transição dos fônons dentro da faixa proibida do semiconductor;

- b) **AUGER**: Modelo de Recombinação utilizado em situações de alta densidade de corrente, pois acrescenta a dependência do tempo de vida dos portadores na recombinação com a densidade de corrente;

3.1.3 Modelos Quânticos [50]

São modelos que calculam o confinamento quântico na região do canal, para cada portador ponto-a-ponto. Para utilização de modelos quânticos é necessário que a grade construída seja bem densa na interface do canal e região de fonte e dreno, pois são modelos utilizados que exigem certo tempo de cálculo, ou seja, são simulações que requerem tempo e limite de pontos para a convergência. O modelo adotado no trabalho foi o modelo de gradiente de densidade (*Density Gradient*) por conta de não possuímos parâmetros de ajuste para utilização de outros modelos [50], ser eficiente para conversão da grade adotada e apresentar resultados satisfatórios.

O modelo **Density Gradient** é baseado nos momentos da função das equações de movimento de Wigner [50], que consistem na correção da temperatura do portador nas equações do fluxo de energia e na corrente deste portador. O parâmetro que deve ser declarado no Atlas na linha dos modelos é o “Quantum” para habilitar este modelo à estrutura.

3.2 Simulações Realizadas

3.2.1 Análise da densidade de corrente em estruturas FinFET de porta dupla e porta tripla

Para as estruturas FinFET de porta dupla e porta tripla (Figuras 39A,B), os parâmetros de simulação tridimensionais foram os seguintes: lâmina do tipo P com concentração de impurezas aceitadores $N_A = 1 \times 10^{15} \text{cm}^{-3}$ [8]; dopagem gradual gaussiana do tipo N na extensão de fonte e dreno com concentração de impurezas dopantes $N_{DLDD} = 5 \times 10^{18} \text{cm}^{-3}$ no lado de baixa dopagem (LDD); concentração de impurezas dopantes $N_{DHDD} = 1 \times 10^{19} \text{cm}^{-3}$ no lado de alta dopagem (HDD); espessura de óxido de porta $x_{ox} = 1,5 \text{nm}$; altura do óxido enterrado $H_{BOX} = 150 \text{nm}$; altura do hard mask para o FinFET de porta dupla $H_m = 15 \text{nm}$; altura da aleta $H_{FIN} = 50 \text{nm}$; altura do siliceto $H_s = 20 \text{nm}$; largura da aleta $W_{FIN} = 50 \text{nm}$; comprimento de canal $L = 150 \text{nm}$; comprimento das extensões de fonte e dreno $L_D = 50 \text{nm}$; comprimento do siliceto $L_s = 100 \text{nm}$; carga de interface $Q_F = 5 \times 10^{10} \text{cm}^{-2}$;

resistividade de contato $\rho_{CON1}=1 \times 10^{-8} \Omega \text{cm}^2$ [51]; função trabalho na porta $\Phi_M = 0V$, ou seja, ($\Phi_{MS} = \Phi_{Si}$) e a função trabalho do substrato foi adotada como a função trabalho do silício com concentração de impurezas aceitadoras, que resulta em aproximadamente $\Phi_{SUB} = 4,95V$.

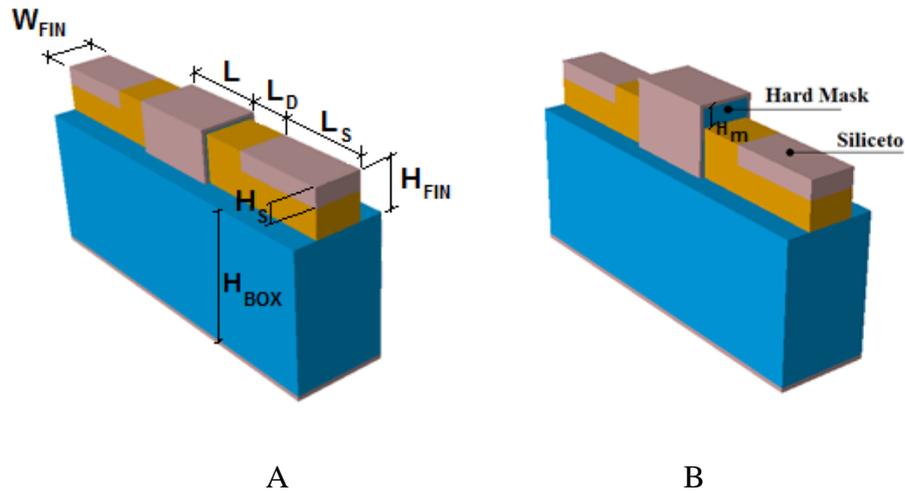


Figura 39. (A) Transistor de porta tripla com siliceto. (B). Transistor de porta dupla com hard mask e siliceto.

3.2.2 Obtenção da resistência de espraio (R_{SP1}) para dispositivos FinFET de porta dupla em 2D.

Em transistores FinFET de porta dupla, a distribuição da corrente por toda a altura do canal é simétrica, pois não ocorre passagem de corrente no topo. Logo, os resultados se aplicam para as finalidades desejadas com a simulação bidimensional. Para isto foi feito um corte horizontal paralelo ao sentido da passagem de corrente, conforme mostra a Figura 40.

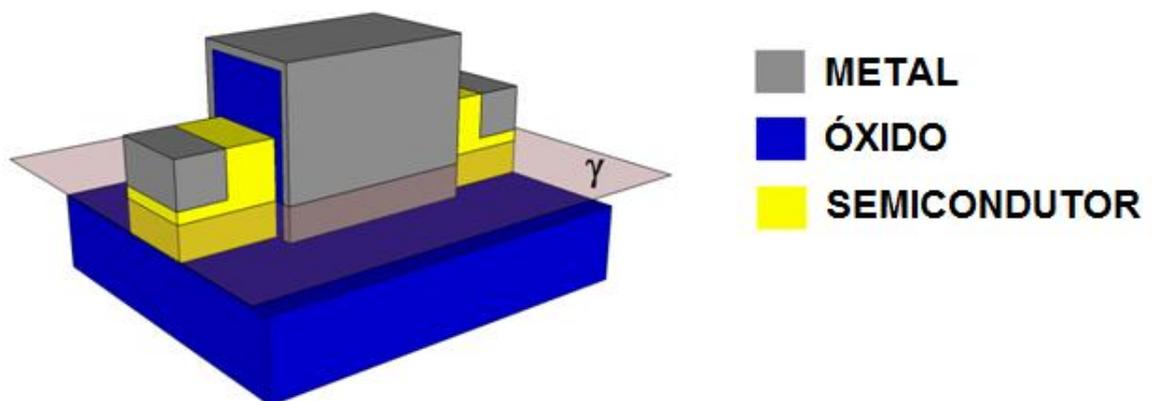


Figura 40. Plano de corte γ no transistor FinFET para as simulações 2D.

Para estes dispositivos foi incluída a modelagem quântica nas simulações. Conforme observado por Baccarani et. al. [47], a grade foi composta por uma grande concentração de pontos na vertical próxima à interface com o óxido para determinação da espessura da região de inversão, e na região de extensão de fonte e dreno, próximo ao canal, para visualizar com precisão, o espriamento da corrente, especialmente nas regiões onde se verifica maior densidade de passagem de corrente.

Nas simulações, as resistências de contato (R_C) foram intencionalmente zeradas para facilitar a obtenção da parcela do espriamento, mas devem ser subtraídas da resistência total quando o mesmo método for aplicado para curvas experimentais, por conta do valor de espriamento ser pequeno comparado ao contato. Foi desconsiderada também a região de alta dopagem (HDD) e o siliceto (liga metal + silício utilizado para diminuir a R_C), a resistência total propriamente dita, pode ser descrita conforme a equação (32) e Figura 27

Os comprimentos adotados seguiram a regra de que o L deve ser três vezes o W_{FIN} ($L=3W$), por exemplo, para a largura na faixa de $W=51\text{nm}$, o comprimento de canal (L mínimo é igual a 150nm , ou seja, na razão 3:1), para reduzir os efeitos de canal curto e não apresentarmos resultados que podem ser prejudicados por este efeito [52].

Os parâmetros de simulação bidimensionais foram baseados no artigo de Dixit et. al. [45] e são os seguintes: lâmina do tipo P com concentração de portadores $1 \times 10^{16} \text{cm}^{-3}$; dopagem gradual gaussiana do tipo N na extensão de fonte e dreno com concentrações de $1 \times 10^{19} \text{cm}^{-3}$, $5 \times 10^{19} \text{cm}^{-3}$ e $1 \times 10^{20} \text{cm}^{-3}$ em toda a região de extensão; espessura de óxido de porta $t_{ox} = 2\text{nm}$; carga de interface $Q_F = 3 \times 10^{10} \text{cm}^{-2}$ [13] e função trabalho na porta $\phi_M = 4,57\text{V}$, pois são utilizados contatos de silício poli tipo P para o eletrodo, que segundo a referência [50] é dado pela soma de $4,17 + E_g(\text{Si})$.

De acordo com os valores de largura de canal, as simulações foram divididas em grupos variando de 16nm até 51nm . Para cada grupo, foram simulados oito diferentes transistores, sendo quatro com comprimento de canal medindo 150nm e variando o comprimento de extensão de fonte e dreno em $90, 100, 110$ e 120nm . Os outros quatro com comprimento de extensão de fonte e dreno medindo 90nm e comprimento do canal variando em $150, 160, 170$ e 180nm .

Como as simulações são bidimensionais, os valores de corrente de dreno resultantes são apresentados em $[\text{A/m}]$, por consequência os valores de resistência são obtidos em

$[\Omega \cdot m]$. Para normalizar em $[\Omega]$, basta dividi-lo pela altura da aleta que para foi adotada em ($H_{FIN}=60nm$), já que o corte 2D realizado é perpendicular a esta dimensão.

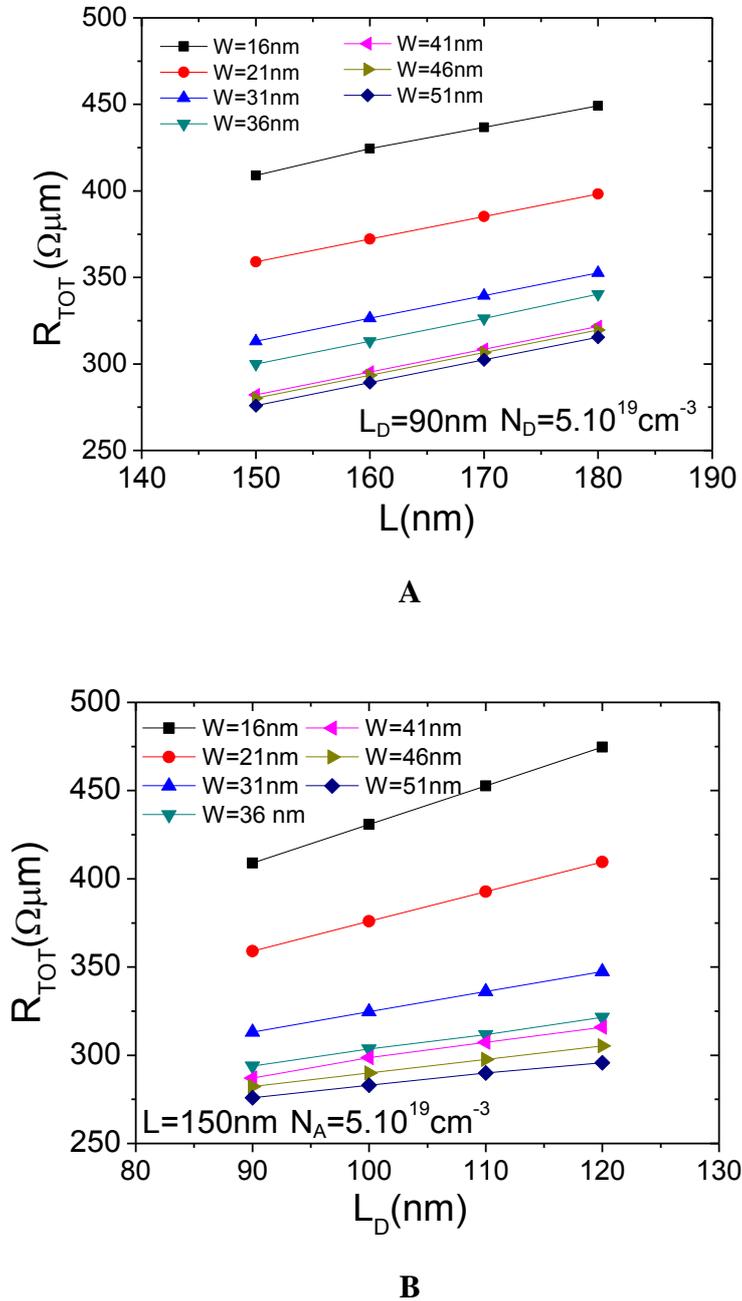


Figura 41. (A). Variação de $R_{TOT} \times L$ para concentração de $5 \times 10^{19} cm^{-3}$. (B) Variação de $R_{TOT} \times L_D$ para concentração de $5 \times 10^{19} cm^{-3}$.

Para cada grupo de simulação de mesmo valor de largura de canal, os gráficos de $R_{TOT} \times L_D$ e $R_{TOT} \times L$ foram obtidos, conforme Figura 41A e B. As inclinações das retas resultam nos valores de $2r_{EXT}/L_D$ e r_{CH}/L e, portanto, para cada transistor podem ser extraídos os valores da resistência de extensão de fonte e dreno e de canal, conforme método de

extração proposto por Parada [49], porém neste trabalho, para diferentes concentrações das regiões de extensão de fonte e dreno.

Nota-se nos gráficos da Figura 41, que à medida que a largura da aleta (W_{FIN}) diminui, o valor da resistência total (R_{TOT}) aumenta, pois a resistência é inversamente proporcional à área, como mostra a equação (35). A mesma relação pode ser comparada quanto ao comprimento de canal (L) e o comprimento de extensão de fonte/ dreno (L_D) pois são diretamente proporcionais a resistência total pela mesma equação mencionada anteriormente.

Na Tabela 1 são apresentadas as parcelas (r_{EXT/L_D} e $r_{CH/L}$) obtidas nos gráficos da Figura 41 para inserção no cálculo da parcela de R_{SP1} da equação (38). Nesta mesma tabela, é possível notar que a parcela $r_{CH/L}$ não se altera com o aumento de W_{FIN} e a mudança de concentração de impurezas dopantes, visto que esta parcela refere-se ao comprimento de canal (L). Quanto à parcela r_{EXT/L_D} é dependente da concentração de impurezas dopantes (N_D), diminuindo à medida que a concentração aumenta e inversamente proporcional ao valor da largura da aleta (W_{FIN}).

Tabela 1. Valores das parcelas (r_{EXT/L_D} e $r_{CH/L}$) extraídos da simulação.

W_{FIN} (nm)	$r_{CH/L}$ (Ω/nm) $N_D=1 \times 10^{19} \text{ cm}^{-3}$	r_{EXT/L_D} ($\Omega \mu m/nm$) $N_D=1 \times 10^{19} \text{ cm}^{-3}$	$r_{CH/L}$ ($\Omega \mu m/nm$) $N_D=5 \times 10^{19} \text{ cm}^{-3}$	r_{EXT/L_D} ($\Omega \mu m/nm$) $N_D=5 \times 10^{19} \text{ cm}^{-3}$	$r_{CH/L}$ ($\Omega \mu m/nm$) $N_D=1 \times 10^{20} \text{ cm}^{-3}$	r_{EXT/L_D} ($\Omega \mu m/nm$) $N_D=1 \times 10^{20} \text{ cm}^{-3}$
16	21,916	60,608	21,886	18,341	21,763	10,523
21		46,132		13,992		8,083
31		31,158		9,457		5,464
36		26,859		8,146		4,702
41		23,569		7,123		4,127
46		21,019		6,377		3,679
51		19,307		6,200		3,317

4 ESTUDO DA DISTRIBUIÇÃO DA CORRENTE EM MUGFETS ATRAVÉS DE SIMULAÇÃO NUMÉRICA

4.1 Dispositivos SOI FinFET de porta dupla com contato de siliceto

Para investigar o caminho que a corrente percorre ao longo da aleta de silício nos transistores tridimensionais, foram simuladas duas estruturas FinFET, uma de porta dupla e outra de porta tripla conforme as características citadas na seção 3.2.1, sendo que para os dois casos foram considerados a presença de siliceto nas regiões de HDD de fonte e dreno. O siliceto é utilizado para reduzir a resistência de contato entre o metal e o silício.

As duas estruturas foram simuladas em 3 regimes de operação: sublimiar, limiar e pós-limiar. Para a divisão desses regimes (abaixo do limiar, no limiar e após o limiar, respectivamente), a tensão de dreno (V_D), utilizada foi igual a 50mV em todos os casos e a tensão de limiar (V_{th}) foi obtida por meio do método da segunda derivada [35] e ficou em torno de 0,4V conforme mostra a Figura 42.

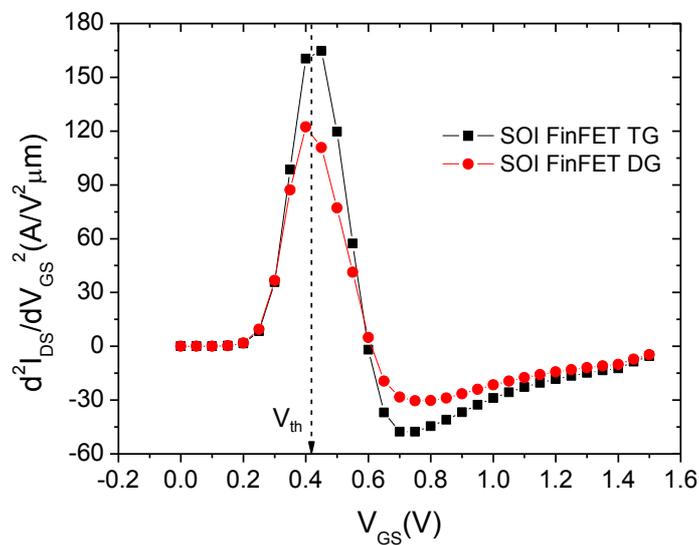


Figura 42. Gráfico da segunda derivada de I_{DS} pelo V_{GS} .

Para a análise desses regimes de operação, foram feitos seis cortes transversais. Os cortes foram representados pelos seguintes planos: β_1 localizado no meio do canal (região das portas); β_2 , β_3 e β_4 localizados nas regiões LDD de extensão de fonte/ dreno; e os planos finais, β_5 e β_6 localizado nas regiões HDD de fonte/ dreno. O objetivo desse estudo é

identificar como o potencial atua sobre as cargas e o caminho que a corrente percorre desde as portas até o contato. Para isso, nesses cortes foram obtidas as densidades de corrente.

4.1.1 Regime de sublimiar

Neste regime, o transistor encontra-se com o terminal de porta polarizado com tensão ($V_G=0,2V$), ou seja, abaixo da tensão de limiar (V_{th}). A partir dos resultados para essa polarização, foram feitos cortes transversais em diferentes locais do transistor de porta dupla como serão apresentados nesta seção.

A Figura 43A, mostra o plano de corte transversal β_1 no meio da estrutura FinFET de porta dupla. Por meio desse plano de corte, é possível observar o comportamento das cargas desde o terminal da porta até o terminal do substrato. Desta forma, na Figura 43B, é evidenciada, na região da aleta, a influência dos potenciais sobre as cargas resultando nas diferentes faixas de densidade de corrente. Ainda nesta figura, nota-se que a maior densidade de corrente situa-se na parte inferior da aleta, porque o potencial das portas laterais, somado a atuação do potencial da porta superior, empurra as cargas em direção ao canto inferior da aleta. É importante citar que mesmo a estrutura sendo de porta dupla, a porta superior consegue impor uma pequena influência, alterando a disposição da densidade total da corrente nesta região.

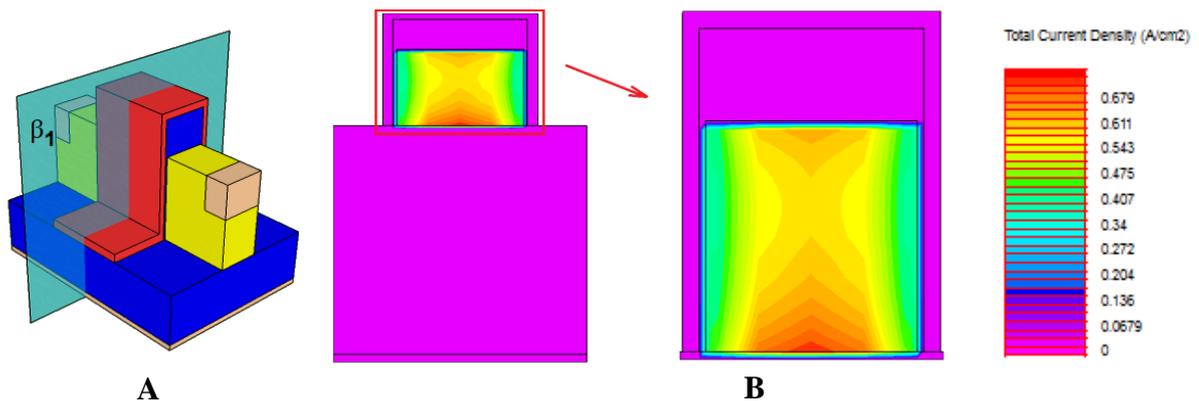


Figura 43. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_1 . (B) Perfil do corte transversal no meio da região das portas da estrutura em regime de sublimiar.

Na Figura 44A, o plano de corte transversal β_2 está situado no início da região de extensão da fonte/ dreno, ou seja, ao longo somente da aleta e não mais do conjunto aleta e portas como na Figura 43A. Por meio da Figura 44B, é possível observar que à medida que a corrente avança ao longo da largura da aleta (W_{FIN}), as cargas continuam centralizadas, mas

se concentram mais ao centro e um pouco acima da interface Si/ SiO₂ enterrado em relação à Figura 43B.

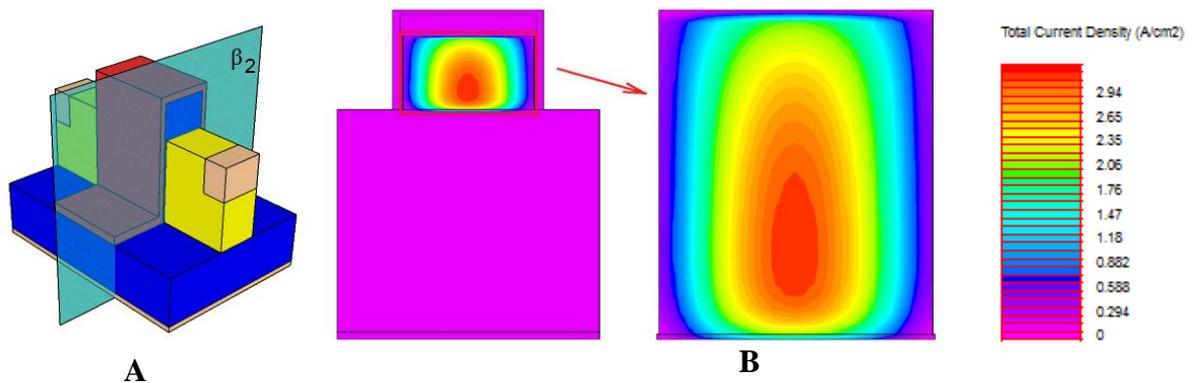


Figura 44. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_2 . (B) Perfil do corte transversal na região de extensão da estrutura em regime sublimar.

Analisando o corte no meio da região de extensão (plano de corte β_3), sob o regime de sublimar (Figura 45A), é possível verificar a densidade total de corrente ampliando-se ao longo da largura da aleta comparado a Figura 44B. Esse fluxo ou disposição das cargas da Figura 45B demonstra um espalhamento da corrente em direção do centro da aleta para as paredes laterais. Isto acontece pelo fato dessa corrente não sofrer nenhuma influência do campo elétrico originário das portas. Com isto, na aleta, a maior concentração da densidade de corrente, continua no centro e no canto inferior. Esse fenômeno é conhecido como espraiamento da corrente.

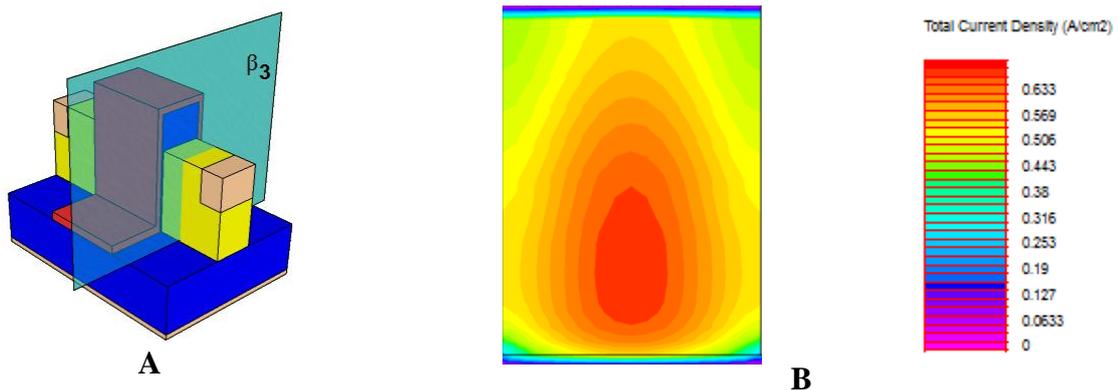


Figura 45. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_3 . (B) Corte transversal no meio da região de extensão da estrutura em regime sublimar.

A Figura 46A mostra o corte transversal β_4 realizado ainda na região de extensão e próxima ao siliceto. Nesta região, devido ao espraiamento, é possível observar que as cargas avançam ao longo da largura da aleta (W_{FIN}) e do comprimento da região de extensão da (L_D), ficando concentradas no centro e no canto inferior da aleta pela

influência da região mais dopada (HDD) abaixo da altura do siliceto que oferece a menor resistência.

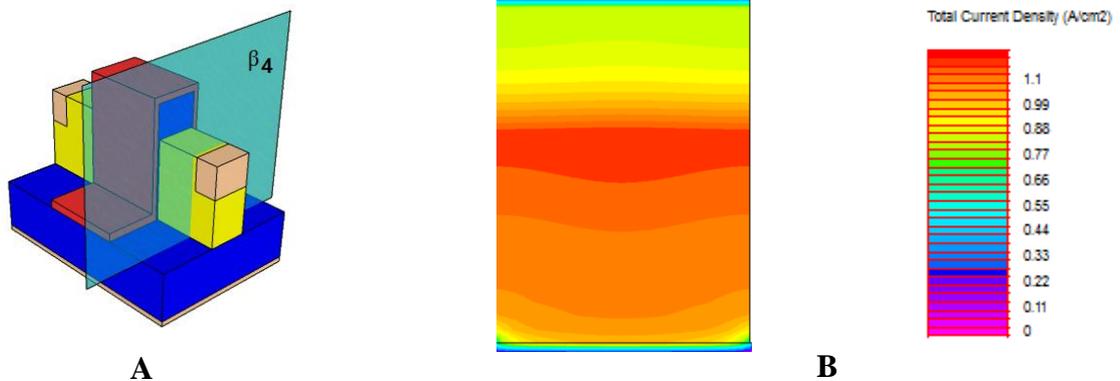


Figura 46. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_4 . (B) Perfil do corte transversal na região de extensão próximo ao siliceto em regime sublimiar.

Na Figura 47A, nota-se que o plano de corte β_5 foi feito no início da região de alta dopagem (HDD) com siliceto. Nesse plano de corte, evidenciado na aleta (Figura 47B), a maior parcela da densidade de corrente está situada próxima ao siliceto por seguir o caminho do contato e as diferentes densidades de corrente se reduzem à medida que diminui a altura da aleta (H_{FIN}) até tenderem aos valores de $0,453 \text{ A/cm}^2$, caracterizando uma pequena influência do efeito de canto nas paredes laterais da aleta.

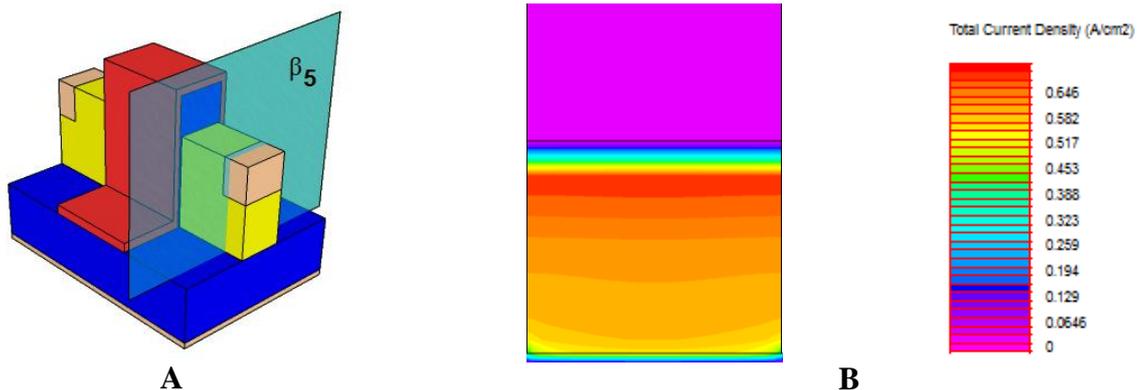


Figura 47. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_5 . (B) Perfil do corte transversal no início da região HDD com siliceto no regime sublimiar.

Por fim, para o regime de sublimiar do transistor SOI FinFET de porta dupla, tem-se na Figura 48A, o plano de corte transversal β_6 no meio da região HDD com siliceto. Neste plano (Figura 48B), nota-se que a densidade de corrente situa-se toda uniforme e praticamente na mesma escala abaixo do siliceto, ou seja, em torno de $0,073 \text{ A/cm}^2$, a menos nas regiões

dos cantos devido ao efeito de canto e também abaixo do siliceto, pela injeção de cargas na liga (metal-semicondutor).

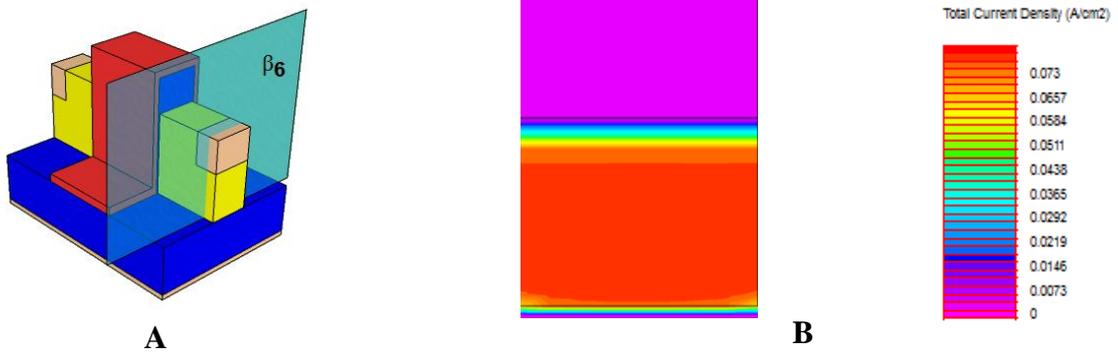


Figura 48. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_6 . (B) Perfil do corte transversal no meio da região HDD com siliceto no regime sublimiar.

4.1.2 Regime de limiar

Neste regime, o transistor encontra-se com o terminal de porta polarizado com tensão ($V_G=0,5V$), garantindo que o dispositivo tenha o canal formado, por estar pouco acima da tensão de limiar (V_{th}). A partir dos resultados para essa polarização, foram feitos cortes transversais em diferentes locais do transistor de porta dupla, como serão apresentados nesta seção.

Atingida a tensão de limiar, as cargas encontram-se mais próximas das portas laterais devido à formação de canal, conforme plano de corte β_1 ilustrado na Figura 49A. Desta forma, na Figura 49B, é possível observar que a maior densidade de corrente se encontra alinhada na região próxima às portas laterais, ou seja, nas duas interfaces silício/óxido de porta. Também se pode observar que as cargas sofrem apenas uma pequena influência do potencial aplicado à porta do topo sobre a densidade total de corrente na região das portas laterais.

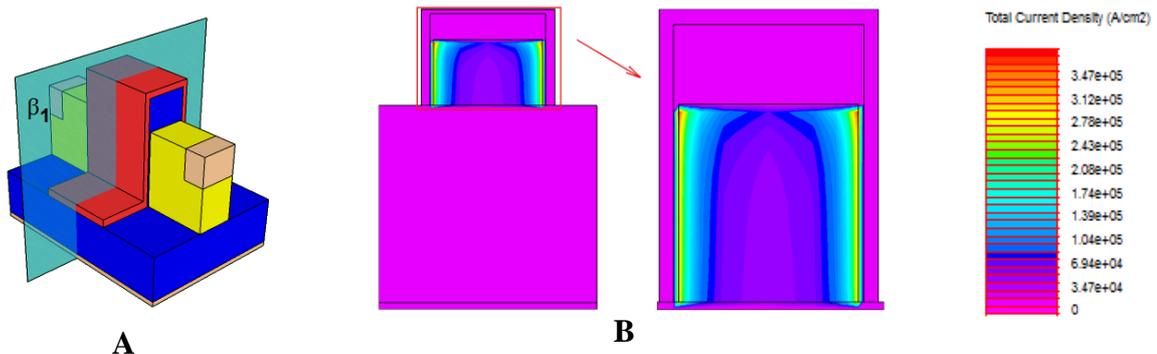


Figura 49. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_1 . (B) Perfil do corte transversal no meio da estrutura no limiar.

A partir do início da região de extensão (Figuras 50A,B), é importante notar que a densidade total de corrente espraia da região das portas em direção ao centro da aleta, e esse efeito é o que abordaremos no capítulo 5, onde propusemos um modelo para quantificar a parcela de resistência de espraio, responsável por esse efeito.

O espraio é um efeito característico do desvio da corrente no transistor que começa concentrada na região das portas por intermédio dos potenciais e campo elétrico e espalha-se na região de extensão pela ausência desse mesmo campo elétrico em um comprimento de espraio limitado denominado (L_{SP}). Atingido o L_{SP} , a corrente tende a linearizar-se ao longo do restante do comprimento de extensão (L_D). É importante citar também para esse corte, que tanto no dispositivo de porta dupla quanto no dispositivo de porta tripla, o efeito de canto está mais presente para $V_G \sim V_{th}$ em comparação com o regime de sublimar, como pode ser notado nas Figuras 45B e 50B.

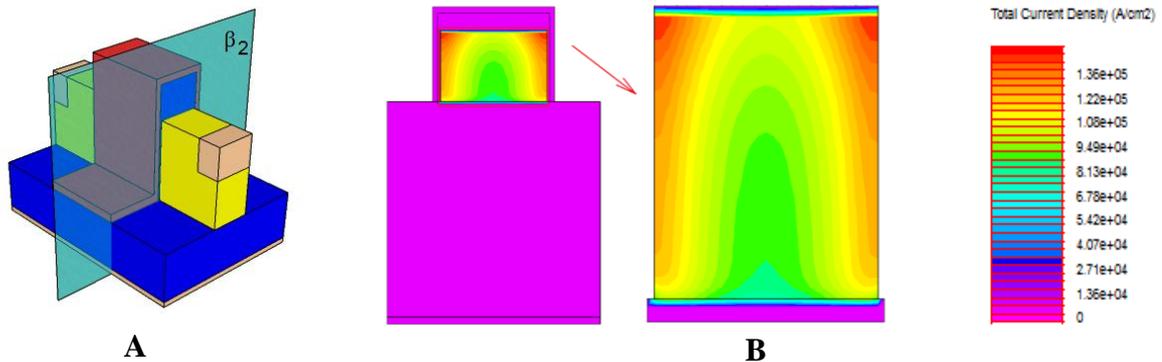


Figura 50. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_2 . (B) Corte transversal no início da região de extensão da estrutura no limiar.

Ao analisarmos o plano de corte β_3 , no meio da região de extensão (Figura 51A), é possível notar que a maior densidade de corrente (Figura 51B) está concentrada nas paredes laterais da aleta, de modo que se une à parcela inferior ao longo do comprimento de extensão (L_D) e torna-se uniforme à medida que se aproxima do siliceto por influência do escoamento linear da corrente próximo às paredes laterais.

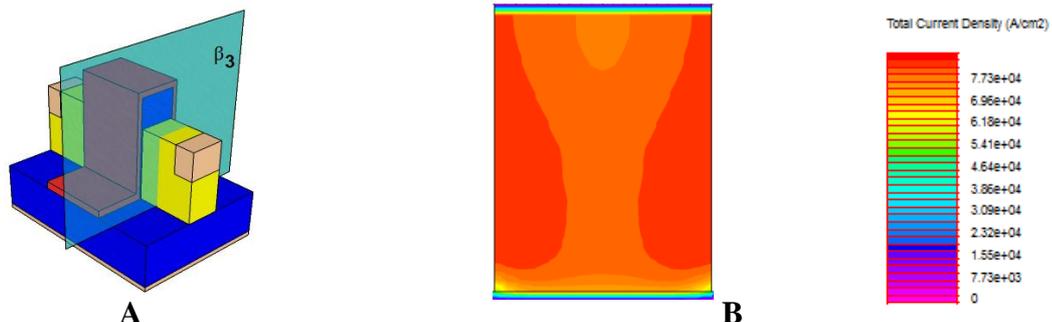


Figura 51. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_3 . (B) Corte transversal no meio da região de extensão da estrutura no limiar.

Na Figura 52A, o plano de corte transversal β_4 está situado na região de extensão de fonte/ dreno e antes do siliceto. De forma análoga ao regime de sublimar, a corrente segue em direção ao siliceto e, como na Figura 51B, a maior densidade encontra-se abaixo da altura de siliceto (H_S) (Figura 52B) por influência da menor resistência da região HDD.

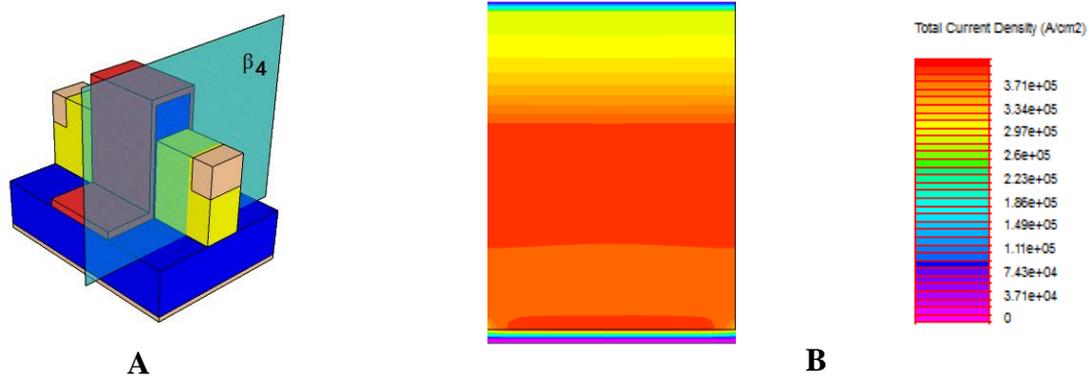


Figura 52. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_4 . (B) Perfil do corte transversal na região de extensão próximo ao siliceto no limiar.

Observando o plano de corte β_4 nas Figuras 53A,B, nota-se que, à medida que se afasta do siliceto, a densidade de corrente diminui, pois esta segue o caminho mais curto devido à menor resistência parasitária imposta pelas regiões altamente dopadas.

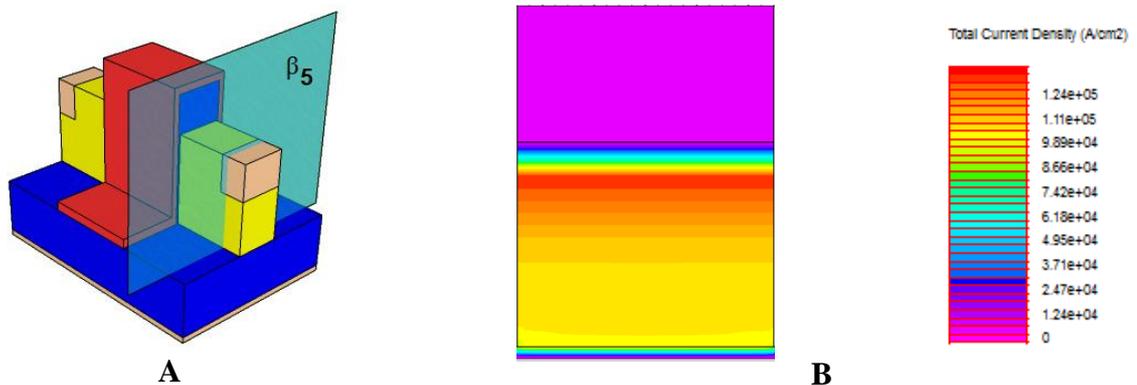


Figura 53. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_5 . (B) Perfil do corte transversal no início da região HDD no regime no limiar.

Ao avançar até o meio do siliceto (Figura 54A), nota-se que o perfil de densidade total de corrente (Figura 54B), em relação à Figura 53B é maior (na ordem de $4.56 \times 10^{-4} \text{ A/cm}^2$) pois a maior parte da corrente já saiu pelo início do contato, justificando, nesse momento, o fato de a densidade estar praticamente uniforme.

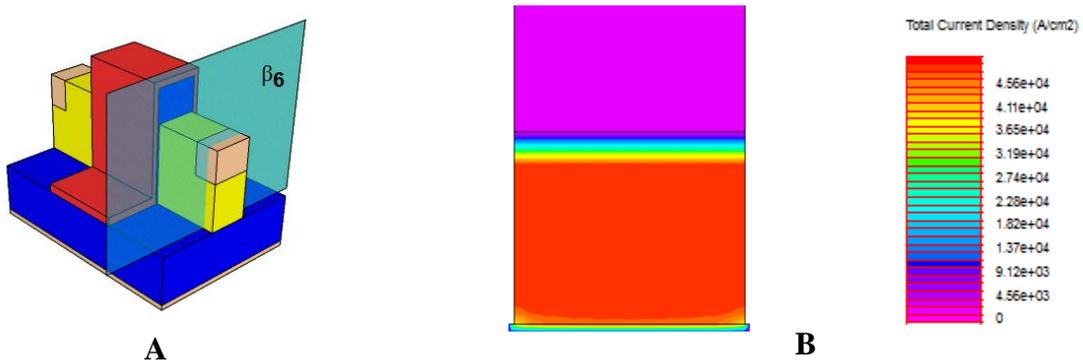


Figura 54. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_6 . (B) Perfil do corte transversal no meio da região HDD no limiar.

4.1.3 Regime de pós-limiar

No regime de pós-limiar, o transistor encontra-se com o terminal de porta polarizado com ($V_G=1,5V$), ou seja, muito acima da tensão de limiar. Considerando este modo de operação, na Figura 55A é apresentado o plano de corte transversal β_1 no meio da estrutura SOI FinFET de porta dupla. Na Figura 55B, é possível observar a concentração das cargas somente nas interfaces Si/óxido de porta pelo alto potencial imposto na aleta pelo terminal das portas. Ao mudarmos a escala para logarítmica (Figura 55C), é possível observar a densidade de corrente com a maior parcela concentrando-se na região das portas e reduzindo à medida que se aproxima do centro da aleta.

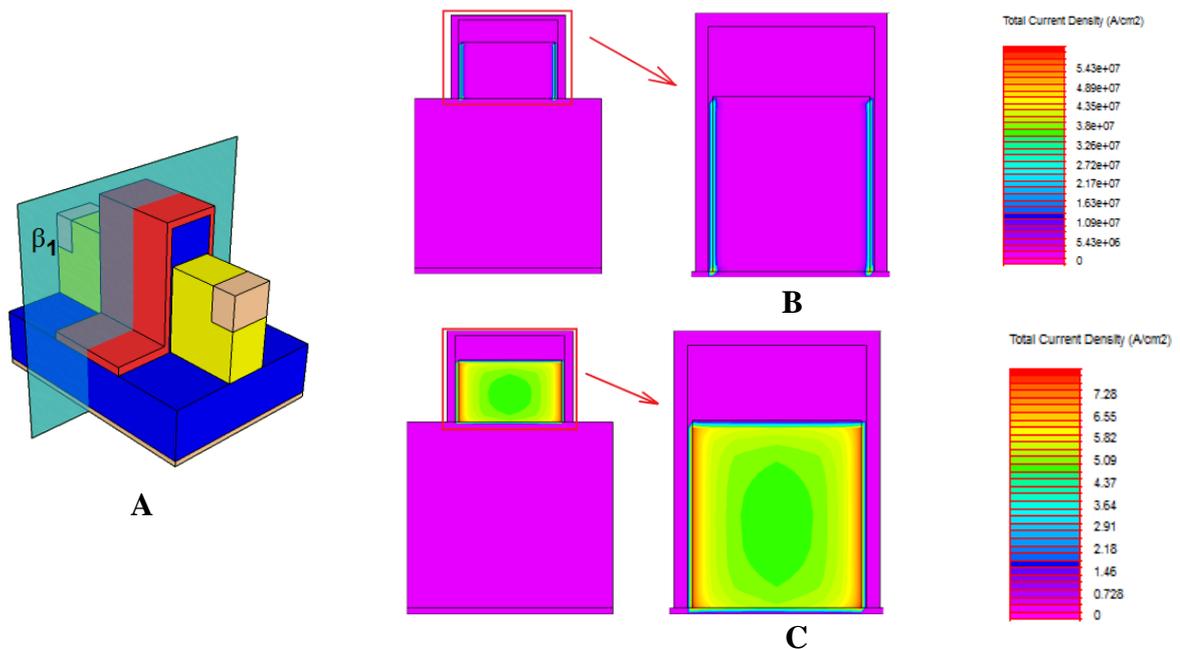


Figura 55. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_1 . (B) Perfil do corte transversal no meio da estrutura no regime de pós-limiar em escala linear. (C) Perfil do corte transversal no meio da estrutura no regime de pós-limiar em escala logarítmica.

Na Figura 56A, o plano de corte β_2 foi feito no início da região de extensão. Na Figura 56B, pode-se perceber que existe uma maior densidade de corrente nos cantos, isto acontece porque o potencial atua sobre toda a corrente na região das portas e começa a se espalhar na região da aleta pela perda da ação desse campo elétrico, como pode ser visto ao longo da largura da aleta (W_{FIN}) na Figura 56C em escala logarítmica.

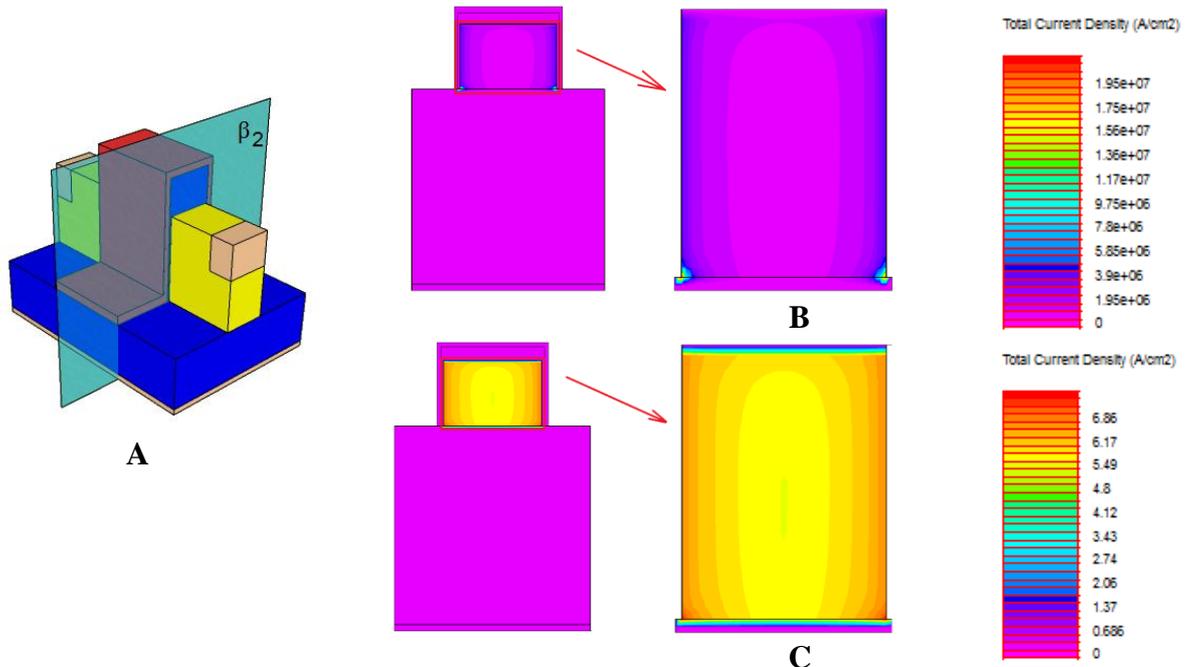


Figura 56. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_2 . (B) Perfil do corte transversal no início da região de extensão no regime de pós-limiar em escala linear. (C) Perfil do corte transversal no início da região de extensão no regime de pós-limiar em escala logarítmica.

A Figura 57A, demonstra o corte no meio da região de extensão e a partir da Figura 57B, é possível observar que neste regime ocorre um espreiamento menos intenso comparado aos regimes estudados anteriormente. Neste caso, pode-se observar também que as maiores densidades de corrente encontram-se situadas de baixo para cima da aleta, a partir do efeito de canto, reduzindo-se ao longo da altura da aleta (H_{FIN}) e em direção ao centro do dispositivo.

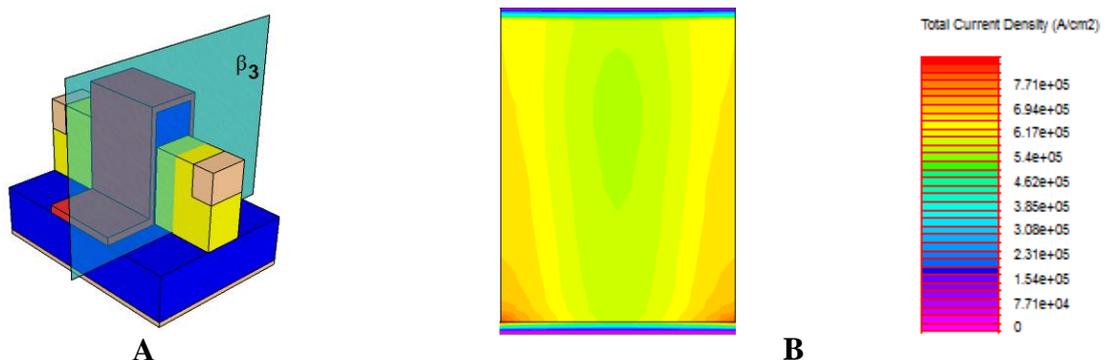


Figura 57. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_3 . (B) Corte transversal no meio da região de extensão da estrutura no regime de pós-limiar.

Na Figura 58A é mostrada o plano de corte antes do siliceto e ainda na região de extensão de fonte/ dreno. Na Figura 58B, nota-se que a maior parcela de densidade de corrente situa-se abaixo do siliceto devido à proximidade da região de alta dopagem HDD, que oferece menor resistência.

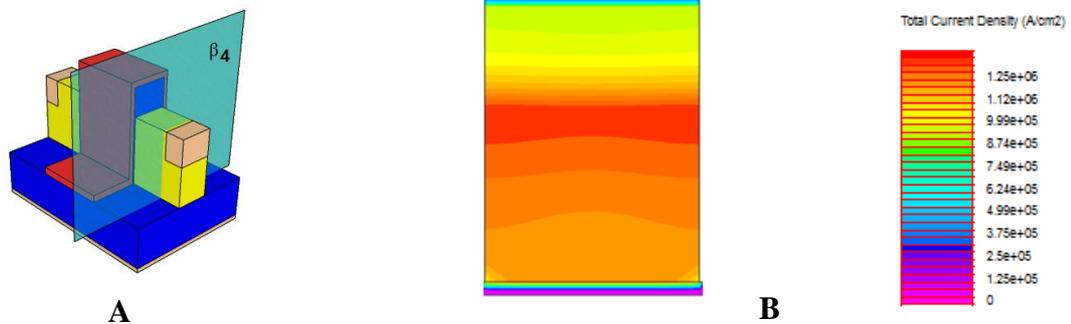


Figura 58. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_4 . (B) Perfil do corte transversal na região de extensão próximo ao siliceto em regime de pós-limiar.

A Figura 59A mostra o plano de corte no início da região HDD da aleta com a presença de siliceto. A partir da Figura 59B é possível observar que o maior nível de densidade de corrente é sempre próximo do siliceto, por conta da região possuir a maior dopagem (HDD) e oferecer menor resistência parasitária à passagem da corrente. Abaixo das proximidades do siliceto, a densidade tende a diminuir pela maior fluidez ser sempre pelo caminho mais fácil, ou seja, nas proximidades do siliceto, por isso da maior concentração estar situada nessa região.

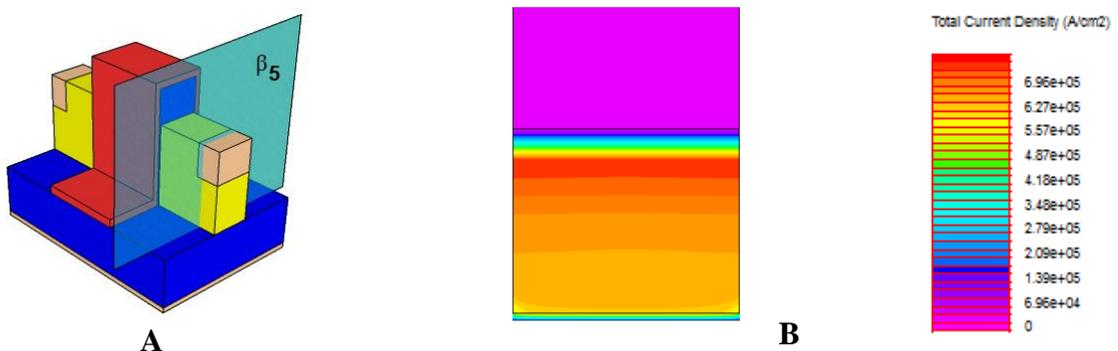


Figura 59. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_5 . (B) Perfil do corte transversal no início da região HDD no regime no regime de pós-limiar.

Na Figura 60A, o plano de corte β_6 foi feito na metade da aleta com siliceto. Na Figura 60B, fica visível que o restante dos portadores tendem a ficar dispostos de forma uniforme e com uma densidade em torno de $5,22 \text{ A/cm}^2$, menor que no início da região com

siliceto (Figura 59B), pelo fato da corrente procurar o caminho mais curto e se dispersar ao longo da aleta e do siliceto.

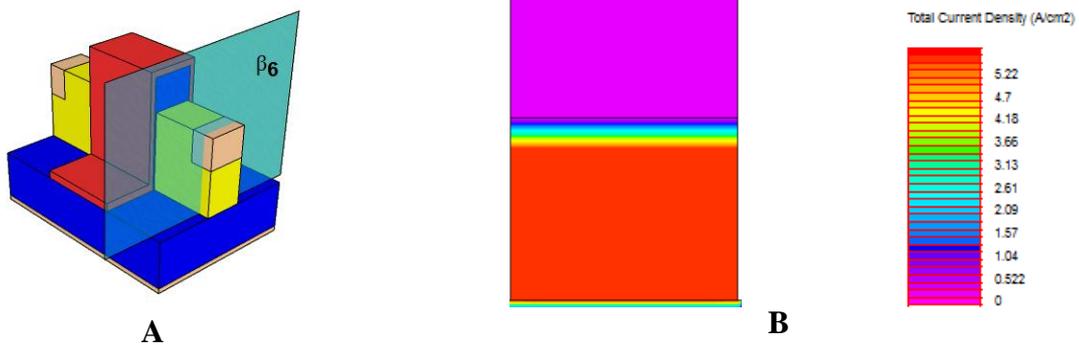


Figura 60. (A) Esquema do dispositivo SOI FinFET de porta dupla com a definição do corte transversal representado pelo plano β_6 . (B) Perfil do corte transversal no meio da região HDD no regime de pós-limiar.

4.2 Dispositivos SOI FinFET de porta tripla com siliceto

Nesta seção apresentaremos apenas a análise dos cortes transversais para o transistor FinFET de porta tripla que apresentaram diferenças em relação ao transistor de porta dupla para os três regimes de operação e considerando as mesmas polarizações.

4.2.1 Regime de sublimiar

Por meio do plano de corte β_1 (Figuras 62A,B), é possível observar a maior densidade de corrente na parte inferior da aleta porque o potencial aplicado às portas laterais é somado ao potencial da porta superior deslocando as cargas para essa região. É a porta superior que gera a diferença da disposição das cargas em relação ao dispositivo de porta dupla da Figura 43B.

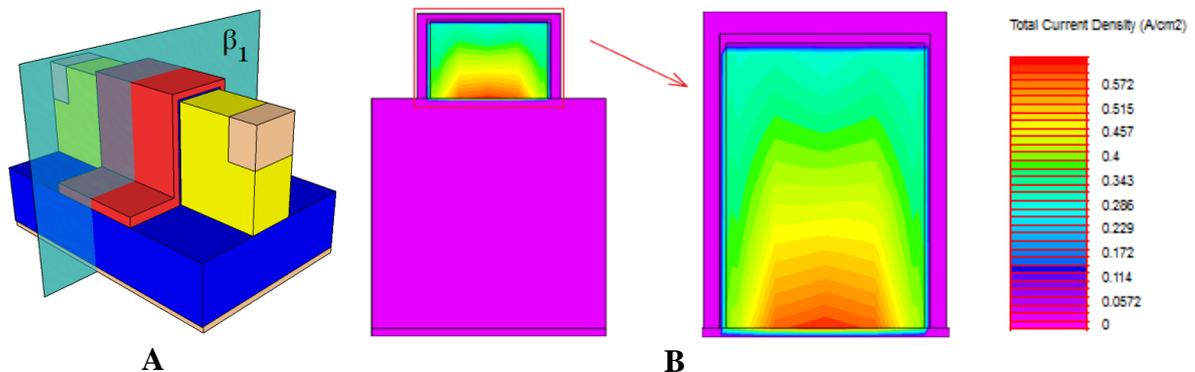


Figura 61. (A) Esquema do dispositivo SOI FinFET de porta tripla com a definição do corte transversal representado pelo plano β_1 . (B) Perfil do corte transversal no meio da região das portas na estrutura no regime sublimiar.

No plano de corte feito β_3 no meio da região LDD de extensão (Figuras 62A,B), é possível verificar a densidade total de corrente ampliando-se ao longo de W_{FIN} . Como já visto anteriormente, essa disposição das cargas é devido o espriamento da corrente. Em relação ao dispositivo de porta dupla (Figura 44B), o efeito do espriamento é menor no transistor de porta tripla, pois o efeito é decorrente das três resistências em paralelo, cada uma referente a cada porta do dispositivo.

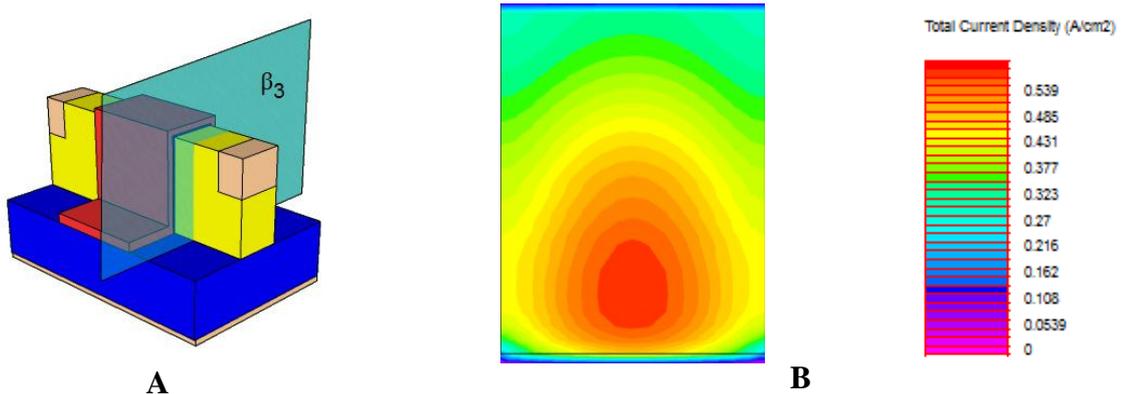


Figura 62. (A) Esquema do dispositivo SOI FinFET de porta tripla com a definição do corte transversal representado pelo plano β_3 . (B) Corte transversal no meio da região de extensão da estrutura no regime sublimar.

4.2.2 Regime de limiar

Na tensão de limiar, as cargas encontram-se mais próximas às portas devido à formação de canal (Figura 63A). Observando o plano de corte β na Figura 63B, é possível observar que a maior densidade de corrente encontra-se próxima às portas laterais e do topo, ou seja, as cargas praticamente ficam alinhadas às portas por intermédio do potencial elétrico.

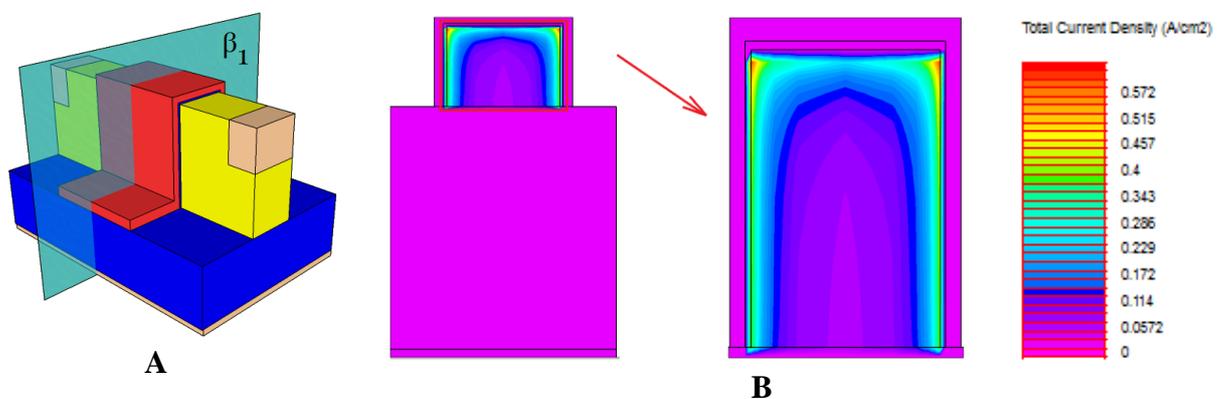


Figura 63. (A) Esquema do dispositivo SOI FinFET de porta tripla com a definição do corte transversal representado pelo plano β . (B) Perfil do corte transversal no meio da estrutura no limiar.

Pelo plano de corte β_2 feito no início da região de extensão (Figuras 65A,B), é possível observar a máxima densidade de corrente nos cantos e o espriamento da corrente ao longo da largura da aleta (W_{FIN}) e da altura da aleta (H_{FIN}) devido, respectivamente, à influência das portas laterais e superior.

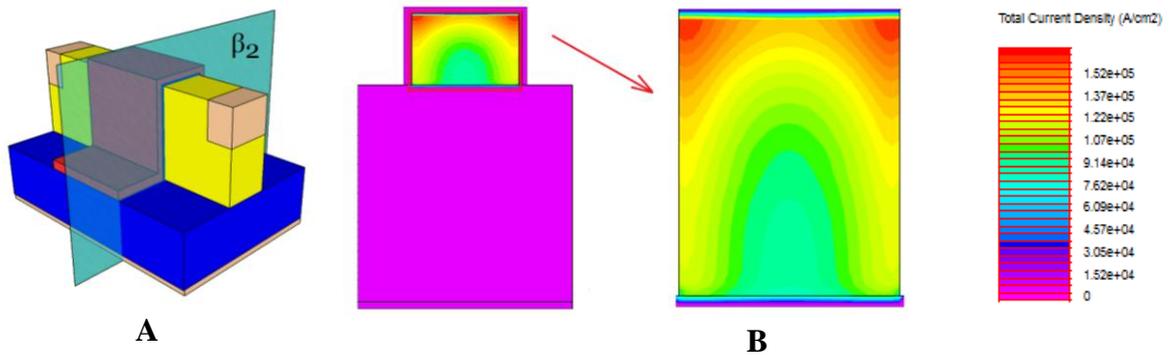


Figura 64. (A) Esquema do dispositivo SOI FinFET de porta tripla com a definição do corte transversal representado pelo plano β_2 . (B) Corte transversal no início da região de extensão da estrutura no limiar.

Quanto ao corte transversal β_3 , feito no meio da região de extensão de fonte/dreno (Figura 65A), é possível notar que a maior densidade de corrente (Figura 65B) está concentrada nas paredes laterais e superior devido à contribuição do potencial aplicado às portas que geram a linearidade da corrente nas proximidades da região das portas, diferente do comportamento observado no dispositivo de porta dupla (Figura 51B).

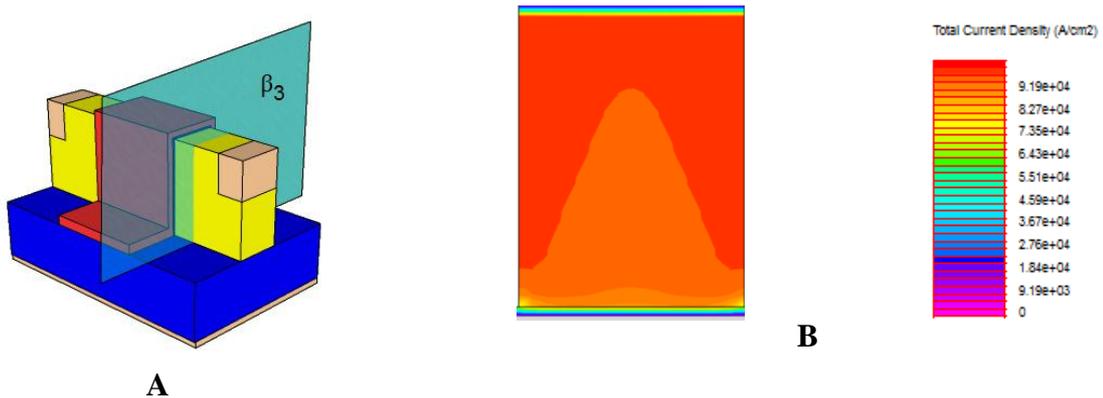


Figura 65. (A) Esquema do dispositivo SOI FinFET de porta tripla com a definição do corte transversal representado pelo plano β_3 . (B) Corte transversal no meio da região de extensão da estrutura no limiar.

4.2.3 Regime pós-limiar

Na Figura 66A é apresentado o plano de corte transversal β_1 no meio da estrutura FinFET de porta tripla. O transistor, mesmo sendo de porta tripla, comporta-se de forma

similar ao de porta dupla da Figura 55B, isto é, devido às diferenças dos planos cristalográficos laterais e principalmente o plano superior, gerar uma diferença de mobilidade [12]. Ao analisarmos esse efeito em escala logarítmica (Figura 66C), é possível visualizar claramente que a densidade de corrente concentra-se mais na região das portas e reduz-se em direção ao centro da aleta pela influência dos potenciais das portas.

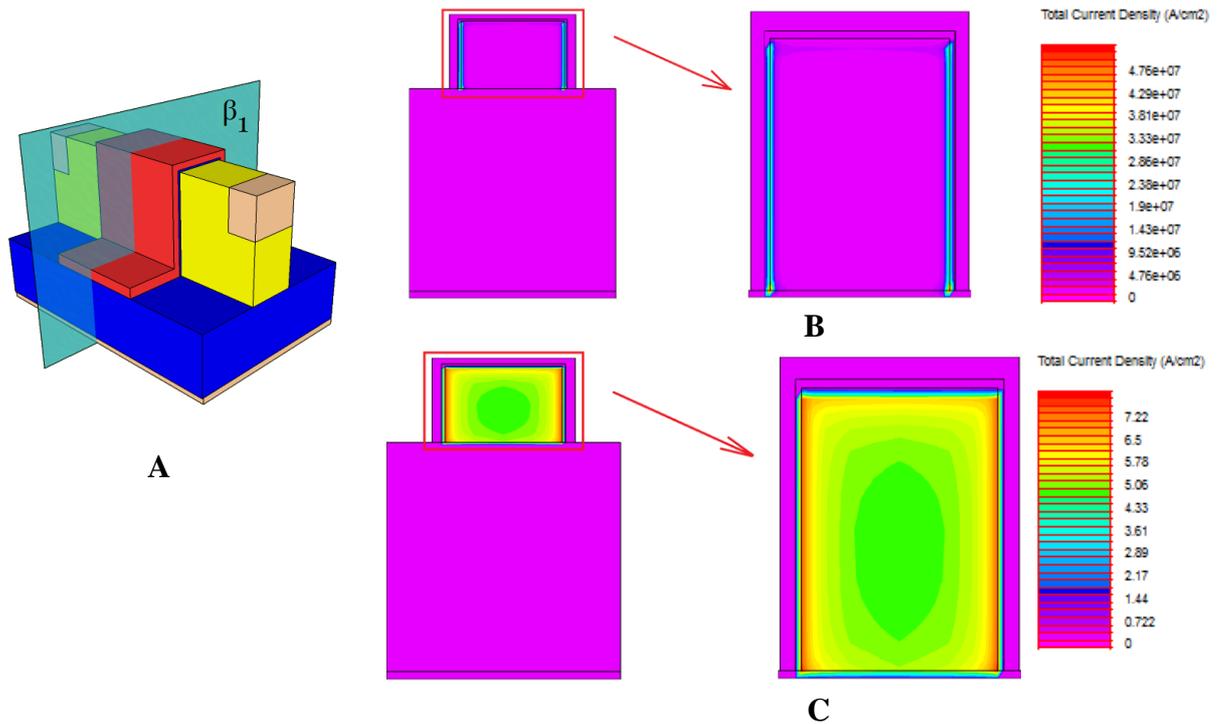


Figura 66. (A) Esquema do dispositivo SOI FinFET de porta tripla com a definição do corte transversal representado pelo plano β_1 . (B) Perfil do corte transversal no meio da estrutura no regime de pós-limiar em escala linear. (C) Perfil do corte transversal no meio da estrutura no regime de pós-limiar em escala logarítmica.

Por fim, nas Figuras 67A,B, é possível observar que o espriamento acontece em menor grau por influência maior dos efeitos de canto gerados pelo alto potencial aplicado às portas e à maior polarização.

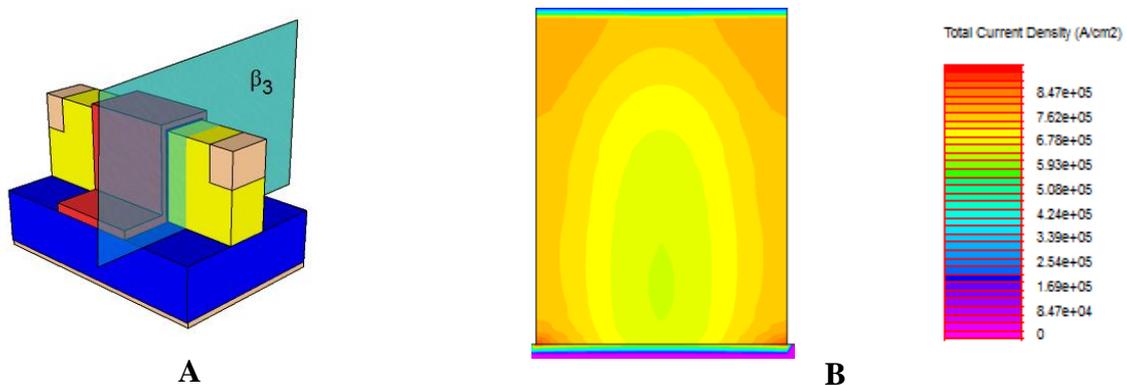


Figura 67. (A) Esquema do dispositivo SOI FinFET de porta tripla com a definição do corte transversal representado pelo plano β . (B) Corte transversal no meio da região de extensão da estrutura no regime de pós-limiar.

Nestas simulações não foi considerado o efeito quântico por motivos de convergência apenas.

4.3 Comparação dos regimes quanto ao número de portas

Ao analisarmos o regime de sublimiar tanto para o dispositivo de porta dupla quanto para o dispositivo de porta tripla, notaram-se poucas diferenças em relação às posições estabelecidas pelos cortes. Como principal alteração, pode-se citar a influência da porta superior sobre as cargas no meio do canal por meio das Figuras 43B e 61B. Nestas figuras, é importante citar que independentemente da quantidade de portas, as cargas tendem a se concentra mais ao centro e na região inferior da aleta devido à maior influência do potencial de substrato.

Ainda nesse regime, outro fator importante é o espriamento da corrente ao longo da largura da aleta (W_{FIN}) e do comprimento de extensão da região (L_D) expresso pelas Figuras 45B e 62B. Neste momento, nota-se que a corrente apresenta uma densidade maior no centro da aleta do dispositivo de porta tripla. Isso acontece devido à influência do potencial da porta superior somar-se ao potencial das duas portas laterais resultando em um espalhamento menor no dispositivo de porta tripla.

No limiar, o efeito do espriamento é mais nítido em ambos os transistores, e acontece no início da região de extensão como mostram as Figuras 50B e 64B. Nota-se ainda que as cargas se concentraram na região das portas, ou seja, bem próximas à região de canal (Figuras 50B e 64B) por conta de ter atingido o potencial de limiar e estar em triodo. No regime de pós-limiar, a corrente fica toda concentrada na região das portas, independentemente da quantidade de portas, (Figuras 54B e 66B) pelo alto potencial e campo elétrico aplicado às portas.

Contudo, o estudo desses regimes nessas duas estruturas, ajuda a entender a influência da quantidade de portas, potencial aplicado e o caminho que a corrente percorre ao longo da aleta. No regime de sublimiar nota-se um menor controle das cargas do canal e uma maior migração das mesmas ao longo do comprimento e largura do canal. No regime limiar, notam-se as cargas inseridas no canal, porém com uma migração para a região de extensão mais acelerada que no regime anterior. E por fim, no regime pós-limiar, toda a corrente fica concentrada na região das portas e faz o percurso com variação maior da densidade de corrente no meio da região de extensão, uniformizando-se até chegar à região de HDD com siliceto.

5 MODELO PROPOSTO DE RESISTÊNCIA DE ESPRAIAMENTO (R_{SP1}) PARA TRANSISTORES FINFETS DE PORTA DUPLA [53]

Como verificado no capítulo 4, ao estudar o caminho da corrente em estruturas FinFET, notou-se o efeito do espraioamento nos diferentes regimes de operação do transistor.

Como visto nas seções 2.2.3.2 e 2.2.3.3, existem modelos para o estudo desse efeito e um método de extração para os transistores de porta dupla sem contato de siliceto na seção 2.2.4.

O modelo proposto neste trabalho tem como foco principal melhorar a precisão do modelo de Parada et. al. [41]. O desenvolvimento da expressão que será proposta a seguir surgiu da observação do comportamento por meio de imagens obtidas da simulação e dos valores extraídos no modelo apresentado na seção 2.2.3.3.

Para o desenvolvimento do novo modelo, foram feitas algumas considerações. Primeiro observaram-se os arquivos resultantes das diversas larguras (W_{FIN}) de aletas simuladas, e notou-se que em muitos casos, o espraioamento apresentava-se em uma região limitada, que dependendo do ângulo de espraioamento da corrente (α), era delimitado por uma região de coroa circular. Essa região, dependendo da largura, pode apresentar-se mais curta ou mais longa independentemente do ângulo de espraioamento α , como pode ser visto nas Figuras 68A, B.

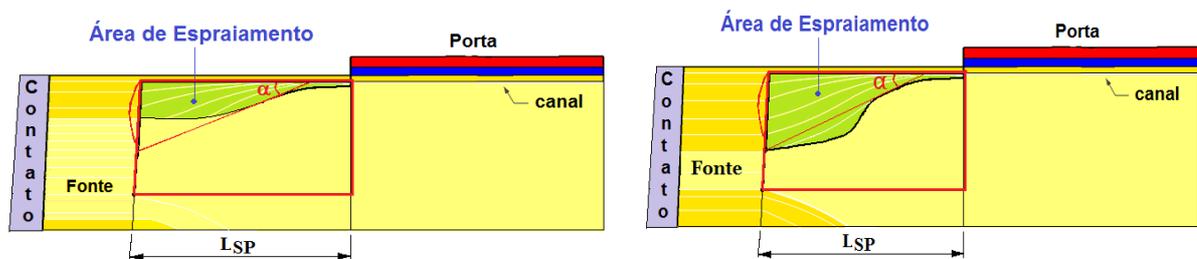


Figura 68. (A) Área de espraioamento curto. (B) Área de espraioamento longo.

O novo modelo considera a resistência de espraioamento como sendo a diferença entre a resistência de uma região retangular que apresenta densidade de corrente linear e a resistência de uma região de seção circular que apresenta o efeito do espraioamento. Considera-se que essa nova forma de calcular é mais precisa, pois o espraioamento não acontece em toda a região de extensão de fonte/ dreno (L_D), como visto nas Figuras 69A, B. A resistência de espraioamento (R_{SP1}) é dada pela diferença entre uma área retangular de extensão, caso existisse presença de corrente sem o espraioamento, e a área do setor circular que possui corrente de espraioamento. O cálculo é dependente de parâmetros que antes eram

empíricos, mas serão calculados como explicado a seguir. São eles: o ângulo de espraioamento α , a espessura de canal x_c e o comprimento de espraioamento L_{SP} . Reforçando o conceito: a região de espraioamento efetiva é a diferença entre as resistências, expressa pela Figura 69.

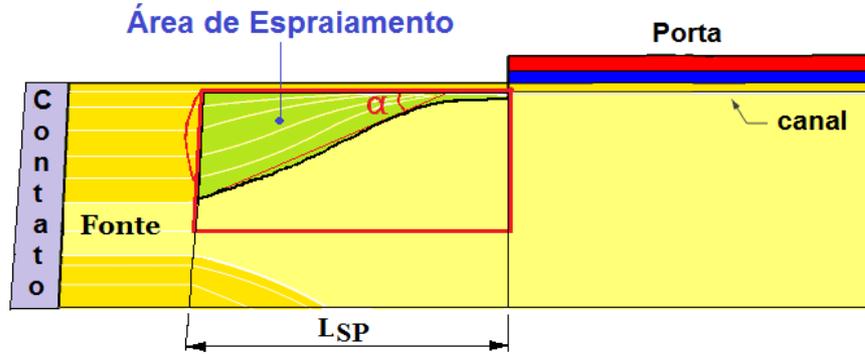


Figura 69. Área efetiva de ocorrência do espraioamento após inserção do modelo em um dispositivo de porta dupla.

A resistência do setor circular (R_{SEC}) é dada pela eq. (42), enquanto que a resistência da região retangular (R_{SQ}) é dada pela eq. (43). Logo a resultante é a equação (44)

$$R_{SEC} = \frac{\rho_{EXT}}{2 * H_{FIN} * (\alpha)} * \ln \left(\frac{L_{SP} + \frac{x_c}{\tan(\alpha)}}{\frac{x_c}{\tan(\alpha)}} \right) \quad (42)$$

$$R_{SQ} = \frac{\rho_{EXT}}{H_{FIN}} * \frac{L_{SP}}{W_{FIN}} \quad (43)$$

$$R_{SP1} = R_{SEC} - R_{SQ} \quad (44)$$

Portanto, a expressão do novo modelo analítico ficou da seguinte forma:

$$R_{SP1} = \frac{\rho_{EXT}}{2 * H_{FIN} * (\alpha)} * \ln \left(\frac{L_{SP} + \frac{x_c}{\tan(\alpha)}}{\frac{x_c}{\tan(\alpha)}} \right) - \frac{\rho_{EXT}}{H_{FIN}} * \frac{L_{SP}}{W_{FIN}} \quad (45)$$

onde: $\rho_{EXT} = \frac{R_{EXT}}{L_D} W_{FIN} H_{FIN}$, x_c é a espessura do canal e o α é ângulo de espraioamento, que possui uma expressão que será apresentada no item 5.1.1 e na Figura 73.

Pela expressão (45) do novo modelo apresentado, é possível distinguir a composição das duas resistências como sendo a resistência de maior relevância referente à área da seção da coroa circular e a de menor relevância referente ao termo baseado na segunda Lei de Ohm, referente ao termo da área retangular.

5.1 Obtenção dos parâmetros utilizados no modelo

Nesta seção apresentaremos os parâmetros necessários à composição do modelo proposto, o modo como foram obtidos e a ideia geral de utilização de cada um deles.

5.1.1 Obtenção do ângulo de espraiamento α

O ângulo de espraiamento α é o principal parâmetro para que o modelo fique fundamentado em termos de área, como descrito no início desse capítulo. No modelo de Parada, esse ângulo era baseado em uma observação empírica por meio de visualização de imagens dos vetores de densidade de corrente nas proximidades da junção (porta/ fonte) e expresso essa observação pelo gráfico da Figura 70.

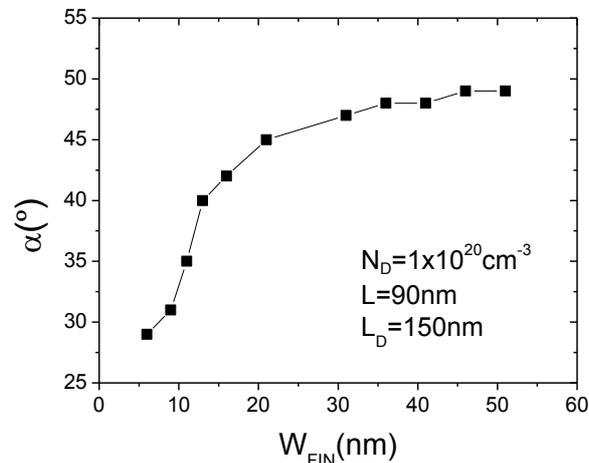


Figura 70. Gráfico do ângulo de espraiamento em função da largura da aleta para a concentração de $N_D=1 \times 10^{20} \text{ cm}^{-3}$ [41].

Essa expressão obtida do ângulo de espraiamento é apresentada pela eq. (49) e foi obtida por meio de iteração a partir dos valores médios extraídos de resistência de espraiamento das simulações e inserida na equação da resistência da coroa circular (eq. (42)). Essa iteração é mais fácil de ser entendida no exemplo apresentado na expressão (46), e obtido para cada largura de aleta (W_{FIN}) simulada de 16 a 51nm em três concentrações de dopantes, como mostram as Figuras 71, 72 e 73.

Como exemplo, temos a largura de aleta $W_{FIN}=16\text{nm}$ com $N_D=1 \times 10^{19}\text{cm}^{-3}$, a média das resistências de espraio extraídas para essa largura é igual a ($R_{SP1,MEXT}=483,774\Omega$), o valor da resistividade de extensão foi obtido pela Tabela 5, x_c é igual a 3nm conforme iremos explicar na seção 5.1.2 e o L_{SP} é igual a 6nm. Logo a iteração feita para todas as concentrações e W_{FIN} segue como exemplo mostrado na expressão (46).

$$R_{SP1,MEXT} = \frac{\rho_{EXT}}{2 \cdot H_{FIN} \cdot \tan(\alpha)} * \ln\left(\frac{L_{SP} + \frac{x_c}{\tan(\alpha)}}{\frac{x_c}{\tan(\alpha)}}\right) \rightarrow 474,320 = \frac{58,183}{2 \cdot 60 \cdot \tan(\alpha)} * \ln\left(\frac{6 + \frac{3}{\tan(\alpha)}}{\frac{3}{\tan(\alpha)}}\right) \quad (46)$$

As Figuras 71, 72 e 73 demonstram o ângulo de espraio em função da largura da aleta para cada concentração de impurezas dopantes ($\alpha \times W_{FIN} \times N_D$), bem como as expressões lineares aproximadas para definição da expressão para o α .

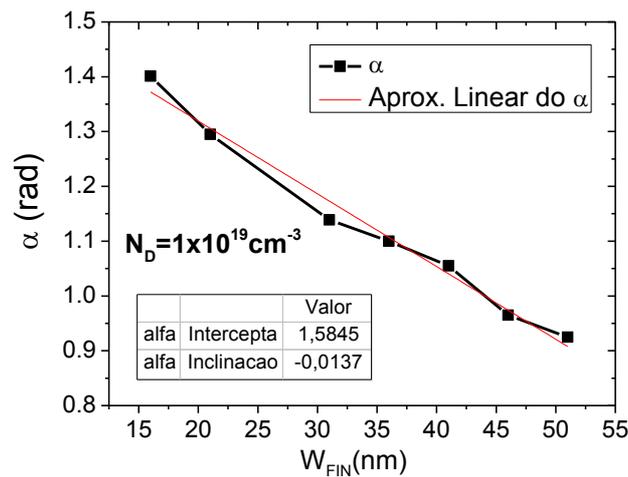


Figura 71. Gráfico da variação do ângulo de espraio (α) pela largura da aleta (W_{FIN}) para $N_D=1 \times 10^{19}\text{cm}^{-3}$.

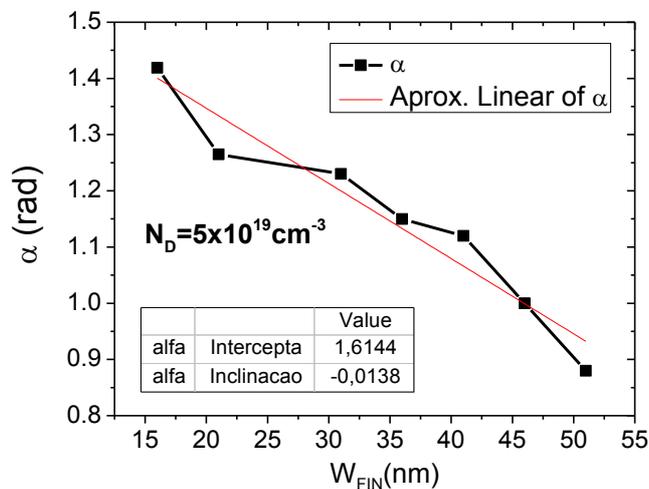


Figura 72. Gráfico da variação do ângulo de espraio (α) pela largura da aleta (W_{FIN}) $N_D=5 \times 10^{19}\text{cm}^{-3}$.

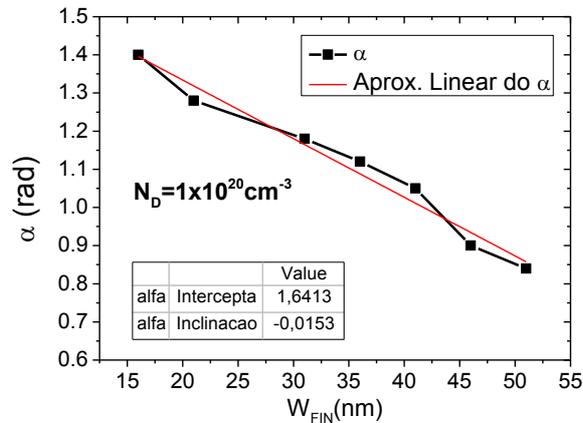


Figura 73. Gráfico da variação do ângulo de espraçamento (α) pela largura da aleta (W_{FIN}) $N_D=1 \times 10^{20} \text{ cm}^{-3}$.

Para uma definição mais precisa de qual expressão dentre as equações (47), (48) e (49) adotar para o α em função de W_{FIN} com foco na menor margem de erro dentro do modelo proposto da resistência de espraçamento (R_{SP1}), foram feitos testes para cada expressão comparando o valor proposto com o valor simulado, conforme as tabelas que serão apresentadas a seguir.

Na Tabela 2 são apresentados os valores obtidos, caso fosse adotada a expressão da eq. (47) de α para o modelo proposto de resistência de espraçamento (R_{SP1}). O que analisando as três concentrações de impurezas dopantes, nota-se um erro em torno de, no máximo, 17,252%, caso fosse adotada esta expressão.

$$\alpha = 1,5845 - 0,0137 * W_{FIN} \quad (47)$$

Tabela 2. R_{SP1} obtido por meio da adoção da expressão de α obtido pelo gráfico da Figura 71.

W_{FIN} (nm)	R_{SP1} (Ω) Proposto $N_D=1 \times 10^{19} \text{ cm}^{-3}$	R_{SP1} (Ω) Proposto $N_D=5 \times 10^{19} \text{ cm}^{-3}$	R_{SP1} (Ω) Proposto $N_D=1 \times 10^{20} \text{ cm}^{-3}$	Erro (Proposto-Simulado)/ Simulado (%) $N_D=1 \times 10^{19} \text{ cm}^{-3}$	Erro (Proposto-Simulado)/ Simulado (%) $N_D=5 \times 10^{19} \text{ cm}^{-3}$	Erro (Proposto-Simulado)/ Simulado (%) $N_D=1 \times 10^{20} \text{ cm}^{-3}$
16	474,312	183,676	82,354	1,956	9,452	17,252
21	428,321	194,486	88,562	-0,314	-2,814	8,122
31	403,072	160,774	92,889	-1,809	10,256	4,152
36	385,049	163,170	94,187	0,624	8,516	-0,383
41	378,083	164,824	95,460	1,829	7,359	-6,534
46	382,752	167,827	96,819	0,438	5,224	-9,045
51	376,426	183,732	98,312	1,308	-4,198	-13,344

Na Tabela 3 são apresentados os valores obtidos, caso fosse adotada a expressão da eq. (48) de α para o modelo proposto de resistência de espreiamento (R_{SP1}). Analisando as três concentrações de impurezas dopantes, nota-se um erro em torno de no máximo 13,533%, caso fosse adotado esta expressão.

$$\alpha = 1,6144 - 0,0138 * W_{FIN} \quad (48)$$

Tabela 3. R_{SP1} obtido por meio da adoção da expressão de α obtido pelo gráfico da Figura 72.

W_{FIN} (nm)	$R_{SP1}(\Omega)$ Proposto $N_D=1 \times 10^{19} \text{cm}^{-3}$	$R_{SP1}(\Omega)$ Proposto $N_D=5 \times 10^{19} \text{cm}^{-3}$	$R_{SP1}(\Omega)$ Proposto $N_D=1 \times 10^{20} \text{cm}^{-3}$	Erro (Proposto-Simulado)/ Simulado (%) $N_D=1 \times 10^{19} \text{cm}^{-3}$	Erro (Proposto-Simulado)/ Simulado (%) $N_D=5 \times 10^{19} \text{cm}^{-3}$	Erro (Proposto-Simulado)/ Simulado (%) $N_D=1 \times 10^{20} \text{cm}^{-3}$
16	474,394	192,957	87,899	1,939	4,876	11,681
21	448,956	200,102	92,049	-5,147	-5,783	4,505
31	413,477	163,555	94,495	-4,438	8,703	2,494
36	392,938	165,096	95,299	-1,412	7,437	-1,568
41	383,904	166,051	96,171	0,317	6,669	-7,327
46	387,168	168,552	97,237	-0,710	4,814	-9,516
51	379,723	184,039	98,476	0,444	-4,372	-13,533

Na A partir da análise das tabelas, a expressão do ângulo de espreiamento que melhor se adequou a todas as três concentrações foi o da expressão (49) e da Figura 73.

É notável que para obter o menor erro do valor de R_{SP1} calculado com o simulado, foi adotado o α obtido na **Erro! Auto-referência de indicador não válida.**, pois o erro máximo foi em torno de **8%**. Poderiam ter sido adotadas as outras expressões, porém para que o valor do modelo proposto ficasse mais próximo do valor extraído/ simulado, foi necessário adotar a expressão que gera o menor erro possível para as concentrações de impurezas adotadas.

Tabela 4 são apresentados os valores obtidos, caso fosse adotada a expressão da eq. (49) de α para o modelo proposto de resistência de espreiamento (R_{SP1}). Analisando as três concentrações de impurezas, nota-se um erro em torno de, no máximo 7,924%, caso fosse adotada esta expressão.

$$\alpha = 1,6413 - 0,0153 * W_{FIN} \quad (49)$$

A partir da análise das tabelas, a expressão do ângulo de espraçamento que melhor se adequou a todas as três concentrações foi a da expressão (49) e da Figura 73.

É notável que para obter o menor erro do valor de R_{SP1} calculado com o simulado, foi adotado o α obtido na **Erro! Auto-referência de indicador não válida.**, pois o erro máximo foi em torno de **8%**. Poderiam ter sido adotadas as outras expressões, porém para que o valor do modelo proposto ficasse mais próximo do valor extraído/ simulado, foi necessário adotar a expressão que gera o menor erro possível para as concentrações de impurezas adotadas.

Tabela 4. R_{SP1} obtido por meio da adoção da expressão de α obtido pelo gráfico da Figura 73.

W_{FIN} (nm)	$R_{SP1}(\Omega)$ Proposto $N_D=1 \times 10^{19} \text{cm}^{-3}$	$R_{SP1}(\Omega)$ Proposto $N_D=5 \times 10^{19} \text{cm}^{-3}$	$R_{SP1}(\Omega)$ Proposto $N_D=1 \times 10^{20} \text{cm}^{-3}$	Erro (Proposto-Simulado)/ Simulado (%) $N_D=1 \times 10^{19} \text{cm}^{-3}$	Erro (Proposto-Simulado)/ Simulado (%) $N_D=5 \times 10^{19} \text{cm}^{-3}$	Erro (Proposto-Simulado)/ Simulado (%) $N_D=1 \times 10^{20} \text{cm}^{-3}$
16	481,961	195,147	99,362	0,375	3,797	0,163
21	417,201	191,531	97,336	2,290	-1,252	-0,980
31	410,665	181,858	96,081	-3,728	-1,513	0,857
36	393,556	184,799	95,556	-1,571	-3,609	-1,842
41	384,140	166,103	92,188	0,256	6,640	-2,882
46	374,959	163,046	91,954	2,465	7,924	-3,566
51	371,233	164,932	87,755	2,669	6,464	-1,172

Não foi adotada uma quarta expressão que ajustasse melhor todas as concentrações porque também admitimos um erro máximo de 10% para que o modelo ficasse bem ajustado. Sendo assim, a expressão da concentração de impurezas doadoras na ordem de $1 \times 10^{20} \text{cm}^{-3}$ supriu esse critério adotado para análise do parâmetro.

No novo modelo apresentado foi obtida uma expressão para o ângulo de espraçamento α que não se altera com a mudança da concentração de impurezas dopantes na região de extensão de fonte/ dreno (L_D).

$$R_{SP1} = \frac{\rho_{EXT}}{2 * H_{FIN} * (\alpha)} * \ln \left(\frac{L_{SP} + \frac{x_c}{\tan(\alpha)}}{\frac{x_c}{\tan(\alpha)}} \right)$$

$$R_{SP1} = \frac{58,183}{2 * 60 * (0.785)} * \ln \left(\frac{6 + \frac{3}{\tan(0.785)}}{\frac{3}{\tan(0.785)}} \right) = 0,678 \Omega$$

$$R_{SP1} = \frac{58,183}{2 * 60 * (0.942)} * \ln \left(\frac{6 + \frac{3}{\tan(0.942)}}{\frac{3}{\tan(0.942)}} \right) = 0,680 \Omega$$

Por fim, A tendência do α em função de W_{FIN} foi diferente da adotada por Parada [49] na Figura 70, porque o novo modelo foi ajustado empiricamente, visto que o espraçamento acontece em áreas pontuais de extensão de fonte e dreno, o que impossibilita a aferição precisa dos vetores de ângulo sendo necessário o cálculo a partir da R_{SP1} . Na expressão (45), nota-se que α é diretamente proporcional ao R_{SP1} e inversamente proporcional ao W_{FIN} , o que justifica a tendência da reta das Figuras 71, 72 e 73 estarem corretas. Conforme mostra exemplo da expressão (42), para exemplos de ângulos α de $45^\circ = 0,785$ rad. e α de $54^\circ = 0,942$ rad. Quanto maior α , maior será a R_{SP1} , menor será o W_{FIN} .

5.1.2 Obtenção do parâmetro da espessura de canal x_c

A largura de canal ou espessura do canal ou x_c é outro parâmetro fundamental e indispensável ao cálculo do modelo, pois o mesmo situa-se dentro da parcela do logaritmo nas expressões da literatura e no modelo proposto. Esse parâmetro é uma grandeza inversamente proporcional à resistência da coroa circular (R_{SEC}), pois quanto menor o valor de x_c maior será o valor de R_{SP1} (veja exemplo de parte do modelo expresso na eq. (50)). Por esse exemplo, é possível notar que para um x_c igual a 2,5nm o valor do “ln” é maior que ao adotar um x_c igual a 3nm, visto que o restante da expressão (42) é multiplicado por esse fator, logo a R_{SEC} apresentará um valor maior com x_c menor.

$$\ln \left(\frac{L_{SP} + \frac{x_c}{\tan(\alpha)}}{\frac{x_c}{\tan(\alpha)}} \right) = \ln \left(\frac{6 + \frac{3}{\tan(0.733)}}{\frac{3}{\tan(0.733)}} \right) = 1,029$$

$$\ln\left(\frac{L_{SP} + \frac{x_c}{\tan(\alpha)}}{\frac{x_c}{\tan(\alpha)}}\right) = \ln\left(\frac{6 + \frac{2.5}{\tan(0.733)}}{\frac{2.5}{\tan(0.733)}}\right) = 1,151 \quad (50)$$

É importante lembrar que este parâmetro tem sido abordado em todos os modelos desde o modelo de Bacarani et. al. [47] e nunca foi devidamente justificada.

O valor de x_c no modelo de Parada assumiu um valor diferente do que Dixit [45] havia adotado. No artigo de Dixit [45], a análise foi feita sem considerar a modelagem quântica com o espriamento, o que precisa ser considerado, visto que a espessura de canal (x_c) está presente em qualquer dimensão de W_{FIN} , independentemente do nível de energia da partícula (equação (25)) tem de ser considerado.

Ao observar a densidade de corrente nas estruturas em diversos valores de W_{FIN} simulados, foram adotados 6 cortes transversais (Figura 74) para poder fixar um método de extração.

Ao verificar que o campo elétrico limita a densidade da corrente antes do seu espriamento e que nas proximidades da junção a espessura do canal x_c propicia o espriamento, adotou-se que o melhor corte para extrair o valor de x_c , seria próximo da junção e ao longo da distância entre as portas, ou seja, o corte transversal 4 (Figura 74).

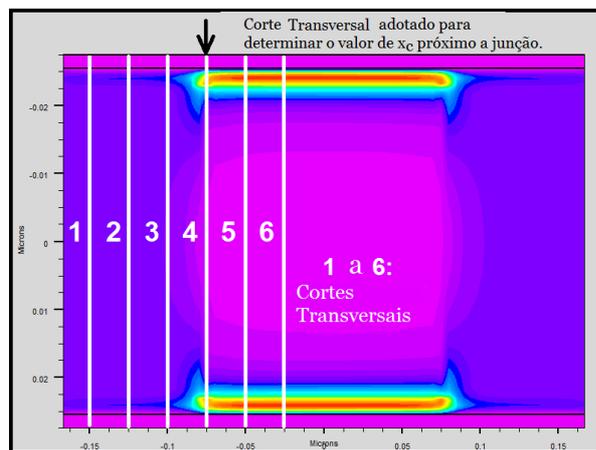


Figura 74. Cortes transversais para determinar os 40% do pico da corrente para obter o valor de x_c .

Sendo assim, resolveu-se adotar o corte transversal 4 por estar nas proximidades da junção e mediu-se a distância entre o início da densidade de corrente até o ponto médio, onde a mesma se estabiliza, o que equivale para todos os valores de W_{FIN} , independentemente da concentração de dopantes (N_D) e para $N_A=1 \times 10^{16} \text{ cm}^{-3}$, a 40% do pico máximo da densidade de corrente total (

Figura 75), ou seja, o valor do passo medido entre a curva de densidade de corrente no canal é de aproximadamente 3 nm.

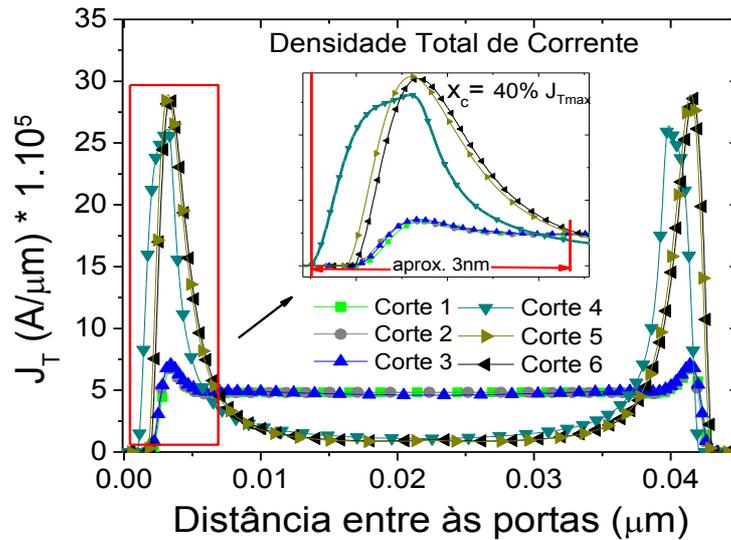


Figura 75. Densidade Total de Corrente (J_T) em função da distância entre as portas, demonstrando a presença do efeito quântico nas bordas e um detalhamento do método para obtenção do valor de x_c [53].

Na

Figura 75, é possível observar a extração de x_c na curva 4, em função da distância entre às portas dentre os 6 cortes transversais realizados [53].

5.1.3 Obtenção do L_{SP}

Outro parâmetro importante que deve ser definido é o comprimento de espraçamento L_{SP} . Para a obtenção desse parâmetro foi adotado o método citado no item **2.2.4.1**.

Esse método consiste em simular diversos valores de comprimentos de extensão de fonte e dreno (L_D), de modo a ir diminuindo esse valor até se obter o valor em que o L_D sofra totalmente a influência do espraçamento, para daí conceituarmos que essa dimensão é o L_{SP} .

Para isso foram obtidos os gráficos de R_{TOT} em função do comprimento da extensão de fonte e dreno (L_D), utilizando diferentes comprimentos de extensão de fonte e dreno das adotadas nos gráficos apresentados no item **3.2.2**.

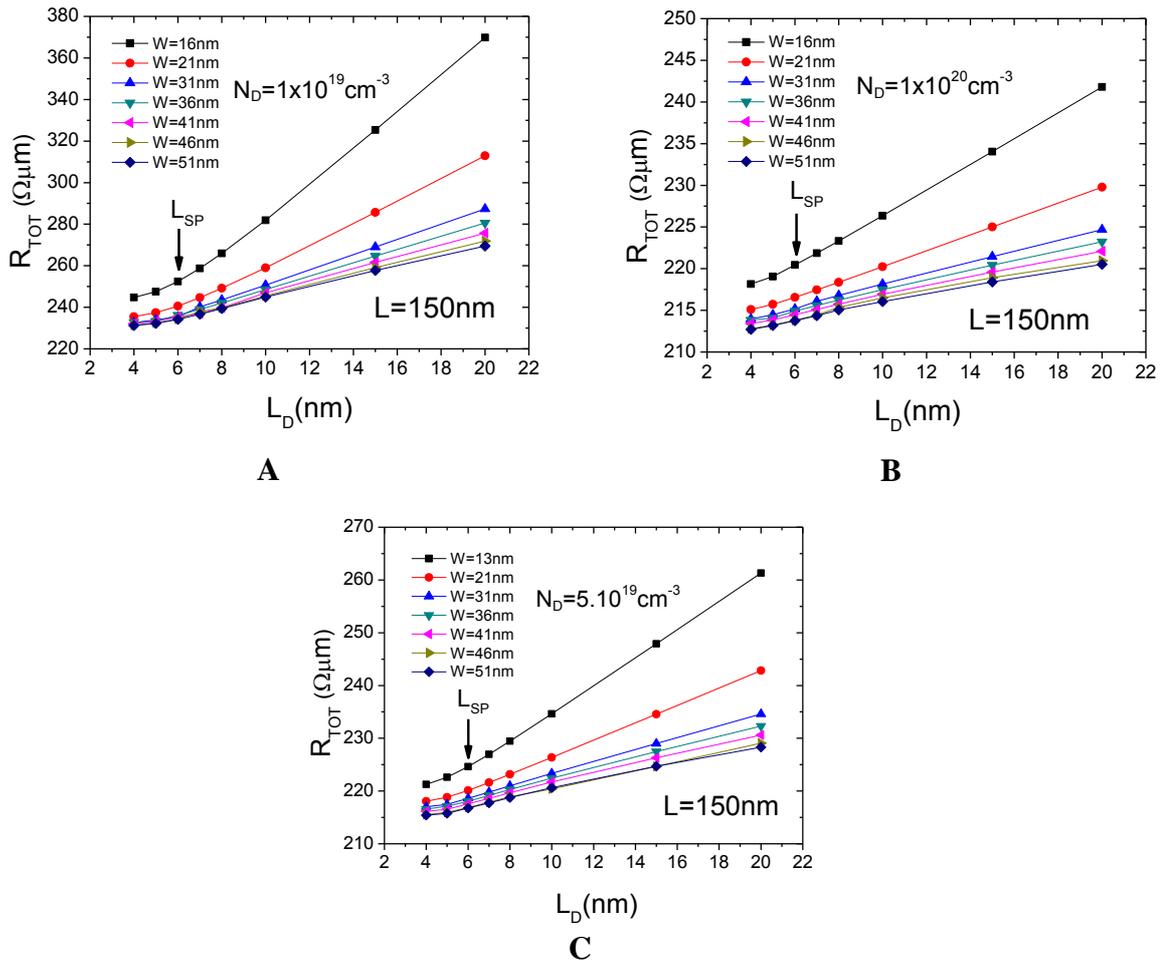


Figura 76. (A) Variação de R_{TOT} x L_D para obtenção de L_{SP} para a concentração de $1 \times 10^{19} \text{ cm}^{-3}$. (B) Variação de R_{TOT} x L_D para obtenção de L_{SP} para a concentração de $1 \times 10^{20} \text{ cm}^{-3}$. (C) Variação de R_{TOT} x L_D para obtenção de L_{SP} para a concentração de $5 \times 10^{19} \text{ cm}^{-3}$.

Para esta análise foi adotada uma grade de pontos bem densa nas regiões de extensão, para que ficasse mais precisa a verificação da transição do fenômeno. Foram utilizados transistores com valores de L_D cada vez menores ($L_D = 4, 6, 7, 8, 10, 15$ e 20 nm) como pode ser visto nas Figuras 76A, B e C. As simulações foram realizadas com esse novos valores de L_D , com o intuito de encontrar o valor de comprimento onde a variação da resistência de extensão fonte/dreno mudasse abruptamente, caracterizando assim a passagem da corrente de espreadimento. Com este método pôde-se calcular o $L_{SP} = 6$ nm, como apontado nos três gráficos.

Diferentemente do modelo de Parada et. al. [41], foi observado esse comportamento para três valores de concentração nas regiões de extensão como mostrado nas Figuras 76A, B e C, demonstrando que o espreadimento acontece de forma constante em relação ao L_{SP} independente da concentração na região de extensão para as larguras de aleta (W_{FIN}) de 16 a 51 nanômetros.

Foi possível, também, verificar que para todas as concentrações de impurezas dopantes (N_D) e para todos os grupos de W_{FIN} , a inclinação da reta do gráfico de $R_{TOT} \times L_D$ muda abruptamente em 6nm. No trabalho de Parada et. al. [41] , o valor encontrado foi de 7nm para uma única concentração de dopantes ($1 \times 10^{20} \text{cm}^{-3}$).

6 AVALIAÇÃO DO MODELO A PARTIR DA SIMULAÇÃO NUMÉRICA

Neste capítulo iremos apresentar os valores de R_{SP1} obtidos através do modelo proposto, comparado com os valores simulados e também com os outros métodos já apresentados. A partir dos dados de resistência de espreadimento obtidos na simulação, nesta seção faremos as três comparações importantes: iremos comparar os valores extraídos com o Modelo de Dixit et. al. [45], de Parada et. al. [41] e do proposto neste trabalho [53].

6.1 Resultados a partir do método de extração da simulação

Dispondo do método de extração proposto por Parada et. al. [41], no Apêndice A seguem as tabelas com todos os valores de resistência obtidos para os diferentes transistores e suas respectivas concentrações de impurezas doadoras: $1 \times 10^{19} \text{ cm}^{-3}$, $5 \times 10^{19} \text{ cm}^{-3}$ e $1 \times 10^{20} \text{ cm}^{-3}$.

Neste Apêndice, pode-se ainda obter também valores das resistências de canal e de extensão. A Figura 77, apresenta a curva da resistência de extensão (R_{EXT}) em função da largura da aleta (W_{FIN}). Por meio deste gráfico é possível perceber que à medida que a concentração de impurezas dopantes da extensão de fonte/ dreno diminui, os valores das resistências aumentam. Isto se dá principalmente pela mudança na resistividade dessas regiões pelo fato de que esse aumento não é linear.

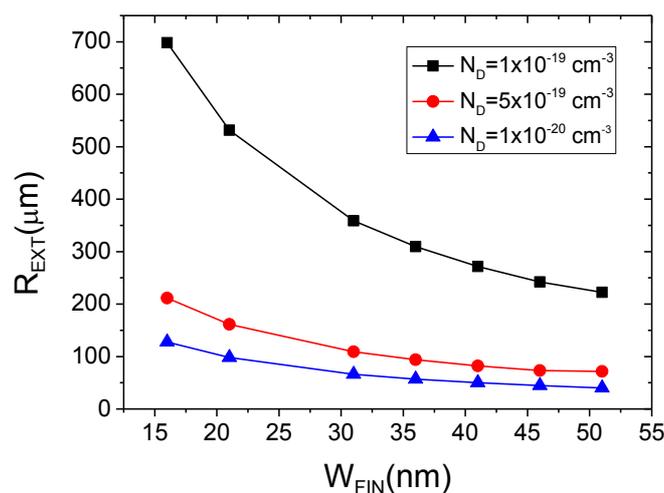


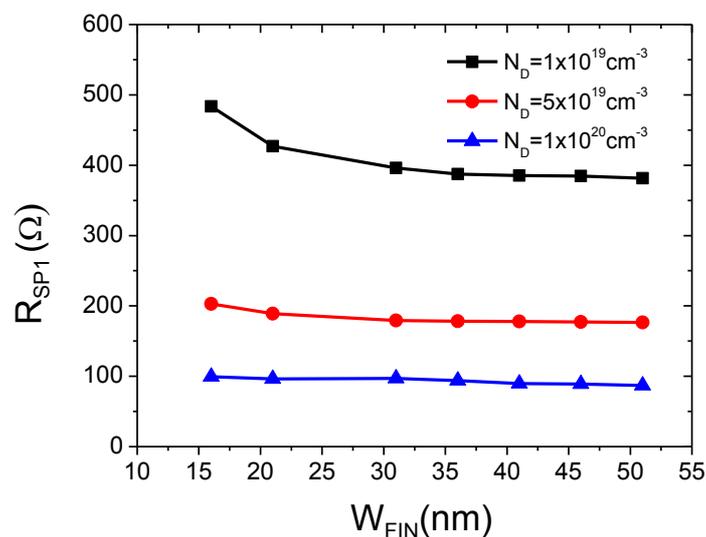
Figura 77. Resistência de Extensão (R_{EXT}) em função da largura da aleta (W_{FIN}) para as três concentrações de dopantes.

6.1.1 Valores médios de R_{SP1}

Na Tabela 5 são apresentados os valores médios da resistência de espraçamento R_{SP1} , $MEXT$. Nessa tabela, é possível observar o valor de R_{SP1} obtida de forma direta da simulação com a unidade dada em $\Omega\mu m$ e ao mesmo tempo, nas colunas ao lado e para cada concentração, o valor multiplicado pela razão $1/60nm$ ou $1000/60\mu m$ referente à influência da altura da aleta (H_{FIN}) para poder converter os valores para Ω .

Tabela 5. Valores de R_{SP1} extraídos da simulação.

W_{FIN} (nm)	$R_{SP1}(\Omega\mu m)$ $N_D=1 \times 10^{19} cm^{-3}$	$R_{SP1}(\Omega)$ $N_D=1 \times 10^{19} cm^{-3}$	$R_{SP1}(\Omega\mu m)$ $N_D=5 \times 10^{19} cm^{-3}$	$R_{SP1}(\Omega)$ $N_D=5 \times 10^{19} cm^{-3}$	$R_{SP1}(\Omega\mu m)$ $N_D=1 \times 10^{20} cm^{-3}$	$R_{SP1}(\Omega)$ $N_D=1 \times 10^{20} cm^{-3}$
16	29,026	483,766	12,171	202,850	5,971	99,516
21	25,619	426,983	11,350	189,167	5,783	96,383
31	23,754	395,900	10,749	179,150	5,815	96,916
36	23,248	387,467	10,702	178,367	5,630	93,833
41	23,108	385,133	10,675	177,917	5,376	89,600
46	23,066	384,433	10,625	177,083	5,327	88,783
51	22,885	381,416	10,580	176,333	5,204	86,733

Figura 78. Gráfico de R_{SP1} em função de W_{FIN} .

De posse dos dados da Tabela 5, observa-se que quanto maior a concentração de doadores (N_D), menor será a resistência. Observando a Figura 78, podemos concluir que o espraçamento mantém um comportamento constante para as maiores concentrações de

extensão, e que para a menor concentração, o mesmo começa a possuir um comportamento crescente por conta da menor largura da aleta ou distância entre as portas (W_{FIN}).

O gráfico segue a mesma tendência da resistência de extensão expressa na Figura 37, pelo espriamento e a parcela de extensão serem dependentes da influência do campo elétrico vertical e não da concentração de dopantes na extensão.

6.2 Comparação dos resultados extraídos com o modelo de Dixit et. al. [45]

Para o cálculo da expressão do Dixit (eq. (34)), foi necessária a obtenção da parcela de resistividade, obtida pela expressão (51) e expressa para todas as larguras e concentrações de dopantes na

Tabela 6.

$$\rho = \frac{\tau_{EXT}}{L_D} * W_{FIN} * H_{FIN} \quad (51)$$

Tabela 6. Valores de resistividade ρ extraídos da simulação.

W_{FIN} (nm)	$\rho(\Omega/\mu m)$ $N_D=1 \times 10^{19} \text{ cm}^{-3}$	$\rho(\Omega/\mu m)$ $N_D=5 \times 10^{19} \text{ cm}^{-3}$	$\rho(\Omega/\mu m)$ $N_D=1 \times 10^{20} \text{ cm}^{-3}$
16	58,183	17,600	10,103
21	58,116	17,616	10,185
31	57,950	17,583	10,185
36	58,000	17,600	10,163
41	57,983	17,516	10,153
46	58,000	17,600	10,153
51	59,083	17,600	10,151

O valor de x_c adotado foi igual a 2,5nm como feito nas comparações por Parada et. al. [41]. Pela eq. (34):

$$R_{SP1} = \frac{1}{2} \left\{ \frac{2}{\pi} * \frac{58,183 * 1000}{60} * \ln \left[0,75 * \frac{\left(\frac{16}{2}\right)}{2,5} \right] \right\} = 270,23\Omega$$

Esse exemplo demonstra o modo como foram calculadas todas as resistências de espriamento para cada W_{FIN} e N_D do grupo de simulações (Tabela 7).

Ao compararmos o modelo de Dixit com os resultados obtidos pelo método de extração de Parada quanto à resistência de espreadimento R_{SP1} , é possível notar que o uso deste método apresentou erros de até 67,2%, por conta do modelo de Dixit considerar o espreadimento em $W_{FIN}/2$, o que já verificamos por meio dos resultados de simulação que não é verídico pois acontece sobreposições ou espreadimentos rasos.

Tabela 7. R_{SP1} pelo Dixit et. al. [45] e os erros em relação ao R_{SP1} extraído da simulação.

W_{FIN} (nm)	$R_{SP1}(\Omega)$ Dixit $N_D=1 \times 10^{19} \text{cm}^{-3}$	$R_{SP1}(\Omega)$ Dixit $N_D=5 \times 10^{19} \text{cm}^{-3}$	$R_{SP1}(\Omega)$ Dixit $N_D=1 \times 10^{20} \text{cm}^{-3}$	Erro (Dixit-Simulado)/ Simulado (%) $N_D=1 \times 10^{19} \text{cm}^{-3}$	Erro (Dixit-Simulado)/ Simulado (%) $N_D=5 \times 10^{19} \text{cm}^{-3}$	Erro (Dixit-Simulado)/ Simulado (%) $N_D=1 \times 10^{20} \text{cm}^{-3}$
16	270,23593	81,776	46,921	44,140	59,685	52,854
21	353,8216	107,319	61,998	17,133	43,265	35,679
31	472,52239	143,424	82,862	19,351	19,939	14,497
36	519,04557	157,431	90,870	33,958	11,733	3,151
41	558,73021	168,944	97,846	45,077	5,043	9,197
46	594,46047	180,367	104,046	54,631	1,857	17,184
51	637,74629	204,792	109,585	67,204	16,141	26,340

Na Figura 79, podemos observar que para a menor concentração de dopantes ($1 \times 10^{19} \text{cm}^{-3}$), apenas um ponto coincide com os valores simulados, o que indica que para este grupo de dispositivos o modelo do Dixit não se aplica, apenas tendo uma aplicação para as maiores concentrações de dopantes a partir de 30 nanômetros. É importante ressaltar que a tendência da curva de Dixit apresentou ser diferente das curvas adotadas nesta dissertação e no trabalho de Parada [49], devido ao modelamento da ref. [45] não considerar o comprimento de L_{SP} e a não observância da tendência da resistência de extensão (R_{EXT}) obtida em separado e expressa no gráfico da Figura 77.

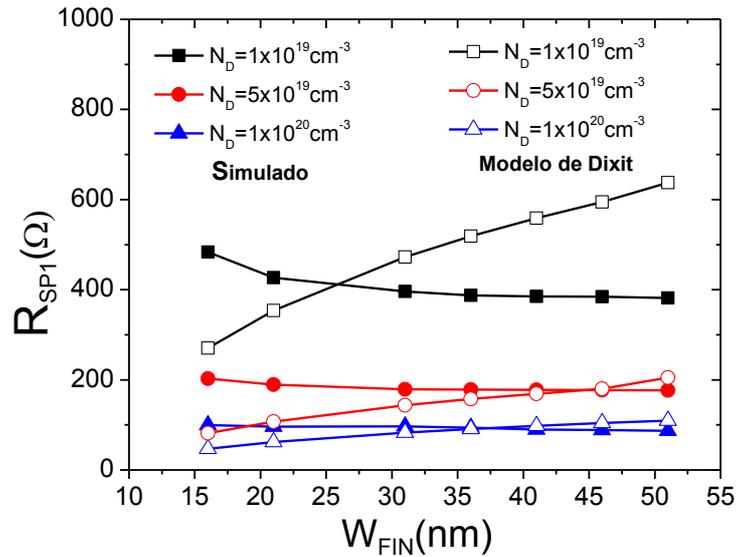


Figura 79. Comparação do Modelo proposto por Dixit com o Método de extração da simulação.

6.3 Comparação dos resultados extraídos com o modelo de Parada [49]

O modelo de Parada, como já citado no capítulo 5 depende de parâmetros de ajuste, como o ângulo de espriamento (α), o que compromete a precisão do modelo, pois é extraído da simulação como um dado vetor gerado pela grade adotada. Este modelo considera toda a região de espriamento acontecendo em uma seção de coroa circular.

Para o cálculo utilizando o modelo de Parada e comparar com os dados extraídos da simulação, foram utilizados os seguintes parâmetros: x_c igual a 2,5nm, $L_{SP}= 7$ nm e o ângulo α dependendo do W_{FIN} , obtido pela observação dos vetores de densidade de corrente e plotados no gráfico da Figura 70. De posse desses valores, para calcular qualquer valor pelo método de Parada é necessário utilizar a eq. (37) e declarar todos os parâmetros, como feito no exemplo da expressão (52), que calculou a R_{SP1} para $W_{FIN}=16$ nm em $N_D=1 \times 10^{19} \text{ cm}^{-3}$ com $\alpha=42^\circ$ ou 0,733rad (conforme Tabela 9).

$$R_{SP1} = \frac{1}{2} * \frac{58,183 * 1000}{0,733 * 60} * \ln \left(\frac{7 + \frac{2,5}{\tan(0,733)}}{\frac{2,5}{\tan(0,733)}} \right) = 832,618 \Omega \quad (52)$$

Para o cálculo das demais concentrações, foi admitido os utilizar os ângulos adotados em $N_D=1 \times 10^{20} \text{ cm}^{-3}$.

Tabela 8. Ângulo α em função de W_{FIN} com $N_D=1 \times 10^{20} \text{cm}^{-3}$ para o modelo analítico de Parada et. al. [41].

W_{FIN} (nm)	α (°)	α (rad.)
16	42	0,733
21	45	0,785
31	47	0,820
36	48	0,838
41	48	0,838
46	49	0,855
51	49	0,855

A Tabela 9 apresenta todos os valores de resistência obtidos com o modelo de Parada e os erros relativos à comparação dos resultados do modelo com os dados extraídos de simulação. Nessa tabela é possível verificar que o maior erro ficou em torno de 117,36% para a menor concentração, justificado pelo fato do ângulo α ter sido admitido como sendo o proposto para a concentração de impurezas dopantes, ou seja, igual a $1 \times 10^{20} \text{cm}^{-3}$.

Tabela 9. R_{SP1} obtido pelo modelo analítico de Parada et. al. [41] e os erros em relação ao R_{SP1} extraído da simulação.

W_{FIN} (nm)	$R_{SP1}(\Omega)$ Parada $N_D=1 \times 10^{19} \text{cm}^{-3}$	$R_{SP1}(\Omega)$ Parada $N_D=5 \times 10^{19} \text{cm}^{-3}$	$R_{SP1}(\Omega)$ Parada $N_D=1 \times 10^{20} \text{cm}^{-3}$	Erro (Parada-Simulado)/ Simulado (%) $N_D=1 \times 10^{19} \text{cm}^{-3}$	Erro (Parada-Simulado)/ Simulado (%) $N_D=5 \times 10^{19} \text{cm}^{-3}$	Erro (Parada-Simulado)/ Simulado (%) $N_D=1 \times 10^{20} \text{cm}^{-3}$
16	832,618	230,362	132,176	72,108	13,563	32,807
21	823,341	228,926	132,252	92,829	21,021	37,203
31	816,567	227,596	131,491	106,252	27,044	35,681
36	815,637	227,367	131,237	110,504	27,476	39,870
41	815,136	226,525	131,194	111,654	27,320	46,414
46	814,059	227,199	131,061	111,753	28,305	47,611
51	829,047	244,884	131,038	117,360	38,878	51,074

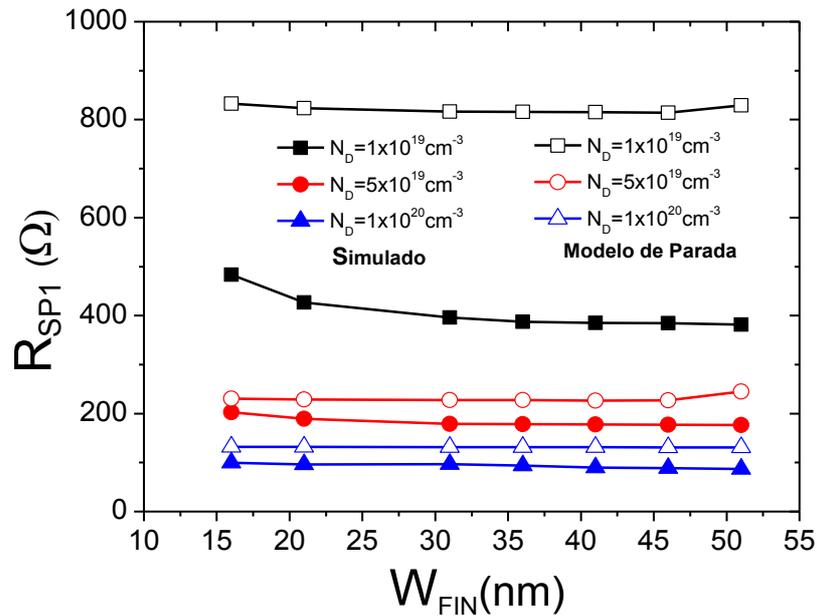


Figura 80. Comparação do Modelo Proposto de Parada com o Método de extração da simulação.

Ao realizar a comparação dos dados extraídos com os obtidos pelo modelo (Figura 80), nota-se que o modelo de Parada mantém a mesma tendência dos valores extraídos, porém não coincide com nenhum valor simulado. Isto é devido ao fato do modelo não ter sido considerado para outras concentrações e nem que o espraçamento seria menor do que o modelo considerava pela falta de precisão na obtenção do ângulo de espraçamento (**capítulo 5**), da espessura de canal x_c e do comprimento de espraçamento em comparação ao modelo proposto neste trabalho. Porém pode-se notar que para a faixa de maiores concentrações o modelo se aproxima e apresenta erros de 13 a 51%.

6.4 Comparação dos resultados extraídos com o Modelo Proposto neste trabalho [53]

Ao aplicar o modelo descrito no capítulo 5 foi possível comparar os valores extraídos da simulação com os calculados, como mostra a Tabela 10. Observando esta tabela, conclui-se que a modelagem adotada, apresentou erros de no máximo 7,9%, ou seja, os resultados estão bem próximos dos valores simulados, por causa das condições impostas aos parâmetros contribuir para a aproximação da expressão (45) com o valor simulado. Ou seja, a ideia da área efetiva ou diferença entre resistência elétrica de regiões delimitadas reproduz fielmente o efeito do espraçamento da corrente.

Tabela 10. Modelo de R_{SP1} Proposto e os erros em relação ao R_{SP1} extraído da simulação.

W_{FIN} (nm)	$R_{SPI}(\Omega)$ Proposto $N_D=1 \times 10^{19} \text{cm}^{-3}$	$R_{SPI}(\Omega)$ Proposto $N_D=5 \times 10^{19} \text{cm}^{-3}$	$R_{SPI}(\Omega)$ Proposto $N_D=1 \times 10^{20} \text{cm}^{-3}$	Erro Simulado/ Proposto (%) $N_D=1 \times 10^{19} \text{cm}^{-3}$	Erro Simulado/ Proposto (%) $N_D=5 \times 10^{19} \text{cm}^{-3}$	Erro Simulado/ Proposto (%) $N_D=1 \times 10^{20} \text{cm}^{-3}$
16	481,961	195,147	99,362	0,374	3,797	0,163
21	417,201	191,531	97,336	2,290	1,252	0,980
31	410,665	181,858	96,081	3,727	1,513	0,857
36	393,556	184,799	95,556	1,571	3,609	1,842
41	384,140	166,103	92,188	0,255	6,640	2,882
46	374,959	163,046	91,954	2,465	7,923	3,565
51	371,233	164,932	87,755	2,669	6,463	1,172

Por meio da Figura 81, é mais fácil perceber por meio dos símbolos cheios os valores simulados e os símbolos vazios os valores calculados, o que demonstra que a resistência de espraçamento tem um comportamento exponencial decrescente. Na menor concentração de dopantes, nota-se que a curva reproduz fielmente a tendência da resistência de espraçamento aumentar à medida que se diminui a largura da aleta (W_{FIN}). Em seguida, por conta da diferença de resistividade nota-se que as curvas com $N_D=5 \times 10^{19} \text{cm}^{-3}$ e $1 \times 10^{20} \text{cm}^{-3}$ apresentam um valor menor de espraçamento, mas que também nestes dois casos não apresentam erros consideráveis o que possibilita o uso desse modelo para esta gama de dimensões e concentrações de transistores.

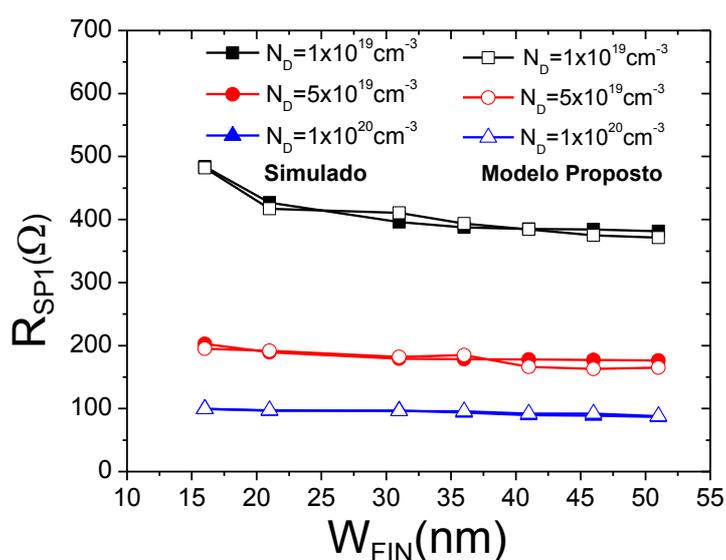


Figura 81. Comparação do Modelo Analítico Proposto com Método de extração da simulação.

6.5 Importância da Resistência de Espreadimento sobre a Resistência Total

A Tabela 11 apresenta a importância da parcela da resistência de espreadimento (R_{SP1}) sobre a resistência da região de extensão de fonte e dreno (R_{EXT}). Por meio dessa tabela é possível observar que, sobre a R_{EXT} a parcela de R_{SP1} chega a representar quase que 34% de contribuição do efeito parasitário sobre a resistência série do dispositivo. Lembrando que não foi considerado a Resistência de contato (R_C) neste estudo.

A componente R_{SP1} é importante e deve ser considerada no cálculo da resistência parasitária (R_{PARA}), pois devido ao valor significativo, a R_{EXT} torna-se considerável à medida que se aumenta W_{FIN} , e a parcela de R_{SP1} acompanha essa influência (Figura 82).

Tabela 11. Relevância da parcela de R_{SP1} sobre R_{EXT} para duas concentrações N_D .

W_{FIN} (nm)	R_{SP1}/R_{EXT} Simulação $N_D=1 \times 10^{19} \text{ cm}^{-3}$ (%)	R_{SP1}/R_{EXT} Simulação $N_D=5 \times 10^{19} \text{ cm}^{-3}$ (%)
16	9,502	13,167
21	11,018	16,094
31	15,126	22,551
36	17,174	26,064
41	19,715	29,720
46	21,773	33,055
51	23,518	33,858

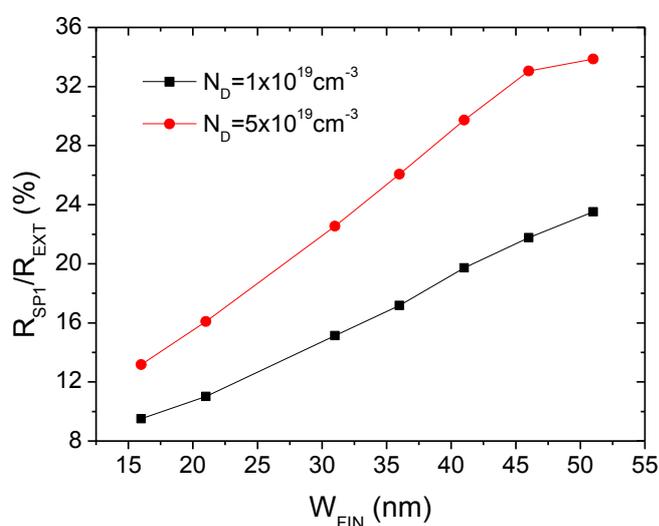


Figura 82. Relevância da parcela de R_{SP1} sobre R_{EXT} para duas concentrações de impurezas dopantes.

7 CONCLUSÕES

Ao analisar as estruturas de porta dupla e tripla, podem-se notar algumas semelhanças e diferenças no caminho da corrente. É importante citar que no regime de sublimiar a corrente sofre influência do potencial das portas e as cargas ficam afastadas das mesmas. À medida que se aumenta o potencial das portas, as cargas se deslocam e formam as regiões de depleção, ao atingir o limiar elas ficam próximas da região das portas. É nesse regime que se pode observar o espraiamento da corrente e propor um modelo para o dispositivo de porta dupla. No pós-limiar a corrente encontra-se toda na região das portas e o efeito de canto é mais notável. Nos três regimes notou-se uma densidade maior de corrente abaixo da região de siliceto e que se reduz à medida que avança ao longo do comprimento da região de alta dopagem HDD e da altura da aleta (H_{FIN}).

Depois de verificado esse efeito da corrente ligado à resistência parasitária, foi proposto um novo modelo analítico para obtenção da resistência de espraiamento em transistores FinFET através de diversas simulações realizadas em diferentes transistores. Sua precisão foi confirmada quando comparado com os resultados obtidos através do método de extração proposto por Parada. A necessidade do uso de simulação numérica utilizando efeito quântico mostrou ser independente da largura do dispositivo, para efeitos como o do espraiamento nas regiões de fonte e dreno.

O modelo mostrou-se eficaz por não utilizar parâmetros de ajuste como os modelos já presentes na literatura. Por meio dos resultados extraídos, obteve-se uma expressão para o ângulo de espraiamento (α) válido para as três concentrações de impurezas dopantes consideradas neste trabalho. Verificou-se ainda, que pela espessura do canal x_c e independente de W_{FIN} , é necessário considerar a análise quântica, para que os resultados possam se aproximar do dispositivo real.

O modelo apresentou uma aplicabilidade maior em relação aos outros modelos estudados, já que mostrou ser eficiente para obter a componente R_{SP1} da resistência parasitária independente da concentração de dopantes. Além disso, foi possível verificar a relação de α com a R_{SP1} , ou seja, de que o ângulo de espraiamento α é diretamente proporcional a R_{SP1} e inversamente proporcional a W_{FIN} .

Foi possível também comparar os resultados obtidos com os dos modelos disponíveis na literatura e, conforme verificado, o modelo proposto neste trabalho demonstrou melhores

resultados, com todos os transistores e em diferentes concentrações de dopantes, apresentando erros máximos em torno de 8%. Isso ocorre pelo fato deste novo modelo trazer o conceito de que o espriamento é o resultado da diferença de correntes em uma dita área efetiva, onde de fato, o efeito ocorre.

Por fim, é fundamental o estudo desse efeito para conhecimento de formas de redução das resistências parasitárias, pois foi apresentado que a resistência de espriamento (R_{SP1}) equivale em alguns casos a 34% da resistência de extensão (R_{EXT}) demonstrando que o efeito do espriamento tem de ser considerado também para cálculo do nível de corrente e futuros aprimoramentos de modelos e associações de resistências parasitárias, como a R_{SP2} citada na seção

Como sugestão para trabalhos futuros recomenda-se o estudo específico das parcelas da corrente das estruturas com siliceto e diferentes regiões de dopagem, a possível modelagem da corrente que chega aos contatos, bem como, a resistência de contato (R_C).

Outra sugestão seria a aplicação do modelo de resistência de espriamento 1 nas estruturas com siliceto para cálculo da resistência total e cálculo da parcela da resistência de espriamento 2 (R_{SP2}) que não foi abordada neste presente trabalho. Se possível, com todas essas parcelas calculadas, levantar a ordem de grandeza e relevância de cada uma e comparar com resultados experimentais, mesmo que sejam apenas da região de extensão de fonte e dreno.

REFERÊNCIAS

- [1] SZE, S. M.; NG, K. K. **Physics of Semiconductors Devices**. 3rd. ed. New Jersey, Canada: Wiley- Interscience, 2007.
- [2] VEERARAGHAVAN, S.; FOSSUM, J. G. Short- Channel Effects in SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 36, p. 522 - 528, Mar. 1989.
- [3] FERAIN, I.; COLINGE, C. A.; COLINGE, J.-P. Multigate transistors as the future of classical metal-oxide-semiconductor field-effect transistors.
NATURE - International Weekly Journal of Science, London, v. 479, p. 310 - 316, Nov. 2011.
- [4] ITRS. **International Technology Roadmap for Semiconductors 2010 Update Overview**, 2010. Disponível em:
<http://www.itrs.net/Links/2010ITRS/2010Update/ToPost/2010_Update_Overview.pdf>. Acesso em: 22 Nov. 2011.
- [5] MOORE, G. Cramming more components onto integrated circuits. **Electronics**, v. 38, p. 114, Apr. 1965.
- [6] HOYT, J. L. et al. Strained Silicon MOSFET technology. **IEDM Digest of Technical Papers**, San Francisco, p. 23 - 26, Dec. 2002.
- [7] COLINGE, J.-P. **Silicon-On-Insulator Technology: Materials to VLSI**. 3rd. ed. Massachusetts, EUA: Kluwer Academic Publishers, 2004.
- [8] POLJAK, M.; JOVANOVIĆ, V.; SULIGOJ, T. SOI vs. Bulk FinFET: Body Doping and Corner Effects Influence on Device Characteristics. **The 14th IEEE Mediterranean Electrotechnical Conference - MELECON 2008.**, Ajaccio, France, v. 1, p. 425- 430, May. 2008.
- [9] INTEL. **Moore's Law and Intel Innovation- Advancing silicon technology**, 2011. Disponível em:
<<http://www.intel.com/about/companyinfo/museum/exhibits/moore.htm>>. Acesso em: 22 nov. 2011.

- [10] SEKIGAWA, T.; HAYASHI, Y. Calculated threshold-voltage characteristics of an XMOS transistor having additional bottom gate. **Solid State Electron**, Granada, v. 27, p. 827-828, Sept. 1984.
- [11] TENBROEK, B. M. et al. Self-Heating Effects in SOI MOSFET's and Their Measurement by Small Signal Conductances Techniques. **IEEE Transactions On Electron Devices**, Piscataway, USA, v. 43, p. 2240-2248, Dec. 1996.
- [12] COLINGE, J.-P. **FinFET and Other Multi-Gate Transistors**. Massachusetts, EUA: Springer, 2008.
- [13] MARTINO, J. A.; PAVANELLO, M. A.; VERDONCK, P. B. **Caracterização Elétrica de Tecnologia e Dispositivos MOS**. São Paulo: Thomson, 2003.
- [14] SEDRA, A. S.; SMITH, K. **Microelectronics Circuits**. 5. ed. New York, EUA: Oxford University, 2004.
- [15] COURTLAND, R. **Intel Transistors Enter the Third Dimension**, 2011. Disponível em: <<http://spectrum.ieee.org/tech-talk/semiconductors/design/intels-new-transistors-enter-the-third-dimension>>. Acesso em: 19 nov. 2011.
- [16] BALESTRA, F. SOI- A Platform for Transistion From Micro to Nano. **International Semiconductor Conference CAS 2009**, Sinaia, Romania, v. 1, p. 3-12, Oct. 2009.
- [17] JIAN CHEN, P. K. K. C. H. Effects of the field-edge transistor On SOI MOSFETs. **International Symposium pon VLSI Technology, Systems and Applications. Proceedings of Technical Paper.**, Taipei, Taiwan, may 1991. 219-223.
- [18] NICOLETT, A. S.; AL., E. Extraction of the lightly doped drain concentration of fully depleted SOI nMOSFETs using the back gate bias effect. **Solid-State Electronics**, v. 44, p. 677-684, 2000.
- [19] GENTINE, B. **A Study of the Potential of SOI Technology for Analog Applications**. Louvain: Catholic University of Louvain, 1996.
- [20] YOUNG, K. J. Short-Channel Effect in Fully Depleted SOI MOSFET's. **IEEE Transactions on Electron Devices**, Piscataway, USA, v. 36, p. 399- 402, Feb. 1989.

- [21] TSUCHIYA, T.; SATO, Y.; TOMIZAWA, M. Three Mechanisms Determining Short-Channel Effects in Fully-Depleted SOI MOSFET's. **IEEE Transactions On Electron Devices**, Piscataway, USA, v. 45, p. 1116-1121, May 1998.
- [22] COLINGE, J. P. **In:** The evolution of Silicon-On-Insulator MOSFETs. International Semiconductor device Research Symposium,1. Washington, USA: [s.n.]. Dec. 2003. p. 354 - 355.
- [23] ANSARI, L. et al. Simulation of junctionless Si nanowire transistors with 3nm gate length. **Applied Physics Letters**, New York, v. 97, p. 062105 - 062105-3 , Mar. 2010.
- [24] SEKIGAWA, T.; HAYASHI, Y. Calculated threshold-voltage characteristics of an X MOS transistor having an additional bottom gate. **Solid State Electron**, v. 27, p. 827-828, Aug. 1984.
- [25] BALESTRA, F. et al. Double-gate-silicon-on-insulator transistor with volume inversion: A new device with greatly enhanced performance. **IEEE Electron Device Letters**, Dallas, v. 8, p. 410-412, Sept. 1987.
- [26] AKARVARDAR, K. et al. Investigation of the four-gate action in G4-FETs. **IEEE Electron Transaction On Devices**, Dallas, v. 51, p. 1931 - 1935, Nov. 2004.
- [27] CRISTOLOVEANU, S. et al. **A review of the SOI four-gate Transistor-ESSDERC**. In: International Conference on Solid-State and Integrated Circuit Technology, 8. Shanghai: [s.n.]. Oct. 2006. p. 31 - 34.
- [28] C et al. Device Design and Optimization Considerations for Bulk FinFETs. **IEEE Transactions on Electron Devices**, Piscataway, USA, v. 55, p. 609 - 615, Feb. 2008.
- [29] MALHEIRO, C. T.; AGOPIAN, P. G. D.; GIACOMINI, R. C. Study of Different Triple- Gate Structures Through 3D Simulation. **Students Forum- SFORUM 2011**, João Pessoa, BR, Sept. 2011.
- [30] LIU, J. et al. Low Leakage Bulk Silicon Substrate Based SDOI FINFETs. **Solid-State and Integrated Circuit Technology (ICSICT)**, Shanghai, China, p. 1820-1822, Nov. 2010.

- [31] JIANG BO, H. P. T. L. L. X. A Modified DSOI (Drain/Source on Insulator) Device. **PROC. 23rd INTERNATIONAL CONFERENCE ON MICROELECTRONICS (MIEL 2002)**, , YUGOSLAVIA, 12-15 MAY, 2002, Jugoslávia, v. 2, p. 487-490, May 2002.
- [32] LANDGRAF, E. et al. Influence of crystal orientation and body doping on trigate transistor performance. **Solid-State Electronics**, Granada, USA, v. 50, p. 38 - 43, Jan. 2006.
- [33] S.-MARTIN, J.; BOURNEL, A.; DOLLFUS, P. Comparison of multiple-gate MOSFET architectures using Monte Carlo simulation. **Solid-State Electronics**, Granada, USA, v. 50, p. 94, Jan. 2006.
- [34] STREETMAN, B. G.; BANERJEE, S. K. **Solid States Electronic Devices**. 6. ed. New Jersey, EUA: Prentice Hall, 2009.
- [35] WONG, H.-S. et al. Modeling of transconductance degradation and extraction of threshold voltage in thin oxide MOSFET's. **Solid-State Electronics**, v. 30, p. 953-968, 1987.
- [36] SANCHEZ, F. J. G.; ORTIZ-CONDE, A.; MUCI, J. Understanding Threshold Voltage in Undoped- Body MOSFETs: An appraisal of various criteria. **Microelectronics Reliability**, v. 46, p. 731-742, 2006.
- [37] CUNHA, A. I. A. et al. Direct determination of threshold condition in DG-MOSFETs from the gm/ID curve. **SOLID-STATE ELECTRONICS**, p. 89-94, Feb. 2011.
- [38] CUNHA, A. I. A. et al. **Extraction of MOSFET effective channel length and width based on the transconductance-to-current ratio**. In: NSTI Nanotech 2005-Workshop on Compact Modeling, 1. Anaheim: [s.n.]. 2005. p. 139-141.
- [39] HAYT, W. H.; BUCK, J. A. **Eletromagnetismo**. 6. ed. Rio de Janeiro: LTC, 2003.
- [40] HU, W. et al. Quantum- mechanical effects and gate leakage current of nanoscale n-type FinFETs: A 2D simulation study. **Microelectronics Journal**, v. 37, p. 613-619, July 2006.

- [41] PARADA, M. G. O. et al. A Compact Model and an Extraction Method for the FinFET Spreading Resistance. **ECS Transactions, Microelectronics Technology and Devices**, Pennington, v. 39, p. 255- 262, Sept. 2011.
- [42] REZENDE, S. M. **Materiais e Dispositivos Eletrônicos**. 2. ed. São Paulo: Livraria da Física, 2004.
- [43] GASIOROWICS, S. **Quantum Physics**. 3. ed. Michigan, USA: John Wiley and Son , 2003.
- [44] HUGH D. YOUNG, R. A. F. **Sears e Zemansky Física IV: Ótica e Física Moderna**. 10. ed. São Paulo, Brasil: Addison Wesley, 2004.
- [45] DIXIT, A. et al. Analysis of the Parasitic S/D Resistance in Multiple-Gate FETs. **IEEE Transactions On Electron Devices**, New York, v. 52, p. 1132- 1140, Jun. 2005.
- [46] TAUR, Y.; LIANG, X.; WEI WANG, H. L. A Continuous, Analytic Drain- Current Model for DG MOSFETs. **IEEE Electron Device Letters**, Dallas, v. 25, p. 107- 109, Feb. 2004.
- [47] BACCARANI, G.; SAI-HALASZ, G. A. Spreading Resistance in Submicron MOSFET's. **IEEE ELECTRON DEVICE LETTERS**, New York, v. 4, p. 27- 29, Feb. 1983.
- [48] MALHEIRO, C. T.; AGOPIAN, P. G. D.; GIACOMINI, R. C. Spreading Resistance Extraction for Double Gate SOI FinFET. **In: Seminatec - Workshop on Semiconductors and Micro & Nano Technology**, 6, Campinas, p. 43- 43, Mar. 2011.
- [49] PARADA, M. G. D. O. **Análise e Modelagem da Resistência de Espreadimento em Transistores FinFET**. São Bernardo do Campo: FEI, v. Tese de Mestrado, 2011.
- [50] SILVACO, A. **Atlas Device Simulator User's Manual v. 5.10.0.R**. California, USA: Silvaco Int., 2008.
- [51] COLINGE, J.-P.; COLINGE, C. A. **Physics of Semiconductor Devices**. Massachusetts: Kluwer Academic, 2002.

- [52] PEI, G.; KEDZIERSKI, J.; AL., P. O. E. FinFET Design Considerations Based on 3-D Simulation and Analytical Modeling. **IEEE Transaction On Electron Devices**, Piscataway, v. 49, p. 1411-1419, Aug. 2002.
- [53] MALHEIRO, C. T.; PEREIRA, A. S. D. N.; GIACOMINI, R. **An Analytical Estimation Model for Spreading Resistance of Double- Gate FinFETs**. In: International Caribbean Conference on Devices, Circuits and Systems - ICCDCS, 8. Playa Del Carmen, MEX: [s.n.]. 2012. p. 1 - 4.

**APÊNDICE A – TABELA CONTENDO TODOS OS DADOS EXTRAÍDOS DA
SIMULAÇÃO ATRAVÉS DO METÓDO DE PARADA [29].**

Valores de resistência obtidos através das simulações para $N_D=1 \times 10^{19} \text{ cm}^{-3}$

W_{FIN} (nm)	L (nm)	L_D (nm)	R_{TOT} (Ω)	L_{SP} (nm)	R_{CH} (Ω)	R_{EXT} (Ω)	R_{SP} (Ω)
16	150	90	14437,967	6	3287,500	5091,100	484,133
		100	15649,800			5697,183	483,967
		110	16862,067			6303,267	484,017
		120	18074,450			6909,350	484,117
	150	90	14437,967		3287,500	5091,100	484,133
	160		14652,517		3506,667		481,817
	170		14877,683		3725,833		484,817
	180		15093,483		3945,000		483,150
21	150	90	11892,450	6	3287,500	3875,067	427,417
		100	12814,083			4336,383	426,917
		110	13737,500			4797,700	427,300
		120	14660,067			5259,017	427,267
	150	90	11892,450		3287,500	3875,067	427,417
	160		12126,100		3506,667		434,650
	170		12329,550		3725,833		426,800
	180		12531,167		3945,000		418,033
31	150	90	9312,867	6	3287,500	2617,300	395,383
		100	9936,617			2928,883	395,683
		110	10560,483			3240,467	396,033
		120	11182,133			3552,050	395,283
	150	90	9312,867		3287,500	2617,300	395,383
	160		9534,483		3506,667		396,600
	170		9750,983		3725,833		395,283
	180		9974,817		3945,000		397,617

Continua

Valores de resistência obtidos através das simulações. Continuação

W_{FIN} (nm)	L (nm)	L_D (nm)	R_{TOT} (Ω)	L_{SP} (nm)	R_{CH} (Ω)	R_{EXT} (Ω)	R_{SP} (Ω)
36	150	90	8574,667	6	3287,500	2256,167	387,417
		100	9111,767			2524,767	387,383
		110	9648,883			2793,350	387,350
		120	10186,250			3061,933	387,433
	150	90	8574,667		3287,500	2256,167	387,417
	160		8801,433		3506,667		391,217
	170		9010,633		3725,833		386,233
	180		9227,917		3945,000		385,283
41	150	90	9312,867	6	3287,500	2617,300	384,700
		100	9936,617			2928,883	384,700
		110	10560,483			3240,467	384,800
		120	11182,133			3552,050	384,667
	150	90	9312,867		3287,500	2617,300	384,700
	160		9534,483		3506,667		383,550
	170		9750,983		3725,833		386,417
	180		9974,817		3945,000		387,433
46	150	90	7625,283	6	3315,000	1765,600	389,533
		100	8045,450			1975,800	389,433
		110	8465,933			2186,000	389,467
		120	8886,400			2396,183	389,517
	150	90	7625,283		3315,000	1765,600	389,533
	160		7812,267		3536,000		389,183
	170		8060,350		3757,000		386,067
	180		8248,033		3978,000		369,400
51	150	90	7242,500	6	3225,000	1621,817	386,917
		100	7543,800			1814,900	344,500
		110	7998,867			2007,967	378,950
		120	8377,967			2201,050	375,433
	150	90	7242,500		3225,000	1621,817	386,917
	160		7459,683		3440,000		388,017
	170		7688,833		3655,000		395,083
	180		7904,633		3870,000		395,499

Valores de resistência obtidos através das simulações para concentração de $N_D=5 \times 10^{19} \text{ cm}^{-3}$.

W_{FIN} (nm)	L (nm)	L_D (nm)	R_{TOT} (Ω)	L_{SP} (nm)	R_{CH} (Ω)	R_{EXT} (Ω)	R_{SP} (Ω)
16	150	90	6769,500	6	3283,000	1540,617	202,633
		100	7136,167			1724,033	202,550
		110	7503,050			1907,433	202,567
		120	7869,917			2090,850	202,600
	150	90	6769,500		3283,000	1540,617	202,633
	160		6990,333		3501,867		203,617
	170		7209,100		3720,733		203,550
	180		7426,117		3939,600		202,633
21	150	90	6014,050	6	3283,000	1175,367	190,150
		100	6292,400			1315,283	189,417
		110	6572,900			1455,217	189,733
		120	6853,383			1595,133	190,050
	150	90	6014,050		3283,000	1175,367	190,150
	160		6236,217		3501,867		191,800
	170		6444,100		3720,733		186,317
	180		6661,633		3939,600		185,650
31	150	90	5228,250	6	3283,000	794,417	178,200
		100	5417,333			889,000	178,150
		110	5606,483			983,567	178,167
		120	5795,717			1078,150	178,200
	150	90	5228,250		3283,000	794,417	178,200
	160		5452,033		3501,867		180,650
	170		5669,750		3720,733		180,083
	180		5891,450		3939,600		181,483

Continua

Valores de resistência obtidos através das simulações. Continuação

W_{FIN} (nm)	L (nm)	L_D (nm)	R_{TOT} (Ω)	L_{SP} (nm)	R_{CH} (Ω)	R_{EXT} (Ω)	R_{SP} (Ω)
36	150	90	5008,983	6	3283,000	684,317	178,683
		100	5171,800			765,783	178,617
		110	5334,733			847,250	178,617
		120	5497,767			928,717	178,667
	150	90	5008,983		3283,000	684,317	178,667
	160		5229,550		3501,867		179,517
	170		5440,417		3720,733		175,517
	180		5665,383		3939,600		178,567
41	150	90	4831,328	6	3280,000	598,633	177,017
		100	4974,276			669,900	177,233
		110	5117,334			741,167	177,483
		120	5260,443			812,433	177,783
	150	90	4831,328		3280,000	598,633	177,017
	160		5050,331		3498,667		177,183
	170		5272,879		3717,333		179,133
	180		5494,202		3936,000		180,450
46	150	90	4723,696	6	3292,500	535,717	179,883
		100	4851,143			599,483	179,833
		110	4978,699			663,267	179,833
		120	5106,320			727,033	179,867
	150	90	4723,696		3292,500	535,717	179,883
	160		4927,999		3512,000		172,283
	170		5156,602		3731,500		176,833
	180		5358,747		3951,000		168,150
51	150	90	4586,107	6	3300,000	520,800	172,250
		100	4701,080			582,800	167,733
		110	4839,163			644,800	174,767
		120	4953,386			706,800	169,883
	150	90	4586,107		3300,000	520,800	172,250
	160		4809,488		3413,333		177,267
	170		5044,431		3626,667		188,083
	180		5258,310		3840,000		188,350

Valores de resistência obtidos através das simulações para concentração de $N_D=1 \times 10^{20} \text{ cm}^{-3}$.

W_{FIN} (nm)	L (nm)	L_D (nm)	R_{TOT} (Ω)	L_{SP} (nm)	R_{CH} (Ω)	R_{EXT} (Ω)	R_{SP} (Ω)
16	150	90	5336,767	6	3264,500	936,583	99,567
		100	5546,817			1041,817	99,350
		110	5757,283			1147,050	99,350
		120	5968,183			1252,283	99,567
	150	90	5336,767		3264,500	936,583	99,567
	160		5554,517		3482,133		99,600
	170		5772,117		3699,767		99,600
	180		5989,683		3917,400		99,567
21	150	90	4897,283	6	3264,500	719,417	96,967
		100	5058,800			800,250	96,900
		110	5220,500			881,083	96,917
		120	5382,267			961,917	96,967
	150	90	4893,683		3264,500	719,417	95,183
	160		5113,967		3482,133		96,500
	170		5330,733		3699,767		96,067
	180		5547,417		3917,400		95,583
31	150	90	4455,800	6	3287,500	486,317	97,833
		100	4565,000			540,950	97,800
		110	4674,267			595,133	97,783
		120	4783,633			650,233	97,817
	150	90	4451,650		3287,500	486,317	95,767
	160		4672,667		3506,667		96,683
	170		4890,817		3725,833		96,183
	180		5108,400		3945,000		95,383

Continua

Valores de resistência obtidos através das simulações. Continuação

W (nm)	L (nm)	L _D (nm)	R _{TOT} (Ω)	L _{SP} (nm)	R _{CH} (Ω)	R _{EXT} (Ω)	R _{SP} (Ω)
36	150	90	4327,000	6	3300,000	418,517	94,967
		100	4420,983			465,550	94,933
		110	4515,017			512,567	94,933
		120	4609,133			559,583	94,967
	150	90	4322,717		3300,000	418,517	92,833
	160		4544,000		3520,000		93,467
	170		4762,517		3740,000		92,733
	180		5108,400		3960,000		91,733
41	150	90	4229,173	6	3312,500	382,350	90,983
		100	4311,667			408,617	90,950
		110	4394,222			449,900	90,967
		120	4476,822			491,167	90,983
	150	90	4224,778		3312,500	382,350	88,783
	160		4446,340		3533,333		89,150
	170		4665,110		3754,167		88,117
	180		4883,432		3975,000		86,867
46	150	90	4152,755	6	3317,500	327,450	90,183
		100	4226,278			364,233	90,150
		110	4299,855			401,033	90,150
		120	4373,488			437,817	90,167
	150	90	4148,288		3317,500	327,450	87,950
	160		4370,370		3538,667		88,400
	170		4589,422		3759,833		87,350
	180		4807,785		3981,000		85,933
51	150	90	4092,670	6	3325,000	295,250	88,583
		100	4158,993			328,433	88,567
		110	4225,357			361,600	88,567
		120	4291,727			394,783	88,567
	150	90	4086,870		3325,000	295,250	85,683
	160		4308,992		3546,667		85,900
	170		4528,272		3768,333		84,717
	180		4747,147		3990,000		83,317

APÊNDICE B - ARQUIVO DE SIMULAÇÃO DG SOI FINFET BIDIMENSIONAL

Exemplo de arquivo de simulação de uma das estruturas SOI FinFET de porta dupla utilizando o simulador Atlas Silvaco 2D.

```
#####
# Double-gate #
# Canal tipo N #
# Comprimento de canal: 150 nm #
# Comprimento de Fonte e Dreno: 90 nm #
# Largura do dispositivo: 21 nm #
# Concentração das extensões: 1e20 cm-3#
# Concentração de dopantes: 1e16 cm-3 #
#####

go atlas simflags="-P 32"
TITLE SOI device simulation
#####
# Dual-gate

set L=150_wT25_Ld90
#####
# Grade no plano xy #
#####

mesh space.mult=1.0
x.mesh loc=-0.097 spac=0.003
x.mesh loc=-0.075 spac=0.003
x.mesh loc=-0.060 spac=0.009
x.mesh loc=-0.040 spac=0.009
x.mesh loc=0.00 spac=0.009
x.mesh loc=0.040 spac=0.009
x.mesh loc=0.060 spac=0.009
x.mesh loc=0.075 spac=0.003
x.mesh loc=0.097 spac=0.003
x.mesh loc=-0.167 spac=0.003
x.mesh loc=0.167 spac=0.003
#
y.mesh loc=-0.0125 spac=0.0007
y.mesh loc=-0.0105 spac=0.00005
y.mesh loc=-0.0095 spac=0.0001
y.mesh loc=-0.0060 spac=0.0001
y.mesh loc=0.00 spac=0.001
y.mesh loc=0.0060 spac=0.0001
y.mesh loc=0.0080 spac=0.0001
y.mesh loc=0.0095 spac=0.0001
y.mesh loc=0.0105 spac=0.00005
y.mesh loc=0.0125 spac=0.0007

#####
# Regioes #
#####

region num=1 name=oxide Oxide x.min=-0.167 x.max=0.167 y.min=-0.0125 y.max=0.0125
region num=2 name=Fin Silicon x.min=-0.167 x.max=0.167 y.min=-0.0105 y.max=0.0105

#####
***** define the electrodes *****
# #1-GATE #2-SOURCE #3-DRAIN
#
electrode name=gate x.min=-0.077 x.max=0.077 y.min=-0.0125 y.max=-0.0125
electrode name=gate2 x.min=-0.077 x.max=0.077 y.min=0.0125 y.max=0.0125
electrode name=source x.max=-0.165 x.min=-0.167 y.max=0.0125 y.min=-0.0125
electrode name=drain x.max=0.167 x.min=0.165 y.max=0.0125 y.min=-0.0125

#####
#canal
doping uniform conc=1e16 p.type region=2
doping gauss n.type conc=1e19 y.char=0.2 x.char=0.001 reg=2 x.r=-0.078
doping gauss n.type conc=1e19 y.char=0.2 x.char=0.001 reg=2 x.l=0.078
save outf=fin2dpeq_doped_L$L".str
```

```
#####
interface qf=3e10 region=2
CONTACT NAME=gate2 COMMON=gate
CONTACT NAME=gate workfunction=4.57
CONTACT NAME=gate2 workfunction=4.57
#####

#####
# Salva estrutura #
#####

structure outf=fin2d_doped_L$L".str

#####
models quantum conmob srh auger bgn fldmob print shi kla
solve init
method newton trap
#####

solve prev

solve vdrain=0.05
save outf=fin2d_vd002vg0_L$L".str
#
LOG OUTF=saida.log master
solve name=gate vgate=0.0 vfinal=0.1 vstep=0.02
set vg = 0.1
save outf=fin2dnL1__VG$"vg"_L$L".str
#
solve name=gate vgate=0.12 vfinal=0.2 vstep=0.02
set vg = 0.2
save outf=fin2dnL1__VG$"vg"_L$L".str
#
solve name=gate vgate=0.22 vfinal=0.30 vstep=0.02
#solve name=gate vgate=0.251 vfinal=0.30 vstep=0.001
set vg = 0.30
save outf=fin2dnL1__VG$"vg"_L$L".str
#
solve name=gate vgate=0.32 vfinal=0.4 vstep=0.02
set vg = 0.4
save outf=fin2dnL1__VG$"vg"_L$L".str
#
solve name=gate vgate=0.42 vfinal=0.5 vstep=0.02
set vg = 0.5
save outf=fin2dnL1__VG$"vg"_L$L".str
#
solve name=gate vgate=0.52 vfinal=0.6 vstep=0.02
set vg = 0.6
save outf=fin2dnL1__VG$"vg"_L$L".str
#
solve name=gate vgate=0.62 vfinal=0.7 vstep=0.02
set vg = 0.7
save outf=fin2dnL1__VG$"vg"_L$L".str
#
solve name=gate vgate=0.72 vfinal=0.8 vstep=0.02
set vg = 0.8
save outf=fin2dnL1__VG$"vg"_L$L".str
#
solve name=gate vgate=0.82 vfinal=0.9 vstep=0.02
set vg = 0.9
save outf=fin2dnL1__VG$"vg"_L$L".str
#
solve name=gate vgate=0.92 vfinal=1 vstep=0.02
set vg = 1.0
save outf=fin2dnL1__VG$"vg"_L$L".str
#
solve name=gate vgate=1.02 vfinal=1.1 vstep=0.005
set vg = 1.1
save outf=fin2dnL1__VG$"vg"_L$L".str
log off
#
#####

quit
```

APÊNDICE C - ARQUIVO PARA CONSTRUÇÃO DA ESTRUTURA 3D

Descrição do código para definição tridimensional do dispositivo SOI FinFET de porta dupla utilizando o Atlas Devedit3D.

```
#####
# Double-gate para avaliacao dos regimes de operação #
#####

go devedit simflags="-3d"
bnd.cond when=automatic rounding.unit=1e-5

#####
# FinFET double gate #
# Dimensões #
# Comprimento de canal = 150 nm #
# Comprimento de spacer = 50 nm #
# Comprimento de siliceto = 100 nm #
# Altura do fin = 50 nm #
# Altura do siliceto = 20nm #
# Largura do fin = 50 nm #
# Largura do siliceto = 50 nm #
#####

#####
# Variaveis em um #
#####
#w fin
set wfin = 0.025
#w siliceto
set ws = 0.025
#altura fin
set hfin = 0.025
#altura siliceto
set hs = 0.020
#altura box
set hb = 0.150
#largura box
set wbox = 0.050
#hard mask
set hm = 0.020
#EOT
set eo = 0.0015
#espessura gate
set eg = 0.004
#comprimento canal
set lc = 0.075
#comprimento de spacer
set le = 0.050
#comprimento de siliceto
set ls = 0.100

set wg = "$wfin" + "$eo" + "$eg"
set wo = "$wfin" + "$eo"
set wss = "$wfin" + "$ws"

set wfinmax = "$wfin" + 0.0002
set wfinmin = "$wfin" - 0.0002

set hg = "$hfin" + "$hm" + "$eg"
set ho = "$hfin" + "$hm"
set hbox = "$hfin" + "$hb"
set hcbox = "$hfin" + "$hb" + 0.005
set hss = "$hfin" - "$hs"

set hssmin = "$hss" - 0.001
set hssmax = "$hss" + 0.001
set hfinmax = "$hfin" + 0.001
set hcboxmax = "$hcbox" + 0.001

set hfinmed = "$hfin" - ( "$hss" / 2.0 )
set hboxmed = "$hbox" / 2.0

set lcmin = "$lc" - 0.0001
set lcmax = "$lc" + 0.0001
```

```

set lsd = "$lc" + "$le" + "$ls"
set lsp = "$lc" + "$le"
set lspmin = "$lsp" - 0.0001
set lspmax = "$lsp" + 0.0001

#####
# Regioes #
#####

# Porta
region reg=1 name=gate mat=Aluminum elec.id=1 work.func=0 z1=-"$hfin" z2= "$hg" \
  polygon="-"$lc",- "$wg" -$lc", "$wg" "$lc", "$wg" "$lc", -$wg""

# Isolante de Porta
region reg=2 name=toxf mat="Silicon Oxide" z1=-"$hfin" z2= "$ho" \
  polygon="-"$lc",- "$wo" -$lc", "$wo" "$lc", "$wo" "$lc", -$wo""

# Aleta
region reg=3 name=fin mat=Silicon z1=-"$hfin" z2= "$hfin" \
  polygon="-"$lsd",- "$wfin" -$lsd", "$wfin" "$lsd", "$wfin" "$lsd", -$wfin""

# Extensao de Dreno
#region reg=4 name=drain mat=Silicon z1=-"$hfin" z2="$hfin" \
#   polygon="-"$lsp",- "$wfin" -$lsp", "$wfin" -$lc", "$wfin" -$lc", -$wfin""

# Extensao de Fonte
#region reg=5 name=source mat=Silicon z1= -$hfin" z2= "$hfin" \
#   polygon=" "$lc",- "$wfin" "$lc", "$wfin" "$lsp", "$wfin" "$lsp", -$wfin""

# HDD Dreno
region reg=4 name=drain mat=Silicon z1=-"$hfin" z2="$hfin" \
  polygon="-"$lsd",- "$wfin" -$lsd", "$wfin" -$lsp", "$wfin" -$lc", "$wfin" -
  "$lc", -$wfin" -$lsp", -$wfin""

# HDD Fonte
region reg=5 name=source mat=Silicon z1= -$hfin" z2= "$hfin" \
  polygon=" "$lsd",- "$wfin" "$lsp", -$wfin" "$lc", -$wfin" "$lc", "$wfin"
  "$lsp", "$wfin" "$lsd", "$wfin""

# Contato de Dreno
region reg=6 name=drain mat=Aluminum elec.id=2 work.func=0 z1="$hss" z2="$hfin" \
  polygon="-"$lsd",- "$wfin" -$lsd", "$wfin" -$lsp", "$wfin" -$lsp", -$wfin""

# Contato de Fonte
region reg=7 name=source mat=Aluminum elec.id=3 work.func=0 z1= "$hss" z2= "$hfin"
\
  polygon=" "$lsd",- "$wfin" "$lsp", -$wfin" "$lsp", "$wfin" "$lsd", "$wfin""

# Oxido Enterrado
region reg=8 name=box mat="Silicon Oxide" z1=-"$hbox" z2= -$hfin" \
  polygon="-"$lsd",- "$wbox" -$lsd", "$wbox" "$lsd", "$wbox" "$lsd", -$wbox""

# Contato de Substrato
region reg=9 name=substrate mat=Aluminum elec.id=4 work.func=0 z1=-"$hbox" z2= -
"$hbox" \
  polygon="-"$lsd",- "$wbox" -$lsd", "$wbox" "$lsd", "$wbox" "$lsd", -$wbox""

#####
# Grade no plano xy #
#####

# Grade geral
constr.mesh x1= -$lsd" y1= -$wbox" x2= "$lsd" y2= "$wbox" default
max.height=0.025 max.width=0.025

# Grade fina canal inferior
constr.mesh x1=-"$lc" y1= "$wfinmax" x2="$lc" y2= "$wfinmin" default
max.height=0.002 max.width=0.002

# Grade fina canal superior
constr.mesh x1=-"$lc" y1= -$wfinmax" x2="$lc" y2= -$wfinmin" default
max.height=0.002 max.width=0.002

# Grade fina fonte

```

```

constr.mesh x1=-"$lspmax" y1= -"$wss" x2=-"$lspmin" y2= "$wss" default
max.height=0.002 max.width=0.002

# Grade fina dreño
constr.mesh x1= "$lspmax" y1= -"$wss" x2= "$lspmin" y2= "$wss" default
max.height=0.002 max.width=0.002

# Grade fina canal fonte
constr.mesh x1=-"$lcmax" y1= -"$wfin" x2=-"$lcmin" y2= "$wfin" default
max.height=0.002 max.width=0.002

# Grade fina canal dreño
constr.mesh x1= "$lcmax" y1= -"$wfin" x2= "$lcmin" y2= "$wfin" default
max.height=0.002 max.width=0.002

# Realizando operacoes de grade
Mesh Mode=MeshBuild

#####
# Grade no eixo z #
#####

# Define espacamento e taxa de variacao maxima
z.plane max.spacing=1e6 max.ratio=10

# Grade inicial
z.plane z=0.049 spacing=0.01

#Grade fina cantos
z.plane z=0.026 spacing=0.002
z.plane z=0.023 spacing=0.002

# Grade fina siliceto
z.plane z=0.020 spacing=0.001
z.plane z=0.005 spacing=0.002

# Grade fin
z.plane z=0.0 spacing=0.01
z.plane z=-0.015 spacing=0.02

# Grade interface fin/box
z.plane z=-0.015 spacing=0.002
z.plane z=-0.028 spacing=0.002

# Grade box
z.plane z= -0.03 spacing=0.01
z.plane z=-0.04 spacing=0.05
z.plane z=-0.180 spacing=0.1

#####
# Salva estrutura #
#####

structure outf=L150-W50-H50_HS20_T_msh.str

#####
# Inicia o Atlas #
#####

go atlas

#####
# Fim #
#####

quit

```

APÊNDICE D - ARQUIVO PARA CONSTRUÇÃO DA ESTRUTURA 3D

Descrição do código para definição tridimensional do dispositivo SOI FinFET de porta tripla utilizando o Atlas Devedit3D.

```
#####
# Triple-gate para avaliacao dos regimes de operação #
#####

go devedit simflags="-3d"
bnd.cond when=automatic rounding.unit=1e-5

#####
# FinFET triple gate #
# Dimensões #
# Comprimento de canal = 150 nm #
# Comprimento de spacer = 50 nm #
# Comprimento de siliceto = 100 nm #
# Altura do fin = 50 nm #
# Altura do siliceto = 20nm #
# Largura do fin = 50 nm #
# Largura do siliceto = 50 nm #
#####

#####
# Variaveis em um #
#####
#w fin
set wfin = 0.025
#w siliceto
set ws = 0.025
#altura fin
set hfin = 0.025
#altura siliceto
set hs = 0.020
#altura box
set hb = 0.150
#largura box
set wbox = 0.050
#hard mask
set hm = 0.0015
#EOT
set eo = 0.0015
#espessura gate
set eg = 0.004
#comprimento canal
set lc = 0.075
#comprimento de spacer
set le = 0.050
#comprimento de siliceto
set ls = 0.100

set wg = "$wfin" + "$eo" + "$eg"
set wo = "$wfin" + "$eo"
set wss = "$wfin" + "$ws"

set wfinmax = "$wfin" + 0.0002
set wfinmin = "$wfin" - 0.0002

set hg = "$hfin" + "$hm" + "$eg"
set ho = "$hfin" + "$hm"
set hbox = "$hfin" + "$hb"
set hcbox = "$hfin" + "$hb" + 0.005
set hss = "$hfin" - "$hs"

set hssmin = "$hss" - 0.001
set hssmax = "$hss" + 0.001
set hfinmax = "$hfin" + 0.001
set hcboxmax = "$hcbox" + 0.001

set hfinmed = "$hfin" - ( "$hss" / 2.0 )
set hboxmed = "$hbox" / 2.0

set lcmin = "$lc" - 0.0001
set lcmax = "$lc" + 0.0001
```

```

set lsd = "$lc" + "$le" + "$ls"
set lsp = "$lc" + "$le"
set lspmin = "$lsp" - 0.0001
set lspmax = "$lsp" + 0.0001

#####
# Regioes #
#####

# Porta
region reg=1 name=gate mat=Aluminum elec.id=1 work.func=0 z1=-"$hfin" z2= "$hg" \
  polygon="-"$lc",- "$wg" -$lc", "$wg" "$lc", "$wg" "$lc", -$wg""

# Isolante de Porta
region reg=2 name=toxf mat="Silicon Oxide" z1=-"$hfin" z2= "$ho" \
  polygon="-"$lc",- "$wo" -$lc", "$wo" "$lc", "$wo" "$lc", -$wo""

# Aleta
region reg=3 name=fin mat=Silicon z1=-"$hfin" z2= "$hfin" \
  polygon="-"$lsd",- "$wfin" -$lsd", "$wfin" "$lsd", "$wfin" "$lsd", -$wfin""

# Extensao de Dreno
#region reg=4 name=drain mat=Silicon z1=-"$hfin" z2="$hfin" \
#   polygon="-"$lsp",- "$wfin" -$lsp", "$wfin" -$lc", "$wfin" -$lc", -$wfin""

# Extensao de Fonte
#region reg=5 name=source mat=Silicon z1= -$hfin" z2= "$hfin" \
#   polygon= "$lc",- "$wfin" "$lc", "$wfin" "$lsp", "$wfin" "$lsp", -$wfin""

# HDD Dreno
region reg=4 name=drain mat=Silicon z1=-"$hfin" z2="$hfin" \
  polygon="-"$lsd",- "$wfin" -$lsd", "$wfin" -$lsp", "$wfin" -$lc", "$wfin" -
  "$lc", -$wfin" -$lsp", -$wfin""

# HDD Fonte
region reg=5 name=source mat=Silicon z1= -$hfin" z2= "$hfin" \
  polygon= "$lsd",- "$wfin" "$lsp", -$wfin" "$lc", -$wfin" "$lc", "$wfin"
  "$lsp", "$wfin" "$lsd", "$wfin""

# Contato de Dreno
region reg=6 name=drain mat=Aluminum elec.id=2 work.func=0 z1="$hss" z2="$hfin" \
  polygon="-"$lsd",- "$wfin" -$lsd", "$wfin" -$lsp", "$wfin" -$lsp", -$wfin""

# Contato de Fonte
region reg=7 name=source mat=Aluminum elec.id=3 work.func=0 z1= "$hss" z2= "$hfin"
\
  polygon= "$lsd",- "$wfin" "$lsp", -$wfin" "$lsp", "$wfin" "$lsd", "$wfin""

# Oxido Enterrado
region reg=8 name=box mat="Silicon Oxide" z1=-"$hbox" z2= -$hfin" \
  polygon="-"$lsd",- "$wbox" -$lsd", "$wbox" "$lsd", "$wbox" "$lsd", -$wbox""

# Contato de Substrato
region reg=9 name=substrate mat=Aluminum elec.id=4 work.func=0 z1=-"$hbox" z2= -
"$hbox" \
  polygon="-"$lsd",- "$wbox" -$lsd", "$wbox" "$lsd", "$wbox" "$lsd", -$wbox""

#####
# Grade no plano xy #
#####

# Grade geral
constr.mesh x1= -$lsd" y1= -$wbox" x2= "$lsd" y2= "$wbox" default
max.height=0.025 max.width=0.025

# Grade fina canal inferior
constr.mesh x1=-"$lc" y1= "$wfinmax" x2="$lc" y2= "$wfinmin" default
max.height=0.002 max.width=0.002

# Grade fina canal superior
constr.mesh x1=-"$lc" y1= -$wfinmax" x2="$lc" y2= -$wfinmin" default
max.height=0.002 max.width=0.002

# Grade fina fonte

```

```

constr.mesh x1=-"$lspmax" y1= -"$wss" x2=-"$lspmin" y2= "$wss" default
max.height=0.002 max.width=0.002

# Grade fina dreño
constr.mesh x1= "$lspmax" y1= -"$wss" x2= "$lspmin" y2= "$wss" default
max.height=0.002 max.width=0.002

# Grade fina canal fonte
constr.mesh x1=-"$lcmx" y1= -"$wfin" x2=-"$lcmin" y2= "$wfin" default
max.height=0.002 max.width=0.002

# Grade fina canal dreño
constr.mesh x1= "$lcmx" y1= -"$wfin" x2= "$lcmin" y2= "$wfin" default
max.height=0.002 max.width=0.002

# Realizando operacoes de grade
Mesh Mode=MeshBuild

#####
# Grade no eixo z #
#####

# Define espacamento e taxa de variacao maxima
z.plane max.spacing=1e6 max.ratio=10

# Grade inicial
z.plane z=0.049 spacing=0.01

#Grade fina cantos
z.plane z=0.026 spacing=0.002
z.plane z=0.023 spacing=0.002

# Grade fina siliceto
z.plane z=0.020 spacing=0.001
z.plane z=0.005 spacing=0.002

# Grade fin
z.plane z=0.0 spacing=0.01
z.plane z=-0.015 spacing=0.02

# Grade interface fin/box
z.plane z=-0.015 spacing=0.002
z.plane z=-0.028 spacing=0.002

# Grade box
z.plane z= -0.03 spacing=0.01
z.plane z=-0.04 spacing=0.05
z.plane z=-0.180 spacing=0.1

#####
# Salva estrutura #
#####

structure outf=L150-W50-H50_HS20_T_msh.str

#####
# Inicia o Atlas #
#####

go atlas

#####
# Fim #
#####

quit

```

APÊNDICE E - ARQUIVO PARA SIMULAÇÃO DO DISPOSITIVO 3D

Exemplo de arquivo de simulação de estruturas SOI FinFET tridimensionais utilizando o simulador Atlas Devedit3D.

```
#####
# FinFET L = 150 nm  H = 50 nm  Hsiliceto = 20 nm  W = 50 nm  #
#####

#####
# Inicia o Atlas #
#####

go atlas simflags="-P 6"

#####
# Carrega a estrutura #
#####

mesh infile=L150-w50-H50_HS20_T_msh.str

#####
# Define a concentracao da dopagem #
#####

# Aleta
doping uniform conc=1e15 p.type reg=3

# Dreno
doping uniform conc=5e18 n.type reg=4

# Fonte
doping uniform conc=5e18 n.type reg=5

# HDD Dreno
doping uniform conc=1e19 n.type reg=4 x.min=-0.225  x.max=-0.125

# HDD Fonte
doping uniform conc=1e19 n.type reg=5 x.min=0.125  x.max=0.225

# HDD Dreno
#doping uniform conc=1e19 n.type reg=6

# HDD Fonte
#doping uniform conc=1e19 n.type reg=7

#####
# Define a carga de interface separadamente nas interfaces "front and back oxide" #
#####

interf qf=5e10 region=2

#####
# Define a funcao trabalho da porta #
#####

contact name=gate      workfunction=0
contact name=substrate workfunction=4.95
contact name=drain     CON.RESIST=1E-8
contact name=source    CON.RESIST=1E-8

#####
# Salva estrutura #
#####

structure outf=IDVG_L150_w50_H50_HS20_T_002.str

#####
# Selecciona os modelos #
#####

model fermi fldmob print auger bgn srh shi temp=300
```

```

#####
# Define os metodos #
#####

method newton autonr bigst dvlimit=1 maxtraps=6 atrap=0.1
output          E.MOBILITY H.MOBILITY

#####
# Inicia a simulacao #
#####

# Especifica a solucao anterior como aproximacao inicial
solve previous

#save outf=FinFET_Function_L150-H60-w60_300_003.str master

# Polariza o dreno
solve vdrain=0.010 vstep=0.010 vfinal=0.050 name=drain

# Inicia o log
log outf=IDVG_L150_W50_H50_HS20_T_000.log master

# Polarizacoes do gate

solve name=gate vgate=-0.200 vfinal=0.1 vstep=0.050
save outf=IDVG_invfrac1.str master

solve name=gate vgate=0.1 vfinal=0.3 vstep=0.050
save outf=IDVG_invfrac2.str master

solve name=gate vgate=0.3 vfinal=0.4 vstep=0.050
save outf=IDVG_moderada1.str master

solve name=gate vgate=0.4 vfinal=0.5 vstep=0.050
save outf=IDVG_moderada2.str master

solve name=gate vgate=0.5 vfinal=1.5 vstep=0.050
save outf=IDVG_forte.str master

# Fim do log
log off

#####
# Fim #
#####

quit

```