

CENTRO UNIVERSITÁRIO DA FEI
AGNALDO LUCIO DA SILVA

ESTUDO COMPARATIVO DO COMPORTAMENTO ELÉTRICO ENTRE O WAVE
SOI nMOSFET E O CONVENCIONAL

São Bernardo do Campo

2010

AGNALDO LUCIO DA SILVA

**ESTUDO COMPARATIVO DO COMPORTAMENTO ELÉTRICO ENTRE O WAVE
SOI nMOSFET E O CONVENCIONAL**

Dissertação de mestrado apresentada
ao Centro Universitário da FEI para a
obtenção do título de Mestre em
Engenharia Elétrica.

Orientador: Prof. Dr. Salvador Pinillos
Gimenez

São Bernardo do Campo

2010

Silva, Agnaldo Lucio da

Estudo comparativo do comportamento elétrico entre o *Wave* SOI nMOSFET e o Convencional / Agnaldo Lucio da Silva. São Bernardo do Campo, 2010.

134 f. : il.

Dissertação – Centro Universitário da FEI.

Orientador: Prof. Dr. Salvador Pinillos Gimenez.

1. *Wave* SOI nMOSFET. 2. Simulação Numérica Tridimensional. 3. Medidas Experimentais. I. Gimenez, Salvador Pinillos, orient. II. Título.

CDU 621.381



Centro Universitário da **FEI**

APRESENTAÇÃO DE DISSERTAÇÃO ATA DA BANCA JULGADORA

PGE- 10

Programa de Mestrado de Engenharia Elétrica

Aluno: Agnaldo Lucio da Silva

Matrícula: 1081025

Título do Trabalho: **Estudo Comparativo do Comportamento Elétrico entre o WAVE SOI nMOSFET e o Convencional.**

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof. Dr. Salvador Pinillos Gimenez

Data da realização da defesa: 7 / julho / 2010

A Banca Julgadora abaixo-assinada atribuiu ao candidato o seguinte:

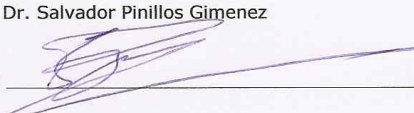
APROVADO ☒

REPROVADO ☐

São Bernardo do Campo, 07/07/10.

MEMBROS DA BANCA JULGADORA

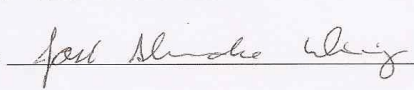
Prof. Dr. Salvador Pinillos Gimenez

Ass.: 

Profa. Dra. Milene Galeti

Ass.: 

Prof. Dr. Jose Alexandre Diniz

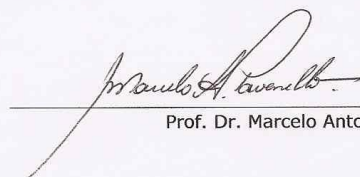
Ass.: 

VERSÃO FINAL DA DISSERTAÇÃO

ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS
RECOMENDAÇÕES DA BANCA EXAMINADORA



Aprovação do Coordenador do Programa de Pós-graduação



Prof. Dr. Marcelo Antonio Pavanello

Dedico este trabalho

A minha esposa Rosileide pela
paciência e dedicação.

Aos meus filhos Bruno, Artur e
Beatriz pelo apoio e ajuda.

Aos meus pais Luis e Olivia pelo
exemplo de solidariedade.

AGRADECIMENTOS

Ao meu orientador, professor Dr. Salvador Pinillos Gimenez pelo apoio, pela ajuda na solução dos problemas, pela amizade e paciência durante a realização deste trabalho.

A toda minha família pelo apoio incondicional, devido ao meu foco neste trabalho em detrimento a dar atenção a todos, pois não ouvi reclamações e sim incentivos.

A minha querida esposa Rosileide, que foi o meu braço direito durante esta jornada, sempre do meu lado, conhece o conteúdo de cada página desta dissertação.

A minha filha Beatriz, pela ajuda com os desenhos das estruturas dos transistores, a sua presença do meu lado durante as horas em que eu trabalhava, era maravilhoso, principalmente por causa de suas perguntas.

A meu filho Artur, pela sua destreza em pesquisar artigos e buscar as informações, que contribuíram para enriquecer e referenciar este trabalho.

A meu filho Bruno, por ter me apoiado, se deslocando até a FEI quando necessário, me ajudando quando precisei dele.

Aos professores Dr. Marcelo Antonio Pavanello, Dr. Marcello Bellodi e Dr. Renato Camargo Giacomini, pelos ensinamentos e ajuda nesta jornada.

Ao amigo Rudolf pela ajuda com o *software* Silvano para Linux.

Ao amigo Klaus, pela ajuda com os resultados experimentais dos dispositivos.

Ao amigo Jorge Giroldo, pela troca de informações, idéias e resultados, que muito ajudaram nesta caminhada.

A Adriana e Ricardo da secretaria do mestrado, pela atenção e competência na condução dos trabalhos.

A todos que eu possa ter omitido involuntariamente, mas que me ajudaram durante a execução desta dissertação.

A Deus, pela força, saúde e por ter me proporcionado uma bela família, que é um porto seguro, para as horas de dificuldade.

*“Nunca sabemos se uma linha é torta, até que colocamos uma
linha reta ao seu lado.”*

*Sócrates (470-399 a. C.)
Filósofo grego*

*“As pessoas efetivas não pensam em problemas,
mas em oportunidades.”*

Peter Drucker

RESUMO

Silva, A. L. **ESTUDO COMPARATIVO DO COMPORTAMENTO ELÉTRICO ENTRE O WAVE SOI nMOSFET E O CONVENCIONAL**. 2010 134f. Dissertação (Mestrado) – Centro Universitário da FEI, São Bernardo do Campo, 2010.

O objetivo deste trabalho é comparar o comportamento elétrico entre uma nova estrutura de leiaute de transistor, denominada de *Wave SOI MOSFET*, com a do convencional. O *Wave SOI MOSFET*, criado a partir do transistor com a porta em formato de anel circular, apresenta sua porta em formato de “S”, através do corte do transistor circular ao meio, deslocando-se seus semicírculos até formar um “S”. No *Wave SOI MOSFET*, o fluxo da corrente elétrica entre dreno e fonte é radial. Suas regiões de dreno e fonte são simétricas, ao contrário do transistor de porta em formato de anel circular, cujas dimensões das regiões de dreno e fonte são assimétricas. Neste trabalho foram realizadas simulações numéricas tridimensionais das estruturas *Wave SOI nMOSFETs* e convencionais parcialmente depletados em temperatura ambiente 25 °C, para determinar as curvas da corrente entre dreno e fonte versus a tensão entre porta e fonte [I_{DS} versus V_{GS}]. Foram usadas diferentes estruturas *Wave SOI nMOSFETs* e convencionais para comprimentos de canal (L) de 100 nm, 200 nm, 400 nm, 600 nm e 800 nm, com valores de tensões entre dreno e fonte (V_{DS}) de 10 mV, 100 mV, 300 mV, 500 mV, 700 mV e 900 mV. Também foram simulados separadamente os dois semicírculos que formam o *Wave SOI nMOSFET*, a fim de verificar a influência de cada uma destas partes, sobre o comportamento elétrico do *Wave*. Foram realizadas também medidas experimentais, entre os dispositivos *Wave nMOSFETs* e convencionais, para os comprimentos de canal (L) de 2,3 μm , 6 μm e 12 μm , sendo analisado e comparado o comportamento elétrico desses dispositivos. A partir das curvas I_{DS} versus V_{GS} dos *Wave SOI nMOSFETs* e convencionais foram analisadas: a tensão de limiar (V_{TH}), a inclinação de sublimiar (S), a transcondutância (g_m), a razão da transcondutância pela corrente entre dreno e fonte, em função da corrente entre dreno e fonte normalizada pelo fator geométrico [g_m/I_{DS} versus $I_{DS}/(W/L)$]. Os resultados obtidos através das simulações numéricas tridimensionais e os resultados das medidas experimentais mostram que a corrente de dreno na região de saturação do *Wave SOI nMOSFET* é superior de 11 % à 40 % quando comparada com o convencional, dependendo do valor de comprimento de canal e da tensão de dreno simulados. A transcondutância é maior no *Wave SOI nMOSFET* de 9 % a 30 %, quando comparado com o convencional, principalmente na região de saturação. A figura de mérito [$g_m/I_{DS} \times I_{DS}/(W/L)$], para os comprimentos de canal (L) simulados acima de 100 nm, nas regiões de inversão fraca, apresentaram valores similares entre os *Wave SOI nMOSFETs* e os convencionais. Na região de inversão moderada, os valores de g_m/I_{DS} do *Wave* foram maiores que o convencional em até 15,3%. Na região de inversão forte os valores de g_m/I_{DS} são similares entre os *Wave SOI nMOSFETs* e os convencionais. Os resultados das medidas experimentais mantiveram as mesmas tendências daquelas observadas nas simulações numéricas tridimensionais. Dessa forma, nas aplicações *Low Power low Voltage*, o *Wave* pode ser usado para aumentar o ganho de tensão de circuitos integrados analógicos, principalmente quando o par diferencial estiver polarizado na região de inversão moderada.

Palavras chave: *Wave SOI nMOSFET*. Simulação numérica tridimensional. Medidas experimentais.

ABSTRACT

Silva, A. L. **ELECTRICAL BEHAVIOR STUDY OF WAVE SOI nMOSFET AND CONVENTIONAL COUNTERPART**, 2010 134p. Dissertation (Master) - Centro Universitário da FEI, São Bernardo do Campo, 2010.

The objective of this study is to compare the electrical behavior of a new layout structure called Wave SOI MOSFET with the conventional counterpart. The Wave SOI MOSFET created based on the circular gate MOSFET and it presents "S" shape obtained from the circular gate transistor by dividing it in the half and shifting their semicircles until generate an "S" geometric form. The drain current flow of Wave SOI MOSFET is radial. The drain and source regions of Wave SOI MOSFET is symmetrical in contrast of the circular gate transistor. In this work three-dimensional numerical simulations were performed for Wave SOI nMOSFET and its conventional counterpart structures partially depleted at room temperature 25 °C to determine the curves of the drain current as a function of the gate voltage (I_{DS} versus V_{GS}). Different channel lengths (100 nm, 200 nm, 400 nm, 600 nm and 800 nm) were implemented for both SOI nMOSFETs (Wave and conventional counterpart) regarding different drain voltages (10 mV, 100 mV, 300 mV, 500 mV, 700 mV and 900 mV). Also three-dimensional numerical simulations with separated semicircles were performed for Wave SOI nMOSFET comparing curves $I_{DS}/(W/L) \times V_{DS}$, between the semicircles and conventional counterpart. Experimental measurements were performed between the Wave nMOSFETs devices and conventional counterpart, for channel lengths (L) of 2,3 μm , 6 μm and 12 μm , comparing the electrical behavior between these devices. Based in the $I_{DS} \times V_{GS}$ for different V_{DS} were extracted the threshold voltage (V_{TH}), the subthreshold slope (S), transconductance (g_m), the ratio of transconductance between drain current as a function of the ratio of the drain current normalized by the geometric factor [$g_m/I_{DS} \times I_{DS}/(W/L)$]. The results obtained using three-dimensional numerical simulations and the results of experimental measurements show that the drain current in saturation region of Wave is more ranging from 11 % to 40 % than the conventional counterpart, depending on the value of the channel length and drain voltage. The transconductance is higher at Wave ranging from 9 % to 30% compared with conventional counterpart, mainly in the saturation region. The results obtained of the three-dimensional numerical simulations show that the figure of merit [$g_m/I_{DS} \times I_{DS}/(W/L)$] for the channel length (L) higher than 100 nm in the weak inversion region, presents similar values of g_m/I_{DS} for both Wave SOI nMOSFET and the conventional counterpart. In the moderate inversion region g_m/I_{DS} values are from until 15,3 % higher in the Wave SOI nMOSFETs, compared with the conventional ones. In the strong inversion region, values of g_m/I_{DS} are similar for both Wave SOI nMOSFET and conventional counterpart. The experimental measurements were similar as three dimensional numerical simulations. Thus in applications Low Power Low Voltage, the Wave can be used to increase the voltage gain of analog integrated circuits, especially when the differential pair is biased in moderate inversion region.

Keywords: Wave SOI nMOSFET. Three dimensional numerical simulations. Experimental measurements.

LISTA DE FIGURAS

Figura 1.1 – Exemplo de uma estrutura nMOSFET convencional.....	23
Figura 1.2 – Exemplo de um SOI nMOSFET convencional.....	24
Figura 1.3 - Evolução dos SOI MOSFETs	25
Figura 1.4 – Exemplo de um leiaute do transistor MOS <i>Donut</i> poligonal (formato octogonal).....	26
Figura 1.5 – Exemplo de um leiaute Multidedos posicionado em duas formas diferentes, ou seja, em relação a X e Y, I_{DS} fluindo na direção de X (a) e I_{DS} fluindo na direção de Y (b).....	28
Figura 1.6 – Exemplo de um “Planar <i>POWER</i> SOI nMOSFET” implementado com o leiaute <i>Waffle</i> (a), célula básica com porta em formato de anel quadrado (b) e célula básica com porta em formato de cruz (c).....	29
Figura 1.7 - Simulação numérica tridimensional da densidade de corrente (J_T) no SOI nMOSFET na região de cruzamentos das portas: vista superior (a) e J_T em função das direções de x e y (AA' e BB' linhas tracejadas) (b), onde J_x , J_{-x} , J_y , J_{-y} são componentes da densidade da corrente de dreno na direção x e y (b).....	30
Figura 1.8 – Exemplo do leiaute de um “Planar <i>POWER</i> SOI nMOSFET” implementado com <i>Wave</i> SOI nMOSFET (a) e a célula base de um <i>Wave</i> SOI nMOSFET (b).....	31
Figura 2.1 – Exemplo de um SOI nMOSFET indicando as regiões de interface, as camadas de óxido de porta, óxido enterrado e a camada de silício que forma o canal...	33
Figura 2.2- Exemplos de SOI MOSFETs de porta circular em configuração de polarização de dreno interno (a) e com configuração de polarização de dreno externo (b).....	36
Figura 2.3 – Ilustração do fluxo de corrente de dreno radial e divergente do SOI MOSFET de porta circular em configuração de polarização de dreno interno (a), fluxo de corrente de dreno radial e convergente do SOI MOSFET de porta circular em configuração de polarização de dreno externo (b).....	37
Figura 2.4 – Exemplo de um MOSFET indicando as tensões das resistências série de dreno e de fonte.....	37

Figura 2.5 – Exemplo do transistor de porta circular, cortado ao meio e deslocando-se os seus semicírculos até formar um “S”, gerando o <i>Wave SOI MOSFET</i>	38
Figura 2.6 – Exemplo de um <i>Wave SOI nMOSFET</i>	39
Figura 2.7 – Ilustração do fluxo de corrente radial em cada semicírculo da estrutura <i>Wave SOI MOSFET</i>	40
Figura 2.8 – Exemplo de uma curva da segunda derivada da corrente de dreno em função da tensão de porta do <i>SOI nMOSFET</i> , para extração da tensão de limiar.....	41
Figura 2.9 – Exemplo de um <i>SOI nMOSFET</i> com comprimento de canal sem a influência do efeito de canal curto (a) e com a influência do efeito de canal curto. (b).....	42
Figura 2.10 – Exemplo de uma curva $\text{Log } I_{DS}$ versus V_{GS} para um <i>SOI nMOSFET</i> parcialmente depletado.....	43
Figura-2.11 – Exemplo de uma curva g_m/I_{DS} versus $[I_{DS}/(W/L)]$ com a identificação das regiões de inversão fraca, moderada e forte.....	45
Figura 2.12 – Exemplo de um circuito <i>SOI MOSFET</i> com as resistências séries de dreno, fonte e do canal.....	47
Figura 2.13- Exemplo de uma curva da resistência série em função de V_{GT} de um <i>SOI nMOSFET</i> , resultante de simulação numérica tridimensional e sua respectiva extrapolação para valores de V_{GT} igual a 5 V, a partir de uma equação exponencial decrescente de 3ª ordem.....	48
Figura 2.14 – I_{DS} versus V_{DS} ilustrando a extrapolação da região linear na região de saturação para determinação de V_{EA}	49
Figura 3.1- Exemplos de estruturas tridimensionais do convencional (a) e do <i>Wave SOI nMOSFET</i> (b), respectivamente.....	51
Figura 3.2 – Curva I_{DS} em função de V_{GS} do <i>Wave SOI nMOSFET</i> com $L= 400$ nm, utilizada para a extração da tensão de limiar.....	54
Figura 3.3- Curva da tensão de limiar em função do comprimento de canal dos convencionais e <i>Wave SOI nMOSFETs</i> , considerando $V_{DS}=10$ mV.....	55

Figura 3.4 – $I_{DS}/(W/L)$ versus V_{GT} e $\text{Log}[I_{DS}/(W/L)]$ versus V_{GT} do convencional e do Wave SOI nMOSFETs, para $L=100$ nm com V_{DS} igual a 500 mV (a.1 e a.2) e V_{DS} igual a 900 mV (a.3 e a.4), para $L=400$ nm com V_{DS} igual a 500 mV (b.1 e b.2), V_{DS} igual a 900 mV (b.3 e b.4) e para $L=800$ nm com V_{DS} igual a 500 mV (c.1 e c.2) e V_{DS} igual a 900 mV (c.3 e c.4), respectivamente.....	58
Figura 3.5 – Curva da transcondutância versus a sobretensão de porta do convencional e o Wave SOI nMOSFETs, para $L=100$ nm com $V_{DS}=500$ mV (a.1) e $V_{DS}=900$ mV (a.2), para $L=400$ nm com $V_{DS}=500$ mV (b.1) e $V_{DS}=900$ mV (b.2), para $L=800$ nm com $V_{DS}=500$ mV (c.1) e $V_{DS}=900$ mV (c.2).....	63
Figura 3.6 - Curva da transcondutância na interface da região de saturação e triodo em função do comprimento de canal (L).....	65
Figura 3.7 - Curvas da razão g_m/I_{DS} versus V_{GT} para $L=800$ nm do convencional e do Wave SOI nMOSFETs, para diferentes valores de V_{DS} [500 mV (a) e 900 mV (b)].....	66
Figura 3.8 – Curvas [g_m/I_{DS} versus $I_{DS}/(W/L)$] do convencional e do Wave SOI nMOSFETs com comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, respectivamente para V_{DS} igual a 500 mV e igual 900 mV, respectivamente.....	68
Figura 3.9- Imagem da distribuição do potencial elétrico ao longo do canal na interface entre o óxido de porta e o filme de silício, onde se forma o canal dos dispositivos convencional e Wave SOI nMOSFETs, para L igual a 100 nm e para o valor de V_{DS} igual a 500 mV.....	72
Figura 3.10- Imagem da distribuição do potencial elétrico ao longo do canal na interface entre o óxido de porta e o filme de silício, onde se forma o canal dos dispositivos convencional e Wave SOI nMOSFETs, para L igual a 400 nm e para o valor de V_{DS} igual a 500 mV.....	73
Figura 3.11- Imagem da distribuição do potencial elétrico ao longo do canal na interface entre o óxido de porta e o filme de silício, onde se forma o canal dos dispositivos convencional e Wave SOI nMOSFETs, para L igual a 800 nm e para o valor de V_{DS} igual a 500 mV.....	74
Figura 3.12 - Curvas do potencial extraídas do corte feito na interface entre o óxido de porta e o filme de silício, onde é formado o canal do convencional e o canal dos semicírculos com configuração de polarização DE e DI do Wave SOI nMOSFET, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, respectivamente, com V_{DS} igual a 500 mV e igual a 900 mV.....	75

Figura 3.13 - Curvas da média do potencial ao longo do canal dos semicírculos com configuração de polarização de dreno interno e de dreno externo do <i>Wave</i> SOI nMOSFET comparada com o convencional, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, com V_{DS} igual a 500 mV e igual a 900 mV.....	77
Figura 3.14- Imagem da distribuição do campo elétrico ao longo do canal na interface entre o óxido de porta e o filme de silício, onde se forma o canal dos dispositivos convencional e <i>Wave</i> SOI nMOSFETs, para L igual a 100 nm e para o valor de V_{DS} igual a 500 mV.....	79
Figura 3.15- Imagem da distribuição do campo elétrico ao longo do canal na interface entre o óxido de porta e o filme de silício, onde se forma o canal dos dispositivos convencional e <i>Wave</i> SOI nMOSFETs, para L igual a 400 nm e para o valor de V_{DS} igual a 500 mV.....	80
Figura 3.16- Imagem da distribuição do campo elétrico ao longo do canal na interface entre o óxido de porta e o filme de silício, onde se forma o canal dos dispositivos convencional e <i>Wave</i> SOI nMOSFETs, para L igual a 800 nm e para o valor de V_{DS} igual a 500 mV.....	81
Figura 3.17 - Curvas do campo elétrico extraído do corte feito na interface entre o óxido de porta e o filme de silício, onde é formado o canal do convencional e o canal dos semicírculos com configuração de polarização DE e DI do <i>Wave</i> SOI nMOSFET, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, respectivamente, com V_{DS} igual a 500 mV e igual a 900 mV.....	82
Figura 3.18 - Curvas da média do campo elétrico ao longo do canal dos semicírculos com configuração de polarização de dreno interno e de dreno externo do <i>Wave</i> SOI nMOSFET comparada com o convencional, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, com V_{DS} igual a 500 mV e igual a 900 mV.....	84
Figura 3.19- Imagem da distribuição da densidade total de corrente ao longo do canal na interface entre o óxido de porta e o filme de silício, onde se forma o canal dos dispositivos convencional e <i>Wave</i> SOI nMOSFETs, para L igual a 100 nm e para o valor de V_{DS} igual a 500 mV.....	85
Figura 3.20- Imagem da distribuição da densidade total de corrente ao longo do canal na interface entre o óxido de porta e o filme de silício, onde se forma o canal dos dispositivos convencional e <i>Wave</i> SOI nMOSFETs, para L igual a 400 nm e para o valor de V_{DS} igual a 500 mV.....	86

Figura 3.21- Imagem da distribuição da densidade total de corrente ao longo do canal na interface entre o óxido de porta e o filme de silício, onde se forma o canal dos dispositivos convencional e Wave SOI nMOSFETs, para L igual a 800 nm e para o valor de V_{DS} igual a 500 mV.....	87
Figura 3.22 Curvas dos dispositivos convencional e dos semicírculos do Wave SOI nMOSFETs com configuração de polarização de dreno interno e de dreno externo, comparando a densidade total de corrente ao longo do canal, para o comprimento de canal 100 nm, 400 nm e 800 nm, com o valor de V_{DS} igual a (500 mV e 900 mV).....	88
Figura 3.23- Comparação entre os comportamentos da curva média da densidade total de corrente dos semicírculos em configuração de polarização de DI e DE e o do convencional, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm e com V_{DS} igual a 500 mV e igual a 900 mV, respectivamente.....	90
Figura 3.24 - Estrutura do semicírculo do Wave SOI nMOSFET.....	91
Figura 3.25 - Curvas de I_{DS} versus V_{DS} dos semicírculos do Wave SOI nMOSFET com configuração de polarização de dreno interno e de dreno externo para L=800 nm com $V_{GT}=0,4$ V.....	93
Figura 3.26 - Curvas do potencial dos semicírculos do Wave SOI nMOSFET com configuração de polarização de dreno interno e semicírculo com configuração de polarização de dreno externo para L=800 nm $V_{DS}=1$ V.....	94
Figura 3.27 – Curvas do campo elétrico do semicírculo do Wave SOI nMOSFET com configuração de polarização de dreno interno e do semicírculo com configuração de polarização de dreno externo, para L igual 800 nm com V_{DS} igual a 1 V.....	95
Figura 3.28 - Curvas da densidade total de corrente do semicírculo do Wave SOI nMOSFET com configuração de polarização de dreno interno e de dreno externo para L igual 800 nm com V_{DS} igual a 1 V.....	96
Figura 3.29 - Curvas de $I_{DS}/(W/L)$ versus V_{DS} do SOI nMOSFET em formato de semicírculo com configuração de polarização de dreno interno, dreno externo e do convencional para L=800 nm $V_{GT}=0,4$ V.....	97
Figura 3.30 - Curvas da resistência série total em função de V_{GT} dos transistores em formato de semicírculo em configuração de polarização de dreno interno, dreno externo e do convencional, para L=800 nm.....	99
Figura 4.1 - Fotos de dois transistores Wave com L= 2,3 μ m (a) e L=12 μ m (b) utilizados para o levantamento dos dados experimentais.....	101

Figura 4.2 – Curvas com as medidas experimentais de $I_{DS}/(W/L)$ versus V_{GT} , para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm respectivamente para $V_{DS}=500\text{ mV}$	103
Figura 4.3 – Curvas com as medidas experimentais do $\text{Log}[I_{DS}/(W/L)]$ versus V_{GT} do convencional e do <i>Wave</i> nMOSFETs, para o comprimento de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente, para $V_{DS}=500\text{ mV}$	105
Figura 4.4 – Curvas experimentais de $g_m/(W/L)$ versus V_{GT} , para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente, para $V_{DS}=500\text{ mV}$	107
Figura 4.5 – Curvas experimentais de g_m/I_{DS} versus $I_{DS}/(W/L)$, para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente, para $V_{DS}=500\text{ mV}$	109
Figura 4.6- Curvas experimentais de $I_{DS}/(W/L)$ versus V_{DS} dos nMOSFETs <i>Wave</i> e convencional para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente com $V_{GT}=0,82\text{ V}$	111

LISTA DE TABELAS

Tabela 1- Comparação da área e do fator de integração entre os leiautes Multidedos, <i>Waffle</i> e <i>Wave</i>	32
Tabela 3.1- Dimensões de comprimento e largura de canal, das estruturas tridimensionais dos dispositivos convencionais e <i>Wave</i> SOI nMOSFETs.....	53
Tabela 3.2- Valores das tensões de limiar dos dispositivos simulados.....	54
Tabela 3.3 - Valores da corrente de dreno na interface das regiões de saturação e triodo, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, para diferentes valores de V_{DS} (500 mV e 900 mV).....	60
Tabela 3.4 - Valores da corrente de dreno na região de sublimiar ($I_{D\ sub}$), para os comprimentos de canal igual a 100 nm, 400 nm e 800 nm, com os valores de V_{DS} (500 mV e 900 mV), usando como critério para a comparação entre os dispositivos, o valor de V_{GT} de -0,3 V.....	61
Tabela 3.5 - Valores da inclinação de sublimiar, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm respectivamente e com $V_{DS}=10$ mV.....	62
Tabela 3.6- Valores da transcondutância normalizada em função do fator geométrico na interface da região de saturação e triodo dos convencionais e <i>Wave</i> SOI nMOSFETs, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, respectivamente, com valores de V_{DS} igual a 500 mV e igual 900 mV, respectivamente	64
Tabela 3.7- Valores de g_m/I_{DS} para $L=800$ nm do convencional e do <i>Wave</i> SOI nMOSFETs, com valores de V_{DS} iguais a 500 mV e 900 mV, respectivamente.....	67
Tabela 3.8- Valores de g_m/I_{DS} versus $I_{DS}/(W/L)$ na região de inversão moderada, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, respectivamente, para os valores de V_{DS} igual a 500 mV e igual a 900 mV.....	69
Tabela 3.9 – Comparação do $g_m/(W/L)$, $I_{DS}/(W/L)$ e g_m/I_{DS} , entre o convencional e o <i>Wave</i> SOI nMOSFET, para $L=800$ nm e com o valor de $V_{DS}=900$ mV.....	70
Tabela 3.10 – Tensão Early para o semicírculo em configuração de polarização de dreno interno de dreno externo e do convencional, para $L=800$ nm e $V_{GT}= 0,4$ V.....	98
Tabela 3.11 – Resistência série total da região de dreno e fonte, dos SOI nMOSFET em formato de semicírculo na configuração de polarização de dreno externo, na configuração de polarização de dreno interno e o convencional para $L=800$ nm.....	99

Tabela 4.1 – Relação W/L dos dispositivos experimentais utilizados neste trabalho.....	101
Tabela 4.2 – Tensões de limiar extraídos dos dados experimentais dos dispositivos convencionais e <i>Wave</i> MOSFETs, para diferentes comprimentos de canal.....	102
Tabela 4.3 - Valores experimentais das correntes de dreno na interface entre a região de saturação e triodo, para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente, com o valor de V_{DS} igual a 500 mV.....	103
Tabela 4.4 - Valores experimentais da corrente de dreno na região de sublimiar ($I_{D\text{ Sub}}$) extraídas das curvas do $\text{Log}[I_{DS}/(W/L)]$ versus V_{GT} , para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente, com o valor de V_{DS} igual a 500 mV, considerando-se $V_{GT} = -0,6\text{ V}$	106
Tabela 4.5- Valores experimentais da transcondutância normalizada em função de (W/L) na interface entre as regiões de saturação e triodo dos transistores convencional e o <i>Wave</i> , para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente, com o valor de V_{DS} igual a 500 mV.....	108
Tabela 4.6- Valores experimentais de g_m/I_{DS} versus $I_{DS}/(W/L)$ na região de inversão moderada, para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente, para V_{DS} igual a 500 mV.....	110
Tabela 4.7- Valores experimentais de $I_{DS}/(W/L)$, para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente e com V_{GT} igual a 0,82 V.....	112
Tabela 4.8- Valores experimentais das tensões Early dos dispositivos <i>Wave</i> e convencional nMOSFETs, para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente e para V_{GT} igual a 0,82 V.....	112
Tabela 4.9 – Valores experimentais do ganho de tensão de malha aberta (A_{V0}) dos dispositivos <i>Wave</i> e convencional nMOSFETs, para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente.....	113
Tabela 4.10- Valores experimentais da frequência de ganho unitário (f_T) dos dispositivos <i>Wave</i> e convencional nMOSFETs, para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente.....	113
Tabela 4.11 Comparação das características elétricas entre o convencional e o <i>Wave</i> nMOSFETs.....	114

LISTA DE SÍMBOLOS

A_V	Ganho de tensão de um único transistor
C_L	Capacitância de carga (F)
C_{ox}	Capacitância do óxido de porta por unidade de área (F/cm ²)
ε	Campo elétrico (V/cm)
ε_{si}	Permissividade do silício [1,06 x 10 ⁻¹² F/cm]
f_g	Fator Geométrico (W/L)
f_T	Frequência de ganho de tensão unitário (Hz)
g_m	Transcondutância (S)
$g_{m\text{máx}}$	Transcondutância máxima (S)
I_{DS}	Corrente de dreno (A)
I_{DS-x}	Corrente de dreno do SOI nMOSFET no sentido negativo do eixo x (A)
I_{DSx}	Corrente de dreno do SOI nMOSFET no sentido positivo do eixo x (A)
I_{DS-y}	Corrente de dreno do SOI nMOSFET no sentido negativo do eixo y (A)
I_{DSy}	Corrente de dreno do SOI nMOSFET no sentido positivo do eixo y (A)
$I_{DS \text{ Wave}}$	Corrente de dreno do Wave SOI nMOSFET (A)
$I_{DS \text{ Convencional}}$	Corrente de dreno do SOI nMOSFET convencional (A)
$I_{D \text{ Sub}}$	Corrente de dreno na região de sublimiar (A)
J	Densidade de corrente (A/cm ²)
J_T	Densidade total de corrente (A/cm ²)
L	Comprimento do canal (nm)
N_A	Concentração de dopantes no canal do transistor (cm ⁻³).
q	Carga elementar do elétron (1,6 10 ⁻¹⁹ C)
Q_{Deff}	Carga de depleção na camada de silício [C/cm ²]
$R_{Série}$	Resistência série (Ω)
$R_{Série \text{ total}}$	Resistência série total (Ω)
R_D	Resistência parasita de dreno (Ω)
R_F	Resistência parasita de fonte (Ω)
R_C	Resistência parasita do canal (Ω)
R_1	Raio interno que define o início do canal do transistor circular (m)
R_2	Raio externo que define o final do canal do transistor circular (m)
S	Inclinação de sublimiar (mV/década)

S_{Wave}	Inclinação de sublimiar do <i>Wave</i> SOI nMOSFET (mV/década)
$S_{Convencional}$	Inclinação de sublimiar do SOI nMOSFET convencional (mV/década)
SiO_2	Óxido de silício (m)
THD	Distorção harmônica total (dB)
V_{DS}	Tensão entre dreno e fonte (V)
$V_{DSatuação}$	Tensão de dreno de saturação (V)
t_{Si}	Espessura da camada de silício (m)
t_{ox}	Espessura do óxido de porta
t_{box}	Espessura da camada de óxido enterrado
V_{FB}	Tensão de faixa plana (V)
V_{EA}	Tensão Early (V)
$V_{EA(DI)}$	Tensão Early no semicírculo dreno interno(V)
$V_{EA(DE)}$	Tensão Early no semicírculo dreno externo (V)
$V_{GS\text{ efetivo}}$	Tensão efetiva entre a porta e a fonte (V)
V_{GS}	Tensão aplicada à porta do transistor (V)
V_{GT}	Sobretensão de porta, onde, $V_{GT} = (V_{GS} - V_{TH})$ (V)
V_{TH}	Tensão de limiar (V)
V_{RD}	Tensão na resistência série do dreno (V)
V_{RS}	Tensão da resistência série da fonte (V)
W	Largura do canal (m)
$X_{dmáx}$	Espessura máxima da região de depleção (m)
μ	Mobilidade dos portadores (cm ² /Vs)
Φ_F	Potencial de Fermi (V)
α	Fator de acoplamento capacitivo do SOI MOSFET

LISTA DE ABREVIATURAS

MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i> (Transistor de efeito de campo metal óxido Semicondutor)
CI	Circuito Integrado
CMOS	<i>Complementary Metal Oxide Semiconductor</i> (Metal Óxido Semicondutor Complementar)
SOI	<i>Silicon On Insulator</i> (Silício Sobre Isolante)
MOS	<i>Metal Oxide Semiconductor</i> (Metal Óxido Semicondutor)
FinFET	<i>Fin Field Effect Transistor</i>
INPI	Instituto Nacional de Propriedade Intelectual
ESD	<i>Electro Static Discharge</i> (Descarga eletrostática)
KLA	Klaassen, modelo de mobilidade
AUGER	Modelo de recombinação
SHI	Shirahata, modelo de mobilidade
FLDMOB	Modelo de mobilidade
THD	Distorção Harmônica total efetiva
SRH	<i>Shockey-Read-Hall</i> , modelo de recombinação
Wave	Transistor com formato do canal em S
Wave DE	Wave semicírculo dreno externo
Wave DI	Wave semicírculo dreno interno
PD	Parcialmente depletado (Partially Depleted)
FD	Totalmente depletado (Fully Depleted)
NFD	Quase totalmente depletado (Near Fully Depleted)
OTA	Amplificador Operacional de Transcondutância

SUMÁRIO

1. INTRODUÇÃO.....	23
1.1. Motivação e objetivos.....	27
2. CONCEITOS FUNDAMENTAIS.....	33
2.1. Classificações dos tipos de transistores SOI.....	33
2.1.1. SOI parcialmente depletado (Partially Depleted - PD SOI).....	34
2.1.2. SOI totalmente depletado (Fully Depleted - FD SOI).....	34
2.1.3. SOI quase totalmente depletado (Near- fully- depleted – NFD SOI).....	35
2.2. SOI MOSFET de porta circular	35
2.3. Wave SOI MOSFET.....	38
2.4. Tensão de limiar.....	40
2.5. Efeito de canal curto.....	42
2.6. Inclinação de sublimiar.....	43
2.7. Transcondutância.....	44
2.8. Razão da transcondutância pela corrente de dreno em função da corrente de dreno normalizada em relação ao fator geométrico [g_m/I_{DS} versus $I_{DS}/(W/L)$].....	44
2.9. Ganho de tensão de malha aberta de um único transistor.....	46
2.10. Frequência de ganho de tensão unitário.....	46
2.11. Resistência série.....	46
2.12. Tensão Early (V_{EA}).....	49
3. SIMULAÇÕES NUMÉRICAS TRIDIMENSIONAIS.....	50
3.1. Modelos matemáticos usados nas simulações numéricas tridimensionais.....	52
3.2. Estruturas dos dispositivos simulados.....	52
3.3. Resultados das simulações numéricas tridimensionais.....	53
3.3.1. Tensão de limiar.....	54
3.3.2. Características das curvas da corrente de dreno normalizada pelo fator geométrico em função da sobretensão de porta [$I_{DS}/(W/L)$ versus V_{GT}], e das curvas de $\text{Log}(I_{DS}/(W/L))$ versus V_{GT}	55
3.3.3. Inclinação de sublimiar.....	62
3.3.4. Transcondutância.....	62
3.3.5. Razão g_m/I_{DS} em função da sobretensão de porta.....	66

3.3.6. Razão da transcondutância pela corrente de dreno em função da corrente de dreno normalizada em relação ao fator geométrico [g_m/I_{DS} versus $I_{DS}/(W/L)$]	67
3.4. Estudo do comportamento elétrico do potencial	71
3.5. Estudo comportamento elétrico do campo elétrico	78
3.6. Estudo do comportamento elétrico da densidade total de corrente	85
3.7. Simulação numérica tridimensional dos semicírculos superior dreno externo (DE) e inferior dreno interno (DI) do Wave SOI nMOSFET	91
3.8. Resistência série dos transistores em formato de semicírculo (configuração de polarização DE e DI)	98
4. RESULTADOS EXPERIMENTAIS	100
4.1. Características experimentais de $I_{DS}/(W/L)$ versus V_{DS}	110
5. CONCLUSÕES E SEQUENCIA DO TRABALHO	115
REFERÊNCIAS BIBLIOGRÁFICAS	117
APÊNDICE – A Simulação Atlas	122
APÊNDICE –B Exemplo de tabelas contendo as dimensões construtivas das estruturas de um Wave e de um convencional para ser editado no programa DevEdit3D	128
APÊNDICE – C Dados de fabricação dos dispositivos Wave MOSFET no MOSIS.	129
APÊNDICE – D SEMINATEC- 2009	133

1 INTRODUÇÃO

O MOSFET (Transistor de Efeito de Campo Metal-Óxido-Semicondutor) foi inventado por Julius Edgar Lilienfield. Este dispositivo apresenta quatro terminais (fonte, dreno, porta e substrato), cujo fluxo de portadores móveis minoritários entre os terminais de fonte e dreno é controlado pelo campo elétrico vertical, gerado pela porta, que é isolada do canal do dispositivo por uma camada fina de óxido [1]. Por não haver tecnologia adequada para produzir com sucesso o dispositivo MOSFET, somente teve sucesso comercial a partir de 1960, devido ao avanço da tecnologia de fabricação do óxido de porta [1].

O dispositivo MOSFET feito de lâmina de silício possui uma espessura de aproximadamente 800 μm e apenas os primeiros micrometros superiores da lâmina de silício, são usados para fabricar o dispositivo. A interação entre a região ativa e o substrato de silício do dispositivo, gera efeitos parasitários (efeito de canal curto, efeito tiristor parasitário, degradação de mobilidade de portadores móveis do canal) [2].

Com o avanço da tecnologia de circuitos integrados (CIs), houve uma procura constante pela redução de suas dimensões, para que um maior grau de integração fosse possível de ser realizado, com um número maior de dispositivos por área. Com a redução das dimensões desses dispositivos, podem-se ter circuitos mais velozes e confiáveis, e com menores custos de fabricação [3]. Com a redução das dimensões dos dispositivos MOSFET convencional (Figura 1.1), surgiram problemas de efeitos parasitários, tais como o efeito de canal curto, a degradação da mobilidade dos portadores móveis do canal (elétrons ou lacunas) e o efeito tiristor parasitário [3, 4, 5].

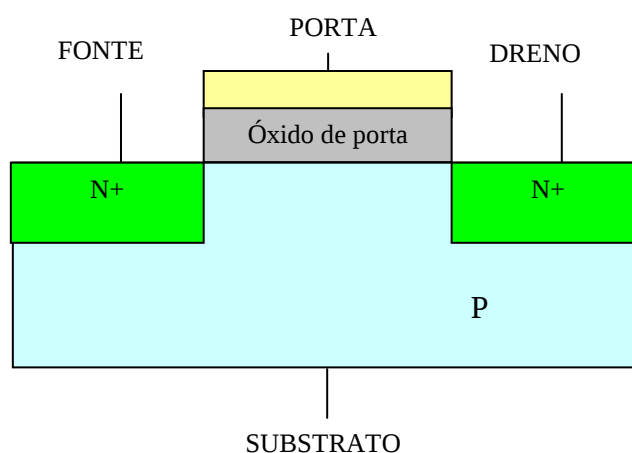


Figura 1.1 – Exemplo de uma estrutura nMOSFET convencional.

A tecnologia SOI (Silício-Sobre-Isolante) MOSFET (Figura 1.2) é da mesma época do MOSFET convencional e nas décadas de 1980 e 1990 era de uso restrito das aplicações de circuitos integrados resistentes (robustos) à radiação e para uso em altas temperaturas [6]. O SOI MOSFET se diferencia do MOSFET convencional, pois apresenta uma camada de óxido enterrado entre a região ativa do dispositivo e o substrato [6]. A maioria dos efeitos parasitários do MOSFET convencional (efeito de canal curto, a degradação da mobilidade dos portadores móveis do canal (elétrons ou lacunas) e o efeito tiristor parasitário) são reduzidos ou eliminados com a utilização da tecnologia SOI MOSFET, devido à presença do óxido enterrado, que separa a região ativa do restante do dispositivo [6].

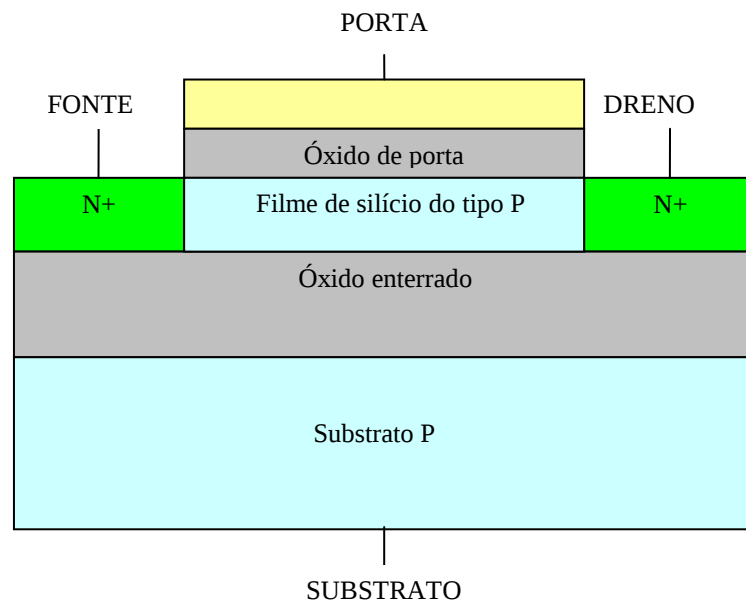


Figura 1.2 – Exemplo de um SOI nMOSFET convencional.

Diferentes estruturas SOI MOSFETs foram e continuam sendo estudadas, com a intenção de melhorar a corrente de dreno e diminuir os efeitos parasitários. A Figura 1.3 apresenta a evolução dos SOI MOSFETs ao longo dos anos [7].

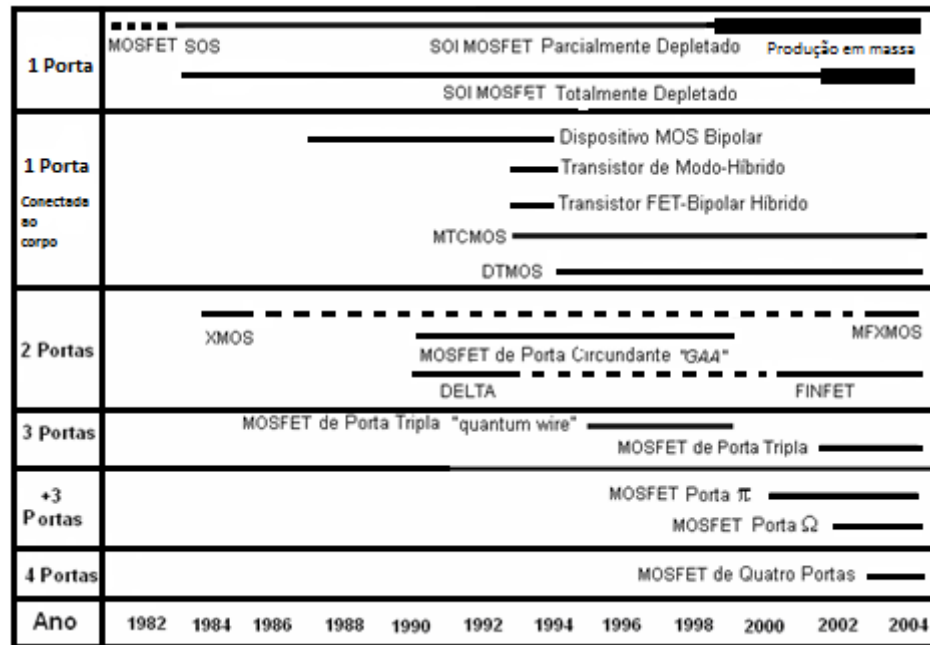


Figura 1.3- Evolução dos SOI MOSFETs (Adaptado de [7])

Pode-se observar através da Figura 1.3, a evolução do SOI MOSFET com diferentes formatos, tais como os transistores de porta dupla, conhecidos como *Finfet* e Delta; os transistores de porta tripla, conhecidos como porta ômega (Ω) e porta Pi (π) MOSFET e o transistor de quatro portas [7].

Em relação aos transistores planares, novas formas geométricas tem sido e vem sendo estudadas, como por exemplo, aquela estudada na referência [8] que reporta que o formato octogonal do transistor MOS, chamado de transistor MOS *Donut* (Figura 1.4) apresenta alta velocidade (alta frequência de operação na faixa de 800 MHz) e capacitância de dreno reduzida (0.05 pF), devido à utilização da região interna como região de dreno. Este estudo foi realizado devido à demanda por novos dispositivos eletrônicos de alta velocidade, de baixas capacitâncias parasitas e de baixo consumo de potência [8]. Estas características são importantes nas aplicações em telecomunicações e aplicações de circuitos de alta velocidade, para chavear múltiplos sinais de saída [8]. Os resultados demonstram que a área do leiaute no formato octogonal é maior que o do convencional, mas como a área de dreno é menor no formato octogonal em relação ao convencional, a capacitância do transistor *Donut* é menor, quando comparada ao convencional e conseqüentemente a frequência de operação no transistor *Donut* é maior que o convencional [8].

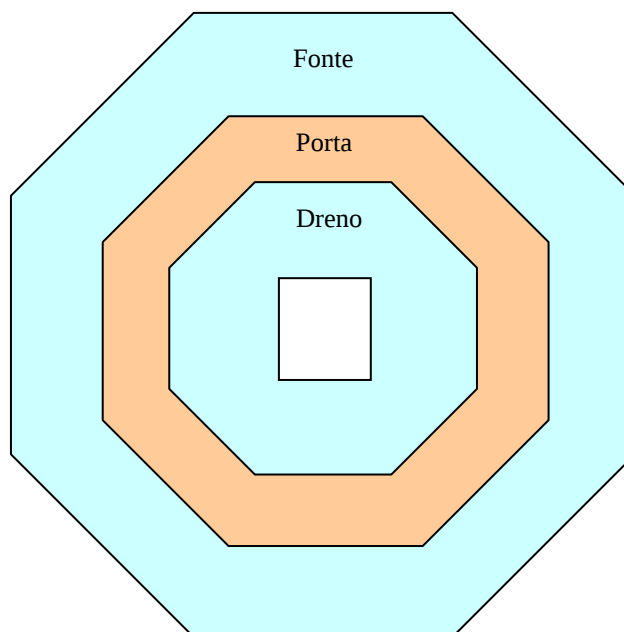


Figura 1.4 – Exemplo de um leiaute do transistor MOS *Donut* poligonal (formato octogonal) [8].

Outro trabalho que foi reportado na literatura através da referência [9], estudou o comportamento da tensão Early no SOI nMOSFET de porta circular, através de resultados de medidas experimentais e simulações numéricas tridimensionais. As comparações realizadas entre os SOI nMOSFETs de porta circular e o convencional mostraram que o transistor de porta circular em configuração de polarização de dreno externo, apresenta maior tensão Early em relação à configuração de polarização de dreno interno e que a do convencional [9].

A referência [10] estudou a corrente de fuga do SOI nMOSFET de porta circular, em ambas as configurações de polarização (dreno interno e externo), para altas temperaturas (300K a 573K) e comparado com o seu equivalente transistor de porta retangular. Ficou constatado que para as mesmas condições de polarização, mesma temperatura de operação, mesmo comprimento e mesma largura de canal, a corrente de fuga é menor no SOI nMOSFET convencional, quando comparado com o SOI nMOSFET de porta circular, para ambas as configurações de polarização de dreno (interno e externo). A configuração de polarização dreno externo apresentou valores de corrente de fuga menores, quando comparado com a configuração de polarização de dreno interno [10].

A referência [11] realizou um estudo comparativo da distorção harmônica, entre o SOI nMOSFET de porta circular para ambas as configurações de polarização de dreno (interno e externo) e o seu equivalente convencional. Os resultados mostraram que a distorção harmônica total efetiva (THD), dividido pelo ganho de tensão de um único transistor (A_V), em

função da razão da transcondutância (g_m) sobre a corrente de dreno do SOI nMOSFET de geometria circular, operando em configuração de polarização dreno externo, é menor quando comparado com a configuração de polarização dreno interno e que por sua vez é menor que a do convencional. Dessa forma ele se torna uma alternativa em circuitos que necessitam de baixa distorção harmônica (filtros ativos, etc) [11].

Um estudo comparativo realizado entre a razão da transcondutância, sobre a corrente de dreno em função da corrente de dreno normalizada pelo fator geométrico [g_m/I_{DS} versus ($I_{DS}/(W/L)$)] do SOI nMOSFET de porta circular e o seu equivalente convencional, foi relatado pela referência [12]. Os resultados experimentais e os simulados mostraram que o g_m/I_{DS} versus $I_{DS}/(W/L)$ do SOI nMOSFET de porta circular, operando na configuração de polarização dreno externo, nas regiões de inversão fraca e moderada, são maiores que o do convencional [12].

Todos esses estudos mostram que ainda existem muitas oportunidades de melhorias que podem ser exploradas na tecnologia planar, simplesmente pelo estudo de novos formatos de transistores.

1.1 MOTIVAÇÃO E OBJETIVOS

A tecnologia SOI MOSFET vem se desenvolvendo há vários anos, com o intuito de melhorar a velocidade, a potência consumida, diminuir as capacitâncias parasitas e melhorar a integração dos dispositivos [13]. Os transistores de grandes dimensões, com elevados fatores geométricos (W/L), são divididos em vários transistores com W menores, que são ligados em paralelo, onde os contatos de dreno, fonte e porta são compartilhados, portanto reduzem a área do dispositivo, as capacitâncias de junção e diminui o descasamento entre transistores [13] [14]. Atualmente dois leiautes são os mais usados com a intenção de melhorar as características elétricas dos circuitos integrados e são conhecidos como Multidedos (*Multifinger*) e *Waffle* [13,14].

No leiaute Multidedos, as correntes de dreno e fonte possuem apenas uma direção, que pode ser no sentido de X ou de Y, conforme é mostrado na Figura 1.5. Este único sentido de corrente de dreno não é capaz de compensar os erros aleatórios tais como as variações dos parâmetros geométricos (comprimento e largura de canal) e dos parâmetros tecnológicos dos transistores tais como: variações aleatórias da espessura do óxido de porta, do filme de silício onde é formado o canal, da mobilidade, etc) e sistemáticos (cantos arredondados, corrosão

lateral, difusão lateral, etc), intrínsecos ao processo de fabricação, que afetam a corrente de dreno nos sentidos de X e de Y ao mesmo tempo, ou seja, não é adequado para se obter um bom casamento entre transistores [14]. Para ilustrar, pode-se observar na Figura 1.5 (a), que a corrente de dreno (I_{DS}) flui apenas no sentido de X com I_{DS-x} e I_{DSx} , dessa forma os efeitos das dispersões aleatórias na corrente I_{DS-x} são compensadas por aquelas que afetam I_{DSx} (compensação em apenas uma única direção), e da mesma forma, a Figura 1.5 (b) mostra a corrente de dreno (I_{DS}) fluindo apenas no sentido de Y, com I_{DS-y} e I_{DSy} [14].

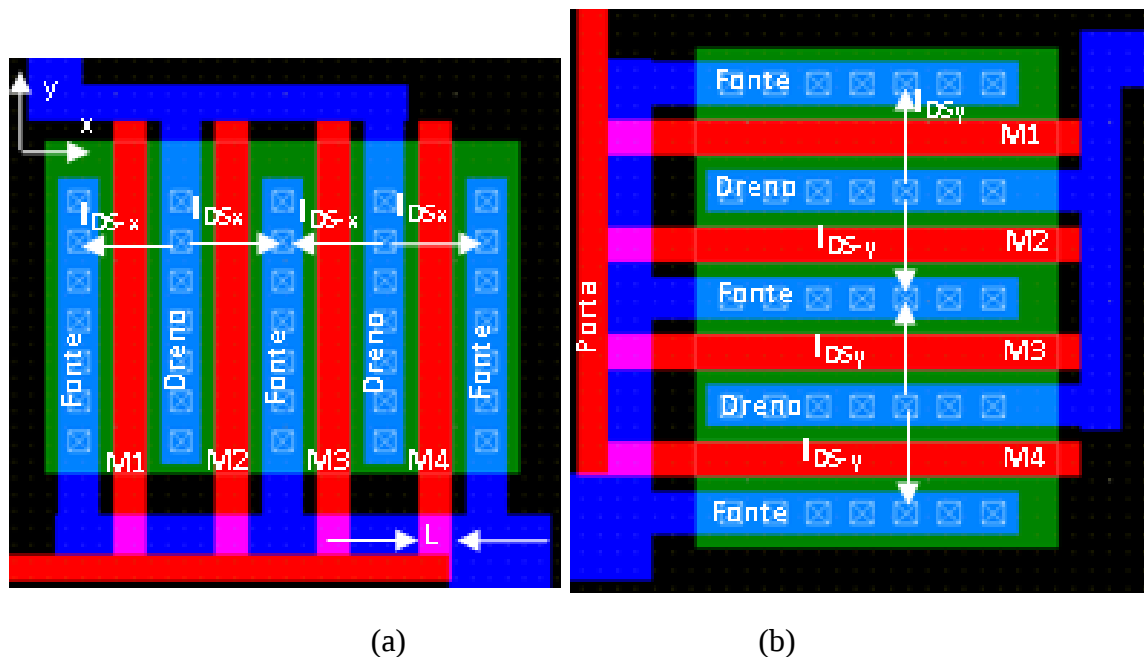


Figura 1.5- Exemplo de um leiaute Multitedos posicionado em duas formas diferentes, ou seja, em relação a X e Y. I_{DS} fluindo na direção de X (a) e I_{DS} fluindo na direção de Y (b). Fonte adaptado de [14].

Diferentemente da estrutura de leiaute do Multitedos, a estrutura de leiaute *Waffle* apresenta duas componentes de corrente de dreno para cada direção de X e Y. Esta estrutura de leiaute apresenta uma maior corrente de dreno, menor área, melhor casamento entre transistores, menores capacitâncias parasitas de junções e são mais imunes aos erros sistemáticos e aleatórios, provocados pelo processo de fabricação, quando comparado com o leiaute Multitedos [13]. As variações aleatórias do processo de fabricação que ocorrem nas correntes de dreno I_{DS-x} e I_{DS-y} são compensadas pelas variações aleatórias do processo de fabricação que ocorrem nas correntes de dreno I_{DSx} e I_{DSy} , respectivamente [14], como pode ser visto através da Figura 1.6, que apresenta um Planar *POWER SOI* nMOSFET implementado com vários transistores *Waffle* interconectados em paralelo.

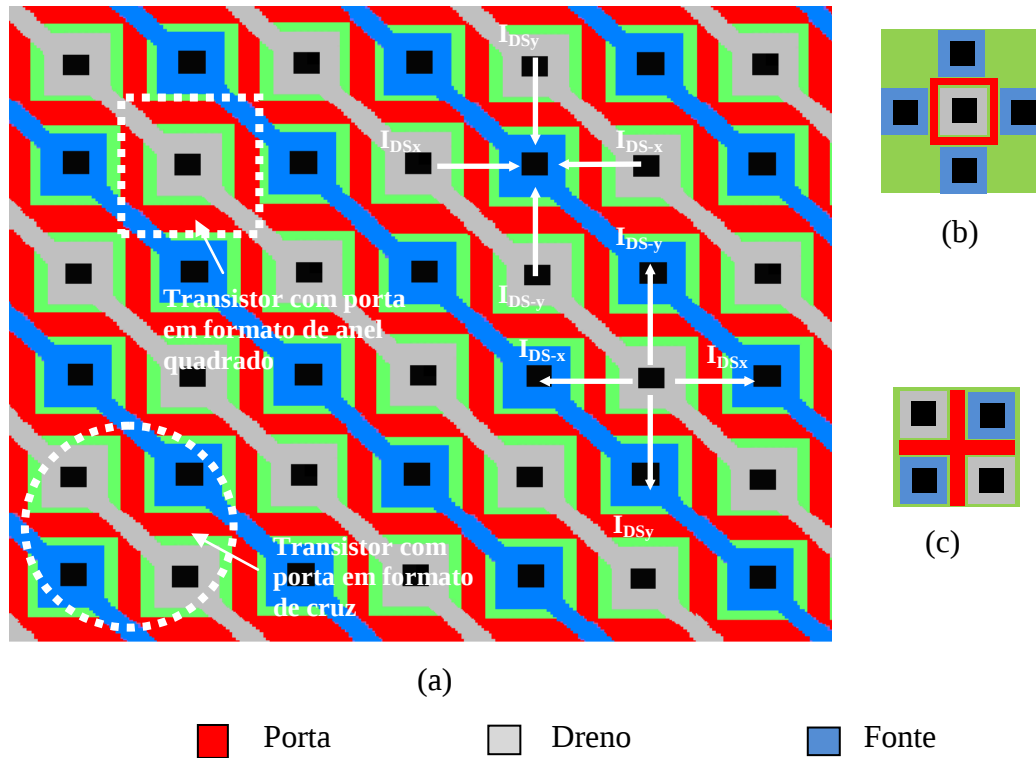


Figura 1.6 – Exemplo de um “Planar POWER SOI nMOSFET” implementado com o leiaute *Waffle* (a), célula básica com porta em formato de anel quadrado (b) e célula básica com porta em formato de cruz (c). Fonte adaptada de [14].

O leiaute *Waffle* apresenta duas células básicas em relação à região de porta, como pode ser observado na Figura 1.6. Uma das células básicas apresenta a geometria da porta em formato de anel quadrado, e a outra célula básica apresenta a geometria de porta em formato de cruz. Através de simulações numéricas tridimensionais realizadas com a região de porta em formato de cruz, foi verificado que o campo elétrico é nulo no centro da região de cruzamento das portas e consequentemente a densidade de corrente de dreno é nula nesta região, de acordo com a Figura 1.7. Dessa forma, a região de cruzamento entre as regiões de porta, não opera como um transistor e consome área adicional de silício [14]. Além disso, as regiões de fonte e dreno no leiaute *Waffle* possuem cantos de 90° , que propiciam um maior fenômeno de avalanche, reduzindo a dissipação da potência, e consequentemente degradando o seu comportamento com relação à descarga eletrostática (ESD) [14].

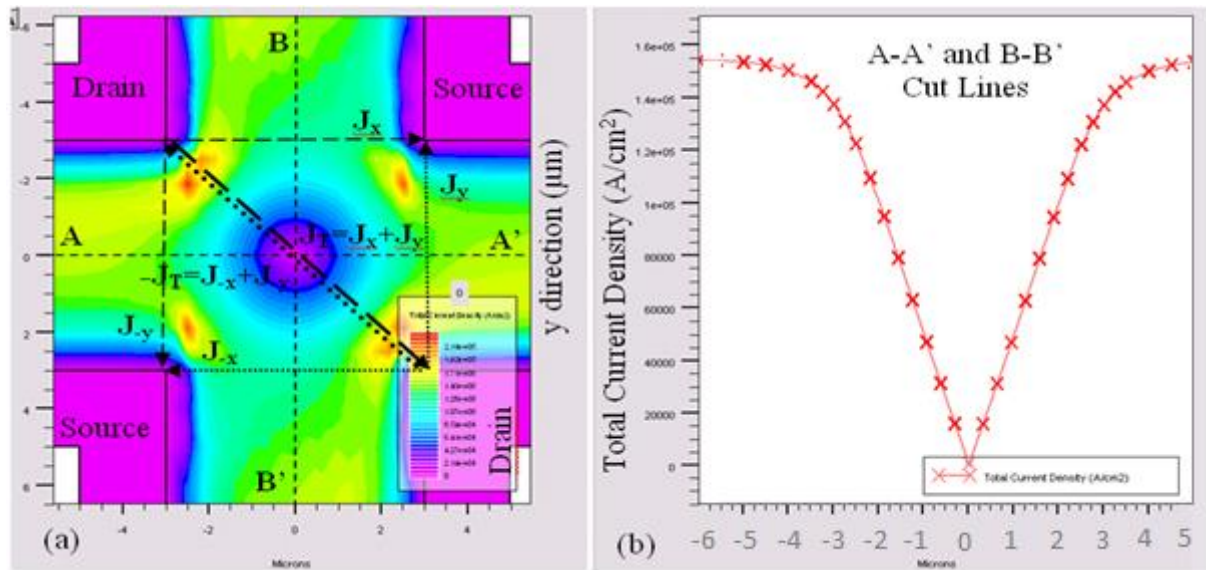
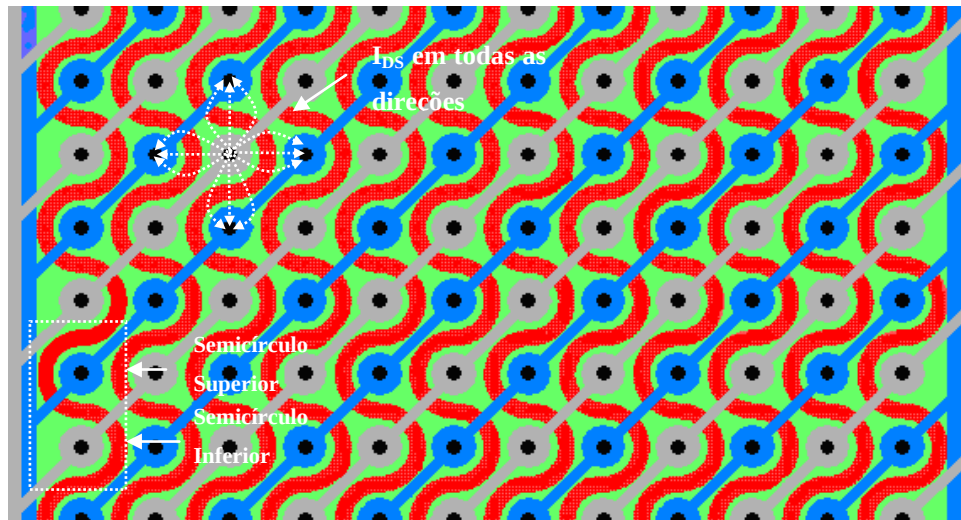


Figura 1.7. Simulação numérica tridimensional da densidade de corrente (J_T) no SOI nMOSFET na região de cruzamentos das portas: vista superior (a) e J_T em função das direções de x e y (AA' e BB' linhas tracejadas), onde J_x , J_{-x} , J_y , J_{-y} são componentes da densidade da corrente de dreno na direção x e y (b). Fonte adaptada de [14].

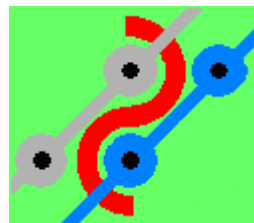
Com o objetivo de reduzir a área do *Waffle* SOI nMOSFET e melhorar o casamento entre os dispositivos, foi desenvolvida uma nova estrutura de leiaute, chamada *Wave* SOI MOSFET, que apresenta sua porta em formato de “S” [15] e que tem o intuito de melhorar a integração e o casamento entre os transistores [14].

A Figura 1.8 mostra um exemplo de uma estrutura “Planar *POWER* SOI nMOSFET” que é implementada com *Wave* SOI nMOSFET. Note que neste tipo de estrutura a corrente de dreno ocorre em todas as direções. Dessa forma as compensações dos efeitos aleatórios e sistemáticos do processo de fabricação sobre cada componente de corrente de dreno ocorrem em todas as direções, que pode reduzir significativamente os efeitos do processo de fabricação no desempenho desses dispositivos (melhorar o casamento entre dispositivos).

Adicionalmente no leiaute *Waffle*, os cantos dos transistores retangulares não ficam exatamente iguais, devido ao processo de fabricação, por isso os seus cantos acabam ficando arredondados e na estrutura *Wave* isso não acontece, pois é uma estrutura que não apresenta cantos [14].



(a)



(b)



Figura 1.8 – Exemplo do leiaute de um “Planar *POWER SOI nMOSFET*” implementado com *Wave SOI nMOSFET* (a) e a célula base de um *Wave SOI nMOSFET* (b). Fonte adaptada de [14].

A Tabela 1 apresenta a comparação entre a área e o fator de integração $[(W/L)/A]$ das estruturas *Wave SOI nMOSFET*, *Multidedos* e *Waffle*, com comprimento de canal igual a $0,8 \mu\text{m}$ e razão de aspecto (W/L) igual a 750. As estruturas foram desenvolvidas utilizando-se o mesmo processo de fabricação e as mesmas regras de projeto [14].

Tabela 1- Comparação da área e do fator de integração entre os leiautes Multidedos, *Waffle* e *Wave*. Fonte adaptada [14].

Leiaute	Área A (μm^2)	Ganho área A (%)	Fator de integração (W/L)/A (μm^{-2})	Ganho de (W/L)/A (%)
Multidedos	2544	-	0,295	-
<i>Waffle</i>	2396	5,8	0,313	6,1
<i>Wave</i>	1872	26,4 (Multidedos) 21,8 (<i>Waffle</i>)	0,401	35,9 (Multidedos) 28,1 (<i>Waffle</i>)

Os resultados mostram que o leiaute implementado com a estrutura *Wave* possui uma área (A) 26,4% menor em relação ao Multidedos e 21,8% menor em relação ao *Waffle* e um fator de integração [(W/L)/A] 35,9% maior em relação ao Multidedos e 28,1% maior em relação ao *Waffle*, respectivamente [14].

Devido aos resultados obtidos no artigo da referência [14], que compara o leiaute da estrutura *Wave* SOI nMOSFET em relação às estruturas Multidedos e *Waffle*, o objetivo deste trabalho é estudar o comportamento elétrico da estrutura *Wave* SOI nMOSFET em comparação ao SOI nMOSFET convencional pelas características elétricas como: tensão de limiar (V_{TH}), comportamento da corrente de dreno (I_{DS}), inclinação de sublimiar (S), transcondutância (g_m), tensão Early (V_{EA}), ganho de tensão de um único transistor (A_V), frequência de ganho unitário (f_T) e pela razão da transcondutância sobre a corrente de dreno em função da corrente de dreno normalizada em relação ao fator geométrico $\{g_m/I_{DS}/[I_{DS}/(W/L)]\}$, através de simulações numéricas tridimensionais e por medidas experimentais.

Este trabalho está dividido em capítulos, sendo o primeiro capítulo a introdução e a motivação. No segundo capítulo constam os conceitos fundamentais, que são a base teórica para a realização deste trabalho. O terceiro capítulo aborda as simulações numéricas tridimensionais, onde são comparadas as características elétricas do *Wave* SOI nMOSFET com o SOI nMOSFET convencional, para diferentes comprimentos de canal (L) e diferentes condições de polarização. O quarto capítulo apresenta os resultados experimentais, onde são comparadas as características elétricas do *Wave* SOI nMOSFET com o SOI nMOSFET convencional, para diferentes comprimentos de canal (L). O quinto capítulo apresenta os resultados alcançados, as conclusões e sugere a possibilidade de trabalhos futuros.

2 CONCEITOS FUNDAMENTAIS

A Figura 2.1 apresenta o exemplo de um SOI nMOSFET com a identificação das suas interfaces, espessuras do óxido de porta, óxido enterrado e a espessura da camada de silício que forma o canal.

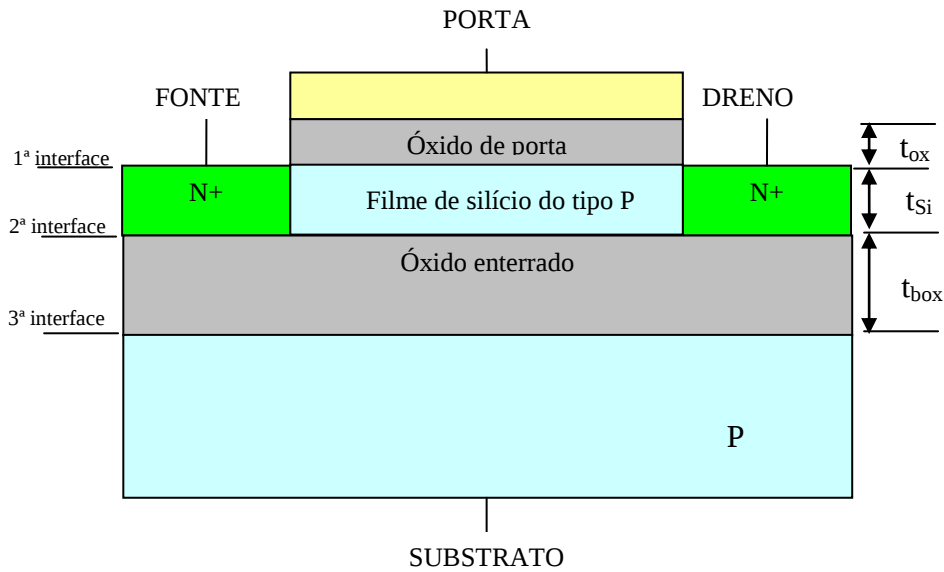


Figura 2.1 – Exemplo de um SOI nMOSFET indicando as regiões de interface, as camadas de óxido de porta, óxido enterrado e a camada de silício que forma o canal.

Onde, t_{ox} é a espessura do óxido de porta, t_{si} é a espessura da camada de silício onde se forma o canal e t_{box} é a espessura do óxido enterrado.

2.1 Classificações dos tipos de transistores SOI

Os SOI MOSFETs são classificados de acordo com a espessura da camada de silício (t_{si}) e a profundidade da região de depleção no filme de silício do dispositivo onde é formado o canal ($X_{dmáx}$), de acordo com a equação 2.1[16].

$$X_{dmáx} = \sqrt{\frac{4 \epsilon_{Si} \phi_F}{q N_A}} \quad (2.1)$$

Na equação 2.1, ϵ_{Si} é a permissividade do silício, Φ_F é o potencial de Fermi (equação 2.2), q é a carga elementar do elétron e N_A é a concentração de dopantes na camada de silício onde se forma o canal.

$$\phi_F = \frac{kT}{q} \ln \left(\frac{N_A}{n_i} \right) \quad (2.2)$$

Na equação 2.2, k é a constante de Boltzman, T a temperatura absoluta e n_i é a concentração intrínseca de portadores.

Os dispositivos SOI MOSFETs são classificados como:

- SOI parcialmente depletado (Partially Depleted, PD SOI);
- SOI totalmente depletado (Fully Depleted, FD SOI);
- SOI quase totalmente depletado (Near-fully Depleted, NFD SOI).

2.1.1 SOI parcialmente depletado (Partially Depleted, PD SOI)

No SOI parcialmente depletado (PD), a espessura da camada de silício onde se forma o canal é maior que duas vezes a profundidade máxima da camada de depleção ($t_{Si} > 2X_{dmáx}$). O SOI PD não possui interação entre as regiões de depleção das interfaces de silício e óxido ($Si-SiO_2$). Entre estas interfaces existe uma região neutra que funciona como um MOSFET convencional, caso o contato de corpo esteja aterrado. Se o contato de corpo não estiver aterrado o SOI PD apresentará o efeito de corpo flutuante [17].

2.1.2 SOI totalmente depletado (Fully Depleted, FD SOI)

No SOI totalmente depletado, a espessura da camada de silício é menor que a máxima profundidade da camada de depleção ($t_{Si} < X_{dmáx}$). O SOI totalmente depletado apresenta algumas vantagens sobre o convencional tais como: maior corrente de dreno, maior transcondutância e menor inclinação de subliminar [17]. Além disso, possui um menor efeito de canal curto e uma menor variação da tensão de limiar com relação à temperatura [18].

2.1.3 SOI quase totalmente depletado (Near-fully Depleted, NFD SOI)

No SOI quase totalmente depletado, a espessura da camada de silício, onde se forma o canal, se encontra entre uma a duas vezes a profundidade máxima da camada de depleção ($X_{dm\acute{a}x} < t_{Si} < 2X_{dm\acute{a}x}$). Este dispositivo comporta-se como um SOI parcialmente depletado ou como um SOI totalmente depletado, dependendo da tensão aplicada ao substrato (segunda porta ou *back gate*) [19].

2.2 SOI MOSFET de porta circular

O SOI MOSFET de porta circular possui assimetria entre as regiões de dreno e fonte, pois as dimensões das regiões de fonte e dreno são diferentes. As configurações de polarização podem ser de dreno interno (DI) ou de dreno externo (DE) [14].

Um exemplo de leiaute do SOI MOSFET de porta circular é apresentado na Figura 2.2 com configuração de polarização de dreno interno (a) e configuração de polarização de dreno externo (b) [9] [11].

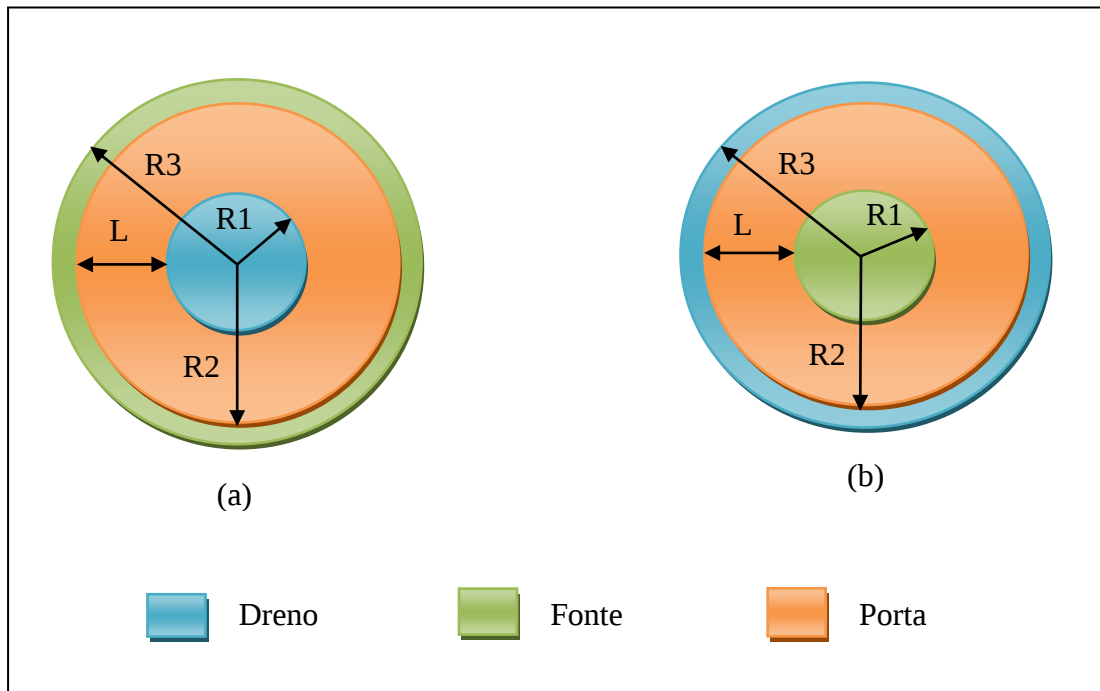


Figura 2.2- Exemplos de SOI MOSFETs de porta circular em configuração de polarização de dreno interno (a) e com configuração de polarização de dreno externo (b).

Na Figura 2.2, L é o comprimento de canal, $R1$ e $R2=(R1+L)$ são os raios interno e externo da região de canal, respectivamente e $R3$ é o raio da região externa da fonte na configuração de polarização dreno interno ou o raio da região externa do dreno na configuração de polarização dreno externo.

A Figura 2.3 ilustra o fluxo da corrente de dreno que é radial e divergente no SOI MOSFET de porta circular na configuração de polarização de dreno interno e o fluxo de corrente de dreno que é radial e convergente na configuração de polarização de dreno externo.

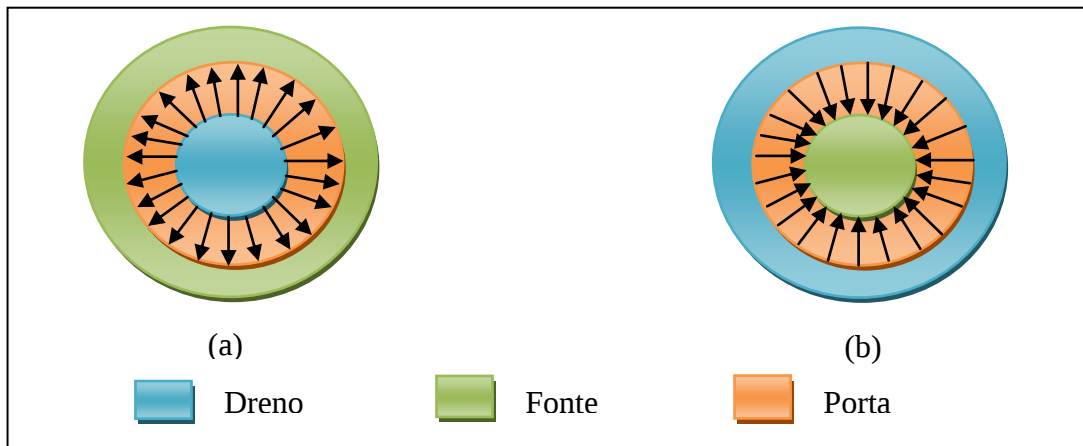


Figura 2.3- Ilustração do fluxo de corrente de dreno radial e divergente do SOI MOSFET de porta circular em configuração de polarização de dreno interno (a), fluxo de corrente de dreno radial e convergente do SOI MOSFET de porta circular em configuração de polarização de dreno externo (b).

A corrente de dreno do SOI MOSFET em configuração de polarização de dreno interno é maior que a da configuração de polarização de dreno externo, devido às diferenças de áreas das regiões internas e externas de fonte e dreno, que acarretam em diferentes resistências séries de fonte e dreno e consequentemente produzem diferentes V_{GS} efetivos ($V_{GS\text{ efetivo}}$) para essas configurações, conforme a Figura 2.4 [9].

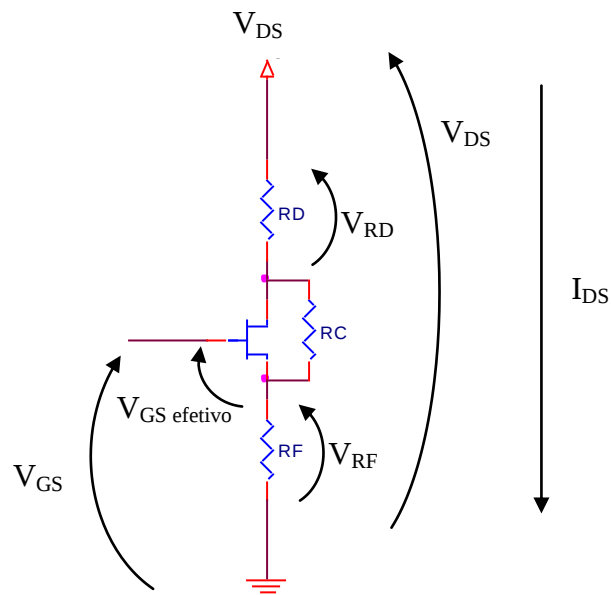


Figura 2.4 – Exemplo de um MOSFET indicando as tensões das resistências série de dreno e de fonte.

Na Figura 2.4, R_D é a resistência série de dreno, R_F é a resistência série de fonte e R_C é a resistência do canal, V_{DS} é a tensão entre dreno e fonte, V_{RD} é a diferença de potencial em R_D , V_{RF} é a diferença de potencial em R_F , V_{GS} é a tensão entre a porta e a

fonte, V_{GS} efetivo é a tensão entre a porta e fonte efetiva e I_{DS} é a corrente entre dreno e fonte.

2.3 Wave SOI MOSFET

A estrutura Wave SOI MOSFET surgiu a partir do corte do SOI MOSFET com a porta em anel circular, onde se cortando o dispositivo ao meio e deslocando-se os dois semicírculos até obter uma geometria em forma de “S”, conforme é mostrado na Figura 2.5 [14].

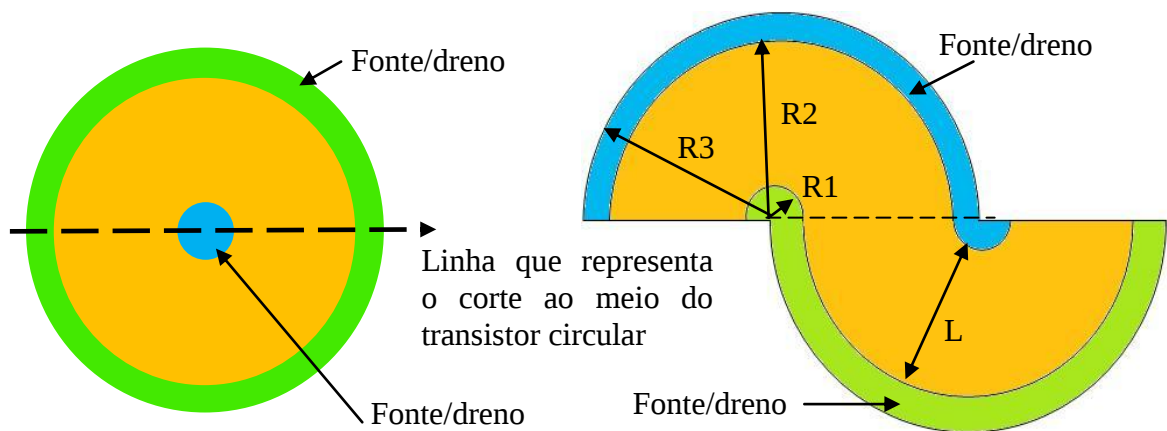


Figura 2.5 – Exemplo do transistor de porta circular, cortado ao meio e deslocando-se os seus semicírculos até formar um “S”, gerando o Wave SOI MOSFET.

Onde $R1$ é o raio que indica o início da região de porta, $R2$ é o raio que indica o final da região de porta, L é o comprimento do canal igual a $(R2-R1)$ e $R3$ o raio da região externa da fonte na configuração de polarização de dreno interno ou o raio da região externa do dreno na configuração de polarização de dreno externo.

As regiões de fonte e dreno do Wave são simétricas, diferentemente dos MOSFET de porta em anel circular [14].

A relação entre o fator geométrico (f_g) do SOI MOSFET convencional, do circular e do Wave é dado pela equação (2.3) [14].

$$fg = \left(\frac{W}{L} \right)_{\text{retangular}} = \left[\frac{2\pi}{\ln\left(\frac{R2}{R1}\right)} \right]_{\text{circular}} = \left[\frac{2\pi}{\ln\left(1 + \frac{L}{R1}\right)} \right]_{\text{circular}} = \left[\frac{2\pi}{\ln\left(1 + \frac{L}{R1}\right)} \right]_{\text{Wave}} \quad (2.3)$$

O Wave SOI MOSFET possui simetria entre as regiões de dreno e fonte, porque essas regiões possuem as mesmas dimensões. Em um semicírculo desse transistor tem-se a configuração de polarização de dreno externo e no outro semicírculo tem-se a configuração de polarização de dreno interno. A Figura 2.6 mostra um exemplo de um transistor Wave com as regiões definidas de dreno, porta e fonte.

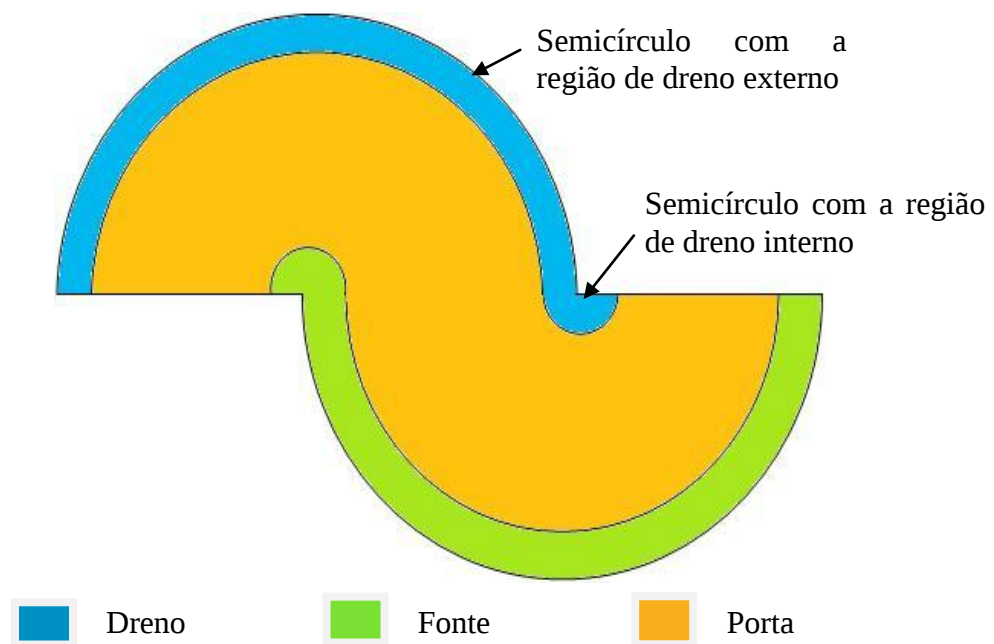


Figura 2.6 – Exemplo de um Wave SOI nMOSFET.

O fluxo da corrente de dreno é radial e divergente na configuração de polarização de dreno interno e convergente na configuração de polarização de dreno externo [14], como pode ser visto na Figura 2.7.

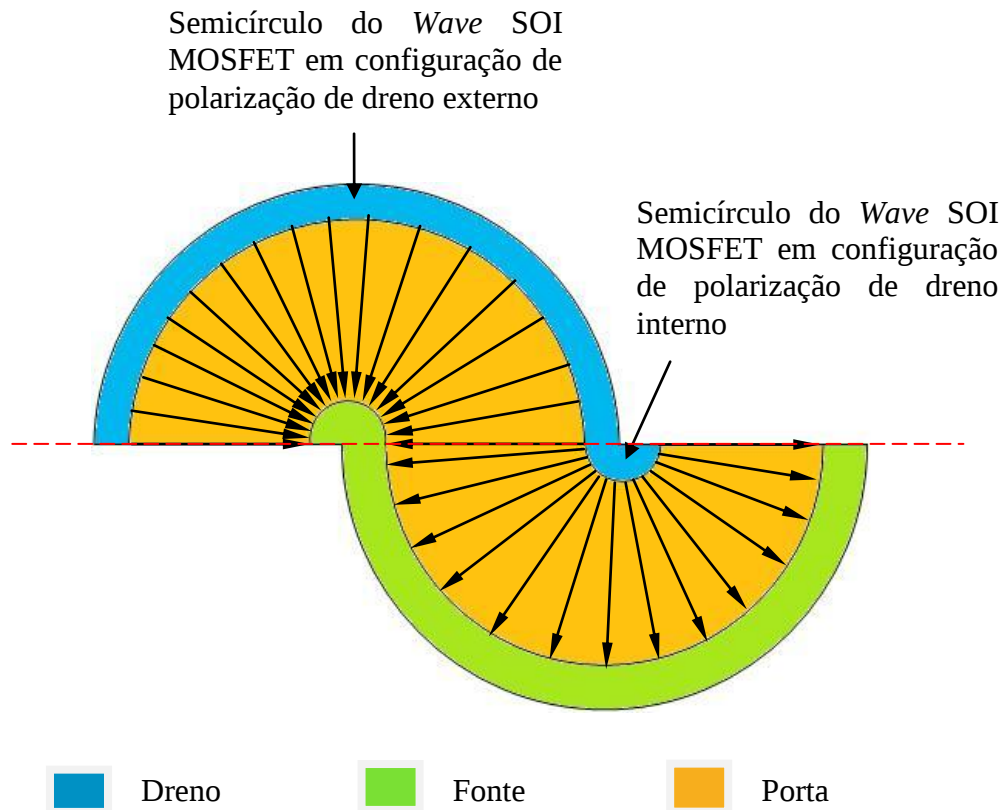


Figura 2.7 – Ilustração do fluxo de corrente radial em cada semicírculo da estrutura Wave SOI MOSFET.

2.4 Tensão de limiar

A tensão de limiar (V_{TH}) pode ser definida como a mínima tensão de porta, que é capaz de atrair portadores minoritários para inverter o canal. Em primeira aproximação os valores de tensão de porta acima do valor da tensão de limiar são capazes de formar uma camada de inversão, com concentração de portadores livres. A tensão de limiar de um SOI nMOSFET convencional parcialmente depletado (PD) é dada pela equação (2.4) [20,21,22].

$$V_{TH} = \frac{qN_A X_{dMAX}}{C_{OX}} + 2\phi_F + V_{FB} \quad (2.4)$$

Onde q é a carga elementar do elétron, N_A é a concentração de dopantes no filme de silício onde se forma o canal do transistor por unidade de volume, $X_{dMÁX}$ é a espessura máxima da região de depleção, C_{OX} é a capacitância do óxido de porta por unidade de área, Φ_F é o potencial de Fermi e V_{FB} é a tensão de faixa plana [20, 21,22].

A tensão de limiar pode ser extraída pelo método da segunda derivada da curva de I_{DS} versus V_{GS} na região triodo. Este método usa o valor máximo de pico da curva da segunda derivada de I_{DS} versus V_{GS} , traçando uma reta perpendicular ao eixo dos V_{GS} e no cruzamento dessa reta com o eixo X, extrai-se o valor da tensão de limiar (V_{TH}). Neste método, a extração da tensão de limiar independe da degradação da mobilidade e da resistência série parasita [20, 21,22, 23]. A Figura 2.8 apresenta um exemplo de uma curva da segunda derivada de I_{DS} versus V_{GS} e o valor que foi extraído de V_{TH} .

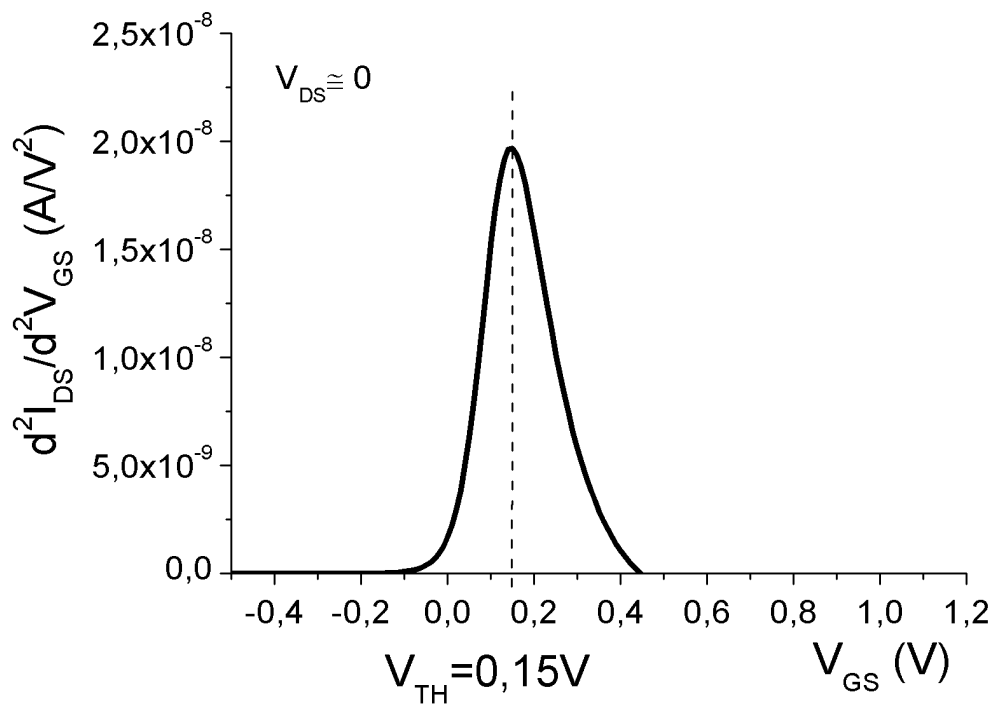


Figura 2.8 – Exemplo de uma curva da segunda derivada da corrente de dreno em função da tensão de porta do SOI nMOSFET, para extração da tensão de limiar.

2.5 Efeito de canal curto

O efeito de canal curto ocorre quando se reduz o comprimento de canal dos dispositivos a um valor onde as cargas da região de depleção, que são controladas pela porta, começam a sofrer a influência das regiões de depleção de dreno e de fonte [24]. Esta influência causa efeitos indesejáveis, como a redução da tensão de limiar (V_{TH}) e o aumento do valor de inclinação de sublimiar (S) [24].

A Figura 2.9 (a) ilustra um SOI nMOSFET com comprimento de canal sem o efeito de canal curto (perfil de cargas trapezoidal) e a Figura 2.9 (b) ilustra um SOI nMOSFET com comprimento de canal apresentando o efeito de canal curto (perfil de carga triangular) (b).

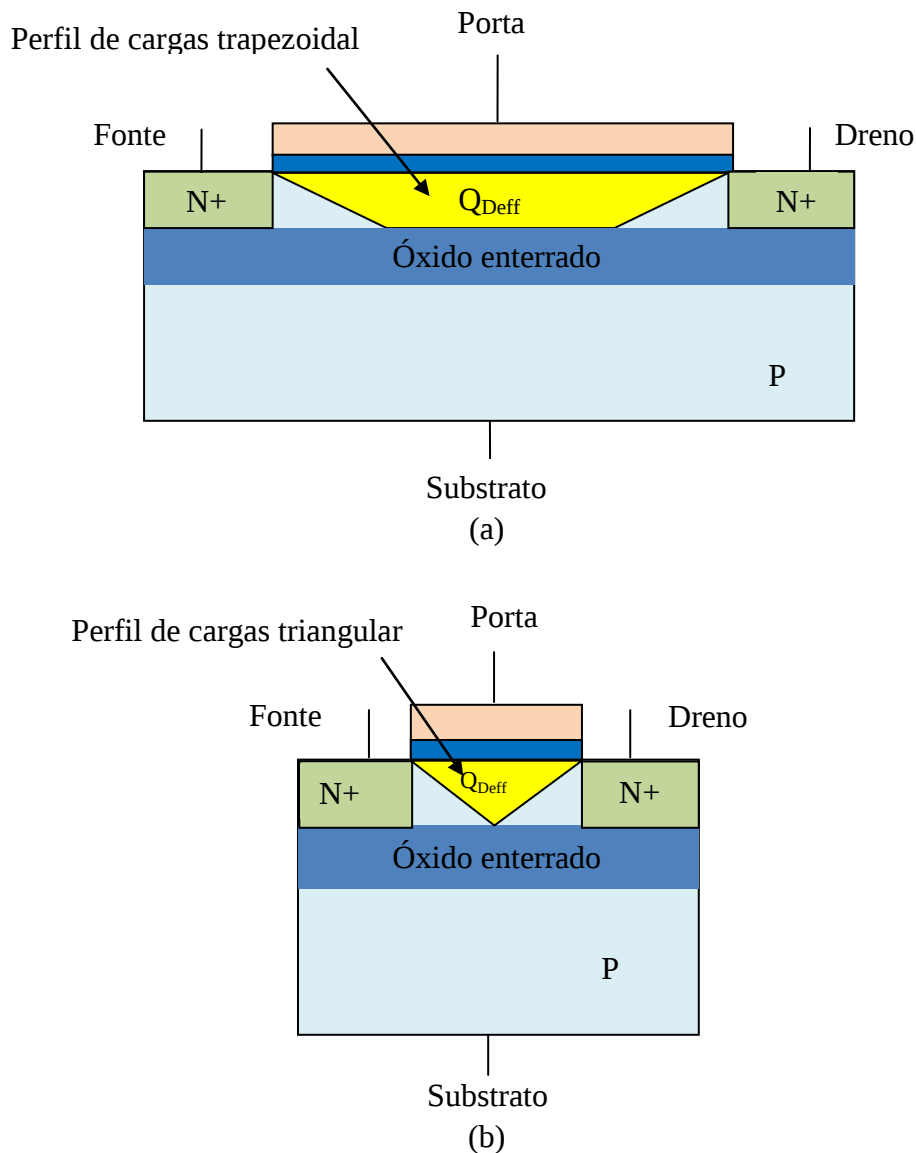


Figura 2.9 – Exemplo de um SOI nMOSFET com comprimento de canal sem a influência do efeito de canal curto (a), e com a influência do efeito de canal curto (b).

2.6 Inclinação de sublimiar

A inclinação de sublimiar (S) é o inverso da inclinação da curva I_{DS} versus V_{GS} em regime de sublimiar, com a corrente de dreno em escala logarítmica, conforme a expressão (2.5) [25]. Os valores de S são dados em milivolts por década (mV/dec). Os valores típicos da inclinação de sublimiar de um SOI MOSFETs se encontram dentro da faixa de 60 a 120 mV/dec em temperatura ambiente. Quanto menor for o valor da inclinação de sublimiar, mais rápida será a capacidade do transistor em realizar chaveamentos e consequentemente melhor o transistor será para as aplicações digitais [25].

$$S = \frac{dV_{GS}}{d(\log I_{DS})} \quad (2.5)$$

A Figura 2.10 apresenta um exemplo de curva $\text{Log}(I_{DS})$ versus V_{GS} de um SOI MOSFET para extração de S .

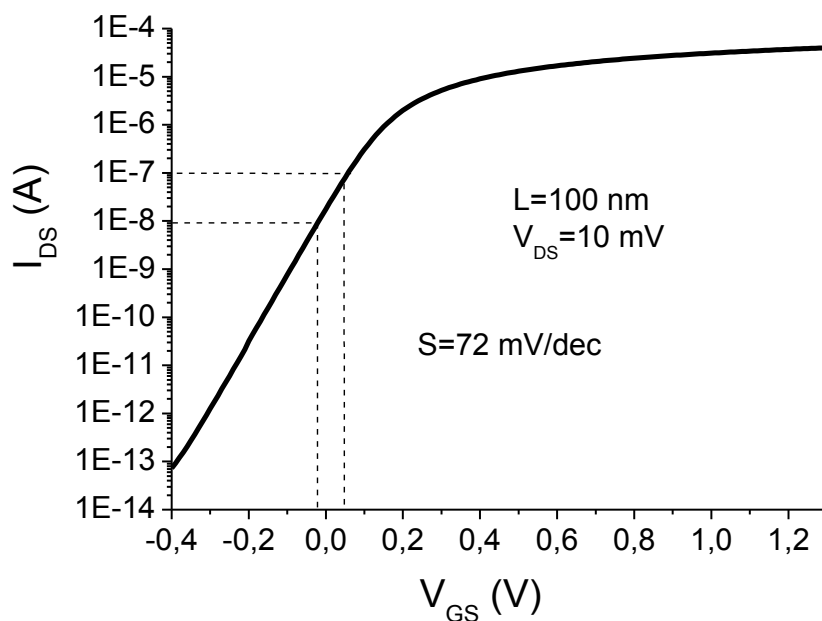


Figura 2.10 – Exemplo de uma curva $\text{Log}(I_{DS})$ versus V_{GS} para um SOI nMOSFET parcialmente depletado.

2.7 Transcondutância

Defini-se a transcondutância (g_m) de um SOI MOSFET, como o quão eficiente é o controle da tensão de porta sobre a corrente entre o dreno e a fonte, ou como a mudança da corrente de dreno se comporta em relação à mudança da tensão de porta [26]. A equação (2.6) define a transcondutância que é obtida através da derivada da corrente de dreno em relação ao potencial entre porta e fonte e é dada por [27]:

$$g_m = \frac{dI_{DS}}{dV_{GS}} \quad (2.6)$$

Para um SOI MOSFET convencional parcialmente depletado na região de saturação, a transcondutância é definida conforme a equação (2.7) [27]:

$$g_m = \frac{\mu C_{OX} W}{(1 + \alpha)L} (V_{GS} - V_{TH}) \quad (2.7)$$

Onde α é igual $\epsilon_{si} / C_{OX} X_{dm\acute{a}x}$, μ é a mobilidade dos portadores no canal; ϵ_{si} é a permissividade do silício, α é o fator de acoplamento; C_{OX} é a capacitância do óxido de porta por unidade de área; W é a largura do canal; L é o comprimento de canal.

2.8 Razão da transcondutância pela corrente de dreno em função da corrente de dreno normalizada em relação ao fator geométrico [g_m/I_{DS} versus $I_{DS}/(W/L)$]

A razão da transcondutância pela corrente de dreno em função da corrente de dreno normalizada em relação ao fator geométrico é usada em projetos de circuitos integrados analógicos de baixa potência e baixa tensão (*Low Power Low Voltage*) [28]. A curva [g_m/I_{DS} versus $I_{DS}/(W/L)$] serve para determinar as dimensões dos transistores (W e L) e indicar em qual região de inversão os transistores operam [28]. Essa curva está diretamente relacionada às características elétricas da resposta em frequência dos circuitos integrados analógicos, tais como o ganho de tensão de malha aberta de um único transistor (A_v), a frequência de ganho

de tensão unitário (f_T), a margem de fase (PM) e taxa máxima de variação da tensão de saída em função do tempo (*slew rate*, SR) [29].

A Figura 2.11 ilustra um exemplo da curva g_m/I_{DS} versus $[I_{DS}/(W/L)]$ indicando as regiões de inversão fraca, moderada e forte. Como critério para definir as regiões, será adotado que acima de 90% de g_m/I_{DS} encontra-se a região de inversão fraca, abaixo de 10% encontra-se a região de inversão forte e entre esses valores encontra-se a região de inversão moderada, esse método assemelha-se ao critério das referências [30, 31].

Quando o transistor é polarizado na região de inversão fraca, podem-se alcançar maiores valores de ganho de tensão de malha aberta de um único transistor (A_V) e os menores valores de frequência de ganho de tensão unitário (f_T). Quando o transistor é polarizado na região de inversão moderada, tem-se um bom compromisso entre os valores de ganho tensão de malha aberta de um único transistor (A_V) e a frequência de ganho de tensão unitário (f_T). Quando polarizado na região de inversão forte, podem-se conseguir altos valores de frequência de ganho de tensão unitário (f_T) e baixos valores de ganho de tensão de malha aberta de um único transistor (A_V) [29, 30, 31].

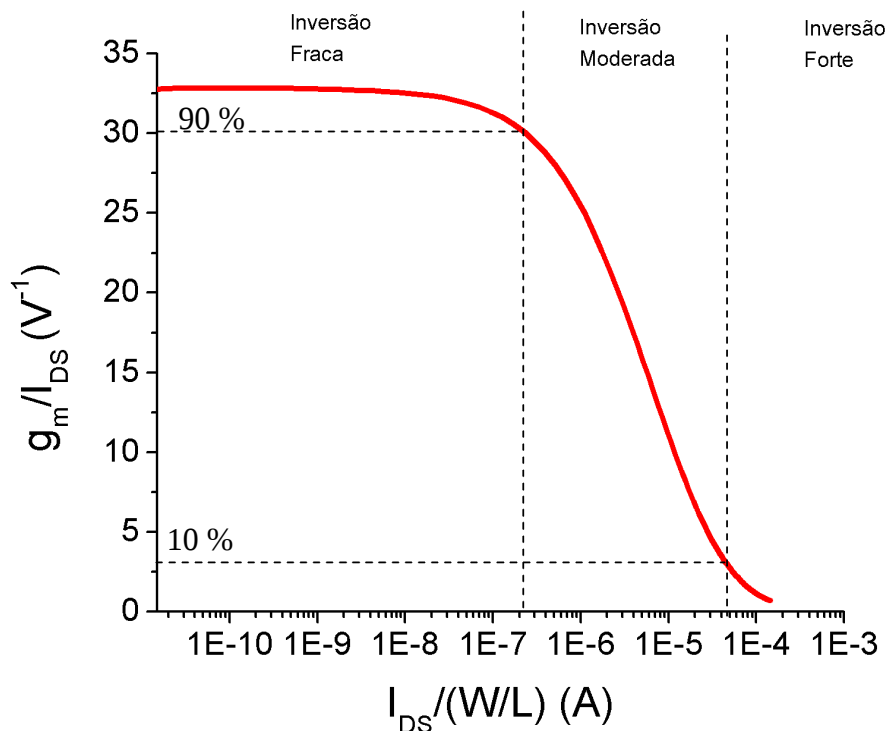


Figura-2.11 – Exemplo de uma curva g_m/I_{DS} versus $[I_{DS}/(W/L)]$, com a identificação das regiões de inversão fraca, moderada e forte.

2.9 Ganho de tensão de malha aberta de um único transistor

O ganho de tensão de malha aberta (A_V) de um único transistor é dado pela equação (2.8) [28]. Quanto maior for a relação g_m/I_{DS} e quanto maior for V_{EA} , maior é o ganho de tensão de malha aberta do dispositivo (A_V):

$$A_V = \frac{g_m}{I_{DS}} V_{EA} \quad (2.8)$$

Onde g_m é a transcondutância, I_{DS} é a corrente de dreno em que se encontra polarizado o transistor e V_{EA} é a tensão Early.

2.10 Frequência de ganho de tensão unitário

A frequência de ganho de tensão unitário (f_T) relaciona a transcondutância com a capacitância da carga e é dada pela equação (2.9) [28].

$$f_T = \frac{1}{2\pi} \frac{g_m}{C_L} = \frac{1}{2\pi} \left(\frac{g_m}{I_{DS}} \right) \frac{I_{DS}}{C_L} \quad (2.9)$$

Onde C_L é a capacitância de carga.

2.11 Resistência série

A resistência série ($R_{Série}$) de um SOI MOSFET pode ser definida como a soma das resistências parasitas do dreno (R_D), da fonte (R_F) e a resistência do canal (R_C). Estas resistências são intrínsecas ao transistor e podem ser representadas pelo circuito mostrado na Figura 2.12 [32, 33].

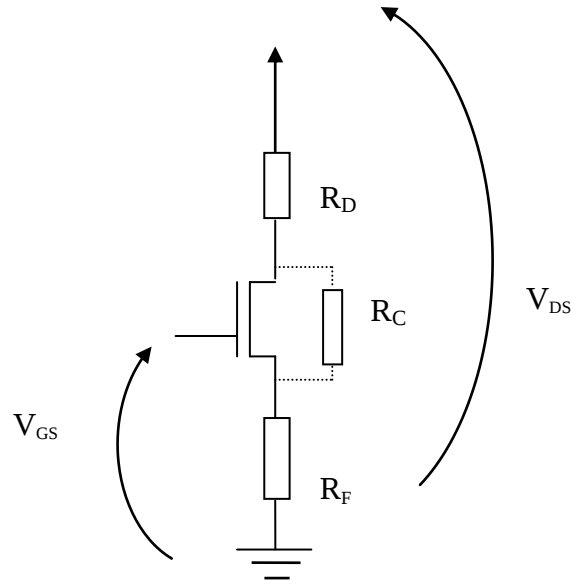


Figura 2.12 – Exemplo de um circuito SOI MOSFET com as resistências séries de dreno, fonte e do canal.

A resistência série total ($R_{Série}$) é dada pela expressão (2.10) [32, 33].

$$R_{Série} = R_D + R_F + R_C \quad (2.10)$$

Ao se aplicar baixos valores de V_{DS} e altos valores de V_{GS} (muito acima de V_{TH}) em um transistor, ocorre à inversão do canal e com isso a resistência do canal (R_C) torna-se desprezível, quando é comparada com os valores das resistências série da região de dreno (R_D) e da fonte (R_F). Assim a resistência série do transistor, pode ser expressa como a soma das resistências série do dreno e da fonte, conforme a equação (2.11) [32, 33].

$$R_{Série} = R_D + R_F \quad (2.11)$$

Neste trabalho será considerada a sobre tensão de porta (V_{GT}), onde $V_{GT} = (V_{GS} - V_{TH})$ devido às diferenças de tensão de limiar entre os transistores.

Para fins de comparação a resistência série é extraída a partir da curva da resistência ao longo do canal de R versus V_{GT} para altos valores de V_{GT} quando se observa um patamar paralelo ao eixo de V_{GT} [33, 34]. R versus V_{GT} é obtido a partir da curva de I_{DS} versus V_{GT} ,

dividindo-se V_{DS} por I_{DS} , para obter a curva da resistência (R) ao longo do canal em função de V_{GT} . V_{DS} deve ter valor muito próximo de zero, que neste caso é considerado igual a 10 mV. O processo de extração de V_{GT} foi elaborado a partir dos dados de simulação, onde foi feito um ajuste exponencial decrescente de terceira ordem para obter a equação que representa R versus V_{GT} . Essa equação foi colocada no Excel [35] e extrapolada até o valor de V_{GT} igual a 5 V. A curva da Figura 2.13 mostra um exemplo da curva da resistência série ao longo do canal em função de V_{GT} , com a extrapolação dos valores de V_{GT} até 5 V [34]. Esta extrapolação foi feita através do *software ORIGIN* [36], com uma equação exponencial decrescente de terceira ordem. Transferindo a equação exponencial para o *software EXCEL* [35], foram calculados os valores extrapolados de V_{GT} até 5 V e encontrada a resistência série dos transistores.

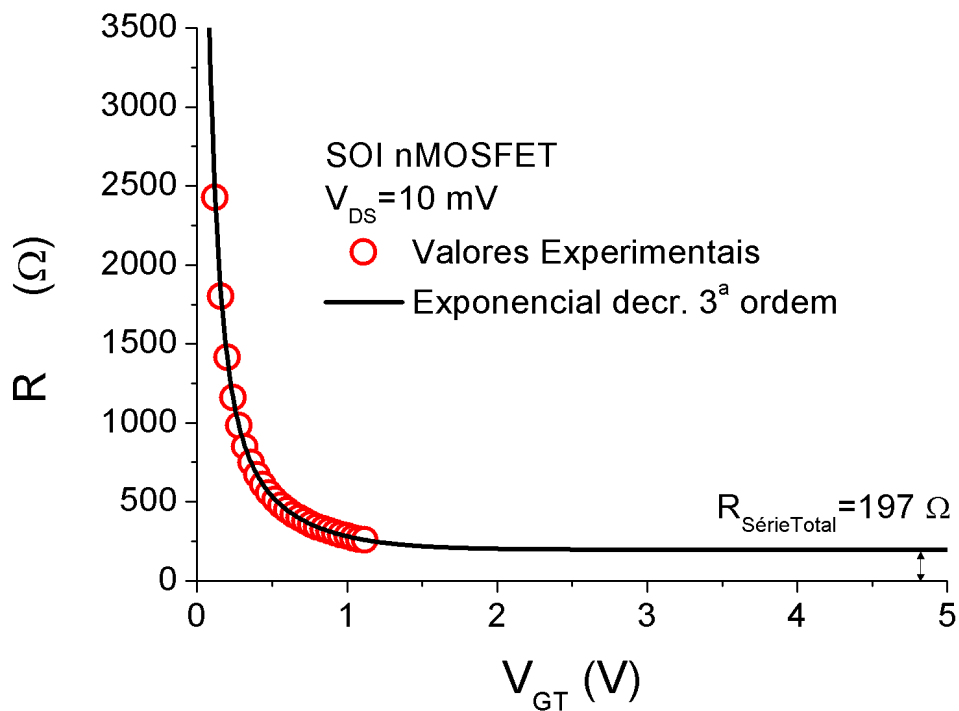


Figura 2.13 – Exemplo de uma curva da resistência série em função de V_{GT} de um SOI nMOSFET resultante de simulação numérica tridimensional e sua respectiva extrapolação para valores de V_{GT} igual a 5 V, a partir de uma equação exponencial decrescente de 3ª ordem.

No exemplo da Figura 2.13 os valores simulados de V_{GT} vão até 1,3V, pois o óxido de porta é muito fino ($t_{SI}=2,5 \text{ nm}$). Através da curva exponencial decrescente de 3ª ordem, foi

extrapolada para uma tensão de V_{GT} até 5 V, chegando-se como no exemplo a um valor de resistência série total de dreno e de fonte próximo a 197 Ω .

2.12 Tensão Early (V_{EA})

Através da curva de I_{DS} versus V_{DS} é possível determinar a tensão Early por extrapolação da parte linear da região de saturação, até encontrar o eixo de V_{DS} . Altos valores de tensão Early significam uma menor dependência da corrente de dreno de saturação em relação à tensão de dreno, para um determinado valor de sobretensão de porta ($V_{GT}=V_{GS}-V_{TH}$) [37]. Devido ao efeito da modulação do comprimento de canal, quando V_{DS} ultrapassa a tensão de dreno de saturação, o comprimento efetivo do canal diminui no sentido da região de dreno para a região de fonte, resultando no aumento da corrente de dreno na região de saturação. Para uma melhor ilustração e entendimento, a Figura 2.14 apresenta as curvas de I_{DS} versus V_{DS} , para diferentes valores de V_{GT} ($V_{GT}=V_{GS}-V_{TH}$) [37].

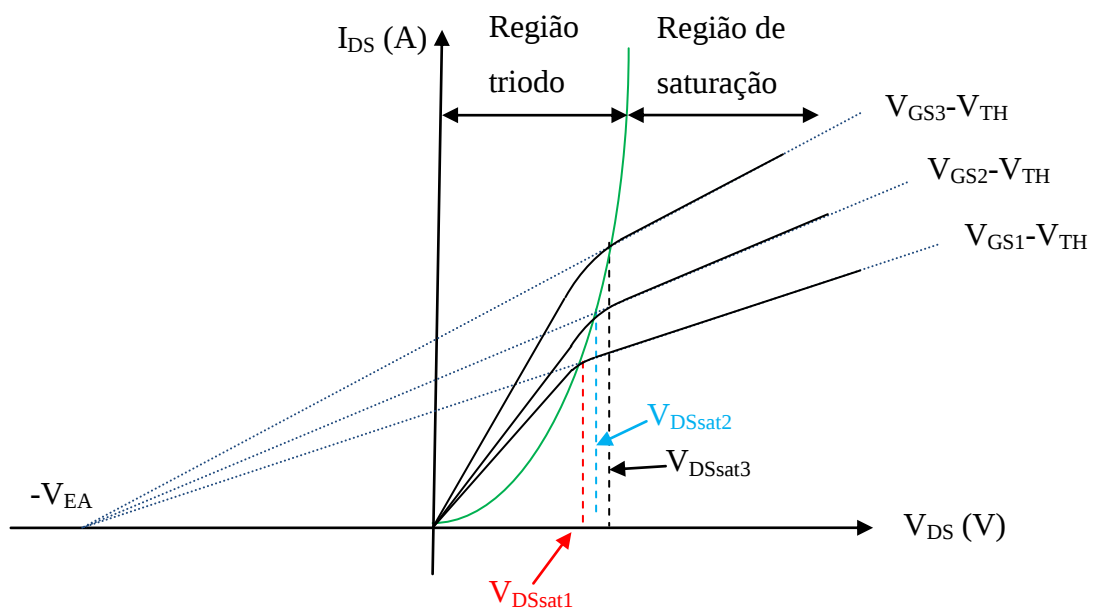


Figura 2.14 – I_{DS} versus V_{DS} ilustrando a extrapolação da região linear na região de saturação para determinação de V_{EA} .

3 SIMULAÇÕES NUMÉRICAS TRIDIMENSIONAIS

Este capítulo apresenta os resultados das simulações numéricas tridimensionais geradas pelo estudo comparativo entre o convencional e o *Wave* SOI nMOSFETs, para diferentes comprimentos de canal (L) e diferentes condições de polarização. Para construir as estruturas de ambos os transistores, foi usado o programa *DevEdit3D* para implementar suas estruturas e especificar a suas malhas (mesh) [38]. O ambiente *DeckBuild* foi utilizado para editar os arquivos de entrada dos arquivos de simulação, especificando a concentração de dopantes das regiões, a nomeação dos contatos dos dispositivos, a seleção dos modelos matemáticos de simulação, a definição dos parâmetros para a simulação dos dispositivos, como a faixa de valores para V_{GS} e a faixa de valores para V_{DS} [39]. A Figura 3.1 ilustra um exemplo de estruturas convencional (3.1.a) e uma estrutura do *Wave* SOI nMOSFET (3.1.b). O programa *Atlas* [40] foi usado para realizar as simulações numéricas tridimensionais dos transistores. O programa *ORIGIN* [36] foi usado para gerar os gráficos das curvas características dos dispositivos. O Apêndice A exemplifica dois arquivos de simulação (*Atlas* da Silvaco) utilizados neste trabalho, para a realização das simulações numéricas tridimensionais dos SOI nMOSFETs convencional e *Wave*.

Para construir o *Wave* SOI nMOSFET no *Devedit 3D* são necessárias vinte regiões, enquanto que para construir o convencional são necessários apenas nove regiões, conforme o Apêndice B. Isso demonstra a dificuldade na implementação do transistor *Wave* no editor de dispositivo em relação ao convencional. Essa diferença entre a quantidade de regiões entre esses dispositivos afetou diretamente a elaboração da grade (mesh) e conseqüentemente o tempo de simulação. Para ilustrar, o tempo de simulação de uma curva I_{DS} versus V_{GS} para o *Wave* foi de 90 horas e para o convencional equivalente foi de 12 horas, ou seja, o tempo de simulação do *Wave* foi sete vezes maior quando comparado ao do convencional.

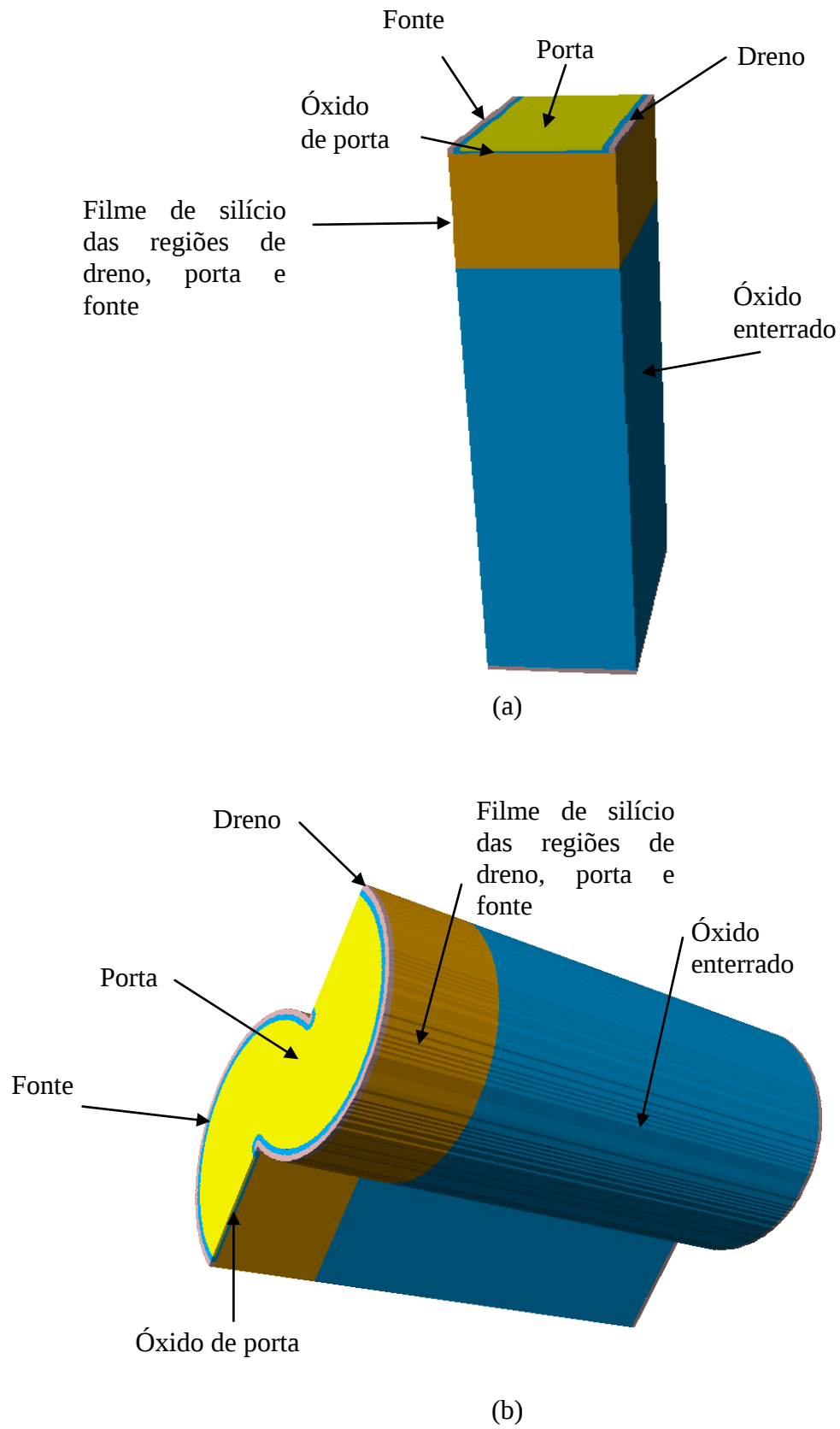


Figura 3.1- Exemplos de estruturas tridimensionais do convencional (a) e do Wave SOI nMOSFETs (b), respectivamente.

3.1 Modelos matemáticos usados nas simulações numéricas tridimensionais

A seguir estão as descrições dos modelos matemáticos utilizados nas simulações numéricas tridimensionais dos dispositivos.

-SRH (*Shockley-Read-Hall*): Modelo de recombinação, que leva em consideração o tempo de vida dos portadores minoritários e majoritários [40];

-Auger: Modelo de recombinação usado para dispositivos com alta concentração de dopantes [40];

-Fldmob: Modelo de mobilidade que relaciona a mobilidade com o campo elétrico paralelo. Sua utilização é sugerida em estruturas de silício e Arseneto de Gálio [40];

-Kla (Klaassen): Modelo de mobilidade que considera as mobilidades de elétrons e lacunas diferentes. É dependente da concentração de dopantes, da temperatura e da concentração de portadores no canal. Este modelo é recomendado para transistor da tecnologia SOI [40];

-Shi (Shirahata): Modelo de mobilidade que combina os efeitos na camada de inversão com a dependência do campo elétrico perpendicular nas estruturas com espessuras de óxidos de porta fino [40];

-Impact Selberherr: Modelo de ionização por impacto que dependente do campo elétrico. Inclui também parâmetros dependentes da temperatura [40].

3.2 Estruturas dos dispositivos simulados

As características tecnológicas de todos os dispositivos parcialmente depletados simulados são: espessura da camada de óxido de porta de 2,5 nm, espessura da camada do filme de silício de 100 nm, a espessura do óxido enterrado de 400 nm, a concentração de dopantes na região de canal (N_A) de $5,5 \times 10^{17} \text{ cm}^{-3}$ e concentração de dopantes na região de dreno e fonte ($N_{D/S}$) de $1 \times 10^{20} \text{ cm}^{-3}$.

A Tabela 3.1 apresenta os valores dos comprimentos (L) e das larguras (W) de canal das estruturas tridimensionais dos convencionais e *Wave* SOI nMOSFETs utilizados para realizar o estudo comparativo entre esses dispositivos, através das simulações numéricas tridimensionais.

Tabela 3.1- Dimensões de comprimento e largura de canal das estruturas tridimensionais dos dispositivos convencionais e *Wave* SOI nMOSFETs.

Comprimento de canal L (nm)	Convencional		<i>Wave</i>	
	Largura de canal W (nm)	W/L	Largura de canal W (nm)	W/L
100	265	2,65	262	2,62
200	450	2,25	413	2,06
400	680	1,70	677	1,69
600	950	1,58	1098	1,89
800	1350	1,68	1353	1,69

No Apêndice B são mostrados os valores das dimensões de cada região do transistor, que devem ser consideradas durante a implementação dessas duas estruturas tridimensionais, sendo uma correspondente ao *Wave* SOI nMOSFET e a outra do seu equivalente convencional, com comprimento de canal (L) de 100 nm.

3.3 Resultados das simulações numéricas tridimensionais

Foram realizadas simulações numéricas tridimensionais em temperatura ambiente, ou seja, de 25 °C (300K), considerando diferentes valores de V_{DS} (10 mV, 100 mV, 300 mV, 500 mV, 700 mV e 900 mV).

Em função das diferenças geométricas entre os dispositivos convencionais e os *Wave* SOI nMOSFETs simulados neste trabalho, os valores da corrente de dreno foram normalizados em função do fator geométrico (W/L).

3.3.1 Tensão de limiar

A tensão de limiar (V_{TH}) foi extraída pelo método da segunda derivada da corrente de dreno em função da tensão de porta, considerando a tensão de dreno igual a 10 mV. A figura 3.2 apresenta a curva da corrente de dreno em função da tensão de porta para o dispositivo Wave SOI nMOSFET com $L=400$ nm.

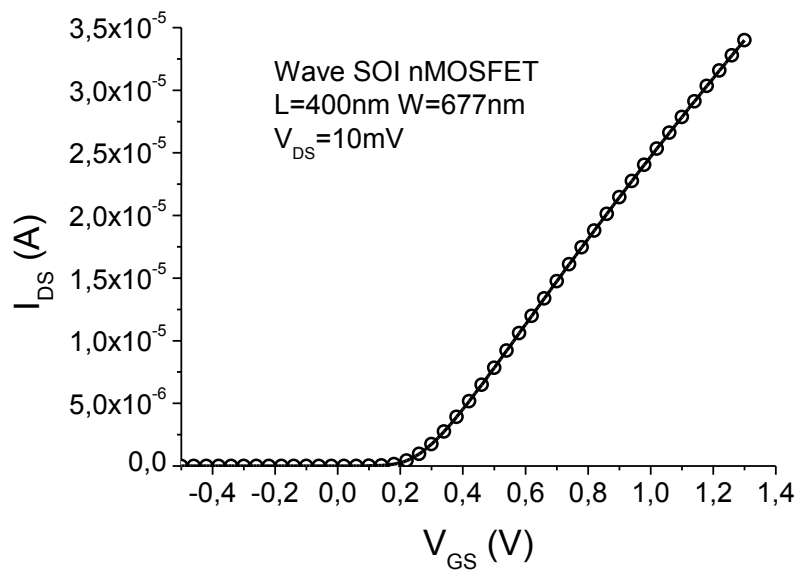


Figura 3.2 – Curva I_{DS} em função de V_{GS} do Wave SOI nMOSFET com $L=400$ nm, utilizada para a extração da tensão de limiar.

Tabela 3.2- Valores das tensões de limiar dos dispositivos simulados.

Comprimento de canal L (nm)	V_{TH} (V)	
	Convencional	Wave
100	0,15	0,15
200	0,23	0,22
400	0,25	0,24
600	0,25	0,25
800	0,26	0,25

As curvas da Figura 3.2 comparam as tensões de limiar extraídas por simulações numéricas tridimensionais dos convencionais e Wave SOI nMOSFETs, considerando diferentes valores de comprimentos de canal.

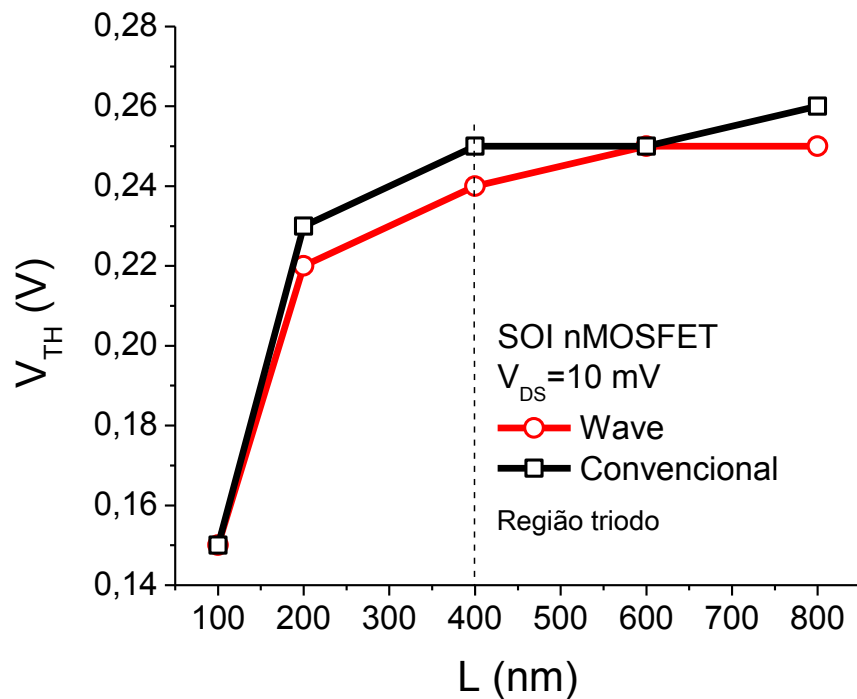
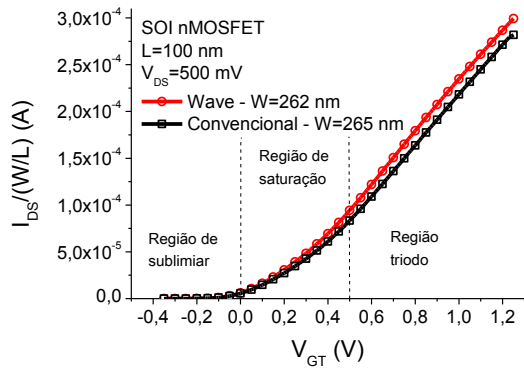


Figura 3.3- Curva da Tensão de limiar em função do comprimento de canal dos convencionais e Wave SOI nMOSFETs, considerando $V_{DS}=10$ mV.

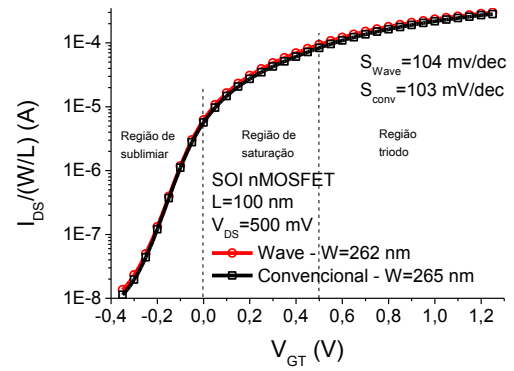
O comportamento da tensão de limiar é praticamente o mesmo, entre os dispositivos convencional e Wave SOI nMOSFET para a faixa de valores de largura e comprimento de canal estudados. Observando-se também a Figura 3.3, verifica-se que o efeito de canal curto começa a aparecer em ambos os dispositivos, a partir de valores de comprimento de canal inferiores a 400 nm, devido à redução da tensão de limiar à medida que se reduz o comprimento de canal.

3.3.2 Características das curvas da corrente de dreno normalizada pelo fator geométrico em função da sobretensão de porta [$I_{DS}/(W/L)$ versus V_{GT}] e das curvas do $\text{Log}[I_{DS}/(W/L)]$ versus V_{GT} .

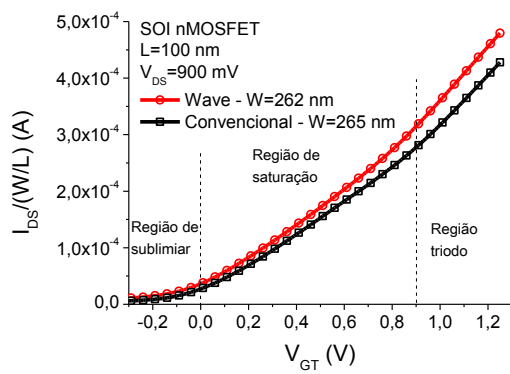
Os gráficos da Figura 3.4 apresentam as curvas de $I_{DS}/(W/L)$ versus V_{GT} e as curvas $\text{Log}[I_{DS}/(W/L)]$ versus V_{GT} dos convencionais e Wave SOI nMOSFETs, para diferentes valores de L (100 nm, 400 nm e 800 nm), considerando-se diferentes valores de V_{DS} (500 mV e 900 mV).



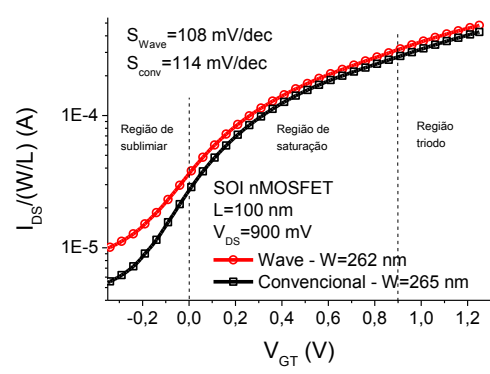
(a.1)



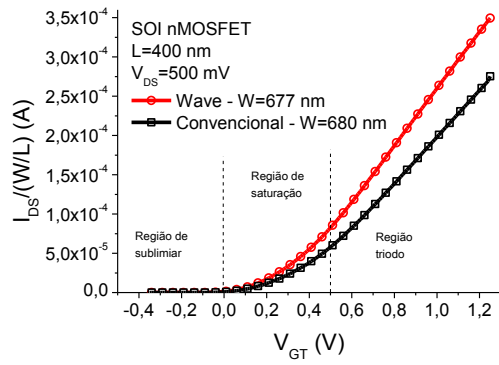
(a.2)



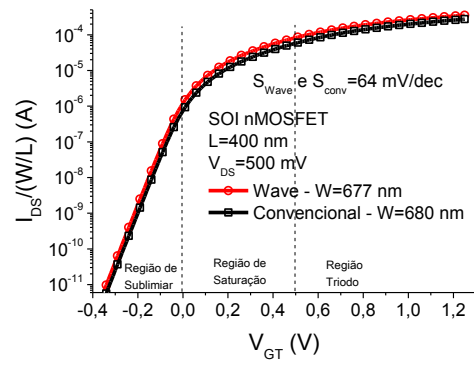
(a.3)



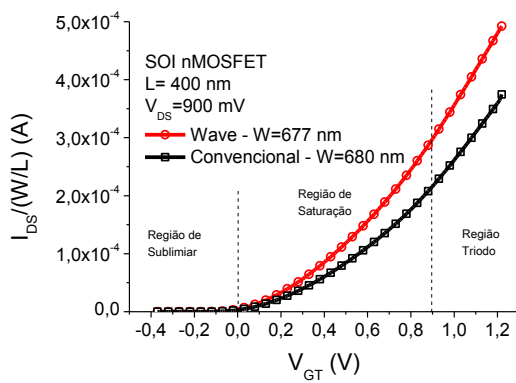
(a.4)



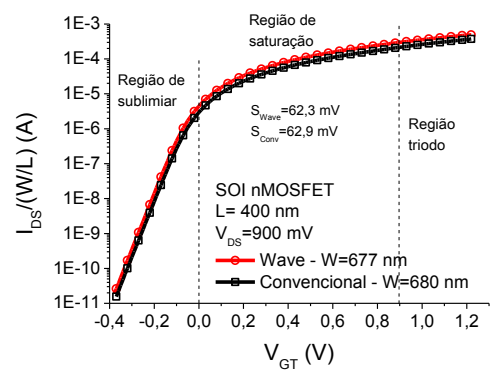
(b.1)



(b.2)



(b.3)



(b.4)

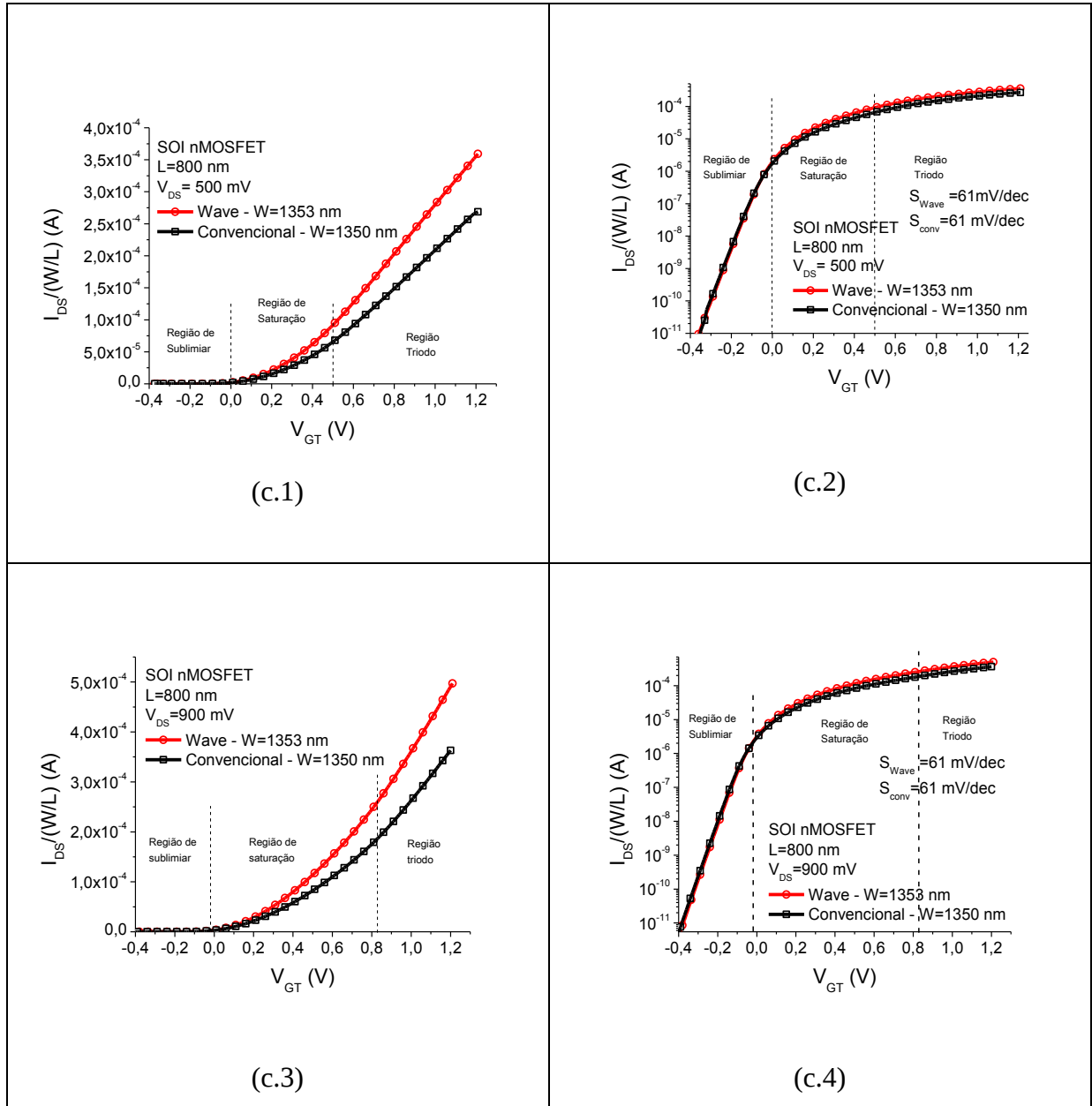


Figura 3.4 – $I_{DS}/(W/L)$ versus V_{GT} e $\text{Log}[I_{DS}/(W/L)]$ versus V_{GT} do convencional e do Wave SOI nMOSFETs, para $L=100$ nm com V_{DS} igual a 500 mV (a.1 e a.2) e V_{DS} igual a 900 mV (a.3 e a.4), para $L=400$ nm com V_{DS} igual a 500 mV (b.1 e b.2), V_{DS} igual a 900 mV (b.3 e b.4) e para $L=800$ nm com V_{DS} igual a 500 mV (c.1 e c.2) e V_{DS} igual a 900 mV (c.3 e c.4), respectivamente.

Analisando-se as curvas da Figura 3.4, verifica-se que a corrente de dreno no Wave SOI nMOSFET é sempre maior que a do convencional nas regiões de saturação e triodo, isto ocorre devido às diferenças de áreas das regiões internas e externas de fonte e dreno do dispositivo, que acarretam em diferentes resistências séries, produzindo diferentes V_{GS} efetivos. Esta tendência foi observada para todos os comprimentos de canal simulados (100 nm, 200 nm, 400 nm, 600 nm e 800 nm) e todos os valores de V_{DS} simulados (10 mV, 100

mV, 300 mV, 500 mV, 700 mV e 900 mV). Além disso, com relação às curvas do Log $[I_{DS}/(W/L)]$, usando como critério de comparação os valores de I_{DS} para $V_{GT} = -0,3$ V, pode-se observar que a corrente de dreno na região de sublimiar do *Wave* SOI nMOSFET é também sempre maior que a do convencional, devido à menor área de dreno na configuração de polarização dreno interno e à menor área de fonte na configuração de polarização dreno externo, ocasionando uma maior densidade total de corrente, proporcionando maiores correntes para baixos valores de V_{GS} . Adicionalmente quando se analisa o Log $[I_{DS}/(W/L)]$ versus V_{GT} , o comportamento da inclinação de sublimiar dos convencionais e dos *Wave* SOI nMOSFETs são similares para comprimentos de canal (L) iguais ou superiores a 400 nm, ou seja, o efeito de canal curto afeta mais a estrutura *Wave* quando comparada com a do convencional devido à diferença de área entre a região de fonte e de dreno.

A Tabela 3.3 apresenta os valores da corrente de dreno extraídas das curvas de $I_{DS}/(W/L)$ versus V_{GT} (Figura 3.4) na interface das regiões de saturação e triodo, para os diferentes valores de comprimento de canal e V_{DS} estudados.

Tabela 3.3 - Valores da corrente de dreno na interface das regiões de saturação e triodo, para comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, para diferentes valores de V_{DS} (500 mV e 900 mV).

L=100 nm			
V_{DS} (mV)	$I_{DS}/(W/L)$ (A)		$\left(\frac{\left(\frac{I_{DS}}{\left(\frac{W}{L} \right)} \right)_{Wave} - \left(\frac{I_{DS}}{\left(\frac{W}{L} \right)} \right)_{Conv}}{\left(\frac{I_{DS}}{\left(\frac{W}{L} \right)} \right)_{Conv}} \right) \times 100 \text{ (\%)}$
	Convencional	Wave	
500	$8,2 \times 10^{-5}$	$9,46 \times 10^{-5}$	+15,3
900	$2,73 \times 10^{-4}$	$3,16 \times 10^{-4}$	+15,7
L=400 nm			
V_{DS} (mV)	$I_{DS}/(W/L)$ (A)		$\left(\frac{\left(\frac{I_{DS}}{\left(\frac{W}{L} \right)} \right)_{Wave} - \left(\frac{I_{DS}}{\left(\frac{W}{L} \right)} \right)_{Conv}}{\left(\frac{I_{DS}}{\left(\frac{W}{L} \right)} \right)_{Conv}} \right) \times 100 \text{ (\%)}$
	Convencional	Wave	
500	$5,6 \times 10^{-5}$	$8,4 \times 10^{-5}$	+50,0
900	$2,14 \times 10^{-4}$	$2,97 \times 10^{-4}$	+38,7
L=800 nm			
V_{DS} (mV)	$I_{DS}/(W/L)$ (A)		$\left(\frac{\left(\frac{I_{DS}}{\left(\frac{W}{L} \right)} \right)_{Wave} - \left(\frac{I_{DS}}{\left(\frac{W}{L} \right)} \right)_{Conv}}{\left(\frac{I_{DS}}{\left(\frac{W}{L} \right)} \right)_{Conv}} \right) \times 100 \text{ (\%)}$
	Convencional	Wave	
500	$6,53 \times 10^{-5}$	$9,38 \times 10^{-5}$	+43,6
900	$2,17 \times 10^{-4}$	$3,07 \times 10^{-4}$	+41,4

Analisando-se a Tabela 3.3, pode-se verificar que a corrente de dreno do Wave SOI nMOSFET é sempre maior quando comparada ao convencional equivalente, para as duas polarizações de dreno consideradas, devido às diferenças de áreas das regiões internas e externas de fonte e de dreno do dispositivo, que acarretam em diferentes resistências séries, produzindo diferentes V_{GS} efetivos. Para os comprimentos de canal igual a 100 nm, 400 nm e 800 nm, o aumento da corrente de dreno do Wave foi em média de 15 %, 44 % e 42 %, aproximadamente, considerando-se as duas polarizações de dreno.

A Tabela 3.4 apresenta os valores da corrente de dreno na região de sublimiar ($I_{D\text{ Sub}}$) extraídas das curvas $\text{Log}[I_{DS}/(W/L)]$ versus V_{GT} , para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm respectivamente, com o valores de V_{DS} igual a 500 mV e igual a 900 mV, usando como critério para a comparação entre os dispositivos, o valor de V_{GT} igual a -0,3 V.

Tabela 3.4 - Valores da corrente de dreno na região de sublimiar ($I_{D\text{ Sub}}$), para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, respectivamente com os valores de V_{DS} igual a 500 mV e igual a 900 mV, usando como critério para a comparação entre os dispositivos, o valor de V_{GT} de -0,3 V.

L=100 nm ($V_{GS} = -0,3V$)			
V_{DS} (mV)	$I_{D\text{ Sub}}/(W/L)$ (A)		$\left(\frac{\left(\frac{I_{D\text{ Sub}}}{\left(\frac{W}{L} \right)} \right)_{Wave} - \left(\frac{I_{D\text{ Sub}}}{\left(\frac{W}{L} \right)} \right)_{Conv}}{\left(\frac{I_{D\text{ Sub}}}{\left(\frac{W}{L} \right)} \right)_{Conv}} \right) \times 100 \text{ (\%)}$
	Convencional	Wave	
500	$1,85 \times 10^{-8}$	$2,26 \times 10^{-8}$	-22,1
900	$6,14 \times 10^{-6}$	$1,09 \times 10^{-5}$	-77,5
L=400 nm ($V_{GS} = -0,3V$)			
V_{DS} (mV)	$I_{D\text{ Sub}}/(W/L)$ (A)		$\left(\frac{\left(\frac{I_{D\text{ Sub}}}{\left(\frac{W}{L} \right)} \right)_{Wave} - \left(\frac{I_{D\text{ Sub}}}{\left(\frac{W}{L} \right)} \right)_{Conv}}{\left(\frac{I_{D\text{ Sub}}}{\left(\frac{W}{L} \right)} \right)_{Conv}} \right) \times 100 \text{ (\%)}$
	Convencional	Wave	
500	$2,65 \times 10^{-11}$	$4,43 \times 10^{-11}$	-67,1
900	$2,1 \times 10^{-10}$	$3,64 \times 10^{-10}$	-73,3
L=800 nm ($V_{GS} = -0,3V$)			
V_{DS} (mV)	$I_{D\text{ Sub}}/(W/L)$ (A)		$\left(\frac{\left(\frac{I_{D\text{ Sub}}}{\left(\frac{W}{L} \right)} \right)_{Wave} - \left(\frac{I_{D\text{ Sub}}}{\left(\frac{W}{L} \right)} \right)_{Conv}}{\left(\frac{I_{D\text{ Sub}}}{\left(\frac{W}{L} \right)} \right)_{Conv}} \right) \times 100 \text{ (\%)}$
	Convencional	Wave	
500	$1,13 \times 10^{-10}$	$9,12 \times 10^{-11}$	+19,2
900	$2,4 \times 10^{-10}$	$1,76 \times 10^{-10}$	+26,6

As correntes de dreno na região de sublimiar nos Waves são em média 45 % e 70 % maiores que a dos convencionais para os comprimentos de canal iguais a 100 nm e 400 nm, respectivamente, ao contrário daquele observado para o comprimento de canal igual a 800 nm

que é menor em média 20 % que o convencional, para ambas as tensões de polarizações de dreno analisadas.

3.3.3 Inclinação de sublimiar

A Tabela 3.5 apresenta os valores da inclinação de sublimiar que foram extraídos das curvas do $\text{Log}[I_{DS}/(W/L)]$ versus V_{GT} , para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, respectivamente e com V_{DS} igual a 10 mV.

Tabela 3.5 - Valores da inclinação de sublimiar, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, respectivamente, e com V_{DS} igual a 10 mV.

Inclinação de sublimiar (S)			
Comprimento de canal (nm)	Convencional (mV/dec)	Wave (mV/dec)	$\left(\frac{S_{Wave} - S_{Conv}}{S_{Conv}}\right) \times 100$ (%)
100	103	105	-1,95
400	62,9	62,3	+0,90
800	61,3	61,2	+0,16

Pode-se observar através da Tabela 3.5, que as inclinações de sublimiar dos Wave SOI nMOSFETs e convencionais são praticamente as mesmas, com um erro máximo inferior a 2 % entre os dispositivos equivalentes.

3.3.4 Transcondutância

A Figura 3.5 apresenta as curvas da transcondutância dos convencionais e Wave SOI nMOSFETs, obtidas através das simulações numéricas tridimensionais para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, respectivamente, e com os valores de V_{DS} igual a 500 mV e igual a 900 mV, respectivamente, indicando as regiões de sublimiar, saturação e triodo.

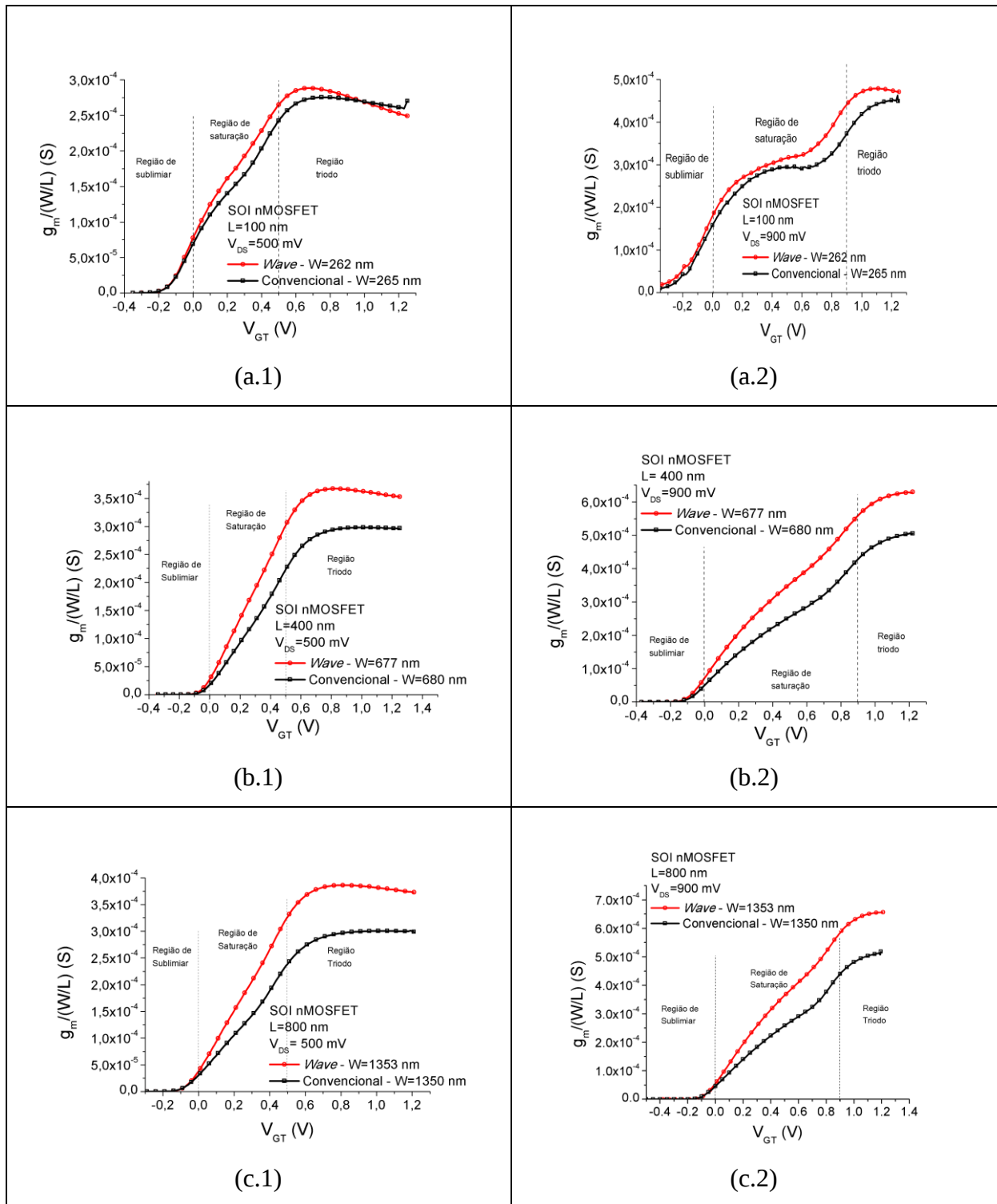


Figura 3.5 - Curva da transcondutância versus a sobretensão de porta do convencional e Wave SOI nMOSFETs para $L=100$ nm com $V_{DS}=500$ mV (a.1) e $V_{DS}=900$ mV (a.2), para $L=400$ nm com $V_{DS}=500$ mV (b.1) e $V_{DS}=900$ mV (b.2), para $L=800$ nm com $V_{DS}=500$ mV (c.1) e $V_{DS}=900$ mV (c.2).

A Tabela 3.6 apresenta os valores extraídos das curvas da transcondutância normalizada em função do fator geométrico, na interface da região de saturação e triodo dos convencionais e Wave SOI nMOSFETs, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, respectivamente, com valores de V_{DS} igual a 500 mV e igual a 900 mV, respectivamente.

Tabela 3.6- Valores da transcondutância normalizada em função do fator geométrico na interface da região de saturação e triodo dos convencionais e Wave SOI nMOSFETs, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, respectivamente, com valores de V_{DS} igual a 500 mV e igual 900 mV, respectivamente.

L=100 nm			
V_{DS} (mV)	Convencional g_m (S)	Wave g_m (S)	$\left(\frac{\left(\frac{g_m}{\left(\frac{W}{L} \right)} \right)_{Wave} - \left(\frac{g_m}{\left(\frac{W}{L} \right)} \right)_{Conv}}{\left(\frac{g_m}{\left(\frac{W}{L} \right)} \right)_{Conv}} \right) \times 100 \text{ (%)}$
500	2,43E-4	2,65E-4	+9
900	3,74E-4	4,4E-4	+17,6
L=400 nm			
V_{DS} (mV)	Convencional g_m (S)	Wave g_m (S)	$\left(\frac{\left(\frac{g_m}{\left(\frac{W}{L} \right)} \right)_{Wave} - \left(\frac{g_m}{\left(\frac{W}{L} \right)} \right)_{Conv}}{\left(\frac{g_m}{\left(\frac{W}{L} \right)} \right)_{Conv}} \right) \times 100 \text{ (%)}$
500	2,24E-4	3,01E-4	+34,3
900	4,26E-4	5,59E-4	+31,2
L=800 nm			
V_{DS} (mV)	Convencional g_m (S)	Wave g_m (S)	$\left(\frac{\left(\frac{g_m}{\left(\frac{W}{L} \right)} \right)_{Wave} - \left(\frac{g_m}{\left(\frac{W}{L} \right)} \right)_{Conv}}{\left(\frac{g_m}{\left(\frac{W}{L} \right)} \right)_{Conv}} \right) \times 100 \text{ (%)}$
500	2,38E-4	3,28E-4	+37,8
900	4,37E-4	5,85E-4	+33,8

Para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, a transcondutância normalizada em função do fator geométrico, na interface entre a região de saturação e triodo do Wave são maiores em média 13 %, 32 % e 35 %, respectivamente, que a do convencional

SOI nMOSFET, para ambas as polarizações de V_{DS} estudadas. Isto ocorre devido à maior corrente de dreno no *Wave* em relação ao convencional equivalente.

As mesmas tendências foram observadas para os comprimentos de canal de 200 nm e 600 nm, para os valores de V_{DS} estudados iguais a 100 mV, 300 mV e 700 mV.

A Figura 3.6 apresenta os valores de $[g_m/(W/L)]$ na interface entre a região de saturação e triodo em função do comprimento de canal.

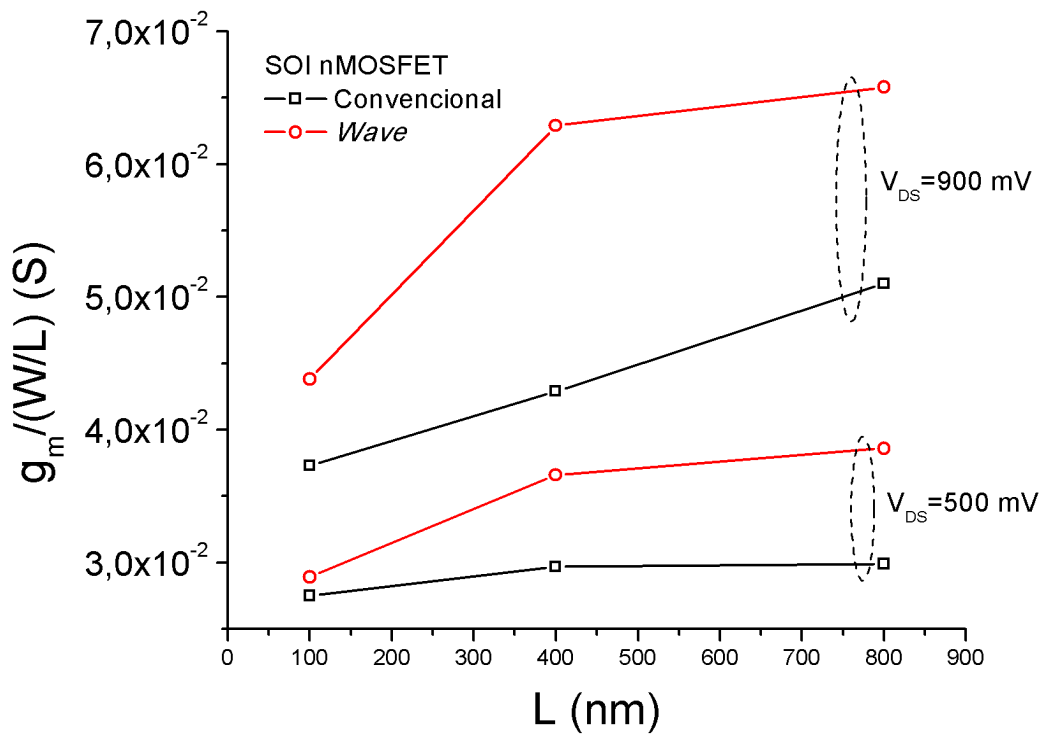


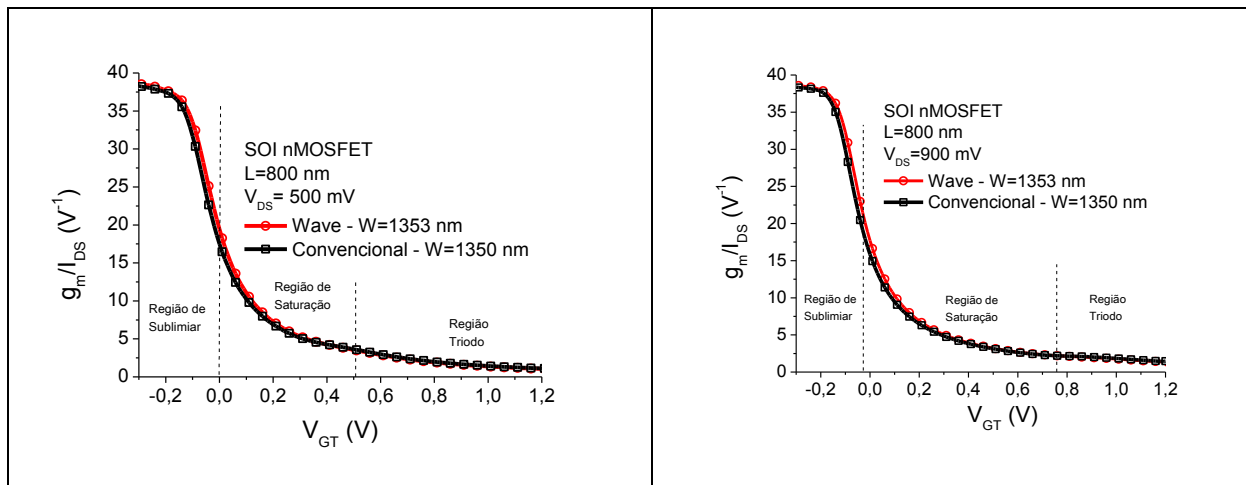
Figura 3.6 – Curva da transcondutância na interface da região de saturação e triodo em função do comprimento de canal (L).

Através da Figura 3.6, pode-se observar que a transcondutância na interface entre as regiões de saturação e triodo do *Wave*, normalizada pela razão de aspecto (W/L), é sempre maior que a do convencional, para qualquer comprimento de canal simulado. Além disso, à medida que se diminui o comprimento de canal, diminuem-se as diferenças entre as transcondutâncias normalizadas pela razão de aspecto (W/L) desses dispositivos, para ambas as polarizações de V_{DS} estudadas. A transcondutância é maior no *Wave* quando comparado

com o convencional, devido à corrente de dreno ser maior no Wave em relação ao convencional equivalente.

3.3.5 Razão g_m/I_{DS} em função da sobreensão de porta

A Figura 3.7 apresenta as curvas de g_m/I_{DS} versus V_{GT} do convencional e Wave SOI nMOSFETs para $L=800$ nm e para diferentes valores de V_{DS} [500 mV e 900 mV].



Figuras 3.7- Curvas da razão g_m/I_{DS} versus V_{GT} para $L=800$ nm do convencional e do Wave SOI nMOSFETs para diferentes valores de V_{DS} [500 mV (a) e 900 mV (b)].

Através da Figura 3.7, pode-se observar que os valores de g_m/I_{DS} para a faixa de valores de V_{GT} entre -0,2 V a 0,2 V, os Wave SOI nMOSFETs são em média 13 % maiores que a do equivalente convencional. Para os valores de V_{GT} fora da faixa de -0,2 V à 0,2 V, os valores de g_m/I_{DS} são praticamente os mesmos.

Para todos os comprimentos de canal e tensões de dreno simulados os valores de g_m/I_{DS} versus de V_{GT} mantiveram as mesmas tendências que o comprimento de canal de 800 nm.

A Tabela 3.7 apresenta os valores retirados das curvas de g_m/I_{DS} versus V_{GT} para L igual a 800 nm do convencional e do *Wave* SOI nMOSFETs, com valores de V_{DS} igual a 500 mV e igual a 900 mV, respectivamente.

Tabela 3.7- Valores de g_m/I_{DS} para $L=800$ nm do convencional e do *Wave* SOI nMOSFET, com valores de V_{DS} igual a 500 mV e igual a 900 mV, respectivamente.

L=800 nm $V_{GT}=0$ V			
V_{DS} (mV)	Convencional g_m/I_{DS} (V^{-1})	<i>Wave</i> g_m/I_{DS} (V^{-1})	$\left(\frac{(g_m/I_{DS})_{Wave} - (g_m/I_{DS})_{Conv}}{(g_m/I_{DS})_{Conv}} \right) \times 100$ (%)
500	22,5	25,5	+13,3
900	20,5	23	+12,2

A maior diferença observada (13 %) entre os valores de g_m/I_{DS} do *Wave* e convencional ocorreu para um valor de V_{GT} em torno de 0 V, para ambas as polarizações de V_{DS} estudadas. Os resultados foram similares a este, para os demais comprimentos de canal e tensões de V_{DS} simulados.

3.3.6 Razão da transcondutância pela corrente de dreno em função da corrente de dreno normalizada em relação ao fator geométrico [g_m/I_{DS} versus $I_{DS}/(W/L)$].

A Figura 3.8 apresenta os resultados das simulações numéricas tridimensionais [g_m/I_{DS} versus $I_{DS}/(W/L)$] do convencional e do *Wave* SOI nMOSFETs, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, respectivamente e para os valores de V_{DS} iguais a 500 mV e 900 mV, respectivamente.

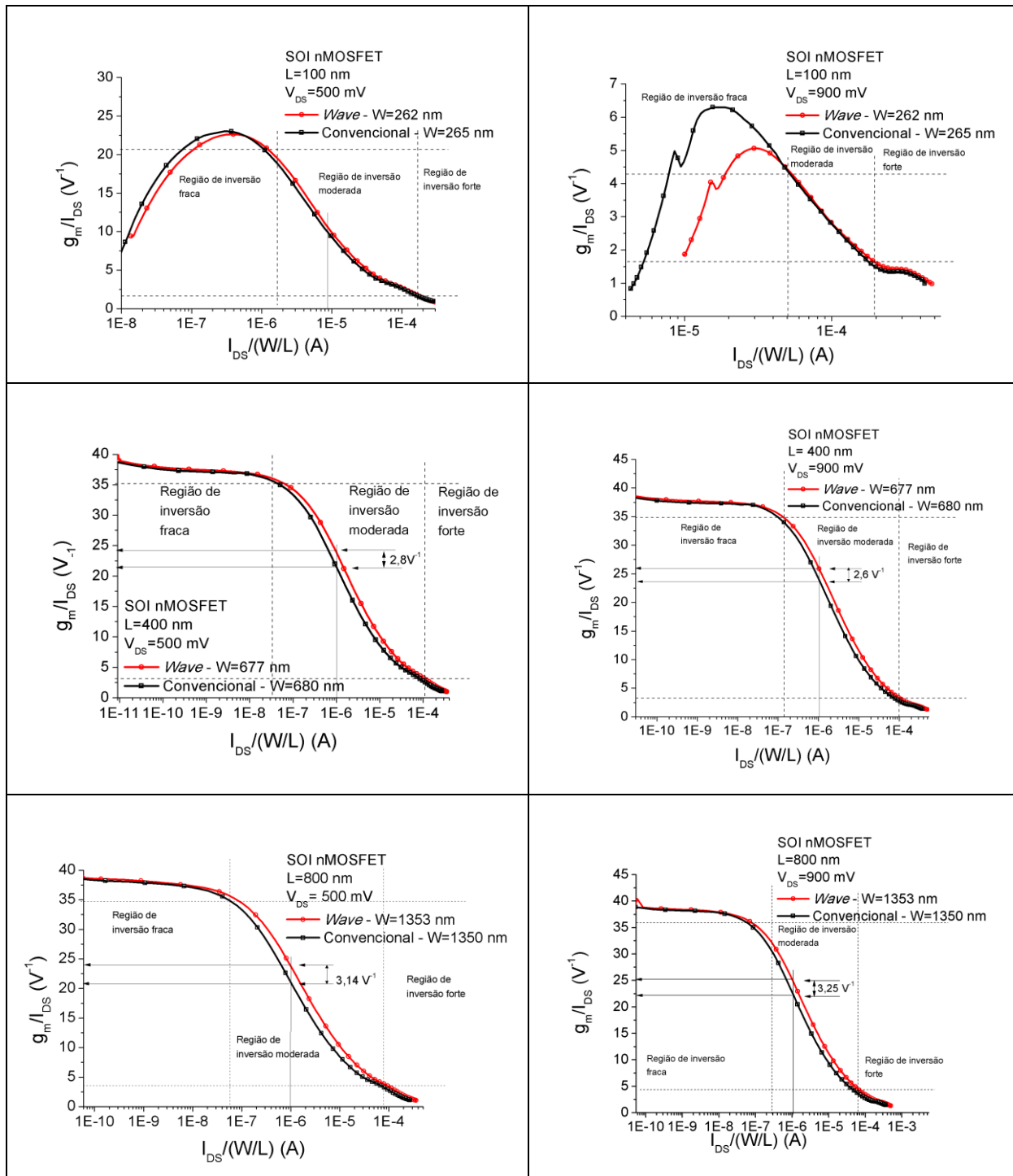


Figura 3.8 – Curvas [g_m/I_{DS} versus $I_{DS}/(W/L)$] do convencional e do Wave SOI nMOSFETs com comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, respectivamente, para V_{DS} igual a 500 mV e igual a 900 mV, respectivamente.

Podemos observar nas curvas da Figura 3.8, que para todos os comprimentos de canal simulados na região de inversão moderada, o g_m/I_{DS} do Wave é maior que o do convencional equivalente, devido à maior transcondutância compensar a maior corrente de dreno do Wave.

Na região de inversão fraca e forte, o valor de g_m/I_{DS} do Wave é maior em média 8 % que o convencional, para os comprimentos de canal 400 nm e 800 nm, respectivamente. Para o comprimento de canal igual de 100 nm, na região de inversão fraca, o g_m/I_{DS} do convencional é maior que o do Wave, provavelmente por causa da maior influência do efeito de canal curto nesses dispositivos.

A Tabela 3.8 apresenta os valores extraídos das curvas de g_m/I_{DS} versus $I_{DS}/(W/L)$ na região de inversão moderada, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, respectivamente, para dois diferentes valores de V_{DS} (500 mV e 900 mV).

Tabela 3.8- Valores de g_m/I_{DS} versus $I_{DS}/(W/L)$ na região de inversão moderada, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, respectivamente e para os valores de V_{DS} igual a 500 mV e igual a 900 mV.

L=100 nm; $I_{DS}=7 \times 10^{-5}$ (A)			
V_{DS} (mV)	Convencional g_m/I_{DS} (V^{-1})	Wave g_m/I_{DS} (V^{-1})	$\left(\frac{(g_m/I_{DS})_{Wave} - (g_m/I_{DS})_{Conv}}{(g_m/I_{DS})_{Conv}} \right) \times 100$ (%)
500	10,0	10,7	+7,0
900	3,5	3,6	+2,8
L=400 nm; $I_{DS}=1 \times 10^{-6}$ (A)			
V_{DS} (mV)	Convencional g_m/I_{DS} (V^{-1})	Wave g_m/I_{DS} (V^{-1})	$\left(\frac{(g_m/I_{DS})_{Wave} - (g_m/I_{DS})_{Conv}}{(g_m/I_{DS})_{Conv}} \right) \times 100$ (%)
500	21,54	24,35	+13,0
900	26,20	23,6	+11,0
L=800 nm; $I_{DS}=1 \times 10^{-6}$ (A)			
V_{DS} (mV)	Convencional g_m/I_{DS} (V^{-1})	Wave g_m/I_{DS} (V^{-1})	$\left(\frac{(g_m/I_{DS})_{Wave} - (g_m/I_{DS})_{Conv}}{(g_m/I_{DS})_{Conv}} \right) \times 100$ (%)
500	20,89	24,09	+15,3
900	21,98	25,22	+14,7

Analisando a Tabela 3.8, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, o comportamento de g_m/I_{DS} versus $[I_{DS}/(W/L)]$ na região de inversão moderada é superior no Wave quando comparado com o convencional em média, 4,9 %, 12 % e 15 %, respectivamente, para os diferentes comprimentos de canal analisados.

A Tabela 3.9 apresenta os valores de $g_m/(W/L)$, $I_{DS}/(W/L)$ e g_m/I_{DS} , para $L=800$ nm e com $V_{DS}=900$ mV. Os valores foram extraídos da região de inversão fraca, moderada e forte, a fim de mostrar o porque do comportamento de $g_m/I_{DS} \times [I_{DS}/(W/L)]$ do Wave é maior que o equivalente convencional.

Tabela 3.9 – Comparação do $g_m/(W/L)$, $I_{DS}/(W/L)$ e g_m/I_{DS} , entre o convencional e o Wave SOI nMOSFET, para $L=800$ nm e com o valor de $V_{DS}=900$ mV.

Região de inversão fraca		
L=800 nm (V _{DS} =900 mV)	I _{DS} /(W/L)=1x10 ⁻⁷ A , V _{GT} = - 0,135V	
Dispositivo	Convencional	Wave
g _m / (W/L) (S)	3,56 10 ⁻⁶	2,93 10 ⁻⁶
I _{DS} /(W/L) (A)	1 10 ⁻⁷	7,92 10 ⁻⁸
g _m /I _{DS} (V ⁻¹)	35,6	36,99
$\left(\frac{\left(\frac{g_m}{I_{DS}}\right)_{Wave} - \left(\frac{g_m}{I_{DS}}\right)_{Conv}}{\left(\frac{g_m}{I_{DS}}\right)_{Conv}}\right) \times 100$ (%)	+3,9	
Região de inversão moderada		
L=800 nm (V _{DS} =900 mV)	I _{DS} /(W/L)=3x10 ⁻⁶ A , V _{GT} = 0V	
Dispositivo	Convencional	Wave
g _m / (W/L) (S)	4,67 10 ⁻⁵	5,68 10 ⁻⁵
I _{DS} /(W/L) (A)	2,94 10 ⁻⁶	3,24 10 ⁻⁶
g _m /I _{DS} (V ⁻¹)	15,88	17,53
$\left(\frac{\left(\frac{g_m}{I_{DS}}\right)_{Wave} - \left(\frac{g_m}{I_{DS}}\right)_{Conv}}{\left(\frac{g_m}{I_{DS}}\right)_{Conv}}\right) \times 100$ (%)	+10,4	
Região de inversão forte		
L=800 nm (V _{DS} =900 mV)	I _{DS} /(W/L)=2x10 ⁻⁵ A , V _{GT} = 0,2 V	
Dispositivo	Convencional	Wave
g _m / (W/L) (S)	1,4 10 ⁻⁴	1,95 10 ⁻⁴
I _{DS} /(W/L) (A)	2,16 10 ⁻⁵	2,82 10 ⁻⁵
g _m /I _{DS} (V ⁻¹)	6,48	6,91
$\left(\frac{\left(\frac{g_m}{I_{DS}}\right)_{Wave} - \left(\frac{g_m}{I_{DS}}\right)_{Conv}}{\left(\frac{g_m}{I_{DS}}\right)_{Conv}}\right) \times 100$ (%)	+6,6	

Analisando a Tabela 3.9, pode-se verificar que o comportamento da razão g_m/I_{DS} do Wave para $L=800$ nm e $V_{DS}=900$ mV é maior que o do convencional, na região de inversão fraca, apesar da transcondutância ser maior no convencional, mas como a corrente de dreno do Wave é muito menor que a do convencional, obtem-se um g_m/I_{DS} 3,9 % maior daquele observado no equivalente convencional. Na região de inversão moderada, a transcondutância

e a corrente de dreno são superiores no *Wave*, resultando num g_m/I_{DS} do *Wave* 10,4% melhor daquele observado no equivalente convencional. Na região de inversão forte, a transcondutância e a corrente de dreno do *Wave* também são superiores a do convencional, proporcionando um g_m/I_{DS} 6,6% superior no *Wave*, quando comparado com o equivalente convencional.

3.4 Estudo do comportamento elétrico do potencial.

Através dos dispositivos simulados, foi possível fazer cortes ao longo das estruturas, a fim de estudar o comportamento de determinadas grandezas elétricas, tais como: potencial, campo elétrico e densidade total de corrente. Dessa forma para a análise, foi feito um corte na interface entre o óxido de porta e o filme de silício onde o canal é formado. O programa *Tony Plot 3D* [41] da Silvaco foi utilizado para fazer esse tipo de análise e as seguintes grandezas elétricas foram avaliadas nos diferentes transistores: potencial, campo elétrico e densidade total de corrente ao longo do canal. Além disso, foram detalhadamente analisadas cada semicírculo dos *Wave* SOI nMOSFETs, afim de verificar o comportamento quando esses semicírculos estão em configuração de polarização de dreno interno (DI) e configuração de polarização de dreno externo (DE), para diferentes valores de polarização de dreno (V_{DS}) (500 mV e 900 mV).

A Figura 3.9, mostra a distribuição do potencial ao longo do canal com o corte na interface entre o óxido de porta e o filme de silício, onde é formado o canal dos dispositivos convencional e do *Wave* SOI nMOSFETs, respectivamente, para L igual a 100 nm e para o valor de V_{DS} igual a 500 mV.

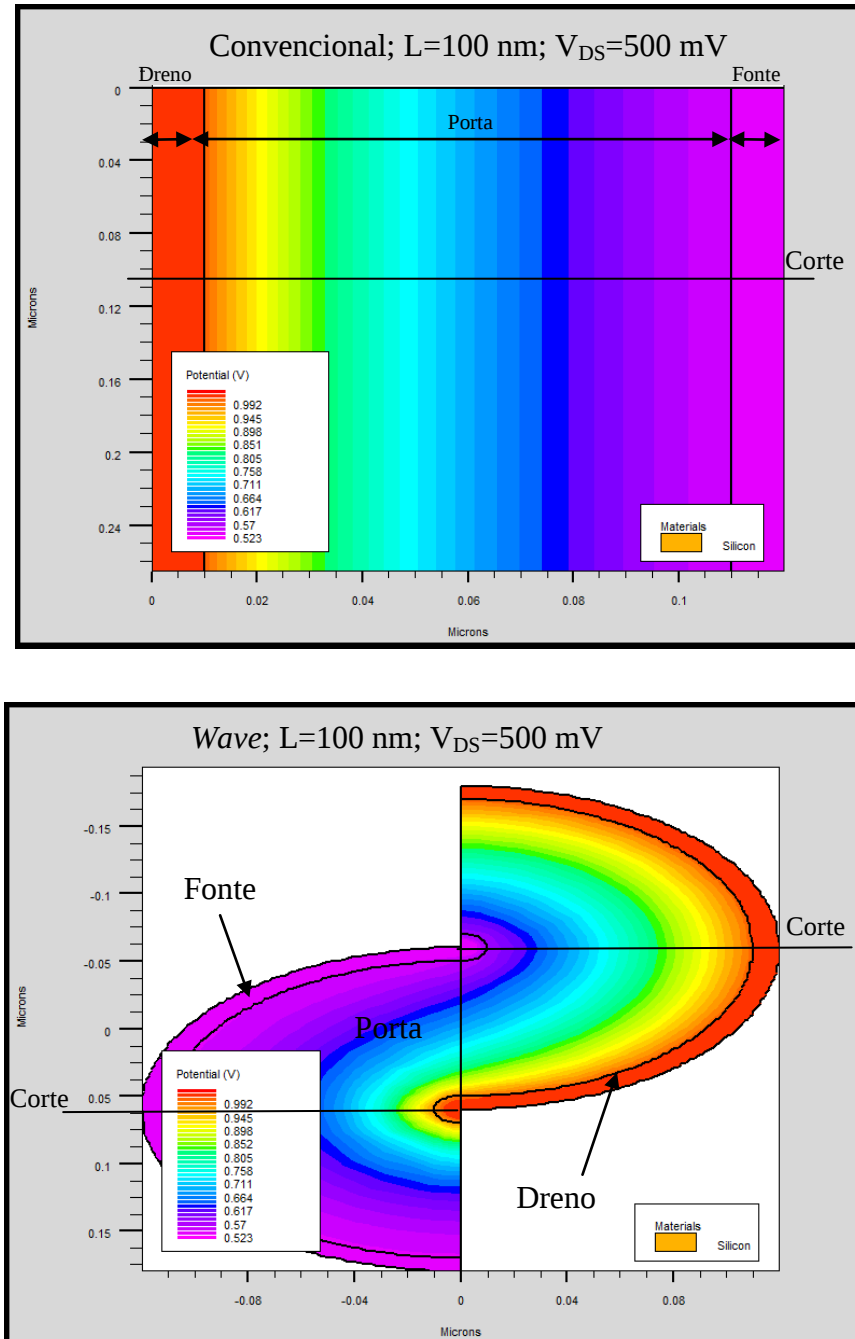


Figura 3.9- Imagem da distribuição do potencial elétrico ao longo do canal na interface entre o óxido de porta e o filme de silício onde se forma o canal dos dispositivos convencional e *Wave* SOI nMOSFETs, para L igual a 100 nm e para o valor de V_{DS} igual a 500 mV.

A Figura 3.10, mostra a distribuição do potencial ao longo do canal com o corte na interface entre o óxido de porta e o filme de silício, onde é formado o canal dos dispositivos convencional e do Wave SOI nMOSFET, respectivamente, para L igual a 400 nm e para o valor de V_{DS} igual a 500 mV.

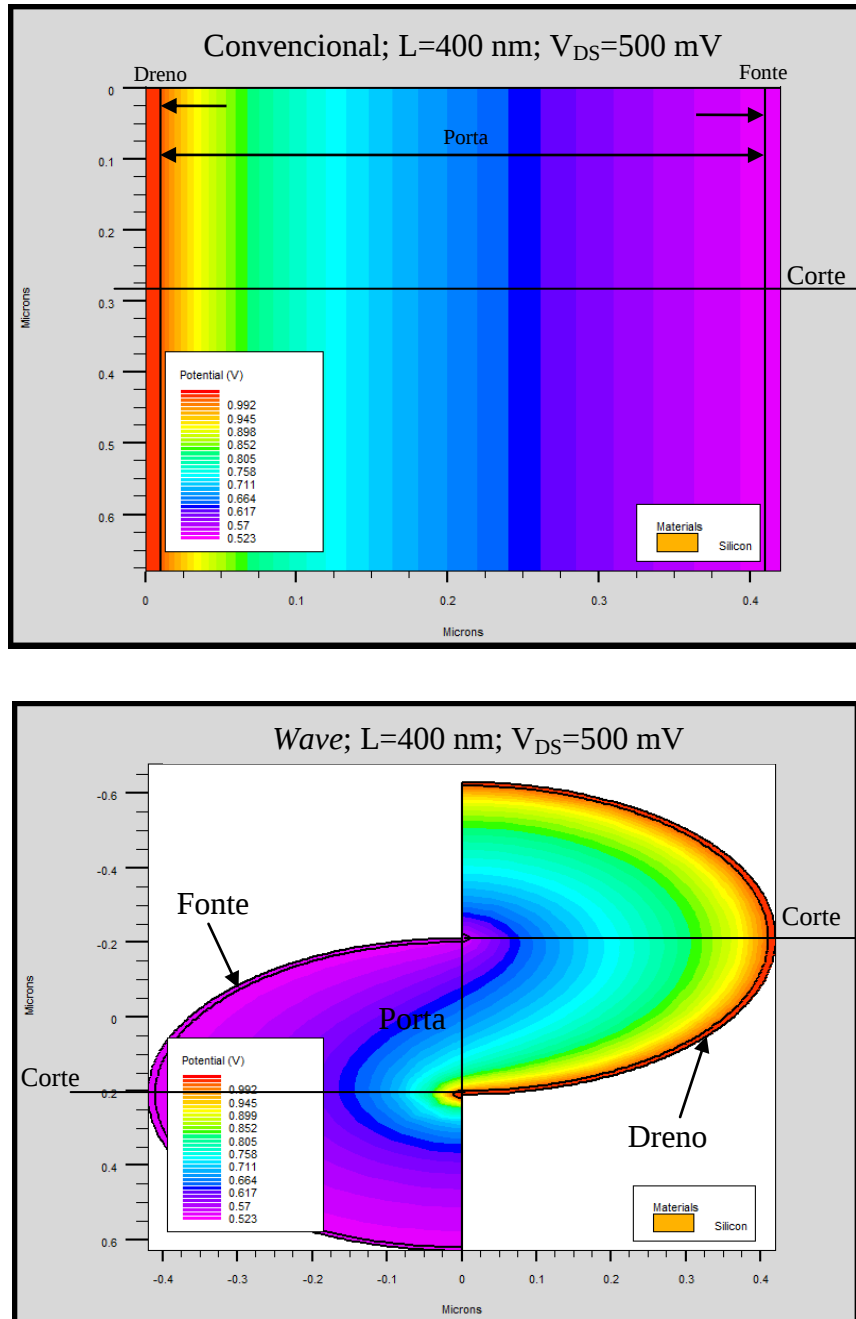


Figura 3.10- Imagem da distribuição do potencial elétrico ao longo do canal na interface entre o óxido de porta e o filme de silício, onde se forma o canal dos dispositivos convencional e Wave SOI nMOSFETs, para L igual a 400 nm e para o valor de V_{DS} igual a 500 mV.

A Figura 3.11, mostra a distribuição do potencial ao longo do canal com o corte na interface entre o óxido de porta e o filme de silício, onde é formado o canal dos dispositivos convencionais e do Wave SOI nMOSFET, respectivamente, para L igual a 800 nm e para o valor de V_{DS} igual a 500 mV.

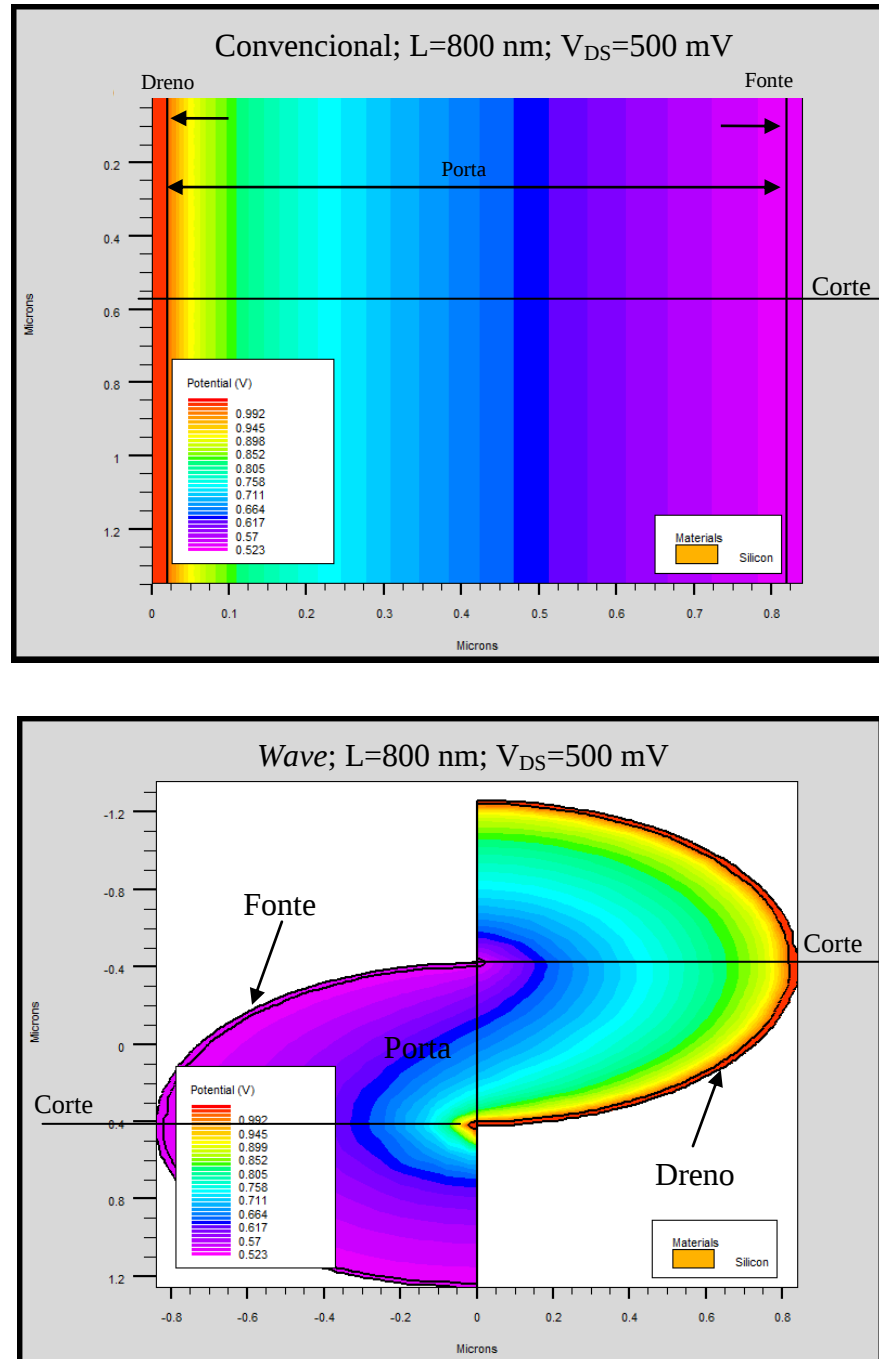
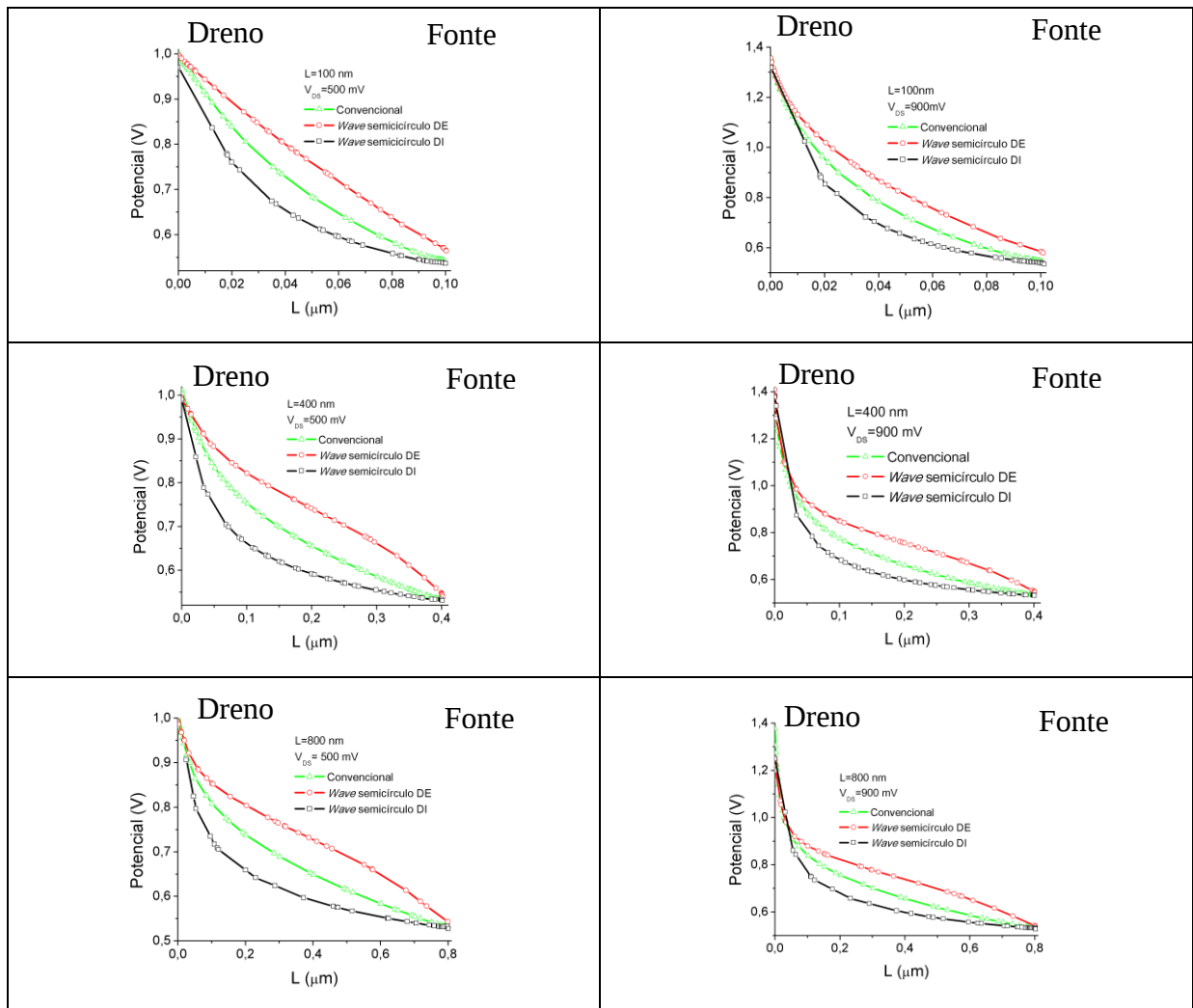


Figura 3.11- Imagem da distribuição do potencial elétrico ao longo do canal na interface entre o óxido de porta e o filme de silício, onde se forma o canal dos dispositivos convencionais e Wave SOI nMOSFETs, para L igual a 800 nm e para o valor de V_{DS} igual a 500 mV.

Observa-se que o potencial varia dependendo da posição radial que é feito o corte no Wave. Para fins deste estudo, foram apenas realizados os cortes no centro de cada semicírculo dos Wave SOI nMOSFETs.

A Figura 3.12, apresenta o comportamento do potencial ao longo do canal que foi extraído através de um corte feito na interface entre o óxido de porta e o filme de silício, onde é formado o canal dos transistores convencional e os semicírculos com configuração de polarização DE e DI do Wave SOI nMOSFET, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, respectivamente, com V_{DS} igual a 500 mV e igual a 900 mV.



Figuras 3.12 - Curvas do potencial extraídas do corte feito na interface entre o óxido de porta e o filme de silício, onde é formado o canal do convencional e o canal dos semicírculos com configuração de polarização DE e DI do Wave SOI nMOSFET, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, respectivamente, com V_{DS} igual a 500 mV e igual a 900 mV.

Analisando-se a Figura 3.12, observa-se que o comportamento do potencial ao longo do canal do semicírculo em configuração de polarização de dreno externo é superior ao do convencional, que por sua vez é superior ao do semicírculo em configuração de polarização de dreno interno. Além disso, nota-se que a maior variação do potencial ocorre no semicírculo com configuração de polarização de dreno interno, na região mais próxima da região de dreno. Esta característica é observada para todos os comprimentos de canal e condições de polarização aqui analisadas. Nota-se também que à medida que V_{DS} aumenta a variação do comportamento do potencial do *Wave* SOI nMOSFET aumenta ainda mais, próximo à região de dreno.

Para se ter idéia do comportamento médio do potencial elétrico ao longo do canal do *Wave* SOI nMOSFET em relação ao comportamento do potencial elétrico do convencional, a Figura 3.13 apresenta a comparação entre os valores médios do potencial dos semicírculos do *Wave* SOI nMOSFET, com configuração de polarização de dreno externo, de dreno interno e o do convencional.

A Figura 3.13, apresenta as curvas da média do potencial ao longo do canal nos semicírculos, com configuração de polarização de dreno externo e de dreno interno do Wave SOI nMOSFET comparada com o convencional, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, com o valor de V_{DS} igual a 500 mV e igual a 900 mV.

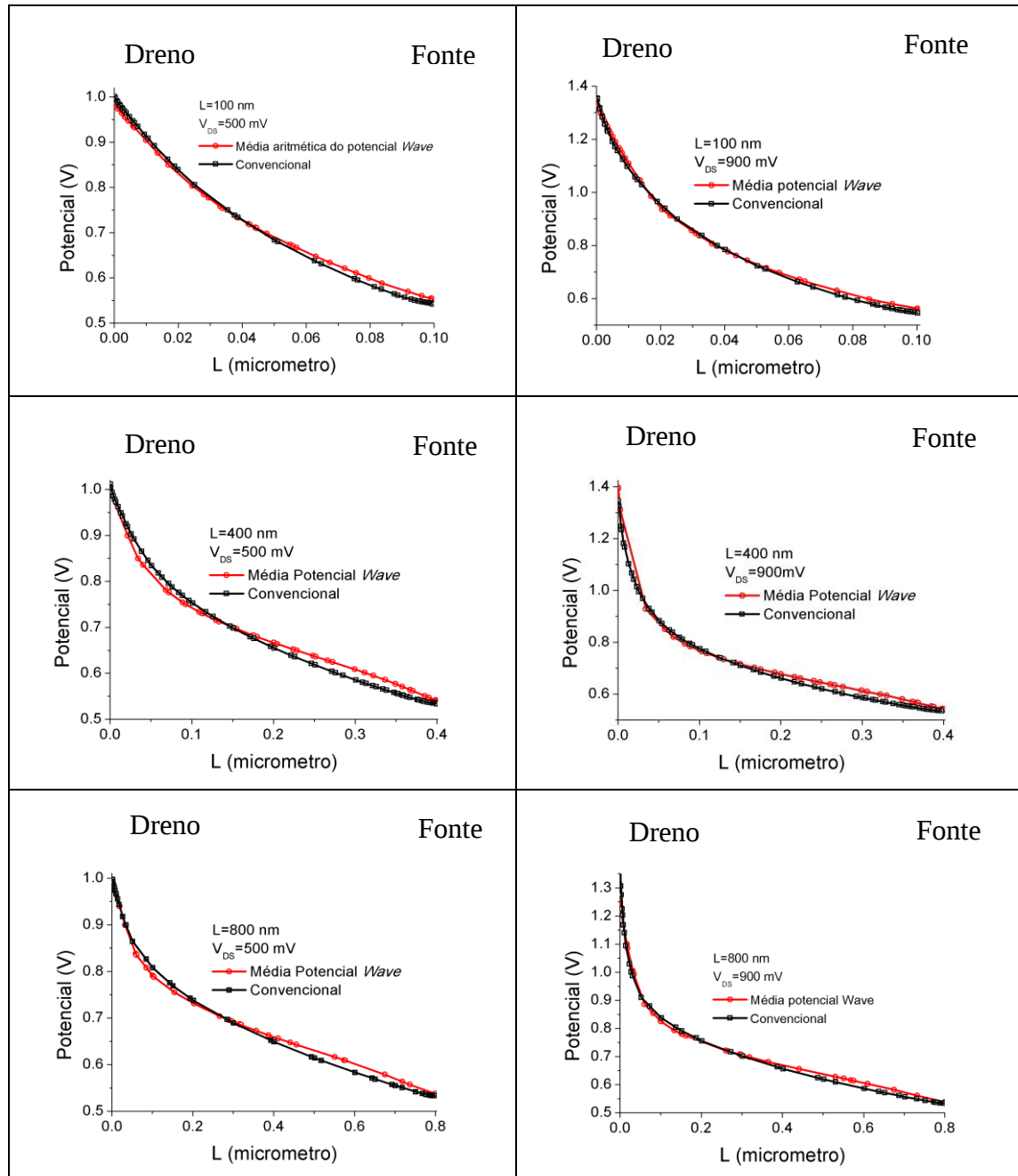


Figura 3.13 - Curvas da média do potencial ao longo do canal dos semicírculos, com configuração de polarização de dreno interno e de dreno externo do Wave SOI nMOSFET comparada com o convencional, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, com V_{DS} igual a 500 mV e igual a 900 mV.

Analisando-se a Figura 3.13 pode-se dizer que para o comprimento de canal igual a 100 nm, o comportamento da média do potencial do *Wave* ao longo do canal é praticamente o mesmo que aquele observado no convencional para as duas configurações de polarização de dreno, ao contrário daquelas observadas para os comprimentos de canal de 400 nm e 800 nm em que o comportamento médio do potencial do *Wave* varia mais acentuadamente próximo à região de dreno, o que significa uma maior influência do semicírculo com configuração de polarização de dreno interno, na variação do potencial próximo à região de dreno. Esse fenômeno pode ser justificado pelas diferenças entre as áreas das regiões de dreno e de fonte do semicírculo na configuração de polarização de dreno interno. Essas diferenças entre as áreas de dreno e fonte geram diferentes resistências série entre as regiões dreno e fonte, ou seja, no semicírculo com configuração de polarização de dreno interno a resistência do dreno (R_D) é maior que a resistência de fonte (R_F) ao contrário daquelas desenvolvidas no semicírculo com configuração de polarização de dreno externo. Dessa forma, a queda de tensão para a resistência de dreno é maior que a queda de tensão na resistência de fonte, o que acarreta numa maior variação do potencial na região próximo ao dreno do que a apresentada na região de fonte.

3.5 Estudo do comportamento elétrico do campo elétrico.

A Figura 3.14, mostra a distribuição do campo elétrico ao longo do canal em um corte realizado próximo à interface entre o óxido de porta e o filme de silício, onde é formado o canal dos dispositivos convencional e *Wave* SOI nMOSFETs, respectivamente, para o comprimento de canal igual a 100 nm, e para o valor de V_{DS} igual a 500 mV.

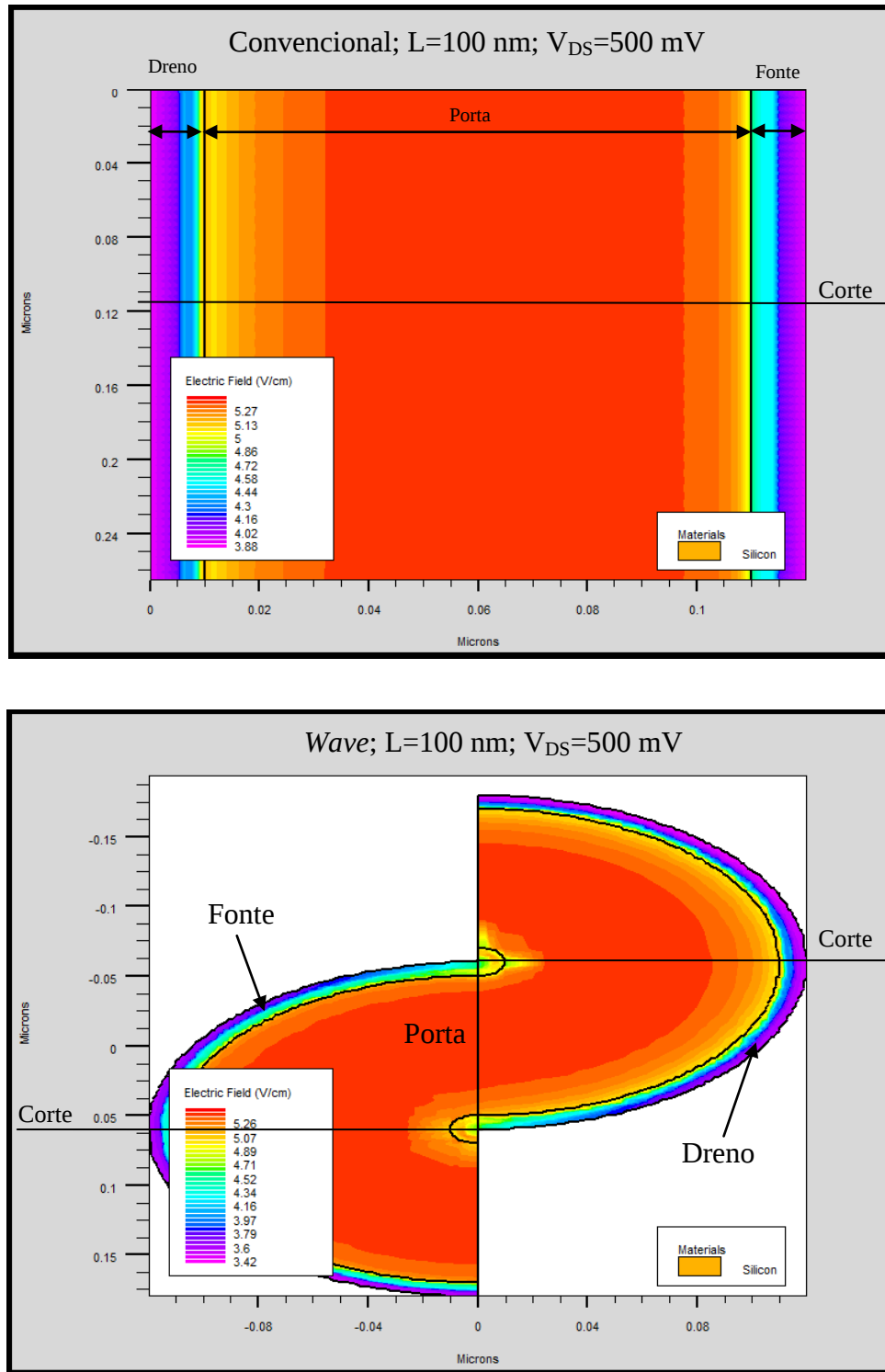


Figura 3.14- Imagem da distribuição do campo elétrico ao longo do canal na interface entre o óxido de porta e o filme de silício, onde se forma o canal dos dispositivos convencional e Wave SOI nMOSFETs, para L igual a 100 nm e para o valor de V_{DS} igual a 500 mV.

A Figura 3.15, mostra a distribuição do campo elétrico ao longo do canal em um corte realizado próximo à interface entre o óxido de porta e o filme de silício, onde é formado o canal dos dispositivos convencional e *Wave* SOI nMOSFET, respectivamente, para o comprimento de canal igual a 400 nm e para o valor de V_{DS} igual a 500 mV.

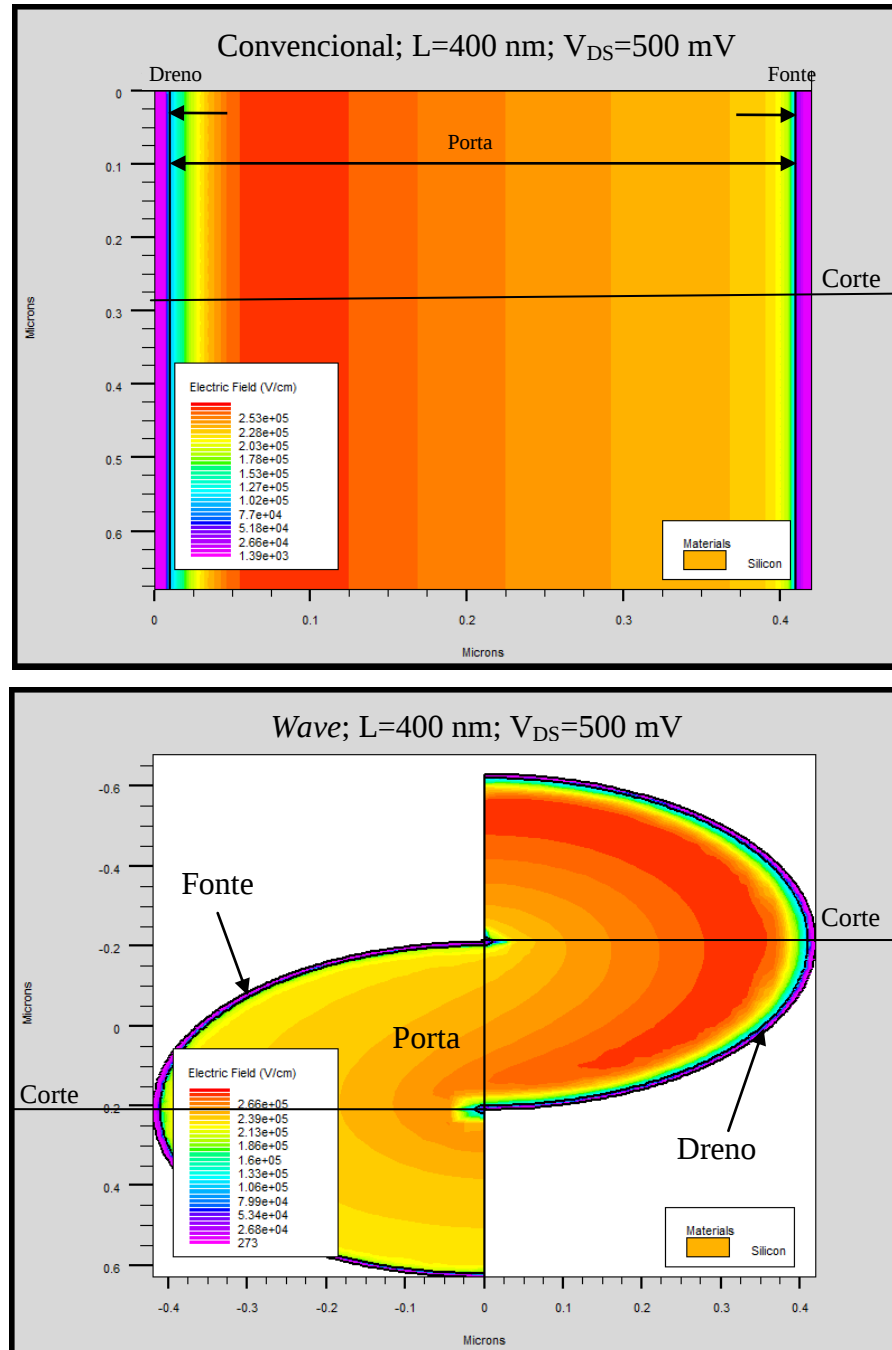


Figura 3.15- Imagem da distribuição do campo elétrico ao longo do canal na interface entre o óxido de porta e o filme de silício, onde se forma o canal dos dispositivos convencional e *Wave* SOI nMOSFETs, para L igual a 400 nm e para o valor de V_{DS} igual a 500 mV.

A Figura 3.16, mostra a distribuição do campo elétrico ao longo do canal em um corte realizado próximo à interface entre o óxido de porta e o filme de silício, onde é formado o canal dos dispositivos convencional e Wave SOI nMOSFET, respectivamente, para o comprimento de canal igual a 800 nm, e para o valor de V_{DS} igual a 500 mV.

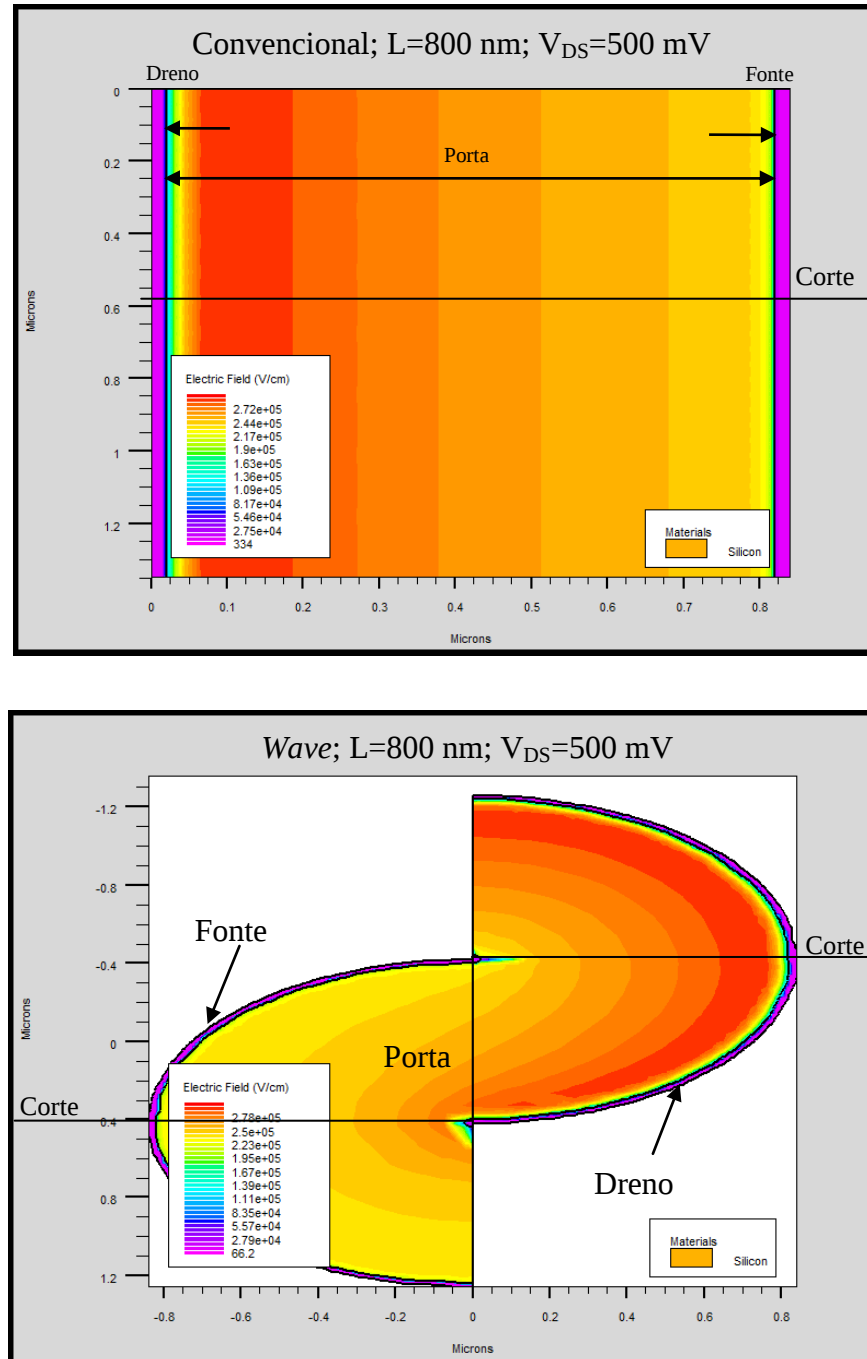
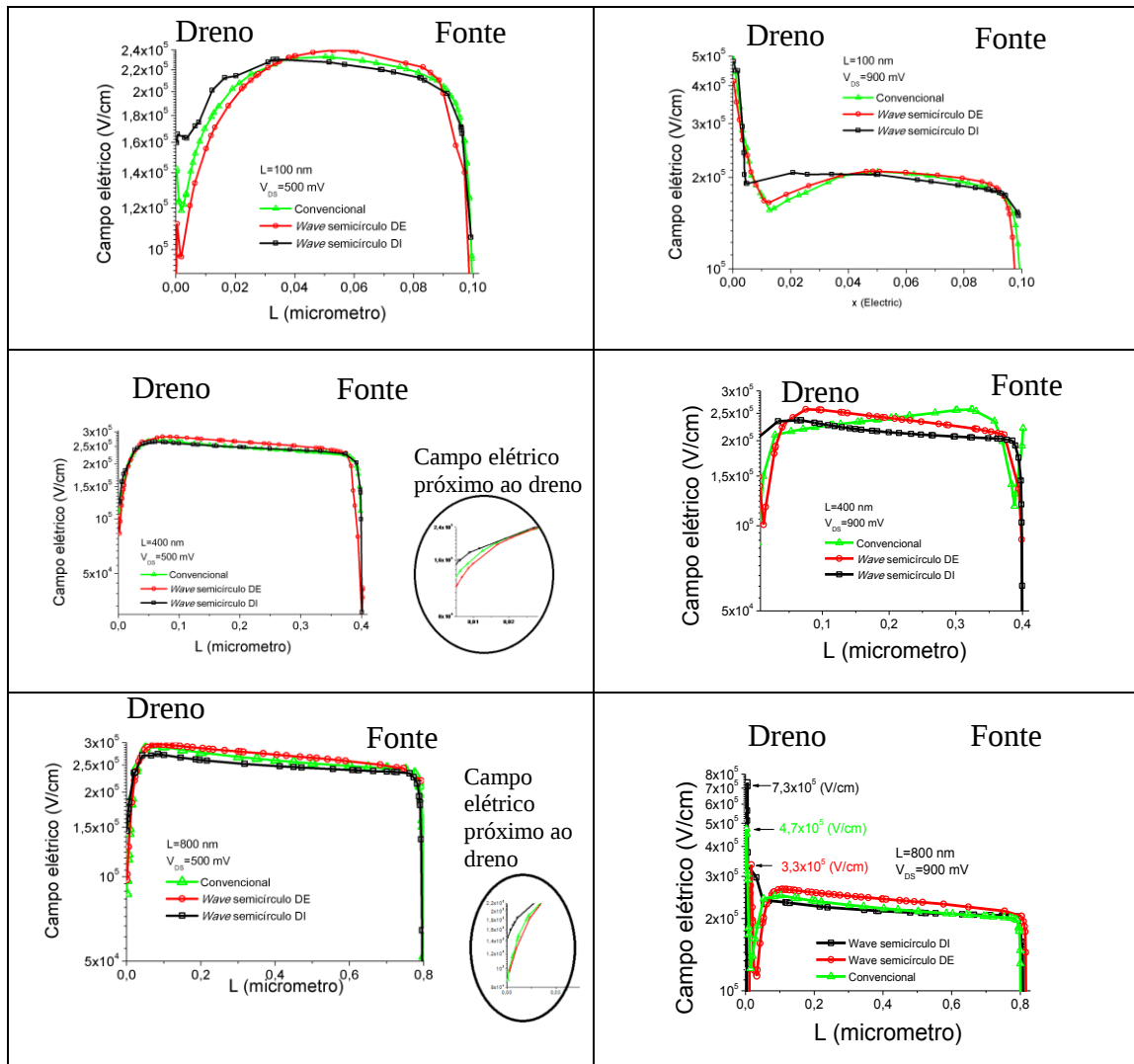


Figura 3.16- Imagem da distribuição do campo elétrico ao longo do canal na interface entre o óxido de porta e o filme de silício, onde se forma o canal dos dispositivos convencional e Wave SOI nMOSFETs, para L igual a 800 nm e para o valor de V_{DS} igual a 500 mV.

A Figura 3.17, apresenta o comportamento do campo elétrico ao longo do canal que foi extraído através de um corte feito na interface entre o óxido de porta e o filme de silício, onde é formado o canal dos transistores convencional e os semicírculos com configuração de polarização DE e DI dos Wave SOI nMOSFETs, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, respectivamente e com V_{DS} igual a 500 mV e igual a 900 mV.



Figuras 3.17 - Curvas do campo elétrico extraído do corte feito na interface entre o óxido de porta e o filme de silício, onde é formado o canal do convencional e o canal dos semicírculos com configurações de polarização DE e DI do Wave SOI nMOSFET, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, respectivamente e com V_{DS} igual a 500 mV e igual a 900 mV.

Analisando-se a Figura 3.17, observa-se que o comportamento do campo elétrico do Wave próximo à região de dreno do semicírculo em configuração de polarização de dreno interno é superior ao do convencional, que por sua vez é superior ao do semicírculo em

configuração de polarização de dreno externo. Isto se deve ao fato da maior variação do potencial, que ocorre no semicírculo com configuração de polarização de dreno interno, na região mais próxima da região de dreno, como observado nas curvas do potencial ao longo do canal.

A Figura 3.18, apresenta o comportamento das curvas médias do campo elétrico ao longo do canal do semicírculo com configuração de polarização de dreno externo e de dreno interno do *Wave* SOI nMOSFET, comparada com o convencional para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm, com o valor de V_{DS} igual a 500 mV e igual a 900 mV.

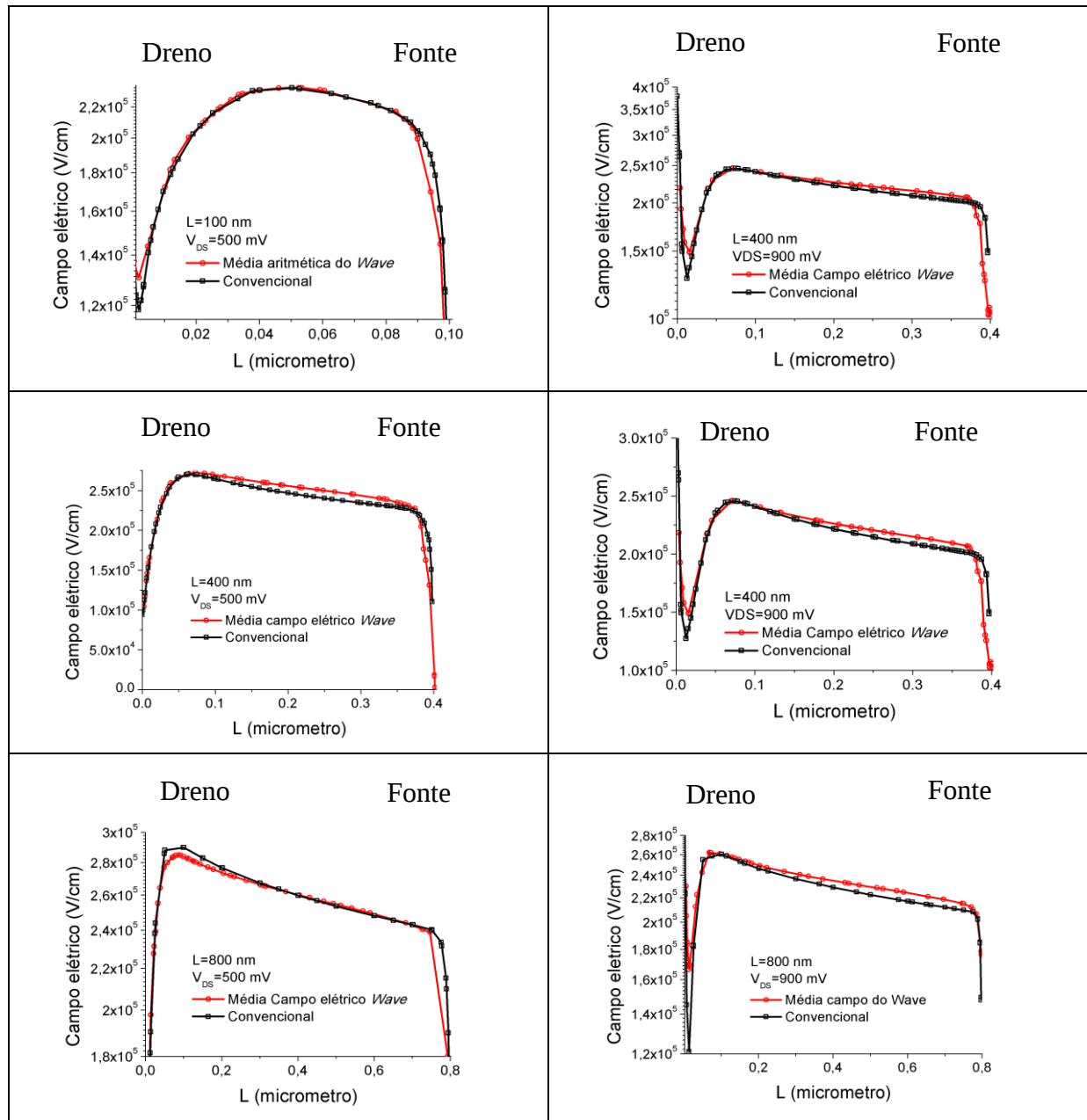


Figura 3.18 - Curvas da média do campo elétrico ao longo do canal dos semicírculos, com configuração de polarização de dreno interno e de dreno externo do Wave SOI nMOSFET comparada com o convencional, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm e com V_{DS} igual a 500 mV e igual a 900 mV.

Analisando-se a Figura 3.18, observa-se que o comportamento do campo elétrico médio do Wave próximo à região de dreno é superior ao do convencional. Isto se deve ao fato do efeito da maior variação do potencial ocorrer no semicírculo com configuração de polarização de dreno interno na região mais próxima da região de dreno e prevalecer sobre o efeito da menor variação do potencial próximo à região de dreno no semicírculo com configuração de polarização de dreno externo.

3.6 Estudo do comportamento elétrico da densidade total de corrente.

A Figura 3.19, mostra a distribuição da densidade total de corrente ao longo do canal, em um corte realizado próximo à interface entre o óxido de porta e o filme de silício, onde é formado o canal dos dispositivos convencional e Wave SOI nMOSFET, respectivamente, para o comprimento de canal igual a 100 nm, e para o valor de V_{DS} igual a 500 mV.

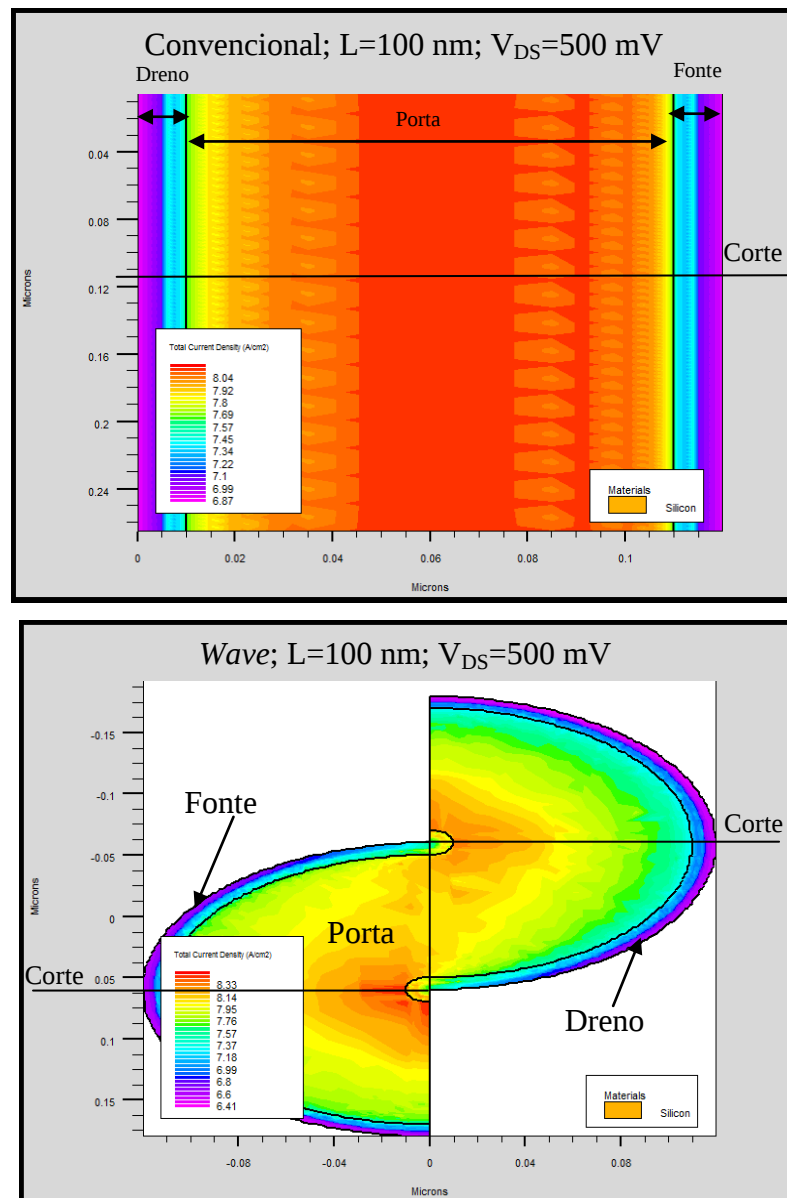


Figura 3.19- Imagem da distribuição da densidade total de corrente ao longo do canal na interface entre o óxido de porta e o filme de silício, onde se forma o canal dos dispositivos convencional e Wave SOI nMOSFETs, para L igual a 100 nm e para o valor de V_{DS} igual a 500 mV.

A Figura 3.20, mostra a distribuição da densidade total de corrente ao longo do canal, em um corte realizado próximo à interface entre o óxido de porta e o filme de silício, onde é formado o canal dos dispositivos convencionais e *Wave* SOI nMOSFET, respectivamente, para o comprimento de canal igual a 400 nm, e para o valor de V_{DS} igual a 500 mV.

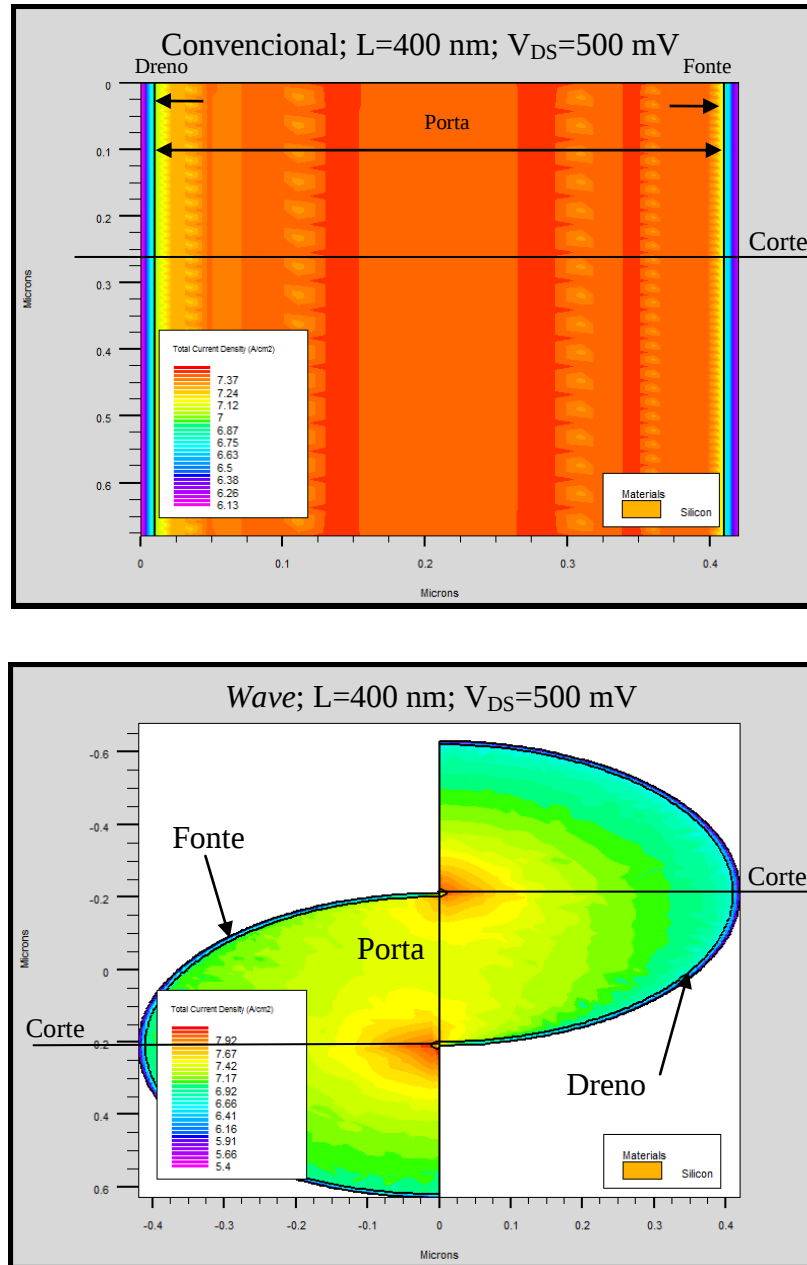


Figura 3.20- Imagem da distribuição da densidade total de corrente ao longo do canal na interface entre o óxido de porta e o filme de silício, onde se forma o canal dos dispositivos convencionais e *Wave* SOI nMOSFETs, para L igual a 400 nm e para o valor de V_{DS} igual a 500 mV.

A Figura 3.21, mostra a distribuição da densidade total de corrente ao longo do canal, em um corte realizado próximo à interface entre o óxido de porta e o filme de silício, onde é formado o canal dos dispositivos convencional e Wave SOI nMOSFET, respectivamente, para o comprimento de canal igual a 800 nm e para o valor de V_{DS} igual a 500 mV.

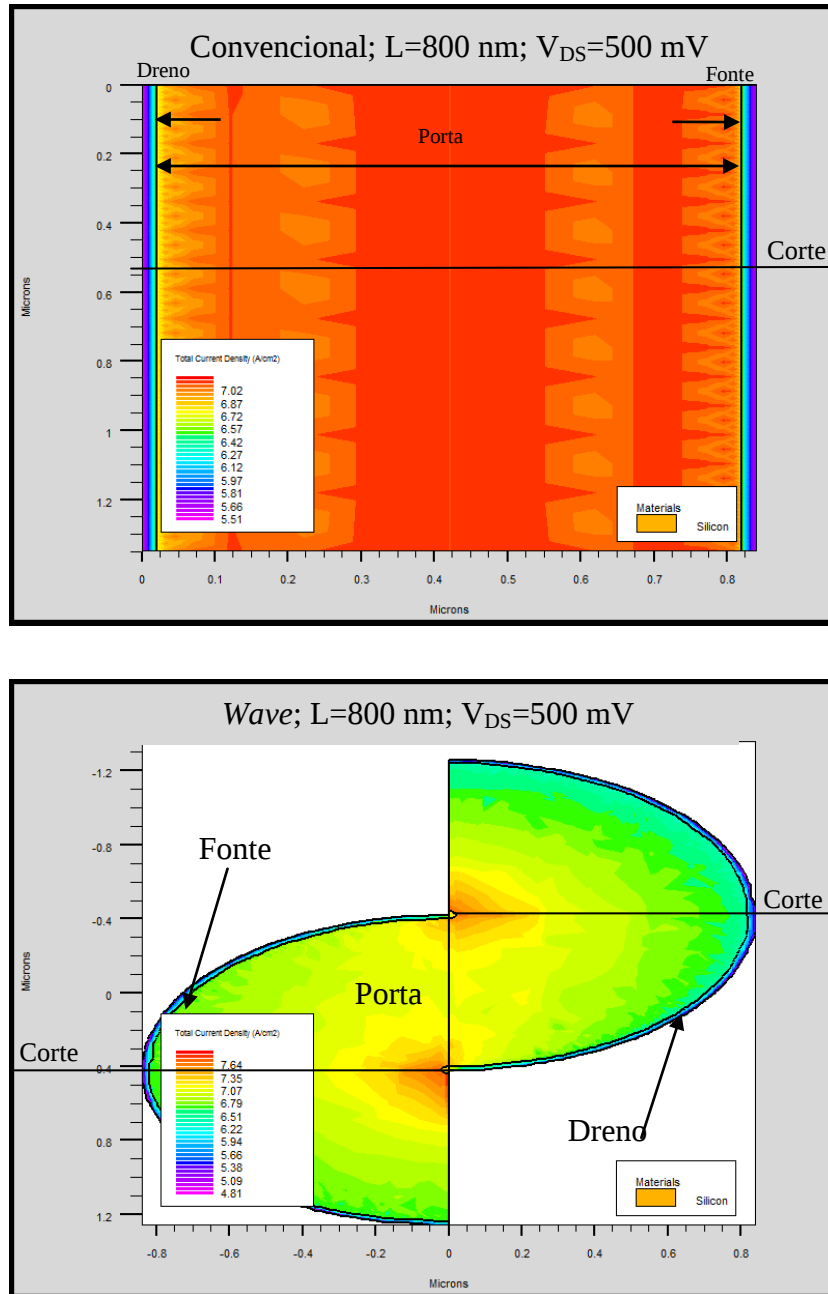


Figura 3.21- Imagem da distribuição da densidade total de corrente ao longo do canal na interface entre o óxido de porta e o filme de silício, onde se forma o canal dos dispositivos convencional e Wave SOI nMOSFETs, para L igual a 800 nm e para o valor de V_{DS} igual a 500 mV.

A Figura 3.22, apresenta o comportamento das curvas da densidade total de corrente dos dispositivos convencional e dos semicírculos do Wave SOI nMOSFETs, com configuração de polarização de dreno interno e de dreno externo, comparando a densidade total de corrente ao longo do canal, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm e com os valores de V_{DS} igual a 500 mV e igual a 900 mV, respectivamente.

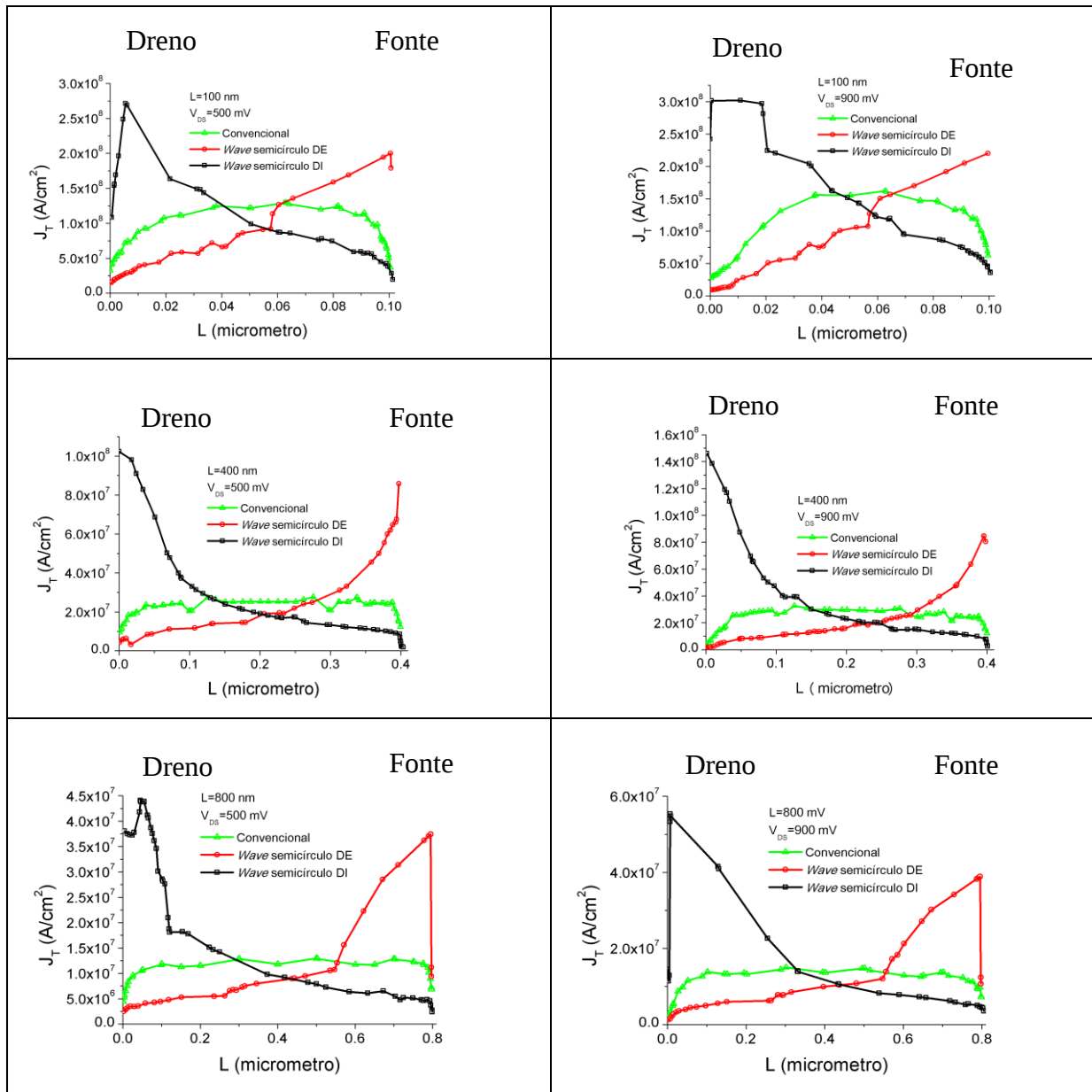


Figura 3.22 Curvas dos dispositivos convencional e dos semicírculos do Wave SOI nMOSFETs com configuração de polarização de dreno interno e de dreno externo, comparando a densidade total de corrente ao longo do canal, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm e com os valores de V_{DS} igual a 500 mV e igual a 900 mV, respectivamente.

Analisando-se a Figura 3.22, pode-se observar que a densidade total de corrente é maior no *Wave* na região próxima ao dreno no semicírculo com a configuração de polarização de dreno interno, quando comparado com a região de fonte do semicírculo com a configuração de polarização de dreno externo, apesar de estas regiões possuírem as mesmas áreas, pois na região de dreno do semicírculo do *Wave* em configuração de polarização de DI tem-se uma maior variação de potencial e conseqüentemente maior campo elétrico.

A Figura 3.23, apresenta o comportamento da curva da média das densidades total de corrente ao longo do canal dos semicírculos, com configuração de polarização de dreno externo e de dreno interno do *Wave* SOI nMOSFET e do convencional, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm e com o valor de V_{DS} igual a 500 mV e igual a 900 mV, respectivamente.

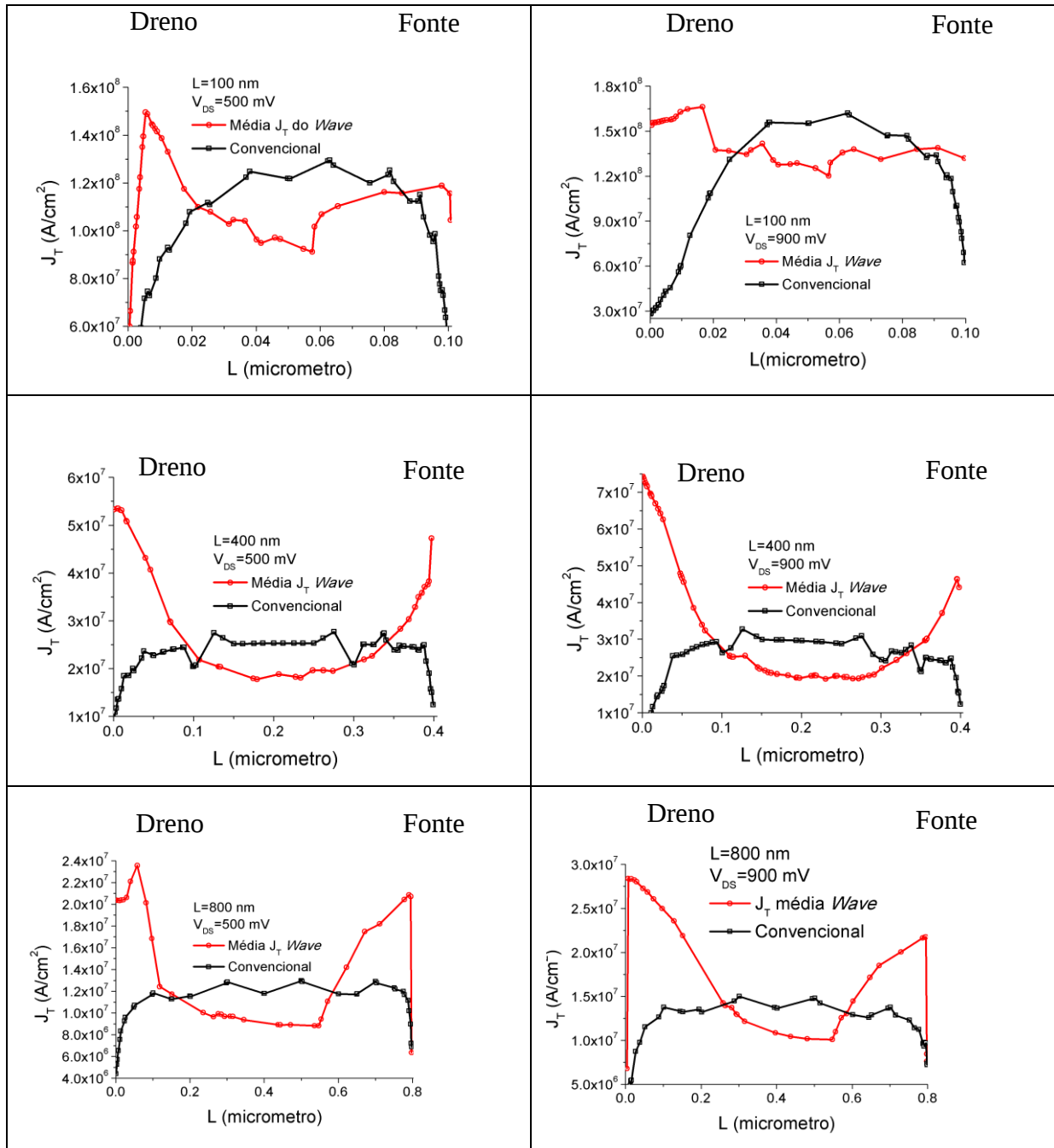


Figura 3.23- Comparação entre os comportamentos da curva média da densidade total de corrente dos semicírculos em configuração de polarização de DI e DE e o do convencional, para os comprimentos de canal iguais a 100 nm, 400 nm e 800 nm e com V_{DS} igual a 500 mV e igual a 900 mV, respectivamente.

Analisando-se a Figura 3.23, observa-se que o comportamento das curvas médias da densidade total de corrente nos semicírculos do Wave, na região próxima à região de dreno, na configuração de polarização de dreno interno e próximo à região de fonte na configuração de polarização de dreno externo é superior a do convencional, ou seja, a densidade total de corrente está mais concentrada nessas duas regiões, enquanto que no convencional a

densidade é mais uniforme ao longo do canal e se dá mais ao centro do canal. Essa desigualdade na distribuição da densidade total de corrente no *Wave* pode ser reduzida, utilizando-se áreas internas de contato maiores nas regiões de dreno na configuração de polarização de DI e na região de fonte na configuração de polarização de DE.

3.7 Simulação numérica tridimensional dos semicírculos superior dreno externo (DE) e inferior dreno interno (DI) do *Wave* SOI nMOSFET.

O objetivo desta seção é avaliar separadamente a influência de cada semicírculo que compõe o *Wave* SOI nMOSFET, sobre o comportamento da corrente de dreno desse transistor e também em relação ao convencional equivalente.

A Figura 3.24, mostra um exemplo de estrutura do semicírculo do *Wave* SOI nMOSFET, que pode operar na configuração de polarização de dreno interno ou na configuração de polarização de dreno externo.

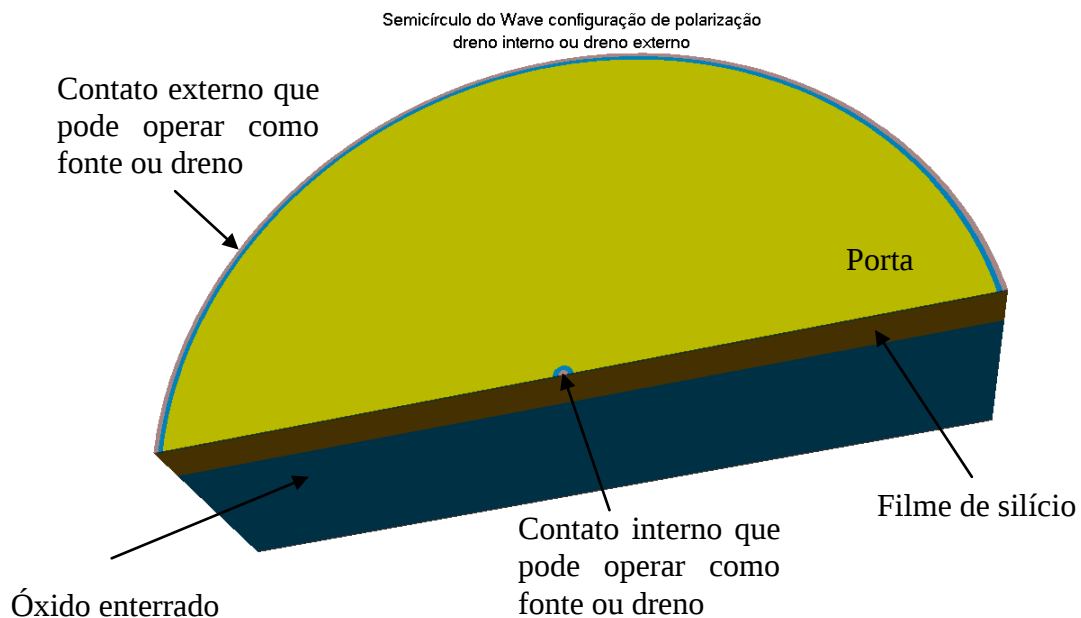


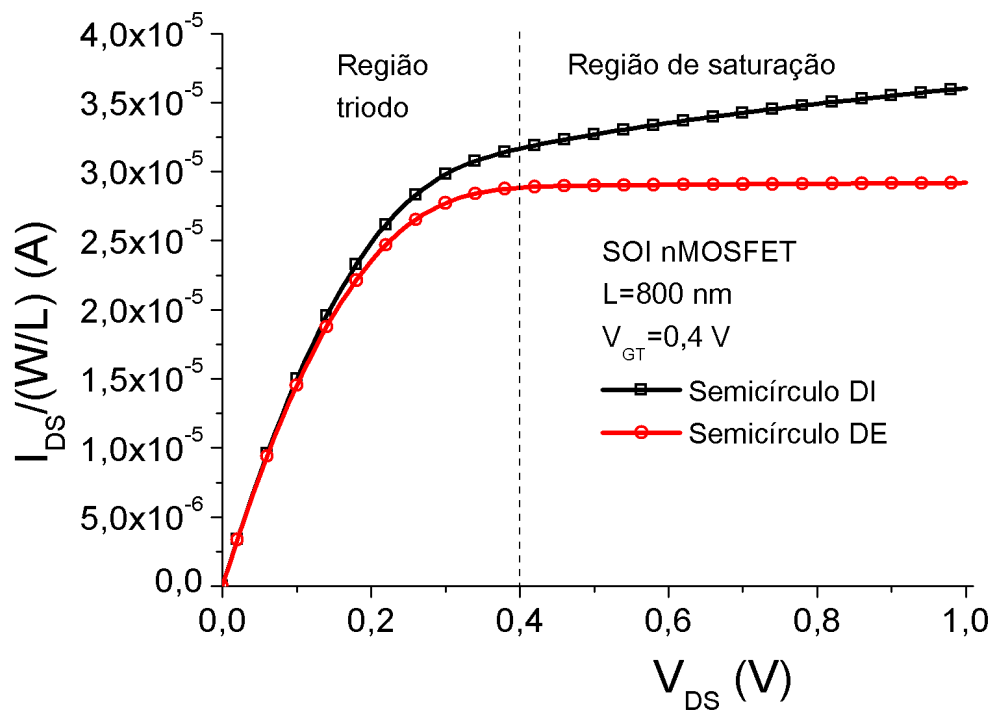
Figura 3.24 - Estrutura do semicírculo do *Wave* SOI nMOSFET.

Foram realizadas simulações numéricas tridimensionais na temperatura ambiente de 25 °C (300 K), para V_{DS} igual a 1 V. Todos os dispositivos possuem a espessura da camada de óxido de porta com 2,5 nm, a espessura da camada de silício com 100 nm, a espessura do óxido enterrado com 400 nm, a concentração de dopantes na região de canal (N_A) com $5,5 \times 10^{17} \text{ cm}^{-3}$ e a concentração de dopantes na região de dreno e fonte ($N_{D/S}$) com $1 \times 10^{20} \text{ cm}^{-3}$ e para um comprimento de canal igual a 800 nm.

Os modelos matemáticos utilizados para simular os semicírculos, são os mesmos usados nas simulações do *Wave* e do convencional SOI nMOSFETs [40].

Inicialmente foi obtida a curva de I_{DS} versus V_{GS} , para V_{DS} igual a 10 mV de forma a obter a tensão de limiar de cada semicírculo do *Wave* SOI nMOSFET, operando em configuração de polarização de dreno interno e de dreno externo. Neste caso, ambos os semicírculos operando como DI e DE apresentaram o mesmo valor de tensão de limiar ($V_{TH}=0,21 \text{ V}$).

A Figura 3.25, mostra as curvas de I_{DS} versus V_{DS} do transistor em formato de meia circunferência em configuração de polarização de dreno interno e de dreno externo, para $L=800 \text{ nm}$ e $V_{GT}=0,4 \text{ V}$.



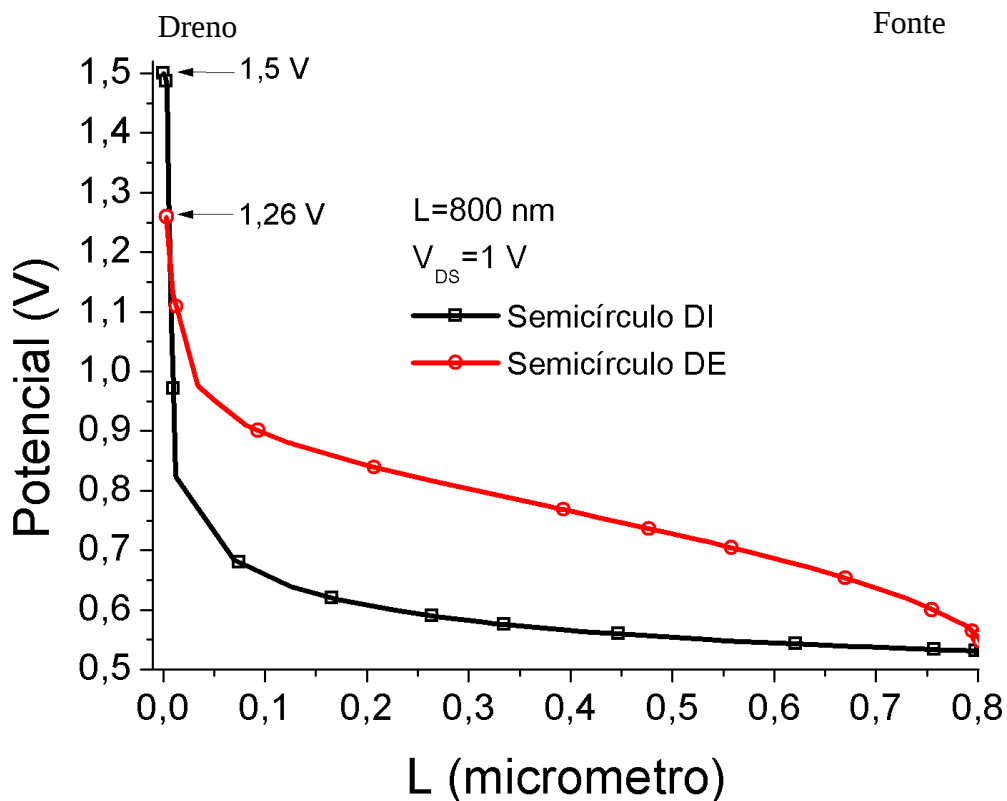
Figuras 3.25 - Curvas de I_{DS} versus V_{DS} dos semicírculos do Wave SOI nMOSFET com configuração de polarização de dreno interno e de dreno externo para $L=800$ nm com $V_{GT}=0,4$ V.

Pode-se observar na Figura 3.25, que a corrente de dreno do transistor em formato de meia circunferência em configuração de polarização de dreno interno é maior que aquela encontrada na configuração de polarização de dreno externo. Isso é justificado pelo fato da configuração de polarização de dreno interno, apresentar uma resistência de dreno maior que a de configuração de polarização de dreno externo, o que acarreta numa maior densidade de campo elétrico nessa região e conseqüentemente num maior campo elétrico na região de dreno, o que faz aumentar ainda mais a velocidade dos portadores de carga do canal nessa região ($v = \mu \vec{E}$, onde μ é a mobilidade dos portadores de carga do canal e $\vec{E}$ é o campo elétrico longitudinal ao longo do canal) [42] e conseqüentemente aumentar a corrente de dreno $I_{DS} = Qv$ [42]. Outro fator é que na configuração de polarização de dreno interno, a resistência série da fonte é menor que na configuração de polarização de dreno externo, o que resulta numa menor diferença de potencial na resistência de fonte devido à polarização de V_{GS} , e conseqüentemente tem-se um maior V_{GS} efetivo aplicado à porta do transistor, o que acarreta numa maior corrente de dreno.

Extraindo-se a tensão Early através do prolongamento da região linear da região de saturação, para ambos os dispositivos observam-se que a tensão Early do transistor operando

em configuração de polarização de dreno interno ($V_{EA(DI)} = -4,13$ V) é bem menor 1613 %, que aquela encontrada na configuração de polarização de dreno externo ($V_{EA(DE)} = -70,74$ V).

A Figura 3.26, apresenta as curvas do comportamento do potencial dos semicírculos do Wave SOI nMOSFET, em configuração de polarização de dreno interno e em configuração de polarização de dreno externo, para $L=800$ nm e $V_{DS}=1$ V.



Figuras 3.26 - Curvas do potencial dos semicírculos do Wave SOI nMOSFET, com configuração de polarização de dreno interno e de dreno externo, para $L=800$ nm $V_{DS}=1$ V.

Pode-se observar, que tanto o potencial quanto a variação de potencial na região de dreno do transistor em formato de semicírculo na configuração de polarização de dreno interno, são maiores daqueles encontrados na configuração de polarização de dreno externo, devido à menor área de dreno na configuração de polarização de dreno interno.

A Figura 3.27, apresenta as curvas do campo elétrico dos semicírculos do Wave SOI nMOSFET em configuração de polarização de dreno interno e em configuração de polarização de dreno externo para $V_{DS}=1$ V.

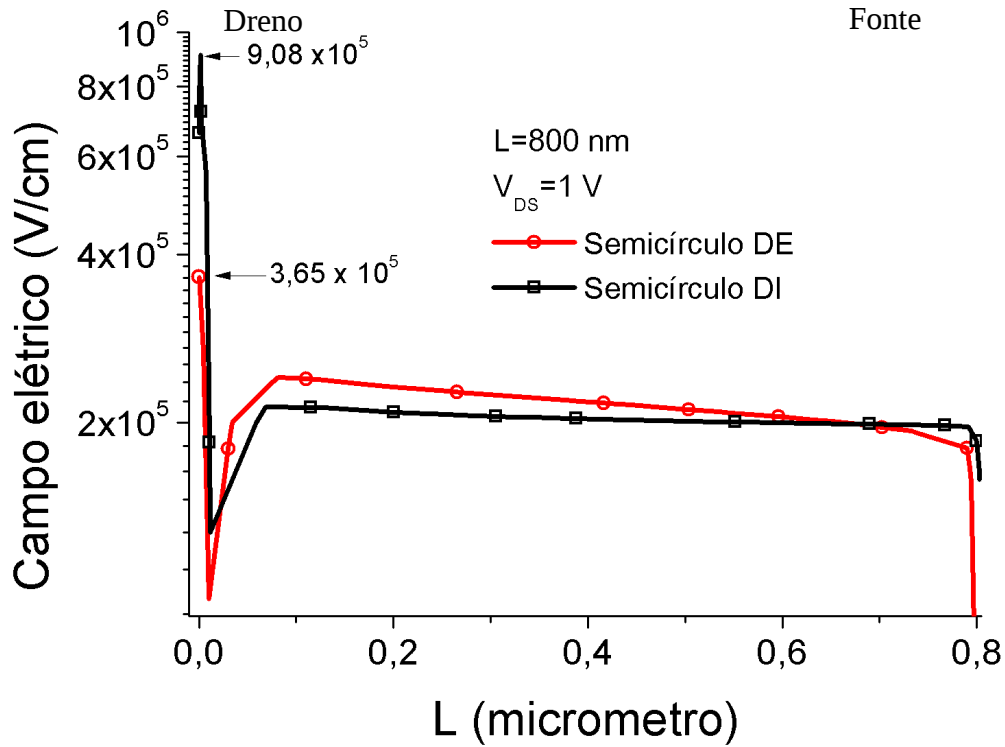


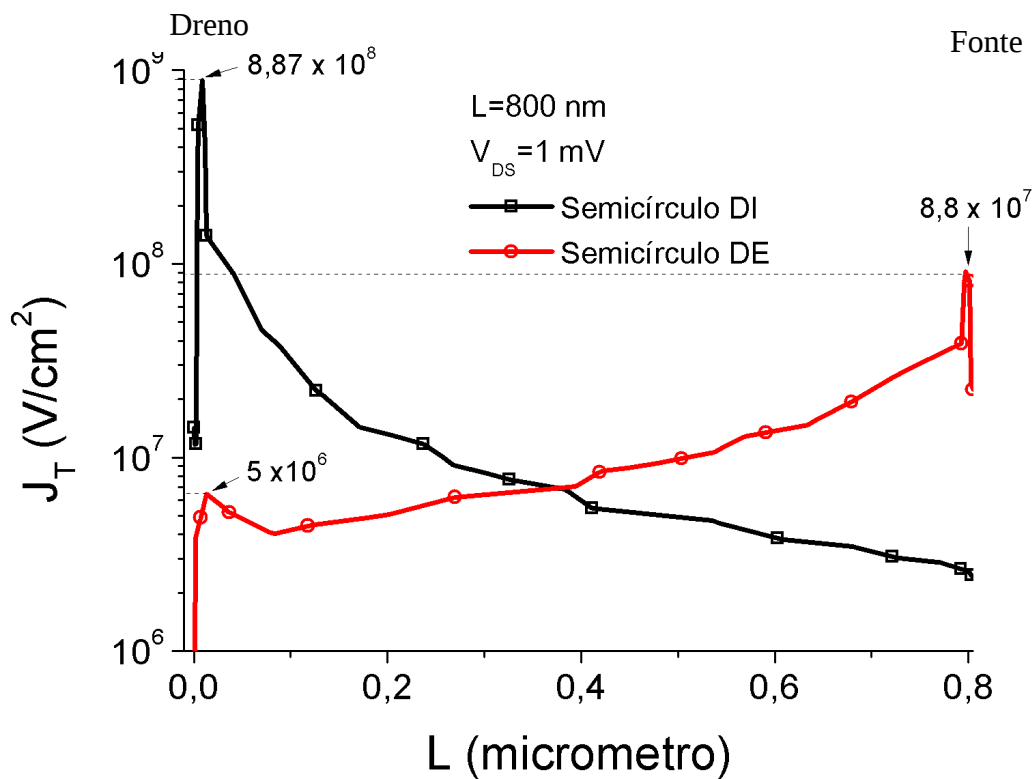
Figura 3.27 – Curvas do campo elétrico do semicírculo do Wave SOI nMOSFET com configuração de polarização de dreno interno e do semicírculo com configuração de polarização de dreno externo, para L igual 800 nm e com V_{DS} igual a 1 V.

Devido à maior variação do potencial próximo ao dreno do transistor em formato de semicírculo na configuração de polarização de dreno interno, o campo elétrico é maior próximo ao dreno em relação ao semicírculo na configuração de polarização de dreno externo, conforme a equação 3.3. Isto é um dos fatores que contribuem para que a corrente de dreno seja maior no semicírculo com configuração de polarização de dreno interno, quando comparado ao semicírculo com configuração de polarização de dreno externo.

$$-\varepsilon = \frac{\partial V}{\partial x} \quad (3.3)$$

Analisando-se a Figura 3.27, pode-se verificar que o campo elétrico do transistor em formato de semicírculo operando em configuração de polarização de dreno interno próximo à região de dreno, apresenta um campo elétrico 148 % maior que o observado na configuração de polarização de dreno externo, sendo justificado pela diferença entre as áreas das regiões de fonte e dreno, e consequentemente nas resistências série de dreno e na distribuição do potencial entre esses dispositivos.

A Figura 3.28, apresenta as curvas da densidade total de corrente dos semicírculos do Wave SOI nMOSFET em configuração de polarização de dreno interno e na configuração de polarização de dreno externo, para $V_{DS}=1$ V.



Figuras 3.28 - Curvas da densidade total de corrente do semicírculo do Wave SOI nMOSFET, com configuração de polarização de dreno interno e de dreno externo, para L igual 800 nm e V_{DS} igual a 1 V.

A densidade total de corrente do transistor em formato de semicírculo em configuração de polarização de dreno interno na região de dreno é maior do que o valor daquele encontrado quando polarizado em configuração de polarização de dreno externo na

região de fonte (diferença de aproximadamente uma década), embora elas apresentem a mesma área. Esse efeito é justificado, devido ao maior campo elétrico na região de dreno na configuração de polarização de dreno interno.

A Figura 3.29, mostra as curvas $I_{DS}/(W/L)$ versus V_{DS} parametrizado em função de V_{GT} dos transistores no formato de semicírculo com a configuração de polarização de dreno interno, dreno externo e do convencional SOI nMOSFET para $L=800$ nm e $V_{GT}=0,4$ V.

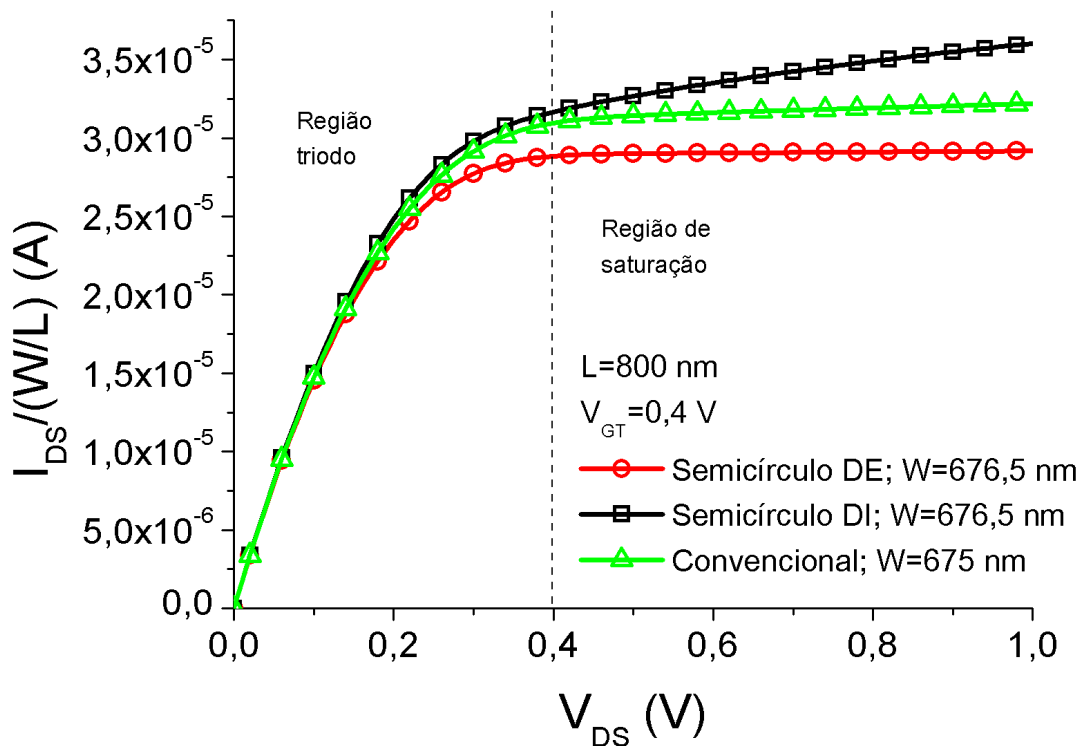


Figura 3.29 - Curvas de $I_{DS}/(W/L)$ versus V_{DS} do SOI nMOSFET em formato de semicírculos, com configuração de polarização de dreno interno, dreno externo e do convencional para $L=800$ nm $V_{GT}=0,4$ V.

A Figura 3.29 apresenta as curvas de $I_{DS}/(W/L)$ versus V_{DS} do convencional e dos semicírculos do SOI nMOSFETs, para V_{GT} igual a 0,4 V. Nota-se que o semicírculo com configuração de polarização de dreno interno apresenta valores de I_{DS} maiores que aqueles encontrados no convencional e que por sua vez é maior que aquele encontrado na configuração de polarização de dreno externo. Isso pode ser justificado, pelo fato de no semicírculo superior do Wave SOI nMOSFET que está em configuração de polarização de

dreno externo, a resistência série da fonte é superior a do convencional, que por sua vez é superior aquela apresentada na configuração de polarização de dreno interno, conseqüentemente, o valor de V_{GS} efetivo devido à queda de tensão nessas resistências, será maior na configuração de polarização de dreno interno, quando comparada a do convencional, que por sua vez é superior aquela apresentada na configuração de polarização de dreno externo.

A Tabela 3.10 ilustra os resultados extraídos das tensões Early dos semicírculos superior, que está em configuração de polarização de dreno externo e inferior, que está em configuração de polarização de dreno interno e do convencional.

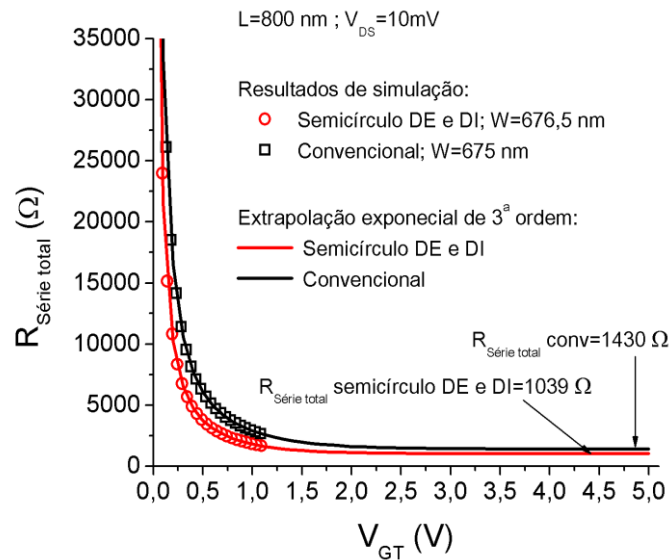
Tabela 3.10 – Tensão Early para o semicírculo em configuração de polarização de dreno interno, de dreno externo e do convencional para $L=800$ nm e $V_{GT}=0,4$ V.

$L=800$ nm $V_{GS}=0,61$ V		
Convencional	V_{EA} semicírculo dreno externo	V_{EA} semicírculo dreno interno
-18,2 V	-66,7 V	-4,11 V

Verifica-se que a tensão Early do semicírculo superior, que está em configuração de polarização de dreno externo (-66,7 V) é maior que a do convencional (-18,2 V), que por sua vez é superior ao do semicírculo em configuração de polarização de dreno interno (-4,11 V). Esse efeito pode ser justificado, pela presença de um campo elétrico longitudinal maior no semicírculo de configuração de polarização de dreno interno, que acarreta num maior deslocamento da região de pinch-off e conseqüentemente em um menor comprimento efetivo de canal, que os demais dispositivos analisados.

3.8 Resistência série dos transistores em formato de semicírculo (configuração de polarização DE e DI)

A Figura 3.30, apresenta as curvas da resistência série total em função da sobretensão de porta (V_{GT}) do semicírculo em configuração de polarização de dreno interno (DI), de dreno externo (DE) e do convencional.



Figuras 3.30 - Curvas da resistência série total em função de V_{GT} dos transistores em formato de semicírculo em configuração de polarização de dreno interno, dreno externo e do convencional para $L=800$ nm.

A resistência série total da região de dreno e da região de fonte do semicírculo em configuração de polarização de dreno externo, do semicírculo em configuração de polarização de dreno interno e do convencional são apresentadas na Tabela 3.11.

Tabela 3.11 – Resistência série total da região de dreno e fonte dos SOI nMOSFET em formato de semicírculo, na configuração de polarização de dreno externo, na configuração de polarização de dreno interno e o convencional para $L=800$ nm.

Resistência série total (Ω)			
L (nm)	Convencional	Semicírculo DI	Semicírculo DE
800	1430	1039	1039

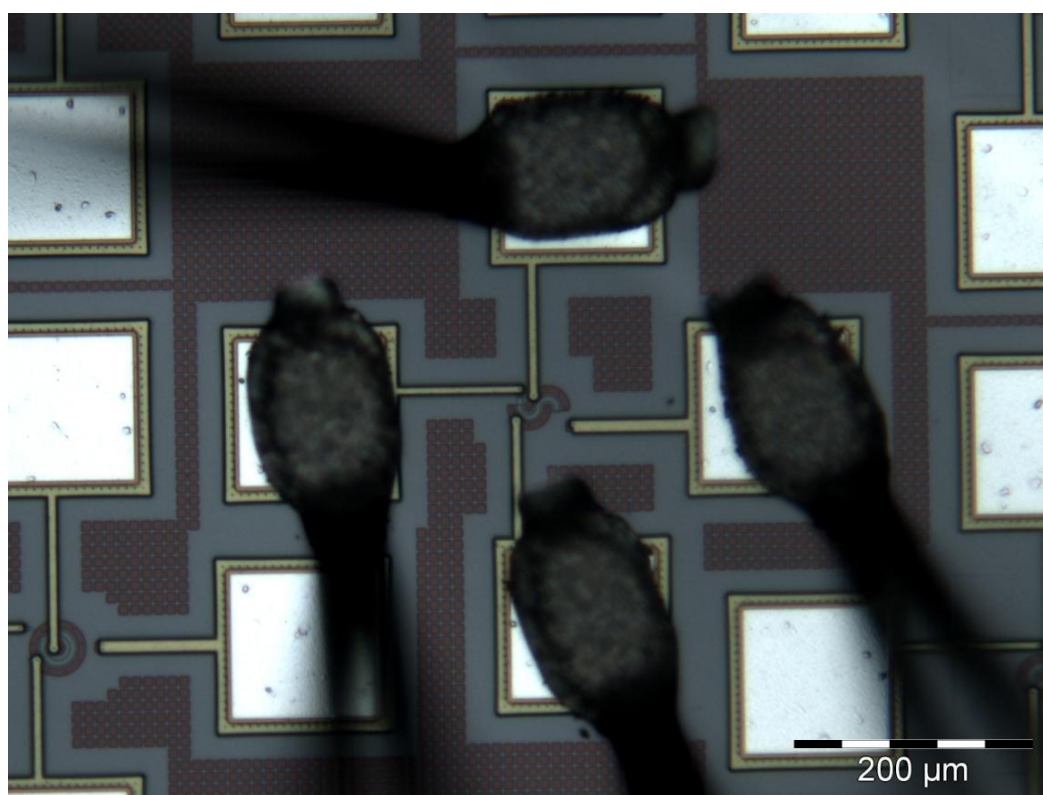
Como a resistência de contato é inversamente proporcional à área de contato [42] de fonte e dreno e sabendo-se que o valor das áreas da região externa (298.451 nm^2) e interna (15.708 nm^2), proporcionando assim um valor de área do semicírculo que compõe o Wave de 314.158 nm^2 , sendo este valor maior que a do convencional equivalente que é de 135.000 nm^2 , conseqüentemente a resistência série de fonte e dreno do Wave é inferior ao do convencional, conforme foi apresentado na Tabela 3.11.

4 RESULTADOS EXPERIMENTAIS

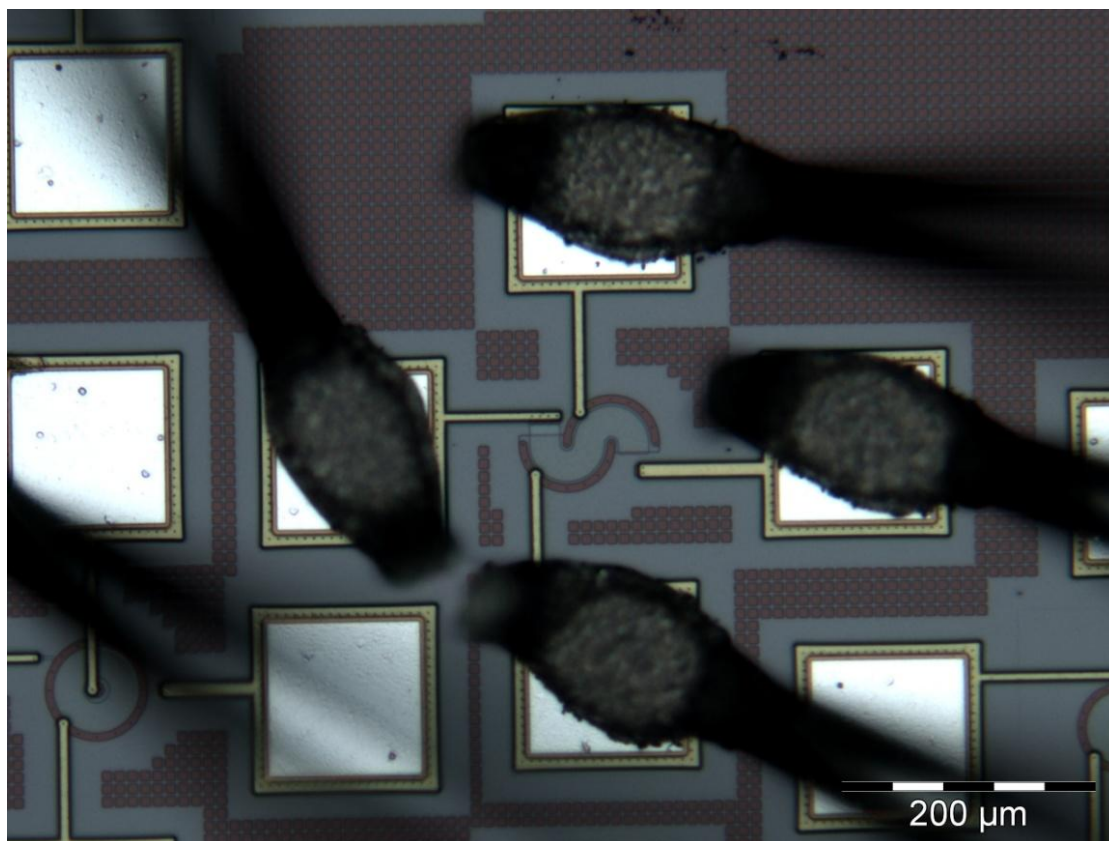
Os transistores *Wave* e convencionais utilizados neste trabalho para fazer o estudo experimental, foram fabricados com tecnologia MOSFET convencional AMI (ON-Semiconductor) que usa o Programa Educacional do MOSIS (MOSIS Education Program, MEP) [43]. O apêndice C apresenta os dados de fabricação dos dispositivos pelo MOSIS [44].

Foi utilizado o processo CMOS convencional ao invés do SOI CMOS, por não termos acesso a esse processo de fabricação, porém apresenta comportamento similar aos SOI nMOSFETs Parcialmente Depletados, utilizados neste trabalho para fazer o estudo através de simulação 3D. Os comprimentos de canal dos MOSFETs usados neste estudo experimental foram: 2,3 μm , 6 μm e 12 μm .

A Figura 4.1 apresenta duas fotos de dois dos transistores *Wave* MOSFETs com os comprimentos de canal $L=2,3 \mu\text{m}$ (a) e $L=12 \mu\text{m}$ (b) respectivamente, utilizados para levantamento dos dados experimentais deste trabalho.



(a)



(b)

Figura 4.1 Fotos de dois transistores *Wave* com $L=2,3\ \mu\text{m}$ (a) e $L=12\ \mu\text{m}$ (b) utilizados para o levantamento dos dados experimentais.

A Tabela 4.1 apresenta a relação W/L dos dispositivos experimentais do *Wave* e convencional, utilizados neste trabalho.

Tabela 4.1 – Relação W/L dos dispositivos experimentais utilizados neste trabalho.

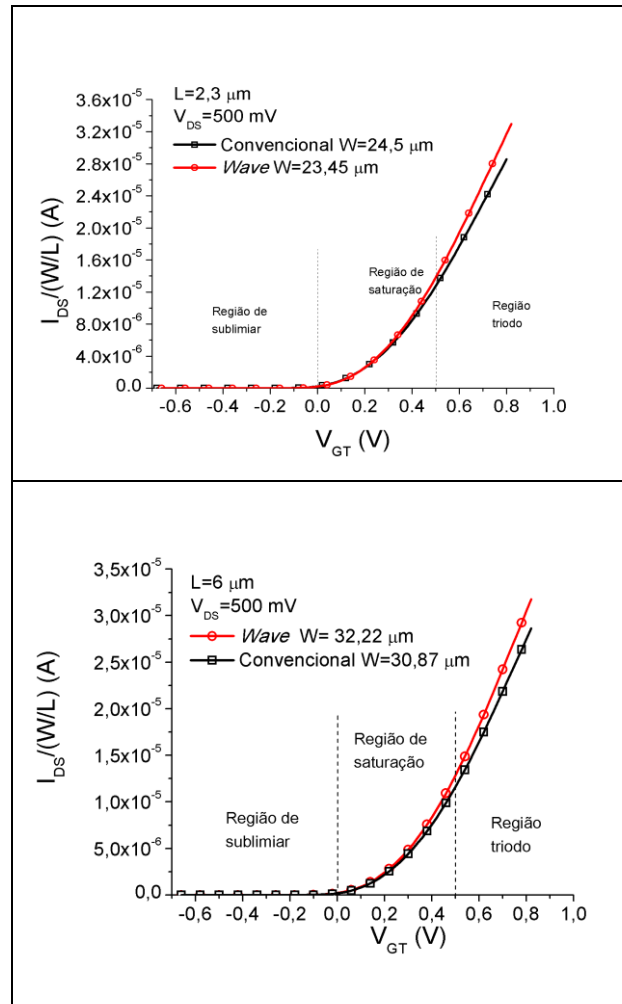
L (μm)	Convencional		Wave	
	W (μm)	W/L	W (μm)	W/L
2,3	24,50	10,65	23,45	10,19
6	30,87	5,14	32,22	5,37
12	44,59	3,71	44,49	3,70

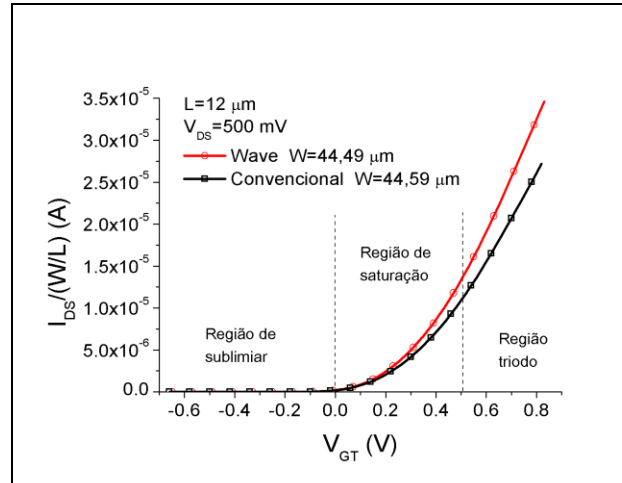
A Tabela 4.2 apresenta as tensões de limiar dos dispositivos experimentais utilizados neste trabalho.

Tabela 4.2 – Tensões de limiar extraídos dos dados experimentais dos convencionais e Wave MOSFETs para diferentes comprimentos de canal.

Comprimento de canal L (μm)	Convencional V_{TH} (V)	Wave V_{TH} (V)
2,3	0,68	0,68
6	0,68	0,68
12	0,68	0,68

A Figura 4.2, apresenta as curvas experimentais de $I_{DS}/(W/L)$ versus V_{GT} dos dispositivos convencionais e Wave nMOSFETs, com comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente, para $V_{DS}=500$ mV.





Figuras 4.2 – Curvas com as medidas experimentais de $I_{DS}/(W/L)$ versus V_{GT} para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente, para $V_{DS}=500$ mV.

A corrente de dreno do *Wave* é sempre maior que a do convencional nas regiões de saturação e triodo. Os resultados experimentais confirmam os resultados obtidos por simulação numérica tridimensional, pois apresentam as mesmas tendências.

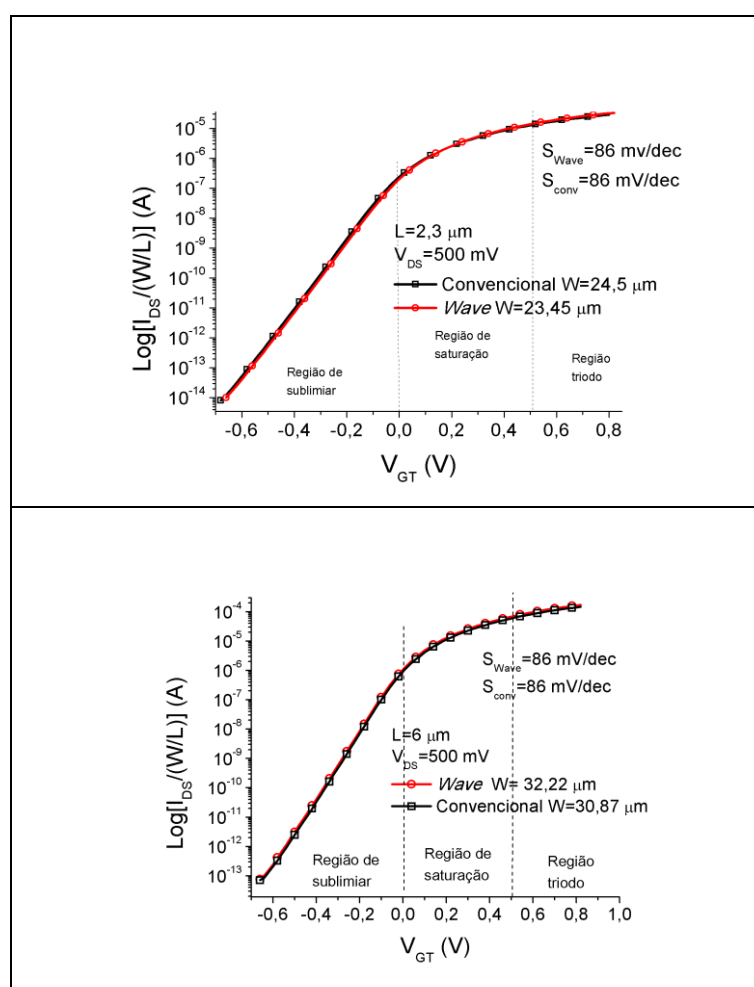
A Tabela 4.3, apresenta os valores experimentais de $I_{DS}/(W/L)$ do *Wave* nMOSFET e do convencional, para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente, com V_{DS} igual a 500 mV.

Tabela 4.3 - Valores experimentais das correntes de dreno na interface entre a região de saturação e triodo, para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente, com o valor de V_{DS} igual a 500 mV.

L=2,3 μm			
	$I_{DS}/(W/L)$ (A)		$\left(\frac{I_{DS}/(W/L)_{Wave} - I_{DS}/(W/L)_{Conv}}{I_{DS}/(W/L)_{Conv}} \right) \times 100$ (%)
V_{DS} (mV)	Convencional	Wave	
500	$1,26 \times 10^{-5}$	$1,4 \times 10^{-5}$	+11
L=6 μm			
	$I_{DS}/(W/L)$ (A)		$\left(\frac{I_{DS}/(W/L)_{Wave} - I_{DS}/(W/L)_{Conv}}{I_{DS}/(W/L)_{Conv}} \right) \times 100$ (%)
V_{DS} (mV)	Convencional	Wave	
500	$1,14 \times 10^{-5}$	$1,29 \times 10^{-5}$	+13
L=12 μm			
	$I_{DS}/(W/L)$ (A)		$\left(\frac{I_{DS}/(W/L)_{Wave} - I_{DS}/(W/L)_{Conv}}{I_{DS}/(W/L)_{Conv}} \right) \times 100$ (%)
V_{DS} (mV)	Convencional	Wave	
500	$1,1 \times 10^{-5}$	$1,38 \times 10^{-5}$	+26

Pode-se observar pela Tabela 4.3, que os valores da corrente de dreno normalizada em função de (W/L) , retirados das curvas de $I_{DS}/(W/L)$ versus V_{GT} na interface entre a região de saturação e triodo, para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente, para V_{DS} igual a 500 mV do *Wave* MOSFETs são sempre maiores que aquelas observadas nos MOSFETs convencionais, ou seja, aproximadamente 11 % para o comprimento de canal 2,3 μm , 13 % para o comprimento de canal 6 μm e 26 % para o comprimento de canal 12 μm , respectivamente.

A Figura 4.3 apresenta as curvas do Log de $I_{DS}/(W/L)$ versus V_{GT} , das medidas experimentais dos convencionais e *Wave* nMOSFETs, com os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente, para $V_{DS}=500$ mV.



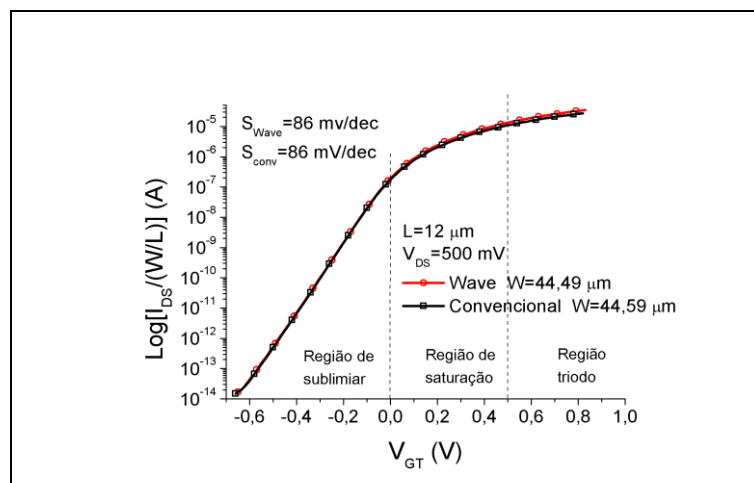


Figura 4.3 – Curvas com as medidas experimentais do $\text{Log}[I_{DS}/(W/L)]$ versus V_{GT} do convencional e do Wave nMOSFETs, para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente, para $V_{DS}=500$ mV.

Os resultados das inclinações de sublimiar das curvas experimentais do $\text{Log}[I_{DS}/(W/L)]$, entre o convencional e o Wave nMOSFETs foram os mesmos, mantendo as mesmas tendências dos resultados das simulações numéricas tridimensionais.

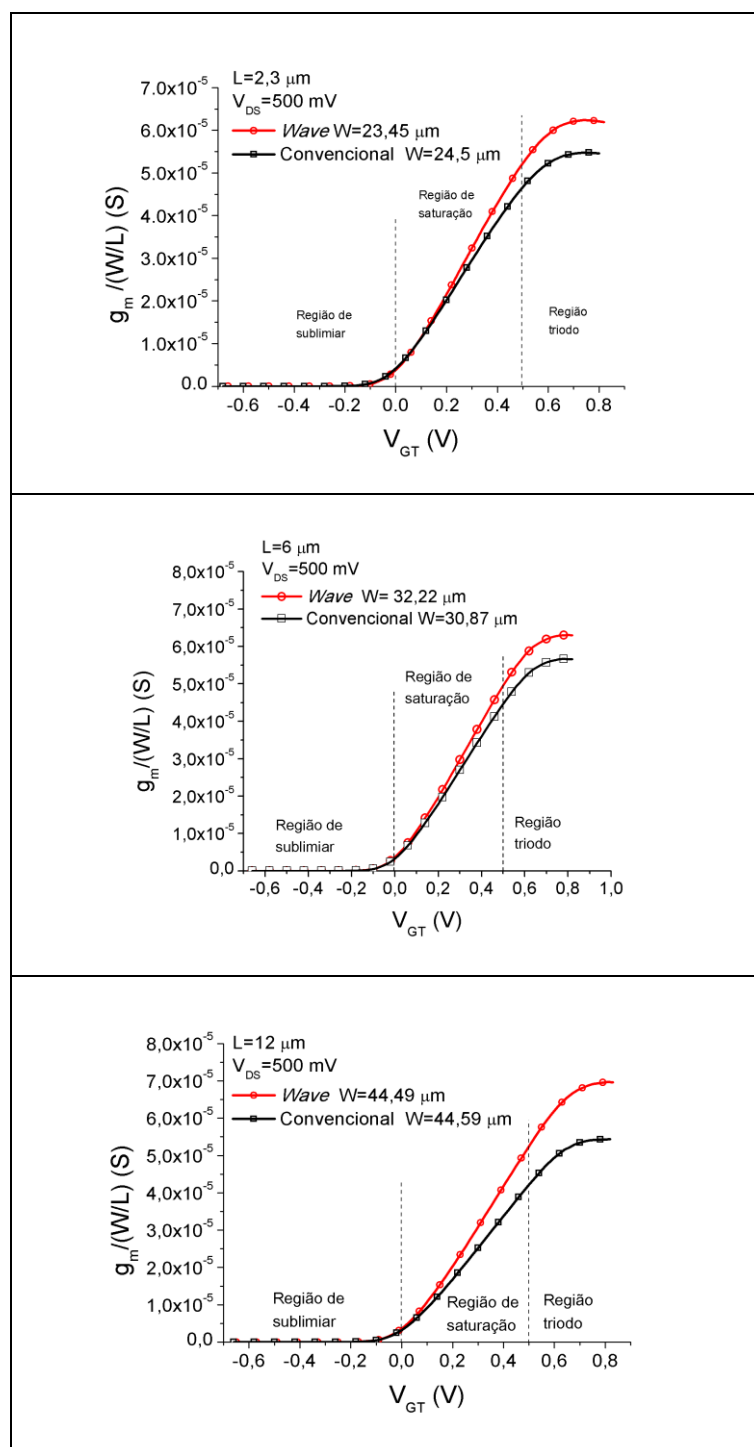
A Tabela 4.4 mostra os valores experimentais da corrente de dreno na região de sublimiar ($I_{D \text{ Sub}}$) extraídas das curvas $\text{Log}[I_{DS}/(W/L)]$ versus V_{GT} , para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente, como valor de V_{DS} igual a 500 mV, considerando-se $V_{GT} = -0,6$ V.

Tabela 4.4 - Valores experimentais da corrente de dreno na região de sublimiar ($I_{D\text{ Sub}}$) extraídas das curvas $\text{Log}[I_{D\text{ S}}/(W/L)]$ versus V_{GT} , para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente, com o valor de V_{DS} igual a 500 mV, considerando-se $V_{GT} = -0,6\text{ V}$.

L=2,3 μm ($V_{GT} = -0,6\text{ V}$)			
V_{DS} (mV)	$I_{D\text{ Sub}}/(W/L)$ (A)		$\left(\frac{\left(\frac{I_{D\text{ Sub}}}{(W/L)} \right)_{Wave} - \left(\frac{I_{D\text{ Sub}}}{(W/L)} \right)_{Conv}}{\left(\frac{I_{D\text{ Sub}}}{(W/L)} \right)_{Conv}} \right) \times 100 \text{ (\%)}$
	Convencional	Wave	
500	$4,14 \times 10^{-14}$	$5,21 \times 10^{-14}$	+25,8
L=6 μm ($V_{GT} = -0,6\text{ V}$)			
V_{DS} (mV)	$I_{D\text{ Sub}}/(W/L)$ (A)		$\left(\frac{\left(\frac{I_{D\text{ Sub}}}{(W/L)} \right)_{Wave} - \left(\frac{I_{D\text{ Sub}}}{(W/L)} \right)_{Conv}}{\left(\frac{I_{D\text{ Sub}}}{(W/L)} \right)_{Conv}} \right) \times 100 \text{ (\%)}$
	Convencional	Wave	
500	$2,05 \times 10^{-13}$	$2,48 \times 10^{-13}$	+20,9
L=12 μm ($V_{GT} = -0,6\text{ V}$)			
V_{DS} (mV)	$I_{D\text{ Sub}}/(W/L)$ (A)		$\left(\frac{\left(\frac{I_{D\text{ Sub}}}{(W/L)} \right)_{Wave} - \left(\frac{I_{D\text{ Sub}}}{(W/L)} \right)_{Conv}}{\left(\frac{I_{D\text{ Sub}}}{(W/L)} \right)_{Conv}} \right) \times 100 \text{ (\%)}$
	Convencional	Wave	
500	$3,95 \times 10^{-14}$	$4,43 \times 10^{-14}$	+12,1

A corrente de dreno na região de sublimiar normalizada em relação a (W/L) experimental do Wave nMOSFET é sempre maior que a do convencional para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente e para V_{DS} igual a 500 mV. Esses resultados apresentam as mesmas tendências daquelas observadas pelas simulações numéricas tridimensionais.

A Figura 4.4 apresenta as curvas experimentais de $g_m/(W/L)$ versus V_{GT} , dos nMOSFETs convencional e Wave, para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente, com o valor de V_{DS} igual a 500 mV.



Figuras 4.4 – Curvas experimentais de $g_m/(W/L)$ versus V_{GT} para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente, para $V_{DS}=500$ mV.

A transcondutância normalizada em relação à W/L experimental do Wave é sempre maior que a do convencional, para os diferentes comprimentos de canal medidos e em todas as regiões de operação analisadas.

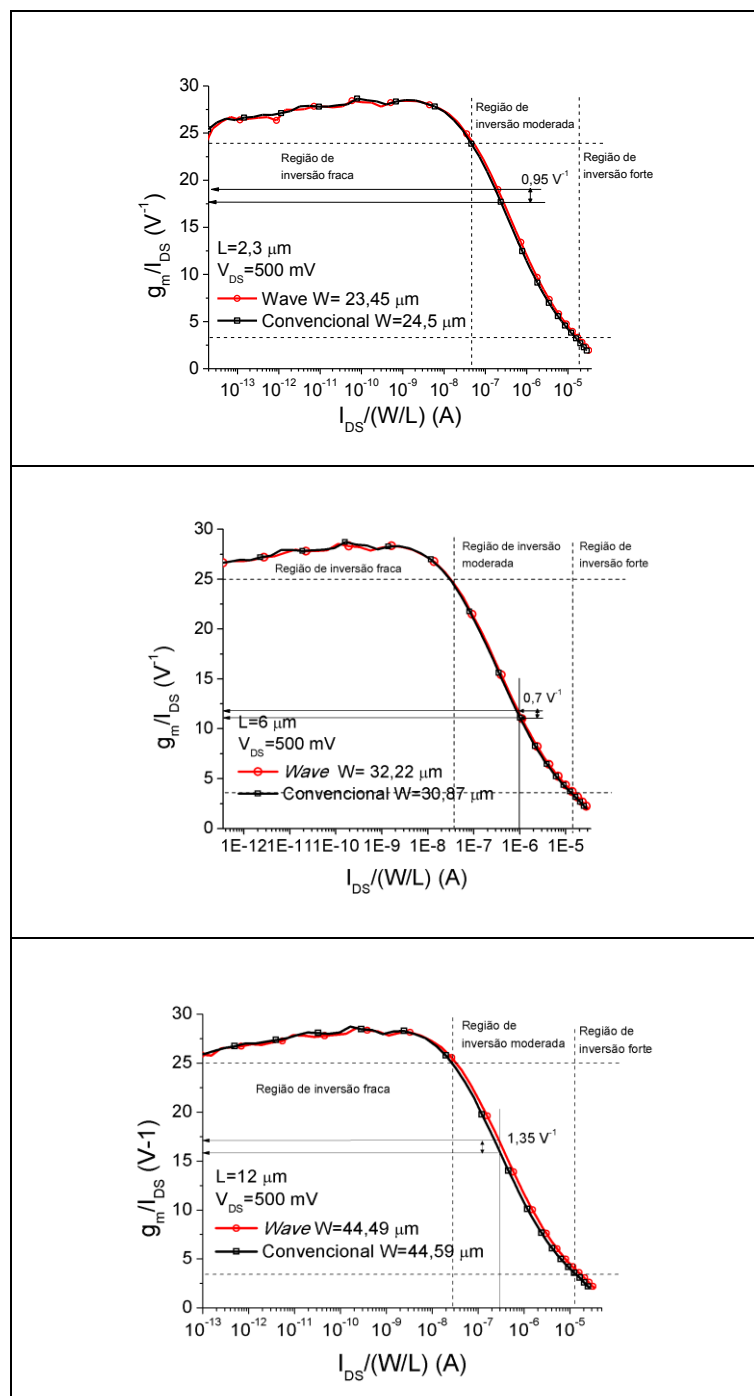
A Tabela 4.5, apresenta os valores da transcondutância normalizada em função de W/L experimental na interface entre as regiões de saturação e triodo dos nMOSFETs convencionais e *Wave*, para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente e para V_{DS} igual a 500 mV.

Tabela 4.5- Valores experimentais da transcondutância normalizada em função de W/L na interface entre as regiões de saturação e triodo dos transistores convencional e *Wave*, para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente, com o valor de V_{DS} igual a 500 mV.

L=2,3 μm			
V_{DS} (mV)	Convencional $g_m/(W/L)$ (S)	<i>Wave</i> $g_m/(W/L)$ (S)	$\left(\frac{(g_m/(W/L))_{Wave} - (g_m/(W/L))_{Conv}}{(g_m/(W/L))_{Conv}} \right) \times 100$ (%)
500	$4,63 \times 10^{-5}$	$5,19 \times 10^{-5}$	+12,1
L=6 μm			
V_{DS} (mV)	Convencional $g_m/(W/L)$ (S)	<i>Wave</i> $g_m/(W/L)$ (S)	$\left(\frac{(g_m/(W/L))_{Wave} - (g_m/(W/L))_{Conv}}{(g_m/(W/L))_{Conv}} \right) \times 100$ (%)
500	$4,43 \times 10^{-5}$	$4,98 \times 10^{-5}$	+12,4
L=12 μm			
V_{DS} (mV)	Convencional $g_m/(W/L)$ (S)	<i>Wave</i> $g_m/(W/L)$ (S)	$\left(\frac{(g_m/(W/L))_{Wave} - (g_m/(W/L))_{Conv}}{(g_m/(W/L))_{Conv}} \right) \times 100$ (%)
500	$4,2 \times 10^{-5}$	$5,27 \times 10^{-5}$	+25,5

Nota-se que os valores da transcondutância normalizada em função de (W/L) dos *Wave* nMOSFETs, são sempre maiores que aqueles encontrados no convencional equivalente, da mesma forma que foi relatada pelas simulações numéricas tridimensionais.

A Figura 4.5 apresenta as curvas experimentais de g_m/I_{DS} versus $I_{DS}/(W/L)$, para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente e para o valor de V_{DS} igual a 500 mV.



Figuras 4.5 – Curvas experimentais de g_m/I_{DS} versus $I_{DS}/(W/L)$ para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente e para V_{DS} igual a 500 mV.

Pode-se observar pela Figura 4.5 que os valores de g_m/I_{DS} experimentais dos Wave nMOSFETs com comprimentos de canal de 2,3 μm , 6 μm e 12 μm , respectivamente, são maiores que aqueles encontrados nos nMOSFETs convencionais, principalmente na região de inversão moderada.

A Tabela 4.6 apresenta os valores experimentais de g_m/I_{DS} na região de inversão moderada, para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente e para V_{DS} igual a 500 mV, onde foi encontrada a maior diferença entre o convencional e o *Wave*.

Tabela 4.6- Valores experimentais de g_m/I_{DS} versus $I_{DS}/(W/L)$ na região de inversão moderada, para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente e para V_{DS} igual a 500 mV.

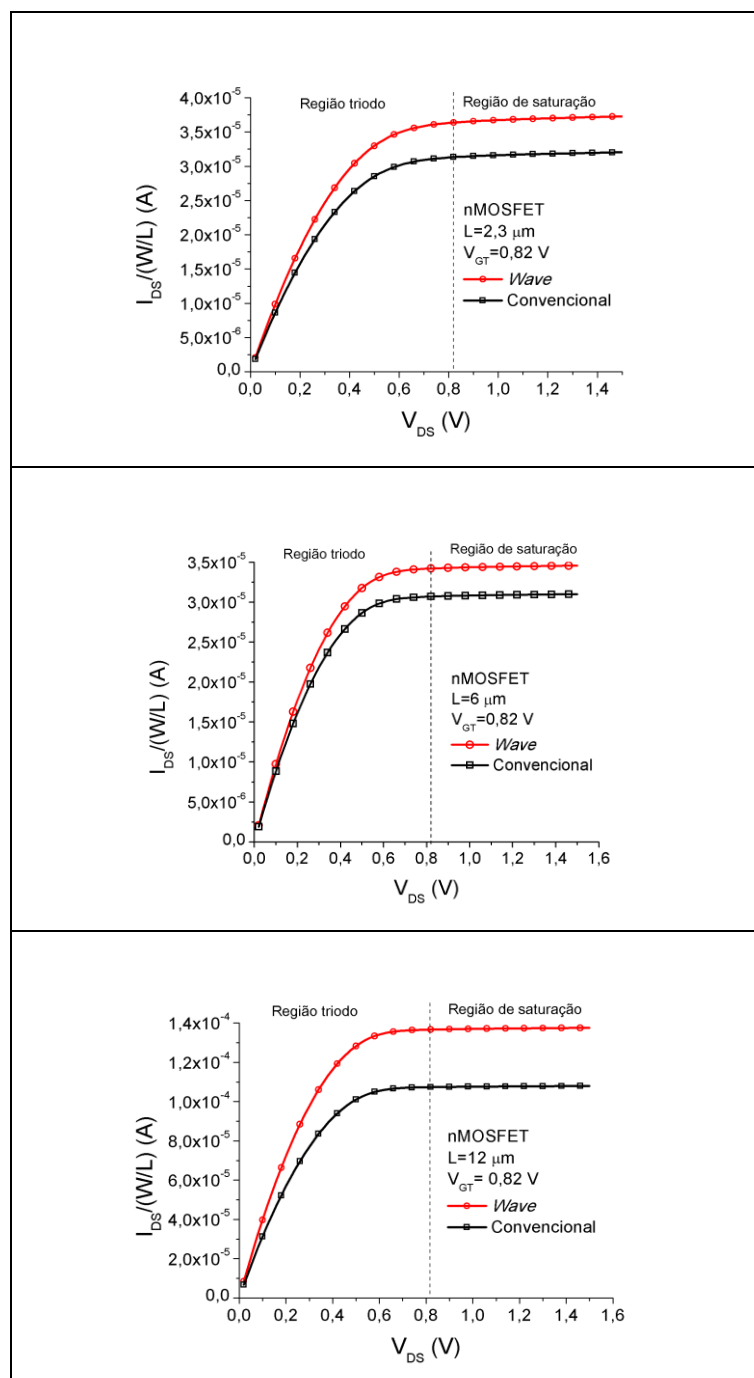
L=2,3 μm ; $I_{DS}/(W/L)=3 \times 10^{-7}$ (A)			
V_{DS} (mV)	Convencional g_m/I_{DS} (V^{-1})	<i>Wave</i> g_m/I_{DS} (V^{-1})	$\left(\frac{(g_m/I_{DS})_{\text{Wave}} - (g_m/I_{DS})_{\text{Convencional}}}{(g_m/I_{DS})_{\text{Convencional}}} \right) \times 100$ (%)
500	16,75	17,70	+5,7
L=6 μm ; $I_{DS}/(W/L)=1 \times 10^{-6}$ (A)			
V_{DS} (mV)	Convencional g_m/I_{DS} (V^{-1})	<i>Wave</i> g_m/I_{DS} (V^{-1})	$\left(\frac{(g_m/I_{DS})_{\text{Wave}} - (g_m/I_{DS})_{\text{Convencional}}}{(g_m/I_{DS})_{\text{Convencional}}} \right) \times 100$ (%)
500	11,08	11,78	+6,3
L=12 μm ; $I_{DS}/(W/L)=1 \times 10^{-6}$ (A)			
V_{DS} (mV)	Convencional g_m/I_{DS} (V^{-1})	<i>Wave</i> g_m/I_{DS} (V^{-1})	$\left(\frac{(g_m/I_{DS})_{\text{Wave}} - (g_m/I_{DS})_{\text{Convencional}}}{(g_m/I_{DS})_{\text{Convencional}}} \right) \times 100$ (%)
500	16	17,35	+8,4

Analisando a Tabela 4.6, pode-se notar que o comportamento de g_m/I_{DS} versus $[I_{DS}/(W/L)]$ do *Wave* na região de inversão moderada é sempre superior a do convencional equivalente, onde para L=2,3 μm o g_m/I_{DS} foi superior em aproximadamente 5,7 %, para L=6 μm o g_m/I_{DS} foi superior em aproximadamente 6,3 %, para L=12 μm o g_m/I_{DS} foi superior em aproximadamente 8,4 %.

Esses resultados mostram que o estilo *Wave* de leiaute pode ser usado principalmente no estágio do par diferencial de um OTA (Amplificador Operacional de Transcondutância) de um único estágio e uma única saída.

4.1 Características experimentais de $I_{DS}/(W/L)$ versus V_{DS}

A Figura 4.6 apresenta as curvas experimentais de $I_{DS}/(W/L)$ versus V_{DS} com $V_{GT}=0,82$ V dos nMOSFETs *Wave* e convencional para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente.



Figuras 4.6- Curvas experimentais de $I_{DS}/(W/L)$ versus V_{DS} dos nMOSFETs Wave e convencional para os comprimentos de canal iguais a $2.3 \mu\text{m}$, $6 \mu\text{m}$ e $12 \mu\text{m}$, respectivamente com $V_{GT} = 0.82 \text{ V}$.

Pode-se observar pela Figura 4.6, que a corrente de dreno normalizada em relação à W/L do Wave é sempre maior que a do convencional nas regiões de saturação e triodo.

Da Figura 4.6 foram extraídas as medidas de $I_{DS}/(W/L)$ na região de saturação considerando-se um mesmo V_{DS} e foram calculados V_{EA} dos nMOSFETs *Wave* e do convencional, de acordo com as Tabelas 4.7 e 4.8, respectivamente.

Tabela 4.7- Valores experimentais de $I_{DS}/(W/L)$ para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente e com V_{GT} igual a 0,82 V.

$I_{DS}/(W/L)$ (A)			
L (μm)	Convencional	Wave	$\frac{(I_{DS}/(W/L))_{Wave} - (I_{DS}/(W/L))_{Conv}}{(I_{DS}/(W/L))_{Conv}} \times 100\%$
2,3	$3,15 \times 10^{-5}$	$3,652 \times 10^{-5}$	+15,94
6	$3,08 \times 10^{-5}$	$3,44 \times 10^{-5}$	+11,70
12	$1,073 \times 10^{-4}$	$1,366 \times 10^{-4}$	+27,31

A corrente de dreno normalizada em relação a W/L experimentais na região de saturação do *Wave* nMOSFETs é sempre maior daquelas observadas nos convencionais. Esses resultados confirmam aqueles observados através das simulações numéricas tridimensionais.

Tabela 4.8- Valores experimentais das tensões Early dos dispositivos *Wave* e convencional nMOSFETs, para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente e para V_{GT} igual a 0,82 V.

V_{EA} (V)			
L (μm)	Convencional	Wave	$\frac{(V_{EA})_{Wave} - (V_{EA})_{Conv}}{(V_{EA})_{Conv}} \times 100\%$
2,3	-31	-28,7	-8
6	-56	-51	-8,9
12	-137	-116	-18

A Tensão Early do *Wave* nMOSFETs é sempre menor do que daquela observada no convencional equivalente, ou seja, a influência do semicírculo em configuração de polarização de dreno interno, afeta o comportamento da tensão Early do *Wave* nMOSFET.

A Tabela 4.9 apresenta as diferenças do ganho de tensão de malha aberta (A_V) experimentais para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente.

Tabela 4.9- Valores experimentais do ganho de tensão de malha aberta (A_V) dos dispositivos *Wave* e convencional nMOSFETs, para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente.

A_{V0}			
L (μm)	Convencional	<i>Wave</i>	$\frac{(A_V)_{Wave} - (A_V)_{Conv}}{(A_V)_{Conv}} \times 100 (\%)$
2,3	519	508	-2,1 (0,37 % em dB)
6	620	600	-3,2 (0,42% em dB)
12	2192	2033	-7,2 (0,95% em dB)

O ganho de tensão de malha aberta do *Wave* nMOSFETs é praticamente o mesmo em decibéis (dB), que aquele observado no equivalente convencional, principalmente para os menores comprimentos de canal (2,3 μm e 6 μm).

A Tabela 4.10 apresenta as diferenças da frequência de ganho unitário (f_T) experimentais para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente.

Tabela 4.10- Valores experimentais da frequência de ganho unitário (f_T) dos dispositivos *Wave* e convencional nMOSFETs, para os comprimentos de canal iguais a 2,3 μm , 6 μm e 12 μm , respectivamente.

f_T (Hz)			
L (μm)	Convencional (MHz)	<i>Wave</i> (MHz)	$\frac{(f_T)_{Wave} - (f_T)_{Conv}}{(f_T)_{Conv}} \times 100 (\%)$
2,3	1,06	1,18	+11,3
6	1,01	1,13	+11,9
12	0,95	1,19	+24,6

A frequência de ganho unitário (f_T) do *Wave* nMOSFETs é superior em até 24,6 % no melhor caso que aquele observado no equivalente convencional e com o valor médio de 15,9 % , sendo um bom dispositivo para ser usado em aplicações de altas frequências.

A Tabela 4.11 apresenta um quadro comparativo geral de algumas características elétricas estudadas neste trabalho entre o convencional e o *Wave* nMOSFETs.

Tabela 4.11 Comparação das características elétricas entre o convencional e o *Wave* nMOSFETs.

Características elétricas		
	Convencional	<i>Wave</i>
I_{DSsat}	-	+
$g_{mMáx}$	-	+
$R_{Série(DS)}$	-	+
V_{EA}	+	-
f_T	-	+
g_m/I_{DS}	-	+
g_m/I_{DS} versus $I_{DS}/W/L$	-	+
$(W/L)/A$	-	+
A_V	0	0
S	0	0

Nota: + corresponde a um melhor desempenho elétrico; - corresponde a um pior desempenho elétrico; 0 corresponde a praticamente o mesmo desempenho elétrico.

Observando-se a Tabela 4.11, pode-se concluir que a maioria dos parâmetros analisados do *Wave* nMOSFET apresentam um melhor desempenho elétrico daqueles observados no equivalente convencional e portanto esse novo estilo de leiaute torna-se mais uma alternativa a ser considerada, principalmente para as aplicações de circuitos integrados analógicos.

5 CONCLUSÕES E SEQUÊNCIA DO TRABALHO

Este trabalho realizou o estudo comparativo, através de simulações numéricas tridimensionais e por resultados experimentais, entre a estrutura *Wave* SOI nMOSFET e o convencional parcialmente depletados. Adicionalmente, foram realizadas simulações numéricas tridimensionais com cada semicírculo que compõem o *Wave*, ou seja, o semicírculo que opera em configuração de polarização de dreno externo e o semicírculo que opera em configuração de polarização de dreno interno.

Vários dispositivos SOI nMOSFETs convencionais e *Wave* foram simulados, com diferentes comprimentos de canal (L) [100nm, 200nm, 400nm, 600nm e 800nm], afim de obter I_{DS} versus V_{GS} , para diferentes tensões de dreno (V_{DS}) [10mV, 100mV, 300mV, 500mV, 700mV e 900mV]. Através das curvas de I_{DS} versus V_{GS} , foi possível extrair a tensão de limiar (V_{TH}), a inclinação de sublimiar (S), a transcondutância (g_m) e a razão da transcondutância pela corrente de dreno em função da corrente de dreno normalizada em relação ao fator geométrico [g_m/I_{DS} versus $I_{DS}/(W/L)$]. Foi mostrado através das curvas de I_{DS} versus V_{GT} , que a corrente de dreno do *Wave* SOI nMOSFET é sempre maior que a do equivalente convencional nas regiões de saturação e triodo, com valores médios simulados entre 15 % e 42 % e valores experimentais entre 11 e 26 %, dependendo do comprimento de canal analisado. A transcondutância normalizada em relação ao fator geométrico do *Wave* SOI nMOSFET é também sempre maior que a do convencional na região de saturação para qualquer valor de comprimento de canal simulado (entre 9 % e 35 %, dependendo do comprimento de canal analisado) ou medido experimentalmente (entre 12% e 25 %, dependendo do comprimento de canal analisado).

Foi verificado que o comportamento da curva do g_m/I_{DS} versus $I_{DS}/(W/L)$ do *Wave* SOI nMOSFET é superior ao do convencional para qualquer comprimento de canal simulado na região de inversão moderada, ou seja, de 15,3%, no melhor caso, para os resultados simulados e de 8,4 %, no melhor caso, para os valores obtidos experimentalmente. Nas regiões de inversão fraca e forte, para os comprimentos de canal simulados acima de 400 nm, onde não ocorre o efeito de canal curto, os valores de g_m/I_{DS} são praticamente os mesmos, entre o *Wave* e o convencional. Resultados análogos foram obtidos quando foram considerados os dados experimentais.

Foi verificado que o comportamento médio do potencial nos semicírculos do *Wave* é semelhante aos do convencional.

O comportamento médio do campo elétrico próximo ao dreno no dispositivo *Wave* é superior ao do equivalente convencional, devido às diferenças de área entre as regiões internas e externas de fonte e de dreno.

A densidade de corrente média nos semicírculos que compõem o transistor *Wave* é superior ao convencional próximo à região de dreno no semicírculo com configuração de dreno interno e próximo à fonte no semicírculo com configuração de polarização de dreno externo.

Os resultados das medidas experimentais dos *Wave* nMOSFETs e dos convencionais apresentam as mesmas tendências daqueles observados pelos resultados das simulações numéricas tridimensionais.

Os *Wave* SOI MOSFETs possuem valores de transcondutância (g_m) superiores ao convencional, o que o torna uma boa opção para uso em altas frequências, com valor de frequência de ganho unitário (f_T) do *Wave* nMOSFETs superior na média em 15,9 % daquele observado no equivalente convencional.

Portanto, como a maioria dos parâmetros elétricos dos dispositivos o *Wave* apresentou melhor desempenho quando comparado com os verificados pelos equivalentes convencionais, o transistor *Wave* torna-se mais uma opção de uso em projeto de circuitos integrados, principalmente para os analógicos.

Algumas sugestões para a continuação deste trabalho são:

- estudo do *Wave* SOI MOSFET em temperaturas criogênicas e em altas temperaturas;
- estudo desse dispositivo focando nos parâmetros referentes às aplicações digitais (resistência serie entre fonte e dreno em estado ligado (R_{DS_on}), tempo de subida, tempo de descida, tempo de propagação do sinal, etc...);
- estudo comparativo entre o circular e o *Wave* SOI MOSFET.
- estudo da transcondutância máxima na região triodo para extrair a mobilidade.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] KAHNG, D.. **A Historical Perspective on the Development of MOS Transistors and Related Devices**, IEEE Transactions on Electron Devices, Vol. 23, nº 7, p. 655-657, July 1976.
- [2] COLINGE, J. P.. **Silicon-On-Insulator Technology: Materials to VLSI**, p.1-2, 3 ed. Boston: Kluwer Academic Publishers, 2004.
- [3] YU, B. et al. **Short-Channel Effect Improved by Lateral Channel-Engineering in Deep-Submicronmeter MOSFET's**, IEEE Transactions on Electron Devices, Vol. 44, nº. 4, p. 627-634, April 1997.
- [4] ZHU W. et al. **Mobility Measurement and Degradation Mechanisms of MOSFETs Made With Ultrathin High-k Dielectrics**, IEEE Transactions on Electron Devices, Vol. 51, Nº. 1, p.8-105, January 2004.
- [5] TROUTMAN, R.R.. **Latchup in CMOS technology: the problem and its cure**, p. 7-15, Kluwer Academic Publishers Norwell, MA, USA, 1986.
- [6] SCHWANK, J R et al. **Radiation effects in SOI technologies**, IEEE Transactions on Nuclear Science. Vol. 50, nº. 3, p. 522-538. June 2003
- [7] COLINGE, J. P.. **Silicon-On-Insulator Technology: Materials to VLSI**, p.7, 3 ed. Boston: Kluwer Academic Publishers, 2004.
- [8] L'ÓPEZ P.; OBERST M.; NEUBAUER H.; HAUER J.; CABELLO D.. **Performance analysis of high-speed MOS transistors with different layout styles**, p. 3688-3691, 2005.
- [9] GIMENEZ, S. P.; FERREIRA, R. M. G; MARTINO, J. A.. **Early Voltage Behavior in Circular Gate SOI nMOSFET Using 0.13 μm Partially-Depleted SOI CMOS Technology**. SBMicro; vol. 4; p. 319-328, 2006.

- [10] ALMEIDA, L. M.; BELLODI, M.. **Estudo do comportamento da corrente de fuga em transistores de portas circulares SOI MOSFET operando em altas temperaturas**. 2007. 75f. Dissertação (Mestrado em Dispositivos Eletrônicos), Centro Universitário da FEI, São Bernardo do campo, 2007.
- [11] DANTAS L. P., GIMENEZ S. P.. **Estudo da Distorção Harmônica em Transistores de Porta Circular Usando Tecnologia SOI CMOS Sub- Micrométrica de 0,13 μm** . 2008. 145f. Dissertação (Mestrado em Dispositivos Eletrônicos), Centro Universitário da FEI, São Bernardo do campo, 2008.
- [12] SILVA W. A. J.. **Estudo da Transcondutância e da Razão da Transcondutância sobre a Corrente de Dreno do SOI nMOSFET de Porta em Formato de Anel Circular utilizando Tecnologia SOI CMOS de 0,13 μm** , 2008. 101f. Dissertação (Mestrado em Dispositivos Eletrônicos), Centro Universitário da FEI, São Bernardo do campo, 2008.
- [13] SANG L. et al. **An enhanced compact waffle MOSFET with low drain capacitance from a standard submicron CMOS technology**, vol. 47, p. 785-789, 2003.
- [14] GIMENEZ, S. P.. **The Wave SOI MOSFET: A New Accuracy Transistor Layout to Improve Drain Current and Reduce Die Area for Current Drivers Applications**, 2008.
- [15] Patente: 018080049797, INPI, Brasil, 2008.
- [16] LIM, H. K.; FOSSUM, J. G.. **Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's**. IEEE Transactions on Electron Devices, vol. 30, n. 10, p. 1244-1451, 1983.
- [17] HAMMAD, M. Y.; SCHRODER D. K.. **Analytical Modeling of the Partially-Depleted SOI MOSFET** , IEEE Transactions on Electron Devices, vol. 48, n. 2, p. 252-258, February 2001.
- [18] GROESENEKEN, G. et al. **Temperature dependence of threshold voltage in thin-film SOI MOSFETs**. IEEE Electron Device Letters. vol.11, n.8, p.329-331, 1990.

- [19] COLINGE, J. P.. **Silicon-On-Insulator Technology: Materials to VLSI**, p.157, 3 ed. Boston: Kluwer Academic Publishers, 2004.
- [20] MARTINO, J. A.; PAVANELLO, M. A.; VERDONK, P. B.. **Caracterização Elétrica de Tecnologia e Dispositivos MOS**, 2003.
- [21] WESTE, N.; ESHRAGHIAN. **Principles of CMOS VLSI design**, A systems Perspective, Addison- Wesley Publishing Company, p. 37-38, 1985.
- [22] ORTIZ, C. A.; GARCIA S. F. J.; LIOU, J.J.; CERDEIRA, A, ESTRADA, M., YUE, Y; **A review of recent MOSFET threshold voltage extraction methods**. *Microelectronics Reliability*, vol 42, p. 583-596, December 2001.
- [23] SCHRODER, D. K., **Semiconductor material and device characterization**, ed. 3, Arizona State University Tempe, AZ, p 222, 2006
- [24] SZE M. S, **Physics of semiconductor devices**, ed 2, Kwok, New Jersey, pag 469 -486, 1981.
- [25] COLINGE, J. P.; COLINGE, C. A. **Physics of Semiconductor Devices**, New York: Kluwer Academic Publishers, capítulo 7.7 p 201-206, 2003.
- [26] NEAMEN, D. A., **Semiconductor physics and devices: basic principles**, ed. 3, McGraw-Hill Higher- Education, Boston, ISBN 0-07-1 19862-8, p. 498-499, 2003.
- [27] COLINGE, J. P.. **Silicon-On-Insulator Technology: Materials to VLSI**, p.180-182, 3 ed. Boston: Kluwer Academic Publishers, 2004.
- [28] SILVEIRA,F, FLANDRE, D., JESPER P.G.A., **A g_m/I_D Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a silicon-on-Insulator Micropower OTA**, IEEE journal of solid-state circuits, vol. 31, nº 9, p.1314-1319, 1996.

- [29] GIMENEZ, S. P. **Estudo do GC SOI nMOSFET e Aplicações em amplificadores operacionais de transcondutância**. 2004. Dissertação (Doutorado em Dispositivos Eletrônicos), Escola Politécnica da Universidade de São Paulo, São Paulo, 2004.
- [30] BINKLEY, D. M., BUCHER, M., FOTY, D., **Design-Oriented Characterization of CMOS over the Continuum of Inversion Level and Channel Length**, IEEE Int. Conf. on Electronics, Circuits & Systems ICECS'2k, p. 161-164, Kaslik, Lebanon, Dec. 17-20, 2000.
- [31]. BINKLEY, D. M., HOPPER, C. E., TUCKER S. D., MOSS B. C. Moss, ROCHELLE, J. M., FOTY D. P., **A CAD Methodology for Optimizing Transistor Current and Sizing in Analog CMOS Design**, IEEE Transactions on computer-aided design of integrated circuits and systems, vol. 22, n^o 2, p. 225-236, 2003.
- [32] HU GENDA J., CHI. C., YU T. C., **Gate Voltage dependent effective Channel Length and series resistance of LDD MOSFET's**, IEEE Transaction on electron devices, Vol. Ed 34, n^o12, p. 2469-2475, december 1987.
- [33] LIM K. Y., ZHOU X., **A Physically-Based Semi-Empirical Series Resistance Model for Deep-Submicron MOSFET I-V Modeling**, IEEE Transactions on Electron Devices, vol. 47, n^o 6, p. 1300-1302, June, 2000.
- [34] DIXIT A., KOTTANTHARAYIL, A., COLLAERT, N. , GOODWIN, JURCZAK M. M., KRISTIN M. D., **Analysis of the Parasitic S/D Resistance in Multiple-Gate FETs**, IEEE Transactions on Electron Devices, vol. 52, n^o. 6, p. 1132-1140, June 2005.
- [35] MICROSOFT OFFICE EXCELL, 2003 Microsoft Corporation 2003.
- [36] ORIGIN 7.0 SR0, Originlab Corporation, Copyright 1991-2002.
- [37] SEDRA A. S.; SMITH C. K.. **Microeletronic Circuits**, ed. 5, ISBN 0-19-514252-7, Oxford University Press, p. 254-255, 2004.
- [38] DevEdit User's Manual, SILVACO International, copyright 2006.

- [39] Deckbuild user's Manual, Silvaco International Version 3.18.5.R, VWF Interactive Tools, copyright July 20, 2005.
- [40] ATLAS, DEVICE SIMULATION SOFTWARE, User's Manual, SILVACO International, Version 5.10.2, copyright 2005.
- [41] TONY PLOT 3D, User's Manual, SILVACO International, copyright 2006.
- [42] NEAMEN, D. A., **Semiconductor physics and devices: basic principles**, ed. 3, McGraw-Hill Higher- Education, Boston, ISBN 0-07-1 19862-8, p.154-162, 2003.
- [43] The MOSIS Service, <http://www.mosis.com/>, 2010.
- [44] <http://www.mosis.com/cgi-bin/cgiwrap/umosis/swp/params/ami-c5/t99j-params.txt>, 2010

APÊNDICE – A

Exemplos de arquivos usados para simulação numérica tridimensional

Simulação de um Convencional SOI nMOSFET 3D com $L=100$ nm:

```
#####
# Simulacao de um transistor convencional com L=100 nm e W=265 nm
# Espessura da camada de silicio: tSi=100nm
# Espessura do oxido de porta: toxf=2.5nm
# Espessura do oxido enterrado: toxb=400nm
# Concentracao da regioao de canal: Na=5.5E17cm-3
# Concentracao da regioao de fonte e dreno : Na=1.0E20cm-3
# Curva: Ids x Vgs
#
#
# Subs=1, Dreno=2, Porta=3, Fonte=4
#####
go atlas
#####
# A malha foi especificada no devedit3d #
#####
MESH infile = RL100nm.str
#####
#
DOPING UNIFORM CONCENTRATION=1E20 N.TYPE REGION=3
DOPING UNIFORM CONCENTRATION=5.5E17 P.TYPE REGION=4
DOPING UNIFORM CONCENTRATION=1E20 N.TYPE REGION=5
#####
#
CONTACT NAME=ContPorta N.POLY
CONTACT NAME=ContDreno
CONTACT NAME=ContFonte
```

CONTACT NAME=ContSubs WORKFUNCTION=4.95

#####

#

SPECIFYING PHYSICAL MODELS

#####

#

models srh auger fldmob kla shi bgn print temp=300

method gummel newton autonr trap maxtrap=10 carriers=1 electron

#####

##

Polarizacao da porta: Vsubs=0, Vdreno varia de 0 a 1,5 V, Vportga varia de#

0.1 a 5 V, Vfonte=0.

#####

##

solve init

solve prev

#solve v1=0

#solve v4=0

#solve v2=0

Subindo a tensao de porta ate 1,5 V

solve v3=1e-7

solve v3=1e-6

solve v3=1e-5

solve v3=1e-4

solve v3=1e-3

#####

#

solve v3=1e-2 vstep=0.05 vfinal=1.5 name=ContPorta

#####

#

VGS=1,5V

log outf=r100nmVds10mV.log

solve v2=1e-13

solve v2=1e-12

```
solve v2=1e-11
solve v2=1e-10
solve v2=1e-9
solve v2=1e-8
solve v2=1e-7
solve v2=1e-6
solve v2=1e-5
solve v2=1e-4
solve v2=1e-3 vstep=0.001 vfinal=0.01 name=ContDreno
impact selb
method gummel newton carriers=2 autonr trap maxtrap=10
solve v3=1.5 vstep=-0.01 vfinal=-0.5 name=ContPorta
output
save outf=r100nmVds10mV.str

#####
quit
```

Simulação de um Wave SOI nMOSFET 3D L=100 nm:

```
#####
# Simulacao de um transistor Wave 3D com L=100 nm e W=262 nm
# Espessura da camada de silicio: tSi=100nm
# Espessura do oxido de porta: toxf=2,5nm
# Espessura do oxido enterrado: toxb=400nm
# # Concentracao da regio de canal: Na=5.5E17cm-3
# # Concentracao da regio de fonte e dreno : Na=1.0E20cm-3
# Curva: Ids x Vgs
#
#
# Subs=1, Dreno=2, Porta=3, Fonte=4
#####
go atlas
#####
# A malha foi especificada no devedit3d #
#####
MESH infile = SL100nm.str
#####
#
DOPING UNIFORM CONCENTRATION=1E20 N.TYPE REGION=5
DOPING UNIFORM CONCENTRATION=1E20 N.TYPE REGION=6
DOPING UNIFORM CONCENTRATION=5.5E17 P.TYPE REGION=7
DOPING UNIFORM CONCENTRATION=5.5E17 P.TYPE REGION=8
DOPING UNIFORM CONCENTRATION=1E20 N.TYPE REGION=9
DOPING UNIFORM CONCENTRATION=1E20 N.TYPE REGION=10
#####
#
CONTACT NAME=ContPorta1 N.POLY
CONTACT NAME=ContPorta2 N.POLY
CONTACT NAME=ContDreno1 COMMON=ContDreno2
CONTACT NAME=ContFonte1 COMMON=ContFonte2
```

```

CONTACT NAME=ContPorta1 COMMON=ContPorta2
CONTACT NAME=ContSubs1
CONTACT NAME=ContSubs2
CONTACT NAME=ContSubs1 COMMON=ContSubs2 WORKFUNCTION=4.95
#####
#
# SPECIFYING PHYSICAL MODELS
#####
#
models srh auger fldmob kla shi bgn print temp=300
method gummel newton autonr trap maxtrap=10 carriers=1 electron
#####
##
# Polarizacao da porta: Vsubs=0, Vdreno varia de 0 a 1.5 V, Vporta varia de#
# -0.5 a 1.5 V, Vfonte=0. #
#####
##
solve init
solve prev

# Subindo a tensao de porta ate 1.5 V #
solve v5=1e-7
solve v5=1e-6
solve v5=1e-5
solve v5=1e-4
solve v5=1e-3
#####
#
solve v5=1e-2 vstep=0.05 vfinal=1.5 name=ContPorta1
#####
#
# VGS=1.5V #
log outf=SL100nm10mV.log
solve v3=1e-13

```

```
solve v3=1e-12
solve v3=1e-11
solve v3=1e-10
solve v3=1e-9
solve v3=1e-8
solve v3=1e-7
solve v3=1e-6
solve v3=1e-5
solve v3=1e-4
solve v3=1e-3 vstep=0.001 vfinal=0.01 name=ContDreno1
method gummel newton carriers=2 autonr trap maxtrap=10
solve v5=1.5 vstep=-0.01 vfinal=-0.5 name=ContPorta1
output
save outf=SL100nm10mV.str
#####
quit
```

APÊNDICE B

Exemplos de tabelas contendo as dimensões construtivas das estruturas de um *Wave* e de um convencional para ser editado no programa DevEdit3D.

Tabela do *Wave* SOI nMOSFET L=100nm e W= 262 nm e W/L= 2,62

Sequência	Nome	Eletrodo	Material	X (nm)	Y (nm)	Raio (nm)	Ângulo início	Ângulo final	Início Z (nm)	Final Z (nm)
1	ContSubs1	1	Aluminio	0	-60	120	-90	-270	500	505
2	ContSubs2	2	Aluminio	0	60	120	90	270	500	505
3	OxidEnt1		SiO2	0	-60	120	-90	-270	100	500
4	OxidEnt2		SiO2	0	60	120	90	270	100	500
5	Dreno1		Silício	0	-60	120	-90	-270	0	100
6	Fonte1		Silício	0	60	120	90	270	0	100
7	Canal1		Silício	0	-60	110	-90	-270	0	100
8	Canal2		Silício	0	60	110	90	270	0	100
9	Fonte2		Silício	0	-60	10	-90	-270	0	100
10	Dreno2		Silício	0	60	10	90	270	0	100
11	ContDreno1	3	Aluminio	0	-60	120	-90	-270	-5	0
12	ContFonte1	4	Aluminio	0	60	120	90	270	-5	0
13	OxidIsola1		SiO2	0	-60	115	-90	-270	-5	0
14	OxidIsola2		SiO2	0	60	115	90	270	-5	0
15	ContPorta1	5	PolySilício	0	-60	110	-90	-270	-5	-2,5
16	ContPorta2	6	PolySilício	0	60	110	90	270	-5	-2,5
17	OxidIsola3		SiO2	0	-60	10	-90	-270	-5	0
18	OxidIsola4		SiO2	0	60	10	90	270	-5	0
19	ContFonte2	7	Aluminio	0	-60	5	-90	-270	-5	0
20	ContDreno2	8	Aluminio	0	60	5	90	270	-5	0

Tabela do SOI nMOSFET Convencional L=100nm, W= 265 nm e W/L= 2,65

Sequencia	Nome	Eletrodo	Material	X inicial (nm)	X final (nm)	Z inicial (nm)	Z final (nm)	Y inicial (nm)	Y final (nm)
1	ContSubs	1	Aluminio	0	120	500	505	0	265
2	OxidEnt		SiO2	0	120	100	500	0	265
3	Dreno		Silicio	0	10	0	100	0	265
4	Canal		Silicio	10	110	0	100	0	265
5	Fonte		Silicio	110	120	0	100	0	265
6	ContDreno	2	Aluminio	0	5	-5	0	0	265
7	OxidIsola		SiO2	5	105	-5	0	0	265
8	ContPorta	3	Polysilicio	10	100	-5	-2,5	0	265
9	ContFonte	4	Aluminio	105	110	-5	0	0	265

APÊNDICE C

Dados de fabricação dos dispositivos *Wave* MOSFET no MOSIS

MOSIS WAFER ACCEPTANCE TESTS

```

RUN: T99J                                VENDOR: AMIS
(ON-SEMI)
TECHNOLOGY: SCN05                        FEATURE SIZE: 0.5
microns

```

Run type: SKD

INTRODUCTION: This report contains the lot average results obtained by
MOSIS

from measurements of MOSIS test structures on each wafer of this fabrication lot. SPICE parameters obtained from similar measurements on a selected wafer are also attached.

COMMENTS: SMSCN3ME06 ON-SEMI

TRANSISTOR	PARAMETERS	W/L	N-CHANNEL	P-CHANNEL	UNITS
MINIMUM		3.0/0.6			
	V _{th}		0.78	-0.93	volts
SHORT		20.0/0.6			
	I _{dss}		466	-251	uA/um
	V _{th}		0.66	-0.91	volts
	V _{pt}		13.0	-12.3	volts
WIDE		20.0/0.6			
	I _{ds0}		< 2.5	< 2.5	pA/um
LARGE		50/50			
	V _{th}		0.68	-0.96	volts
	V _{j bkd}		10.8	-11.8	volts
	I _{jlk}		<50.0	<50.0	pA
	Gamma		0.48	0.57	V ^{0.5}
	K' (U _o *Cox/2)		58.6	-18.9	uA/V ²
	Low-field Mobility		481.96	155.44	cm ² /V*s

COMMENTS: Poly bias varies with design technology. To account for mask bias use the appropriate value for the parameter XL in your SPICE model card.

Design Technology	XL (um)	XW (um)
SCMOS_SUBM (lambda=0.30)	0.10	0.00
SCMOS (lambda=0.35)	0.00	0.20

FOX TRANSISTORS	GATE	N+ACTIVE	P+ACTIVE	UNITS
V _{th}	Poly	>15.0	<-15.0	volts

PROCESS PARAMETERS	N+	P+	POLY	PLY2_HR	POLY2	M1	M2
UNITS							
Sheet Resistance	84.4	105.9	22.9	1051	40.5	0.09	0.09
ohms/sq							
Contact Resistance	60.7	152.9	16.3		26.4		0.80 ohms
Gate Oxide Thickness	142						
angstrom							

PROCESS PARAMETERS	M3	N\PLY	N_W	UNITS
Sheet Resistance	0.05	807	801	ohms/sq
Contact Resistance	0.82			ohms

COMMENTS: N\POLY is N-well under polysilicon.

CAPACITANCE PARAMETERS	N+	P+	POLY	POLY2	M1	M2	M3	N_W
UNITS								
Area (substrate)	417	724	86		29	12	8	91
aF/um ²								
Area (N+active)			2434		38	17	12	
aF/um ²								
Area (P+active)			2340					
aF/um ²								
Area (poly)				880	68	16	9	
aF/um ²								
Area (poly2)					57			
aF/um ²								
Area (metall1)						30	12	
aF/um ²								
Area (metal2)							31	
aF/um ²								
Fringe (substrate)	354	252			55	34	27	
aF/um								
Fringe (poly)					59	38	28	
aF/um								
Fringe (metall1)						57	33	
aF/um								
Fringe (metal2)							48	
aF/um								
Overlap (N+active)			182					
aF/um								
Overlap (P+active)			230					
aF/um								

CIRCUIT PARAMETERS			UNITS
Inverters	K		
Vinv	1.0	2.02	volts
Vinv	1.5	2.27	volts
Vol (225 uA)	2.0	0.27	volts
Voh (225 uA)	2.0	4.70	volts
Vinv	2.0	2.45	volts
Gain	2.0	-18.01	
Ring Oscillator Freq.			
DIV256 (31-stg,5.0V)		105.50	MHz
D256_WIDE (31-stg,5.0V)		156.92	MHz
Ring Oscillator Power			
DIV256 (31-stg,5.0V)		0.49	uW/MHz/gate
D256_WIDE (31-stg,5.0V)		1.00	uW/MHz/gate

COMMENTS: SUBMICRON

T99J SPICE BSIM3 VERSION 3.1 PARAMETERS

SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8

* DATE: Dec 22/09

* LOT: T99J WAF: 7101

* Temperature_parameters=Default

```

.MODEL CMOSN NMOS (
+VERSION = 3.1          TNOM      = 27          LEVEL    = 49
+XJ        = 1.5E-7      NCH       = 1.7E17      TOX       = 1.42E-8
+K1        = 0.8916583   K2       = -0.0984787    VTH0      = 0.6066706
+K3B       = -8.4234075  W0       = 3.807398E-8      K3        = 23.6382023
+DVT0W     = 0          DVT1W     = 0          NLX       = 1.509888E-9
+DVT0      = 0.7849492   DVT1     = 0.3994002      DVT2W     = 0
+DVT0      = 0.7849492   DVT1     = 0.3994002      DVT2      = -0.5
+U0        = 452.2685957 UA       = 1E-13      UB       = 1.176277E-18
+UC        = -5.73121E-14 VSAT    = 1.841184E5    A0       = 0.5371856
+AGS       = 0.0886407   B0      = 1.957761E-6    B1       = 5E-6
+KETA      = -2.530193E-3 A1      = 7.230825E-5    A2       = 0.315185
+RDSW      = 1.081837E3  PRWG    = 0.112333      PRWB      = -1.908309E-4
+WR        = 1          WINT     = 1.761404E-7    LINT      = 9.06256E-8
+XL        = 1E-7       XW       = 0          DWG       = -1.191345E-9
+DWB       = 5.413496E-8 VOFF    = -1.406284E-4  NFACTOR   = 0.8085791
+CIT       = 0          CDSC    = 2.4E-4      CDSCD     = 0
+CDSCB     = 0          ETA0    = 1.449343E-3    ETAB      = 1
+DSUB      = 0.0129169  PCLM    = 2.2363819    PDIBLC1   = 1.729314E-4
+PDIBLC2   = 1.682325E-3 PDIBLCB  = -0.5        DROUT     = 1.01633E-4
+PSCBE1    = 2.511791E9 PSCBE2   = 1E-3        PVAG      = 0
+DELTA     = 0.01       RSH     = 84.4        MOBMOD    = 1
+PRT       = 0          UTE     = -1.5        KT1       = -0.11
+KT1L      = 0          KT2     = 0.022       UA1       = 4.31E-9
+UB1       = -7.61E-18  UC1     = -5.6E-11     AT        = 3.3E4
+WL        = 0          WLN     = 1          WW       = 0
+WWN       = 1          WWL     = 0          LL       = 0
+LLN       = 1          LW      = 0          LWN      = 1
+LWL       = 0          CAPMOD   = 2          XPART     = 0.5
+CGDO      = 1.82E-10   CGSO    = 1.82E-10     CGBO      = 1E-9
+CJ        = 4.14902E-4 PB       = 0.839007    MJ        = 0.429248
+CJSW      = 3.600151E-10 PBSW    = 0.8        MJSW      = 0.2047744
+CJSWG     = 1.64E-10  PBSWG   = 0.8        MJSWG     = 0.2047744
+CF        = 0          PVTH0   = -0.0632742  PRDSW     = 203.232232
+PK2       = -0.07324   WKETA   = 2.457772E-3  LKETA     = -6.437462E-3
)
*
```

```

.MODEL CMOSP PMOS (
+VERSION = 3.1          TNOM    = 27          LEVEL    = 49
+XJ      = 1.5E-7       NCH     = 1.7E17      TOX      = 1.42E-8
+K1      = 0.553472     K2      = 7.871921E-3  VTH0     = -0.9152268
+K3B     = -0.4898254   W0      = 1.23924E-7    K3       = 6.2769786
+DVT0W   = 0           DVT1W   = 0           NLX      = 1.141647E-7
+DVT0    = 0.9353874   DVT1    = 0.3671023    DVT2W    = 0
+U0      = 201.3603195  UA      = 2.408572E-9    DVT2     = -0.1875761
+UC      = -1E-10       VSAT    = 1.202516E5    UB       = 1E-21
+AGS     = 0.088966     B0      = 5.175071E-7    A0       = 0.8828557
+KETA    = -4.865785E-3 A1      = 1.370912E-4    B1       = 0
+RDSW    = 3E3          PRWG    = -0.0281209    A2       = 0.4773832
+WR      = 1           WINT     = 2.309781E-7    PRWB     = -0.0479695
+XL      = 1E-7         XW      = 0           LINT     = 1.226577E-7
+DWB     = -1.983267E-8 VOFF    = -0.0625678    DWG      = -5.470108E-9
+CIT      = 0          CDSC     = 2.4E-4       NFACTOR  = 1.1137245
+CDSCB   = 0          ETA0     = 0           CDSCD    = 0
+DSUB    = 1          PCLM     = 2.3939111    ETAB     = -0.2
+PDIBLC2 = 3.663793E-3 PDIBLCB = -0.0364718    PDIBLC1  = 0.0494294
+PSCBE1  = 1E8         PSCBE2  = 3.359223E-9    DROUT    = 0.2462657
+DELTA   = 0.01        RSH      = 105.9       PVAG     = 0.0150055
+PRT      = 0          UTE      = -1.5         MOBMOD   = 1
+KT1L    = 0          KT2      = 0.022        KT1      = -0.11
+UB1     = -7.61E-18   UC1      = -5.6E-11    UA1      = 4.31E-9
+WL       = 0          WLN      = 1           AT       = 3.3E4
+WWN     = 1          WWL      = 0           WW       = 0
+LLN     = 1          LW       = 0           LL       = 0
+LWL     = 0          CAPMOD   = 2           LWN      = 1
+CGDO    = 2.3E-10     CGSO     = 2.3E-10     XPART    = 0.5
+CJ       = 7.238228E-4 PB       = 0.8735391    CGBO     = 1E-9
+CJSW    = 2.545206E-10 PBSW     = 0.8         MJ       = 0.4909204
+CJSWG   = 6.4E-11     PBSWG    = 0.8         MJSW     = 0.1987115
+CF       = 0          PVTH0    = 5.98016E-3    MJSWG    = 0.1987115
+PK2     = 3.73981E-3  WKETA    = 0.0104146    PRDSW    = 14.8598424
)
*
LKETA    = -8.958097E-3

```

APÊNDICE D

SEMINATEC- 2009.

Neste apêndice consta a apresentação no SEMINATEC- 2009, Workshop sobre semicondutores Micro e nano tecnologia, artigo aceito para a apresentação com pôster.

STUDY OF WAVE SOI nMOSFET FOR ANALOG APPLICATIONS

Aginaldo Lucio da Silva and Salvador Pinillos Gimenez

Centro Universitário da FEI

Av. Humberto de Alencar Castelo Branco, 3972, S B Campo, São Paulo, 09850-901, Brazil
alucios@ig.com.br and sgimenez@fei.edu.br

The Waffle layout (Figure 1) is an option to implement transistors with large drain current (I_{DS}) driver, die area (A) integration capacity and high immunity regarding avalanche and electro static discharge (ESD) effects (1). Additionally, this structure presents a lower transistor mismatching, due to the influence of systematic and random errors generated by the fabrication process, than multifinger layout, because it presents four I_{DS} components, in different directions and senses, and thus I_{DS-x} and I_{DS-y} variations are compensated by deviations that occur I_{DSx} and I_{DSy} components (1). Nevertheless, the Waffle structure presents gate-crossing regions that do not operate as a transistor, because the parallel (longitudinal) electric field and consequently the drain current density are equal to zero in the center of these regions and therefore there is an opportunity of improve in this layout regarding die area (1).

In order to overcome this Waffle issue, Wave layout was created (August 2008, patent n^o: 018080049797, INPI, Brazil) based on annealing/circular gate SOI MOSFET, as can be seen in Figure 2, but now presenting symmetry between drain and source regions and preserving the same geometric factor (f_g) relation between the conventional and annealing/circular gate SOI MOSFET, and is given by $(W/L)_{conv.} = 2\pi/\ln(R_2/R_1)_{circular}$. Besides, “S” geometric shape can further enhance the transistor matching, because its drain current density occurs in all direction, as can be observed in Figure 3, in contrast of Multifinger and Waffle layouts and the I_{DS} components variations of superior semicircle are compensated by the deviations in the I_{DS} components of inferior semicircle, due to systematic and random errors of fabrication process (1). Additionally, the absence of corners in this new layout, can also further improve the avalanche and ESD immunity. In ref. (1), it was shown that Wave structure presents a die area gain around 26.4% and 21.8%, regarding Multifinger and Waffle layouts, respectively (1). Therefore, Wave layout is a layout option in order to implement accuracy analog and digital integrated circuits and several others studies have been performed in order to understand the main merit figures of this new structure.

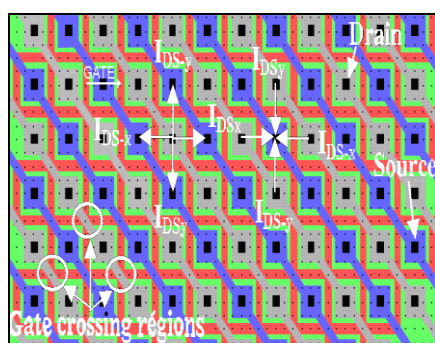


Figure 1- Waffle SOI nMOSFET

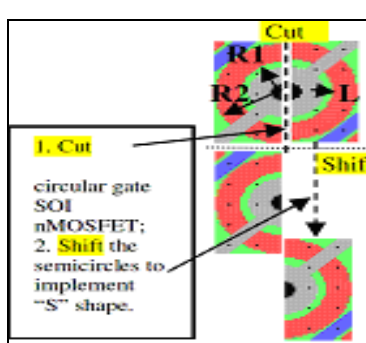


Figure 2-Wave SOI nMOSFET

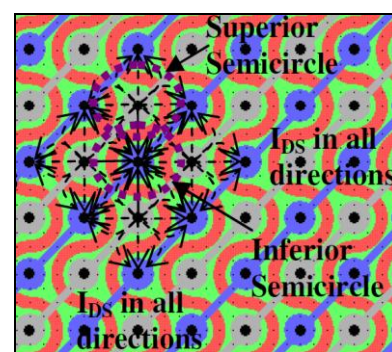


Figure 3 – Wave SOI nMOSFET

REFERENCES

1. S. P. Gimenez, accepted to be published at 215th ECS Meeting, San Francisco, California, May 24-29 (2009)-http://ecsmeeet7.peerx-press.org/ms_files/ecsmeeet7/2008/12/15/00001360/00/1360_0_art_0_kbx2gz_cnvpdf.pdf.