

CENTRO UNIVERSITÁRIO DA FEI

Almir Takeo Kajihara

**SIMULAÇÃO DAS CARACTERÍSTICAS ELÉTRICAS DE
DISPOSITIVOS DE EFEITO DE CAMPO MULTIPORTAS
NANOMÉTRICOS**

São Bernardo do Campo

2008

Kajihara, Almir Takeo

Simulação das características elétricas de dispositivos de efeito de campo multiportas nanométricos / Almir Takeo Kajihara. São Bernardo do Campo, 2009.

136 f. : il.

Trabalho de Conclusão de Curso - Centro Universitário da FEI.

Orientador: Prof. Renato Camargo Giacomini

1. SOI. 2. Porta Tripla. 3. Porta Dupla. 4. FinFet. I. Giacomini, Renato Camargo, orient. II. Título.

CDU 621.382

Almir Takeo Kajihara

**SIMULAÇÃO DAS CARACTERÍSTICAS ELÉTRICAS DE DISPOSITIVOS DE
EFEITO DE CAMPO MULTIPORTAS NANOMÉTRICOS**

Dissertação apresentada ao
Centro Universitário da FEI como parte
dos requisitos necessários para a
obtenção do título de Mestre em
Engenharia Elétrica.

**Orientador: Prof. Dr. Renato
Giacomini**

São Bernardo do Campo

2008

Dedico este trabalho aos meus pais Hidekuni e Margarida e às minhas irmãs Cristina e Cátia que me acompanharam e apoiaram desde o início deste longo caminho

AGRADECIMENTOS

Ao Prof. Dr. Renato Giacomini, que mais uma vez acreditou no meu trabalho e me aceitou como seu orientado. Obrigado por toda ajuda, conselhos, broncas e pelas palavras ditas na conclusão do trabalho, que me deixaram com muito orgulho.

Aos professores Dr. João Antonio Martino, Dr. Marcelo Antônio Pavanello, Dr. Marcelo Bellodi, e Dr. Salvador Pinillos Gimenez por todas as orientações e os ensinamentos passados em aula que serviram de base para este trabalho.

Aos meus pais Hidekuni Kajihara e Margarida Kotomi Kajihara, que juntamente com minhas irmãs Cristina Yumi Kajihara e Catia Midori Kajihara, sempre acreditaram e me apoiaram desde o começo deste trabalho.

Aos meus grandes colegas de turma Ana Paula, Wellington e Gustavo que me ensinaram lições importantes para o desenvolvimento deste trabalho.

Aos meus melhores amigos Tiago, Fábio, Fauser, Eduardo, Renato e Keila por todo o apoio e compreensão sempre que eu precisei ao longo do trabalho.

Às minhas amigas Cristiane, Lis e Patrícia, que nunca deixaram que eu desistisse e estiveram sempre ao meu lado (apesar da distância).

Aos todos os meus colegas do Taiko e do trabalho, que sempre entenderam me auxiliaram em todos os momentos.

Desejo a todos que contribuíram de alguma forma neste trabalho, que tenham o mesmo sentimento que eu ao final deste longo caminho: Orgulho!

Muito obrigado a todos!

*“Inteligência com caráter –
O objetivo da verdadeira educação”
(Martin Luther King)*

RESUMO

Kajihara, A. T. Simulação das características elétricas de dispositivos de efeito de campo multiportas nanométricos. 2008. Dissertação (Mestrado) – Centro Universitário da FEI, São Bernardo do Campo, 2008.

A simulação numérica tridimensional é uma ferramenta de trabalho de uso cada vez mais freqüente, devido ao baixo custo envolvido, se comparado ao custo de produção e testes de dispositivos em laboratório. A simulação também apresenta vantagens técnicas, como a possibilidade de variação rápida de características dos dispositivos, com resposta praticamente imediata. Outra fundamental vantagem é a possibilidade de análise das principais grandezas elétricas no interior dos dispositivos, o que é praticamente impossível de se realizar experimentalmente.

Este trabalho estuda características de transistores SOI de efeito de campo, em estruturas de 30 nm a 70 nm de largura de canal, utilizando-se de simulação tridimensional e avaliando a possibilidade de uso de modelos de confinamento quântico em transistores dessas dimensões, uma vez que tais modelos foram originalmente implementados para estruturas menores.

Foram simuladas estruturas bidimensionais com modelos de Física Clássica e com modelos de confinamento quântico (BQP e Schrodinger-Poisson), a fim de escolher a opção de modelo que apresenta o melhor resultado.

Pode-se observar neste trabalho que o uso do modelo de confinamento quântico BQP é ideal para estruturas muito pequenas (as estruturas com larguras de 30 e 40 nm foram facilmente calibradas), mas para larguras acima destas apresenta problemas de convergência e pouco ganho de qualidade.

Além da avaliação do uso de modelos de confinamento quântico, explorou-se também o uso do simulador para análise da distribuição de potencial e cargas no interior do dispositivo. Foi tomado o exemplo dos dispositivos de porta tripla que, depois de analisados pelos parâmetros elétricos extraídos das curvas corrente x tensão (tensão de limiar, inclinação de sublimiar e transcondutância), foram observados através de planos de corte (transversal e longitudinal) contendo concentração de portadores e potencial elétrico.

Com isso, foi possível observar como as variações geométricas de alteração da inclinação das paredes laterais, variações de comprimento de canal e níveis de dopagem influenciam no funcionamento do dispositivo (demonstrado neste trabalho através das variações de concentração de elétrons no canal e nas variações de parâmetros elétricos).

Palavras-chave: SOI. Porta Tripla. Tridimensional, Simulação.

ABSTRACT

Kajihara, A. T. Simulation of Electrical Characteristics of Multigate Nanometric Field-Effect Transistors. 2008. Dissertation (Master)) – Centro Universitário da FEI, São Bernardo do Campo, 2008.

Three-Dimensional Simulation is a useful working tool, due to its increasingly functionality and low cost, if compared to the cost of production and test of devices in laboratory. Simulation also has technical advantages, such as the possibility of quick changes in devices characteristics, with almost immediate response. Another advantage is the possibility to analyze the main electrical quantities inside the device, which is practically impossible to achieve experimentally.

This study examine characteristics of SOI field effect transistors, using three-dimensional simulation and evaluating the possibility of using quantum confinement models in structures of 30 to 70 nm of channel width.

Bi-dimensional structures were simulated with Classic Physics and Quantum Confinement models (Schrodinger-Poisson and BQP), to choose the model that offers the best result.

Quantum confinement model BQP showed to be ideal to very small structures (structures with widths up to 40 nm were easily calibrated), but for widths above these values it presents some convergence problems and small accurateness gain.

In addition to evaluating the use of quantum confinement models, this work also explored the simulator for analysis of the potential and carrier concentrations inside the device. The Triple Gate device was used as example.

It was possible to observe as some geometric and doping level variations influence the distribution of carries inside the silicon.

Keywords: SOI. Triple Gate, Three-dimensional Simulation.

LISTA DE FIGURAS

Figura 2.1: Estrutura dos dispositivos CMOS Convencional e SOI	25
Figura 2.2 : Distribuição de cargas de depleção para os dispositivos CMOS Convencional (esq.) e SOI(dir.)	26
Figura 2.3: Dispositivo SOI Parcialmente Depletado	27
Figura 2.4: Dispositivo SOI Totalmente Depletado	28
Figura 2.5: Gráfico da inclinação de sublimiar ($\log I_d \times V_g$)	35
Figura 2.6: Evolução dos dispositivos de Múltiplas Portas.....	38
Figura 2.7: Dispositivo SOI MOSFET Porta Dupla.....	39
Figura 2.8: Dispositivo SOI MOSFET DELTA	40
Figura 2.9: Corte longitudinal do dispositivo SOI MOSFET GAA	40
Figura 2.10: Corte transversal do dispositivo SOI MOSFET PORTA TRIPLA	41
Figura 2.11: Corte transversal do dispositivo SOI MOSFET “Pi” Gate	42
Figura 2.12: Corte transversal do dispositivo SOI MOSFET “Omega” Gate	43
Figura 2.13: Transistor de Porta Tripla	44
Figura 2.14: Dispositivo SOI MOSFET FinFET	45
Figura 3.1: Curva $I_d \times V_g$ com extrapolação de V_{th}	53
Figura 3.2: Curva $\text{Log}(I_d) \times V_g$ para obtenção da inclinação sublimiar (S)	54
Figura 3.3: Transistor de Porta Tripla (Perímetro)	56
Figura 3.4: Dispositivo de Porta Tripla com paredes anguladas	56
Figura 3.5: Cotas para um transistor de $W_{\text{fintop}} = 30\text{nm}$	57
Figura 4.1: Dispositivo de Porta Dupla	59
Figura 4.2: Problema da partícula no poço de potencial: (a) diagrama de potencial de energia, (b) funções de onda nos três primeiros estados quânticos, (c) probabilidade de densidade distribuída para o segundo estado.....	60
Figura 5.1: (a) Corte transversal do dispositivo de Porta Dupla simulado, (b) exemplo de grade utilizado no dispositivo de Porta Dupla	67
Figura 5.2: Descrição do dispositivo de Porta Tripla simulado	68

Figura 5.3: Dispositivos de Porta Tripla com comprimento de canal de 200 nm e com $W_{\text{fintop}} =$ (a) 30nm , (b) 40nm, (c) 50nm, (d) 60nm e (e) 70 nm	69
Figura 5.4: Dispositivos de Porta Tripla com comprimento de canal de 350 nm e com $W_{\text{fintop}} =$ (a) 30nm , (b) 40nm, (c) 50nm, (d) 60nm e (e) 70 nm	70
Figura 5.5: Dispositivos de Porta Tripla com comprimento de canal de 500 nm e com $W_{\text{fintop}} =$ (a) 30nm , (b) 40nm, (c) 50nm, (d) 60nm e (e) 70 nm	70
Figura 5.6: Corte transversal com a grade de pontos	71
Figura 5.7: Corte longitudinal com a grade de pontos	71
Figura 5.8: Comparação entre os modelos de Schrodinger e BQP para dopagem $N_a = 1 \times 10^{15} \text{ cm}^{-3}$, $W_{\text{finbottom}} = 50\text{nm}$, $L = 200 \text{ nm}$ e $W_{\text{fintop}} =$ (a) 30nm , (b) 40nm, (c) 50nm, (d) 60nm e (e) 70 nm	73
Figura 5.9: Comparação entre os modelos de Schrodinger e BQP para dopagem $N_a = 1 \times 10^{16} \text{ cm}^{-3}$, $W_{\text{finbottom}} = 50\text{nm}$, $L = 200 \text{ nm}$ e $W_{\text{fintop}} =$ (a) 30nm , (b) 40nm, (c) 50nm, (d) 60nm e (e) 70 nm	74
Figura 5.10: Comparação entre os modelos de Schrodinger e BQP para dopagem $N_a = 1 \times 10^{17} \text{ cm}^{-3}$, $W_{\text{finbottom}} = 50\text{nm}$, $L = 200 \text{ nm}$ e $W_{\text{fintop}} =$ (a) 30nm , (b) 40nm, (c) 50nm, (d) 60nm e (e) 70 nm	75
Figura 5.11: Comparação dos modelos BQP, Poisson e Schrodinger para $W_{\text{fintop}} = 30\text{nm}$ e $N_a = 1 \times 10^{15} \text{ cm}^{-3}$	76
Figura 5.12: Comparação dos modelos BQP, Poisson e Schrodinger para $W_{\text{fintop}} = 50\text{nm}$ e $N_a = 1 \times 10^{16} \text{ cm}^{-3}$	76
Figura 5.13: Comparação dos modelos BQP, Poisson e Schrodinger para $W_{\text{fintop}} = 70\text{nm}$ e $N_a = 1 \times 10^{17} \text{ cm}^{-3}$	77
Figura 5.14: Segunda derivada da função $I_d \times V_g$ para $N_a = 1 \times 10^{15} \text{ cm}^{-3}$, variando θ com largura superior de 30 a 70 nm	79
Figura 5.15: Segunda derivada da função $I_d \times V_g$ para $N_a = 1 \times 10^{16} \text{ cm}^{-3}$, variando θ com largura superior de 30 a 70 nm	80
Figura 5.16: Segunda derivada da função $I_d \times V_g$ para $N_a = 1 \times 10^{17} \text{ cm}^{-3}$, variando θ com largura superior de 30 a 70 nm	80
Figura 5.17: Gráfico da Tensão $V_{\text{th}} \times W_{\text{fintop}}$ para comprimento de canal de $L = 200 \text{ nm}$	82
Figura 5.18: Gráfico da Tensão $V_{\text{th}} \times W_{\text{fintop}}$ para comprimento de canal de $L = 350 \text{ nm}$	82

Figura 5.19: Gráfico da Tensão V_{th} x W_{fintop} para comprimento de canal de $L=500$ nm	83
Figura 5.20: Gráfico de tensão V_{th} x comprimento L para dopagem $Na= 1 \times 10^{15}$ cm^{-3}	83
Figura 5.21: Gráfico de tensão V_{th} x comprimento L para dopagem $Na= 1 \times 10^{16}$ cm^{-3}	84
Figura 5.22: Gráfico de tensão V_{th} x comprimento L para dopagem $Na= 1 \times 10^{17}$ cm^{-3}	84
Figura 5.23: Derivada da função $\log(I_d)$ x V_g para $Na=1 \times 10^{15}$ e W_{fintop} de 30 a 70 nm	86
Figura 5.24: Derivada da função $\log(I_d)$ x V_g para $Na=1 \times 10^{16}$ e W_{fintop} de 30 a 70 nm	86
Figura 5.25: Derivada da função $\log(I_d)$ x V_g para $Na=1 \times 10^{17}$ e W_{fintop} de 30 a 70 nm	86
Figura 5.26: Gráfico de S x W_{fintop} para largura de canal de $L=200$ nm	88
Figura 5.27: Gráfico de S x W_{fintop} para largura de canal de $L=350$ nm	88
Figura 5.28: Gráfico de S x W_{fintop} para largura de canal de $L=500$ nm	89
Figura 5.29: Gráfico de S x W_{fintop} para dopagem $Na= 1 \times 10^{15}$ cm^{-3}	89
Figura 5.30: Gráfico de S x W_{fintop} para dopagem $Na= 1 \times 10^{16}$ cm^{-3}	90
Figura 5.31: Gráfico de S x W_{fintop} para dopagem $Na= 1 \times 10^{17}$ cm^{-3}	90
Figura 5.32: Dimensões das portas do transistor	91
Figura 5.33: Gráfico da derivada da curva I_d x V_g para $Na=1 \times 10^{15}$ e W_{fintop} variando de 30 a 70 nm com $L=200$ nm	92
Figura 5.34: Gráfico da derivada da curva I_d x V_g para $Na=1 \times 10^{16}$ e W_{fintop} variando de 30 a 70 nm com $L=200$ nm	93
Figura 5.35: Gráfico da derivada da curva I_d x V_g para $Na=1 \times 10^{17}$ e W_{fintop} variando de 30 a 70 nm com $L=200$ nm	93
Figura 5.36: Estrutura do transistor tridimensional (a), corte transversal (b) e corte longitudinal (c)	95
Figura 5.37: Cortes transversais para $L=200$ nm e de $Na= 1 \times 10^{15}$ cm^{-3} com $W_{fintop}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm	95
Figura 5.38: Curva de concentração de elétrons x largura superior do canal	96

Figura 5.39: Cortes transversais para $L=350$ nm e de $N_a= 1 \times 10^{15}$ cm^{-3} com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm	96
Figura 5.40: Cortes transversais para $L=500$ nm e de $N_a= 1 \times 10^{15}$ cm^{-3} com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm	97
Figura 5.41: Cortes longitudinais $L=200$ nm e de $N_a= 1 \times 10^{15}$ cm^{-3} com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm	97
Figura 5.42: Cortes longitudinais para $L=350$ nm e de $N_a= 1 \times 10^{16}$ cm^{-3} com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm	98
Figura 5.43: Cortes longitudinais para $L=500$ nm e de $N_a= 1 \times 10^{17}$ cm^{-3} com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm	98
Figura 5.44: Gráfico da concentração de elétrons no comprimento do canal com dopagem $N_a= 1 \times 10^{17}$ cm^{-3} e $W_{\text{fintop}}= 30$ nm	100
Figura 5.45: Gráfico da concentração de elétrons no comprimento do canal com dopagem $N_a= 1 \times 10^{17}$ cm^{-3} e $W_{\text{fintop}}= 50$ nm	100
Figura 5.46: Gráfico da concentração de elétrons no comprimento do canal com dopagem $N_a= 1 \times 10^{17}$ cm^{-3} e $W_{\text{fintop}}= 70$ nm	101
Figura 5.47: Cortes transversais para $L=200$ nm e de $N_a= 1 \times 10^{16}$ cm^{-3} com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm	101
Figura 5.48: Cortes transversais para $L=350$ nm e de $N_a= 1 \times 10^{16}$ cm^{-3} com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm	102
Figura 5.49: Cortes transversais para $L=500$ nm e de $N_a= 1 \times 10^{16}$ cm^{-3} com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm	102
Figura 5.50: Cortes longitudinais $L=200$ nm e de $N_a= 1 \times 10^{16}$ cm^{-3} com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm	102
Figura 5.51: Cortes longitudinais $L=350$ nm e de $N_a= 1 \times 10^{16}$ cm^{-3} com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm	103
Figura 5.52: Cortes longitudinais $L=500$ nm e de $N_a= 1 \times 10^{16}$ cm^{-3} com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm	103
Figura 5.53: Cortes transversais para $L=200$ nm e de $N_a= 1 \times 10^{17}$ cm^{-3} com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm	103
Figura 5.54: Cortes transversais para $L=350$ nm e de $N_a= 1 \times 10^{17}$ cm^{-3} com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm	104

Figura 5.55: Cortes transversais para $L=500$ nm e de $N_a= 1 \times 10^{17}$ cm^{-3} com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm	104
Figura 5.56: Cortes longitudinais $L=200$ nm e de $N_a= 1 \times 10^{17}$ cm^{-3} com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm	104
Figura 5.57: Cortes longitudinais $L=350$ nm e de $N_a= 1 \times 10^{17}$ cm^{-3} com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm	105
Figura 5.58: Cortes longitudinais $L=500$ nm e de $N_a= 1 \times 10^{17}$ cm^{-3} com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm	105
Figura 5.59: Concentração de elétrons na seção transversal média de transistores de porta tripla com largura de 30 e 50 nm e níveis de concentração de dopante de 1×10^{15} e 1×10^{17} cm^{-3}	106

LISTA DE SÍMBOLOS

Φ_F	Potencial de Fermi do silício (V)
Φ_{S1}	Potencial na 1ª interface de óxido de silício (V)
Φ_{S2}	Potencial na 2ª interface de óxido de silício (V)
Φ_{MS1}	Função trabalho da 1ª interface (V)
Φ_{MS2}	Função trabalho da 2ª interface (V)
Φ_M	Função trabalho do metal (V)
Φ_{si}	Função trabalho do silício (V)
Ψ_{it}	Forma de onda transversal
Ψ_{il}	Forma de onda longitudinal
I_d	Corrente de dreno (A)
ϵ_{si}	Permissividade do silício (F/cm)
k	Constante de Boltzmann ($1,38 \times 10^{-23}$ J/K)
E_c	Valor máximo da energia (V)
E_{FM}	Nível de Fermi do metal (V)
L_{fin}	Largura do canal do FinFET
N_a	Concentração de dopantes na camada de silício (cm^{-3})
n_i	Concentração intrínseca (cm^{-3})
q	Carga elementar do elétron ($q = 1,6 \times 10^{-19}$ C)
S	Inclinação de sublimiar (mV/década de corrente)
T	Temperatura absoluta (Kelvin)
t_{ox}	Espessura da camada de óxido de porta (μm)
t_{si}	Espessura da camada de silício (μm)
V_{EA}	Tensão Early (V)
V_{FB}	Tensão de faixa plana (V)
V_g	Tensão de polarização de porta do transistor (V)
V_{GF}	Tensão aplicada à porta do transistor (V)
V_{OX}	Potencial do óxido (V)
V_{th}	Tensão de limiar (V)
$X_{dm\acute{a}x}$	Máxima largura de depleção (nm)
W	Largura do canal do dispositivo (μm)
W_d	Largura da região de depleção (nm)

W_{fintop} Largura superior do canal do FinFET (nm)
 $W_{\text{finbottom}}$ Largura inferior do canal do FinFET (nm)

LISTA DE ABREVIATURAS

2D	Bidimensional
3D	Tridimensional
BQP	Bohm Quantum Potential (Potencial Quântico de Bohm)
DELTA	Fully Depleted Lean Channel Transistor (Transistor de Canal Vertical Totalmente depletado)
DIBL	Drain Induced Barrier Lowering (Redução da Barreira Induzida pelo Dreno)
DG	Dual Gate (Porta Dupla)
FD	Fully Depleted (Totalmente Depletado)
FET	Field Effect Transistor (Transistor de Efeito de Campo)
GAA	Gate All Around (Porta Circundante)
GC	Graded-Channel (Canal Gradual)
JFET	Junction Gate Field Effect Transistor (Junção da porta no transistor de efeito de campo)
MOS	Metal Oxide Semiconductor (metal óxido semiconductor)
MUGFET	Multiple Gate Field Effect Transistor (Transistor de efeito de campo de múltiplas portas)
PD	Partially Depleted (Parcialmente Depletado)
PN	Junção Positivo-Negativo
SiO ₂	Dióxido de Silício
SOI	Silicon on Insulator (Silício sobre isolante)
VLSI	Very Large Scale of Integration (Escala muito grande de integração)

SUMÁRIO

1	INTRODUÇÃO	20
1.1	OBJETIVOS E ESTRUTURA DO TRABALHO	22
2	TRANSISTORES SOI MOSFET	24
2.1	SOI (SILICON ON INSULATOR) MOSFETS.....	24
2.1.1	DISPOSITIVOS SOI MOSFET PARCIALMENTE E TOTALMENTE DEPLETADOS	26
2.1.2	MODELO DE LIM & FOSSUM.....	29
2.2	PARÂMETROS ELÉTRICOS DOS DISPOSITIVOS SOI	31
2.2.1	TENSÃO DE LIMIAR	31
2.2.2	INCLINAÇÃO DE SUBLIMIAR	35
2.2.3	TRANSCONDUÇÃO	37
2.2.4	CONDUÇÃO DE SAÍDA.....	37
2.3	TRANSISTORES SOI MOSFET DE MÚLTIPLAS PORTAS.....	38
2.3.1	PORTA DUPLA	39
2.3.2	PORTA TRIPLA	41
2.3.3	PI GATE E OMEGA GATE.....	41
2.3.4	FINFET	44
2.3.5	CARACTERÍSTICAS PARTICULARES DOS TRANSISTORES DE MÚLTIPLAS PORTAS	45
3	SIMULAÇÃO NUMÉRICA.....	46
3.1	EDITOR DE ESTRUTURAS	46
3.1.1	CRIAÇÃO DA ESTRUTURA DA PORTA TRIPLA NO DEVEDIT....	47
3.2	SIMULADOR ATLAS	49
3.2.1	UTILIZAÇÃO DO SIMULADOR ATLAS	49
3.2.2	MODELOS UTILIZADOS NA SIMULAÇÃO	50
3.3	EXTRAÇÃO DE PARÂMETROS	52
3.3.1	TENSÃO DE LIMIAR	52
3.3.2	INCLINAÇÃO DE SUBLIMIAR	54
3.3.3	TRANSCONDUÇÃO	55

4	MODELOS PARA REPRESENTAÇÃO E MODELAGEM DE	
	CONFINAMENTO QUÂNTICO	58
4.1	Descrição dos modelos	58
4.1.1	Modelo de Física Clássica.....	58
4.1.2	O problema do Poço de Potencial em Transistores de Múltiplas Portas...	59
4.1.3	Modelo de Schrodinger-Poisson	62
4.1.4	Modelo de Bohm Quantum Potential (BQP)	62
4.1.5	Calibração do modelo BQP.....	63
4.1.6	Comparação entre o modelo de BQP e o modelo Schrodinger-Poisson...	64
5	DISPOSITIVOS ESTUDADOS E RESULTADOS DE SIMULAÇÃO	65
5.1	DESCRIZAÇÃO DOS DISPOSITIVOS.....	65
5.1.1	Dispositivo Porta Dupla.....	65
5.1.2	Dispositivo de Porta Tripla	68
5.2	APRESENTAÇÃO DE RESULTADOS	72
5.2.1	Calibração do modelo BQP.....	72
5.2.2	Definição do modelo de simulação.....	77
5.2.3	Simulação de Transistores de Porta Tripla e Observação das grandezas internas	78
6	CONCLUSÕES	107
7	REFERÊNCIAS	109
8	APÊNDICE I	113
9	APÊNDICE II.....	114

1 INTRODUÇÃO

O histórico da microeletrônica tem um marco importante em 1946, quando a Bell Labs criou um grupo que iniciou pesquisas sobre os semicondutores Silício e Germânio, liderado por William Shockley [1-7]. Dando continuidade a estes estudos, uma das grandes descobertas ocorreu em 1947, quando foi descoberto o transistor bipolar [8]. Em 1952, a Bell Labs através de C. Fuller, publicou um estudo sobre difusão de dopantes no silício [9]. No ano de 1955, os pesquisadores começaram a desenvolver fotorresistes para gravações em filmes de SiO_2 [10,11]. Com base nestas pesquisas, se desenvolveu o transistor de efeito de campo MOSFET (transistor de efeito de campo metal-óxido-silício). Recentemente, o dispositivo com tecnologia MOS tem sido o mais utilizado na eletrônica.

Com o avanço tecnológico e a utilização de grande escala de integração (VLSI), fazem-se continuamente necessárias a redução de escala dimensional e a melhora do desempenho do dispositivo [12-15]. Vários estudos vem sendo realizados neste sentido, mas alguns problemas têm sido encontrados, devido às limitações físicas do escalamento do transistor MOS convencional. Nas últimas décadas a indústria de semicondutores vem realizando grandes progressos no escalamento dos transistores planares, mas sempre surgem limitações tecnológicas importantes [16].

Uma solução para este problema foi então procurar projetos alternativos de dispositivos para que fosse possível a continuidade deste avanço. Uma das soluções encontradas foi o uso da tecnologia Silicon On Insulator (SOI). Esta tecnologia possui grandes vantagens, como a possibilidade de maior redução do tamanho do dispositivo e a redução de alguns efeitos indesejados que aparecem no dispositivo MOS convencional como, por exemplo, efeito de canal curto (relacionado à redução do tamanho) [17] e capacitâncias parasitárias na região de fonte e dreno, melhorando assim o desempenho do dispositivo [17,18]. Estudos começaram a ser realizados nesta tecnologia e, a fim de continuar o processo de melhoria do dispositivo, modelos de múltiplas portas começaram a serem desenvolvidos [19,20,21]. Dentre estes novos dispositivos, foram desenvolvidos os SOI MOSFETs de Porta Dupla e Porta Tripla.

Com o crescente desenvolvimento das ferramentas computacionais, a exploração de alternativas construtivas e principalmente de geometrias novas para transistores tem sido facilitada pelo uso de simuladores. Atualmente, os simuladores numéricos de dispositivos permitem obter resultados confiáveis, muito mais rápidos e baratos que a

alternativa de construção e testes. No presente trabalho pretende-se explorar as possibilidades oferecidas pelo simulador de dispositivos ATLAS 3D, inclusive seus recursos mais recentes, como os modelos de confinamento quântico.

Após a identificação do modelo correto, serão analisados os parâmetros do dispositivo (tensão de limiar, inclinação de sublimiar e transcondutância) com variações da largura superior do canal, variações do comprimento do canal entre 200 nm, 350 nm e 500 nm, e concentração de dopantes no canal.

Será realizado uma verificação da concentração de elétrons dentro da região do canal para cada uma das simulações realizadas, apresentando um comparativo de acordo com as variações das dopagens e comprimento do canal, como forma de exploração da simulação para obtenção de dados não alcançáveis através de testes em laboratório.

1.1 OBJETIVOS E ESTRUTURA DO TRABALHO

O principal objetivo deste trabalho é o estudo de características elétricas de transistores de múltiplas portas, explorando o simulador numérico tridimensional Atlas.

Pretende-se avaliar as vantagens e desvantagens do uso de modelos de confinamento quântico disponíveis, para transistores com espessura de filme da ordem de 30 a 70 nanômetros.

Em seguida, escolhido um modelo de cálculo de distribuição de cargas, clássico ou de mecânica quântica, pretende-se levantar a partir das curvas corrente x tensão, os principais parâmetros dos dispositivos, como tensão de limiar, transcondutância e inclinação de sublimiar. Pretende-se realizar a interpretação das distribuições internas de cargas e potenciais elétricos, para associá-las às variações dos parâmetros elétricos. Para isso, serão observados planos de corte na estrutura tridimensional, com estas grandezas representadas.

O trabalho está dividido em seis capítulos:

Capítulo 1: Introdução – Introdução, com uma breve apresentação sobre os objetivos e a estrutura.

Capítulo 2: Transistores SOI de Múltiplas Portas – Serão apresentados os conceitos básicos sobre os dispositivos MOS, SOI MOSFET e SOI de MÚLTIPLAS PORTAS, para embasamento do trabalho de simulação.

Capítulo 3: Simulação numérica e extração de parâmetros - Serão apresentados os métodos de simulação estudados, os tipos de modelos utilizados e as formas de análise dos dados.

Capítulo 4: Estudo sobre aplicabilidade de modelos de Confinamento Quântico – Serão apresentados alguns estudos sobre modelos de estruturas e efeitos de confinamento quântico, com o objetivo de selecionar o melhor modelo a ser aplicado a transistores de espessura do filme de silício de dezenas de nanômetros.

Capítulo 5: Dispositivos estudados e resultados de simulação – Serão apresentadas algumas simulações e resultados de comparação entre os dispositivos simulados e as variações das características dos dispositivos de Porta Tripla, de acordo com variações de dopagem de canal e geométricas. As variações de parâmetros elétricos serão associadas às distribuições de potencial e de portadores no interior dos transistores.

Capítulo 6: Conclusões – Serão apresentadas as principais conclusões do trabalho, além de perspectivas para continuidade dos estudos.

2 – TRANSISTORES SOI MOSFET

Este capítulo contém uma breve descrição de SOI MOSFETs e de transistores SOI de múltiplas portas (MuGFETs), para fundamentar os estudos de simulação subsequentes.

2.1 SOI (SILICON ON INSULATOR) MOSFETS

A primeira descrição de um transistor de efeito de campo metal-óxido-semicondutor (MOSFET) ocorreu em torno de 1926 [17,22]. Esta descrição refere-se a um transistor com corrente de fonte-dreno controlada por efeito de campo da porta dielectricamente isolada do dispositivo. Um pedaço de semicondutor tinha sua região ativa coberta por um material isolante que por sua vez, era coberta por uma camada fina de semicondutor. Mas a tecnologia existente nesta época era incapaz de produzir este dispositivo em larga escala. Por isto, esta tecnologia foi abandonada, substituída pela do transistor bipolar descoberto em 1947 [17].

Somente em 1960, com o avanço tecnológico necessário para construção de portas/óxidos com qualidade, que foi retomado o trabalho com dispositivos MOSFETs. Este avanço com a aplicação da tecnologia MOS foi muito importante para o desenvolvimento da microeletrônica [18].

Desde a descoberta, foram realizados vários estudos com a tecnologia MOS com o objetivo de redução dimensional dos dispositivos. A evolução dos dispositivos MOS permitiu a redução do comprimento do canal até algumas dezenas de nanômetros, mas algumas pesquisas realizadas mostraram problemas que foram encontrados por causa de limitações físicas para o escalamento do modelo MOS convencional, como por exemplo o efeito de canal curto. A partir destas condições, várias soluções começaram a ser estudadas para se obter algum dispositivo com tecnologia que pudesse dar continuidade a esta evolução tecnológica.

Uma das soluções encontradas foi o uso da tecnologia Silicon On Insulator (SOI). Esta tecnologia é interessante, pois não implica em aumento significativo de complexidade do processo e apresenta vantagens de desempenho. Além de permitir maior redução do tamanho do dispositivo, ainda consegue a redução de alguns efeitos indesejados que aparecem no dispositivo MOS convencional. Fatores como efeito de

canal curto e capacitâncias parasitárias de fonte e dreno puderam ser reduzidos se comparados com a tecnologia CMOS convencional [17,19,23].

Mas no início houve grandes dificuldades para se iniciar a produção de uma lâmina SOI. Os métodos utilizados no seu início, o Silicon-on-Sapphire (SOS) em 1964 [17,24], apresentavam baixa mobilidade devido a redes cristalinas de silício e safira. Com a descoberta de novos métodos (SIMOX, Unibond, FIPOS são alguns dos métodos desenvolvidos), o SOI se tornou uma excelente alternativa na década de 80 [25]

Por estes motivos, a tecnologia SOI para circuitos integrados começou a ser empregada com sucesso a partir de 2000 [26].

O dispositivo SOI possui uma construção um pouco diferente do dispositivo MOS convencional. O MOS convencional é construído sobre uma camada de silício contínua, enquanto que o SOI é construído sobre uma pequena camada de óxido enterrado na camada de silício, como mostrado na figura 2.1. Esta presença de óxido enterrado faz com que haja um isolamento entre a parte ativa e o substrato, fazendo com que vários problemas existentes no MOS convencional como correntes parasitárias sejam reduzidos ou eliminados [17].

Outro efeito que ocorre no MOS convencional é o efeito de canal curto, ou seja, com a redução geométrica do dispositivo ocorre um aumento das zonas de depleção induzidas pelas junções de fonte e dreno que impedem o controle da porta sobre a região de cargas espaciais. Nos dispositivos SOI estes efeitos são reduzidos [17]. A figura 2.2 permite uma melhor compreensão desse efeito, onde mostra que as junções de fonte e dreno com o canal é maior no MOS convencional.

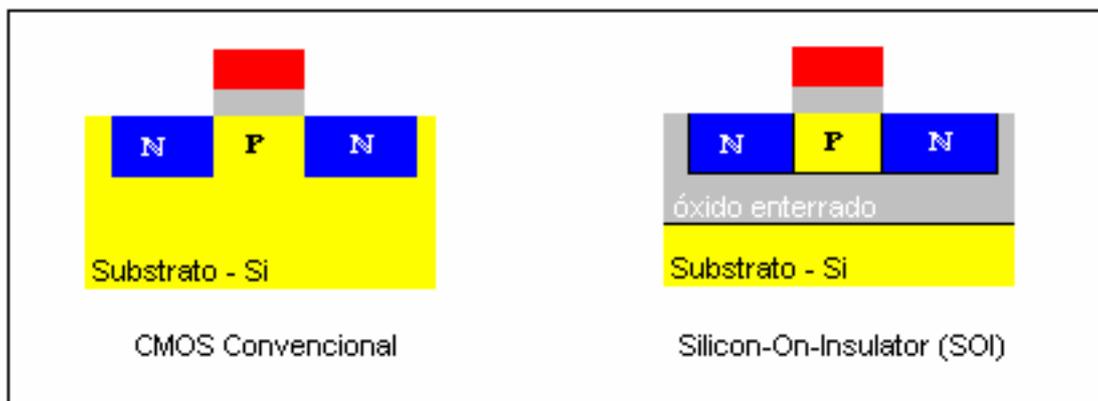


Figura 2.1: Estrutura dos dispositivos CMOS Convencional e SOI

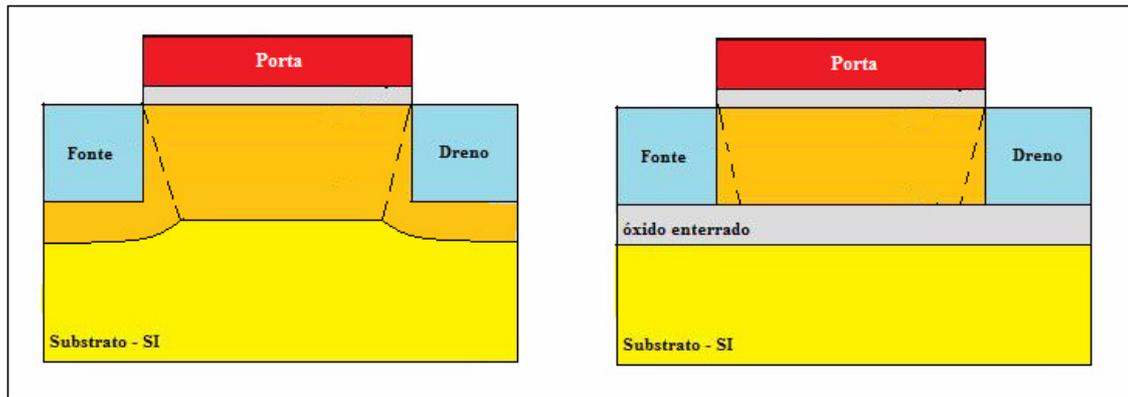


Figura 2.2: Distribuição de cargas de depleção para os dispositivos CMOS Convencional (esq.) e SOI(dir.)

O dispositivo SOI MOSFET tem seu funcionamento dependente da espessura e concentração de dopantes na camada de silício, bem como da temperatura, que influencia a extensão da camada de depleção.

Com base nestas características, algumas estruturas podem ser distinguidas: dispositivos com a camada de silício na região de canal totalmente depletada, dispositivos onde a camada de silício nunca será completamente depletada e dispositivos próximo da depleção total [17].

2.1.1 DISPOSITIVOS SOI MOSFET PARCIALMENTE E TOTALMENTE DEPLETADOS

No MOS convencional, a profundidade máxima da região de depleção (x_{dmax}) é dada pela equação abaixo [27]:

$$x_{dmax} = \sqrt{\frac{4 \epsilon_{Si} \Phi_F}{q N_a}} \quad (2.1.1)$$

Sendo Φ_F o potencial de Fermi [32] dado por:

$$\Phi_F = \frac{k T}{q} \ln\left(\frac{N_a}{n_i}\right) \quad (2.1.2)$$

Onde x_{dmax} é a profundidade máxima de depleção, ϵ_{si} a permissividade do silício (F/cm), Φ_F o Potencial de Fermi do silício, N_a é a concentração de dopantes na camada de silício (cm^{-3}), n_i é a Concentração intrínseca [cm^{-3}], q é carga elementar do elétron ($q = 1,6 \times 10^{-19} C$), k é constante de Boltzmann ($1,38 \times 10^{23} J/K$) e T é a temperatura absoluta (Kelvin).

No modelo SOI parcialmente depletado (partially depleted SOI - PDSOI), a espessura do silício (t_{si}) é maior que duas vezes o valor da profundidade máxima de depleção $x_{d1} + x_{d2}$ (onde x_{d1} é o comprimento de depleção da primeira interface e x_{d2} é a profundidade de depleção da segunda interface). Com isso, não existe interação entre as regiões de depleção das duas interfaces. Conseqüentemente, uma região neutra aparece entre as regiões de depleção (Figura 2.3). Se a região neutra entre as regiões de depleção estiver ligada a um contato de corpo, o dispositivo terá um comportamento igual ao de um transistor MOS convencional.

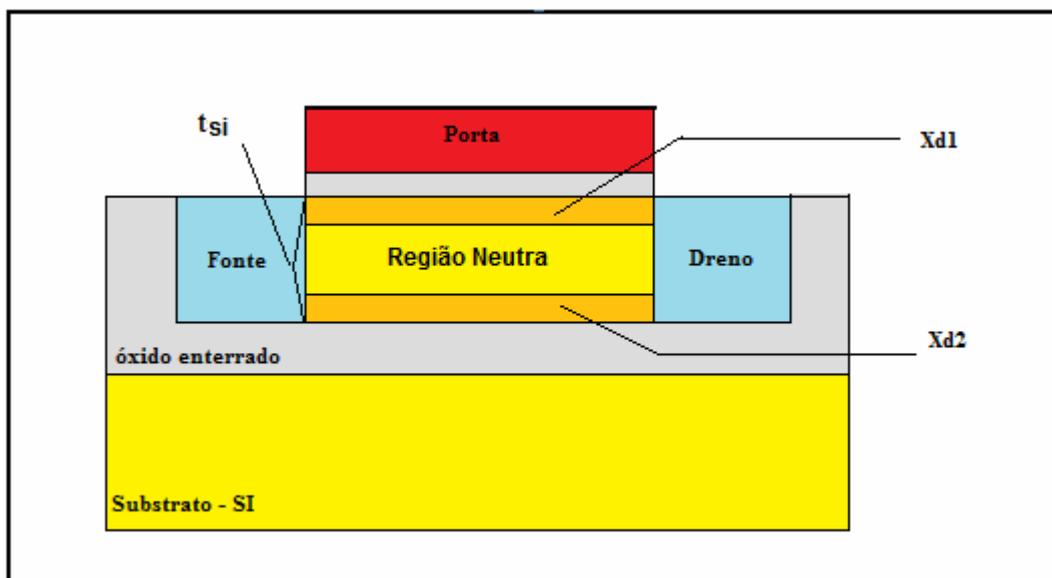


Figura 2.3: Dispositivo SOI MOSFET Parcialmente Depletado

No dispositivo SOI totalmente depletado (FDSOI), a espessura do silício t_{si} é menor que o valor de x_{dmax} . Assim, diferentemente do dispositivo parcialmente depletado, não existirá uma região neutra entre as regiões de depleção (Figura 2.4). Neste caso, a camada de silício está totalmente depletada independentemente da tensão aplicada ao substrato (com exceção da presença de camadas de inversão ou acumulação da segunda interface) [17].

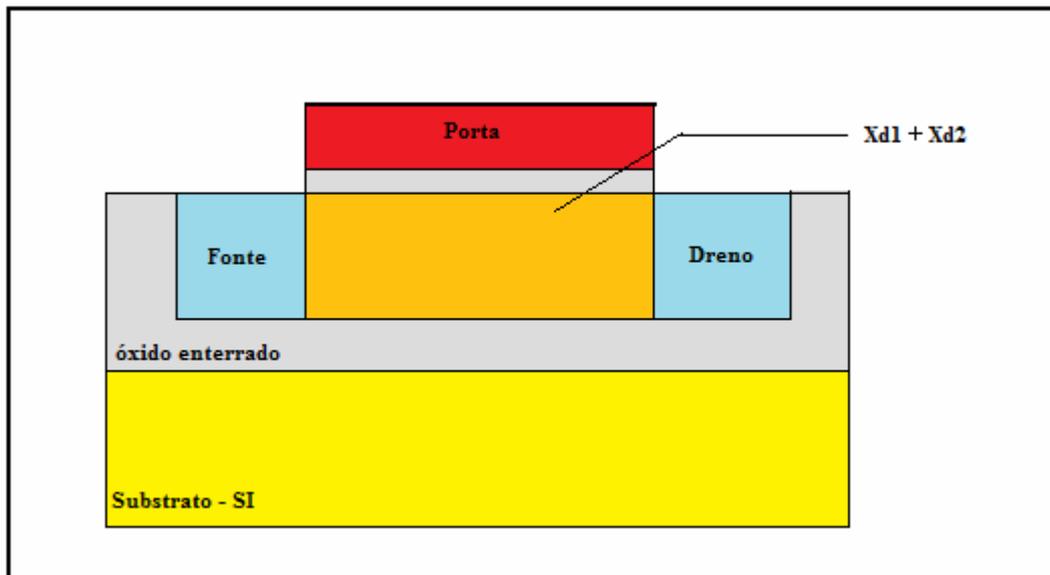


Figura 2.4: Dispositivo SOI Totalmente Depletado

Existe ainda uma estrutura intermediária, onde $x_d < t_{si} < 2x_d$ em que, dependendo do valor da tensão de substrato, pode haver ou não a depleção total.

Como a primeira e segunda interface podem estar em acumulação, depleção ou inversão, existem nove tipos de configurações em que o transistor pode funcionar [17].

De uma maneira geral se for mencionada a camada de acumulação, depleção ou inversão, em função da tensão de dreno, cada modo de operação deverá ser bem analisado, pois alguns apresentam propriedades que, dependendo do uso são ideais para um determinado tipo de aplicação. Por exemplo, o modelo SOI totalmente depletado é recomendado para aplicações digitais de alta densidade de transistores. Já o modelo SOI parcialmente depletado é muito usado pelo fato da tensão de limiar ser independente da espessura da camada de silício e das cargas presentes no óxido enterrado. Tem vantagens para aplicações em circuitos rápidos [17].

2.1.2 MODELO DE LIM & FOSSUM

O modelo de Lim & Fossum [28] é um modelo de caracterização de corrente para o transistor SOI MOSFET totalmente depletado.

Este modelo assume mobilidade constante como função de Y (posição em relação ao eixo horizontal), dopagem uniforme do silício na região do canal, aproximação de canal gradual e corrente predominantemente de deriva.

Utiliza a Lei de OHM para a definição do valor da corrente de dreno (I_D) obtendo assim:

$$I_D = -W\mu_n Q_{inv1}(y) \frac{d\Phi_{Si}(y)}{dy} \quad (2.1.3)$$

Onde W é a largura da região de canal do transistor, μ_n é a mobilidade de elétrons na camada de inversão, Q_{inv1} é a carga de inversão, Φ_{Si} é o potencial de superfície na interface Si-SiO₂ de porta.

Dependendo da situação da segunda interface, diferentes situações levam a expressões de corrente ligeiramente diferentes, mas que podem ser expressas pelas equações 2.1.4 (região de triodo) e 2.1.5 (região de saturação):

$$I_{Dtriado} = \frac{W}{L} \mu_n C_{ox1} \left[(V_{gs} - V_t)V_{ds} - (1 + \alpha) \frac{V_{ds}^2}{2} \right] \quad (2.1.4)$$

$$I_{Dsat} = \frac{W\mu_n C_{ox1}}{2L(1 + \alpha)} [V_{gs} - V_{th}]^2 \quad (2.1.5)$$

Onde α é dado por:

$$\alpha = \frac{C_{Si}}{C_{ox1}} \quad \text{para a segunda interface em acumulação.}$$

$$\alpha = \frac{C_{Si}C_{ox2}}{C_{ox1}(C_{Si} + C_{ox2})} \quad \text{para a segunda interface em depleção}$$

$$\alpha = \frac{C_{depl}}{C_{ox1}} = \frac{\epsilon_{Si}}{x_{dmax}C_{ox1}} \quad \text{para o transistor MOS convencional}$$

Onde C_{si} é a capacitância da camada de silício, C_{ox} é a capacitância do óxido (porta ou enterrado), ϵ_{si} é a permissividade do silício e C_{depl} é a capacitância na região de depleção. O coeficiente n (Coeficiente de efeito de corpo) é:

$$n = 1 + \alpha$$

Numericamente a relação será:

$$n_{SOI \text{ totalmente depletado}} < n_{MOS \text{ convencional}} < n_{SOI 2^{\circ} \text{ interface acumulada}}$$

Pode-se observar através destes dados que [17]:

- Há maior corrente de saturação no SOI totalmente depletado;
- Há melhor desempenho do SOI totalmente depletado quando comparado ao MOS convencional.

2.2 PARÂMETROS ELÉTRICOS DOS DISPOSITIVOS SOI

A seguir são apresentados alguns parâmetros elétricos dos dispositivos SOI.

2.2.1 TENSÃO DE LIMIAR

Tensão de Limiar é a tensão mínima para que se consiga a formação da camada de inversão (quantidade de portadores livres) [17, 18]

A tensão de limiar para um MOSFET convencional de canal n possui a seguinte expressão [17]:

$$V_{TH} = V_{FB} + 2\Phi_F + \frac{(qNaX_{dm\acute{a}x})}{C_{OX}} \quad (2.1.6)$$

Onde V_{FB} é a tensão de faixa plana, igual a: $(\Phi_{MS} - (Q_{OX}/C_{OX}))$, Φ_F é o potencial de Fermi, igual a: $((KT/q)*\ln(Na/n_i))$, Na é a concentração de dopantes na camada de silício (cm^{-3}), n_i é a Concentração intrínseca [cm^{-3}], q é carga elementar do elétron ($q = 1,6 \times 10^{-19}$ C), K é constante de Boltzmann ($1,38 \times 10^{-23}$ J/K), $X_{dm\acute{a}x}$ é a profundidade de depleção, que é dada por: $(4\zeta_{SI}*\Phi_F/q*Na)^{1/2}$ e C_{OX} é a capacitância do óxido de porta.

Para um dispositivo SOI parcialmente depletado, não ocorre interação entre as duas zonas de depleção pois $t_{si} > 2X_{dm\acute{a}x}$. Se isto ocorre, a tensão de limiar poderá ser calculada para cada uma das interfaces utilizando a mesma equação descrita para um transistor MOS convencional, já que uma zona de depleção não interfere na outra.

Para o caso de dispositivo SOI totalmente depletado, existe interação entre as duas zonas de depleção, ocorrendo então um modo de enriquecimento, já que uma zona de depleção começa a interferir na outra zona de depleção. Sendo assim, a análise no canal n pode ser realizada através da equação de Poisson, usando a aproximação da depleção:

$$(d^2\Phi/ dx^2)=(q^*Na/ \xi_{SI}) \quad (2.1.7)$$

Utilizando o modelo de Lim and Fossum [28] e integrando a equação duas vezes, pode-se obter o potencial em função da profundidade do filme de silício:

$$\Phi(x) = (q^*Na/2\xi_{SI})x^2 + (((\Phi_{S2} - \Phi_{S1})/t_{si}) - ((q^*Na^* t_{si})/ 2\xi_{SI})x + \Phi_{S1} \quad (2.1.8)$$

Onde Φ_{S1} é potencial na 1ª interface de óxido de silício, Φ_{S2} é potencial na 2ª interface de óxido de silício e N_a é a concentração de dopagem, considerada constante.

A expressão do campo elétrico no filme de silício é:

$$E(x) = \frac{-(q^*Na)x}{\xi_{SI}} + \frac{(\Phi_{S2} - \Phi_{S1})}{t_{si}} - \frac{(q^*Na^* t_{si})}{2\xi_{SI}}$$

Aplicando o teorema de Gauss e a fórmula do campo elétrico da 1ª interface, E_{S1} (com $x=0$), o potencial do óxido da porta resulta em :

$$\Phi_{OX1} = \frac{(\xi_{SI}^*E_{S1} - Q_{OX1} - Q_{INV1})}{C_{OX1}}$$

Realizando o mesmo procedimento para a 2ª interface:

$$\Phi_{OX2} = \frac{(\xi_{SI}^*E_{S1}) - (q^*N_a^* t_{si}) + (Q_{OX2} - Q_{s2})}{C_{OX2}}$$

Como as tensões de porta da 1ª e 2ª interfaces, V_{G1} e V_{G2} , são dadas por:

$$V_{G1} = \Phi_{S1} + \Phi_{OX1} + \Phi_{MS1} \quad V_{G2} = \Phi_{S2} + \Phi_{OX2} + \Phi_{MS2}$$

Onde Φ_{MS1} é a função trabalho da 1ª interface e Φ_{MS2} é a função trabalho da 2ª interface.

Combinando estas equações descritas, são obtidas as seguintes equações:

$$V_{G1} = \Phi_{MS1} - \frac{(Q_{OX1}/C_{OX1}) + (1 + (C_{Si}/C_{OX1}))\Phi_{S1} - (C_{Si}/C_{OX1})\Phi_{S2} - (0,5*Q_{DEPL} + Q_{INV1})}{C_{OX1}} \quad (2.1.9)$$

$$V_{G2} = \Phi_{MS2} - \frac{(Q_{OX2}/C_{OX2}) - (C_{Si}/C_{OX2})\Phi_{S1} + (1 + (C_{Si}/C_{OX2}))\Phi_{S2} - (0,5*Q_{DEPL} + Q_{S2})}{C_{OX2}} \quad (2.1.10)$$

As equações descrevem as relações de cargas entre a 1ª e 2ª interfaces para um dispositivo SOI MOSFET totalmente depletado.

Através destes parâmetros, podem-se analisar os dispositivos através da variação de condição da 2ª interface. A 2ª interface pode estar em Acumulação, Inversão ou Depletada.

Se estiver em acumulação, considera-se que Φ_{S2} é aproximadamente igual a 0V, e a tensão de limiar da 1ª interface com a 2ª interface em acumulação ($V_{th1acc2}$) será:

$$V_{TH1acc2} = \Phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + \frac{(1 + C_{Si})}{C_{OX1}} + 2\Phi_F - \frac{Q_{DEPL}}{2C_{OX1}} \quad (2.1.11)$$

Se estiver em inversão, deve-se considerar que Φ_{S2} será aproximadamente $2\Phi_F$, e Q_{INV} será igual a 0V. A tensão de limiar da 1ª interface com a 2ª interface em inversão ($V_{th1inv2}$), é descrita por:

$$V_{th1inv2} = \Phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}2} + 2\Phi_F - \frac{Q_{DEPL}}{C_{OX1}} \quad (2.1.12)$$

Para este tipo de dispositivo, se ocorrer inversão de canal entre a fonte e o dreno pelo fundo da camada de silício, o dispositivo entra em regime de condução mesmo se $V_{G1} < V_{th1,inv2}$.

Para o caso da 2ª interface depletada, o valor de Φ_{S2} dependerá da tensão de porta da 2ª interface (V_{G2}), estando seu valor entre 0 e $2\Phi_F$.

O valor da tensão de porta da 2ª interface para que entre em regime de acumulação (V_{G2acc}) com a 1ª interface na região de limiar, corresponde a $\Phi_{S1} = 2\Phi_F$, $\Phi_{S2} = 0$, e $Q_{S2} = 0$.

Tem-se também que o valor da tensão de porta da 2ª interface para que entre no regime de inversão (V_{G2inv}), é dada pela mesma equação, onde $\Phi_{S1} = 2\Phi_F$, $\Phi_{S2} = 2\Phi_F$, e $Q_{S2} = 0$.

Quando $V_{G2acc} < V_{G2} < V_{G2inv}$, a tensão de limiar da 1ª interface é obtida pela expressão:

$$V_{th1,depl2} = V_{th1,acc2} - ((C_{SI} * C_{OX2}) / (C_{OX1} * (C_{SI} + C_{OX2}))) * (V_{G2} - V_{G2acc}) \quad (2.1.13)$$

As equações 2.1.11, 2.1.12 e 2.1.13 são válidas para o cálculo da tensão de limiar quando as espessuras das camadas de inversão ou acumulação forem menores que a espessura da camada de silício [29].

Esta relação pode não ser válida nos dispositivos de camada ultrafina, pois a largura das zonas de inversão/ acumulação deve ser subtraída da espessura da camada de silício a fim de se obter uma espessura eficaz do silício. A espessura eficaz é igual à largura eficaz da camada de depleção e substitui t_{si} , na expressão acima. Nas camadas muito finas ($t_{si} < 10\text{nm}$) a interação complexa pode ocorrer entre a 1ª e 2ª interface.

A teoria clássica sobre a tensão de limiar diz que a tensão nos modelos SOI MOSFET totalmente depletados diminui quando a espessura da camada de silício diminui, assumindo que a concentração de dopantes é constante. Devido à redução da carga de depleção, a espessura da camada pode ser diminuída. Quando a espessura da camada é menor que 10nm, a banda de condução se divide em 2 sub-bandas e a energia mínima da banda de condução aumenta, com a espessura de camada diminuindo. Este fenômeno faz com que a tensão de limiar aumente.

2.2.2 INCLINAÇÃO DE SUBLIMIAR

A inclinação de sublimiar é definida como sendo o inverso da inclinação da função $I_{DS}(V_{GS})$ e é expressa por:

$$S = \frac{dV_g}{d(\log I_d)} \quad (2.1.14)$$

A corrente de sublimiar de um dispositivo MOS depende pouco da tensão de dreno, indicando que a corrente no dispositivo é predominantemente de difusão, ou seja, responde melhor ao mecanismo de difusão do que ao mecanismo de deriva. [30,31].

O valor de S é dado em milivolts / década. Este valor é muito importante, pois quanto menor o valor da inclinação, melhor será a relação I_{on}/I_{off} em aplicações digitais. Estudos [32] mostram que temos os valores mínimos para inclinação de sublimiar por volta de 60mV/década para dispositivos totalmente depletados e por volta de 120mV/década para dispositivos parcialmente depletados.

Na região sublimiar, o gráfico típico de $I_d (V_{gs})$ tem o aspecto mostrado na figura 2.5:

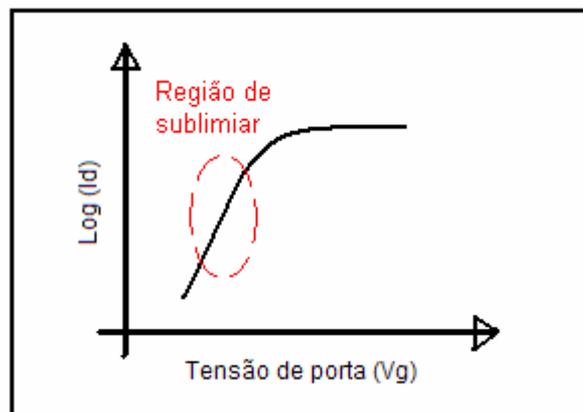


Figura 2.5: Gráfico da inclinação de sublimiar ($\log I_d \times V_g$)

O valor da inclinação de sublimiar pode ser calculado de uma forma genérica por [17]:

$$S = \frac{kT}{q} \times \ln(10) \times n \quad (2.1.15)$$

onde n é dado por:

$$n = \left(1 + \frac{C_d}{C_{ox}} \right) \quad (\text{Transistor MOS convencional e transistor SOI MOSFET parcialmente depletado})$$

$$n = \left(1 + \frac{C_{si} \cdot C_{ox2}}{C_{ox1} (C_{si} + C_{ox2})} \right) \quad (\text{transistor SOI MOSFET totalmente depletado})$$

Pode-se notar que o valor de n varia de acordo com a condição de polarização da segunda interface. Vale a seguinte relação:

$$n_{\text{SOI tot. depletado}} < n_{\text{MOS convencional}} < n_{\text{SOI 2ª interface acumulada}}$$

Ou seja, quanto menor o valor de n, menor será o valor da inclinação de sublimiar (S). Quanto menor o valor de S, mais eficiente e mais rápido é o chaveamento (corte e condução) do transistor.

2.2.3 TRANSCONDUTÂNCIA

A transcondutância (g_m) de um dispositivo MOSFET mede a eficácia da tensão da porta no controle da corrente de dreno.

A transcondutância é maior nos dispositivos SOI totalmente depletados (FD), menor nos dispositivos MOS convencionais e ainda menores nos dispositivos SOI com a 2ª interface acumulada e é dada por (em saturação):

$$g_m = \frac{dI_{ds}}{dV_g} = \frac{\mu_n C_{ox1} W}{(1+\alpha) L} (V_g - V_{th}) \quad (2.1.16)$$

2.2.4 CONDUTÂNCIA DE SAÍDA

A condutância de saída (g_d) é a relação entre a corrente de dreno pela tensão de dreno (I_{ds} / V_{ds}).

No caso do dispositivo SOI, este parâmetro tem valores semelhantes dos de transistores MOS convencionais, mas pode ser melhorado variando a concentração de dopagem do canal (MOSFET GC) [33, 34].

2.3 TRANSISTORES SOI MOSFET DE MÚLTIPLAS PORTAS

Atualmente, os dispositivos MOSFET convencionais de porta única ainda são os mais utilizados no mundo. Mas, com o avanço da tecnologia, com facilidade de processar substratos SOI, bem como com possibilidade de se utilizarem mais portas e isolamento total dielétrica, muitas pesquisas sobre diversos tipos de estruturas tem sido realizadas. Parte destas estruturas propostas são os transistores de portas múltiplas [35, 36].

Há publicações a respeito de transistores MOS de portas múltiplas desde 1984 [37]. Estas publicações mostram principalmente que se pode reduzir significativamente o efeito de canal curto em um dispositivo. O primeiro dispositivo, chamado de XMOS, possuía um bom controle de potencial na camada de silício, por possuir portas no topo e no fundo do transistor interligadas.

A principal melhoria obtida com este dispositivo, comparado ao transistor SOI convencional, é um maior controle da região de depleção do canal, conseguindo assim reduzir alguns efeitos causados pela influência da junção de dreno sobre a depleção. Transistores SOI MOSFET de múltiplas portas vêm sendo os tipos de dispositivos mais estudados e tem uma grande evolução, como mostrado na figura 2.6 [17]:

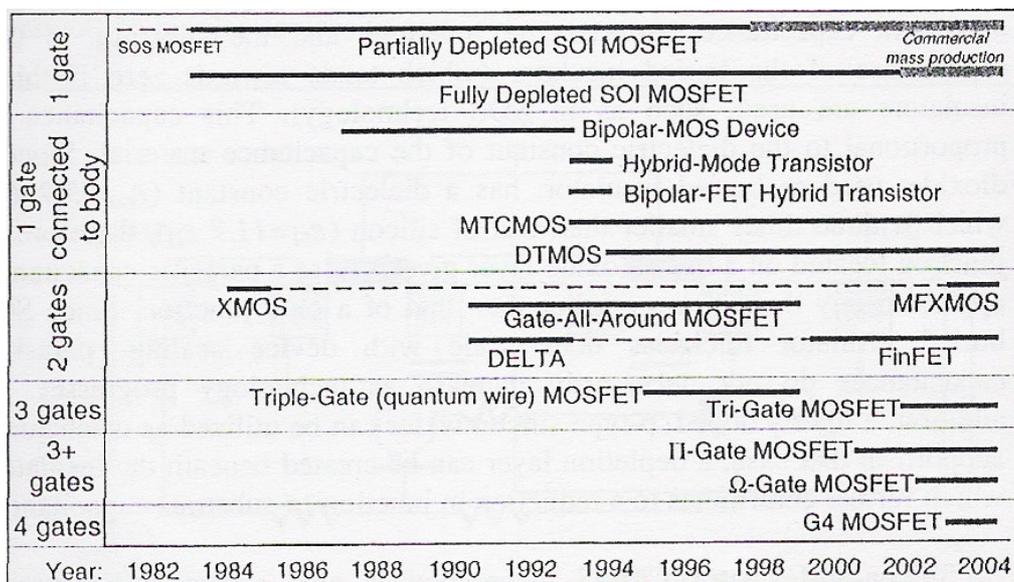


Figura 2.6: Evolução dos dispositivos de Múltiplas Portas
(Figura integralmente extraída de [17])

2.3.1 PORTA DUPLA

O transistor de Porta Dupla pode consistir basicamente em um dispositivo SOI com uma porta na região de topo e outra porta na região inferior do canal do dispositivo. Desta maneira, através das duas portas, é possível um maior controle da região do canal, já que a mesma sofrerá influências simultâneas das duas portas [17,38].

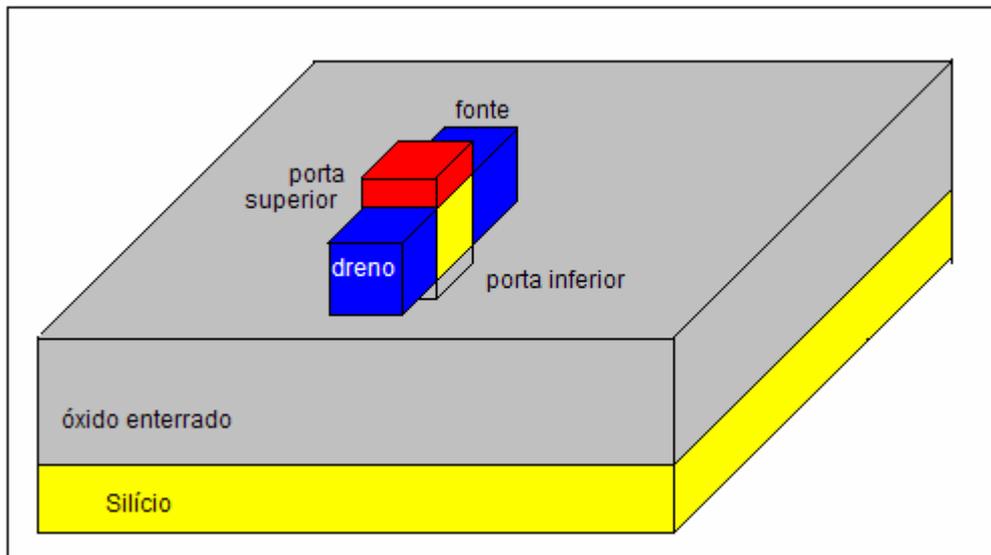


Figura 2.7: Dispositivo SOI MOSFET Porta Dupla

O MOSFET de porta dupla sofre menos influência dos efeitos causados pela região de depleção de fonte e dreno (efeito de canal curto). Com o efeito de canal curto reduzido, parte das linhas de campo da região de fonte e dreno são impedidas de alcançar a região do canal.

Esta redução é fundamental, pois o efeito de canal curto pode reduzir a tensão de limiar do SOI MOSFET. Além disso, a estrutura de porta dupla consegue apresentar uma melhoria no resultado da inclinação de sublimiar e, pelo fato de possuir dois canais, ocorre um aumento de condução de corrente.

O primeiro SOI MOSFET de porta dupla a ser fabricado foi o DELTA [39] (Fully Depleted Lean Channel Transistor - Transistor de canal estreito totalmente depletado) em 1989. O transistor Delta possui a camada de silício na posição vertical do

dispositivo (mesmo princípio de estrutura que o transistor FINFET que será descrito no item 2.3.4).

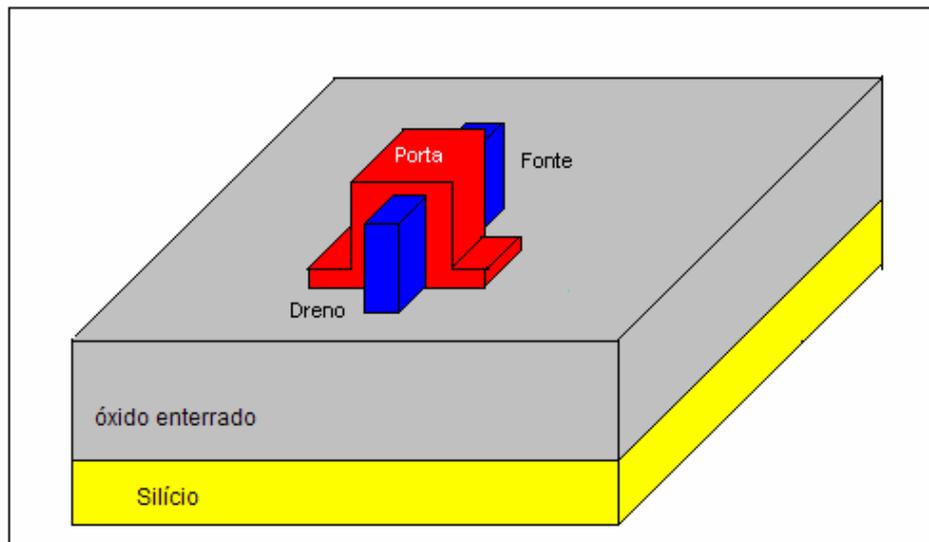


Figura 2.8: Dispositivo SOI MOSFET DELTA

Em 1990 foi implementado um dispositivo chamado o GAA (gate all around) que consiste em um dispositivo que possui porta ao redor do canal. O modelo GAA já possuía uma característica diferente dos modelos até então apresentados: o seu canal possui um formato na horizontal, ao contrário, por exemplo, do modelo DELTA que possuía o canal na posição vertical [40]. A figura 2.9 mostra esquematicamente o corte longitudinal do modelo de dispositivo GAA.

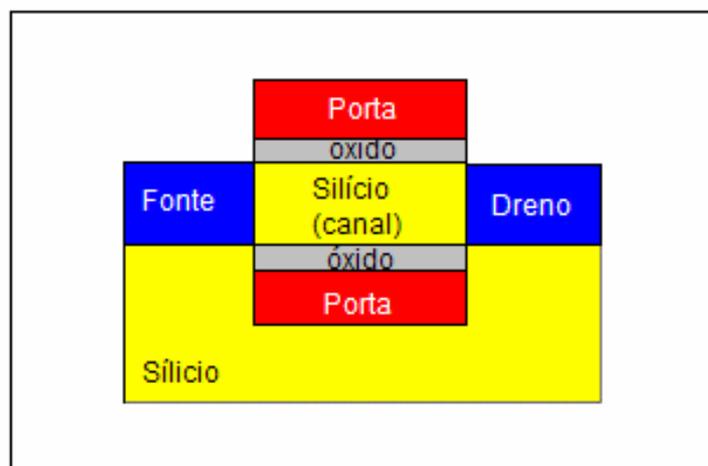


Figura 2.9: Corte longitudinal do dispositivo SOI MOSFET GAA (Gate all around)

2.3.2 PORTA TRIPLA

Outra variação de dispositivos de múltiplas portas é o dispositivo SOI MOSFET Porta Tripla.

Este modelo consiste em uma estrutura de silício com uma fina camada de óxido e porta por seus 3 lados, como mostrado no corte transversal da figura 2.10.

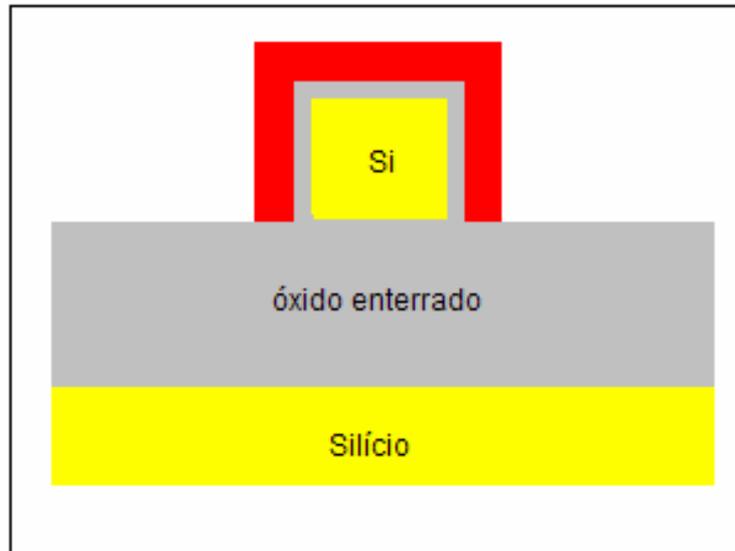


Figura 2.10: Corte transversal do dispositivo SOI MOSFET Porta Tripla

Os MOSFETs de porta tripla apresentam melhores resultados em termos de controle de corrente e efeitos de canal curto que os modelos convencionais e os dispositivos de porta Dupla [17].

2.3.3 PI GATE E OMEGA GATE

O MOSFET de porta tripla ainda apresenta mais duas versões: o π -gate e o Ω -gate. Estes dispositivos apresentam propriedades elétricas que ficam entre os dispositivos de porta tripla e os dispositivos de porta quádrupla. Por isso também são chamados de dispositivos de porta “triple-plus” (3+) ou FETs de múltiplas portas (MuGFETs) [17].

O dispositivo Pi-Gate é uma extensão do modelo de dispositivo de porta tripla. Este dispositivo consiste em uma pequena extensão da porta enterrada no óxido, conforme mostrado na figura abaixo:

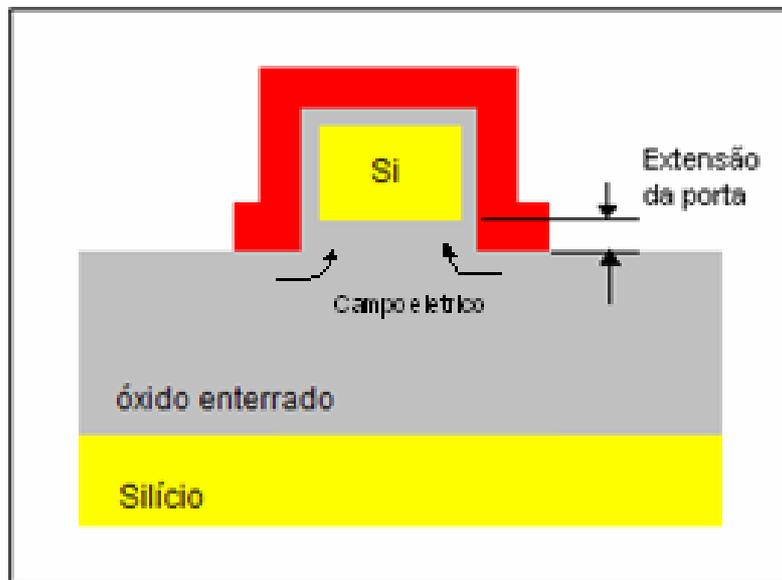


Figura 2.11: Corte transversal do dispositivo SOI MOSFET “Pi” Gate

A grande vantagem de apresentar extensões da porta no óxido enterrado se deve ao fato de estas extensões criarem um campo que se sobrepõe às linhas de campo elétrico induzido pelo dreno, na parte inferior da região ativa.

Tanto para o modelo Pi-gate quanto para o modelo Omega-Gate, criar extensões de porta no óxido enterrado, apesar de apresentar um resultado melhor, pode ser pouco prático dependendo da profundidade das mesmas no óxido enterrado. Observa-se também que a efetividade do controle da região do canal e do bloqueio das linhas de campo elétrico induzidas pelo dreno só ocorrerá se a largura do dispositivo for suficientemente pequena [17].

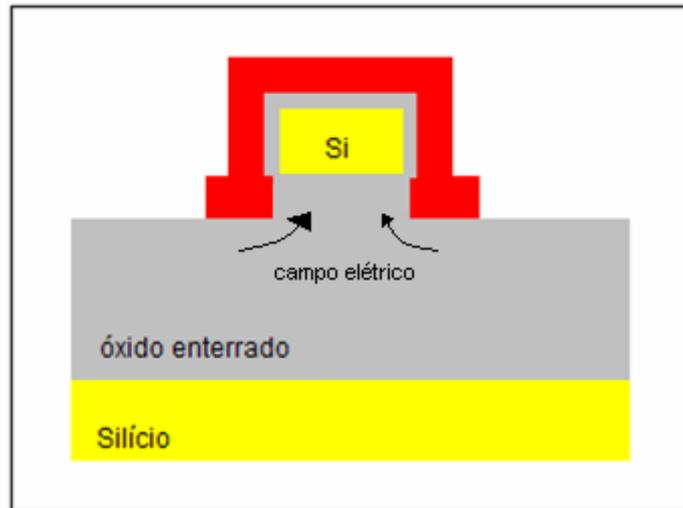


Figura 2.12: Corte transversal do dispositivo SOI MOSFET “Omega” Gate

Estudos mostram que a eficiência dos dispositivos de múltiplas portas depende diretamente das dimensões físicas do mesmo. Um exemplo é o modelo de Porta Tripla que por ter a presença de mais de uma porta ao redor do canal (portas estas que também podem apresentar extensões), faz com que o canal sofra menos influências externas (das regiões de fonte e dreno) e um maior controle das portas. Desta forma, a presença de múltiplas portas alteram parâmetros elétricos do dispositivo como, por exemplo, a tensão de limiar [41].

Os modelos Porta Tripla, Tripla Plus e Quádrupla oferecem alta corrente com efeito de canal curto reduzido. Eles apresentam uma interface não planar porta/silício e há formação de cantos na junção dos planos de portas como mostra a figura 2.13. Isso causa variação de distribuição de campo elétrico e do potencial entre o canto, a lateral e o topo das interfaces Si-SiO₂, o que pode causar mudanças nas características elétricas do transistor. Este efeito chama-se efeito de canto e sua intensidade depende de fatores geométricos e do nível de dopagem do silício [42].

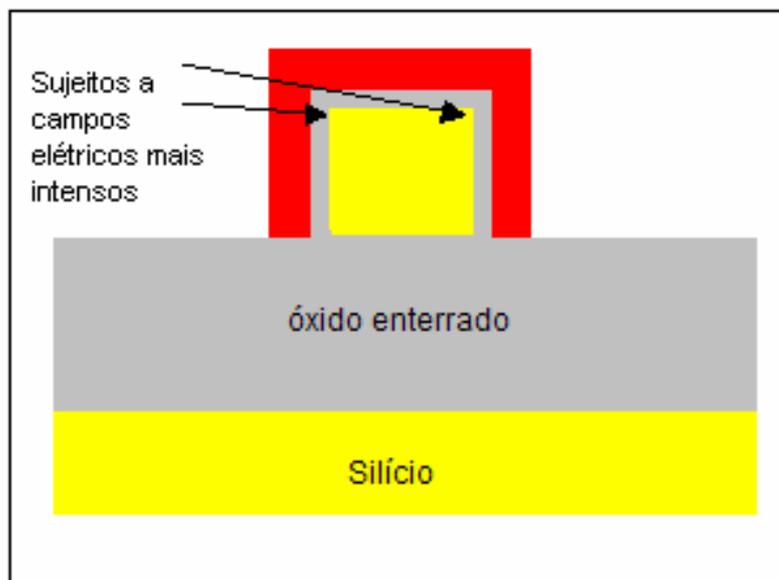


Figura 2.13: Transistor de Porta Tripla

2.3.4 FINFET

Com a redução do comprimento dos MOSFETs, as estruturas de múltiplas portas se tornaram boas opções para a continuidade do processo de evolução dos dispositivos MOSFET. E dentre estes modelos, o dispositivo FinFET é um dos dispositivos que atualmente apresentam um maior potencial de desenvolvimento [43,44], pela possibilidade de sua construção em processos não muito diferentes dos processos SOI convencionais.

Baseado no projeto do transistor de porta dupla DELTA, o FinFET foi um dispositivo gerado na Universidade da Califórnia que consiste em um transistor de porta dupla ou tripla não planar, sobre um substrato SOI.

Este dispositivo possui um canal de condução envolvido por uma camada de óxido e polissilício em uma forma de aleta (fin) [43], conforme figura 2.14.

O FinFET também pode ser projetado como um modelo de duas ou três portas, dependendo da espessura do óxido superior. Se for muito espesso, há pouca influência da porta superior e o dispositivo é considerado de porta dupla.

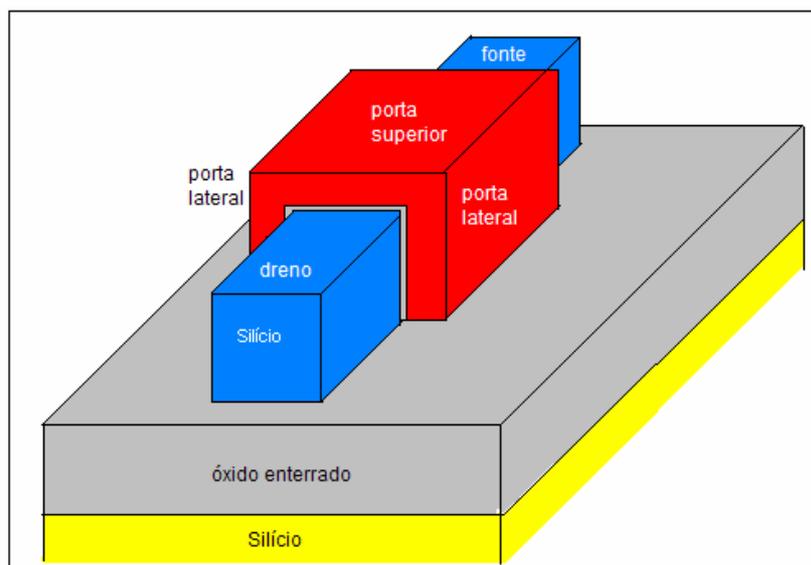


Figura 2.14: Dispositivo SOI MOSFET FinFET

2.3.5 CARACTERÍSTICAS PARTICULARES DOS TRANSISTORES DE MÚLTIPLAS PORTAS

Ao contrário dos dispositivos MOSFETs planares, as portas dos transistores de múltiplas portas não são sempre horizontais [45]. Em FinFETs e em dispositivos de porta tripla, como os estudados no presente trabalho, a geometria dos transistores inclui portas horizontais e verticais. Do ponto de vista da eletrostática do dispositivo, o cálculo das capacitâncias, em especial do C_{si} , que envolve as cargas do filme de silício é mais complexa, tornando também mais complexa a análise de parâmetros como tensão de limiar, transcondutância e inclinação de sublimiar. Não existem equações analíticas completas que considerem estas variações para definição de parâmetros. Há sim, alguns modelos analíticos para dispositivos de portas duplas e triplas, mas que fazem restrições sérias, que limitam a aplicabilidade dos modelos a casos particulares [46]. Também por ser vertical, o plano do canal pode ter orientação cristalina diferente daquela de superfície original da lâmina. A diferença de orientação tem como conseqüências primárias a redução da mobilidade e o aumento da espessura do óxido.

3 SIMULAÇÃO NUMÉRICA

Os resultados obtidos neste trabalho foram baseados em simulações realizadas em simulador bidimensional e tridimensional. A seguir, é descrita a forma como foi utilizado o Simulador Atlas [47], nos dois casos.

O simulador Atlas é conta com as seguintes ferramentas de suporte: Deckbuild, Tonyplot, Tonyplot 3D e Devedit.

Deckbuild é uma plataforma utilizada para a interface entre a estrutura criada, o simulador e os dados de entrada e saída. No Deckbuild é possível controlar o processo de simulação e verificar todo o histórico da simulação realizada;

Devedit é uma ferramenta utilizada para a criação da estrutura a ser simulada. No Devedit define-se a matriz de pontos, o tamanho do dispositivo e as suas características e materiais. No Devedit 3D podem-se criar algumas estruturas tridimensionais;

TonyPlot é uma ferramenta de visualização dos dispositivos. Após a estrutura criada ser simulada, no Tonyplot pode-se verificar a estrutura, a sua matriz de pontos, visualizar graficamente os resultados e contornos do dispositivo. **TonyPlot 3D** é uma versão tridimensional do TonyPlot. Nesta versão pode-se verificar a estrutura em 3D ou escolher qual o corte (longitudinal, transversal ou oblíquo) que se deseja visualizar em 2D e exportá-lo ao TonyPlot.

3.1 EDITOR DE ESTRUTURAS

O editor DEVEDIT é uma ferramenta gráfica para ser utilizada na elaboração de estruturas 2D e 3D, incluindo a definição da grade de simulação.

Neste trabalho foi utilizado o editor DEVEDIT para a criação da estrutura tridimensional do dispositivo de Porta Tripla.

3.1.1 CRIAÇÃO DA ESTRUTURA DA PORTA TRIPLA NO DEVEDIT

Para criar o arquivo de estrutura do dispositivo de Porta Tripla, foi escolhido o modo de comando por texto para as definições de dimensionamento. Esta tarefa poderia ser realizada diretamente no Devedit 3D, mas como uma mesma estrutura será utilizada como padrão para vários modelos, preferiu-se utilizar o Devedit no modo descritivo e parametrizar as dimensões a serem alteradas de um modelo para outro. A seguir apresenta-se um exemplo para a criação da região do corpo da estrutura:

```
region reg=1 name=body mat=Silicon color=0xffcc00 pattern=0x4 z1=0.010 z2=0.210 \  
  polygon="-0.025,0 0.025,0 0.025,0.050 -0.025,0.050"
```

Nestas linhas de comando são definidos os seguintes parâmetros:

Region reg=n – Definição de região na estrutura, onde n é um número inteiro;

Mat=Silicon – Definição do tipo de material utilizado na estrutura (no exemplo, silício);

Color=xxxxxxx – Pode-se definir a cor com que a região irá aparecer quando utilizado um programa de visualização da estrutura;

Pattern=xxx – Pode-se definir o padrão da região que irá aparecer quando utilizado um programa de visualização da estrutura;

z1, z2 – Quando se trabalha com uma estrutura em 3D os sólidos são sempre criados por extrusão de uma figura bidimensional. Portanto, é necessária a definição dos limites no eixo Z através dos pontos z1 e z2;

Polygon= - As estruturas tridimensionais do ATLAS são formadas por regiões em forma de prismas retos, definidos por polígonos quaisquer. Neste comando, são relacionados as coordenadas das vértices dos polígonos, através das coordenadas x e y.

Estes parâmetros devem ser utilizados para definição das regiões de porta, óxido, corpo, fonte, dreno e eletrodos.

Nas estruturas dos Dispositivos de Porta Tripla utilizados neste trabalho, foram determinados eletrodos nas regiões do substrato, da fonte, do dreno e da porta.

Após o dimensionamento da estrutura, é necessário criar uma grade de pontos que será utilizada para cálculos e determinação de parâmetros quando utilizado o simulador ATLAS.

A grade foi elaborada utilizando comandos do tipo (para os planos X e Y):

```
constr.mesh id=1 x1=-0.025 y1=0 x2=0.025 y2=0.050 default max.height=0.004  
max.width=0.004
```

onde:

Constr.mesh – comando utilizado para a construção de uma grade;

Id=N – parâmetro utilizado para a identificação da grade, onde N é um número natural seqüencial;

x1, x2, y1, y2 – estes parâmetros representam as coordenadas dos quatros pontos extremos da grade no plano XY;

default – indica o padrão da estrutura da grade;

Max.height – este comando indica a distância máxima entre as linhas da grade no Plano Y. No nosso exemplo, com um Max.height = 0.004, significa que os espaçamentos entre as linhas serão de, no máximo, 0.004 μm .

Max.width – assim como o Max.height, este comando serve também para indicar o valor máximo do espaçamento entre as linhas da grade, mas no eixo X.

Além destes parâmetros, devem ser determinados também os parâmetros referentes ao eixo Z:

```
z.plane z= 0.0000 spacing=0.1  
z.plane z= 0.0010 spacing=0.1
```

onde:

z.plane – define que a grade será elaborada no plano Z;

z= - define a coordenada do ponto no eixo Z;

spacing – define o distanciamento máximo entre as linhas na grade no plano Z

3.2 SIMULADOR ATLAS

O Simulador ATLAS é um programa utilizado para simulações de dispositivos semicondutores bidimensionais ou tridimensionais. O Atlas simula o comportamento das características elétricas, baseado nas equações diferenciais de Maxwell.

Para a realização desta simulação, o Atlas utiliza os pontos da grade criada anteriormente. Cada um destes pontos é chamado de nó e sobre eles são realizadas as análises de comportamento elétrico. A coleção de nós aproxima o comportamento contínuo previsto nos modelos. Portanto, quanto mais nós houver na grade, maior a probabilidade de convergência da simulação [47]. Por outro lado, quanto maior a quantidade de nós, maior o tempo de cálculo e, conseqüentemente, maior o tempo de simulação.

3.2.1 UTILIZAÇÃO DO SIMULADOR ATLAS

Para utilizar o Atlas, é necessário primeiramente definir a estrutura que será simulada e a sua grade de pontos. Neste trabalho, esta estrutura e sua grade foram definidas utilizando a ferramenta DEVEDIT 3D.

O segundo passo é a determinação das dopagens nas regiões que foram criadas na nossa estrutura (fonte, dreno, corpo, portas) através da seguinte linha de comando:

```
doping    uniform conc=1e21 n.type reg=2
```

onde:

doping – é a instrução utilizada para indicar a dopagem da estrutura;
uniform – indica que a dopagem será uniforme ao longo da estrutura;
conc – representa o valor da concentração de dopantes na estrutura (no exemplo temos 1×10^{21});
n.type – representa o tipo do dopante. No exemplo, n.type representa que a estrutura é do tipo N;
reg – identifica qual região que terá estas características de dopagem. O número do Reg está relacionado com o número do ID utilizado para identificação no DEVEDIT 3D.

Deve-se também definir a carga de interface em cada interface Si/SiO₂.

```
interf    qf=3e10 region=4
```

Outro dado importante que precisa ser definido no dispositivo é o tipo de contato da porta. Este parâmetro é definido na estrutura com o seguinte comando:

```
contact    name=gate material,
```

onde o material indica de qual material é composto o contato. Alternativamente, pode-se indicar a função de trabalho do material.

3.2.2 MODELOS UTILIZADOS NA SIMULAÇÃO

Cada modelo possui uma característica diferente e a combinação de vários modelos pode resultar em maior precisão do dispositivo simulado [48]. Em contrapartida, o uso de modelos desnecessários pode aumentar o tempo de simulação.

Os modelos descritos abaixo foram escolhidos para a caracterização dos Dispositivos de Porta Tripla:

FERMI – Especifica o modelo de Fermi. Modelo de estatística para portadores com concentração reduzida, em regiões fortemente dopadas.

SRH – Especifica o modelo de Shockley-Read-Hall. Modelo de recombinação de portadores, onde o tempo de vida dos portadores minoritários é fixado.

CONMOB - Modelo de mobilidade que prevê a relação de dependência entre a mobilidade e a concentração de dopantes. Utilizado sempre em temperaturas de 300K para estruturas de silício (Si) e arseneto de gálio (GaAs).

NI.FERMI – Inclui o efeito de Fermi estatístico do cálculo da concentração intrínseca das expressões de recombinação SRH

EVSATMOD=0 – especifica que o modelo de mobilidade dependente do campo paralelo precisa ser utilizado para elétrons.

FLDMOB – (Parallel Electric Field Dependence) - Dependência do Campo Elétrico Longitudinal. Modelo de mobilidade utilizado em estruturas de silício (Si) e arseneto de gálio (GaAs). Requerido na modelagem do efeito da velocidade de saturação.

IMPACT SELB – (Modelo de Selberherr). Modelo de ionização por impacto dependente do campo elétrico horizontal em um determinado ponto da estrutura. Inclui parâmetros dependentes da temperatura.

AUGER – Modelo de recombinação que relaciona a transição direta de três partículas, onde um portador é capturado ou emitido. Utilizado em altas densidades de correntes.

BGN – (Band Gapping Narrowing) – (Estreitamento da Faixa Plana). Modelo de estatística para portadores, utilizado para regiões altamente dopadas

CONSRH – Modelo de recombinação de portadores que determina o tempo de vida dos portadores como função da concentração de dopantes.

SHI (Shirahata) – Modelo de mobilidade que leva em conta efeitos na camada de inversão, bem como dependência do campo perpendicular para espessuras finas de óxidos.

KLA (Klassen) – Modelo de mobilidade. Recomendado para simulações bipolares precisas. Inclui dopagem, temperatura e dependência de portadora.

3.3 EXTRAÇÃO DE PARÂMETROS

Realizar a extração dos parâmetros é fundamental para a caracterização de um dispositivo, pois desta forma, pode-se interpretar mais facilmente o funcionamento do transistor. A seguir, são descritas as técnicas utilizadas neste trabalho para obtenção dos parâmetros tensão de limiar, inclinação de sublimiar e transcondutância.

3.3.1 TENSÃO DE LIMIAR

Existem várias maneiras de se extrair o valor da tensão de limiar. A seguir, uma descrição de alguns dos métodos mais usuais de obtenção da tensão de limiar:

Extrapolação da curva $I_d \times V_g$

Neste método, obtém-se a curva $I_d \times V_g$ e é realizada uma tangente à curva na região de inflexão, como mostrado abaixo:

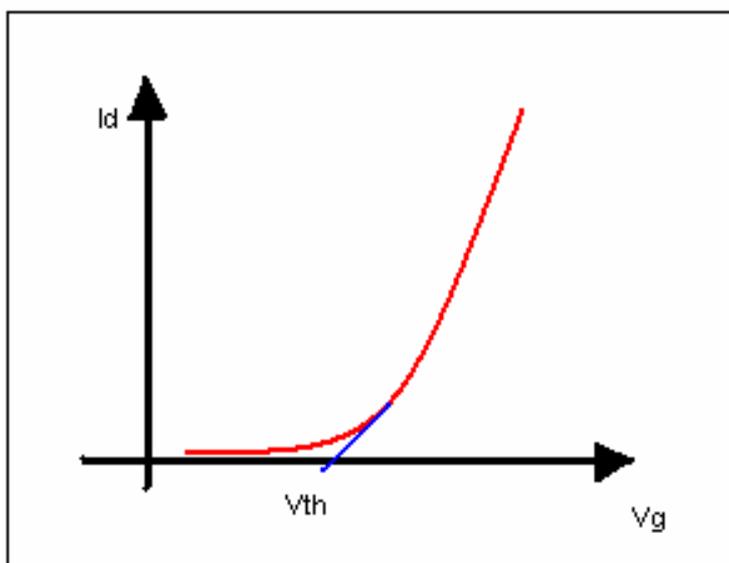


Figura 3.1: Curva $I_d \times V_g$ com extrapolação de V_{th}

A tangente deve ser alongada até cruzar o eixo X (V_g). O ponto onde a tangente cruzar o eixo X corresponde ao valor da tensão de limiar [48, 49].

Método da segunda derivada

Para o método da segunda derivada, é necessário que se obtenha primeiramente o gráfico $I_d \times V_g$. Calcula-se a seguir uma estimativa da segunda derivada da função $I_{ds}(V_{gs})$, a partir dos dados de simulação.

Ao obter a curva da segunda derivada de $I_d \times V_g$, o valor de V_{th} é obtido no pico da curva. Se comparado com a extrapolação da curva $I_d \times V_g$, este método apresenta melhores resultados. [50].

Por ser mais preciso e apresentando melhores resultados, este método foi o escolhido para determinar os valores de V_{th} neste trabalho.

3.3.2 INCLINAÇÃO DE SUBLIMIAR

Dentre os métodos utilizados para extrair o valor da inclinação de sublimiar, os dois métodos mais utilizados são pelo método da extração pela curva $\log I_d \times V_g$ e pelo método da derivada da curva de $I_d \times V_g$.

Método da extração pela curva $I_d \times V_g$

Obtém-se a curva $I_d \times V_g$ e em seguida calcula-se o log do eixo Y (I_d). Desta forma, obtém-se o gráfico $\log(I_d) \times V_g$, conforme mostrado abaixo:

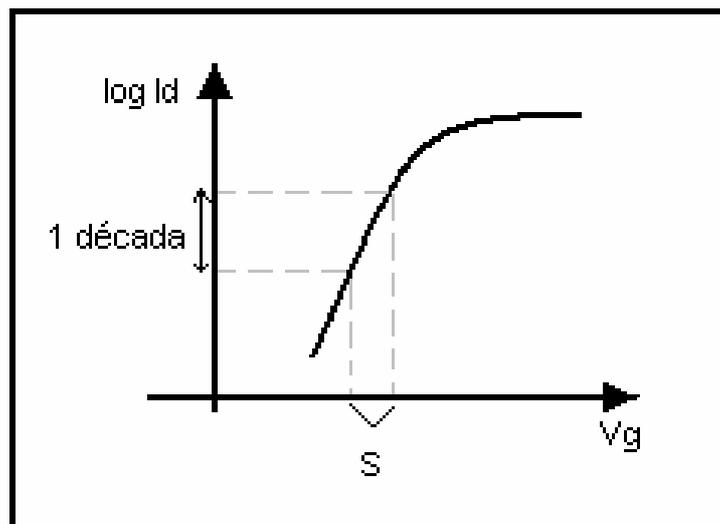


Figura 3.2: Curva Log (I_d) x V_g para obtenção da inclinação sublimiar (S)

Utilizando o deslocamento em uma década no eixo Y, obtém-se um intervalo no eixo X. Este valor é o valor da inclinação de sublimiar medido para o intervalo. Esta medida é expressa em mV/Década.

Método da derivada da curva $I_d \times V_g$

Neste método, é necessário obter a curva $\log(I_d) \times V_g$ e estimar sua derivada ponto a ponto determinando assim a nova curva $d\log(I_d) \times dV_g$. Feito isso, o valor de S será o valor do pico inferior da curva e, ao contrário do resultante no método anterior, esta inclinação de sublimiar é uma função de ponto.

O método da derivada, assim como na extração da tensão de limiar, apresenta um resultado melhor [48] e por este motivo foi utilizado para a determinação das inclinações sublimiarias neste trabalho.

3.3.3 TRANSCONDUTÂNCIA

O método utilizado para a obtenção do valor da transcondutância é o método da estimação da derivada da curva $I_d \times V_g$.

Para isto, é necessário primeiramente obter a curva $I_d \times V_g$. O passo seguinte é estimar a derivada desta curva a partir dos dados de simulação. O valor da transcondutância máxima é o valor de pico obtido da derivada da curva $I_d \times V_g$. Este valor é medido em S (Siemens).

Para eliminar a dependência em relação à largura do canal, neste trabalho, o valor da transcondutância foi normalizado em função da largura efetiva do canal. Esta largura efetiva é obtida pela soma das larguras da porta (perímetro das larguras). Desta forma, o valor obtido será expresso em S/m.

Para o cálculo do perímetro, é necessário o cálculo da largura real das paredes laterais que estão inclinadas. Desta forma, o cálculo do perímetro é dado por:

$$\text{Perímetro total} = P1 + P2 + P3 \quad (3.3.1)$$

Onde $P1$ e $P3$ são as larguras das portas laterais e $P2$ é a largura da porta superior do transistor, conforme mostrado na figura 3.3.

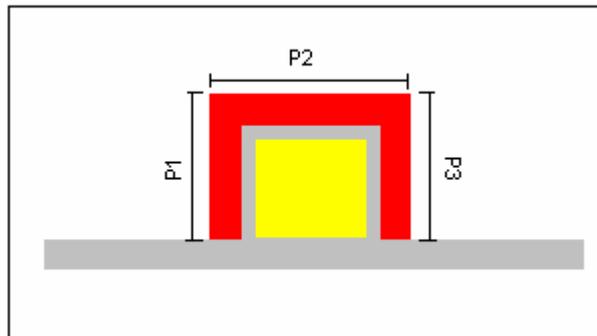


Figura 3.3: Transistor de Porta Tripla (Perímetro)

Caso as paredes laterais apresentarem angulações (figura 3.4), o perímetro deve ser calculado utilizando a expressão 3.3.2:

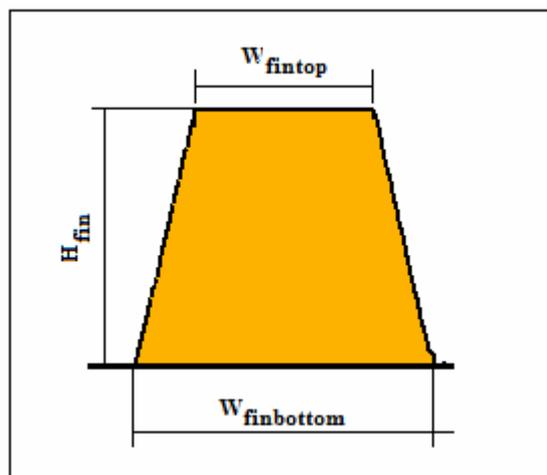


Figura 3.4: Dispositivo de Porta Tripla com paredes anguladas

$$\text{Perímetro total} = [2 * \sqrt{(H_{fin}^2 + |W_{finbottom} - W_{fintop}|^2)}] + W_{fintop} \quad (3.2.2)$$

Como exemplo para este cálculo, foi considerado que as paredes laterais formam um triângulo retângulo e foi calculada a hipotenusa deste triângulo (Figura 3.5). Tendo o valor da hipotenusa (que corresponde ao valor da largura das portas laterais), este é duplicado e somado com o valor da largura da porta superior do transistor.

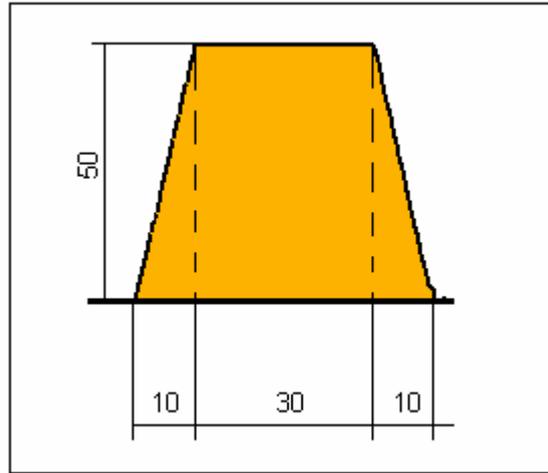


Figura 3.5: Cotas para um transistor de $W_{\text{fintop}} = 30\text{nm}$

4 MODELOS PARA REPRESENTAÇÃO E MODELAGEM DE CONFINAMENTO QUÂNTICO

Com o avanço tecnológico, cada vez mais os dispositivos estão tendo as suas dimensões reduzidas. Conseqüentemente, novos modelos estão sendo estudados para a verificação da sua viabilidade e das possibilidades de utilização.

Até recentemente, os modelos utilizados para análise e simulação de dispositivos eletrônicos eram baseados na Física clássica. Mas, a partir de certa escala de redução dimensional, da ordem de alguns nanômetros a cerca de 20 nm, alguns aspectos e efeitos começaram a ter uma maior relevância. Um dos principais é o efeito de confinamento quântico.

A Mecânica Quântica é a parte da Física que estuda o estado de sistemas onde não valem os conceitos usuais da mecânica clássica, tais como os de trajetória e o de distinguibilidade de partículas idênticas. Usualmente estuda o movimento de partículas muito pequenas, ou seja, em nível subatômico. [51,52]

Desta maneira, os simuladores começaram a evoluir, passando de simuladores que utilizavam apenas a Física clássica para simuladores adicionados com modelos de física quântica, para consideração de efeitos de confinamento.

Neste capítulo são avaliados três modelos que podem ser utilizados na simulação com Atlas dos dispositivos: modelo de Física Clássica, BQP e Schrodinger-Poisson, em dispositivos de largura de Fin de 30 a 70 nm.

4.1 Descrição dos modelos

4.1.1 Modelo de Física Clássica

O modelo de Física Clássica tem as suas equações baseadas na equação de Poisson e na continuidade de corrente. Pela sua simplicidade, e por ter sido implementado há mais tempo, é o mais utilizado em simulações. A equação de Poisson descreve o potencial eletrostático em função de uma densidade de carga espacial.

$$\text{div}(\epsilon \nabla \psi) = -\rho \quad (4.1.1)$$

onde ϵ é a permissividade local, ψ é o potencial eletrostático e ρ é a densidade de carga espacial local.

Existem várias maneiras de se definir o potencial de referência. Para o simulador ATLAS, este potencial é sempre o potencial intrínseco de Fermi. A densidade de carga do espaço representa a soma de cargas incluindo elétrons, lacunas e impurezas ionizadas [47].

4.1.2 O problema do Poço de Potencial em Transistores de Múltiplas Portas

Transistores de Múltiplas Portas podem recair na situação de eletrostática mostrada na figura 4.1

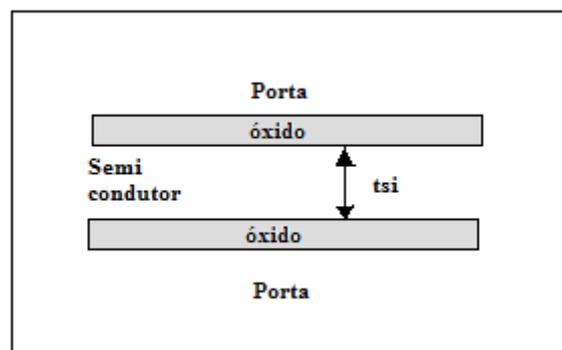


Figura 4.1: Dispositivo de Porta Dupla

As portas podem ser consideradas como planos de potencial fixo e de amplitude considerável. Se o valor da espessura do filme de silício for da ordem de nanômetros ou algumas dezenas de nanômetros, configura-se uma situação de condições de contorno, para localização de partículas que pode ser modelada pelo problema clássico do poço de

potencial ou confinamento quântico. Neste caso, a distribuição dos portadores no filme é melhor descrito pela distribuição de probabilidades derivada da solução da equação de Schrodinger associada à equação de Poisson, do que pela distribuição constante associada à equação de Poisson.

Se assumirmos uma partícula presa no poço com potencial $V(x)$ zero, com exceção dos pontos 0 e L , com potencial infinito, conforme mostrado na figura 4.2a [53], ou seja, se:

$$V(x)=0, 0<x<L$$

$$V(x)= \infty, x=0,L$$

Então a função de onda de uma partícula confinada é solução da equação diferencial 4.1.2 [53]:

$$\frac{d^2 \psi(x)}{dx^2} + \frac{2m}{\hbar^2} E \psi(x) = 0 \quad 0 < x < L \quad (4.1.2)$$

Onde ψ é a função de onda, E é a energia da partícula, m é a massa do elétron e \hbar é a constante de Planck (6.63×10^{-34} J-s)

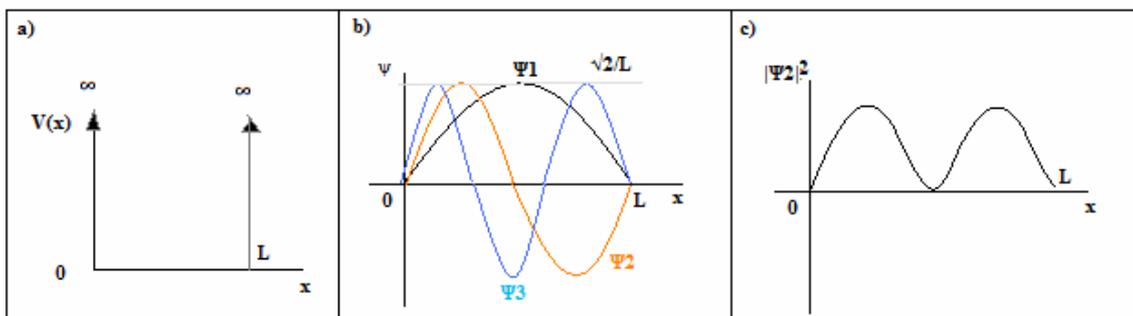


Figura 4.2: Problema da partícula no poço de potencial: (a) diagrama de potencial de energia, (b) funções de onda nos três primeiros estados quânticos, (c) probabilidade de densidade distribuída para o segundo estado

As soluções possíveis para a equação 4.1.2 são seno e cosseno de kx , onde k é $\sqrt{2mE}/\hbar$ (esta solução deve-se levar em consideração os extremos). O valor de ψ permitido nas paredes é zero. Caso contrário, haveria um potencial não nulo fora do poço, o que é impossível porque uma partícula não pode penetrar uma barreira infinita. Portanto deve-se escolher apenas uma solução e definir k como seno de kx de zero até $x=L$.

$$\Psi = A \cdot \sin kx, \quad k = \sqrt{2mE}/\hbar \quad (4.1.3)$$

Onde A é a amplitude da função da onda.

Se Ψ pode ser de zero até $x=L$, então k precisa ser algum múltiplo de π/L

$$k = n\pi/L, \quad n = 1, 2, 3, \dots \quad (4.1.4)$$

Desta forma, para cada valor de n o nível de energia das partículas é descrito na equação 4.1.5. O número inteiro n é chamado de número quântico.

$$E_n = \frac{n^2 \pi^2 \hbar^2}{2mL^2} \quad (4.1.5)$$

O nível de energia quântica descrito nesta equação aparece em uma variedade de estruturas de geometrias pequenas encontradas em modelos de semicondutores [53].

A figura 4.2b mostra soluções para a equação de Schrodinger denominadas funções de onda. As formas de onda de menor ordem (valor de n menor na equação 4.1.5) representam as partículas com menor energia.

A figura 4.2c representa o quadrado da função de onda e é denominada densidade de probabilidade. Esta curva representa qual a probabilidade de localização da partícula em relação à largura do corpo.

Os resultados apresentados no Capítulo 5 representarão a distribuição de portadores ao longo de cortes na seção transversal e será possível notar a presença das funções de onda de menor ordem, soluções da equação de Schrodinger.

4.1.3 Modelo de Schrodinger-Poisson

O modelo de Schrodinger é um modelo mais complexo que utiliza a Física Quântica na sua estrutura. Com a equação de Schrodinger, é possível obter uma descrição da densidade de probabilidade da presença de partículas em um poço de potencial com confinamento.

Parâmetros como concentração de elétrons e tensão de limiar, em uma estrutura sob presença de confinamento quântico podem ser obtidas através da resolução destas equações.

O modelo de Schrodinger-Poisson é uma junção dos modelos de Schrodinger e Poisson. Este modelo utiliza a equação de Schrodinger em conjunto com as equações do modelo de Poisson.

O modelo de Schrodinger-Poisson implementado no ATLAS trabalha apenas com a distribuição de carga, não trabalhando com corrente de fonte e dreno [47]. Serve, portanto, como referência de calibração eletrostática para os modelos dinâmicos.

4.1.4 Modelo de Bohm Quantum Potential (BQP)

O modelo Schrodinger implementado no ATLAS realiza apenas análise eletrostática pois o equacionamento completo é complexo e não se conseguiu até o momento nenhuma solução de convergência rápida. Há algumas alternativas simplificadas, no entanto. Entre elas o modelo BQP.

O modelo Bohm Quantum Potential (BQP) foi desenvolvido e implementado pela Universidade de Pisa em conjunto com a empresa SILVACO para o simulador Atlas. O modelo BQP apresenta duas características muito importantes: uma boa convergência e uma boa qualidade nos resultados, já que é calibrado em relação ao modelo Schrodinger-Poisson [38, 47, 54, 55].

Este modelo possui uma dependência do Potencial Quântico relacionado à Energia Potencial. Este Potencial Quântico é derivado através da interpretação de Bohm para Mecânica Quântica [48].

O método BQP (Bohm Quantum Potential) pode ser usado para balanço de energia e modelos hidrodinâmicos onde o potencial semiclássico é substituído por um potencial quântico de tal forma que se mantenha a continuidade da equação.

Um esquema de interatividade é utilizado para soluções de equações BQP não lineares para que haja um ajuste às equações semiclássicas. Assim que uma solução é obtida, a equação BQP é resolvida por uma interação de Gummel, tendo um valor de Q para cada nó da grade do dispositivo. O potencial semiclássico é ajustado para as equações semiclássicas e estas são solucionadas utilizando uma convergência usual (através da interatividade de Newton ou Block). Feito isso, a equação do BQP é solucionada para uma convergência e o processo é repetido várias vezes, até se encontrar uma solução consistente entre as duas equações [47].

4.1.5 Calibração do modelo BQP

Para que possa ser utilizado um dispositivo com o modelo BQP, o simulador precisa ser calibrado de tal forma que se obtenha um resultado próximo ao de algum modelo de referência. Uma forma de realizar esta calibração é realizando uma comparação entre um dispositivo simulado com o modelo BQP e um dispositivo igual ajustado com o modelo de Schrodinger-Poisson.

No simulador Atlas, o modelo BQP apresenta na sua estrutura duas variáveis denominadas alpha e gamma que devem ter seus valores ajustados para a calibração. Para poder iniciar a calibração, devemos utilizar duas estruturas idênticas e alterar apenas o modelo entre elas. A primeira utilizará o modelo Schrodinger-Poisson e a segunda utilizará o modelo BQP. Alterando os valores de alpha e gamma no modelo BQP, o modelo só estará calibrado quando o seu resultado (que no trabalho será analisado por uma curva concentração de elétrons x largura do canal do dispositivo) for suficientemente próximo. Como medida de proximidade foi utilizado o erro quadrático médio [47] da concentração de portadores.

4.1.6 Comparação entre o modelo de BQP e o modelo Schrodinger-Poisson

Pode-se realizar uma comparação entre o modelo BQP com o resultado de um modelo Schrodinger-Poisson para qualquer tipo de dispositivo. Para o simulador Atlas, o modelo de Shrodinger-Poisson pode ser modelo de confinamento espacial em apenas uma única direção. A calibração é restrita para este caso específico. Para comparações de resultados do modelo BQP e Schrodinger-Poisson é recomendado usar o modelo de capacitância-voltagem quasistático ou comparar as curvas de concentração de portadores (solução adotada).

5 DISPOSITIVOS ESTUDADOS E RESULTADOS DE SIMULAÇÃO

Neste capítulo são apresentados os dispositivos considerados no trabalho e os resultados obtidos em suas simulações.

O dispositivo de porta dupla foi utilizado para a calibração do modelo com confinamento quântico (BQP). A partir da comparação do modelo BQP com o modelo de Física Clássica, sempre se tomando como referência o modelo de Schrodinger-Poisson, é escolhido qual dos dois é o mais adequado para realização das simulações tridimensionais.

Escolhido o modelo, são simuladas algumas famílias de dispositivos de porta tripla com paredes inclinadas, de forma a se examinar o seu comportamento elétrico.

5.1 DESCRIÇÃO DOS DISPOSITIVOS

A seguir, são descritos os dispositivos utilizados nas simulações deste trabalho, incluindo dimensões físicas, materiais, níveis de dopagem e tipos de geometria.

5.1.1 Dispositivo Porta Dupla

Para realizar a calibração do modelo com confinamento quântico (BQP), foi utilizado um modelo de SOI MOSFET Porta Dupla projetado em 2D.

Neste modelo foi simulada apenas a região do canal com as duas portas sem as regiões de fonte e dreno, pois nesta simulação deseja-se apenas obter os parâmetros de calibração eletrostática do BQP, aplicado à região de canal e sem influências das regiões de fonte e dreno.

O dispositivo estudado possui as seguintes dimensões, conforme figura 5.1:

Largura do canal (t_{si}): variando entre 30 e 70 nm;
Comprimento do canal: 200 nm;
Largura do óxido: 3 nm;
Função de trabalho do material da porta: 4.63V (Midgap);
Nível de dopantes: 1×10^{15} , 1×10^{16} e $1 \times 10^{17} \text{ cm}^{-3}$

O dispositivo foi calibrado com a variação dos parâmetros alpha e gamma [46], e quando simulado, o resultado obtido foi comparado com o modelo de Schrodinger-Poisson. Desta forma, obteve-se o resultado da calibração o mais próximo possível do modelo teórico.

Para a simulação destes modelos, foi necessária a utilização de uma grade especial ao longo do canal. Para a definição da grade, foram realizadas algumas tentativas de simulações, mas só houve boas convergências para os modelos quando utilizadas grades uniformemente espaçadas.

A figura 5.1 representa o dispositivo simulado, a localização do corte para plotagem da distribuição de portadores e a grade uniforme utilizada para simulação.

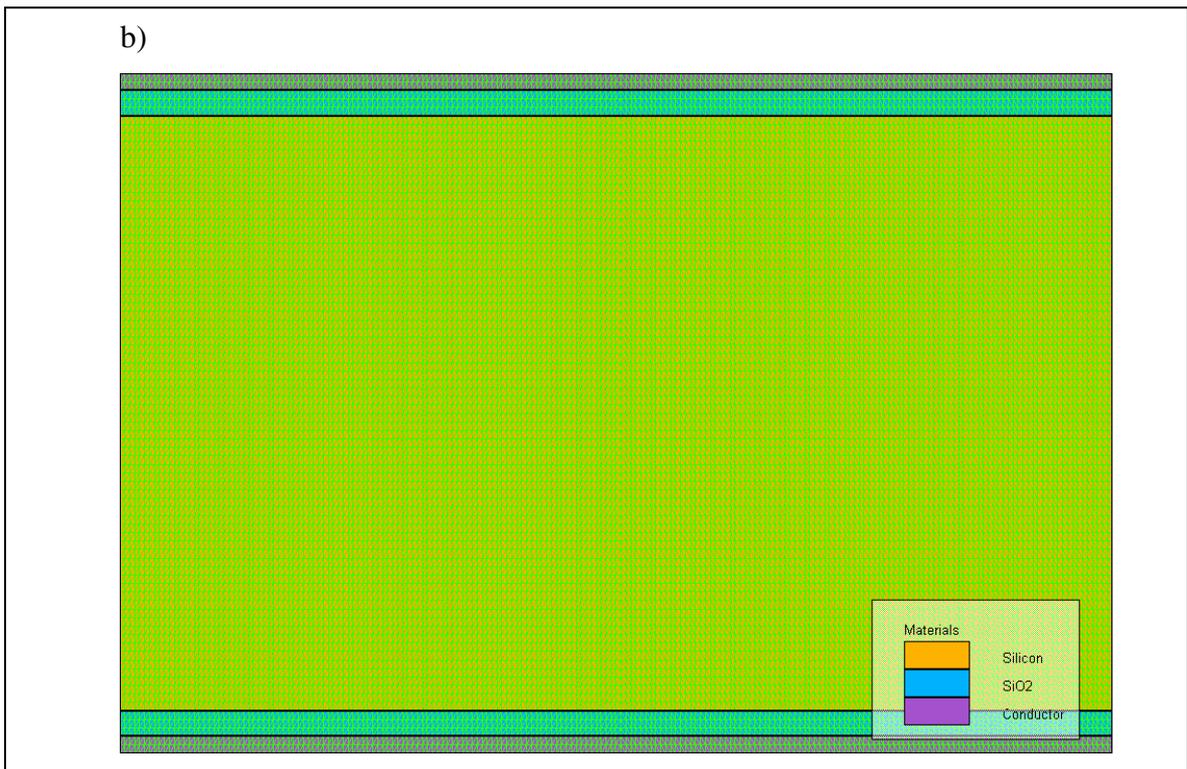
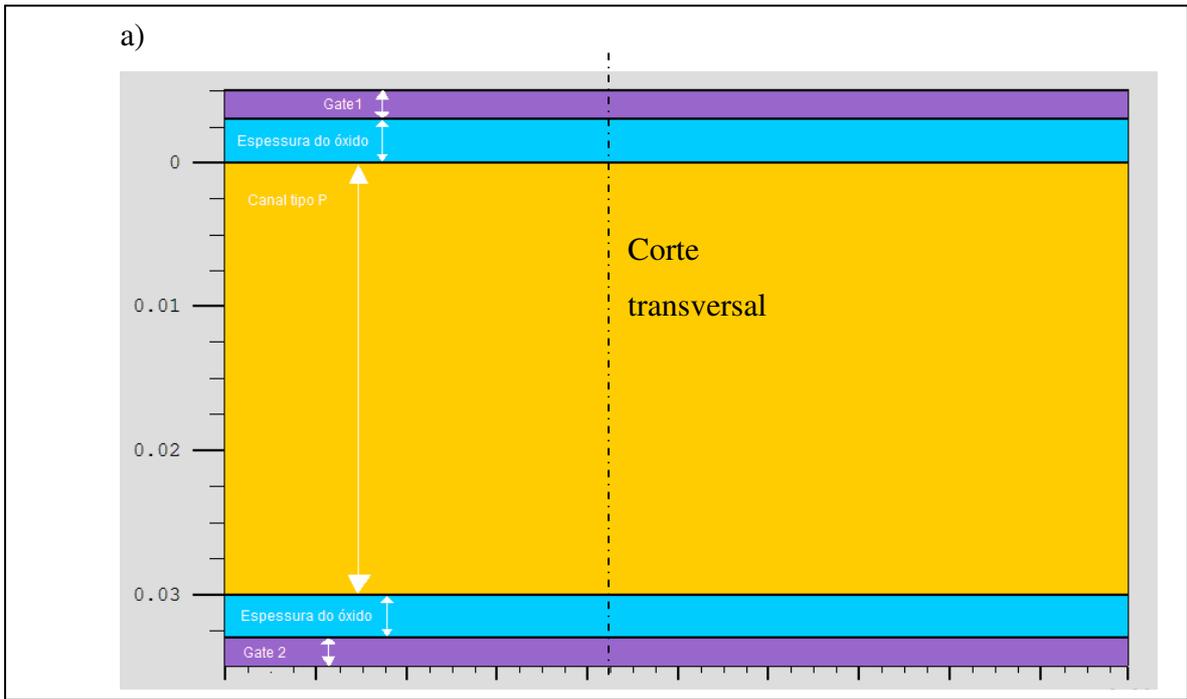


Figura 5.1: (a) Corte transversal do dispositivo de Porta Dupla simulado,
 (b) exemplo de grade utilizado no dispositivo de Porta Dupla

5.1.2 Dispositivo de Porta Tripla

O dispositivo de Porta Tripla utilizado neste trabalho teve a sua estrutura projetada em 3D e foi utilizado em simulações com variações no valor de θ (inclinação da parede lateral), na dopagem do canal e no comprimento do canal.

A seguir seguem os parâmetros do modelo estudado, conforme figura 5.2:

- Variação do ângulo θ = (obtida com a variação da largura superior $W_{fin\text{top}}$ entre 30 a 70 nm e a manutenção da largura inferior em 50 nm;
- Largura inferior ($W_{fin\text{bottom}}$) = 50 nm;
- Espessura do óxido = 2 nm;
- Comprimento do canal (L_{fin}) = 200 nm, 350 nm e 500 nm;
- Nível de dopantes no canal (N_a) = 1×10^{15} , 1×10^{16} e $1 \times 10^{17} \text{ cm}^{-3}$

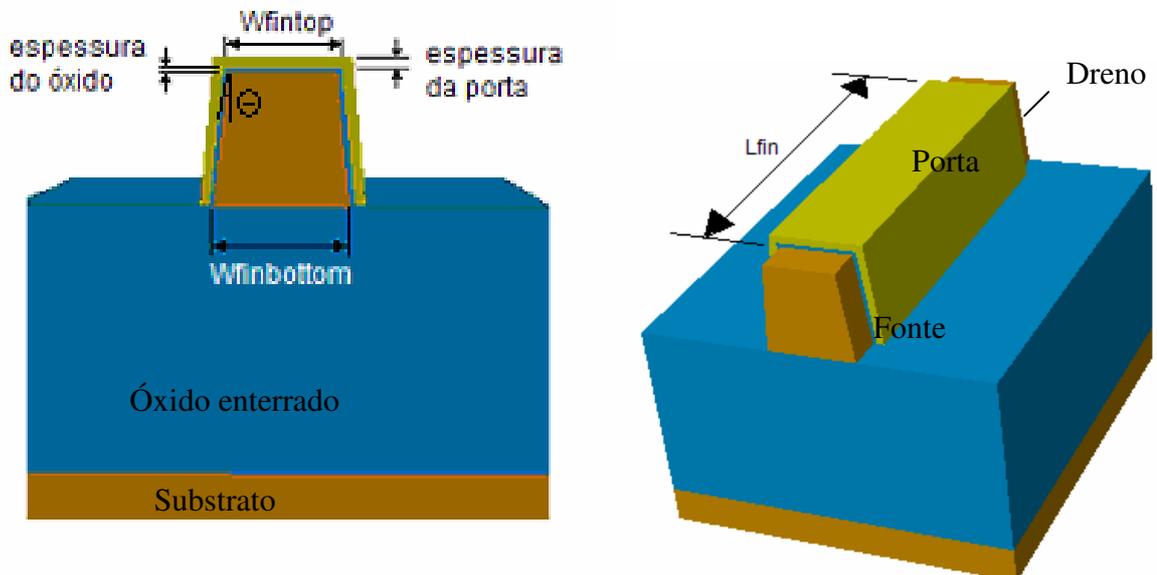


Figura 5.2: Descrição do dispositivo de Porta Tripla simulado

Com esta estrutura do transistor, espera-se verificar as variações dos parâmetros elétricos em função da variação da largura do canal, do nível de dopantes do canal e da variação angular das paredes laterais do transistor.

As figuras 5.3 a 5.5 mostram em perspectivas as variações dimensionais dos transistores de Porta Tripla utilizados neste trabalho:

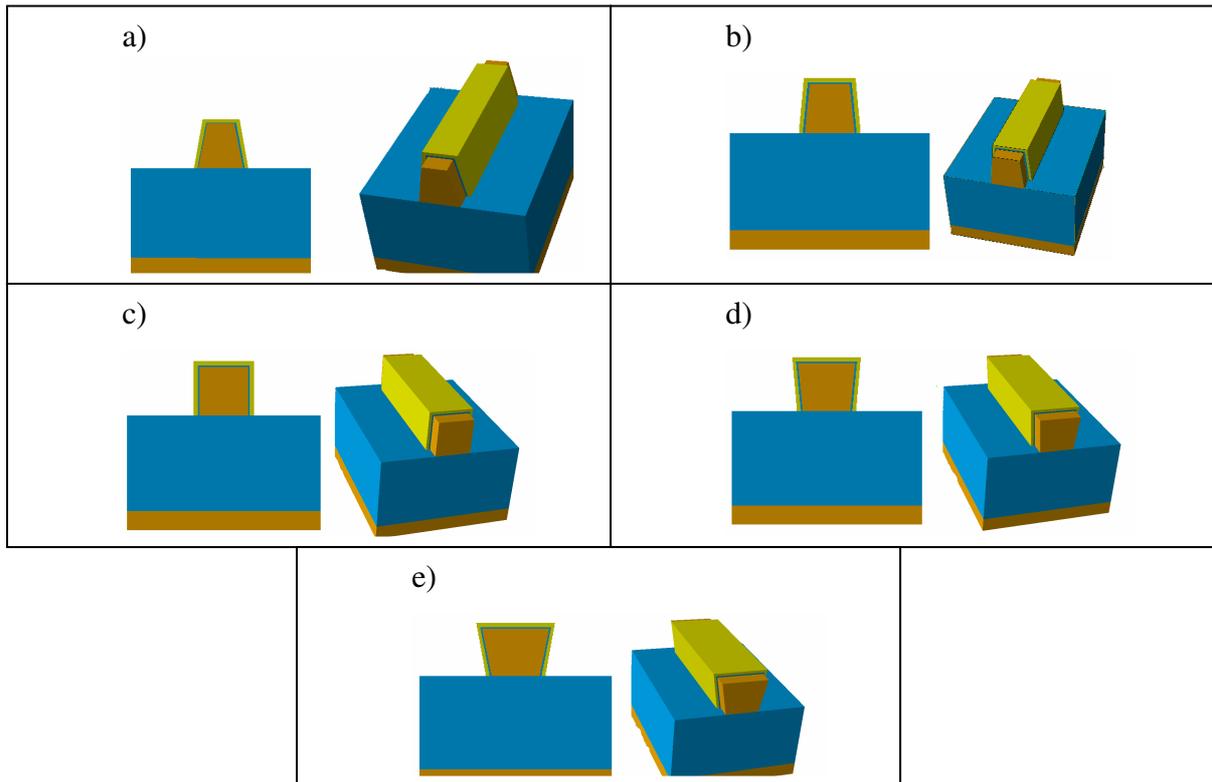


Figura 5.3: Dispositivos de Porta Tripla com comprimento de canal de 200 nm e com $W_{fintop} =$ (a) 30nm, (b) 40nm, (c) 50nm, (d) 60nm e (e) 70 nm

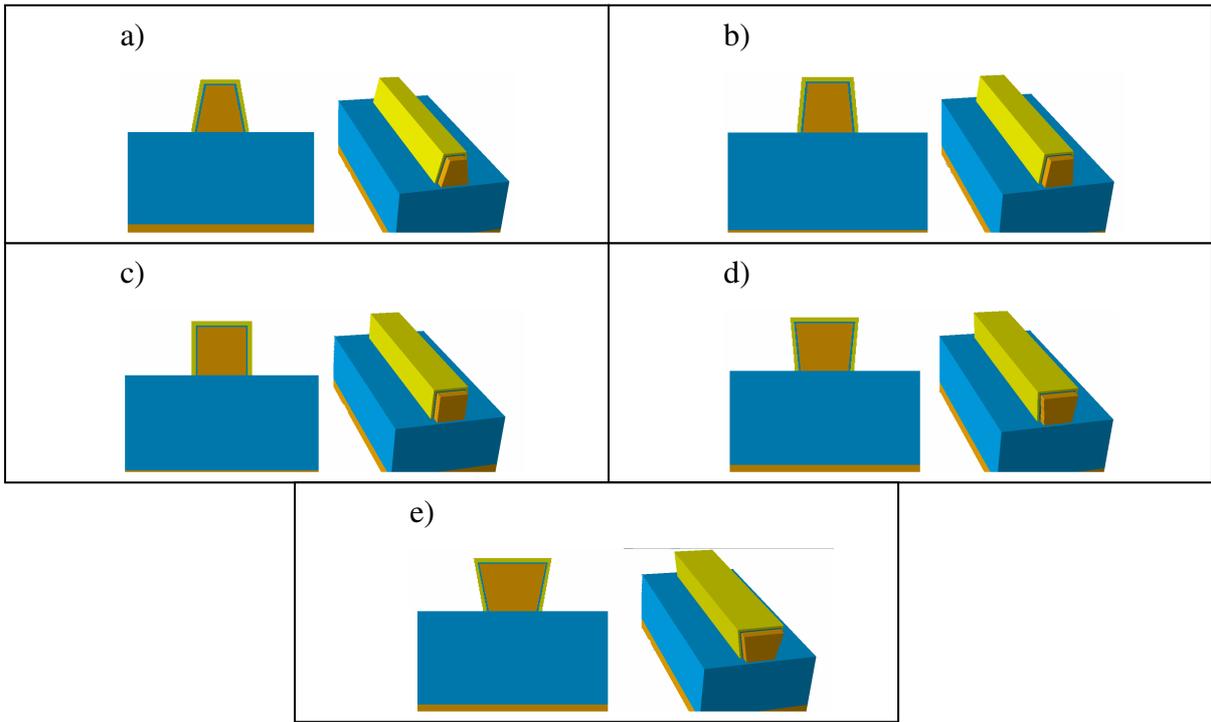


Figura 5.4: Dispositivos de Porta Tripla com comprimento de canal de 350 nm e com $W_{fintop} =$ (a) 30nm , (b) 40nm, (c) 50nm, (d) 60nm e (e) 70 nm

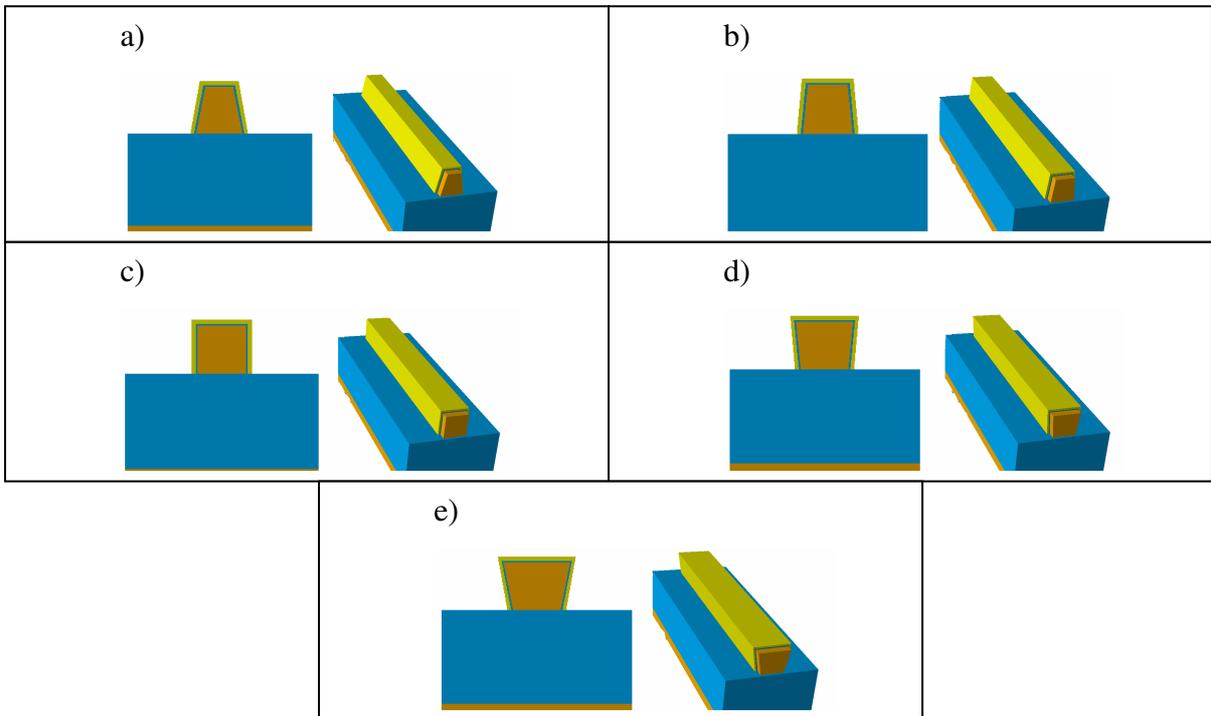


Figura 5.5: Dispositivos de Porta Tripla com comprimento de canal de 500 nm e com $W_{fintop} =$ (a) 30nm , (b) 40nm, (c) 50nm, (d) 60nm e (e) 70 nm

Para estes modelos simulados foram utilizadas grades com maior concentração de pontos nas regiões próximas às regiões de fonte, dreno e da porta. O critério geral utilizado para construção das grades foi aumentar a quantidade de pontos nas regiões com maior campo elétrico, onde as variações espaciais de potencial são maiores. As grades possuem em torno de 170000 pontos e cada simulação $I_d(V_g)$ tomou cerca de 40 horas.

As Figuras 5.6 e 5.7 apresentam uma grade típica em corte transversal e longitudinal, respectivamente.

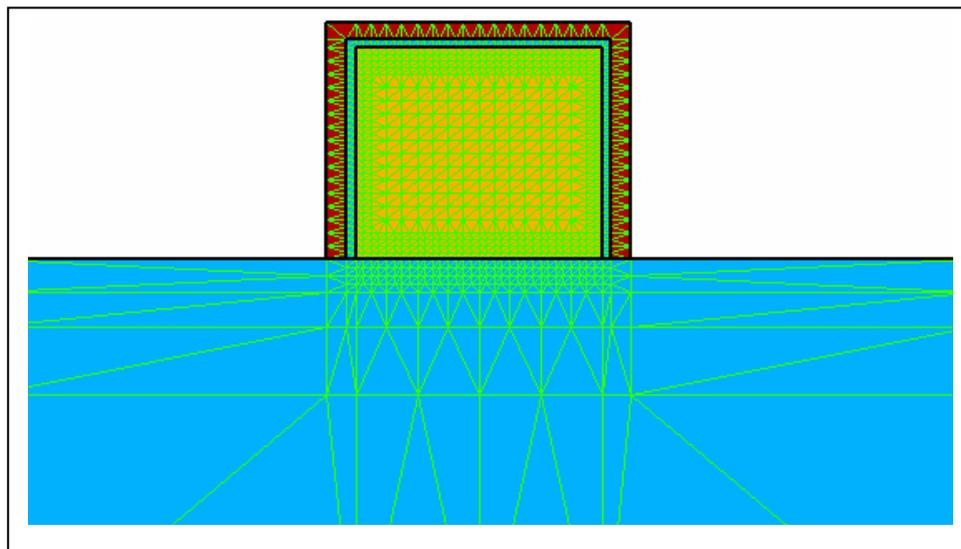


Figura 5.6: Corte transversal com a grade de pontos

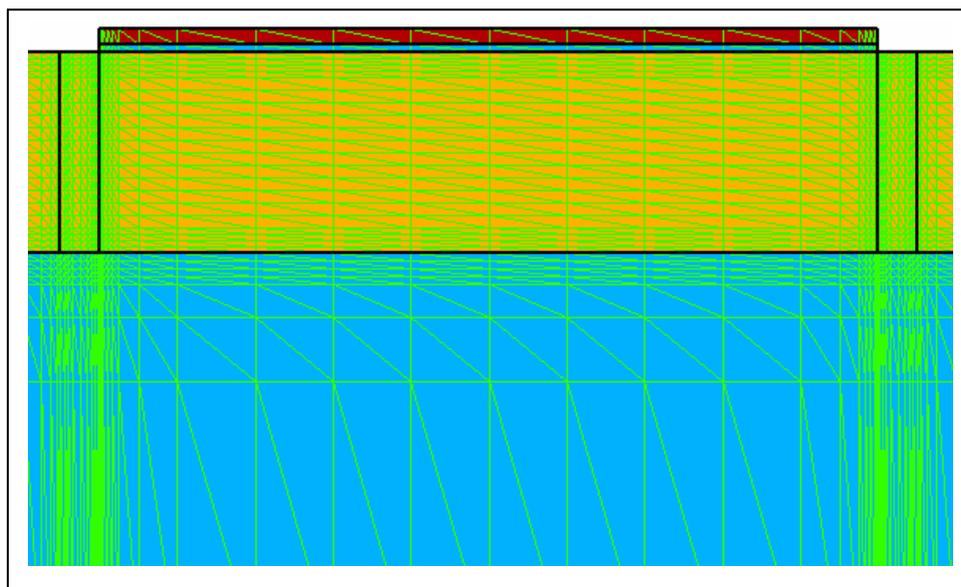


Figura 5.7: Corte longitudinal com a grade de pontos

5.2 APRESENTAÇÃO DE RESULTADOS

O primeiro modelo a ser utilizado, BQP, simula o efeito de confinamento quântico (BQP). Para se utilizar este modelo, é necessário primeiramente realizar a calibração de seus parâmetros, para o dispositivo.

Foram utilizadas variações de dopagem (N_A variando entre 1×10^{15} , 1×10^{16} e $1 \times 10^{17} \text{ cm}^{-3}$) e variações da largura do canal (W variando de 30, 40, 50, 60 e 70 nm).

5.2.1 Calibração do modelo BQP

Para se obter o resultado desejado, foram ajustados interativamente os parâmetros alpha e gamma, para melhor aproximação em relação à simulação com as equações de Schrodinger. Para cada análise de resultado, se não satisfatória, era realizada uma alteração nestes parâmetros e uma nova simulação.

As figuras 5.8 a 5.10 mostram os valores da distribuição de elétrons obtidas no corte transversal mediano do transistor, conforme mostrado na figura 5.1, com o modelo BQP calibrado para as concentrações de dopantes de 1×10^{15} , 1×10^{16} e $1 \times 10^{17} \text{ cm}^{-3}$. Nas mesmas figuras, estão representados os valores obtidos com o modelo de Schrodinger para polarização de porta na tensão de limiar.

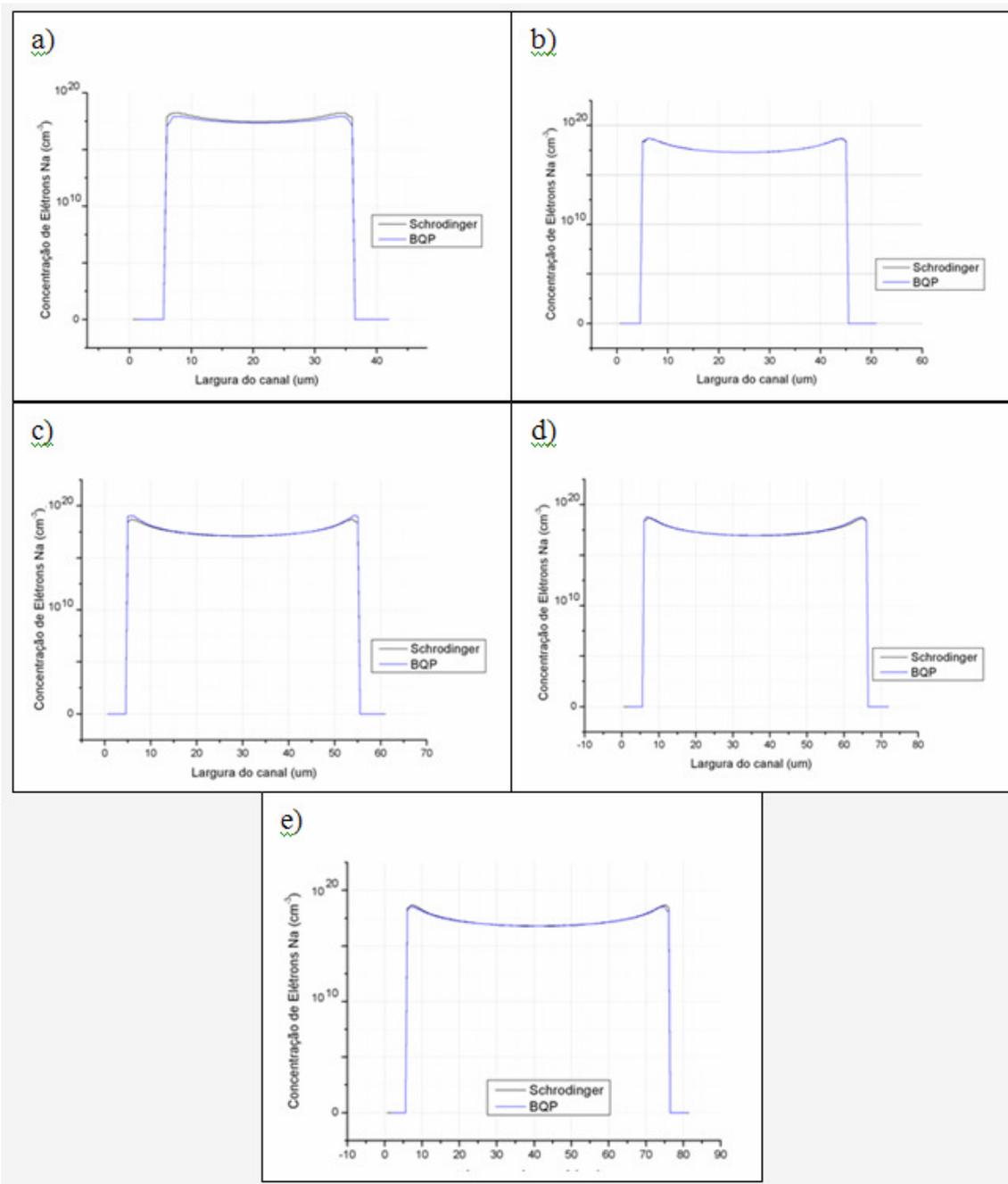


Figura 5.8: Comparação entre os modelos de Schrodinger e BQP para dopagem $N_a=1 \times 10^{15} \text{ cm}^{-3}$, $L=200 \text{ nm}$ e $t_{si} =$ (a) 30 nm, (b) 40 nm, (c) 50 nm, (d) 60 nm e (e) 70 nm

A densidade de portadores corresponde à soma de diversas funções de onda, o que indica que há portadores nos diversos níveis de energia das funções de onda de ordem mais baixas. O modelo de BQP parece adaptar-se bem a estes dispositivos, quanto à distribuição de portadores.

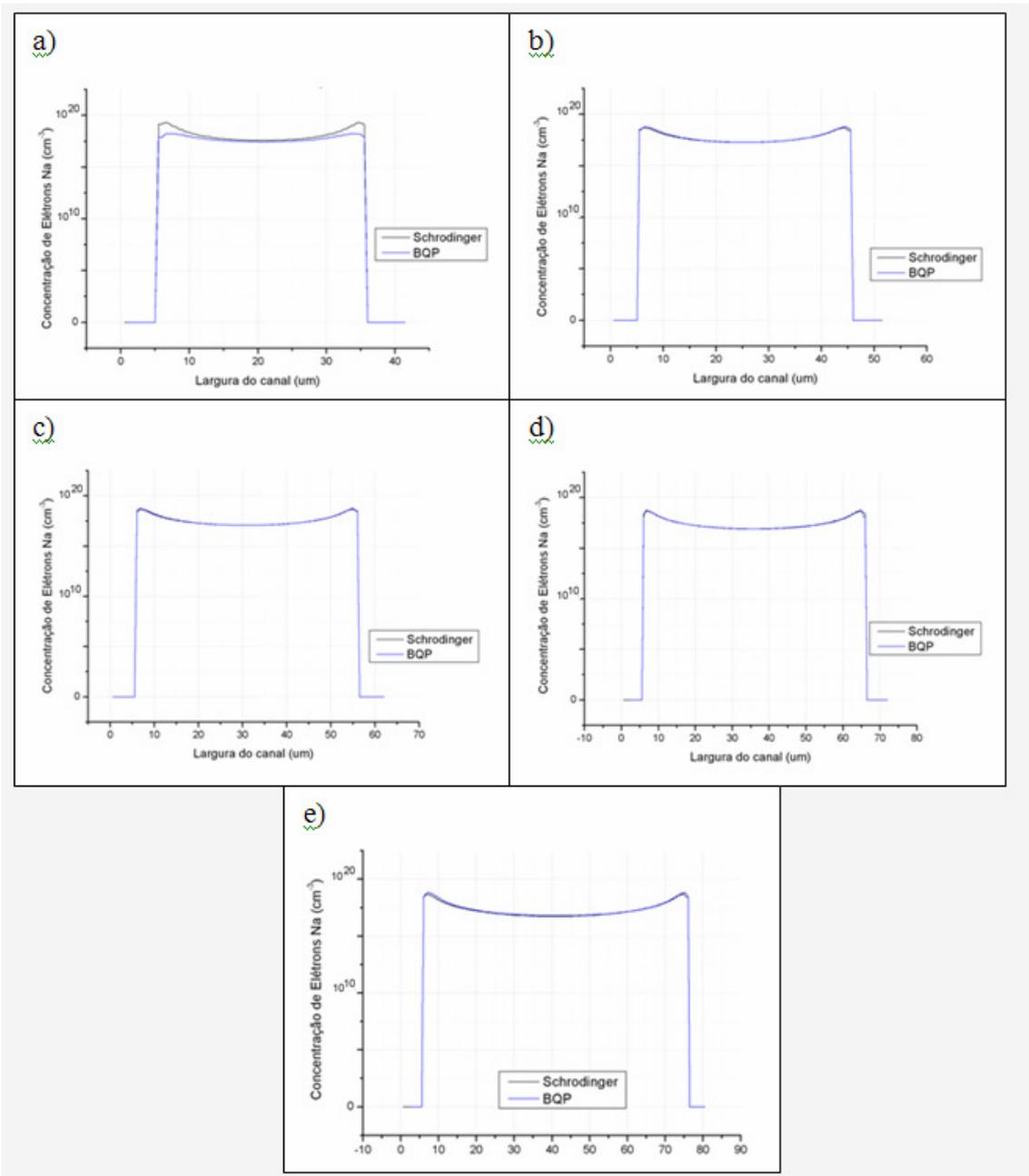


Figura 5.9: Comparação entre os modelos de Schrodinger e BQP para dopagem $N_a=1 \times 10^{16} \text{ cm}^{-3}$, $L=200 \text{ nm}$ e $t_{\text{si}} =$ (a) 30 nm, (b) 40 nm, (c) 50 nm, (d) 60 nm e (e) 70 nm

Pela solução das equações de Schrodinger, nota-se uma concentração maior de portadores nas proximidades das portas, para a concentração de 10^{16} cm^{-3} e também uma aproximação menos precisa do modelo BQP.

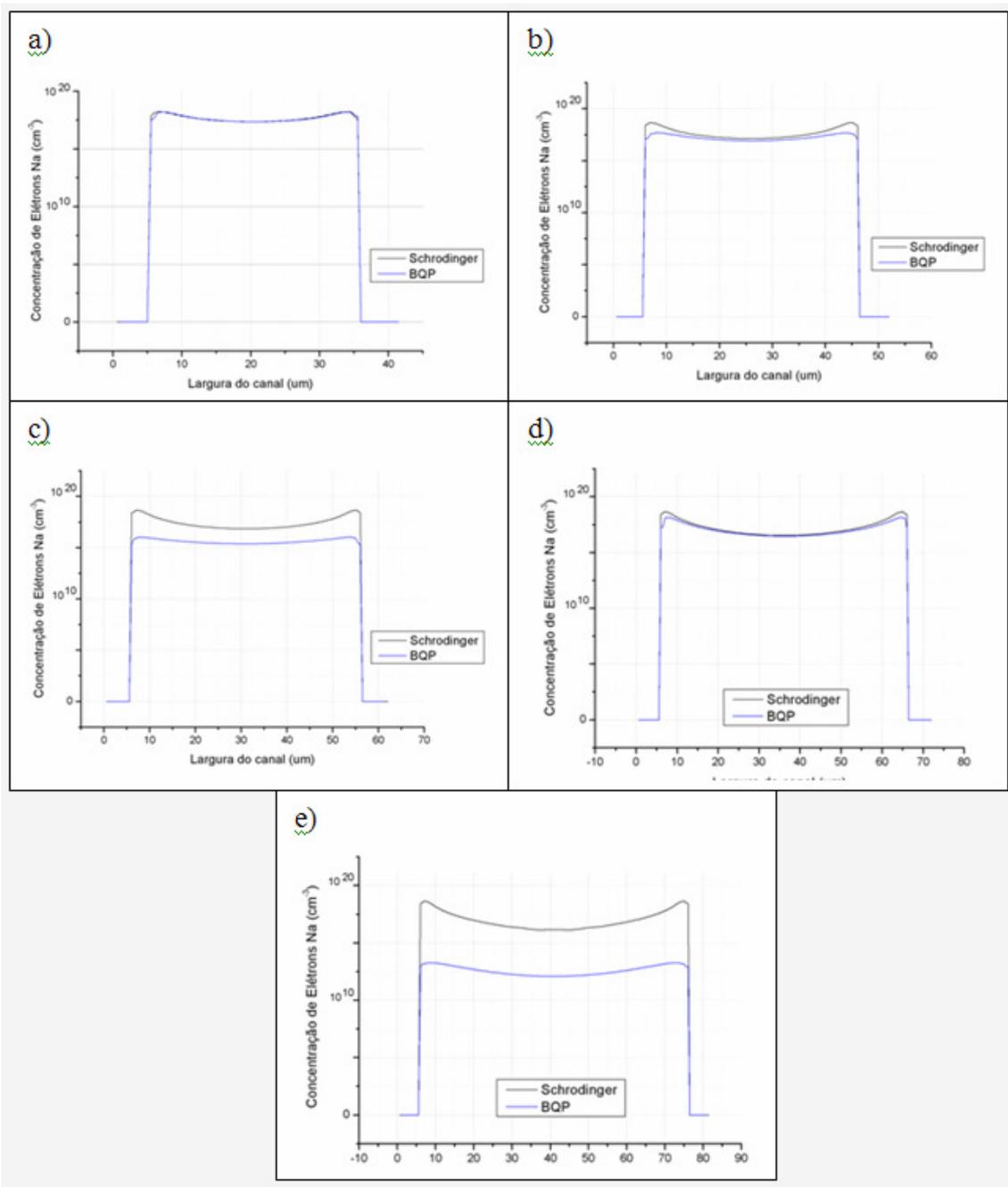


Figura 5.10: Comparação entre os modelos de Schrodinger e BQP para dopagem $N_a=1 \times 10^{17} \text{ cm}^{-3}$, $L=200 \text{ nm}$ e $t_{si}=(a) 30 \text{ nm}$, (b) 40 nm , (c) 50 nm , (d) 60 nm e (e) 70 nm

Para a concentração de 10^{17} cm^{-3} mantém-se a tendência de concentração maior de portadores nas proximidades das portas e, em alguns casos, o modelo BQP não apresentou solução convergente.

Foram realizadas também simulações com o modelo contínuo (Física Clássica) para comparação com os modelos BQP e Schrodinger como exemplificado nas figuras 5.11 a 5.13:

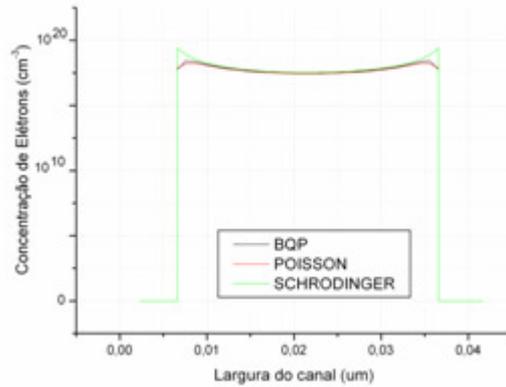


Figura 5.11: Comparação dos modelos BQP, Poisson e Schrodinger para

$$W_{\text{fintop}} = 30\text{nm} \text{ e } N_a = 1 \times 10^{15} \text{ cm}^{-3}$$

Nota-se claramente que o modelo de Física Clássica possui condições de contorno diferentes junto às portas. Neste ponto é maior a concentração de portadores, o que não ocorre para as funções de onda, uma vez que a equação de Schrodinger tem como condição de contorno probabilidade de densidade igual a zero nestes extremos. Mesmo assim, os três modelos podem ser considerados bastante próximos.

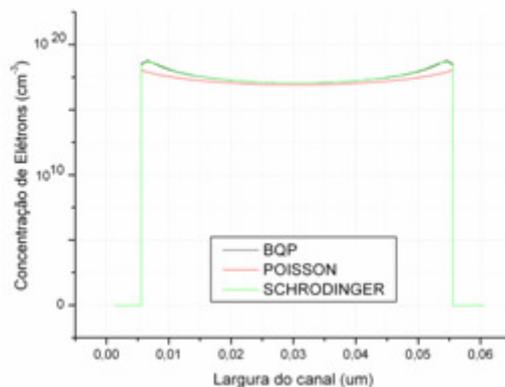


Figura 5.12: Comparação dos modelos BQP, Poisson e Schrodinger para

$$W_{\text{fintop}} = 50\text{nm} \text{ e } N_a = 1 \times 10^{16} \text{ cm}^{-3}$$

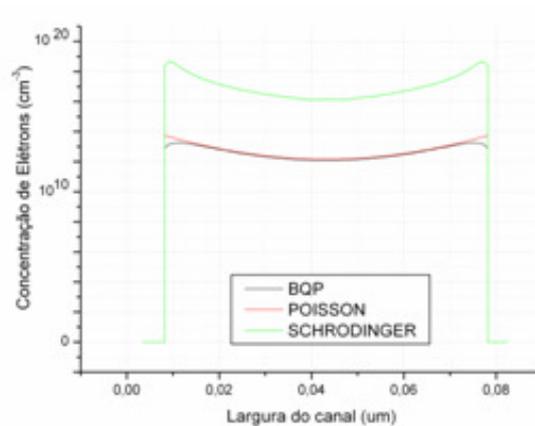


Figura 5.13: Comparação dos modelos BQP, Poisson e Schrodinger para

$$W_{\text{fintop}} = 70\text{nm} \text{ e } N_a = 1 \times 10^{17} \text{ cm}^{-3}$$

A figura 5.13 mostra que, para largura superior de 70nm e concentração de dopantes de $1 \times 10^{17} \text{ cm}^{-3}$ os modelos clássicos e BQP afastam-se bastante da referência (Schrodinger). A solução BQP é ainda pior que a da Física Clássica.

5.2.2 Definição do modelo de simulação

Algumas conclusões puderam ser obtidas com estas simulações:

- Foram encontrados problemas de convergência em alguns casos no momento da calibração do modelo BQP;
- Na maioria dos casos, o modelo BQP teve um resultado visualmente próximo ao modelo de Poisson, quando comparados com o modelo Schrodinger.
- A simulação do modelo BQP toma quatro vezes mais recursos computacionais que uma simulação do dispositivo com Poisson;
- Em alguns casos, a simulação com BQP apresentou resultados piores que o modelo de Poisson, conforme exemplificado na figura 5.13.

Pode-se observar que o modelo BQP é bom para estruturas pequenas. As simulações com as menores estruturas ($W=30$ e 40nm) foram facilmente calibradas, quando comparadas ao modelo de Schrodinger-Poisson. Para as maiores estruturas simuladas, houve uma maior dificuldade na calibração dos dispositivos. Quando comparadas as distribuições de carga com as obtidas com o modelo contínuo (Poisson), podemos concluir que o uso do modelo BQP não é necessário nem conveniente para estruturas de espessura acima de 40nm , pois os resultados são próximos ao modelo clássico ou piores e, em alguns casos o ajuste não converge.

Para se concluir qual modelo apresenta o melhor resultado, foi utilizado o método do erro quadrático. Para isto, é calculada a diferença ponto a ponto das curvas BQP-Schrodinger e Física Clássica-Schrodinger. Para cada curva nova obtida, é realizada a raiz quadrada da somatória dos pontos da curva. O melhor resultado é o menor valor obtido entre os dois resultados. No exemplo mostrado na figura 5.13, o valor do erro de BQP-Schrodinger foi de $17,16\text{ cm}^{-3}$ e o valor do erro de Física Clássica-Schrodinger foi de $17,05\text{ cm}^{-3}$. Portanto, neste caso, o melhor resultado foi obtido pelo modelo de Física Clássica.

5.2.3 Simulação de Transistores de Porta Tripla e Observação das grandezas internas

Definido o modelo a ser utilizado (Clássico), iniciaram-se as simulações tridimensionais com o dispositivo de Porta Tripla. As dimensões das estruturas possuem variações angulares nas suas paredes laterais, na dopagem do canal e no comprimento do canal (conforme mostrado nas figuras 5.3 a 5.5). Com base nestas simulações, foram verificados alguns parâmetros elétricos (tensão de limiar, inclinação de sublimiar e transcondutância), extraídos das curvas corrente x tensão e foi verificada a distribuição de portadores na seção transversal.

5.2.3.1 Tensão de Limiar

A seguir, é realizada uma análise das tensões de limiar dos dispositivos simulados. As figuras 5.14 a 5.16 mostram as curvas da segunda derivada da função I_d (V_g), estimada numericamente a partir dos dados de simulação. Os valores obtidos para as tensões de limiar estão apresentados na tabela 5.1.

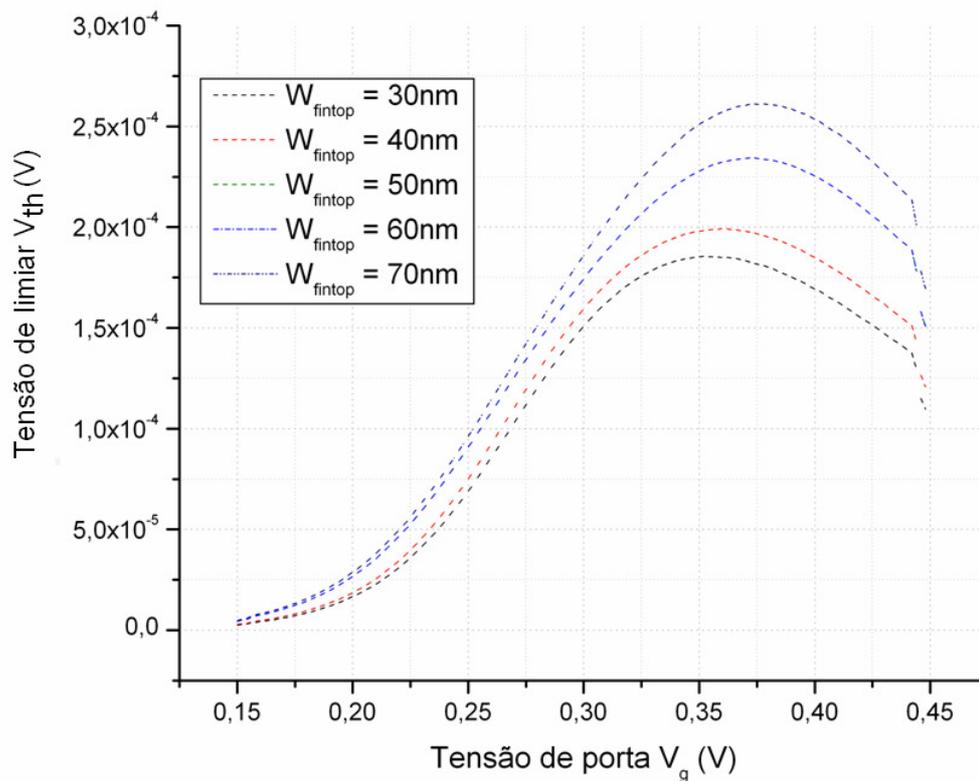


Figura 5.14: Segunda derivada da função $I_d \times V_g$ para $N_a = 1 \times 10^{15} \text{ cm}^{-3}$, variando θ com largura superior de 30 a 70 nm

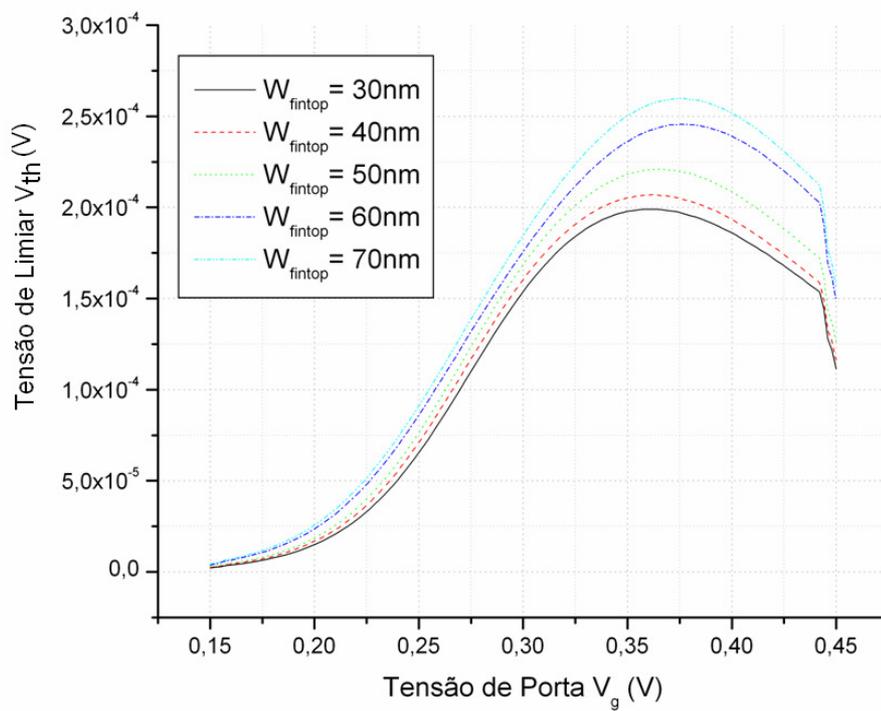


Figura 5.15: Segunda derivada da função $I_d \times V_g$ para $N_a=1 \times 10^{16} \text{ cm}^{-3}$, variando θ com largura superior de 30 a 70 nm

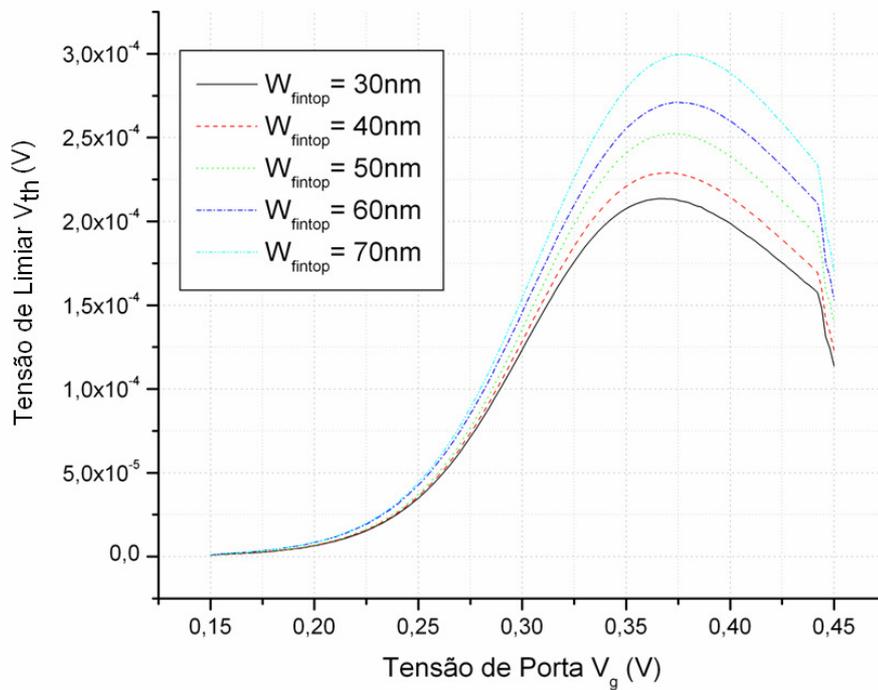


Figura 5.16: Segunda derivada da função $I_d \times V_g$ para $N_a=1 \times 10^{17} \text{ cm}^{-3}$, variando θ com largura superior de 30 a 70 nm

Tabela 5.1: Tensões de Limiar obtidas nas simulações com L= 200nm

Tensão de Limiar (V)	L=200nm			
	Largura / Dopagem	$1 \times 10^{15} \text{ cm}^{-3}$	$1 \times 10^{16} \text{ cm}^{-3}$	$1 \times 10^{17} \text{ cm}^{-3}$
$W_{\text{fintop}} = 30 \text{ nm}$		0,352	0,360	0,366
$W_{\text{fintop}} = 40 \text{ nm}$		0,360	0,362	0,370
$W_{\text{fintop}} = 50 \text{ nm}$		0,368	0,366	0,372
$W_{\text{fintop}} = 60 \text{ nm}$		0,376	0,376	0,374
$W_{\text{fintop}} = 70 \text{ nm}$		0,378	0,376	0,376

Com base nos resultados obtidos, pode-se observar que conforme ocorre a variação do ângulo de inclinação da parede lateral do dispositivo, tem-se uma alteração do valor da tensão de limiar. Conforme aumenta o tamanho da largura superior do SOI MOSFET de Porta Tripla, diminui o ângulo da parede do dispositivo e verifica-se um aumento da tensão de limiar para uma mesma dopagem.

Para a verificação do efeito de canal curto sobre a tensão de limiar, foram simulados dispositivos de mesmas seções transversais com outros comprimentos de canal (200, 350 e 500 nm). Os resultados obtidos para tensão de limiar são apresentados nas tabelas 5.2 e 5.3:

Tabela 5.2: Tensões de Limiar obtidas nas simulações com L= 350nm

Tensão de Limiar (V)	L=350nm			
	Largura / Dopagem	$1 \times 10^{15} \text{ cm}^{-3}$	$1 \times 10^{16} \text{ cm}^{-3}$	$1 \times 10^{17} \text{ cm}^{-3}$
$W_{\text{fintop}} = 30 \text{ nm}$		0,360	0,360	0,370
$W_{\text{fintop}} = 40 \text{ nm}$		0,360	0,362	0,372
$W_{\text{fintop}} = 50 \text{ nm}$		0,368	0,370	0,375
$W_{\text{fintop}} = 60 \text{ nm}$		0,375	0,375	0,380
$W_{\text{fintop}} = 70 \text{ nm}$		0,380	0,380	0,385

Tabela 5.3: Tensões de Limiar obtidas nas simulações com L= 500nm

Tensão de Limiar (V)	L=500nm		
Largura / Dopagem	$1 \times 10^{15} \text{ cm}^{-3}$	$1 \times 10^{16} \text{ cm}^{-3}$	$1 \times 10^{17} \text{ cm}^{-3}$
$W_{\text{fintop}} = 30 \text{ nm}$	0,355	0,360	0,370
$W_{\text{fintop}} = 40 \text{ nm}$	0,370	0,375	0,380
$W_{\text{fintop}} = 50 \text{ nm}$	0,380	0,380	0,382
$W_{\text{fintop}} = 60 \text{ nm}$	0,380	0,384	0,385
$W_{\text{fintop}} = 70 \text{ nm}$	0,385	0,385	0,385

Estes resultados estão apresentados graficamente nas figuras 5.17 a 5.19:

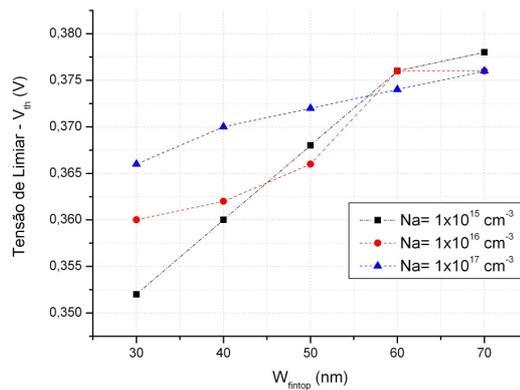


Figura 5.17: Gráfico da Tensão V_{th} x W_{fintop} para comprimento de canal de L=200 nm

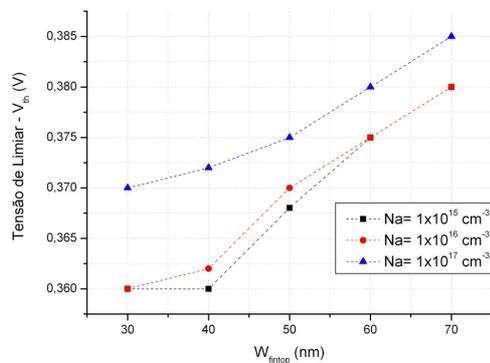


Figura 5.18: Gráfico da Tensão V_{th} x W_{fintop} para comprimento de canal de L=350 nm

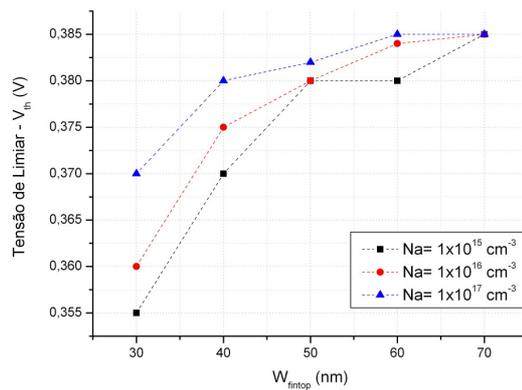


Figura 5.19: Gráfico da Tensão V_{th} x W_{fintop} para comprimento de canal de $L=500$ nm

Nestes gráficos pode-se observar que a variação da tensão de limiar sofre influência direta da largura do canal. Nos transistores mais longos ($L=500$ nm) a variação de largura tem mais influência na tensão de limiar, que para dispositivos mais estreitos, principalmente para dopagens mais baixas.

O efeito de canal curto sobre a tensão de limiar pode ser observado para dopagens de 1×10^{15} , 1×10^{16} , $1 \times 10^{17} \text{ cm}^{-3}$, conforme figuras 5.20 a 5.22:

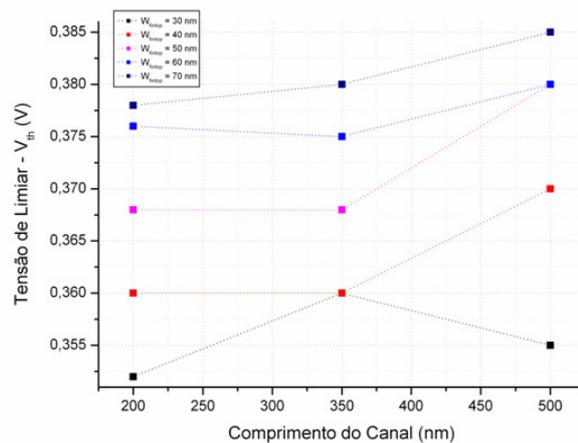


Figura 5.20: Gráfico de tensão V_{th} x comprimento L para dopagem $N_a = 1 \times 10^{15} \text{ cm}^{-3}$

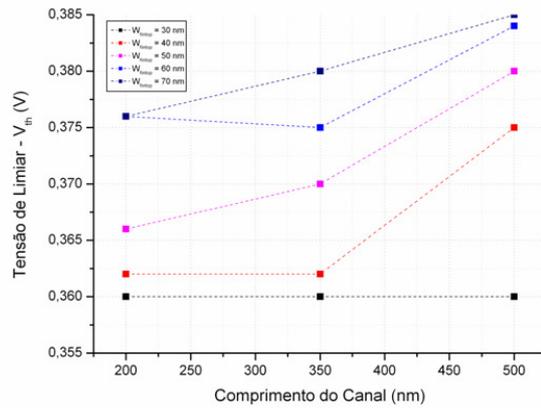


Figura 5.21: Gráfico de tensão V_{th} x comprimento L para dopagem $N_a = 1 \times 10^{16} \text{ cm}^{-3}$

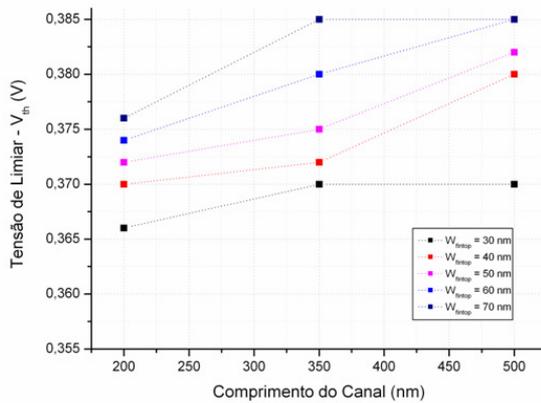


Figura 5.22: Gráfico de tensão V_{th} x comprimento L para dopagem $N_a = 1 \times 10^{17} \text{ cm}^{-3}$

Pode-se notar que:

- Obteve-se um maior valor de tensão de limiar para uma dopagem maior (resultado esperado, pois como demonstrado no capítulo 3, o valor da tensão de limiar está diretamente relacionado com o valor da concentração de dopantes);

- Conforme se aumenta o valor da largura superior, há uma inclinação da parede lateral do transistor. A variação do ângulo de inclinação ocasionou um aumento do valor da tensão de limiar do transistor. Esta variação ocorre, pois conforme se aumenta o valor de W_{fintop} , aumenta-se a área da região do canal e conseqüentemente a carga total de depleção;

- Houve uma variação da tensão de limiar em função da variação do comprimento do canal. O valor da tensão de limiar aumentou conforme aumentou o comprimento do canal do dispositivo, caracterizando o efeito de canal curto sobre a tensão de limiar.

- Para transistores com W_{fintop} maior, ocorre mais efeito de canal curto no transistor, uma vez que a região de canal está mais exposta à influência do potencial de dreno.

5.2.3.2 Análise da Inclinação Sublimiar

Outro parâmetro explorado neste trabalho é a inclinação de sublimiar. As figuras 5.23 a 5.25 mostram as curvas das inclinações de sublimiar obtidas nas simulações realizadas neste trabalho, para comprimento de canal de 200 nm.

O método de extração dos valores utilizado foi o método da derivada da função $I_D(V_G)$. A tabela 5.4 mostra os valores obtidos através dos gráficos para comprimento de canal $L= 200\text{nm}$:

Tabela 5.4: Inclinações Sublimiarias obtidas nas simulações com $L= 200\text{nm}$

Inclinação de Sublimiar (mV/dec)	L=200nm		
	Largura / Dopagem $1 \times 10^{15} \text{ cm}^{-3}$	$1 \times 10^{16} \text{ cm}^{-3}$	$1 \times 10^{17} \text{ cm}^{-3}$
$W_{fintop} = 30 \text{ nm}$	62,9	62,8	62,4
$W_{fintop} = 40 \text{ nm}$	63,0	63,0	62,5
$W_{fintop} = 50 \text{ nm}$	63,1	63,1	62,6
$W_{fintop} = 60 \text{ nm}$	64,9	65,0	64,0
$W_{fintop} = 70 \text{ nm}$	65,2	65,0	64,2

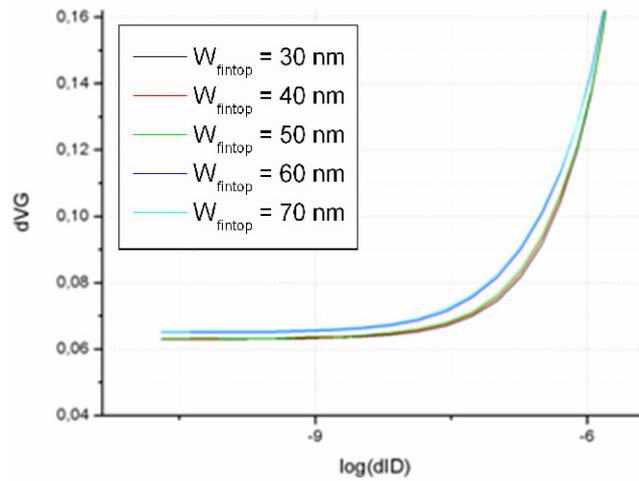


Figura 5.23: Derivada da função $\log(I_d) \times V_g$ para $N_a=1 \times 10^{15}$ e W_{fintop} de 30 a 70 nm

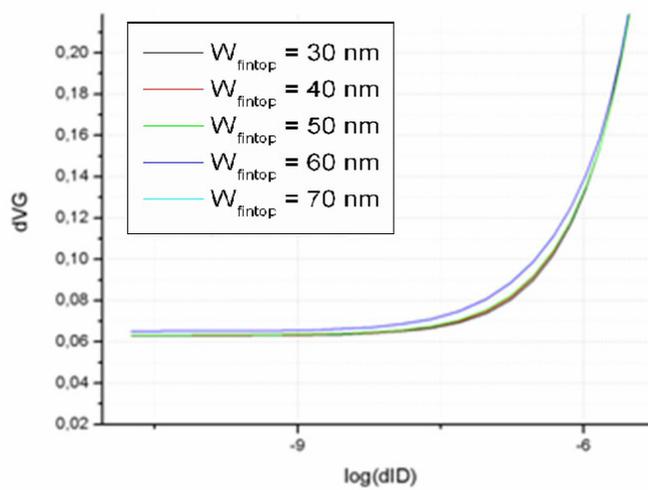


Figura 5.24: Derivada da função $\log(I_d) \times V_g$ para $N_a=1 \times 10^{16}$ e W_{fintop} de 30 a 70 nm

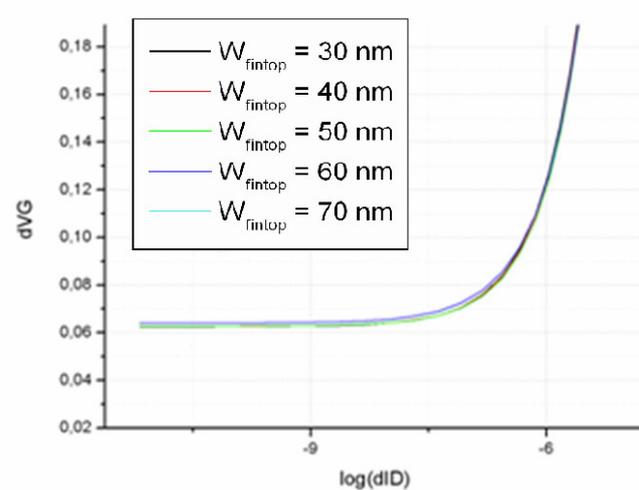


Figura 5.25: Derivada da função $\log(I_d) \times V_g$ para $N_a=1 \times 10^{17}$ e W_{fintop} de 30 a 70 nm

Analisando a tabela 5.4, pode-se observar que o valor da inclinação de sublimiar aumentou levemente de acordo com a largura superior da região do canal, ou seja, conforme ocorre a variação do ângulo das paredes, resultados ligeiramente diferentes são obtidos.

Dois efeitos podem contribuir para esta elevação de S: o desacoplamento da região de condução em relação às portas e o efeito da influência dos potenciais de junções sobre a distribuição de portadores, que é um efeito para canais curtos.

O primeiro efeito independe do comprimento do canal. Ele está mais relacionado ao fator de corpo, ou seja, à medida relativa de quanto as cargas internas da região de silício estão acopladas ao potencial das portas e quanto estão acopladas do substrato.

O segundo depende diretamente do comprimento do canal. Para canais mais curtos, espera-se que haja um efeito mais acentuado e uma maior variação de S com a distância entre as portas. Os efeitos de canal curto, em geral, têm essa característica, de se acentuarem conforme aumenta a seção transversal do dispositivo. É interessante, portanto, a análise de transistores com diferentes comprimentos de canal.

Realizando os mesmos procedimentos para obtenção da tensão de limiar e da Inclinação de Sublimiar para dispositivos com o comprimento de canal nos valores de 350 nm e 500 nm, obtém-se as figuras 5.26 a 5.31 e as tabelas 5.5 e 5.6.

Tabela 5.5: Inclinações Sublimiarias obtidas nas simulações com L= 350nm

Inclinação de Sublimiar (mV/dec)	L=350nm		
	$1 \times 10^{15} \text{ cm}^{-3}$	$1 \times 10^{16} \text{ cm}^{-3}$	$1 \times 10^{17} \text{ cm}^{-3}$
$W_{\text{fintop}} = 30 \text{ nm}$	61,9	61,8	61,8
$W_{\text{fintop}} = 40 \text{ nm}$	61,8	61,9	61,9
$W_{\text{fintop}} = 50 \text{ nm}$	61,8	61,8	61,9
$W_{\text{fintop}} = 60 \text{ nm}$	63,1	63,2	62,4
$W_{\text{fintop}} = 70 \text{ nm}$	63,2	63,1	62,4

Tabela 5.6: Inclinações Sublimiars obtidas nas simulações com L= 500nm

Inclinação de Sublimiar (mV/dec)	L=500nm		
	Largura / Dopagem	$1 \times 10^{15} \text{ cm}^{-3}$	$1 \times 10^{16} \text{ cm}^{-3}$
$W_{\text{fintop}} = 30 \text{ nm}$	61,6	61,6	61,3
$W_{\text{fintop}} = 40 \text{ nm}$	61,6	61,6	61,2
$W_{\text{fintop}} = 50 \text{ nm}$	61,6	61,6	61,2
$W_{\text{fintop}} = 60 \text{ nm}$	62,7	62,6	62,1
$W_{\text{fintop}} = 70 \text{ nm}$	62,7	62,6	62,0

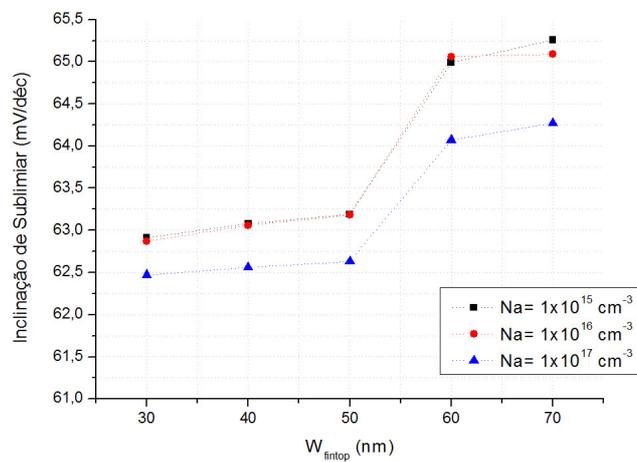


Figura 5.26: Gráfico de S x W_{fintop} para largura de canal de L=200 nm

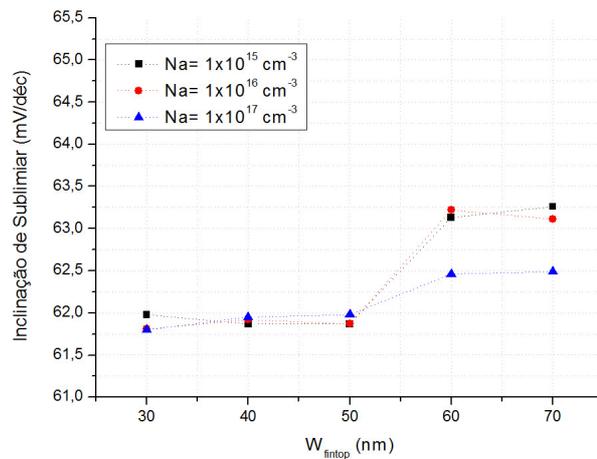


Figura 5.27: Gráfico de S x W_{fintop} para largura de canal de L=350 nm

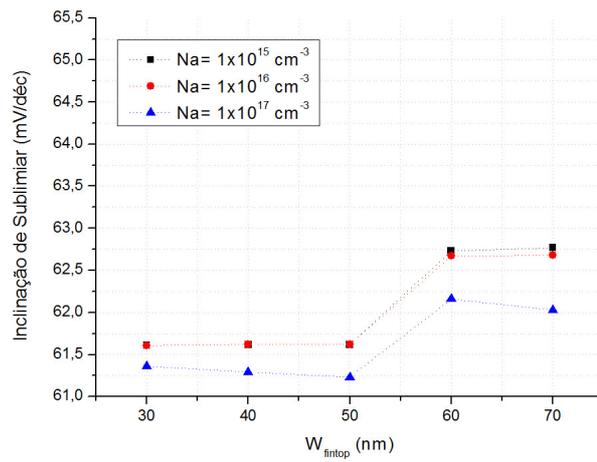


Figura 5.28: Gráfico de $S \times W_{fintop}$ para largura de canal de $L=500 \text{ nm}$

Analisando os resultados pela concentração de dopantes, temos:

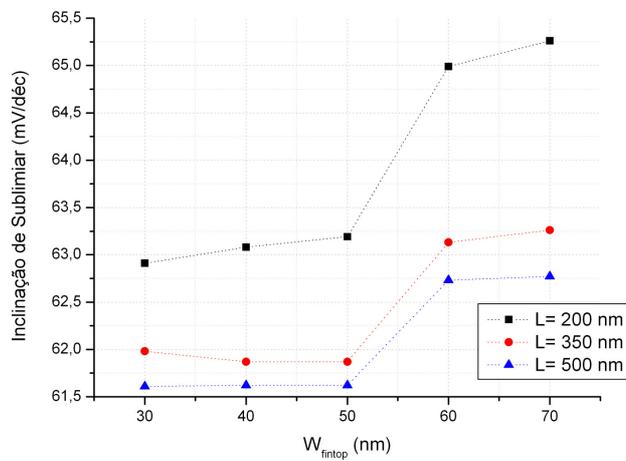


Figura 5.29: Gráfico de $S \times W_{fintop}$ para dopagem $Na = 1 \times 10^{15} \text{ cm}^{-3}$

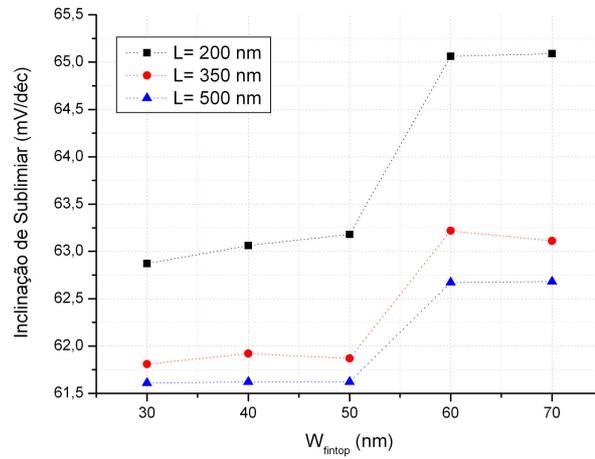


Figura 5.30: Gráfico de $S \times W_{\text{fintop}}$ para dopagem $Na = 1 \times 10^{16} \text{ cm}^{-3}$

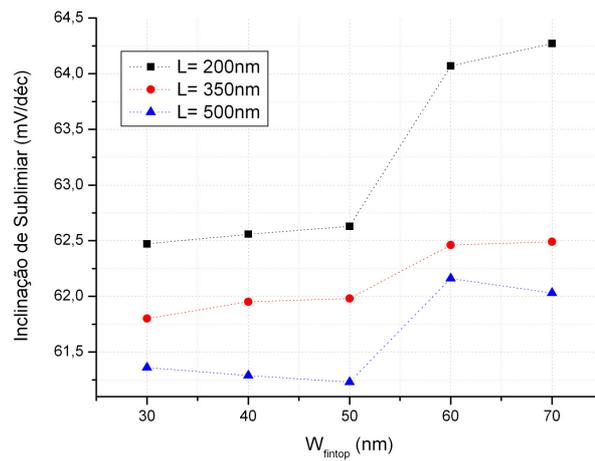


Figura 5.31: Gráfico de $S \times W_{\text{fintop}}$ para dopagem $Na = 1 \times 10^{17} \text{ cm}^{-3}$

A análise dos dados confirma as hipóteses propostas: A inclinação de sublimiar depende do comprimento e da largura superior da região ativa. A influência da largura superior é mais acentuada, para canais mais curtos.

5.2.3.3 Análise da Transcondutância

As figuras 5.32 a 5.34 mostram as curvas das transcondutâncias obtidas nas simulações realizadas neste trabalho. Para a obtenção dos resultados, foi realizada a normalização da corrente de dreno I_d em função da largura efetiva do canal do transistor (perímetro do canal), como demonstrado no item 3.3.3. Desta forma, foi eliminada a dependência da largura do canal. A tabela 5.7 mostra os valores das larguras efetivas calculadas.

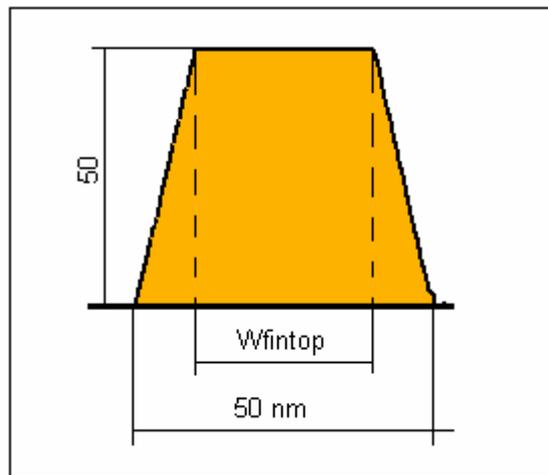


Figura 5.32: Dimensões das portas do transistor

Tabela 5.7: Valores dos Perímetros utilizados na normalização

Largura da Porta Superior	Perímetro Total (nm)
$W_{fintop} = 30 \text{ nm}$	128
$W_{fintop} = 40 \text{ nm}$	139.5
$W_{fintop} = 50 \text{ nm}$	150
$W_{fintop} = 60 \text{ nm}$	159.5
$W_{fintop} = 70 \text{ nm}$	168

O método de extração dos valores utilizado foi o método da derivada da função $V_g \times I_d$. A tabela 5.8 mostra os valores máximos obtidos através dos gráficos para comprimento de canal $L=200\text{nm}$ e tensão de porta de dreno de $0,8\text{V}$:

Tabela 5.8: Transcondutâncias máximas obtidas nas simulações com $L=200\text{nm}$

Transcondutância (S/m)	L=200nm		
	$1 \times 10^{15} \text{ cm}^{-3}$	$1 \times 10^{16} \text{ cm}^{-3}$	$1 \times 10^{17} \text{ cm}^{-3}$
$W_{\text{fintop}} = 30 \text{ nm}$	130	130	128
$W_{\text{fintop}} = 40 \text{ nm}$	143	143	140
$W_{\text{fintop}} = 50 \text{ nm}$	160	159	156
$W_{\text{fintop}} = 60 \text{ nm}$	160	157	156
$W_{\text{fintop}} = 70 \text{ nm}$	166	165	158

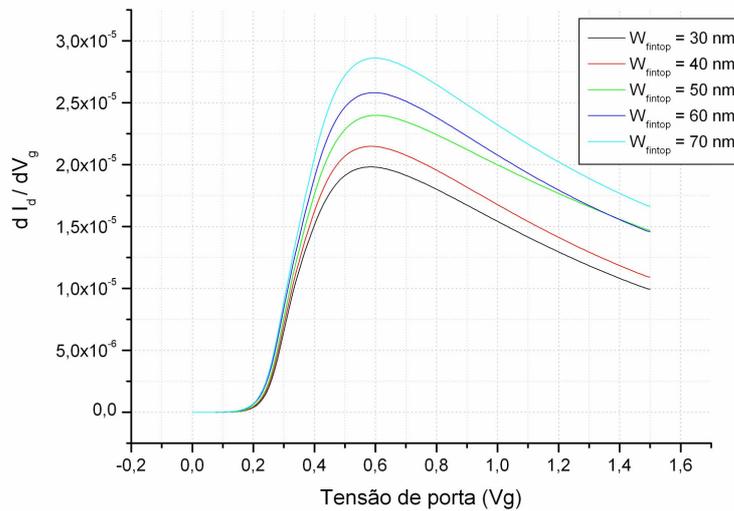


Figura 5.33: Gráfico da derivada da curva $I_d \times V_g$ para $N_a=1 \times 10^{15}$ e

W_{fintop} variando de 30 a 70 nm com $L=200 \text{ nm}$

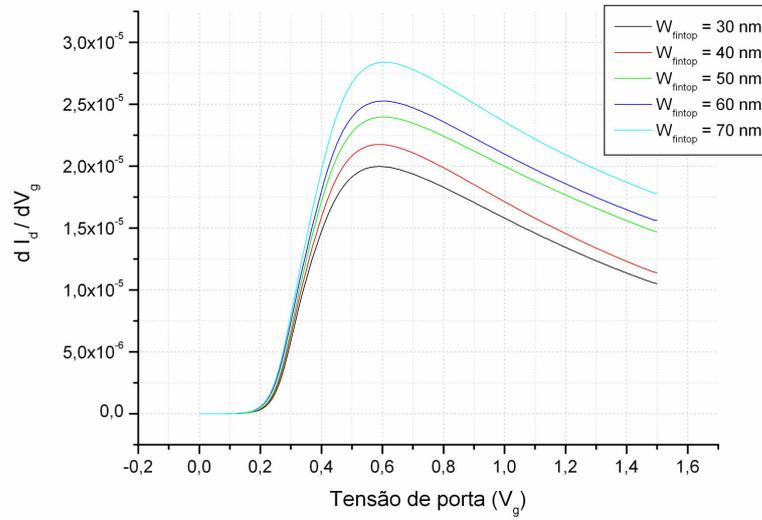


Figura 5.34: Gráfico da derivada da curva $I_d \times V_g$ para $N_a=1 \times 10^{16}$ e W_{fintop} variando de 30 a 70 nm com $L=200$ nm

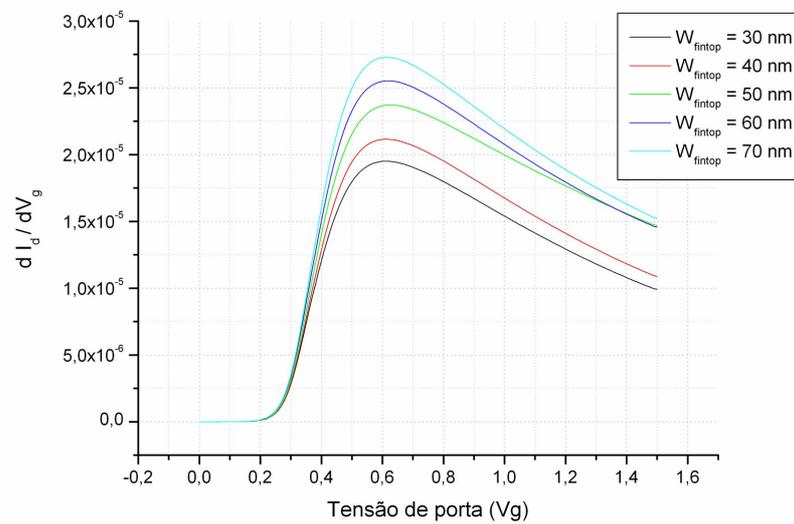


Figura 5.35: Gráfico da derivada da curva $I_d \times V_g$ para $N_a=1 \times 10^{17}$ e W_{fintop} variando de 30 a 70 nm com $L=200$ nm

Com os dados obtidos, é possível analisar a variação da transcondutância em função da concentração de dopantes e da variação angular das paredes laterais do transistor de Porta Tripla. Na tabela 5.8 verificou-se que a transcondutância aumenta conforme aumenta o valor da largura superior do canal. Esta variação de transcondutância tem relação direta com o acoplamento entre portas, cargas da região ativa e substrato. Note-se que, em inversão, a distribuição de cargas é diferente que em sublimiar e que, portanto, o acoplamento também muda.

As cargas de inversão estão espalhadas pela região ativa e mais concentradas junto às interfaces de portas e nos cantos e arestas superiores. Conforme se aumenta a largura superior do dispositivo, os ângulos das arestas superiores tornam-se mais agudos e aumenta-se o acoplamento nestas regiões com as portas, ao mesmo tempo em que diminui-se o acoplamento com o substrato. Pela sua própria definição, a transcondutância reflete justamente a influência das portas sobre as cargas da região ativa. Assim é de se esperar que haja aumento de g_m com o aumento de W_{fintop} .

5.2.3.4 Análise da Concentração de Elétrons

As análises realizadas até aqui se utilizaram apenas das características I_xV dos dispositivos. Uma das vantagens da simulação numérica como instrumento de investigação é a possibilidade de exploração de variáveis físicas internas do dispositivo e suas distribuições espaciais. A análise que se segue explora a distribuição de portadores, em função das variações de dopagem e dimensões propostas, averiguadas em dispositivos polarizados com baixa tensão de dreno (0,05 V) e tensão de porta igual à tensão de limiar.

São apresentadas a seguir as concentrações de portadores nos cortes transversais e longitudinais médios dos transistores de Porta Tripla, conforme definidos na figura 5.36. Como uma forma de comparação, são apresentados os resultados com uma mesma dopagem variando o ângulo das paredes laterais (variando a largura superior do canal entre 30 e 70nm) e comprimento do canal (entre 200, 350 e 500 nm).

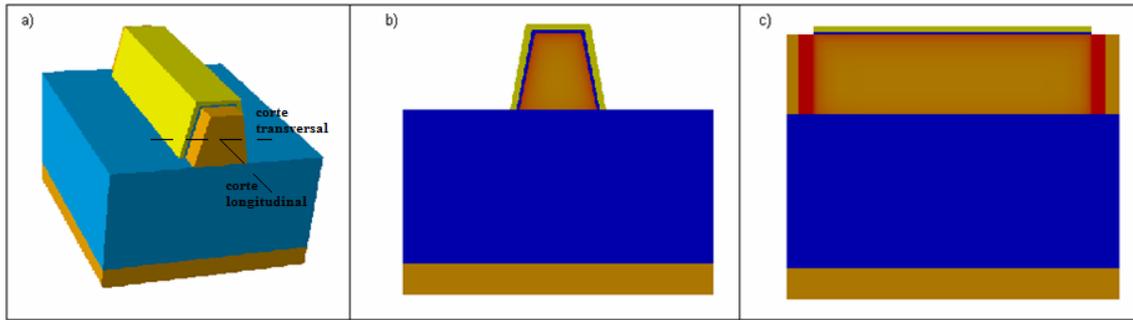


Figura 5.36: Estrutura do transistor tridimensional (a), corte transversal (b) e corte longitudinal (c)

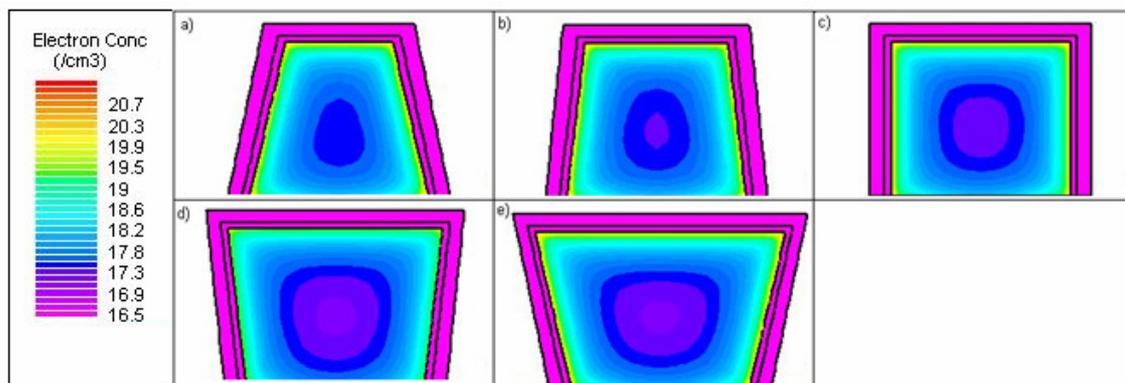


Figura 5.37: Cortes transversais para $L=200$ nm e de $N_a= 1 \times 10^{15} \text{ cm}^{-3}$ com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm

Pode-se verificar que, conforme há variação da inclinação das paredes laterais do canal do transistor, altera-se a distribuição de portadores dentro do canal. Esta alteração resulta em variações nos parâmetros elétricos. Pode-se verificar, por exemplo, que com o aumento da largura superior do canal, os ângulos superiores tornam-se mais agudos, e há formação de regiões nos cantos que sofrem influências da porta superior e uma das laterais ao mesmo tempo. Nestas regiões, há um maior acoplamento entre as portas e as cargas do canal. Este fenômeno tem relação direta com o aumento de transcondutância observado a partir dos dados extraídos das curvas corrente-tensão. As cargas dos cantos estão mais acopladas às portas e menos ao substrato. Com o aumento da densidade de cargas nos cantos é de se esperar um aumento na transcondutância. A

figura 5.38 mostra a variação da concentração de cargas nos cantos, em função da largura superior para uma concentração de dopantes de $N_a = 1 \times 10^{15} \text{ cm}^{-3}$ e largura de canal de 200nm.

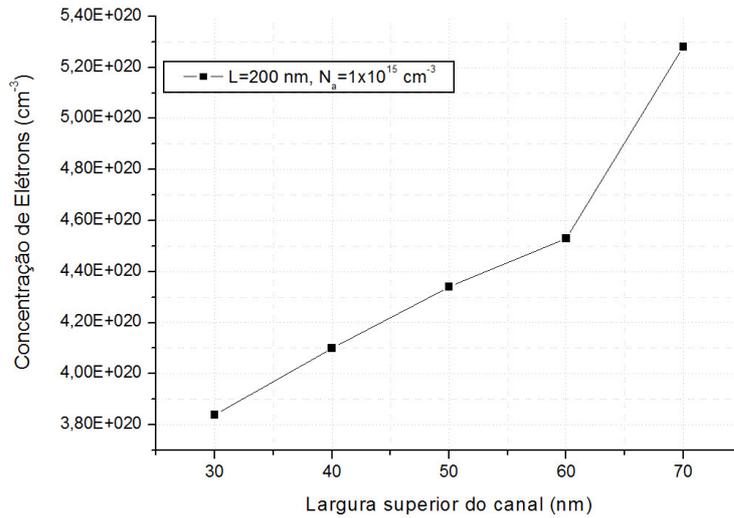


Figura 5.38: Curva de concentração de elétrons x largura superior do canal

As figuras 5.39 e 5.40 mostram a concentração de portadores na seção transversal, para comprimentos de canal de 350 e 500 nm:

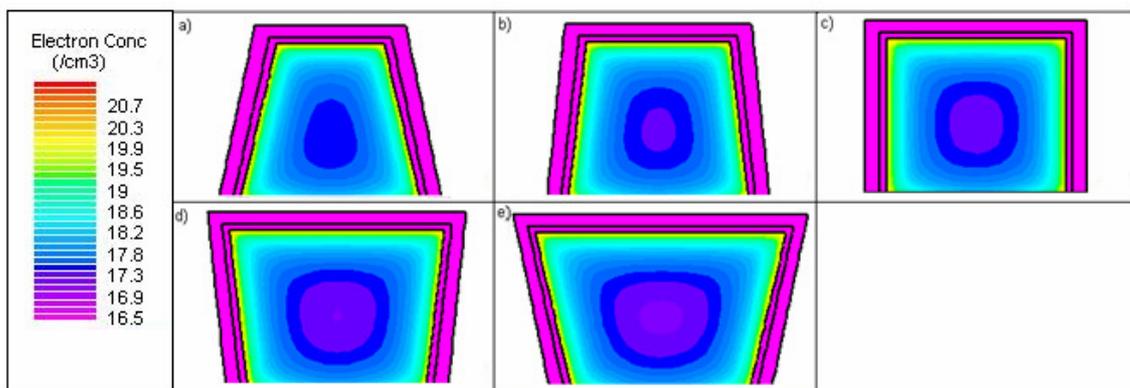


Figura 5.39: Cortes transversais para $L=350 \text{ nm}$ e de $N_a = 1 \times 10^{15} \text{ cm}^{-3}$ com $W_{\text{fintop}} =$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm

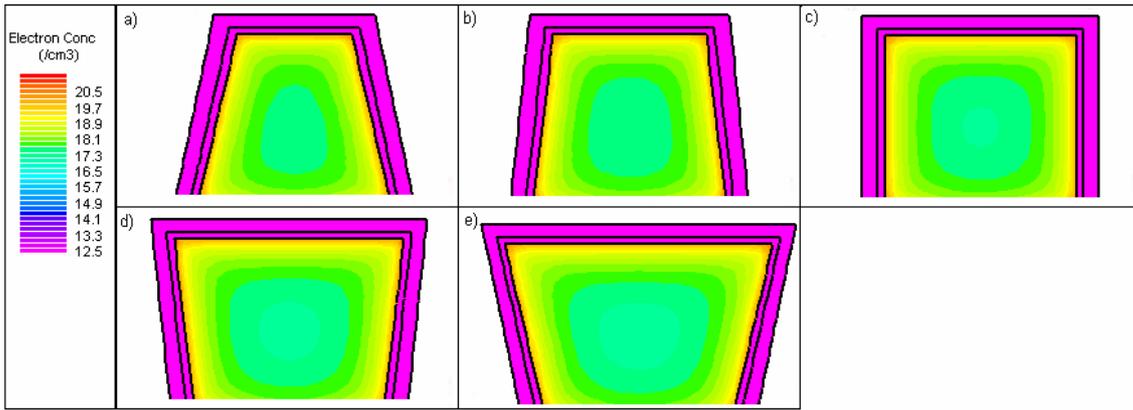


Figura 5.40: Cortes transversais para $L=500$ nm e de $N_a= 1 \times 10^{15} \text{ cm}^{-3}$ com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm

Pode-se verificar aqui que a distribuição de cargas no corte transversal do transistor apresenta o mesmo comportamento para diferentes comprimentos. Na verdade, as principais alterações na distribuição de cargas, em função do comprimento, ocorrem nas proximidades das junções, conforme observado a seguir.

A figura 5.41 mostra os cortes longitudinais para os transistores de Porta Tripla com comprimento de canal de 200 nm.

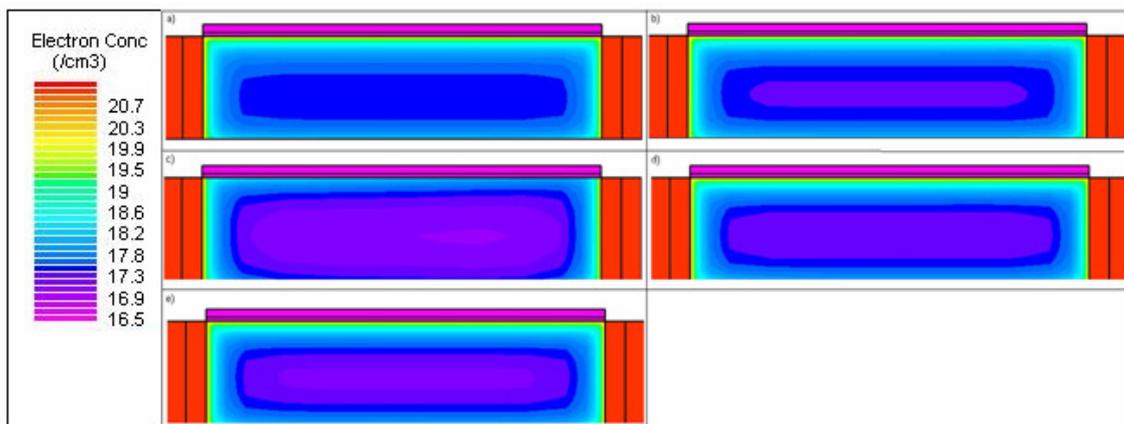


Figura 5.41: Cortes longitudinais $L=200$ nm e de $N_a= 1 \times 10^{15} \text{ cm}^{-3}$ com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm

Pode-se verificar nesta figura que conforme ocorre a variação da largura superior do canal, formam-se diferentes concentrações próximas às regiões de fonte e dreno do transistor e no corpo do canal.

As figuras 5.42 e 5.43 mostram a mesma estrutura com comprimento do canal do dispositivo de 350 e 500nm, respectivamente.

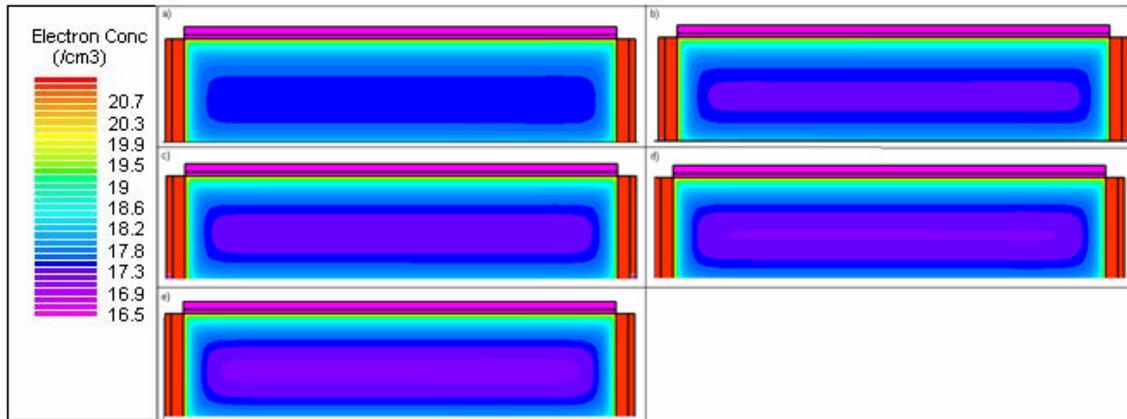


Figura 5.42: Cortes longitudinais para $L=350$ nm e de $N_a= 1 \times 10^{15} \text{ cm}^{-3}$ com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm

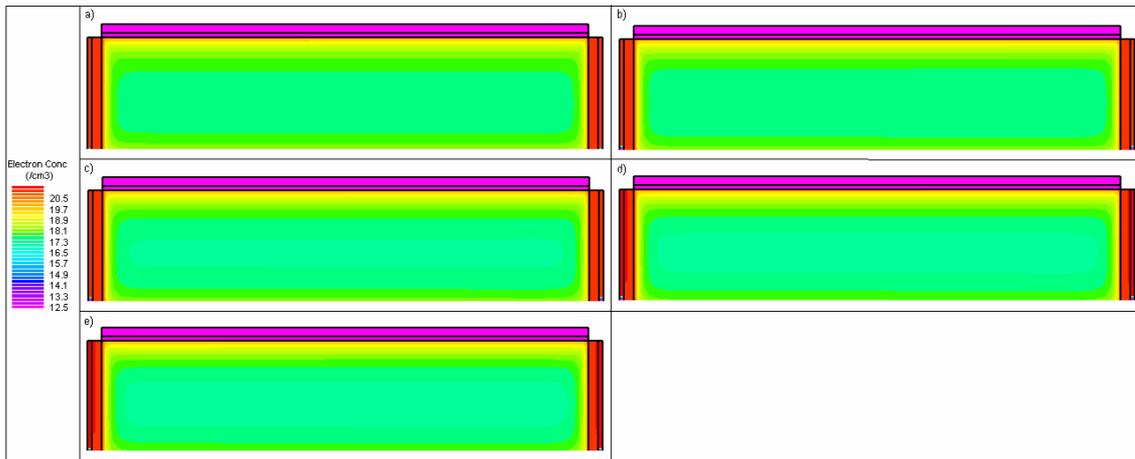


Figura 5.43: Cortes longitudinais para $L=500$ nm e de $N_a= 1 \times 10^{15} \text{ cm}^{-3}$ com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm

Observando as figuras, nota-se que, alterando o comprimento do canal, não ocorrem alterações de concentração em seus extremos. Conforme aumenta o comprimento do canal, aumenta também a região no canal que não sofre influências da região de fonte e dreno do transistor de Porta Tripla e mantém-se a distribuição de cargas nos extremos. Ocorre que os efeitos de canal curto observados através das curvas IxV dependem da relação entre a carga de depleção compartilhada (entre as junções e as portas) e a carga total de depleção. Assim, mesmo não havendo alteração das distribuições nos extremos, sendo a carga compartilhada constante e a carga total variável, haverá variação na intensidade do efeito de canal curto. Outra forma de se verificar este fato é demonstrada nas figuras 5.44 a 5.46. Tais figuras representam a concentração de elétrons ao longo do comprimento do canal do transistor de porta tripla, junto à superfície Si-SiO₂ na região média entre as portas laterais. O comprimento de canal foi normalizado, para facilitar a comparação. O eixo X representa o percentual do comprimento do canal variando 0 a 1,0 sendo 1 o comprimento máximo do canal (200, 350 e 500 nm).

A influência da região de fonte e dreno na região do canal tem maior influência no canal com menor comprimento, no caso analisado, o de 200 nm. Por este motivo, tem-se maior efeito de canal curto neste dispositivo.

Quanto às variações de largura, nota-se que os dispositivos com largura superior de 70 nm, justamente por terem largura maior, expõem mais o canal à influência da depleção das junções, possibilitando maior compartilhamento de cargas de depleção com as portas e agravando o efeito de canal curto.

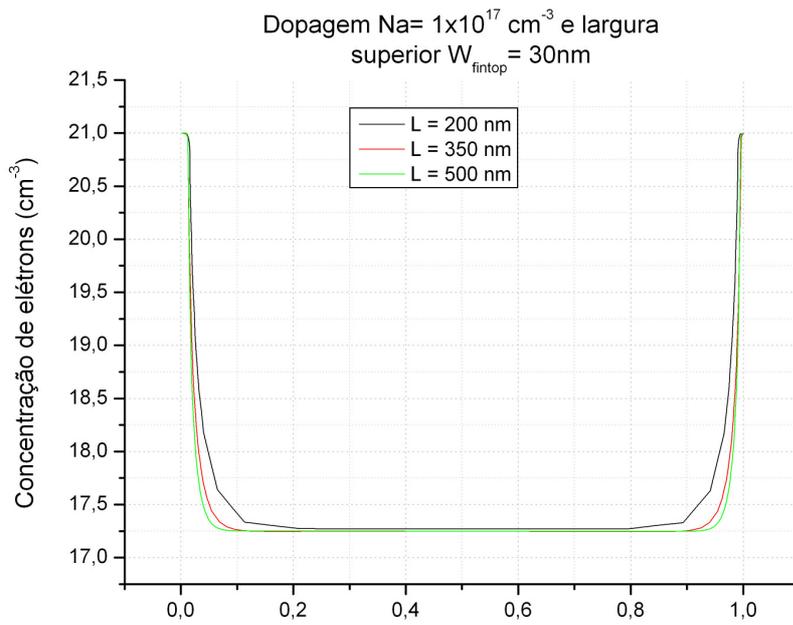


Figura 5.44: Gráfico da concentração de elétrons no comprimento do canal com dopagem $N_a = 1 \times 10^{17} \text{ cm}^{-3}$ e $W_{\text{fintop}} = 30 \text{ nm}$

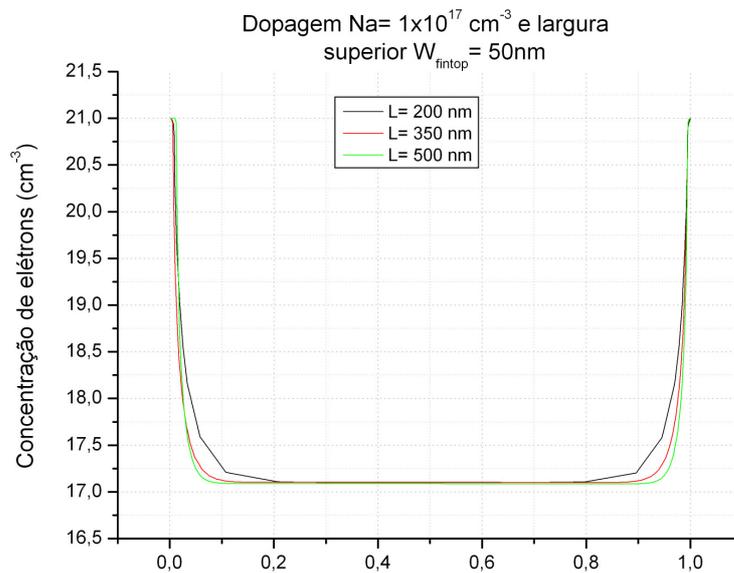


Figura 5.45: Gráfico da concentração de elétrons no comprimento do canal com dopagem $N_a = 1 \times 10^{17} \text{ cm}^{-3}$ e $W_{\text{fintop}} = 50 \text{ nm}$

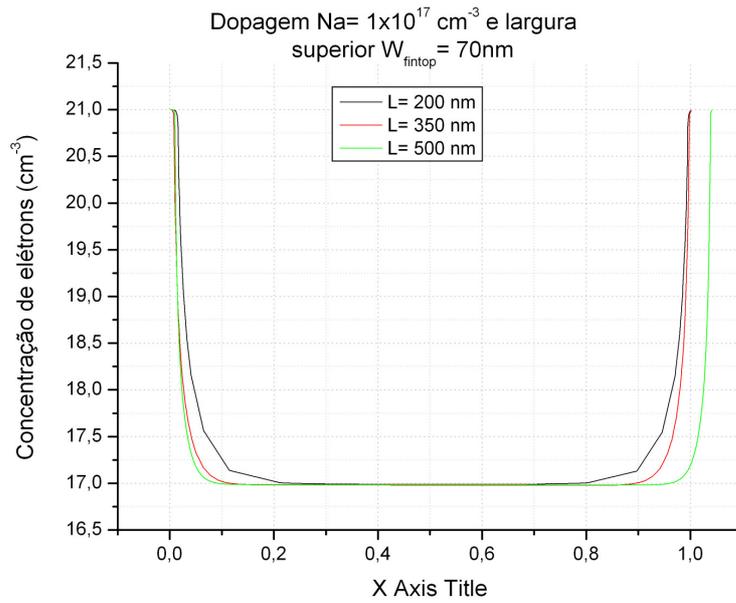


Figura 5.46: Gráfico da concentração de elétrons no comprimento do canal com dopagem $N_a = 1 \times 10^{17} \text{ cm}^{-3}$ e $W_{\text{fintop}} = 70 \text{ nm}$

Como uma forma de comparação, foram levantadas as distribuições de cargas dos mesmos transistores com variação de comprimento do canal e da largura superior, com dopagens maiores (no caso, concentração de 10^{16} e 10^{17} cm^{-3}), conforme as figuras 5.47 a 5.58:

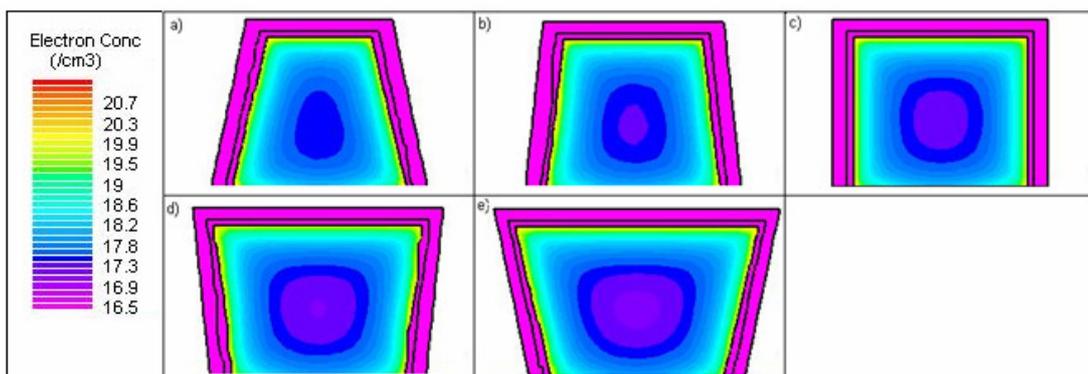


Figura 5.47: Cortes transversais para $L=200 \text{ nm}$ e de $N_a = 1 \times 10^{16} \text{ cm}^{-3}$ com $W_{\text{fintop}} =$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm

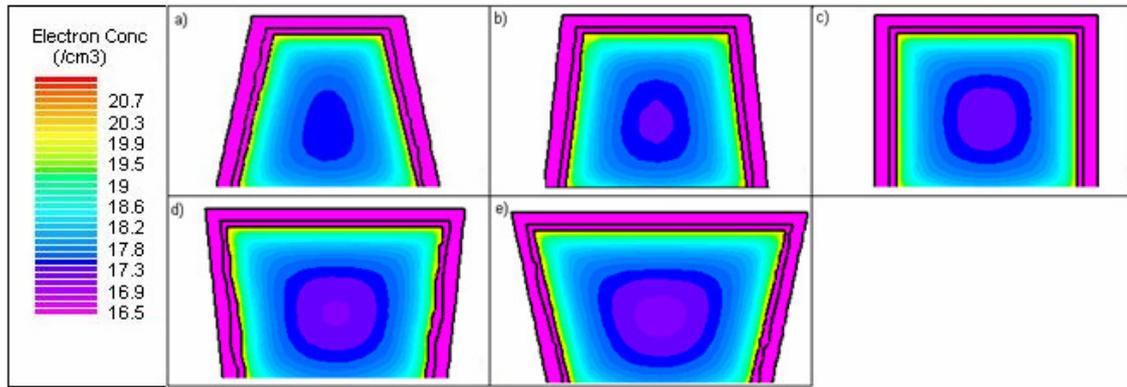


Figura 5.48: Cortes transversais para $L=350$ nm e de $N_a= 1 \times 10^{16} \text{ cm}^{-3}$ com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm

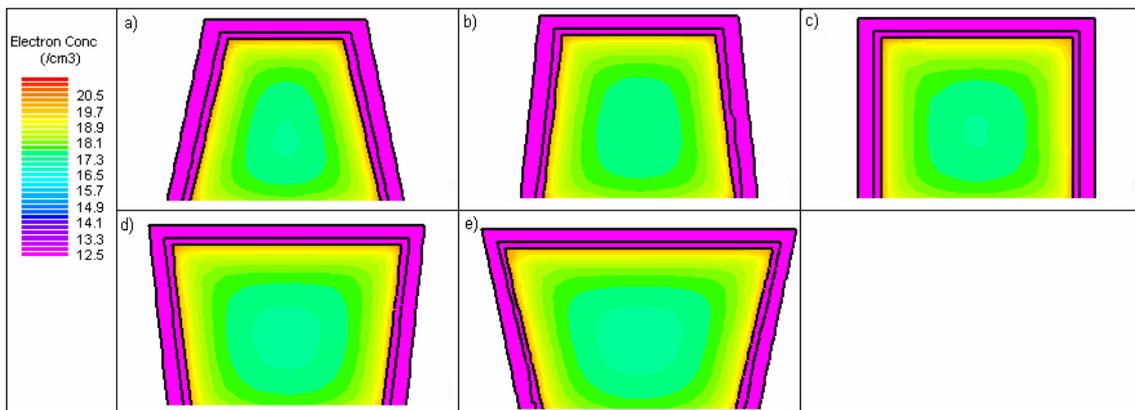


Figura 5.49: Cortes transversais para $L=500$ nm e de $N_a= 1 \times 10^{16} \text{ cm}^{-3}$ com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm

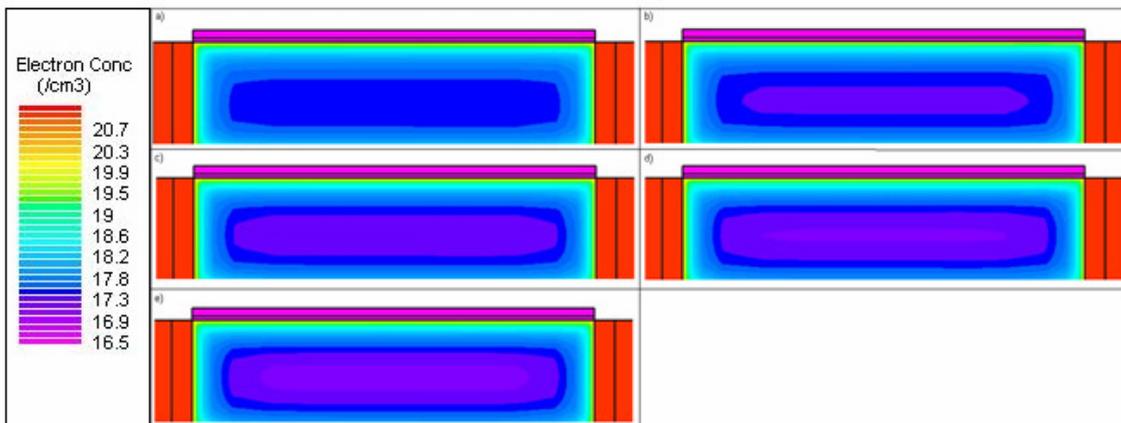


Figura 5.50: Cortes longitudinais $L=200$ nm e de $N_a= 1 \times 10^{16} \text{ cm}^{-3}$ com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm

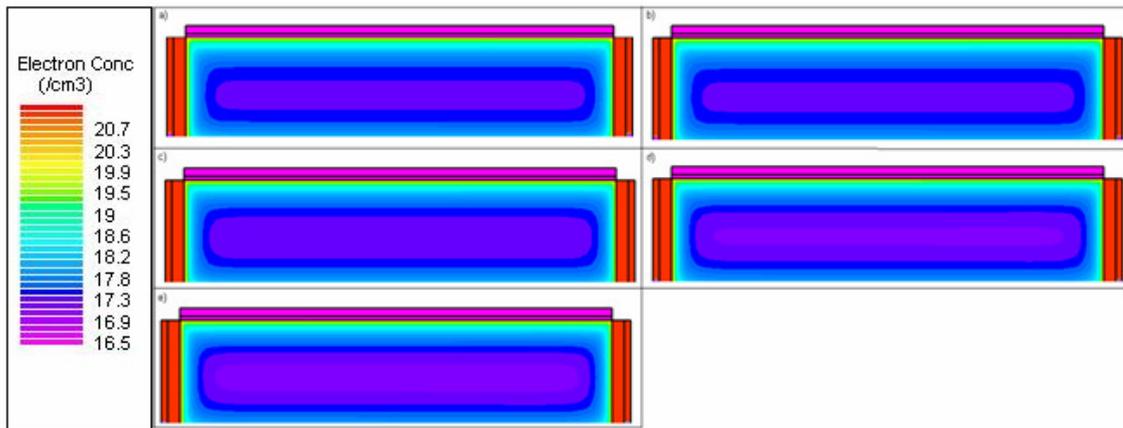


Figura 5.51: Cortes longitudinais $L=350$ nm e de $N_a= 1 \times 10^{16}$ cm^{-3} com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm

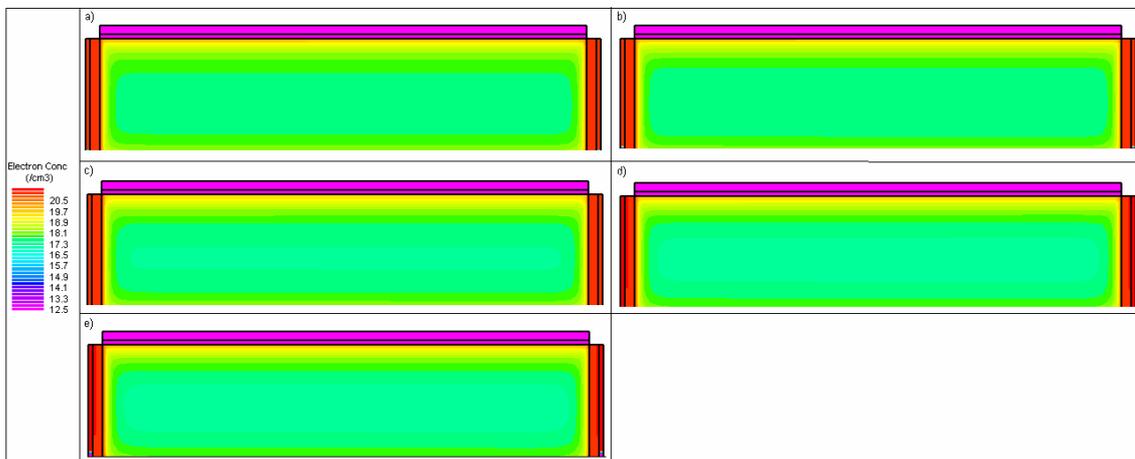


Figura 5.52: Cortes longitudinais $L=500$ nm e de $N_a= 1 \times 10^{16}$ cm^{-3} com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm

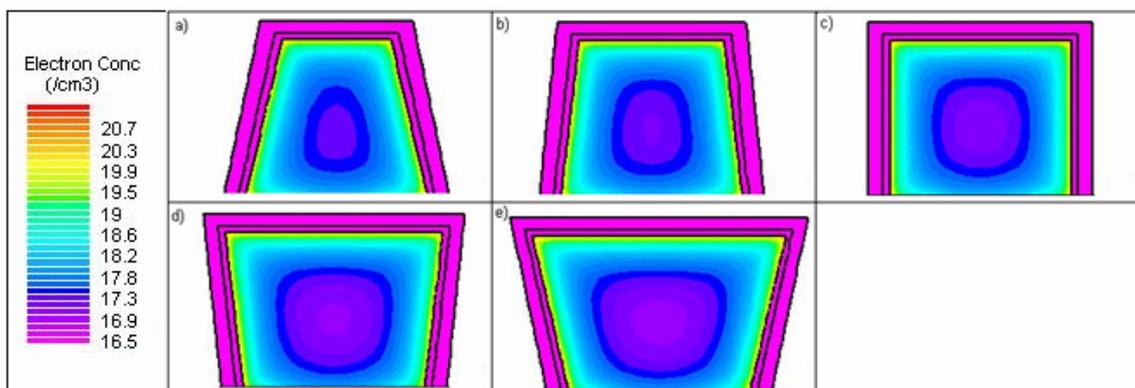


Figura 5.53: Cortes transversais para $L=200$ nm e de $N_a= 1 \times 10^{17}$ cm^{-3} com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm

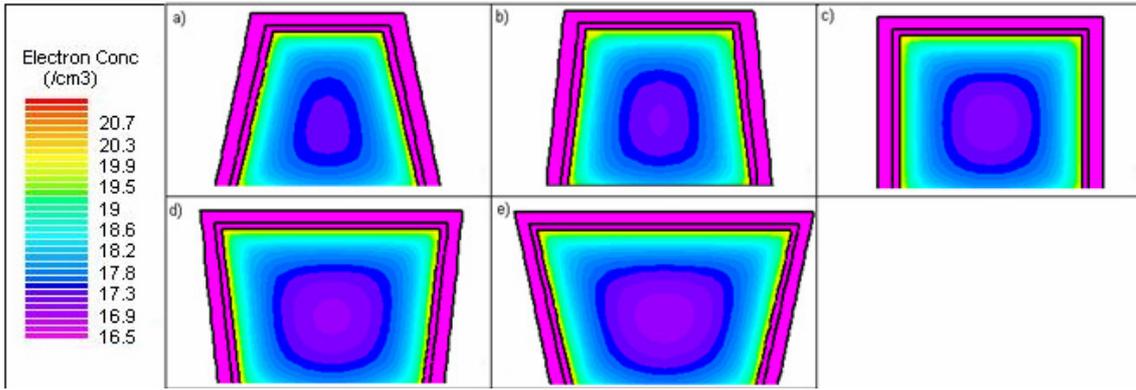


Figura 5.54: Cortes transversais para $L=350$ nm e de $N_a= 1 \times 10^{17}$ cm^{-3} com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm

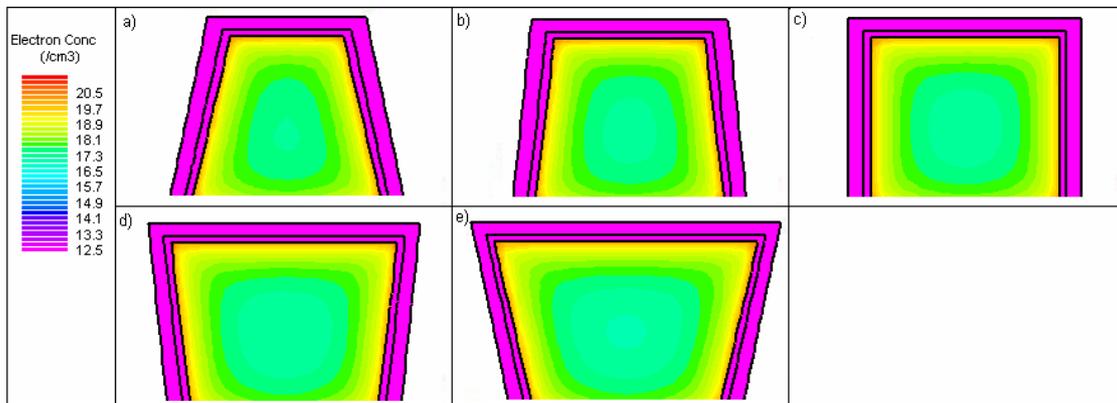


Figura 5.55: Cortes transversais para $L=500$ nm e de $N_a= 1 \times 10^{17}$ cm^{-3} com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm

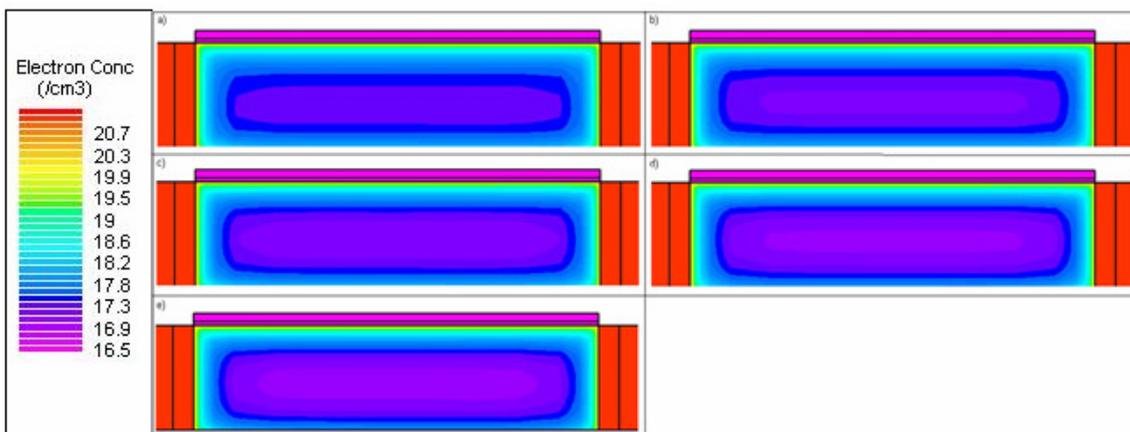


Figura 5.56: Cortes longitudinais $L=200$ nm e de $N_a= 1 \times 10^{17}$ cm^{-3} com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm

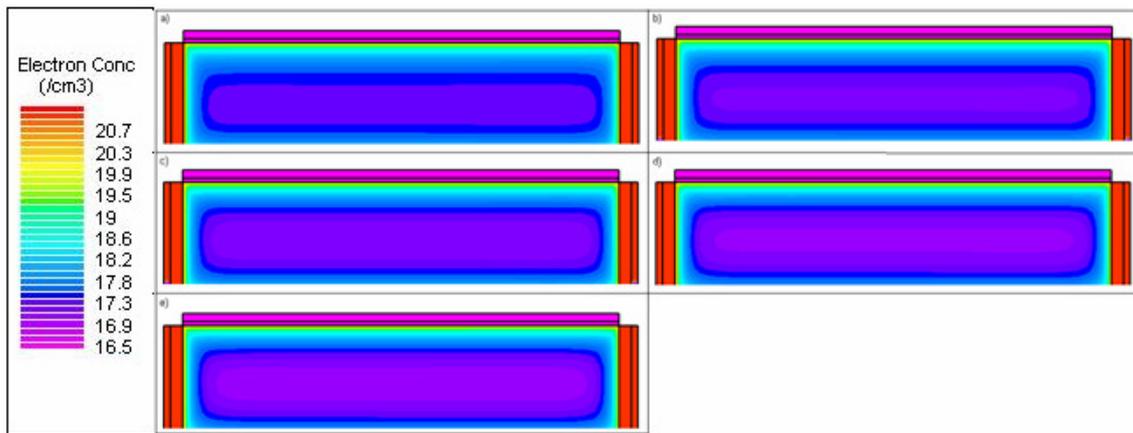


Figura 5.57: Cortes longitudinais $L=350$ nm e de $N_a= 1 \times 10^{17} \text{ cm}^{-3}$ com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm

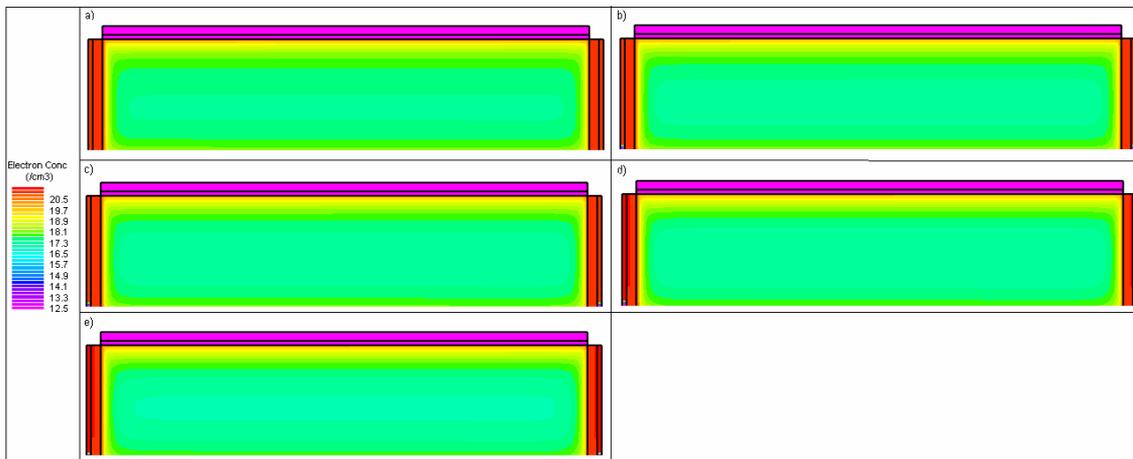


Figura 5.58: Cortes longitudinais $L=500$ nm e de $N_a= 1 \times 10^{17} \text{ cm}^{-3}$ com $W_{\text{fintop}}=$ (b) 30nm, (c) 40nm, (d) 50nm, (e) 60nm e (f) 70nm

Pode-se notar que há bastante semelhança no perfil de distribuição de cargas para os três níveis de dopagem simulados. Ocorre, no entanto, uma maior concentração de elétrons na proximidade das portas para dopagens maiores. As figura 5.59 mostra comparativamente a distribuição ao longo da seção transversal, no plano médio, de uma porta a outra [56]. Esta maior concentração explica porque o efeito relacionado ao canto, de aumento da transcondutância em ângulos superiores mais agudos, é mais significativa, para níveis de dopagem mais altos.

Observa-se também, que, para menores níveis de dopagem, a concentração de elétrons é mais plana e uniforme. Isso faz com que as variações de largura impliquem em variações quase proporcionais de carga de depleção e explica o fato da tensão de limiar ser mais dependente da largura em transistores menos dopados.

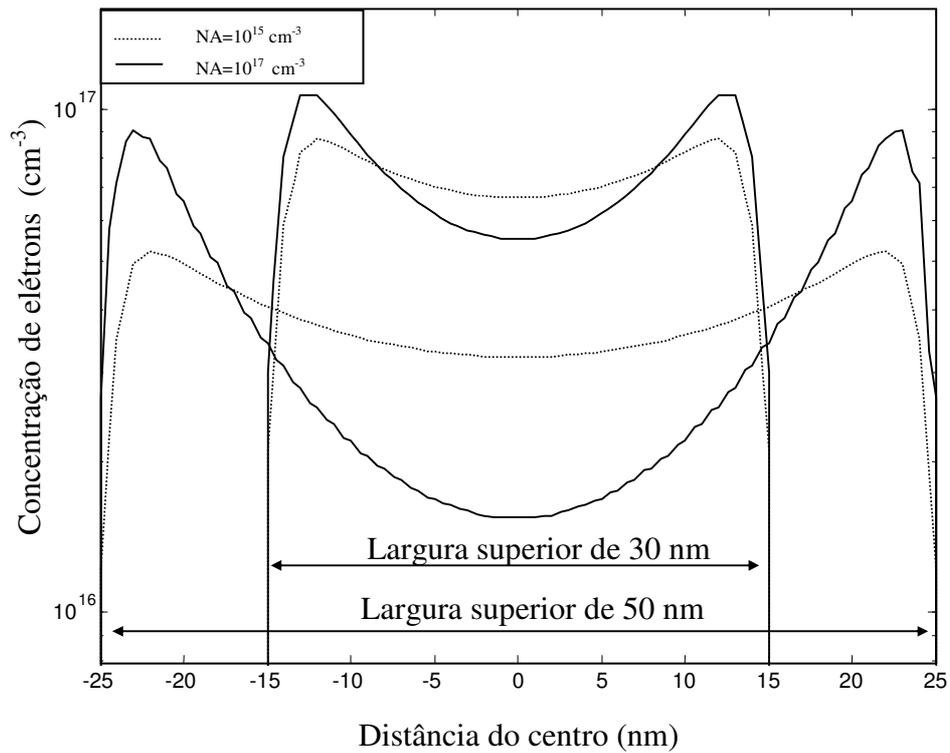


Figura 5.59: Concentração de elétrons na seção transversal média de transistores de porta tripla com largura de 30 e 50 nm e níveis de concentração de dopante de 1×10^{15} e $1 \times 10^{17} \text{ cm}^{-3}$ [56]

6 CONCLUSÕES

Este trabalho teve como objetivo verificar as possibilidades de simulação numérica bidimensional e tridimensional de transistores de efeito de campo de Porta Tripla, analisando parâmetros elétricos dos dispositivos.

Houve interesse no estudo das opções e possibilidades de modelagens oferecidas pelo simulador. Como o estudo proposto poderia implicar na simulação de dispositivos de dimensões reduzidas, foram avaliados modelos que consideram efeitos quânticos.

O primeiro modelo a ser estudado foi o modelo utilizando BQP. Para este modelo ser calibrado, foi utilizado um transistor de porta dupla. Foram realizadas calibrações para diversas combinações de dopagem x largura do canal do dispositivo, comparando-se a distribuição de cargas com a obtida pela solução das equações de Schrodinger-Poisson e Poisson.

Analisando o resultado das calibrações, pode-se observar que a utilização do modelo BQP é ideal para estruturas muito pequenas. As simulações com as menores estruturas ($W=30$ e 40nm) foram facilmente calibradas, quando comparadas ao modelo de Schrodinger-Poisson e para as maiores estruturas simuladas, houve uma maior dificuldade na calibração do modelo.

Comparando as distribuições de carga com as obtidas com o modelo contínuo (Poisson), pode-se concluir que o uso do modelo Bohm Quantum Potential (BQP) não seria conveniente dentro das dimensões mencionadas pois o ganho de qualidade, quando havia, não justificaria o investimento de recursos computacionais e tempo de simulação.

Após a avaliação dos modelos, foram simuladas estruturas tridimensionais com o dispositivo de Porta Tripla apresentando variações de ângulo de inclinação das paredes laterais, operacionalizado por variações da largura superior do canal e obtidos os valores de tensão de limiar, inclinação de sublimar e transcondutância, todas extraídas das curvas corrente x tensão.

Um resultado obtido nas simulações sobre a tensão de limiar é que ocorre variação entre os dispositivos simulados, levando-se em consideração um valor de dopagem constante e variando o ângulo do transistor de Porta Tripla. Observou-se que, conforme se aumenta o ângulo, aumenta o valor da tensão de limiar do dispositivo também [56].

Os resultados obtidos com as inclinações de sublimiar mostram pequenas variações deste parâmetro. Mesmo alterando a largura superior do canal, foram obtidos resultados satisfatórios (pouco superiores a 60mV / década). Devido a influências da região de fonte e dreno, o valor da inclinação de sublimiar aumentou conforme aumentava a largura superior do canal do transistor de Porta Tripla. Para comprimento menor, ocorre uma maior influência da região de fonte e dreno e para comprimentos maiores, o efeito de canal curto não é tão significativo.

Para verificar a influência do comprimento do canal na inclinação de sublimiar, foram simulados dispositivos com comprimentos de canal de 200 nm, 350 nm e 500nm. Conforme houve aumento do comprimento do canal, os valores das inclinações sublimiarias foram reduzindo, mostrando que as junções de fonte e dreno têm uma maior influência no corpo do transistor de menor canal.

Em seguida, a análise da concentração de elétrons na região do canal foi realizada. Para se verificar a influência das regiões de fonte e dreno no canal do dispositivo, foram verificadas todas as concentrações em todas as estruturas simuladas. O estudo foi realizado comparando a influência da fonte e dreno em dispositivos com mesmas concentrações de dopantes, e mesmas larguras de canal variando apenas o comprimento do canal.

Foi demonstrado também que a variação angular das paredes laterais tem influências no comportamento elétrico do dispositivo. Variando o valor da largura da porta superior, formaram-se regiões nos cantos do canal onde o potencial e a concentração de portadores sofrem influências de duas das três portas. Nestes cantos, a concentração de elétrons varia de acordo com a variação angular das paredes laterais.

Baseado nos resultados obtidos, um estudo para ser realizado como uma continuidade de pesquisa é analisar outras variações geométricas com formatos também comuns para os transistores FinFETs e avaliar aplicações específicas através de estudos de parâmetros como condutância de saída, ganho de tensão e linearidade.

7 REFERÊNCIAS

- [1] W. Shockley; Bell Labs lab notebook no. 20455, January 1948, pp 128–32, 23.
- [2] W. Shockley; Circuit Element Utilizing Semiconductive Material, U. S. Patent 2, 569, 347 (Filed June 26, 1948. Issued September 25, 1951).
- [3] W. Shockley; The Theory of P-N Junctions in Semiconductors and P-N Junction Transistors, Bell System Technical Journal, vol. 28, pp. 435–89, 1949.
- [4] W. Shockley; Electrons and holes in Semiconductors with Applications to Transistor Electronics. (New York: Van Nostrand 1950).
- [5] W. Brinkman et. al. “A History of the Invention of the Transistor and Where it will lead us”, IEEE J. Solid-St. Circ. Vol. 32, no. 12, pp. 1858-1865 (1997).
- [6] 50th Aniversary of the Transistor, Proceedings of the IEEE, vol. 86, no.1, pp.1-308 (1998).
- [7] “Solid-State Century – The Past, Present and Future of the Transistor”, Scientific American, Special Issue 1997.
- [8] W. Shockley. Bell Telephone Laboratories; A Unipolar "Field-Effect" Transistor. Inc.,Murray Hill, New Jersey; Proceedings of the IRE, Nov. 1952, Volume: 40, Issue: 11, On
- [9] D.M. Chapin, C.S. Fuller; Pearson, G. L. “A New Silicon p-n Junction Photocell for Converting Solar Radiation into Electrical Power”, Journal of Applied Physics 25 (1954) 676.
- [10] J. Andrus and W.L. Bond; Photoengraving in Transistor Fabrication in F. J. Biondi et al, eds., Transistor Technology, vol. III (Princeton, NJ: D. Van Nostrand, 1958), pp. 151–162
- [11] J. Andrus; Fabrication of Semiconductor Devices, U.S. Patent no. 3, 122, 817 (Filed August 15, 1957. Issued March 3, 1964).
- [12] T.O. Stanley; The Validity of Scaling Principles for Field-Effect Transistors. David Sarnoff Research Center, Princeton Technical Report 1282 (August 13, 1962).
- [13] R.H. Dennard, F.H. Gaensslen, L. Kuhn, H.N. Yu; Design of micron MOS switching devices. IEDM Technical Digest (December 1972) pp. 168-170.
- [14] R.H. Dennard, F.H. Gaensslen, H.N. Yu, V. Rideout, Leo, Bassous, Ernest, & LeBlanc, R. Andre; Design of ion-implanted MOSFET's with Very Small Physical Dimensions, IEEE Journal of Solid-State Circuits, vol. 9 (October 1974), pp. 256-268

- [15] B. Hoeneisen and C. Mead; Fundamental limitations in Microelectronics – 1. MOS Technology,” Solid State Electronics, vol. 15, no. 7 (July 1972) pp. 819-829.
- [16] Bin, Y.; Chang L.; Ahamed, S.; Wang H.; Bell, S.; Yang, C. Y.; Tabery Y, C.; HO, C.; Xiang, Q.; King, T. J.; Bokor, J.; Hu, C.; Lin, M. R.; Kyser, D. FinFET Scaling to 10 nm Gate Length. In: Technical Digest of IEDM – International Electron Devices Meeting, p. 251–254, 2002.
- [17] J.P. Colinge; Silicon-on-Insulator Technology: Materials to VLSI, Boston, Kluwer Academic Publishers, 2003.
- [18] D. Kahng; IEEE Transactions on Electron Devices, Vol 23, no. 7, p655, 1976
- [19] S. Cristoloveanu, S. Li.: Electrical Characterization of Silicon On Insulator Materials and Devices. Kluwer Academic Publishers, 1995.
- [20] F. Balestra, S. Cristoloveanu, M. Benachir, T. Elewa, IEEE Electron Device Letters, vol.8, 1987.
- [21] L. Ge, J.G. Fossum, IEEE Transaction on Electron Devices, Vol.49, no.2, 2002.
- [22] J.E. Lilienfield: U.S.patents 1,745,175 (filed 1926, issued 1930), 1,877,140 (filed 1928, issued 1932) and 1,900,018 (filed 1928, issued 1933).
- [23] S.A. HU PARKE, P.K. C. KO. Dept. of Electr. Eng. & Comput. Sci.; Bipolar FET hybrid mode operation of quarter micrometer SOI MOSFETs [MESFETs read MOSFETs]. California Univ., Berkeley, CA; This Electron Device Letters, IEEE, May 1993, volume: 14, issue: 5, on page(s): 234-236.
- [24] H.M. Manasevit and W.I. Simpson: Journal of Applied Physics Vol.35, p.1349, 1964.
- [25] P.K. Vasudev, D.C. Mayer: Materials Research Society Symposia Proceedings, v.33, p.35, 1984.
- [26] J.P. Colinge; FinFETs and other multi-gate Transistor, Springer Science and Business Media, 2008.
- [27] H.K. Lim, J.G. Fossum; Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's. IEEE Transactions on Electron Devices, v. 30, n. 10, p. 1244-1451, 1983.
- [28] H.K. Lim, J.G. Fossum: IEEE Transactions on Electron Devices, Vol. 31, p. 401, 1984.
- [29] F. Balestra, S. Cristoloveanu, M Benachir, J. Brini, T. Elewa; Double-Gate Siliconon-Insulator Transistor with Volume Inversion: A New Device With Greatly Enhanced Performance. IEEE Electron Device letters, v. EDL-8, n. 9, p. 410-412, 1987.

- [30] R.J. Van Overstraeten, G.J. Declercq e P.A. Mulla: Theory of the MOS transistor in weak inversion, IEEE trans. Electron devices, Vol.22, 1975.
- [31] S.M. Sze, Physics of Semiconductor Devices, Wiley & Sons, 1981
- [32] J.P. Colinge, Technical Digest of International Electron Devices Meeting (IEDM), 1989.
- [33] M.A. Pavanello, J.A. Martino, V. Dessard, D. Flandre: Solid-State Electronics, Vol. 44, no.7, p.1219, 2000.
- [34] M. Galetti, M.A. Pavanello, J.A. Martino.: Electrochemical Society Proceedings, Vol.2003-09, p.48, 2003.
- [35] J.G. Fossum, K. Kim, Y. Chong: Extremely Scaled Double-Gate CMOS Performance Projections, Including GIDL-Controlled Off-State Current, 1999
- [36] A. Breed, K.P. Roenker: Comparison of the Scaling Characteristics of Nanoscale Silicon N-Channel Multiple-Gate MOSFETS, 2005
- [37] T. Sekigawa, Y. Hayashi: Solid State Electronics, Vol 27, 1984.
- [38] A. Ferron, B. Cottle, G. Curatola, G. Fiori, E. Guichard: Schrödinger Approach and Density Gradient Model for Quantum Effects Modeling, Simulation Standard, Vol.14, Number 2, 2004.
- [39] D. Hisamoto, T. Kaga, D. Kawamoto, E. Takeda: Technical Digest of IEDM, 1992.
- [40] J.P. Colinge; M.H. Gao; A. Romano; H. Maes; C. Claeys; Silicon-on- Technical Digest of IEDM,. Insulator "Gate-All-Around Device", 1990
- [41] J.T. Park, J.P. Colinge; IEEE Transactions on Electron Devices, vol. 49, p. 2222, 2002.
- [42] R.P. Bechelli, R. Giacomini: Charge Distribution in Triple Gate Devices as Threshold Voltage, 2007
- [43] X. Huang, C. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y.K. Choi, K. Asano, V. Subramanian, T.J. King, J. Bokor, C. HU; Sub50-nm FinFET: Pmos, in IEDMTech. Dig., 1999.
- [44] Xion, Shiyinggand, BOKOR Jeffrey; Sensitivity of Double-Gate and FinFET Devices to Process Variations, in IEEE transactions on electro devices, Vol.50, no.11, 2003.
- [45] D. Hisamoto: "Impact of the vertical SOI 'Delta' Structure on Planar Device Technology" IEEE Trans. Electron. Dev. 41, 1991.

- [46] Akarvardar, K.; Mercha, A.; Cristoloveanu, S.; Gentil, P.; Simoen, E.; Subramanian, V. and Claeys, C. A two-dimensional model for interface coupling in triple-gate transistors. *IEEE Trans. Electron Devices*. Vol. 54: (4) 767-775; 2007.
- [47] ATLAS User's Manual: Device Simulation Software Version 5.10.0.R, 2005
- [48] J.A. Martino, M.A. Pavanello, P.B. Verdonck; *Caracterização Elétrica de Tecnologia e Dispositivos MOS*, Thomson, São Paulo, 2003.
- [49] B. Mazhari, D.E. Ioannou: "Surface potential at threshold in thin-film SOI MOSFETs," *IEEE Trans. Electron Devices*, Vol.40, 1993.
- [50] A. Terao, D. Flandre, E. Lora tomayo, F. Van der wiele: Measurement of threshold voltages of thin-film accumulation-mode SOI transistors, *IEEE Electron Device Lett.*, Vol.12, 1991.
- [51] WIKIPEDIA Free Encyclopedia: www.wikipedia.org
- [52] P.A.M. Dirac: *The Principles of Quantum Mechanics*, 1930
- [53] B.G. Streetman, S.K. Banerjee: *Solid State Electronic Devices*, 6ed. 2005.
- [54] W. Hansch: "Carrier transport near the Si/SiO₂ interface of a MOSFET", *Solid-State Electron.*, Vol.32, 1989.
- [55] M.J. Van Dort: "A simple model for quantization effects in heavily doped silicon MOSFET's at inversion conditions", *Solid-State Electron.*, Vol.37, 1994.
- [56] R. Giacomini, J.A. Martino: Influence of non-vertical sidewall on finfet's threshold voltage. In *Microelectronics Technology Devices – SB Micro 2006*.

8 APÊNDICE I



TRIDIMENSIONAL SIMULATION OF FINFETS WITH SPECIAL GEOMETRIES

Almir Kajihara, Renato Giacomini

Centro Universitário da FEI
 Av. H. de A. Castelo Branco, 3972. S. B.do Campo – SP. ZIP: 09850-901. Brazil
 e-mail: almir_kajihara@yahoo.com.br

Due to some limitations of the manufacturing processes, geometric variations in fabricated FinFETs result in modifications of the electrical parameters of these devices [1]. One of the most common geometry variations is the trapezoidal FinFET. In this device, the sidewalls (Gates) are inclined, instead of being vertical, resulting in a trapezoidal cross-section. The main purpose of this work is to study some of the characteristics of trapezoidal FinFETs, through three-dimensional simulation, for several doping levels and sidewall inclination angles.

- Top width ($W_{fin\ top}$) = from 30 to 70 nm;
- Bottom width ($W_{fin\ bottom}$) = 50 nm;
- Gate-oxide thickness = 2 nm;
- Channel Length = 200 nm

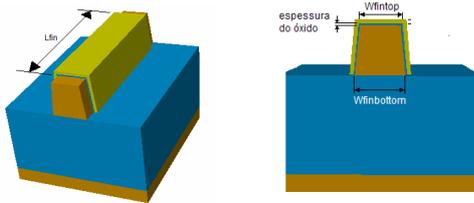
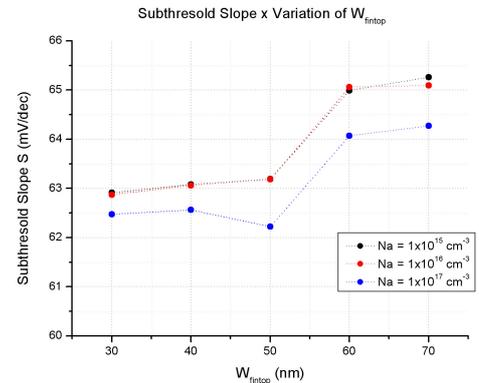
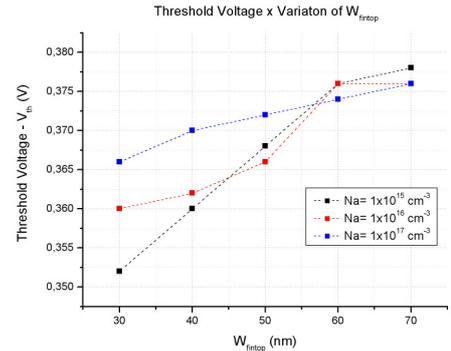


Figure 1: Device dimensions

The FinFETs were simulated using a three-dimensional numeric simulator (Atlas device simulator [2], from TCAD). From the $I_{DS} \times V_{GS}$ curves the threshold voltage (V_{th}) and the subthreshold (S) slope were extracted, showing the influence of the inclination angle on the device performance [3].

To simulate the inclination angle variation, the channel top width ($W_{fin\ top}$) ranged from 30 to 70 nm, while the bottom width ($W_{fin\ bottom}$) and the height were maintained constant at 50 nm (both). For each of these structures, the values of 10^{15} , 10^{16} and 10^{17} cm^{-3} were assigned to the channel region doping level.

Figure 2a shows the results for the threshold voltage, as a function of the top channel width, for some doping levels. Figure 2b shows the subthreshold slope results in the same conditions. Both the threshold voltage and the subthreshold voltage are increased as the device top width gets greater. The threshold voltage increase may be explained by the increase of the depletion charge in the channel, which is proportional to the silicon film width. The subthreshold voltage increase may be explained by the smaller coupling between the charge in the active region and the gates, and by the stronger influence of the drain and source regions.



[1] X. Wu, P. C. H. Chan, M. Chan, *Proceedings of the IEEE International SOI Conference*, p. 151-152 (2003).

[2] Atlas Device Simulator User's Manual, v. 5.10.0.R, Silvaco Int. Santa Clara, CA (USA), 2005.

[3] GIACOMINI R., MARTINO J. A., Influence of non-vertical sidewall on finfet's threshold voltage, 2006.film width. The subthreshold voltage increase may be explained by the smaller coupling between the charge in the active region and the gates, and by the stronger influence of the drain and source regions.

9 APÊNDICE II

A seguir, algumas descrições dos arquivos de entrada de simulação utilizados neste trabalho:

- Modelo utilizado na calibração de um dispositivo Dual Gate com o modelo BQP (Bohm Quantum Potential):

go atlas

mesh

x.meshlocation=	-0.015
x.meshlocation=	-0.014
x.meshlocation=	-0.013
x.meshlocation=	-0.012
x.meshlocation=	-0.011
x.meshlocation=	-0.01
x.meshlocation=	-0.009
x.meshlocation=	-0.008
x.meshlocation=	-0.007
x.meshlocation=	-0.006
x.meshlocation=	-0.005
x.meshlocation=	-0.004
x.meshlocation=	-0.003
x.meshlocation=	-0.002
x.meshlocation=	-0.001
x.meshlocation=	0
x.meshlocation=	0.001
x.meshlocation=	0.002
x.meshlocation=	0.003
x.meshlocation=	0.004
x.meshlocation=	0.005
x.meshlocation=	0.006
x.meshlocation=	0.007
x.meshlocation=	0.008
x.meshlocation=	0.009
x.meshlocation=	0.01
x.meshlocation=	0.011
x.meshlocation=	0.012
x.meshlocation=	0.013
x.meshlocation=	0.014
x.meshlocation=	0.015
x.meshlocation=	0.016
x.meshlocation=	0.017
x.meshlocation=	0.018
x.meshlocation=	0.019
x.meshlocation=	0.02

x.meshlocation= 0.021
x.meshlocation= 0.022
x.meshlocation= 0.023
x.meshlocation= 0.024
x.meshlocation= 0.025
x.meshlocation= 0.026
x.meshlocation= 0.027
x.meshlocation= 0.028
x.meshlocation= 0.029
x.meshlocation= 0.03
x.meshlocation= 0.031
x.meshlocation= 0.032
x.meshlocation= 0.033
x.meshlocation= 0.034
x.meshlocation= 0.035
x.meshlocation= 0.036
x.meshlocation= 0.037
x.meshlocation= 0.038
x.meshlocation= 0.039
x.meshlocation= 0.04
x.meshlocation= 0.041
x.meshlocation= 0.042
x.meshlocation= 0.043
x.meshlocation= 0.044
x.meshlocation= 0.045
x.meshlocation= 0.046
x.meshlocation= 0.047
x.meshlocation= 0.048
x.meshlocation= 0.049
x.meshlocation= 0.05
x.meshlocation= 0.051
x.meshlocation= 0.052
x.meshlocation= 0.053
x.meshlocation= 0.054
x.meshlocation= 0.055
x.meshlocation= 0.056
x.meshlocation= 0.057
x.meshlocation= 0.058
x.meshlocation= 0.059
x.meshlocation= 0.06
x.meshlocation= 0.061
x.meshlocation= 0.062
x.meshlocation= 0.063
x.meshlocation= 0.064
x.meshlocation= 0.065
x.meshlocation= 0.066
x.meshlocation= 0.067
x.meshlocation= 0.068
x.meshlocation= 0.069
x.meshlocation= 0.07

x.meshlocation= 0.071
x.meshlocation= 0.072
x.meshlocation= 0.073
x.meshlocation= 0.074
x.meshlocation= 0.075
x.meshlocation= 0.076
x.meshlocation= 0.077
x.meshlocation= 0.078
x.meshlocation= 0.079
x.meshlocation= 0.08
x.meshlocation= 0.081
x.meshlocation= 0.082
x.meshlocation= 0.083
x.meshlocation= 0.084
x.meshlocation= 0.085
x.meshlocation= 0.086
x.meshlocation= 0.087
x.meshlocation= 0.088
x.meshlocation= 0.089
x.meshlocation= 0.09
x.meshlocation= 0.091
x.meshlocation= 0.092
x.meshlocation= 0.093
x.meshlocation= 0.094
x.meshlocation= 0.095
x.meshlocation= 0.096
x.meshlocation= 0.097
x.meshlocation= 0.098
x.meshlocation= 0.099
x.meshlocation= 0.1
x.meshlocation= 0.101
x.meshlocation= 0.102
x.meshlocation= 0.103
x.meshlocation= 0.104
x.meshlocation= 0.105
x.meshlocation= 0.106
x.meshlocation= 0.107
x.meshlocation= 0.108
x.meshlocation= 0.109
x.meshlocation= 0.11
x.meshlocation= 0.111
x.meshlocation= 0.112
x.meshlocation= 0.113
x.meshlocation= 0.114
x.meshlocation= 0.115
x.meshlocation= 0.116
x.meshlocation= 0.117
x.meshlocation= 0.118
x.meshlocation= 0.119
x.meshlocation= 0.120

x.meshlocation= 0.121
x.meshlocation= 0.122
x.meshlocation= 0.123
x.meshlocation= 0.124
x.meshlocation= 0.125
x.meshlocation= 0.126
x.meshlocation= 0.127
x.meshlocation= 0.128
x.meshlocation= 0.129
x.meshlocation= 0.130
x.meshlocation= 0.131
x.meshlocation= 0.132
x.meshlocation= 0.133
x.meshlocation= 0.134
x.meshlocation= 0.135
x.meshlocation= 0.136
x.meshlocation= 0.137
x.meshlocation= 0.138
x.meshlocation= 0.139
x.meshlocation= 0.140
x.meshlocation= 0.141
x.meshlocation= 0.142
x.meshlocation= 0.143
x.meshlocation= 0.144
x.meshlocation= 0.145
x.meshlocation= 0.146
x.meshlocation= 0.147
x.meshlocation= 0.148
x.meshlocation= 0.149
x.meshlocation= 0.150
x.meshlocation= 0.151
x.meshlocation= 0.152
x.meshlocation= 0.153
x.meshlocation= 0.154
x.meshlocation= 0.155
x.meshlocation= 0.156
x.meshlocation= 0.157
x.meshlocation= 0.158
x.meshlocation= 0.159
x.meshlocation= 0.160
x.meshlocation= 0.161
x.meshlocation= 0.162
x.meshlocation= 0.163
x.meshlocation= 0.164
x.meshlocation= 0.165
x.meshlocation= 0.166
x.meshlocation= 0.167
x.meshlocation= 0.168
x.meshlocation= 0.169
x.meshlocation= 0.170

x.mesh location= 0.171
x.mesh location= 0.172
x.mesh location= 0.173
x.mesh location= 0.174
x.mesh location= 0.175
x.mesh location= 0.176
x.mesh location= 0.177
x.mesh location= 0.178
x.mesh location= 0.179
x.mesh location= 0.180
x.mesh location= 0.181
x.mesh location= 0.182
x.mesh location= 0.183
x.mesh location= 0.184
x.mesh location= 0.185

y.mesh location= -0.005
y.mesh location= -0.004
y.mesh location= -0.003
y.mesh location= -0.002
y.mesh location= -0.001
y.mesh location= 0
y.mesh location= 0.001
y.mesh location= 0.002
y.mesh location= 0.003
y.mesh location= 0.004
y.mesh location= 0.005
y.mesh location= 0.006
y.mesh location= 0.007
y.mesh location= 0.008
y.mesh location= 0.009
y.mesh location= 0.01
y.mesh location= 0.011
y.mesh location= 0.012
y.mesh location= 0.013
y.mesh location= 0.014
y.mesh location= 0.015
y.mesh location= 0.016
y.mesh location= 0.017
y.mesh location= 0.018
y.mesh location= 0.019
y.mesh location= 0.02
y.mesh location= 0.021
y.mesh location= 0.022
y.mesh location= 0.023
y.mesh location= 0.024
y.mesh location= 0.025
y.mesh location= 0.026
y.mesh location= 0.027
y.mesh location= 0.028

y.mesh location= 0.029
y.mesh location= 0.03
y.mesh location= 0.031
y.mesh location= 0.032
y.mesh location= 0.033
y.mesh location= 0.034
y.mesh location= 0.035
y.mesh location= 0.036
y.mesh location= 0.037
y.mesh location= 0.038
y.mesh location= 0.039
y.mesh location= 0.040
y.mesh location= 0.041
y.mesh location= 0.042
y.mesh location= 0.043
y.mesh location= 0.044
y.mesh location= 0.045
y.mesh location= 0.046
y.mesh location= 0.047
y.mesh location= 0.048
y.mesh location= 0.049
y.mesh location= 0.050
y.mesh location= 0.051
y.mesh location= 0.052
y.mesh location= 0.053
y.mesh location= 0.054
y.mesh location= 0.055
y.mesh location= 0.056
y.mesh location= 0.057
y.mesh location= 0.058
y.mesh location= 0.059
y.mesh location= 0.060
y.mesh location= 0.061
y.mesh location= 0.062
y.mesh location= 0.063
y.mesh location= 0.064
y.mesh location= 0.065
y.mesh location= 0.066
y.mesh location= 0.067
y.mesh location= 0.068
y.mesh location= 0.069
y.mesh location= 0.070
y.mesh location= 0.071
y.mesh location= 0.072
y.mesh location= 0.073
y.mesh location= 0.074
y.mesh location= 0.075

region num=1 material=Silicon x.min=-0.015 x.max=0.185 y.min=0.0 y.max=0.1
region num=2 material=oxide x.min=-0.015 x.max=0.185 y.min=-0.003 y.max=0.0

region num=3 material=oxide x.min=-0.015 x.max=0.185 y.min=0.070 y.max=0.073

electrode name=gate x.min=-0.015 x.max=0.185 y.min=-0.005 y.max=-0.003

electrode name=gate2 x.min=-0.015 x.max=0.185 y.min=0.073 y.max=0.075

doping uniform conc=1e16 p.type reg=1

contact name=gate tungsten

contact name=gate2 tungsten commons=gate

set gamma=1.4

set alpha=0.5

model fermi bqp.n srh ni.fermi hcte.el bqp.ngamma=\$gamma bqp.nalpha=\$alpha

evsatmod=0 auger bgn fldmob consrh print

impact selb

solve init

solve prev

log outf=bqp200x70_10e16.log

solve vgate_1=0.0 vstep=0.1 name=gate vfinal=0.8

save outf=bqp200x70_10e16.str

quit

- Modelo de simulação de um dispositivo FINFET utilizando o modelo de Schrodinger para a extração da Tensão de Limiar (V_{th}):

```
go DEVEDIT simflags="-3d"  
DEVEDIT version=2.6.0.R
```

```
#Larguras  
set Na=15  
set wfintop=30
```

```
set wsi="$wfintop"/2000  
set wox="$wfintop"/2000 + 0.002  
set wga="$wfintop"/2000 + 0.006
```

```
work.area x1=-0.100 y1=-0.300 x2=0.100 y2=0.080
```

```
#CORPO
```

```
region reg=1 name=body mat=Silicon color=0xffcc00 pattern=0x4 z1=0.010 z2=0.210 \  
  polygon="-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
```

```
#
```

```
#DRENO
```

```
region reg=2 name=drain mat=Silicon color=0xffcc00 pattern=0x4 z1=0 z2=0.010 \  
  polygon="-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
```

```
#
```

```
#FONTE
```

```
region reg=3 name=source mat=Silicon color=0xffcc00 pattern=0x4 z1=0.210 z2=0.220 \  
  polygon="-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
```

```
#
```

```
#ISOLANTE DE PORTA
```

```
region reg=4 mat="Silicon Oxide" color=0xff pattern=0x2 z1=0.010 z2=0.210 \  
  polygon="-0.027,0 -0.025,0 -$"wsi",0.050 $"wsi",0.050 0.025,0 0.027,0  
  $"wox",0.052 -$"wox",0.052"
```

```
#
```

```
#PORTA
```

```
region reg=5 name=gate mat=PolySilicon elec.id=3 work.func=0 color=0xffff00  
  pattern=0x5 z1=0.010 z2=0.210 \  
  polygon="-0.031,0 -0.027,0 -$"wox",0.052 $"wox",0.052 0.027,0 0.031,0  
  $"wga",0.056 -$"wga",0.056"
```

```
#
```

```
#DRENO ele
```

```
region reg=6 name=drain mat=Silicon elec.id=1 work.func=0 color=0xffcc00  
  pattern=0x4 z1=-0.010 z2=0 \  
  polygon="-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
```

```
#
```

```
#FONTE ele
```

```
region reg=7 name=source mat=Silicon elec.id=2 work.func=0 color=0xffcc00  
  pattern=0x4 z1=0.220 z2=0.230 \  
  polygon="-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
```

```

    polygon="-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
#
#SUBSTRATO
region reg=8 name=box mat="Silicon Oxide" color=0xffcccc pattern=0x4 z1=-0.010
z2=0.230 \
    polygon="-0.1,0 0.1,0 0.1,-0.1 -0.1,-0.1"
#
#BULK ele
region reg=9 name=bulk mat=Silicon elec.id=4 work.func=0 color=0xffcc00
pattern=0x4 z1=-0.010 z2=0.230 \
    polygon="-0.1,-0.1 0.1,-0.1 0.1,-0.120 -0.1,-0.120"
#
set xcentro10=-$"wsi"+0.002
constr.mesh id=1 x1=-0.025 y1=0 x2=0.025 y2=0.050 default max.height=0.004
max.width=0.004
constr.mesh id=2 x1=-0.027 y1=0 x2=$"xcentro10" y2=0.052 default
max.height=0.0020 max.width=0.0020
constr.mesh id=3 x1=0.027 y1=0 x2=-$"xcentro10" y2=0.052 default
max.height=0.0020 max.width=0.0020
constr.mesh id=5 x1=$"xcentro10" y1=0.045 x2=-$"xcentro10" y2=0.052 default
max.height=0.0010 max.width=0.0010
constr.mesh id=6 x1=-0.027 y1=-0.005 x2=0.027 y2=0.005 default max.height=0.0020
max.width=0.0020
Mesh Mode=MeshBuild

z.plane z= -0.0100 spacing=0.1
z.plane z= -0.0050 spacing=0.1
z.plane z= -0.0010 spacing=0.1
z.plane z= 0.0000 spacing=0.1
z.plane z= 0.0010 spacing=0.1
z.plane z= 0.0020 spacing=0.1
z.plane z= 0.0050 spacing=0.1
z.plane z= 0.0080 spacing=0.1
z.plane z= 0.0090 spacing=0.1
z.plane z= 0.0095 spacing=0.1
z.plane z= 0.0098 spacing=0.1
z.plane z= 0.0099 spacing=0.1
z.plane z= 0.0100 spacing=0.1
z.plane z= 0.0101 spacing=0.1
z.plane z= 0.0102 spacing=0.1
z.plane z= 0.0105 spacing=0.1
z.plane z= 0.0110 spacing=0.1
z.plane z= 0.0120 spacing=0.1
z.plane z= 0.0150 spacing=0.1
z.plane z= 0.0200 spacing=0.1
z.plane z= 0.0300 spacing=0.1
z.plane z= 0.0500 spacing=0.1
z.plane z= 0.0700 spacing=0.1
z.plane z= 0.0900 spacing=0.1
z.plane z= 0.1100 spacing=0.1

```

```

z.plane z= 0.1300 spacing=0.1
z.plane z= 0.1500 spacing=0.1
z.plane z= 0.1700 spacing=0.1
z.plane z= 0.1900 spacing=0.1
z.plane z= 0.2000 spacing=0.1
z.plane z= 0.2050 spacing=0.1
z.plane z= 0.2080 spacing=0.1
z.plane z= 0.2090 spacing=0.1
z.plane z= 0.2095 spacing=0.1
z.plane z= 0.2098 spacing=0.1
z.plane z= 0.2099 spacing=0.1
z.plane z= 0.2100 spacing=0.1
z.plane z= 0.2101 spacing=0.1
z.plane z= 0.2102 spacing=0.1
z.plane z= 0.2105 spacing=0.1
z.plane z= 0.2110 spacing=0.1
z.plane z= 0.2120 spacing=0.1
z.plane z= 0.2150 spacing=0.1
z.plane z= 0.2180 spacing=0.1
z.plane z= 0.2190 spacing=0.1
z.plane z= 0.2200 spacing=0.1
z.plane z= 0.2210 spacing=0.1
z.plane z= 0.2250 spacing=0.1
z.plane z= 0.2300 spacing=0.1

```

```
z.plane max.spacing=1000000 max.ratio=1.5
```

```

structure outf="$wfintop"$"Na".str
go atlas
#
#***** define the doping concentrations *****
#
doping uniform conc=1e$"Na" p.type reg=1
doping uniform conc=1e21 n.type reg=2
doping uniform conc=1e21 n.type reg=3
doping uniform conc=1e21 n.type reg=5
doping uniform conc=1e21 n.type reg=6
doping uniform conc=1e21 n.type reg=7
doping uniform conc=1e21 n.type reg=9
#
# set interface charge separately on front and back oxide interfaces
interf qf=3e10 region=4
#
# set workfunction of gate
contact name=gate tungsten
#
# select models
model fermi srh ni.fermi hcte.el evsatmod=0 fldmob impact print auger bgn consrh

```

```
#method maxtrap=6 autonr nblockit=45 bicgst dvlimit=1.0
solve    prev

log      outf="$wfintop"$"Na".log
solve    vdrain=0.05
solve    name=gate vgate=0.15 vfinal=0.45 vstep=0.002
log off

save outf="$wfintop"$"Na"solve.str master

quit
```

- Modelo de simulação de um dispositivo FINFET utilizando o modelo de Schrodinger para a extração do valor da Inclinação de Sublimiar (S):

```
go DEVEDIT simflags="-3d"
#triple gate para avaliação analógica
DEVEDIT version=2.6.0.R

#Larguras
set Na=16
set wfintop=30

set wsi="$wfintop"/2000
set wox="$wfintop"/2000 + 0.002
set wga="$wfintop"/2000 + 0.006

work.area x1=-0.100 y1=-0.300 x2=0.100 y2=0.080

#CORPO
region reg=1 name=body mat=Silicon color=0xffcc00 pattern=0x4 z1=0.010 z2=0.210 \
    polygon="-0.025,0 0.025,0 "$wsi",0.050 -"$wsi",0.050"
#
#DRENO
region reg=2 name=drain mat=Silicon color=0xffcc00 pattern=0x4 z1=0 z2=0.010 \
    polygon="-0.025,0 0.025,0 "$wsi",0.050 -"$wsi",0.050"
#
#FONTE
region reg=3 name=source mat=Silicon color=0xffcc00 pattern=0x4 z1=0.210 z2=0.220 \
    polygon="-0.025,0 0.025,0 "$wsi",0.050 -"$wsi",0.050"
#
#ISOLANTE DE PORTA
region reg=4 mat="Silicon Oxide" color=0xff pattern=0x2 z1=0.010 z2=0.210 \
    polygon="-0.027,0 -0.025,0 -"$wsi",0.050 "$wsi",0.050 0.025,0 0.027,0
"$wox",0.052 -"$wox",0.052"
#
#PORTA
region reg=5 name=gate mat=PolySilicon elec.id=3 work.func=0 color=0xffff00
pattern=0x5 z1=0.010 z2=0.210 \
    polygon="-0.031,0 -0.027,0 -"$wox",0.052 "$wox",0.052 0.027,0 0.031,0
"$wga",0.056 -"$wga",0.056"
#
#DRENO ele
region reg=6 name=drain mat=Silicon elec.id=1 work.func=0 color=0xffcc00
pattern=0x4 z1=-0.010 z2=0 \
    polygon="-0.025,0 0.025,0 "$wsi",0.050 -"$wsi",0.050"
#
#FONTE ele
region reg=7 name=source mat=Silicon elec.id=2 work.func=0 color=0xffcc00
pattern=0x4 z1=0.220 z2=0.230 \
```

```

        polygon="-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
#
#SUBSTRATO
region reg=8 name=box mat="Silicon Oxide" color=0xffcccc pattern=0x4 z1=-0.010
z2=0.230 \
        polygon="-0.1,0 0.1,0 0.1,-0.1 -0.1,-0.1"
#
#BULK ele
region reg=9 name=bulk mat=Silicon elec.id=4 work.func=0 color=0xffcc00
pattern=0x4 z1=-0.010 z2=0.230 \
        polygon="-0.1,-0.1 0.1,-0.1 0.1,-0.120 -0.1,-0.120"
#
set xcentro10=-$"wsi"+0.002
constr.mesh id=1 x1=-0.025 y1=0 x2=0.025 y2=0.050 default max.height=0.004
max.width=0.004
constr.mesh id=2 x1=-0.027 y1=0 x2=$"xcentro10" y2=0.052 default
max.height=0.0020 max.width=0.0020
constr.mesh id=3 x1=0.027 y1=0 x2=-$"xcentro10" y2=0.052 default
max.height=0.0020 max.width=0.0020
constr.mesh id=5 x1=$"xcentro10" y1=0.045 x2=-$"xcentro10" y2=0.052 default
max.height=0.0010 max.width=0.0010
constr.mesh id=6 x1=-0.027 y1=-0.005 x2=0.027 y2=0.005 default max.height=0.0020
max.width=0.0020
Mesh Mode=MeshBuild

z.plane z= -0.0100 spacing=0.1
z.plane z= -0.0050 spacing=0.1
z.plane z= -0.0010 spacing=0.1
z.plane z= 0.0000 spacing=0.1
z.plane z= 0.0010 spacing=0.1
z.plane z= 0.0020 spacing=0.1
z.plane z= 0.0050 spacing=0.1
z.plane z= 0.0080 spacing=0.1
z.plane z= 0.0090 spacing=0.1
z.plane z= 0.0095 spacing=0.1
z.plane z= 0.0098 spacing=0.1
z.plane z= 0.0099 spacing=0.1
z.plane z= 0.0100 spacing=0.1
z.plane z= 0.0101 spacing=0.1
z.plane z= 0.0102 spacing=0.1
z.plane z= 0.0105 spacing=0.1
z.plane z= 0.0110 spacing=0.1
z.plane z= 0.0120 spacing=0.1
z.plane z= 0.0150 spacing=0.1
z.plane z= 0.0200 spacing=0.1
z.plane z= 0.0300 spacing=0.1
z.plane z= 0.0500 spacing=0.1
z.plane z= 0.0700 spacing=0.1
z.plane z= 0.0900 spacing=0.1
z.plane z= 0.1100 spacing=0.1

```

```

z.plane z= 0.1300 spacing=0.1
z.plane z= 0.1500 spacing=0.1
z.plane z= 0.1700 spacing=0.1
z.plane z= 0.1900 spacing=0.1
z.plane z= 0.2000 spacing=0.1
z.plane z= 0.2050 spacing=0.1
z.plane z= 0.2080 spacing=0.1
z.plane z= 0.2090 spacing=0.1
z.plane z= 0.2095 spacing=0.1
z.plane z= 0.2098 spacing=0.1
z.plane z= 0.2099 spacing=0.1
z.plane z= 0.2100 spacing=0.1
z.plane z= 0.2101 spacing=0.1
z.plane z= 0.2102 spacing=0.1
z.plane z= 0.2105 spacing=0.1
z.plane z= 0.2110 spacing=0.1
z.plane z= 0.2120 spacing=0.1
z.plane z= 0.2150 spacing=0.1
z.plane z= 0.2180 spacing=0.1
z.plane z= 0.2190 spacing=0.1
z.plane z= 0.2200 spacing=0.1
z.plane z= 0.2210 spacing=0.1
z.plane z= 0.2250 spacing=0.1
z.plane z= 0.2300 spacing=0.1

```

```
z.plane max.spacing=1000000 max.ratio=1.5
```

```

structure outf="$wfintop"$"Na".str
go atlas
#
#***** define the doping concentrations *****
#
doping uniform conc=1e$"Na" p.type reg=1
doping uniform conc=1e21 n.type reg=2
doping uniform conc=1e21 n.type reg=3
doping uniform conc=1e21 n.type reg=5
doping uniform conc=1e21 n.type reg=6
doping uniform conc=1e21 n.type reg=7
doping uniform conc=1e21 n.type reg=9
#
# set interface charge separately on front and back oxide interfaces
interf qf=3e10 region=4
#
# set workfunction of gate
contact name=gate tungsten
#
# select models
model fermi srh ni.fermi hcte.el evsatmod=0 fldmob impact print auger bgn consrh

#method maxtrap=6 autonr nblockit=45 bicgst dvlimit=1.0

```

```
solve    prev

log      outf="$wfintop"$"Na".log
solve   vdrain=0.05
solve   name=gate vgate=0 vfinal=0.8 vstep=0.02
log off

save outf="$wfintop"$"Na"solve.str master

quit
```

- Modelo de simulação de um dispositivo FINFET utilizando o modelo de Schrodinger para a análise da estrutura na tensão de Limiar:

```
go DEVEDIT simflags="-3d"
DEVEDIT version=2.6.0.R

#Larguras
set Na=15
set wfintop=30
set vth=0.352

set wsi="$wfintop"/2000
set wox="$wfintop"/2000 + 0.002
set wga="$wfintop"/2000 + 0.006

work.area x1=-0.100 y1=-0.300 x2=0.100 y2=0.080

#CORPO
region reg=1 name=body mat=Silicon color=0xffcc00 pattern=0x4 z1=0.010 z2=0.210 \
    polygon="-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
#
#DRENO
region reg=2 name=drain mat=Silicon color=0xffcc00 pattern=0x4 z1=0 z2=0.010 \
    polygon="-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
#
#FONTE
region reg=3 name=source mat=Silicon color=0xffcc00 pattern=0x4 z1=0.210 z2=0.220 \
    polygon="-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
#
#ISOLANTE DE PORTA
region reg=4 mat="Silicon Oxide" color=0xff pattern=0x2 z1=0.010 z2=0.210 \
    polygon="-0.027,0 -0.025,0 -$"wsi",0.050 $"wsi",0.050 0.025,0 0.027,0
    $"wox",0.052 -$"wox",0.052"
#
#PORTA
region reg=5 name=gate mat=PolySilicon elec.id=3 work.func=0 color=0xffff00
    pattern=0x5 z1=0.010 z2=0.210 \
    polygon="-0.031,0 -0.027,0 -$"wox",0.052 $"wox",0.052 0.027,0 0.031,0
    $"wga",0.056 -$"wga",0.056"
#
#DRENO ele
region reg=6 name=drain mat=Silicon elec.id=1 work.func=0 color=0xffcc00
    pattern=0x4 z1=-0.010 z2=0 \
    polygon="-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
#
#FONTE ele
region reg=7 name=source mat=Silicon elec.id=2 work.func=0 color=0xffcc00
    pattern=0x4 z1=0.220 z2=0.230 \
```

```

    polygon="-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
#
#SUBSTRATO
region reg=8 name=box mat="Silicon Oxide" color=0xffcccc pattern=0x4 z1=-0.010
z2=0.230 \
    polygon="-0.1,0 0.1,0 0.1,-0.1 -0.1,-0.1"
#
#BULK ele
region reg=9 name=bulk mat=Silicon elec.id=4 work.func=0 color=0xffcc00
pattern=0x4 z1=-0.010 z2=0.230 \
    polygon="-0.1,-0.1 0.1,-0.1 0.1,-0.120 -0.1,-0.120"
#
set xcentro10=-$"wsi"+0.002
constr.mesh id=1 x1=-0.025 y1=0 x2=0.025 y2=0.050 default max.height=0.004
max.width=0.004
constr.mesh id=2 x1=-0.027 y1=0 x2=-0.013 y2=0.052 default max.height=0.0020
max.width=0.0020
constr.mesh id=3 x1=0.027 y1=0 x2=0.013 y2=0.052 default max.height=0.0020
max.width=0.0020
constr.mesh id=5 x1=-0.013 y1=0.045 x2=0.013 y2=0.052 default max.height=0.0010
max.width=0.0010
constr.mesh id=6 x1=-0.027 y1=-0.005 x2=0.027 y2=0.005 default max.height=0.0020
max.width=0.0020
Mesh Mode=MeshBuild

z.plane z= -0.0100 spacing=0.1
z.plane z= -0.0050 spacing=0.1
z.plane z= -0.0010 spacing=0.1
z.plane z= 0.0000 spacing=0.1
z.plane z= 0.0010 spacing=0.1
z.plane z= 0.0020 spacing=0.1
z.plane z= 0.0050 spacing=0.1
z.plane z= 0.0080 spacing=0.1
z.plane z= 0.0090 spacing=0.1
z.plane z= 0.0095 spacing=0.1
z.plane z= 0.0098 spacing=0.1
z.plane z= 0.0099 spacing=0.1
z.plane z= 0.0100 spacing=0.1
z.plane z= 0.0101 spacing=0.1
z.plane z= 0.0102 spacing=0.1
z.plane z= 0.0105 spacing=0.1
z.plane z= 0.0110 spacing=0.1
z.plane z= 0.0120 spacing=0.1
z.plane z= 0.0150 spacing=0.1
z.plane z= 0.0200 spacing=0.1
z.plane z= 0.0300 spacing=0.1
z.plane z= 0.0500 spacing=0.1
z.plane z= 0.0700 spacing=0.1
z.plane z= 0.0900 spacing=0.1
z.plane z= 0.1100 spacing=0.1

```

```

z.plane z= 0.1300 spacing=0.1
z.plane z= 0.1500 spacing=0.1
z.plane z= 0.1700 spacing=0.1
z.plane z= 0.1900 spacing=0.1
z.plane z= 0.2000 spacing=0.1
z.plane z= 0.2050 spacing=0.1
z.plane z= 0.2080 spacing=0.1
z.plane z= 0.2090 spacing=0.1
z.plane z= 0.2095 spacing=0.1
z.plane z= 0.2098 spacing=0.1
z.plane z= 0.2099 spacing=0.1
z.plane z= 0.2100 spacing=0.1
z.plane z= 0.2101 spacing=0.1
z.plane z= 0.2102 spacing=0.1
z.plane z= 0.2105 spacing=0.1
z.plane z= 0.2110 spacing=0.1
z.plane z= 0.2120 spacing=0.1
z.plane z= 0.2150 spacing=0.1
z.plane z= 0.2180 spacing=0.1
z.plane z= 0.2190 spacing=0.1
z.plane z= 0.2200 spacing=0.1
z.plane z= 0.2210 spacing=0.1
z.plane z= 0.2250 spacing=0.1
z.plane z= 0.2300 spacing=0.1

```

```
z.plane max.spacing=1000000 max.ratio=1.5
```

```

structure outf="$wfintop"$"Na"_item2.str
go atlas
#
#***** define the doping concentrations *****
#
doping uniform conc=1e$"Na" p.type reg=1
doping uniform conc=1e21 n.type reg=2
doping uniform conc=1e21 n.type reg=3
doping uniform conc=1e21 n.type reg=5
doping uniform conc=1e21 n.type reg=6
doping uniform conc=1e21 n.type reg=7
doping uniform conc=1e21 n.type reg=9
#
# set interface charge separately on front and back oxide interfaces
interf qf=3e10 region=4
#
# set workfunction of gate
contact name=gate tungsten
#
# select models
model fermi srh ni.fermi hcte.el evsatmod=0 fldmob print auger bgn consrh
impact selb

```

```
#method maxtrap=6 autonr nblockit=45 bicgst dvlimit=1.0
solve    prev

log      outf="$wfintop"$"Na"_item2.log
solve    vdrain=0.05
solve    vgate="$vth"
log off

save outf="$wfintop"$"Na"_item2_solve.str máster
quit
```

- Modelo de simulação de um dispositivo FINFET utilizando o modelo de Schrodinger para a extração da Curva de corrente de dreno por tensão de dreno (Id x Vd):

```
go DEVEDIT simflags="-3d"
DEVEDIT version=2.6.0.R

#Larguras
set Na=15
set wfintop=30
set vth=0.358

set wsi="$wfintop"/2000
set wox="$wfintop"/2000 + 0.002
set wga="$wfintop"/2000 + 0.006

set vgs1="$vth"+0.1
set vgs2="$vth"+0.2
set vgs3="$vth"+0.3

work.area x1=-0.100 y1=-0.300 x2=0.100 y2=0.080

#CORPO
region reg=1 name=body mat=Silicon color=0xffcc00 pattern=0x4 z1=0.010 z2=0.210 \
    polygon="-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
#
#DRENO
region reg=2 name=drain mat=Silicon color=0xffcc00 pattern=0x4 z1=0 z2=0.010 \
    polygon="-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
#
#FONTE
region reg=3 name=source mat=Silicon color=0xffcc00 pattern=0x4 z1=0.210 z2=0.220 \
    polygon="-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
#
#ISOLANTE DE PORTA
region reg=4 mat="Silicon Oxide" color=0xff pattern=0x2 z1=0.010 z2=0.210 \
    polygon="-0.027,0 -0.025,0 -$"wsi",0.050 $"wsi",0.050 0.025,0 0.027,0
    $"wox",0.052 -$"wox",0.052"
#
#PORTA
region reg=5 name=gate mat=PolySilicon elec.id=3 work.func=0 color=0xffff00
    pattern=0x5 z1=0.010 z2=0.210 \
    polygon="-0.031,0 -0.027,0 -$"wox",0.052 $"wox",0.052 0.027,0 0.031,0
    $"wga",0.056 -$"wga",0.056"
#
#DRENO ele
region reg=6 name=drain mat=Silicon elec.id=1 work.func=0 color=0xffcc00
    pattern=0x4 z1=-0.010 z2=0 \
    polygon="-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
```

```

#
#FONTE ele
region reg=7 name=source mat=Silicon elec.id=2 work.func=0 color=0xffcc00
pattern=0x4 z1=0.220 z2=0.230 \
    polygon="-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
#
#SUBSTRATO
region reg=8 name=box mat="Silicon Oxide" color=0xffcccc pattern=0x4 z1=-0.010
z2=0.230 \
    polygon="-0.1,0 0.1,0 0.1,-0.1 -0.1,-0.1"
#
#BULK ele
region reg=9 name=bulk mat=Silicon elec.id=4 work.func=0 color=0xffcc00
pattern=0x4 z1=-0.010 z2=0.230 \
    polygon="-0.1,-0.1 0.1,-0.1 0.1,-0.120 -0.1,-0.120"
#
set xcentro10=-$"wsi"+0.002
constr.mesh id=1 x1=-0.025 y1=0 x2=0.025 y2=0.050 default max.height=0.004
max.width=0.004
constr.mesh id=2 x1=-0.027 y1=0 x2=$"xcentro10" y2=0.052 default
max.height=0.0020 max.width=0.0020
constr.mesh id=3 x1=0.027 y1=0 x2=-$"xcentro10" y2=0.052 default
max.height=0.0020 max.width=0.0020
constr.mesh id=5 x1=$"xcentro10" y1=0.045 x2=-$"xcentro10" y2=0.052 default
max.height=0.0010 max.width=0.0010
constr.mesh id=6 x1=-0.027 y1=-0.005 x2=0.027 y2=0.005 default max.height=0.0020
max.width=0.0020
Mesh Mode=MeshBuild

z.plane z= -0.0100 spacing=0.1
z.plane z= -0.0050 spacing=0.1
z.plane z= -0.0010 spacing=0.1
z.plane z= 0.0000 spacing=0.1
z.plane z= 0.0010 spacing=0.1
z.plane z= 0.0020 spacing=0.1
z.plane z= 0.0050 spacing=0.1
z.plane z= 0.0080 spacing=0.1
z.plane z= 0.0090 spacing=0.1
z.plane z= 0.0095 spacing=0.1
z.plane z= 0.0098 spacing=0.1
z.plane z= 0.0099 spacing=0.1
z.plane z= 0.0100 spacing=0.1
z.plane z= 0.0101 spacing=0.1
z.plane z= 0.0102 spacing=0.1
z.plane z= 0.0105 spacing=0.1
z.plane z= 0.0110 spacing=0.1
z.plane z= 0.0120 spacing=0.1
z.plane z= 0.0150 spacing=0.1
z.plane z= 0.0200 spacing=0.1
z.plane z= 0.0300 spacing=0.1

```

```

z.plane z= 0.0500 spacing=0.1
z.plane z= 0.0700 spacing=0.1
z.plane z= 0.0900 spacing=0.1
z.plane z= 0.1100 spacing=0.1
z.plane z= 0.1300 spacing=0.1
z.plane z= 0.1500 spacing=0.1
z.plane z= 0.1700 spacing=0.1
z.plane z= 0.1900 spacing=0.1
z.plane z= 0.2000 spacing=0.1
z.plane z= 0.2050 spacing=0.1
z.plane z= 0.2080 spacing=0.1
z.plane z= 0.2090 spacing=0.1
z.plane z= 0.2095 spacing=0.1
z.plane z= 0.2098 spacing=0.1
z.plane z= 0.2099 spacing=0.1
z.plane z= 0.2100 spacing=0.1
z.plane z= 0.2101 spacing=0.1
z.plane z= 0.2102 spacing=0.1
z.plane z= 0.2105 spacing=0.1
z.plane z= 0.2110 spacing=0.1
z.plane z= 0.2120 spacing=0.1
z.plane z= 0.2150 spacing=0.1
z.plane z= 0.2180 spacing=0.1
z.plane z= 0.2190 spacing=0.1
z.plane z= 0.2200 spacing=0.1
z.plane z= 0.2210 spacing=0.1
z.plane z= 0.2250 spacing=0.1
z.plane z= 0.2300 spacing=0.1

```

```
z.plane max.spacing=1000000 max.ratio=1.5
```

```

structure outf="$wfintop"$"Na".str
go atlas
#
#***** define the doping concentrations *****
#
doping uniform conc=1e$"Na" p.type reg=1
doping uniform conc=1e21 n.type reg=2
doping uniform conc=1e21 n.type reg=3
doping uniform conc=1e21 n.type reg=5
doping uniform conc=1e21 n.type reg=6
doping uniform conc=1e21 n.type reg=7
doping uniform conc=1e21 n.type reg=9
#
# set interface charge separately on front and back oxide interfaces
interf qf=3e10 region=4
#
# set workfunction of gate
contact name=gate tungsten
#

```

```
# select models
model fermi srh ni.fermi hcte.el evsatmod=0 fldmob print auger bgn consrh
impact selb

#method maxtrap=6 autonr nblockit=45 bicgst dvlimit=1.0
solve      prev

log      outf="$wfintop"$"Na"vgs1.log
solve    name=gate vgate=0 vfinal="$vgs1" vstep=0.05
solve    name=drain vdrain=0 vfinal=0.8 vstep=0.01
log off

log      outf="$wfintop"$"Na"vgs2.log
solve    name=gate vgate=0 vfinal="$vgs2" vstep=0.05
solve    name=drain vdrain=0 vfinal=0.8 vstep=0.01
log off

log      outf="$wfintop"$"Na"vgs3.log
solve    name=gate vgate=0 vfinal="$vgs3" vstep=0.05
solve    name=drain vdrain=0 vfinal=0.8 vstep=0.01
log off

save outf="$wfintop"$"Na"solve.str máster

quit
```