

CENTRO UNIVERSITÁRIO DA FEI
LUIZ GUSTAVO PEREIRA MARTINS

ESTUDO DE TRANSISTORES SOI MOS DE PERFIL TRAPEZOIDAL
ATRAVÉS DE SIMULAÇÃO NUMÉRICA TRIDIMENSIONAL

São Bernardo do Campo
2008

Luiz Gustavo Pereira Martins

**ESTUDO DE TRANSISTORES SOI MOS DE PERFIL TRAPEZOIDAL
ATRAVÉS DE SIMULAÇÃO NUMÉRICA TRIDIMENSIONAL**

Dissertação apresentada ao Centro
Universitário da FEI como parte dos requisitos
necessários para a obtenção do título de
Mestre em Engenharia Elétrica, orientado pelo
Prof. Dr. Renato Giacomini.

**São Bernardo do Campo
2008**

Martins, Luiz Gustavo Pereira

Estudo de transistores SOI MOS de perfil trapezoidal através de simulação numérica tridimensional./ Luiz Gustavo Pereira Martins – São Bernardo do Campo, 2008.

110f.: Il.

Trabalho de Conclusão de Curso – Centro Universitário da FEI.

Orientador: Prof. Dr. Renato Giacomini

1. SOI. 2. FinFET. 3. Porta Dupla. 4. Porta Tripla. I. Giacomini, Renato. II Título.

Dedico este trabalho aos meus pais Luiz Antônio e Rute, ao meu irmão Guilherme e minha noiva Márcia por todo o incentivo e apoio concedidos ao longo de toda jornada.

AGRADECIMENTOS

Ao Prof. Dr. Renato Camargo Giacomini, por mais uma vez ter aceitado ser meu orientador, despendendo total atenção e dedicação ao meu trabalho. Obrigado por ser muito mais do que meu orientador, mas um grande amigo.

Aos professores, Dr. Marcelo Antonio Pavanello, Dr. Marcello Bellodi, Dr. João Antonio Martino e Dr. Salvador Pinillos Gimenez pelos ensinamentos em sala de aula e contribuições na concepção desta dissertação.

Aos meus pais Luiz Antonio Pio Martins e Rute Pereira Martins, ao meu irmão Guilherme Pereira Martins por todo carinho, apoio e estrutura em todos os momentos da minha vida.

A minha futura esposa Márcia Gouveia da Cunha por todo amor, incentivo e paciência ao longo destes dois anos e seis meses de mestrado.

A todos os meus colegas de turma, principalmente Ana, Almir e Wellington que contribuíram bastante no desenvolvimento deste trabalho.

A todas as pessoas que, de certa forma, auxiliaram na concepção deste trabalho e por ventura foram aqui omitidas.

Por fim, e o mais importante, eu agradeço a Deus por todas as oportunidades que tem dado a mim. Principalmente pela minha vida, repleta de saúde e cercada de pessoas que auxiliam no crescimento da minha pessoa.

*Faça as coisas o mais simples que você
puder, porém não se restrinja às mais simples.*

Albert Einstein

RESUMO

Martins, L. G. P. **Estudo de transistores SOI MOS de perfil trapezoidal através de simulação numérica tridimensional**. 2008. Dissertação (Mestrado) – Centro Universitário da FEI, São Bernardo do Campo, 2008.

Os dispositivos SOI MOS de múltiplas portas estão entre os transistores não planares de melhor desempenho, uma vez que, ao possuir o canal envolvido por mais de uma porta é maior o controle sobre as cargas no interior do canal, minimizando os efeitos causados pela redução das dimensões (escalamento). No processo de fabricação destes dispositivos podem ocorrer variações geométricas que eventualmente influenciam seu funcionamento elétrico.

Neste trabalho é apresentado um estudo das características elétricas de dispositivos de portas triplas, não planares, construídos sobre substratos SOI, quando submetidos a variações geométricas de inclinação das paredes laterais e da variação de concentração de dopantes na região ativa.

Foi executada uma série de simulações numéricas tridimensionais com o intuito de levantar as curvas características de corrente versus tensão dos dispositivos. A partir das curvas resultantes, foram determinadas as tensões de limiar (V_{Th}), inclinações de sublimiar (S), transcondutâncias (gm) e condutâncias de dreno (gd). Os resultados obtidos mostraram que tanto o ângulo de inclinação das paredes laterais, como a concentração de dopantes no silício influem diretamente no desempenho dos transistores.

Além da análise dos parâmetros elétricos obtidos através de simulações numéricas, também é apresentada uma extensão do modelo analítico tradicional de corrente de dreno, aplicável diretamente a transistores de paredes inclinadas. Trata-se de uma expressão fechada da corrente em função do ângulo e da polarização, para a região de saturação. O modelo é verificado comparando-se sua saída com dados de simulação.

Palavras-chave: SOI. FinFET. Porta Dupla. Porta Tripla.

ABSTRACT

Martins, L. G. P. **Study of trapezoidal SOI transistors through three-dimensional numeric simulation.** 2008. Dissertation (Master) – Centro Universitário da FEI, São Bernardo do Campo, 2008.

The Multiple-gates SOI devices are high performance non-planar transistors. The inversion and depletion charge control is improved because more than one gate surrounds the channel, minimizing the effects caused by scaling. Some geometrical variations that may affect their electric behavior can occur during the manufacturing process.

This work presents a three-dimensional numeric simulation study of SOI non-planar triple-gate devices, considering variations on sidewall inclination angles and doping concentrations.

In order to evaluate the voltage-current characteristics, a set of three-dimensional simulations was run. The threshold voltages (V_{Th}), subthreshold slopes (S), transconductances (gm) and drain conductances (gd) were calculated. The obtained results show that both sidewall inclination and doping concentrations have influence on the transistors performance.

It's also presented an extension of the traditional analytical drain current model, directly applicable on inclined sidewalls transistors. It is a restricted expression of the current in function of the inclination angle and the saturation region bias. The model is verified comparing its exit with numeric simulation.

Key words: SOI, FinFET, double gate, triple gate

LISTA DE FIGURAS

Fig 2.1– Comparação da resistência à radiação entre os dispositivos MOS convencional (A) e SOI (B) [24].	22
Fig 2.2 – Perfil de transistores de canal N nas tecnologias: MOS convencional (A) e SOI (B).	23
Fig 2.3 – Diagrama de faixas de energia de um dispositivo SOI PD.	24
Fig 2.4 – Diagrama de faixas de energia de um dispositivo SOI FD.	25
Fig 2.5 – Distribuição das cargas de depleção em dispositivos MOS convencional (A) e FD SOI (B), de canais compridos (esquerda) e curtos (direita). Qd1 é a carga de depleção controlada pela porta.	28
Fig 2.6 – Curva mologoratómica $I_{DS} \times V_{GS}$ de um dispositivo nMOS.	29
Fig 3.1– Perspectiva e seção transversal de um dispositivo de Porta Tripla.	35
Fig 3.2 – Perspectiva e seção longitudinal do dispositivo GAA.	36
Fig 3.3 – Perspectiva e seção transversal do dispositivo Cynthia.	36
Fig 3.4– Perspectiva e seção transversal de: (A) dispositivo de Porta π (B) dispositivo de Porta Ω .	37
Fig 3.5 – Perspectiva de um dispositivo FinFET.	38
Fig 3.6 – Estrutura múltiplos dedos.	39
Fig 3.7 – Inversão de Volume em um MOSFET de porta dupla; a) $V_G < V_{Th}$; b) $V_G > V_{Th}$. [24]	43
Fig 4.1 – Exemplo de Grade balanceada.	48
Fig 4.2 – Visão 2D do dispositivo de porta dupla utilizado no estudo dos modelos físicos do ATLAS.	52
Fig 4.3 – Concentração de elétrons no dispositivo de largura de canal (W) 30 nm e dopagem 10^{15}cm^{-3} .	52
Fig 4.4 – Concentração de elétrons no dispositivo de largura de canal (W) 30 nm e dopagem 10^{16}cm^{-3} .	53
Fig 4.5 – Concentração de elétrons no dispositivo de largura de canal (W) 30 nm e dopagem 10^{17}cm^{-3} .	53
Fig 4.6 – Concentração de elétrons no dispositivo de largura de canal (W) 40 nm e dopagem 10^{15}cm^{-3} .	54
Fig 4.7 – Concentração de elétrons no dispositivo de largura de canal (W) 40 nm e dopagem 10^{16}cm^{-3} .	54

Fig 4.8 – Concentração de elétrons no dispositivo de largura de canal (W) 40 nm e dopagem 10^{17}cm^{-3}	55
Fig 4.9 – Concentração de elétrons no dispositivo de largura de canal (W) 50 nm e dopagem 10^{15}cm^{-3}	55
Fig 4.10 – Concentração de elétrons no dispositivo de largura de canal (W) 50nm e dopagem 10^{16}cm^{-3}	56
Fig 4.11 – Concentração de elétrons no dispositivo de largura de canal (W) 50 nm e dopagem 10^{17}cm^{-3}	56
Fig 4.12 – Concentração de elétrons no dispositivo de largura de canal (W) 60 nm e dopagem 10^{15}cm^{-3}	57
Fig 4.13 – Concentração de elétrons no dispositivo de largura de (W) canal 60 nm e dopagem 10^{16}cm^{-3}	57
Fig 4.14 – Concentração de elétrons no dispositivo de largura de canal (W) 60 nm e dopagem 10^{17}cm^{-3}	58
Fig 4.15 – Concentração de elétrons no dispositivo de largura de canal (W) 70 nm e dopagem 10^{15}cm^{-3}	58
Fig 4.16 – Concentração de elétrons no dispositivo de largura de canal (W) 70 nm e dopagem 10^{16}cm^{-3}	59
Fig 4.17 – Concentração de elétrons no dispositivo de largura de canal (W) 70 nm e dopagem 10^{17}cm^{-3}	59
Fig 5.1 – Corte transversal e perspectiva do dispositivo FinFET de porta dupla simulado: (A) paralelo; (B) trapezoidal.	62
Fig 5.2 – Corte transversal e perspectiva do dispositivo FinFET de porta tripla simulado.	62
Fig 5.3– Detalhamento da grade utilizada nas simulações em: (A) corte transversal do dispositivo, (B) corte longitudinal do FinFET de porta tripla.	63
Fig 5.4– Exemplo de extração de S em dispositivo de largura de canal superior (W_{Fintop}) 30 nm e concentração de dopantes 10^{15}cm^{-3}	65
Fig 6.1 – Curvas $I_{\text{DS}} \times V_{\text{GS}}$ em dispositivos com concentração de dopantes 10^{15}cm^{-3}	66
Fig 6.2 – Curvas $I_{\text{DS}} \times V_{\text{GS}}$ em dispositivos com concentração de dopantes 10^{16}cm^{-3}	67
Fig 6.3 – Curvas $I_{\text{DS}} \times V_{\text{GS}}$ em dispositivos com concentração de dopantes 10^{17}cm^{-3}	67
Fig 6.4 – Extração de V_{Th} em dispositivo de largura de canal superior (W_{Fintop}) 30 nm e concentração de dopantes 10^{15}cm^{-3}	68
Fig 6.5 – Inclinação de sublimiar em função da largura de canal superior dos dispositivos. ..	71
Fig 6.6 – S em função da largura superior de canal superior dos dispositivos.	72

Fig 6.7 – Concentração de elétrons (A) e densidade de corrente (B) em dispositivos com dopagem 10^{15} cm^{-3} e situação de limiar ($V_{GS}=V_{Th}$).	74
Fig 6.8 – Concentração de elétrons (A) e densidade de corrente (B) em dispositivos com dopagem 10^{16} cm^{-3} e situação de limiar ($V_{GS}=V_{Th}$).	75
Fig 6.9 – Concentração de elétrons (A) e densidade de corrente (B) em dispositivos com dopagem 10^{17} cm^{-3} e situação de limiar ($V_{GS}=V_{Th}$).	75
Fig 6.10 – Máximo da concentração de elétrons em função da largura de canal superior dos dispositivos.	77
Fig 6.11 – Máximo da densidade de corrente em função da largura de canal superior dos dispositivos.	77
Fig 6.12 – Curvas $I_{DS} \times V_{DS}$ em dispositivos com concentração de dopantes 10^{15} cm^{-3} .	78
Fig 6.13– Curvas $I_{DS} \times V_{DS}$ em dispositivos com concentração de dopantes 10^{16} cm^{-3} .	79
Fig 6.14 – Curvas $I_{DS} \times V_{DS}$ em dispositivos com concentração de dopantes 10^{17} cm^{-3} .	79
Fig 6.15 – Curvas $g_{dx} \times V_{DS}$ em dispositivos com concentração de dopantes 10^{15} cm^{-3} .	80
Fig 6.16 – Curvas $g_{dx} \times V_{DS}$ em dispositivos com concentração de dopantes 10^{16} cm^{-3} .	81
Fig 6.17 – Curvas $g_{dx} \times V_{DS}$ em dispositivos com concentração de dopantes 10^{17} cm^{-3} .	81
Fig 7.1 – Perspectiva de um dispositivo FinFET trapezoidal de porta dupla.	85
Fig 7.2 – Aproximação linear da curva $V_{Th} \times t_{Si}$ obtida de simulação tridimensional comparada com a aproximação linear da curva $V_{Th} \times t_{Si}$ obtida através do modelo de Francis, para dispositivos FinFET de porta dupla, com t_{Si} variando de 15 a 30 nm.	86
Fig 7.3 – (A) Corte transversal do dispositivo FinFET trapezoidal – dispositivo dividido em diversas lâminas (dispositivos independentes) de largura e espessura $t_{Si}(y)$; (B) Linhas de campo elétrico referentes ao dispositivo.	87
Fig 7.4 – Comparação entre as curvas $I_{DS} \times V_{DS}$ obtidas em simulação tridimensional ATLAS e curvas $I_{DS} \times V_{DS}$ calculadas, para dispositivos FinFETs de porta dupla.	89
Fig 7.5 – Curvas $I_{DS} \times V_{DS}$ obtidas em simulação tridimensional ATLAS comparadas com curvas $I_{DS} \times V_{DS}$ obtidas através de novo corte proposto para ângulo de inclinação das paredes laterais verticais: (A) $\varphi = 81,5^\circ$ e (B) $\varphi = 84,1^\circ$.	90

LISTA DE TABELAS

Tabela 4.1 – Cálculo do erro quadrático médio do modelo BQP em relação ao modelo Clássico.....	60
Tabela 6.1– Tensão de Limiar (V_{Th}) obtida para todos os dispositivos simulados ($V_{DS}= 50$ mV).....	69
Tabela 6.2 – Inclinação de sublimiar (S) obtida para todos os dispositivos simulados ($V_{DS}= 50$ mV).....	71
Tabela 6.3 – Inclinação de sublimiar (S) obtida para novos comprimentos de canal (L).....	72
Tabela 6.4 – Transcondutância máxima ($g_{m_{máx}}$) obtida para todos os dispositivos simulados ($V_{DS}= 50$ mV).	73
Tabela 6.5 – Pico máximo de concentração de elétrons em situação de limiar ($V_{GS}= V_{Th}$). ...	76
Tabela 6.6 – Pico máximo de densidade de corrente em situação de limiar ($V_{GS}= V_{Th}$).	76
Tabela 6.7 – Extração da condutância média de dreno.....	82

LISTA DE SÍMBOLOS

ξ_{Ox}	Permissividade do óxido (F/cm)
ξ_{Si}	Permissividade do silício (F/cm)
Φ_{MS1}	Função trabalho da 1ª interface (V)
Φ_{MS2}	Função trabalho da 2ª interface (V)
Φ_{F}	Potencial de Fermi (V)
Φ_{S1}	Potencial de superfície na 1ª interface do óxido de silício (V)
Φ_{S2}	Potencial de superfície na 2ª interface do óxido de silício (V)
γ	Constante de efeito de corpo ($\text{V}^{1/2}$)
λ	Comprimento de canal natural (cm)
μ	Mobilidade efetiva no canal (V^{-1})
μ_{n}	Mobilidade de elétrons na camada de silício ($\text{cm}^2/\text{V.s}$)
C_{Ox1}	Capacitância do Óxido de porta (F/cm^2)
C_{Ox2}	Capacitância do Óxido enterrado (F/cm^2)
C_{Si}	Capacitância da camada de silício (F/cm^2)
g_{D}	Condutância de dreno (Ω^{-1})
g_{m}	Transcondutância (Ω^{-1})
I_{D0}	Corrente de dreno de um dispositivo planar, porta simples, largura unitária (A)
I_{DS}	Corrente de dreno (A)
K	Constante de Boltzman ($1,38 \times 10^{-23} \text{ J/K}$)
L_{Fin}	Comprimento do canal do dispositivo FinFET (nm)
N_{A}	Concentração de dopantes no substrato (cm^{-3})
N_{i}	Concentração intrínseca de dopantes ($1,45 \times 10^{10} \text{ cm}^{-3}$)
P	Passo entre os dedos de um transistor (μm)
q	Carga elementar do elétron ($q = 1,6 \times 10^{-19} \text{ C}$)
Q_{DEPL}	Carga de depleção na camada de silício (C/cm^2)
Q_{INV1}	Carga de inversão na 1ª interface (C/cm^2)
Q_{Ox1}	Densidade de cargas no óxido de porta (C/cm^2)
Q_{Ox2}	Densidade de carga fixa no óxido enterrado (C/cm^2)
Q_{S2}	Carga de inversão ou acumulação na 2ª interface (C/cm^2)
S	Inclinação da região de sublimar (mV/década de corrente)
t_{Ox1}	Espessura da camada de óxido de porta da 1ª interface (nm)
t_{Ox2}	Espessura da camada de óxido de porta da 2ª interface (nm)

t_{Si}	Espessura da camada de silício (nm)
T	Temperatura absoluta (K)
V_{IN}	Amplitude do sinal de entrada senoidal aplicada ao transistor (V)
V_{OUT}	Amplitude do sinal de saída senoidal aplicada ao transistor (V)
V_{DS}	Tensão aplicada ao dreno do transistor (V)
V_{EA}	Tensão Early (V)
V_{FB}	Tensão de faixa plana (V)
V_{GS}	Potencial de porta (V)
V_{G1}	Potencial de porta na 1a interface (V)
V_{G2}	Potencial de porta na 2a interface (V)
V_{Th}	Tensão de limiar (V)
W	Largura do canal do dispositivo (nm)
W_{Eff}	Largura efetiva do canal do dispositivo (nm)
W_{Fin}	Largura do canal do dispositivo FinFET (nm)
$W_{Finbottom}$	Largura inferior do canal do dispositivo FinFET (nm)
W_{Fintop}	Largura superior do canal do dispositivo FinFET (nm)
$x_{dm\acute{a}x}$	Máxima largura de depleção (μm)

LISTA DE ABREVIATURAS

AA	<i>Adjacent Average Smoothing</i> (Suavização pela Média Adjacente)
AC	Tensão Alternada
BQP	<i>Bohm Quantum Potential</i> (Potencial Quântico de Bohm)
DC	Tensão Contínua
DELTA	<i>Fully Depleted Lean-Channel Transistor</i> (Transistor Totalmente Depletado de Canal Vertical)
DIBL	<i>Drain Induced Barrier Lowering</i> (Redução da Barreira Induzida pelo Dreno)
DG	<i>Double Gate</i> (Transistor de Porta Dupla)
FD	<i>Fully Depleted</i> (Totalmente Depletado)
FET	<i>Field-Effect Transistor</i> (Transistor de Efeito de Campo)
GAA	<i>Gate-All-Around</i> (Porta Circundante)
GC	<i>Graded-Channel</i> (Canal Gradual)
JFET	<i>Junction Gate Field-Effect Transistor</i> (Transistor de Efeito de Campo)
MOS	<i>Metal-Oxide-Semiconductor</i> (Metal-Óxido-Semicondutor)
MQOS	Mecânica Quântica Ondulatória de Schrödinger
MUGFET	<i>Multiple Gate Field-Effect Transistor</i> (Transistor de Efeito de Campo de Múltiplas Portas)
MTC	<i>Maximum Transconductance Change</i> (Mudança na Transcondutância Máxima)
OTA	<i>Operational Transconductance Amplifier</i> (Amplificador Operacional de Transcondutância)
PD	<i>Partially Depleted</i> (Parcialmente Depletado)
PN	Junção Positivo-Negativo
SG	<i>Single Gate</i> (Transistor de Porta Simples)
SiO ₂	Gás Dióxido de Silício
SOI	<i>Silicon-on-Insulator</i> (Silício sobre Isolante)
VLSI	<i>Very Large Scale of Integration</i> (Escala muito grande de integração)
2D	Plano Bidimensional
3D	Plano Tridimensional

SUMÁRIO

1	INTRODUÇÃO.....	18
1.1	Histórico.....	18
1.2	Escopo do Trabalho.....	20
2	CONCEITOS FUNDAMENTAIS	22
2.1	Apresentação da tecnologia SOI	22
2.2	Classificação dos dispositivos SOI.....	24
2.3	Parâmetros elétricos dos dispositivos SOI.....	25
2.3.1	Tensão de Limiar	25
2.3.2	Efeito de canal curto	27
2.3.3	Inclinação de Sublimiar	28
2.3.4	As características de tensão x corrente	31
2.3.5	Transcondutância.....	32
3	TRANSISTORES SOI DE MÚLTIPLAS PORTAS.....	34
3.1	Transistores SOI de porta dupla.....	34
3.2	Transistores SOI de porta tripla, porta circundante e porta semicircundante	35
3.3	Transistores FinFET	38
3.4	Características elétricas	39
4	SIMULAÇÃO TRIDIMENSIONAL DE DISPOSITIVOS	44
4.1	O simulador numérico	44
4.2	Ferramentas interativas do simulador ATLAS	45
4.3	Modelos para Representação Física no Simulador.....	46
4.4	Avaliação da necessidade de uso de modelos de confinamento quântico	48
4.4.1	Modelo acoplado Schrödinger-Poisson	49
4.4.2	Modelo de Potencial Quântico de Bohm (BQP)	50
4.4.3	O processo de calibração.....	51
5	DISPOSITIVOS ESTUDADOS.....	61
5.1	Definição das características físicas	61
5.1.1	FinFET de porta dupla	61
5.1.2	FinFET de porta tripla.....	62
5.2	Definição da grade (matriz de pontos)	63
5.3	Definição dos perfis de dopantes	64

5.4	Métodos de obtenção de parâmetros	64
6	RESULTADOS DE SIMULAÇÃO	66
6.1	Curvas $I_{DS} \times V_{GS}$	66
6.2	Tensão de Limiar.....	68
6.3	Inclinação de Sublimiar	70
6.4	Transcondutância.....	73
6.5	Concentração de elétrons e densidade de corrente.....	74
6.6	Curvas $I_{DS} \times V_{DS}$ e condutância de dreno	78
6.7	Análise dos resultados de simulação	82
7	MODELAGEM DA CORRENTE DE SATURAÇÃO EM FINFETS	
	TRAPEZOIDAIS	84
7.1	Introdução	84
7.2	Tensão de limiar	84
7.3	Modelagem da corrente de saturação	86
7.4	Ajuste dos parâmetros de ganho para paredes paralelas.....	88
7.5	Simulação dos dispositivos FinFETs trapezoidais	89
8	CONCLUSÕES	91
9	APÊNDICE 1 – ARQUIVOS DE SIMULAÇÃO ATLAS	97
10	APÊNDICE 2 – ARTIGO SBMICRO 2008	106

1 INTRODUÇÃO

1.1 Histórico

A microeletrônica, ao longo de toda sua história, vem demonstrando a constante necessidade de inovações e ampliação dos conhecimentos científicos aplicados ao desenvolvimento de novas tecnologias.

Pode-se dizer que a evolução da microeletrônica começou com as pesquisas sobre a modulação da condutividade pelo campo elétrico. Em 1946, a *Bell Labs* criou seu grupo de pesquisa em estado sólido sob liderança de *William Shockley*, concentrando esforços na pesquisa dos semicondutores Ge e Si e de transistores bipolares [1–9].

Com a persistência na pesquisa do transistor, no final de 1947, foi descoberto o efeito de transistor bipolar [10]. Em 1952, *I. Ross* e *G. Dacey* demonstraram o primeiro transistor tipo JFET (*Junction Gate Field – Effect Transistor*), onde a porta era constituída por uma junção PN que controlava a passagem de corrente pelo canal [11].

No ano de 1958, a *Texas Instruments* construiu o primeiro circuito integrado, constituído por um circuito formado por um transistor, um capacitor e um resistor, montados sobre um único bloco de silício. Paralelamente, a *Fairchild* desenvolveu o processo planar de fabricação de transistores [5].

Em 1952, *C. Fuller* da *Bell Labs* publicou o estudo sobre difusão de dopantes doadores e aceitadores no Si [12]. No ano de 1955, *Frosch* e *Derick* usaram camadas de SiO₂ para delimitar as áreas de difusão [13,14]. Neste mesmo ano, *Andrus* e *Bond* desenvolveram os fotorresistes (materiais sensíveis à luz) para a gravação de padrões em filmes de SiO₂ [15,16]. O estudo e desenvolvimento dos processos de oxidação de Si permitiram o desenvolvimento do transistor de efeito de campo com porta isolada, o MOSFET ou simplesmente MOS (Metal–Óxido–Semicondutor). Desde então, os dispositivos MOS têm sido amplamente utilizados em circuitos analógicos e digitais. Porém, a sua utilização em altíssima escala de integração (*Very Large Scale Integration – VLSI*) tem necessitado constantemente de inovações tecnológicas para a miniaturização dos dispositivos [17–20].

Esta miniaturização é responsável por uma série de efeitos indesejados, especialmente aqueles decorrentes da redução do comprimento de canal dos transistores, denominados de efeitos de canal curto. Estes efeitos presentes nos dispositivos MOSFETs incentivaram o

desenvolvimento de dispositivos em tecnologias mais avançadas, que apresentassem melhores resultados, prolongando assim a utilização da tecnologia MOSFET.

Os dispositivos da tecnologia Silício sobre Isolante – SOI (*Silicon-on-Insulator*) tem sido, desde então, os que mais se destacam na indústria da microeletrônica. A principal diferença apresentada pela tecnologia SOI em relação à MOS convencional consiste na presença de uma camada de isolante (óxido enterrado) entre a região ativa da lâmina e seu substrato [21–23].

O isolamento proporcionado pela camada de óxido enterrado diminui sensivelmente os efeitos de canal curto e reduzem as capacitâncias de junção, visto que fonte e dreno são separados do substrato através da camada de óxido [24].

Além dos transistores planares de porta simples, semelhantes aos implementados na tecnologia MOS convencional, na tecnologia SOI são desenvolvidos dispositivos dos mais diversos formatos, sendo alguns com múltiplas portas (MUGFETs – *Multiple Gate Field Effect Transistor*), sempre em busca de melhorias, tais como melhor resposta frente ao efeito de canal curto e maior corrente de condução.

Neste trabalho, são estudados transistores não planares de porta dupla (*Double gate*) e porta tripla (*Triple gate*), de corpo fino (aleta). A corrente de dreno, nos transistores de porta dupla, flui próxima às superfícies laterais e, em transistores de porta tripla, também na superfície de topo.

Estes dispositivos são considerados um dos mais promissores transistores não planares, visto que, ao possuírem seus respectivos canais envolvidos por óxido e material de porta, a região de atuação do campo elétrico relativo à porta aumenta, tornando maior o controle da porta sobre as cargas no interior do canal e minimizando os efeitos causados pela redução das dimensões.

Devido a algumas limitações durante o processo da fabricação (tais como corrosões anisotrópicas não ideais) alguns FinFETs (*Fin Shaped FET* - transistor de estrutura vertical de canal no formato de aleta) apresentam superfícies inclinadas, resultando em seções transversais trapezoidais em vez de seções retangulares. Esta alteração geométrica acarreta algumas consequências ao dispositivo, como a modificação da distribuição dos portadores e alterações na tensão de limiar.

Este trabalho apresenta a análise das características de tensão e corrente do dispositivo de porta tripla submetido à variação de angulação das paredes laterais e variação da concentração de dopantes. Para isto, são levantadas as curvas corrente de dreno em função da tensão aplicada na porta ($I_{DS} \times V_{GS}$) para análise das tensões de limiar (V_{Th}) e inclinações de

sublimiar (S) como função da largura de canal (W_{Fintop}), e levantadas as curvas de corrente de dreno em função da tensão aplicada ao dreno ($I_{\text{DS}} \times V_{\text{DS}}$) para análise das condutâncias de dreno (gd).

Na sequência, são levantadas e estudadas as concentrações de elétrons e densidades de corrente na situação de limiar, (tensão aplicada à porta igual à tensão de limiar ($V_{\text{GS}} = V_{\text{Th}}$), e analisado o comportamento destes parâmetros frente à variação da angulação das paredes laterais e da variação da concentração de dopantes (N_{A}) do transistor.

Por último, é estudada uma extensão do modelo analítico da corrente de dreno, aplicável diretamente a transistores de paredes inclinadas, em função do ângulo e da polarização, para a região de saturação. Este modelo é verificado comparando sua saída com dados de simulação.

1.2 Escopo do Trabalho

Este trabalho tem como objetivo apresentar o estudo dos parâmetros elétricos: tensão de limiar, inclinação de sublimiar, transcondutância e condutância de dreno; além de uma nova modelagem da corrente de saturação (I_{DSsat}) dos dispositivos de portas dupla e tripla (FinFETs) submicrométricos, submetidos a variações angulares das paredes laterais de suas portas.

O estudo desenvolvido é baseado no comportamento das curvas de corrente de dreno (I_{DS}) em função das polarizações da porta (V_{GS}) e dreno (V_{DS}) e da variação da concentração de dopantes (N_{A}).

Para a elaboração deste trabalho, foram realizadas simulações numéricas tridimensionais através do simulador de dispositivos ATLAS, versão 2.6.0.R.

O Trabalho está dividido em sete capítulos além do presente, cujo conteúdo está descrito a seguir:

- **Capítulo 2: Conceitos Fundamentais** – resumo dos conceitos teóricos da tecnologia SOI e benefícios em relação à tecnologia MOS convencional.
- **Capítulo 3: Transistores SOI de Múltiplas Portas** – apresentação dos dispositivos de múltiplas portas e suas respectivas características elétricas.

- **Capítulo 4: Simulação Tridimensional de Dispositivos** – breve descrição do simulador de dispositivos utilizado bem como a descrição dos modelos considerados nos arquivos de simulação. São apresentados os resultados das simulações tridimensionais dos dispositivos e descritas às deficiências e possibilidades do simulador.
- **Capítulo 5: Dispositivos Estudados** – descrição das características dos dispositivos FinFET trapezoidais de porta tripla estudados (dimensões físicas, concentração de dopantes, condições de polarização).
- **Capítulo 6: Resultados de Simulação** – apresentação e análise dos resultados das simulações tridimensionais dos dispositivos trapezoidais submetidos à variação da largura superior de canal (W_{Fintop}) e variação da concentração de dopantes (N_A) no silício.
- **Capítulo 7: Modelagem da Corrente de Saturação em FinFET trapezoidal** – estudo de modelagem da corrente de saturação (I_{DSsat}) em dispositivos FinFET, através do estudo da geometria deste dispositivo.
- **Capítulo 8: Conclusões** – conclusões dos resultados obtidos, embasados nos conceitos teóricos externados nos capítulos anteriores. Apresentação da perspectiva futura de trabalho visando à continuidade dos estudos.

2 CONCEITOS FUNDAMENTAIS

Este capítulo apresenta um resumo dos conceitos teóricos da tecnologia SOI, demonstra os principais parâmetros elétricos e relata os benefícios da tecnologia SOI em relação à tecnologia MOS convencional.

2.1 Apresentação da tecnologia SOI

As primeiras estruturas SOI (Silício sobre Isolante) foram introduzidas há 30 anos para uma aplicação específica relacionada com sua resistência à radiação. As estruturas SOI surgiram da idéia de separar ou isolar a região ativa do dispositivo das influências prejudiciais causadas, no substrato de silício, por radiação ionizante [24,25]. Observando-se a figura 2.1, onde está representada a trajetória de uma partícula ionizante através de uma lâmina comum e de uma lâmina SOI, pode-se notar que, no caso do SOI, grande parte da ionização e da desestruturação do cristal fica isolada, minimizando seus efeitos sobre os dispositivos.

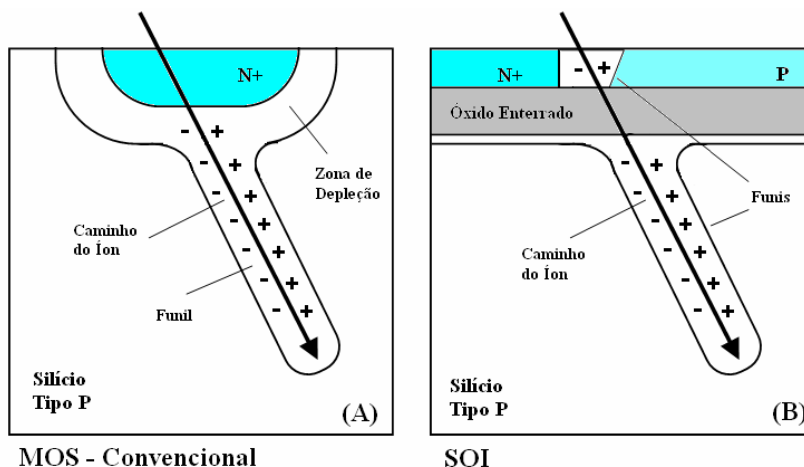


Fig 2.1– Comparação da resistência à radiação entre os dispositivos MOS convencional (A) e SOI (B) [24].

Fonte: Colinge, J.P., 2004, p. 305.

Uma das limitações críticas dos dispositivos MOS convencionais para a maioria dos circuitos VLSI (*Very Large Scale Integration*) vem da proximidade inerente das regiões difundidas pertencentes aos componentes. Sofisticados processos de isolamento são necessários nos dispositivos MOS a fim de evitar a ativação involuntária de dispositivos parasitários causados por esta proximidade. Na tecnologia SOI, este efeito é praticamente eliminado

[24,25], uma vez que todos os dispositivos podem ser isolados uns dos outros por óxido de silício.

Nos transistores SOI, as regiões de fonte e dreno se estendem até o isolante (óxido enterrado), e somente suas paredes “verticais” servem como junções, conforme demonstrado na figura 2.2. A superfície da junção vertical é muito menor do que nos dispositivos MOS. Esta superfície menor resulta em uma redução substancial no efeito de capacitância parasitária (diminuição de atraso em comutação e menor dissipação de potência), ou seja, circuitos mais rápidos e eficazes podem ser implementados nas lâminas SOI [24–26].

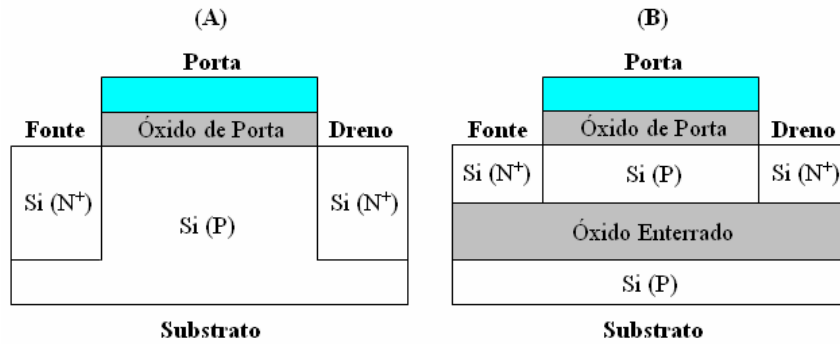


Fig 2.2 – Perfil de transistores de canal N nas tecnologias: MOS convencional (A) e SOI (B).

Nos dispositivos MOS convencionais, a região de depleção se estende desde a interface Si-SiO₂ até a máxima largura de depleção, $x_{dmáx}$, dada pela seguinte equação [27]:

$$x_{dmáx} = \sqrt{\frac{4\xi_{Si}\phi_F}{qN_A}} \quad (2.1)$$

Onde ξ_{Si} é a permissividade do silício, q é a carga elementar do elétron e ϕ_F é o potencial de Fermi, o qual é aproximadamente igual a [24,25,28]:

$$\phi_F = \frac{kT}{q} \ln\left(\frac{N_A}{ni}\right) \quad (2.2)$$

Sendo k a constante de Boltzman, T a temperatura absoluta e ni a concentração intrínseca.

Antes da apresentação dos principais parâmetros elétricos dos dispositivos SOI, vale ressaltar que a física destes dispositivos é altamente dependente da espessura da camada de silício sobre o isolante, da concentração de dopantes na camada de silício e da temperatura [24,25]. Diante deste fato, surgem dois tipos de dispositivos: dispositivos onde a espessura da

camada de silício na região de canal nunca está totalmente depletada (PD – *Partially Depleted*) e dispositivos onde a espessura da camada de silício pode estar totalmente depletada (FD – *Fully Depleted*).

2.2 Classificação dos dispositivos SOI

Nos dispositivos SOI PD, a espessura da camada de silício, t_{Si} , é duas vezes mais larga do que o valor de $x_{dmáx}$, ou seja, não há interação entre as regiões de depleção da primeira e segunda interface, existindo assim uma região neutra entre as regiões de depleção. Esta região neutra faz com que o dispositivo funcione como um dispositivo MOS (caso a região neutra seja conectada ao eletrodo de terra através de um contato de corpo) ou apresente o efeito *Kink* (caso o corpo, ou zona neutra, seja deixada eletricamente flutuando).

A figura 2.3 mostra o diagrama de faixas de energia de um transistor SOI PD, onde t_{Si} é a espessura da camada de silício, x_{d1} e x_{d2} são as espessuras da região de depleção, provenientes da primeira e da segunda interfaces, respectivamente.

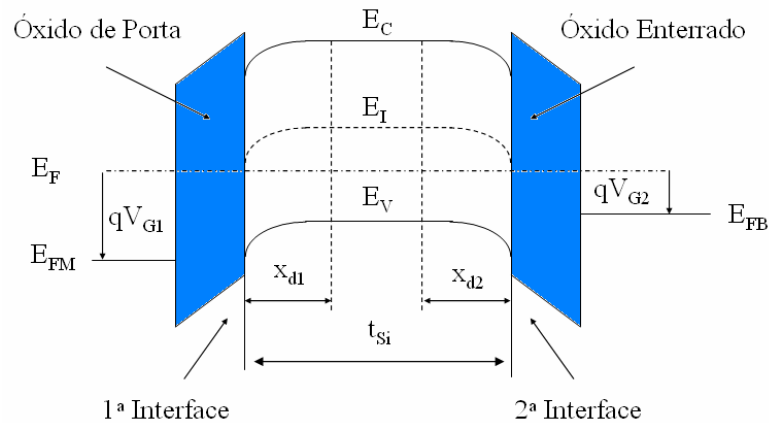


Fig 2.3 – Diagrama de faixas de energia de um dispositivo SOI PD.

Já nos dispositivos SOI FD, a espessura da camada de silício, t_{Si} , é mais estreita do que $x_{dmáx}$, ou seja, a camada de silício está totalmente depletada no limiar, independente da polarização aplicada à segunda porta (substrato). Os dispositivos SOI FD com a segunda interface depletada são os que apresentam propriedades mais atrativas, tais como baixo campo elétrico, alta transcondutância, excelente comportamento frente ao efeito de canal curto e característica quase ideal da inclinação de sublimar [24].

Na figura 2.4 é mostrado o diagrama de faixas de energia de um dispositivo SOI FD, onde t_{Si} é a espessura da camada de silício, x_{d1} e x_{d2} são as espessuras da região de depleção, provenientes da primeira e da segunda interface, respectivamente.

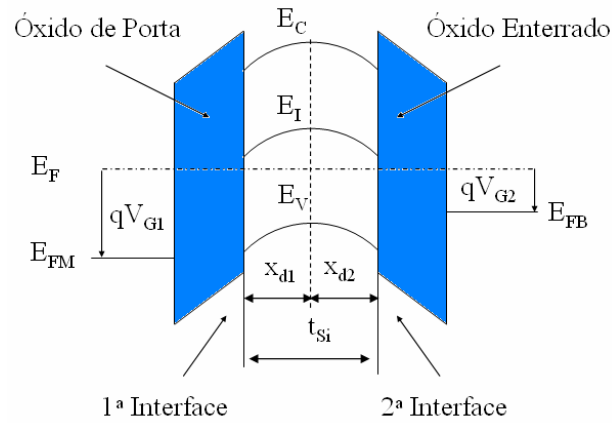


Fig 2.4 – Diagrama de faixas de energia de um dispositivo SOI FD.

2.3 Parâmetros elétricos dos dispositivos SOI

2.3.1 Tensão de Limiar

Tensão de Limiar (V_{Th}) é a tensão pela qual todo incremento de tensão acima desta será utilizado para a formação da camada de inversão (grande quantidade de portadores livres) [24]. Nos dispositivos MOS, a tensão de limiar é dada por [24–26]:

$$V_{Th} = V_{FB} + 2\phi_F + \frac{(qN_A x_{dmáx})}{C_{Ox}} \quad (2.3)$$

Onde V_{FB} é a tensão de faixa plana, expressa por:

$$V_{FB} = \phi_{MS} - \frac{Q_{Ox}}{C_{Ox}} \quad (2.4)$$

Das equações (2.3) e (2.4), ϕ_F é o potencial de Fermi, $x_{dmáx}$ é a máxima largura da região de depleção, ϕ_{MS} é a diferença de função trabalho entre metal de porta e o silício; C_{Ox} a capacitância do óxido de porta por unidade de área e, Q_{Ox} é a densidade de cargas fixas no óxido por unidade de área.

Em um dispositivo SOI PD, pode não haver a interação entre a região de depleção da 1ª e 2ª interface porque $t_{Si} > 2x_{dmáx}$. Nesse caso, a tensão de limiar é a mesma que em um transistor MOS, conforme descrito na equação (2.3). Em dispositivos SOI FD, onde existe o contato entre as regiões de depleção, a tensão de limiar pode ser obtida através do modelo de Lim & Fossum [24]. Esse modelo é descrito pela relação entre as tensões aplicadas à porta (V_{G1}) e ao substrato (V_{G2}) e os potenciais de superfície da primeira (Φ_{S1}) e segunda interface (Φ_{S2}), que pode ser determinada, respectivamente, pelas equações (2.5) e (2.6).

$$V_{G1} = \phi_{MS1} - \frac{Q_{Ox1}}{C_{Ox1}} + \left(1 + \frac{C_{Si}}{C_{Ox1}}\right) \phi_{S1} - \frac{C_{Si}}{C_{Ox1}} \phi_{S2} - \frac{0,5Q_{DEPL} + Q_{INV1}}{C_{Ox1}} \quad (2.5)$$

$$V_{G2} = \phi_{MS2} - \frac{Q_{Ox2}}{C_{Ox2}} - \frac{C_{Si}}{C_{Ox2}} \phi_{S1} + \left(1 + \frac{C_{Si}}{C_{Ox2}}\right) \phi_{S2} - \frac{0,5Q_{DEPL} + Q_{S2}}{C_{Ox2}} \quad (2.6)$$

Nas equações (2.5) e (2.6), Φ_{MS1} é a diferença de função trabalho entre o metal de porta e a camada de silício, Φ_{MS2} é a diferença de função trabalho entre o substrato e a camada de silício, C_{Si} é a capacitância da camada de silício por unidade de área, C_{Ox1} e C_{Ox2} são respectivamente as capacitância do Óxido de porta e Óxido enterrado por unidade de área, Q_{INV1} é a carga de inversão por unidade de área na primeira interface; Q_{S2} é a carga de inversão por unidade de área ($Q_{S2} < 0$), ou a carga de acumulação ($Q_{S2} > 0$), na segunda interface e; Q_{DEPL} é a carga total de depleção na camada de silício por unidade de área.

As equações (2.5) e (2.6) formam a base para a descrição do casamento de cargas entre a 1ª e 2ª interfaces em um dispositivo SOI [24] e a partir das mesmas obtêm-se diferentes expressões de tensão de limiar da primeira interface em função da polarização do substrato e da condição de polarização da segunda interface:

- Quando a segunda interface estiver acumulada, tem-se que: $\Phi_{S1} = 2\Phi_F$, $\Phi_{S2} = 0$ e $Q_{INV1} = 0$, a tensão de limiar é determinada pela equação (2.7).

$$V_{Th1,acc2} = \phi_{MS2} - \frac{Q_{Ox1}}{C_{Ox1}} + \left(1 + \frac{C_{Si}}{C_{Ox1}}\right) 2\phi_F - \frac{Q_{DEPL}}{2C_{Ox1}} \quad (2.7)$$

- Quando a segunda interface estiver invertida, tem-se que: $\Phi_{S1} = 2\Phi_F$, $\Phi_{S2} = 2\Phi_F$ e $Q_{INV1} = 0$, a tensão de limiar é determinada pela equação (2.8).

$$V_{Th1,inv2} = \phi_{MS1} - \frac{Q_{Ox1}}{C_{Ox1}} + 2\phi_F - \frac{Q_{DEPL}}{C_{Ox1}} \quad (2.8)$$

- Quando a segunda interface estiver em depleção, tem-se que: $0 < \Phi_{S2} < 2\Phi_F$ e $Q_{S2} = 0$, a tensão de limiar é determinada pela equação (2.9).

$$V_{Th1,depl2} = V_{Th1,acc2} - \frac{C_{Si}C_{Ox2}}{C_{Ox1}(C_{Si} + C_{Ox2})}(V_{G2} - V_{G2,acc2}) \quad (2.9)$$

O valor de $V_{G2,acc2}$ é determinado por:

$$V_{G2,acc2} = \phi_{MS2} - \frac{Q_{Ox2}}{C_{Ox2}} + \frac{qN_A t_{Si}}{2C_{Ox2}} - \left(\frac{C_{Si}}{C_{Ox2}} \right) 2\phi_F \quad (2.10)$$

As equações (2.7), (2.8) e (2.9), são válidas para o cálculo da tensão de limiar, somente quando as espessuras das camadas de inversão e acumulação forem bem menores que a espessura da camada de silício, ou seja, não são aplicadas em dispositivos de camada de silício finas, pois estes são influenciados pelos efeitos quânticos [29].

2.3.2 Efeito de canal curto

O efeito de canal curto (*SCE – Short Channel Effect*) ocorre devido a uma redução no comprimento do canal dos transistores, fazendo com que as cargas da região de depleção no interior do canal, que são normalmente controladas pela porta, passam a ser, também, controladas pelas regiões de depleção de fonte e dreno. A figura (2.5) ilustra como o efeito de canal curto afeta os transistores MOS convencionais e SOI. Vários efeitos são causados em função da redução de canal [30–32], entre eles a redução da tensão de limiar.

Nos transistores MOS, a carga de depleção controlada pela porta é expressa pela equação (2.11).

$$Q_{DEPL} = qN_A x_{dmáx} \quad (2.11)$$

Para os transistores MOS de canal curto, a carga de depleção controlada pela porta é determinada pela equação (2.9) [24], onde rj é a profundidade da junção de fonte e dreno:

$$Q_{d1} = Q_{DEPL} \left(1 - \frac{rj}{L} \left(\sqrt{1 + \frac{2x_{dmáx}}{rj}} - 1 \right) \right) \quad (2.12)$$

Nos dispositivos SOI FD, a carga de depleção efetiva (Q_{d1}) controlada pela porta é uma fração da carga de depleção no canal (Q_{DEPL}), a qual é determinada por:

$$Q_{d1} = Q_{DEPL} \left(1 - \frac{d}{L} \right) \quad (2.13)$$

Onde, $Q_{DEPL} = qN_A t_{Si}$ e d é a distância apresentada na figura 2.5 (B).

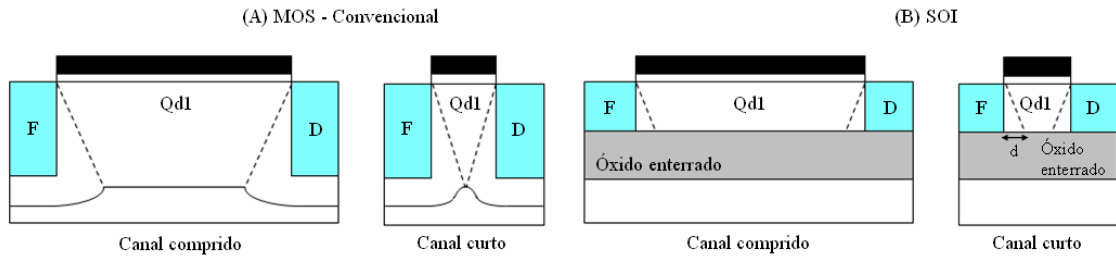


Fig 2.5 – Distribuição das cargas de depleção em dispositivos MOS convencional (A) e FD SOI (B), de canais compridos (esquerda) e curtos (direita). Q_{d1} é a carga de depleção controlada pela porta.

Os dispositivos SOI MOSFETs totalmente depletados sofrem menor efeito de canal curto em relação à redução do comprimento do canal se comparados aos dispositivos MOS [33,34].

2.3.3 Inclinação de Sublimiar

A inclinação de sublimiar (S) é definida como sendo o inverso da inclinação da curva $\log(I_{DS}) \times V_{GS}$ [24,25,28], sendo determinada através da equação (2.14).

$$S = \frac{dV_G}{d[\log(I_{DS})]} \quad (2.14)$$

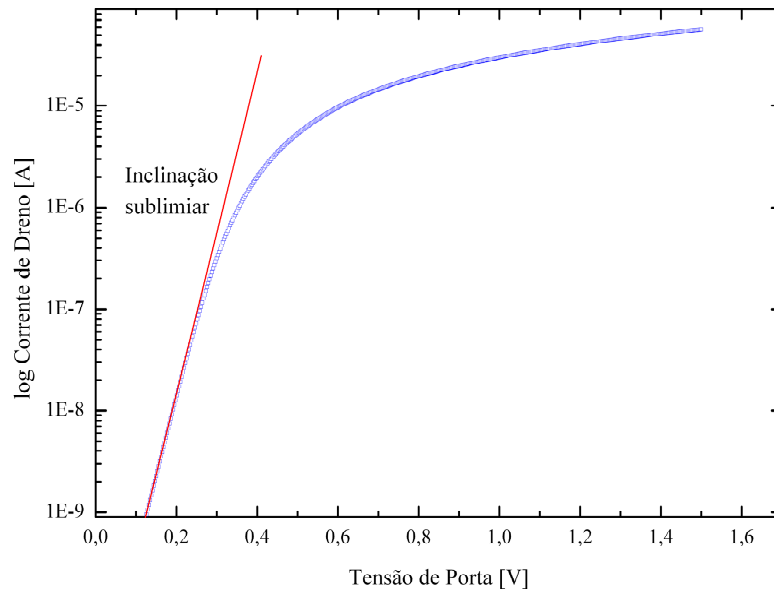


Fig 2.6 – Curva molográfica $I_{DS} \times V_{GS}$ de um dispositivo nMOS.

A corrente de sublimiar de um dispositivo MOS é independente da tensão de dreno, o que indica que o dispositivo responde ao mecanismo de difusão [35,36] e pode ser determinada através da seguinte equação:

$$I_{DS} = -qAD_n \frac{dn}{dy} = qAD_n \frac{n(0) - n(L)}{L} \quad (2.15)$$

Na equação (2.15), A é a área da camada de inversão, D_n é o coeficiente de difusão dos elétrons, $n(0)$ e $n(L)$ são respectivamente as concentrações de elétrons do lado de fonte e de dreno.

Através da equação (2.15), após algumas simplificações e desprezando as armadilhas de interface, obtém-se a expressão geral de S :

$$S = \frac{kT}{q} \ln(1 + \alpha) \quad (2.16)$$

Da equação (2.16), α é o coeficiente de acoplamento dado pela relação de capacitâncias entre o canal, a porta e o substrato do dispositivo. O seu valor pode ser determinado pelas seguintes equações, em função do modo de funcionamento do transistor [24]:

- Transistores MOS ou SOI PD, com a segunda interface depletada:

$$\alpha = \alpha_{MOS} = \frac{C_D}{C_{Ox1}} \quad (2.17)$$

- Para transistores FD, com a segunda interface acumulada:

$$\alpha = \alpha_{acc} = \frac{C_{Si}}{C_{Ox1}} \quad (2.18)$$

- Para transistores FD, com a segunda interface depletada:

$$\alpha = \alpha_{depl} = \frac{C_{Si} C_{Ox2}}{C_{Ox1} (C_{Si} + C_{Ox2})} \quad (2.19)$$

Portanto, pode-se notar que, os valores de α variam de acordo com a condição de polarização da segunda interface, estando na seqüência: $\alpha_{depl} < \alpha_{MOS} < \alpha_{acc}$ e fazendo com que $S_{depl} < S_{MOS} < S_{acc}$.

Quanto menor o valor da inclinação de sublimiar, mais eficiente e rápido é o chaveamento (corte e condução) do dispositivo. Pesquisas [37] indicam que a inclinação de sublimiar é menor nos dispositivos FD (próxima a 60 mV/ década), maior nos dispositivos MOS convencional e ainda maior nos dispositivos SOI FD com a segunda interface em acumulação (da ordem de 120 mV/ década) [24].

2.3.4 As características de tensão x corrente

As características de tensão versus corrente de um dispositivo SOI PD com o corpo aterrado são idênticas às de um transistor MOS convencional, uma vez que não há interação entre as duas interfaces Si-SiO₂, e cada uma delas funciona como um dispositivo independente, com substrato aterrado. Se o corpo não estiver aterrado, uma série de efeitos denominados “efeitos de corpo flutuante” aparecem. Já para um dispositivo SOI FD, as características de corrente são baseadas em um modelo de aproximação de canal gradual, onde a mobilidade dos elétrons é considerada função do comprimento do canal (L), da dopagem uniforme da camada de silício na região do canal, além de desconsiderar as correntes de difusão. Este modelo foi apresentado por H.K. Lim e J.G. Fossum em 1984 [38].

O modelo Lim & Fossum utiliza a lei de Ohm em uma determinada sessão da inversão do canal, relacionando a largura do canal (W) do dispositivo e a mobilidade dos elétrons na camada de inversão (μ_n) a fim de obter a densidade de cargas e o potencial de superfície. Com base nesta relação, são extraídas as equações de tensão e corrente de saturação para os dispositivos SOI MOSFET.

A equação geral da corrente de saturação (I_{DSsat}), pode ser expressa pela equação (2.20) [39].

$$I_{DSsat} \cong \frac{W\mu_n C_{ox1}}{2L(n+1)} (V_{G1} - V_T)^2 \quad (2.20)$$

Onde n é o coeficiente de efeito de corpo, sendo que:

- Para dispositivos SOI FD com a segunda interface em acumulação:

$$n = 1 + \alpha = 1 + \frac{C_{Si}}{C_{ox1}} \quad (2.21)$$

- Para dispositivos SOI FD com a segunda interface em depleção:

$$n = 1 + \alpha = 1 + \frac{C_{Si} C_{ox2}}{C_{ox1} (C_{Si} + C_{ox2})} \quad (2.22)$$

De acordo com o modelo, a corrente de saturação é maior nos dispositivos SOI FD, menor nos dispositivos MOS convencional e menor ainda nos dispositivos SOI com a 2ª interface acumulada [24].

O baixo valor do coeficiente de efeito de corpo (n) em um dispositivo SOI MOSFET totalmente depletado influencia o aumento da corrente de condução (comparando com os dispositivos MOS convencional), contribuindo assim para o excelente desempenho na resposta dos circuitos SOI CMOS (FD).

2.3.5 Transcondutância

A transcondutância (gm) indica a eficácia do controle da corrente de dreno pela tensão de porta. Pode ser determinada através da equação (2.23) [24].

$$gm = \frac{dI_{DS}}{dV_{GS}} \quad (2.23)$$

Através das equações (2.23), (2.20), (2.21) e (2.22), conclui-se que a transcondutância também varia de acordo com a polarização da segunda interface, assim como a corrente de saturação, logo a transcondutância é maior nos dispositivos SOI FD, menor nos dispositivos MOS convencional e ainda menor nos dispositivos SOI com a 2ª interface acumulada.

Devido ao acoplamento eletrostático entre as portas da 1ª e 2ª interface, a variação da transcondutância, em um dispositivo SOI FD, com a porta da 1ª interface pode ser diferente daquela apresentada em um dispositivo MOS convencional. Como a corrente depende tanto da polarização da porta da 1ª interface (V_{G1}) como da tensão de porta da 2ª interface (V_{G2}), é possível traçar curvas gm em função de V_{G1} para diversos valores de V_{G2} .

Através da transcondutância e da condutância de saída é possível calcular o ganho em tensão de um MOSFET, o qual é dado pela expressão:

$$\frac{gm}{gd} = \frac{dI_{DS}}{dV_{GS}} \cdot \frac{dV_{DS}}{dI_{DS}} \quad (2.24)$$

$$|A_V| = \frac{\Delta V_{OUT}}{\Delta V_{IN}} = \frac{\Delta I_D}{gd} \cdot \frac{I}{\Delta V_{IN}} = \frac{\Delta V_{IN} gm}{gd} \cdot \frac{I}{\Delta V_{IN}} = \frac{gm}{gd} = \frac{gm}{I_D} V_{EA} \quad (2.25)$$

Sendo gd a Condutância de saída, V_{IN} a amplitude do sinal de entrada senoidal aplicada ao transistor, V_{OUT} a amplitude do sinal de saída senoidal aplicada ao transistor, I_D a corrente de polarização do dispositivo e V_{EA} a Tensão Early.

A condutância de saída de um transistor SOI FD pode ser melhorada (no caso, diminuída) através da variação da concentração de dopantes no canal desde a fonte até o dreno (MOSFET GC) [40,41].

3 TRANSISTORES SOI DE MÚLTIPLAS PORTAS

Apesar dos dispositivos SOI de porta única ainda serem os dispositivos mais usados, a possibilidade de processar substratos SOI de boa qualidade, a isolamento dielétrico total e a possibilidade de utilizar uma porta na 2ª interface vêm propiciando pesquisas no campo dos dispositivos SOI. Diversas estruturas têm sido propostas, tais como dispositivos bipolares MOS, transistores bipolares verticais com porta da 2ª interface induzida, dispositivos de alta tensão lateral e de múltiplas portas [24].

O termo “múltiplas portas” não se refere a um conjunto de portas independentes, mas à presença de eletrodos de porta em dois ou mais lados do corpo do dispositivo semicondutor.

A seguir são descritos alguns destes dispositivos SOI de múltiplas portas, comentadas suas respectivas características elétricas e apresentada uma análise comparativa entre estes dispositivos.

3.1 Transistores SOI de porta dupla

As primeiras publicações a respeito do transistor MOS *Double-Gate* (porta dupla ou simplesmente DG) datam de 1984, e mostram que se pode obter a redução significativa de efeitos de canal curto em um dispositivo. Denominado XMOS [24], onde o controle do potencial na camada de silício é conseguido utilizando portas na 1ª e 2ª interfaces do dispositivo. Utilizando esta configuração, se consegue um melhor controle da região de depleção do canal, em relação a um SOI MOSFET normal e os efeitos exercidos pela influência das regiões de depleção de fonte e dreno são reduzidas.

Os efeitos de canal curto são reduzidos, impedindo que as linhas de campo das regiões de fonte e dreno alcancem a região do canal. Simulações têm mostrado que os dispositivos de silício SOI MOSFET mais recentes apresentam porta dupla com um comprimento de canal de 30 nm, uma espessura do óxido de 3 nm, e uma espessura da camada de silício de 5 a 20 nm. Tais dispositivos (simulados) não sofrem efeito de canal curto para comprimento de porta maior do que 70 nm, além de apresentar valores da transcondutância de até 2300 mS/mm [24]. O primeiro SOI MOSFET DG fabricado foi o transistor de canal estreito totalmente depletado (DELTA, 1989) [24].

A inversão de volume, descoberta em 1987 a partir do estudo de dispositivos de múltiplas portas, corresponde ao aumento da concentração de elétrons no interior da camada

de Si, diferentemente do que ocorre em transistores de porta simples, onde a inversão ocorre apenas nas proximidades das interfaces Si-SiO₂ de porta. O mecanismo de inversão de volume é mais intenso em dispositivos levemente dopados. Assim que aumenta o nível de dopagem, as concentrações de portadores e de elétrons crescem perto da superfície do óxido de silício e diminuem no centro do dispositivo. Em uma situação extrema, o dispositivo poderia então se aproximar da depleção parcial. Neste caso, o perfil de potencial seria quase parabólico e a expressão da tensão de limiar seria dominada por um termo diretamente proporcional à largura da aleta [24].

A utilização de camadas muito finas de silício é quesito para dispositivos planares de canais curtos. Entretanto, vários efeitos de redução da mobilidade foram descobertos nos dispositivos SOI ultrafinos [24,44]. Além disso, a utilização de camadas ultrafinas levanta a possibilidade da elevada resistência para as regiões de fonte e dreno.

3.2 Transistores SOI de porta tripla, porta circundante e porta semicircundante

Os dispositivos SOI MOSFETS de porta tripla apresentam uma fina camada de silício com a porta em seus três lados. O avanço no desenvolvimento de transistores SOI de portas triplas inclui o MOSFET de fio quântico, que é um dispositivo semiconductor muito fino, de canal estreito, que confina o movimento dos elétrons em uma única direção, semelhante a um fio de condução elétrico [45]. A figura 3.1 apresenta a perspectiva e seção transversal de um dispositivo SOI de porta tripla.

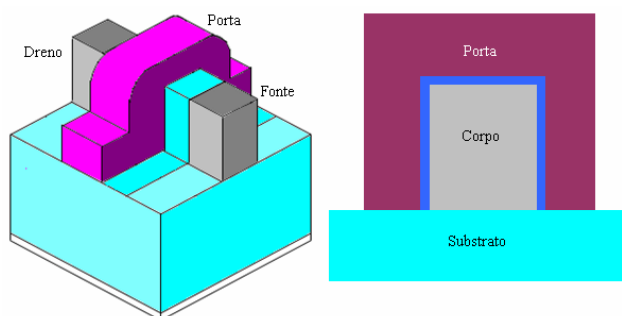


Fig 3.1– Perspectiva e seção transversal de um dispositivo de Porta Tripla.

Nos transistores SOI de porta circundante [46,47], o eletrodo e o óxido de porta envolvem a região ativa do canal. Nenhum outro isolante (óxido de campo ou óxido enterrado) fica em contato com a região ativa do dispositivo. Os dispositivos de porta circundante oferecem um melhor controle do canal pela porta, apresentam elevada

transcondutância (até 4 vezes superior a de um transistor SOI) e inclinação de sublimiar bem próxima ao ideal [48].

A figura 3.2 apresenta a perspectiva e seção transversal do dispositivo SOI de porta circundante GAA (*Gate-all-around*).

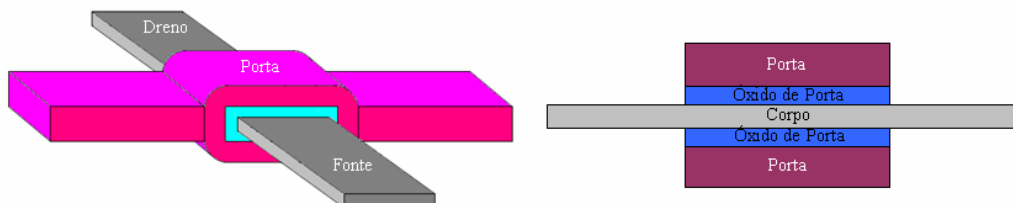


Fig 3.2 – Perspectiva e seção longitudinal do dispositivo GAA.

Tais dispositivos podem ser fabricados usando uma coluna vertical de silício (canal vertical). A estrutura pode ser cilíndrica e a porta circular [24]. A figura 3.3 apresenta a perspectiva e seção transversal do dispositivo Cynthia de porta circundante. A fonte e o dreno estão situados em diferentes profundidades na camada de silício. No entanto, é possível projetar e fabricar MOSFETS de porta semicircundantes usando um processo similar ao utilizado para fabricar SOI MOSFETS de porta tripla.

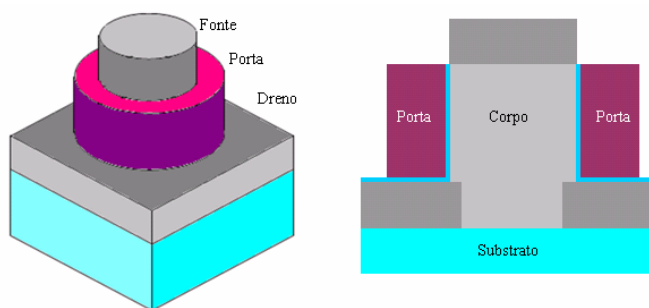


Fig 3.3 – Perspectiva e seção transversal do dispositivo Cynthia.

Estes dispositivos são chamados MOSFETS da porta π [49,50] ou de porta Ω [51] e são basicamente dispositivos de porta tripla com o eletrodo de porta estendido abaixo da ilha de silício. Esta geometria aumenta a corrente e atenua o efeito de canal curto. A extensão de porta é formada por corrosão do óxido enterrado durante a etapa de modelagem do silício. Esta extensão de porta forma um campo virtual induzido pelo eletrodo de porta debaixo do dispositivo, bloqueando assim as linhas de campo elétrico do dreno, na região do canal, no fundo da região ativa do silício. A figura 3.4 (A) apresenta a perspectiva e seção transversal

do dispositivo de porta Ω e a. figura 3.4 (B) apresenta a perspectiva e seção transversal do dispositivo de porta π .

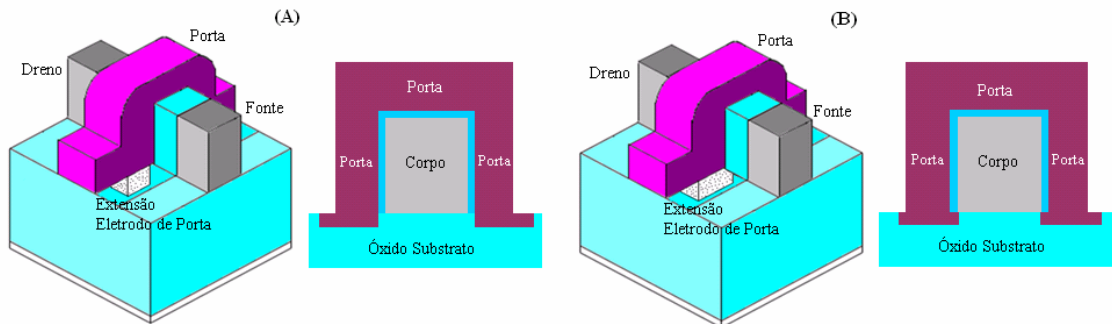


Fig 3.4— Perspectiva e seção transversal de: (A) dispositivo de Porta π (B) dispositivo de Porta Ω .

Tais dispositivos podem ser chamados de dispositivos de “porta tripla +” devido às suas características estar entre aquelas dos dispositivos de porta triplas e quádruplas.

O controle da região, sob a ilha de silício, pelo potencial de porta, aumenta claramente com a extensão da profundidade de porta. No dispositivo com uma extensão de profundidade de 20 nm e largura de canal de 30 nm, o potencial está próximo ao valor de V_G , na região logo abaixo à ilha de silício. Assim, é criado um campo virtual, induzido pela porta da 2ª interface. Em dispositivos mais largos ($W = 50$ nm), a distância entre as duas extensões de porta é demasiada grande para que este efeito ocorra, e o fundo da ilha de silício não é controlado pelo potencial de porta [24].

Pesquisas [49] revelam também que a eficiência das estruturas MUGFETs depende diretamente de suas dimensões físicas, por exemplo: a eficiência das portas laterais de um dispositivo de porta tripla piora com o aumento da largura de canal e o controle de porta nos dispositivos de porta dupla piora quando aumenta a espessura da camada de silício.

3.3 Transistores FinFET

O termo “FinFET” foi concebido pela Universidade da Califórnia. Pesquisadores de Berkeley desenvolveram um transistor DG não planar, construído sob um substrato SOI [52], baseado no projeto do transistor DELTA. A característica [53] que difere o FinFET dos demais transistores é de ter o seu canal de condução em forma de aleta envolvida por óxido e sobrepassada por silício policristalino, formando assim a porta do dispositivo. Esta aleta pode ser fina o suficiente para que as duas portas possam controlar em conjunto o canal totalmente depletado. Além disso, o processo de fabricação do FinFET é semelhante ao MOSFET planar. A figura 3.5 apresenta a perspectiva de um dispositivo FinFET.

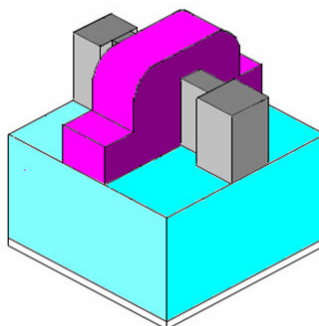


Fig 3.5 – Perspectiva de um dispositivo FinFET.

Os FinFETs podem também ser implementados como dispositivos de porta tripla, uma vez que o óxido no topo pode ser fino o suficiente para atuar como um óxido de porta. Os dispositivos FinFETs de porta tripla diferem dos FinFETs de porta dupla em vários aspectos. Um destes aspectos é a diferença de mobilidade de elétrons entre a superfície da porta superior com as superfícies das portas laterais, possivelmente causada pela diferença de orientação cristalina entre estas superfícies (porta superior e das portas laterais). Além disso, durante a fabricação, grandes taxas de oxidação causam óxido de porta mais espessos.

Outro fenômeno causado pela presença da terceira porta (porta superior) é o efeito de canto [54,55]. O efeito de canto caracteriza-se pelo aumento da inversão de cargas nas proximidades dos cantos do dispositivo, influenciando na distribuição da densidade de corrente ao longo da seção transversal da aleta.

3.4 Características elétricas

Corrente de dreno

A corrente de dreno nos dispositivos de múltiplas portas é essencialmente proporcional a largura total da porta, ou seja, a corrente de dreno em um dispositivo de porta dupla é maior que o dobro da corrente de um transistor de porta simples, com comprimento e largura de canais idênticos [24]. Muitas vezes, para aumentar a capacidade de corrente sem aumentar a largura dos dispositivos, que é limitada pelos aspectos construtivos, são implementados arranjos de transistores paralelos. Nestas estruturas de porta dupla e porta tripla com múltiplos dispositivos, todos os dispositivos devem possuir as mesmas espessuras e larguras para apresentarem a mesma tensão de limiar e outras propriedades elétricas.

Para valores de correntes grandes, devem-se usar dispositivos do tipo “múltiplos dedos”, conforme figura 3.6. O valor da corrente em um dispositivo MOSFET de múltiplos dedos é igual ao valor da corrente em um dispositivo simples multiplicado pela quantidade de aletas (também conhecido como “dedos”).

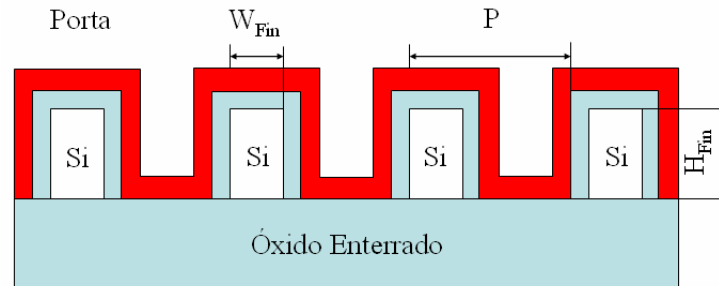


Fig 3.6 – Estrutura múltiplos dedos.

Considerando o passo entre os dedos, P , e assumindo que a mobilidade dos portadores é idêntica em todas as interfaces Si-SiO₂, a corrente do dispositivo por unidade de largura é dada pela equação (3.1) [24].

$$I_{DS} = I_{D0} \frac{(W_{Fin} + 2H_{Fin})}{P} \quad (3.1)$$

Onde I_{D0} é a corrente de um dispositivo planar, de porta simples, de largura unitária, e W_{Fin} é a largura de um dedo, H_{Fin} é a altura da camada de silício, e P é o passo entre dedos.

Os dispositivos de porta dupla conseguem grandes correntes de dreno através do uso de camada de silício relativamente espessa. Nesse dispositivo não há fluxo de corrente no topo da ilha de silício. Deste modo, a expressão da corrente de dreno pode ser escrita da seguinte forma [24]:

$$I_{DS} = I_{D0} \frac{2H_{Fin}}{P} \quad (3.2)$$

Já nos dispositivos de porta tripla onde o $H_{Fin} = W_{Fin}$, o passo de dedo deve ser menor do que $3W_{Fin}$, a fim de obter um fluxo de corrente maior do que no dispositivo planar, de uma porta.

Efeito de Canal Curto

Conforme já descrito, o controle de cargas na região do canal melhora com o aumento do número de portas do dispositivo. Para dispositivos de canais extremamente curtos, este efeito não é eliminado somente com a presença de portas extras. Desta forma, faz-se necessário o cálculo do efeito de canal curto inerente à estrutura (comprimento natural da estrutura) [24].

A equação (3.3) define o comprimento natural para transistores de porta dupla, onde o parâmetro λ é denominado de “comprimento natural” do dispositivo e mede o efeito de canal curto inerente à estrutura do dispositivo. λ indica a distância da penetração das linhas do campo elétrico do dreno no corpo do dispositivo ou o controle que a região de dreno exerce sobre a zona de depleção do canal.

$$\lambda = \sqrt{\frac{\xi_{Si}}{2\xi_{Ox}}} t_{Ox} t_{Si} \quad (3.3)$$

Sendo ξ_{Si} a permissividade do silício, ξ_{Ox} a permissividade do óxido, t_{Ox} a espessura do óxido de porta e t_{Si} a espessura da camada de silício.

Simulações indicam que para o dispositivo estar praticamente livre dos efeitos de canal curto, λ deve ser de 5 a 10 vezes menor do que o comprimento de porta [24,56].

Um alongamento adicional é obtido usando uma estrutura de porta circundante, onde o diâmetro/ largura e a espessura da camada de silício podem ser tão grandes quanto o comprimento da porta. As exigências da espessura do filme para dispositivos de porta tripla, π e Ω estão situadas entre aqueles para os dispositivos de porta dupla e circundante.

Tensão de Limiar

A definição mais comum para tensão de limiar de um dispositivo MOSFET é a tensão pela qual todo incremento de tensão acima desta será utilizado para a formação da camada de inversão (grande quantidade de portadores livres) [24]. Esta definição não se aplica aos dispositivos de múltiplas portas, camada fina, onde a corrente circula com a presença da inversão fraca. Além disso, os dispositivos de múltiplas portas podem atingir a inversão nas diversas partes da região de canal sob diferentes tensões de porta.

Um novo equacionamento da tensão de limiar para transistores SOI de porta dupla foi desenvolvido por Francis [57–60]. Este modelo faz uso do método da derivada de segunda ordem para obtenção de V_{Th} [61]. Utilizando esta condição, o potencial de superfície é obtido através da equação (3.4) [24]:

$$\phi_s' = 2\phi_F + \frac{KT}{q} \ln \left(\delta \frac{1}{1 - e^{-\alpha}} \right) \quad (3.4)$$

Onde α e δ são parâmetros de ajuste do transistor dados pelas expressões:

$$\alpha = \frac{q}{KT} \cdot \frac{Q_D}{8C_{Si}} \quad (3.5)$$

$$\delta = \frac{C_{Ox}}{4C_{Si}} \quad (3.6)$$

O último termo do potencial de superfície no limiar é negativo, tanto que ϕ_s' é menor do que $2\phi_F$ pelo valor de 10 a 90 mV. A Tensão de limiar é obtida através da equação (3.7) [24].

$$V_{Th} = \phi_s' + V_{FB} + \frac{KT}{q} \cdot \frac{\alpha}{\delta} \sqrt{1 + \frac{\alpha}{\delta}} \quad (3.7)$$

A diferença entre o potencial de superfície na inversão e $2\Phi_F$ depende da espessura do filme de silício, da espessura do óxido de porta e da dopagem.

Transistores de camada fina, porta dupla possuem tensão de limiar pequena ($V_{Th} \cong 0V$) quando a dopagem do canal tipo P é pequena e as portas da 1ª e 2ª interface são feitas de silício policristalino tipo N+. A fim de obter uma tensão de limiar maior, faz-se o uso de silício policristalino P+ em ambas as portas. Neste caso é obtida uma tensão de limiar por volta de 1 V. Uma solução intermediária consiste no uso de materiais do tipo midgap ou silício policristalino do tipo dual (uma porta é dopada com N+ e a outra com P+). Outra solução é utilizar duas portas de silício policristalino N+ e aumentar a tensão de limiar aumentando o nível de dopagem do canal. Esta solução apresenta desvantagens na diminuição da mobilidade através do aumento da concentração de impurezas.

A inversão pode ser formada sob diversas tensões de porta nas interfaces dos cantos, topo e nas paredes de Si-SiO₂. O raio da curvatura do canto tem um impacto significativo nas características elétricas do dispositivo, tais como a presença ou a ausência de tensão de limiar nos cantos diferente da apresentada na interface planar do dispositivo. É importante dizer que nos dispositivos SOI MOSFETS clássicos, os cantos aparecem na borda do dispositivo, podendo aumentar as indesejáveis correntes parasitas, enquanto nos dispositivos de múltiplas portas, os cantos fazem parte da estrutura intrínseca do transistor [24].

Inversão de Volume

A inversão de volume foi descoberta em 1987 por Balestra [62] e foi observada inicialmente nos MOSFETs de porta dupla do tipo GAA em 1990 [63]. A inversão de volume é um fenômeno que aparece nos dispositivos SOI MOSFET de múltiplas portas de camada fina. Os portadores de inversão não ficam confinados perto da interface Si-SiO₂, como ocorre nos dispositivos clássicos, mas distribuem-se por toda espessura de Si.

Este fenômeno ocorre não apenas pela distribuição de potencial particular observada em dispositivos de múltiplas portas, mas também pelo efeito de confinamento quântico. Assim, uma boa avaliação da inversão de volume na simulação numérica de dispositivos deve considerar a solução consistente das equações de Poisson e Schrödinger.

O fenômeno da inversão de volume é mais perceptível sob polarizações de porta próximas à tensão de limiar. Aumentando a tensão aplicada à porta, a concentração de elétrons torna-se maior nas proximidades das interfaces, embora aumente em toda a

profundidade do canal, mantendo assim a camada de inversão em toda a espessura do filme, conforme demonstrado na figura 3.7, extraída de [24].

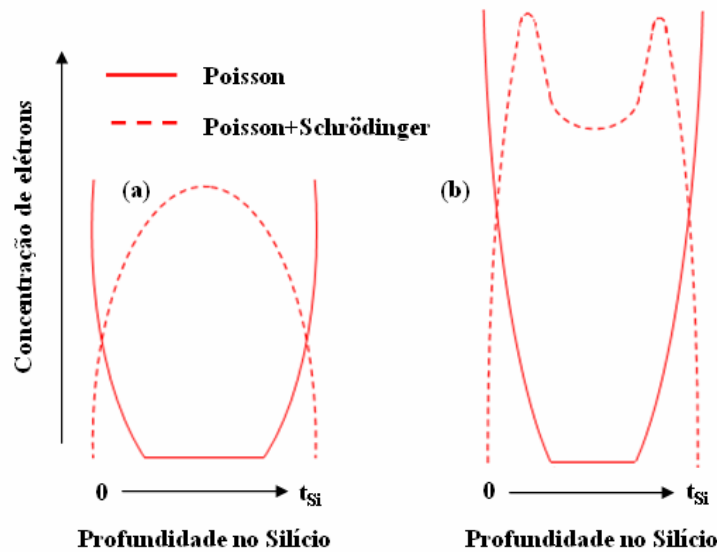


Fig 3.7 – Inversão de Volume em um MOSFET de porta dupla; a) $V_G < V_{Th}$; b) $V_G > V_{Th}$. [24]

Fonte: Colinge, J.P., 2004, p. 305.

O efeito mecânico quântico da inversão de volume foi primeiramente simulado e medido em dispositivos SOI de porta dupla em 1994 [64,65] e tem sido, desde então, explorado por diversos grupos de pesquisa [66,67]. O fenômeno da inversão de volume pode ser também observado nos dispositivos SOI de porta tripla [68–70].

Nos próximos capítulos são apresentadas algumas simulações resolvendo as equações de Poisson e Schrödinger a fim de avaliar os efeitos mecânicos quânticos e suas possíveis consequências, para os dispositivos simulados neste trabalho.

4 SIMULAÇÃO TRIDIMENSIONAL DE DISPOSITIVOS

4.1 O simulador numérico

ATLAS, versão 2.6.0.R, é um simulador baseado na física do dispositivo. Este tipo de simulador calcula as características elétricas associadas à estrutura física e condições de polarização (princípio de simulação baseado na física do dispositivo). Isto é conseguido através da aproximação da operação do dispositivo em grades de duas ou três dimensões, constituindo assim um número de pontos de grade denominados nós. Aplicando um grupo de equações diferenciais, derivadas das leis de Maxwell, nesta grade, pode-se simular o comportamento dos portadores através da estrutura. Isto significa que o desempenho de um dispositivo pode ser modelado em regime de trabalho DC, AC ou transiente [71].

A simulação baseada na física do dispositivo é diferente da modelagem empírica. O objetivo da modelagem empírica é obter uma fórmula analítica que aproxima os dados existentes com alguma precisão e pouca complexidade.

A simulação baseada na física do dispositivo tem se tornado importante por dois motivos:

- é mais rápida e barata se comparada com medidas experimentais;
- fornece facilmente informações de difícil medição.

Vale ressaltar que para este tipo de simulação dois aspectos são importantes, a incorporação ao simulador de toda a física relevante do dispositivo e a execução de todos os procedimentos numéricos para resolver as equações associadas. No simulador de dispositivos ATLAS estes aspectos são descritos através da [71]:

- definição da estrutura física a ser simulada;
- descrição dos modelos físicos;
- definição das condições de polarização;
- descrição das características elétricas a serem simuladas.

4.2 Ferramentas interativas do simulador ATLAS

DeckBuild

Plataforma utilizada na interação com os simuladores de dispositivos e de processos, o DeckBuild fornece várias facilidades importantes. Uma interface gráfica para especificação dos dados de entrada permite que os usuários evitem erros de sintaxe específicos ao simulador. Depois de terminada a especificação dos dados de entrada, o DeckBuild produz automaticamente um arquivo de entrada, o qual pode ser editado a qualquer hora pelo usuário.

O DeckBuild permite o controle preciso de simulação do arquivo de entrada, além de fornecer o histórico da simulação, o que permite ao usuário acompanhar a simulação no tempo de execução ou posteriormente. O DeckBuild pode também carregar outras ferramentas de apoio do simulador ATLAS, tais como Tonyplot, DevEdit e Maskview.

O DeckBuild foi projetado para minimizar o tempo requerido na construção e calibração do arquivo de entrada.

TonyPlot

Ferramenta de visualização que permite interação e suporta todas as maneiras usuais de visualização de dados científicos. Permite a visualização de gráficos xy com eixos lineares e logarítmicos, bem como as superfícies e contornos do dispositivo estudado. O TonyPlot inclui características de animação, que permitem a visualização de uma sequência de gráficos a fim de mostrar soluções em função de algum parâmetro.

DevEdit

O DevEdit é uma ferramenta gráfica, interativa, para especificação e modificação de estruturas. Inclui o módulo de matriz de pontos que suporta geração de malhas e refinamento destas malhas. A dopagem poder ser definida e modificada através de funções analíticas. É considerada uma poderosa ferramenta utilizada no pré-processo de simulação de dispositivos bidimensionais. Um modo especial do DevEdit suporta a definição e a matriz de pontos para estruturas tridimensionais.

4.3 Modelos para Representação Física no Simulador

O simulador de dispositivos apresenta uma gama de modelos de mobilidade, ionização por impacto, recombinação e materiais, cada um com suas características próprias e destinado a uma aplicação específica, podendo ou não ser combinados entre si.

Este tópico descreve características básicas de alguns destes modelos presentes no simulador de dispositivos [71].

- **BGN (Estreitamento da Faixa Plana):** modelo utilizado no cálculo da faixa proibida, utilizado para regiões altamente dopadas.
- **FERMI (Fermi-Dirac):** modelo de Fermi utilizado no cálculo de portadores com concentração reduzida.
- **CONMOB:** modelo de mobilidade que prevê a relação de dependência entre a mobilidade e a concentração de dopantes. Utilizado sempre em temperaturas de 300K para estruturas de silício (Si) e arseneto de gálio (GaAs).
- **SHI (Shirata):** modelo de mobilidade que prevê a degradação da mobilidade que ocorre dentro das camadas de inversão. Apresenta melhor relação do campo elétrico perpendicular para óxidos de porta finos.
- **FLDMOB (Dependência do Campo Elétrico Longitudinal):** modelo de mobilidade utilizado em estruturas de silício (Si) e arseneto de gálio (GaAs). Requerido na modelagem do efeito da velocidade de saturação.
- **AUGER:** modelo de recombinação que relaciona a transição direta de três partículas, onde um

portador é capturado ou emitido. Utilizado em altas densidades de correntes.

- **CONSRH:** Modelo de recombinação de portadores que determina o tempo de vida dos portadores como função da concentração de dopantes.
- **SRH (Shockley-Read-Hall):** modelo de recombinação, onde o tempo de vida dos portadores minoritários é fixado.
- **IMPACT SELB (Selberherr):** modelo de ionização por impacto dependente do campo elétrico horizontal em um determinado ponto da estrutura. Inclui parâmetros dependentes da temperatura.

Tão importante quanto a definição dos modelos (mobilidade, recombinação, parâmetros físicos do dispositivo) é a definição da matriz de pontos essencialmente utilizada durante o processo de simulação do dispositivo [71].

A Matriz de pontos, ou grade, é a base para todos os cálculos matemáticos utilizados durante uma simulação. A grade pode ser simplesmente definida como um grupo de linhas horizontais e verticais espaçadas entre si.

O ATLAS realiza uma série de cálculos vetoriais entre os pontos gerados pela intersecção destas linhas, sendo que o resultado destes cálculos matemáticos estabelece a diferença de potencial e/ ou fluxo de corrente pelo qual o dispositivo é submetido durante a simulação. Por este motivo, deve-se tomar cuidado no momento de definição da grade caso contrário, sérios problemas podem ocorrer, como a não convergência ou, pior, a geração de falsas soluções.

É importante ter certeza de que todas as regiões e materiais requeridos para o dispositivo estejam cobertos pela grade projetada e que haja um refinamento desta grade nos locais mais críticos do dispositivo, tais como junções, interfaces e pontos de grande intensidade de campo elétrico [71].

A pouca definição de pontos pode fazer com que os cálculos realizados pelo ATLAS fiquem incorretos, gerando assim resultados errados ou pouco precisos, como a presença de

corrente indevida no interior do óxido de silício, causada pela definição incorreta de pontos na grade.

A figura 4.1 apresenta um exemplo de grade balanceada utilizada durante o estudo dos transistores SOI trapezoidais através de simulações numéricas tridimensionais.

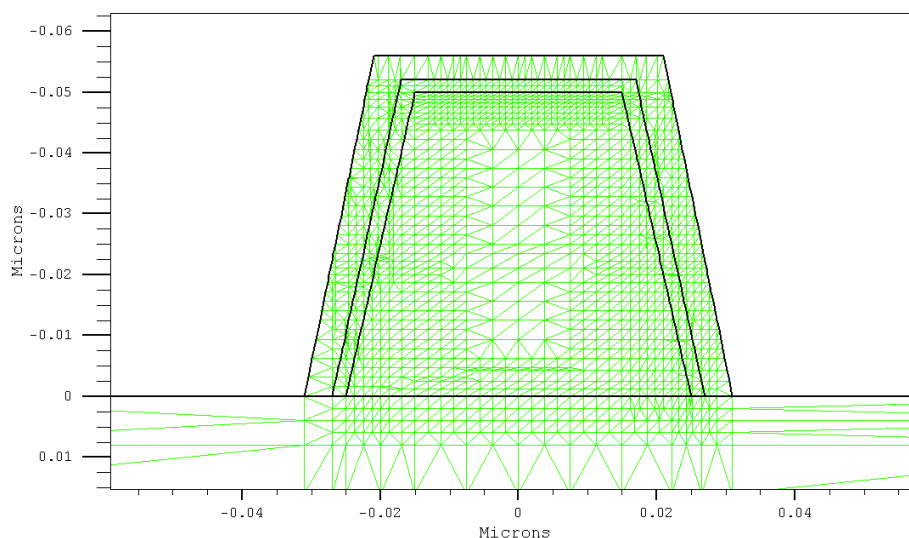


Fig 4.1 – Exemplo de Grade balanceada.

Maiores detalhes a respeito da descrição da grade encontram-se no Apêndice 1 – Simulações Atlas, deste trabalho.

4.4 Avaliação da necessidade de uso de modelos de confinamento quântico

A tendência para implementação de dispositivos SOI cada vez menores, com óxido de porta mais fino e concentração de dopagem maior, resulta em um maior interesse no estudo dos efeitos de confinamento quântico, visto que tais efeitos afetam algumas características elétricas dos dispositivos quando as dimensões físicas se aproximam de 10 nm, tais como o deslocamento na tensão de limiar e capacitância de porta.

Este tópico descreve os principais métodos utilizados em simulações visando o estudo da influência do efeito de confinamento quântico nos dispositivos. Para os dispositivos utilizados neste trabalho, a influência de tais efeitos não se mostrou relevante, mas nos casos em que se queira avaliar dispositivos de menores dimensões, deve-se considerar as alternativas aqui descritas.

4.4.1 Modelo acoplado Schrödinger-Poisson

O modelo acoplado de Schrödinger-Poisson permite ao ATLAS utilizar as equações de Schrödinger, em conjunto com as equações fundamentais (para descrição de dispositivos) a fim de modelar os efeitos de confinamento quântico. A solução das equações de Schrödinger permite uma descrição quântica da densidade de estados na presença da variação de potencial no confinamento quântico [71].

É possível utilizar o modelo de acoplamento de Schrödinger, ativando o parâmetro SCHRO na declaração dos modelos de estados do simulador ATLAS. Através deste parâmetro o simulador soluciona a equação unidimensional de Schrödinger ao longo de uma série de partes (lâminas) no eixo y do dispositivo. Cada parte é tomada ao longo de uma série de nós y existentes na grade projetada. Após a resolução da equação de Schrödinger, a concentração de portadores calculada é substituída na equação de Poisson. O potencial derivado na solução de Poisson é substituído novamente na equação de Schrödinger. Este processo continua até haver convergência de valores, obtendo assim uma solução auto-consistente do modelo de acoplamento de Schrödinger-Poisson.

O exemplo apresentado a seguir é um trecho de uma declaração de modelos utilizados na etapa de calibração dos dispositivos estudados neste trabalho.

```
models fermi schro new.eig ox.poisson \
qy.min=-0.003 qy.max=0.033 \
qx.min=-0.015 qx.max=0.185
ox.schro fixed.fermi
```

- *Fermi* Permite as estatísticas de Fermi-Dirac;
- *Schro* Ativa a solução Schrödinger para elétrons;
- *new.eig* Especifica a forma de solução;
- *ox.poisson* Calcula os níveis quase-Fermi no isolante. Utilizado em soluções de Schrödinger Poisson;
- *ox.schro* Leva em consideração a presença do óxido de silício na solução de Schrödinger;
- *qx.min, qx.max, qy.min, qy.max* Define a dimensão onde será aplicada a resolução da equação de Schrödinger;
- *Fixed.fermi* Mantém o nível de Fermi constante.

A principal limitação do modelo acoplado de Schrödinger-Poisson, na implementação do ATLAS é o fato deste modelo não suportar simulações com correntes, impossibilitando sua utilização durante o levantamento das características de tensão/ corrente dos transistores. Por esta razão, o simulador apresenta algumas aproximações, como segue.

4.4.2 Modelo de Potencial Quântico de Bohm (BQP)

O ATLAS possui dois modelos que levam em consideração a inclusão de alguns efeitos de confinamento quântico no cálculo do transporte dos portadores (elétrons ou lacunas), o modelo de densidade gradiente e o modelo de potencial quântico de Bohm (BQP).

O método de densidade gradiente relaciona a posição do portador com a energia potencial, já o modelo de potencial quântico de Bohm (BQP) relaciona a posição do portador com a energia potencial, usando uma equação auxiliar derivada da interpretação de Bohm para mecânica quântica. Esta energia potencial extra modifica a distribuição de elétrons ou lacunas. Ambos os métodos são derivados da física clássica.

O método de densidade gradiente utiliza apenas um único parâmetro de ajuste, já o modelo BQP utiliza dois. Esta flexibilidade permite que os modelos aproximem diferentes tipos de dispositivos ao comportamento quântico. É possível obter boa aproximação entre os resultados simulados com os modelos Poisson-Schrödinger, densidade gradiente e BQP [71].

Desenvolvido pela universidade de Pisa [71], o BQP é considerado uma alternativa ao método de densidade gradiente. Há duas vantagens em utilizar o Potencial Quântico de Bohm (BQP) sobre o método de densidade gradiente:

- apresenta melhor convergência em diversas situações;
- calibração feita através de aproximação aos resultados da equação de Schrödinger-Poisson sob condições de baixa corrente.

O processo iterativo para resolução da equação não linear de BQP é o seguinte: após obter uma solução inicial semi-clássica, a equação de BQP é resolvida a fim de obter o valor do potencial quântico em cada nó do dispositivo. O potencial semi-clássico é modificado pelo valor do potencial quântico em cada nó e a solução do conjunto de equações semi clássicas é então convergida normalmente. Após esta etapa, a equação de BQP é convergida novamente e

o processo se repete até atingir a autoconsistência entre a solução da equação de BQP e a solução do conjunto de equações semi-clássicas.

4.4.2.1 Calibração com o modelo de Schrödinger-Poisson

A fim de obter aproximação entre BQP e o modelo de Schrödinger-Poisson para qualquer tipo de dispositivo, o Atlas possui um modelo Schrödinger-Poisson que permite modelar o confinamento espacial em uma direção.

Para usar o modelo de BQP, deve-se especificar $BQP.N$ (para elétrons) ou $BQP.P$ (para lacunas) na etapa de declaração dos modelos. Além disso, devem-se ajustar os valores dos parâmetros α e γ e a direção da quantização (confinamento).

4.4.3 O processo de calibração

O processo de calibração no simulador de dispositivos tem como principal razão, a comparação entre os modelos de confinamento quântico de Schrödinger (SCHRO) e a aproximação através do Potencial Quântico de Bohm (BQP).

Para a etapa de calibração do modelo físico (BQP) do ATLAS foram simulados dispositivos SOI MOSFET de porta dupla em geometria planar, de comprimento de canal (L) de 200 nm, largura de canal (W) variando de 30 a 70 nm, espessura do óxido de porta (t_{ox}) de 3 nm, concentração de dopantes (N_A) variando de 10^{15} a 10^{17} cm^{-3} , submetidos à polarização de porta, variando de 0 a 0,6 V, com passos de 5 mV.

A figura 4.2 apresenta o esquema do dispositivo de porta dupla em geometria planar simulado durante a etapa de calibração dos modelos físicos do simulador ATLAS.

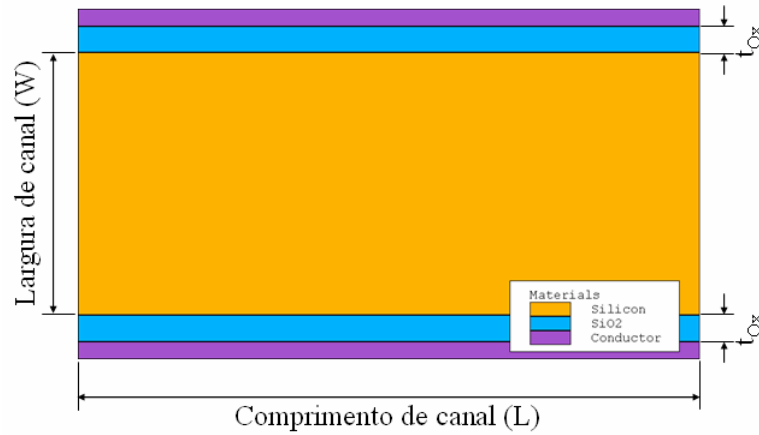


Fig 4.2 – Visão 2D do dispositivo de porta dupla utilizado no estudo dos modelos físicos do ATLAS.

Uma série de curvas de concentração de elétrons versus distância do centro do dispositivo foi levantada, cujos resultados são apresentados nas figuras 4.3 a 4.17.

São apresentadas as curvas correspondentes do modelo de Schrödinger-Poisson, considerada como referência (mais precisa), do modelo BQP calibrado, que aproxima a anterior e a correspondente à física clássica, para comparação.

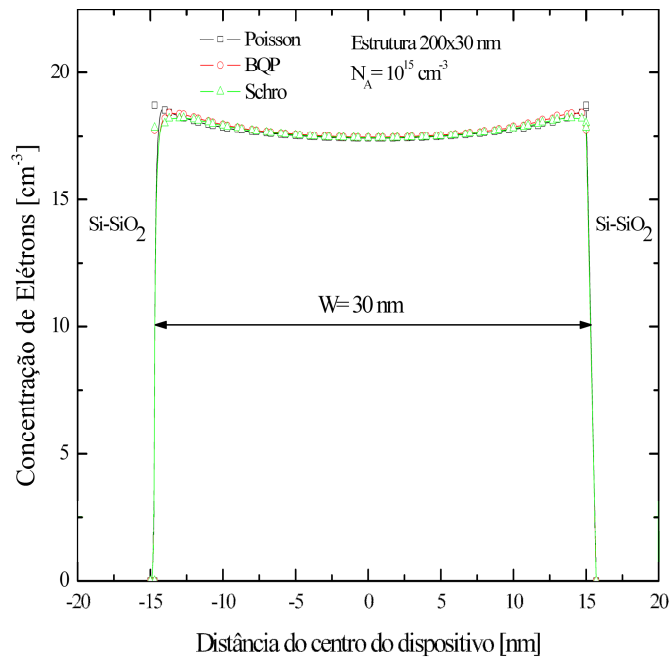


Fig 4.3 – Concentração de elétrons no dispositivo de largura de canal (W) 30 nm e dopagem 10^{15} cm^{-3} .

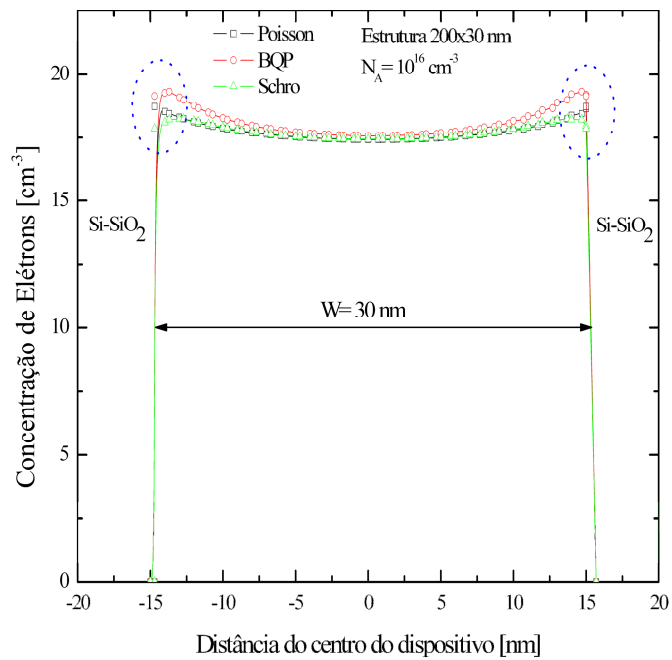


Fig 4.4 – Concentração de elétrons no dispositivo de largura de canal (W) 30 nm e dopagem 10^{16}cm^{-3} .

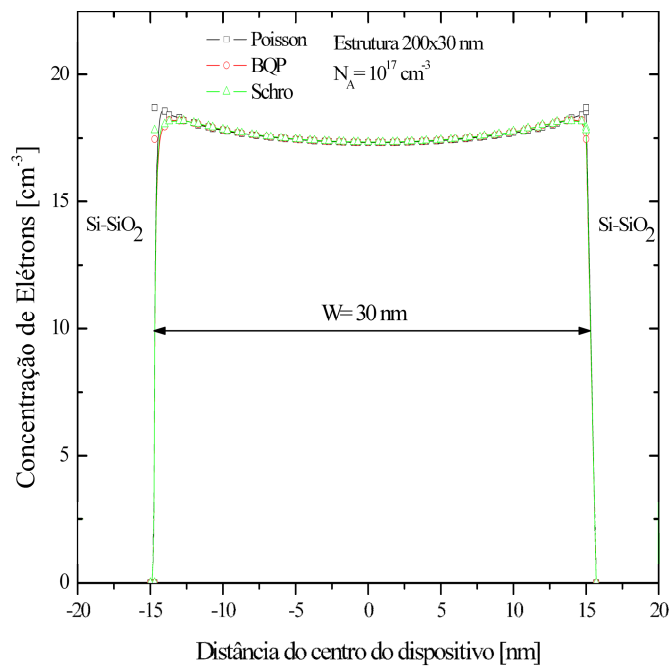


Fig 4.5 – Concentração de elétrons no dispositivo de largura de canal (W) 30 nm e dopagem 10^{17}cm^{-3} .

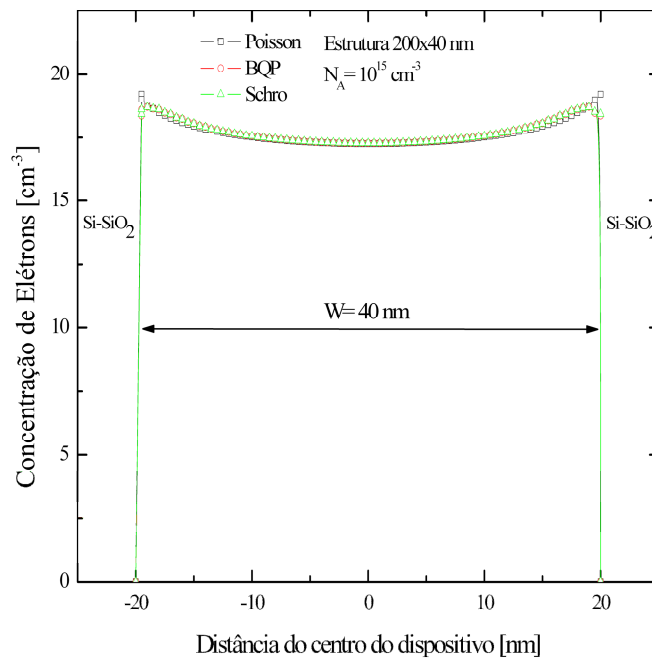


Fig 4.6 – Concentração de elétrons no dispositivo de largura de canal (W) 40 nm e dopagem 10^{15} cm^{-3} .

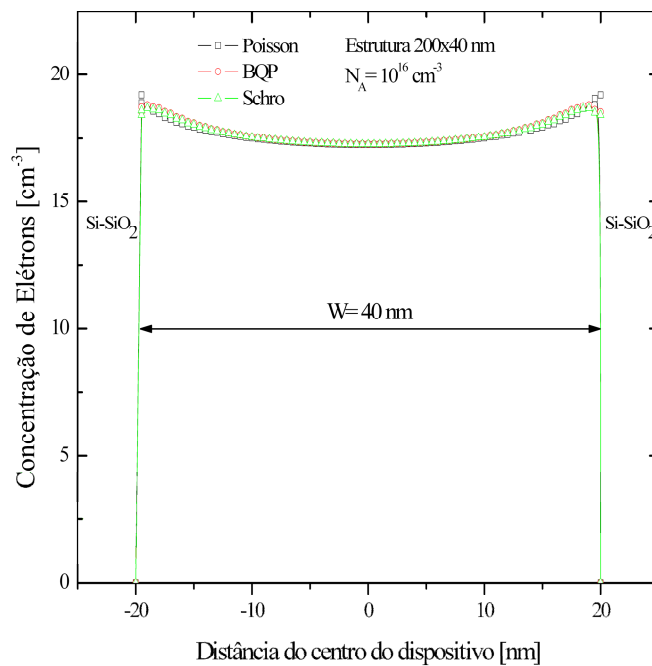


Fig 4.7 – Concentração de elétrons no dispositivo de largura de canal (W) 40 nm e dopagem 10^{16} cm^{-3} .

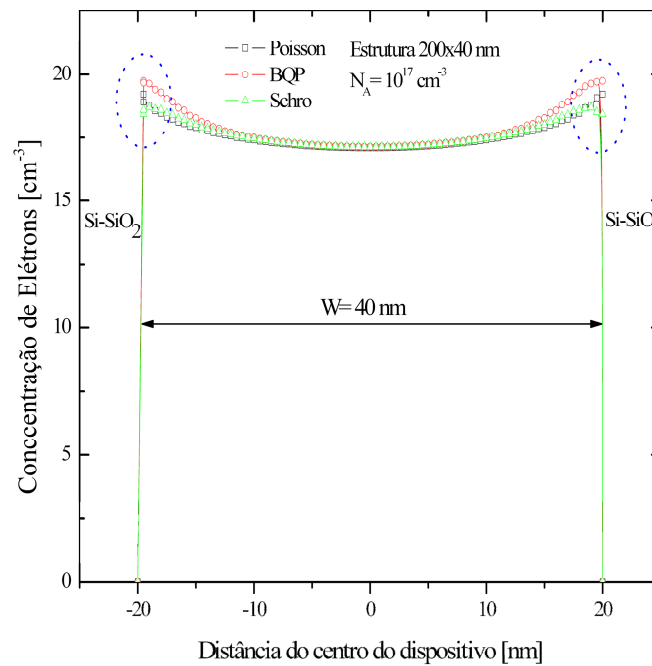


Fig 4.8 – Concentração de elétrons no dispositivo de largura de canal (W) 40 nm e dopagem 10^{17} cm^{-3} .

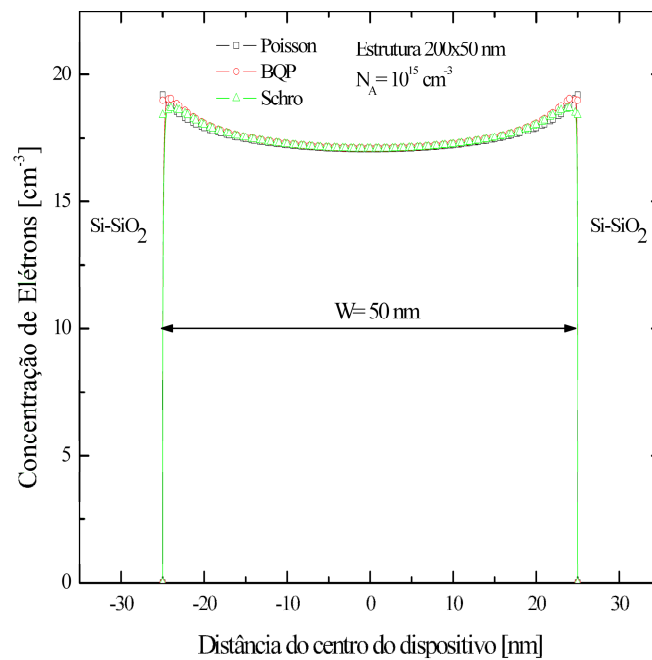


Fig 4.9 – Concentração de elétrons no dispositivo de largura de canal (W) 50 nm e dopagem 10^{15} cm^{-3} .

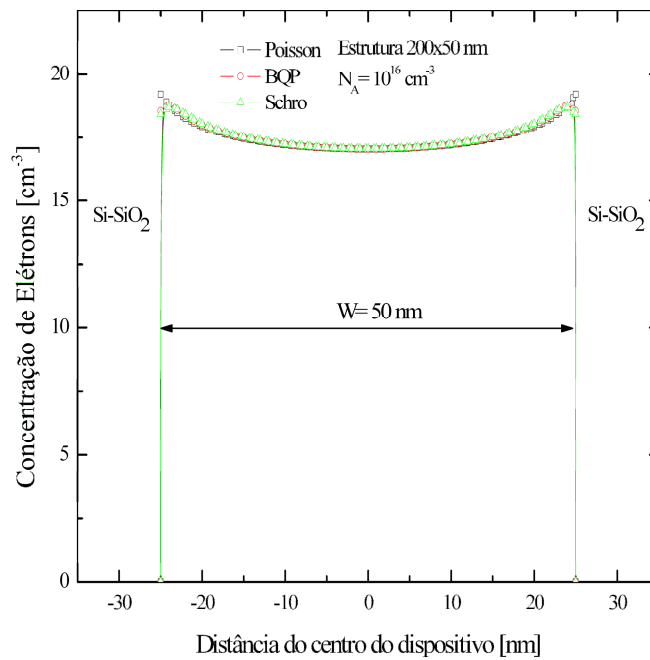


Fig 4.10 – Concentração de elétrons no dispositivo de largura de canal (W) 50nm e dopagem 10^{16} cm^{-3} .

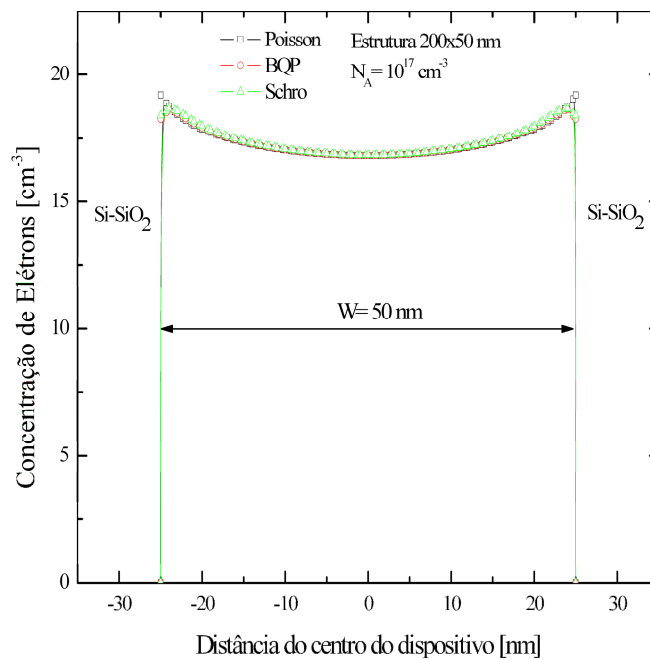


Fig 4.11 – Concentração de elétrons no dispositivo de largura de canal (W) 50 nm e dopagem 10^{17} cm^{-3} .

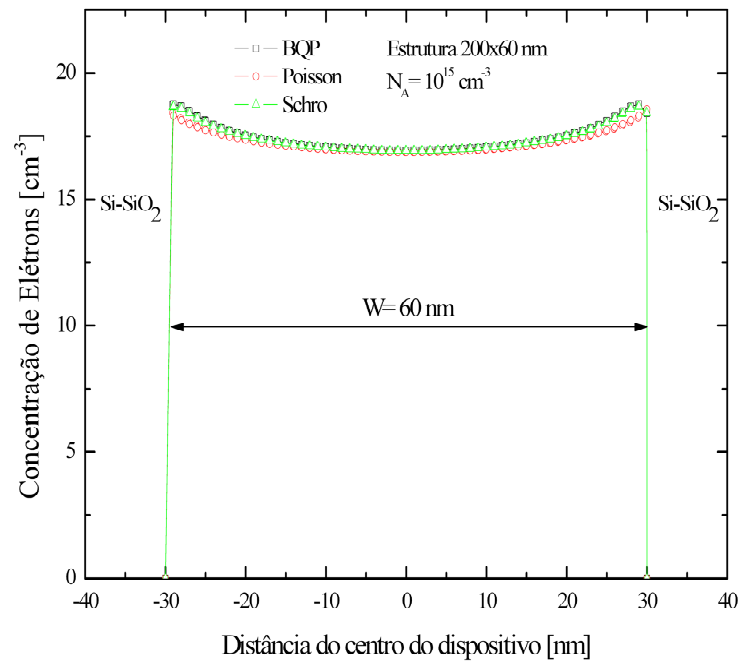


Fig 4.12 – Concentração de elétrons no dispositivo de largura de canal (W) 60 nm e dopagem 10^{15} cm⁻³.

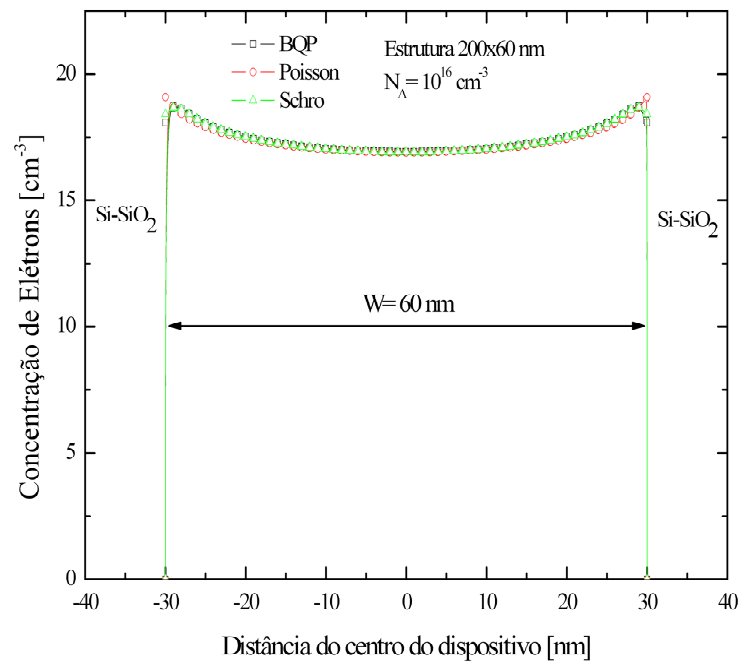


Fig 4.13 – Concentração de elétrons no dispositivo de largura de (W) canal 60 nm e dopagem 10^{16} cm⁻³.

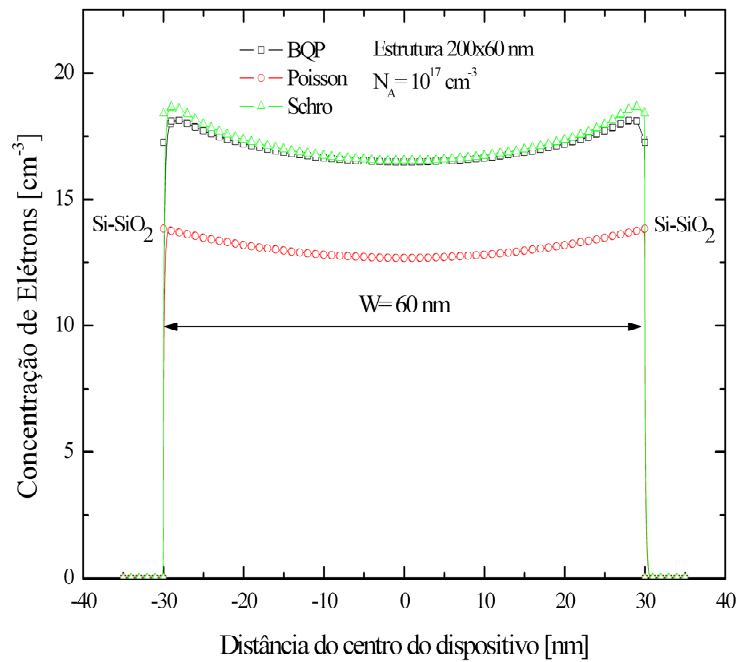


Fig 4.14 – Concentração de elétrons no dispositivo de largura de canal (W) 60 nm e dopagem 10^{17} cm⁻³.

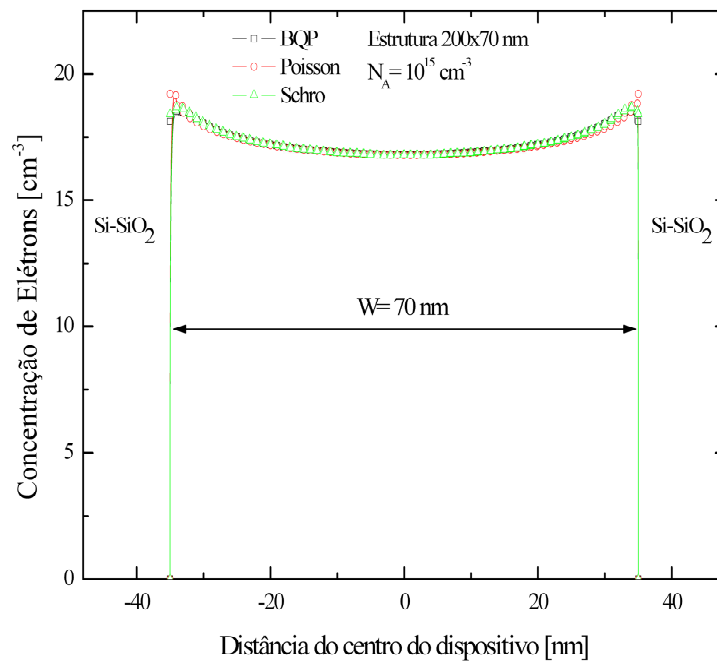


Fig 4.15 – Concentração de elétrons no dispositivo de largura de canal (W) 70 nm e dopagem 10^{15} cm⁻³.

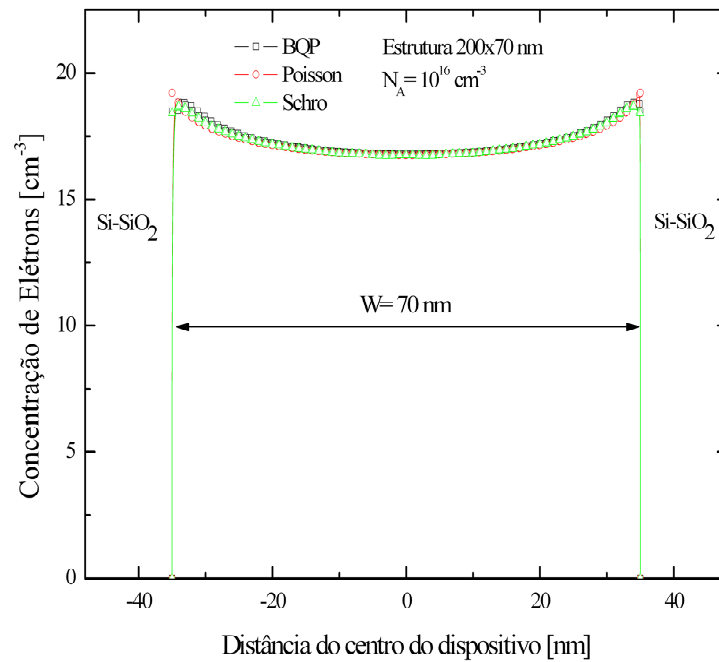


Fig 4.16 – Concentração de elétrons no dispositivo de largura de canal (W) 70 nm e dopagem 10^{16} cm^{-3} .

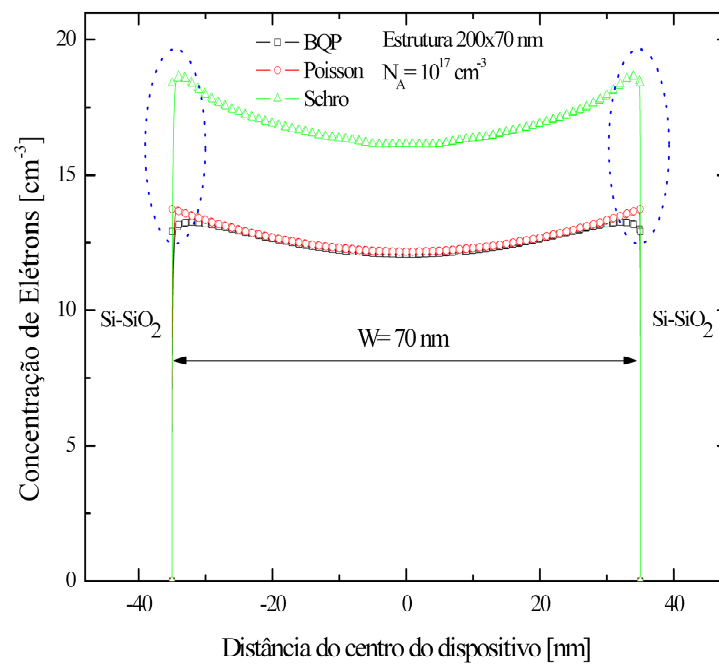


Fig 4.17 – Concentração de elétrons no dispositivo de largura de canal (W) 70 nm e dopagem 10^{17} cm^{-3} .

As curvas de concentração de elétrons mostram que o modelo BQP não possui boa aproximação em relação ao modelo de SCHRO para dispositivos grandes (acima de 30 nm). Este efeito é percebido nos dispositivos de largura de canal de 60 nm e 70 nm.

A fim de confirmar este fato, foi calculado o erro quadrático médio entre os modelos estudados em relação ao modelo de Schrödinger-Poisson:

$$ErroQuadráticoMédio = \sqrt{(X - SCHRO)^2} \quad (4.1)$$

Os parâmetros X e $SCHRO$ representam a concentração de elétrons, simulado por modelos diferentes, no caso X (Clássico e BQP) e $SCHRO$ (modelo de Schrödinger-Poisson).

Os resultados obtidos através do cálculo do erro quadrático médio podem ser vistos na tabela 4.1.

Tabela 4.1 – Cálculo do erro quadrático médio do modelo BQP em relação ao modelo Clássico.

Dispositivo	Erro quadrático Médio – (cm ⁻³)					
	Na=10 ¹⁵ cm ⁻³		Na=10 ¹⁶ cm ⁻³		Na=10 ¹⁷ cm ⁻³	
	Clássico	BQP	Clássico	BQP	Clássico	BQP
W= 30 nm	0,0610	0,0439	0,0611	0,2746	0,0629	0,0183
W= 40 nm	0,0688	0,0470	0,0696	0,0267	0,0756	0,1678
W= 50 nm	0,0604	0,0528	0,0610	0,0181	0,0687	0,0288
W= 60 nm	0,1224	0,0290	0,0590	0,0194	3,4600	0,1542
W= 70 nm	0,0509	0,0282	0,0512	0,0489	3,6663	3,7578

Os resultados da tabela 4.1, apresentam as diferenças de erros quadráticos médios entre os modelos de Poisson (física clássica) e BQP (aproximação utilizando as equações de Bohm) são muito pequenas, sendo que, em alguns casos o modelo de Poisson apresenta melhores resultados. As figuras 4.4 e 4.8 mostram casos em que as calibrações utilizando Poisson foram melhores do que BQP (cantos assinalados), em relação ao modelo de Schrödinger.

Outro fator crítico é a dificuldade de convergência utilizando o modelo de aproximação de BQP em relação ao modelo conhecido de Schrödinger. Este fato está evidente na figura 4.17, a qual mostra que não havendo convergência entre os modelos BQP e Schrödinger, o modelo de Poisson apresentou melhor resultado em relação ao modelo BQP.

Diante dos resultados apresentados, decidiu-se desprezar o efeito de confinamento quântico no estudo das curvas características e parâmetros elétricos dos dispositivos com as dimensões adotadas no presente trabalho.

5 DISPOSITIVOS ESTUDADOS

Este capítulo apresenta as características dos dispositivos FinFET de porta dupla e porta tripla estudados (características físicas, concentração de dopantes, condições de polarização).

Abaixo são descritas algumas regras básicas para descrição do arquivo de entrada de simulação de dispositivos, que podem ser seguidas, a fim de obter assim simulação precisa e mais rápida.

5.1 Definição das características físicas

Inicialmente é criada a estrutura física de simulação. Para este trabalho, foram criadas no ATLAS, estruturas FinFET de porta dupla e porta tripla de canal n.

5.1.1 FinFET de porta dupla

Os dispositivos paralelos simulados apresentam espessura do óxido de porta $t_{ox} = 3$ nm, espessura de óxido enterrado $t_{box} = 200$ nm, altura do canal (H_{Fin}) igual a 50 nm e comprimento de canal (L) igual a 100 nm. Os dispositivos apresentam largura das paredes laterais (t_{Si}) variando de 15 a 30 nm. Já nos dispositivos trapezoidais simulados, o ângulo de inclinação das paredes laterais foi conseguido fixando a largura superior de canal (t_{Si}) em 15 nm e variando a largura inferior de canal (t_{bottom}) de 25 a 30 nm.

As estruturas FinFET de porta dupla estudadas são apresentadas na figura 5.1.

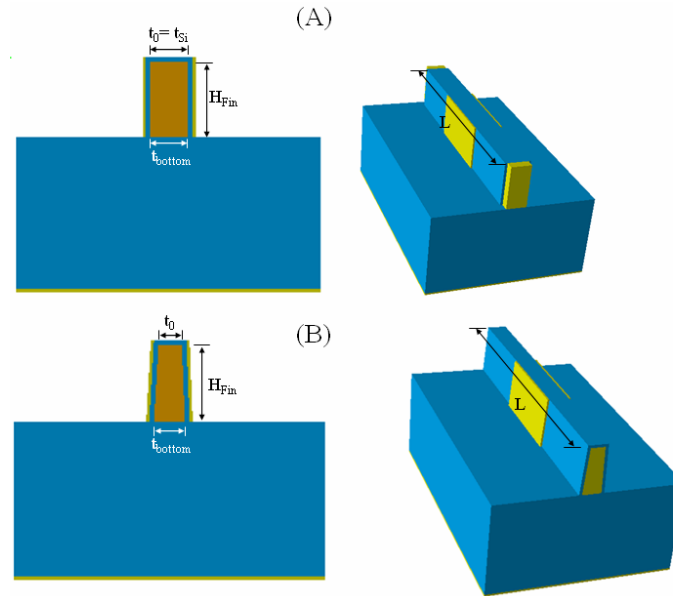


Fig 5.1 – Corte transversal e perspectiva do dispositivo FinFET de porta dupla simulado: (A) paralelo; (B) trapezoidal.

5.1.2 FinFET de porta tripla

Os transistores FinFETs de porta tripla estudados possuem comprimento de canal (L_{Fin}) igual a 200 nm, largura inferior de canal ($W_{Finbottom}$) igual a 50 nm, espessura do óxido de porta igual a 2 nm e espessura de porta igual a 8 nm.

Como um dos objetivos deste trabalho é o estudo da influência do ângulo de inclinação das paredes laterais verticais nas características elétricas dos dispositivos, as larguras superior de canal (W_{Fintop}) sofreram variação de 30 nm até 70 nm.

A estrutura FinFET de porta tripla estudada é apresentada na figura 5.2.

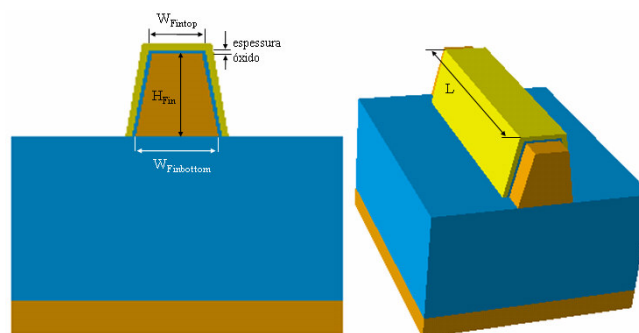


Fig 5.2 – Corte transversal e perspectiva do dispositivo FinFET de porta tripla simulado.

5.2 Definição da grade (matriz de pontos)

A segunda etapa na criação do arquivo de entrada de simulação é a concepção da grade. Como explicado no Capítulo 4, uma boa grade (matriz de pontos) é fundamental para se obter resultados de simulação precisos. Com este objetivo, algumas precauções foram tomadas durante a descrição do arquivo de entrada de simulação, refinando áreas-chave do dispositivo, tais como:

- regiões de junção e depleção;
- regiões de inversão;
- áreas de intenso campo elétrico.

A figura 5.3 mostra o detalhamento da matriz de pontos nas interfaces Si-SiO₂, através de corte transversal do dispositivo (A) e as regiões de fonte-dreno através de corte longitudinal do dispositivo (B), para transistor FinFET de porta tripla.

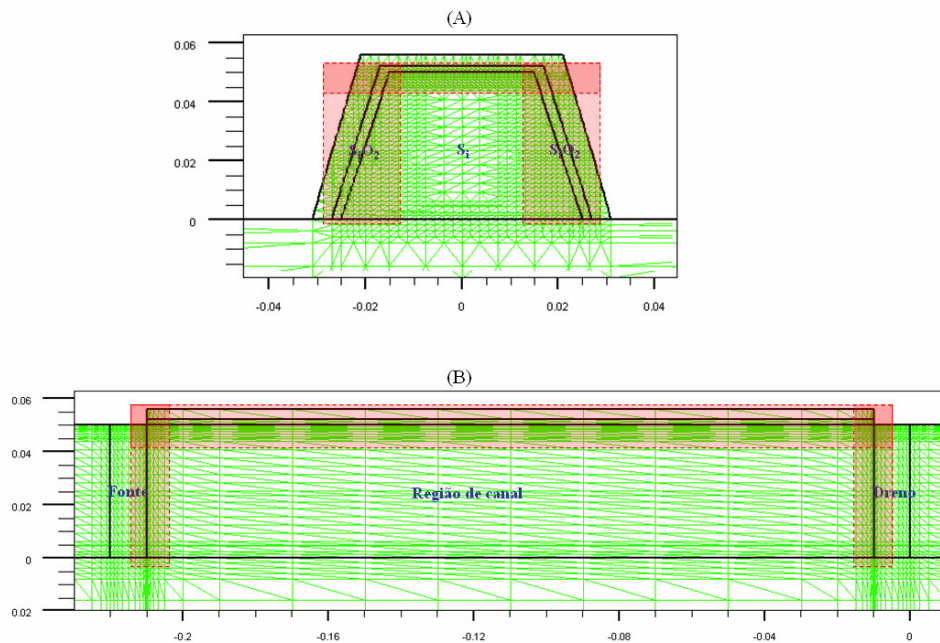


Fig 5.3– Detalhamento da grade utilizada nas simulações em: (A) corte transversal do dispositivo, (B) corte longitudinal do FinFET de porta tripla.

5.3 Definição dos perfis de dopantes

Por fim, são definidos os perfis (concentração) de dopantes no interior do dispositivo. Para este trabalho, ambos os transistores FinFET de canal n (porta dupla e porta tripla) simulados no ATLAS, possuem concentração de dopantes nas regiões de dreno e fonte, $n+$, igual a 10^{21} cm^{-3} . O material de porta é o silício policristalino com função de trabalho no valor de 4,63 eV.

Como outro objetivo deste trabalho é o estudo da influência da concentração de dopantes nas características elétricas dos dispositivos, foram variadas as concentrações de dopantes, tipo p , na região do corpo de: 10^{16} até $5 \times 10^{17} \text{ cm}^{-3}$ nos transistores FinFET de porta dupla e 10^{15} até 10^{17} cm^{-3} nos transistores FinFET de porta tripla.

Vale ressaltar que foram utilizados os modelos: Fermi e bgn; fldmob; impact e selb; srh, auger e consrh; hcte e evsatmod; para a descrição dos modelos de estatística para portadores, mobilidade, ionização por impacto, recombinação e balanceamento de energia utilizado pelo ATLAS durante a simulação de dispositivos.

5.4 Métodos de obtenção de parâmetros

A extração de parâmetros tais como tensão de limiar, inclinação de sublimiar, e tensão Early é uma parte importante no processo de caracterização de dispositivos. Neste item são descritas as técnicas de extração dos principais parâmetros utilizados na caracterização dos dispositivos estudados.

Tensão de Limiar

O método a ser utilizado neste trabalho é o do pico da segunda derivada da função $I_{DS} (V_{GS})$. O pico da derivada de segunda ordem da função $I_{DS} (V_{GS})$ corresponde ao ponto de inflexão da curva, ou seja, caracteriza uma mudança de comportamento correspondente ao limiar de condução.

O método do pico da segunda derivada pode ser também aplicado para extrair V_{Th} de dispositivos de múltiplas portas, com dopagens altas onde muitos picos podem ser encontrados, refletindo assim a ocorrência de várias regiões de condução [72].

Extração da inclinação de Sublimiar

Através da curva $I_{DS} \times V_{GS}$, com $V_{GS} < V_{Th}$, pode-se obter a taxa de variação da corrente I_{DS} com relação à tensão de porta V_{GS} , na região de sublimiar. Nesta condição a corrente I_{DS} depende exponencialmente de V_{GS} (a componente de difusão da corrente é predominante em relação à componente de deriva), logo se pode obter o valor de S por meio do inverso do coeficiente angular da curva monologarítmica de $I_{DS} \times V_{GS}$. A figura 5.4 apresenta a extração da inclinação de sublimiar (S).

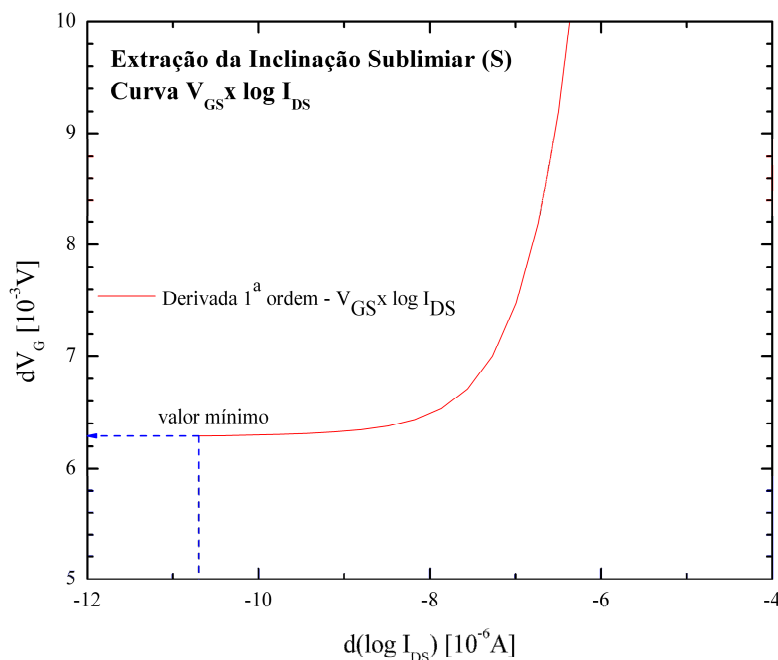


Fig 5.4— Exemplo de extração de S em dispositivo de largura de canal superior (W_{Fintop}) 30 nm e concentração de dopantes 10^{15} cm^{-3} .

6 RESULTADOS DE SIMULAÇÃO

Neste capítulo serão apresentados os resultados obtidos na simulação dos dispositivos FinFETs de porta tripla submetidos à variação da angulação das paredes laterais e concentração de dopantes (N_A).

6.1 Curvas $I_{DS} \times V_{GS}$

Inicialmente, foram extraídas as curvas $I_{DS} \times V_{GS}$ para tensão de dreno (V_{DS}) igual a 50 mV e polarização de porta (V_{GS}) variando de 0 a 1,5 V (passos de 2 mV), com o intuito de se obter a tensão de limiar em cada dispositivo e observar o comportamento da corrente em função da variação da largura de canal e aumento da concentração de dopantes (N_A). As curvas $I_{DS} \times V_{GS}$ são apresentadas nas figuras 6.1 a 6.3.

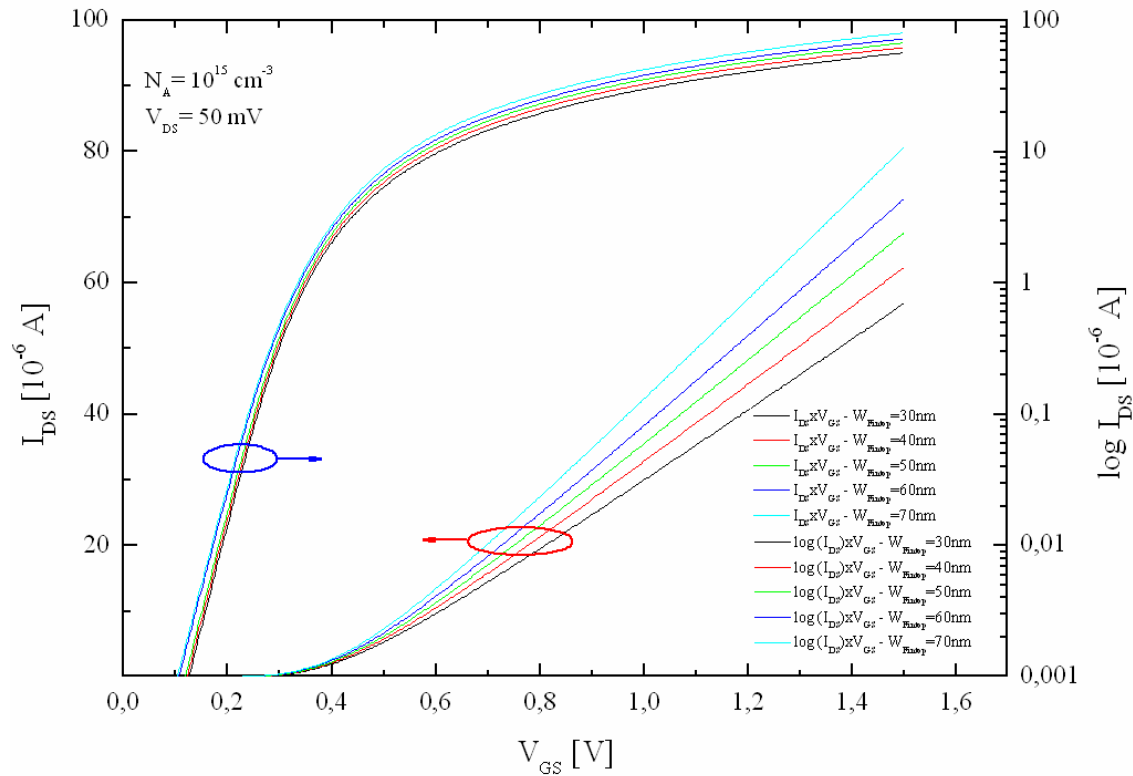


Fig 6.1 – Curvas $I_{DS} \times V_{GS}$ em dispositivos com concentração de dopantes 10^{15} cm^{-3} .

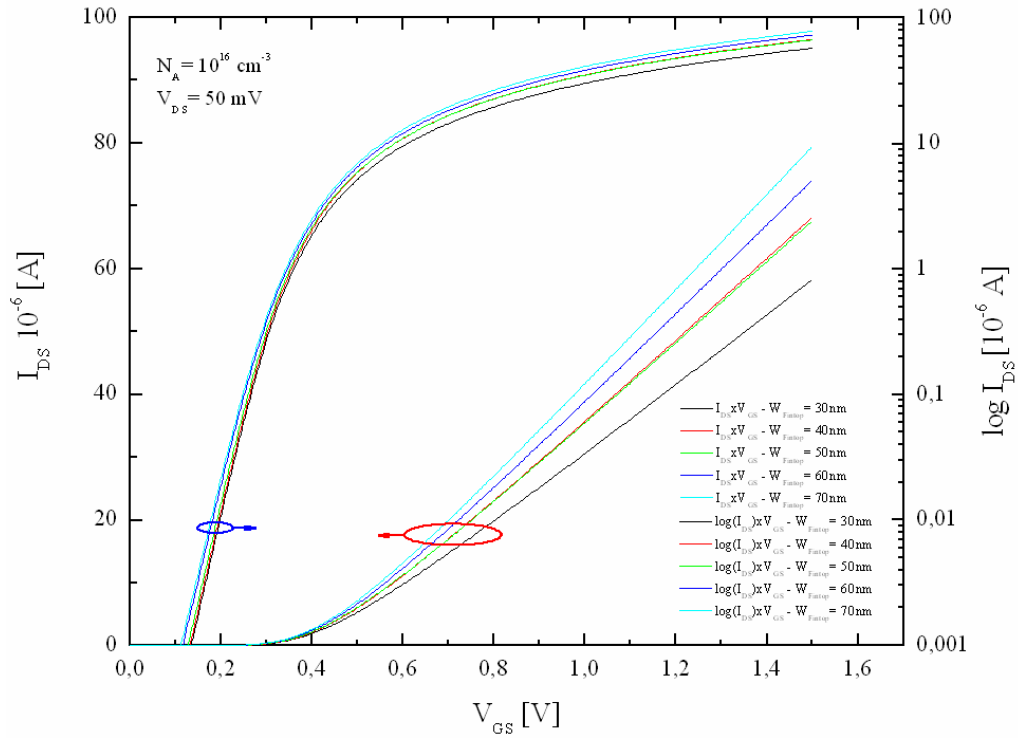


Fig 6.2 – Curvas $I_{DS} \times V_{GS}$ em dispositivos com concentração de dopantes 10^{16} cm^{-3} .

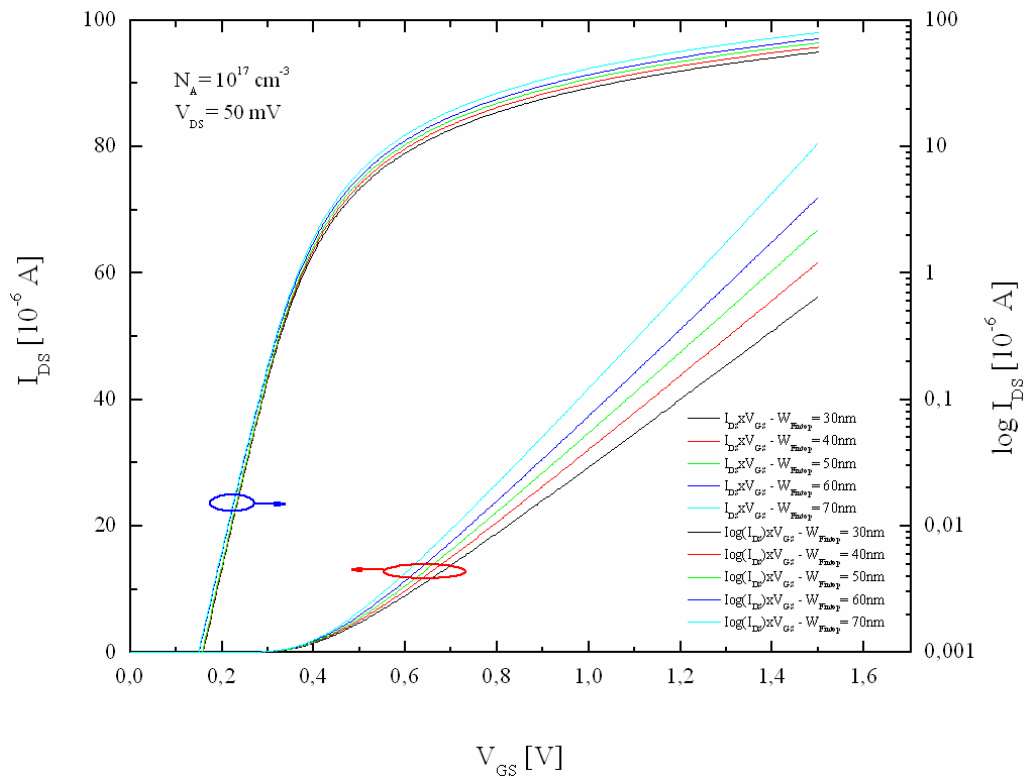


Fig 6.3 – Curvas $I_{DS} \times V_{GS}$ em dispositivos com concentração de dopantes 10^{17} cm^{-3} .

Nas curvas extraídas pode-se observar a influência da largura de canal na corrente de dreno dos dispositivos FinFETs de porta tripla. O aumento da intensidade de corrente, observado nas figuras 6.1 a 6.3, é diretamente proporcional ao aumento da largura superior do canal (W_{Fintop}).

6.2 Tensão de Limiar

De posse das curvas $I_{\text{DS}} \times V_{\text{GS}}$, com $V_{\text{DS}} = 50$ mV e V_{GS} variando de 0 a 1,5 V (passos de 2 mV), pode-se determinar a tensão de limiar dos dispositivos estudados de várias maneiras. Neste estudo, foi utilizado o método do pico da segunda derivada conforme descrito no item 3.6 e exemplificado na figura 6.4.

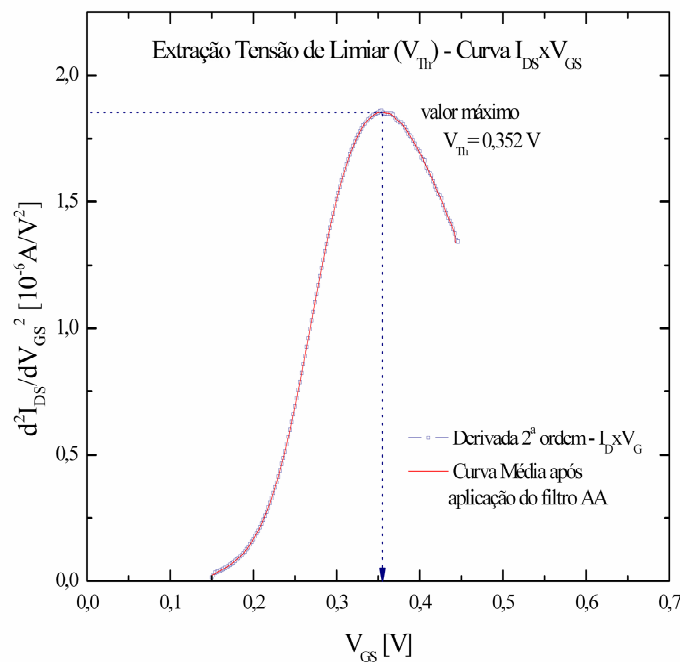


Fig 6.4 – Extração de V_{Th} em dispositivo de largura de canal superior (W_{Fintop}) 30 nm e concentração de dopantes 10^{15} cm^{-3} .

De acordo com o apresentado na figura 6.4, após extrair a derivada de segunda ordem da corrente de dreno em função da tensão de porta, a curva ainda passa por um processo de filtragem (AA – *Adjacent Average smotthing*) onde é calculada a média de cinco pontos consecutivos. Esta medida é tomada a fim de evitar singularidades devidas à discretização da curva. Conforme descrito, o pico obtido desta curva média é o valor da tensão de limiar (V_{Th}).

Os resultados obtidos para todos os dispositivos FinFET de largura superior de canal W_{Fintop} , variando de 30 a 70 nm, simulados podem ser vistos na tabela 6.1.

Tabela 6.1– Tensão de Limiar (V_{Th}) obtida para todos os dispositivos simulados ($V_{\text{DS}} = 50$ mV).

FinFET	Tensão de Limiar – V_{Th} (V)		
	$N_A = 10^{15} \text{ cm}^{-3}$	$N_A = 10^{16} \text{ cm}^{-3}$	$N_A = 10^{17} \text{ cm}^{-3}$
$W_{\text{Fintop}} = 30 \text{ nm}$	0,35	0,36	0,36
$W_{\text{Fintop}} = 40 \text{ nm}$	0,36	0,36	0,37
$W_{\text{Fintop}} = 50 \text{ nm}$	0,36	0,37	0,37
$W_{\text{Fintop}} = 60 \text{ nm}$	0,37	0,37	0,38
$W_{\text{Fintop}} = 70 \text{ nm}$	0,38	0,38	0,38

A tabela 6.1 mostra a influência da largura superior de canal (W_{Fintop}) e da concentração de dopantes (N_A) na variação da tensão de limiar (V_{Th}).

Em todos os casos, a tensão de limiar aumenta com o aumento da largura superior de canal (W_{Fintop}).

Para a interpretação deste resultado é necessária uma análise eletrostática. No processo de inversão do corpo do transistor, há influência de 4 (quatro) planos de potencial: 3 (três) planos de porta e 1 (um) plano de interface com o substrato. Apesar de a inversão ocorrer sempre muito próxima a um dos planos de porta, na interface entre o óxido de porta e o corpo do dispositivo, ela recebe influência de todos os planos de potencial fixo, porque o transistor está totalmente acoplado. Neste sentido, a análise da inversão e o equacionamento da tensão de limiar devem considerar todo o sistema de planos e cargas do transistor. Até o presente momento, não existem modelos analíticos consagrados para transistores deste tipo. Isto não impede, no entanto que os dados sejam interpretados à luz de modelos mais restritos, como modelos de transistores de duas portas (*double-gate*). Em transistores de porta dupla, a tensão de limiar é altamente dependente da distância entre os planos de porta, como previsto pelos modelos analíticos mais aceitos, como o modelo de Francis [57]. A autora propôs um modelo em que assume que a densidade de cargas espaciais é composta pelas cargas de depleção (que possuem uma concentração equivalente a concentração de impurezas N_A) e pelos portadores minoritários, desprezando a contribuição dos portadores majoritários à densidade total de carga. Conseqüentemente, a equação de Poisson pode ser escrita de acordo com a equação (6.1):

$$\frac{\partial^2 \phi(x, y)}{\partial x^2} = \frac{q}{\xi_{Si}} [N_A + n(x, y)] \quad (6.1)$$

Onde x é a profundidade na largura da aleta e y é a distância ao longo do canal. Deste modo, a equação básica do modelo de Francis é:

$$V_{Th} = \phi_S + V_{FB} + \frac{KT}{q} \cdot \frac{\alpha}{\delta} \sqrt{1 + \frac{\alpha}{\delta}} \quad (6.2)$$

Onde α e δ são parâmetros de ajuste do transistor dados pelas expressões:

$$\alpha = \frac{q}{KT} \cdot \frac{Q_D}{8C_{Si}} \quad (6.3)$$

$$\delta = \frac{C_{Ox}}{4C_{Si}} \quad (6.4)$$

O potencial de superfície na interface do óxido de silício (ϕ_S) é dado pela seguinte equação:

$$\phi_S = 2\phi_F + \frac{KT}{q} \ln \left(\delta \frac{1}{1 - e^{-\alpha}} \right) \quad (6.5)$$

Para as concentrações de dopantes utilizadas, espera-se, pelo modelo de Francis, que a tensão de limiar dos transistores de porta dupla aumente com o aumento da distância entre as portas. Esta interpretação é condizente com os resultados obtidos da simulação numérica para o transistor de porta tripla.

6.3 Inclinação de Sublimiar

Conforme descrito no Capítulo 2 deste trabalho, a inclinação de sublimiar dos transistores SOI totalmente depletados e FinFETs de porta tripla tendem a valores próximos aos ideais, em torno de 60 mV/ década, em temperatura ambiente.

A inclinação de sublimiar de cada um dos dispositivos simulados foi obtida no primeiro ponto do patamar da curva dada pela expressão $dV_{GS} / d(\log(I_{DS}))$.

Na tabela 6.2 são apresentados os valores de S para cada um dos transistores simulados.

Tabela 6.2 – Inclinação de sublimiar (S) obtida para todos os dispositivos simulados ($V_{DS}=50$ mV).

FinFET	Inclinação de Sublimiar – S (mV/dec)		
	$N_A=10^{15} \text{ cm}^{-3}$	$N_A=10^{16} \text{ cm}^{-3}$	$N_A=10^{17} \text{ cm}^{-3}$
$W_{\text{Fintop}}=30$ nm	62,91	62,87	62,47
$W_{\text{Fintop}}=40$ nm	63,08	63,06	62,56
$W_{\text{Fintop}}=50$ nm	63,19	63,18	62,22
$W_{\text{Fintop}}=60$ nm	64,99	65,06	64,07
$W_{\text{Fintop}}=70$ nm	65,26	65,09	64,27

Observa-se, pela tabela 6.2, que os dispositivos simulados apresentam valores para a inclinação de sublimiar próximos ao valor ideal. A figura 6.5 apresenta as curvas médias da inclinação de sublimiar em função da largura superior de canal dos dispositivos.

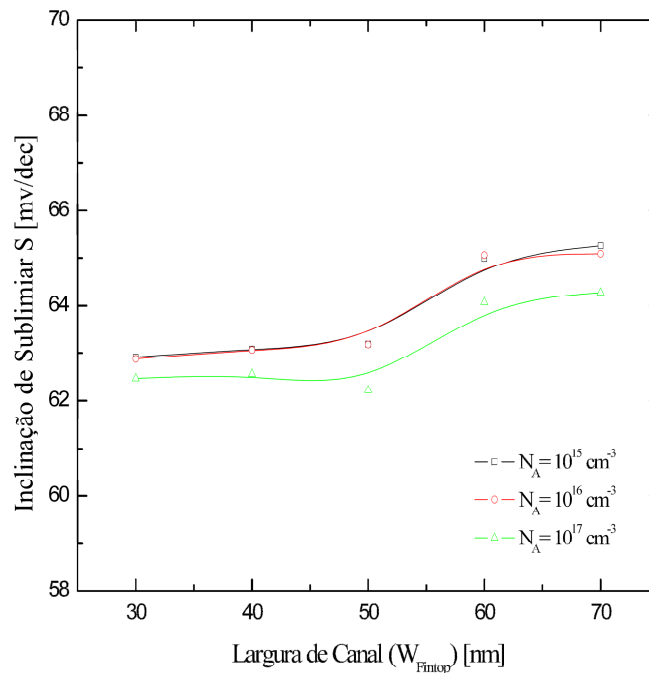


Fig 6.5 – Inclinação de sublimiar em função da largura de canal superior dos dispositivos.

A expectativa inicial era de que o valor da inclinação de sublimiar (S) diminuísse com o aumento da largura superior de canal (W_{Fintop}) do dispositivo, pois com o aumento de W_{Fintop} há um melhor acoplamento da porta com a região de canal e diminuição do acoplamento da região de canal com o substrato. Ou seja, aumentando W_{Fintop} a tendência seria de maior

controle da corrente pela porta. Porém os resultados obtidos não corresponderam a esta expectativa. O que se notou foi um aumento de S com o aumento de W_{Fintop} . Uma melhor análise cogitou a possibilidade de estar havendo significativa influência dos potenciais de fonte e dreno no canal. A verificação dessa possibilidade se deu a partir de um novo conjunto de simulações, em que se variou o comprimento do canal dos dispositivos, para 500 e 1000 nm. Foram mantidas as mesmas condições de polarização dos dispositivos apresentados anteriormente ($V_{\text{DS}} = 50 \text{ mV}$), para concentração de dopantes (N_A) igual a 10^{17} cm^{-3} .

Os resultados das novas simulações são apresentados na tabela 6.3 e na figura 6.7.

Tabela 6.3 – Inclinação de sublimiar (S) obtida para novos comprimentos de canal (L).

FinFET	Inclinação de Sublimiar – S (mV/dec)		
	$L = 200 \text{ nm}$	$L = 500 \text{ nm}$	$L = 1000 \text{ nm}$
$W_{\text{Fintop}} = 30 \text{ nm}$	62,47	61,31	61,11
$W_{\text{Fintop}} = 50 \text{ nm}$	62,22	61,24	61,10
$W_{\text{Fintop}} = 70 \text{ nm}$	64,28	62,01	61,69

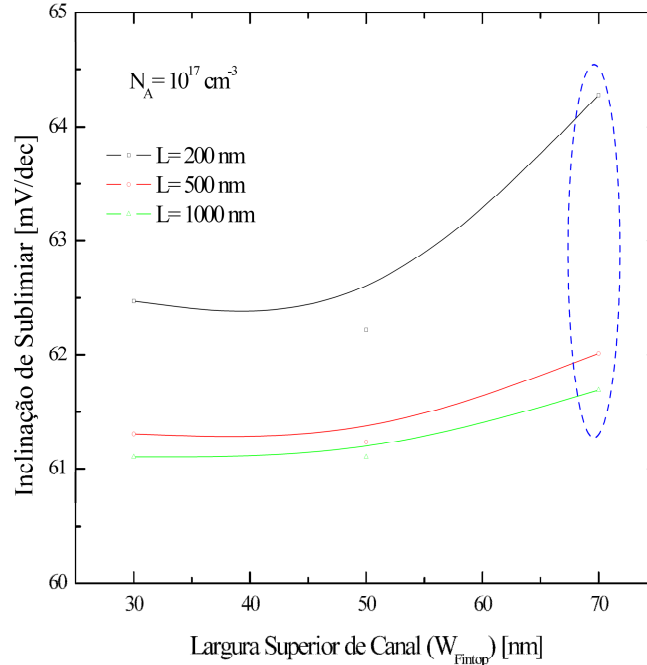


Fig 6.6 – S em função da largura superior de canal superior dos dispositivos.

A figura 6.6 comprova a suspeita de influência dos potenciais de dreno e fonte, uma vez que nota-se clara dependência da proximidade entre eles na variação de S .

Em conclusão, para todos os transistores simulados, o aumento de W_{Fintop} expõe o corpo do transistor a uma maior influência dos planos de potencial definidos pelas junções de dreno e fonte, gerando aumento no valor da inclinação de sublimiar.

6.4 Transcondutância

A transcondutância (gm), conforme visto no Capítulo 2, corresponde à derivada dI_{DS}/dV_{GS} e indica o quanto eficaz é o controle exercido pela tensão de porta na corrente de dreno. Assim, nos dispositivos FinFET de porta tripla, gm tende a ser muito maior se comparado a um dispositivo SOI de porta única. Nos casos em que a camada de silício é suficientemente fina, ocorre o fenômeno da inversão de volume [24] explicado no item 3.8, resultando em uma melhora expressiva de gm decorrente da maior mobilidade dos portadores no centro do dispositivo. Porém, nos dispositivos simulados neste trabalho não é esperada contribuição significativa da inversão de volume para valores de V_{GS} próximos à tensão de limiar.

Foi determinada a curva característica da transcondutância em função da tensão aplicada à porta, com o objetivo de analisar seu comportamento. Para a determinação das características da transcondutância em todos os dispositivos, foram mantidas as mesmas condições de polarização e simulação dos itens anteriores ($V_{DS}= 50$ mV, V_{GS} variando de 0 a 1,5V e N_A variando de 10^{15} a 10^{17} cm⁻³). Visando eliminar a dependência da largura de canal, a transcondutância foi normalizada em função da largura efetiva de canal do transistor (W_{Eff}), que corresponde ao perímetro das larguras das três portas do transistor. A tabela 6.4 apresenta os valores máximos da transcondutância ($gm_{\text{máx}}$).

Tabela 6.4 – Transcondutância máxima ($gm_{\text{máx}}$) obtida para todos os dispositivos simulados ($V_{DS}= 50$ mV).

FinFET	Transcondutância Máxima - $gm_{\text{máx}}$ (S/ μm)		
	$N_A= 10^{15}$ cm ⁻³	$N_A= 10^{16}$ cm ⁻³	$N_A= 10^{17}$ cm ⁻³
$W_{\text{Fintop}}= 30$ nm	$2,43 \times 10^{-7}$	$2,44 \times 10^{-7}$	$2,44 \times 10^{-7}$
$W_{\text{Fintop}}= 40$ nm	$2,67 \times 10^{-7}$	$2,68 \times 10^{-7}$	$2,67 \times 10^{-7}$
$W_{\text{Fintop}}= 50$ nm	$2,90 \times 10^{-7}$	$2,90 \times 10^{-7}$	$2,89 \times 10^{-7}$
$W_{\text{Fintop}}= 60$ nm	$3,12 \times 10^{-7}$	$3,12 \times 10^{-7}$	$3,11 \times 10^{-7}$
$W_{\text{Fintop}}= 70$ nm	$3,47 \times 10^{-7}$	$3,48 \times 10^{-7}$	$3,50 \times 10^{-7}$

Através da tabela 6.4, verifica-se que o valor máximo da transcondutância sofre mais influência da largura superior de canal do que do nível de concentração de dopantes (N_A), visto que o valor máximo da transcondutância aumenta conforme aumenta a angulação das

paredes verticais laterais (W_{Fintop}) do FinFET de porta tripla, já o aumento de N_A não tem influência significativa no aumento de $g_{m_{\text{máx}}}$.

6.5 Concentração de elétrons e densidade de corrente

A fim de analisar o comportamento do transistor na situação de limiar ($V_{GS} = V_{Th}$), foram extraídas as curvas de concentração de elétrons e densidade de corrente conforme demonstrado nas figuras 6.7 a 6.9. As curvas de concentração de elétrons correspondem ao valor desta grandeza ao longo de um corte horizontal, realizado na seção média do transistor.

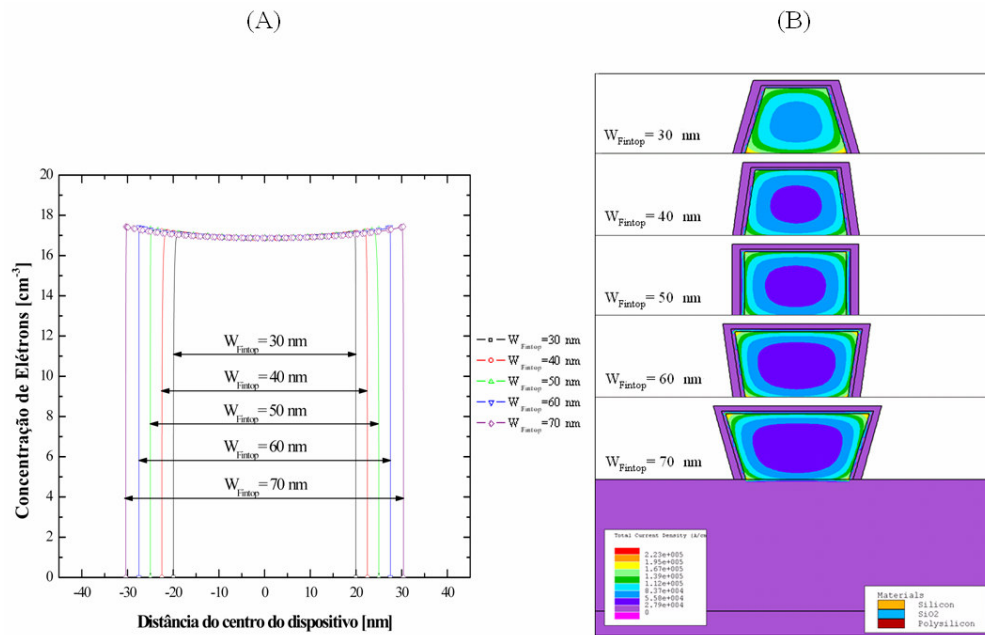


Fig 6.7 – Concentração de elétrons (A) e densidade de corrente (B) em dispositivos com dopagem 10^{15} cm^{-3} e situação de limiar ($V_{GS} = V_{Th}$).

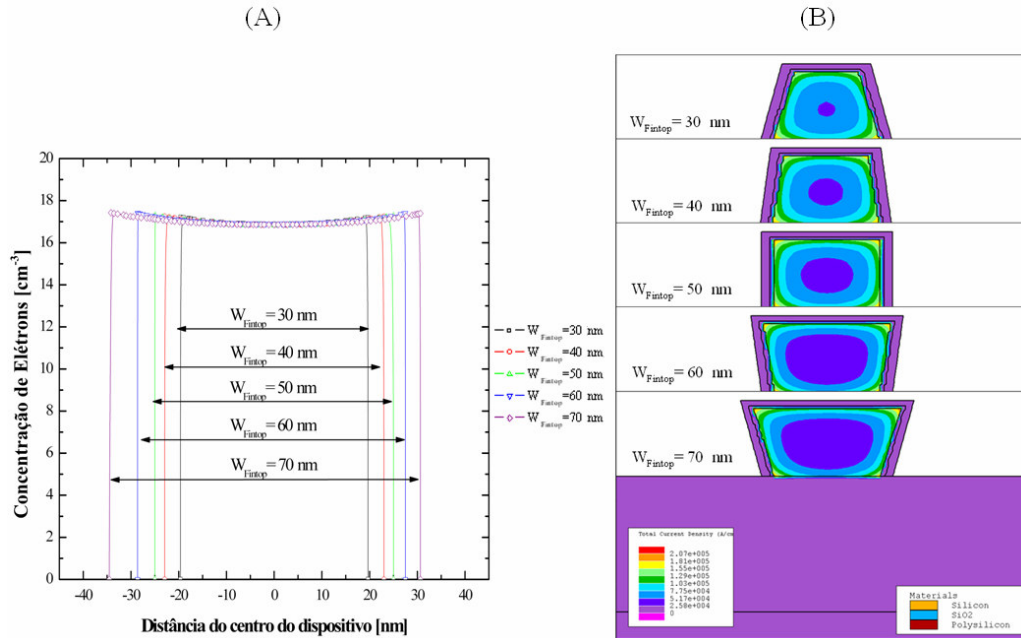


Fig 6.8 – Concentração de elétrons (A) e densidade de corrente (B) em dispositivos com dopagem 10^{16} cm⁻³ e situação de limiar ($V_{GS}=V_{Th}$).

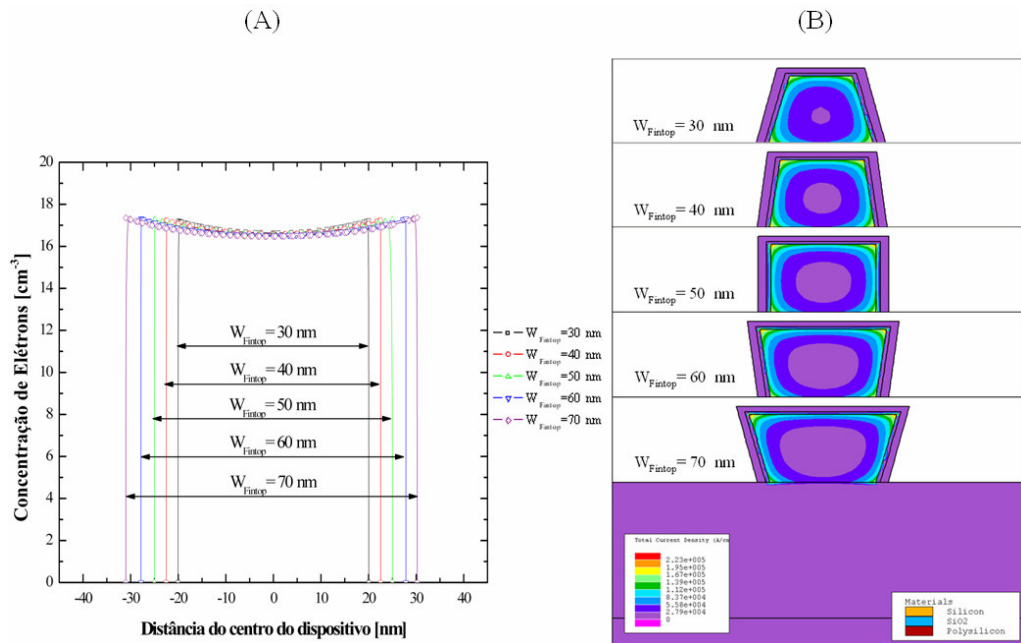


Fig 6.9 – Concentração de elétrons (A) e densidade de corrente (B) em dispositivos com dopagem 10^{17} cm⁻³ e situação de limiar ($V_{GS}=V_{Th}$).

Nas curvas das figuras 6.7 (A) à 6.9 (A) observa-se a influência da variação da largura superior do canal (W_{Fintop}) na distribuição de portadores dos dispositivos FinFETs de porta tripla. Destas curvas, observa-se que para todos os níveis de dopagem a concentração de elétrons se manteve sempre acima de 10^{16} cm⁻³, e que, para dispositivos com largura de 30nm, a concentração de elétron permaneceu sempre próxima a 10^{17} cm⁻³.

As figuras 6.7 (B) à 6.9 (B) mostram as densidades de corrente elétrica nas seções transversais dos FinFETs de porta tripla simulados. Nestas figuras observa-se o aumento da densidade de corrente nas proximidades da região de canto superior, devido à sobreposição de campos elétricos causados pelas duas portas laterais. Observa-se também que há o aumento da densidade de corrente na região próxima ao canto inferior, causado pela influência do potencial de substrato em conjunto com o potencial de porta.

De posse das curvas de concentração de elétrons e densidade de corrente, foram extraídos os valores máximos de cada respectivo item, conforme apresentados nas tabelas 6.5 e 6.6, a fim de se analisar a intensidade do efeito de canto nos transistores e sua dependência do ângulo de inclinação das paredes laterais.

Tabela 6.5 – Pico máximo de concentração de elétrons em situação de limiar ($V_{GS} = V_{Th}$).

FinFET	Pico concentração de elétrons (log)		
	$N_A = 10^{15} \text{ cm}^{-3}$	$N_A = 10^{16} \text{ cm}^{-3}$	$N_A = 10^{17} \text{ cm}^{-3}$
$W_{Fintop} = 30 \text{ nm}$	17,13	17,20	17,21
$W_{Fintop} = 40 \text{ nm}$	17,21	17,25	17,24
$W_{Fintop} = 50 \text{ nm}$	17,30	17,27	17,27
$W_{Fintop} = 60 \text{ nm}$	17,40	17,40	17,31
$W_{Fintop} = 70 \text{ nm}$	17,43	17,42	17,36

Tabela 6.6 – Pico máximo de densidade de corrente em situação de limiar ($V_{GS} = V_{Th}$).

FinFET	Pico densidade de corrente (A/cm^2)		
	$N_A = 10^{15} \text{ cm}^{-3}$	$N_A = 10^{16} \text{ cm}^{-3}$	$N_A = 10^{17} \text{ cm}^{-3}$
$W_{Fintop} = 30 \text{ nm}$	$6,28 \times 10^4$	$7,46 \times 10^4$	$7,74 \times 10^4$
$W_{Fintop} = 40 \text{ nm}$	$7,74 \times 10^4$	$8,46 \times 10^4$	$8,26 \times 10^4$
$W_{Fintop} = 50 \text{ nm}$	$9,54 \times 10^4$	$8,95 \times 10^4$	$8,85 \times 10^4$
$W_{Fintop} = 60 \text{ nm}$	$1,19 \times 10^5$	$1,20 \times 10^5$	$9,91 \times 10^4$
$W_{Fintop} = 70 \text{ nm}$	$1,30 \times 10^5$	$1,27 \times 10^5$	$1,12 \times 10^5$

Os valores das tabelas 6.5 e 6.6 são apresentados graficamente nas figuras 6.10 e 6.11.

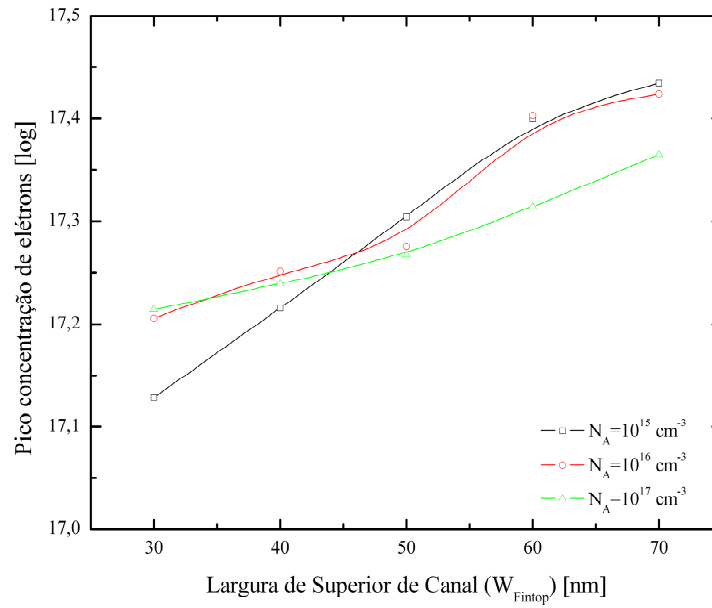


Fig 6.10 – Máximo da concentração de elétrons em função da largura de canal superior dos dispositivos.

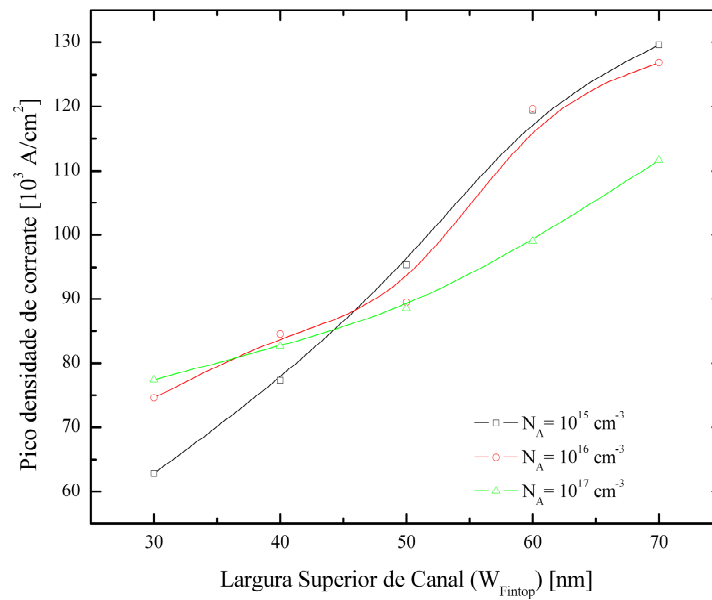


Fig 6.11 – Máximo da densidade de corrente em função da largura de canal superior dos dispositivos.

Nota-se que o efeito de concentração da corrente nos cantos, em consequência de uma inversão mais forte, é mais acentuado quando o ângulo superior da seção transversal é mais agudo. Este fato é esperado, uma vez que a soma vetorial dos campos elétricos das portas é

maior. Conclui-se que, ao aumentarmos a largura superior dos transistores, antecipamos a inversão e aumentamos a concentração de portadores nos cantos, com conseqüente aumento de corrente nessas regiões. Entre as possíveis conseqüências estão a concentração da geração de calor e o favorecimento ao surgimento de correntes parasitas de porta.

6.6 Curvas $I_{DS} \times V_{DS}$ e condutância de dreno

Após a determinação da tensão de limiar (V_{Th}), inclinação de sublimiar (S) e transcondutância (gm), uma nova série de simulações no ATLAS foi executada de forma a extrair as características $I_{DS} \times V_{DS}$ dos dispositivos FinFETs de porta tripla, conforme demonstrado nas figuras 6.12 a 6.14

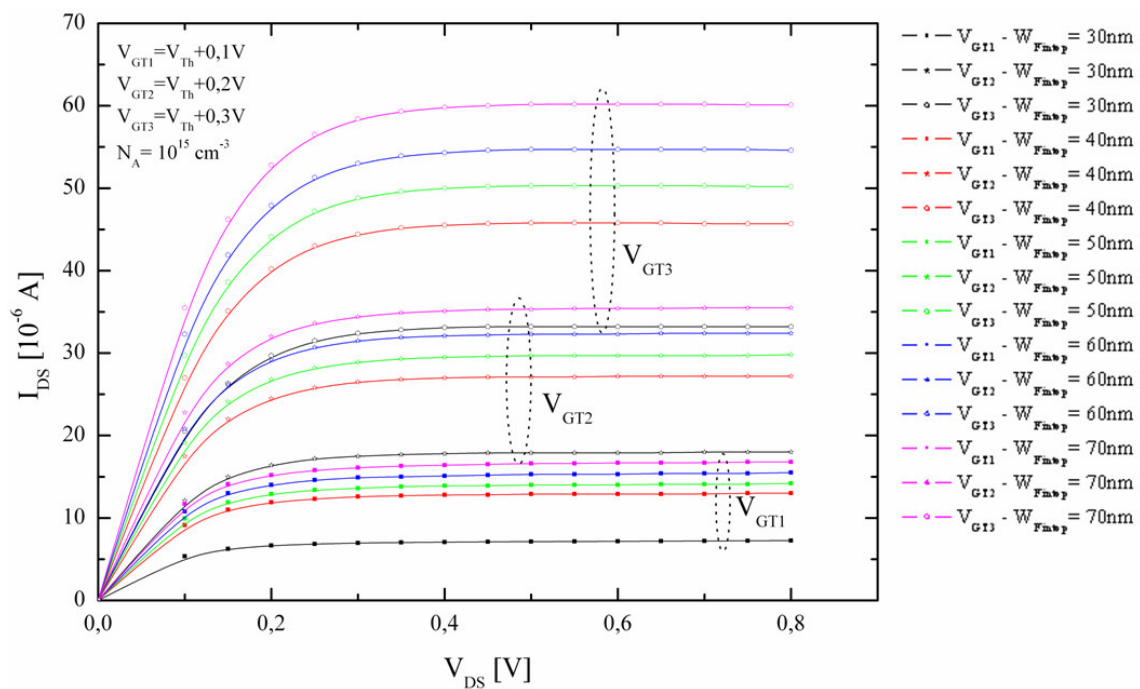


Fig 6.12 – Curvas $I_{DS} \times V_{DS}$ em dispositivos com concentração de dopantes 10^{15} cm^{-3} .

Com base nas curvas $I_{DS} \times V_{DS}$ podem ser extraídos importantes parâmetros para a caracterização dos FinFETs trapezoidais de porta tripla.

Uma destas características é a condutância de dreno (gd), a qual é obtida através da derivada ponto a ponto de I_{DS} em função de V_{DS} . Nas figuras 6.15, 6.16 e 6.17 estão apresentadas as curvas de $gd \times V_{DS}$ para alguns dispositivos caracterizados, variando a largura superior de canal (W_{Fintop}) e a concentração de dopantes no silício (N_A).

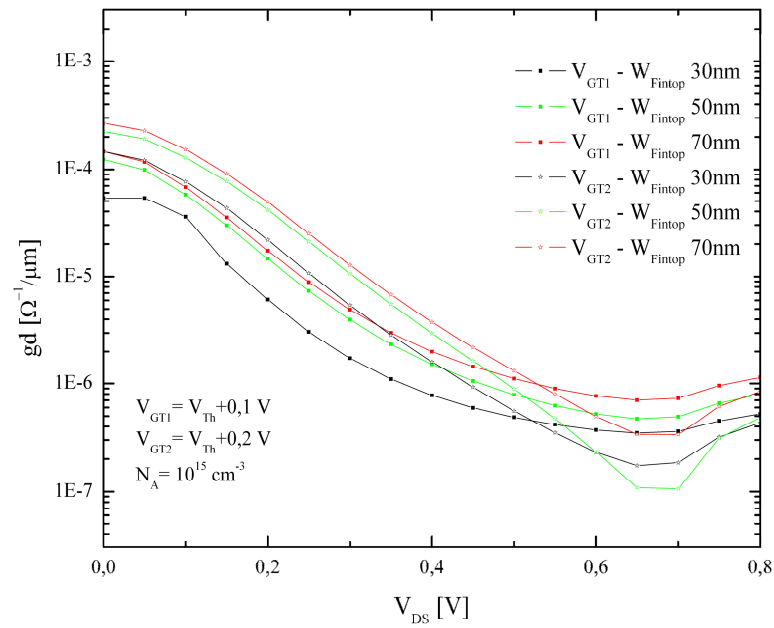


Fig 6.15 – Curvas $gd \times V_{DS}$ em dispositivos com concentração de dopantes 10^{15} cm^{-3} .

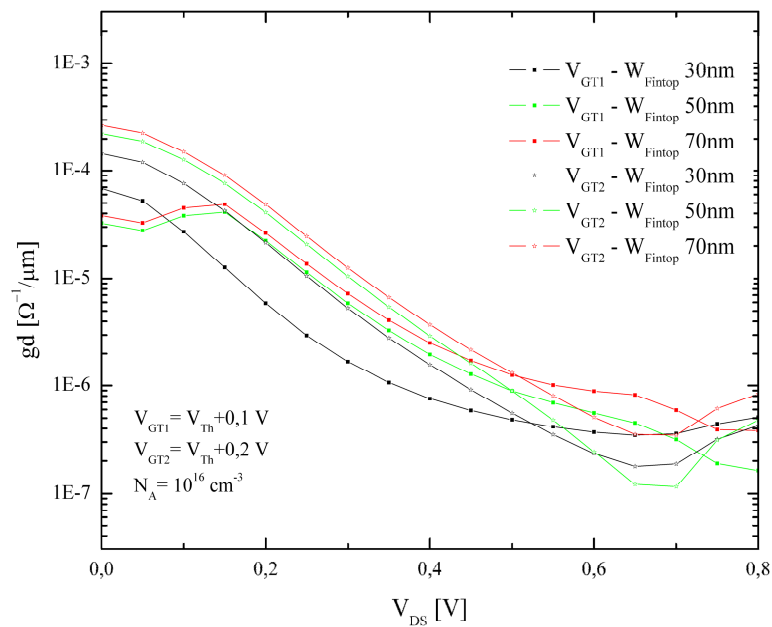


Fig 6.16 – Curvas $gdxV_{DS}$ em dispositivos com concentração de dopantes 10^{16} cm^{-3} .

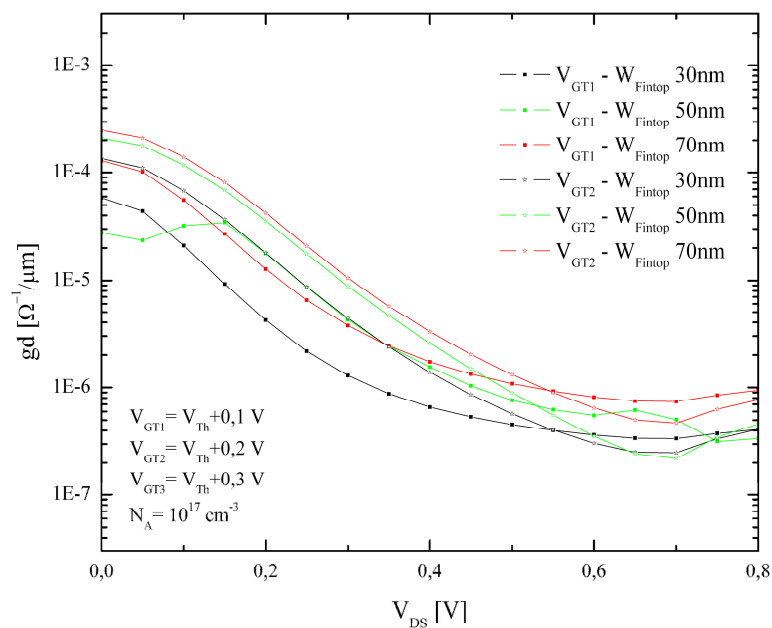


Fig 6.17 – Curvas $gdxV_{DS}$ em dispositivos com concentração de dopantes 10^{17} cm^{-3} .

As figuras 6.15 à 6.17 apresentam as curvas $gdxV_{DS}$ para os dispositivos W_{Fintop} 30 nm, W_{Fintop} 50 nm e W_{Fintop} 70 nm, submetidos a polarizações de porta $V_{GT1} = V_{Th} + 0,1 \text{ V}$ e $V_{GT2} =$

$V_{Th}+0,2$ V respectivamente. As figuras demonstram que a condutância de dreno aumenta em função do aumento de W_{Fintop} . Este efeito é percebido em todos os dispositivos simulados.

Para demonstrar esta influência, foram extraídas as condutâncias médias de dreno (gm_{Med}) normalizadas em função da largura efetiva de porta (W_{Eff}), conforme descrito no item 6.4, para todos os dispositivos, através do método da aproximação polinomial de todas as curvas $I_{DS} \times V_{DS}$ simuladas. Os resultados são apresentados na tabela 6.7.

Tabela 6.7 – Extração da condutância média de dreno.

FinFET	Condutância média de dreno (gd_{Med}) (S/ μm)		
	$N_A = 10^{15} cm^{-3}$	$N_A = 10^{16} cm^{-3}$	$N_A = 10^{17} cm^{-3}$
$W_{Fintop} = 30$ nm	$2,68 \times 10^{-9}$	$3,40 \times 10^{-9}$	$3,84 \times 10^{-9}$
$W_{Fintop} = 40$ nm	$3,66 \times 10^{-9}$	$4,01 \times 10^{-9}$	$3,57 \times 10^{-9}$
$W_{Fintop} = 50$ nm	$4,53 \times 10^{-9}$	$4,70 \times 10^{-9}$	$4,65 \times 10^{-9}$
$W_{Fintop} = 60$ nm	$6,26 \times 10^{-9}$	$6,21 \times 10^{-9}$	$7,12 \times 10^{-9}$
$W_{Fintop} = 70$ nm	$7,16 \times 10^{-9}$	$7,15 \times 10^{-9}$	$7,14 \times 10^{-9}$

Os valores da tabela 6.7 mostram a variação da condutância de dreno em relação a variação da largura superior de canal (W_{Fintop}) e concentração de dopantes (N_A). O aumento de gd é mais sensível ao aumento de W_{Fintop} do que ao aumento de N_A .

6.7 Análise dos resultados de simulação

Foram apresentados o comportamento da tensão de limiar (V_{Th}), inclinação de sublimiar (S), transcondutância (gm) e corrente de dreno (I_{DS}) em transistores SOI trapezoidais de porta tripla, frente a variações nas dimensões da largura superior de canal (W_{Fintop}) e nas concentrações de dopantes (N_A) do canal do transistor.

Com o aumento de W_{Fintop} foi constatado o aumento da tensão de limiar para todos os níveis de concentração de dopantes. Este aumento é mais sentido nos dispositivos de maior W_{Fintop} ($\varphi > 90^\circ$) por possuírem seus cantos de canal mais próximos aos planos de porta, menor nos dispositivos de menor W_{Fintop} ($\varphi < 90^\circ$) e ainda menor nos dispositivos retos ($\varphi = 90^\circ$).

Com relação à inclinação de sublimiar, a expectativa inicial era de que o seu valor diminuísse com o aumento de W_{Fintop} do dispositivo, pois haveria um melhor acoplamento da porta com a região de canal e diminuição do acoplamento da região de canal com o substrato,

porém foi constatado que os dispositivos sofrem de influência dos potenciais de fonte e dreno no canal.

O aumento de W_{Fintop} expôs o corpo de todos os transistores simulados a uma maior influência dos planos de potencial definidos pelas junções de dreno e fonte, acarretando em um aumento do valor da inclinação de sublimiar.

Observou-se também que os dispositivos de maior largura superior de canal W_{Fintop} ($\varphi > 90^\circ$) apresentam melhor transcondutância frente à variação de concentração de dopantes no interior de canal, seguidos pelos dispositivos retos ($\varphi = 90^\circ$) e em seguida pelos dispositivos de menor W_{Fintop} ($\varphi < 90^\circ$). Esta talvez seja a mais importante constatação dos resultados obtidos, não apenas pela grande influência da geometria, mas também porque se trata de um parâmetro fundamental na maioria das aplicações.

Com relação à condutância de dreno (gd), este parâmetro apresentou melhores resultados nos dispositivos de menor largura superior de canal W_{Fintop} ($\varphi < 90^\circ$), pois a condutância de dreno (gd) aumenta em função do aumento de W_{Fintop} .

A distribuição de cargas e corrente nos cortes transversais evidenciou o aumento do efeito de canto, com o aumento de W_{Fintop} , especialmente para dopagens mais altas. Isso pode implicar no surgimento de transistores de porta parasitas, com tensões de limiar locais mais baixas que no restante do dispositivo.

7 MODELAGEM DA CORRENTE DE SATURAÇÃO EM FINFETS TRAPEZOIDAIS

Os capítulos anteriores expuseram a influência das características físicas dos transistores FinFETs trapezoidais em seus respectivos parâmetros elétricos. Os estudos realizados demonstram que o controle da angulação das paredes laterais verticais pode proporcionar benefícios para o funcionamento dos transistores (controle da tensão de limiar, inclinação de sublimiar, corrente de saturação de dreno, por exemplo).

Dando continuidade ao estudo das variações geométricas de inclinação das paredes laterais, este capítulo apresenta a modelagem da corrente de saturação (I_{DSsat}) em dispositivos de paredes inclinadas, baseado na geometria do dispositivo.

7.1 Introdução

A arquitetura FinFET é uma alternativa de implementação utilizada tanto para dispositivos de porta dupla como para dispositivos de porta tripla. A figura 7.1 mostra a perspectiva de um dispositivo FinFET de porta dupla. O dispositivo de porta tripla pode ser obtido através do aumento da largura da aleta e da redução da espessura do óxido de porta no topo.

O óxido enterrado separa a aleta (*Fin*) de silício do corpo. Estão implementadas duas portas, uma em cada lado da aleta, onde a corrente flui no sentido z . Uma vantagem dos dispositivos FinFETs frente a outros dispositivos SOI de múltiplas portas é o seu processo de fabricação, muito similar ao processo SOI-CMOS tradicional.

Os dispositivos FinFETs trapezoidais têm sido estudados através de simulações tridimensionais [73] sendo que um modelo de corrente de dreno já foi proposto [74]. Este capítulo apresenta uma contribuição na modelagem da corrente de saturação frente ao modelo mais simples, baseada na observação de algumas propriedades físicas do dispositivo.

7.2 Tensão de limiar

Estudos [44,57,73,75,76] demonstram que a tensão de limiar nos dispositivos FinFETs são altamente dependentes da espessura da camada de silício (t_{Si} , como definido na figura

7.1). Esta dependência é um importante item nos dispositivos FinFETs com paredes laterais inclinadas, uma vez que a espessura da camada de silício varia ao longo da linha central vertical. Conseqüentemente, a primeira etapa para conseguir um modelo preciso é encontrar uma relação adequada entre a tensão de limiar e a espessura de camada de silício.

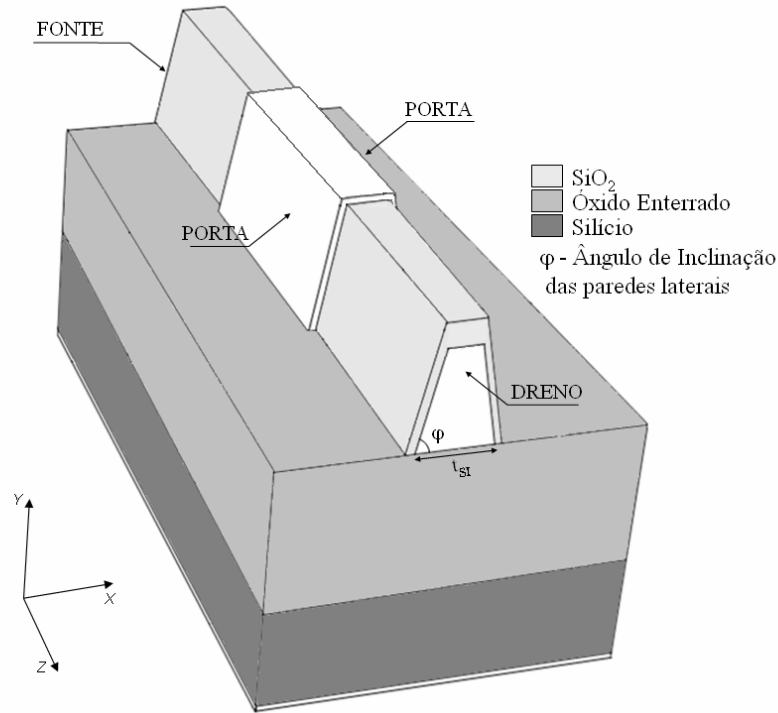


Fig 7.1 – Perspectiva de um dispositivo FinFET trapezoidal de porta dupla.

A figura 7.2 apresenta a tensão de limiar obtida através de simulações numéricas tridimensionais comparadas com o modelo de Francis, para alguns dispositivos de paredes laterais verticais paralelas ($\varphi = 90^\circ$) com diferentes espessuras (t_{Si}). A figura 7.2 apresenta também a aproximação linear proposta por Rao [77]. Os dispositivos simulados apresentam espessura do óxido de porta $t_{ox} = 3$ nm, espessura de óxido enterrado $t_{box} = 200$ nm, largura de canal W_{Fin} variando de 15 a 30 nm, densidade de cargas $3 \times 10^{10} \text{ cm}^{-2}$. O material de porta utilizado tem função de trabalho de 4,63 eV. A altura do canal (H_{Fin}) é 50 nm para todos os dispositivos. O comprimento de canal $L_{Fin} = 100$ nm. Foram simulados dois conjuntos de curvas $I_{DS} \times V_{GS}$, ambos com polarização $V_{DS} = 50$ mV, sendo um conjunto com concentração de dopantes no corpo $N_A = 10^{16} \text{ cm}^{-3}$ e outro com $N_A = 5 \times 10^{17} \text{ cm}^{-3}$.

Foi utilizado o simulador de dispositivos ATLAS, versão 2.6.0.R [71] e as tensões de limiar foram extraídas diretamente das curvas $I_{DS} \times V_{GS}$ simuladas, através do método da transcondutância máxima (MTC) [78].

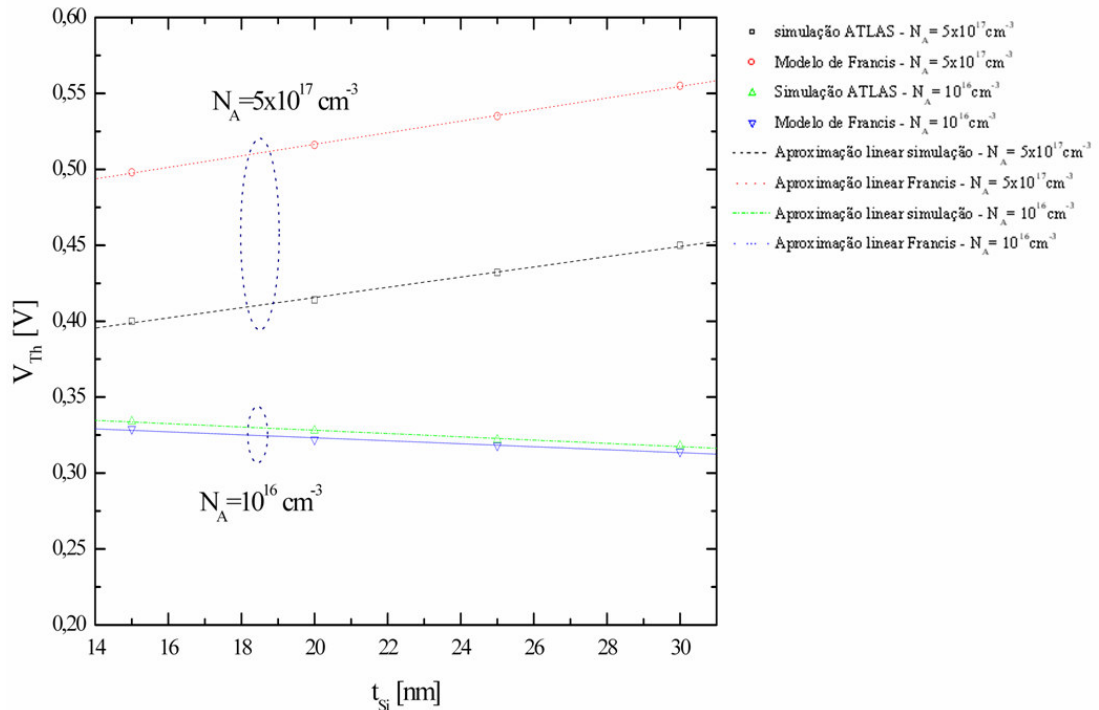


Fig 7.2 – Aproximação linear da curva $V_{Th}x t_{Si}$ obtida de simulação tridimensional comparada com a aproximação linear da curva $V_{Th}x t_{Si}$ obtida através do modelo de Francis, para dispositivos FinFET de porta dupla, com t_{Si} variando de 15 a 30 nm.

7.3 Modelagem da corrente de saturação

Partindo do princípio que o dispositivo trapezoidal é formado por um conjunto de lâminas elementares, cada uma correspondendo a um dispositivo independente, o equacionamento geral da corrente de saturação em cada lâmina é:

$$I(y) = \beta(\gamma V_{GS} - V_{Th})^\alpha \cdot (1 + \lambda V_{DS}) dy \quad (7.1)$$

Onde α , β e γ são constantes de ajuste, y é a distância entre o topo do transistor trapezoidal e a lâmina em questão, λ é o inverso da tensão Early ($\lambda = 1/V_{EA}$) e dy é a largura do transistor elementar.

A equação (7.1) implica a hipótese da independência entre os transistores elementares (lâminas). Esta independência pode ser conseguida através de cortes em superfícies paralelas ao campo elétrico (ortogonal à superfície isopotencial). O equacionamento preciso destas superfícies é, por outro lado, um tanto quanto complexo. Neste capítulo é proposta uma superfície aproximada de corte, acompanhando a inclinação das paredes laterais do dispositivo, a fim de se obter um modelo suficientemente preciso, sem incorrer em equações

demasiadamente complexas. Esta superfície é definida no corte transversal por um segmento de reta e dois arcos laterais. A figura 7.3(A) mostra as lâminas elementares obtidas na secção transversal do dispositivo através desta superfície de corte. A figura 7.3(B) mostra as linhas de campo elétrico correspondentes ao mesmo dispositivo.

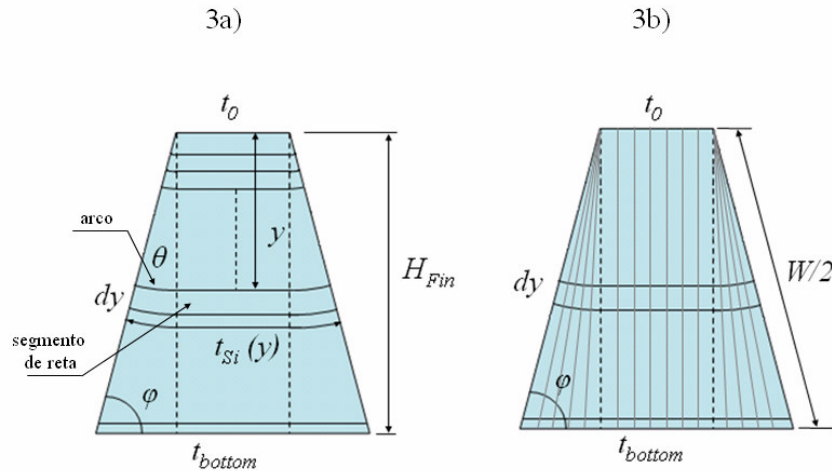


Fig 7.3 – (A) Corte transversal do dispositivo FinFET trapezoidal – dispositivo dividido em diversas lâminas (dispositivos independentes) de largura e espessura $t_{Si}(y)$; (B) Linhas de campo elétrico referentes ao dispositivo.

Através das figuras 7.3, pode se notar que as linhas de corte propostas se aproximam das linhas de campo isopotenciais, principalmente perto das paredes laterais trapezoidais, visto que as linhas devem ser paralelas às paredes nesta região.

A dependência da tensão de limiar em relação à espessura da camada de silício (t_{Si}) do transistor pode ser representada pela seguinte função linear:

$$V_{Th}(t_{Si}) = a_0 - a_1 t_{Si} \quad (7.2)$$

Onde t_{Si} pode ser obtido pela seguinte equação:

$$t_{Si} = t_0 + 2Y \left(\frac{\pi}{2} - \phi \right) \quad (7.3.)$$

O modelo da corrente de saturação pode ser obtido substituindo as equações (7.2) e (7.3) na equação (7.1) e integrando de 0 a H_{Fin} :

$$I_{DS} = \beta \frac{\left[(p_0 + a_1 H_{Fin} \pi - p_1 H_{Fin} \varphi)^{\alpha+1} - p_0^{\alpha+1} \right]}{p_1 (\alpha+1) \left(\frac{\pi}{2} - \varphi \right)} (1 + \lambda V_{DS}) \quad (7.4)$$

Onde: $\lambda = 1/V_{EA}$, $p_0 = (\gamma \cdot V_{GS}) - a_0 + a_1 t_0$ e $p_1 = 2a_1$.

7.4 Ajuste dos parâmetros de ganho para paredes paralelas

Antes de estudar a nova equação da corrente de saturação para transistores trapezoidais, devem-se fazer os ajustes necessários aos parâmetros de ganho α , β e γ do transistor de paredes paralelas. O modelo da corrente de saturação [24] será comparado à curva $I_{DS} \times V_{DS}$ obtida em simulação tridimensional.

Os dispositivos simulados apresentam espessura do óxido de porta $t_{ox} = 3\text{nm}$, espessura de óxido enterrado $t_{box} = 200\text{ nm}$, densidade de cargas $3 \times 10^{10} \text{ cm}^{-2}$. O material de porta utilizado tem função de trabalho de 4,63 eV. Os dispositivos apresentam paredes laterais verticais com 90° de inclinação, cuja largura (t_{sl}) varia de 15 a 30nm. A altura do canal $H_{Fin} = 50\text{ nm}$ para todos os dispositivos e o comprimento de canal $L_{Fin} = 100\text{nm}$. Foram simulados dois conjuntos de curvas $I_{DS} \times V_{DS}$, com polarizações $V_{GS} = 0,5\text{ V}$; $0,7\text{ V}$ e $1,0\text{ V}$, um conjunto com concentração de dopantes no corpo $N_A = 10^{16} \text{ cm}^{-3}$ e outro com $N_A = 5 \times 10^{17} \text{ cm}^{-3}$. A figura 7.4 apresenta a comparação entre as curvas $I_{DS} \times V_{DS}$ simuladas e as curvas calculadas, através da equação (7.1).

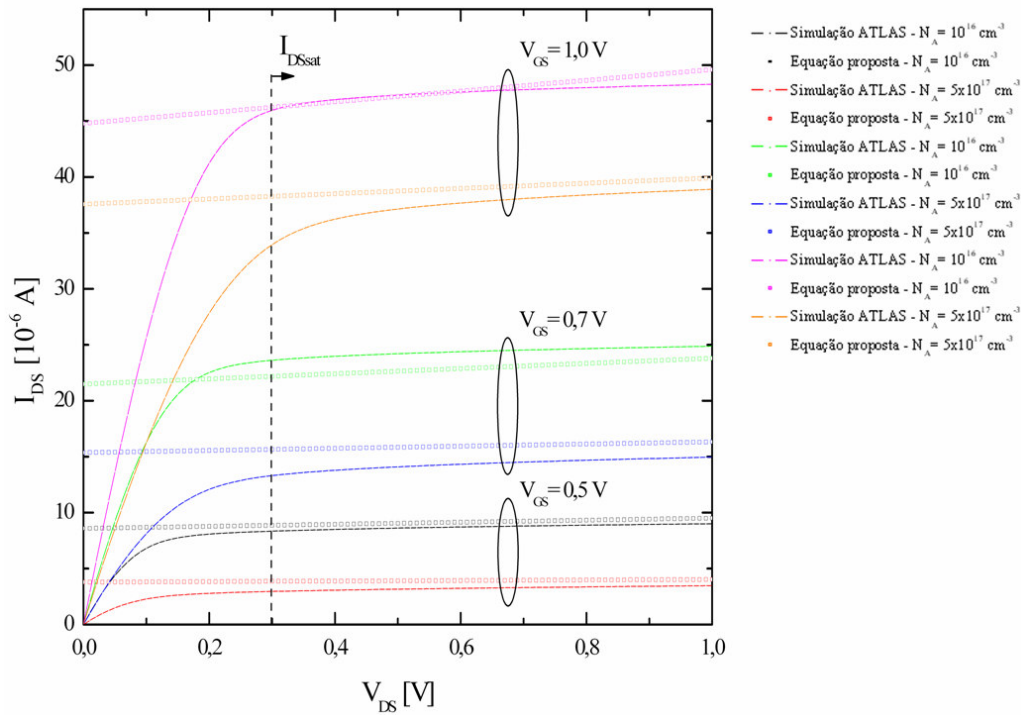


Fig 7.4 – Comparação entre as curvas $I_{DS} \times V_{DS}$ obtidas em simulação tridimensional ATLAS e curvas $I_{DS} \times V_{DS}$ calculadas, para dispositivos FinFETs de porta dupla.

7.5 Simulação dos dispositivos FinFETs trapezoidais

O modelo de corrente de saturação, obtido da superfície de corte proposta, apresentado no item 7.3 deste Capítulo é comparado com os dados obtidos nas simulações numéricas tridimensionais.

O ângulo de inclinação das paredes laterais dos dispositivos trapezoidais simulados foi conseguido variando a largura inferior de canal (t_{bottom}) de 25 a 30 nm, enquanto a largura superior de canal (t_{si}) foi mantida fixa em 15 nm, conseguindo assim o ângulo de inclinação (φ) entre $81,5^\circ$ a $84,1^\circ$.

Foram simulados dois conjuntos de curvas, ambos com polarizações $V_{GS} = 0,50$ V; $0,7$ V e $1,0$ V, sendo um conjunto com concentração de dopantes no corpo $N_A = 10^{16} \text{ cm}^{-3}$ e outro com $N_A = 5 \times 10^{17} \text{ cm}^{-3}$.

A figura 7.5 permite a comparação das curvas $I_{DS} \times V_{DS}$ obtidas através das simulações tridimensionais com as curvas de saturação obtidas através da equação (7.4), para certos valores de V_{GS} e de concentrações N_A .

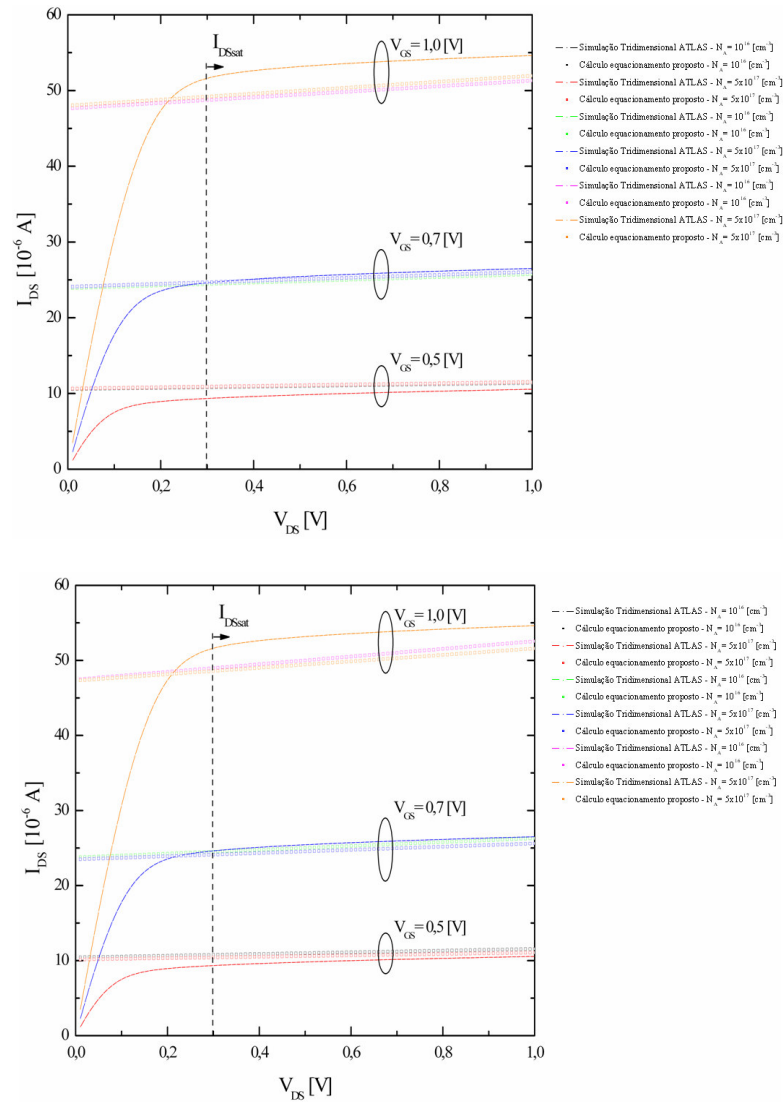


Fig 7.5 – Curvas $I_{DS} \times V_{DS}$ obtidas em simulação tridimensional ATLAS comparadas com curvas $I_{DS} \times V_{DS}$ obtidas através de novo corte proposto para ângulo de inclinação das paredes laterais verticais: (A) $\varphi = 81,5^\circ$ e (B) $\varphi = 84,1^\circ$.

De acordo com os gráficos $I_{DS} \times V_{DS}$ apresentados nas figuras 7.4 e 7.5, observa-se que a nova equação apresenta boa aproximação da corrente de saturação (I_{DSsat}) em dispositivos trapezoidais, visto que esta leva em consideração o ângulo φ de inclinação das paredes laterais.

A tendência é que esta nova equação apresente resultados ainda mais significativos em dispositivos cuja angulação das paredes laterais verticais esteja abaixo de 85° [79].

A ref. [79] apresenta uma comparação entre os resultados calculados utilizando este novo modelo da corrente de saturação (I_{DSsat}), o modelo anteriormente proposto por Rao [77] e resultados obtidos através de simulações numéricas tridimensionais.

8 CONCLUSÕES

Este trabalho apresentou um estudo das características elétricas de dispositivos FinFETs trapezoidais, não planares, construídos sobre substratos SOI, quando submetidos a variações geométricas de inclinação das paredes laterais e da variação de concentração de dopantes na região ativa. Além disso, foi introduzida uma extensão do modelo analítico tradicional de corrente de dreno, na região de saturação (I_{DSsat}), aplicável diretamente a transistores de paredes inclinadas.

Com o intuito de apresentar uma análise completa, o estudo foi estruturado de modo a apresentar todos os passos da caracterização dos dispositivos estudados através do simulador ATLAS. No primeiro momento, o documento mostrou a importância da escolha de todos os itens de entrada do simulador, tais como escolha de parâmetros, modelos, especificação de estruturas e regiões.

Foram abordados os modelos de confinamento quântico presentes no simulador de dispositivos. Simulações bidimensionais em dispositivos de porta dupla foram realizadas, a fim de analisar as calibrações utilizando os modelos de BQP (Potencial Quântico de Bohm) e Poisson (física clássica) frente às equações de confinamento quântico de Schrödinger. Os resultados obtidos demonstraram que o modelo BQP não apresenta bons resultados em dispositivos cuja largura de canal (W) é maior ou igual a 30 nm, sendo superado, em algumas simulações, pelo modelo mais simples de Poisson. Diante deste fato, resolveu-se continuar o estudo utilizando o modelo de Poisson (física clássica).

Após apresentação dos dispositivos estudados, foram levantadas as curvas características dos transistores através de simulações tridimensionais, com a otimização dos parâmetros envolvidos, de forma a obter resultados precisos para uma análise qualitativa e quantitativa.

Com base nas curvas características levantadas, foram extraídos os principais parâmetros elétricos, tais como: tensão de limiar (V_{Th}), inclinação de sublimiar (S), transcondutância (g_m) e condutância de dreno (g_d), de forma que todos estes itens foram analisados em relação às variações de angulação das paredes laterais verticais (W_{Fintop}) e concentração de dopantes no silício (N_A).

Durante a análise efetuada, foi observado que na maior parte dos dispositivos, as tensões de limiar mantiveram-se em torno de 0,37 V e as inclinações de sublimiar próximas de 62 mV/dec. Foi demonstrado também que o coeficiente angular da curva $V_{Th} \times W_{Fintop}$ varia em função da concentração de dopantes.

Na inclinação de sublimiar (S), os resultados obtidos demonstraram que as junções de fonte e dreno exercem maior influência no funcionamento do dispositivo do que a variação de acoplamento causada pelo aumento da largura superior de canal, resultando assim no aumento do valor de S.

A fim de comprovar este efeito, foi realizado um estudo da inclinação de sublimiar (S) nos dispositivos, variando o comprimento de canal (L_{Fin}) de 200 a 1000 nm, submetidos às mesmas condições de polarização.

Após o estudo das características de corrente e tensão $I_{DS} \times V_{GS}$, foram analisadas as concentrações de elétrons e densidade de corrente no ponto de limiar (V_{Th}). O estudo mostrou o aumento da densidade de corrente próxima à região de canto superior, devido à sobreposição de campos elétricos causados pelas duas portas laterais.

Foram analisadas também as curvas $I_{DS} \times V_{DS}$, extraíndo os valores da condutância de dreno (g_D), constatando a dependência deste parâmetro em relação à variação da angulação das paredes laterais verticais dos transistores e concentração de elétrons no silício.

Finalmente, este trabalho apresentou uma proposta para a modelagem da corrente de saturação (I_{DSsat}), em dispositivos FinFETs trapezoidais. Esta modelagem se mostrou muito simples e eficiente, se comparada com simulações tridimensionais, principalmente em dispositivos altamente dopados ($N_A = 5 \times 10^{17} \text{ cm}^{-3}$).

Com base nos resultados obtidos pretende-se futuramente estudar o ganho de tensão em malha aberta de baixa frequência (A_V) nos dispositivos FinFETs trapezoidais, bem como analisar o comportamento destes respectivos dispositivos trabalhando na configuração de Amplificador Operacional de Transcondutância (OTA). Além disto, é sugerida a continuação do estudo da modelagem da corrente de saturação (I_{DSsat}), aplicado agora em dispositivos FinFETs trapezoidais de porta tripla, analisando a influência da terceira porta (porta superior) na modelagem da corrente de saturação.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Shockley, W. **Bell Labs lab notebook** no. 20455, January 1948, pp 128–32, 23.
- [2] Shockley, W. “Circuit Element Utilizing Semiconductive Material,” **U. S. Patent** 2, 569, 347 (Filed June 26, 1948. Issued September 25, 1951).
- [3] Shockley, W. “The Theory of P-N Junctions in Semiconductors and P-N Junction Transistors,” **Bell System Technical Journal**, vol. 28, pp. 435–89, 1949.
- [4] Shockley, W. *Electrons and holes in Semiconductors with Applications to Transistor Electronics*. (New York: Van Nostrand 1950).
- [5] W. Brinkman et. al. “A History of the Invention of the Transistor and Where it will lead us”, **IEEE J. Solid-St. Circ.** Vol. 32, no. 12, pp. 1858-1865 (1997).
- [6] “50th Anniversary of the Transistor”, **Proceedings of the IEEE**, vol. 86, no.1, pp.1-308 (1998).
- [7] “Solid-State Century – The Past, Present and Future of the Transistor”, **Scientific American**, Special Issue 1997.
- [8] K. Ng., “A Survey of Semiconductor Devices”, **IEEE Transactions on Electron Devices**, vol. 43, no. 10, pp. 1760-1765 (1996).
- [9] L. Geppert, Technology 1998 Analysis & Forecast – Solid State”, **IEEE Spectrum**, vol. 35, no. 1, pp.23-28 (1998).
- [10] A Unipolar "Field-Effect" Transistor. Shockley, W. Bell Telephone Laboratories, Inc., Murray Hill, New Jersey; **Proceedings of the IRE**, Nov. 1952, Volume: 40, Issue: 11, On page(s): 1365-1376.
- [11] Unipolar "Field-Effect" Transistor. Dacey, G.C.; Ross, I.M. Bell Telephone Laboratories, Inc., Murray Hill, New Jersey; **Proceedings of the IRE**, Aug. 1953, Volume: 41, Issue: 8, On page(s): 970-979.
- [12] Chapin, D. M.; Fuller, C. S.; Pearson, G. L. “A New Silicon p-n Junction Photocell for Converting Solar Radiation into Electrical Power”, **Journal of Applied Physics** 25 (1954) 676.
- [13] Derick, Lincoln and Frosch, Carl J. “Oxidation of Semiconductive Surfaces for Controlled Diffusion.” **U. S. Patent** 2,802,760 (Filed December 2 1956. Issued August 13, 1957).
- [14] Frosch C. J. and Derick, L. “Surface Protection and Selective Masking during Diffusion in Silicon.” **Journal of the Electrochemical Society**, vol. 104, no. 9 (September 1957), pp. 547-552.
- [15] Andrus, J. “Fabrication of Semiconductor Devices,” **U.S. Patent** no. 3, 122, 817 (Filed August 15, 1957. Issued March 3, 1964).
- [16] Andrus, J. and Bond, W. L. “Photoengraving in Transistor Fabrication,” in F. J. Biondi et al, eds., **Transistor Technology**, vol. III (Princeton, NJ: D. Van Nostrand, 1958), pp. 151–162.
- [17] Stanley, T. O. “The Validity of Scaling Principles for Field-Effect Transistors” David Sarnoff Research Center, Princeton Technical Report 1282 (August 13, 1962).
- [18] Hoeneisen, B. and Mead, C. “Fundamental limitations in Microelectronics – 1. MOS Technology,” **Solid State Electronics**, vol. 15, no. 7 (July 1972) pp. 819-829.

- [19] Dennard, R. H.; Gaensslen, F. H.; Kuhn, L.; Yu, H. N. "Design of micron MOS switching devices," **IEDM Technical Digest** (December 1972) pp. 168-170.
- [20] Dennard, R. H.; Gaensslen, F. H.; Yu, Hwa-Nien; Rideout, V.; Leo, Bassous, Ernest, & LeBlanc, Andre R. "Design of ion-implanted MOSFET's with Very Small Physical Dimensions," **IEEE Journal of Solid-State Circuits**, vol. 9 (October 1974), pp. 256-268.
- [21] Celler, G. K.; Cristoloveanu, S. J. **App Phys**, 93, 4955 (2003).
- [22] SOI design: analog, memory and digital techniques by Andrew Marshall & Sreedhar Natarajan.
- [23] IBM Advances Chip Technology with Breakthrough For Making Faster, More Efficient Semiconductors.
- [24] Colinge, J.P., **Silicon on Insulator Technology: Materials to VLSI**, Kluwer Academic Publishers, 3rd Edition, 2004.
- [25] Cristoloveanu, S.; Li, S.S., **Electrical Characterization of Silicon-on-Insulator Materials and Devices**, Kluwer Academic Publishers, 2nd Edition, 1995.
- [26] Bipolar FET hybrid mode operation of quarter micrometer SOI MOSFETs [MESFETs read MOSFETs], Parke, S. A. Hu; C. Ko P. K. Dept. of Electr. Eng. & Comput. Sci., California Univ., Berkeley, CA; **This Electron Device Letters, IEEE**, May 1993, volume: 14, issue: 5, on page(s): 234-236.
- [27] Lim, H. K.; Fossum, J. G. Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's. **IEEE Transactions on Electron Devices**, v. 30, n. 10, p. 1244-1451, 1983.
- [28] Martino, J.A.; Pavanello, M.A.; Verdonck, P.B., **Caracterização Elétrica de Tecnologia e Dispositivos MOS**, Thomson, São Paulo, 2003.
- [29] Balestra, F.; Cristoloveanu, S.; Benachir, M.; Bbrini, J.; Elewa, T. Double-Gate Silicon-on-Insulator Transistor with Volume Inversion: A New Device With Greatly Enhanced Performance. **IEEE Electron Device letters**, v. EDL-8, n. 9, p. 410-412, 1987.
- [30] Young, K. K. Short-channel effect in fully depleted SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 36, n. 2, p. 399-402, 1989.
- [31] Chaudhry, Anurag; Kumar, M. Jagadesk. Controlling Short-Channel Effects in Deep-Submicron SOI MOSFETs for Improved Ratability: A Review. **IEEE Transactions on Electron Devices and materials reliability**, v. 4, n. 1, p. 99-109, 2004.
- [32] Munata, T.; Mizumo, T.; Tezuka, T.; Koga, J.; Takagi, S., Control of Threshold-Voltage and Short-Channel Effects in Ultrathin Strained-SOI CMOS Devices. **IEEE Transactions on Electron Devices**, v. 52, n. 8, p. 1780-1786, 2005.
- [33] J. Witfield and S. Thomas, **IEEE Electron Dev. Lett.**, Vol. 7, p. 347, 1986.
- [34] Fossum, J.G., Proceedings of the Fourth International Symposium on Silicon-on-Insulator Technology and Devices, ed. By D.N. Schmidt, Vol. 90-6, **The Electrochemical Society**, p. 491, 1990.
- [35] Van Overtraeten, R.J.; Declerck, G.J.; Muls, P.A., **IEEE Transactions on Electron Devices**, Vol. ED-20, p. 1150, 1973.
- [36] Sze, S.M., **Physics of Semiconductor Devices**, Wiley & Sons, p. 446, 1981.
- [37] Colinge, J.P., **Technical Digest of International Electron Devices Meeting (IEDM)**, p. 817, 1989.

- [38] Lim, H.K.; Fossum, J.G., **IEEE Transactions on Electron Devices**, Vol. 31, p. 401, 1984.
- [39] Sturm, J. C.; Tokunaga, K. Dependence of transconductance on substrate bias in ultrathin silicon-on-insulator MOS transistors. **Electronics Letters**, v. 25, n. 18, p. 1233-1234, 1989.
- [40] Pavanello, M.A.; Martino, J.A.; Dessard, V.; Flandre D., **Solid-State Electronics**, Vol. 44, no.7, p.1219, 2000.
- [41] Galeti, M.; Pavanello, M. A.; Martino J.A., **Electrochemical Society Proceedings**, Vol.2003-09, p.48, 2003.
- [42] Nauta B., "Analog CMOS Low-Power Design Considerations," **Digest of Technical papers Low-Power Low-Voltage Workshop**, European Conf. Solid-State Circuits (ESSCIRC 96), J. Borel, ed., ST Microelectronics, Crolles, France, 1996, pp. 1-16.
- [44] Laker, K.; Sansen, W., **Design of Analog Integrated Circuits and Systems**, McGraw-Hill, New York, 1994.
- [44] Chen, Q.; Harrel, E.M.; Meindl, J.D., **IEEE Transactions on Electron Devices**, vol. 50, no.7, p. 1631, 2003.
- [45] Baie, X.; Colinge J.P.; Bayot, V.; Grivei, E., "A Silicon-on-insulator quantum wire", **Solid-State Electron**, Vol. 39, no. 1, p. 49-51, 1996.
- [46] Hisamoto, D. et al., A Fully Depleted Lean-Channel Transistor (DELTA) – A Novel Vertical Ultra Thin SOI MOSFET, **IEDM Tech. Digest**, 833 (1989).
- [47] Colinge, J. P. et al., Silicon-on-Insulator Gate-All-Around Device, **IEDM Tech. Digest**, 595, 1990).
- [48] Smeys, P.; Colinge, J. P., Gate-All-Around Device, **Final technical rept.**, 64, 1991, Interuniversity Micro-electronics Center Louvain (Belgium).
- [49] Park, J.T.; Colinge J.P., **IEEE Transactions on Electron Devices**, vol. 49, p. 2222, 2002.
- [50] **US patent** 6, 359, 311.
- [51] Yang, F.L.; Chen, H.Y.; Cheng, F.C.; Huang, C.C.; Chang, C.Y.; Chiu, H.K.; Lee, C.C.; Chen, C.C.; Huang, H.T.; Chen, C.J.; Tao, H.J.; Yeo, Y.C.; Liang, M.S.; Hu, C., **Technical Digest of IEDM**, p. 255, 2002.
- [52] Huang, X. et al (1999) "Sub 50-nm FinFET: PMOS" International Electron Devices Meeting Technical Digest, p. 67. December 5-8, 1999.
- [53] Hisamoto, D. et al (1991) "Impact of the vertical SOI 'Delta' Structure on Planar Device Technology" IEEE Trans. Electron. Dev. 41 p. 745.
- [54] Fossum, J.G. et al, **IEEE elec Dev Let**, Vol. 24, p. 745, 2003.
- [55] Xiong, W.; Park, J.W.; Colinge, J.P.; **Proc of the IEEE International SOI Conference**, p. 111-113, 2003.
- [56] Yan, R.H.; Ourmazd, A.; Lee, K.F., **IEEE Transactions on Electron Devices**, vol. 39, p. 1704, 1992.
- [57] Francis, P.; Terao, A.; Flandre, D.; Wiele, F. V., **IEEE Transaction on Electron Devices**, Vol. 41, no.5, p. 715-720, 1994.
- [58] Francis, P.; Terao, A.; Flandre, D.; Van de Wiele, F., **Microelectronic Engineering**, Vol. 19, p. 815, 1992.

- [59] Terao, A.; Flandre, D.; Van de Wiele, F., **Proceedings of the 23rd ESSDERC**, Editions Frontières, p. 621, 1993.
- [60] Terao, A.; Flandre, D.; Van de Wiele, F., **Solid-State Electronics**, Vol. 38-1, p. 171, 1995.
- [61] Terao, A.; Flandre, D.; Van de Wiele, F., **IEEE Electron Device Letters**, Vol. 12, p. 682, 1991.
- [62] Balestra, F.; Cristolovenau, S.; Benachir, M.; Brini, J.; Elewa, T., **IEEE Electron Device Letters**, Vol. 8, no. 9, p. 410, 1987.
- [63] Colinge, J.P.; Gao, M.H.; Romano, A.; Maes, H.; Claeys, C., **Technical Digest of IEDM**, 595, 1990.
- [64] Ouisse, T., *Journal of Applied Physics*, Vol. 76, p. 5979, 1994.
- [65] Baie, X.; Colinge, J. P.; Bayot, **IEEE Electron Device Letters**, Vol. 15, p. 193, 1994.
- [66] Colinge, J.P., “FinFETs and Other Multi-Gate Transistors”, Hardcover, XVI, 2008.
- [67] A. Rahman, M. S. Lundstrom: A compact scattering model for the nanoscale double-gate MOSFET. **IEEE Transactions on Electron Devices**, 49-3, 481 (2002).
- [68] Baie, X.; Colinge, J. P.; Bayot, V.; Grivei, E., Quantum- wire effects in thin and narrow SOI MOSFETs. **Proceeding IEEE International SOI Conference**, 66, 1995.
- [69] Colinge, J. P.; Bayot, V.; Grivei, E., A silicon-on-insulator quantum wire, **Solid-State Electronics** 39-1, 49 (1996).
- [70] Gamiz, F.; Godoy, A.; Roldán, J.; Sampedro, C.; Donetti, L., Charge transport in nanoscaled SOI devices. Abstracts of the NATO. **Advanced Research Workshop on Nanoscaled Semiconductor-on-Insulator Structures and Devices**, 73 (2006).
- [71] ATLAS Device Simulation Framework, version 5.10.0.R, Silvaco International, 2005.
- [72] Terao, A.; Flandre, D.; Lora-Tomayo, E.; Van der Wiele, F., “Measurement of threshold voltages of thin-film accumulation-mode SOI transistors,”
- [73] Giacomini, R.; Martino, J. A.; Pavanello, M.A., Sidewall Angle Influence on the FinFET Analog Parameters. 22nd International Symposium on Microelectronics Technology and Devices (2007). **Microelectronics Technology and Devices** (2007).
- [74] Giacomini, R.; Martino, J. A., **Journal of the Electrochemical Society**, v. 00, p. 00-000, (2008).
- [75] Giacomini, R.; Martino, J. A., Influence of Non-vertical Sidewall on FinFET Threshold Voltage. 21st Symposium on Microelectronics Technology and Devices - SBMicro2006, Ouro Preto. Microelectronics Technology and Devices SBMicro2006. Pennington, New Jersey, EUA: **The Electrochemical Society**, 2006. vol 4 no 1, pp 275-281 (2006).
- [76] Taur, Y., **IEEE Electron Device Letters**, Vol. 21, no.5, p.245-247, 2000.
- [77] Rao, R.; Bansal, A.; Kim, J.; Roy, K.; Chuang, C. T., Accurate Modeling and Analysis of Currents in Trapezoidal FinFET Devices.
- [78] Wong, H. S.; White, M. H.; Krutsick, T. J.; Booth, R. V., **Solid State Electronics**, vol. 30, no. 9, p.953-958, (1987).
- [79] L.G.P. Martins, R. Giacomini, J. A. Martino. An Improved Current Model for Trapezoidal Finfets in saturation. In: 23rd Symposium on Microelectronics Technology and Devices, 2008, Gramado. Proceedings of the 23rd Symposium on Microelectronics Technology and Devices. NY: **The Electrochemical Society**, 2008. v. x. p. 0-0.

9 APÊNDICE 1 – ARQUIVOS DE SIMULAÇÃO ATLAS

Seguem abaixo alguns arquivos comentados de simulação ATLAS utilizados para o estudo do dispositivo FinFET de porta tripla, durante o desenvolvimento deste trabalho.

Simulação FinFET $w30e^{17}$ bgn

Simulação desenvolvida no estudo de distribuição de cargas do transistor FinFET de porta tripla para escolha dos modelos de mobilidade do simulador de dispositivo ATLAS. Para esta simulação foi dimensionado um FinFET de porta tripla, canal n, de comprimento de porta L_{Fin} de 200 nm, corpo tipo p , dopado com $1 \times 10^{17} \text{ cm}^{-3}$, dopagem de fonte/ dreno tipo $n+$ de $1 \times 10^{21} \text{ cm}^{-3}$, espessura de óxido de porta de 2 nm.

```
go devedit simflags="-3d"
DevEdit version=2.6.0.R
```

```
#Larguras
set Na=17
set wfintop=30
```

Definição da concentração de dopantes e determinação das dimensões da estrutura do dispositivo.

```
set wsi="$wfintop"/2000
set wox="$wfintop"/2000 + 0.002
set wga="$wfintop"/2000 + 0.010
```

```
work.area x1=-0.100 y1=-0.300 x2=0.100 y2=0.080
```

```
#CORPO
region reg=1 name=body mat=Silicon color=0xffcc00 pattern=0x4 z1=0.010 z2=0.210 \
  polygon="-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
```

```
#
#DRENO
region reg=2 name=drain mat=Silicon color=0xffcc00 pattern=0x4 z1=0 z2=0.010 \
  polygon="-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
```

```
#
#FONTE
region reg=3 name=source mat=Silicon color=0xffcc00 pattern=0x4 z1=0.210 z2=0.220 \
  polygon="-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
```

```
#
#ISOLANTE DE PORTA
region reg=4 mat="Silicon Oxide" color=0xff pattern=0x2 z1=0.010 z2=0.210 \
  polygon="-0.027,0 -0.025,0 -$"wsi",0.050 $"wsi",0.050 0.025,0 0.027,0 $"wox",0.052 - $"wox",0.052"
```

```
#
#PORTA
region reg=5 name=gate mat=PolySilicon elec.id=3 work.func=0 color=0xffff00 pattern=0x5 z1=0.010 z2=0.210 \
  polygon="-0.035,0 -0.027,0 -$"wox",0.052 $"wox",0.052 0.027,0 0.035,0 $"wga",0.060 - $"wga",0.060"
```

```
#
#DRENO ele
region reg=6 name=drain mat=Silicon elec.id=1 work.func=0 color=0xffcc00 pattern=0x4 z1=-0.010 z2=0 \
  polygon="-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
```

```
#
#FONTE ele
region reg=7 name=source mat=Silicon elec.id=2 work.func=0 color=0xffcc00 pattern=0x4 z1=0.220 z2=0.230 \
  polygon="-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
```

```
#
set xcentro10=-$"wsi"+0.010
set xcontro2=-$"wsi"+0.002
constr.mesh id=1 x1=-0.030 y1=0 x2=$"xcentro10" y2=0.055 default max.height=0.0025 max.width=0.0025
```

Cada região do transistor está associada a um registro (identificação). (exemplo: A região de dreno está identificada com o número 2.

```

constr.mesh id=3 x1=0.030 y1=0 x2=-$"xcentro10" y2=0.055 default max.height=0.0025 max.width=0.0025
constr.mesh id=5 x1=-$"xcentro10" y1=0.040 x2=-$"xcentro10" y2=0.055 default max.height=0.0025 max.width=0.0025
Mesh Mode=MeshBuild

```

```

z.plane z= -0.0100 spacing=0.1
z.plane z= -0.0050 spacing=0.1
z.plane z= -0.0010 spacing=0.1
z.plane z= 0.0000 spacing=0.1
z.plane z= 0.0010 spacing=0.1
z.plane z= 0.0020 spacing=0.1
z.plane z= 0.0050 spacing=0.1
z.plane z= 0.0080 spacing=0.1
z.plane z= 0.0090 spacing=0.1
z.plane z= 0.0095 spacing=0.1
z.plane z= 0.0098 spacing=0.1
z.plane z= 0.0099 spacing=0.1
z.plane z= 0.0100 spacing=0.1
z.plane z= 0.0101 spacing=0.1
z.plane z= 0.0102 spacing=0.1
z.plane z= 0.0105 spacing=0.1
z.plane z= 0.0110 spacing=0.1
z.plane z= 0.0120 spacing=0.1
z.plane z= 0.0150 spacing=0.1
z.plane z= 0.0200 spacing=0.1
z.plane z= 0.0300 spacing=0.1
z.plane z= 0.0500 spacing=0.1
z.plane z= 0.0700 spacing=0.1
z.plane z= 0.0900 spacing=0.1
z.plane z= 0.1100 spacing=0.1
z.plane z= 0.1300 spacing=0.1
z.plane z= 0.1500 spacing=0.1
z.plane z= 0.1700 spacing=0.1
z.plane z= 0.1900 spacing=0.1
z.plane z= 0.2000 spacing=0.1
z.plane z= 0.2050 spacing=0.1
z.plane z= 0.2080 spacing=0.1
z.plane z= 0.2090 spacing=0.1
z.plane z= 0.2095 spacing=0.1
z.plane z= 0.2098 spacing=0.1
z.plane z= 0.2099 spacing=0.1
z.plane z= 0.2100 spacing=0.1
z.plane z= 0.2101 spacing=0.1
z.plane z= 0.2102 spacing=0.1
z.plane z= 0.2105 spacing=0.1
z.plane z= 0.2110 spacing=0.1
z.plane z= 0.2120 spacing=0.1
z.plane z= 0.2150 spacing=0.1
z.plane z= 0.2180 spacing=0.1
z.plane z= 0.2190 spacing=0.1
z.plane z= 0.2200 spacing=0.1
z.plane z= 0.2210 spacing=0.1
z.plane z= 0.2250 spacing=0.1
z.plane z= 0.2300 spacing=0.1

```

```
z.plane max.spacing=1000000 max.ratio=1.5
```

```

structure outf=bgn0.str
go atlas

```

```

#
#*****define the doping concentration*****
#
doping uniform conc=1e$"Na" p.type reg=1
doping uniform conc=1e21 n.type reg=2
doping uniform conc=1e21 n.type reg=3
doping uniform conc=1e21 n.type reg=5
doping uniform conc=1e21 n.type reg=6
doping uniform conc=1e21 n.type reg=7
#
#set interface charge separately on front and back oxide interfaces
interf qf=3e10 region=4
#
#set workfuntion of gate
contact name=gate tungsten
#
#select models

```

Definição da grade (Matriz de Pontos), tanto nos pontos x1, x2, y1, y2, como no eixo Z. Grade tridimensional.

Max height: distância entre as colunas (eixo Y);

Max width: distância entre as linhas (eixo X);

Spacing: distância entre as colunas (plano Z).

Definição da dopagem em cada região do dispositivo.

Notar que cada região definida no estado de declarações recebe uma concentração de dopantes através de seu número de registro. (ex: A região de dreno recebe $10^{21}[\text{cm}^{-3}]$ através da identificação 2.

Definição da região de óxido que separa o canal e a porta do transistor.

Definição do material tungstênio como contato de porta do dispositivo.

Definição dos modelos utilizados na simulação.

Etapas de execução da simulação (ex: polarização de dreno em 0,05V, variação da tensão de porta em 0 a 0,8V, com passos de 0,05V. O ATLAS traça a curva $I_{DS} \times V_{GS}$.

```

models bgn print
#
solve init
#
#do IDVG characteristic
#
method newton trap
solve prev
solve vdrain=0.05

log outf=idvgbgn.log
solve vgate=0.0 vstep=0.05 name=gate vfinal=0.8
log off

save outf=bgn1.str master

quit

```

Simulação SCHRO200x30e¹⁵

Simulação desenvolvida no estudo de calibração dos modelos de efeito mecânico quântico bidimensional no simulador de dispositivo ATLAS. Para esta simulação foi dimensionado um dispositivo de porta dupla, canal n , de comprimento de porta $L = 200$ nm, corpo tipo p , dopado com $1 \times 10^{15} \text{ cm}^{-3}$, largura de porta $W = 30$ nm, espessura de óxido de porta de 2 nm.

Este arquivo de entrada apresenta uma particularidade em relação a montagem a grade.

```
go atlas
```

```

mesh
x.mesh location= -0.015
x.mesh location= -0.014
x.mesh location= -0.013
x.mesh location= -0.012
x.mesh location= -0.011
x.mesh location= -0.01
x.mesh location= -0.009
x.mesh location= -0.008
x.mesh location= -0.007
x.mesh location= -0.006
x.mesh location= -0.005
x.mesh location= -0.004
x.mesh location= -0.003
x.mesh location= -0.002
x.mesh location= -0.001
x.mesh location= 0
x.mesh location= 0.001
x.mesh location= 0.002
x.mesh location= 0.003
x.mesh location= 0.004
x.mesh location= 0.005
x.mesh location= 0.006
x.mesh location= 0.007
x.mesh location= 0.008
x.mesh location= 0.009
x.mesh location= 0.01

```

Um dos grandes obstáculos encontrados na simulação de efeitos mecânicos quânticos é a construção da grade (matriz de pontos) adequada para este tipo de simulação (tanto em simulações bidimensionais como simulações tridimensionais). Por diversas vezes o ATLAS apresentou erro de convergência entre a grade projetada e o modelo de confinamento quântico de Schrodinger (SCHRO). Foi testada uma série de alternativas para a concepção da grade e a alternativa que apresentou melhores resultados foi a de se estabelecer os pontos fixos nos eixos x e y diretamente no ATLAS. Repare que o arquivo de entrada chama inicialmente o ATLAS e posteriormente começa a montagem da grade pelos pontos pré-estabelecidos.

Inicialmente o programa lista as coordenadas do eixo x e depois lista as coordenadas do eixo y .

x.mesh location= 0.011
x.mesh location= 0.012
x.mesh location= 0.013
x.mesh location= 0.014
x.mesh location= 0.015
x.mesh location= 0.016
x.mesh location= 0.017
x.mesh location= 0.018
x.mesh location= 0.019
x.mesh location= 0.02
x.mesh location= 0.021
x.mesh location= 0.022
x.mesh location= 0.023
x.mesh location= 0.024
x.mesh location= 0.025
x.mesh location= 0.026
x.mesh location= 0.027
x.mesh location= 0.028
x.mesh location= 0.029
x.mesh location= 0.03
x.mesh location= 0.031
x.mesh location= 0.032
x.mesh location= 0.033
x.mesh location= 0.034
x.mesh location= 0.035
x.mesh location= 0.036
x.mesh location= 0.037
x.mesh location= 0.038
x.mesh location= 0.039
x.mesh location= 0.04
x.mesh location= 0.041
x.mesh location= 0.042
x.mesh location= 0.043
x.mesh location= 0.044
x.mesh location= 0.045
x.mesh location= 0.046
x.mesh location= 0.047
x.mesh location= 0.048
x.mesh location= 0.049
x.mesh location= 0.05
x.mesh location= 0.051
x.mesh location= 0.052
x.mesh location= 0.053
x.mesh location= 0.054
x.mesh location= 0.055
x.mesh location= 0.056
x.mesh location= 0.057
x.mesh location= 0.058
x.mesh location= 0.059
x.mesh location= 0.06
x.mesh location= 0.061
x.mesh location= 0.062
x.mesh location= 0.063
x.mesh location= 0.064
x.mesh location= 0.065
x.mesh location= 0.066
x.mesh location= 0.067
x.mesh location= 0.068
x.mesh location= 0.069
x.mesh location= 0.07
x.mesh location= 0.071
x.mesh location= 0.072
x.mesh location= 0.073
x.mesh location= 0.074
x.mesh location= 0.075
x.mesh location= 0.076
x.mesh location= 0.077
x.mesh location= 0.078
x.mesh location= 0.079
x.mesh location= 0.08
x.mesh location= 0.081
x.mesh location= 0.082
x.mesh location= 0.083
x.mesh location= 0.084
x.mesh location= 0.085
x.mesh location= 0.086

x.mesh location= 0.087
x.mesh location= 0.088
x.mesh location= 0.089
x.mesh location= 0.09
x.mesh location= 0.091
x.mesh location= 0.092
x.mesh location= 0.093
x.mesh location= 0.094
x.mesh location= 0.095
x.mesh location= 0.096
x.mesh location= 0.097
x.mesh location= 0.098
x.mesh location= 0.099
x.mesh location= 0.1
x.mesh location= 0.101
x.mesh location= 0.102
x.mesh location= 0.103
x.mesh location= 0.104
x.mesh location= 0.105
x.mesh location= 0.106
x.mesh location= 0.107
x.mesh location= 0.108
x.mesh location= 0.109
x.mesh location= 0.11
x.mesh location= 0.111
x.mesh location= 0.112
x.mesh location= 0.113
x.mesh location= 0.114
x.mesh location= 0.115
x.mesh location= 0.116
x.mesh location= 0.117
x.mesh location= 0.118
x.mesh location= 0.119
x.mesh location= 0.12
x.mesh location= 0.121
x.mesh location= 0.122
x.mesh location= 0.123
x.mesh location= 0.124
x.mesh location= 0.125
x.mesh location= 0.126
x.mesh location= 0.127
x.mesh location= 0.128
x.mesh location= 0.129
x.mesh location= 0.13
x.mesh location= 0.131
x.mesh location= 0.132
x.mesh location= 0.133
x.mesh location= 0.134
x.mesh location= 0.135
x.mesh location= 0.136
x.mesh location= 0.137
x.mesh location= 0.138
x.mesh location= 0.139
x.mesh location= 0.14
x.mesh location= 0.141
x.mesh location= 0.142
x.mesh location= 0.143
x.mesh location= 0.144
x.mesh location= 0.145
x.mesh location= 0.146
x.mesh location= 0.147
x.mesh location= 0.148
x.mesh location= 0.149
x.mesh location= 0.15
x.mesh location= 0.151
x.mesh location= 0.152
x.mesh location= 0.153
x.mesh location= 0.154
x.mesh location= 0.155
x.mesh location= 0.156
x.mesh location= 0.157
x.mesh location= 0.158
x.mesh location= 0.159
x.mesh location= 0.16
x.mesh location= 0.161
x.mesh location= 0.162

```

x.mesh location= 0.163
x.mesh location= 0.164
x.mesh location= 0.165
x.mesh location= 0.166
x.mesh location= 0.167
x.mesh location= 0.168
x.mesh location= 0.169
x.mesh location= 0.17
x.mesh location= 0.171
x.mesh location= 0.172
x.mesh location= 0.173
x.mesh location= 0.174
x.mesh location= 0.175
x.mesh location= 0.176
x.mesh location= 0.177
x.mesh location= 0.178
x.mesh location= 0.179
x.mesh location= 0.18
x.mesh location= 0.181
x.mesh location= 0.182
x.mesh location= 0.183
x.mesh location= 0.184
x.mesh location= 0.185

```

```

y.mesh location= -0.005
y.mesh location= -0.004
y.mesh location= -0.003
y.mesh location= -0.002
y.mesh location= -0.001
y.mesh location= 0
y.mesh location= 0.001
y.mesh location= 0.002
y.mesh location= 0.003
y.mesh location= 0.004
y.mesh location= 0.005
y.mesh location= 0.006
y.mesh location= 0.007
y.mesh location= 0.008
y.mesh location= 0.009
y.mesh location= 0.01
y.mesh location= 0.011
y.mesh location= 0.012
y.mesh location= 0.013
y.mesh location= 0.014
y.mesh location= 0.015
y.mesh location= 0.016
y.mesh location= 0.017
y.mesh location= 0.018
y.mesh location= 0.019
y.mesh location= 0.02
y.mesh location= 0.021
y.mesh location= 0.022
y.mesh location= 0.023
y.mesh location= 0.024
y.mesh location= 0.025
y.mesh location= 0.026
y.mesh location= 0.027
y.mesh location= 0.028
y.mesh location= 0.029
y.mesh location= 0.03
y.mesh location= 0.031
y.mesh location= 0.032
y.mesh location= 0.033
y.mesh location= 0.034
y.mesh location= 0.035

```

```

region num=1 material=Silicon x.min=-0.015 x.max=0.185 y.min=0.0 y.max=0.03
region num=2 material=oxide x.min=-0.015 x.max=0.185 y.min=-0.003 y.max=0.0
region num=3 material=oxide x.min=-0.015 x.max=0.185 y.min=0.030 y.max=0.033

```

```

electrode name=gate x.min=-0.015 x.max=0.185 y.min=-0.005 y.max=-0.003
electrode name=gate2 x.min=-0.015 x.max=0.185 y.min=0.033 y.max=0.035

```

```

doping      uniform conc=1e15 p.type reg=1

```

```

contact name=gate tungsten
contact name=gate2 tungsten commons=gate

models fermi schro new.eig ox.poisson qy.min=-0.003 qy.max=0.033 qx.min=-0.015 qx.max=0.185 ox.schro fixed.fermi srh
auger bgn fldmob consrh print
method carriers=0
impact selb

solve init
solve prev

# Polarização
solve vgate_1=0.0 vstep=0.05 name=gate vfinal=0.6
save outf=schro200x30e15.str
quit

```

Simulação 200x30e¹⁵_Curvas I_{DS}(V_{GS})

Arquivo de entrada utilizado durante o levantamento das características analógicas dos dispositivos FinFETs de porta tripla. Para esta simulação foi dimensionado um dispositivo de porta tripla, canal n , de comprimento de porta $L_{Fin}=200$ nm, corpo tipo p, dopado com $1 \times 10^{15} \text{ cm}^{-3}$, largura de porta $W_{Fintop}=30$ nm, espessura de óxido de porta de 2 nm.

Este arquivo de entrada resolveu o problema de desbalanceamento da grade proposta.

```

go devedit simflags="-3d"
DevEdit version=2.6.0.R

set Na=15
set wfintop=30
set wsi="$wfintop"/2000
set wox="$wfintop"/2000 + 0.002
set wga="$wfintop"/2000 + 0.006

work.area x1=-0.100 y1=-0.300 x2=0.100 y2=0.080

#CORPO
region reg=1 name=body mat=Silicon color=0xffcc00 pattern=0x4 z1=0.010 z2=0.210 \
    polygon=-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
#
#DRENO
region reg=2 name=drain mat=Silicon color=0xffcc00 pattern=0x4 z1=0 z2=0.010 \
    polygon=-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
#
#FONTE
region reg=3 name=source mat=Silicon color=0xffcc00 pattern=0x4 z1=0.210 z2=0.220 \
    polygon=-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
#
#ISOLANTE DE PORTA
region reg=4 mat="Silicon Oxide" color=0xff pattern=0x2 z1=0.010 z2=0.210 \
    polygon=-0.027,0 -0.025,0 -$"wsi",0.050 $"wsi",0.050 0.025,0 0.027,0 $"wox",0.052 -$"wox",0.052"
#
#PORTA
region reg=5 name=gate mat=PolySilicon elec.id=3 work.func=0 color=0xffff00 pattern=0x5 z1=0.010 z2=0.210 \
    polygon=-0.031,0 -0.027,0 -$"wox",0.052 $"wox",0.052 0.027,0 0.031,0 $"wga",0.056 -$"wga",0.056"
#
#DRENO ele
region reg=6 name=drain mat=Silicon elec.id=1 work.func=0 color=0xffcc00 pattern=0x4 z1=-0.010 z2=0 \
    polygon=-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
#
#FONTE ele
region reg=7 name=source mat=Silicon elec.id=2 work.func=0 color=0xffcc00 pattern=0x4 z1=0.220 z2=0.230 \
    polygon=-0.025,0 0.025,0 $"wsi",0.050 -$"wsi",0.050"
#

```

```

#SUBSTRATO
region reg=8 name=box mat="Silicon Oxide" color=0xffcccc pattern=0x4 z1=-0.010 z2=0.230 \
    polygon="-0.1,0 0.1,0 0.1,-0.1 -0.1,-0.1"
#
#BULK ele
region reg=9 name=bulk mat=Silicon elec.id=4 work.func=0 color=0xffcc00 pattern=0x4 z1=-0.010 z2=0.230 \
    polygon="-0.1,-0.1 0.1,-0.1 0.1,-0.120 -0.1,-0.120"
#

set xcentro10="-$wsi"+0.002
constr.mesh id=1 x1=-0.025 y1=0 x2=0.025 y2=0.050 default max.height=0.004 max.width=0.004
constr.mesh id=2 x1=-0.027 y1=0 x2="$xcentro10" y2=0.052 default max.height=0.0020 max.width=0.0020
constr.mesh id=3 x1=0.027 y1=0 x2="$xcentro10" y2=0.052 default max.height=0.0020 max.width=0.0020
constr.mesh id=5 x1="$xcentro10" y1=0.045 x2="$xcentro10" y2=0.052 default max.height=0.0010 max.width=0.0010
constr.mesh id=6 x1=-0.027 y1=-0.005 x2=0.027 y2=0.005 default max.height=0.0020 max.width=0.0020
Mesh Mode=MeshBuild

z.plane z=      -0.0100 spacing=0.1
z.plane z=      -0.0050 spacing=0.1
z.plane z=      -0.0010 spacing=0.1
z.plane z=       0.0000 spacing=0.1
z.plane z=       0.0010 spacing=0.1
z.plane z=       0.0020 spacing=0.1
z.plane z=       0.0050 spacing=0.1
z.plane z=       0.0080 spacing=0.1
z.plane z=       0.0090 spacing=0.1
z.plane z=       0.0095 spacing=0.1
z.plane z=       0.0098 spacing=0.1
z.plane z=       0.0099 spacing=0.1
z.plane z=       0.0100 spacing=0.1
z.plane z=       0.0101 spacing=0.1
z.plane z=       0.0102 spacing=0.1
z.plane z=       0.0105 spacing=0.1
z.plane z=       0.0110 spacing=0.1
z.plane z=       0.0120 spacing=0.1
z.plane z=       0.0150 spacing=0.1
z.plane z=       0.0200 spacing=0.1
z.plane z=       0.0300 spacing=0.1
z.plane z=       0.0500 spacing=0.1
z.plane z=       0.0700 spacing=0.1
z.plane z=       0.0900 spacing=0.1
z.plane z=       0.1100 spacing=0.1
z.plane z=       0.1300 spacing=0.1
z.plane z=       0.1500 spacing=0.1
z.plane z=       0.1700 spacing=0.1
z.plane z=       0.1900 spacing=0.1
z.plane z=       0.2000 spacing=0.1
z.plane z=       0.2050 spacing=0.1
z.plane z=       0.2080 spacing=0.1
z.plane z=       0.2090 spacing=0.1
z.plane z=       0.2095 spacing=0.1
z.plane z=       0.2098 spacing=0.1
z.plane z=       0.2099 spacing=0.1
z.plane z=       0.2100 spacing=0.1
z.plane z=       0.2101 spacing=0.1
z.plane z=       0.2102 spacing=0.1
z.plane z=       0.2105 spacing=0.1
z.plane z=       0.2110 spacing=0.1
z.plane z=       0.2120 spacing=0.1
z.plane z=       0.2150 spacing=0.1
z.plane z=       0.2180 spacing=0.1
z.plane z=       0.2190 spacing=0.1
z.plane z=       0.2200 spacing=0.1
z.plane z=       0.2210 spacing=0.1
z.plane z=       0.2250 spacing=0.1
z.plane z=       0.2300 spacing=0.1

z.plane max.spacing=1000000 max.ratio=1.5

structure outf="$wintop"$"Na".str
go atlas

#
#***** define the doping concentrations *****
#
doping    uniform conc=1e$"Na" p.type reg=1

```

```

doping    uniform conc=1e21 n.type reg=2
doping    uniform conc=1e21 n.type reg=3
doping    uniform conc=1e21 n.type reg=5
doping    uniform conc=1e21 n.type reg=6
doping    uniform conc=1e21 n.type reg=7
doping    uniform conc=1e21 n.type reg=9
#
# set interface charge separately on front and back oxide interfaces
interf    qf=3e10 region=4
#
# set workfunction of gate
contact    name=gate tungsten
#
# select models
model fermi srh ni.fermi hcte.el evsatmod=0 fldmob impact print auger bgn consrh

#method maxtrap=6 autonr nblockit=45 bicgst dvlimit=1.0
solve      prev

log         outf="$wfintop"$"Na".log
solve      vdrain=0.05
solve      name=gate vgate=0.0 vfinal=0.8 vstep=0.002
log off

save outf="$wfintop"$"Na"solve.str master
quit

```

10 APÊNDICE 2 – ARTIGO SBMICRO 2008

A seguir é reproduzido o artigo escrito para a SBMicro 2008, a respeito da modelagem de corrente de saturação em transistores FinFET, através de novo equacionamento baseado na geometria do dispositivo.

Your SBMicro 2008 Submission (Number 55)

Dear Mr. Gustavo Martins:

On behalf of the SBMicro 2008 Program Committee, I am delighted to inform you that the following submission has been accepted to appear at the conference:

AN IMPROVED CURRENT MODEL FOR TRAPEZOIDAL FINFETS

The Program Committee worked very hard to thoroughly review all the submitted papers. Please repay their efforts, by following their suggestions when you revise your paper. Dead line for uploading your final manuscript is May 30, 2008.

Congratulations on your fine work. If you have any additional questions, please feel free to get in touch.

Best Regards,
 Jacobus W. Swart and Siegfried Selberherr
 Program Chairs
 SBMicro 2008

ECS Transactions: Manuscript #SBM-0115 Receipt of New Manuscript

Dear Mr. Martins,

On May 27, 2008, we received your manuscript submission, referenced below:

AN IMPROVED CURRENT MODEL IN SATURATION FOR TRAPEZOIDAL FINFETS

Author(s): Luiz Gustavo Martins, Renato Giacomini, and João Martino.
 Issue: Microelectronics Technology and Devices SBMICRO 2008
 Your manuscript has been assigned the tracking number SBM-0115.
 Thank you for submitting your work to ECS Transactions - SBMICRO2008.
 Sincerely,
 John Lewis, Associate Director of Conference Publications
 ECS - The Electrochemical Society
 65 South Main Street, Pennington, NJ 08534-2839
 Tel: 1.609.737.1902, ext. 120 Fax: 1.609.737.2743

AN IMPROVED CURRENT MODEL IN SATURATION FOR TRAPEZOIDAL FINFETS

Gustavo Martins¹, Renato Giacomini^{1,2}, João Antonio Martino²

¹Centro Universitário da FEI

Av. H. de A. Castelo Branco, 3972. S. B.do Campo – SP. ZIP: 09850-901. Brazil

²LSI/PSI/USP, University of São Paulo

Av. Prof. Luciano Gualberto Trav.3 N.158. São Paulo - SP. ZIP: 05508-900. Brazil

e-mail: renato@fei.edu.br

ABSTRACT

In order to obtain a more accurate equation for the trapezoidal FinFET current model, some new considerations were done to improve an already-published model. The most important is related to the device partition. The original derivation partitioned the device into horizontal slices, each of them considered as a double-gate elementary transistor, in parallel association with the others. The observation of the FinFET electric potential behavior, obtained from three-dimensional numeric simulation, led to a more adequate definition of these elementary transistors, mainly at the edges, and consequently to a new saturation current equation. The improved model was compared to the original, through the analysis of the current-voltage equations, for trapezium angles in the 60 to 90 degrees range, and different doping levels. The new model showed to be more accurate than the previous for higher doping levels and more inclined sidewalls, when both were compared to numeric simulation results.

INTRODUCTION

The silicon-on-insulator (SOI) technology has been an extremely attractive solution for the scalability problems of MOS devices, in terms of performance, once the short channel effects are remarkably reduced in thin SOI films, compared to bulk silicon (1, 2). An even improved performance can be achieved in SOI multiple-gate devices, due to the better control of the conduction charge by the combined influence of all gates (3), (4), (5). The most usual device configurations are double and triple-gate, which have several architecture approaches addressing its theory and mainly its technological feasibility. The FinFET architecture is one possible approach to double-gate devices. Figure 1 shows a perspective view of a double-gate FinFET. The gates stand up vertically from the SOI buried oxide, constructed at both sides of a silicon fin. The original buried oxide separates the silicon fin from the bulk. The current flows in z direction. An advantage of FinFETs compared to other multiple-gate implementations is that FinFET fabrication process is very similar to the traditional SOI-CMOS process.

Because of the limitations of existing process uniformity, particularly non-ideal anisotropic over-etch, most fabricated FinFETs have thickness variation along the vertical

direction (6, 7). The silicon fin sidewalls become inclined, and the device cross-section that should be rectangular becomes trapezoidal, triangular or even irregular.

Trapezoidal FinFET devices have already been studied through three-dimensional simulation (8) and a simple and useful current model has been published (9). This paper proposes an improvement to this simple model, based on the observation of some physical properties. This improvement showed to be especially useful for doped devices. The accurateness verification is made by comparison between the model and the results from three-dimensional numeric simulation.

THRESHOLD VOLTAGE MODEL

The FinFET threshold voltage has been studied extensively (7, 10, 11, 12, 13, 14) and showed to be highly dependent on the silicon film thickness (t_{Si} , as defined in Figure 1). This dependence is an important issue for double-gate FinFETs with inclined sidewalls, once the film thickness varies along the vertical axis. Consequently, the first step for achieving an accurate current model is to find an adequate relationship between threshold voltage and silicon film thickness.

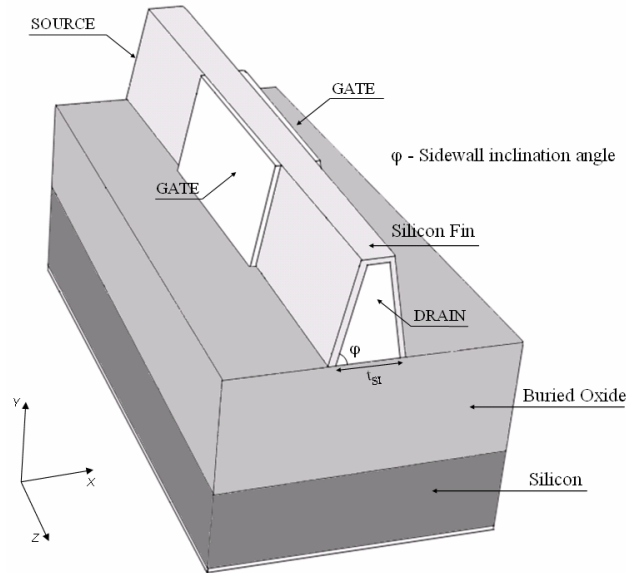


Figure 1 - Perspective view of a trapezoidal Double-Gate FinFET

Some models have been developed for parallel gates ($\phi=90^\circ$) in several complexity degrees. The most complete models, such as Chen's (13) are too complex to enable easy interpretation. Francis proposed a relative simple model that can be applied for most devices, with some restrictions, depending on the device dimensions and doping levels (11). This model departs from the assumption that the space charge density is composed by the depletion charge, which has a concentration equivalent to the impurity concentration N_A , and by the minority carriers, omitting the contribution of the majority carriers to the total charge density. Therefore, the Poisson equation becomes:

$$\frac{d^2\phi(x, y)}{dx^2} = \frac{q}{\epsilon_{Si}} \cdot [N_A + n(x, y)] \quad [1]$$

From the Poisson equation, Francis obtained the following threshold voltage equation:

$$\begin{aligned} \text{where: } V_{th} &= \phi_s + V_{FB} + \frac{KT}{q} \frac{\alpha}{\delta} \sqrt{1 + \frac{\delta}{\alpha}} \\ \delta &= \frac{C_{ox}}{4.C_{Si}} \quad \alpha = \frac{q}{KT} \frac{Q_D}{8.C_{Si}} \\ \phi_s &= 2\phi_F + \frac{KT}{q} \ln \left[\delta \frac{1}{(1 - e^{-\alpha})} \right] \end{aligned}$$

All other symbols have their usual meanings. This model is restricted to the region where $\delta/\alpha \leq 1$, due to some approximations done during its derivation (11).

Figure 2 shows the threshold voltages obtained for some vertical sidewall devices ($\phi = 90^\circ$) with different fin thicknesses (t_{Si}) from three-dimensional numeric simulation, compared to Francis' model. The simulated devices present gate oxide thickness $t_{ox} = 3\text{nm}$, buried oxide thickness $t_{box} = 200\text{ nm}$, silicon film width t_{Si} ranging from 10 to 50nm, and interface charge densities of $3.0 \times 10^{10} \text{ cm}^{-2}$. The gate material used was a midgap material. The channel length (L_{Fin}) is 400nm. The simulator used was ATLAS device simulator version 2.6.0.R. (15). The threshold voltage was extracted directly from the drain current (I_D) versus gate voltage (V_G) curve, using the maximum transconductance change (MTC) method (16). MTC method defines threshold voltage as the gate voltage at which d^2I_D/dV_G^2 reaches a maximum ($d^3I_D/dV_G^3 = 0$).

Rao proposed an empirical linear approximation for the dependence of the threshold voltage on the silicon film thickness. Such proposal was used for the derivation of a current model for trapezoidal FinFETs. It showed to be a good strategy when experimental or simulation data for several film thicknesses are available. From figure 2, the $V_{th} \times t_{Si}$ slope varies in a wide range, from $-0.1\text{V}/\mu\text{m}$, for lightly doped devices, to $7.5\text{ V}/\mu\text{m}$, for the higher doping levels, considering the studied devices. Francis' model agrees with the simulation results.

THE SATURATION CURRENT MODEL

The saturation current model is derived from the assumption that the trapezoidal transistor is composed by a set of elemental slices, each corresponding to an independent device. The elementary drain current in each slice is modeled by the general saturation current equation:

$$dI(y) = \beta(\gamma * V_{GS} - V_{th})^\alpha (1 + \lambda * V_{DS}) dy \quad [1]$$

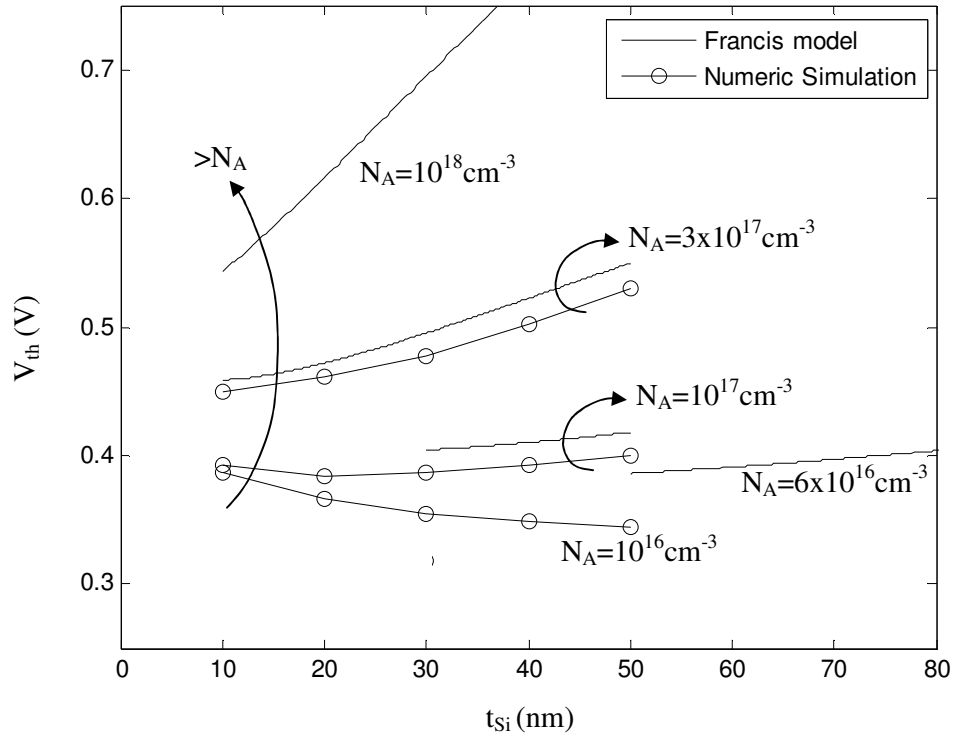


Figure 2 – Linear fit of $V_{th} \times t_{Si}$ from numeric simulation and Francis' Model, for a Double-Gate FinFET device with t_{Si} ranging from 15 to 80nm, and some different doping levels.

where α , β , and γ are fitting constants, y is the slice distance from the trapezoidal transistor top, λ is the inverse of the Early voltage, and dy is the elementary transistor width.

Equation 1 has the implicit hypothesis of independence between the elementary transistors (slices). This independence may be achieved by making the cutting surfaces locally parallel to the electric field (orthogonal to isopotential surfaces). The exact equations of such surfaces are, on the other hand, too complex to the purposes of the desired model. Approximated surfaces must be used. The original Rao's proposal considers horizontal slices that define horizontal lines in the device cross-section, as shown in figure 3a. The present work proposes a different cutting surface in order to obtain a more accurate model. Figure 3b shows the lines defined in the device cross-section for the new cutting-surface proposal. Figures 3c and 3d show the corresponding orthogonal lines respective to figures 3a and 3b. It can be seen that the 3d orthogonal lines better approximates the isopotential lines, mainly near the sidewalls, where they should be parallel to these walls.

As stated in the previous section, the threshold voltage dependence on the transistor thickness is represented by a linear function:

$$V_{th}(t_{Si}) = a_0 - a_1 * t_{Si} \quad [2]$$

where t_{Si} is given by different equations, depending on the cutting surface:

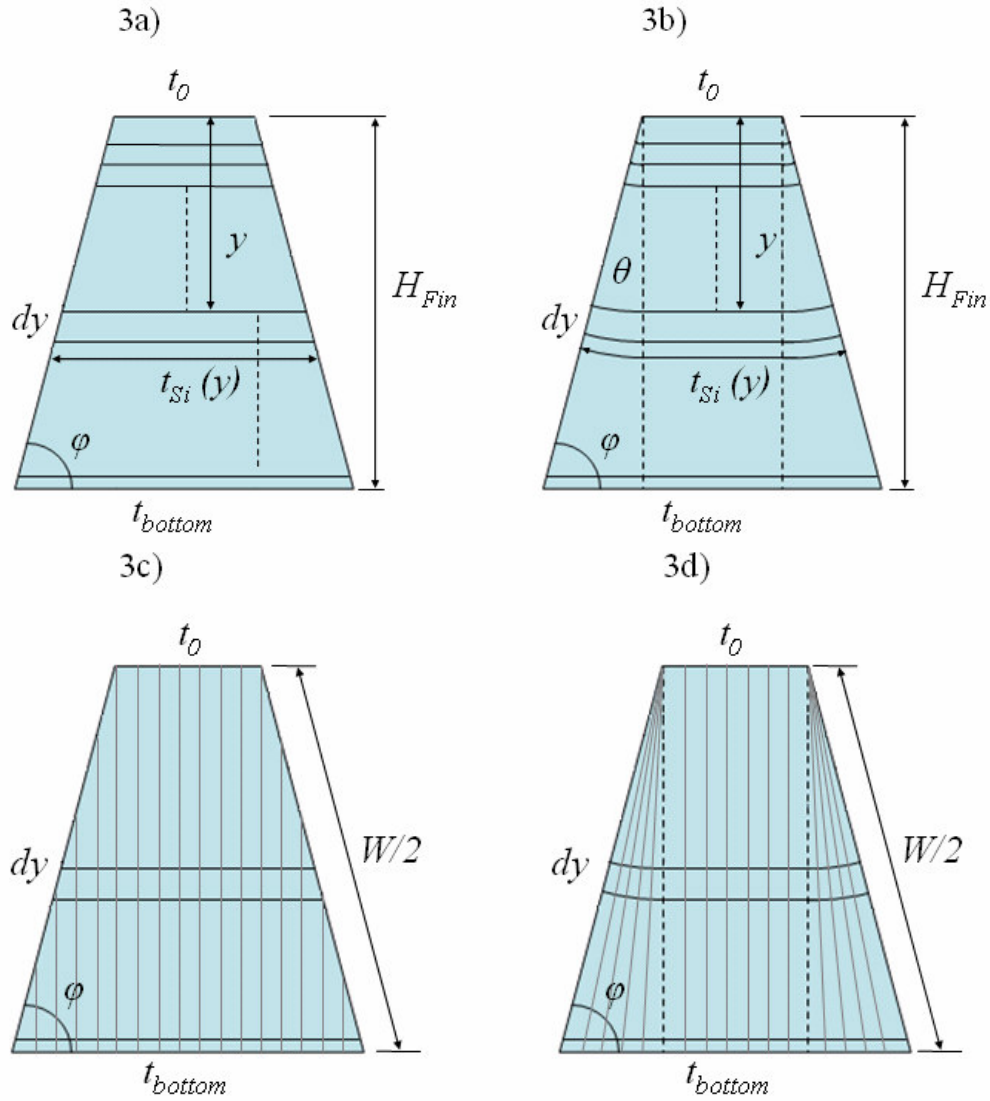


Figure 3 – a) Trapezoidal FinFET cross-section – the device is divided into many thin devices of width dy and thickness $t_{si}(y)$; b) The same for the present work division proposal; c) Orthogonal lines to slicing lines of figure a; d) the same for the slicing lines of figure b (present work proposal).

1) Adopting the cutting surface of figure 3a, t_{si} is given by the top thickness t_0 plus the two straight segments of length $Y \cdot \cot(\varphi)$:

$$t_{si1} = t_0 + 2Y \cot(\varphi) \quad [3a]$$

2) Adopting the cutting surface of figure 3b, t_{si} is given by the top thickness t_0 plus the two arc segments of length $Y \cdot (\pi/2 - \varphi)$:

$$t_{si2} = t_0 + 2Y \left(\frac{\pi}{2} - \varphi \right) \quad [3b]$$

The current model may be obtained by substituting equations 2 and 3 in equation 1 and integrating from 0 to H_{Fin} :

$$I_{DS} = \beta \frac{[(p_0 + p_1 H_{Fin} \cdot \cot(\varphi))^{\alpha+1} - p_0^{\alpha+1}]}{p_1 (\alpha+1) \cdot \cot(\varphi)} (1 + \lambda V_{DS}) \quad (\text{for figure 3a}) \quad [4a]$$

$$I_{DS} = \beta \frac{[(p_0 + a_1 H_{Fin} \cdot \pi - p_1 H_{Fin} \varphi)^{\alpha+1} - p_0^{\alpha+1}]}{p_1 (\alpha+1) \left(\frac{\pi}{2} - \varphi \right)} (1 + \lambda V_{DS}) \quad (\text{for figure 3b}) \quad [4b]$$

Where

$$\lambda = \frac{1}{V_{EA}} \quad p_0 = (\gamma^* V_{GS}) - a_0 + a_1 t_0 \quad p_1 = 2a_1$$

NUMERIC SIMULATION AND ANALYSIS

Before studying the results of the two cutting strategies, a gain factor for β , and best fitting values for α and γ parameters, for rectangular-section transistors ($\varphi = 90^\circ$, $t_{Si} = 15\text{nm}$), had to be found. So, the saturation current model, described in equation [1], was compared to $I_{DS} \times V_{DS}$ curves obtained through three-dimensional simulation. The simulated devices present the same characteristics as those described in the previous section. The fitting parameter values that were found for these rectangular transistors were maintained for the trapezoidal-device model analysis in order to concentrate this analysis in the modeling differences.

The current models obtained from the two cutting strategies were compared to numeric three-dimensional simulation data. The simulated devices are similar to those described in the previous section; except that angle φ varies from 60 to 90 degrees as the bottom silicon width is changed. The top silicon width is fixed, assuming that it presents the mask value.

Figure 4 shows the $I_{DS} \times V_{DS}$ curves obtained from numeric simulation for some V_{GS} values. It also shows some calculated current values, using equations [4a] and [4b], for the two cutting strategies. The upper plot (figure 4a) represents the curves for a lightly doped device ($N_A = 10^{16} \text{cm}^{-3}$), with inclination angle of 87.1 degrees. For these devices the equations from the two modeling strategies show a good agreement to the numeric simulation results and the new model does not seem to be better than the original. The lower plot shows the numeric simulation output characteristics of a doped device ($N_A = 5 \times 10^{17} \text{cm}^{-3}$) with inclination angle $\varphi = 60^\circ$, as well as the output of the current equations. For this device there is a significant difference between the original and the proposed model. The improved model is closer to the numeric simulation result. For higher doping levels, the dependence of the threshold voltage on the silicon thickness is higher (note the figure 2 slope dependence on the doping level). As a consequence, it is expected a higher dependence of the drain current on the silicon thickness, for higher doping levels. Considering that thickness is calculated by a different equation for each of the two models (eq. [3a] and [3b]), the resulting difference between the calculated currents must be greater for higher doping levels and more inclined sidewalls. As the cutting strategy of the improved model better approximates the electric field lines, the resulting output also better approximates the real current.

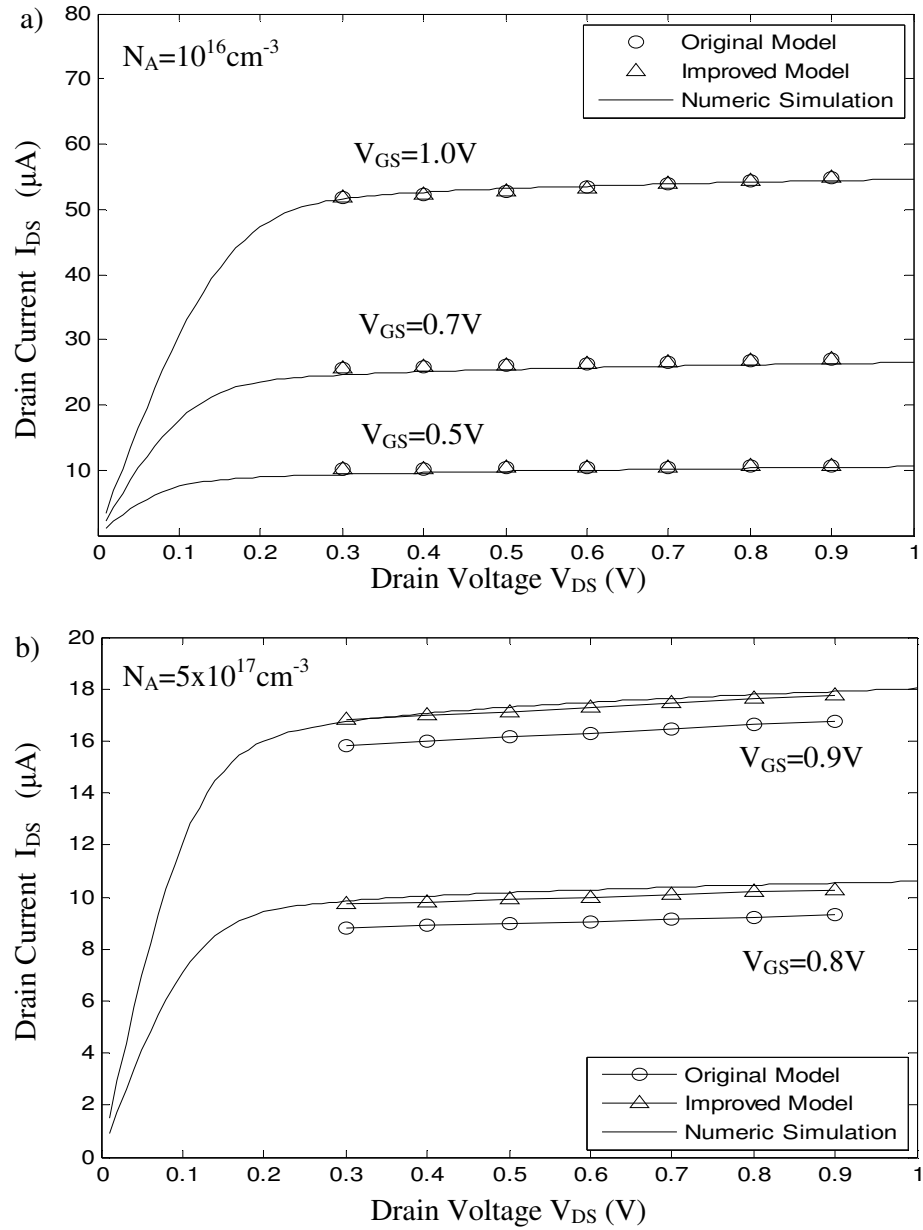


Figure 4 – a) Original cutting proposal $I_{DS} \times V_{DS}$ curve compared to present work proposal and three-dimensional data for a device with doping level of 10^{16} cm^{-3} and inclination angle $\varphi = 81.5^\circ$; b) Original cutting proposal $I_{DS} \times V_{DS}$ curve compared to present work proposal and three-dimensional data for a device with doping level of $5 \times 10^{17} \text{ cm}^{-3}$ and inclination angle $\varphi = 60^\circ$.

The doping level and inclination angle influences on the difference between the results got from eq. [4a] (drain current from original model) and eq [4b] (drain current from modified model) are represented in Figure 5. When the doping level is increased or the angle is decreased, the difference between the two models also increases.

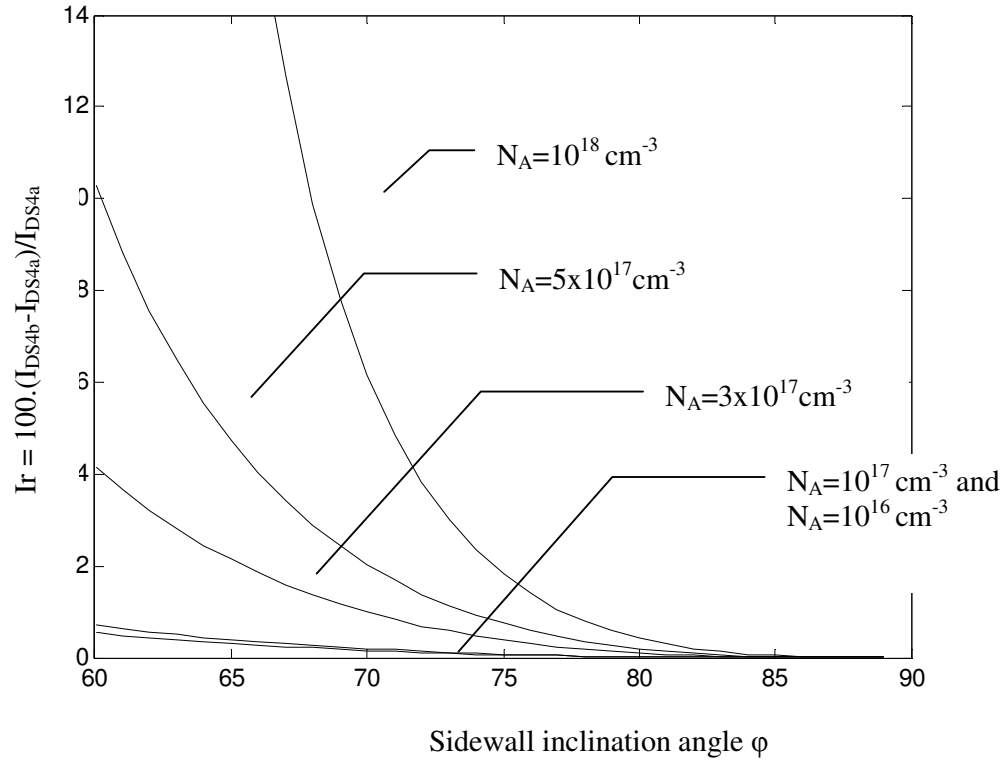


Figure 5 – Comparison between I_{DS} values obtained from equations 4a and 4b for a device with top thickness $t_0 = 15\text{nm}$ and for several doping levels.

According to the observations based on figure 4, it can be seen in figure 5 that there is no accuracy gain in the new current equation for lightly doped devices, once the difference between the two models remains negligible (under 1%). However, there is a significant improvement in accuracy for doping levels above 10^{17} cm^{-3} , and angles below 80 degrees. The 10% difference is achieved for 10^{18} cm^{-3} at 68 degrees, and for 10^{17} cm^{-3} at 60 degrees.

CONCLUSIONS

This work proposed some improvements to a previously developed saturation-current model for trapezoidal FinFETs. These improvements were implemented and compared to the original model and to three-dimensional simulation data. For undoped and lightly doped devices both models agree to numeric simulation results, but the improved model showed to be more accurate than the original one, especially for inclined sidewalls with angles below 80 degrees and higher doping levels.

REFERENCES

1. J. P. Colinge, Silicon on Insulator Technology: Materials to VLSI, 3rd Edition, p.2, Kluwer Academic Publishers, Norwell, Massachusetts (2004).
2. S. Cristoloveanu, S. S. Li, Electrical Characterization of Silicon On Insulator Materials and Devices. Kluwer Academic Publishers, Boston (USA), 400 p. (1995).
3. F. Balestra, S. Cristoloveanu, M. Benachir, T. Elewa, IEEE Electron Device Letters, vol. 8, p. 410 (1987).
4. L. Ge, J. Fossum, IEEE Transaction on Electron Devices, vol. 49, no.2, p. 287-294 (2002).
5. X. Liang, Y. Taur, IEEE Transaction on Electron Devices, vol. 51, p. 1385-1391 (2004).
6. X. Wu, P. C. H. Chan, M. Chan, Proceedings of the IEEE International SOI Conference, p. 151-152 (2003).
7. R. Giacomini, J. A. Martino. Journal of the Electrochemical Society, to be printed, (2008).
8. R. Giacomini, J. A. Martino, M. A. Pavanello. Sidewall Angle Influence on the FinFET Analog Parameters. In: 22st Symposium on Microelectronics Technology and Devices - SBMicro2007, Rio de Janeiro. Microelectronics Technology and Devices SBMicro2007. Pennington, NJ, EUA: The Electrochemical Society, 2007. v. 9. p. 37-45.
9. R. Rao, A. Bansal, J. Kim, K. Roy, C. T. Chuang. Accurate Modeling and Analysis of Currents in Trapezoidal FinFET Devices. Proceedings of the IEEE International SOI Conference, Indian Wells, CA. p. 47-48 (2007).
10. R. Giacomini, J. A. Martino. Influence of Non-vertical Sidewall on FinFET Threshold Voltage. 21st Symposium on Microelectronics Technology and Devices - SBMicro2006, Ouro Preto. Microelectronics Technology and Devices SBMicro2006. Pennington, NJ, EUA: The Electrochemical Society, 2006. vol 4 no 1, pp275-281 (2006).
11. P. Francis, A. Terao, D. Flandre, F. V. Wiele, IEEE Transaction on Electron Devices, vol. 41, no. 5, p. 715-720 (1994).
12. Y. Taur, IEEE Electron Device Letters, vol. 21, no.5, p. 245-247 (2000).
13. Q. Chen, E. M. Harrell, J. D. Meindl, IEEE Transaction on Electron Devices, vol. 50, no.7, p. 1631-1637 (2003).
14. GIACOMINI, Renato; MARTINO, J. A. Non-Vertical Sidewall Angle Influence on Triple-Gate FinFETs Corner Effects. In: 211th Electrochemical Society Meeting, 2007, Chicago. Silicon-On-Insulator Technology and Devices 13. Pennington, NJ: The Electrochemical Society, 2007. v. 6. p. 381-386.
15. Atlas Device Simulator User's Manual, v. 5.10.0.R, Silvaco Int. Santa Clara, CA (USA), 2005.
16. H. S. Wong, M. H. White, T. J. Krutsick, R. V. Booth, Solid State Electronics, vol. 30, no. 9, p.953-958, (1987).