

CENTRO UNIVERSITÁRIO FEI  
RAFAEL ASSALTI

**MODELAGEM, SIMULAÇÃO E CARACTERIZAÇÃO ELÉTRICA DA  
ASSOCIAÇÃO SÉRIE ASSIMÉTRICA DE TRANSISTORES SOI**

São Bernardo do Campo

2018



RAFAEL ASSALTI

**MODELAGEM, SIMULAÇÃO E CARACTERIZAÇÃO ELÉTRICA DA  
ASSOCIAÇÃO SÉRIE ASSIMÉTRICA DE TRANSISTORES SOI**

Tese de Doutorado apresentada ao Centro  
Universitário FEI para a obtenção do título de  
Doutor em Engenharia Elétrica. Orientado pela  
Prof<sup>a</sup>. Dr<sup>a</sup>. Michelly de Souza

São Bernardo do Campo

2018

Assalti, Rafael.

Modelagem, Simulação e Caracterização Elétrica da Associação Série Assimétrica de Transistores SOI / Rafael Assalti. São Bernardo do Campo, 2018.

225 p. : il.

Tese - Centro Universitário FEI.

Orientadora: Prof.<sup>a</sup> Dra. Michelly de Souza.

1. Tecnologia SOI. 2. Associação série assimétrica. 3. Ruído de baixa frequência. 4. Circuitos analógicos. 5. Modelagem. I. de Souza, Michelly, orient. II. Título.

**Aluno:** Rafael Assalti

**Matrícula:** 515104-8

**Título do Trabalho:** Modelagem, simulação e caracterização elétrica da associação série assimétrica de transistores SOI.

**Área de Concentração:** Nanoeletrônica e Circuitos Integrados

**Orientador:** Prof.<sup>a</sup> Dr.<sup>a</sup> Michelly de Souza

**Data da realização da defesa:** 07/03/2018

**ORIGINAL ASSINADA**

Avaliação da Banca Examinadora

São Bernardo do Campo, 07 / 03 / 2018.

**MEMBROS DA BANCA EXAMINADORA**

Prof.<sup>a</sup> Dr.<sup>a</sup> Michelly de Souza

Ass.: \_\_\_\_\_

Prof. Dr. Salvador Pinillos Gimenez

Ass.: \_\_\_\_\_

Prof.<sup>a</sup> Dr.<sup>a</sup> Milene Galeti

Ass.: \_\_\_\_\_

Prof.<sup>a</sup> Dr.<sup>a</sup> Juliana Pinheiro Nemer

Ass.: \_\_\_\_\_

Prof. Dr. Leandro Tiago Manera

Ass.: \_\_\_\_\_

A Banca Examinadora acima-assinada atribuiu ao aluno o seguinte:

APROVADO

REPROVADO

**VERSÃO FINAL DA TESE**

**ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS  
RECOMENDAÇÕES DA BANCA EXAMINADORA**

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz



Dedico este trabalho a Deus, pelo discernimento e fé, aos meus pais, pelo constante apoio, à minha noiva Débora, pelo amor e carinho, permitindo a mim, concluir o doutorado.



## AGRADECIMENTOS

A Deus, por estar sempre presente ao meu lado, me ajudando a superar todos os desafios deste trabalho.

Aos meus pais, pelo constante apoio e incentivo, sempre me instruindo a buscar os meus sonhos, me guiando ao rumo certo. Dou a eles, toda a minha gratidão pela pessoa que sou hoje e que jamais seria se não fosse por eles.

À minha noiva Débora Moraes Silva, pelo seu amor, carinho e por cada gesto de companheirismo, nunca medindo esforços em estar junto de mim, me confortando e incentivando pacientemente.

À minha orientadora Prof<sup>ra</sup>. Dr<sup>a</sup>. Michelly de Souza que assiduamente esteve ao meu lado, me ajudando a cumprir todos os objetivos deste trabalho. Agradeço por sua atenção e paciência em todos os momentos. Todos os seus conselhos, sugestões e correções elevaram o patamar do trabalho e me fizeram crescer como pesquisador.

Ao Prof. Dr. Denis Flandre, do Laboratório de Microeletrônica da *Université catholique de Louvain*, Bélgica, por disponibilizar os dispositivos usados neste estudo e contribuir com propostas para o desenvolvimento deste projeto.

Aos professores, Dr. Marcelo Antonio Pavanello, Dr. Salvador Pinillos Gimenez, Dr. Rodrigo Trevisoli Doria, Dr. Renan Trevisoli Doria e Dr. Renato Camargo Giacomini, pelos ensinamentos e experiências compartilhados.

Aos colegas de pesquisa, Arianne, Bruna, Flávio, Genaro, Juliana, Juliano, Lígia, Márcio, Thales, pelos momentos de descontração, estudo, apoio e amizade que colaboraram para o sucesso deste trabalho.

Ao Centro Universitário FEI, que prontamente concedeu acesso a toda infraestrutura necessária para a realização das atividades de pesquisa.

À FAPESP (Nº Processo 2015/08616-6), pelo apoio financeiro indispensável para a realização deste trabalho durante estes três anos.



“A verdadeira motivação vem da realização, desenvolvimento pessoal, satisfação no trabalho e reconhecimento.”

Frederick Herzberg



## RESUMO

Este trabalho tem como objetivo o estudo do desempenho analógico da associação série assimétrica (A-SC) composta por transistores planares e de múltiplas portas em tecnologia Silício-Sobre-Isolante (SOI). A estrutura A-SC é uma configuração composta por dois transistores de tensões de limiar distintas associados em série com as portas curto-circuitadas. Esta estrutura permite uma série de benefícios do ponto de vista analógico, tais como maior transcondutância e tensão de ruptura de dreno, além de menor condutância de dreno comparativamente aos transistores isolados de mesmo comprimento total de canal. Um dos limitantes em circuitos analógicos é o ruído de baixa frequência, que se trata de uma perturbação na corrente ou na tensão gerada pela própria estrutura física do dispositivo. Foi verificada a presença de ruído *flicker* na estrutura A-SC, tendo sua origem ligada às flutuações no número de portadores, bem como ruído *Lorentzian*. Foi provado que o ruído da estrutura A-SC é governado pelo transistor próximo à fonte, porém com ligeiro incremento do ruído comparativamente aos transistores isolados, o qual está relacionado à maior densidade efetiva de armadilhas. Foi realizada também uma comparação de desempenho entre o transistor de canal gradual (GC) e a estrutura A-SC em alguns circuitos analógicos básicos. O transistor GC apresentou maior ganho de tensão em malha aberta em amplificadores fonte comum com incremento de até 8 dB em relação à estrutura A-SC. No entanto, a estrutura A-SC exibiu um melhor desempenho em amplificadores dreno comum (ganho de tensão mais próximo da unidade) e espelhos de corrente fonte comum (maior excursão do sinal de saída e melhor precisão de espelhamento). Constatou-se que a combinação série de um transistor planar estreito próximo à fonte e de um transistor planar largo próximo ao dreno dobrou a tensão Early comparativamente à estrutura A-SC composta por transistores de mesma largura de canal. Foi também desenvolvido um modelo analítico de corrente de dreno para a estrutura A-SC composta por transistores SOI MOS planares, onde uma boa concordância foi obtida tanto em função da tensão de porta quanto da tensão de dreno, com erro inferior a 11% na corrente de dreno. Em transistores de múltiplas portas com canal não dopado, tais como nanofios, observou-se que o aumento da polarização de substrato elevou a diferença entre as tensões de limiar dos nanofios próximos à fonte e ao dreno de larguras de canal distintas, incrementando o ganho de tensão em 13 dB ao variar a tensão de substrato de -12 a 12 V. Ao polarizar os nanofios em regime de sublimiar, o desempenho analógico da estrutura A-SC foi superior aos transistores isolados, especialmente com o estreitamento do nanofio próximo à fonte, sendo constatado um aumento de até 20 dB no ganho de tensão para uma mesma potência dissipada.

Por fim, com os nanofios operando como amplificadores, foi obtida uma melhor linearidade para as estruturas A-SC ao considerar uma mesma amplitude do sinal de saída, onde, no melhor caso, foi possível aplicar um sinal de entrada senoidal de amplitude superior a 50 mV com reduzida distorção harmônica.

Palavras-chave: Tecnologia SOI. Associação série assimétrica. Ruído de baixa frequência. Transistor de canal gradual. Circuitos analógicos. Modelagem. Nanofios transistores. Distorção harmônica.

## ABSTRACT

This work aims to study the analog performance of the asymmetric self-cascode (A-SC) composed by planar and multi-gate transistors in Silicon-On-Insulator (SOI) technology. The A-SC structure is a configuration composed by two transistors of different threshold voltages associated in series with short-circuited gates. This structure allows for a series of benefits in the analog point of view, such as higher transconductance and breakdown voltage, in addition to lower output conductance compared with single transistors of same total channel length. One of the limitations in analog circuits is the low-frequency noise, which is a disturbance in the current or voltage generated by the physical structure of the device itself. The presence of flicker noise in the A-SC structure, having its origin linked to the carrier number fluctuations, as well as Lorentzian noise have been verified. It has been proven that the noise of the A-SC structure is governed by the transistor near the source, but with a slight increase of noise compared with the single transistors, which is related to the larger effective trap density. A performance comparison between the graded-channel (GC) transistor and the A-SC structure in some basic analog circuits has also been performed. The GC transistor has presented higher intrinsic voltage gain in common-source amplifiers with an increase of up to 8 dB in comparison with the A-SC structure. However, the A-SC structure has exhibited better performance in common-drain amplifiers (voltage gain closer to unity) and common-source current mirrors (larger output swing and better mirroring precision). It has been noticed that the series combination of a narrow planar transistor near the source and a wide planar transistor near the drain doubled the Early voltage compared to the A-SC structure composed by transistors of same channel width. An analytical drain current model for the A-SC structure composed by planar SOI MOS transistors has also been developed, where a good agreement has been obtained as a function of both the gate voltage and the drain voltage, with an error inferior to 11% in the drain current. In undoped channel multi-gate transistors, such as nanowires, it has been observed that the increase of the back-gate bias has incremented the difference between the threshold voltages of the nanowires near the source and the drain of distinct channel widths, increasing the voltage gain in 13 dB by varying the back-gate bias from -12 to 12 V. By biasing the nanowires in subthreshold regime, the analog performance of the A-SC structure has been superior to the single nanowires, especially with the narrowing of the nanowire near the source, with a 20 dB increase in the voltage gain for the same dissipated power. Finally, with the nanowires operating as amplifiers, a better linearity has been obtained for the A-SC structures when considering the same amplitude of the output

signal, where, in the best case, it has been possible to apply a sinusoidal input signal of amplitude greater than 50 mV with reduced harmonic distortion.

Keywords: SOI technology. Asymmetric self-cascode. Low-frequency noise. Graded-channel transistor. Analog circuits. Modeling. Nanowire transistors. Harmonic Distortion.

## LISTA DE ILUSTRAÇÕES

Figura 1 – Secção transversal da associação série assimétrica de transistores SOI nMOS .....	37
Figura 2 – Secção transversal do transistor SOI nMOSFET modo inversão .....	42
Figura 3 – Diagrama de faixas de energia do transistor SOI nMOS totalmente depletado.....	44
Figura 4 – Representação esquemática de diferentes transistores SOI de múltiplas portas .....	45
Figura 5 – Secções do transistor SOI MOS de porta tripla .....	46
Figura 6 – Secção transversal da estrutura multi-dedos .....	47
Figura 7 – Mobilidade dos portadores de carga móvel em função do campo elétrico efetivo de porta com indicações das faixas de atuação de cada mecanismo de espalhamento.....	53
Figura 8 – Secção transversal dos SOI MOSFETs de canal longo e canal curto .....	54
Figura 9 – Curva esquemática da corrente de dreno em função da tensão de dreno para o transistor SOI FD com indicação do efeito de ionização por impacto.....	56
Figura 10 – Distorção harmônica em um transistor MOS.....	57
Figura 11 – Normalização da característica entrada-saída para aplicação do IFM.....	60
Figura 12 – Densidade espectral de potência para flutuações na corrente de dreno em função da frequência com indicações dos ruídos branco, g-r, 1/f e total .....	62
Figura 13 – Ruído normalizado da corrente de dreno em função da corrente de dreno com indicações das flutuações na mobilidade e no número de portadores .....	68
Figura 14 – Amplificador de tensão formado por um único transistor MOS em configuração fonte comum com carga capacitiva.....	69
Figura 15 – Curva esquemática da corrente de dreno em função da tensão de dreno para o transistor SOI nMOS com indicação da tensão Early .....	71
Figura 16 – Razão $g_m/I_D$ calculada e obtida experimentalmente em função da corrente de dreno normalizada para os transistores <i>bulk</i> e SOI totalmente depletado.....	72
Figura 17 – Amplificador em configuração dreno comum ou seguidor de fonte.....	74
Figura 18 – Espelho de corrente em configuração fonte comum .....	75
Figura 19 – Secção transversal do SOI nMOSFET de canal gradual.....	76
Figura 20 – Secção transversal da associação série assimétrica de transistores SOI nMOSFET.....	78
Figura 21 – Ganho de tensão em malha aberta em função da corrente de dreno para o transistor isolado e as estruturas S-SC e A-SC, extraído em $V_{DS} = 1$ V.....	79
Figura 22 – Diagrama de blocos do <i>setup</i> para caracterização do ruído .....	82

Figura 23 – Corrente de dreno e transcondutância em função da sobretensão de porta para os transistores isolados, o dispositivo GC e a estrutura A-SC, extraídas com $V_{DS} = 1,5 \text{ V}$ .....	86
Figura 24 – Corrente de dreno e condutância de dreno em função da tensão de dreno para os transistores isolados, o dispositivo GC e a estrutura A-SC, extraídas com $V_{GT} = 200 \text{ mV}$ .....	87
Figura 25 – Potencial intermediário e $dV_X/dV_{DS}$ simulados em função da tensão de dreno para o dispositivo GC e a estrutura A-SC, extraídos com $V_{GT} = 200 \text{ mV}$ .....	88
Figura 26 – Ganho de tensão em malha aberta, transcondutância e condutância de dreno em função da razão $g_m/I_D$ para amplificadores em configuração fonte comum implementados com transistores isolados, dispositivo GC e estrutura A-SC, extraídos com $V_{DS} = 1,5 \text{ V}$ .....	89
Figura 27 – Ganho de tensão e tensão de saída em função da tensão da entrada para amplificadores em configuração dreno comum implementados com transistores isolados, dispositivo GC e estrutura A-SC, extraídos com $V_{DD} = 2,5 \text{ V}$ e $I_{BIAS}/(W/L_{eff})$ de $1 \text{ nA}$ .....	90
Figura 28 – Ganho de tensão e tensão de saída em função da tensão da entrada para amplificadores em configuração dreno comum implementados com transistores isolados, dispositivo GC e estrutura A-SC, extraídos com $V_{DD} = 2,5 \text{ V}$ e $I_{BIAS}/(W/L_{eff})$ de $10 \mu\text{A}$ .....	91
Figura 29 – Precisão de espelhamento em função de $I_{IN}/W$ para os espelhos de corrente com estruturas A-SC, e transistores GC e isolados, extraída com $V_{OUT} = V_{IN}$ .....	93
Figura 30 – Precisão de espelhamento em função de $I_{IN}/W$ para os espelhos de corrente com estruturas A-SC, e transistores GC e isolados, extraída com $V_{OUT} = 1,5 \text{ V}$ .....	95
Figura 31 – Corrente de saída em função da tensão de saída para os espelhos de corrente com estruturas A-SC, e transistores GC e isolados, extraída com $I_{IN} = 1 \mu\text{A}$ .....	96
Figura 32 – Corrente de saída em função da tensão de saída para os espelhos de corrente com estruturas A-SC, e transistores GC e isolados, extraída com $I_{IN} = 100 \mu\text{A}$ .....	97
Figura 33 – Corrente de dreno em função da tensão de porta para os transistores isolados e as estruturas A-SC, extraída com $V_{DS} = 50 \text{ mV}$ .....	100
Figura 34 – Transcondutância em função da sobretensão de porta para os transistores isolados e as estruturas A-SC, extraída com $V_{DS} = 50 \text{ mV}$ .....	100

Figura 35 – Raiz quadrada da densidade espectral medida de ruído de tensão de dreno em função da frequência para a estrutura A-SC com $V_{TH,S} = 0,57$ V; $V_{TH,D} = 0,02$ V, extraída com $V_{DS} = 50$ mV e diferentes $V_{GT}$ , com indicação do ruído-base .	102
Figura 36 – Densidade espectral de ruído de corrente de dreno em função da frequência para a estrutura A-SC com $V_{TH,S} = 0,57$ V; $V_{TH,D} = 0,02$ V, extraída em $V_{DS} = 50$ mV e diferentes $V_{GT}$ , com indicações das componentes $1/f$ e $1/f^2$ .....	103
Figura 37 – Densidade espectral normalizada de ruído de corrente de dreno em função da frequência para a estrutura A-SC com $V_{TH,S} = 0,57$ V; $V_{TH,D} = 0,02$ V, extraída em $V_{DS} = 50$ mV e diferentes $V_{GT}$ .....	104
Figura 38 – Densidade espectral normalizada de ruído de corrente de dreno e razão $(g_m/I_D)^2$ em função da corrente de dreno para os transistores isolados e as estruturas A-SC, extraída com $V_{DS} = 50$ mV e frequência de 45 Hz.....	105
Figura 39 – Densidade espectral normalizada de ruído de corrente de dreno em função da frequência para diversas estruturas A-SC e os transistores isolados que as compõem, extraída com $V_{DS} = 50$ mV .....	106
Figura 40 – Densidade espectral normalizada de ruído de corrente de dreno em função da frequência para diversos $V_{GT}$ comparando transistores isolados e estruturas A-SC, extraída em $V_{DS} = 50$ mV com indicação das componentes $1/f$ e $1/f^2$ .....	108
Figura 41 – Densidade efetiva de armadilhas em função da sobretensão de porta para os transistores isolados e as estruturas A-SC, extraída com $V_{DS} = 50$ mV e frequência de 45 Hz.....	109
Figura 42 – Densidade efetiva de armadilhas em função da profundidade efetiva da armadilha para os transistores isolados e as estruturas A-SC, extraída com $V_{GT} = 0$ V e $V_{DS} = 50$ mV .....	110
Figura 43 – Densidade efetiva de armadilhas em função da profundidade efetiva da armadilha para a estrutura A-SC com $V_{TH,S} = 0,57$ V; $V_{TH,D} = 0,02$ V, extraída em diferentes $V_{GT}$ e $V_{DS} = 50$ mV.....	111
Figura 44 – Densidade efetiva de armadilhas em função da profundidade efetiva da armadilha para a estrutura A-SC com $V_{TH,S} = 0,57$ V; $V_{TH,D} = 0,33$ V e os transistores isolados que a compõe, extraída com $V_{DS} = 50$ mV .....	112
Figura 45 – Densidade espectral de ruído de corrente de dreno em função da frequência para as estruturas A-SC, extraída em $V_{DS} = 0,7$ V e diversos $V_{GT}$ .....	113

Figura 46 – Densidade espectral normalizada de ruído de corrente de dreno em função da frequência para a estrutura A-SC com $V_{TH,S} = 0,57$ V; $V_{TH,D} = 0,02$ V, extraída em $V_{DS} = 0,7$ V e diversos $V_{GT}$ .....	114
Figura 47 – Densidade espectral normalizada de ruído de corrente de dreno em função da frequência para as estruturas A-SC, extraída em $V_{DS} = 0,7$ V e diversos $V_{GT}$ ...	115
Figura 48 – Densidade espectral normalizada de ruído de corrente de dreno e a razão $(g_m/I_D)^2$ em função da corrente de dreno para as estruturas A-SC, extraída na frequência de 45 Hz e $V_{DS} = 0,7$ V .....	116
Figura 49 – Associação série assimétrica composta por transistores SOI nMOS totalmente depletados com larguras de canal distintas .....	119
Figura 50 – Corrente de dreno e transcondutância em função da sobretensão de porta para a estrutura A-SC com $W_S = W_D = 20$ $\mu$ m, extraídas para duas diferentes tensões de dreno .....	120
Figura 51 – Corrente de dreno e condutância de dreno em função da tensão de dreno para a estrutura A-SC com $W_S = W_D = 20$ $\mu$ m, extraídas com $V_{GT} = 200$ mV .....	121
Figura 52 – Corrente de dreno em função da tensão de porta para a estrutura A-SC variando $W_S$ e $W_D$ , extraída com $V_{DS} = 50$ mV .....	122
Figura 53 – Transcondutância em função da tensão de porta para a estrutura A-SC variando $W_S$ e $W_D$ , extraída com $V_{DS} = 50$ mV .....	123
Figura 54 – Corrente de dreno e transcondutância em função da tensão de porta para a estrutura A-SC com $W_D = 1$ $\mu$ m variando $W_S$ , extraídas com $V_{DS} = 1,5$ V .....	124
Figura 55 – Corrente de dreno e transcondutância em função da tensão de porta para a estrutura A-SC com $W_S = 1$ $\mu$ m variando $W_D$ , extraídas com $V_{DS} = 1,5$ V .....	124
Figura 56 – Potencial intermediário em função da tensão de porta para a estrutura A-SC com $W_D = 1$ $\mu$ m variando $W_S$ , extraído com $V_{DS} = 1,5$ V .....	125
Figura 57 – Potencial intermediário em função da tensão de porta para a estrutura A-SC com $W_S = 1$ $\mu$ m variando $W_D$ , extraído com $V_{DS} = 1,5$ V .....	126
Figura 58 – Razão $I_D/W_S$ em função da tensão de porta para a estrutura A-SC com $W_D = 1$ $\mu$ m variando $W_S$ , e para a estrutura A-SC com $W_S = W_D$ , extraída com $V_{DS} = 1,5$ V .....	127
Figura 59 – Corrente de dreno e condutância de dreno em função da tensão de dreno para a estrutura A-SC com $W_D = 1$ $\mu$ m variando $W_S$ , extraídas com $V_{GT} = 200$ mV ...	128
Figura 60 – Corrente de dreno e condutância de dreno em função da tensão de dreno para a estrutura A-SC com $W_S = 1$ $\mu$ m variando $W_D$ , extraídas com $V_{GT} = 200$ mV ...	128

Figura 61 – Potencial intermediário e $dV_X/dV_{DS}$ em função da tensão de dreno para a estrutura A-SC variando $W_S$ e $W_D$ , extraídos com $V_{GT} = 200$ mV .....	129
Figura 62 – Transcondutância, condutância de dreno, ganho de tensão em malha aberta e tensão Early em função de $W_D$ variando $W_S$ , extraídos com $V_{DS} = 1,5$ V e $V_{GT} = 200$ mV .....	130
Figura 63 – Representação esquemática da associação série assimétrica de transistores SOI MOSFETs .....	134
Figura 64 – Potencial intermediário em função da tensão de porta para a estrutura A-SC com $W_S = W_D = 1$ $\mu$ m, extraído em $V_{DS} = 2$ V .....	137
Figura 65 – Potencial intermediário em função da tensão de porta para a estrutura A-SC com $W_S = 1$ $\mu$ m; $W_D = 10$ $\mu$ m, extraído em $V_{DS} = 1,5$ V .....	138
Figura 66 – Potencial intermediário em função da tensão de porta para a estrutura A-SC com $W_S = 1$ $\mu$ m; $W_D = 1$ $\mu$ m, extraído em $V_{DS} = 50$ mV .....	139
Figura 67 – Potencial intermediário em função da tensão de dreno para a estrutura A-SC com $W_S = W_D = 1$ $\mu$ m, extraído em $V_{GT} = 200$ mV .....	140
Figura 68 – Potencial intermediário em função da tensão de dreno para a estrutura A-SC com $W_S = 1$ $\mu$ m; $W_D = 1$ $\mu$ m, extraído em $V_{GT} = 1,7$ V .....	141
Figura 69 – Característica de transferência da estrutura A-SC com $W_D = 1$ $\mu$ m variando $W_S$ , extraída em $V_{DS} = 50$ mV .....	145
Figura 70 – Característica de transferência da estrutura A-SC com $W_S = 1$ $\mu$ m variando $W_D$ , extraída em $V_{DS} = 50$ mV .....	146
Figura 71 – Característica de transferência da estrutura A-SC com $W_D = 1$ $\mu$ m variando $W_S$ , extraída em $V_{DS} = 1,5$ V .....	147
Figura 72 – Característica de transferência da estrutura A-SC com $W_S = 1$ $\mu$ m variando $W_D$ , extraída em $V_{DS} = 1,5$ V .....	148
Figura 73 – Característica de saída da estrutura A-SC com $W_D = 1$ $\mu$ m variando $W_S$ , extraída em $V_{GT} = 200$ mV .....	149
Figura 74 – Característica de saída da estrutura A-SC com $W_S = 1$ $\mu$ m variando $W_D$ , extraída em $V_{GT} = 200$ mV .....	150
Figura 75 – Característica de transferência da estrutura A-SC variando $L_S$ e $L_D$ , extraída em $V_{DS} = 50$ mV .....	152
Figura 76 – Característica de transferência da estrutura A-SC variando $L_S$ e $L_D$ , extraída em $V_{DS} = 1,5$ V .....	153

Figura 77 – Característica de saída da estrutura A-SC variando $L_S$ e $L_D$ , extraída em $V_{GT} = 200$ mV.....	154
Figura 78 – Associação série assimétrica de nanofios transistores SOI nMOS FD .....	157
Figura 79 – Corrente de dreno e transcondutância em função da sobretensão de porta para os transistores isolados e a estrutura A-SC, extraídas em $V_{DS} = 0,7$ V e $V_{BS} = 0$ V.....	159
Figura 80 – Corrente de dreno e transcondutância em função da sobretensão de porta para a associação série assimétrica de transistores, extraídas em $V_{DS} = 0,7$ V .....	160
Figura 81 – Corrente de dreno e condutância de dreno em função da tensão de dreno para os transistores isolados e a estrutura A-SC, extraídas em $V_{GT} = 200$ mV e $V_{BS} = 0$ V.....	161
Figura 82 – Corrente de dreno e condutância de dreno em função da tensão de dreno para a associação série assimétrica de transistores, extraídas em $V_{GT} = 200$ mV .....	162
Figura 83 – Tensão Early em função da tensão de substrato para os transistores isolados e a associação série assimétrica de transistores, extraída em $V_{DS} = 0,7$ V e dois diferentes $V_{GT}$ .....	163
Figura 84 – Transcondutância em função da tensão de substrato para os transistores isolados e a associação série assimétrica de transistores, extraída em $V_{DS} = 0,7$ V e dois distintos $V_{GT}$ .....	164
Figura 85 – Condutância de dreno em função da tensão de substrato para os transistores isolados e a associação série assimétrica de transistores, extraída em $V_{DS} = 0,7$ V e duas distintas sobretensões de porta .....	164
Figura 86 – Ganho de tensão em malha aberta em função da tensão de substrato para os transistores isolados e a associação série assimétrica de transistores, extraído em $V_{DS} = 0,7$ V e duas diferentes sobretensões de porta .....	165
Figura 87 – Corrente de dreno em função da sobretensão de porta para os transistores isolados e as estruturas A-SC, extraída em $V_{DS} = 0,7$ V e $V_{BS} = 0$ V .....	167
Figura 88 – Transcondutância em função da sobretensão de porta para os transistores isolados e a estrutura A-SC, extraída em $V_{DS} = 0,7$ V e diferentes $V_{BS}$ .....	168
Figura 89 – Corrente de dreno em função da tensão de dreno para os transistores isolados e as estruturas A-SC, extraída em $V_{GT} = V_{BS} = 0$ V .....	169
Figura 90 – Condutância de dreno em função da tensão de dreno para os transistores isolados e as estruturas A-SC, extraída em $V_{GT} = V_{BS} = 0$ V .....	170

Figura 91 – Razão $g_m/I_D$ em função da corrente de dreno para os transistores isolados e as estruturas A-SC, extraída em $V_{DS} = 0,7$ V e dois diferentes $V_{BS}$ .....	171
Figura 92 – Transcondutância em função da sobretensão de porta para os transistores isolados e as estruturas A-SC, extraída em $V_{DS} = 0,7$ V e dois diferentes $V_{BS}$ .....	172
Figura 93 – Condutância de dreno em função da sobretensão de porta para os transistores isolados e as estruturas A-SC, extraída em $V_{DS} = 0,7$ V e dois diferentes $V_{BS}$ ..	173
Figura 94 – Ganho de tensão em malha aberta em função da sobretensão de porta para os transistores isolados e as estruturas A-SC, extraído em $V_{DS} = 0,7$ V e diferentes tensões de substrato.....	174
Figura 95 – Transcondutância e condutância de dreno em função da potência dissipada para os transistores isolados e as estruturas A-SC, extraídas em $V_{DS} = 0,7$ V e $V_{BS} = 0$ V.....	175
Figura 96 – Ganho de tensão em malha aberta em função da potência dissipada para os transistores isolados e as estruturas A-SC, extraído em $V_{DS} = 0,7$ V e distintas polarizações de substrato.....	176
Figura 97 – Distorção harmônica de segunda ordem em função da sobretensão de porta para os nanofios isolados de diferentes W, extraída em $V_{DS} = 0,7$ V e diversas polarizações de substrato.....	177
Figura 98 – THD e HD3 em função da sobretensão de porta para os nanofios isolados de diferentes W, extraídas em $V_{DS} = 0,7$ V e diversas tensões de substrato .....	179
Figura 99 – HD2 e HD3 em função da sobretensão de porta para diversas estruturas A-SC, extraídas em $V_{DS} = 0,7$ V e diversas tensões de substrato.....	180
Figura 100 – Distorções harmônicas total e de terceira ordem normalizadas pelo ganho de tensão em malha aberta em função de $V_{GT}$ para as estruturas A-SC e os transistores isolados, extraídas em $V_{DS} = 0,7$ V e $V_{BS} = 0$ V.....	182
Figura 101 – Distorção harmônica total normalizada pelo ganho de tensão em malha aberta em função da tensão de substrato para as estruturas A-SC e os nanofios isolados, extraída em $V_{DS} = 0,7$ V e $V_{GT} = 100$ mV .....	183
Figura 102 – Distorção harmônica total normalizada pelo ganho de tensão em malha aberta em função da amplitude do sinal de entrada para as estruturas A-SC e os nanofios isolados, extraída em $V_{DS} = 0,7$ V, $V_{GT} = 0$ V e $V_{BS} = 12$ V .....	184



## LISTA DE TABELAS

Tabela 1 – Resistência série dos dispositivos GC, A-SC e isolado.....	87
Tabela 2 – Parâmetros elétricos utilizados no modelo analítico de corrente de dreno da associação série assimétrica de transistores SOI nMOS FD planares .....	144
Tabela 3 – Comprimento característico para as estruturas A-SC variando $W_S$ e $W_D$ .....	144
Tabela 4 – Parâmetros elétricos utilizados no modelo analítico de corrente de dreno da associação série assimétrica de transistores SOI nMOS FD variando $L_S$ e $L_D$ ..	151
Tabela 5 – Erro percentual máximo da modelagem do potencial intermediário, corrente de dreno, transcondutância e condutância de dreno para a característica de transferência com $V_{DS} = 1,5$ V e a característica de saída com $V_{GT} = 200$ mV ...	155
Tabela 6 – Transcondutância, condutância de dreno e ganho de tensão em malha aberta extraídos a partir dos resultados simulados e modelados em $V_{DS} = 1,5$ V e $V_{GT} = 200$ mV para diversas estruturas A-SC .....	156
Tabela 7 – Tensão de limiar extraída para os transistores isolados variando $V_{BS}$ .....	158
Tabela 8 – Tensão de limiar extraída para as associações séries assimétricas de transistores variando $V_{BS}$ .....	159
Tabela 9 – Tensão de limiar e inclinação de sublimiar extraídas para os nanofios isolados e as associações séries assimétricas de transistores.....	167
Tabela 10 – Resistência série dos nanofios isolados e as associações séries assimétricas de transistores, extraída em $V_{DS} = 50$ mV e $V_{BS} = 0$ V.....	169
Tabela 11 – Distorção harmônica de segunda ordem para os nanofios isolados e as associações séries assimétricas de transistores, extraída em $V_{GT} = 0,4$ V e $V_{DS} = 0,7$ V .....	181



## LISTA DE ABREVIATURAS E SIGLAS

APS	<i>Active Pixel Sensor</i> (Sensor de Pixel Ativo)
A-SC	<i>Asymmetric Self-Cascode</i> (Associação Série Assimétrica)
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i> (Metal-Óxido-Semicondutor Complementar)
CYNTHIA	<i>Cylindrical Thin-Pillar Transistor</i> (Transistor Cilíndrico de Pilar Fino)
DELTA	<i>fully DEpleted Lean-channel TrAnsistor</i> (Transistor de Canal Vertical Totalmente Depletado)
DIBL	<i>Drain-Induced Barrier Lowering</i> (Redução da Barreira Induzida pelo Dreno)
FD	<i>Fully Depleted</i> (Totalmente Depletado)
FinFET	<i>Fin Field-Effect Transistor</i> (Transistor Fin de Efeito de Campo)
g-r	<i>Generation-Recombination</i> (Geração-Recombinação)
GAA	<i>Gate-All-Around</i> (Transistor de Porta Circundante)
GC	<i>Graded-Channel</i> (Canal Gradual)
GIDL	<i>Gate-Induced Drain Leakage</i> (Fuga de Dreno Induzida pela Porta)
HD	<i>Highly Doped</i> (Fortemente Dopada)
IFM	<i>Integral Function Method</i> (Método da Função Integral)
LD	<i>Lightly Doped</i> (Fracamente Dopada)
LFN	<i>Low-Frequency Noise</i> (Ruído de Baixa Frequência)
LNA	<i>Low-Noise Amplifier</i> (Amplificador de Baixo Ruído)
LPLV	<i>Low-Power Low-Voltage</i> (Baixa Potência Baixa Tensão)
$M_D$	<i>Transistor Near the Drain</i> (Transistor Próximo ao Dreno)
$M_{IN}$	<i>Input Transistor</i> (Transistor de Entrada)
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i> (Transistor de Efeito de Campo Metal-Óxido-Semicondutor)
$M_{OUT}$	<i>Output Transistor</i> (Transistor de Saída)
$M_S$	<i>Transistor Near the Source</i> (Transistor Próximo à Fonte)
NFD	<i>Near-Fully Depleted</i> (Quase Totalmente Depletado)
NW	<i>NanoWire</i> (Nanofio)
PD	<i>Partially Depleted</i> (Parcialmente Depletado)
PhuMob	<i>Philips Unified Mobility Model</i> (Modelo Unificado de Mobilidade de Baixo Campo)
RTS	<i>Random-Telegraph-Signal</i> (Sinal Telegráfico Randômico)

SCE	<i>Short-Channel Effects</i> (Efeitos de Canal Curto)
SMU	<i>Source Measure Unit</i> (Unidade de Medição e Alimentação)
SOI	<i>Silicon-On-Insulator</i> (Silício-Sobre-Isolante)
S-SC	<i>Symmetric Self-Cascode</i> (Associação Série Simétrica)
ST	<i>Single Transistor</i> (Transistor Isolado)
THD	<i>Total Harmonic Distortion</i> (Distorção Harmônica Total)
UCLouvain	<i>Université catholique de Louvain</i> (Universidade Católica de Louvain)
ULSI	<i>Ultra Large Scale Integration</i> (Integração em Ultra Larga Escala)
UTBB	<i>Ultra-Thin Body and Buried oxide</i> (Corpo e Óxido Enterrado Ultra-Finos)

## LISTA DE SÍMBOLOS

A	Amplitude do sinal de entrada no método IFM
$A_V$	Ganho de tensão em malha aberta [dB]
$A_{Vlna}$	Ganho do amplificador de baixo ruído [dB]
$BV_{DS}$	Tensão de ruptura de dreno [V]
$C_1$	Coefficiente de Fourier correspondente à amplitude do harmônico de primeira ordem do sinal de saída
$C_L$	Carga capacitiva [F]
$C_n$	Coefficiente de Fourier correspondente à amplitude do harmônico de enésima ordem do sinal de saída
$C_{oxb}$	Capacitância do óxido enterrado por unidade de área [ $F/cm^2$ ]
$C_{oxf}$	Capacitância do óxido de porta por unidade de área [ $F/cm^2$ ]
$C_{Si}$	Capacitância da camada de silício por unidade de área [ $F/cm^2$ ]
$E_C$	Nível de energia inferior da faixa de condução [eV]
$E_{crit}$	Campo elétrico crítico [V/cm]
$E_F$	Nível de Fermi do semiconductor [eV]
$E_{FB}$	Nível de Fermi do substrato [eV]
$E_{FM}$	Nível de Fermi do eletrodo de porta [eV]
$E_i$	Nível intrínseco [eV]
$E_V$	Nível de energia superior da faixa de valência [eV]
f	Frequência [Hz]
$f_T$	Frequência de ganho de tensão unitário [Hz]
$g_D$	Condutância de dreno [S]
$g_{D,OUT}$	Condutância de dreno do transistor de saída do espelho de corrente [S]
$g_m$	Transcondutância [S]
$\hbar$	Constante de Planck normalizada [ $1,06 \times 10^{-34}$ J.s]
HD2	Distorção Harmônica de Segunda Ordem [dB]
HD3	Distorção Harmônica de Terceira Ordem [dB]
HDn	Distorção Harmônica de Enésima Ordem [dB]
$H_{FIN}$	Altura do <i>fin</i> [nm]
$I_{BIAS}$	Corrente de polarização [A]
$I_D$	Corrente de dreno [A]
$I_{D1}$	Amplitude da componente fundamental da corrente de saída [A]

$I_{D2}$	Amplitude da segunda harmônica da corrente de saída [A]
$I_{D3}$	Amplitude da terceira harmônica da corrente de saída [A]
$I_{D0}$	Corrente de dreno do dispositivo planar [A]
$I_{IN}$	Corrente de entrada do espelho de corrente [A]
$I_{OUT}$	Corrente de saída do espelho de corrente [A]
$I_{OUT}/I_{IN}$	Precisão de espelhamento
$k$	Constante de Boltzmann [ $1,38 \times 10^{-23}$ J/K]
$l_c$	Comprimento característico [ $\mu\text{m}$ ]
$L$	Comprimento de canal [ $\mu\text{m}$ ]
$LAMBDA_V$	Comprimento natural [nm]
$L_D$	Comprimento de canal do transistor próximo ao dreno [ $\mu\text{m}$ ]
$L_{eff}$	Comprimento efetivo de canal [ $\mu\text{m}$ ]
$L_{HD}$	Comprimento da região fortemente dopada [ $\mu\text{m}$ ]
$L_{LD}$	Comprimento da região fracamente dopada [ $\mu\text{m}$ ]
$L_S$	Comprimento de canal do transistor próximo à fonte [ $\mu\text{m}$ ]
$L_{sat}$	Comprimento da região saturada [ $\mu\text{m}$ ]
$m^*$	Massa de confinamento do portador na direção transversal [kg]
$n$	Fator de corpo
$n_i$	Concentração intrínseca de portadores do silício [ $\text{cm}^{-3}$ ]
$N$	Número de portadores
$N_A$	Concentração de impurezas aceitadoras da camada de silício [ $\text{cm}^{-3}$ ]
$N_{it}$	Densidade de armadilhas de interface por unidade de área [ $\text{eV}^{-1} \cdot \text{cm}^{-2}$ ]
$N_t$	Densidade de armadilhas no dielétrico de porta no nível de quasi-Fermi [ $\text{eV}^{-1} \cdot \text{cm}^{-3}$ ]
$N_T$	Número de armadilhas no óxido
$P$	Potência dissipada [W]
Pitch	Distância entre <i>fins</i> [ $\mu\text{m}$ ]
$q$	Carga elementar do elétron [ $1,6 \times 10^{-19}$ C]
$Q_{depl}$	Densidade de cargas de depleção na camada de silício por unidade de área [ $\text{C}/\text{cm}^2$ ]
$Q_{inv}$	Densidade de carga de inversão na interface região ativa/óxido de porta por unidade de área [ $\text{C}/\text{cm}^2$ ]
$Q_{oxb}$	Densidade de cargas fixas no óxido enterrado por unidade de área [ $\text{C}/\text{cm}^2$ ]
$Q_{oxf}$	Densidade de cargas fixas no óxido de porta por unidade de área [ $\text{C}/\text{cm}^2$ ]

$Q_{SB}$	Densidade de cargas de acumulação ( $Q_{SB} > 0$ ) ou inversão ( $Q_{SB} < 0$ ) na interface região ativa/óxido enterrado por unidade de área [ $C/cm^2$ ]
$R$	Resistência elétrica [ $\Omega$ ]
$R_{OUT}$	Resistência de saída do espelho de corrente [ $\Omega$ ]
$R_S$	Resistência série do transistor MOS [ $\Omega$ ]
$S_{Id}$	Densidade espectral de potência para flutuações na corrente de dreno [ $A^2/Hz$ ]
$S_{Id,1/f}$	Densidade espectral de potência do ruído <i>flicker</i> de corrente de dreno [ $A^2/Hz$ ]
$S_{Id,gr}$	Densidade espectral de potência do ruído g-r de corrente de dreno [ $A^2/Hz$ ]
$S_{Id,rts}$	Densidade espectral de potência do ruído RTS de corrente de dreno [ $A^2/Hz$ ]
$S_{Id,shot}$	Densidade espectral de potência do ruído <i>shot</i> de corrente de dreno [ $A^2/Hz$ ]
$S_{Id,t\u00e9rmico}$	Densidade espectral de potência do ruído t\u00e9rmico de corrente de dreno [ $A^2/Hz$ ]
$SS$	Inclina\u00e7\u00e3o de sublimar [mV/dec]
$S_{Vd,base}$	Raiz quadrada da densidade espectral de pot\u00eancia do ru\u00eddo inerente ao sistema de medidas [ $V/Hz^{1/2}$ ]
$S_{Vd,medido}$	Raiz quadrada da densidade espectral de pot\u00eancia medida para flutua\u00e7\u00f5es na tens\u00e3o de dreno [ $V/Hz^{1/2}$ ]
$S_{Vd,real}$	Raiz quadrada da densidade espectral de pot\u00eancia real para flutua\u00e7\u00f5es na tens\u00e3o de dreno [ $V/Hz^{1/2}$ ]
$S_{VFB}$	Densidade espectral de pot\u00eancia para flutua\u00e7\u00f5es na tens\u00e3o de faixa plana [ $V^2/Hz$ ]
$t$	Tempo [s]
$t_{oxb}$	Espessura do \u00f3xido enterrado [nm]
$t_{oxf}$	Espessura do diel\u00e9trico de porta [nm]
$t_{Si}$	Espessura da camada de sil\u00edcio [nm]
$T$	Temperatura absoluta [K]
$THD$	Distor\u00e7\u00e3o harm\u00f4nica total [dB]
$v_{ds}$	Amplitude da componente alternada da tens\u00e3o de dreno [V]
$v_{gs}$	Amplitude da componente alternada da tens\u00e3o de porta [V]
$v_{sat}$	Velocidade de satura\u00e7\u00e3o dos portadores na camada de sil\u00edcio [ $1,0 \times 10^7$ cm/s]
$V_A$	Amplitude do sinal de entrada senoidal [V]
$V_B$	Tens\u00e3o de substrato [V]
$V_{BS}$	Tens\u00e3o aplicada entre substrato e fonte [V]
$V_D$	Tens\u00e3o de dreno [V]
$V_{DD}$	Tens\u00e3o de alimenta\u00e7\u00e3o [V]

$V_{DS}$	Tensão aplicada entre dreno e fonte [V]
$V_{EA}$	Tensão Early [V]
$V_{FB}$	Tensão de faixa plana [V]
$V_G$	Tensão de porta [V]
$V_{GS}$	Tensão aplicada entre porta e fonte [V]
$V_{GT}$	Sobretensão de porta [V]
$V_{IN}$	Tensão de entrada [V]
$V_{OUT}$	Tensão de saída [V]
$V_S$	Tensão de fonte [V]
$V_t$	Potencial térmico [V]
$V_{TH}$	Tensão de limiar [V]
$V_{TH,D}$	Tensão de limiar do transistor próximo ao dreno [V]
$V_{TH,S}$	Tensão de limiar do transistor próximo à fonte [V]
$V_X$	Potencial do nó intermediário da associação série de transistores [V]
$V_{X,sat-sat}$	Potencial do nó intermediário com ambos os transistores em saturação [V]
$V_{X,sat-tri}$	Potencial do nó intermediário com o transistor próximo à fonte em saturação e o transistor próximo ao dreno em triodo [V]
$V_{X,tri-sat}$	Potencial do nó intermediário com o transistor próximo à fonte em triodo e o transistor próximo ao dreno em saturação [V]
$V_{X,tri-tri}$	Potencial do nó intermediário com ambos os transistores em triodo [V]
$x$	Profundidade efetiva das armadilhas no dielétrico de porta [nm]
$x_{dmax}$	Profundidade máxima da região de depleção [ $\mu\text{m}$ ]
$X$	Sinal de entrada no método IFM
$X_0$	Ponto de polarização do sinal de entrada no método IFM
$W$	Largura de canal [ $\mu\text{m}$ ]
$W_D$	Largura de canal do transistor próximo ao dreno [ $\mu\text{m}$ ]
$W_{FIN}$	Largura do <i>fin</i> [ $\mu\text{m}$ ]
$W_S$	Largura de canal do transistor próximo à fonte [ $\mu\text{m}$ ]
$Y$	Sinal de saída no método IFM
$\alpha$	Parâmetro de espalhamento das flutuações no número de portadores correlacionadas com flutuações na mobilidade [V.s/C]
$\alpha_H$	Parâmetro de Hooge
$\gamma$	Expoente da frequência
$\gamma'$	Coefficiente do ruído térmico do transistor MOS

$\Delta I_D$	Altura do pulso de corrente [A]
$\Delta\phi_{mi}$	Diferença entre as funções trabalho do metal de porta e do silício com dopagem natural [V]
$\epsilon_{ox}$	Permissividade do óxido de silício [ $3,45 \times 10^{-13}$ F/cm]
$\epsilon_{Si}$	Permissividade do silício [ $1,06 \times 10^{-12}$ F/cm]
$\theta$	Coefficiente de degradação da mobilidade pelo campo elétrico transversal [ $V^{-1}$ ]
$\lambda$	Comprimento de atenuação do tunelamento no óxido de porta [nm]
$\lambda_{sat}$	Coefficiente de modulação do comprimento de canal [ $V^{-1}$ ]
$\mu_{cs}$	Mobilidade dos portadores de carga móvel devido ao espalhamento por efeito Coulomb [ $cm^2/V.s$ ]
$\mu_D$	Mobilidade de baixo campo dos portadores de carga móvel do transistor próximo ao dreno [ $cm^2/V.s$ ]
$\mu_{eff}$	Mobilidade efetiva dos portadores de carga móvel [ $cm^2/V.s$ ]
$\mu_{lat}$	Mobilidade dos portadores de carga móvel nas paredes laterais do transistor de múltiplas portas [ $cm^2/V.s$ ]
$\mu_{ps}$	Mobilidade dos portadores de carga móvel devido ao espalhamento de rede [ $cm^2/V.s$ ]
$\mu_S$	Mobilidade de baixo campo dos portadores de carga móvel do transistor próximo à fonte [ $cm^2/V.s$ ]
$\mu_{sr}$	Mobilidade dos portadores de carga móvel devido ao espalhamento por rugosidade superficial [ $cm^2/V.s$ ]
$\mu_{top}$	Mobilidade dos portadores de carga móvel no topo do transistor de múltiplas portas [ $cm^2/V.s$ ]
$\tau$	Constante de tempo de transição [s]
$\tau_0$	Constante de tempo mínima da armadilha [s]
$\tau_h$	Tempo em nível alto [s]
$\tau_l$	Tempo em nível baixo [s]
$\phi_F$	Potencial de Fermi [V]
$\phi_{MSB}$	Diferença entre as funções trabalho do substrato e da camada de silício [V]
$\phi_{MSF}$	Diferença entre as funções trabalho do metal de porta e da camada de silício [V]
$\phi_{SB}$	Potencial de superfície da interface região ativa/óxido enterrado [V]
$\phi_{SF}$	Potencial de superfície da interface região ativa/óxido de porta [V]
$\omega$	Frequência angular [rad/s]



## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO</b> .....	<b>35</b>
<b>2</b>	<b>CONCEITOS FUNDAMENTAIS</b> .....	<b>41</b>
2.1	TECNOLOGIA SOI .....	41
2.1.1	<b>Transistor SOI MOSFET planar modo inversão</b> .....	42
2.1.2	<b>Transistor SOI MOSFET de múltiplas portas</b> .....	44
2.2	CARACTERÍSTICAS ELÉTRICAS BÁSICAS DOS TRANSISTORES MOS .	48
2.2.1	<b>Tensão de limiar</b> .....	49
2.2.2	<b>Inclinação de sublimiar</b> .....	51
2.2.3	<b>Mobilidade</b> .....	51
2.2.4	<b>Efeitos de canal curto</b> .....	53
2.2.5	<b>Ionização por impacto</b> .....	55
2.3	DISTORÇÃO HARMÔNICA .....	56
2.4	RUÍDO DE BAIXA FREQUÊNCIA .....	60
2.5	BLOCOS ANALÓGICOS BÁSICOS .....	69
2.5.1	<b>Amplificador em configuração fonte comum</b> .....	69
2.5.1.1	<i>Tensão Early</i> .....	70
2.5.1.2	<i>Razão <math>g_m/I_D</math></i> .....	71
2.5.1.3	<i>Ganho de tensão em malha aberta</i> .....	72
2.5.1.4	<i>Frequência de ganho de tensão unitário</i> .....	73
2.5.2	<b>Amplificador em configuração dreno comum</b> .....	73
2.5.3	<b>Espelho de corrente em configuração fonte comum</b> .....	74
2.6	TRANSISTOR SOI MOSFET DE CANAL GRADUAL .....	75
2.7	ASSOCIAÇÃO SÉRIE DE TRANSISTORES SOI MOSFET .....	77
2.8	SIMULAÇÕES NUMÉRICAS DE DISPOSITIVOS E MÉTODO DE EXTRAÇÃO DO RUÍDO .....	80
2.8.1	<b>Simulações numéricas de dispositivos</b> .....	80
2.8.2	<b>Setup para caracterização de ruído</b> .....	81
<b>3</b>	<b>ASSOCIAÇÃO SÉRIE ASSIMÉTRICA VERSUS TRANSISTOR DE CANAL GRADUAL PARA APLICAÇÕES ANALÓGICAS</b> .....	<b>85</b>
3.1	EM NÍVEL DE DISPOSITIVO .....	85
3.2	AMPLIFICADOR EM CONFIGURAÇÃO FONTE COMUM .....	88
3.3	AMPLIFICADOR EM CONFIGURAÇÃO DRENO COMUM .....	90

3.4	ESPELHO DE CORRENTE EM CONFIGURAÇÃO FONTE COMUM.....	92
<b>4</b>	<b>RUÍDO DE BAIXA FREQUÊNCIA DA ASSOCIAÇÃO SÉRIE ASSIMÉTRICA DE TRANSISTORES SOI NMOS FD PLANARES .....</b>	<b>99</b>
4.1	ANÁLISE EM CORRENTE CONTÍNUA DA ESTRUTURA A-SC.....	99
4.2	ANÁLISE DO RUÍDO DE BAIXA FREQUÊNCIA DA ESTRUTURA A-SC NA REGIÃO LINEAR.....	101
4.3	ANÁLISE DO RUÍDO DE BAIXA FREQUÊNCIA DA ESTRUTURA A-SC NA REGIÃO DE SATURAÇÃO .....	112
<b>5</b>	<b>INFLUÊNCIA DA LARGURA DE CANAL NO DESEMPENHO ANALÓGICO DA ESTRUTURA A-SC.....</b>	<b>119</b>
5.1	AJUSTE DAS SIMULAÇÕES.....	120
5.2	INFLUÊNCIA DA LARGURA DE CANAL.....	121
<b>6</b>	<b>MODELAGEM DA CORRENTE DE DRENO DA ASSOCIAÇÃO SÉRIE ASSIMÉTRICA DE TRANSISTORES SOI NMOS FD PLANARES .....</b>	<b>133</b>
6.1	DESENVOLVIMENTO DO MODELO ANALÍTICO DE CORRENTE DE DRENO DA ESTRUTURA A-SC.....	133
6.2	VALIDAÇÃO DO MODELO ANALÍTICO DE CORRENTE DE DRENO DA ESTRUTURA A-SC.....	143
<b>7</b>	<b>DESEMPENHO ANALÓGICO DA ASSOCIAÇÃO SÉRIE ASSIMÉTRICA DE NANOFIOS TRANSISTORES SOI NMOS FD.....</b>	<b>157</b>
7.1	OPERAÇÃO EM REGIME DE INVERSÃO MODERADA/FORTE .....	158
7.2	OPERAÇÃO EM BAIXA POTÊNCIA.....	166
7.3	ANÁLISE DA DISTORÇÃO HARMÔNICA.....	176
<b>8</b>	<b>CONCLUSÕES.....</b>	<b>187</b>
	<b>REFERÊNCIAS .....</b>	<b>191</b>
	<b>APÊNDICE A – Arquivo de geração do transistor SOI planar simulado.....</b>	<b>205</b>
	<b>APÊNDICE B – Arquivo de simulação de dispositivo.....</b>	<b>209</b>
	<b>APÊNDICE C – Arquivo de parâmetros de ajuste das simulações .....</b>	<b>213</b>
	<b>APÊNDICE D – Modelo analítico de corrente de dreno da estrutura A-SC.....</b>	<b>215</b>
	<b>APÊNDICE E – Publicações .....</b>	<b>223</b>

## 1 INTRODUÇÃO

A ideia de desenvolver dispositivos semicondutores em uma fina camada de silício mecanicamente suportada por um substrato isolante foi concebida há várias décadas atrás. A histórica patente de Lilienfeld (1930) descreve um dispositivo de três terminais onde a corrente de dreno para a fonte é controlada pelo campo elétrico da porta, dieletricamente isolada do resto do dispositivo. A região ativa deste dispositivo era composta por uma fina camada de semicondutor depositada sobre um isolante. De certo modo, é possível dizer o que o primeiro transistor de efeito de campo metal-óxido-semicondutor (MOSFET) era um semicondutor sobre isolante (SOI). No entanto, por limitação tecnológica, o dispositivo não funcionou adequadamente, sendo esquecido devido ao enorme sucesso do transistor bipolar (COLINGE, 2004).

Após algumas décadas, a tecnologia alcançou um nível de avanço suficiente para permitir a fabricação de óxidos de boa qualidade, alçando o MOSFET como uma tecnologia inovadora e funcional. Com o advento dos circuitos integrados, a tecnologia MOSFET ganhou um papel de destaque na microeletrônica (COLINGE, 2004). Atualmente, a tecnologia metal-óxido-semicondutor complementar (CMOS) ocupa uma posição relevante na indústria de semicondutores e circuitos integrados, tal como em aplicações em *internet* das coisas (PU et al., 2018) e em amplificadores de potência (VIGILANTE; REYNAERT, 2017). Os primeiros MOSFETs foram concebidos na tecnologia *bulk*, porém diversos efeitos parasitários são notáveis nesta tecnologia, por exemplo, altas capacitâncias de junção, disparo do tiristor parasitário, reduzida resistência à radiação, entre outros (COLINGE, 2004).

Com o avanço tecnológico e de técnicas de fabricação de lâminas SOI, a tecnologia Silício-Sobre-Isolante deixou de ser apenas aplicada em ambientes extremos, tais como alta temperatura (KRULL; LEE, 1988) e radiação (SCHWANK et al., 2003), tornando-se uma alternativa concreta, em substituição à tecnologia *bulk*, na implementação de circuitos integrados em altíssima escala de integração (ULSI) (COLINGE, 2004).

Os SOI MOSFETs são caracterizados pela presença de um material isolante que separa a camada ativa de silício do restante do substrato, promovendo uma isolação dielétrica completa entre os transistores e o substrato, o que previne a ocorrência da maior parte dos efeitos parasitários observados em *bulk* MOSFETs. Dentre as vantagens da tecnologia SOI em relação à tecnologia *bulk*, pode-se citar a eliminação do efeito tiristor parasitário, a redução das capacitâncias de fonte e dreno, a facilidade de fabricação de junções rasas, a resistência à radiação e a operação em altas temperaturas (COLINGE, 2004).

Atualmente, a tecnologia SOI está presente nos mais diversos circuitos integrados de alta densidade e complexidade, tais como microprocessadores (CONSTANTIN et al., 2016; ZYUBAN et al., 2015), memórias (CAI et al., 2017; KOSSEL et al., 2013), amplificadores (CHEN et al., 2013; HELMI; CHEN; MOHAMMADI, 2016), entre outras aplicações.

Os transistores SOI podem operar em depleção parcial ou completa de acordo com as espessuras da camada de silício e da região de depleção (que depende da concentração de dopantes e da temperatura). Quando operando com a camada de silício totalmente depletada, os transistores SOI apresentam uma série de vantagens, tais como minimização dos efeitos de canal curto (SCE) (YOUNG, 1989), aumento da mobilidade dos portadores (YOSHIMI et al., 1988), diminuição da inclinação de sublimiar (COLINGE, 1986), redução da degradação por elétrons quentes (COLINGE, 1987; FOSSUM; CHOI; SUNDARESAN, 1990; SU et al., 1992), além de outros benefícios, o que confirma o excelente potencial da tecnologia SOI MOSFET totalmente depletada em circuitos integrados de alto desempenho, como por exemplo, em aplicações analógicas de baixo consumo de potência e baixa tensão (LPLV), uma vez que, além das menores capacitâncias parasitárias, apresentam reduzido efeito de corpo, elevando significativamente a razão da transcondutância pela corrente de dreno (FLANDRE et al., 1996).

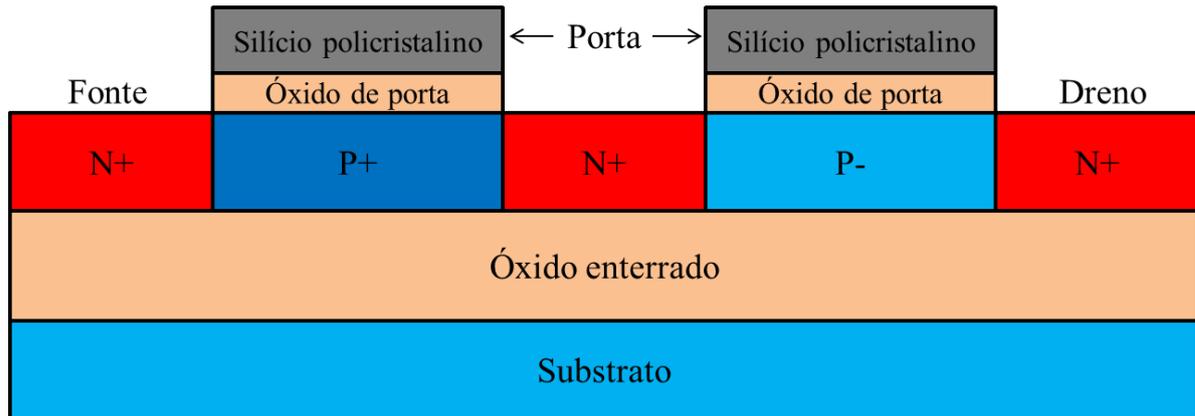
No entanto, como o corpo do transistor SOI é mantido eletricamente flutuando, os pares elétron-lacuna gerados devido ao elevado campo elétrico próximo ao dreno não têm por onde escoar, uma vez que estão isolados eletricamente do substrato pela presença do óxido enterrado. Estas lacunas geradas são, então, amplificadas pelo transistor bipolar parasitário inerente à estrutura MOS, provocando um ciclo de realimentação positiva na corrente de dreno que reduz a tensão de ruptura de dreno dos transistores SOI (CHOI; FOSSUM, 1991).

Uma alternativa largamente empregada para melhorar o desempenho dos circuitos integrados analógicos, através da redução da condutância de dreno dos transistores MOS é a chamada associação série de transistores, onde dois transistores são associados em série com suas portas curto-circuitadas, operando como um único dispositivo. Estes transistores que compõem a associação série possuem a mesma concentração de dopantes na região de canal e, logo, a mesma tensão de limiar (GALUP-MONTORO; SCHNEIDER; LOSS, 1994), sendo denominada de associação série simétrica de transistores. No entanto, o efeito bipolar parasitário continua atuando nesta estrutura.

De maneira a atenuar o efeito de ionização por impacto junto ao dreno e manter a tensão de limiar e ganho de corrente do transistor bipolar parasitário em valores compatíveis, foi proposta uma modificação da associação série de transistores com tensões de limiar iguais,

denominada de associação série assimétrica de transistores (A-SC), onde o transistor próximo ao dreno apresenta concentração de dopantes natural da lâmina (menor tensão de limiar), e o transistor próximo à fonte sofre a implantação iônica para ajuste da tensão de limiar da associação série assimétrica (SANTOS et al., 2011; SOUZA et al., 2016). A Figura 1 apresenta a secção transversal da associação série assimétrica de transistores SOI nMOS.

Figura 1 – Secção transversal da associação série assimétrica de transistores SOI nMOS



Fonte: Autor

Ao diminuir a concentração de dopantes no canal do transistor próximo ao dreno, há uma redução da barreira de potencial da junção canal-dreno e, conseqüentemente, do pico de campo elétrico próximo ao dreno, minimizando os efeitos decorrentes do alto campo elétrico longitudinal. Além da minimização dos efeitos de ionização por impacto, que aumenta sua tensão de ruptura de dreno, a associação série assimétrica promove uma significativa melhora nas características elétricas de saída em comparação com o dispositivo uniformemente dopado e a associação série simétrica de mesmo comprimento total de canal, elevando a transcondutância e, ao mesmo tempo, reduzindo a condutância de dreno, tornando-se especialmente adequada para aplicações em circuitos integrados SOI CMOS analógicos (SOUZA; FLANDRE; PAVANELLO, 2012).

O transistor de canal gradual (GC) apresenta concepção física similar à associação série assimétrica de transistores, uma vez que o canal apresenta dopagem assimétrica de impurezas (PAVANELLO et al., 1999). As melhorias do ponto de vista analógico proporcionadas pela associação série assimétrica também são válidas para o transistor de canal gradual, com uma pequena ressalva devido à inexistência da região N+ intermediária no transistor de canal gradual, portanto, o efeito de ionização por impacto não é tão reduzido como na associação série assimétrica de transistores.

A partir do final da década de 80, transistores com mais de um eletrodo de porta foram desenvolvidos (HISAMOTO et al., 1990) de maneira a aumentar o controle eletrostático da porta sobre as cargas do canal, reduzindo os efeitos de canal curto. Estes transistores apresentam múltiplos canais de inversão, incrementando a corrente de dreno em comparação aos transistores MOS planares (COLINGE, 2008). Ao reduzir a altura da camada de silício, obtém-se o chamado nanofio (NW) transistor, que é um candidato promissor em aplicações LPLV devido ao excelente acoplamento capacitivo de porta, à menor degradação da mobilidade dos portadores e à maior razão entre as correntes de estado ligado e desligado (BANGSARUNTIP et al., 2009). O nanofio transistor também apresenta excelente desempenho em circuitos analógicos, reduzindo a condutância de dreno e, conseqüentemente, elevando o ganho de tensão em malha aberta (KILCHYTSKA et al., 2015).

Uma variável fundamental em circuitos analógicos é o ruído de baixa frequência (LFN). Deseja-se que os transistores que compõem os circuitos analógicos adicionem pouco ruído ao sinal de entrada, mantendo sua fidelidade na saída. No entanto, pequenas flutuações na tensão ou na corrente elétrica, causadas pelo próprio dispositivo, inserem ruído no sistema, constituindo em um fator complicador, uma vez que afeta a relação sinal-ruído do circuito. A partir do ruído de baixa frequência, é possível também avaliar a qualidade da interface Si-SiO<sub>2</sub>, visto que a corrente de dreno está confinada em um fino canal superficial abaixo do óxido de porta, sendo sensível às armadilhas presentes na interface Si-SiO<sub>2</sub> e no óxido de porta (HAARTMAN; ÖSTLING, 2007).

Outro qualificador importante da resposta analógica de um dispositivo ou circuito é a sua linearidade, que pode ser quantificada pela distorção harmônica. Ao aplicar um sinal senoidal à porta de um transistor MOS, observa-se no dreno, quando polarizado com corrente constante, a presença do sinal fundamental e de inúmeros harmônicos, devido à natureza não linear das curvas de corrente do transistor. Para aplicações analógicas, é de suma importância que a quantidade e a amplitude destes harmônicos sejam desprezíveis comparativamente ao sinal original (FRANÇA; TSIVIDIS, 1994).

A motivação para um estudo amplo da associação série assimétrica de transistores SOI MOSFET, envolvendo desde simulações numéricas, caracterização elétrica e modelagem, com a abordagem de diversos parâmetros analógicos, se deve ao excelente potencial desta estrutura para aplicações em circuitos integrados analógicos.

Este trabalho tem como objetivo geral o estudo da operação analógica da associação série assimétrica de transistores SOI nMOS, visando um detalhamento da estrutura. Este estudo engloba a análise comparativa entre o transistor GC e a estrutura A-SC em alguns

blocos analógicos básicos, a investigação do ruído de baixa frequência da estrutura A-SC, a avaliação da influência da largura de canal dos transistores próximos à fonte e ao dreno de forma a maximizar o ganho de tensão em malha aberta, o desenvolvimento de um modelo analítico de corrente de dreno, a análise da estrutura A-SC composta por nanofios transistores quanto ao desempenho analógico e linearidade. Pretende-se assim, demonstrar algumas características da associação série assimétrica, motivando sua utilização em projetos de circuitos integrados analógicos.

Esta tese se encontra dividida em oito capítulos, listados a seguir.

O Capítulo 2 apresenta a revisão bibliográfica básica fundamental para o entendimento deste trabalho, composta por uma breve introdução à tecnologia SOI MOSFET, onde é apresentado o dispositivo modo inversão. São abordados o transistor de múltiplas portas, o dispositivo de canal gradual e a associação série assimétrica. São definidos também os parâmetros elétricos básicos dos transistores, além de conceitos como distorção harmônica e ruído de baixa frequência. Alguns circuitos integrados analógicos, tais como amplificadores em configurações fonte comum e dreno comum são estudados, bem como espelhos de corrente em configuração fonte comum. Por fim, são apresentados o simulador numérico utilizado, os modelos analíticos incluídos nestas simulações, bem como a metodologia para extração do ruído de baixa frequência.

O Capítulo 3 apresenta os resultados do estudo comparativo entre a associação série assimétrica e os transistores de canal gradual aplicados nos blocos analógicos básicos citados anteriormente.

O Capítulo 4 investiga a origem do ruído de baixa frequência da associação série assimétrica implementada com transistores SOI MOS planares variando a concentração de dopantes no canal dos transistores próximos à fonte e ao dreno, sendo realizado um estudo comparativo com os transistores planares isolados por meio de medidas experimentais extraídas nas regiões de operação linear e de saturação. São também determinadas as densidades efetivas de armadilhas e como estas armadilhas se encontram distribuídas no dielétrico de porta.

O Capítulo 5 apresenta um estudo baseado em simulações numéricas tridimensionais utilizando o simulador de dispositivos Sentaurus (SYNOPTIS, 2016), em que é avaliada a influência da largura de canal dos transistores planares próximos à fonte e ao dreno no desempenho analógico da estrutura A-SC.

No Capítulo 6, é exibido um modelo analítico de corrente de dreno desenvolvido para a associação série assimétrica formada por transistores SOI planares totalmente depletados

com vistas à simulação de suas características elétricas, visando à utilização em projeto de células analógicas básicas.

No Capítulo 7, é abordado o comportamento analógico da estrutura A-SC composta por dispositivos de múltiplas portas (nanofios transistores), sendo avaliada a influência da polarização de substrato e da largura de canal. Além disso, é dado destaque à operação em baixa potência, sendo também discutida a distorção harmônica gerada pelas estruturas A-SC compostas por nanofios transistores.

Por fim, o Capítulo 8 apresenta as principais conclusões obtidas e as sugestões para trabalhos futuros.

## 2 CONCEITOS FUNDAMENTAIS

Este capítulo apresenta a revisão bibliográfica básica sobre os transistores MOS fabricados na tecnologia SOI, destacando sua estrutura física, o modo de funcionamento em inversão, bem como suas características elétricas. Este trabalho se concentrará no estudo da associação série assimétrica composta por diferentes tipos de transistores (planar e múltiplas portas). Logo, são discutidos, além dos transistores planares uniformemente dopados, os transistores de múltiplas portas, tais como nanofios transistores, bem como o dispositivo planar de canal gradual que será utilizado para comparação com a associação série assimétrica nos seguintes blocos analógicos básicos: amplificadores em configurações fonte comum e dreno comum, e espelhos de corrente em configuração fonte comum. Os parâmetros elétricos básicos dos transistores, essenciais para o entendimento do presente trabalho, são também tratados em detalhe, bem como alguns indicadores de desempenho analógico, tais como a distorção harmônica e o ruído de baixa frequência. Finalmente, uma breve descrição do simulador numérico utilizado é apresentada, juntamente com os modelos analíticos usados nas simulações, além do método utilizado para a extração do ruído de baixa frequência.

### 2.1 TECNOLOGIA SOI

Os MOSFETs implementados na tecnologia SOI são constituídos por uma camada ativa de silício separada do substrato por uma camada isolante ou diretamente suportada mecanicamente por um substrato isolante (COLINGE, 2004). Atualmente, a tecnologia SOI está desafiando a tecnologia CMOS tradicional baseada em lâminas de silício *bulk* em todos os setores do mercado, incluindo radiofrequência, circuitos integrados CMOS analógicos, computação de baixo consumo de potência e de propósito geral, fotônica, memórias e sistemas microeletromecânicos (KONONCHUK; NGUYEN, 2014). A seguir, estão sumarizadas algumas de suas vantagens:

- a) ganhos significativos de desempenho, tanto em velocidade quanto em consumo de potência elétrica, quando comparados com as soluções *bulk* correspondentes;
- b) maior escalamento, resultando em uma menor área de *chip*;
- c) simplificação do processo CMOS;
- d) facilidade para integrar diferentes materiais em uma lâmina de silício.

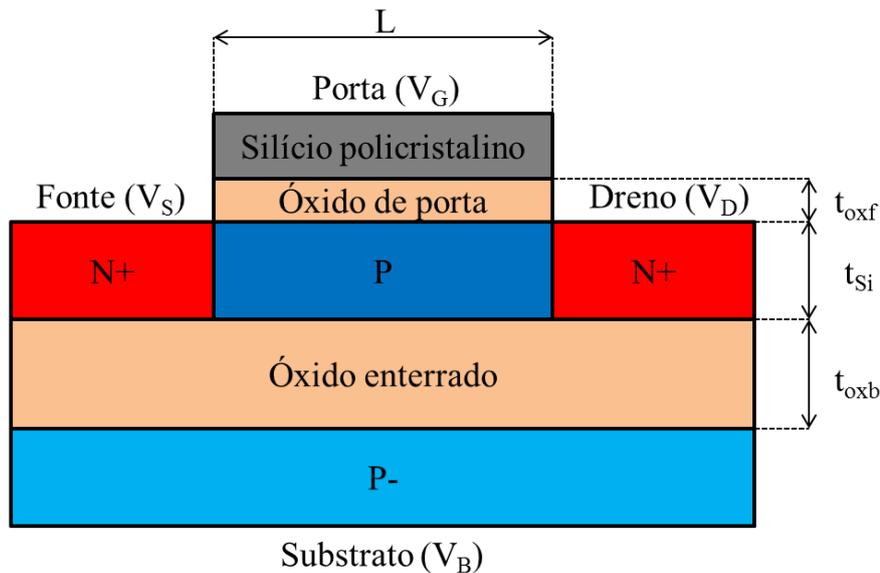
Os transistores SOI podem ser classificados em dois tipos de acordo com o modo de funcionamento: inversão (ou enriquecimento) ou acumulação (COLINGE, 2004). Neste trabalho, serão estudados apenas os transistores modo inversão.

### 2.1.1 Transistor SOI MOSFET planar modo inversão

O modo de funcionamento mais comumente utilizado em transistores MOS é o modo inversão, onde as regiões de fonte e dreno possuem tipo de dopantes diferente da região de canal (COLINGE, 2004).

A secção transversal do transistor SOI nMOSFET modo inversão é apresentada na Figura 2, sendo indicados os eletrodos de porta ( $V_G$ ), substrato ( $V_B$ ), fonte ( $V_S$ ) e dreno ( $V_D$ ),  $L$  é o comprimento de máscara do canal,  $t_{oxf}$ ,  $t_{Si}$  e  $t_{oxb}$  correspondem, respectivamente, às espessuras do dielétrico de porta, da camada de silício e do óxido enterrado.

Figura 2 – Secção transversal do transistor SOI nMOSFET modo inversão



Fonte: Autor

Para o dispositivo *bulk* nMOSFET, a região de depleção se estende desde a interface Si-SiO<sub>2</sub> até a profundidade máxima da região de depleção ( $x_{dmax}$ ), dada pela equação (1) (SZE; KWOK, 2007):

$$x_{dmax} = \sqrt{\frac{2 \cdot \epsilon_{Si} \cdot 2\phi_F}{q \cdot N_A}} \quad (1)$$

onde  $\epsilon_{Si}$  é a permissividade do silício,  $N_A$  é a concentração de impurezas aceitadoras da camada de silício,  $q$  é a carga elementar do elétron e  $\phi_F$  é o potencial de Fermi, que é dado por (SZE; KWOK, 2007):

$$\phi_F = \frac{k.T}{q} \cdot \ln\left(\frac{N_A}{n_i}\right) \quad (2)$$

onde  $k$  é a constante de Boltzmann,  $T$  é temperatura absoluta e  $n_i$  é a concentração intrínseca de portadores do silício.

Os transistores SOI possuem características elétricas substancialmente dependentes da concentração de dopantes do canal, da espessura da camada de silício e da temperatura, visto que qualquer alteração de  $N_A$  e  $T$  provocam mudanças na espessura da camada de depleção. Logo, podem ser obtidos três tipos de transistores: totalmente depletado (FD), parcialmente depletado (PD) e quase totalmente depletado (NFD) (COLINGE, 2004).

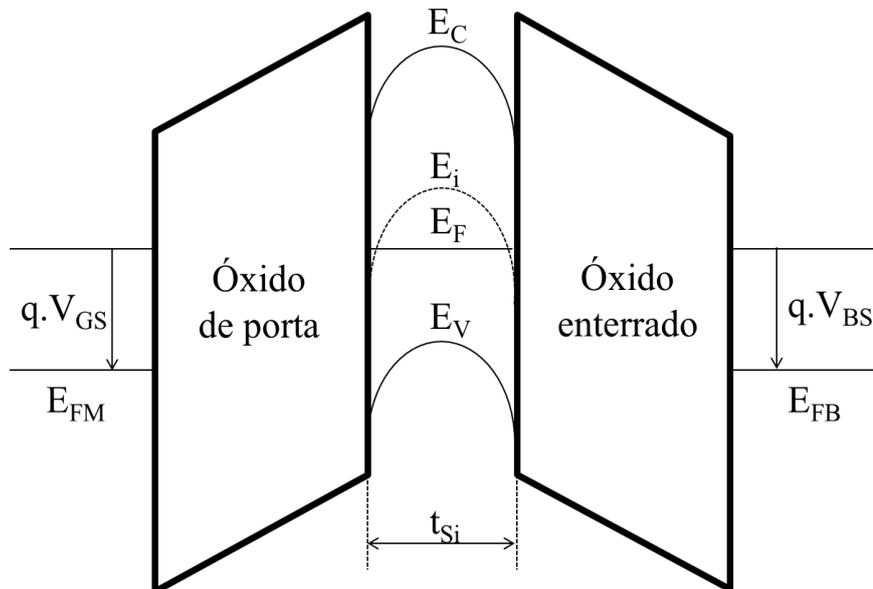
Em um dispositivo SOI parcialmente depletado ou de camada espessa, a espessura do filme de silício é maior do que duas vezes  $x_{dmax}$ , não havendo interação entre as regiões de depleção induzidas pela porta e pelo substrato, ou seja, há uma região neutra na camada de silício entre as regiões de depleção. Se a região neutra estiver conectada ao terra através de um contato de corpo, as características do transistor SOI PD serão similares ao dispositivo *bulk* MOS, com o diferencial da redução das capacitâncias de junção. Se a região neutra for mantida eletricamente flutuando, o dispositivo apresentará efeitos de corpo flutuante, tais como a elevação abrupta da corrente (Efeito *kink*) e o efeito bipolar parasitário (KRISHNAN; FOSSUM, 1998).

Em um dispositivo SOI totalmente depletado ou de camada fina, a espessura do filme de silício é menor do que  $x_{dmax}$ , havendo interação entre as regiões de depleção geradas pela porta e pelo substrato para tensões entre porta e fonte ( $V_{GS}$ ) superiores, em módulo, à tensão de limiar ( $V_{TH}$ ). Devido a esta interação, existe uma dependência entre os potenciais de superfície das interfaces região ativa/óxido de porta e região ativa/óxido enterrado ( $\phi_{SF}$  e  $\phi_{SB}$ , respectivamente), permitindo um melhor acoplamento eletrostático em toda a espessura da camada de silício (COLINGE, 2004). Estes transistores possuem as melhores características elétricas entre os dispositivos SOI, dentre as quais, podem ser destacadas a maior mobilidade dos portadores na região de canal (YOSHIMI et al., 1989), a redução do campo elétrico horizontal (KISTLER; WOO, 1994), a menor ocorrência dos efeitos de canal curto (YOUNG, 1989), a menor inclinação de sublimiar (COLINGE, 1986), a menor variação da tensão de

limiar com a temperatura (GROESENEKEN et al., 1990), entre outros benefícios. Estas vantagens do transistor SOI totalmente depletado em relação aos outros transistores descritos anteriormente se devem ao menor fator de corpo ( $n$ ) que está ligado ao seu melhor acoplamento capacitivo (LIM; FOSSUM, 1983).

A Figura 3 apresenta o diagrama de faixas de energia para o transistor SOI nMOS totalmente depletado, onde  $E_C$  corresponde ao nível de energia inferior da banda de condução,  $E_V$  ao nível de energia superior da banda de valência,  $E_i$  ao nível intrínseco,  $E_F$  ao nível de Fermi do semiconductor,  $E_{FM}$  ao nível de Fermi do eletrodo de porta,  $E_{FB}$  ao nível de Fermi do substrato e  $V_{BS}$  à tensão entre substrato e fonte.

Figura 3 – Diagrama de faixas de energia do transistor SOI nMOS totalmente depletado



Fonte: Autor

Em um dispositivo SOI quase totalmente depletado ou de camada média, a espessura do filme de silício é maior do que  $x_{dmax}$  e menor do que  $2 \cdot x_{dmax}$ , deste modo, o transistor pode se comportar como um dispositivo totalmente depletado ou parcialmente depletado de acordo com a tensão aplicada ao substrato (COLINGE, 2004).

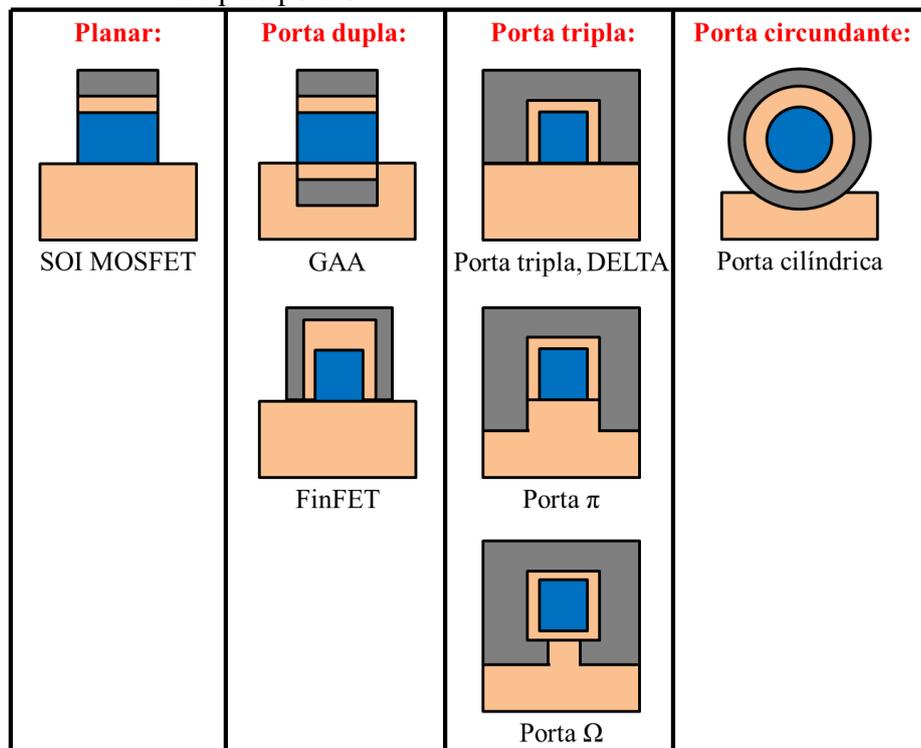
### 2.1.2 Transistor SOI MOSFET de múltiplas portas

À medida que as dimensões dos transistores são reduzidas, a proximidade entre as regiões de fonte e dreno diminui a capacidade do eletrodo de porta em controlar a distribuição

de potencial e o fluxo de corrente na região de canal, causando uma série de efeitos indesejáveis, conhecidos como efeitos de canal curto (COLINGE, 2008). Tendo como objetivo a redução da influência das linhas de campo elétrico das regiões de fonte e dreno sobre a região de canal, foram propostas diferentes estruturas de transistores de múltiplas portas.

A Figura 4 apresenta o esquemático destes transistores em tecnologia SOI, desde o planar até o de porta circundante. O primeiro transistor de duas portas fabricado foi o XMOS (SEKIGAWA; HAYASHI, 1984). Outro transistor fabricado em porta dupla foi o GAA (transistor de porta circundante) (COLINGE et al., 1990), que, embora possuísse portas ao redor de todos os lados da região de canal, pelo fato da camada de silício ser mais larga do que espessa, foi considerado como porta dupla. Atualmente, o acrônimo GAA é usado para dispositivos de porta circundante que possuem altura e largura de canal similares (COLINGE, 2008).

Figura 4 – Representação esquemática de diferentes transistores SOI de múltiplas portas



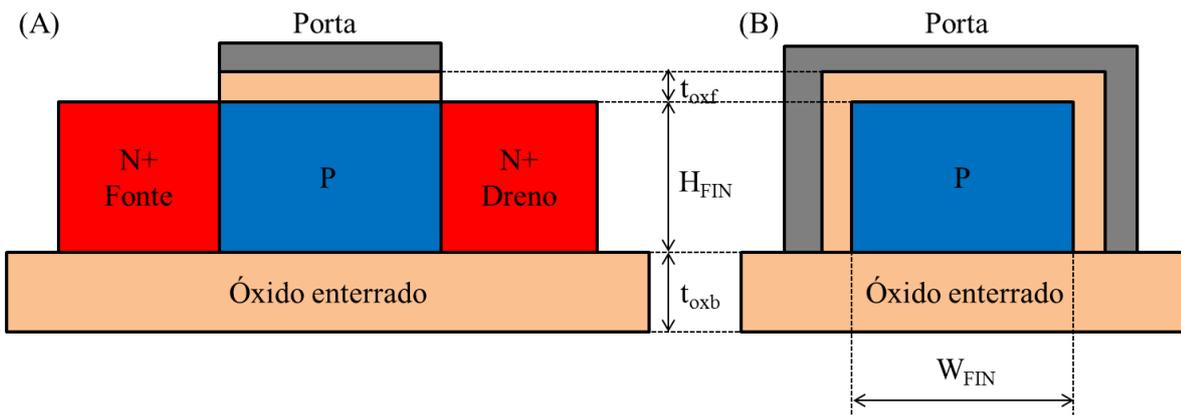
Fonte: Autor “adaptado de” Colinge, 2008, p. 14

O transistor *fin* de efeito de campo (FinFET) (HUANG et al., 1999) também é um transistor de porta dupla, pois apresenta um óxido espesso no topo da camada de silício. Outros dispositivos são o transistor de canal vertical totalmente depletado (DELTA)

(HISAMOTO et al., 1990), porta tripla (BAIE et al., 1995), porta  $\pi$  (PARK; COLINGE; DIAZ, 2001), e porta  $\Omega$  (YANG et al., 2002). Existem também os transistores de porta circundante, tal como o transistor cilíndrico de pilar fino (CYNTHIA) (MIYANO; HIROSE; MASUOKA, 1992).

O transistor MOS de porta tripla se tornou o dispositivo mais requisitado pela indústria de semicondutores, sendo aplicado pela Intel em microprocessadores com lâminas de substrato *bulk* desde 2011 (ANANDTECH, 2014). O SOI MOSFET de porta tripla possui uma fina aleta de silício (*fin*) sustentada por uma camada de óxido enterrado, sendo envolta por óxido e material de porta em três de seus lados (COLINGE, 2004). A Figura 5 apresenta as secções longitudinal (A) e transversal (B) do SOI MOSFET de porta tripla, onde  $W_{FIN}$  corresponde à largura do *fin* e  $H_{FIN}$  à altura do *fin*.

Figura 5 – Secções do transistor SOI MOS de porta tripla



Fonte: Autor

Legenda: (A) Longitudinal  
(B) Transversal.

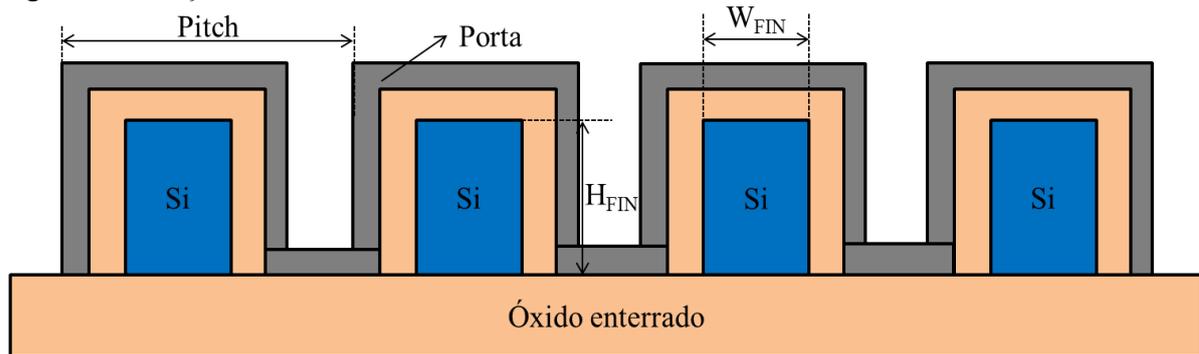
Em um transistor de múltiplas portas, o fornecimento de corrente de dreno é igual à soma das correntes de dreno fluindo ao longo de todas as interfaces cobertas pelo eletrodo de porta. Portanto, a corrente de um dispositivo de porta tripla com  $W_{FIN} = H_{FIN}$  é aproximadamente igual a três vezes a corrente de um transistor de porta simples de equivalente comprimento e largura de canal, desde que os portadores tenham a mesma mobilidade em cada uma das interfaces. Entretanto, é sabido que as mobilidades dos portadores de carga móvel no topo ( $\mu_{top}$ ) e nas laterais ( $\mu_{lat}$ ) não são idênticas, uma vez que esta é dependente da orientação cristalográfica dos planos de condução (COLINGE, 2008).

A superfície do topo possui orientação  $\langle 100 \rangle$ , enquanto que as superfícies laterais apresentam orientação  $\langle 110 \rangle$ . Como a mobilidade dos elétrons é maior no topo, a corrente de

dreno nas paredes laterais é inferior à corrente de dreno do topo para a mesma condição de polarização (LANDGRAF et al., 2006).

Assim, a estrutura multi-dedos é utilizada para incrementar a corrente de dreno dos dispositivos de múltiplas portas, sendo formada por vários *fins* em paralelo (COLINGE, 2008). A Figura 6 exibe a secção transversal de uma estrutura multi-dedos.

Figura 6 – Secção transversal da estrutura multi-dedos



Fonte: Autor

O fornecimento de corrente de dreno de uma estrutura multi-dedos é igual à corrente de um *fin* individual multiplicado pelo número de *fins*. A equação (3) realiza uma comparação entre as correntes de dreno dos dispositivos planar ( $I_{Do}$ ) e multi-dedos porta tripla, considerando o período (*Pitch*) dos *fins* que corresponde à distância entre o início de um *fin* e o seu subsequente (COLINGE, 2008).

$$I_D = I_{Do} \cdot \frac{\mu_{top} \cdot W_{Fin} + 2 \cdot \mu_{lat} \cdot H_{Fin}}{\mu_{top} \cdot Pitch} \quad (3)$$

De maneira a tornar vantajosa a estrutura multi-dedos, a corrente de dreno ( $I_D$ ) desta estrutura, contabilizando a diferença entre as mobilidades do topo e das laterais, deve ser maior do que a corrente de dreno do dispositivo planar ( $I_{Do}$ ) de dimensões equivalentes (COLINGE, 2008).

Os dispositivos de porta tripla apresentam uma interface óxido de porta/silício não planar envolvendo os cantos. Desta forma, as inversões das interfaces Si-SiO<sub>2</sub> do topo, das laterais e dos cantos podem ocorrer para diferentes tensões de porta, uma vez que os cantos sofrem a ação tanto do campo elétrico lateral quanto do topo, atraindo um maior número de portadores minoritários nos cantos (Efeito de Canto). Como resultado, são obtidas distintas tensões de limiar para as superfícies planas e os cantos (XIONG; PARK; COLINGE, 2003).

Os nanofios transistores são candidatos promissores para o futuro nas aplicações de circuitos integrados de baixo consumo de potência e baixa tensão. Estes transistores nanométricos possuem  $H_{FIN}$  aproximadamente igual à  $W_{FIN}$ , e não apresentam dopagem no canal. Logo, a única forma de alterar a tensão de limiar destes transistores é através da aplicação da tensão de substrato, ou por meio da variação da largura de canal, uma vez que altera o acoplamento eletrostático de porta. O excelente desempenho elétrico dos nanofios em circuitos integrados digitais já foi demonstrado, fornecendo alta corrente de estado ligado com reduzida corrente de estado desligado para ambos os transistores nMOS e pMOS (BANGSARUNTIP et al., 2009; BARRAUD et al., 2012). Os nanofios apresentam alto desempenho elétrico inclusive em aplicações analógicas, elevando o ganho de tensão em comparação com FinFETs. Estas características são alcançadas graças ao excelente controle eletrostático, à menor degradação da mobilidade dos portadores de carga móvel e ao bom controle da resistência série nestes dispositivos (KILCHYTSKA et al., 2015).

Um fenômeno importante em transistores de múltiplas portas é a inversão volumétrica, descoberta por Balestra et al. (1987). Este fenômeno ocorre quando a camada de silício é fina e/ou estreita. Desta forma, os portadores de carga móvel no canal não estão confinados na interface óxido de porta/silício, como previsto pela física clássica de semicondutores, mas no centro do filme de silício. Para considerar corretamente os efeitos do confinamento quântico, é necessário solucionar ambas as equações de Poisson e Schrödinger de maneira auto-consistente (COLINGE, 2008). Como os portadores não estão mais confinados na interface, tem-se um aumento significativo da corrente de dreno em razão do maior número de portadores, além da reduzida influência do espalhamento induzido pela superfície e pelos defeitos da interface, o que provoca uma elevação da mobilidade e da transcondutância (BALESTRA et al., 1987).

## 2.2 CARACTERÍSTICAS ELÉTRICAS BÁSICAS DOS TRANSISTORES MOS

Esta seção define os parâmetros elétricos básicos dos transistores MOS que são essenciais para a compreensão deste trabalho, além da abordagem do efeito de canal curto e ionização por impacto.

### 2.2.1 Tensão de limiar

A tensão de limiar de um transistor MOS modo inversão é definida como a tensão de porta necessária para inverter os portadores de carga na superfície da camada de silício, promovendo o surgimento de um canal de condução de corrente entre dreno e fonte. Esta condição é atingida para dispositivos planares quando o potencial de superfície da camada de silício é de aproximadamente  $2\phi_F$ . No caso de transistores *bulk* nMOS e SOI nMOS parcialmente depletado, a tensão de limiar é obtida pela equação (4) (COLINGE, J.-P; COLINGE, C. A, 2002).

$$V_{TH} = V_{FB} + 2\phi_F + \frac{q \cdot N_A \cdot X_{dmax}}{C_{oxf}} \quad (4)$$

Onde  $V_{FB}$  corresponde à tensão de faixa plana e é dada por  $\phi_{MSF} - \frac{Q_{oxf}}{C_{oxf}} + \frac{2q \cdot N_{it} \cdot \phi_F}{C_{oxf}}$ ,

sendo que  $\phi_{MSF}$  é a diferença entre as funções trabalho do metal de porta e da camada de silício;  $Q_{oxf}$  é a densidade de cargas fixas no óxido de porta por unidade de área;  $N_{it}$  é a densidade de armadilhas de interface por unidade de área;  $C_{oxf}$  é a capacitância do óxido de

porta por unidade de área, expressa por  $C_{oxf} = \frac{\epsilon_{ox}}{t_{oxf}}$ , onde  $\epsilon_{ox}$  corresponde à permissividade

do óxido de porta (COLINGE, J.-P; COLINGE, C. A, 2002).

O SOI MOSFET totalmente depletado apresenta uma interação entre as regiões de depleção geradas pela porta e pelo substrato. As tensões aplicadas à porta e ao substrato em relação à região de fonte podem ser obtidas a partir das equações de Lim & Fossum, descritas a seguir para o transistor SOI nMOS totalmente depletado, desprezando-se as armadilhas de interface (LIM; FOSSUM, 1983):

$$V_{GS} = \phi_{MSF} - \frac{Q_{oxf}}{C_{oxf}} + \left(1 + \frac{C_{Si}}{C_{oxf}}\right) \cdot \phi_{SF} - \frac{C_{Si}}{C_{oxf}} \cdot \phi_{SB} - \frac{0,5 \cdot (Q_{depl} + Q_{inv})}{C_{oxf}} \quad (5)$$

$$V_{BS} = \phi_{MSB} - \frac{Q_{oxb}}{C_{oxb}} - \frac{C_{Si}}{C_{oxb}} \cdot \phi_{SF} + \left(1 + \frac{C_{Si}}{C_{oxb}}\right) \cdot \phi_{SB} - \frac{0,5 \cdot (Q_{depl} + Q_{SB})}{C_{oxb}} \quad (6)$$

onde  $C_{Si}$  é a capacitância da camada de silício por unidade de área, dada por  $C_{Si} = \frac{\epsilon_{Si}}{t_{Si}}$ ;  $Q_{depl}$  é a densidade de cargas de depleção na camada de silício por unidade de área, expressa por  $Q_{depl} \cong -q \cdot N_A \cdot t_{Si}$ ;  $Q_{inv}$  é a densidade de cargas de inversão na interface região ativa/óxido de porta por unidade de área ( $Q_{inv} < 0$ );  $\phi_{MSB}$  é a diferença entre as funções trabalho do substrato e da camada de silício;  $Q_{oxb}$  é a densidade de cargas fixas no óxido enterrado por unidade de área;  $C_{oxb}$  é a capacitância do óxido enterrado por unidade de área, dada por  $C_{oxb} = \frac{\epsilon_{ox}}{t_{oxb}}$  e  $Q_{SB}$  é a densidade de cargas de inversão ( $Q_{SB} < 0$ ) ou de acumulação ( $Q_{SB} > 0$ ) na interface região ativa/óxido enterrado por unidade de área (LIM; FOSSUM, 1983).

Devido ao acoplamento entre os potenciais aplicados à porta e ao substrato, a tensão de limiar do transistor SOI de camada fina é dependente da tensão aplicada ao substrato. Para o cálculo da tensão de limiar, têm-se  $\phi_{SF} = 2\phi_F$ ,  $Q_{inv} = 0$  e  $0 < \phi_{SB} < 2\phi_F$  (LIM; FOSSUM, 1983).

A tensão de limiar dos transistores com dopagem natural da lâmina não pode ser obtida classicamente, considerando que a condução se inicie quando o potencial de superfície atinge  $2\phi_F$  (GARCÍA SÁNCHEZ; ORTIZ-CONDE; MUCI, 2006). Desta maneira, outros métodos foram propostos para determinação da tensão de limiar, tais como a igualdade entre as componentes de corrente de deriva e de difusão (CUNHA et al., 2011; SHIH; WANG, 2009) e a relação entre as capacitâncias (POIROUX et al., 2005).

Baseada na relação entre as capacitâncias, foi determinada a tensão de limiar dos transistores de porta dupla com dopagem natural da lâmina, sendo descrita por (POIROUX et al., 2005):

$$V_{TH} = \Delta\phi_{mi} + \frac{k.T}{q} \ln \left( \frac{2.C_{oxf}.k.T}{q^2.n_i.W_{FIN}} \right) + \frac{\pi^2.\hbar^2}{2.q.m^*.W_{FIN}^2} \quad (7)$$

onde  $\Delta\phi_{mi}$  é a diferença entre as funções trabalho do metal de porta e do silício com dopagem natural,  $\hbar$  é a constante de Planck normalizada e  $m^*$  é a massa de confinamento do portador na direção transversal.

### 2.2.2 Inclinação de sublimiar

A inclinação de sublimiar (SS), dada pela equação (8), corresponde à variação de tensão de porta necessária para variar a corrente de dreno em uma década em regime de sublimiar. Trata-se de uma importante figura de mérito, uma vez que está ligada à eficiência de chaveamento do MOSFET (COLINGE, J.-P; COLINGE, C. A, 2002).

$$SS = \frac{\partial V_{GS}}{\partial(\log I_D)} \quad (8)$$

A corrente de dreno é composta majoritariamente pela componente de difusão em regime de sublimiar (SZE; KWOK, 2007). A partir da equação da corrente de dreno de difusão, obtém-se a inclinação de sublimiar, dada a seguir (BREWS, 1979):

$$SS = n \cdot \frac{k \cdot T}{q} \cdot \ln(10) \quad (9)$$

Os SOI MOSFETs totalmente depletados, por possuírem melhor acoplamento capacitivo, apresentam menor fator de corpo em comparação com os transistores *bulk* MOS e, por conseguinte, reduzida inclinação de sublimiar (COLINGE, 2004). Os dispositivos de múltiplas portas, tais como os nanofios transistores, também possuem inclinação de sublimiar muito próxima do limite mínimo teórico, 60 mV/dec em temperatura ambiente, em razão do fator de corpo muito próximo da unidade (BANGSARUNTIP et al., 2009).

### 2.2.3 Mobilidade

A mobilidade é um parâmetro que quantifica a facilidade com que os portadores de carga se deslocam ao longo da rede cristalina do semicondutor, sendo obtida pela razão entre a velocidade de deriva dos portadores e o campo elétrico lateral aplicado. Caso este campo elétrico longitudinal seja elevado, pode haver uma redução da mobilidade em razão da saturação da velocidade dos portadores (COLINGE, J.-P; COLINGE, C. A, 2002).

O movimento dos portadores de carga móvel no cristal semicondutor não é livre, mas limitado pela atuação de diversos mecanismos de espalhamento que diminuem a sua mobilidade (SZE; KWOK, 2007; TAKAGI et al., 1994), são eles:

- a) espalhamento de rede ou por fônons ( $\mu_{ps}$ ): A estrutura de banda de um semicondutor é determinada pelo potencial do cristal, sendo este influenciado pelas variações no espaçamento de rede. Este mecanismo de degradação da mobilidade se refere à interação entre os portadores do canal e as vibrações na rede cristalina. Ao diminuir a temperatura, o número de vibrações da rede cristalina é reduzido, incrementando a mobilidade dos elétrons e das lacunas (LUNDSTROM, 2000);
- b) espalhamento por efeito Coulomb ( $\mu_{cs}$ ): Este mecanismo de espalhamento está relacionado à degradação da mobilidade dos portadores pelas cargas armadilhadas no óxido e na interface Si-SiO<sub>2</sub> e os efeitos associados a estas cargas (ROBERTSON; WALLACE, 2015);
- c) espalhamento por rugosidade superficial ( $\mu_{sr}$ ): Quando uma tensão é aplicada à porta do MOSFET, um campo elétrico vertical é gerado, o que atrai os portadores para a interface óxido de porta/silício, degradando a mobilidade dos portadores devido à rugosidade da superfície da camada de silício (LUNDSTROM, 2000).

Através da regra de Matthiessen, estes mecanismos de espalhamento podem ser agrupados, obtendo-se a mobilidade efetiva dos portadores de carga móvel ( $\mu_{eff}$ ), dada pela equação (10) (ROBERTSON; WALLACE, 2015).

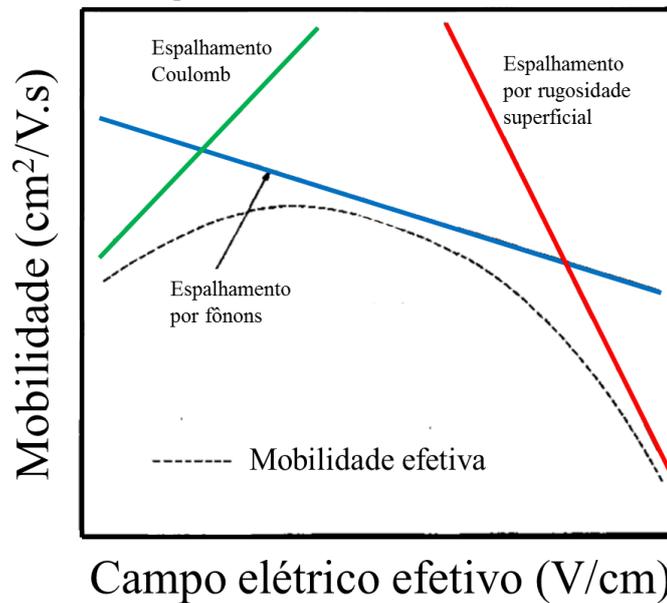
$$\mu_{eff} = \frac{1}{\frac{1}{\mu_{ps}} + \frac{1}{\mu_{cs}} + \frac{1}{\mu_{sr}}} \quad (10)$$

A Figura 7 apresenta um esquemático da mobilidade dos portadores de carga móvel em função do campo elétrico efetivo de porta, indicando a faixa de campo elétrico vertical em que cada um destes mecanismos de espalhamento é mais atuante. O espalhamento Coulomb atua principalmente em campos elétricos de porta mais reduzidos, enquanto que o espalhamento por fônons é mais atuante em campos elétricos de porta moderados, já o espalhamento por rugosidade superficial é mais importante em elevado campo elétrico aplicado à porta (LUNDSTROM, 2000).

Takagi et al. (1994) estudaram a mobilidade da camada de inversão em transistores *bulk* MOS tipo N e P em uma larga faixa de concentração de dopantes no canal a partir do ponto de vista da relação universal entre a mobilidade e o campo elétrico efetivo de porta.

Foram comparadas as equações que definem os três mecanismos de espalhamento com os resultados experimentais, sendo verificada uma boa semelhança para concentração de impurezas no substrato de até  $10^{18} \text{ cm}^{-3}$ .

Figura 7 – Mobilidade dos portadores de carga móvel em função do campo elétrico efetivo de porta com indicações das faixas de atuação de cada mecanismo de espalhamento



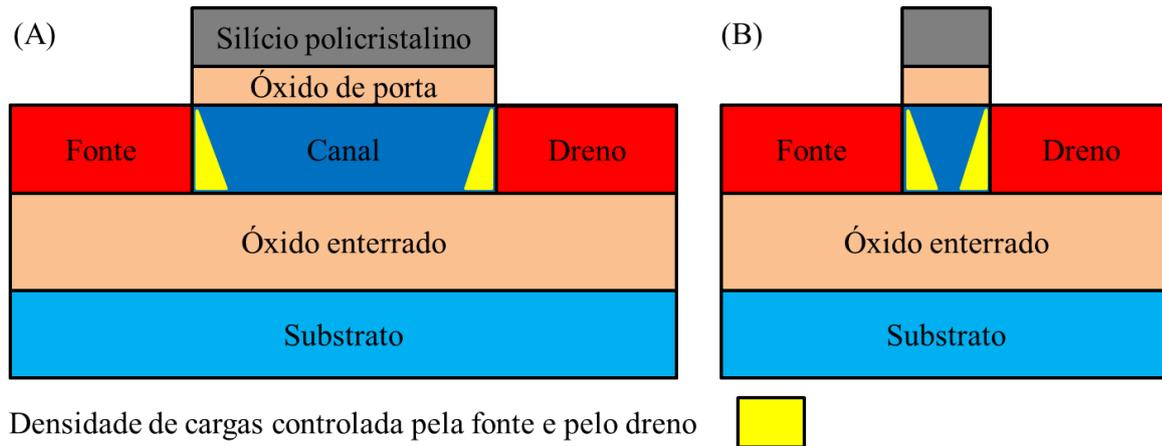
Fonte: Autor “adaptado de” Takagi et al., 1994, p. 2359

#### 2.2.4 Efeitos de canal curto

A diminuição do comprimento de canal dos transistores torna as regiões de depleção da fonte e do dreno significativas em comparação com a região de depleção induzida pela porta, provocando os chamados efeitos de canal curto (VEERARAGHAVAN; FOSSUM, 1989).

Em um dispositivo de canal curto, a densidade de cargas controlada pela porta é proporcionalmente menor do que em um dispositivo de canal longo, ocasionando a redução da tensão de limiar, além do aumento da inclinação de sublimiar devido ao menos efetivo acoplamento capacitivo (VEERARAGHAVAN; FOSSUM, 1988). A Figura 8 exhibe a secção transversal dos SOI MOSFETs de canal longo (A) e canal curto (B). É possível notar, no caso do transistor de canal curto, um aumento da densidade de cargas controlada pelas regiões de fonte e dreno comparativamente à densidade de cargas controlada pela porta.

Figura 8 – Secção transversal dos SOI MOSFETs de canal longo e canal curto



Densidade de cargas controlada pela fonte e pelo dreno

Fonte: Autor

Legenda: (A) Canal longo.

(B) Canal curto.

Outro efeito importante em transistores de canal curto é a redução da barreira de potencial junto à fonte induzida pelo dreno (DIBL). As junções fonte-corpo e dreno-corpo são polarizadas reversamente, portanto, ao elevar a tensão aplicada entre dreno e fonte ( $V_{DS}$ ), há um incremento da região de depleção associada à junção dreno-corpo. Para os MOSFETs de canal curto, pode haver uma interação entre as regiões de depleção de fonte e dreno, diminuindo a barreira de potencial junto à fonte e, conseqüentemente, a tensão de limiar com o aumento da polarização aplicada ao dreno (VEERARAGHAVAN; FOSSUM, 1989).

Os SOI MOSFETs totalmente depletados possuem menor efeito de canal curto em comparação com os transistores *bulk* MOS, o que se deve à presença do óxido enterrado e à pequena espessura da camada de silício, tornando menores as regiões de depleção da fonte e do dreno e, conseqüentemente, diminuindo sua influência sobre a carga total de depleção. Logo, há um maior controle da porta sobre as cargas de depleção (COLINGE; KAMINS, 1987).

Os MOSFETs de múltiplas portas apresentam uma considerável redução dos efeitos de canal curto comparativamente aos transistores planares, uma vez que o potencial na região de canal é controlado por mais de uma porta, ou seja, há um melhor controle eletrostático das cargas do canal pela porta (COLINGE, 2004).

O parâmetro que representa a distância de penetração das linhas de campo elétrico provenientes do dreno no corpo do dispositivo, ou seja, o controle do dreno sobre a carga de depleção é chamado de comprimento natural ( $LAMBDA_V$ ). Este parâmetro mede o efeito de canal curto inerente à estrutura do dispositivo e é dado pela equação (11). Onde  $v$  assume os

valores 1, 2 e 4 para os transistores de porta simples, dupla e circundante, respectivamente. De modo a prevenir os efeitos de canal curto, o comprimento efetivo da porta deve ser maior do que 5 a 10 vezes o comprimento natural (COLINGE, 2004).

$$\text{LAMBDA}_V = \sqrt{\frac{\epsilon_{\text{Si}}}{v \cdot \epsilon_{\text{ox}}} \cdot t_{\text{oxf}} \cdot t_{\text{Si}}} \quad (11)$$

### 2.2.5 Ionização por impacto

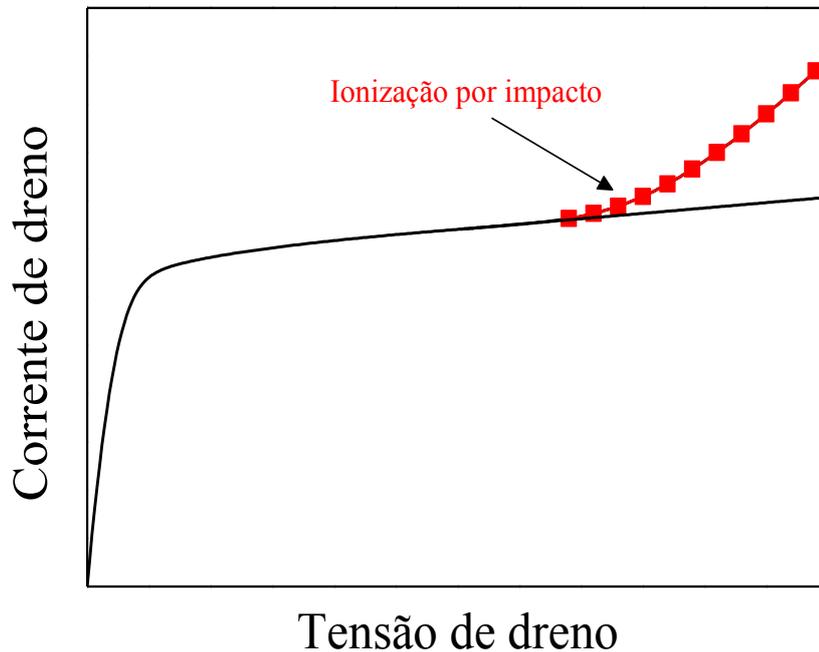
A ionização por impacto é um mecanismo importante de geração de cargas móveis no canal. Este fenômeno se inicia quando um elétron (ou lacuna) na banda de condução (ou de valência) ganha energia através do campo elétrico externo (tensão de dreno), tornando-se altamente energético. Este portador pode criar pares elétron-lacuna a partir da colisão com um elétron da banda de valência, excitando-o para a banda de condução (MAES; MEYER; OVERSTRAETEN, 1990).

Os MOSFETs possuem intrinsicamente um transistor bipolar parasitário, onde a fonte é o emissor, o corpo é a base e o dreno é o coletor. O efeito bipolar parasitário é muito influente nos SOI MOSFETs, uma vez que os pares elétron-lacuna gerados devido ao elevado campo elétrico próximo ao dreno não tem caminho para escoar através do contato de substrato, pois o corpo se encontra eletricamente flutuando em razão da presença do óxido enterrado (COLINGE, 2004).

Ao aplicar uma tensão de dreno elevada, o fenômeno de ionização por impacto pode ser iniciado mesmo com o dispositivo operando em regime de sublimiar, ativando o transistor bipolar parasitário, o qual amplifica a corrente gerada por ionização por impacto. Desta forma, há uma elevação da corrente de dreno, o que aumenta a geração de portadores por impacto, ocasionando um ciclo de realimentação positiva na corrente de dreno, tendo como consequência inclinações de sublimiar abaixo do limite mínimo teórico, podendo provocar a perda do controle da porta sobre a corrente de dreno, além de diminuir a tensão de ruptura de dreno ( $BV_{\text{DS}}$ ), que se caracteriza por uma elevação abrupta da corrente de dreno na região de saturação, reduzindo a excursão do sinal de saída do transistor (COLINGE, 2004).

A Figura 9 apresenta a curva esquemática da corrente de dreno em função da tensão de dreno para o SOI MOSFET FD com/sem o efeito da ionização por impacto sobre a corrente de dreno.

Figura 9 – Curva esquemática da corrente de dreno em função da tensão de dreno para o transistor SOI FD com indicação do efeito de ionização por impacto



Fonte: Autor

### 2.3 DISTORÇÃO HARMÔNICA

A distorção corresponde a uma modificação do sinal de saída em relação à forma de onda de entrada. Existem diversos tipos de distorção, dentre as quais se destacam: a linear e a não-linear (WAMBACQ; SANSEN, 1998).

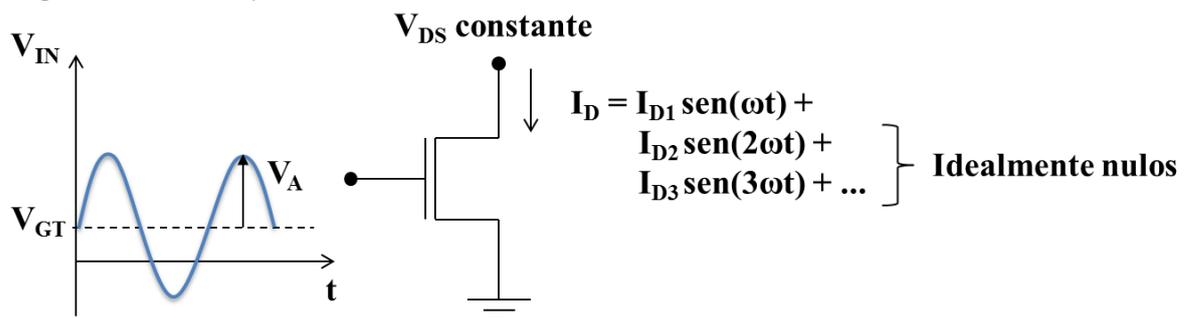
A distorção linear ocorre, por exemplo, em um amplificador operacional, desde que assumido que todos os elementos do circuito são lineares. A partir da teoria da série de Fourier, sabe-se que uma forma de onda periódica pode ser considerada como uma soma de senoides de frequências harmônicas da componente fundamental. Uma vez que a resposta em frequência do amplificador operacional não é plana ao longo de todas as frequências, os diferentes harmônicos não são amplificados da mesma maneira. Como resultado, a soma dos harmônicos amplificados não corresponde ao sinal de entrada (WAMBACQ; SANSEN, 1998).

A distorção não-linear, também denominada de distorção harmônica, ocorre em dispositivos que apresentam característica de transferência não-linear, tais como diodos e MOSFETs. No caso dos transistores MOS, tem-se a presença de diversos elementos não-lineares, dentre os quais se destacam: as capacitâncias entre fonte e substrato e entre dreno e

substrato, e a corrente de dreno. Neste caso, a forma de onda de saída depende do ponto de operação do transistor e da amplitude do sinal de entrada (WAMBACQ; SANSEN, 1998).

Ao aplicar uma onda senoidal de amplitude pequena com frequência angular  $\omega$  ( $= 2\pi.f$ , onde  $f$  é a frequência do sinal de entrada) na porta do transistor MOS, o espectro de saída do circuito não-linear terá apenas uma componente de frequência como resposta que corresponde à frequência do sinal de entrada, ou seja, o circuito tem comportamento linear. Quando a amplitude de entrada é aumentada, o espectro de saída conterá sinais nas frequências  $2\omega$  e  $3\omega$ , que são a segunda e a terceira harmônicas, originadas do comportamento não-linear do circuito (WAMBACQ; SANSEN, 1998), conforme representado na Figura 10. Onde  $V_{IN}$  é a tensão de entrada,  $V_{GT}$  ( $= V_{GS} - V_{TH}$ ) é a sobretensão de porta,  $V_A$  é a amplitude do sinal de entrada senoidal,  $t$  é o tempo,  $I_{D1}$ ,  $I_{D2}$  e  $I_{D3}$  são as amplitudes das componentes fundamental, segunda e terceira harmônicas da corrente de saída.

Figura 10 – Distorção harmônica em um transistor MOS



Fonte: Autor

As figuras de mérito mais comumente utilizadas para a análise da linearidade de um transistor MOS são a distorção harmônica total (THD), a distorção harmônica de segunda ordem (HD2) e a distorção harmônica de terceira ordem (HD3) (CERDEIRA et al., 2004).

Através do método de Fourier, frequentemente utilizado para determinar a distorção harmônica em diversos dispositivos/circuitos, podem ser obtidas, respectivamente, as equações (12) e (13) para as distorções harmônicas total e de enésima ordem (HD $n$ ). Onde  $C_1$  e  $C_n$  correspondem, respectivamente, aos coeficientes de Fourier que remetem às amplitudes dos harmônicos de primeira e enésima ordem do sinal de saída (CERDEIRA et al., 2004).

$$\text{THD} = \sqrt{\frac{\sum_{n=2}^{\infty} |C_n|^2}{|C_1|^2}} \quad (12)$$

$$\text{HD}_n = \frac{|C_n|}{|C_1|} \quad (13)$$

A distorção harmônica total é usada para indicar quão bem a forma de onda de saída se assemelha à onda senoidal pura, mostrando o nível de distorção introduzido pelos harmônicos de frequências superiores à componente fundamental (WAMBACQ; SANSEN, 1998).

De acordo com Groenewold e Lubbers (1994), a distorção harmônica total de diversos circuitos não balanceados é caracterizada principalmente pela distorção harmônica de segunda ordem, como é o caso dos transistores MOS operando em saturação (amplificador), podendo ser descrita pela equação a seguir:

$$\text{HD}_2 = \frac{1}{2} \cdot V_A \cdot \frac{\partial g_m}{2g_m} \quad (14)$$

ou ainda normalizada pelo ganho de tensão em malha aberta ( $A_V$ ):

$$\frac{\text{HD}_2}{\frac{g_m}{g_D}} = \frac{1}{2} \cdot V_A \cdot \frac{\partial g_m}{2g_m^2} \cdot g_D \quad (15)$$

onde  $g_D$  é a condutância de dreno, dada por  $g_D \cong \frac{\partial I_D}{\partial V_{DS}}$ , e  $g_m$  é a transcondutância, dada por

$$g_m \cong \frac{\partial I_D}{\partial V_{GS}}.$$

O primeiro harmônico de ordem ímpar presente no sinal de saída corresponde à distorção harmônica de terceira ordem, expressa pela equação (16) (GROENEWOLD; LUBBERS, 1994).

$$HD3 = \frac{1}{4} \cdot V_A^2 \cdot \frac{\partial^2 g_m}{6g_m \partial V_{GT}^2} \quad (16)$$

Apesar da magnitude do HD3 ser usualmente desprezível em relação ao HD2, o HD3 se torna dominante em circuitos totalmente diferenciais ou balanceados que suprimem as não linearidades de ordem par (CERDEIRA et al., 2002). Estes circuitos apresentam dois sinais de entrada de mesma amplitude e fase oposta, fazendo com que o sinal de saída seja apenas distorcido pelos harmônicos ímpares, uma vez que os harmônicos pares são eliminados (WAMBACQ; SANSEN, 1998).

As equações (14) a (16) permitem avaliar a origem física da distorção harmônica dos dispositivos/circuitos.

Neste trabalho, as figuras de mérito da distorção harmônica foram extraídas a partir do método da função integral (IFM). Neste método, não se faz necessária a realização de medidas AC dos transistores, tal como o método de Fourier, nem o cálculo das derivadas de ordens altas das características de saída dos dispositivos, tal como o método da série de Taylor. O uso do método da função integral tem como vantagem a redução do ruído quando processando resultados experimentais, porém como desvantagem o IFM possibilita apenas o cálculo de THD, HD2 e HD3 (CERDEIRA et al., 2002).

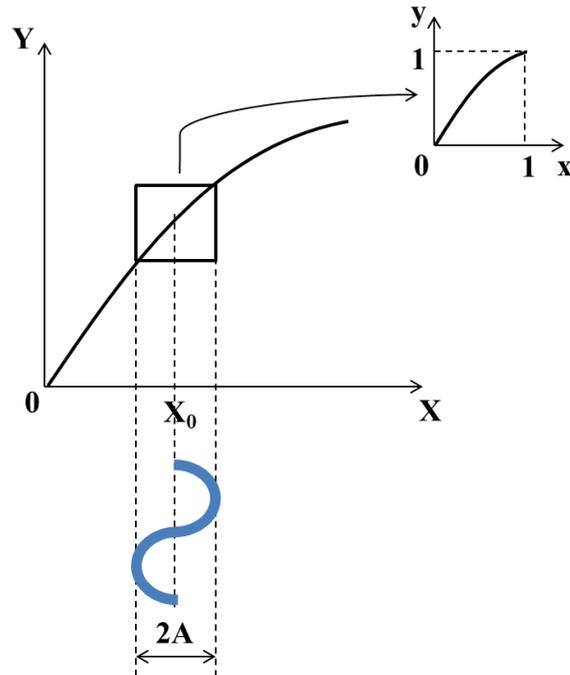
O IFM requer o conhecimento das características DC de entrada-saída (característica de transferência) do dispositivo/circuito em análise. O sinal de entrada (X) é constituído pelo nível DC de polarização ( $X_0$ ) e por uma senoide de amplitude A, conforme apresentado na equação (17) (CERDEIRA et al., 2004).

$$X = X_0 + A \cdot \text{sen}(\omega t) \quad (17)$$

O sinal de saída é representado por  $Y = f(X)$ , que é uma função não-linear. A região de interesse da curva de transferência é, então, definida e ambos os eixos desta região são normalizados no intervalo [0;1], como mostrado na Figura 11. A característica de saída normalizada é obtida em função do ponto de operação e da amplitude do sinal de entrada. A partir de funções integrais, as figuras de mérito da distorção harmônica são calculadas. Estas funções integrais levam em consideração a diferença entre as áreas acima e abaixo da curva normalizada inscrita no quadrado de área unitária. Esta diferença corresponde à não

linearidade da característica de transferência do dispositivo/circuito (CERDEIRA et al., 2004).

Figura 11 – Normalização da característica entrada-saída para aplicação do IFM



Fonte: Autor

Cerdeira et al. (2006) investigaram a não linearidade de dispositivos FinFETs, onde encontraram características de distorção similares aos SOI MOSFETs totalmente depletados, tanto em comportamento quanto em valor. FinFETs de maior comprimento de canal apresentaram menor distorção harmônica total normalizada pelo ganho de tensão, ao passo que nos transistores SOI FD, esta figura de mérito foi reduzida para menores comprimento de canal.

## 2.4 RUÍDO DE BAIXA FREQUÊNCIA

O ruído é um distúrbio indesejado de natureza aleatória que interfere no sinal de corrente ou tensão de um circuito. Estas perturbações podem ser provenientes de meios de ruído externos ao sistema estudado, tais como o acoplamento eletrostático e eletromagnético entre o circuito em análise e as linhas provenientes da rede elétrica, transmissores de rádio-frequência, iluminação, etc. Estes distúrbios podem ser eliminados por meio de blindagens,

filtros ou até mesmo mudando o leiaute dos componentes do circuito (MOTCHENBACHER; CONNELLY, 1993).

As flutuações espontâneas nos sinais de corrente ou tensão também podem ser provenientes de meios internos ao semicondutor, geradas a partir da estrutura física dos dispositivos e materiais. Este ruído não pode ser eliminado, sendo apenas possível a sua minimização (MOTCHENBACHER; CONNELLY, 1993). O ruído gerado nos dispositivos eletrônicos pode ser um problema-chave em circuitos analógicos, uma vez que define o limite mínimo que os sinais podem ser detectados (HAARTMAN; ÖSTLING, 2007). Este tipo de ruído intrínscio ao dispositivo gerado em baixas frequências será analisado neste trabalho.

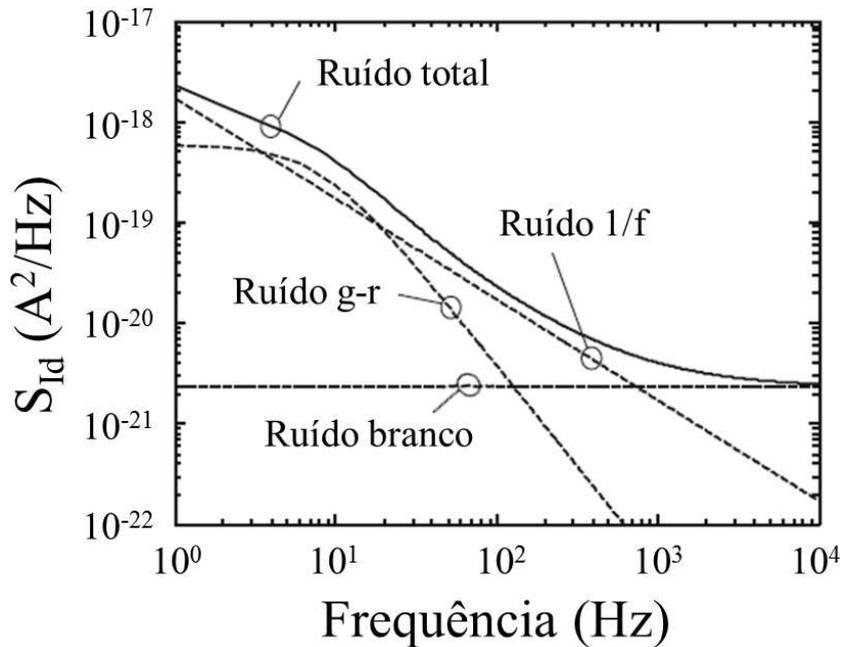
O ruído de baixa frequência corresponde ao ruído que excede aos conhecidos ruídos térmico e *shot*, sendo dominante em frequências inferiores a 10 kHz (HAARTMAN; ÖSTLING, 2007). Trata-se também de uma ferramenta de diagnóstico sensível e não destrutiva para caracterizar as armadilhas presentes nas interfaces do canal e na camada de depleção do silício (THEODOROU et al., 2013).

Atualmente, o dielétrico de porta tradicional formado por SiO<sub>2</sub> tem sido substituído por combinações de materiais avançados, tal como o *high-κ*, sendo necessários processos de fabricação mais complexos, que frequentemente levam a mais defeitos e imperfeições no caminho da corrente de dreno, causando flutuações nas tensões e correntes dos circuitos elétricos e, conseqüentemente, intensificando o ruído de baixa frequência (HAARTMAN; ÖSTLING, 2007).

As cinco fontes de ruído fundamentais são: térmico, *shot*, geração-recombinação (g-r), sinal telegráfico randômico e 1/f (HAARTMAN; ÖSTLING, 2007).

A Figura 12 apresenta a densidade espectral de potência para flutuações na corrente de dreno ( $S_{Id}$ ) em função da frequência para as diversas componentes de ruído de um transistor MOS, onde é possível verificar que o ruído 1/f domina praticamente todo o espectro de frequências limitado a 10 kHz. O ruído branco (térmico e *shot*) apresenta a menor densidade espectral de potência, porém se estende ao longo de todas as frequências, sendo importante em telecomunicações. O ruído g-r apresenta um *plateau* seguido de um decaimento  $1/f^2$ . O ruído sinal telegráfico randômico não é mostrado nesta figura, pois sua análise é realizada no domínio do tempo (HAARTMAN; ÖSTLING, 2007).

Figura 12 – Densidade espectral de potência para flutuações na corrente de dreno em função da frequência com indicações dos ruídos branco, g-r, 1/f e total



Fonte: Autor “adaptado de” Haartman e Östling, 2007, p. 5

**Ruído térmico:** Este tipo de ruído é proveniente do movimento térmico randômico dos elétrons em um material resistivo. Estes elétrons sofrem espalhamento, o que provoca uma alteração em suas velocidades. Em certo instante de tempo, pode haver mais elétrons circulando em uma direção. Logo, há uma pequena corrente fluindo que pode variar em intensidade e direção. No entanto, a corrente para uma longa variação de tempo é sempre zero (HAARTMAN; ÖSTLING, 2007).

O ruído térmico é chamado de ruído branco, pois apresenta densidade espectral de potência constante em todas as frequências e é dado pela equação (18). Onde  $S_{Id,térmico}$  corresponde à densidade espectral de potência do ruído térmico de corrente de dreno e  $R$  à resistência elétrica do material (HAARTMAN; ÖSTLING, 2007).

$$S_{Id,térmico} = \frac{4.k.T}{R} \quad (18)$$

A densidade espectral de potência do ruído térmico de corrente de dreno dos transistores MOS pode ser obtida por meio da equação (19), onde  $\gamma'$  assume os valores de 1/2 e 2/3 em inversões fraca e forte, respectivamente (GRAY et al., 2009).

$$S_{I_D, \text{t\u00e9rmico}} = 4.k.T.g_m.\gamma' \quad (19)$$

Ru\u00eddo *shot*: A corrente fluindo atrav\u00e9s de uma barreira de potencial, tal como uma jun\u00e7\u00e3o PN, n\u00e3o \u00e9 cont\u00ednua devido \u00e0 natureza discreta das cargas el\u00e9tricas m\u00f3veis. Esta corrente \u00e9 dada pelo n\u00famero de portadores que fluem atrav\u00e9s desta barreira durante certo per\u00edodo de tempo. O ru\u00eddo *shot* \u00e9 gerado quando os el\u00e9trons atravessam a barreira de potencial de forma independente e rand\u00f4mica. Da mesma forma que o ru\u00eddo t\u00e9rmico, o ru\u00eddo *shot* tamb\u00e9m \u00e9 denominado de ru\u00eddo branco, uma vez que a densidade espectral de pot\u00eancia do ru\u00eddo *shot* de corrente de dreno ( $S_{I_D, \text{shot}}$ ), dada pela equa\u00e7\u00e3o (20), \u00e9 independente da frequ\u00eancia (HAARTMAN; \u00d6STLING, 2007).

$$S_{I_D, \text{shot}} = 2.q.I_D \quad (20)$$

Ru\u00eddo de gera\u00e7\u00e3o-recombina\u00e7\u00e3o: Este tipo de ru\u00eddo tem sua origem em armadilhas que randomicamente capturam e emitem portadores, provocando flutua\u00e7\u00f5es no n\u00famero de portadores de carga m\u00f3vel dispon\u00edveis para o transporte de corrente. O ru\u00eddo g-r \u00e9 significativo somente quando o n\u00edvel de Fermi \u00e9 pr\u00f3ximo ao n\u00edvel de energia da armadilha, uma vez que os tempos de captura e de emiss\u00e3o dos portadores s\u00e3o quase iguais. O seu formato de densidade espectral de pot\u00eancia \u00e9 chamado de *Lorentzian*, o qual possui um *plateau* em baixas frequ\u00eancias seguido de um decaimento  $1/f^2$ . A equa\u00e7\u00e3o (21) apresenta o modelo da densidade espectral de pot\u00eancia para flutua\u00e7\u00f5es na corrente de dreno devido ao ru\u00eddo de gera\u00e7\u00e3o-recombina\u00e7\u00e3o ( $S_{I_D, \text{gr}}$ ), onde  $N_T$  \u00e9 o n\u00famero de armadilhas no \u00f3xido,  $N$  \u00e9 o n\u00famero de portadores e  $\tau$  \u00e9 a constante de tempo de transi\u00e7\u00e3o (HAARTMAN; \u00d6STLING, 2007).

$$S_{I_D, \text{gr}} = I_D^2 \cdot \frac{N_T}{N^2} \cdot \frac{\tau}{1 + (2.\pi.f)^2 . \tau^2} \quad (21)$$

Ru\u00eddo sinal telegr\u00e1fico rand\u00f4mico (RTS): Este tipo de ru\u00eddo \u00e9 um caso especial de ru\u00eddo g-r, que \u00e9 apresentado no dom\u00ednio do tempo como eventos de comuta\u00e7\u00e3o discreta. Caso poucas armadilhas estejam envolvidas, a corrente pode chavear entre dois ou mais estados devido ao armadilhamento e ao desarmadilhamento de portadores. O formato da densidade espectral de pot\u00eancia tamb\u00e9m \u00e9 um *Lorentzian*. Para pulsos de dois n\u00edveis com altura  $\Delta I_D$ , a

densidade espectral de potência para flutuações na corrente de dreno relacionada ao ruído RTS ( $S_{Id,rts}$ ) é dada pela equação (22). Onde  $\tau_l$  e  $\tau_h$  correspondem, respectivamente, aos tempos em níveis baixo e alto (HAARTMAN; ÖSTLING, 2007).

$$S_{Id,rts} = \frac{4.(\Delta I_D)^2}{(\tau_l + \tau_h) \left[ \left( \frac{1}{\tau_l} + \frac{1}{\tau_h} \right)^2 + (2.\pi.f)^2 \right]} \quad (22)$$

O ruído g-r pode ser visto como uma soma de ruídos RTS de uma ou mais armadilhas com idênticas constantes de tempo de transição, e que é apenas mostrada como ruído RTS no domínio do tempo se o número de armadilhas envolvido for pequeno (HAARTMAN; ÖSTLING, 2007).

Ruído 1/f: Este tipo de ruído, também chamado de ruído *flicker*, corresponde a flutuações na corrente elétrica com densidade espectral de potência proporcional a  $1/f^\gamma$ , onde  $\gamma$  varia de 0,7 a 1,3 (HAARTMAN; ÖSTLING, 2007). Na equação (23), é mostrada a forma geral da densidade espectral de potência para flutuações na corrente de dreno provocada pelo ruído 1/f ( $S_{Id,1/f}$ ), onde K é uma constante dependente do dispositivo e  $\beta$  é uma constante que varia entre 0,5 a 2 (VASILESCU, 2005).

$$S_{Id,1/f} = \frac{K.I^\beta}{f^\gamma} \quad (23)$$

Estas flutuações na corrente de dreno se devem especialmente a dois mecanismos físicos: flutuações na mobilidade dos portadores de carga móvel (HOOGE, 1969) ou flutuações no número de portadores de carga móvel (MCWHORTER, 1957), uma vez que afetam a condutividade elétrica, a qual é diretamente proporcional à mobilidade e ao número de portadores.

O ruído g-r de um grande número de armadilhas também pode produzir ruído 1/f, caso as constantes de tempo de transição das armadilhas sejam distribuídas adequadamente, sendo facilmente obtido para o canal superficial presente nos transistores MOS (HAARTMAN; ÖSTLING, 2007).

O ruído relacionado com as flutuações no número de portadores está ligado com as transições de tunelamento quântico de elétrons entre o canal e as armadilhas localizadas no óxido de porta, causando uma variação na densidade de portadores no canal (HAARTMAN; ÖSTLING, 2007).

As flutuações nas cargas existentes no óxido de porta provoca uma oscilação na tensão de faixa plana que, por sua vez, ocasiona uma flutuação na corrente de dreno (HAARTMAN; ÖSTLING, 2007). A densidade espectral de potência para flutuações na tensão de faixa plana ( $S_{VFB}$ ) é dada pela equação (24). Onde  $W$  é a largura de canal do transistor,  $N_t$  é a densidade de armadilhas no dielétrico de porta no nível de quasi-Fermi e  $\lambda$  é o comprimento de atenuação do tunelamento no óxido de porta, o qual corresponde à  $10^{-8}$  cm para a interface Si-SiO<sub>2</sub> (MCWHORTER, 1957).

$$S_{VFB} = \frac{q^2 \cdot k \cdot T \cdot \lambda \cdot N_t}{f^\gamma \cdot W \cdot L \cdot C_{oxf}^2} \quad (24)$$

O expoente da frequência ( $\gamma$ ) na equação (24) se afasta da unidade se a densidade de armadilhas não for uniforme na profundidade do óxido de porta. Caso  $\gamma$  seja menor do que a unidade, há uma maior densidade de armadilhas próxima à interface óxido de porta/canal, ao passo que, se  $\gamma$  for maior do que a unidade, há uma maior densidade de armadilhas no interior do óxido de porta (JAYARAMAN; SODINI, 1989).

A densidade espectral de potência para flutuações na corrente de dreno provocada por flutuações no número de portadores é obtida a partir da equação (25).

$$S_{Id,1/f} = S_{VFB} \cdot \frac{I_D^2}{(V_{GS} - V_{TH})^2} = S_{VFB} \cdot g_m^2 \quad (25)$$

Como o tempo de tunelamento entre um portador e uma armadilha aumenta exponencialmente com a distância de tunelamento, a requerida distribuição de constantes de tempo das armadilhas para produzir ruído  $1/f$  é obtida para uma densidade de armadilhas que é uniforme em energia e distância em relação à interface do canal (HAARTMAN; ÖSTLING, 2007).

A densidade de armadilhas no dielétrico de porta no nível de quasi-Fermi pode ser determinada a partir das equações (24) e (25), sendo dada por (HAARTMAN; ÖSTLING, 2007):

$$N_t = \frac{S_{Id}.f.W.L.C_{oxf}^2}{q^2.k.T.\lambda.g_m^2} \quad (26)$$

Caso seja considerado que o tunelamento de cargas entre as armadilhas e o canal seja puramente elástico, a profundidade efetiva das armadilhas no dielétrico de porta ( $x$ ) pode ser estimada através da frequência de acordo com a equação (27). Onde  $\tau_0$  corresponde à constante de tempo mínima da armadilha, o qual é assumida como sendo  $10^{-10}$  s (HAARTMAN; ÖSTLING, 2007; PUT et al., 2010). O tunelamento puramente elástico ocorre quando a energia do elétron não é alterada no processo de tunelamento (TARUCHA et al., 1999).

$$x = \lambda.\ln(1/2.\pi.f.\tau_0) \quad (27)$$

O ruído da corrente de dreno devido às flutuações na mobilidade dos portadores do canal foi descrito por Hooge (1969), a partir de um modelo empírico para flutuações em resistências. A densidade espectral de potência para flutuações na corrente de dreno causada por flutuações na mobilidade dos portadores é obtida através da equação (28), onde  $\alpha_H$  é o parâmetro de Hooge. Em inversão forte (região linear),  $S_{Id,1/f}$  é dado pela equação (29).

$$S_{Id,1/f} = \frac{q.\alpha_H.\mu_{eff}.V_{DS}.I_D}{f.L^2} \quad (28)$$

$$S_{Id,1/f} = \frac{q.\alpha_H.I_D^2}{f.W.L.C_{oxf}.(V_{GS} - V_{TH})} \quad (29)$$

O ruído 1/f relacionado com as flutuações na mobilidade foi sugerido ser principalmente causado pelo espalhamento por fônons (HOOGE; VANDAMME, 1978). No entanto, diversos mecanismos de espalhamento limitam a mobilidade do canal dos transistores MOS, os quais dependem diferentemente do campo elétrico vertical e da densidade de cargas de inversão. Desta forma, o parâmetro  $\alpha_H$  não é somente dependente da qualidade do cristal,

mas também das condições de polarização do MOSFET. Valores típicos de  $\alpha_H$  estão na faixa entre  $10^{-3}$  a  $10^{-6}$  (HAARTMAN; ÖSTLING, 2007).

Uma carga armadilhada não provoca somente uma variação na tensão de faixa plana e, portanto, uma flutuação na densidade de cargas de inversão, mas afeta também a mobilidade dos portadores de carga móvel. Estas flutuações na mobilidade estão correlacionadas às flutuações na densidade de cargas de inversão que, por sua vez, estão ligadas com o armadilhamento e o desarmadilhamento de portadores nas armadilhas do óxido de porta (HAARTMAN; ÖSTLING, 2007).

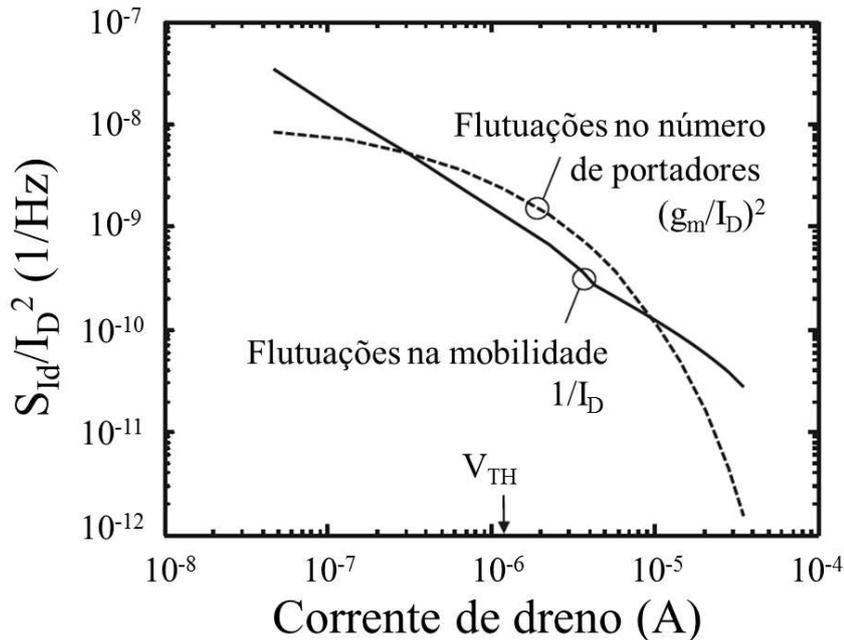
A equação (30) apresenta o cálculo da densidade espectral de potência para flutuações na corrente de dreno devido às flutuações no número de portadores correlacionadas com flutuações na mobilidade. O primeiro termo entre parênteses corresponde às flutuações no número de portadores e o segundo termo corresponde às flutuações na mobilidade correlacionadas com flutuações no número de portadores. Onde  $\alpha$  é um parâmetro de espalhamento que pode assumir valores positivo ou negativo dependendo se a mobilidade aumenta ou diminui ao ocorrer o armadilhamento de cargas, provocando um aumento ou uma redução do ruído de baixa frequência (HAARTMAN; ÖSTLING, 2007).

$$S_{I_d,1/f} = S_{VFB} \cdot \left( 1 + \frac{\alpha \cdot \mu_{eff} \cdot C_{oxf} \cdot I_D}{g_m} \right)^2 \cdot g_m^2 \quad (30)$$

A partir da densidade espectral de potência para flutuações na corrente de dreno, é possível identificar as fontes de ruído  $1/f$  do transistor MOS. Este método consiste em comparar o ruído normalizado da corrente de dreno ( $S_{I_d}/I_D^2$ ) com as razões  $(g_m/I_D)^2$  e  $1/I_D$  em função da corrente de dreno em escala log-log. Se a tendência da curva de ruído for igual à razão  $(g_m/I_D)^2$ , o ruído  $1/f$  se deve às flutuações no número de portadores, caso a curva de ruído se assemelhe à razão  $1/I_D$ , o ruído  $1/f$  está ligado às flutuações na mobilidade dos portadores (GHIBAUDO et al., 1991).

A Figura 13 apresenta  $S_{I_d}/I_D^2$  em função da corrente de dreno, indicando o formato das curvas de ruído devido às flutuações no número e na mobilidade dos portadores. O ruído relacionado com as flutuações no número de portadores frequentemente é mais atuante para tensões de porta próximas ao limiar, enquanto que o ruído devido às flutuações na mobilidade é mais importante em baixas correntes de dreno no regime de sublimiar, bem como em altas correntes de dreno em regime de inversão forte (HAARTMAN; ÖSTLING, 2007).

Figura 13 – Ruído normalizado da corrente de dreno em função da corrente de dreno com indicações das flutuações na mobilidade e no número de portadores



Fonte: Autor “adaptado de” Haartman e Östling, 2007, p. 79

Os SOI MOSFET apresentam maior ruído de baixa frequência do que os transistores *bulk*, o que se deve à presença da interface óxido enterrado/corpo, aos defeitos no corpo de silício e aos efeitos de corpo flutuante. O tipo de transistor (PD, FD ou modo acumulação) e a escolha do tipo de substrato SOI (UNIBOND, SIMOX, BESOI, etc) tem grande impacto no ruído de baixa frequência (SIMOEN; CLAEYS, 1996).

Os transistores SOI PD são vulneráveis aos efeitos de corpo flutuante, pois podem apresentar um *kink* na corrente de dreno sobre certas condições de polarização, o que provoca um pico de ruído em uma determinada frequência que é proveniente do ruído *shot* da corrente de dreno que descarrega o corpo através da junção corpo/fonte (TSENG et al., 2001).

Os transistores SOI FD apresentam um acoplamento entre as tensões de porta e de substrato, conforme discutido anteriormente, o que provoca um aumento do ruído  $1/f$ , visto que o ruído gerado pelas armadilhas na interface óxido enterrado/corpo é acoplado à saída, incrementando o ruído de corrente de dreno (SIMOEN et al., 2004).

No caso de transistores nMOS, a fonte de ruído  $1/f$  dominante tende a estar relacionada com as flutuações no número de portadores. Para o transistores pMOS, o ruído  $1/f$  está mais ligado às flutuações na mobilidade dos portadores. Além disso, à medida que o comprimento de canal é reduzido, tem-se um menor número de portadores no canal e, por conseguinte, a captura ou a emissão de um portador por uma armadilha tem efeito

significativo sobre a corrente de dreno, causando maior ruído  $1/f$  (HAARTMAN; ÖSTLING, 2007).

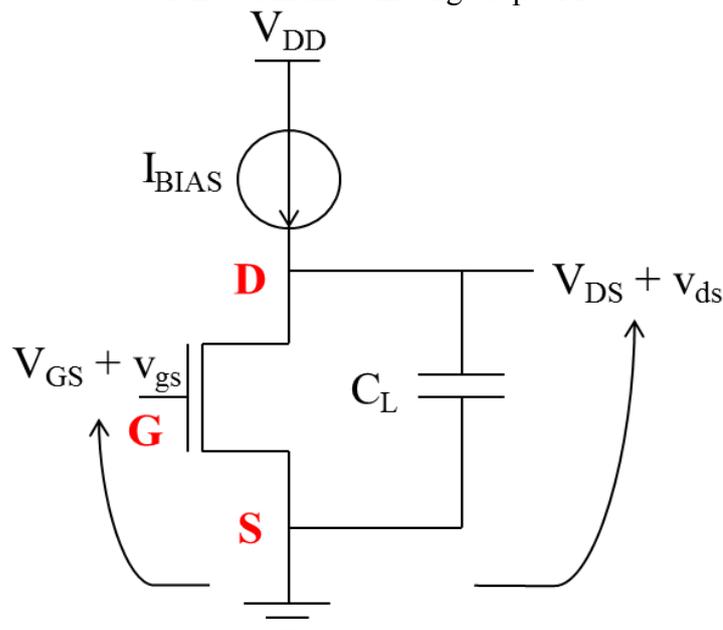
## 2.5 BLOCOS ANALÓGICOS BÁSICOS

Esta seção apresenta uma breve descrição dos seguintes blocos analógicos básicos: o amplificador em configuração fonte comum, o amplificador em configuração dreno comum e o espelho de corrente em configuração fonte comum.

### 2.5.1 Amplificador em configuração fonte comum

O amplificador de tensão formado por um único transistor MOS em configuração fonte comum com uma carga capacitiva ( $C_L$ ) conectada em sua saída é apresentado na Figura 14, onde  $V_{DD}$  corresponde à tensão de alimentação. O ponto de operação do transistor é fixado por uma fonte de corrente constante ( $I_{BIAS}$ ). Este circuito tem por função amplificar a parcela alternada da tensão de porta ( $v_{gs}$ ), obtendo-se a parcela alternada da tensão de dreno ( $v_{ds}$ ) (RAZAVI, 2001).

Figura 14 – Amplificador de tensão formado por um único transistor MOS em configuração fonte comum com carga capacitiva



Fonte: Autor

A seguir, são apresentados os parâmetros analógicos que definem o desempenho do amplificador em configuração fonte comum, são eles: a tensão Early, a razão  $g_m/I_D$ , o ganho de tensão em malha aberta e a frequência de ganho de tensão unitário.

### 2.5.1.1 Tensão Early

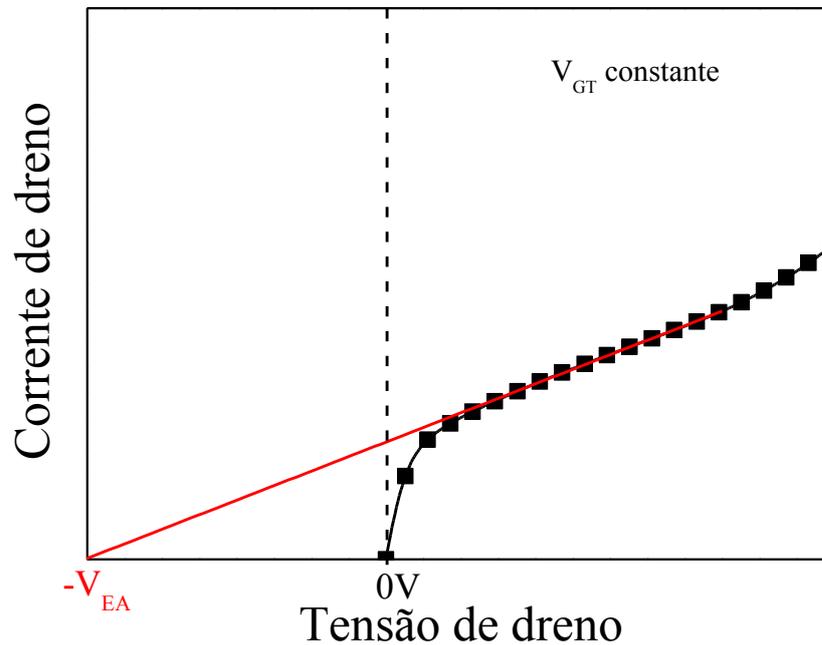
Na região de saturação, ou seja, para tensões de dreno superiores à sobretensão de porta, o canal dos transistores MOS se encontra pinçado próximo ao dreno. À medida que  $V_{DS}$  é incrementado, a região de depleção da junção corpo-dreno aumenta, causando o deslocamento do ponto de estrangulamento do canal no sentido da fonte. Desta maneira, há uma redução do comprimento efetivo de canal e, por consequência, um aumento da corrente de dreno. Logo, tem-se uma inclinação da corrente de dreno em função da tensão de dreno na região de saturação. O ponto onde o prolongamento da curva  $I_D \times V_{DS}$  na região de saturação cruza o eixo da tensão de dreno é denominado de tensão Early ( $V_{EA}$ ) (SEDRA; SMITH, 2007). A Figura 15 apresenta a curva esquemática da corrente de dreno em função da tensão de dreno para o transistor SOI nMOS, bem como o prolongamento da curva da corrente de dreno para a determinação da tensão Early.

A tensão Early também pode ser obtida para cada tensão de dreno na região de saturação de acordo com a equação (31) (COLINGE, J.-P; COLINGE, C. A, 2002).

$$|V_{EA}| \cong \frac{I_D}{g_D} \quad (31)$$

A tensão Early é muito similar entre os transistores planares SOI MOS e *bulk* MOS de mesmas dimensões (COLINGE, 2004). Por outro lado, como os dispositivos de múltiplas portas apresentam melhor controle das cargas no canal em comparação com os dispositivos planares, verifica-se uma diminuição da condutância de dreno, o que se deve à reduzida influência das linhas de campo elétrico do dreno sobre a corrente de dreno, elevando a tensão Early (KRANTI et al., 2004).

Figura 15 – Curva esquemática da corrente de dreno em função da tensão de dreno para o transistor SOI nMOS com indicação da tensão Early



Fonte: Autor

### 2.5.1.2 Razão $g_m/I_D$

A razão  $g_m/I_D$  define a eficiência do transistor MOS na conversão de corrente de dreno (potência dissipada) em transcondutância (amplificação do sinal) (LAKER; SANSEN, 1994). Quando o dispositivo opera em inversão fraca, a razão  $g_m/I_D$  atinge seu máximo valor, que é dado pela equação (32). Em regime de inversão forte, a razão  $g_m/I_D$  sofre uma redução, sendo dada pela equação (33) (FLANDRE et al., 1996).

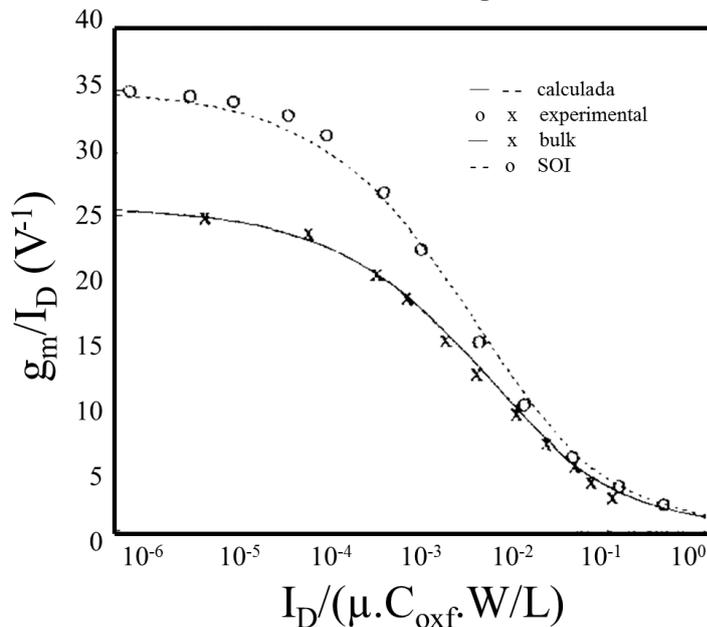
$$\frac{g_m}{I_D} = \frac{q}{n \cdot k \cdot T} \quad (32)$$

$$\frac{g_m}{I_D} = \sqrt{\frac{2 \cdot \mu_{\text{eff}} \cdot C_{\text{oxf}} \cdot \frac{W}{L}}{n \cdot I_D}} \quad (33)$$

A Figura 16 apresenta a razão  $g_m/I_D$  calculada e extraída experimentalmente em função da corrente de dreno normalizada para os transistores SOI de camada fina e *bulk* MOS com alta tensão de dreno. Os dispositivos SOI totalmente depletados possuem maior razão

$g_m/I_D$  do que os transistores *bulk* MOS em razão do fator de corpo mais próximo da unidade (FLANDRE et al., 1994).

Figura 16 – Razão  $g_m/I_D$  calculada e obtida experimentalmente em função da corrente de dreno normalizada para os transistores *bulk* e SOI totalmente depletado



Fonte: Autor “adaptado de” Flandre et al., 1994, p. 1933

### 2.5.1.3 Ganho de tensão em malha aberta

O ganho de tensão em malha aberta do amplificador em configuração fonte comum, também denominado de ganho de tensão intrínseco do transistor, é expresso pela equação (34) para baixas frequências na região de saturação (SILVEIRA; FLANDRE; JESPERS, 1996).

$$A_V = \frac{v_{ds}}{v_{gs}} = \frac{g_m}{g_D} = \frac{g_m}{I_D} \cdot |V_{EA}| \quad (34)$$

Como o ganho de tensão depende da razão  $g_m/I_D$ , seu valor máximo é atingido quando o dispositivo opera em inversão fraca (SILVEIRA; FLANDRE; JESPERS, 1996).

Os dispositivos SOI totalmente depletados exibem maior ganho de tensão em relação aos transistores *bulk* MOS devido a sua maior razão  $g_m/I_D$  (FLANDRE et al., 1994). Enquanto isso, os transistores de múltiplas portas, por possuírem, maior tensão Early, apresentam ainda maior ganho de tensão (RASKIN et al., 2006).

#### 2.5.1.4 Frequência de ganho de tensão unitário

A frequência de ganho de tensão unitário ( $f_T$ ) corresponde à frequência onde o ganho de tensão em malha aberta é igual a 1 V/V ou 0 dB, sendo dada pela equação (35) (SILVEIRA; FLANDRE; JESPERS, 1996).

$$f_T = \left( \frac{g_m}{I_D} \right) \cdot \frac{I_D}{2 \cdot \pi \cdot C_L} \quad (35)$$

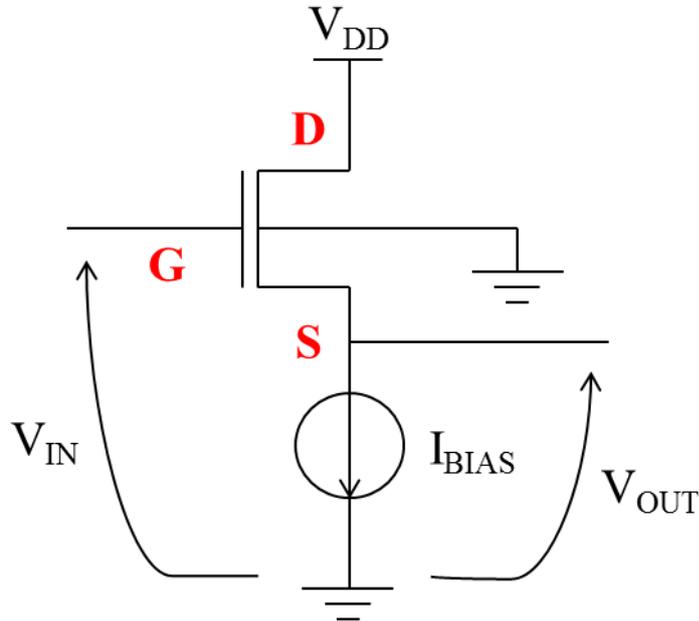
Considerando a mesma capacitância de carga e polarização de corrente de dreno, o transistor SOI totalmente depletado incrementa a frequência de ganho de tensão unitário entre 17 a 36% em comparação com o transistor *bulk* MOS, graças a sua maior razão  $g_m/I_D$  (FLANDRE et al., 1994).

#### 2.5.2 Amplificador em configuração dreno comum

A partir da análise do amplificador em configuração fonte comum, para alcançar um alto ganho de tensão com limitada tensão de alimentação, a impedância de saída deve ser a maior possível. Caso este estágio de amplificação deva fornecer uma baixa impedância de saída, um amplificador em configuração dreno comum deve ser utilizado depois do amplificador em configuração fonte comum, permitindo o casamento de impedâncias entre entrada e saída de maneira a ter uma perda desprezível do nível do sinal. O amplificador em configuração dreno comum também é chamado de seguidor de fonte ou *buffer* (RAZAVI, 2001). Diversas são suas aplicações analógicas, tal como sensor de pixel ativo (APS) utilizado em sensores de imagens implementados em tecnologia CMOS (FOSSUM, 1997).

Como ilustrado na Figura 17, a partir da aplicação de um sinal de entrada na porta, obtém-se uma tensão de saída ( $V_{OUT}$ ) na fonte que segue o potencial da porta. Este circuito é polarizado por uma fonte de corrente constante. Idealmente, o amplificador em configuração dreno comum possui ganho de tensão unitário, impedância de entrada infinita e impedância de saída nula (RAZAVI, 2001). No entanto, o efeito de corpo, responsável pela variação da tensão de limiar, e o efeito de modulação do comprimento de canal, que causa o aumento da condutância de dreno, provocam ganhos de tensão inferiores à unidade (GRAY et al., 2009).

Figura 17 – Amplificador em configuração dreno comum ou seguidor de fonte



Fonte: Autor

O ganho de tensão do amplificador em configuração dreno comum é dado pela seguinte equação (SOUZA; FLANDRE; PAVANELLO, 2008a):

$$A_V = \frac{V_{OUT}}{V_{IN}} = \frac{g_m}{n \cdot g_m + g_D} \quad (36)$$

A partir da equação (36), o limite máximo teórico do ganho de tensão do amplificador em configuração dreno comum é  $1/n$  (RAZAVI, 2001) quando a condutância de dreno é insignificante em relação à transcondutância (SOUZA; FLANDRE; PAVANELLO, 2008a).

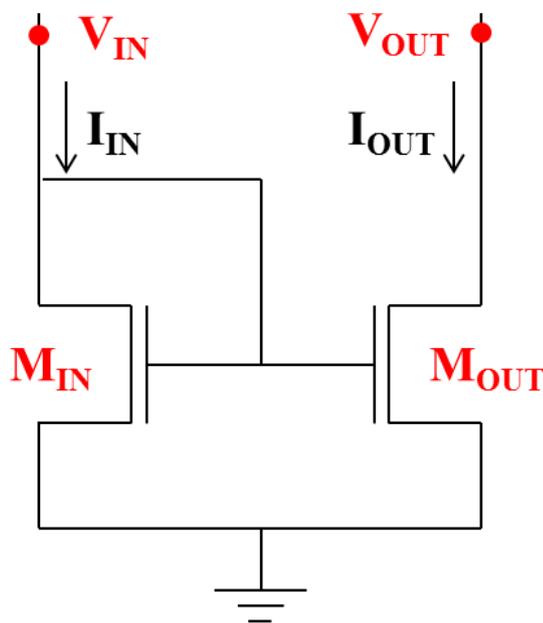
### 2.5.3 Espelho de corrente em configuração fonte comum

Um dos blocos mais importantes para aplicações analógicas é o espelho de corrente (LAKER; SANSEN, 1994). A arquitetura estudada neste trabalho é a fonte comum, apresentada na Figura 18. Este bloco tem por finalidade espelhar a corrente de entrada ( $I_{IN}$ ) para o ramo de saída, mantendo a corrente de saída ( $I_{OUT}$ ) idealmente constante, independentemente da tensão de saída. A precisão de espelhamento é obtida pela razão  $I_{OUT}/I_{IN}$ . Em um caso ideal, esta razão seria dada por  $\frac{(W/L)_{OUT}}{(W/L)_{IN}}$ , visto que os transistores de

entrada ( $M_{IN}$ ) e de saída ( $M_{OUT}$ ) são polarizados com a mesma tensão de porta e em saturação. Entretanto, a finita resistência de saída ( $R_{OUT}$ ), uma vez que os transistores estão polarizados em diferentes tensões de dreno (RAZAVI, 2001) e o descasamento intrínseco (diferenças geométricas e tecnológicas aleatórias) entre os transistores  $M_{IN}$  e  $M_{OUT}$  podem degradar a razão  $I_{OUT}/I_{IN}$ , desviando de  $\frac{(W/L)_{OUT}}{(W/L)_{IN}}$  (PELGROM; DUINMAIJER; WELBERS, 1989).

A resistência de saída dos espelhos de corrente em configuração fonte comum obtida através da análise de pequenos sinais é dada por  $R_{OUT} = \frac{1}{g_{D,OUT}}$ , onde  $g_{D,OUT}$  corresponde à condutância de dreno do transistor de saída (GRAY et al., 2009). A excursão do sinal de saída é uma importante figura de mérito em circuitos analógicos, tal como o espelho de corrente, sendo dada pela diferença entre as tensões de ruptura e de saturação. Quanto maior o seu valor, maior a faixa onde a característica  $I_D \times V_{DS}$  é puramente linear.

Figura 18 – Espelho de corrente em configuração fonte comum



Fonte: Autor

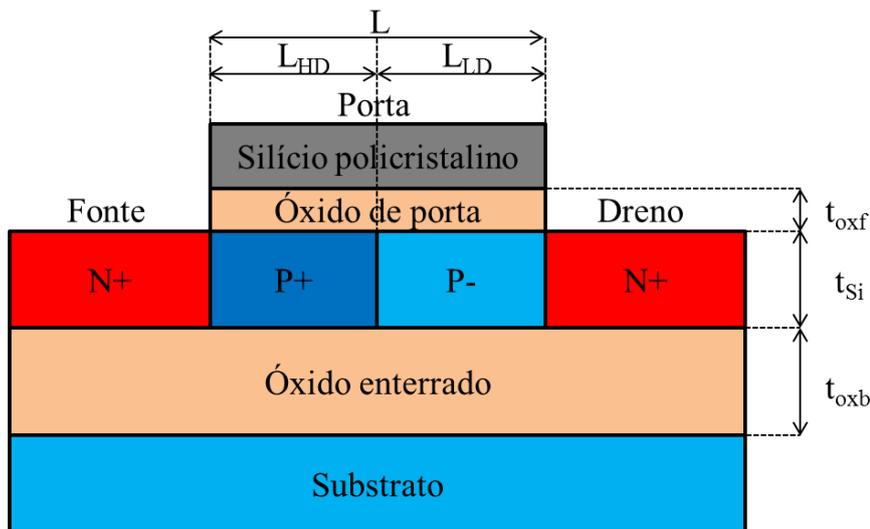
## 2.6 TRANSISTOR SOI MOSFET DE CANAL GRADUAL

O transistor SOI de canal gradual foi proposto como forma de reduzir a ocorrência dos efeitos bipolares parasitários e aprimorar as propriedades analógicas dos transistores SOI. Este transistor apresenta um perfil assimétrico de dopantes no canal. Para a fabricação do

transistor SOI de canal gradual, uma região próxima ao dreno do transistor é protegida durante a etapa de implantação iônica para o ajuste da tensão de limiar, preservando-a com a dopagem natural da lâmina. A parte remanescente do canal, próxima à fonte, sofre a implantação iônica para o ajuste da tensão de limiar, permitindo com que a estrutura resultante apresente tensão de limiar semelhante à de um transistor uniformemente dopado em toda a extensão do canal. É importante mencionar que o transistor de canal gradual não exige o acréscimo de nenhuma etapa de fabricação em relação à tecnologia MOS planar convencional (PAVANELLO et al., 1999).

A Figura 19 apresenta a secção transversal do SOI nMOSFET de canal gradual, onde  $L_{LD}$  e  $L_{HD}$  correspondem aos comprimentos da região fracamente dopada (LD) e da região fortemente dopada (HD), respectivamente.

Figura 19 – Secção transversal do SOI nMOSFET de canal gradual



Fonte: Autor

Como a tensão de limiar depende da concentração de dopantes no canal, a região fracamente dopada alcança a inversão antes da região fortemente dopada. Portanto, para qualquer tensão positiva da tensão de porta, a região fracamente dopada apresenta resistência reduzida e praticamente toda a tensão aplicada ao dreno alcança o dreno virtual, que corresponde à interface entre as regiões forte e fracamente dopadas. Em uma dada faixa de polarizações de porta, a estrutura se comporta similarmente a um dispositivo com comprimento efetivo de canal ( $L_{eff}$ ) aproximadamente igual à  $L_{HD}$ , resultando em maiores níveis de corrente de dreno e de transcondutância em comparação com o SOI MOSFET uniformemente dopado de mesmo comprimento total de canal (PAVANELLO et al., 1999).

Adicionalmente, a presença de uma região fracamente dopada próxima ao dreno promove uma diminuição da barreira de potencial da junção canal-dreno, atenuando o pico do campo elétrico nesta junção e, conseqüentemente, a ionização por impacto, permitindo maior tensão de ruptura de dreno, bem como reduzida condutância de dreno, visto que a variação promovida pelo aumento da tensão de dreno sobre o potencial que alcança o dreno virtual é atenuada na região de saturação, diminuindo consideravelmente o efeito de modulação do comprimento de canal (PAVANELLO; MARTINO; FLANDRE, 2000).

Os GC SOI MOSFETs foram utilizados em amplificadores operacionais, exibindo um acréscimo de 10 dB no ganho de tensão em malha aberta sem degradação da margem de fase em comparação com transistores SOI uniformemente dopados (GIMENEZ et al., 2003). No caso de espelhos de corrente, foi observada uma melhora da precisão de espelhamento, bem como um aumento superior a 50% na excursão do sinal de saída, além de resistência de saída três vezes maior do que espelhos de corrente implementados com transistores uniformemente dopados de mesmas dimensões (SANTOS; FLANDRE; PAVANELLO, 2007). Emam et al. (2009) também constataram um menor ruído do GC SOI MOSFET para operação em altas frequências em comparação com transistores uniformemente dopados, sendo mais evidente em baixas correntes de dreno, o que é interessante para aplicações LPLV.

## 2.7 ASSOCIAÇÃO SÉRIE DE TRANSISTORES SOI MOSFET

O transistor SOI de canal gradual já foi fabricado para comprimento total de canal de 240 nm. Um estudo do ruído de baixa frequência do transistor GC com este comprimento de canal foi reportado por Nemer et al. (2013). No entanto, para aplicações em dispositivos de canal muito curto, a fabricação de dispositivos de canal gradual apresenta um sério desafio que está relacionado com a definição correta do comprimento da região fracamente dopada, devido à difusão de impurezas da região fortemente dopada para a região fracamente dopada (SOUZA; FLANDRE; PAVANELLO, 2008b). Desta maneira, a associação série assimétrica foi proposta como alternativa para a obtenção de transistores SOI com bom desempenho analógico em escala nanométrica (SANTOS et al., 2011; SOUZA; FLANDRE; PAVANELLO, 2011).

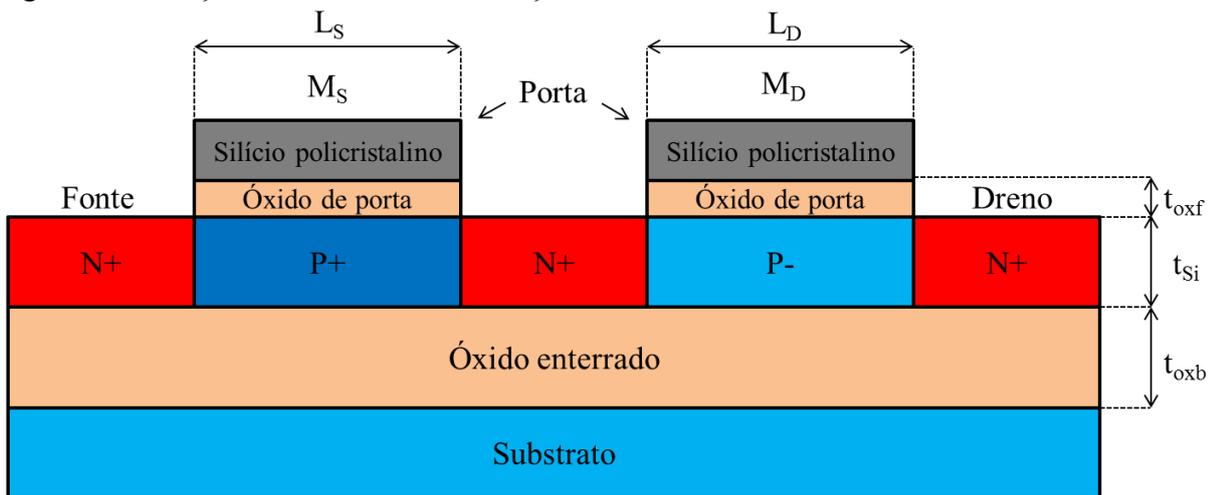
A associação série de SOI MOSFETs é composta por dois transistores, cujas portas estão curto-circuitadas, operando como um único dispositivo. Em geral, ambos os transistores possuem a mesma concentração de dopantes no canal, denominada de associação série

simétrica (S-SC). Esta configuração permite a redução da condutância de saída, tornando-se adequada para aplicações analógicas (GALUP-MONTORO; SCHNEIDER; LOSS, 1994).

No caso da associação série assimétrica (A-SC), o desempenho analógico mostrou-se superior à associação série simétrica. Na estrutura A-SC, o transistor próximo ao dreno ( $M_D$ ) apresenta concentração de dopantes natural da lâmina e, portanto menor tensão de limiar ( $V_{TH,D}$ ), enquanto que o transistor próximo à fonte ( $M_S$ ) é dopado para ajuste da tensão de limiar ( $V_{TH,S}$ ) da estrutura A-SC (SOUZA et al., 2016).

A Figura 20 apresenta a secção transversal da associação série assimétrica de transistores SOI nMOSFET, onde  $L_S$  e  $L_D$  correspondem aos comprimentos de canal dos transistores próximos à fonte e ao dreno, respectivamente. O comprimento total de canal da estrutura A-SC é igual à  $L_S + L_D$ .

Figura 20 – Secção transversal da associação série assimétrica de transistores SOI nMOSFET

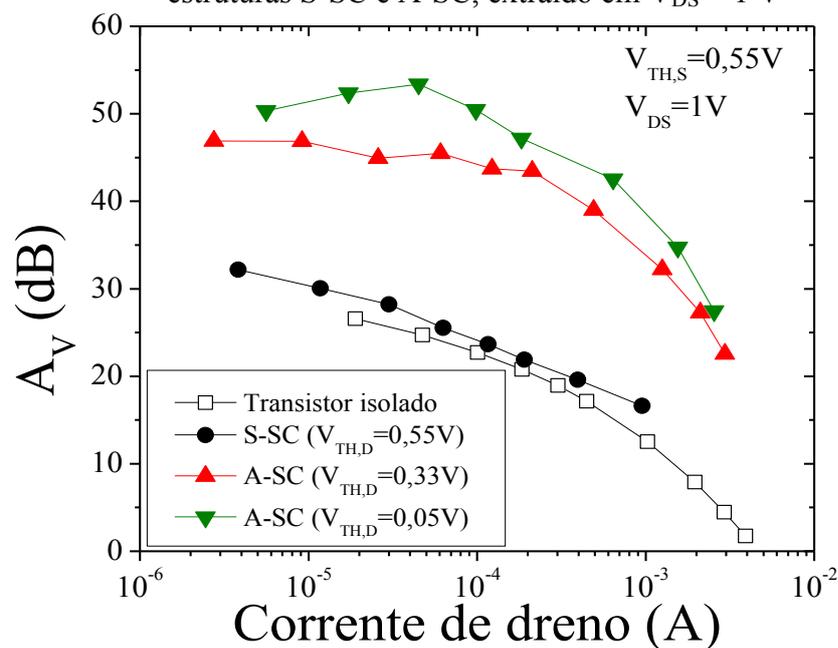


Fonte: Autor

A melhoria das características analógicas proporcionadas pelo transistor de canal gradual também ocorre na associação série assimétrica. Ao polarizar a estrutura A-SC próxima à tensão de limiar, são verificadas maiores corrente de dreno e transcondutância, reduzida condutância de dreno, além de maior tensão de ruptura de dreno em comparação à estrutura S-SC de dimensões similares (SOUZA; FLANDRE; PAVANELLO, 2012). Como diferencial, a corrente de ionização por impacto da associação série de transistores é significativamente reduzida em consequência da recombinação dos pares elétron-lacuna gerados devido ao elevado campo elétrico de dreno na região N+ intermediária (GAO et al., 1992).

A associação série assimétrica foi implementada com sucesso na tecnologia comercial de 150 nm da OKI *Semiconductor*, mostrando excelente potencial em aplicações com tecnologias avançadas. A Figura 21 apresenta o ganho de tensão em malha aberta em função da corrente de dreno para o transistor isolado (ST) de  $L = 150$  nm, e as estruturas S-SC e A-SC, formadas pela associação série de dois transistores isolados de  $L = 150$  nm. Foram observados maiores ganhos de tensão em malha aberta para a estrutura A-SC em toda a faixa de corrente de dreno, com um valor máximo quando polarizada em regime de inversão moderada. O incremento de  $A_V$  foi ainda maior quanto mais diferente foram as tensões de limiar entre os transistores  $M_S$  e  $M_D$ . Para o caso da estrutura S-SC, nota-se um aumento do ganho de tensão em malha aberta, porém pequeno em relação ao transistor isolado (SOUZA; FLANDRE; PAVANELLO, 2011).

Figura 21 – Ganho de tensão em malha aberta em função da corrente de dreno para o transistor isolado e as estruturas S-SC e A-SC, extraído em  $V_{DS} = 1$  V



Fonte: Autor “adaptado de” Souza, Flandre e Pavanello, 2011, p. 2

A configuração A-SC também foi demonstrada com transistores de corpo e óxido enterrado ultrafinos (UTBB), através da modulação da tensão de limiar pela polarização do substrato. De acordo com Souza et al. (2016), o ganho de tensão em malha aberta aumentou com a polarização direta do substrato do transistor próximo ao dreno em comparação com a estrutura S-SC, sendo ainda maior quando combinado com a polarização reversa do substrato do transistor próximo à fonte, como notado por Doria et al. (2015).

## 2.8 SIMULAÇÕES NUMÉRICAS DE DISPOSITIVOS E MÉTODO DE EXTRAÇÃO DO RUÍDO

Nesta etapa, são apresentados o simulador numérico de dispositivos utilizado, bem como os modelos físicos incluídos nas simulações, além do método de extração do ruído de baixa frequência.

### 2.8.1 Simulações numéricas de dispositivos

Neste trabalho, foram realizadas simulações numéricas de dispositivos a partir do simulador Sentaurus, o qual permite a discretização de dispositivos eletrônicos por meio de uma grade de pontos. Cada um dos dispositivos pode ser simulado isoladamente, ou podem ser criados pequenos circuitos para simulação. Com base nos modelos fundamentais da física e nos métodos numéricos, são executadas as simulações do comportamento elétrico do dispositivo/circuito sob condições específicas de polarização (SYNOPSYS, 2016).

Os Apêndices A e B apresentam, respectivamente, os arquivos para criação da estrutura do transistor SOI planar e para simulação elétrica da estrutura A-SC no simulador Sentaurus. A seguir, são apresentados os modelos que foram incluídos nas simulações numéricas de dispositivos:

- a) PhuMob (Modelo Unificado de Mobilidade de Baixo Campo): modelo de mobilidade de baixo campo proposto por Klaassen (1992) que considera as mobilidades dos portadores majoritários e minoritários de forma unificada, contabilizando os mecanismos de espalhamento sobre a mobilidade, além da dependência da mobilidade com a temperatura;
- b) Enormal: modelo de degradação da mobilidade nas interfaces devido ao campo elétrico transversal proposto por Lombardi et al. (1988). Ao aplicar um alto campo elétrico de porta, há uma maior interação dos portadores com a interface Si-SiO<sub>2</sub>, degradando a mobilidade em razão dos espalhamentos por fônons acústicos e por rugosidade superficial. Apresenta dependência com a temperatura e a concentração de dopantes;
- c) HighFieldSaturation: modelo que considera a influência do alto campo elétrico lateral sobre a mobilidade proposto por Canali et al. (1975). Ao aplicar uma alta tensão de dreno, a velocidade de deriva dos portadores não é mais proporcional ao campo elétrico lateral devido à saturação da velocidade dos portadores,

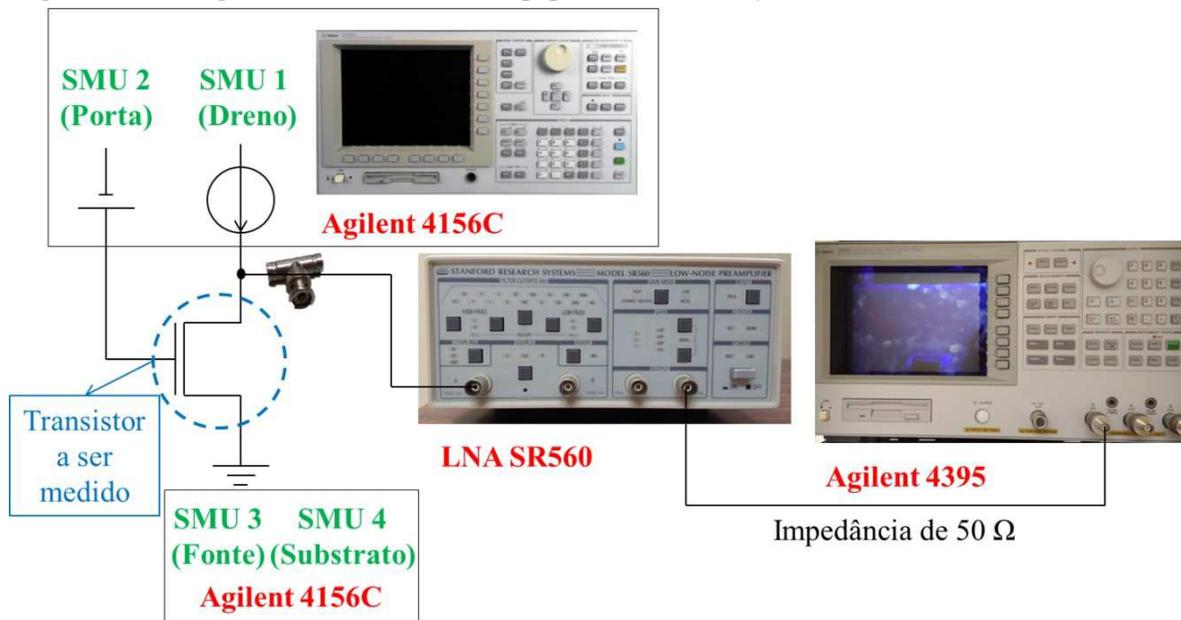
degradando a mobilidade. Este modelo também apresenta dependência com a temperatura;

- d) SRH: modelo de geração e recombinação de portadores proposto por Shockley e Read (1952). O processo de geração-recombinação envolve a troca de portadores entre as faixas de condução e de valência. Quando utilizado com o submodelo DopingDependence, é considerada a dependência do tempo de vida dos portadores com a concentração de dopantes;
- e) Auger: recombinação Auger é um fenômeno físico onde um átomo neutro libera um elétron de sua camada eletrônica, dando origem a uma lacuna que é ocupada por outro elétron proveniente das camadas eletrônicas externas. Esta transição é acompanhada pela ejeção de um elétron com energia cinética (SZE; KWOK, 2007);
- f) Avalanche: modelo proposto por Overstraeten e Man (1970) que inclui os efeitos relacionados à ionização por impacto no comportamento elétrico do transistor;
- g) BandGapNarrowing: considera o estreitamento da largura da faixa proibida para altas concentrações de dopantes (SLOTBOOM; GRAAFF, 1976).

### 2.8.2 *Setup* para caracterização de ruído

A caracterização do ruído é uma tarefa complexa, pois o sinal a ser medido é muito pequeno comparativamente à corrente de polarização DC e aos distúrbios inseridos pelos equipamentos eletrônicos (HAARTMAN; ÖSTLING, 2007).

A Figura 22 apresenta o diagrama de blocos do *setup* para caracterização do ruído. Primeiramente, o transistor teve todos os seus terminais polarizados através das unidades de medição e alimentação (SMUs) do analisador de parâmetros semicondutores Agilent 4156C. Foi utilizado um conector T ligando a SMU1, a ponta de prova do dreno do transistor a ser medido e o amplificador de baixo ruído (LNA) SR560, cuja função foi amplificar a tensão de dreno. Este sinal foi, então, inserido, através do canal de impedância de 50  $\Omega$ , no analisador de espectros Agilent 4395 que apresentou o ruído em função da frequência.

Figura 22 – Diagrama de blocos do *setup* para caracterização do ruído

Fonte: Autor

O analisador de espectros Agilent 4395 somente realiza medições de ruído de tensão, logo, o dreno do dispositivo deve ser polarizado por uma fonte de corrente. Para determinar a corrente de dreno a ser aplicada junto ao dreno, é necessário obter anteriormente a curva  $I_D \times V_{GS}$  do transistor para um dado  $V_{DS}$ . A partir da curva medida, a corrente de dreno é obtida para uma dada tensão de porta. Desta forma, para determinar o ruído de tensão de dreno do transistor, polariza-se o dispositivo com a corrente de dreno e a tensão de porta obtidas previamente, monitorando a tensão de dreno em função do tempo que deve se manter aproximadamente fixa no valor especificado da curva  $I_D \times V_{GS}$ .

Como o ruído é uma grandeza aleatória, devem ser efetuadas diversas amostras de ruído, de modo a obter o ruído médio. Desta forma, foram efetuadas as medidas de ruído durante um período de polarização de 200 segundos. O ganho do amplificador de baixo ruído ( $A_{Vlna}$ ) utilizado foi de 200 vezes (região linear) e 10 vezes (região de saturação) de maneira a não permitir a ocorrência de sobrecarga, uma vez que valores superiores podem fazer com que o ruído medido seja influenciado pelo próprio ruído do amplificador.

O Agilent 4395 não permite que a medida do ruído em função da frequência seja efetuada em escala logarítmica. Deste modo, as curvas obtidas apresentam poucos pontos para baixas frequências e muitos pontos para altas frequências, fazendo-se necessária a realização da medida de ruído em duas etapas. Logo, uma das medidas é efetuada no intervalo de 1 Hz a 100 Hz com resolução da largura de banda de 1 Hz, e a outra no intervalo de 1 Hz a 10 kHz

com resolução da largura de banda de 10 Hz. Posteriormente, estas curvas de ruído são unidas.

Em cada seção de medidas, é necessário efetuar a medida da raiz quadrada da densidade espectral de ruído-base do sistema de medidas ( $S_{Vd,base}$ ) que deve ser subtraída da raiz quadrada da densidade espectral de ruído total medido para flutuações na tensão de dreno ( $S_{Vd,medido}$ ). A medida do ruído-base é realizada com todas as pontas de prova levantadas de modo a determinar o ruído intrínseco ao sistema de medidas. A raiz quadrada da densidade espectral de ruído real para flutuações na tensão de dreno ( $S_{Vd,real}$ ) multiplicada pelo ganho do amplificador de baixo ruído é dada pela equação (37). Logo, a densidade espectral de ruído para flutuações na corrente de dreno pode ser obtida pela equação (38).

$$S_{Vd,real} \cdot A_{Vlna} = \sqrt{S_{Vd,medido}^2 - S_{Vd,base}^2} \quad (37)$$

$$S_{Id} = \left( \frac{S_{Vd,real} \cdot A_{Vlna}}{A_{Vlna} \cdot \frac{V_{DS}}{I_D}} \right)^2 \quad (38)$$



### 3 ASSOCIAÇÃO SÉRIE ASSIMÉTRICA *VERSUS* TRANSISTOR DE CANAL GRADUAL PARA APLICAÇÕES ANALÓGICAS

Considerando as vantagens reportadas do ponto de vista analógico para o transistor de canal gradual e a associação série assimétrica de transistores, é apresentada uma análise comparativa de desempenho entre estas duas estruturas tanto em nível de dispositivo quanto em aplicações em circuitos analógicos básicos.

Através do analisador de parâmetros semicondutores Keithley 4200, foram realizadas medidas experimentais de dispositivos GC, A-SC e isolados planares, bem como de circuitos compostos por estes transistores, os quais foram fabricados na tecnologia SOI FD do Laboratório de Microeletrônica da *Université catholique de Louvain* (UCLouvain), Bélgica (FLANDRE et al., 2001). Os transistores desta tecnologia apresentam espessura do óxido de porta de 31 nm, espessura da camada de silício de 80 nm e espessura do óxido enterrado de 390 nm. O transistor fortemente dopado apresenta concentração de dopantes de  $6 \times 10^{16} \text{ cm}^{-3}$ , enquanto o transistor fracamente dopado possui concentração de dopantes de  $1 \times 10^{15} \text{ cm}^{-3}$ . O comprimento de canal é de 1, 2, 3 e 4  $\mu\text{m}$  e a largura de canal é de 18 e 20  $\mu\text{m}$ . As estruturas A-SC foram obtidas através da associação série destes transistores isolados. Os transistores GC foram fabricados com dimensões similares e concentrações de dopantes no canal idênticas às estruturas A-SC.

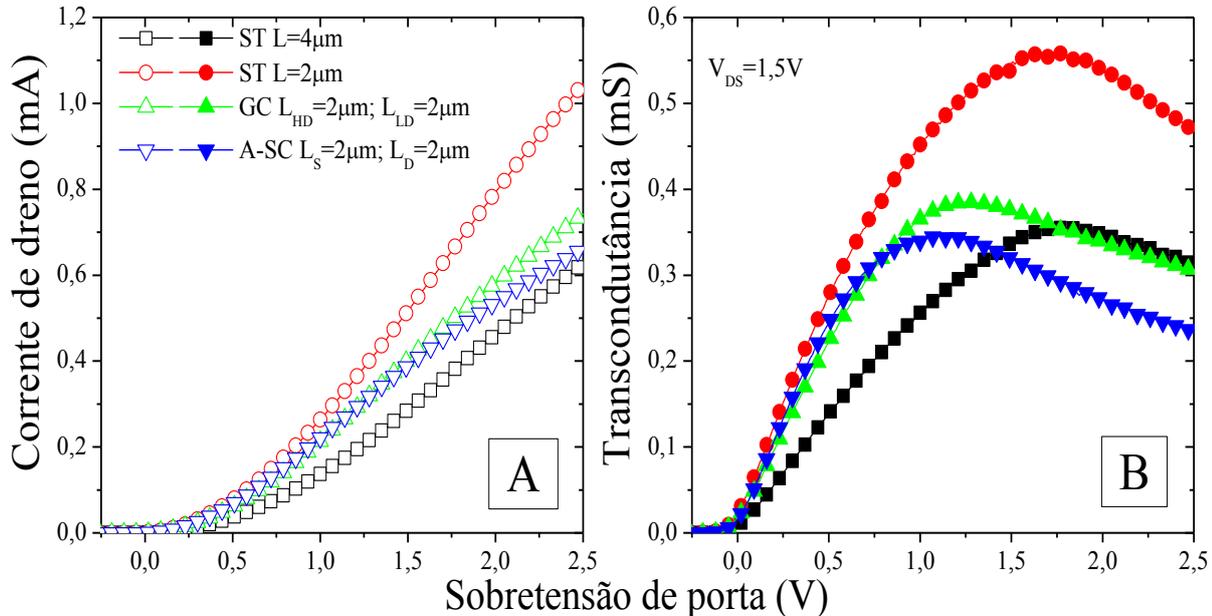
#### 3.1 EM NÍVEL DE DISPOSITIVO

Primeiramente, foi realizada uma comparação entre as características elétricas dos transistores isolados, dos dispositivos GC e das estruturas A-SC de modo a auxiliar a análise dos resultados ao aplicar estes dispositivos em circuitos analógicos.

A Figura 23 apresenta a corrente de dreno (A) e a transcondutância (B) em função da sobretensão de porta, extraídas com  $V_{DS} = 1,5 \text{ V}$  para os transistores isolados com comprimento total de canal de 2 e 4  $\mu\text{m}$ , o transistor GC com  $L_{HD} = 2 \mu\text{m}$ ;  $L_{LD} = 2 \mu\text{m}$  e a estrutura A-SC com  $L_S = 2 \mu\text{m}$ ;  $L_D = 2 \mu\text{m}$ . Como mostrado nesta figura, o transistor GC e a estrutura A-SC apresentam nível de corrente de dreno similar entre si, bem como maior transcondutância na região de saturação comparativamente ao transistor isolado de  $L = 4 \mu\text{m}$ , o que se deve à redução do comprimento efetivo de canal, provocado pela tensão de limiar negativa do transistor  $M_D$  no caso da estrutura A-SC e da região fracamente dopada no caso do transistor de canal gradual, tornando o comprimento efetivo de canal aproximadamente

igual à  $L_{HD}$  (GC) e  $L_S$  (A-SC). De fato, a corrente de dreno e a transcondutância para baixo  $V_{GT}$  são próximas das curvas obtidas para o transistor isolado de  $L = 2 \mu\text{m}$ .

Figura 23 – Corrente de dreno e transcondutância em função da sobretensão de porta para os transistores isolados, o dispositivo GC e a estrutura A-SC, extraídas com  $V_{DS} = 1,5 \text{ V}$



Fonte: Autor

Legenda: (A) Corrente de dreno.

(B) Transcondutância.

Para maiores sobretensões de porta, a estrutura A-SC e o transistor GC passam a se comportar como o transistor isolado longo de  $L = 4 \mu\text{m}$ , visto que o comprimento efetivo de canal tende ao comprimento total de canal, o que está ligada à similaridade entre as concentrações de elétrons das regiões (transistores) HD ( $M_S$ ) e LD ( $M_D$ ) do dispositivo GC (estrutura A-SC) (CERDEIRA et al., 2005).

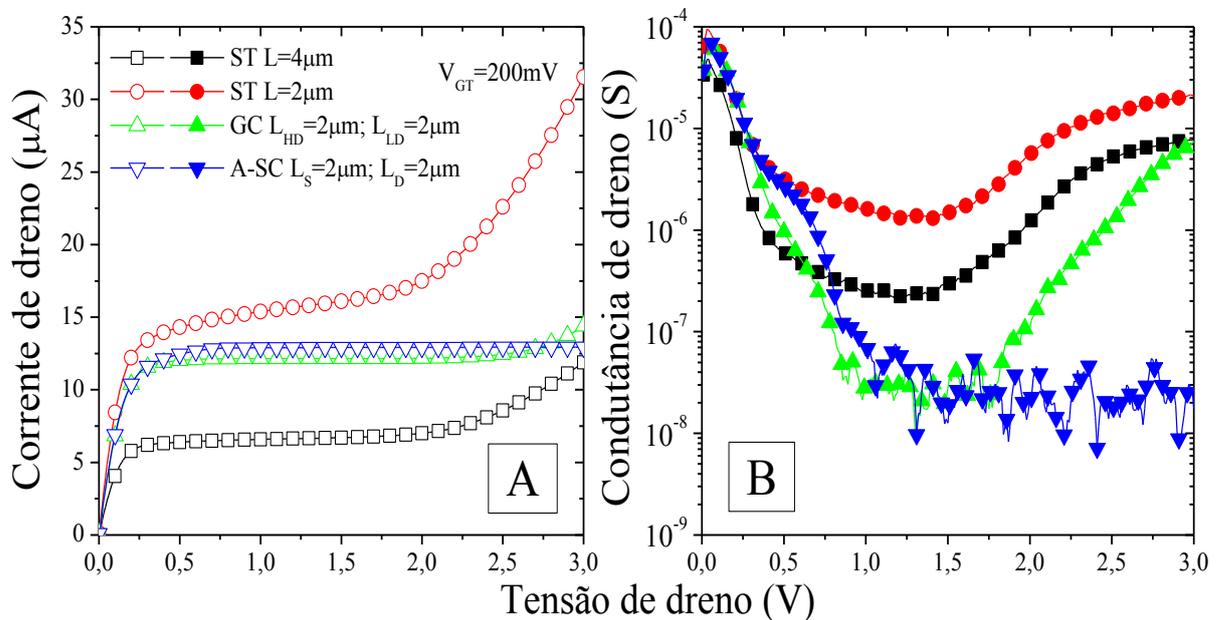
Ao elevar  $V_{GT}$ , é possível notar uma redução da transcondutância decorrente da rugosidade superficial e da resistência série ( $R_S$ ). É evidente a maior degradação de  $g_m$  para a estrutura A-SC devido à presença da região N+ intermediária, incrementando a resistência série e reduzindo ligeiramente a máxima transcondutância. A Tabela 1 exibe os valores extraídos de resistência série de acordo com o modelo analítico proposto por Dixit et al. (2005). Como se pode observar,  $R_S$  é similar para os transistores GC e isolado, enquanto que a estrutura A-SC apresenta a maior resistência série.

Tabela 1 – Resistência série dos dispositivos GC, A-SC e isolado

Dispositivos	ST L = 4 $\mu\text{m}$	GC	A-SC
$R_s$ ( $\Omega$ )	1781	1735	1993

Fonte: Autor

A Figura 24 apresenta a corrente de dreno (A) e a condutância de dreno (B) em função da tensão de dreno, extraídas com  $V_{GT} = 200$  mV para os mesmos dispositivos estudados na Figura 23. Novamente, é possível verificar que a estrutura A-SC e o transistor GC apresentam corrente de dreno semelhante entre si. Além disso, constata-se um aumento da tensão de saturação em ambos os dispositivos, o que está relacionado à presença da região LD ou do transistor  $M_D$  com tensões de limiar negativas. Observa-se também que o transistor GC e a estrutura A-SC promovem um incremento da tensão de ruptura de dreno, porém esta melhora é mais pronunciada para a estrutura A-SC, a qual está ligada à presença da região N+ intermediária, onde os pares elétron-lacuna gerados devido ao elevado campo elétrico próximo ao dreno se recombinam.

Figura 24 – Corrente de dreno e condutância de dreno em função da tensão de dreno para os transistores isolados, o dispositivo GC e a estrutura A-SC, extraídas com  $V_{GT} = 200$  mV

Fonte: Autor

Legenda: (A) Corrente de dreno.

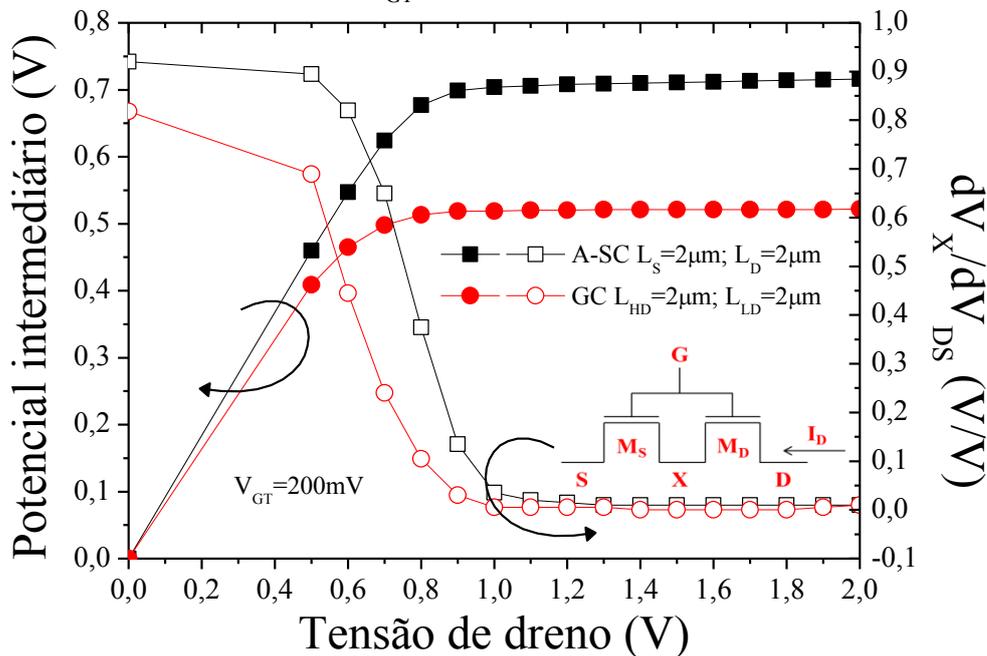
(B) Condutância de dreno.

Adicionalmente, é possível constatar uma redução da condutância de dreno para a estrutura A-SC e o transistor GC devido ao menor efeito de modulação do comprimento de canal em comparação com os transistores isolados, uma vez que parte da tensão de dreno

aplicada é absorvida pela região fracamente dopada no caso do dispositivo GC, ou pelo transistor  $M_D$  no caso da estrutura A-SC. No entanto, a diminuição de  $g_D$  é ligeiramente maior para o dispositivo de canal gradual.

De modo a identificar a razão da menor condutância de dreno do transistor GC em relação à estrutura A-SC, são apresentados na Figura 25, o potencial do nó intermediário ( $V_X$ ) e a sua variação com a tensão de dreno para o transistor GC com  $L_{HD} = 2 \mu\text{m}$ ;  $L_{LD} = 2 \mu\text{m}$  e a estrutura A-SC com  $L_S = 2 \mu\text{m}$ ;  $L_D = 2 \mu\text{m}$ , extraídos com  $V_{GT} = 200 \text{ mV}$  a partir de simulações numéricas de dispositivos. O nó intermediário da estrutura A-SC corresponde à região N+ intermediária (Figura 25), enquanto no transistor GC, sua localização é na interface entre as regiões HD e LD. Pode-se observar que a estrutura A-SC apresenta maior variação do potencial intermediário, o que implica em um maior efeito de modulação do comprimento de canal, traduzido pelo incremento da condutância de dreno.

Figura 25 – Potencial intermediário e  $dV_X/dV_{DS}$  simulados em função da tensão de dreno para o dispositivo GC e a estrutura A-SC, extraídos com  $V_{GT} = 200 \text{ mV}$



Fonte: Autor

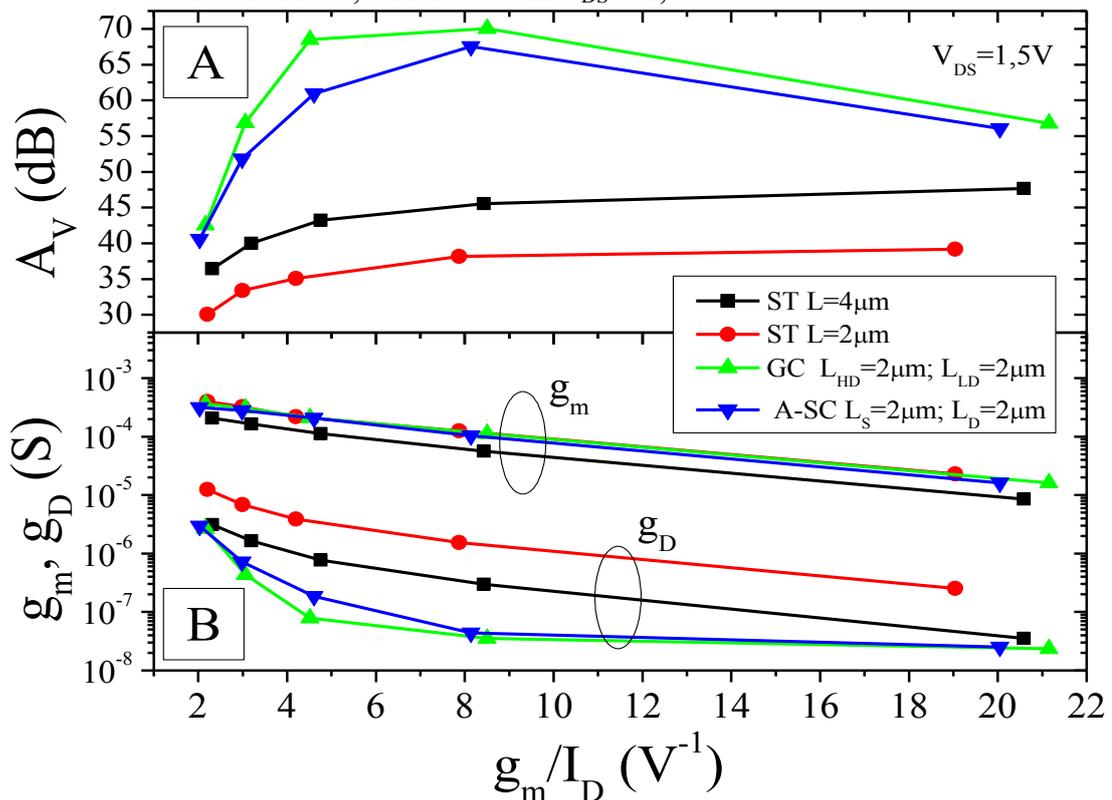
### 3.2 AMPLIFICADOR EM CONFIGURAÇÃO FONTE COMUM

A Figura 26 apresenta o ganho de tensão em malha aberta (A), a transcondutância e a condutância de dreno (B) em função da razão  $g_m/I_D$  para os amplificadores em configuração fonte comum implementados com os transistores isolados, o dispositivo GC e a estrutura A-

SC, extraídos com  $V_{DS} = 1,5$  V. É possível notar que o transistor GC e a estrutura A-SC apresentam o maior ganho de tensão em malha aberta para todas as razões  $g_m/I_D$  devido à redução da condutância de dreno e ao aumento da transcondutância, porém esta melhora é mais evidente para o transistor GC, o que se deve à sua menor condutância de dreno.

Além disso, pode-se notar transcondutâncias similares entre o transistor isolado de  $L = 2$   $\mu\text{m}$ , o dispositivo GC e a estrutura A-SC em razão do semelhante comprimento efetivo de canal ( $L_{HD} = L_S = 2$   $\mu\text{m}$ ). No entanto, verifica-se uma considerável degradação da condutância de dreno para o transistor isolado de  $L = 2$   $\mu\text{m}$ , ligado ao maior efeito de modulação do comprimento de canal, reduzindo o ganho de tensão em malha aberta.

Figura 26 – Ganho de tensão em malha aberta, transcondutância e condutância de dreno em função da razão  $g_m/I_D$  para amplificadores em configuração fonte comum implementados com transistores isolados, dispositivo GC e estrutura A-SC, extraídos com  $V_{DS} = 1,5$  V



Fonte: Autor

Legenda: (A) Ganho de tensão em malha aberta.

(B) Transcondutância e condutância de dreno.

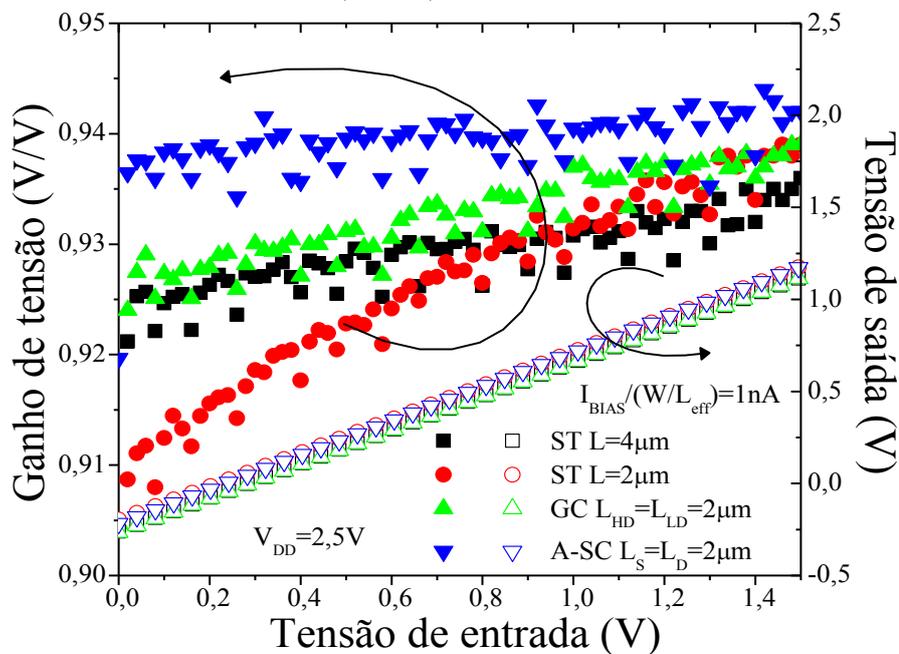
É também possível constatar que, à medida que a razão  $g_m/I_D$  incrementa, se aproximando do regime de inversão fraca, ou seja,  $g_m/I_D > 8$   $\text{V}^{-1}$ , a redução da transcondutância é mais significativa do que a diminuição da condutância de dreno para o

transistor GC e a estrutura A-SC, decrementando  $A_V$ . Ao diminuir a razão  $g_m/I_D$ , se aproximando do regime de inversão forte, por exemplo,  $g_m/I_D = 2 \text{ V}^{-1}$ ,  $A_V$  reduz, uma vez que a estrutura A-SC e o transistor GC estão se comportando como transistores uniformemente dopados de  $L = 4 \text{ }\mu\text{m}$ . Desta forma, o melhor ponto de operação do transistor GC e da estrutura A-SC é em regime de inversão moderada, onde se obtém o maior  $A_V$ .

### 3.3 AMPLIFICADOR EM CONFIGURAÇÃO DRENO COMUM

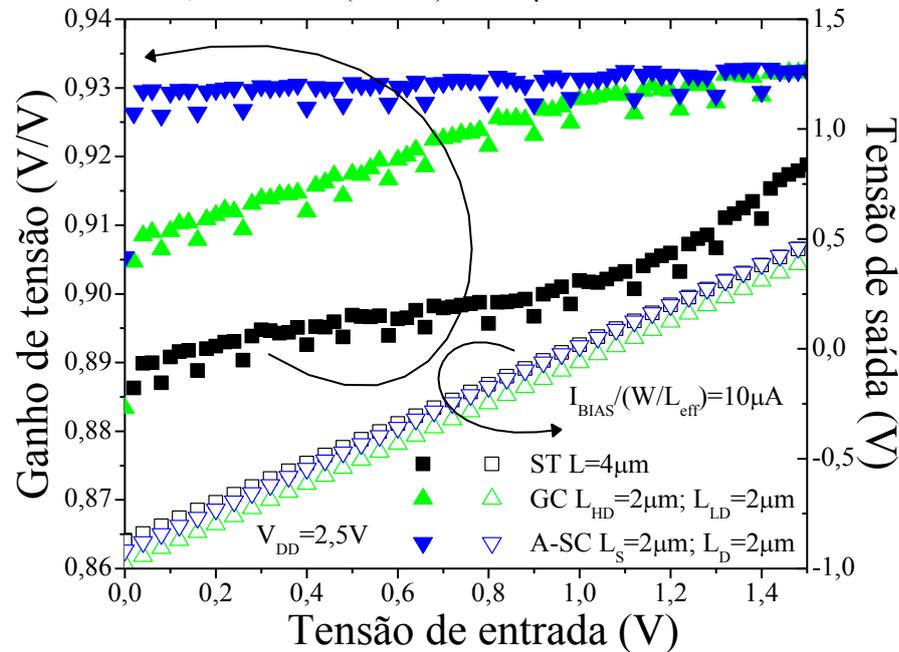
O desempenho dos transistores isolados e GC, e da estrutura A-SC em seguidores de tensão também foi avaliado. O ganho de tensão do *buffer* é obtido através da derivada das curvas de  $V_{OUT}$  em função de  $V_{IN}$ . As Figuras 27 e 28 exibem o ganho de tensão e a tensão de saída em função da tensão de entrada, extraídos com tensão de dreno ( $V_{DD}$ ) fixa em 2,5 V e corrente de dreno normalizada ( $I_{BIAS}/(W/L_{eff})$ ) de 1 nA e 10  $\mu\text{A}$ , respectivamente, de maneira a assegurar densidades de corrente similares para todos os dispositivos.

Figura 27 – Ganho de tensão e tensão de saída em função da tensão da entrada para amplificadores em configuração dreno comum implementados com transistores isolados, dispositivo GC e estrutura A-SC, extraídos com  $V_{DD} = 2,5 \text{ V}$  e  $I_{BIAS}/(W/L_{eff})$  de 1 nA



Fonte: Autor

Figura 28 – Ganho de tensão e tensão de saída em função da tensão da entrada para amplificadores em configuração dreno comum implementados com transistores isolados, dispositivo GC e estrutura A-SC, extraídos com  $V_{DD} = 2,5 \text{ V}$  e  $I_{BIAS}/(W/L_{eff})$  de  $10 \mu\text{A}$



Fonte: Autor

Como o amplificador em configuração dreno comum é polarizado com corrente constante na fonte e tensão de dreno fixa, deve-se haver um balanço entre os potenciais  $V_{GS}$  e  $V_{DS}$ , ou seja, o aumento da tensão de entrada deve acarretar em um aumento da tensão de saída de modo a manter a corrente de polarização fixa. Com base nas Figuras 27 e 28, pode-se notar que  $V_{OUT}$  segue  $V_{IN}$ , ou seja, o aumento da tensão de entrada eleva a tensão de saída (tensão de fonte), o que implica em um menor  $V_{DS}$  e um maior  $V_{GS}$ , uma vez que o aumento da tensão de saída não acompanha com mesmo coeficiente angular o incremento da tensão de entrada (ganho menor do que a unidade).

Para os transistores isolados, a redução do comprimento de canal diminui o ganho de tensão em razão do maior efeito de modulação do comprimento de canal. Similarmente, o aumento da corrente de dreno normalizada (Figura 28) também provoca uma redução do ganho de tensão para todos os dispositivos em comparação com a Figura 27, o que se deve também à elevação da condutância de dreno.

Ao aumentar a corrente de dreno normalizada, verifica-se também uma redução da tensão de saída para toda a faixa de tensões de entrada em comparação com a tensão de saída obtida na Figura 27, uma vez que é necessário um maior  $V_{DS}$  e  $V_{GS}$  sobre o transistor para sustentar uma maior corrente. Apesar da diminuição do comprimento efetivo de canal,

observa-se que o transistor GC e a estrutura A-SC promovem uma melhora do ganho de tensão em comparação com os transistores isolados de comprimento total ou efetivo de canal similar, tornando-o mais próximo do limite teórico ( $A_V \approx 1/n$ ) devido à redução da condutância de dreno proporcionada pelo transistor GC e a estrutura A-SC. Graças à maior tensão de ruptura de dreno, a estrutura A-SC apresenta o ganho de tensão menos dependente com a tensão de entrada. Para baixo  $V_{IN}$ , o transistor GC opera na região de ruptura, visto que a tensão de fonte é reduzida, elevando  $V_{DS}$ , o que incrementa a condutância de dreno em comparação com a estrutura A-SC e, conseqüentemente, degrada o ganho de tensão. À medida que a tensão de entrada aumenta, o transistor GC se afasta da região de ruptura, apresentando um desempenho semelhante ao da estrutura A-SC no caso de alta corrente de dreno normalizada. No entanto, para baixa corrente de dreno normalizada, o transistor GC se assemelha mais aos transistores isolados em toda a faixa de tensões de entrada.

A partir da curva do ganho de tensão da estrutura A-SC para menor corrente de dreno normalizada (Figura 27), é possível estimar o fator de corpo, uma vez que  $A_V$  tende a  $1/n$ . O valor extraído para o fator de corpo foi de 1,07, que foi muito próximo do valor obtido pela equação (39) no caso da tecnologia da UCLouvain ( $n = 1,075$ ).

$$n = 1 + \frac{C_{Si} \cdot C_{oxb}}{C_{oxf} \cdot (C_{Si} + C_{oxb})} \quad (39)$$

### 3.4 ESPELHO DE CORRENTE EM CONFIGURAÇÃO FONTE COMUM

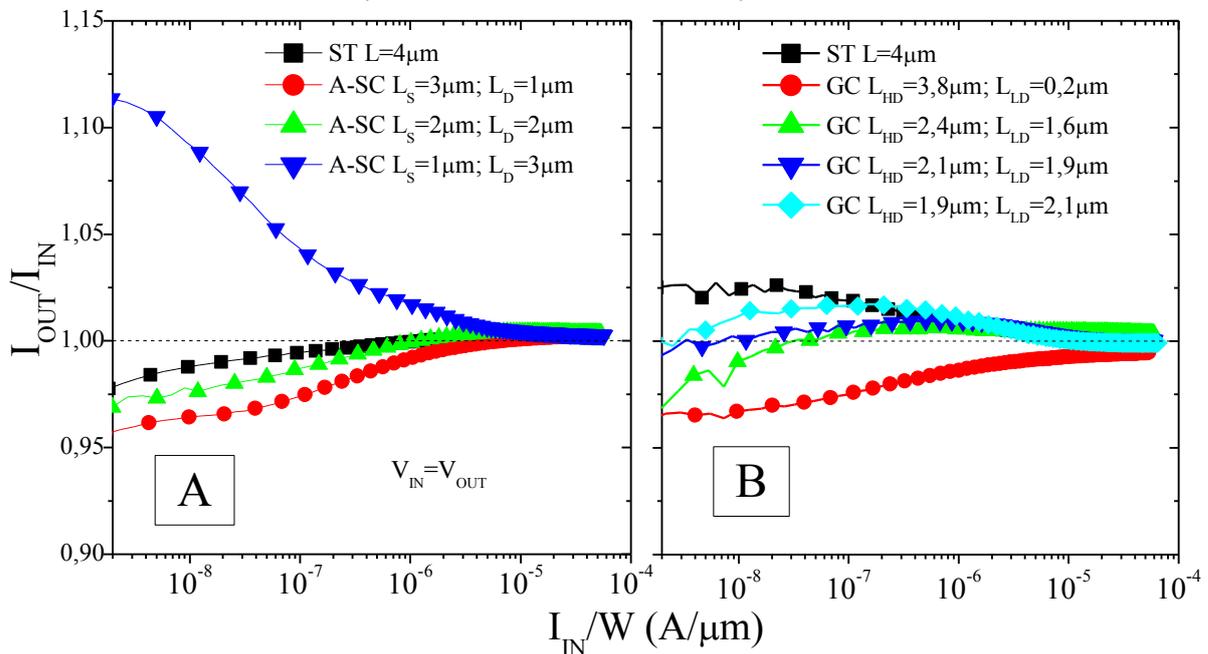
O desempenho dos espelhos de corrente em configuração fonte comum implementados com transistores isolados e de canal gradual, e estruturas A-SC também foi objeto de estudo. Como os transistores de entrada e de saída dos espelhos de corrente apresentam as mesmas dimensões  $W$  e  $L$ , a precisão de espelhamento deveria ser igual à unidade, porém a presença do descasamento entre os transistores  $M_{IN}$  e  $M_{OUT}$  pode provocar uma degradação da precisão de espelhamento (LAKSHMIKUMAR; HADAWAY; COPELAND, 1986).

A Figura 29 apresenta a precisão de espelhamento em função de  $I_{IN}/W$  para diferentes espelhos de corrente com estruturas A-SC e transistores isolados (A) e diversos espelhos de corrente com dispositivos GC e transistores isolados (B), extraída com  $V_{OUT} = V_{IN}$ . Através desta análise, ambos os transistores de entrada e de saída operam em saturação e em mesmo nível de tensão, logo, visto que o descasamento extrínseco está eliminado nesta condição, é

possível avaliar o descasamento intrínseco, que se trata de uma variação aleatória das características tecnológicas e geométricas ( $W$  e  $L$ ) entre os transistores de entrada e de saída que compõem o espelho de corrente. As curvas da Figura 29 foram obtidas variando as tensões de entrada e de saída de 0 a 3 V simultaneamente, sendo apresentada a razão entre as correntes de saída e de entrada obtidas em função da corrente de entrada normalizada por  $W$ .

Deve-se destacar que os espelhos de corrente com estruturas A-SC e transistores isolados (Figura 29(A)) e dispositivos GC e transistores isolados (Figura 29(B)) são provenientes do mesmo processo de fabricação (UCLouvain), porém tratam-se de *chips* distintos, o que explica a diferença da precisão de espelhamento entre os espelhos de corrente com transistores isolados. É importante mencionar que o *chip* que contém a estrutura A-SC apresenta  $W = 20 \mu\text{m}$ , enquanto que o *chip* que contém o transistor GC apresenta  $W = 18 \mu\text{m}$ , sendo necessária a normalização da corrente de entrada pela largura de canal para a realização da comparação entre os espelhos de corrente com transistores GC e estruturas A-SC.

Figura 29 – Precisão de espelhamento em função de  $I_{IN}/W$  para os espelhos de corrente com estruturas A-SC, e transistores GC e isolados, extraída com  $V_{OUT} = V_{IN}$



Fonte: Autor

Legenda: (A) Espelhos de corrente com estruturas A-SC e transistores isolados.

(B) Espelhos de corrente com dispositivos GC e transistores isolados.

Com base na Figura 29, observa-se que, independentemente da configuração, quando os circuitos se aproximam do regime de inversão fraca (baixa corrente de entrada), a precisão

de espelhamento desvia da unidade devido ao descasamento da tensão de limiar entre os transistores de entrada e de saída, o qual é relevante neste regime de inversão.

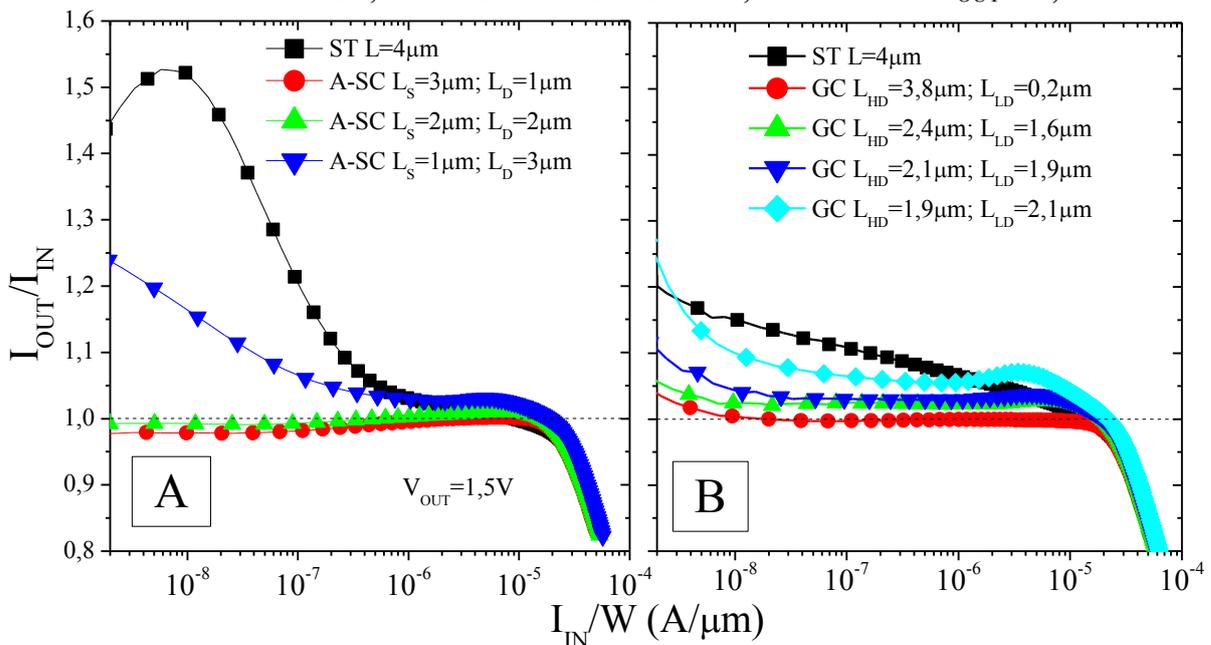
Analisando a Figura 29(A), nota-se que o espelho de corrente com estruturas A-SC de  $L_S = 1 \mu\text{m}$ ;  $L_D = 3 \mu\text{m}$  apresenta o maior descasamento intrínseco devido à redução do comprimento de canal do transistor próximo à fonte. Este transistor controla a condução de corrente de dreno da estrutura A-SC para baixas correntes de entrada. Logo, ao reduzir o comprimento de canal do transistor  $M_S$  ( $L_S$ ) para valores abaixo de  $2 \mu\text{m}$  (limite da tecnologia da UCLouvain), há um maior efeito de canal curto entre os transistores  $M_{IN}$  e  $M_{OUT}$ , o que explica o maior descasamento intrínseco. Foi verificado também que o espelho de corrente com transistores isolados apresenta o menor descasamento intrínseco, uma vez que se trata do transistor com maior  $L$ . Além disso, para  $I_{IN}/W > 5 \times 10^{-6} \text{ A}/\mu\text{m}$ , constatam-se precisões de espelhamento similares entre todos os espelhos de corrente, uma vez que as estruturas A-SC estão se comportando como transistores uniformemente dopados, logo, o comprimento efetivo de canal passa a ser o comprimento total de canal ( $L_S + L_D$ ), além dos espelhos de corrente estarem polarizados em regime de inversão forte, reduzindo o descasamento intrínseco.

A partir da Figura 29(B), é possível observar que o descasamento intrínseco é também maior para os espelhos de corrente com transistores GC em comparação com o espelho de corrente com transistores isolados, principalmente em maiores correntes de entrada. No entanto, o espelho de corrente com transistores GC apresenta um fator a mais de descasamento intrínseco comparativamente aos espelhos de corrente com estruturas A-SC, que está relacionado com a difusão de impurezas aceitadoras da região fortemente dopada para a região fracamente dopada (SOUZA; FLANDRE; PAVANELLO, 2008b).

A Figura 30 apresenta a precisão de espelhamento em função de  $I_{IN}/W$  para os espelhos de corrente com estruturas A-SC e transistores isolados (A) e os espelhos de corrente com dispositivos GC e transistores isolados (B), extraída com  $V_{OUT} = 1,5 \text{ V}$ . Com base na Figura 30(A), nota-se que os espelhos de corrente com estruturas A-SC de  $L_S = 3 \mu\text{m}$ ;  $L_D = 1 \mu\text{m}$  e A-SC de  $L_S = 2 \mu\text{m}$ ;  $L_D = 2 \mu\text{m}$  apresentam a melhor precisão de espelhamento, a qual está relacionada com a redução da condutância de dreno e o aumento da tensão de ruptura de dreno, diminuindo a dependência da corrente de saída com a variação da tensão de saída. De acordo com a Figura 30(B), verifica-se que os espelhos de corrente com transistores GC exibem uma melhor precisão de espelhamento do que o espelho de corrente com transistores isolados devido também à redução de  $g_D$  e ao aumento de  $BV_{DS}$ . É possível notar que maiores comprimentos efetivos de canal ( $L_S$  ou  $L_{HD}$ ) melhoram a precisão de espelhamento. Estes resultados demonstram que a maior tensão de ruptura de dreno e a reduzida condutância de

dreno da estrutura A-SC e do dispositivo GC são suficientes para compensar o maior descasamento intrínseco dos espelhos de corrente com transistores GC e estruturas A-SC, melhorando a precisão de espelhamento quando polarizados com tensão de saída fixa.

Figura 30 – Precisão de espelhamento em função de  $I_{IN}/W$  para os espelhos de corrente com estruturas A-SC, e transistores GC e isolados, extraída com  $V_{OUT} = 1,5\text{ V}$



Fonte: Autor

Legenda: (A) Espelhos de corrente com estruturas A-SC e transistores isolados.

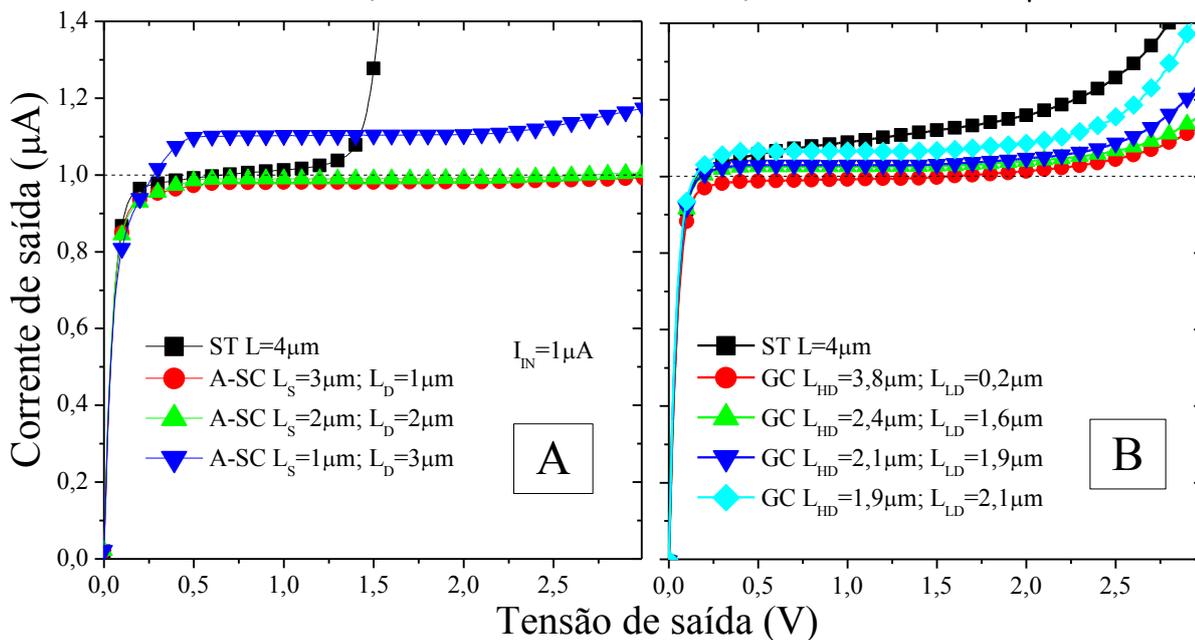
(B) Espelhos de corrente com dispositivos GC e transistores isolados.

A partir da Figura 30, foram obtidas precisões de espelhamento similares para os espelhos de corrente com estruturas A-SC de  $L_S = 3\ \mu\text{m}$ ;  $L_D = 1\ \mu\text{m}$  e A-SC de  $L_S = 2\ \mu\text{m}$ ;  $L_D = 2\ \mu\text{m}$ , e transistores GC de  $L_{HD} = 3,8\ \mu\text{m}$ ;  $L_{LD} = 0,2\ \mu\text{m}$ , as quais foram 0,996, 1,003 e 0,999, respectivamente, extraídas em  $I_{IN}/W = 1\ \mu\text{A}/\mu\text{m}$ . Quando os circuitos são polarizados em alta corrente de entrada, ou seja, alto  $V_{GT}$  no transistor de saída, a precisão de espelhamento reduz, visto que o transistor de saída passa a operar na região de triodo.

A Figura 31 exibe a corrente de saída em função da tensão de saída extraída com  $I_{IN} = 1\ \mu\text{A}$  para os espelhos de corrente com estruturas A-SC e transistores isolados (A) e os espelhos de corrente com dispositivos GC e transistores isolados (B). Pode-se constatar que os espelhos de corrente com estruturas A-SC e transistores GC apresentam grande confiabilidade em espelhar a corrente de entrada para o ramo de saída em uma maior faixa de  $V_{OUT}$  comparativamente ao espelho de corrente formado por transistores isolados. Observa-se também um incremento da tensão de ruptura de dreno e da tensão de saturação. No entanto, o aumento de  $BV_{DS}$  é superior à elevação da tensão de saturação, incrementando a excursão do

signal de saída em comparação com os espelhos de corrente implementados com transistores isolados. No entanto, os melhores resultados ocorrem para os espelhos de corrente com estruturas A-SC, o qual está relacionado ao menor descasamento intrínseco observado para altas corrente de entrada (Figura 29), além de maiores tensões de ruptura de dreno em comparação com os espelhos de corrente com transistores GC.

Figura 31 – Corrente de saída em função da tensão de saída para os espelhos de corrente com estruturas A-SC, e transistores GC e isolados, extraída com  $I_{IN} = 1 \mu A$



Fonte: Autor

Legenda: (A) Espelhos de corrente com estruturas A-SC e transistores isolados.

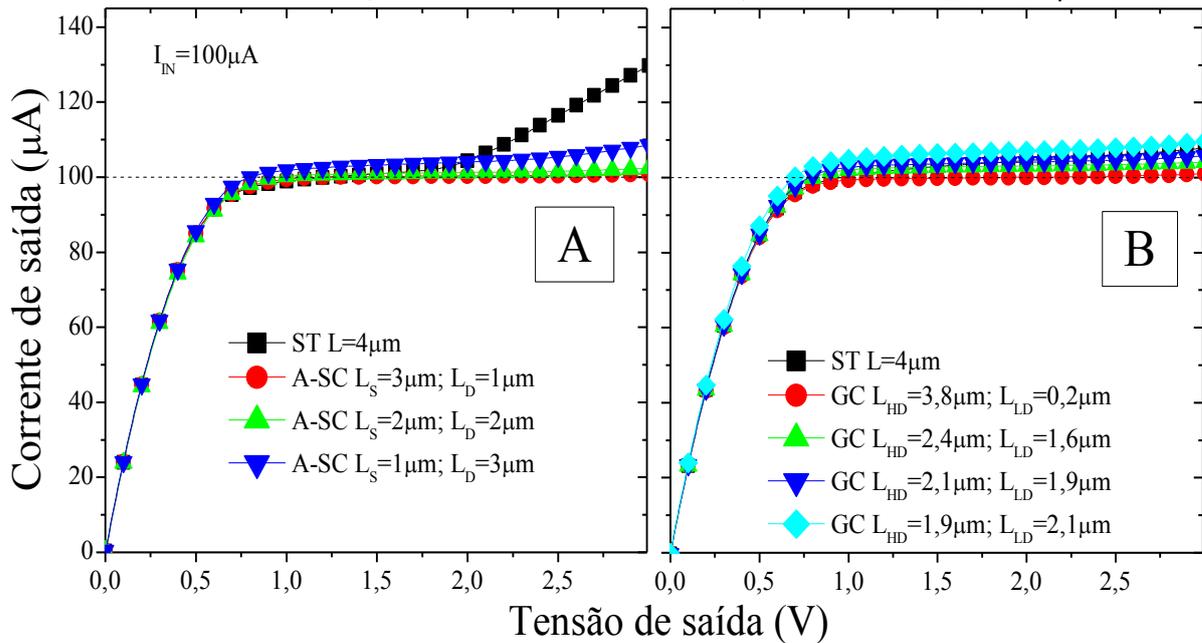
(B) Espelhos de corrente com dispositivos GC e transistores isolados.

Quando os comprimentos  $L_D$  e  $L_{LD}$  aumentam ( $L_S$  e  $L_{HD}$  reduzem), a corrente de saída desvia da corrente de entrada, como observado para os espelhos de corrente com estruturas A-SC de  $L_S = 1 \mu m$ ;  $L_D = 3 \mu m$  e transistores GC de  $L_{HD} = 1,9 \mu m$ ;  $L_{LD} = 2,1 \mu m$ , em razão do maior descasamento intrínseco observado na Figura 29.

A Figura 32 exibe a corrente de saída em função da tensão de saída extraída com  $I_{IN} = 100 \mu A$  para os espelhos de corrente com estruturas A-SC e transistores isolados (A) e os espelhos de corrente com dispositivos GC e transistores isolados (B). Ao polarizar os espelhos de corrente em regime de inversão forte, têm-se dois fatores que se contrapõem, pois a estrutura A-SC e o transistor GC passam a se comportar como transistores uniformemente dopados, degradando a precisão de espelhamento. No entanto, há um menor descasamento intrínseco para maiores correntes de entrada, melhorando a precisão de espelhamento. É possível observar para os espelhos de corrente com estruturas A-SC (Figura 32(A)), um

desempenho semelhante ao espelho de corrente com transistores isolados, o único diferencial ocorre pela maior tensão de ruptura de dreno da estrutura A-SC. Para os espelhos de corrente com transistores GC (Figura 32(B)), a precisão de espelhamento obtida é também similar ao espelho de corrente com transistores isolados.

Figura 32 – Corrente de saída em função da tensão de saída para os espelhos de corrente com estruturas A-SC, e transistores GC e isolados, extraída com  $I_{IN} = 100 \mu A$



Fonte: Autor

Legenda: (A) Espelhos de corrente com estruturas A-SC e transistores isolados.

(B) Espelhos de corrente com dispositivos GC e transistores isolados.

Para o espelho de corrente com estruturas A-SC de  $L_S = 2 \mu m$ ;  $L_D = 2 \mu m$  e  $V_{OUT} = 2,5 V$ , as precisões de espelhamento obtidas para  $I_{IN} = 1 \mu A$  e  $100 \mu A$  foram, respectivamente, 0,996 e 1,015, mostrando que, quando os espelhos de corrente com estruturas A-SC aproximam do regime de inversão forte, há uma degradação do desempenho analógico devido à semelhança de concentração de elétrons em ambos os transistores que compõem a estrutura A-SC (resistências elétricas similares entre os transistores  $M_S$  e  $M_D$ ). Comparando os espelhos de corrente com estruturas A-SC de  $L_S = 2 \mu m$ ;  $L_D = 2 \mu m$  e transistores GC de  $L_{HD} = 2,1 \mu m$ ;  $L_{LD} = 1,9 \mu m$  para  $I_{IN} = 100 \mu A$  e  $V_{OUT} = 1,5 V$ , a precisão de espelhamento é 3% melhor para o espelho de corrente com estruturas A-SC devido ao seu menor descasamento intrínseco.

Sumarizando os resultados da comparação entre os parâmetros elétricos do transistor GC e da estrutura A-SC, foram constatados em nível de dispositivo, um aumento da

transcondutância e uma menor condutância de dreno comparativamente ao transistor isolado de mesmo comprimento total de canal, com melhor desempenho para o transistor GC devido a sua menor resistência série e reduzido efeito de modulação do comprimento de canal. No entanto, a estrutura A-SC apresentou maior tensão de ruptura de dreno devido à recombinação dos pares elétron-lacuna gerados devido ao elevado campo elétrico próximo ao dreno na região N+ intermediária. No caso do amplificador em configuração fonte comum, o ganho de tensão em malha aberta foi incrementado, com desempenho superior para o transistor GC devido a sua menor condutância de dreno. Para o amplificador em configuração dreno comum, o ganho de tensão se tornou mais próximo do limite teórico ( $1/n$ ), com melhor desempenho para a estrutura A-SC, o que está relacionada a sua maior tensão de ruptura de dreno. No caso do espelho de corrente em configuração fonte comum, a precisão de espelhamento se tornou mais próxima da unidade, além de maior excursão do sinal de saída, com melhores resultados para o espelho de corrente com estruturas A-SC, uma vez que o espelho de corrente com transistores GC exibiu maior descasamento intrínseco. Além disso, maiores  $L_S$  e  $L_{HD}$  melhoraram a precisão de espelhamento.

## 4 RUÍDO DE BAIXA FREQUÊNCIA DA ASSOCIAÇÃO SÉRIE ASSIMÉTRICA DE TRANSISTORES SOI NMOS FD PLANARES

Nesta seção, são apresentados os resultados da investigação da origem do ruído de baixa frequência da associação série assimétrica de transistores fabricados na tecnologia SOI nMOS FD de 150 nm da OKI *Semiconductor*, considerando a variação da tensão de porta e da concentração de dopantes no canal dos transistores próximo à fonte e ao dreno. Esta análise foi realizada por meio de medidas experimentais obtidas de acordo com o *setup* apresentado na Seção 2.8.2. O ruído de baixa frequência foi extraído nas regiões linear e de saturação, sendo comparado com os resultados obtidos para os transistores isolados.

Os transistores isolados apresentam comprimento total de canal de 150 nm, largura de canal de 10  $\mu\text{m}$ , espessura do óxido de porta de 2,5 nm, espessura da camada de silício de 40 nm e espessura do óxido enterrado de 145 nm. Três diferentes concentrações de dopantes no canal foram estudadas, obtendo-se tensões de limiar de 0,02 V, 0,33 V e 0,57 V para os transistores isolados. Como se trata de um transistor comercial, não se encontram disponíveis informações sobre a concentração de dopantes no canal.

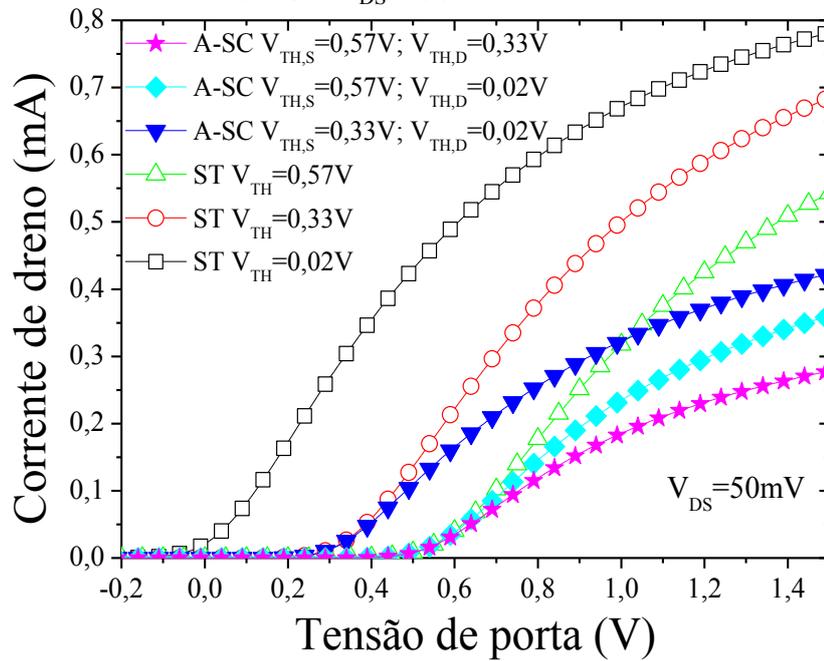
As estruturas A-SC foram formadas pela associação série dos dispositivos de  $L = 150$  nm previamente mencionados, mantendo o transistor com menor tensão de limiar próximo ao dreno.

### 4.1 ANÁLISE EM CORRENTE CONTÍNUA DA ESTRUTURA A-SC

Inicialmente, foi realizado um estudo em corrente contínua de maneira a avaliar os efeitos da variação da concentração de dopantes no canal e da implementação da associação série assimétrica de transistores sobre as características de transferência destes dispositivos.

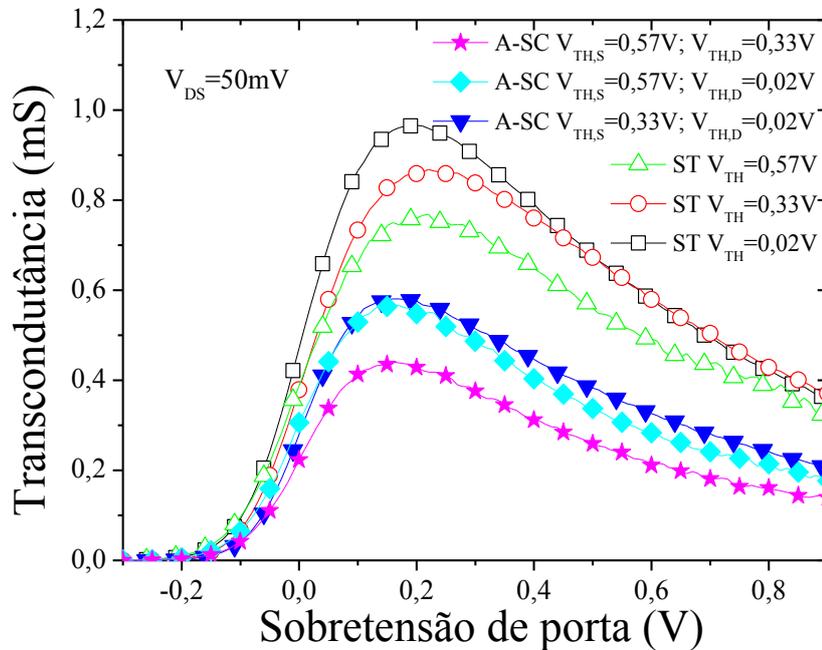
A Figura 33 apresenta a corrente de dreno em função da tensão de porta para os transistores isolados e as estruturas A-SC variando a concentração de dopantes no canal, extraída com  $V_{DS} = 50$  mV. É possível notar que as estruturas A-SC possuem a mesma tensão de limiar do ST usado como o transistor  $M_S$ . Verifica-se também uma redução do nível de corrente de dreno da estrutura A-SC comparado com os transistores isolados de mesma tensão de limiar, o que está relacionado à presença do transistor  $M_D$  em série, elevando a resistência ao fluxo de corrente de dreno. Este fato pode ser mais bem visualizado através da Figura 34, onde a transcondutância é apresentada em função da sobretensão de porta extraída com  $V_{DS} = 50$  mV para os mesmos dispositivos da Figura 33.

Figura 33 – Corrente de dreno em função da tensão de porta para os transistores isolados e as estruturas A-SC, extraída com  $V_{DS} = 50 \text{ mV}$



Fonte: Autor

Figura 34 – Transcondutância em função da sobretensão de porta para os transistores isolados e as estruturas A-SC, extraída com  $V_{DS} = 50 \text{ mV}$



Fonte: Autor

Embora as estruturas A-SC apresentem comprimento efetivo de canal similar ao comprimento de canal do transistor próximo à fonte quando polarizada próximo à tensão de

limiar, pode-se notar uma diminuição da transcondutância em comparação com os transistores isolados devido à presença do transistor  $M_D$  associado em série. Para maiores sobretensões de porta, o comprimento efetivo de canal da estrutura A-SC tende à soma de  $L_S$  e  $L_D$  (SOUZA et al., 2016), desta forma, a transcondutância da estrutura A-SC tende à metade dos valores de  $g_m$  dos transistores isolados.

Além disso, quanto maior a concentração de dopantes no canal dos transistores que compõem a estrutura A-SC, menor a transcondutância devido à redução da mobilidade dos portadores.

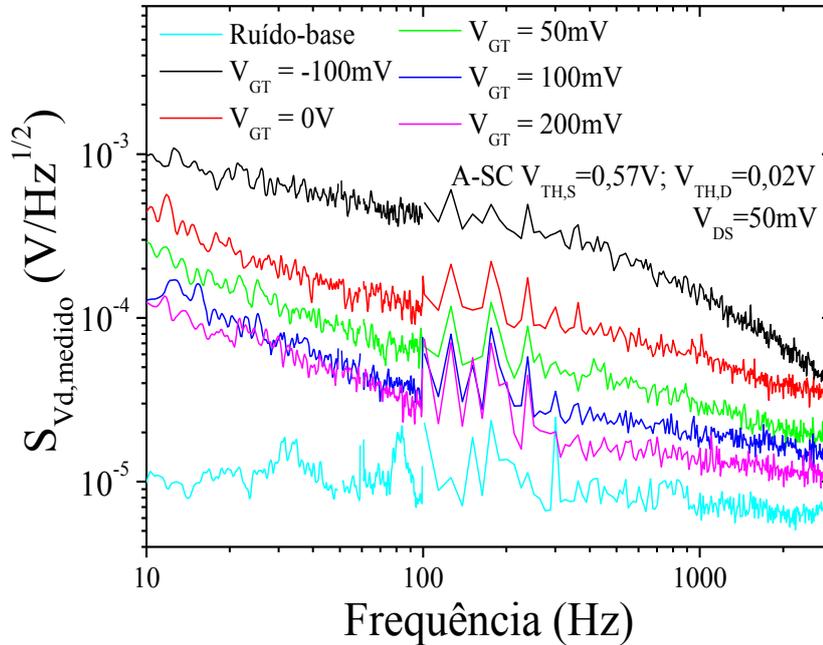
## 4.2 ANÁLISE DO RUÍDO DE BAIXA FREQUÊNCIA DA ESTRUTURA A-SC NA REGIÃO LINEAR

Depois de estudadas as características DC de entrada das estruturas A-SC, seguiu-se para a análise da origem do ruído de baixa frequência destes dispositivos na região linear. Como o analisador de espectros apenas realiza medidas de ruído de tensão, é apresentada na Figura 35, a raiz quadrada da densidade espectral medida de ruído de tensão de dreno em função da frequência para a estrutura A-SC com  $V_{TH,S} = 0,57$  V;  $V_{TH,D} = 0,02$  V variando a sobretensão de porta, extraída com  $V_{DS} = 50$  mV. O ruído inerente ao sistema de medidas (ruído-base) é também indicado.

Em todos os resultados apresentados de ruído de baixa frequência, foram apagadas manualmente as componentes de ruído na frequência da rede elétrica (60 Hz) e seus harmônicos, além de uma componente parasita na frequência de 50 Hz e seus harmônicos, provavelmente ligada à atuação de algum motor. No tratamento das curvas de ruído, não foi utilizado nenhum filtro.

De acordo com a Figura 35, pode-se notar que quanto maior a sobretensão de porta, menores são os valores de ruído de tensão de dreno, elevando a relação sinal-ruído. Isto ocorre pelo fato de que, ao aumentar a sobretensão de porta, a corrente de dreno se eleva, tornando a influência do armadilhamento e desarmadilhamento de portadores de carga menos efetiva em causar flutuações na tensão de dreno. É também possível constatar que o aumento de  $V_{GT}$  faz o ruído de tensão de dreno se aproximar do ruído intrínseco ao sistema de medidas, cujo espectro é praticamente constante em toda a faixa de frequências, ou seja, o ruído do dispositivo vai se tornando comparável ao ruído do sistema de medidas, tornando-se praticamente um ruído branco.

Figura 35 – Raiz quadrada da densidade espectral medida de ruído de tensão de dreno em função da frequência para a estrutura A-SC com  $V_{TH,S} = 0,57$  V;  $V_{TH,D} = 0,02$  V, extraída com  $V_{DS} = 50$  mV e diferentes  $V_{GT}$ , com indicação do ruído-base



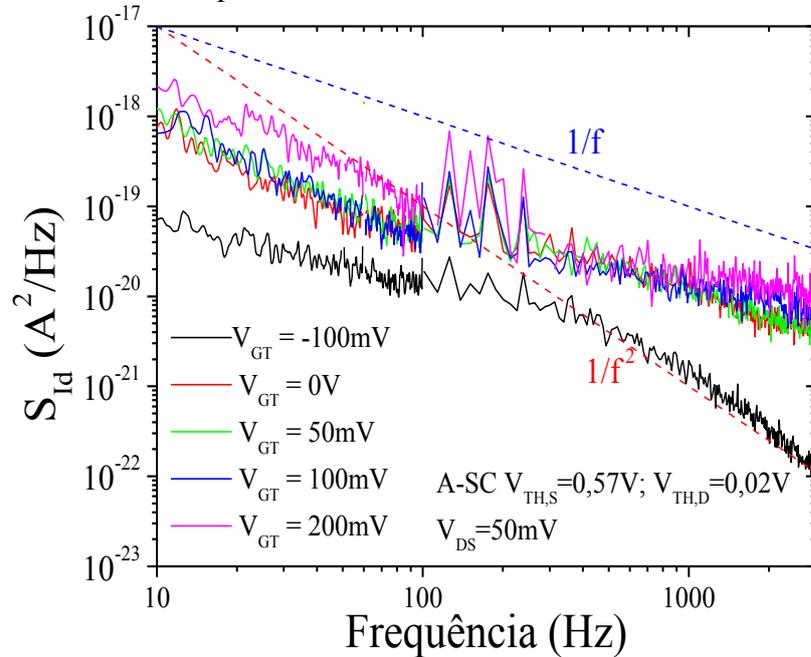
Fonte: Autor

A partir das equações (37) e (38), foi determinada a densidade espectral de ruído de corrente de dreno. Na Figura 36, é avaliada a influência da sobretensão de porta sobre a densidade espectral de ruído de corrente de dreno em função da frequência para a estrutura A-SC com  $V_{TH,S} = 0,57$  V;  $V_{TH,D} = 0,02$  V. São também indicadas as componentes  $1/f$  e  $1/f^2$  de maneira a identificar as tendências das curvas de ruído.

É possível verificar que a estrutura A-SC apresenta ruídos de comportamento  $1/f$  e  $1/f^2$  dependendo da sobretensão de porta e da faixa de frequência em análise. Para  $V_{GT} \geq 0$  V, somente a característica de ruído  $1/f$  é observada. Para  $V_{GT} = -100$  mV e maiores frequências, é constatado ruído de comportamento  $1/f^2$ , indicando a presença de *Lorentzians*.

A menor sobretensão de porta exibe a mínima densidade espectral de ruído de corrente de dreno em todo o espectro de frequências, o qual está ligado à operação em regime de sublimar, onde a concentração de portadores livres no canal é reduzida. Quando  $V_{GT} = 0$  V, há a formação de uma camada de inversão superficial, incrementando  $S_{Id}$ . No entanto, o aumento de  $V_{GT}$  acima de 0 V não eleva o ruído, o qual é uma primeira indicação de que as flutuações no número de portadores são responsáveis pelo ruído  $1/f$  (HAARTMAN; ÖSTLING, 2007).

Figura 36 – Densidade espectral de ruído de corrente de dreno em função da frequência para a estrutura A-SC com  $V_{TH,S} = 0,57$  V;  $V_{TH,D} = 0,02$  V, extraída em  $V_{DS} = 50$  mV e diferentes  $V_{GT}$ , com indicações das componentes  $1/f$  e  $1/f^2$



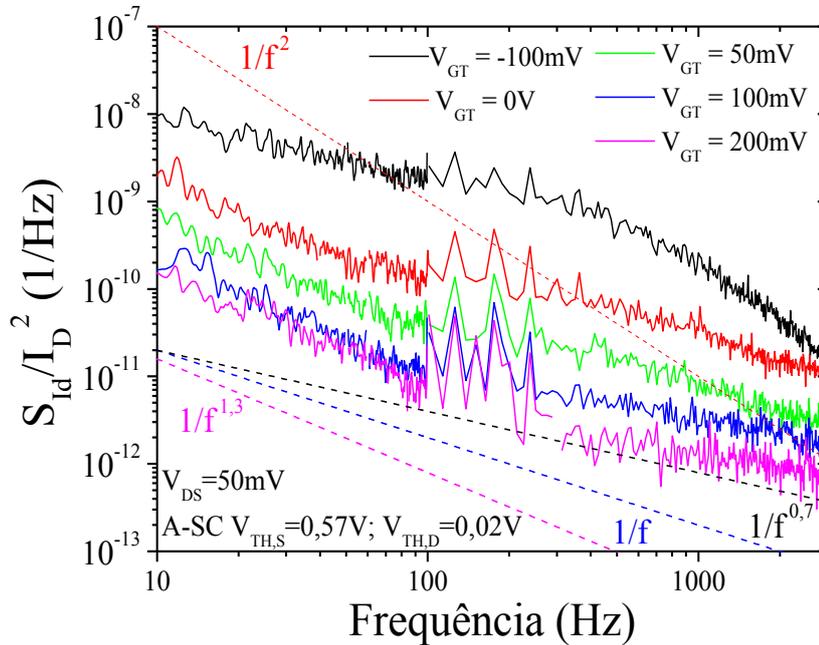
Fonte: Autor

A densidade espectral de potência do ruído térmico de corrente de dreno dos transistores MOS pode ser obtida por meio da equação (19). Quando a sobretensão de porta é incrementada de -100 mV a 200 mV, o ruído térmico varia de  $5 \times 10^{-25}$  A<sup>2</sup>/Hz à  $6 \times 10^{-24}$  A<sup>2</sup>/Hz. Como esperado, o ruído térmico é diversas ordens de grandeza inferior às curvas de ruído obtidas na Figura 36.

A normalização do ruído de corrente de dreno pelo quadrado da corrente de dreno ( $S_{Id}/I_D^2$ ) permite avaliar o ruído de baixa frequência independentemente do nível de corrente de dreno. A Figura 37 exhibe as curvas da Figura 36 normalizadas pelo quadrado da corrente de dreno. É possível observar, para  $V_{GT} \geq 0$  V, que o ruído *flicker* varia de  $1/f^{1,3}$  para  $1/f^{0,7}$  conforme a frequência aumenta.

Além disso, nota-se que a densidade espectral normalizada de ruído de corrente de dreno incrementa à medida que o transistor opera próximo ao regime de sublimiar, o que está relacionado à redução da concentração de portadores livres no canal. Desta maneira, a captura e a emissão de portadores pelas armadilhas se tornam mais efetivas em causar oscilações na corrente de dreno (HAARTMAN; ÖSTLING, 2007).

Figura 37 – Densidade espectral normalizada de ruído de corrente de dreno em função da frequência para a estrutura A-SC com  $V_{TH,S} = 0,57$  V;  $V_{TH,D} = 0,02$  V, extraída em  $V_{DS} = 50$  mV e diferentes  $V_{GT}$

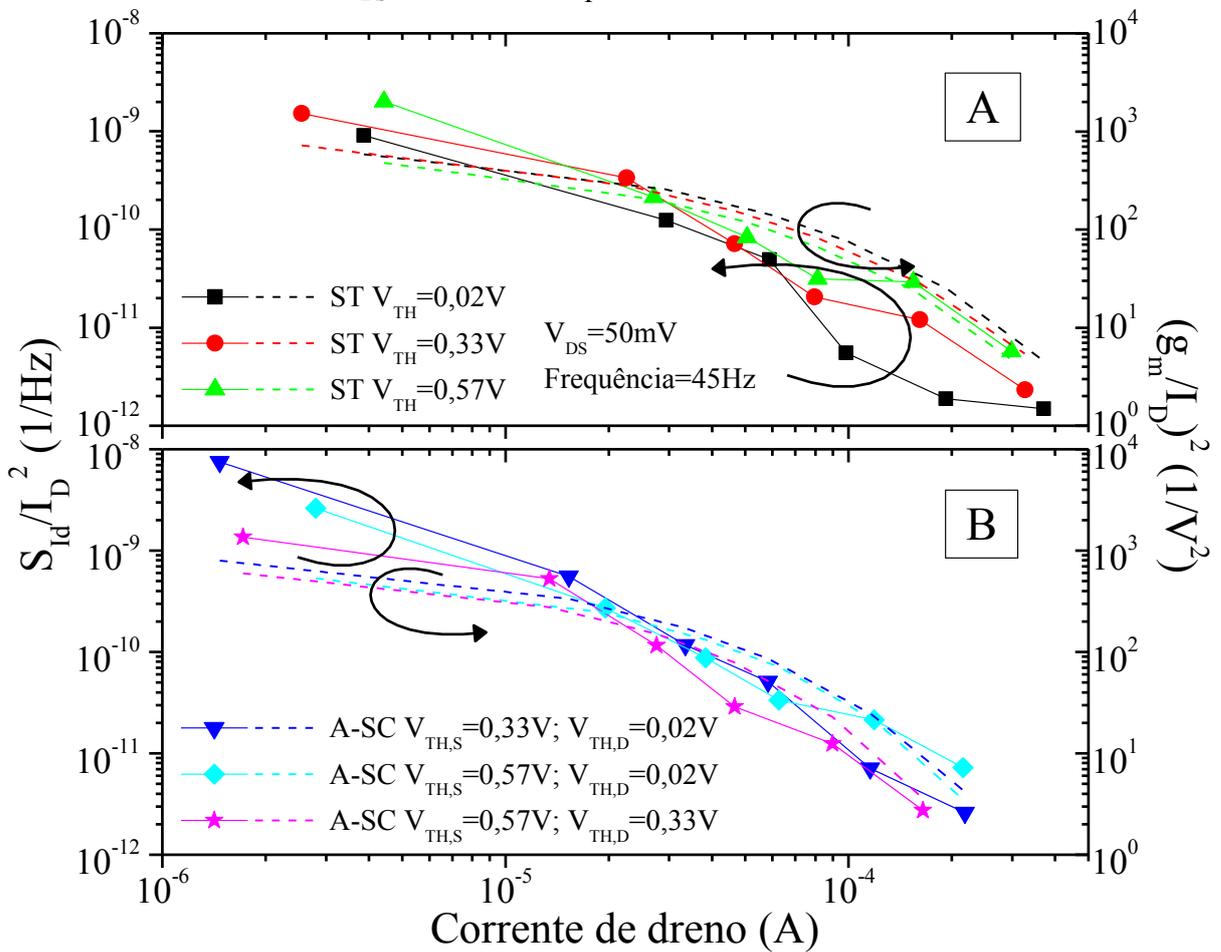


Fonte: Autor

De maneira a determinar a origem do ruído *flicker*, são apresentadas na Figura 38, a densidade espectral normalizada de ruído de corrente de dreno extraída na frequência de 45 Hz e a razão  $(g_m/I_D)^2$  em função da corrente de dreno para os dispositivos isolados (A) e as estruturas A-SC (B). A frequência de análise escolhida foi de 45 Hz de maneira a evitar a contaminação pelo ruído gerado na frequência da rede elétrica de 60 Hz e seus harmônicos, e por uma componente parasita na frequência de 50 Hz e seus harmônicos. Adicionalmente, era necessário ser uma frequência onde apenas o ruído *flicker* fosse atuante.

A partir da Figura 38(A), nota-se que os transistores isolados exibem tendência semelhante entre o ruído normalizado e a razão  $(g_m/I_D)^2$ , evidenciando que as flutuações no número de portadores correspondem à fonte de ruído predominante, o qual está associado ao armadilhamento e desarmadilhamento de portadores de carga na interface Si-SiO<sub>2</sub> e no óxido de porta. No entanto, para o transistor isolado com menor tensão de limiar, a fonte de ruído  $1/f$  é alterada para flutuações no número de portadores correlacionadas com flutuações na mobilidade, uma vez que o ruído normalizado tende a se manter constante para altas correntes de dreno, o que indica que há uma variação na mobilidade dos portadores provocada pela carga armadilhada.

Figura 38 – Densidade espectral normalizada de ruído de corrente de dreno e razão  $(g_m/I_D)^2$  em função da corrente de dreno para os transistores isolados e as estruturas A-SC, extraída com  $V_{DS} = 50$  mV e frequência de 45 Hz



Fonte: Autor

Legenda: (A) Transistores isolados.

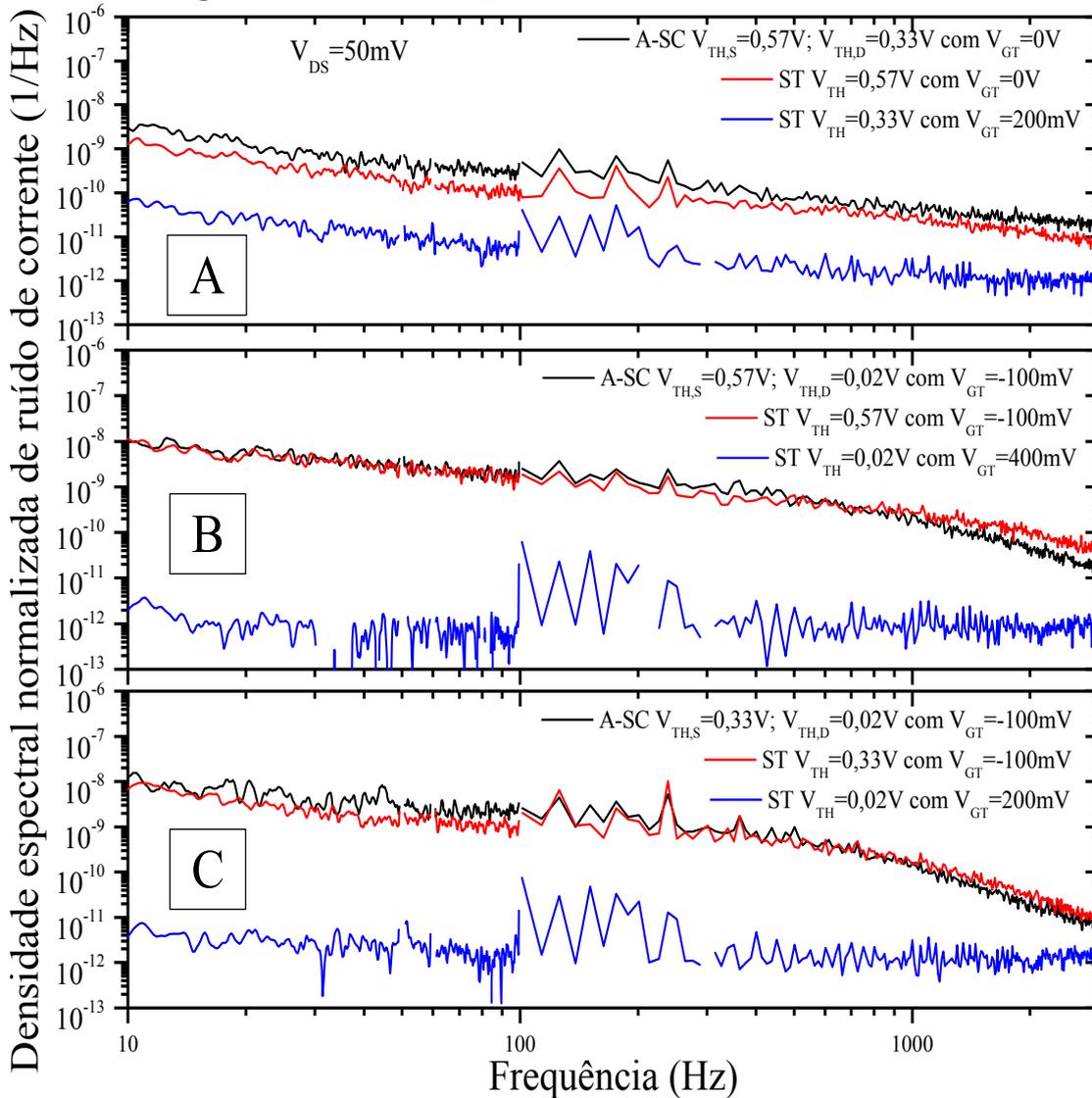
(B) Estruturas A-SC.

Analisando a Figura 38(B), é também possível constatar uma correlação significativa entre  $S_{I_D}/I_D^2$  e  $(g_m/I_D)^2$  para todas as estruturas A-SC. Desta forma, ao associar os transistores isolados em série, não há uma mudança na fonte de ruído  $1/f$  dominante que continua a ser as flutuações no número de portadores para esta tecnologia. Além disso, a resistência da região de difusão N+ intermediária não tem uma importância significativa na origem do ruído, visto que não há um aumento do  $S_{I_D}/I_D^2$  para maiores correntes de dreno, o que poderia indicar a resistência série como a fonte de ruído dominante (HAARTMAN; ÖSTLING, 2007).

A estrutura A-SC é caracterizada pela presença de duas diferentes sobretensões de porta, uma relacionada ao transistor  $M_S$  e a outra ligada ao transistor  $M_D$ . De maneira a avaliar a influência de cada transistor no ruído de baixa frequência da estrutura A-SC, a Figura 39 apresenta a densidade espectral normalizada de ruído de corrente de dreno em função da

frequência para as estruturas A-SC e os transistores isolados polarizados na mesma sobretensão de porta da estrutura A-SC, o que provoca diferentes  $V_{GT}$  para os transistores  $M_S$  e  $M_D$ .

Figura 39 – Densidade espectral normalizada de ruído de corrente de dreno em função da frequência para diversas estruturas A-SC e os transistores isolados que as compõem, extraída com  $V_{DS} = 50\text{ mV}$



Fonte: Autor

Legenda: (A) A-SC com  $V_{TH,S} = 0,57\text{ V}$ ;  $V_{TH,D} = 0,33\text{ V}$ .

(B) A-SC com  $V_{TH,S} = 0,57\text{ V}$ ;  $V_{TH,D} = 0,02\text{ V}$ .

(C) A-SC com  $V_{TH,S} = 0,33\text{ V}$ ;  $V_{TH,D} = 0,02\text{ V}$ .

De acordo com a Figura 39, não importa a sobretensão de porta e a concentração de dopantes no canal dos transistores que compõem a estrutura A-SC, em todos os casos, o ruído da estrutura A-SC é dominado pelo ruído gerado no transistor próximo à fonte, uma vez que o

transistor  $M_D$  está polarizado em maior  $V_{GT}$  para a mesma tensão de porta, o que reduz o seu ruído.

A Figura 40 apresenta a densidade espectral normalizada de ruído de corrente de dreno em função da frequência extraída em  $V_{GT}$  de -100 mV (A), 0 V (B) e 50 mV (C) para os transistores isolados e as estruturas A-SC com indicação das componentes  $1/f$  e  $1/f^2$ . Em regime de sublimiar, ambas as componentes de ruído  $1/f$  e  $1/f^2$  estão presentes para todos os transistores isolados e as estruturas A-SC. Quando a sobretensão de porta é incrementada, somente ruído  $1/f$  é verificado, como observado previamente na Figura 36.

Ainda com base na Figura 40, ao analisar a influência da concentração de dopantes no canal dos transistores isolados, nota-se que o seu aumento eleva o ruído normalizado para todas as sobretensões de porta, o que está relacionado à maior dose de implantação iônica, degradando a qualidade do óxido de porta e da interface Si-SiO<sub>2</sub> e, conseqüentemente, gerando mais armadilhas. Além disso, há uma redução da mobilidade dos portadores com o aumento da concentração de dopantes no canal, diminuindo a corrente de dreno, tornando-a mais susceptível às oscilações devido aos mecanismos de armadilhamento e desarmadilhamento de portadores de carga.

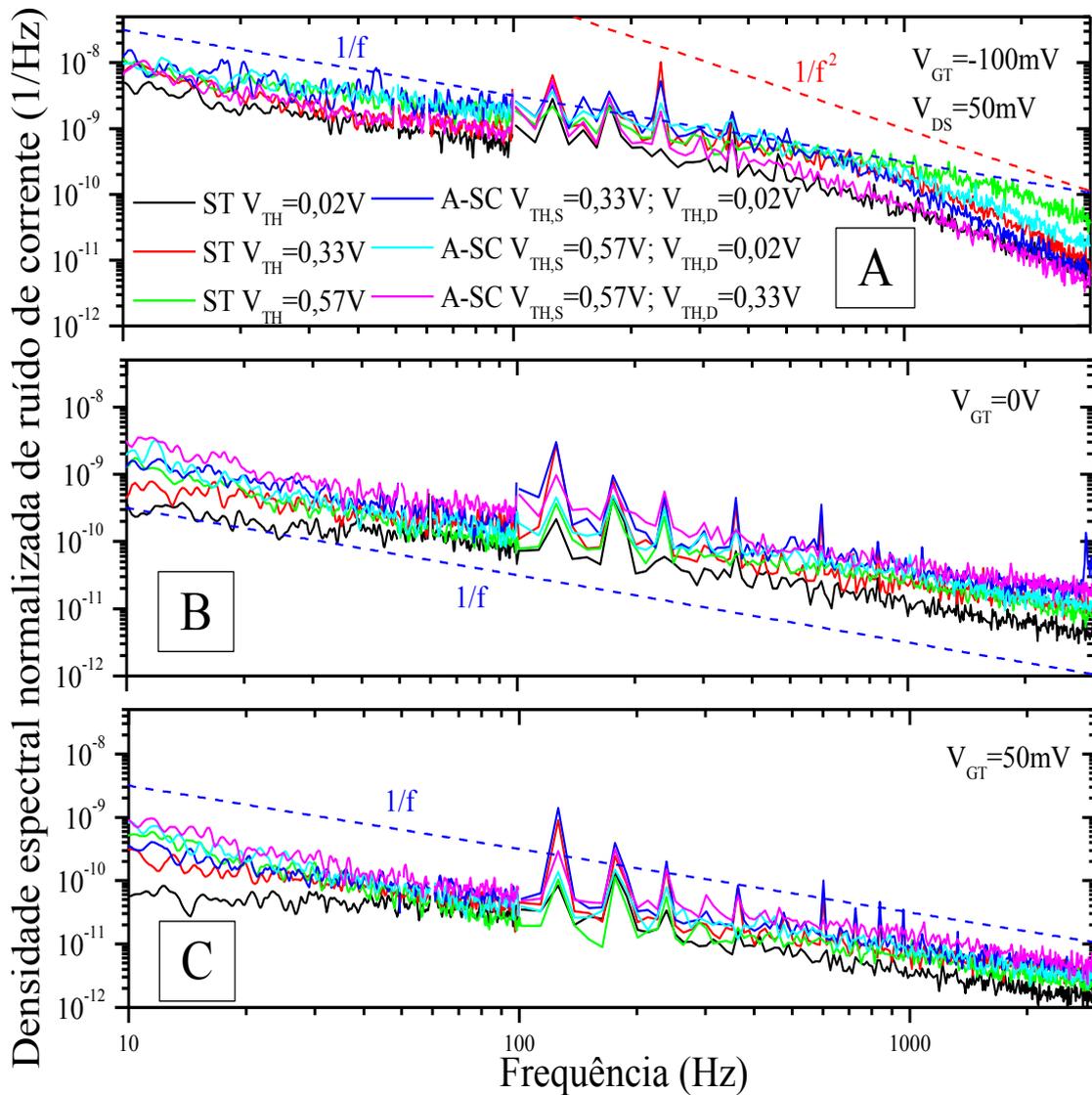
Para as estruturas A-SC, a presença de dois transistores com mesmas dimensões associados em série implica no dobro da área de porta do transistor isolado, incrementando a quantidade de armadilhas no óxido de porta e na interface Si-SiO<sub>2</sub>, o que aumenta a densidade espectral normalizada de ruído de corrente de dreno. Esta elevação é observada nas Figuras 40(B) e (C), onde todas as estruturas A-SC apresentam maior ruído normalizado em todo o espectro de frequências comparativamente aos transistores isolados. Além disso, se a estrutura A-SC for composta por transistores mais ruidosos, maior será o ruído de baixa frequência. Desta forma, o maior ruído normalizado foi observado para a estrutura A-SC com  $V_{TH,S} = 0,57$  V;  $V_{TH,D} = 0,33$  V, uma vez que estes transistores isolados possuem maior ruído devido à maior concentração de dopantes no canal.

O aumento da densidade efetiva de armadilhas na estrutura A-SC pode ser explicado com base nas equações (24) e (25). Ao normalizar  $S_{Id}$  por  $I_D^2$ , obtém-se a seguinte expressão:

$$\frac{S_{Id}}{I_D^2} = \frac{q^2 \cdot k \cdot T \cdot \lambda \cdot N_t}{f^\gamma \cdot W \cdot L \cdot C_{oxf}^2 \cdot V_{GT}^2} \quad (40)$$

Com base na Figura 40(B) e frequência de 10 Hz, sabe-se que  $\frac{q^2 \cdot k \cdot T \cdot \lambda}{f^\gamma \cdot W \cdot C_{\text{oxf}}^2 \cdot V_{\text{GT}}^2}$  é uma constante. Desta forma, tem-se  $S_{\text{Id}}/I_{\text{D}}^2$  proporcional à  $N_t/L$ . Para baixo  $V_{\text{GT}}$ , o comprimento efetivo de canal da estrutura A-SC é similar ao  $L$  dos transistores isolados. Logo, a razão do incremento do ruído normalizado da estrutura A-SC comparativamente aos transistores isolados se deve ao aumento da sua densidade efetiva de armadilhas.

Figura 40 – Densidade espectral normalizada de ruído de corrente de dreno em função da frequência para diversos  $V_{\text{GT}}$  comparando transistores isolados e estruturas A-SC, extraída em  $V_{\text{DS}} = 50$  mV com indicação das componentes  $1/f$  e  $1/f^2$



Fonte: Autor

Legenda: (A)  $V_{\text{GT}} = -100$  mV.

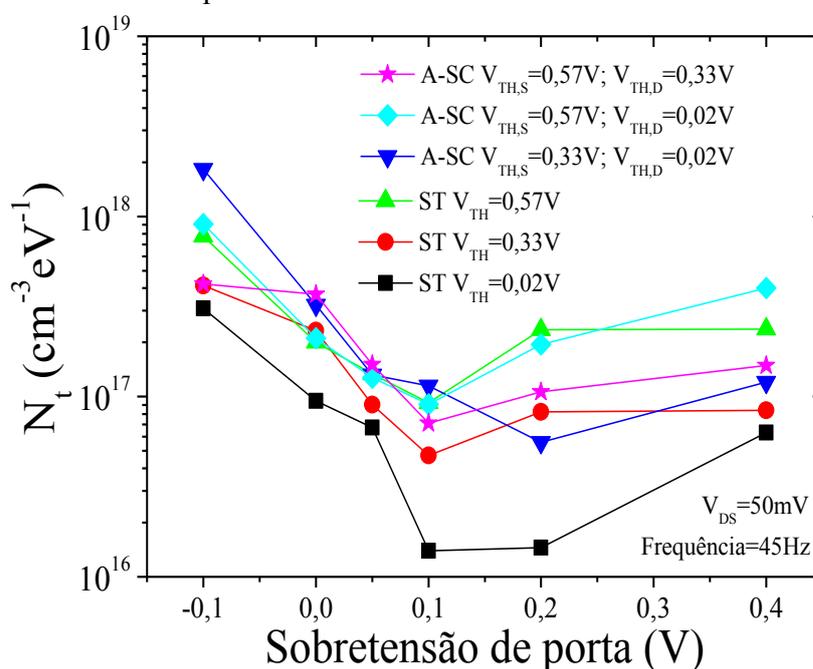
(B)  $V_{\text{GT}} = 0$  V.

(C)  $V_{\text{GT}} = 50$  mV.

No entanto, na Figura 40(A), as estruturas A-SC apresentam menor densidade espectral normalizada de ruído de corrente de dreno em maiores frequências, o que está ligada à menor frequência de corte do ruído *Lorentzian*, que corresponde à frequência onde se inicia o decaimento  $1/f^2$ .

A Figura 41 apresenta a densidade efetiva de armadilhas em função da sobretensão de porta para os transistores isolados e as estruturas A-SC, extraída na frequência de 45 Hz. Como se pode verificar, para qualquer dispositivo, há um valor significativo de densidade efetiva de armadilhas em  $V_{GT} = -100$  mV, o que está de acordo com o maior ruído normalizado observado na Figura 37. Com o aumento da sobretensão de porta, constata-se uma redução da densidade efetiva de armadilhas para todos os dispositivos, alcançando o mínimo valor próximo de  $V_{GT} = 100$  mV. Para maiores sobretensões de porta, um leve aumento da densidade efetiva de armadilhas é observado.

Figura 41 – Densidade efetiva de armadilhas em função da sobretensão de porta para os transistores isolados e as estruturas A-SC, extraída com  $V_{DS} = 50$  mV e frequência de 45 Hz



Fonte: Autor

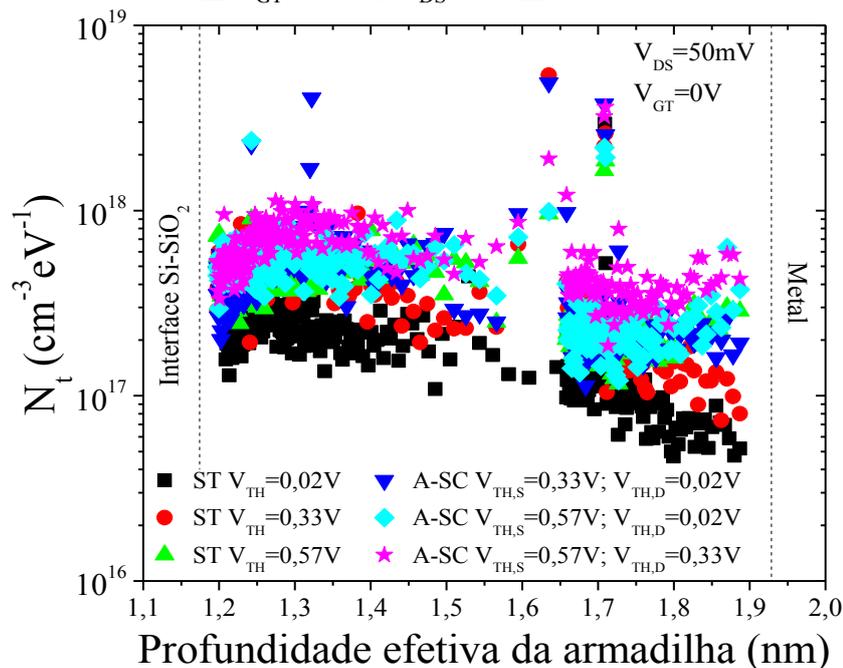
É também possível notar que o incremento da concentração de dopantes no canal aumenta a densidade efetiva de armadilhas para os transistores isolados. Este fato está relacionado à maior dose da implantação iônica que cria mais armadilhas na interface Si-SiO<sub>2</sub> e no óxido de porta.

Quando analisadas as estruturas A-SC, é evidente a maior densidade efetiva de armadilhas comparada com os transistores isolados principalmente para  $V_{GT} \leq 100$  mV. Quando a sobretensão de porta é incrementada, o comprimento efetivo de canal da estrutura A-SC tende à  $L_S + L_D$ . Nesta condição, é necessário substituir  $L$  por aproximadamente  $L_S + L_D$  na equação (26) para corrigir e aumentar a densidade efetiva de armadilhas. Na Figura 41, por simplicidade, foi usado  $L = L_S$  na equação (26) para todas as estruturas A-SC.

A partir das equações (26) e (27), é possível determinar como as armadilhas se encontram distribuídas ao longo da profundidade do óxido de porta desde a interface Si-SiO<sub>2</sub> até o metal de porta, uma vez que, para cada frequência, há um valor de  $S_{Id}$  e, portanto, um valor de  $N_t$ , e da mesma forma, um valor de profundidade.

A Figura 42 apresenta a densidade efetiva de armadilhas em função da profundidade efetiva da armadilha no dielétrico de porta para os transistores isolados e as estruturas A-SC, extraída em  $V_{GT} = 0$  V. Como a medida de ruído foi realizada na faixa de frequências de 10 a 10 kHz, a profundidade efetiva da armadilha variou de 1,2 a 1,9 nm. Maiores frequências estão relacionadas com as armadilhas mais próximas à interface Si-SiO<sub>2</sub>, ao passo que as frequências mais baixas estão ligadas às armadilhas mais profundas no óxido de porta.

Figura 42 – Densidade efetiva de armadilhas em função da profundidade efetiva da armadilha para os transistores isolados e as estruturas A-SC, extraída com  $V_{GT} = 0$  V e  $V_{DS} = 50$  mV

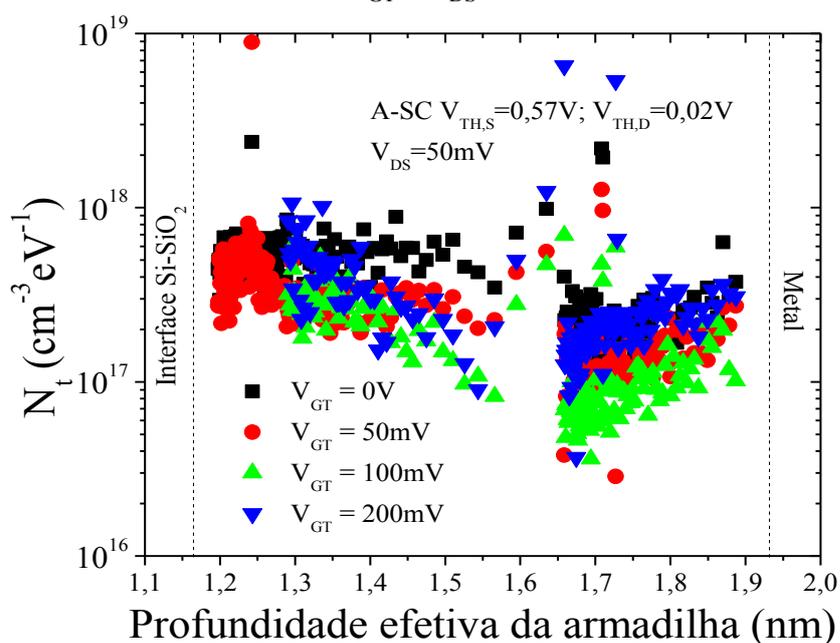


Fonte: Autor

Com base na Figura 42, é possível observar poucos pontos de  $N_t$  na profundidade próxima de 1,6 nm, o que está relacionada à pouca quantidade de pontos de ruído na faixa de frequências de 100 a 200 Hz, visto que foi utilizada uma maior largura de banda no filtro do analisador de espectros para frequências acima de 100 Hz. Adicionalmente, pode-se notar uma leve redução de  $N_t$  na região mais profunda do óxido de porta para todos os dispositivos, indicando que o expoente da frequência é um pouco menor do que a unidade. Para os transistores isolados, o aumento da concentração de dopantes no canal incrementa a densidade efetiva de armadilhas em toda a profundidade do dielétrico de porta. Similarmente, a associação série de dois dispositivos, formando a estrutura A-SC, também causa um aumento de  $N_t$ , principalmente para a estrutura A-SC com  $V_{TH,S} = 0,57$  V;  $V_{TH,D} = 0,33$  V.

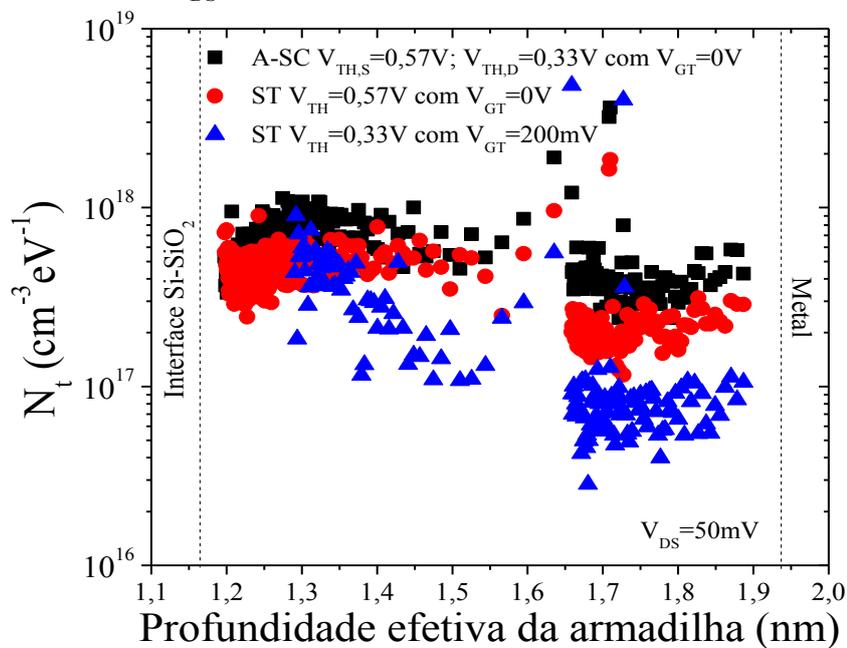
A Figura 43 exibe a densidade efetiva de armadilhas em função da profundidade efetiva da armadilha no dielétrico de porta para a estrutura A-SC com  $V_{TH,S} = 0,57$  V;  $V_{TH,D} = 0,02$  V. Para todos  $V_{GT}$ , pode-se constatar que o mínimo  $N_t$  ocorre próximo de  $x = 1,65$  nm. Ao analisar a Figura 37, para frequências menores do que 100 Hz ( $x > 1,65$  nm), o expoente da frequência é 1,3. Desta forma, há uma maior densidade efetiva de armadilhas próxima ao metal de porta. No entanto, para frequências maiores do que 100 Hz ( $x < 1,65$  nm), o expoente da frequência é 0,7, indicando que há um maior  $N_t$  próximo à interface Si-SiO<sub>2</sub>.

Figura 43 – Densidade efetiva de armadilhas em função da profundidade efetiva da armadilha para a estrutura A-SC com  $V_{TH,S} = 0,57$  V;  $V_{TH,D} = 0,02$  V, extraída em diferentes  $V_{GT}$  e  $V_{DS} = 50$  mV



A Figura 44 apresenta a densidade efetiva de armadilhas em função da profundidade efetiva da armadilha no dielétrico de porta para a estrutura A-SC com  $V_{TH,S} = 0,57$  V;  $V_{TH,D} = 0,33$  V e os transistores isolados polarizados no mesmo  $V_{GT}$  da estrutura A-SC de maneira a avaliar a influência de  $N_t$  de cada transistor que compõe a estrutura A-SC. Pode-se verificar que a associação série assimétrica apresenta densidade efetiva de armadilhas similar ao transistor  $M_S$ , o que reforça que a estrutura A-SC é governada pelo transistor próximo à fonte, como observado na Figura 39.

Figura 44 – Densidade efetiva de armadilhas em função da profundidade efetiva da armadilha para a estrutura A-SC com  $V_{TH,S} = 0,57$  V;  $V_{TH,D} = 0,33$  V e os transistores isolados que a compõe, extraída com  $V_{DS} = 50$  mV



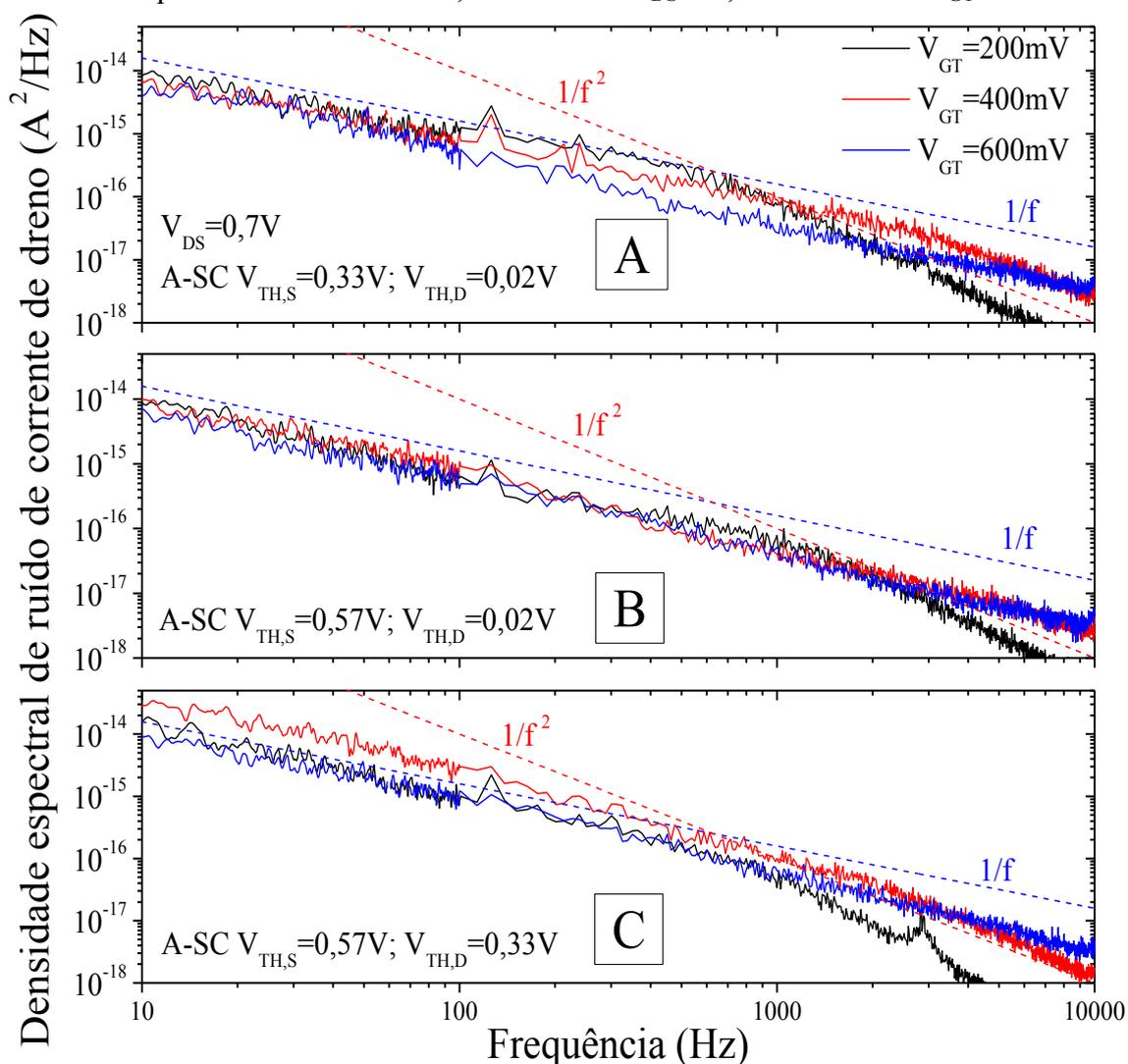
Fonte: Autor

#### 4.3 ANÁLISE DO RUÍDO DE BAIXA FREQUÊNCIA DA ESTRUTURA A-SC NA REGIÃO DE SATURAÇÃO

Uma vez que os circuitos analógicos operam em saturação, é necessário ser avaliado o ruído de baixa frequência da estrutura A-SC nesta região de operação. Quando os transistores são polarizados em alta tensão de dreno, o ruído  $1/f$  continua sendo a característica de ruído dominante em baixas frequências, enquanto a componente de ruído  $1/f^2$  aparece em maiores frequências, como constatado através da Figura 45, onde  $S_{Id}$  é apresentado em função da frequência para diversas estruturas A-SC, extraída em  $V_{DS} = 0,7$  V e diferentes  $V_{GT}$ .

Para todas as estruturas A-SC, pode-se notar pouca influência da sobretensão de porta sobre a densidade espectral de ruído de corrente de dreno em baixas frequências. Apenas há uma dependência em relação à  $V_{GT}$  quando o ruído de geração-recombinação se torna importante, o que está relacionado com a variação da frequência de corte do ruído *Lorentzian*. Aparentemente, o ruído g-r se torna o ruído dominante a partir de uma mesma frequência para as estruturas A-SC polarizadas em mesma sobretensão de porta, e esta frequência é aproximadamente igual a 700 Hz para  $V_{GT} = 200$  mV. Ao aumentar a sobretensão de porta, a frequência de corte do ruído *Lorentzian* incrementa. Desta forma, o ruído  $1/f$  se torna a componente de ruído dominante.

Figura 45 – Densidade espectral de ruído de corrente de dreno em função da frequência para as estruturas A-SC, extraída em  $V_{DS} = 0,7$  V e diversos  $V_{GT}$



Fonte: Autor

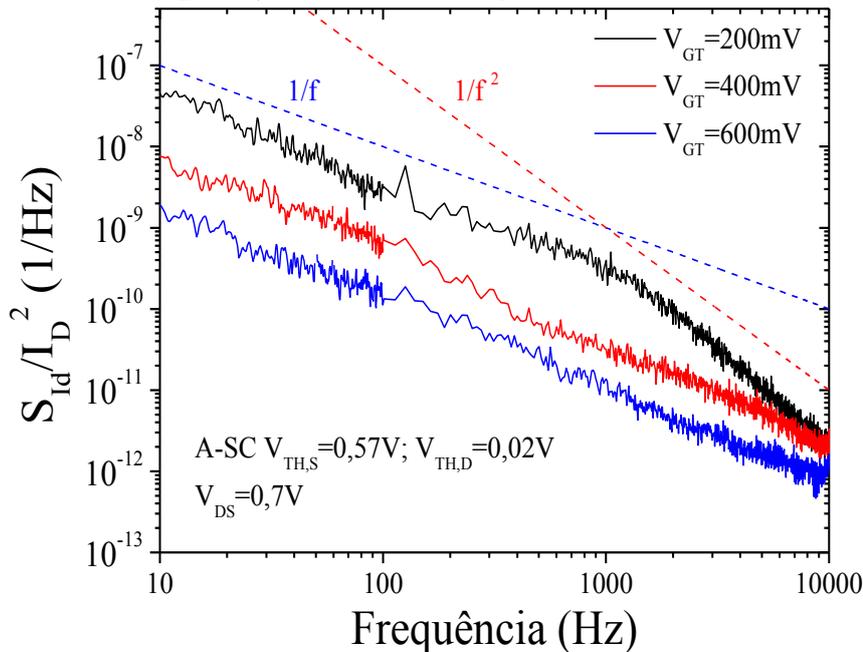
Legenda: (A) A-SC com  $V_{TH,S} = 0,33$  V;  $V_{TH,D} = 0,02$  V.

(B) A-SC com  $V_{TH,S} = 0,57$  V;  $V_{TH,D} = 0,02$  V.

(C) A-SC com  $V_{TH,S} = 0,57$  V;  $V_{TH,D} = 0,33$  V.

Na Figura 46, o ruído normalizado é apresentado em função da frequência para a estrutura A-SC com  $V_{TH,S} = 0,57$  V;  $V_{TH,D} = 0,02$  V, extraído em diversas sobretensões de porta. De acordo com esta figura, o aumento de  $V_{GT}$  reduz o ruído normalizado, como obtido na região linear, uma vez que há um maior número de portadores fluindo no canal. Desta maneira, a captura e a emissão de qualquer portador pelas armadilhas causa um menor impacto sobre a corrente de dreno, mantendo o seu valor e, com isso, reduzindo  $S_{Id}/I_D^2$ . Além disso, o ruído de geração-recombinação é deslocado para maiores frequências à medida que a sobretensão de porta é incrementada.

Figura 46 – Densidade espectral normalizada de ruído de corrente de dreno em função da frequência para a estrutura A-SC com  $V_{TH,S} = 0,57$  V;  $V_{TH,D} = 0,02$  V, extraída em  $V_{DS} = 0,7$  V e diversos  $V_{GT}$



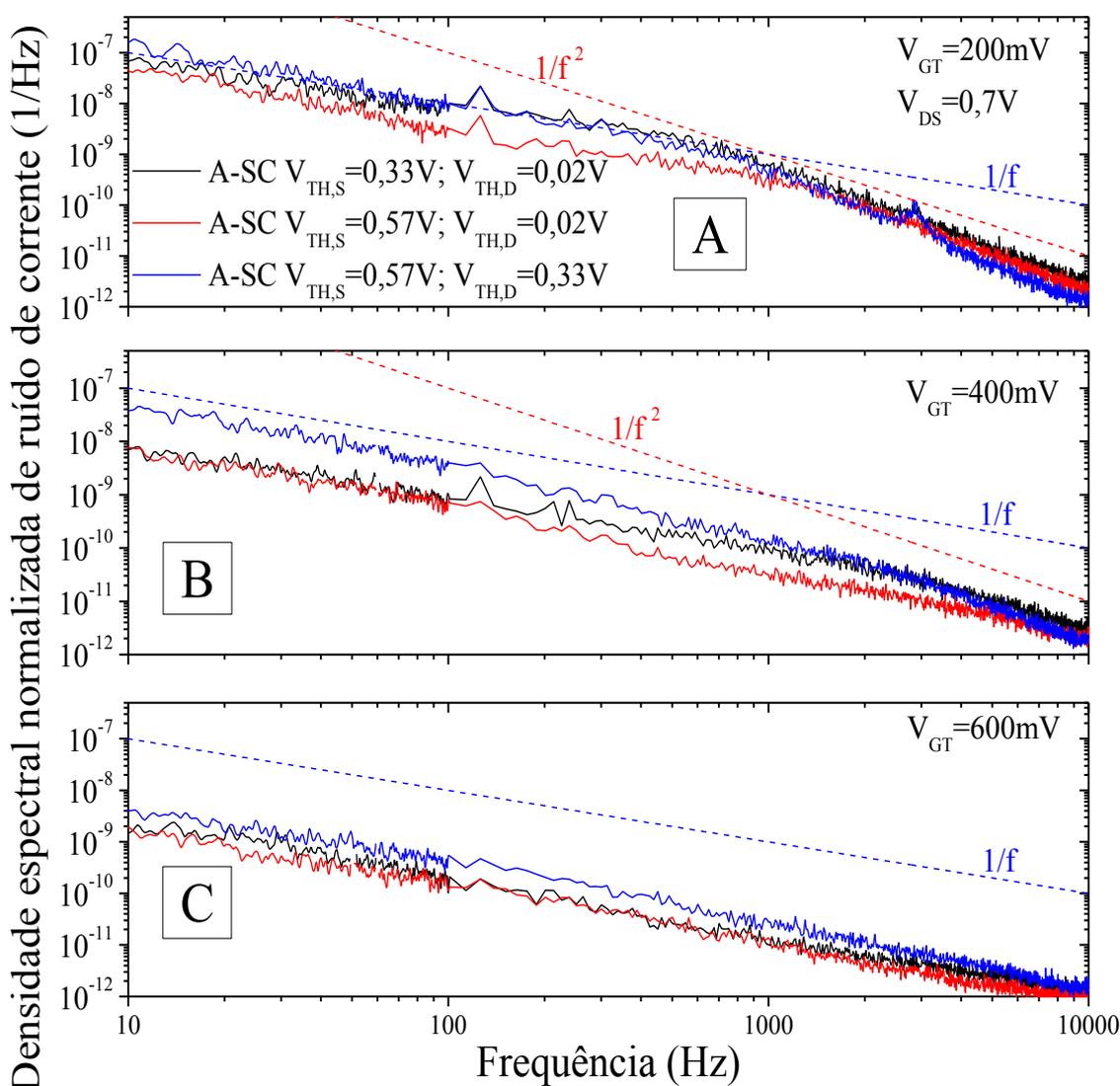
Fonte: Autor

Ao comparar com a Figura 37, o ruído normalizado em  $V_{GT} = 200$  mV é maior quando o dispositivo opera na região de saturação devido ao maior campo elétrico próximo ao dreno, o que induz um maior armadilhamento de cargas no óxido de porta, uma vez que a corrente de tunelamento através da porta se torna especialmente importante quando o transistor opera em saturação. Desta maneira, há um aumento da densidade de armadilhas, provocando um incremento do ruído de baixa frequência (JAKOBSON; BLOOM; NEMIROVSKY, 1998).

A Figura 47 exhibe o ruído normalizado em função da frequência para as estruturas A-SC, extraído em  $V_{GT} = 200$  mV (A),  $400$  mV (B) e  $600$  mV (C). A estrutura A-SC com  $V_{TH,S} = 0,57$

V;  $V_{TH,D} = 0,33$  V exibe o maior ruído normalizado em praticamente todo o espectro de frequências para todas as sobretensões de porta quando comparado com as outras estruturas A-SC, o que está relacionado com a maior concentração de dopantes no canal dos transistores que compõem a associação série assimétrica, degradando a qualidade do óxido de porta e a interface Si-SiO<sub>2</sub>. Como observado anteriormente, a frequência de corte do ruído *Lorentzian* não varia entre as estruturas A-SC polarizadas em mesma sobretensão de porta.

Figura 47 – Densidade espectral normalizada de ruído de corrente de dreno em função da frequência para as estruturas A-SC, extraída em  $V_{DS} = 0,7$  V e diversos  $V_{GT}$



Fonte: Autor

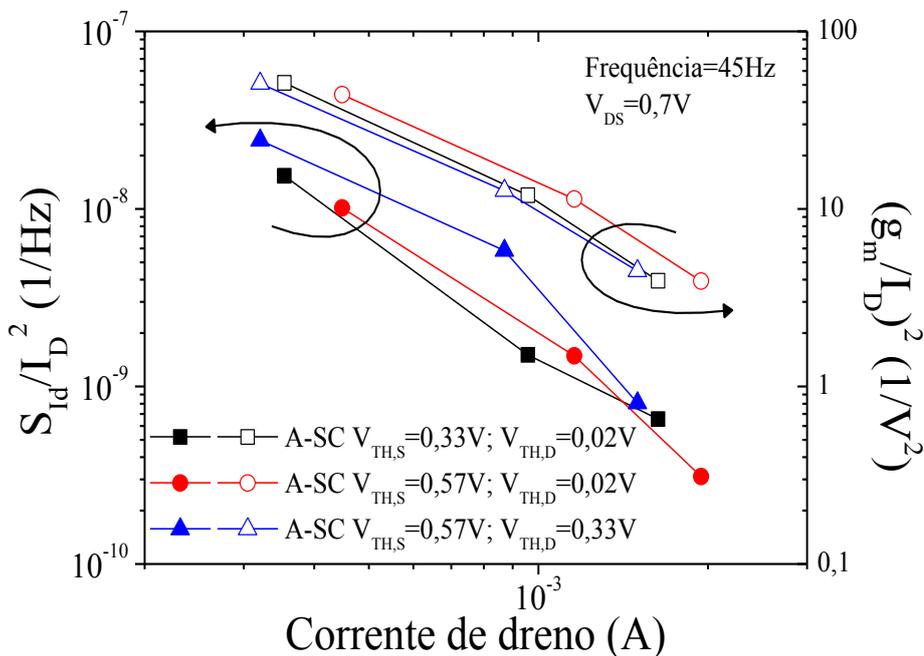
Legenda: (A)  $V_{GT} = 200$  mV.

(B)  $V_{GT} = 400$  mV.

(C)  $V_{GT} = 600$  mV.

A Figura 48 apresenta a densidade espectral normalizada de ruído de corrente de dreno extraída na frequência de 45 Hz e a razão  $(g_m/I_D)^2$  em função da corrente de dreno para as estruturas A-SC polarizadas em  $V_{DS} = 0,7$  V. Como se pode observar, as curvas de  $S_{I_D}/I_D^2$  e  $(g_m/I_D)^2$  possuem a mesma tendência com a corrente de dreno para todas as estruturas A-SC. Desta forma, ao polarizar as estruturas A-SC em saturação, as flutuações no número de portadores continuam a ser a origem do ruído *flicker*.

Figura 48 – Densidade espectral normalizada de ruído de corrente de dreno e a razão  $(g_m/I_D)^2$  em função da corrente de dreno para as estruturas A-SC, extraída na frequência de 45 Hz e  $V_{DS} = 0,7$  V



Fonte: Autor

Sumarizando os resultados do ruído de baixa frequência da estrutura A-SC, foi verificado que a densidade espectral de ruído de corrente de dreno na região de triodo apresenta comportamento  $1/f$  para todas as sobretensões de porta. No entanto, para  $V_{GT} = -100$  mV, foi constatada também a presença de ruído *Lorentzian*. Em regime de sublimiar, houve um acréscimo do ruído normalizado, uma vez que a reduzida quantidade de portadores livres no canal torna o armadilhamento e o desarmadilhamento de cada portador mais impactante na flutuação da corrente de dreno. Foi provado que a fonte de ruído  $1/f$  predominante está ligada às flutuações no número de portadores. O aumento da concentração de dopantes no canal incrementou o ruído normalizado e a densidade efetiva de armadilhas, o que está relacionada à degradação da qualidade da interface do canal e do óxido de porta. As

estruturas A-SC, por apresentarem o dobro da área de porta dos transistores isolados, exibiram maior  $N_t$  e  $S_{Id}/I_D^2$ , sendo dominadas pelo ruído gerado no transistor próximo à fonte. Em saturação, o ruído normalizado foi incrementado devido à maior corrente de tunelamento, o que induziu um maior armadilhamento de cargas no óxido de porta.



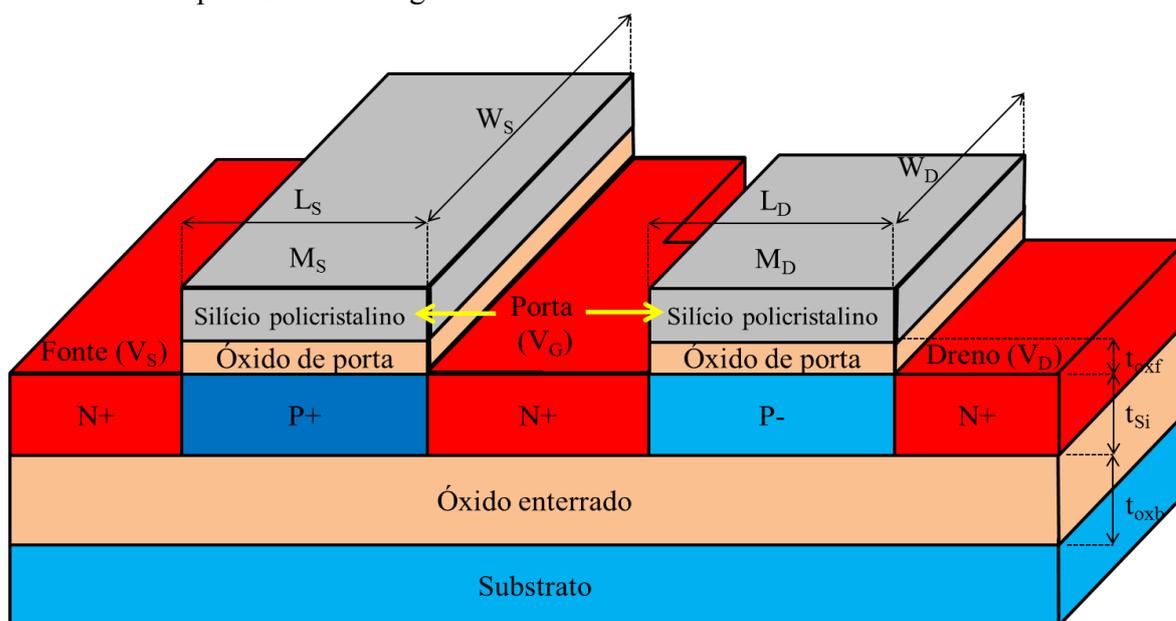
## 5 INFLUÊNCIA DA LARGURA DE CANAL NO DESEMPENHO ANALÓGICO DA ESTRUTURA A-SC

Neste capítulo, é avaliada a influência da largura de canal dos transistores planares próximos à fonte e ao dreno no desempenho analógico da associação série assimétrica. Este estudo complementa o trabalho experimental realizado por Souza, Flandre e Pavanello (2013), onde foi estudada a influência do comprimento de canal dos transistores  $M_S$  e  $M_D$  no comportamento analógico da estrutura A-SC, sendo obtido um aumento de  $A_V$  ao incrementar os comprimentos  $L_S$  e  $L_D$ .

Este trabalho foi realizado a partir de simulações numéricas tridimensionais de dispositivos ajustadas de acordo com os resultados experimentais da tecnologia SOI FD da UCLouvain (FLANDRE et al., 2001). Os transistores isolados experimentais possuem comprimento total de canal de 2  $\mu\text{m}$  e largura de canal de 20  $\mu\text{m}$ . Os demais parâmetros tecnológicos estão apresentados no capítulo 3.

A Figura 49 exibe a associação série assimétrica composta por transistores SOI nMOS FD com larguras de canal distintas. Onde  $W_S$  e  $W_D$  correspondem às larguras de canal dos transistores próximos à fonte e ao dreno, respectivamente.

Figura 49 – Associação série assimétrica composta por transistores SOI nMOS totalmente depletados com larguras de canal distintas

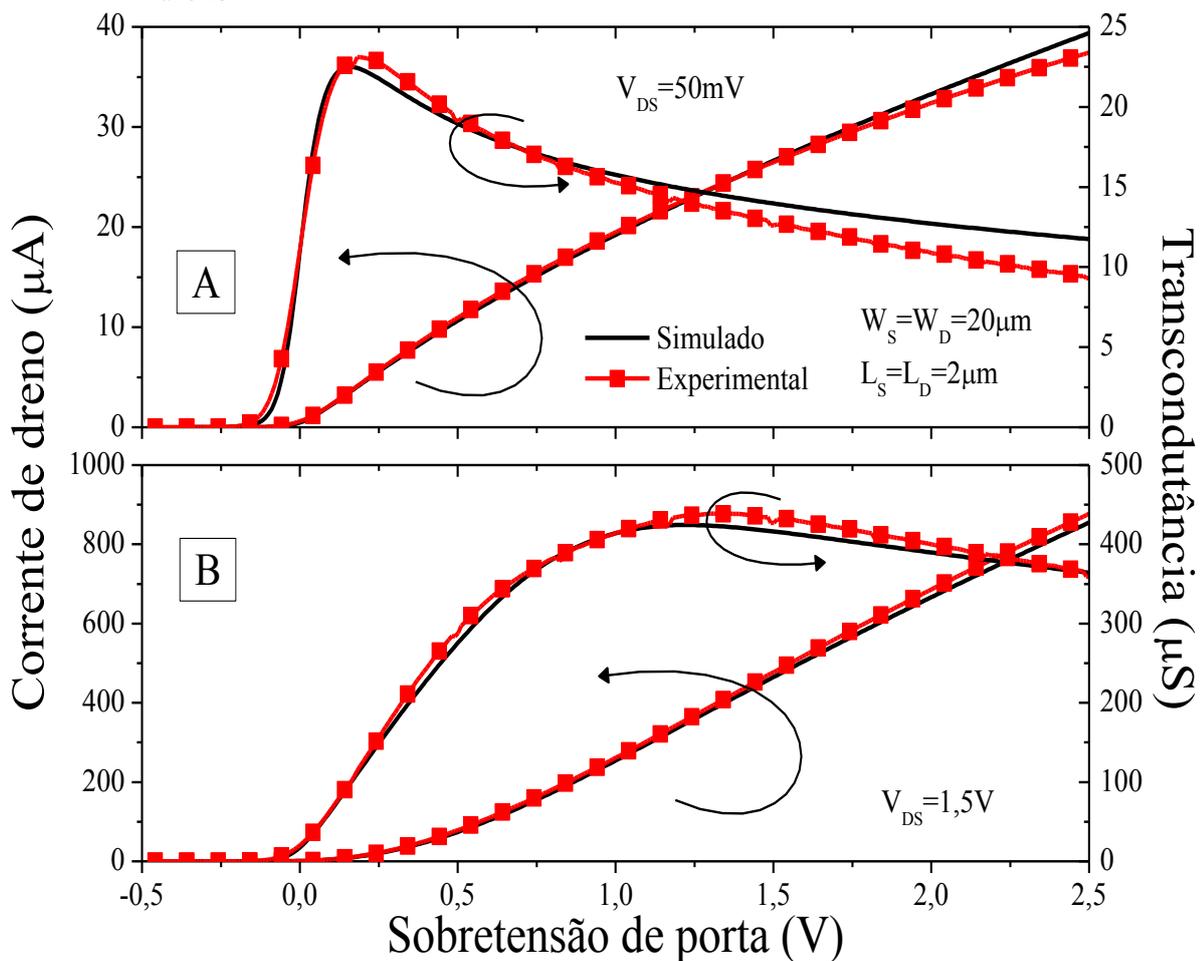


Fonte: Autor

## 5.1 AJUSTE DAS SIMULAÇÕES

Primeiramente, as medidas experimentais foram usadas para ajustar os parâmetros do simulador numérico de dispositivos. O Apêndice C exhibe os parâmetros de ajuste dos modelos das simulações numéricas de dispositivos de modo a adequar as curvas simuladas com os resultados experimentais. A Figura 50 apresenta a corrente de dreno e a transcondutância em função da sobretensão de porta para a estrutura A-SC com  $W_S = W_D = 20 \mu\text{m}$ , extraídas com  $V_{DS} = 50 \text{ mV}$  (A) e  $1,5 \text{ V}$  (B). Pode-se notar uma boa concordância entre a corrente de dreno e a transcondutância obtidas por meio de simulação e as extraídas experimentalmente tanto para baixa quanto alta tensão de dreno. O erro máximo na corrente de dreno foi de 6% para a faixa de sobretensões de porta entre 0 e 1 V.

Figura 50 – Corrente de dreno e transcondutância em função da sobretensão de porta para a estrutura A-SC com  $W_S = W_D = 20 \mu\text{m}$ , extraídas para duas diferentes tensões de dreno



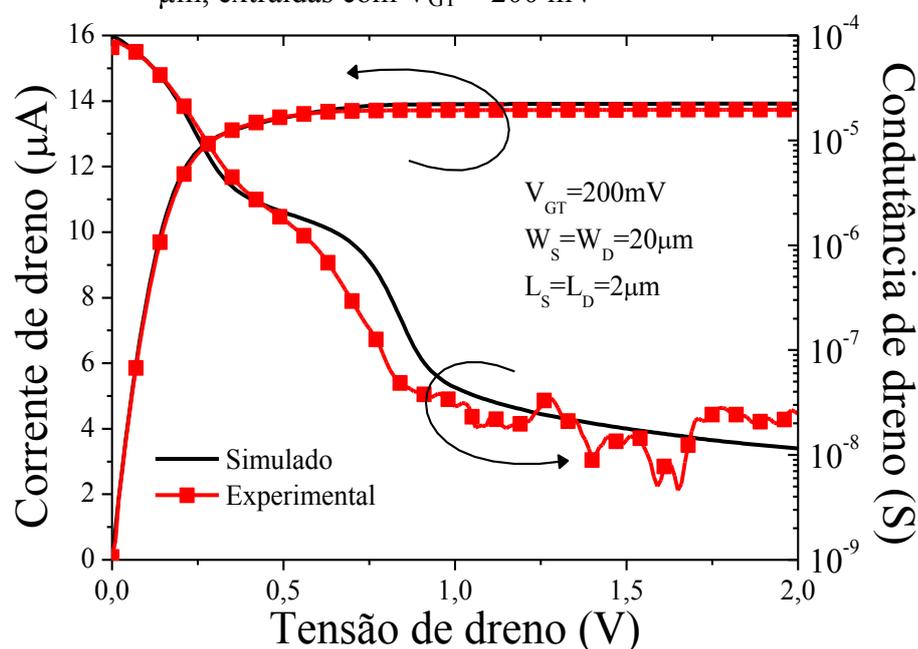
Fonte: Autor

Legenda: (A)  $V_{DS} = 50 \text{ mV}$ .

(B)  $V_{DS} = 1,5 \text{ V}$ .

A corrente de dreno e a condutância de dreno são também mostradas na Figura 51 em função da tensão de dreno para a mesma estrutura A-SC polarizada em  $V_{GT} = 200$  mV. Mais uma vez, os resultados simulados casaram com os dados experimentais, o que validou a análise da influência da largura de canal no desempenho analógico da estrutura A-SC por meio de simulações numéricas tridimensionais de dispositivos. O erro máximo na corrente de dreno foi de 2% para a faixa de tensões de dreno entre 0 e 2 V.

Figura 51 – Corrente de dreno e condutância de dreno em função da tensão de dreno para a estrutura A-SC com  $W_S = W_D = 20$   $\mu\text{m}$ , extraídas com  $V_{GT} = 200$  mV



Fonte: Autor

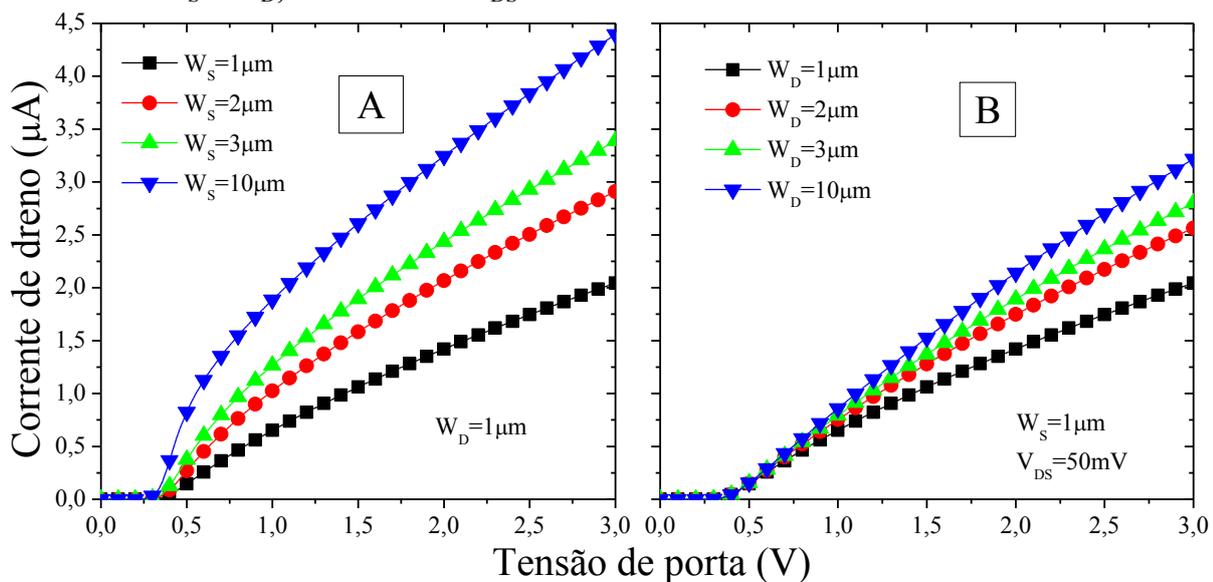
## 5.2 INFLUÊNCIA DA LARGURA DE CANAL

Uma vez ajustadas as simulações, foram estudadas as características DC de entrada e de saída da estrutura A-SC variando as larguras de canal dos transistores próximos à fonte e ao dreno.

A Figura 52 apresenta a corrente de dreno em função da tensão de porta para a estrutura A-SC com  $W_D = 1$   $\mu\text{m}$  variando  $W_S$  (A) e para a estrutura A-SC com  $W_S = 1$   $\mu\text{m}$  variando  $W_D$  (B), extraída com  $V_{DS} = 50$  mV. A partir da Figura 52(A), nota-se que o aumento de  $W_S$  eleva o nível de corrente de dreno para toda a faixa de  $V_{GS}$ , uma vez que o transistor próximo à fonte domina a condução elétrica da estrutura A-SC. Desta forma, a corrente de dreno da estrutura A-SC é proporcional à largura de canal do transistor  $M_S$ .

Com base na Figura 52(B), pode-se observar para baixos  $V_{GS}$  que o aumento de  $W_D$  não incrementa significativamente a corrente de dreno comparativamente à elevação de  $W_S$ . Isto se deve ao seguinte fato: para reduzidas tensões de porta, o transistor que comanda a condução elétrica é o transistor  $M_S$ , visto que há uma maior concentração de elétrons no transistor próximo ao dreno em comparação com o transistor próximo à fonte, em razão da menor tensão de limiar do transistor  $M_D$ . Ao aumentar  $V_{GS}$ , verifica-se uma similaridade entre as concentrações de elétrons em ambos os transistores (CERDEIRA et al., 2005). Desta forma, ambos os transistores  $M_S$  e  $M_D$  se tornam importantes na condução de corrente de dreno. Logo, quanto maior  $W_D$ , menor a resistência ao fluxo de corrente de dreno, elevando  $I_D$ .

Figura 52 – Corrente de dreno em função da tensão de porta para a estrutura A-SC variando  $W_S$  e  $W_D$ , extraída com  $V_{DS} = 50$  mV



Fonte: Autor

Legenda: (A)  $W_D = 1 \mu m$  variando  $W_S$ .

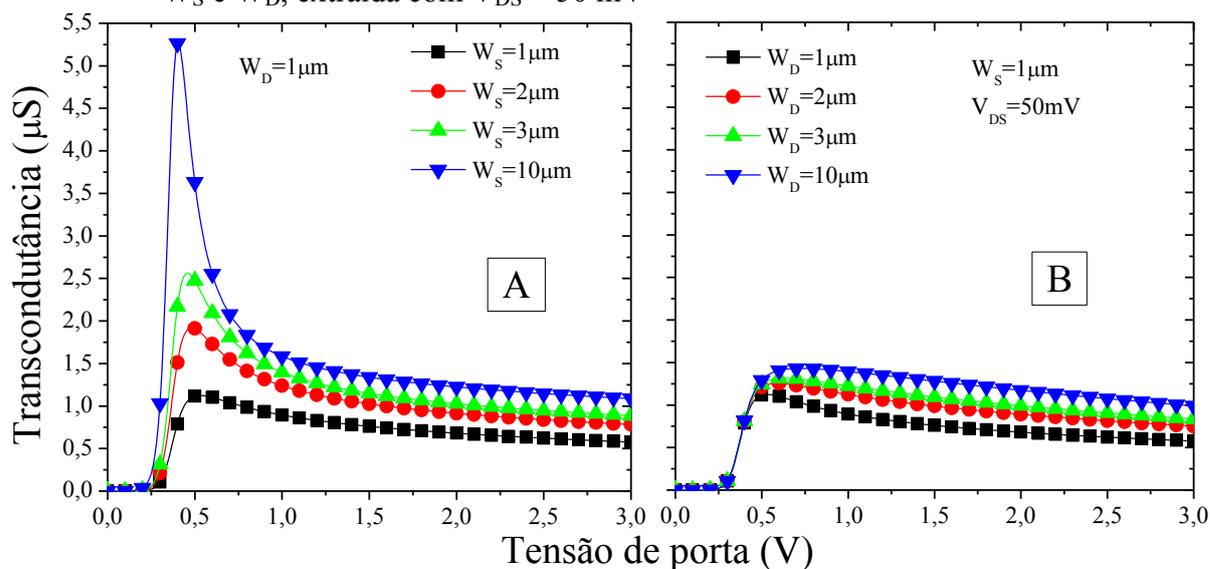
(B)  $W_S = 1 \mu m$  variando  $W_D$ .

A Figura 53 apresenta a transcondutância em função da tensão de porta para a estrutura A-SC com  $W_D = 1 \mu m$  variando  $W_S$  (A) e para a estrutura A-SC com  $W_S = 1 \mu m$  variando  $W_D$  (B), extraída com  $V_{DS} = 50$  mV. De acordo com a Figura 52(A), pode-se constatar que o aumento de  $W_S$  eleva significativamente  $I_D$  e, por consequência,  $g_m$  em toda a faixa de tensões de porta, conforme visto na Figura 53(A), sendo observado um acréscimo importante na transcondutância máxima.

Ao analisar a Figura 53(B), observa-se uma elevação da transcondutância com o incremento de  $W_D$ . No entanto, não é notado um aumento significativo do pico de

transcondutância, uma vez que, para baixas tensões de porta, o transistor  $M_S$  controla a condução elétrica da estrutura A-SC. Para maiores tensões de porta, o aumento de  $W_D$  impacta na transcondutância, pois ambos os transistores  $M_S$  e  $M_D$  desempenham papel importante no processo de condução elétrica da estrutura A-SC.

Figura 53 – Transcondutância em função da tensão de porta para a estrutura A-SC variando  $W_S$  e  $W_D$ , extraída com  $V_{DS} = 50$  mV



Fonte: Autor

Legenda: (A)  $W_D = 1 \mu\text{m}$  variando  $W_S$ .

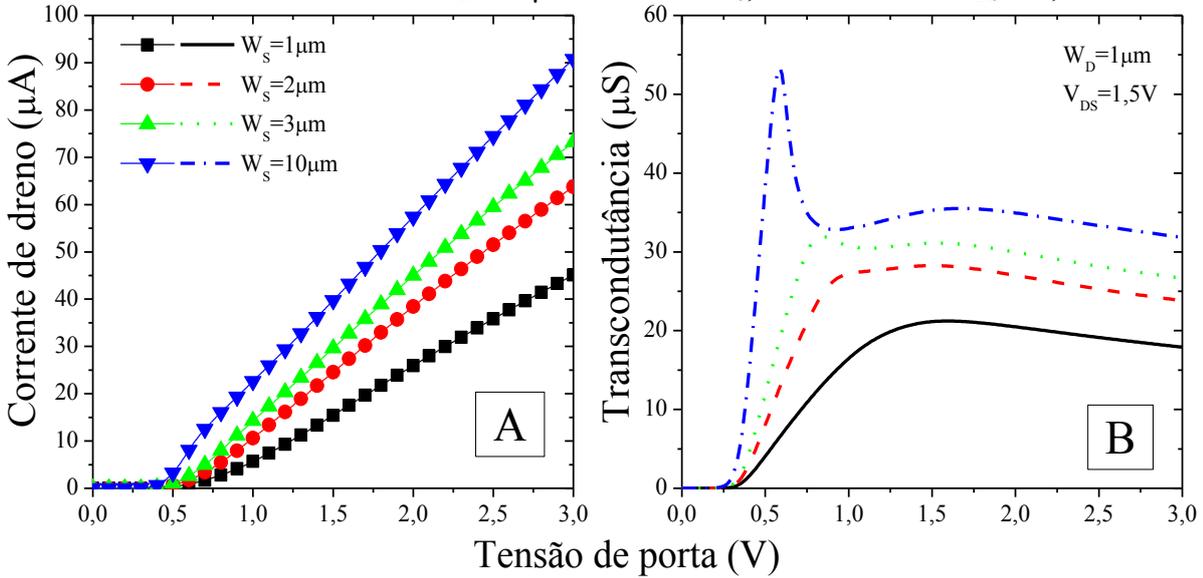
(B)  $W_S = 1 \mu\text{m}$  variando  $W_D$ .

A Figura 54 apresenta a corrente de dreno (A) e a transcondutância (B) em função da tensão de porta para a estrutura A-SC com  $W_D = 1 \mu\text{m}$  variando  $W_S$ , extraídas com  $V_{DS} = 1,5$  V. Pode-se observar que o aumento de  $W_S$  eleva a corrente de dreno e a transcondutância em toda a faixa de tensões de porta, o que se deve à proporcionalidade direta entre  $I_D$  e  $W_S$ , visto que o transistor  $M_S$  controla a condução elétrica da associação série assimétrica, assim como constatado para  $V_{DS} = 50$  mV.

A Figura 55 apresenta as características de transferência da estrutura A-SC com  $W_S$  fixo em  $1 \mu\text{m}$  variando  $W_D$ , extraídas com  $V_{DS} = 1,5$  V. É possível constatar que a influência de  $W_D$  sobre  $I_D$  e  $g_m$  é menor do que a influência de  $W_S$ , visto que o aumento de  $W_D$  incrementa a corrente de dreno e a transcondutância mais preponderantemente em maiores tensões de porta, o que está relacionado à similaridade entre as concentração de elétrons dos transistores  $M_S$  e  $M_D$ . Comparando com as Figuras 52(B) e 53(B), verifica-se que o aumento da tensão de dreno torna maior a faixa de tensões de porta onde o transistor  $M_S$  controla o

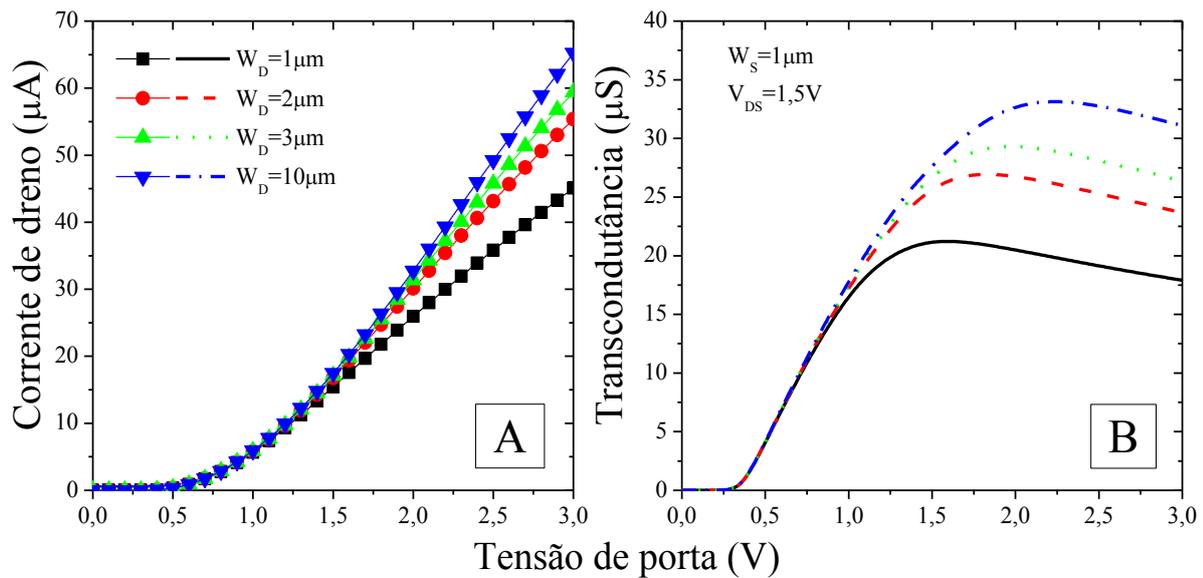
processo de condução elétrica, uma vez que a corrente de dreno se mantém invariável para  $V_{GS}$  menores.

Figura 54 – Corrente de dreno e transcondutância em função da tensão de porta para a estrutura A-SC com  $W_D = 1 \mu\text{m}$  variando  $W_S$ , extraídas com  $V_{DS} = 1,5 \text{ V}$



Fonte: Autor  
 Legenda: (A) Corrente de dreno.  
 (B) Transcondutância.

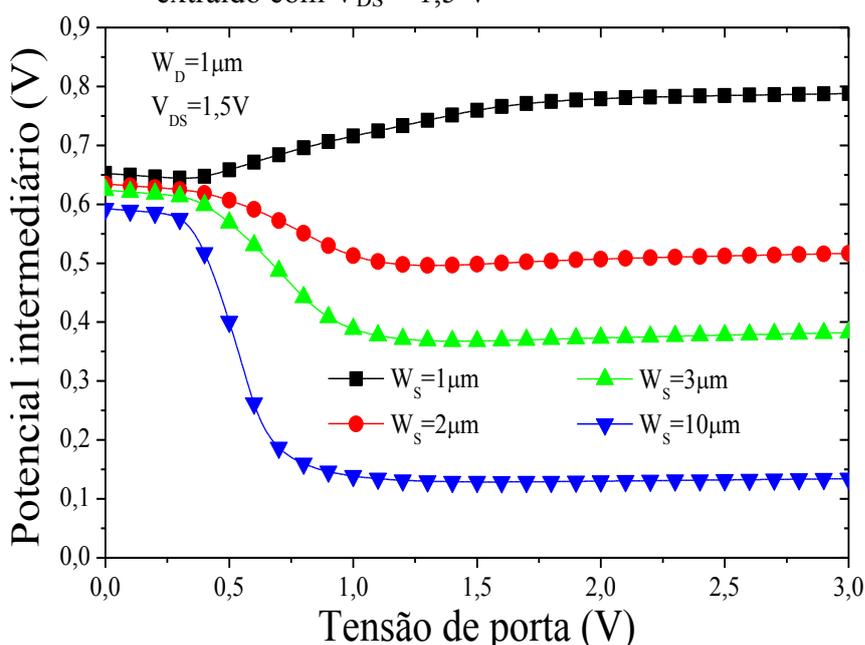
Figura 55 – Corrente de dreno e transcondutância em função da tensão de porta para a estrutura A-SC com  $W_S = 1 \mu\text{m}$  variando  $W_D$ , extraídas com  $V_{DS} = 1,5 \text{ V}$



Fonte: Autor  
 Legenda: (A) Corrente de dreno.  
 (B) Transcondutância.

Na Figura 54(B), nota-se um comportamento anômalo da transcondutância no caso da estrutura A-SC com  $W_S = 10 \mu\text{m}$ ;  $W_D = 1 \mu\text{m}$ . De maneira a entender a presença de dois picos de transcondutância, o potencial intermediário entre os transistores  $M_S$  e  $M_D$  é apresentado em função da tensão de porta na Figura 56 para  $W_D = 1 \mu\text{m}$  variando  $W_S$ , extraído com  $V_{DS} = 1,5\text{V}$ . Analisando a estrutura A-SC com  $W_S = 10 \mu\text{m}$ ;  $W_D = 1 \mu\text{m}$ , constata-se um alto  $V_X$  para  $V_{GS}$  próximo à tensão de limiar, o que implica em maior corrente de dreno e transcondutância. Ao aumentar  $V_{GS}$ ,  $V_X$  sofre uma redução considerável, diminuindo  $g_m$ . Uma vez estabilizado  $V_X$ , nota-se um aumento de  $g_m$  devido ao incremento de  $V_{GS}$  até o momento onde se inicia a degradação da mobilidade, além da similaridade entre as concentrações de elétrons dos transistores  $M_S$  e  $M_D$ , decrementado  $g_m$  novamente. Neste caso, o comprimento efetivo de canal da estrutura A-SC não é igual à  $L_S$ , mas tende à  $L_S + L_D$ .

Figura 56 – Potencial intermediário em função da tensão de porta para a estrutura A-SC com  $W_D = 1 \mu\text{m}$  variando  $W_S$ , extraído com  $V_{DS} = 1,5 \text{ V}$



Fonte: Autor

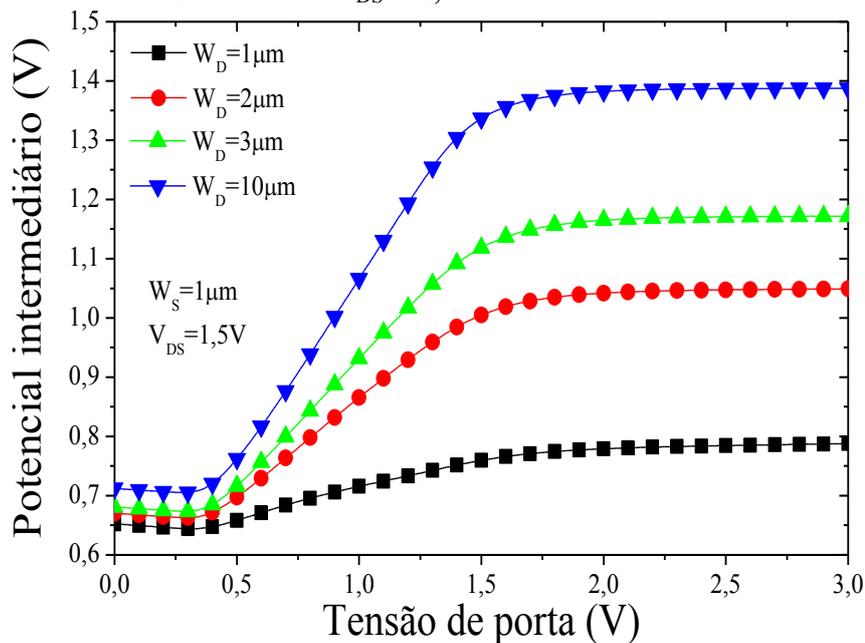
Além disso, é possível verificar que o potencial intermediário satura para altas tensões de porta. No caso da estrutura A-SC com  $W_S = W_D = 1 \mu\text{m}$ , o potencial intermediário saturado é aproximadamente igual à metade do valor da tensão de dreno, uma vez que as resistências de canal dos transistores  $M_S$  e  $M_D$  são similares para alto  $V_{GS}$ , tanto pelo fato de apresentarem mesma razão de aspecto ( $W/L$ ) quanto pelo fato de estarem polarizados em

regime de inversão forte, onde a estrutura A-SC passa a se comportar como um transistor uniformemente dopado com  $L = L_S + L_D$ .

Ao aumentar  $W_S$ , há uma redução da resistência de canal do transistor  $M_S$ , diminuindo  $V_X$ . Além disso, é possível notar que a tensão de porta onde a saturação de  $V_X$  se inicia caminha para menores  $V_{GS}$  à medida que  $W_S$  é elevado em relação à  $W_D$ .

Na Figura 57, o potencial intermediário é exibido em função da tensão de porta para  $W_S = 1 \mu\text{m}$  e diversos  $W_D$ , extraído com  $V_{DS} = 1,5 \text{ V}$ . Ao aumentar  $W_D$ , ocorre o oposto em comparação com a Figura 56, uma vez que há uma redução da resistência de canal do transistor  $M_D$ , incrementando o potencial intermediário. Além disso, pode-se notar que a tensão de porta onde a saturação de  $V_X$  se inicia não é alterada com o aumento de  $W_D$ .

Figura 57 – Potencial intermediário em função da tensão de porta para a estrutura A-SC com  $W_S = 1 \mu\text{m}$  variando  $W_D$ , extraído com  $V_{DS} = 1,5 \text{ V}$



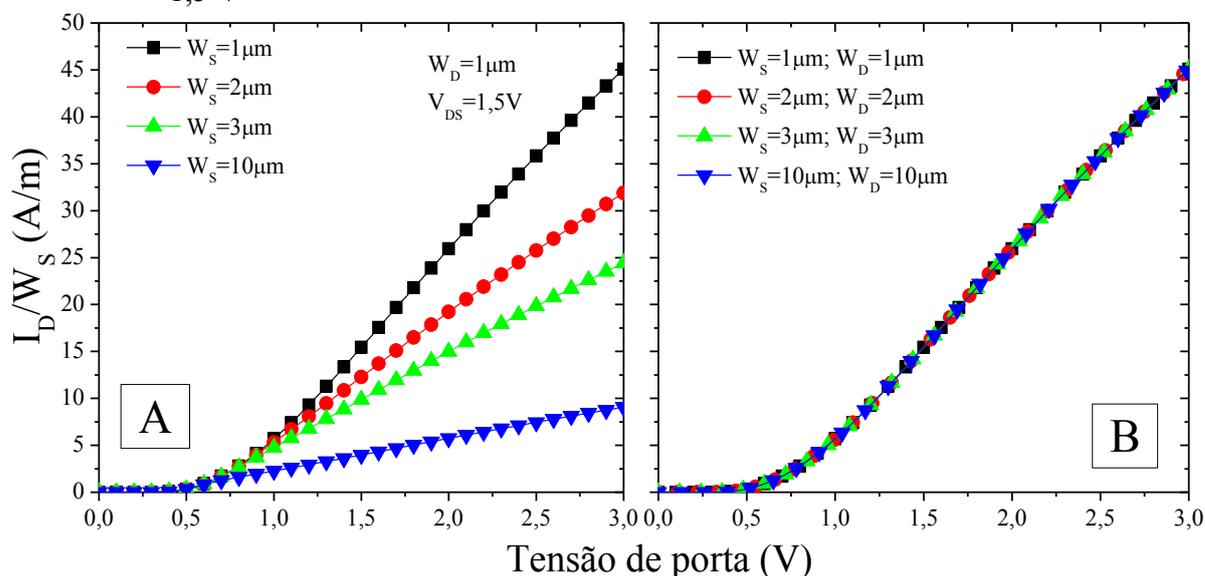
Fonte: Autor

A Figura 58 apresenta a razão  $I_D/W_S$  em função da tensão de porta para a estrutura A-SC com  $W_D = 1 \mu\text{m}$  variando  $W_S$  (A) e para a estrutura A-SC com  $W_S = W_D$  (B), extraída com  $V_{DS} = 1,5 \text{ V}$ . De acordo com a Figura 58(A), pode-se notar que a corrente de dreno normalizada pela largura de canal do transistor  $M_S$  reduz com o incremento de  $W_S$ . Como o dispositivo dominante é o transistor  $M_S$  para  $V_{GS}$  próximo à tensão de limiar, era de se esperar a mesma corrente de dreno normalizada ao variar  $W_S$ . No entanto, na estrutura A-SC ambas as larguras de canal influenciam no fluxo de corrente de dreno. Ao manter  $W_D$  menor e

incrementar  $W_S$ , há uma maior resistência de canal do transistor  $M_D$  comparado com o transistor  $M_S$ , reduzindo o potencial intermediário, como observado na Figura 56, e, conseqüentemente, diminuindo a corrente de dreno normalizada.

Quando a estrutura A-SC é formada por transistores de mesmos  $W$  (Figura 58(B)), observa-se que  $I_D/W_S$  não sofre uma variação. Ao aumentar a largura de canal dos transistores  $M_S$  e  $M_D$  em mesma proporção,  $V_X$  se mantém igual entre as estruturas A-SC, elevando  $I_D$  de maneira proporcional à largura de canal.

Figura 58 – Razão  $I_D/W_S$  em função da tensão de porta para a estrutura A-SC com  $W_D = 1 \mu\text{m}$  variando  $W_S$ , e para a estrutura A-SC com  $W_S = W_D$ , extraída com  $V_{DS} = 1,5 \text{ V}$



Fonte: Autor

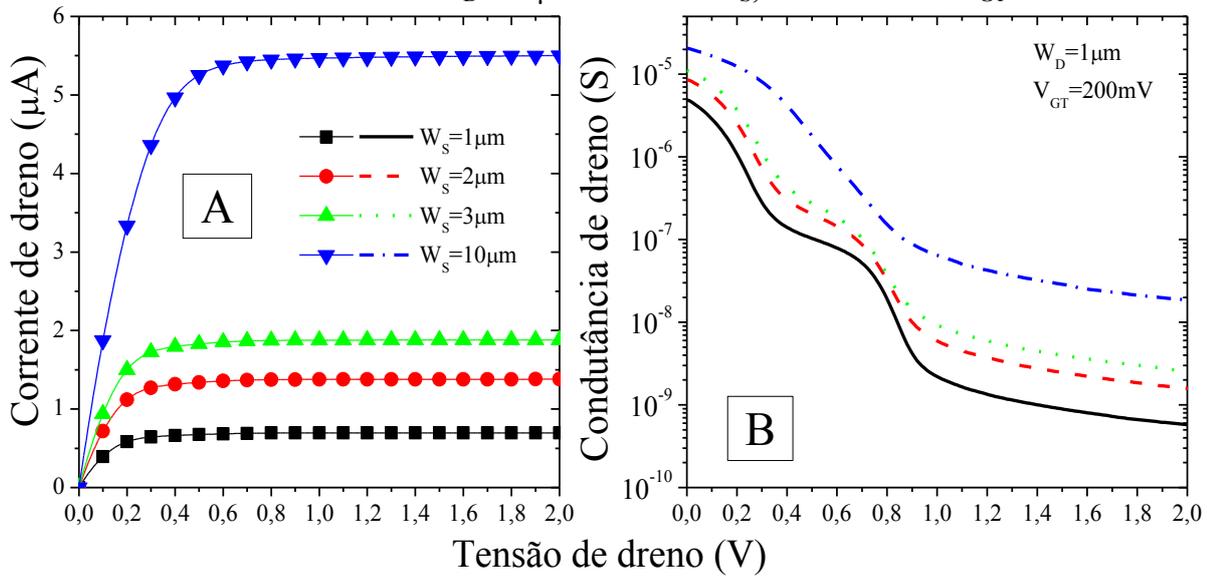
Legenda: (A)  $W_D = 1 \mu\text{m}$  variando  $W_S$ .

(B)  $W_D = W_S$ .

A Figura 59 exibe a corrente de dreno (A) e a condutância de dreno (B) em função da tensão de dreno para a estrutura A-SC com  $W_D = 1 \mu\text{m}$  variando  $W_S$ , extraídas com  $V_{GT} = 200 \text{ mV}$ . Como a sobretensão de porta é reduzida, o transistor próximo à fonte comanda a condução elétrica da estrutura A-SC. Logo, o incremento de  $W_S$  aumenta a corrente de dreno e a condutância de dreno.

Baseado na Figura 60, onde a corrente de dreno (A) e a condutância de dreno (B) são apresentadas em função da tensão de dreno, extraídas em  $V_{GT} = 200 \text{ mV}$ , para a estrutura A-SC com  $W_S = 1 \mu\text{m}$  e diversos  $W_D$ , é possível observar que o aumento da largura de canal do transistor próximo ao dreno praticamente não influencia o nível de corrente de dreno, mas reduz a condutância de dreno.

Figura 59 – Corrente de dreno e condutância de dreno em função da tensão de dreno para a estrutura A-SC com  $W_D = 1 \mu\text{m}$  variando  $W_S$ , extraídas com  $V_{GT} = 200 \text{ mV}$

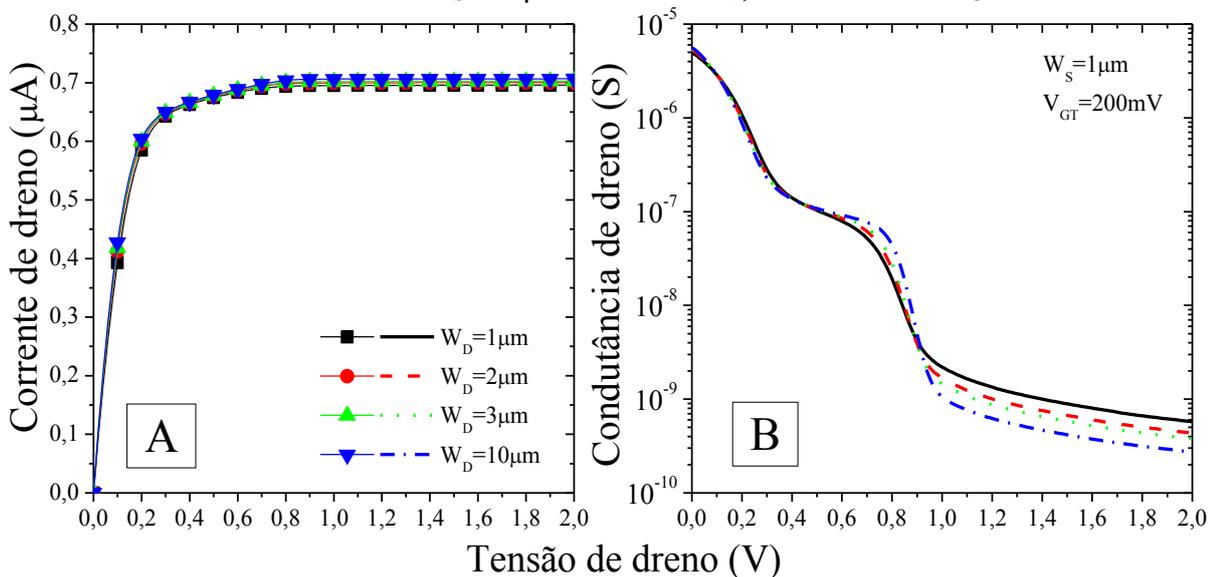


Fonte: Autor

Legenda: (A) Corrente de dreno.

(B) Condutância de dreno.

Figura 60 – Corrente de dreno e condutância de dreno em função da tensão de dreno para a estrutura A-SC com  $W_S = 1 \mu\text{m}$  variando  $W_D$ , extraídas com  $V_{GT} = 200 \text{ mV}$



Fonte: Autor

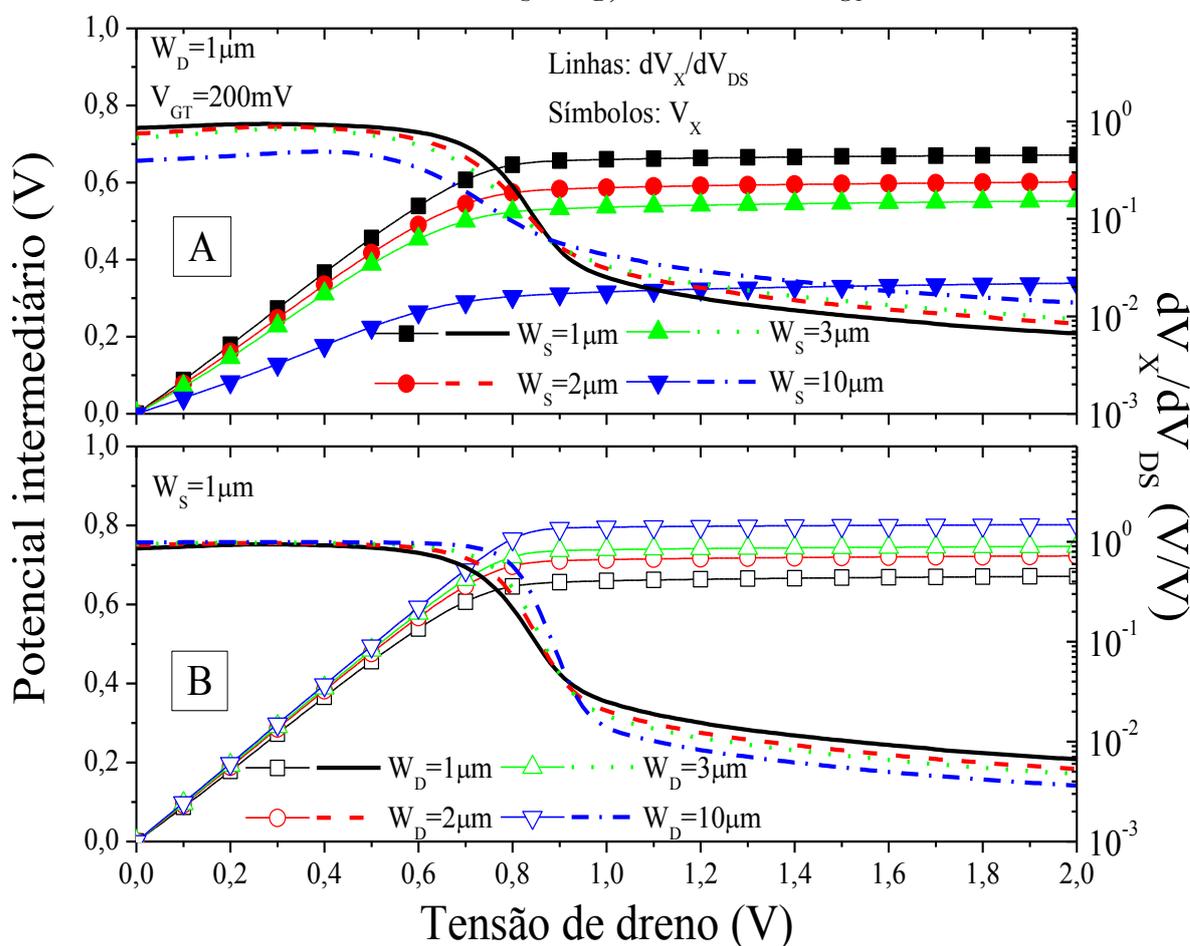
Legenda: (A) Corrente de dreno.

(B) Condutância de dreno.

A redução da condutância de dreno com o incremento de  $W_D$  pode ser explicada através da Figura 61, onde o potencial intermediário e a variação do potencial intermediário em relação à tensão de dreno ( $dV_X/dV_{DS}$ ) são apresentados em função da tensão de dreno para a estrutura A-SC com  $W_D = 1 \mu\text{m}$  variando  $W_S$  (A) e para a estrutura A-SC com  $W_S = 1 \mu\text{m}$

variando  $W_D$  (B), extraídos com  $V_{GT} = 200$  mV. A partir da Figura 61(B), verifica-se que, além do aumento do potencial intermediário devido ao incremento de  $W_D$  (menor resistência de canal do transistor  $M_D$ ), há uma menor variação do potencial intermediário com a tensão de dreno na região de saturação, o que implica em um menor efeito de modulação do comprimento de canal, traduzido pela redução de  $g_D$ . De acordo com a Figura 61(A), com o aumento de  $W_S$ , há uma redução do potencial intermediário devido à menor resistência de canal do transistor  $M_S$ . Embora, um aumento da variação do potencial intermediário com a tensão de dreno seja observado na região de saturação, o que implica em um maior efeito de modulação do comprimento de canal, traduzido pelo incremento de  $g_D$ .

Figura 61 – Potencial intermediário e  $dV_X/dV_{DS}$  em função da tensão de dreno para a estrutura A-SC variando  $W_S$  e  $W_D$ , extraídos com  $V_{GT} = 200$  mV



Fonte: Autor

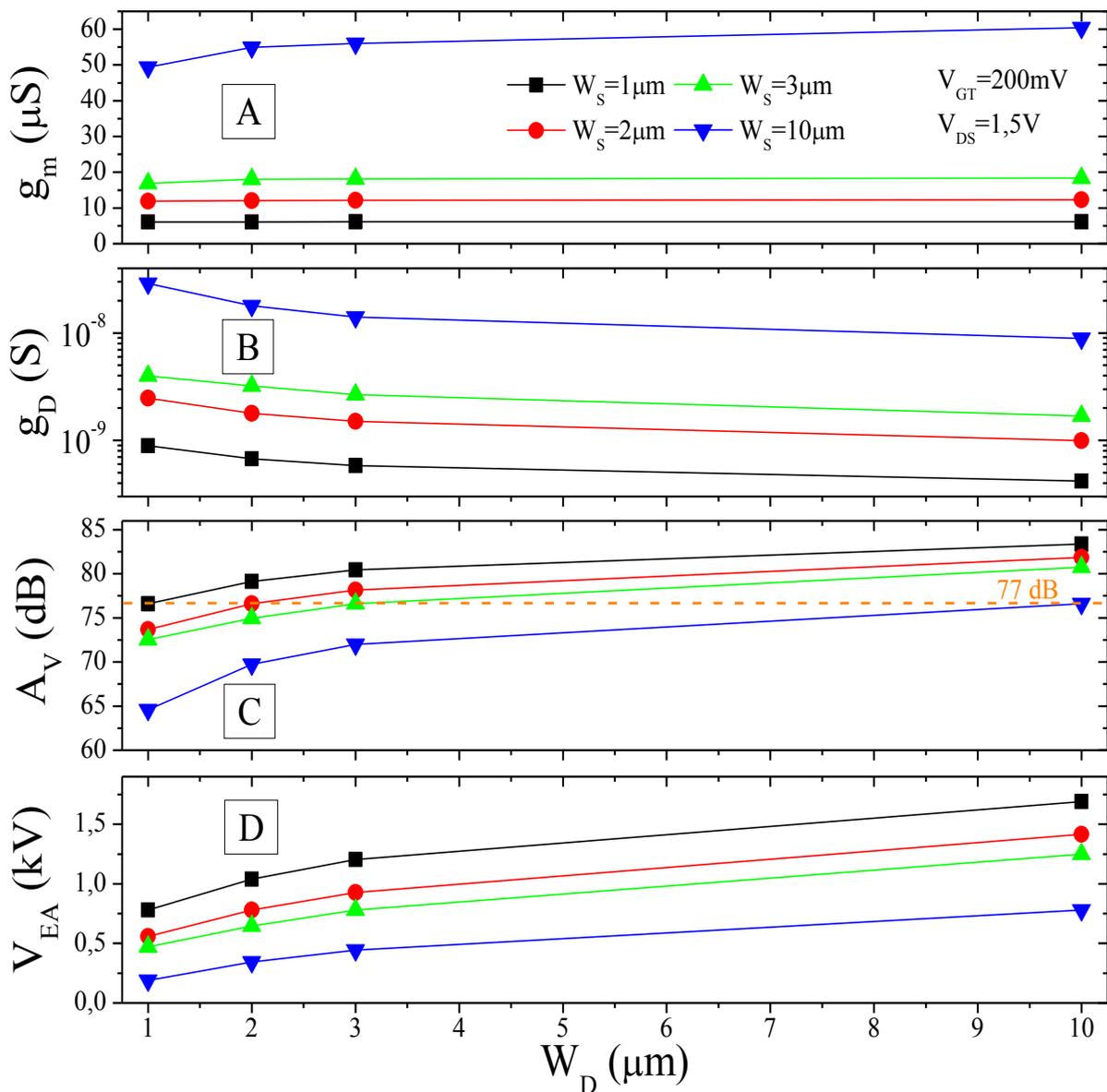
Legenda: (A)  $W_D = 1$   $\mu\text{m}$  variando  $W_S$ .

(B)  $W_S = 1$   $\mu\text{m}$  variando  $W_D$ .

A Figura 62 apresenta a transcondutância (A), a condutância de dreno (B), o ganho de tensão em malha aberta (C) e a tensão Early (D) em função de  $W_D$  para as estruturas A-SC

variando  $W_S$ , extraídos com  $V_{DS} = 1,5 \text{ V}$  e  $V_{GT} = 200 \text{ mV}$ . Pode-se observar que o aumento de  $W_D$  promove um leve incremento de  $g_m$ , aumentando  $A_V$  e  $V_{EA}$ , uma vez que a presença do transistor  $M_D$  mais largo reduz consideravelmente  $g_D$ , mas não afeta o nível de corrente de dreno. Quando  $W_S$  é incrementado, o aumento da condutância de dreno é superior à elevação da transcondutância, reduzindo o ganho de tensão em malha aberta e a tensão Early.

Figura 62 – Transcondutância, condutância de dreno, ganho de tensão em malha aberta e tensão Early em função de  $W_D$  variando  $W_S$ , extraídos com  $V_{DS} = 1,5 \text{ V}$  e  $V_{GT} = 200 \text{ mV}$



Fonte: Autor

Legenda: (A) Transcondutância.  
 (B) Condutância de dreno.  
 (C) Ganho de tensão em malha aberta.  
 (D) Tensão Early.

De acordo com a Figura 59, é possível observar que a redução da corrente de dreno causada pelo transistor  $M_S$  mais estreito é menos significativa que o decréscimo da condutância de dreno, o que explica o aumento da tensão Early com a redução de  $W_S$  na Figura 62(D).

O máximo ganho de tensão em malha aberta e a máxima tensão Early foram obtidos para a estrutura A-SC composta pelo transistor  $M_D$  mais largo ( $W_D = 10 \mu\text{m}$ ) e o transistor  $M_S$  mais estreito ( $W_S = 1 \mu\text{m}$ ). Embora  $g_m$  seja pequeno nesta configuração de larguras de canal,  $g_D$  apresenta uma redução considerável, elevando  $A_V$  e  $V_{EA}$ .

Ao analisar as estruturas A-SC compostas por transistores  $M_S$  e  $M_D$  de mesma largura de canal (linha pontilhada em laranja na Figura 62(C)), pode-se observar um mesmo ganho de tensão em malha aberta no valor de 77 dB. Conforme visto na Figura 58(B), quando os transistores que compõem a estrutura A-SC apresentam  $W_S = W_D$ , o potencial intermediário não varia entre as estruturas A-SC. Desta forma, ao aumentar  $W_S = W_D$ , tem-se um acréscimo proporcional da transcondutância e da condutância de dreno, obtendo-se o mesmo ganho de tensão em malha aberta.

Sumarizando os resultados da influência da largura de canal dos transistores  $M_S$  e  $M_D$  no desempenho analógico da estrutura A-SC planar, foi observado, para baixo  $V_{GS}$ , que o transistor  $M_S$  domina a condução elétrica da estrutura A-SC, uma vez que o transistor  $M_D$  apresenta maior concentração de elétrons ligada a sua menor tensão de limiar. Para alto  $V_{GS}$ , o transistor  $M_D$  começa a impactar no fluxo de corrente de dreno, visto que as concentrações de elétrons são similares entre os transistores  $M_S$  e  $M_D$ . Ao aumentar  $W_S$ , tem-se um menor potencial intermediário, porém  $g_m$  e  $g_D$  incrementam, reduzindo  $A_V$  e  $V_{EA}$ . Ao elevar  $W_D$ , tem-se um maior  $V_X$  e  $g_m$ , porém  $g_D$  reduz, aumentando  $A_V$  e  $V_{EA}$  por um fator superior a 2. Desta forma, o maior ganho de tensão em malha aberta e a maior tensão Early foram obtidos para a estrutura A-SC composta pelo transistor  $M_S$  mais estreito e o transistor  $M_D$  mais largo.



## 6 MODELAGEM DA CORRENTE DE DRENO DA ASSOCIAÇÃO SÉRIE ASSIMÉTRICA DE TRANSISTORES SOI NMOS FD PLANARES

A estrutura A-SC se mostra muito adequada para aplicações analógicas, porém a falta de um modelo analítico simples de corrente de dreno que permita o projeto de células analógicas básicas dificulta a sua utilização em circuitos. Nesta seção, é apresentada uma modelagem analítica da corrente de dreno da estrutura A-SC composta por transistores SOI nMOS totalmente depletados planares. São desconsiderados o DIBL e o efeito de ionização por impacto.

### 6.1 DESENVOLVIMENTO DO MODELO ANALÍTICO DE CORRENTE DE DRENO DA ESTRUTURA A-SC

Assim como o modelo de primeira ordem do transistor MOS, a modelagem da estrutura A-SC também usou a aproximação de canal gradual, ou seja, o campo elétrico transversal no canal sendo muito maior do que o campo elétrico longitudinal. Desta forma, os efeitos de canal curto foram desconsiderados (SZE; KWOK, 2007).

No caso da estrutura A-SC, têm-se dois transistores com tensões de limiar distintas conectados em série com suas portas curto circuitadas, conforme mostrado na Figura 63. Desta forma, existem duas correntes de dreno, uma para o transistor  $M_S$  e outra para o transistor  $M_D$ , conforme indicado pelas equações (41) e (42) na região de triodo, e as equações (43) e (44) na região de saturação, respectivamente, considerando  $V_S = 0$  V (LIM; FOSSUM, 1984), onde  $\mu_S$  e  $\mu_D$  correspondem, respectivamente, às mobilidades de baixo campo dos portadores de carga móvel dos transistores  $M_S$  e  $M_D$ .

$$I_D = \mu_S \frac{W_S}{L_S} \cdot C_{\text{oxf}} \left[ (V_G - V_{\text{TH},S}) \cdot V_X - \frac{n}{2} \cdot V_X^2 \right] \quad (41)$$

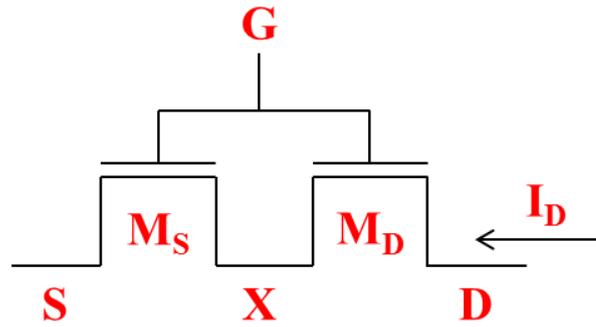
$$I_D = \mu_D \frac{W_D}{L_D} \cdot C_{\text{oxf}} \left[ (V_G - V_X - V_{\text{TH},D}) \cdot (V_D - V_X) - \frac{n}{2} \cdot (V_D - V_X)^2 \right] \quad (42)$$

$$I_D = \mu_S \frac{W_S}{L_S} \cdot C_{\text{oxf}} \cdot \frac{(V_G - V_{\text{TH},S})^2}{2 \cdot n} \quad (43)$$

$$I_D = \mu_D \frac{W_D}{L_D} \cdot C_{\text{oxf}} \cdot \frac{(V_G - V_X - V_{\text{TH},D})^2}{2 \cdot n} \quad (44)$$

Como se tratam de transistores SOI totalmente depletados, o fator de corpo é dado pela equação (39) (LIM; FOSSUM, 1984).

Figura 63 – Representação esquemática da associação série assimétrica de transistores SOI MOSFETs



Fonte: Autor

Igualando-se as equações (41) e (42), obtém-se a seguinte expressão para o potencial intermediário com ambos os transistores  $M_S$  e  $M_D$  na região de triodo ( $V_{X,tri-tri}$ ).

$$V_{X,tri-tri} = \frac{-B_1 + \sqrt{B_1^2 - 4 \cdot A_1 \cdot C_1}}{2 \cdot A_1} \quad (45)$$

Onde:

$$A_1 = -\frac{W_S \cdot \mu_S}{L_S} \cdot \frac{n}{2} + \frac{W_D \cdot \mu_D}{L_D} \cdot \left( \frac{n}{2} - 1 \right) \quad (46)$$

$$B_1 = \frac{W_S \cdot \mu_S}{L_S} \cdot (V_G - V_{TH,S}) + \frac{W_D \cdot \mu_D}{L_D} \cdot [(V_G - V_{TH,D}) + (1-n) \cdot V_D] \quad (47)$$

$$C_1 = -\frac{W_D \cdot \mu_D}{L_D} \cdot \left[ (V_G - V_{TH,D}) \cdot V_D - \frac{n}{2} \cdot V_D^2 \right] \quad (48)$$

Ao igualar as equações (43) e (44), obtém-se a seguinte expressão para o potencial intermediário com ambos os transistores  $M_S$  e  $M_D$  na região de saturação ( $V_{X,sat-sat}$ ).

$$V_{X,\text{sat-sat}} = \frac{-B_2 - \sqrt{B_2^2 - 4.A_2.C_2}}{2.A_2} \quad (49)$$

Onde:

$$A_2 = \frac{W_D \cdot \mu_D}{L_D} \quad (50)$$

$$B_2 = \frac{W_D \cdot \mu_D}{L_D} \cdot (2.V_{TH,D} - 2.V_G) \quad (51)$$

$$C_2 = \frac{W_D \cdot \mu_D}{L_D} \cdot (V_G^2 - 2.V_G \cdot V_{TH,D} + V_{TH,D}^2) - \frac{W_S \cdot \mu_S}{L_S} \cdot (V_G^2 - 2.V_G \cdot V_{TH,S} + V_{TH,S}^2) \quad (52)$$

Como os transistores  $M_S$  e  $M_D$  apresentam tensões de limiar distintas, haverá casos em que, dependendo da polarização de porta e dreno, e das resistências de canal dos transistores  $M_S$  e  $M_D$ , um dos transistores opera em triodo enquanto o outro se encontra em saturação e vice-versa. Desta forma, o potencial intermediário quando o transistor  $M_S$  está em saturação e o transistor  $M_D$  se encontra em triodo ( $V_{X,\text{sat-tri}}$ ) é obtido igualando-se as equações (42) e (43).

$$V_{X,\text{sat-tri}} = \frac{-B_3 - \sqrt{B_3^2 - 4.A_3.C_3}}{2.A_3} \quad (53)$$

Onde:

$$A_3 = \frac{W_D \cdot \mu_D}{L_D} \cdot \left(1 - \frac{n}{2}\right) \quad (54)$$

$$B_3 = \frac{W_D \cdot \mu_D}{L_D} \cdot (-V_G - V_D + V_{TH,D} + n.V_D) \quad (55)$$

$$C_3 = \frac{W_D \cdot \mu_D}{L_D} \cdot \left(V_D \cdot V_G - V_{TH,D} \cdot V_D - \frac{n}{2} \cdot V_D^2\right) - \frac{W_S \cdot \mu_S}{L_S} \cdot \left(\frac{V_G^2 - 2.V_G \cdot V_{TH,S} + V_{TH,S}^2}{2.n}\right) \quad (56)$$

Ao igualar as equações (41) e (44), obtém-se a seguinte expressão para o potencial  $V_X$  quando o transistor  $M_S$  está em triodo e o transistor  $M_D$  se encontra em saturação ( $V_{X,\text{tri-sat}}$ ).

$$V_{X,\text{tri-sat}} = \frac{-B_4 + \sqrt{B_4^2 - 4 \cdot A_4 \cdot C_4}}{2 \cdot A_4} \quad (57)$$

Onde:

$$A_4 = -\frac{W_S \cdot \mu_S}{L_S} \cdot \left(\frac{n}{2}\right) - \frac{W_D \cdot \mu_D}{L_D} \cdot \left(\frac{1}{2 \cdot n}\right) \quad (58)$$

$$B_4 = \frac{W_S \cdot \mu_S}{L_S} \cdot (V_G - V_{TH,S}) + \frac{W_D \cdot \mu_D}{L_D} \cdot \left(\frac{V_G - V_{TH,D}}{n}\right) \quad (59)$$

$$C_4 = -\frac{W_D \cdot \mu_D}{L_D} \cdot \left(\frac{V_G^2 - 2 \cdot V_G \cdot V_{TH,D} + V_{TH,D}^2}{2 \cdot n}\right) \quad (60)$$

De modo a determinar as regiões de operação corretas da estrutura A-SC, deve-se avaliar, juntamente com o potencial intermediário, as tensões de saturação dos transistores  $M_S$  e  $M_D$ , as quais são dadas pelas seguintes equações:

$$V_X = \frac{V_G - V_{TH,S}}{n} \quad (61)$$

$$V_D - V_X = \frac{V_G - V_X - V_{TH,D}}{n} \quad (62)$$

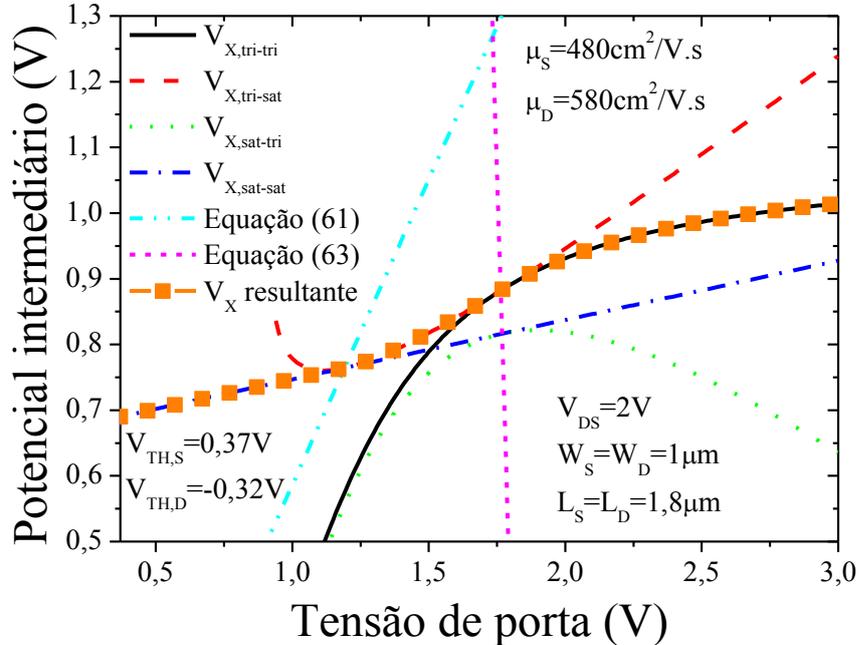
Isolando  $V_X$  na equação (62), obtém-se:

$$V_X = \frac{V_G - V_{TH,D} - n \cdot V_D}{1 - n} \quad (63)$$

Considerando a tecnologia da UCLouvain, foram obtidas as curvas do potencial intermediário em função da tensão de porta para as quatro regiões de operação na Figura 64, são também apresentadas as equações (61) e (63) de maneira a identificar as transições entre as regiões de operação, extraídas em  $V_{DS} = 2$  V. Pode-se observar que a estrutura A-SC começa com ambos os transistores em saturação. Ao atingir um determinado  $V_{GS}$ , dado pelo cruzamento entre a equação (61) e a curva de  $V_{X,\text{sat-sat}}$ , o transistor  $M_S$  entra em triodo. Desta forma, a estrutura A-SC se encontra com o transistor  $M_S$  em triodo e o transistor  $M_D$  em

saturação. Ao elevar ainda mais  $V_{GS}$ , ocorre o cruzamento entre a equação (63) e a curva de  $V_{X,tri-sat}$ . Logo, a estrutura A-SC passa a operar com ambos os transistores  $M_S$  e  $M_D$  em triodo.

Figura 64 – Potencial intermediário em função da tensão de porta para a estrutura A-SC com  $W_S = W_D = 1 \mu\text{m}$ , extraído em  $V_{DS} = 2 \text{ V}$



Fonte: Autor

De maneira a comprovar que as transições entre as regiões de operação na Figura 64 estão coerentes, a seguir são apresentadas as provas reais:

- a) para  $V_G = 0,5 \text{ V}$ , tem-se  $V_X = 0,7 \text{ V}$ . Com base na equação (61),

$$V_X = \frac{V_G - V_{TH,S}}{n} \text{ e sabendo que } n = 1,075 \text{ para a tecnologia da UCLouvain,}$$

obtem-se  $0,7 > 0,12$ . Logo, o transistor  $M_S$  está em saturação, visto que  $V_X$  é maior do que a tensão de saturação do transistor  $M_S$ . De acordo com a equação (62),

$$V_D - V_X = \frac{V_G - V_X - V_{TH,D}}{n}, \text{ obtém-se } 1,3 > 0,11. \text{ Desta forma, o transistor } M_D$$

também se encontra em saturação, uma vez que  $V_D - V_X$  é superior à tensão de saturação do transistor  $M_D$ ;

- b) para  $V_G = 1,5 \text{ V}$ , tem-se  $V_X = 0,82 \text{ V}$ . De acordo com a equação (61),

$$V_X = \frac{V_G - V_{TH,S}}{n}, \text{ obtém-se } 0,82 < 1,05. \text{ Logo, o transistor } M_S \text{ está em triodo,}$$

visto que  $V_X$  é menor do que a tensão de saturação do transistor  $M_S$ . Com base na

equação (62),  $V_D - V_X = \frac{V_G - V_X - V_{TH,D}}{n}$ , obtém-se  $1,18 > 0,93$ . Desta forma,

o transistor  $M_D$  se encontra em saturação, uma vez que  $V_D - V_X$  é superior à tensão de saturação do transistor  $M_D$ ;

c) para  $V_G = 2 \text{ V}$ , tem-se  $V_X = 0,93 \text{ V}$ . Com base na equação (61),

$V_X = \frac{V_G - V_{TH,S}}{n}$ , obtém-se  $0,93 < 1,52$ . Logo, o transistor  $M_S$  está em triodo,

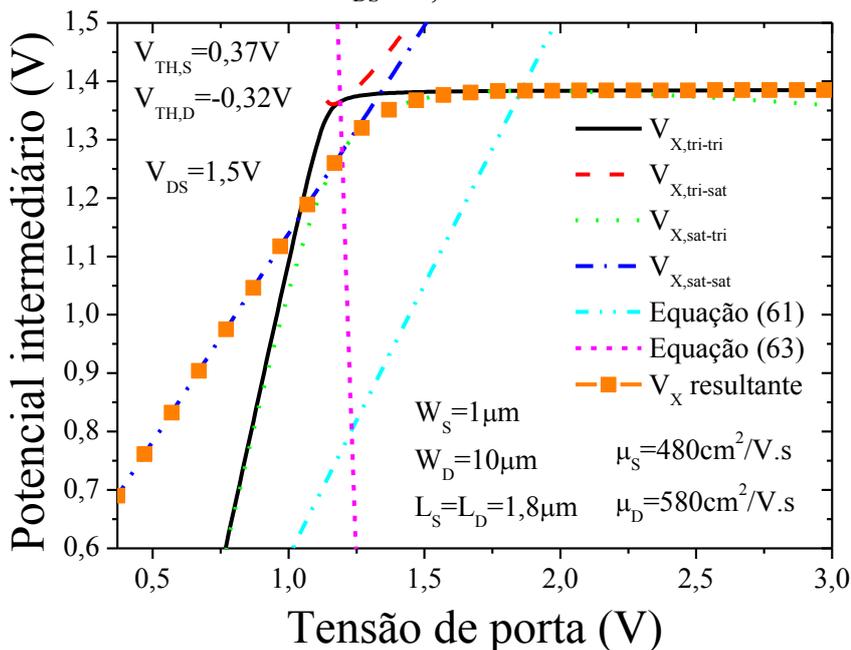
uma vez que  $V_X$  é menor do que a tensão de saturação do transistor  $M_S$ . De acordo

com a equação (62),  $V_D - V_X = \frac{V_G - V_X - V_{TH,D}}{n}$ , obtém-se  $1,07 < 1,29$ . Desta

forma, o transistor  $M_D$  também se encontra em triodo, visto que  $V_D - V_X$  é menor do que a tensão de saturação do transistor  $M_D$ .

Na Figura 65, são apresentadas as curvas do potencial intermediário em função da tensão de porta para as quatro regiões de operação, bem como as equações (61) e (63), extraídas em  $V_{DS} = 1,5 \text{ V}$ . Pode-se notar que a estrutura A-SC começa com ambos os transistores em saturação. Ao atingir um determinado  $V_{GS}$ , dado pelo cruzamento entre a equação (63) e a curva de  $V_{X,sat-sat}$ , o transistor  $M_D$  entra em triodo. Desta forma, a estrutura A-SC se encontra com o transistor  $M_S$  em saturação e o transistor  $M_D$  em triodo.

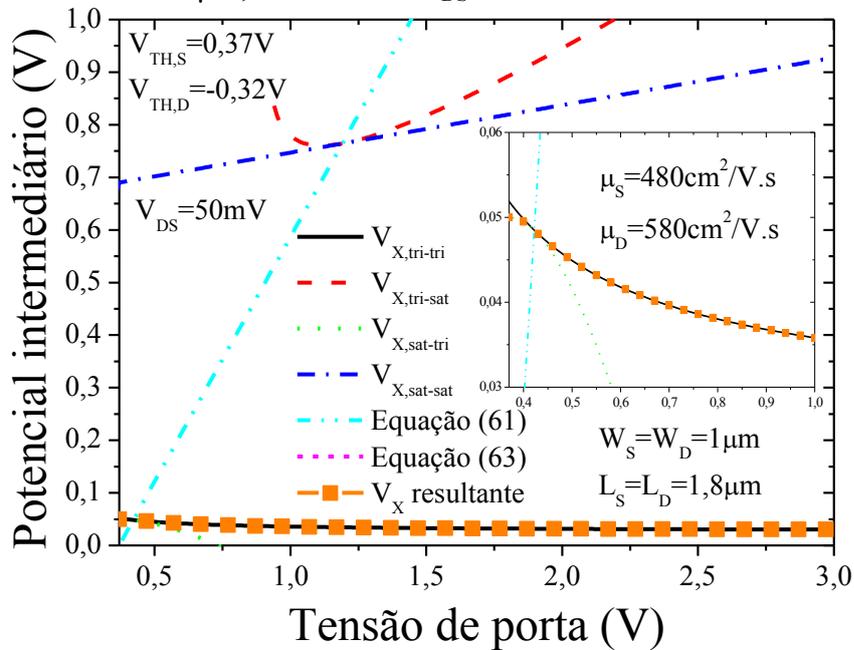
Figura 65 – Potencial intermediário em função da tensão de porta para a estrutura A-SC com  $W_S = 1 \mu\text{m}$ ;  $W_D = 10 \mu\text{m}$ , extraído em  $V_{DS} = 1,5 \text{ V}$



Ao aumentar  $V_{GS}$ , há o cruzamento entre a equação (61) e a curva de  $V_{X,sat-tri}$ . Logo, a estrutura A-SC passa a operar com o transistor  $M_S$  em triodo e o transistor  $M_D$  em triodo.

A Figura 66 exibe as curvas do potencial intermediário em função da tensão de porta para as quatro regiões de operação, bem como as equações (61) e (63), extraídas em  $V_{DS} = 50$  mV. Consta-se que a estrutura A-SC inicia-se com o transistor  $M_S$  operando em saturação e o transistor  $M_D$  operando em triodo. Ao alcançar certa tensão de porta, dada pelo cruzamento entre a equação (61) e a curva  $V_{X,sat-tri}$ , o transistor  $M_S$  entra em triodo. Logo, a estrutura A-SC passa a operar com ambos os transistores  $M_S$  e  $M_D$  em triodo.

Figura 66 – Potencial intermediário em função da tensão de porta para a estrutura A-SC com  $W_S = 1 \mu\text{m}$ ;  $W_D = 1 \mu\text{m}$ , extraído em  $V_{DS} = 50$  mV

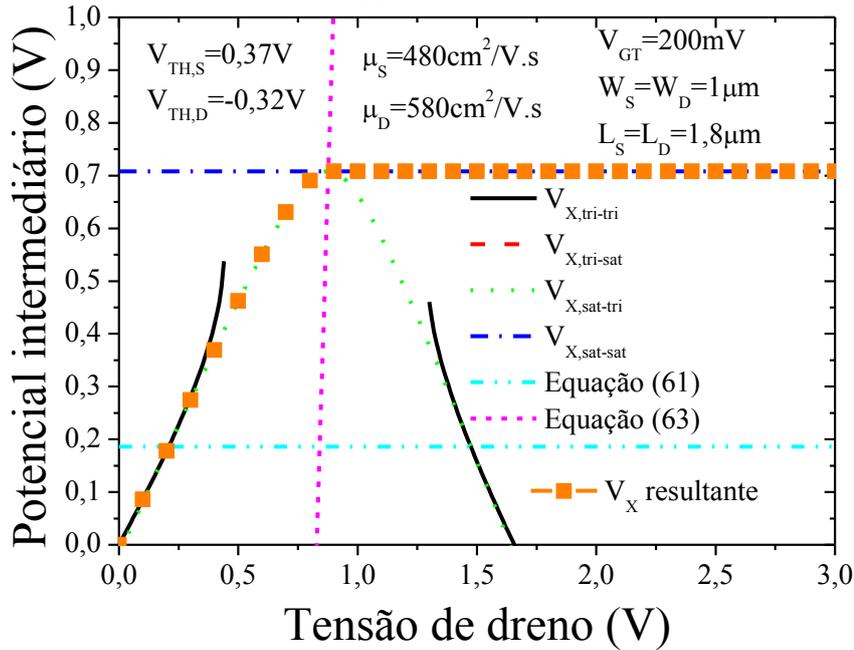


Os três casos exibidos nas Figuras 64, 65 e 66 correspondem às regiões de operação que a estrutura A-SC transita ao variar a tensão de porta.

De maneira a identificar as regiões de operação da estrutura A-SC ao alterar a tensão de dreno, são apresentadas na Figura 67, as curvas do potencial intermediário em função da tensão de dreno para as quatro regiões de operação, e as equações (61) e (63), extraídas em  $V_{GT} = 200$  mV. Nota-se que a estrutura A-SC inicia com ambos os transistores em triodo. Ao atingir uma determinada tensão de dreno, dada pelo cruzamento entre a equação (61) e a curva  $V_{X,tri-tri}$ , o transistor  $M_S$  entra em saturação. Logo, a estrutura A-SC está operando com

o transistor  $M_S$  em saturação e o transistor  $M_D$  em triodo. Ao incrementar a tensão de dreno, ocorre o cruzamento entre a equação (63) e a curva  $V_{X,sat-tri}$ . Desta maneira, a estrutura A-SC passa a operar com ambos os transistores  $M_S$  e  $M_D$  em saturação.

Figura 67 – Potencial intermediário em função da tensão de dreno para a estrutura A-SC com  $W_S = W_D = 1 \mu\text{m}$ , extraído em  $V_{GT} = 200 \text{ mV}$



Fonte: Autor

De modo a comprovar que as transições entre as regiões de operação na Figura 67 estão corretas, a seguir são apresentadas as provas reais:

- a) para  $V_D = 0,1 \text{ V}$ , tem-se  $V_X = 0,09 \text{ V}$ . Com base na equação (61),

$$V_X = \frac{V_G - V_{TH,S}}{n}, \text{ obtém-se } 0,09 < 0,19. \text{ Logo, o transistor } M_S \text{ está em triodo,}$$

visto que  $V_X$  é menor do que a tensão de saturação do transistor  $M_S$ . De acordo

$$\text{com a equação (62), } V_D - V_X = \frac{V_G - V_X - V_{TH,D}}{n}, \text{ obtém-se } 0,01 < 0,74. \text{ Desta}$$

forma, o transistor  $M_D$  também se encontra em triodo, uma vez que  $V_D - V_X$  é inferior à tensão de saturação do transistor  $M_D$ ;

- b) para  $V_D = 0,5 \text{ V}$ , tem-se  $V_X = 0,46 \text{ V}$ . De acordo com a equação (61),

$$V_X = \frac{V_G - V_{TH,S}}{n}, \text{ obtém-se } 0,46 > 0,19. \text{ Logo, o transistor } M_S \text{ está em saturação,}$$

visto que  $V_X$  é maior do que a tensão de saturação do transistor  $M_S$ . Com base na

equação (62),  $V_D - V_X = \frac{V_G - V_X - V_{TH,D}}{n}$ , obtém-se  $0,04 < 0,4$ . Desta maneira,

o transistor  $M_D$  se encontra em triodo, uma vez que  $V_D - V_X$  é inferior à tensão de saturação do transistor  $M_D$ ;

c) para  $V_D = 0,9$  V, tem-se  $V_X = 0,71$  V. Com base na equação (61),

$V_X = \frac{V_G - V_{TH,S}}{n}$ , obtém-se  $0,71 > 0,19$ . Logo, o transistor  $M_S$  está em saturação,

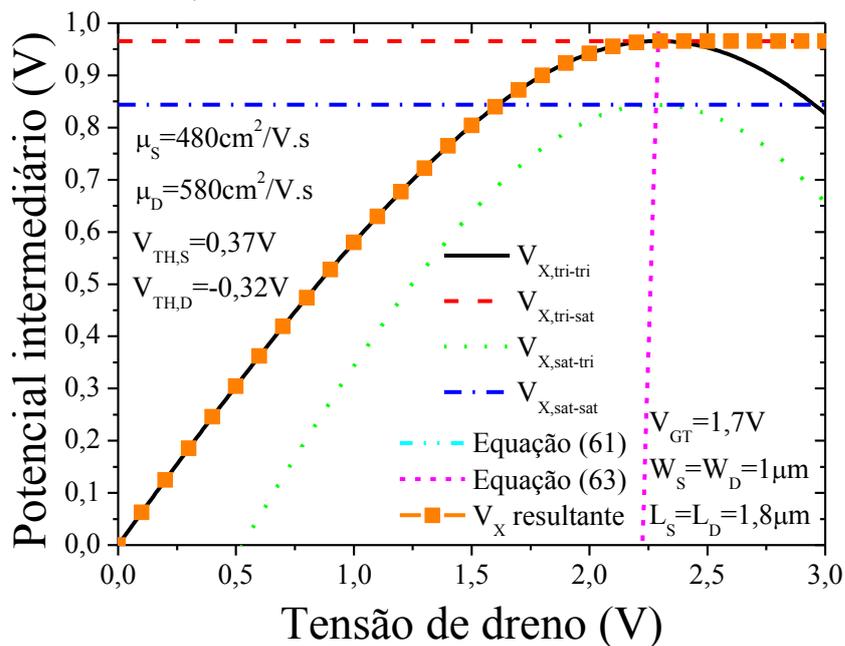
uma vez que  $V_X$  é maior do que a tensão de saturação do transistor  $M_S$ . De acordo

com a equação (62),  $V_D - V_X = \frac{V_G - V_X - V_{TH,D}}{n}$ , obtém-se  $0,19 > 0,17$ . Desta

forma, o transistor  $M_D$  também se encontra em saturação, visto que  $V_D - V_X$  é maior do que a tensão de saturação do transistor  $M_D$ .

Na Figura 68, são exibidas as curvas do potencial intermediário em função da tensão de dreno para as quatro regiões de operação, bem como as equações (61) e (63), extraídas em  $V_{GT} = 1,7$  V. É possível verificar que a estrutura A-SC começa com ambos os transistores em triodo. Ao alcançar uma determinada tensão de dreno, dada pelo cruzamento entre a equação (63) e a curva  $V_{X,tri-tri}$ , o transistor  $M_D$  passa a operar em saturação. Logo, a estrutura A-SC se encontra com o transistor  $M_S$  em triodo e o transistor  $M_D$  em saturação.

Figura 68 – Potencial intermediário em função da tensão de dreno para a estrutura A-SC com  $W_S = 1$   $\mu\text{m}$ ;  $W_D = 1$   $\mu\text{m}$ , extraído em  $V_{GT} = 1,7$  V



Os dois casos apresentados nas Figuras 67 e 68 correspondem às regiões de operação que a estrutura A-SC transita ao variar a tensão de dreno.

Após a obtenção do potencial intermediário, é necessário determinar a corrente de dreno da estrutura A-SC. Tomando como base a corrente de dreno do transistor próximo à fonte e utilizando o modelo analítico de corrente de dreno válido em todas as regiões de operação proposto por Enz, Krummenacher e Vittoz (1995), obteve-se a seguinte expressão da corrente de dreno da estrutura A-SC:

$$I_D = \frac{W_S}{(L_S - L_{sat})} \cdot \frac{\mu_S \cdot C_{oxf} \cdot 2 \cdot n \cdot V_t^2}{1 + \theta \cdot \left( \frac{V_{GS} - V_{TH,S}}{n} \right)} \cdot \left[ \frac{\left[ \ln \left( 1 + e^{\left( \frac{V_{GS} - V_{TH,S}}{2 \cdot n \cdot V_t} \right)} \right) \right]^2}{- \left[ \ln \left( 1 + e^{\left( \frac{V_{GS} - V_{TH,S} - n \cdot V_X}{2 \cdot n \cdot V_t} \right)} \right) \right]^2} \right] \cdot \left\{ \frac{(1 + \lambda_{sat} \cdot V_X)}{\left( 1 + \frac{V_X}{L_S \cdot E_{crit}} \right)} \right\} \quad (64)$$

Onde  $L_{sat}$  corresponde ao comprimento da região saturada, dado por

$$L_{sat} = l_c \cdot \log \left( \frac{c_1 + \sqrt{c_1^2 + c_2^2}}{c_2} \right), \text{ sendo } c_1 = V_{DS} - V_X, c_2 = \frac{l_c \cdot v_{sat}}{\mu_S}, l_c \text{ é o comprimento}$$

característico, definido como  $l_c = \sqrt{\frac{\epsilon_{Si} \cdot (1 + C_{Si} / (C_{bb} + C_{Si}))}{2 \cdot (C_{oxf} + C_{bb})}}$  (embora possa ser considerado

como um parâmetro de ajuste),  $v_{sat}$  é a velocidade de saturação dos portadores,

$C_{bb} = \frac{C_{Si} \cdot C_{oxb}}{C_{Si} + C_{oxb}}$ ,  $V_t$  é o potencial térmico, definido como  $V_t = \frac{k \cdot T}{q}$ ,  $\theta$  é o coeficiente de

degradação da mobilidade pelo campo elétrico transversal,  $\lambda_{sat}$  é o coeficiente de modulação do comprimento de canal e  $E_{crit}$  é o campo elétrico crítico, a partir do qual ocorre a saturação da velocidade dos portadores (TSIVIDIS, 1998).

Em inversão fraca, as exponenciais da equação (64) são muito inferiores à unidade. Sabendo que  $\ln(1+x) \approx x$  para  $|x| \ll 1$ , obtém-se a seguinte equação:

$$I_D = \frac{W_S}{(L_S - L_{sat})} \cdot \frac{\mu_S \cdot C_{oxf} \cdot 2 \cdot n \cdot V_t^2}{1 + \theta \cdot \left( \frac{V_{GS} - V_{TH,S}}{n} \right)} \cdot e^{\left( \frac{V_{GS} - V_{TH,S}}{n \cdot V_t} \right)} \cdot \left( 1 - e^{\frac{-V_X}{V_t}} \right) \cdot \left( \frac{1 + \lambda_{sat} \cdot V_X}{\left( 1 + \frac{V_X}{L_S \cdot E_{crit}} \right)} \right) \quad (65)$$

Em inversão forte e região de triodo ( $V_X$  baixo), a primeira e a segunda exponenciais são muito maiores do que a unidade. Usando a aproximação  $[\ln(1+e^y)]^2 \approx y^2$ , válida para  $e^y \gg 1$ , obtém-se a seguinte expressão:

$$I_D = \frac{W_S}{(L_S - L_{sat})} \cdot \frac{\mu_S \cdot C_{oxf}}{1 + \theta \cdot \left( \frac{V_{GS} - V_{TH,S}}{n} \right)} \cdot \left[ (V_{GS} - V_{TH,S}) V_X - n \cdot \frac{V_X^2}{2} \right] \cdot \frac{(1 + \lambda_{sat} \cdot V_X)}{\left( 1 + \frac{V_X}{L_S \cdot E_{crit}} \right)} \quad (66)$$

Em inversão forte e região de saturação ( $V_X$  alto), a segunda exponencial se torna desprezível, enquanto que a primeira exponencial é muito maior do que a unidade. Deste modo, obtém-se a seguinte expressão:

$$I_D = \frac{W_S}{(L_S - L_{sat})} \cdot \frac{\mu_S \cdot C_{oxf}}{1 + \theta \cdot \left( \frac{V_{GS} - V_{TH,S}}{n} \right)} \cdot \frac{(V_{GS} - V_{TH,S})^2}{2 \cdot n} \cdot \frac{(1 + \lambda_{sat} \cdot V_X)}{\left( 1 + \frac{V_X}{L_S \cdot E_{crit}} \right)} \quad (67)$$

O modelo analítico de corrente de dreno desenvolvido para a estrutura A-SC foi implementado no *software* Maxima (MAXIMA, 2000) e é apresentado no Apêndice D.

## 6.2 VALIDAÇÃO DO MODELO ANALÍTICO DE CORRENTE DE DRENO DA ESTRUTURA A-SC

Foram comparadas as curvas de corrente de dreno obtidas por simulação numérica tridimensional de dispositivos e pelo modelo desenvolvido para a associação série assimétrica de transistores SOI nMOS FD planares, variando tanto a largura de canal quanto o comprimento de canal dos transistores  $M_S$  e  $M_D$ . Tanto a simulação quanto o modelo foram ajustados de acordo com a tecnologia SOI FD da UCLouvain.

A Tabela 2 apresenta os valores dos parâmetros elétricos utilizados no modelo analítico de corrente de dreno da estrutura A-SC. As tensões de limiar dos transistores  $M_S$  e  $M_D$  foram extraídas a partir da segunda derivada da curva  $I_D \times V_{GS}$  simulada dos transistores isolados fortemente dopado e fracamente dopado (ORTIZ-CONDE et al., 2002). É sabido que quanto maior a dopagem do canal, menor a mobilidade dos portadores. Desta forma, a mobilidade de baixo campo do transistor  $M_S$  é menor do que do transistor  $M_D$ . A Tabela 3

apresenta os valores do único parâmetro de ajuste ( $l_c$ ) utilizado na modelagem da corrente de dreno das estruturas A-SC ao variar  $W_S$  e  $W_D$ .

Tabela 2 – Parâmetros elétricos utilizados no modelo analítico de corrente de dreno da associação série assimétrica de transistores SOI nMOS FD planares

Parâmetros	Valor	Unidade
$V_{TH,S}$	0,37	V
$V_{TH,D}$	-0,32	V
$\mu_S$	480	$\text{cm}^2/\text{V.s}$
$\mu_D$	580	$\text{cm}^2/\text{V.s}$
$\theta$	0,13	$\text{V}^{-1}$
$\lambda_{\text{sat}}$	0,20	$\text{V}^{-1}$
$E_{\text{crit}}$	$1 \times 10^6$	V/cm

Fonte: Autor

Tabela 3 – Comprimento característico para as estruturas A-SC variando  $W_S$  e  $W_D$

Estruturas A-SC		$l_c$ (cm)
$W_S$ ( $\mu\text{m}$ )	$W_D$ ( $\mu\text{m}$ )	
1	10	$2,0 \times 10^{-7}$
1	3	$3,0 \times 10^{-7}$
1	2	$3,5 \times 10^{-7}$
1	1	$5,0 \times 10^{-7}$
2	1	$7,0 \times 10^{-7}$
3	1	$8,0 \times 10^{-7}$
10	1	$2,0 \times 10^{-6}$

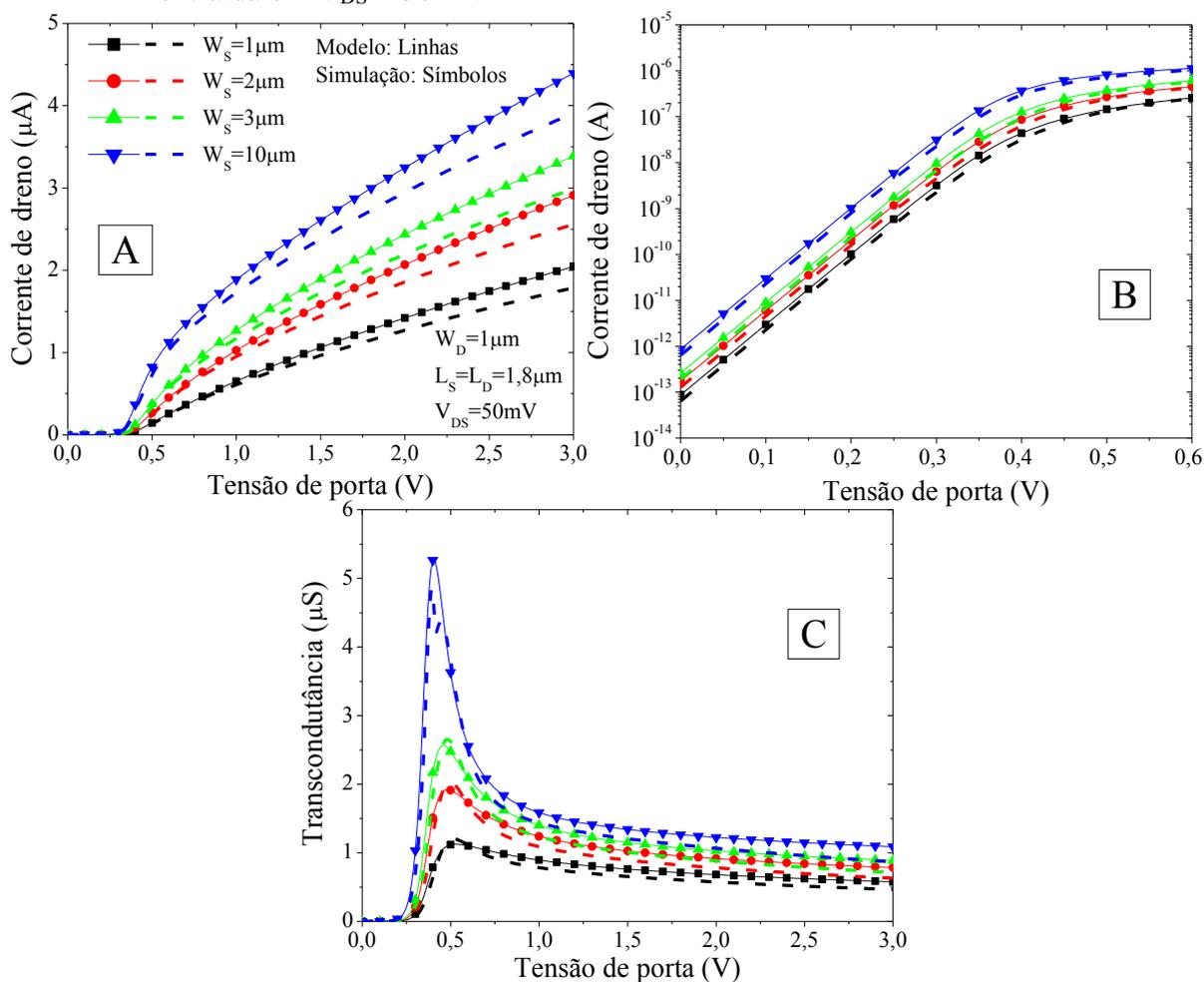
Fonte: Autor

A Figura 69 apresenta a corrente de dreno em escala linear (A) e logarítmica (B), bem como a transcondutância (obtida a partir da primeira derivada da curva  $I_D \times V_{GS}$ ) (C) em função da tensão de porta para as estruturas A-SC com  $W_D = 1 \mu\text{m}$  variando  $W_S$ , extraídas através da simulação e pelo modelo analítico em  $V_{DS} = 50 \text{ mV}$ . Pode-se observar uma boa similaridade entre as simulações e os resultados do modelo analítico, com erro inferior a 12% para a corrente de dreno modelada. Assim como obtido por meio de simulações, os resultados do modelo também demonstram um acréscimo significativo da corrente de dreno (A) e do pico de transcondutância (C) à medida que a largura de canal do transistor próximo à fonte é incrementada.

Em escala logarítmica, é possível constatar tendências semelhantes para a corrente de dreno ao comparar o modelo desenvolvido e as simulações. É importante mencionar que as equações propostas para o potencial intermediário não consideram a inversão fraca, sendo

considerada apenas a inversão forte ( $V_{GS} \geq V_{TH,S}$ ). No entanto, foi verificado empiricamente que o valor do potencial intermediário se mantém em praticamente o mesmo valor obtido para  $V_{GS} = V_{TH,S}$  quando a tensão de porta é inferior à  $V_{TH,S}$ . Desta forma, foi possível determinar a corrente de dreno em regime de inversão fraca.

Figura 69 – Característica de transferência da estrutura A-SC com  $W_D = 1 \mu\text{m}$  variando  $W_S$ , extraída em  $V_{DS} = 50 \text{ mV}$



Fonte: Autor

Legenda: (A) Corrente de dreno em escala linear.

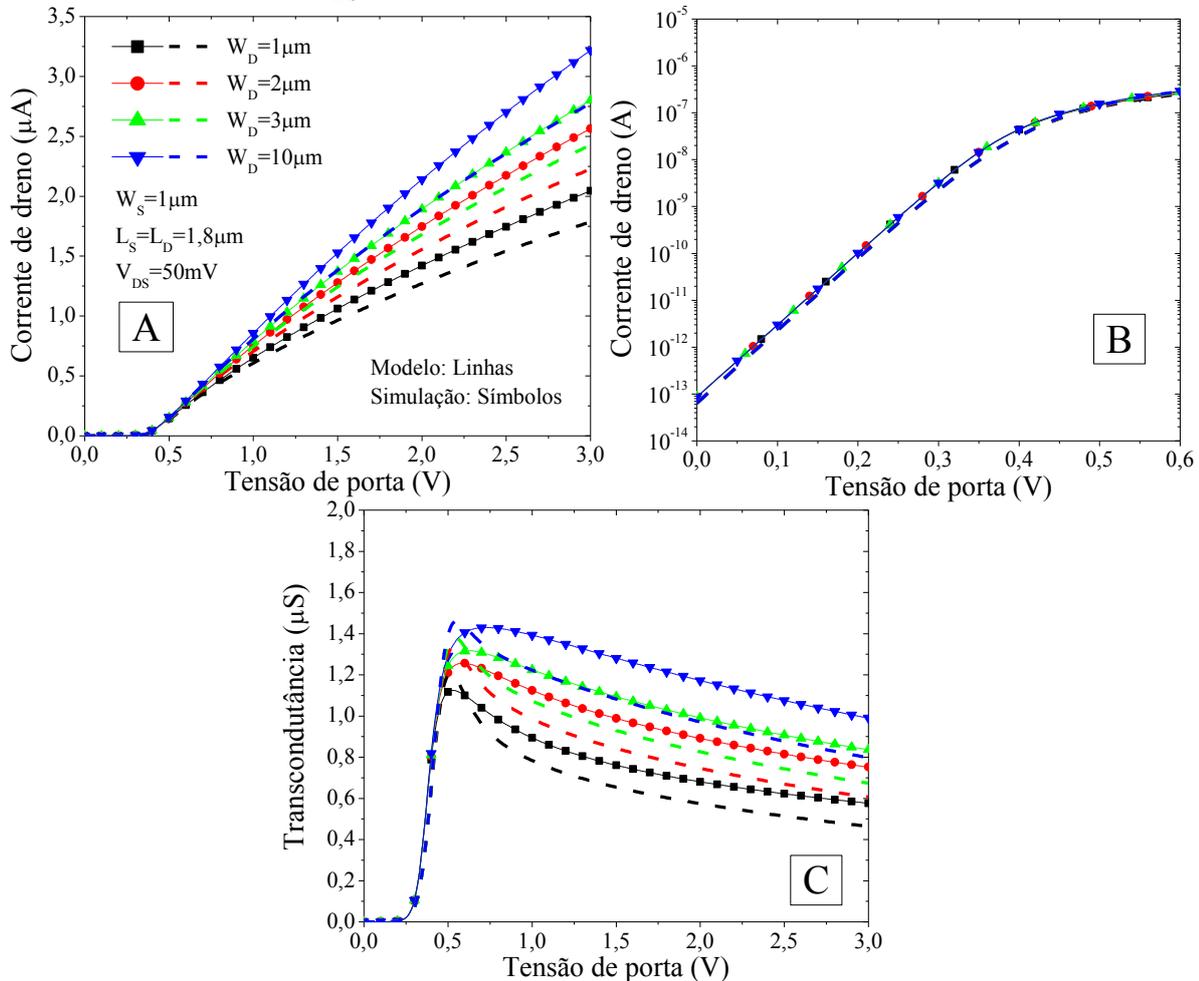
(B) Corrente de dreno em escala logarítmica.

(C) Transcondutância.

Na Figura 70, são exibidas a corrente de dreno em escala linear (A) e logarítmica (B), bem como a transcondutância (C), obtidas através de simulação e pelo modelo analítico, em função da tensão de porta para as estruturas A-SC com  $W_S = 1 \mu\text{m}$  variando  $W_D$ , extraídas em  $V_{DS} = 50 \text{ mV}$ . Da mesma forma que a Figura 69, os resultados do modelo exibem valores de corrente de dreno e de transcondutância ligeiramente inferiores às simulações. No entanto, as tendências foram respeitadas, sendo verificado um aumento da corrente de dreno e da

transcondutância com o incremento de  $W_D$ . Com base na Figura 70(B), nota-se que a variação de  $W_D$  não causa qualquer perturbação na corrente de dreno em inversão fraca.

Figura 70 – Característica de transferência da estrutura A-SC com  $W_S = 1 \mu\text{m}$  variando  $W_D$ , extraída em  $V_{DS} = 50 \text{ mV}$



Fonte: Autor

Legenda: (A) Corrente de dreno em escala linear.

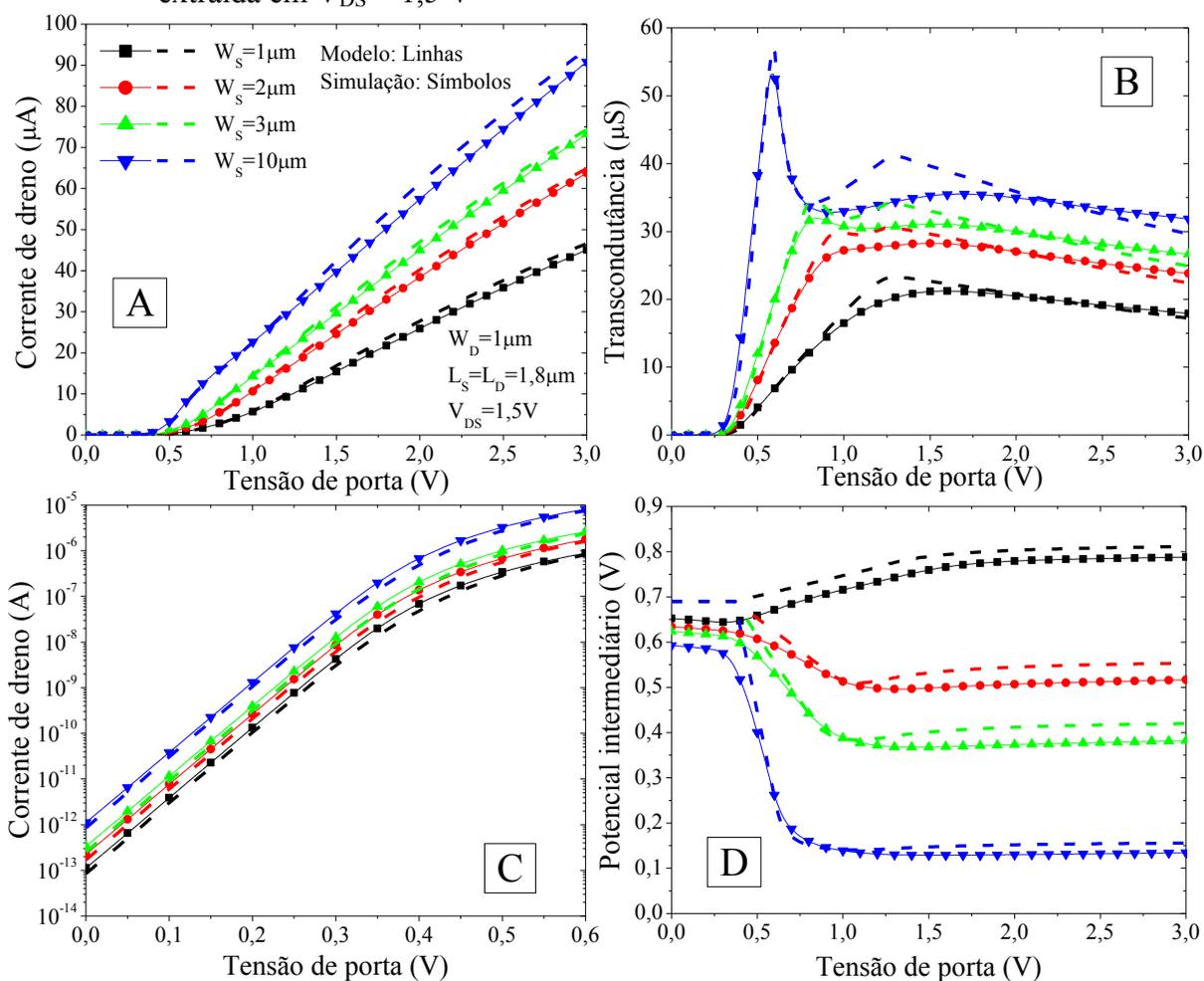
(B) Corrente de dreno em escala logarítmica.

(C) Transcondutância.

Como os circuitos analógicos operam em saturação, foi também avaliado o comportamento do modelo nesta região. A Figura 71 apresenta a corrente de dreno em escala linear (A) e logarítmica (C), bem como a transcondutância (B) e o potencial intermediário (D), obtidos por meio de simulação e através do modelo analítico, em função da tensão de porta para as estruturas A-SC com  $W_D = 1 \mu\text{m}$  variando  $W_S$ , extraídos em  $V_{DS} = 1,5 \text{ V}$ . Tanto em escala linear quanto logarítmica, a corrente de dreno apresentou resultados muito próximos. O erro na corrente de dreno modelada não foi superior a 9%. A transcondutância também exibiu uma boa similaridade, sendo verificada a presença de dois picos de

transcondutância para  $W_S$  maiores, assim como constatado através das simulações. A razão da similaridade dos parâmetros elétricos se reside no fato da boa concordância do potencial intermediário (Figura 71(D)). Em inversão fraca, o potencial intermediário foi admitido como sendo igual ao  $V_X$  extraído para  $V_{GS} = V_{TH,S}$ , o que se mostrou adequado devido aos bons resultados obtidos para a corrente de dreno em inversão fraca (Figura 71(C)).

Figura 71 – Característica de transferência da estrutura A-SC com  $W_D = 1 \mu\text{m}$  variando  $W_S$ , extraída em  $V_{DS} = 1,5 \text{ V}$



Fonte: Autor

Legenda: (A) Corrente de dreno em escala linear.

(B) Transcondutância.

(C) Corrente de dreno em escala logarítmica.

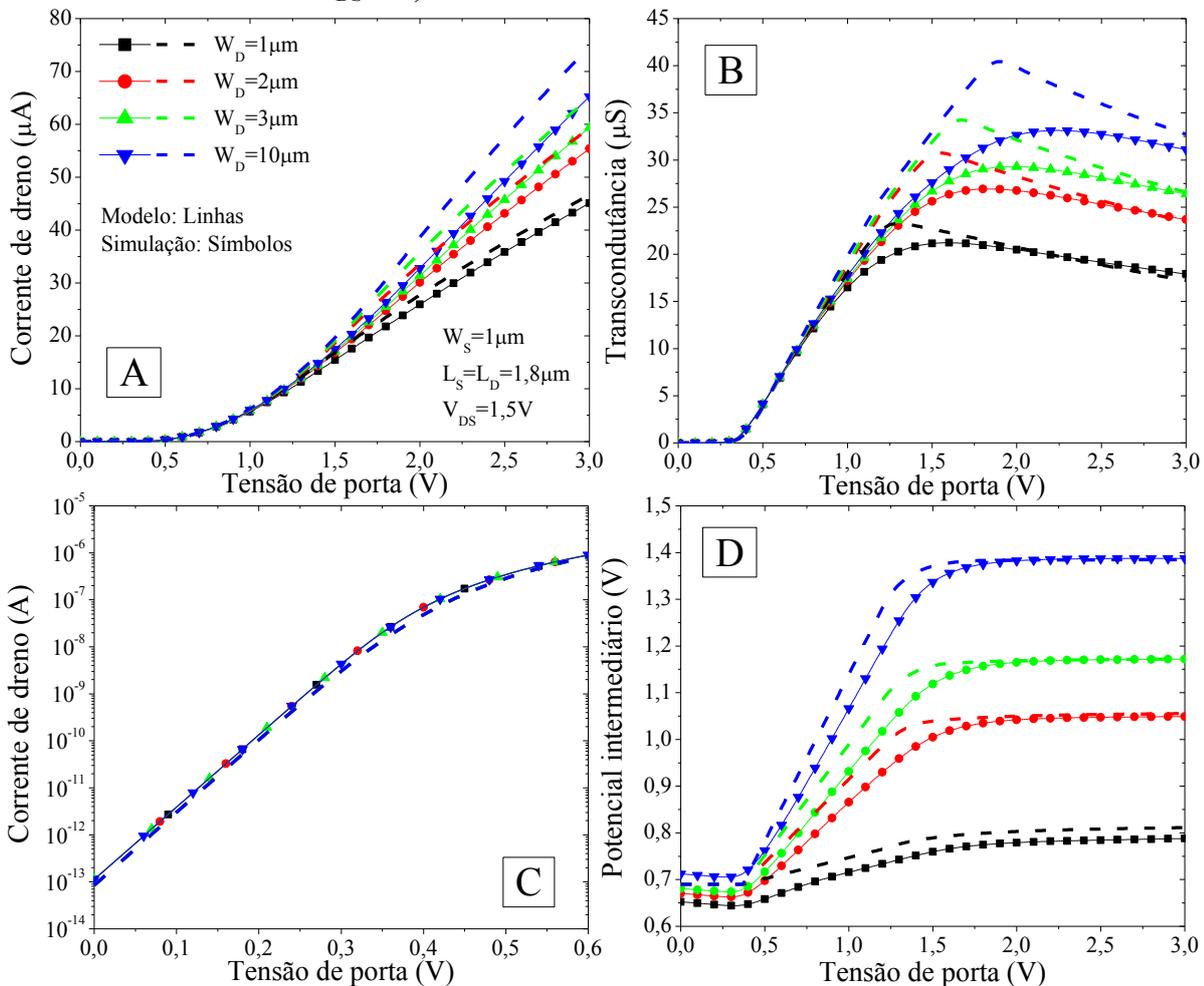
(D) Potencial intermediário.

Na Figura 72, são exibidas a corrente de dreno em escala linear (A) e logarítmica (C), a transcondutância (B) e o potencial intermediário (D) em função da tensão de porta para as estruturas A-SC com  $W_S = 1 \mu\text{m}$  variando  $W_D$ , extraídos em  $V_{DS} = 1,5 \text{ V}$ . Foram observadas as mesmas tendências para a corrente de dreno, com um leve acréscimo de  $I_D$  em escala linear

ao aumentar  $W_D$ . Assim como observado em  $V_{DS}$  baixo (Figura 70(B)), não houve alteração da corrente de dreno em inversão fraca.

O potencial intermediário modelado se mostrou razoável comparativamente às simulações. No entanto, o pico de transcondutância apresentou valores superiores no modelo, com erro de 26% para  $W_D = 10 \mu\text{m}$ . Por outro lado, esta região de operação em alto  $V_{GS}$  não é ideal para o funcionamento da estrutura A-SC, uma vez que a estrutura A-SC começa a se comportar como uma estrutura S-SC. Desta forma, considerando que a estrutura A-SC deva ser polarizada em  $V_{GT}$  ligeiramente superior a 0 V, não se trata de um problema grave para o modelo.

Figura 72 – Característica de transferência da estrutura A-SC com  $W_S = 1 \mu\text{m}$  variando  $W_D$ , extraída em  $V_{DS} = 1,5 \text{ V}$

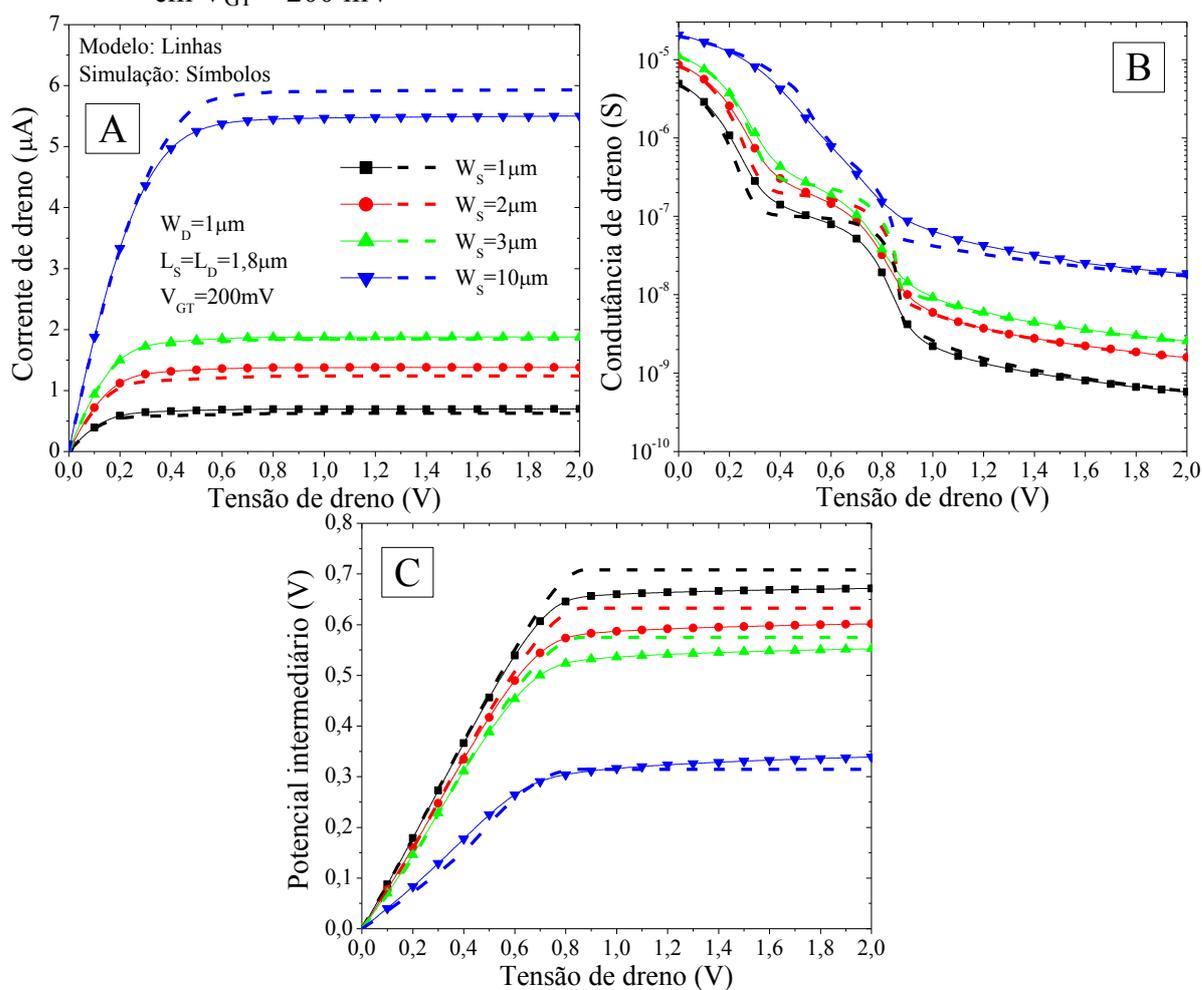


Fonte: Autor

- Legenda: (A) Corrente de dreno em escala linear.  
 (B) Transcondutância.  
 (C) Corrente de dreno em escala logarítmica.  
 (D) Potencial intermediário.

A Figura 73 apresenta a corrente de dreno (A), a condutância de dreno (B) e o potencial intermediário (C) em função da tensão de dreno para as estruturas A-SC com  $W_D = 1\mu\text{m}$  variando  $W_S$ , extraídos em  $V_{GT} = 200\text{ mV}$ . Foram observadas correntes de dreno similares, com um acréscimo significativo de  $I_D$  ao aumentar  $W_S$ . O erro na corrente de dreno modelada foi inferior a 11%. O potencial intermediário obtido pelo modelo também se mostrou coerente em comparação com as simulações. O parâmetro  $I_c$  (Tabela 3) foi variado no modelo de maneira a ajustar o segundo patamar de condutância de dreno, enquanto que o parâmetro  $\lambda_{\text{sat}}$ , atuante no primeiro patamar da condutância de dreno, foi mantido constante. Desta forma, foram obtidos níveis similares de condutância de dreno pelo modelo e simulação.

Figura 73 – Característica de saída da estrutura A-SC com  $W_D = 1\mu\text{m}$  variando  $W_S$ , extraída em  $V_{GT} = 200\text{ mV}$



Fonte: Autor

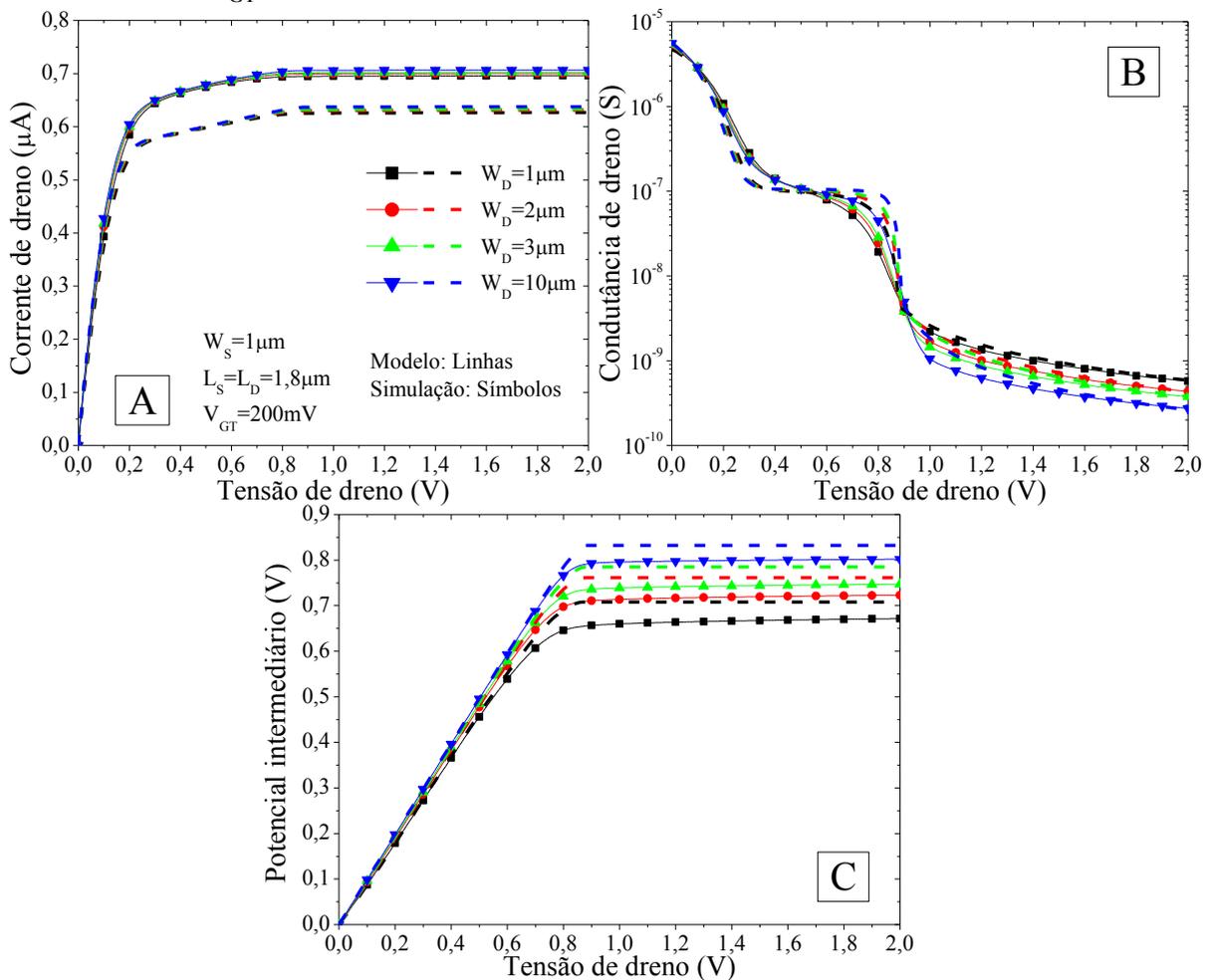
Legenda: (A) Corrente de dreno.

(B) Condutância de dreno.

(C) Potencial intermediário.

A Figura 74 exibe a corrente de dreno (A), a condutância de dreno (B) e o potencial intermediário (C) em função da tensão de dreno para as estruturas A-SC com  $W_S = 1\mu\text{m}$  variando  $W_D$ , extraídos em  $V_{GT} = 200\text{ mV}$ . Pode-se notar que o modelo desenvolvido apresenta uma boa concordância para a corrente de dreno, a condutância de dreno e o potencial intermediário comparativamente às simulações realizadas. Uma leve redução da corrente de dreno é constatada para o modelo, porém, assim como nas simulações, há um aumento da corrente de dreno e do potencial intermediário, bem como uma redução da condutância de dreno ao aumentar  $W_D$ .

Figura 74 – Característica de saída da estrutura A-SC com  $W_S = 1\mu\text{m}$  variando  $W_D$ , extraída em  $V_{GT} = 200\text{ mV}$



Fonte: Autor

Legenda: (A) Corrente de dreno.

(B) Condutância de dreno.

(C) Potencial intermediário.

Uma vez efetuada a comparação das estruturas A-SC variando as larguras de canal dos transistores  $M_S$  e  $M_D$ , prosseguiu-se para a análise da influência do comprimento de canal

destes transistores no desempenho analógico da associação série assimétrica, mantendo a largura de canal fixa em 1  $\mu\text{m}$  para ambos os transistores.

Na Tabela 4, são apresentados os valores dos parâmetros elétricos utilizados na modelagem da corrente de dreno das estruturas A-SC variando  $L_S$  e  $L_D$ . Como se pode observar, no caso da estrutura A-SC com  $L_S = 10 \mu\text{m}$ ;  $L_D = 2 \mu\text{m}$ , além de  $I_c$ , também foram reduzidos  $\lambda_{\text{sat}}$  e  $\theta$ , visto que, por haver um transistor mais longo próximo à fonte, há uma diminuição do efeito de modulação do comprimento de canal e da degradação da mobilidade pelo campo elétrico transversal.

Tabela 4 – Parâmetros elétricos utilizados no modelo analítico de corrente de dreno da associação série assimétrica de transistores SOI nMOS FD variando  $L_S$  e  $L_D$

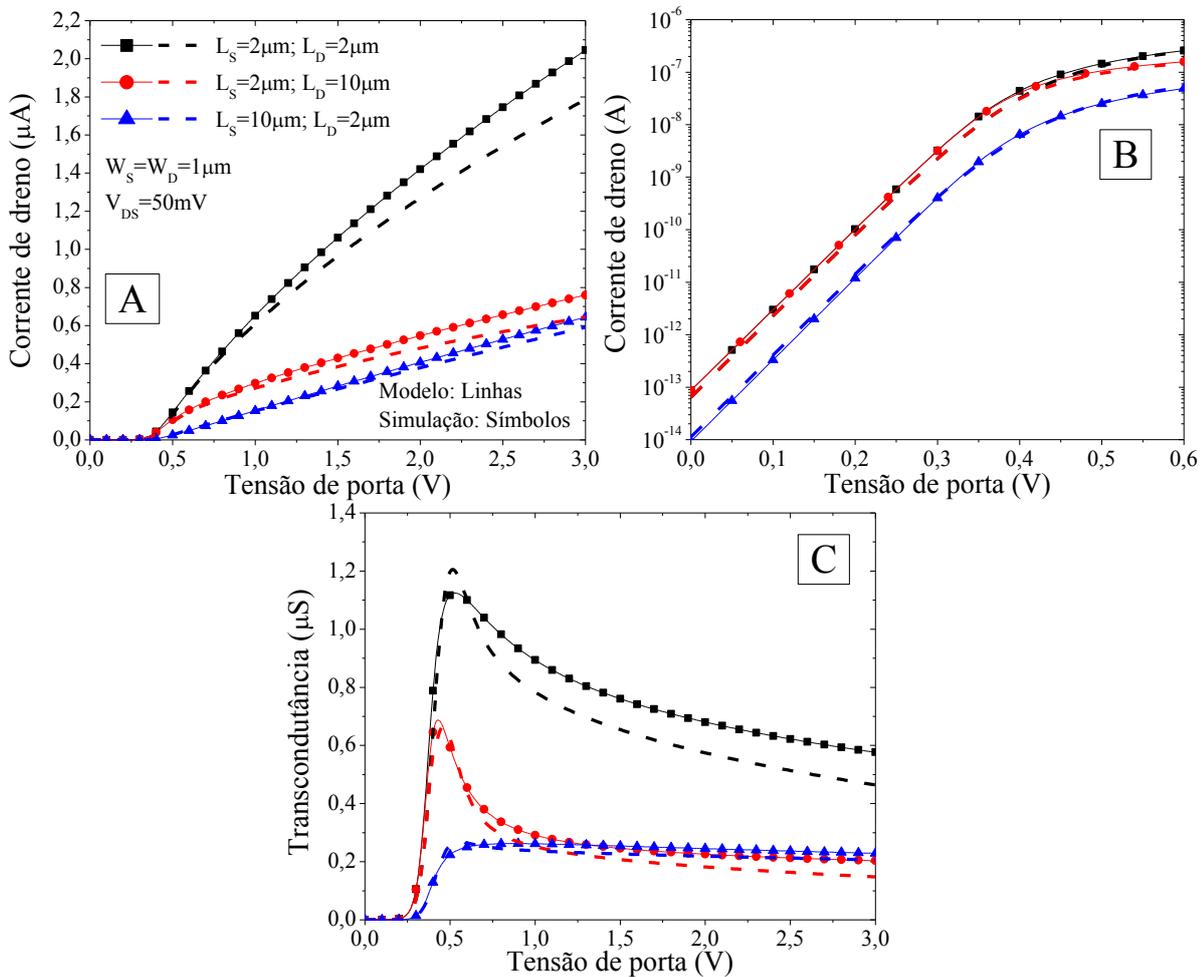
Estruturas A-SC		$I_c$ (cm)	$\lambda_{\text{sat}}$ ( $\text{V}^{-1}$ )	$\theta$ ( $\text{V}^{-1}$ )
$L_S$ ( $\mu\text{m}$ )	$L_D$ ( $\mu\text{m}$ )			
2	2	$5 \times 10^{-7}$	0,2	0,13
2	10	$3 \times 10^{-7}$	0,2	0,13
10	2	$2 \times 10^{-7}$	0,03	0,03

Fonte: Autor

Na Figura 75, são apresentadas a corrente de dreno em escala linear (A) e logarítmica (B), assim como a transcondutância (C), obtidas por meio de simulações e pelo modelo analítico, em função da tensão de porta para as estruturas A-SC variando  $L_S$  e  $L_D$ , extraídas em  $V_{DS} = 50 \text{ mV}$ . É possível constatar que tanto o aumento de  $L_S$  quanto de  $L_D$  promove uma redução dos níveis de corrente de dreno e de transcondutância. Ao incrementar  $L_S$  (transistor dominante), é natural que haja uma diminuição de  $I_D$  e  $g_m$ , devido à proporcionalidade inversa entre estes parâmetros. Com relação ao aumento de  $L_D$ , tem-se uma maior resistência de canal do transistor  $M_D$ , reduzindo o potencial intermediário e, portanto,  $I_D$  e  $g_m$ .

Concernente à comparação entre os resultados do modelo e das simulações, pode-se verificar uma boa similaridade da corrente de dreno em escalas linear e logarítmica, bem como da transcondutância.

Figura 75 – Característica de transferência da estrutura A-SC variando  $L_S$  e  $L_D$ , extraída em  $V_{DS} = 50\text{ mV}$



Fonte: Autor

Legenda: (A) Corrente de dreno em escala linear.

(B) Corrente de dreno em escala logarítmica.

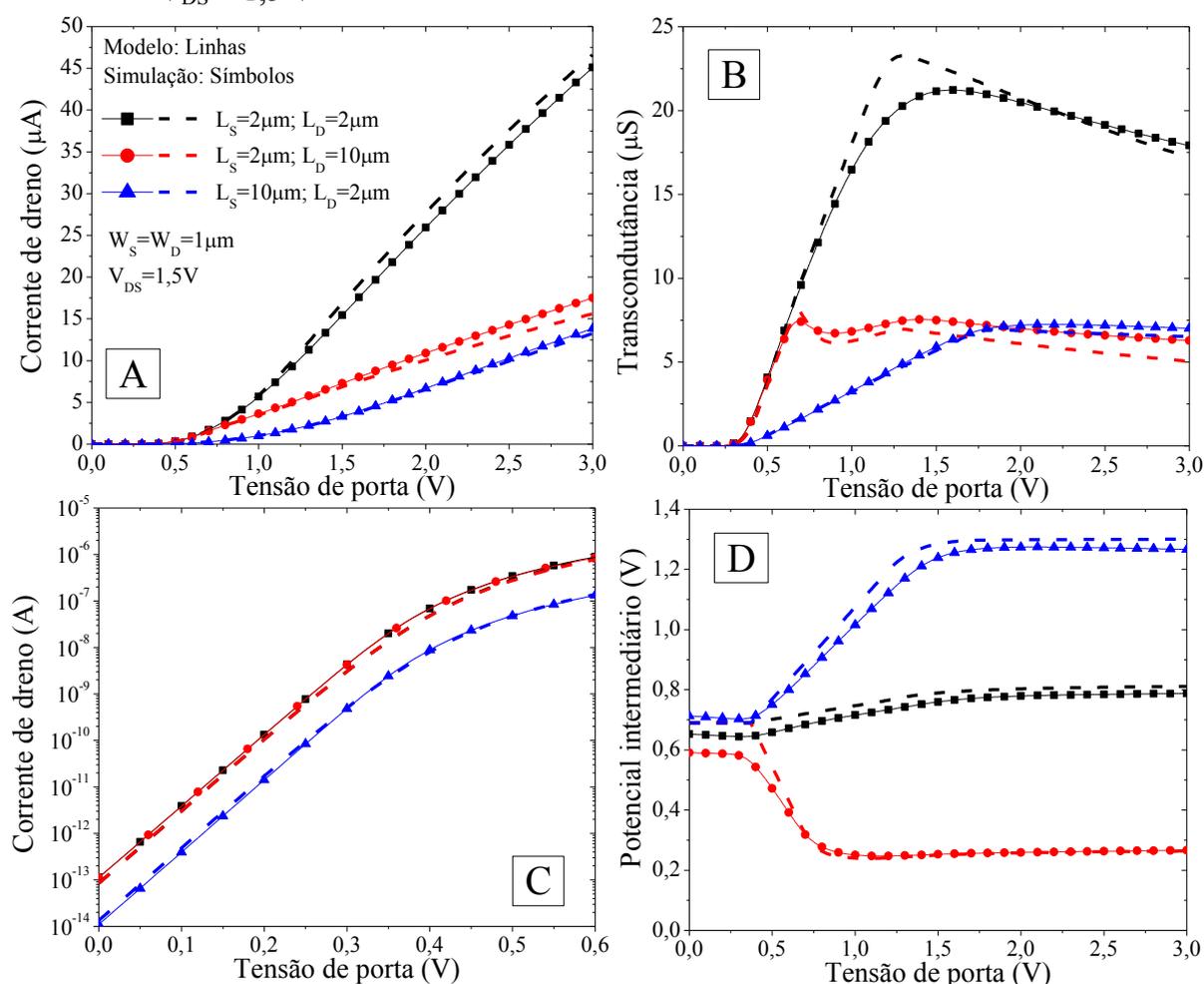
(C) Transcondutância.

A Figura 76 apresenta a corrente de dreno em escala linear (A) e logarítmica (C), a transcondutância (B) e o potencial intermediário (D) em função da tensão de porta para as estruturas A-SC variando  $L_S$  e  $L_D$ , extraídos em  $V_{DS} = 1,5\ \text{V}$ . Assim como observado na Figura 75, ao aumentar  $L_S$  e  $L_D$ , há uma diminuição de  $I_D$  e  $g_m$ , com uma redução considerável de  $g_m$  em baixos  $V_{GS}$  para a estrutura A-SC com  $L_S = 10\ \mu\text{m}$ , uma vez que se trata do transistor dominante. A influência de um  $L_D$  maior é mais proeminente para maiores  $V_{GS}$ , sendo verificado inclusive um menor  $g_m$  comparativamente à estrutura A-SC com  $L_S = 10\ \mu\text{m}$ , em razão da menor degradação da mobilidade para o transistor  $M_S$  mais longo. Com relação ao potencial intermediário, é possível notar que o incremento de  $L_D$  reduz  $V_X$  devido à maior resistência de canal do transistor  $M_D$ , enquanto que o aumento de  $L_S$  eleva  $V_X$ , o que

está relacionado à maior resistência de canal do transistor  $M_S$  em comparação ao transistor  $M_D$ .

Ao confrontar os resultados da modelagem com as simulações, mais uma vez é possível constatar uma boa concordância entre os parâmetros elétricos. O erro no pico de transcondutância modelado não foi superior a 10%.

Figura 76 – Característica de transferência da estrutura A-SC variando  $L_S$  e  $L_D$ , extraída em  $V_{DS} = 1,5\text{ V}$



Fonte: Autor

Legenda: (A) Corrente de dreno em escala linear.

(B) Transcondutância.

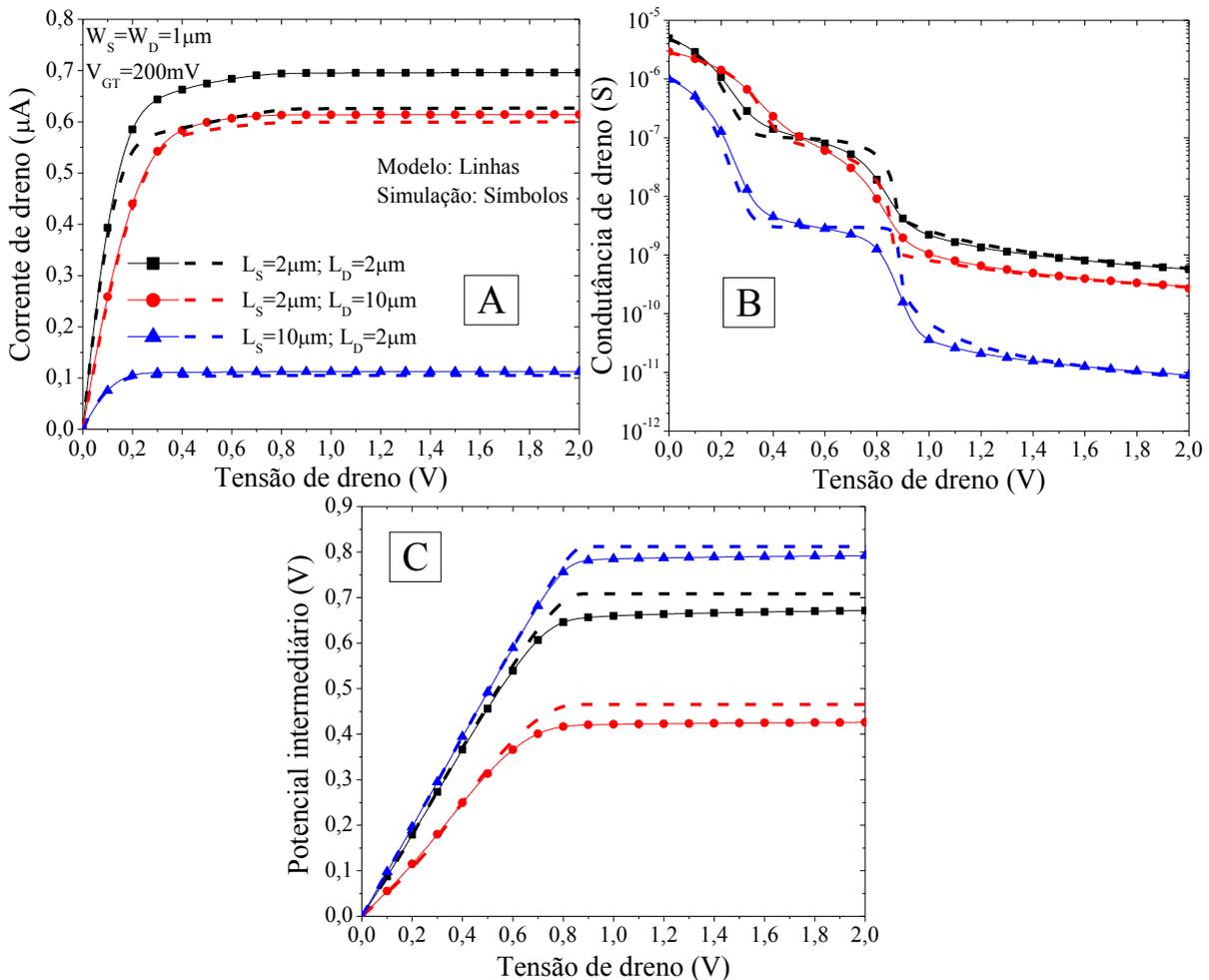
(C) Corrente de dreno em escala logarítmica.

(D) Potencial intermediário.

A Figura 77 exibe a corrente de dreno (A), a condutância de dreno (B) e o potencial intermediário (C) em função da tensão de dreno para as estruturas A-SC variando  $L_S$  e  $L_D$ , extraídos em  $V_{GT} = 200\text{ mV}$ . De acordo com os resultados mostrados, o aumento de  $L_S$  e  $L_D$  causa uma diminuição de  $I_D$ , assim como da condutância de dreno, sendo verificada uma

redução considerável destes parâmetros com o incremento de  $L_S$ . Assim como observado na Figura 76, o aumento de  $L_S$  incrementa  $V_X$ , ao passo que o aumento de  $L_D$  diminui  $V_X$ . Da mesma forma como as características de transferência, uma boa concordância entre as simulações e os resultados do modelo também foram obtidas para as características de saída. O erro máximo no potencial intermediário modelado foi de 10%.

Figura 77 – Característica de saída da estrutura A-SC variando  $L_S$  e  $L_D$ , extraída em  $V_{GT} = 200$  mV



Fonte: Autor

Legenda: (A) Corrente de dreno.

(B) Condutância de dreno.

(C) Potencial intermediário.

A Tabela 5 resume os erros percentuais máximos obtidos para os parâmetros elétricos ( $V_X$ ,  $I_D$ ,  $g_m$  e  $g_D$ ) do modelo desenvolvido comparativamente às simulações para  $V_{DS} = 1,5$  V considerando a faixa de tensões de porta de  $V_{TH}$  até 1 V, pois se trata da região onde a estrutura A-SC é polarizada de modo a ter um melhor desempenho analógico. Nesta tabela, são também apresentados os erro percentuais máximos para  $V_{GT} = 200$  mV considerando a

faixa de tensões de dreno de 0 a 2 V. Pode-se notar que o erro máximo foi de 10% para o potencial intermediário, 11% para a corrente de dreno, 11% para a transcondutância e 18% para a condutância de dreno.

O erro máximo obtido para a corrente de dreno em sublimiar foi de 31%, uma vez que a corrente de dreno tem dependência exponencial com a tensão de porta. Desta maneira, qualquer erro no potencial intermediário modelado causa um grande erro na corrente de dreno, da mesma forma ocorre com a condutância de dreno. Na maioria dos casos, a condutância de dreno se manteve no limite de 18% de erro, porém nas transições entre as regiões de triodo e saturação dos transistores  $M_S$  e  $M_D$ , houve um acréscimo do erro percentual. No entanto, esta região de polarização não é ideal para os transistores, uma vez que devem operar em saturação, não se tornando um agravante para o modelo desenvolvido.

Tabela 5 – Erro percentual máximo da modelagem do potencial intermediário, corrente de dreno, transcondutância e condutância de dreno para a característica de transferência com  $V_{DS} = 1,5$  V e a característica de saída com  $V_{GT} = 200$  mV

Polarizações	Erro Máximo (%)			
	$V_X$	$I_D$	$g_m$	$g_D$
<b><math>I_D</math> vs. <math>V_{GS}</math> com <math>V_{DS} = 1,5</math> V</b>	10	6	11	-
<b><math>I_D</math> vs. <math>V_{DS}</math> com <math>V_{GT} = 200</math> mV</b>	10	11	-	18

Fonte: Autor

De maneira a comparar os resultados do modelo e das simulações quanto ao desempenho analógico, são apresentados, na Tabela 6, a transcondutância, a condutância de dreno e o ganho de tensão em malha aberta extraídos em  $V_{DS} = 1,5$  V e  $V_{GT} = 200$  mV variando  $W_S$ ,  $W_D$ ,  $L_S$  e  $L_D$ . Como se pode observar, o incremento de  $W_D$  e a redução de  $W_S$  melhoram  $A_V$ . Em relação ao comprimento de canal dos transistores  $M_S$  e  $M_D$ , verifica-se um aumento de  $A_V$  ao incrementar  $L_D$  e, principalmente, ao aumentar  $L_S$ . Esta melhoria está relacionada ao menor efeito de modulação do comprimento de canal.

Nota-se uma pequena variação entre os parâmetros elétricos extraídos a partir do modelo e das simulações. Para os dados extraídos da tabela, o erro máximo obtido para a transcondutância e condutância de dreno ao comparar o modelo com as simulações foi de 4% e 17%, respectivamente. Em relação ao ganho de tensão, houve uma variação de apenas 2 dB para a estrutura A-SC com  $W_S = 10$   $\mu\text{m}$ ;  $W_D = 1$   $\mu\text{m}$ ;  $L_S = 2$   $\mu\text{m}$ ,  $L_D = 2$   $\mu\text{m}$  enquanto que todas as outras estruturas apresentaram praticamente o mesmo ganho de tensão em malha aberta.

Tabela 6 – Transcondutância, condutância de dreno e ganho de tensão em malha aberta extraídos a partir dos resultados simulados e modelados em  $V_{DS} = 1,5 \text{ V}$  e  $V_{GT} = 200 \text{ mV}$  para diversas estruturas A-SC

Estruturas A-SC				$g_m (\mu\text{S})$		$g_D (\text{S})$		$A_V (\text{dB})$	
$W_S$ ( $\mu\text{m}$ )	$W_D$ ( $\mu\text{m}$ )	$L_S$ ( $\mu\text{m}$ )	$L_D$ ( $\mu\text{m}$ )	Sim.	Mod.	Sim.	Mod.	Sim.	Mod.
1	10	2	2	6,2	6,4	$4,2 \times 10^{-10}$	$4,6 \times 10^{-10}$	83	83
1	3	2	2	6,1	6,3	$5,8 \times 10^{-10}$	$6,4 \times 10^{-10}$	80	80
1	2	2	2	6,1	6,3	$6,7 \times 10^{-10}$	$7,2 \times 10^{-10}$	79	79
1	1	2	2	6,0	6,0	$8,9 \times 10^{-10}$	$9,6 \times 10^{-10}$	76	76
2	1	2	2	11,9	11,8	$2,5 \times 10^{-9}$	$2,4 \times 10^{-9}$	74	74
3	1	2	2	17,6	17,4	$4,0 \times 10^{-9}$	$3,9 \times 10^{-9}$	73	73
10	1	2	2	52,4	54,2	$2,9 \times 10^{-8}$	$2,4 \times 10^{-8}$	65	67
1	1	2	10	5,4	5,6	$4,4 \times 10^{-10}$	$4,2 \times 10^{-10}$	82	82
1	1	10	2	1,0	1,0	$1,4 \times 10^{-11}$	$1,5 \times 10^{-11}$	97	96

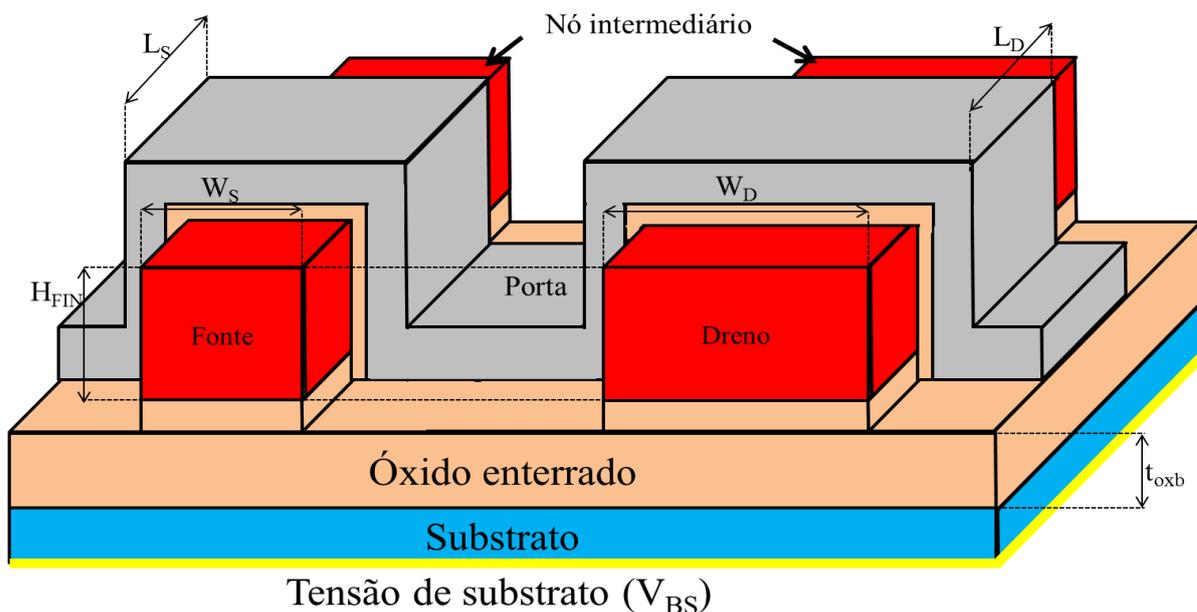
Fonte: Autor

Todas estas comparações validam o modelo analítico de corrente de dreno proposto para a associação série assimétrica de transistores SOI nMOS FD planares.

## 7 DESEMPENHO ANALÓGICO DA ASSOCIAÇÃO SÉRIE ASSIMÉTRICA DE NANOFIOS TRANSISTORES SOI NMOS FD

Para a continuidade da tecnologia CMOS, o escalamento dos transistores se torna cada vez mais necessário. De maneira a alcançar um melhor controle eletrostático sobre as cargas do canal, foram propostos os transistores de múltiplas portas, reduzindo os efeitos de canal curto. Neste capítulo, o objetivo é avaliar o desempenho analógico da associação série assimétrica composta por nanofios transistores SOI nMOS FD, como mostrado na Figura 78. A partir de medidas experimentais obtidas através do analisador de parâmetros semicondutores Keithley 4200, foram estudadas a influência da largura de canal dos transistores próximos à fonte e ao dreno, e da polarização de substrato, bem como a operação em baixa potência, sendo também discutida a distorção harmônica gerada por estas estruturas A-SC.

Figura 78 – Associação série assimétrica de nanofios transistores SOI nMOS FD



Fonte: Autor

Os transistores medidos são nanofios SOI nMOS FD de porta tripla fabricados no CEA-Leti (BARRAUD et al., 2012; COQUAND et al., 2013). Estes dispositivos apresentam espessura do óxido enterrado de 145 nm, material de porta composto por HfSiON/TiN com espessura efetiva do óxido de 1,4 nm, altura do *fin* em torno de 11 nm. Foram estudados dois grupos de transistores: o primeiro com comprimento de canal de 100 nm, e larguras de canal de 15 e 100 nm, implementados em uma estrutura multi-dedos com 10 *fins* em paralelo; o

segundo grupo, utilizado para o estudo em baixa potência e a análise da distorção harmônica, possui transistores com comprimento de canal de 80 nm e larguras de canal de 10, 40 e 220 nm, apresentando um único *fin*.

Como o canal dos nanofios é intencionalmente não dopado, a tensão de limiar não pode ser modificada através da alteração da concentração de dopantes do canal, porém pode ser alterada através da tensão de substrato. Ao polarizar o substrato, as tensões de limiar dos nanofios individuais com distintas larguras de canal não sofrem a mesma alteração, devido à diferença do acoplamento eletrostático entre os transistores com diferentes geometrias. Desta forma, é possível configurar uma associação série assimétrica de transistores.

As estruturas A-SC foram formadas pela associação série dos nanofios previamente mencionados, mantendo o transistor com maior tensão de limiar próximo à fonte, independentemente da sua largura de canal.

## 7.1 OPERAÇÃO EM REGIME DE INVERSÃO MODERADA/FORTE

A Tabela 7 apresenta as tensões de limiar extraídas para os transistores isolados variando a tensão de substrato. A partir destes resultados, é possível notar uma maior influência da polarização de substrato na tensão de limiar do transistor isolado mais largo, o que está ligado ao menos efetivo controle eletrostático da porta sobre as cargas do canal em comparação com o transistor isolado mais estreito. Como esperado, o aumento da tensão de substrato diminui a tensão de limiar, visto que há uma redução da densidade de cargas de depleção controlada pela porta.

Tabela 7 – Tensão de limiar extraída para os transistores isolados variando  $V_{BS}$

$V_{BS}$ (V)	Tensões de limiar (V)	
	ST W = 15 nm	ST W = 100 nm
-12	0,47	0,50
0	0,43	0,37
12	0,37	0,17

Fonte: Autor

A Tabela 8 apresenta as tensões de limiar extraídas para as associações séries assimétricas de transistores variando a tensão de substrato. Como mencionado anteriormente, a estrutura A-SC é composta pelo transistor próximo à fonte com maior tensão de limiar. Desta maneira, para  $V_{BS} = -12$  V, o transistor próximo à fonte apresenta  $W = 100$  nm e o

transistor próximo ao dreno possui  $W = 15$  nm. Para os outros valores de polarização de substrato, tem-se  $W_S = 15$  nm e  $W_D = 100$  nm. Pode-se notar também que a associação série de transistores se torna mais assimétrica com o aumento da tensão de substrato, uma vez que há uma maior diferença entre as tensões de limiar dos transistores  $M_S$  e  $M_D$ . Além disso, sua tensão de limiar tende à tensão de limiar do transistor próximo à fonte.

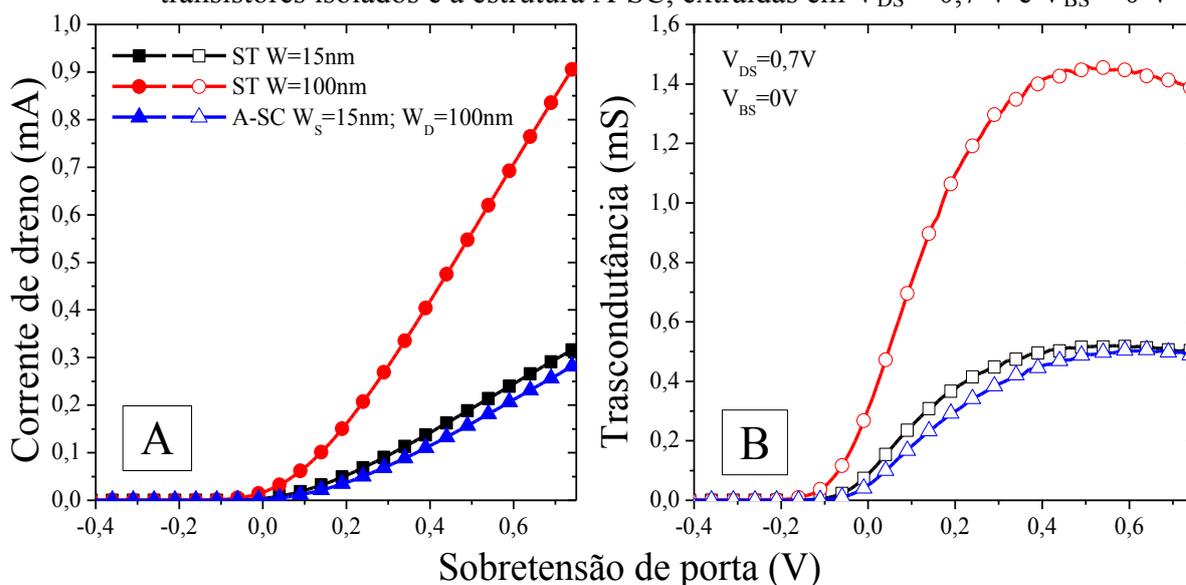
Tabela 8 – Tensão de limiar extraída para as associações séries assimétricas de transistores variando  $V_{BS}$

$V_{BS}$ (V)	$W_S$ (nm)	$W_D$ (nm)	$V_{TH}$ (V)
-12	100	15	0,48
0	15	100	0,41
12	15	100	0,35

Fonte: Autor

A Figura 79 exibe a corrente de dreno (A) e a transcondutância (B) em função da sobretensão de porta, extraídas em  $V_{DS} = 0,7$  V e  $V_{BS} = 0$  V, para os transistores isolados e a estrutura A-SC. Pode-se verificar que a estrutura A-SC apresenta corrente de dreno e transcondutância similares ao transistor isolado com  $W = 15$  nm, uma vez que, assim como no caso dos transistores planares, o transistor próximo à fonte é o dispositivo dominante na associação série assimétrica de transistores (SOUZA et al., 2016).

Figura 79 – Corrente de dreno e transcondutância em função da sobretensão de porta para os transistores isolados e a estrutura A-SC, extraídas em  $V_{DS} = 0,7$  V e  $V_{BS} = 0$  V



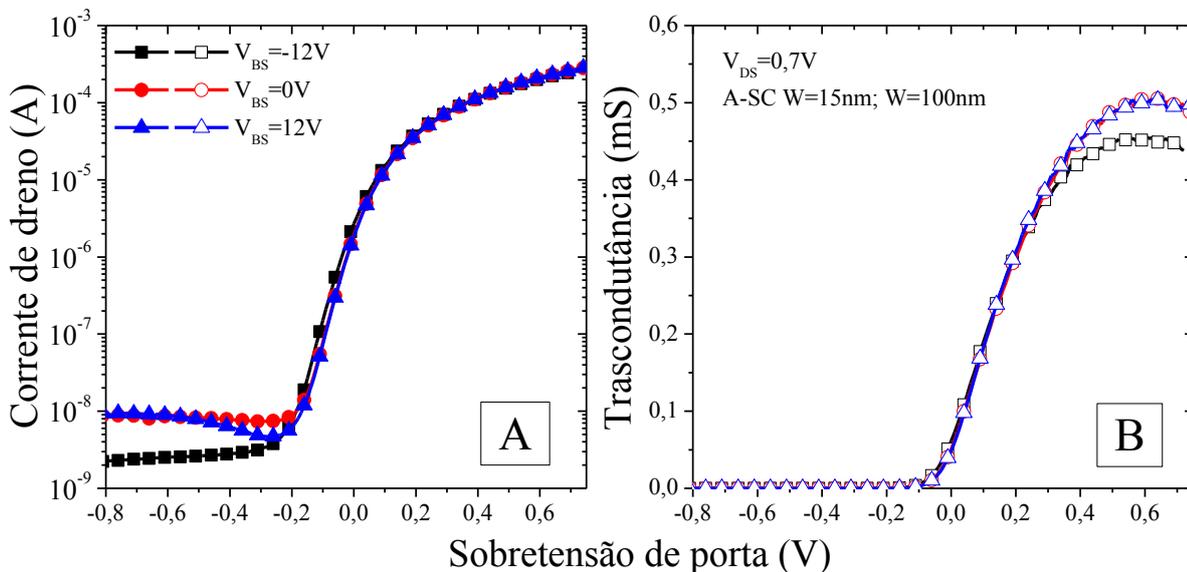
Fonte: Autor

Legenda: (A) Corrente de dreno.  
(B) Transcondutância.

A pequena redução da corrente de dreno e da transcondutância verificada para a estrutura A-SC comparada com o transistor isolado mais estreito está ligada à presença do transistor  $M_D$  em série, aumentando a resistência ao fluxo de corrente de dreno e, conseqüentemente, reduzindo o potencial intermediário entre os transistores próximos à fonte e ao dreno. Para os transistores isolados, o aumento da largura de canal incrementa a corrente de dreno e a transcondutância, como esperado.

As curvas da corrente de dreno (A) e da transcondutância (B) da associação série assimétrica de transistores para diferentes tensões de substrato são mostradas na Figura 80 em função da sobretensão de porta, extraídas em  $V_{DS} = 0,7 \text{ V}$ . É possível observar que a corrente de dreno e a transcondutância, bem como a inclinação de submiliar são pouco afetadas pela tensão de substrato, exceto para  $V_{BS} = -12 \text{ V}$ . Neste caso,  $W_S$  é maior do que  $W_D$ , portanto, a resistência de canal do transistor  $M_D$  é maior do que a resistência de canal do transistor  $M_S$ , reduzindo o potencial intermediário e o pico de transcondutância. Além disso, há uma menor fuga de dreno induzida pela porta (GIDL) em  $V_{BS} = -12 \text{ V}$ , o que está relacionado à presença de uma forte tensão negativa de substrato, prevenindo o tunelamento de elétrons da banda de valência para a banda de condução (LIU et al., 2011).

Figura 80 – Corrente de dreno e transcondutância em função da sobretensão de porta para a associação série assimétrica de transistores, extraídas em  $V_{DS} = 0,7 \text{ V}$



Fonte: Autor

Legenda: (A) Corrente de dreno.

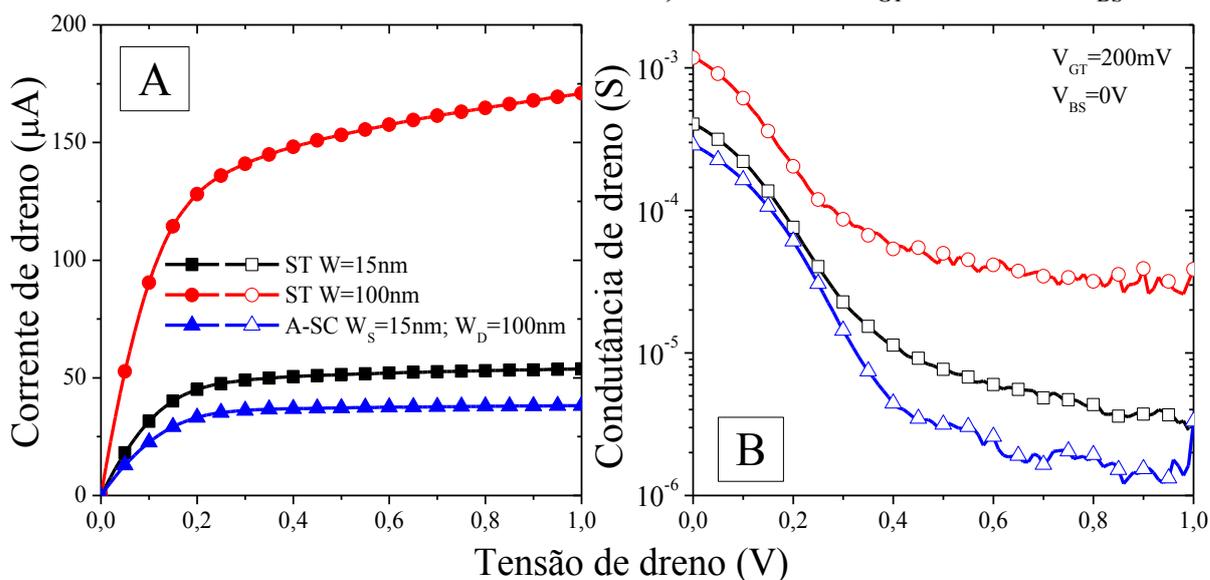
(B) Transcondutância.

A Figura 81 exibe a corrente de dreno (A) e a condutância de dreno (B) em função da tensão de dreno, extraídas em  $V_{GT} = 200 \text{ mV}$  e  $V_{BS} = 0 \text{ V}$  para os transistores isolados e a

estrutura A-SC. Conforme visto anteriormente, para baixa sobretensão de porta, a estrutura A-SC é governada pelo transistor próximo à fonte. No entanto, é possível notar menores níveis de corrente de dreno e condutância de dreno para a estrutura A-SC, uma vez que parte da tensão de dreno aplicada é absorvida pelo transistor próximo ao dreno, reduzindo o potencial intermediário e, conseqüentemente, a corrente de dreno. A presença do transistor  $M_D$  em série é também responsável pela diminuição da variação do potencial intermediário com a tensão de dreno, reduzindo a condutância de dreno.

Como esperado, ao incrementar a largura de canal dos nanofios isolados, há um aumento da corrente de dreno e da condutância de dreno. O mais forte controle eletrostático fornecido pelo transistor mais estreito é também responsável por melhorar (diminuir) a condutância de dreno.

Figura 81 – Corrente de dreno e condutância de dreno em função da tensão de dreno para os transistores isolados e a estrutura A-SC, extraídas em  $V_{GT} = 200$  mV e  $V_{BS} = 0$  V



Fonte: Autor

Legenda: (A) Corrente de dreno.

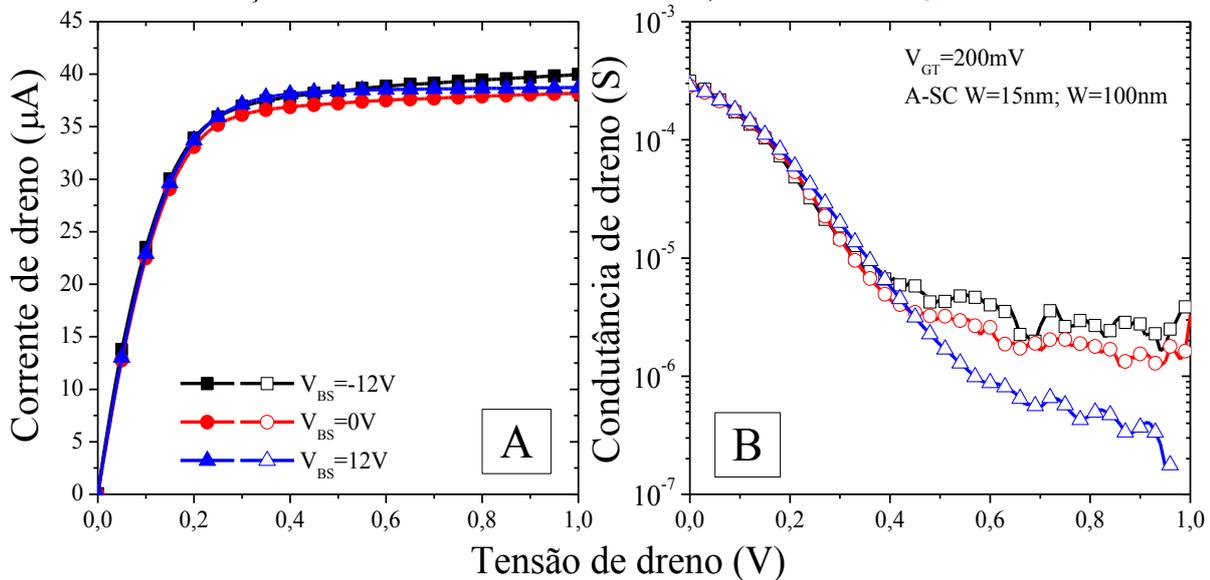
(B) Condutância de dreno.

Na Figura 82, a corrente de dreno (A) e a condutância de dreno (B) são apresentadas em função da tensão de dreno para a estrutura A-SC, extraídas em  $V_{GT} = 200$  mV e diversas tensões de substrato. É possível verificar que quanto maior a polarização de substrato, menor a condutância de dreno, visto que há uma maior diferença entre as tensões de limiar dos transistores  $M_S$  e  $M_D$ , porém a corrente de dreno não é alterada.

Ao usar o dispositivo mais largo como o transistor próximo à fonte ( $V_{BS} = -12$  V), há um aumento da condutância de dreno, uma vez que esta estrutura é praticamente uma

associação série simétrica devido à similaridade entre as tensões de limiar dos transistores próximos à fonte e ao dreno.

Figura 82 – Corrente de dreno e condutância de dreno em função da tensão de dreno para a associação série assimétrica de transistores, extraídas em  $V_{GT} = 200$  mV



Fonte: Autor

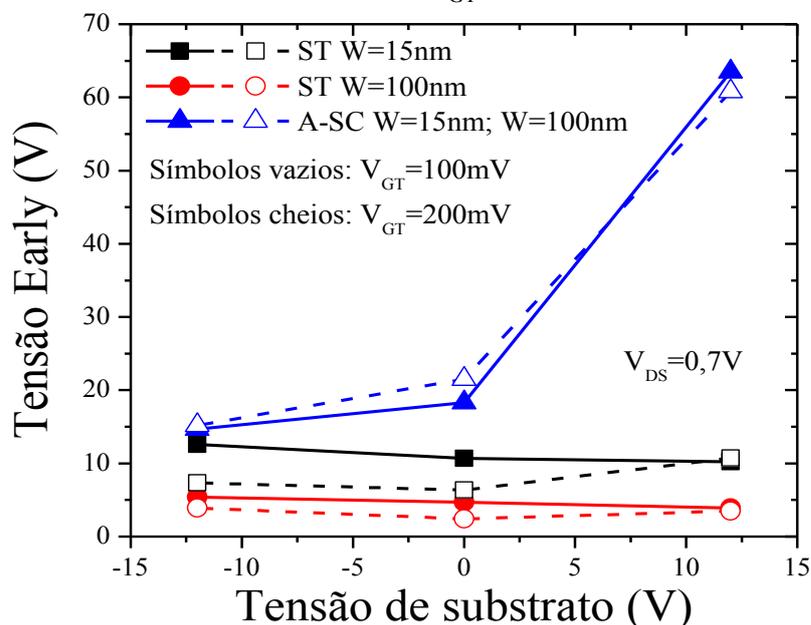
Legenda: (A) Corrente de dreno.

(B) Condutância de dreno.

A Figura 83 apresenta a tensão Early em função da tensão de substrato para os transistores isolados e a associação série assimétrica de transistores, extraída em  $V_{DS} = 0,7$  V e duas diferentes sobretensões de porta. Para os transistores isolados, a tensão Early aumenta com o estreitamento do nanofio, como resultado do maior acoplamento eletrostático que diminui a influência da tensão de dreno sobre a corrente de dreno. Um leve aumento da tensão Early é também observado quando a polarização de substrato é negativa.

No caso das estruturas A-SC, pode-se observar uma maior tensão Early comparada com os nanofios isolados, indicando que a redução da corrente de dreno causada pela associação série de dois transistores é menos pronunciada do que o decréscimo da condutância de dreno. Ao contrário dos transistores isolados, as estruturas A-SC exibem um aumento da tensão Early com o incremento da tensão de substrato. Um aumento de 50 V é verificado na tensão Early em  $V_{BS} = 12$  V quando comparado com  $V_{BS} = -12$  V devido à maior assimetria entre as tensões de limiar dos transistores  $M_S$  e  $M_D$ . É importante mencionar que a tensão Early dos transistores isolados não é maior do que 13 V. Além disso, a sobretensão de porta não afeta significativamente a tensão Early destes dispositivos.

Figura 83 – Tensão Early em função da tensão de substrato para os transistores isolados e a associação série assimétrica de transistores, extraída em  $V_{DS} = 0,7$  V e dois diferentes  $V_{GT}$

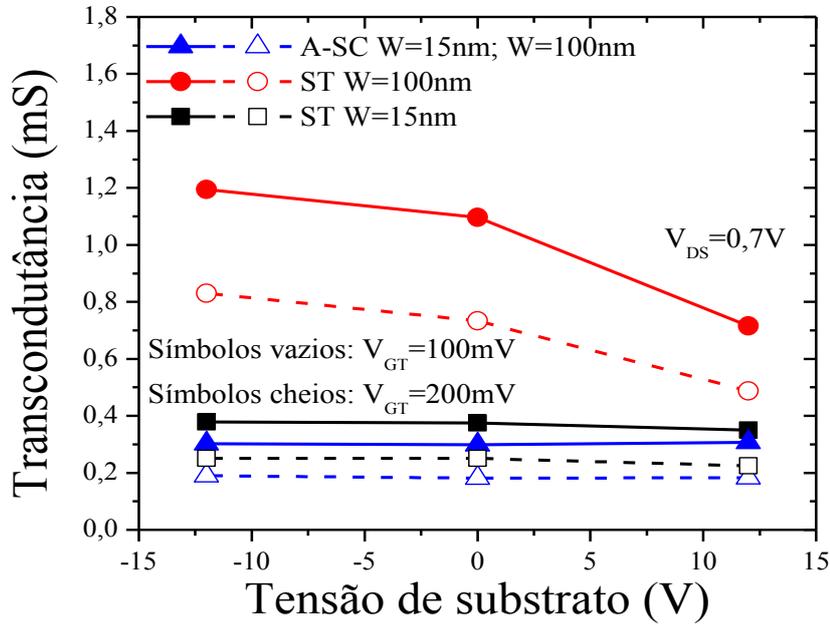


Fonte: Autor

A Figura 84 exibe a transcondutância em função da tensão de substrato para os mesmos dispositivos analisados na Figura 83, extraída em  $V_{DS} = 0,7$  V e dois valores de sobretensão de porta. É possível observar que a variação da polarização de substrato não afeta significativamente a transcondutância destes dispositivos, exceto para o transistor isolado com  $W = 100$  nm, o que está relacionado à maior influência da polarização de substrato no controle das cargas do canal, ligado ao seu menos efetivo controle eletrostático de porta. Todos os nanofios isolados exibem maior transcondutância comparada com as estruturas A-SC devido à resistência adicionada pelo transistor próximo ao dreno. Além disso, o aumento da largura de canal dos transistores isolados e da sobretensão de porta eleva  $g_m$ .

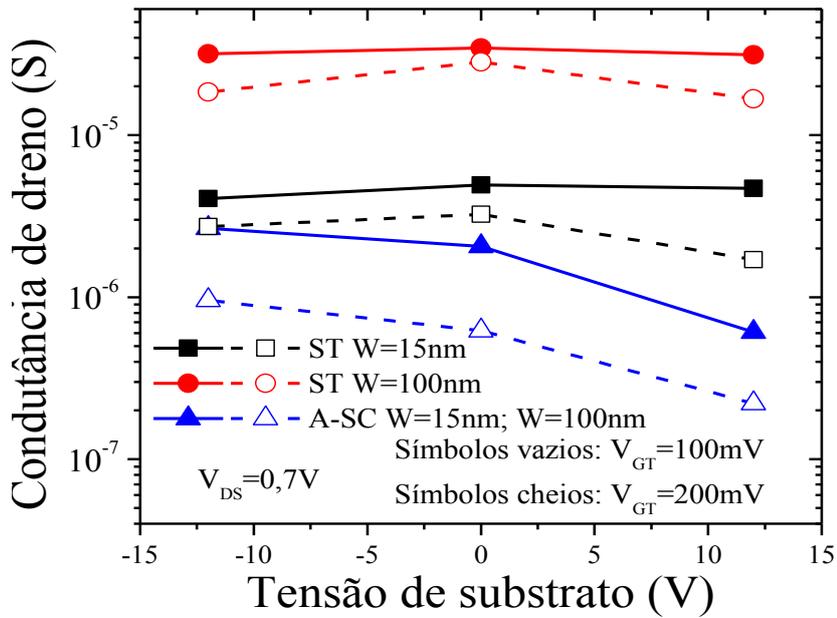
A Figura 85 apresenta a condutância de dreno em função da polarização de substrato para os mesmos dispositivos e condições de polarização da Figura 83. Para os transistores isolados, a influência da tensão de substrato sobre a condutância de dreno não é tão significativa. Entretanto, para as estruturas A-SC, uma importante redução de  $g_D$  com o incremento da polarização de substrato é observada, uma vez que a associação série de transistores se torna mais assimétrica, reduzindo o efeito de modulação do comprimento de canal.

Figura 84 – Transcondutância em função da tensão de substrato para os transistores isolados e a associação série assimétrica de transistores, extraída em  $V_{DS} = 0,7\text{ V}$  e dois distintos  $V_{GT}$



Fonte: Autor

Figura 85 – Condutância de dreno em função da tensão de substrato para os transistores isolados e a associação série assimétrica de transistores, extraída em  $V_{DS} = 0,7\text{ V}$  e duas distintas sobretensões de porta



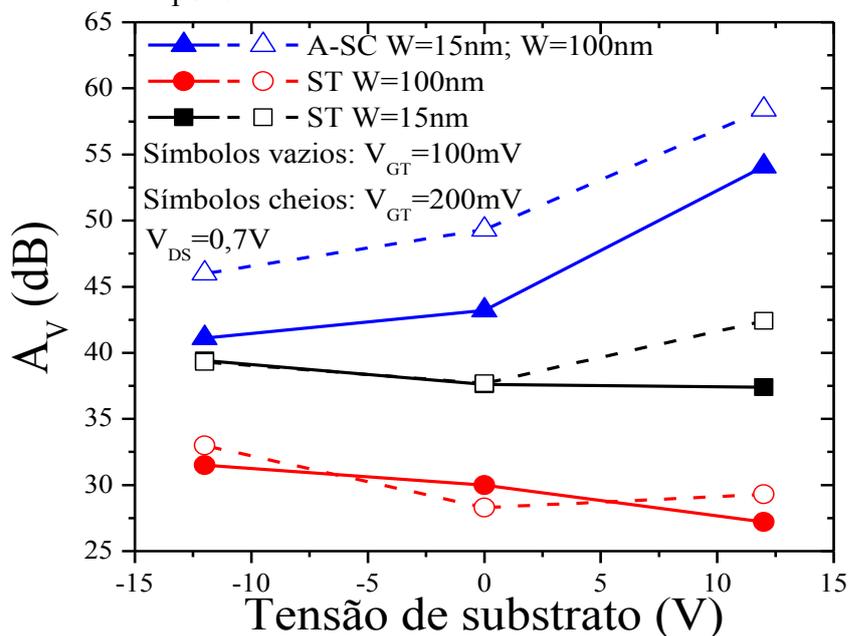
Fonte: Autor

Como previamente mencionado, para  $V_{BS} = -12\text{ V}$ , a diminuição da condutância de dreno é menos significativa, visto que a diferença entre as tensões de limiar dos transistores

$M_S$  e  $M_D$  tende a 0 V. Ao comparar a estrutura A-SC e o transistor isolado com  $W = 15$  nm polarizados em  $V_{GT} = 200$  mV e  $V_{DS} = 0,7$  V, nota-se uma redução da condutância de dreno de 1,5 e 7,7 vezes para  $V_{BS} = -12$  V e 12 V, respectivamente, no caso da estrutura A-SC. Além disso, o incremento da largura de canal dos nanofios isolados e da sobretensão de porta aumenta a condutância de dreno.

Na Figura 86, o ganho de tensão em malha aberta é apresentado em função da polarização de substrato para os mesmos dispositivos e condições de polarização da Figura 83. Uma vez que todas as estruturas A-SC apresentam menor condutância de dreno comparada com os nanofios isolados, um maior ganho de tensão em malha aberta é verificado, e principalmente quando a polarização de substrato é positiva, o que está ligado à maior assimetria entre as tensões de limiar dos transistores  $M_S$  e  $M_D$ .

Figura 86 – Ganho de tensão em malha aberta em função da tensão de substrato para os transistores isolados e a associação série assimétrica de transistores, extraído em  $V_{DS} = 0,7$  V e duas diferentes sobretensões de porta



Fonte: Autor

Para  $V_{BS} = -12$  V, a associação série de transistores é praticamente simétrica, logo, o comprimento efetivo de canal tende à  $L_S + L_D$  em toda a faixa de tensões de porta, portanto, não há um deslocamento da tensão de dreno para o nó intermediário (SOUZA et al., 2016). Desta forma, o efeito de modulação do comprimento de canal não é tão minimizado pela

inversão antecipada do transistor  $M_D$ , como obtido para a estrutura A-SC com maior diferença entre as tensões de limiar dos transistores próximos à fonte e ao dreno.

Ao incrementar a largura de canal dos transistores isolados e a sobretensão de porta, verifica-se um aumento da transcondutância e da condutância de dreno, porém a elevação da condutância de dreno é mais pronunciada, diminuindo o ganho de tensão em malha aberta em ambos os casos.

Sumarizando os resultados do desempenho analógico da associação série assimétrica de nanofios SOI nMOSFET em regime de inversão moderada/forte, notou-se que a tensão de substrato promove diferentes variações da tensão de limiar entre os nanofios. O transistor estreito apresentou maior imunidade da tensão de limiar com relação à polarização de substrato, o que está ligado ao melhor acoplamento eletrostático de porta. As estruturas A-SC exibiram menor transcondutância e condutância de dreno, mas maior ganho de tensão em malha aberta comparado com os transistores isolados. Ao aumentar a tensão de substrato de -12 a 12 V, houve um acréscimo da diferença entre as tensões de limiar dos transistores  $M_S$  e  $M_D$ , reduzindo  $g_D$  e incrementando  $A_V$  em 13 dB e  $V_{EA}$  em 50 V.

## 7.2 OPERAÇÃO EM BAIXA POTÊNCIA

Atualmente, a busca por circuitos cada vez mais eficientes energeticamente, sejam eles para aplicações digitais, analógicas ou mistas, traz a necessidade de se buscar transistores capazes de operar com grande confiabilidade em circuitos de baixa tensão e reduzido consumo de potência. Em sequência ao trabalho desenvolvido na Seção 7.1, foi explorado, a partir de medidas experimentais, o desempenho analógico da associação série assimétrica de nanofios transistores SOI nMOS polarizada próxima ao regime de sublimiar, visando aplicações em baixa potência. Foram estudados nanofios com comprimento de canal de 80 nm e larguras de canal de 10, 40 e 220 nm.

A Tabela 9 apresenta a tensão de limiar e a inclinação de sublimiar extraídas para os nanofios isolados e as associações séries assimétricas de transistores variando a tensão de substrato. É possível observar que o acréscimo da tensão de substrato reduz a tensão de limiar, especialmente para o transistor mais largo, devido ao menor controle eletrostático de porta sobre as cargas do canal. Conforme visto anteriormente, a associação série de transistores se torna mais assimétrica com o incremento da tensão de substrato. Pode-se notar também que o uso da associação série assimétrica de transistores degrada levemente a inclinação de sublimiar em comparação com os transistores isolados que a compõe.

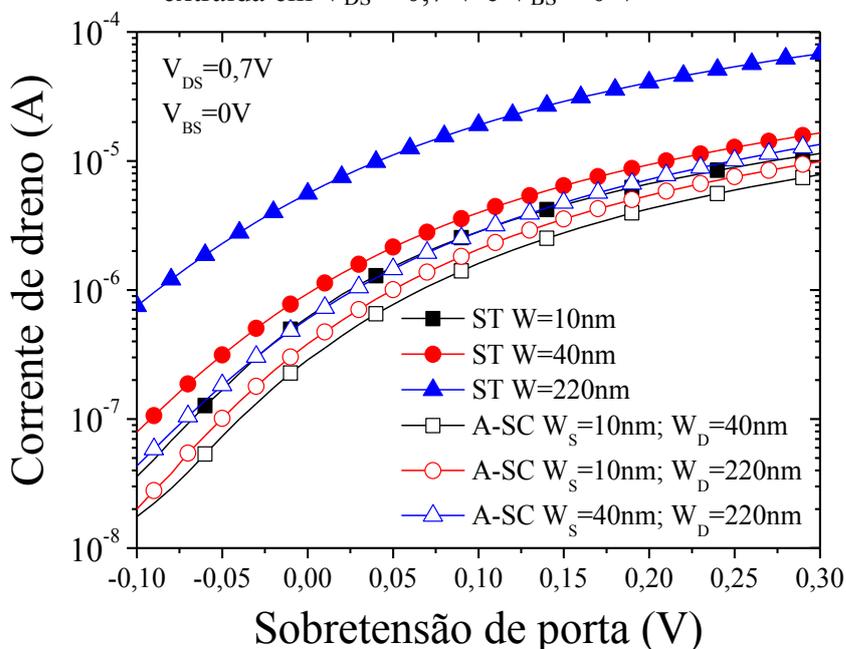
Tabela 9 – Tensão de limiar e inclinação de sublimiar extraídas para os nanofios isolados e as associações séries assimétricas de transistores

Nanofios L = 80 nm	$V_{BS} = -12 \text{ V}$		$V_{BS} = 0 \text{ V}$		$V_{BS} = 12 \text{ V}$	
	$V_{TH}$ (V)	SS (mV/dec)	$V_{TH}$ (V)	SS (mV/dec)	$V_{TH}$ (V)	SS (mV/dec)
ST W = 10 nm	0,45	64	0,42	62	0,38	62
ST W = 40 nm	0,45	65	0,36	69	0,22	73
ST W = 220 nm	0,50	70	0,34	74	0,08	79
A-SC W = 10 nm; W = 40 nm	0,45	79	0,41	75	0,35	75
A-SC W = 10 nm; W = 220 nm	0,46	74	0,41	72	0,37	72
A-SC W = 40 nm; W = 220 nm	0,47	80	0,36	76	0,21	83

Fonte: Autor

A Figura 87 apresenta a corrente de dreno em função da sobretensão de porta, extraída em  $V_{DS} = 0,7 \text{ V}$  e  $V_{BS} = 0 \text{ V}$ . É possível observar que todas as estruturas A-SC exibem menor corrente de dreno comparada com os transistores isolados, mesmo usando o transistor mais largo que apresenta maior inclinação de sublimiar, o que está relacionado à presença do transistor  $M_D$  em série, reduzindo a tensão de dreno efetiva sobre o transistor  $M_S$  dominante.

Figura 87 – Corrente de dreno em função da sobretensão de porta para os transistores isolados e as estruturas A-SC, extraída em  $V_{DS} = 0,7 \text{ V}$  e  $V_{BS} = 0 \text{ V}$



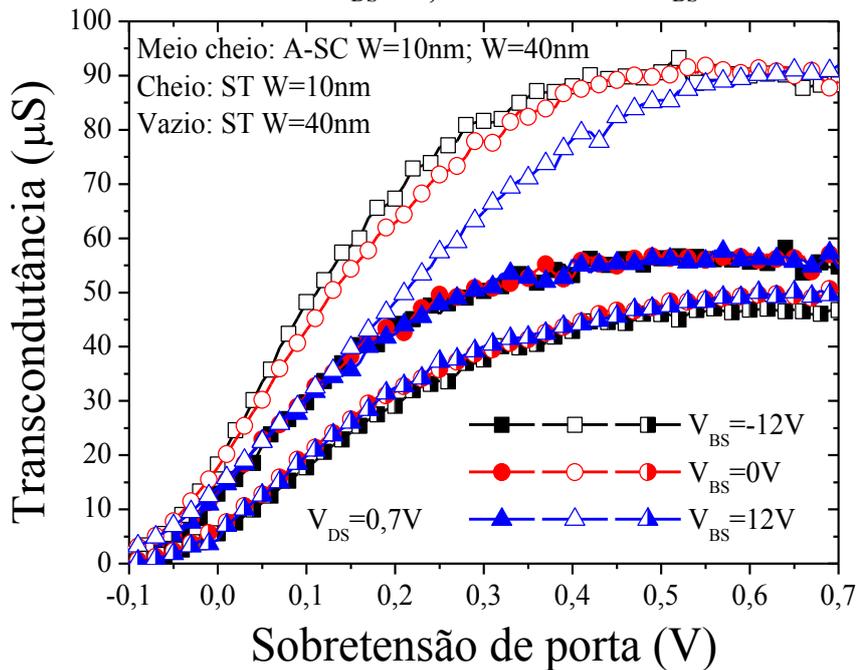
Fonte: Autor

O menor nível de corrente de dreno é obtido para a estrutura A-SC composta pelos nanofios mais estreitos, uma vez que as suas menores larguras de canal reduzem o fluxo de

corrente de dreno. Quando  $W_D$  aumenta, verifica-se um incremento de  $I_D$ , porém menor quando comparado com o aumento de  $I_D$  causado por  $W_S$ , devido ser o transistor dominante.

A Figura 88 apresenta a transcondutância em função da sobretensão de porta, extraída em  $V_{DS} = 0,7$  V e diferentes  $V_{BS}$ . Nota-se uma menor transcondutância para a estrutura A-SC, ligada à resistência adicionada pelo transistor  $M_D$ . É possível constatar também que o ST com  $W = 10$  nm é mais imune à tensão de substrato, o mesmo acontece para a estrutura A-SC com  $W_S = 10$  nm;  $W_D = 40$  nm no caso de  $V_{BS}$  nulo ou positivo. Quando a tensão de substrato se torna negativa, o transistor mais largo é colocado próximo à fonte. Desta forma, há uma maior resistência de canal do transistor  $M_D$ , diminuindo  $V_X$  e o pico de transcondutância. No caso do ST com  $W = 40$  nm, o aumento de  $V_{BS}$  tende a formar uma camada de inversão na segunda interface, reduzindo  $g_m$  devido à menor qualidade da interface Si-SiO<sub>2</sub>.

Figura 88 – Transcondutância em função da sobretensão de porta para os transistores isolados e a estrutura A-SC, extraída em  $V_{DS} = 0,7$  V e diferentes  $V_{BS}$



Fonte: Autor

Visto que os dispositivos estudados são transistores de canal curto, a resistência série possui um papel de destaque, limitando o fluxo de corrente de dreno, sendo apresentada na Tabela 10 para os nanofios isolados e as estruturas A-SC. Quanto menor  $W$ , maior  $R_S$ , o que explica a maior resistência série obtida para a estrutura A-SC formada pelos transistores mais estreitos. Pode-se notar que a resistência série das estruturas A-SC é praticamente a soma de  $R_S$  de cada transistor  $M_S$  e  $M_D$ .

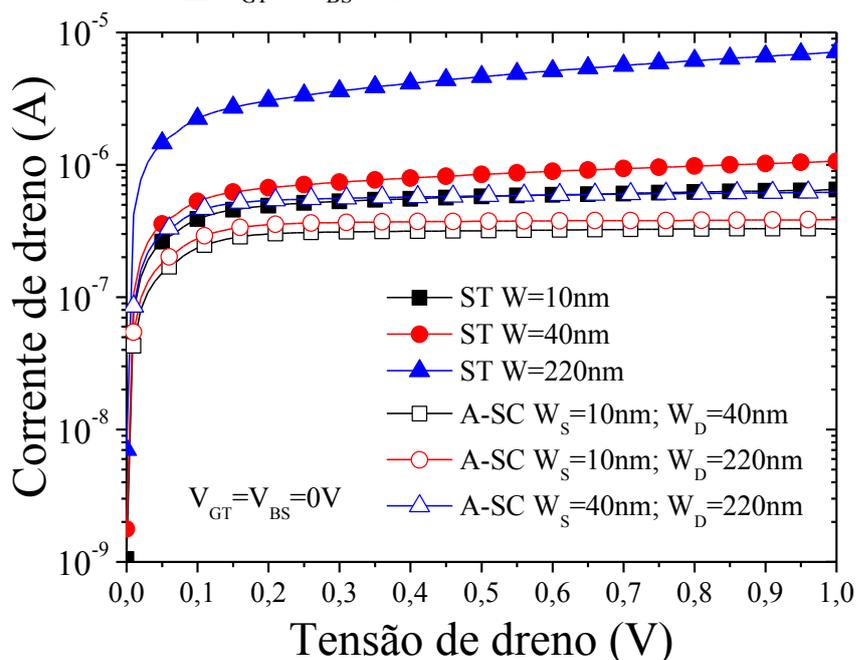
Tabela 10 – Resistência série dos nanofios isolados e as associações séries assimétricas de transistores, extraída em  $V_{DS} = 50 \text{ mV}$  e  $V_{BS} = 0 \text{ V}$ .

NWs $L = 80 \text{ nm}$	$R_s \text{ (k}\Omega\text{)}$
ST $W = 10 \text{ nm}$	7,5
ST $W = 40 \text{ nm}$	4,4
ST $W = 220 \text{ nm}$	1,2
A-SC $W = 10 \text{ nm}; W = 40 \text{ nm}$	12,9
A-SC $W = 10 \text{ nm}; W = 220 \text{ nm}$	9,0
A-SC $W = 40 \text{ nm}; W = 220 \text{ nm}$	5,5

Fonte: Autor

A Figura 89 exibe a corrente de dreno em função da tensão de dreno, extraída em  $V_{GT} = V_{BS} = 0 \text{ V}$ . É possível notar que, embora a corrente de dreno seja levemente menor em todas as associações séries assimétricas de transistores em comparação com os nanofios isolados, há uma menos pronunciada variação da corrente de dreno com a tensão de dreno em saturação no caso da estrutura A-SC. Esta é uma característica já reportada para a estrutura A-SC, uma vez que o transistor próximo ao dreno reduz o efeito de modulação do comprimento de canal (SOUZA et al., 2016). Para os transistores isolados, é possível constatar que o incremento da largura de canal aumenta significativamente a inclinação da corrente de dreno em saturação.

Figura 89 – Corrente de dreno em função da tensão de dreno para os transistores isolados e as estruturas A-SC, extraída em  $V_{GT} = V_{BS} = 0 \text{ V}$

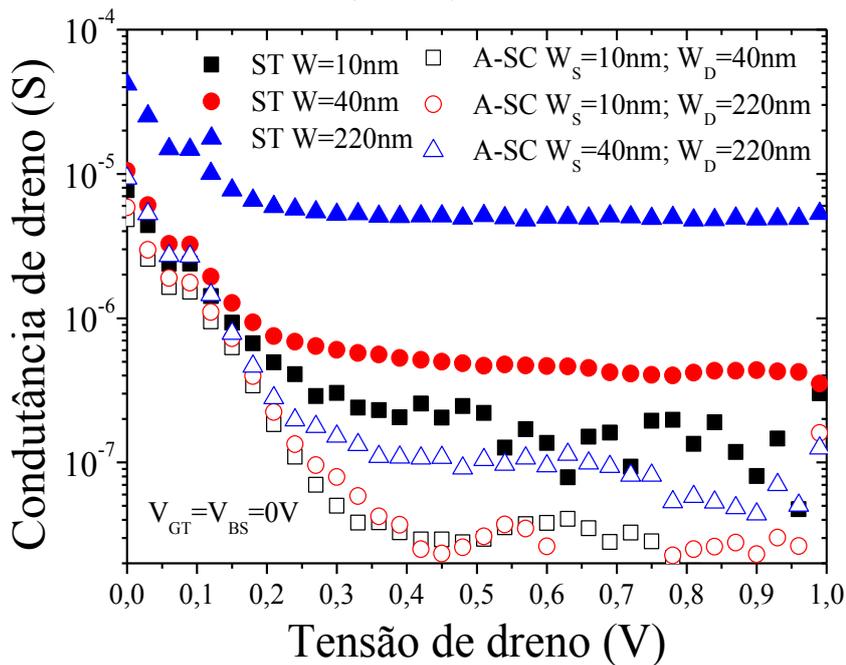


Fonte: Autor

A Figura 90 apresenta a condutância de dreno em função da tensão de dreno para os mesmos dispositivos e condições de polarização da Figura 89. Pode-se verificar uma importante redução da condutância de dreno para as estruturas A-SC com  $W_S = 10 \text{ nm}$ ;  $W_D = 40 \text{ nm}$  e A-SC com  $W_S = 10 \text{ nm}$ ;  $W_D = 220 \text{ nm}$ , o que está relacionado à presença do transistor mais estreito próximo à fonte.

Conforme relatado por Kilchytska et al. (2015), o estreitamento de um nanofio isolado promove um melhor acoplamento eletrostático, reduzindo a condutância de dreno. O uso da associação série assimétrica de transistores melhora ainda mais a condutância de dreno, sendo menor do que o valor extraído para o transistor isolado mais estreito, obtendo-se valores menores de  $g_D$  à medida que a assimetria entre as tensões de limiar dos transistores que compõem a associação série aumenta, conforme destacado na Seção 7.1.

Figura 90 – Condutância de dreno em função da tensão de dreno para os transistores isolados e as estruturas A-SC, extraída em  $V_{GT} = V_{BS} = 0 \text{ V}$



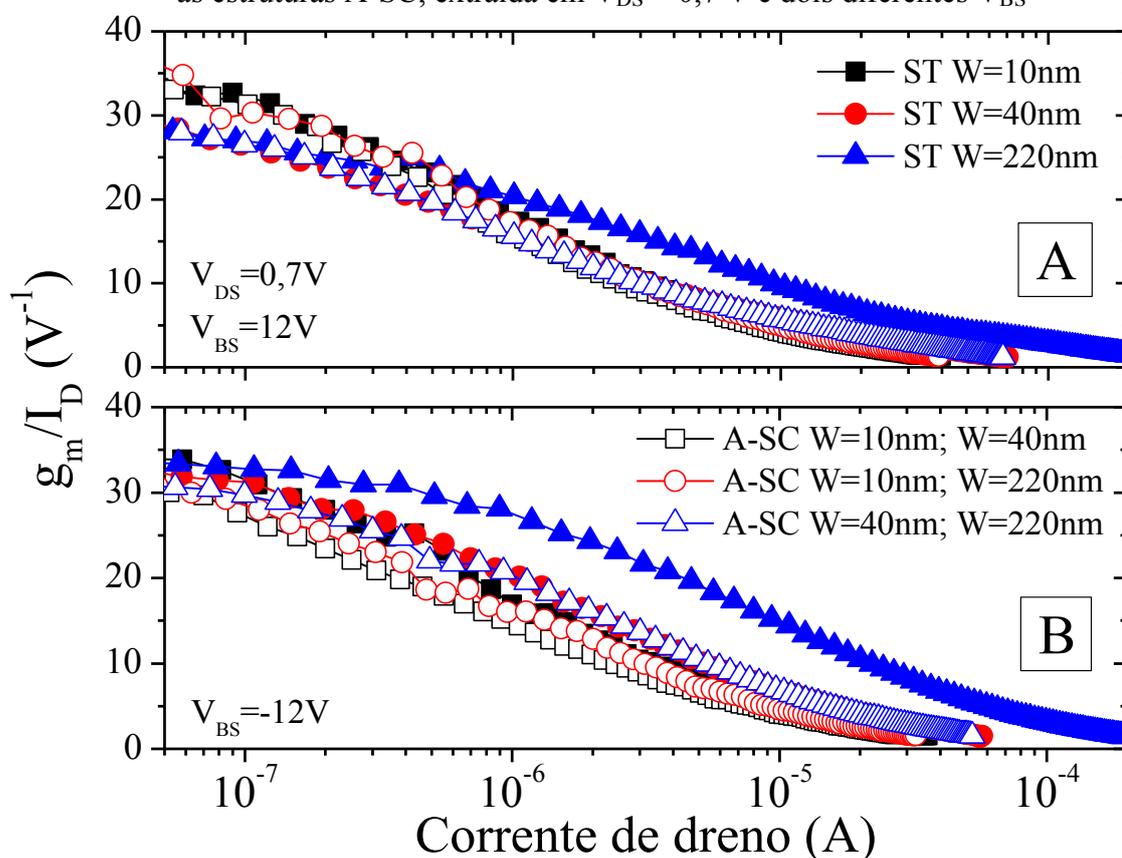
Fonte: Autor

A razão entre a transcondutância e a corrente de dreno ( $g_m/I_D$ ) é uma importante ferramenta para o projeto de circuitos analógicos e é apresentada na Figura 91 em função da corrente de dreno, extraída em  $V_{DS} = 0,7 \text{ V}$  e  $V_{BS} = 12 \text{ V}$  (A) e  $-12 \text{ V}$  (B). No caso da polarização direta do substrato, onde o transistor mais estreito está próximo à fonte, e a associação série de transistores é mais assimétrica, verifica-se que a razão  $g_m/I_D$  das estruturas A-SC é similar ao transistor  $M_S$ , que é o nanofio mais estreito usado na associação, indicando

que as vantagens do estreitamento do nanofio com relação à melhoria da inclinação de sublimiar são mantidas nas estruturas A-SC.

Com base na Figura 91(B), onde o transistor mais largo está próximo à fonte, pode-se constatar que a razão  $g_m/I_D$  das estruturas A-SC é diferente do transistor  $M_S$ , uma vez que estas estruturas são praticamente simétricas. Desta maneira, há uma redução da corrente de dreno devido ao maior comprimento efetivo de canal. Além disso, a presença de um transistor estreito próximo ao dreno diminui ainda mais o nível de corrente de dreno, deslocando as curvas de  $g_m/I_D$  para a esquerda no caso das estruturas A-SC.

Figura 91 – Razão  $g_m/I_D$  em função da corrente de dreno para os transistores isolados e as estruturas A-SC, extraída em  $V_{DS} = 0,7$  V e dois diferentes  $V_{BS}$



Fonte: Autor

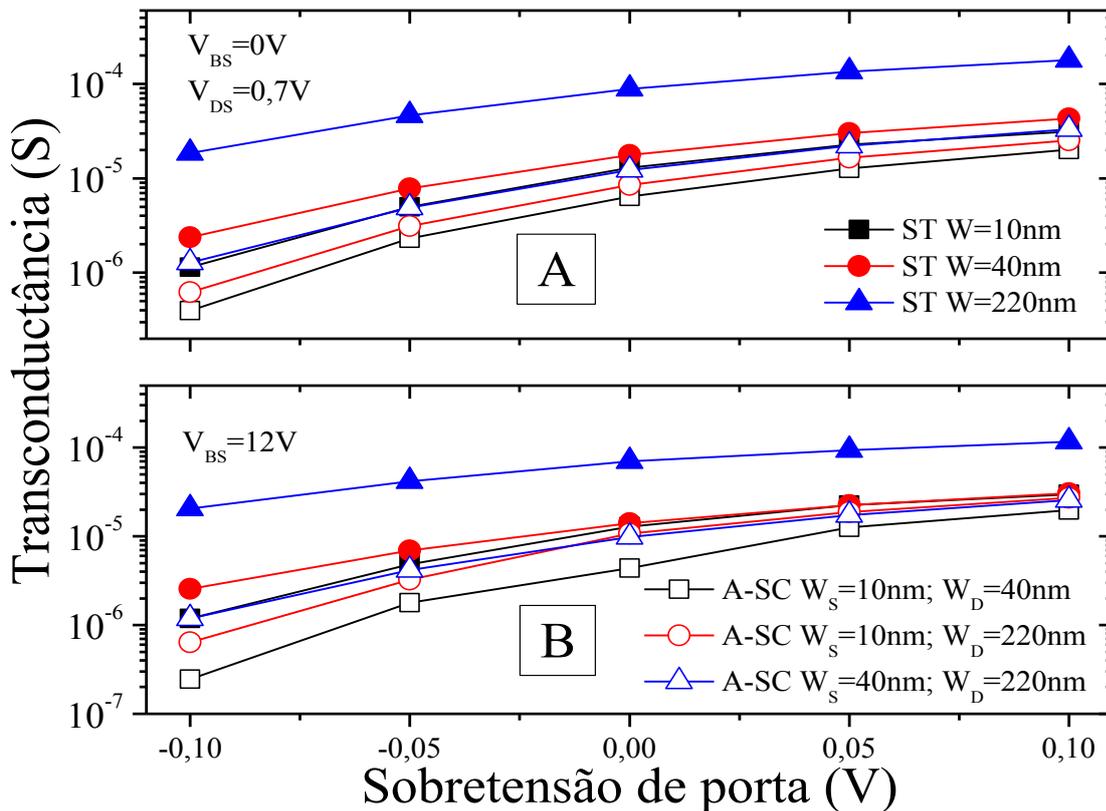
Legenda: (A)  $V_{BS} = 12$  V.

(B)  $V_{BS} = -12$  V.

Na Figura 92, a transcondutância é apresentada em função da sobretensão de porta, extraída em  $V_{DS} = 0,7$  V e,  $V_{BS} = 0$  V (A) e 12 V (B). Para o transistor isolado mais estreito e as estruturas A-SC com  $W_S = 10$  nm;  $W_D = 40$  nm e A-SC com  $W_S = 10$  nm;  $W_D = 220$  nm, pode-se notar um aumento significativo da transcondutância com o incremento da sobretensão

de porta, o que está ligado ao melhor controle eletrostático de porta, reduzindo a influência da tensão de substrato no controle das cargas do canal.

Figura 92 – Transcondutância em função da sobretensão de porta para os transistores isolados e as estruturas A-SC, extraída em  $V_{DS} = 0,7 \text{ V}$  e dois diferentes  $V_{BS}$



Fonte: Autor

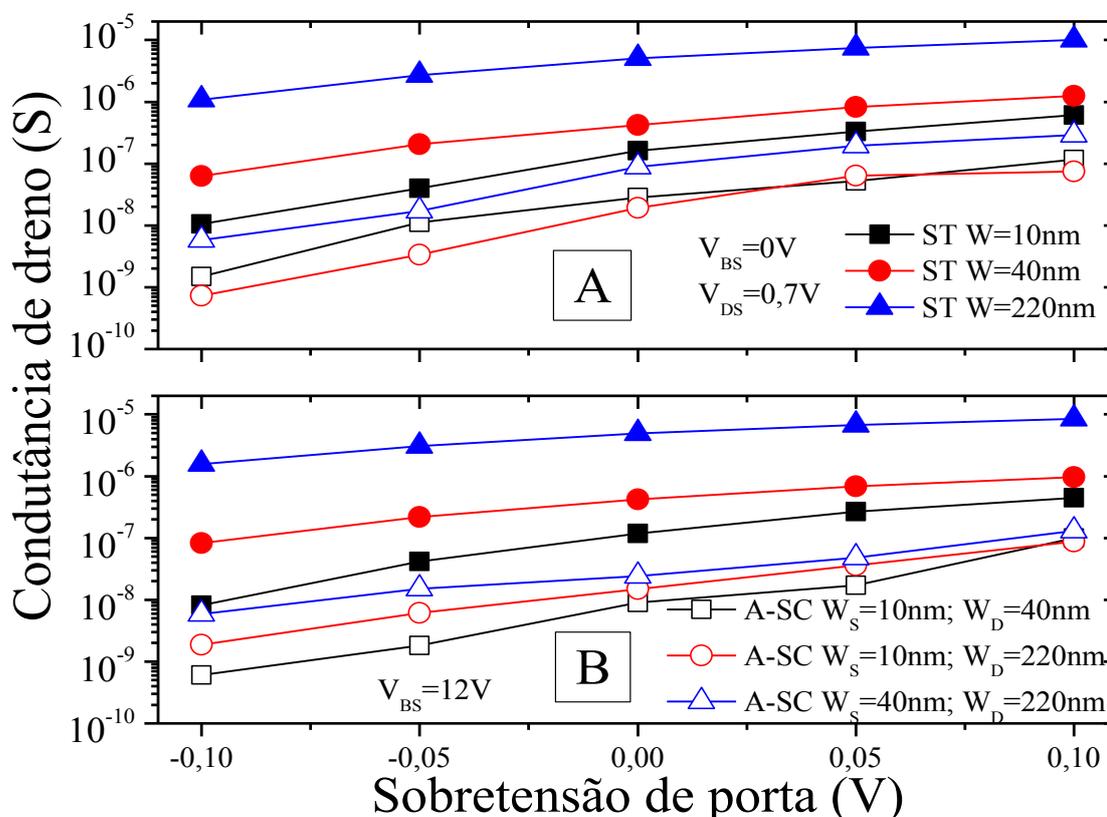
Legenda: (A)  $V_{BS} = 0 \text{ V}$ .

(B)  $V_{BS} = 12 \text{ V}$ .

A Figura 93 exibe a condutância de dreno em função da sobretensão de porta, extraída em  $V_{DS} = 0,7 \text{ V}$  e duas distintas polarizações de substrato. É possível constatar uma redução notável da condutância de dreno com o estreitamento do nanofio. O desempenho se torna ainda melhor para a associação série assimétrica de transistores, com uma redução de uma ordem de grandeza de  $g_D$ .

Para  $V_{BS} = 0 \text{ V}$ , a menor condutância de dreno é observada para a estrutura A-SC com  $W_S = 10 \text{ nm}$ ;  $W_D = 220 \text{ nm}$  devido à maior diferença entre as tensões de limiar dos transistores próximos à fonte e ao dreno. Embora, em  $V_{BS} = 12 \text{ V}$ , a mínima condutância de dreno seja verificada para a estrutura A-SC com  $W_S = 10 \text{ nm}$ ;  $W_D = 40 \text{ nm}$ , uma vez que os nanofios mais estreitos apresentam melhor acoplamento eletrostático, superando o fato de se ter uma associação série de transistores mais assimétrica.

Figura 93 – Condutância de dreno em função da sobretensão de porta para os transistores isolados e as estruturas A-SC, extraída em  $V_{DS} = 0,7\text{ V}$  e dois diferentes  $V_{BS}$



Fonte: Autor

Legenda: (A)  $V_{BS} = 0\text{ V}$ .

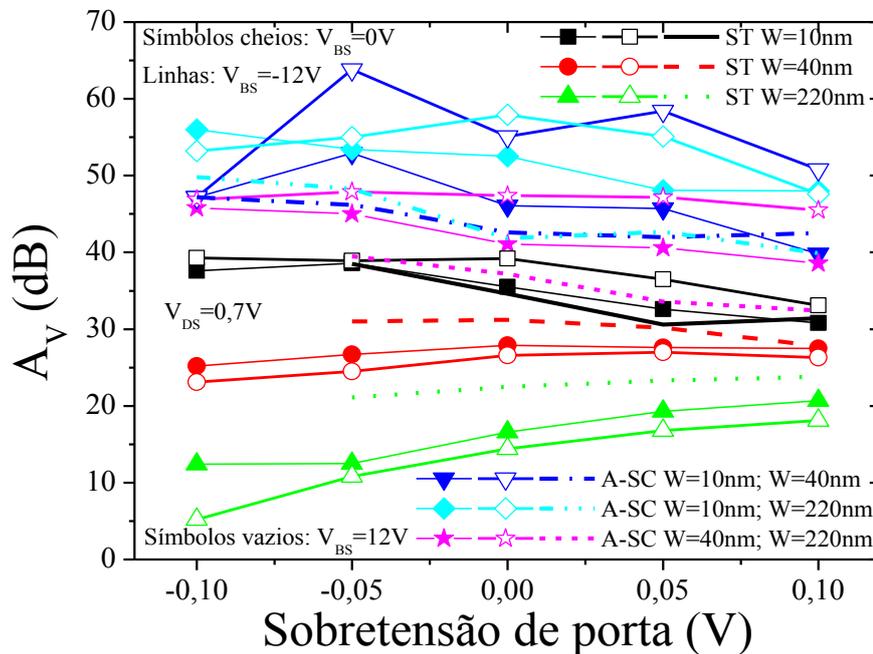
(B)  $V_{BS} = 12\text{ V}$ .

A Figura 94 apresenta o ganho de tensão em malha aberta em função da sobretensão de porta, extraído para os mesmos dispositivos da Figura 92. Para os transistores isolados mais largos, um decréscimo de  $A_V$  é constatado com a redução da sobretensão de porta e o incremento da tensão de substrato.

De maneira contrária, as associações séries assimétricas de transistores e o transistor isolado mais estreito apresentam uma elevação do ganho de tensão em malha aberta com o decréscimo de  $V_{GT}$  e o aumento de  $V_{BS}$ , visto que há uma redução significativa da condutância de dreno na Figura 93. Esta característica é especialmente adequada para aplicações LPLV analógicas, uma vez que permite alto  $A_V$  com reduzida tensão de polarização e dissipação de potência.

É importante destacar que todas as estruturas A-SC exibem um maior ganho de tensão em malha aberta, e o desempenho se torna ainda melhor com tensões de substrato positivas, uma vez que as associações séries de transistores se tornam mais assimétricas.

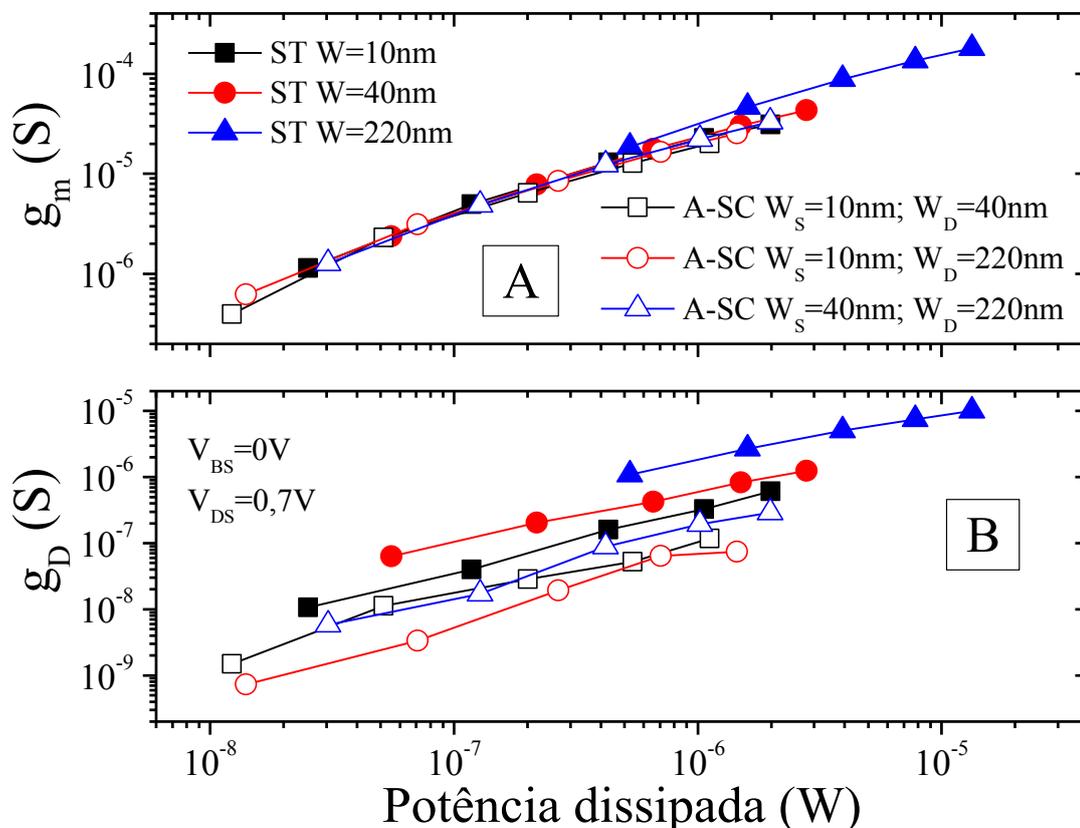
Figura 94 – Ganho de tensão em malha aberta em função da sobretensão de porta para os transistores isolados e as estruturas A-SC, extraído em  $V_{DS} = 0,7$  V e diferentes tensões de substrato



Fonte: Autor

Como os nanofios transistores e as estruturas A-SC apresentam níveis de corrente de dreno diferentes, são apresentadas, na Figura 95, a transcondutância (A) e a condutância de dreno (B) em função da potência dissipada ( $P = V_{DS} \cdot I_D$ ), extraídas em  $V_{DS} = 0,7$  V e  $V_{BS} = 0$  V variando  $V_{GT}$  de -100 mV a 100 mV. Para uma potência fixa, a transcondutância não varia entre os dispositivos, porém há uma menor condutância de dreno para as estruturas A-SC em comparação com os transistores isolados. Por exemplo, em  $P = 30$  nW e considerando os melhores resultados para os transistores isolados e as associações séries assimétricas de transistores, uma melhoria de 8,2 vezes foi obtida em  $g_D$  ao usar a estrutura A-SC. Além disso, pode-se observar que os transistores isolados mais largos oferecem alto  $g_m$  e  $g_D$ , bem como maior potência dissipada.

Figura 95 – Transcondutância e condutância de dreno em função da potência dissipada para os transistores isolados e as estruturas A-SC, extraídas em  $V_{DS} = 0,7 \text{ V}$  e  $V_{BS} = 0 \text{ V}$



Fonte: Autor

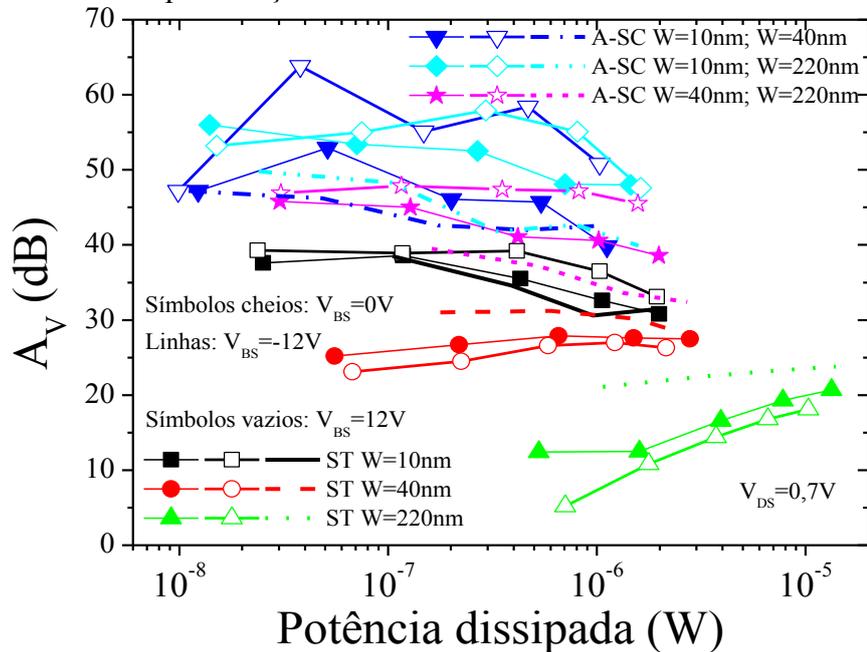
Legenda: (A) Transcondutância.

(B) Condutância de dreno.

A Figura 96 exibe o ganho de tensão em malha aberta em função da potência dissipada, extraído em  $V_{DS} = 0,7 \text{ V}$  e distintas tensões de substrato. Para os transistores isolados mais largos, é notável a redução do ganho de tensão em malha aberta associado ainda a uma elevação da potência consumida. É possível verificar que a menor potência consumida e o maior ganho de tensão em malha aberta são obtidos para as estruturas A-SC com  $W_S = 10 \text{ nm}$ ;  $W_D = 40 \text{ nm}$  e A-SC com  $W_S = 10 \text{ nm}$ ;  $W_D = 220 \text{ nm}$  com polarização de substrato positiva, o que está ligado ao melhor controle eletrostático e à maior diferença entre as tensões de limiar dos transistores próximos à fonte e ao dreno.

Em  $P = 1 \mu\text{W}$  e  $V_{BS} = 12 \text{ V}$ , e considerando os melhores resultados para as estruturas A-SC e os transistores isolados,  $A_V$  é incrementado em 16 dB ao usar a estrutura A-SC. Ao comparar com as associações séries assimétricas de transistores planares em  $P = 1 \mu\text{W}$  (SOUZA; FLANDRE; PAVANELLO, 2015), o ganho de tensão em malha aberta incrementa em torno de 5 dB para a associação série assimétrica de nanofios transistores, ocupando uma área de porta significativamente menor.

Figura 96 – Ganho de tensão em malha aberta em função da potência dissipada para os transistores isolados e as estruturas A-SC, extraído em  $V_{DS} = 0,7$  V e distintas polarizações de substrato



Fonte: Autor

Sumarizando os resultados do desempenho analógico da associação série assimétrica de nanofios SOI nMOSFET em inversão fraca, foi constatado um incremento do ganho de tensão em malha aberta para as estruturas A-SC e o nanofio mais estreito ao operar em regime de sublimiar. Ao contrário, os nanofios mais largos exibiram uma redução de  $A_V$  em regime de inversão fraca. O melhor desempenho analógico foi obtido para as estruturas A-SC associado com menor consumo de potência em comparação com os transistores isolados.

### 7.3 ANÁLISE DA DISTORÇÃO HARMÔNICA

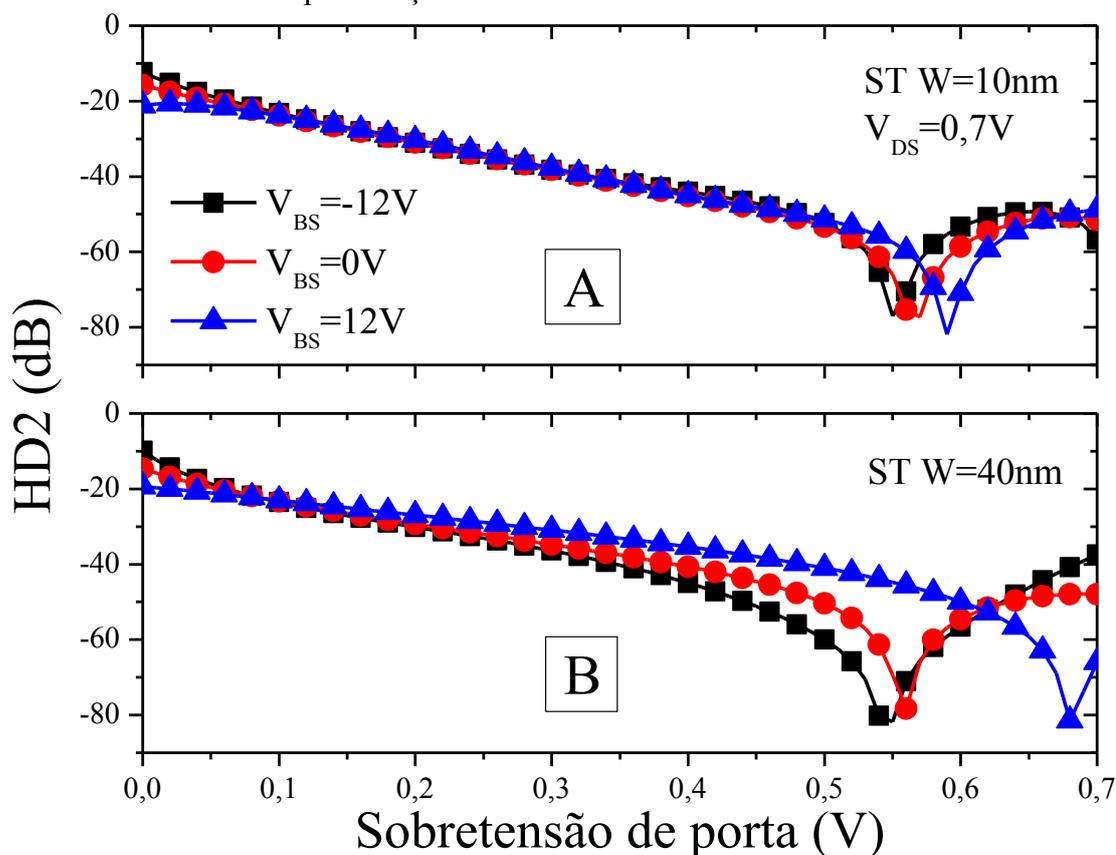
O estudo da distorção harmônica foi realizado com nanofios de comprimento de canal de 80 nm e larguras de canal de 10, 40 e 220 nm operando como amplificadores, aplicando um sinal de entrada senoidal na porta e obtendo um sinal de saída na corrente de dreno. Foi fixada a amplitude do sinal de entrada ( $V_A$ ) em 50 mV (100 mV de pico a pico), superposta à sobretensão de porta, cuja faixa de tensões foi variada entre 0 e 0,7 V.

Primeiramente, foi extraída a distorção harmônica dos transistores isolados de modo a facilitar a compreensão dos resultados de distorção harmônica das estruturas A-SC. O primeiro estudo de linearidade sobre os nanofios transistores foi realizado por Paz et al.

(2017) para dispositivos de canal longo, mostrando uma grande melhoria das figuras de mérito da linearidade no caso de dispositivos mais estreitos. A análise apresentada neste trabalho complementa estes resultados, inspecionando a influência da tensão de substrato nas figuras de mérito da linearidade dos dispositivos de canal curto.

A Figura 97 apresenta a distorção harmônica de segunda ordem em função da sobretensão de porta, extraída em  $V_{DS} = 0,7\text{ V}$  variando a tensão de substrato para os nanofios isolados com  $W = 10\text{ nm}$  (A) e  $40\text{ nm}$  (B). Pode-se observar que o aumento da tensão de substrato praticamente não desloca o ponto de mínimo HD2 para o nanofio mais estreito, o que não ocorre com o transistor mais largo, uma vez que a tensão de substrato impacta significativamente no ponto de mínimo HD2. Este efeito está relacionado ao melhor controle eletrostático obtido para o transistor mais estreito. Esta é a razão também da menor distorção harmônica de segunda ordem obtida para o ST com  $W = 10\text{ nm}$  em  $V_{BS} = 12\text{ V}$ .

Figura 97 – Distorção harmônica de segunda ordem em função da sobretensão de porta para os nanofios isolados de diferentes  $W$ , extraída em  $V_{DS} = 0,7\text{ V}$  e diversas polarizações de substrato



Fonte: Autor

Legenda: (A) ST com  $W = 10\text{ nm}$ .

(B) ST com  $W = 40\text{ nm}$ .

A sobretensão de porta em que se obtém a mínima distorção harmônica de segunda ordem está intimamente ligada ao ponto de máxima transcondutância e, portanto, com a mobilidade máxima. De acordo com a equação (14), quando a derivada da transcondutância em função da sobretensão de porta é nula, tem-se um pico negativo em HD2.

De acordo com a Figura 88 da Seção 7.2, para o transistor mais estreito, é possível notar que a transcondutância não varia com  $V_{BS}$ , e o ponto de máximo  $g_m$  se mantém próximo de  $V_{GT} = 0,55$  V, que corresponde à sobretensão de porta de mínimo HD2 na Figura 97(A). No caso do transistor isolado mais largo, o aumento da tensão de substrato desloca o  $V_{GT}$  em que se obtém o máximo  $g_m$  para maiores valores e, conseqüentemente, o mínimo HD2.

A Figura 98 exibe THD e HD3 em função da sobretensão de porta, extraídas em  $V_{DS} = 0,7$  V variando a tensão de substrato para os transistores isolados de  $W = 10$  nm (A) e 40 nm (B). É possível constatar que as distorções harmônicas total (Figura 98) e de segunda ordem (Figura 97) são muito similares entre si, ou seja, a distorção harmônica de terceira ordem tem pouca influência sobre THD, com exceção das sobretensões de porta onde há picos negativos em HD2, nestes casos, HD3 impacta em THD, elevando o seu valor.

Uma característica interessante apresentada na Figura 98 é que o aumento da tensão de substrato reduz THD quando  $V_{GT}$  é próximo de 0 V para ambas as larguras de canal. No caso do nanofio isolado de  $W = 10$  nm, constata-se que o menor THD é obtido para  $V_{BS} = 12$  V em toda a faixa de  $V_{GT}$ . No entanto, para o ST com  $W = 40$  nm, quando  $V_{GT} < 0,1$  V, o menor THD é verificado para  $V_{BS}$  positivo, enquanto que para  $V_{GT} > 0,1$  V, o menor THD ocorre para  $V_{BS}$  negativo.

Com base na equação (16), os picos de linearidade em HD3 ocorrem quando  $\partial^2 g_m / \partial V_{GT}^2 = 0$ , ou seja, quando há um ponto de máximo ou mínimo na derivada primeira da transcondutância em função da sobretensão da porta. Estes picos de linearidade estão relacionados com a mudança no mecanismo dominante de degradação da mobilidade.

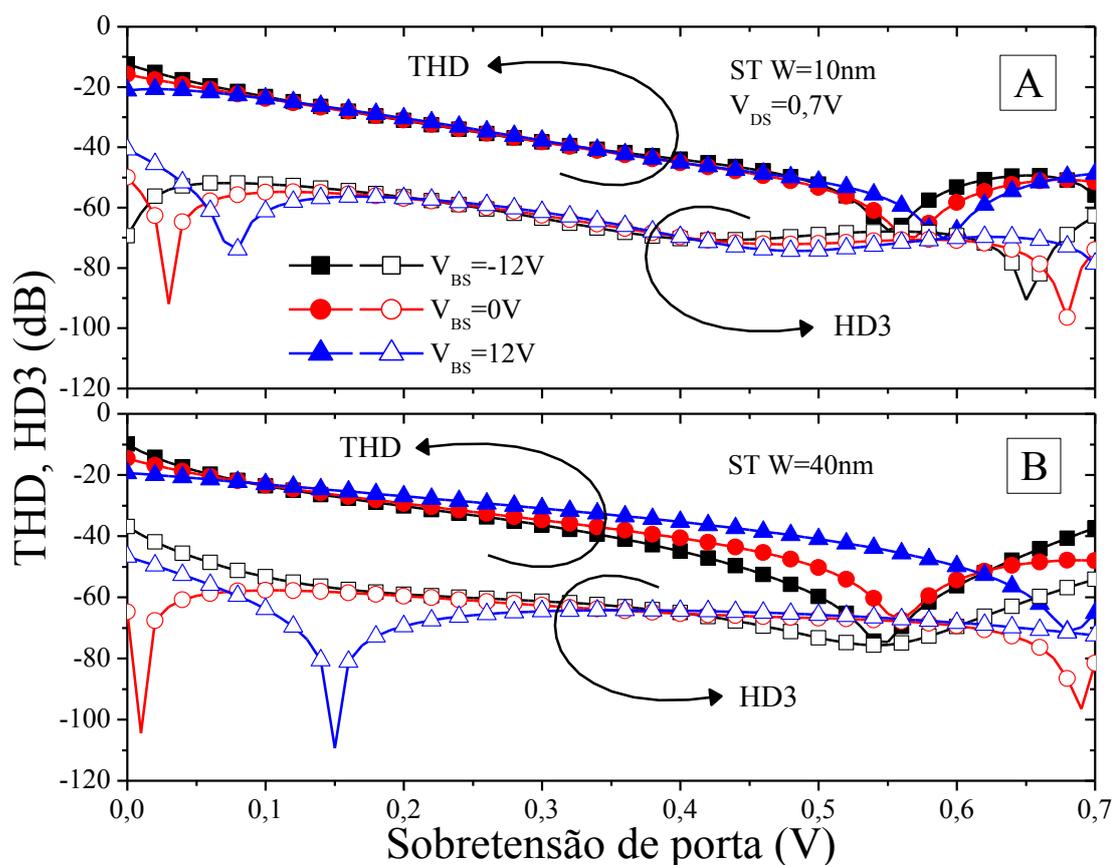
De acordo com Takagi et al. (1994), existem três mecanismos de degradação da mobilidade, são eles: o espalhamento Coulomb que é dominante em inversão fraca, o espelhamento por fônons que domina a degradação da mobilidade até a sobretensão de porta onde se inicia o espalhamento por rugosidade da superfície Si-SiO<sub>2</sub> que, por sua vez, degrada a mobilidade devido ao alto campo elétrico de porta.

Pode-se verificar a presença de dois picos negativos em HD3 para cada nanofio polarizado em determinado  $V_{BS}$ , os quais se encontram deslocados em comparação com os picos de linearidade em THD e HD2. O primeiro pico de linearidade está ligado à mudança do

mecanismo predominante de degradação da mobilidade de espalhamento Coulomb para espalhamento por fônons, já o segundo pico de linearidade está relacionado à mudança de espalhamento por fônons para o espalhamento por rugosidade de superfície.

Assim como observado na Figura 97, os picos de linearidade em HD3 se encontram muito próximos entre si ao variar a tensão de substrato para o nanofio mais estreito (Figura 98(A)), o que não ocorre na Figura 98(B). Neste caso, o espalhamento Coulomb é mais atuante para maiores  $V_{GT}$  com o aumento de  $V_{BS}$ , em decorrência do menor controle eletrostático de porta, visto que o aumento de  $V_{BS}$  tende a formar uma camada de inversão na segunda interface. Desta forma, em razão da menor qualidade da interface, tem-se a predominância do espalhamento Coulomb em uma maior faixa de sobretensões de porta para o nanofio mais largo.

Figura 98 – THD e HD3 em função da sobretensão de porta para os nanofios isolados de diferentes  $W$ , extraídas em  $V_{DS} = 0,7$  V e diversas tensões de substrato



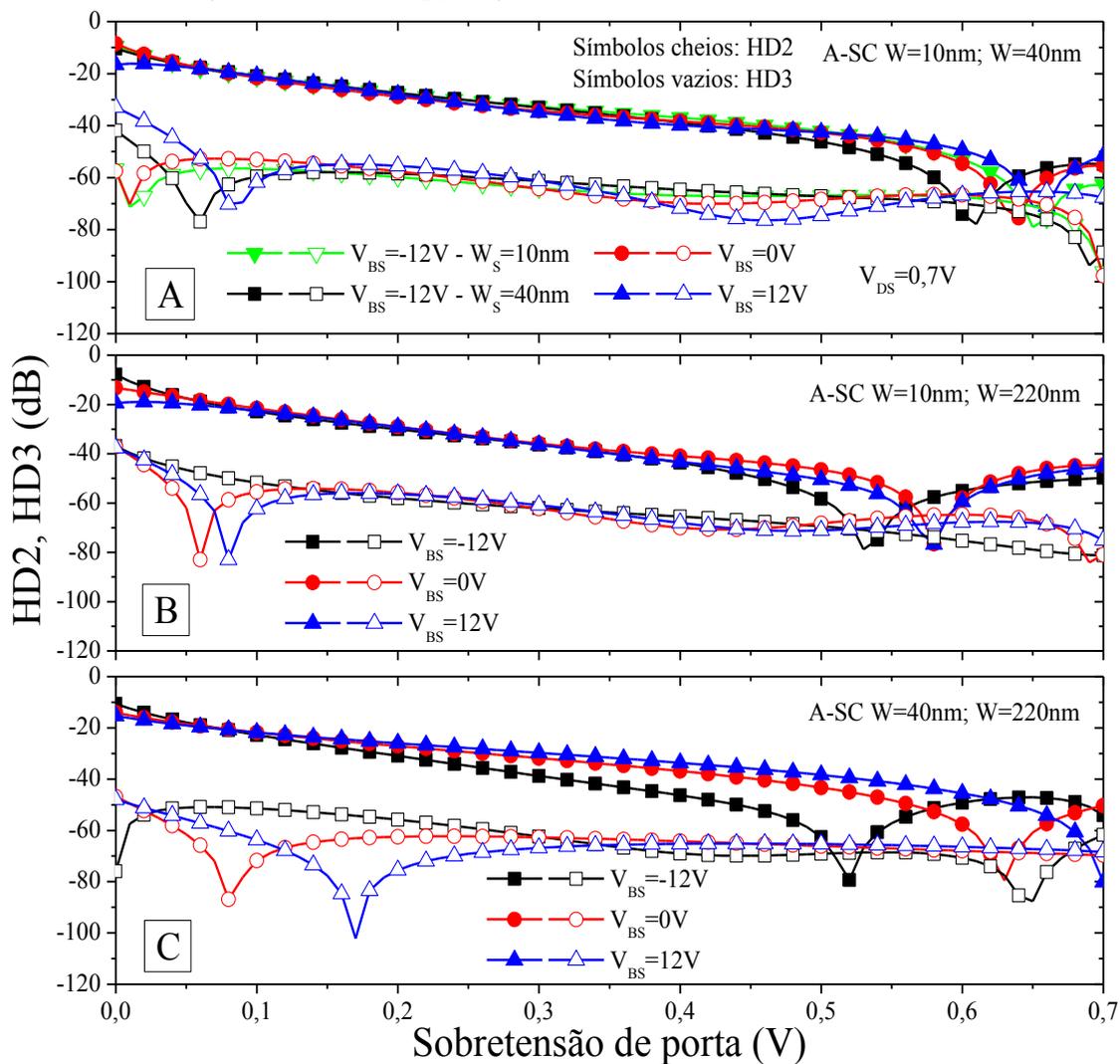
Fonte: Autor

Legenda: (A) ST com  $W = 10$  nm.

(B) ST com  $W = 40$  nm.

Uma vez estudadas as características de distorção harmônica dos nanofios isolados, prosseguiu-se para a etapa de análise da linearidade das associações séries assimétricas de nanofios transistores. A Figura 99 exibe HD2 e HD3 em função da sobretensão de porta para as estruturas A-SC com  $W = 10$  nm;  $W = 40$  nm (A), A-SC com  $W = 10$  nm;  $W = 220$  nm (B) e A-SC com  $W = 40$  nm;  $W = 220$  nm (C), extraídas em  $V_{DS} = 0,7$  V variando a tensão de substrato. Ao usar o nanofio de  $W = 10$  nm como o transistor próximo à fonte, constata-se um menor deslocamento dos picos de linearidade em HD2 com o aumento da tensão de substrato, uma vez que a influência de  $V_{BS}$  é menos significativa no controle das cargas do canal devido ao melhor acoplamento capacitivo proporcionado pelo transistor  $M_S$  mais estreito.

Figura 99 – HD2 e HD3 em função da sobretensão de porta para diversas estruturas A-SC, extraídas em  $V_{DS} = 0,7$  V e diversas tensões de substrato



Fonte: Autor

Legenda: (A) A-SC com  $W = 10$  nm;  $W = 40$  nm.  
 (B) A-SC com  $W = 10$  nm;  $W = 220$  nm.  
 (C) A-SC com  $W = 40$  nm;  $W = 220$  nm.

De acordo com a Tabela 9 da Seção 7.2, como as tensões de limiar dos transistores isolados  $W = 10$  nm e  $W = 40$  nm são iguais em  $V_{BS} = -12$  V, é possível alternar os transistores  $M_S$  e  $M_D$  da estrutura A-SC. Com base na Figura 99(A) e  $V_{BS} = -12$  V, em que se tem uma associação série simétrica, verifica-se, ao usar o nanofio mais largo como o transistor  $M_S$ , um deslocamento do pico de linearidade em HD2 para menores  $V_{GT}$ , exibindo o menor HD2 até o pico. Ao analisar as Figuras 99(B) e (C), observa-se novamente uma menor distorção harmônica de segunda ordem ao polarizar os transistores em  $V_{BS}$  negativo, o que está ligado ao fato do transistor mais largo estar posicionado próximo à fonte. No entanto, assim como observado para os nanofios isolados, o aumento de  $V_{BS}$  reduz a distorção harmônica de segunda ordem para  $V_{GT}$  próximo de 0 V.

Ao avaliar a distorção harmônica de terceira ordem, pode-se observar que os picos de linearidade se encontram bem próximos entre si para a estrutura A-SC com  $W = 10$  nm;  $W = 40$  nm, o que permite afirmar que os mecanismos de degradação da mobilidade se mantêm atuantes nas mesmas faixas de  $V_{GT}$  ao variar a tensão de substrato. No caso das Figuras 99(B) e (C), nota-se que o aumento de  $V_{BS}$  torna maior a faixa de atuação do espalhamento Coulomb, deslocando o primeiro pico de linearidade em HD3 para maiores sobretensões de porta.

A Tabela 11 exibe a distorção harmônica de segunda ordem extraída em  $V_{GT} = 0,4$  V,  $V_{DS} = 0,7$  V e diversos  $V_{BS}$  para as estruturas A-SC e os nanofios isolados. Uma característica interessante é que, ao reduzir a polarização de substrato, há uma diminuição significativa de HD2 quanto mais largo for o transistor, ligado ao prematuro pico de linearidade em HD2. No caso do transistor isolado de  $W = 220$  nm e  $V_{BS} = -12$  V, a redução de HD2 é muito elevada devido ao pico de linearidade estar localizado em  $V_{GT} = 0,4$  V.

Tabela 11 – Distorção harmônica de segunda ordem para os nanofios isolados e as associações séries assimétricas de transistores, extraída em  $V_{GT} = 0,4$  V e  $V_{DS} = 0,7$  V

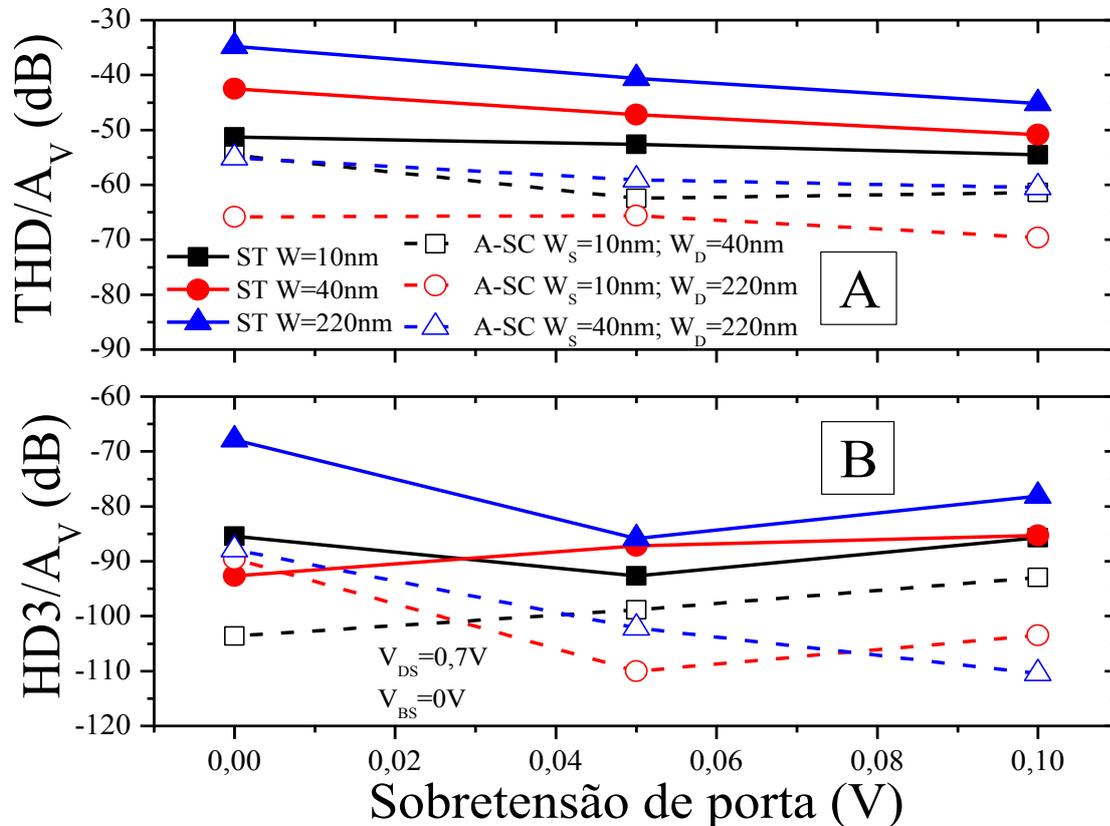
Nanofios L = 80 nm	HD2 (dB)		
	$V_{BS} = -12$ V	$V_{BS} = 0$ V	$V_{BS} = 12$ V
ST W = 10 nm	-44	-45	-45
ST W = 40 nm	-45	-41	-35
ST W = 220 nm	-69	-49	-34
A-SC W = 10 nm; W = 40 nm	-37 ( $W_S = 10$ nm) -39 ( $W_S = 40$ nm)	-38	-40
A-SC W = 10 nm; W = 220 nm	-44	-41	-43
A-SC W = 40 nm; W = 220 nm	-46	-37	-34

Fonte: Autor

Além disso, é possível constatar que as estruturas A-SC apresentam uma degradação da linearidade comparada com os transistores isolados que as compõem, uma vez que os transistores  $M_S$  e  $M_D$  podem estar operando em regiões diferentes, conforme visto anteriormente na Seção 6, diminuindo a linearidade da característica de transferência.

De modo a avaliar a linearidade das estruturas A-SC operando em condições de baixa tensão e baixa potência, são apresentadas na Figura 100 as distorções harmônicas total (A) e de terceira ordem (B) normalizadas pelo ganho de tensão em malha aberta em função da sobretensão de porta, extraídas em  $V_{DS} = 0,7$  V e  $V_{BS} = 0$  V. A normalização pelo ganho de tensão em malha aberta permite determinar a distorção harmônica efetiva de maneira a obter a mesma amplitude do sinal de saída (tensão de dreno). Em razão dos diferentes ganhos de tensão em malha aberta entre os dispositivos, diferentes amplitudes do sinal de entrada são requeridas, modificando as componentes de distorção harmônica.

Figura 100 – Distorções harmônicas total e de terceira ordem normalizadas pelo ganho de tensão em malha aberta em função de  $V_{GT}$  para as estruturas A-SC e os transistores isolados, extraídas em  $V_{DS} = 0,7$  V e  $V_{BS} = 0$  V



Fonte: Autor

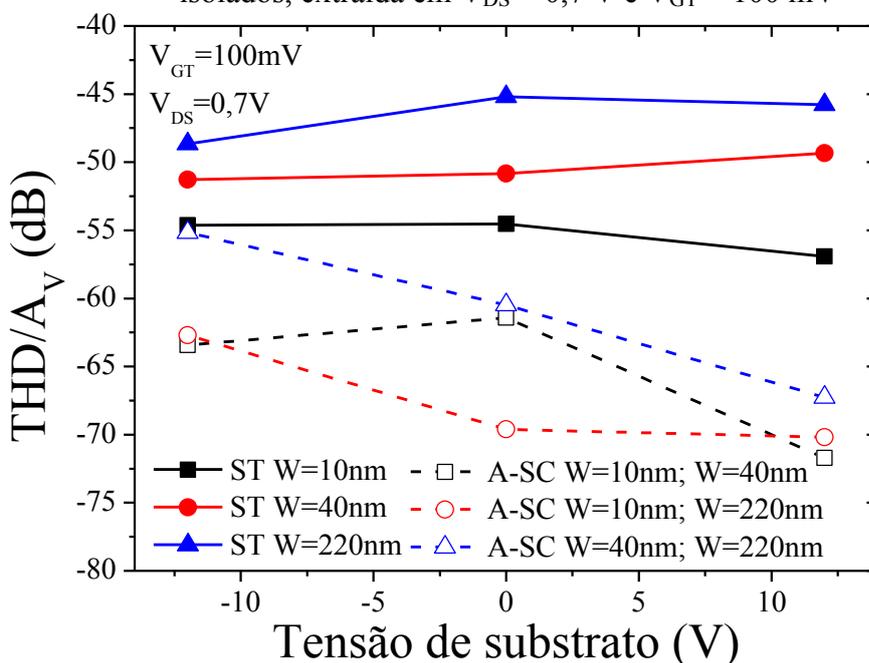
Legenda: (A) THD/ $A_V$ .

(B) HD3/ $A_V$ .

De acordo com a Figura 100, é possível verificar que as estruturas A-SC apresentam menor distorção harmônica normalizada do que os nanofios isolados, o que se deve ao maior  $A_V$  destas estruturas. A mínima distorção harmônica total normalizada foi obtida para a estrutura A-SC com  $W_S = 10 \text{ nm}$ ;  $W_D = 220 \text{ nm}$ , uma vez que há um maior  $A_V$  em razão da estrutura A-SC ser mais assimétrica, além do maior controle eletrostático fornecido pelo transistor  $M_S$  mais estreito. No caso dos transistores isolados, há uma elevação de  $\text{THD}/A_V$  e  $\text{HD3}/A_V$  com o incremento de  $W$  devido ao menor acoplamento eletrostático, degradando  $A_V$ .

Na Figura 101, é avaliada a influência da tensão de substrato em  $\text{THD}/A_V$  para os diversos nanofios isolados e estruturas A-SC em  $V_{GT} = 100 \text{ mV}$  e  $V_{DS} = 0,7 \text{ V}$ . Assim como observado na Figura 100, o aumento da largura de canal dos transistores isolados eleva  $\text{THD}/A_V$  para todas as tensões de substrato, o que se deve ao menor ganho de tensão em malha aberta.

Figura 101 – Distorção harmônica total normalizada pelo ganho de tensão em malha aberta em função da tensão de substrato para as estruturas A-SC e os nanofios isolados, extraída em  $V_{DS} = 0,7 \text{ V}$  e  $V_{GT} = 100 \text{ mV}$



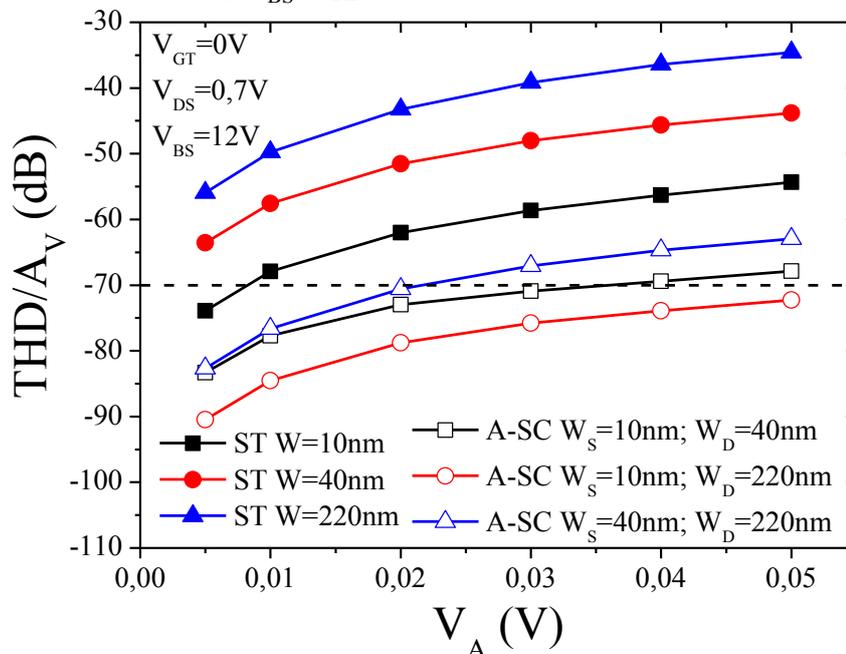
Fonte: Autor

No caso das estruturas A-SC, observa-se uma redução de  $\text{THD}/A_V$  com o incremento da tensão de substrato, uma vez que se tem uma associação série de transistores mais assimétrica. O menor  $\text{THD}/A_V$  foi obtido para as estruturas A-SC com  $W = 10 \text{ nm}$ ;  $W = 40 \text{ nm}$  e A-SC com  $W = 10 \text{ nm}$ ;  $W = 220 \text{ nm}$  devido ao maior ganho de tensão em malha aberta.

Para  $V_{BS} = 12$  V e considerando os melhores resultados da estrutura A-SC e do nanofio isolado, THD/ $A_V$  reduz em 15 dB para a associação série assimétrica de transistores.

De maneira a determinar a máxima amplitude do sinal de entrada que não ultrapasse uma específica distorção harmônica total normalizada, é apresentado, na Figura 102, THD/ $A_V$  em função da amplitude do sinal de entrada, extraído em  $V_{GT} = 0$  V,  $V_{DS} = 0,7$  V e  $V_{BS} = 12$  V. Pode-se notar que os transistores isolados mais largos não obtêm sucesso em apresentar THD/ $A_V$  inferior à -70 dB para todas as amplitudes do sinal de entrada. Para o ST com  $W = 10$  nm, o máximo  $V_A$  que não excede o patamar de distorção é 5 mV. O máximo  $V_A$  é significativamente melhorado para as associações séries assimétricas de transistores. No caso das estruturas A-SC com  $W_S = 40$  nm;  $W_D = 220$  nm, A-SC com  $W_S = 10$  nm;  $W_D = 40$  nm e A-SC com  $W_S = 10$  nm;  $W_D = 220$  nm, é possível aplicar 0,02, 0,03 e amplitude maior do que 0,05 V, respectivamente, o que está relacionado ao maior  $A_V$  fornecido pelas estruturas A-SC, com melhor desempenho quanto maior a assimetria entre as tensões de limiar dos transistores  $M_S$  e  $M_D$ .

Figura 102 – Distorção harmônica total normalizada pelo ganho de tensão em malha aberta em função da amplitude do sinal de entrada para as estruturas A-SC e os nanofios isolados, extraída em  $V_{DS} = 0,7$  V,  $V_{GT} = 0$  V e  $V_{BS} = 12$  V



Fonte: Autor

Sumarizando os resultados da distorção harmônica da associação série assimétrica de nanofios SOI nMOSFET, foi constatado que a distorção harmônica total é praticamente igual à distorção harmônica de segunda ordem, sendo a distorção harmônica de terceira ordem apenas importante nos picos de linearidade em HD2. Ao reduzir a largura de canal do transistor  $M_S$ , houve uma menor variação em  $V_{GT}$  dos picos de linearidade em HD2 e HD3 ao alterar a tensão de substrato. Em HD3, foram observados dois picos de linearidade, o primeiro pico indica uma mudança no mecanismo dominante de degradação da mobilidade de espalhamento Coulomb para fônons e o segundo pico de linearidade indica uma mudança para espalhamento por rugosidade superficial. As estruturas A-SC apresentaram menor linearidade, visto que os transistores  $M_S$  e  $M_D$  operam em regiões diferentes. Porém, ao considerar os diferentes ganhos de tensão em malha aberta, as estruturas A-SC exibiram melhor linearidade.



## 8 CONCLUSÕES

Neste trabalho, foi realizada uma análise do desempenho analógico da estrutura A-SC composta por transistores SOI nMOS FD planares e de múltiplas portas, com o objetivo de motivar sua utilização em circuitos integrados analógicos. Foi estudada a origem do ruído de baixa frequência, bem como realizada uma modelagem da corrente de dreno da estrutura A-SC composta por transistores planares, visando à aplicação futura em projetos de circuitos integrados analógicos básicos. O desempenho da associação série assimétrica também foi comparado com o transistor de canal gradual, mencionando as particularidades que os tornam atrativos para alguns circuitos analógicos. Foi também avaliada a influência da largura de canal dos transistores próximos à fonte e ao dreno no desempenho da estrutura A-SC. Além disso, foi abordada a influência da polarização de substrato no comportamento analógico da associação série assimétrica de nanofios transistores. A operação em baixa potência destas estruturas A-SC também foi analisada, sendo avaliada e comparada a distorção harmônica gerada pela associação série assimétrica de nanofios transistores com os nanofios isolados.

Primeiramente, o desempenho da estrutura A-SC e do transistor GC foi comparado experimentalmente em nível de dispositivo e em alguns blocos analógicos básicos. Em nível de dispositivo, foi verificado um aumento da transcondutância e uma redução da condutância de dreno para a estrutura A-SC e o transistor GC comparativamente ao transistor isolado de similar comprimento total de canal. A presença da região N<sup>+</sup> intermediária na estrutura A-SC provocou um aumento da resistência série, degradando a transcondutância. No entanto, a estrutura A-SC apresentou maior tensão de ruptura de dreno em comparação com os transistores GC que, por sua vez, apresentaram menor  $g_D$ . Estes resultados afetaram diretamente o desempenho dos amplificadores em configuração fonte comum, de tal forma que os transistores GC apresentaram maior  $A_V$ , exibindo um incremento de até 8 dB em comparação com a estrutura A-SC. Os amplificadores em configuração dreno comum implementados com os dispositivos GC e A-SC tornaram o ganho de tensão mais próximo da unidade, o qual está relacionado com a diminuição de  $g_D$ , porém o melhor desempenho foi observado para a estrutura A-SC devido a sua maior tensão de ruptura de dreno, sendo constatado um ganho de tensão entre 0,93 e 0,94 para praticamente toda a faixa de tensões de entrada, valor este muito próximo do limite máximo teórico desta tecnologia. Para espelhos de corrente em configuração fonte comum, a estrutura A-SC e o transistor GC elevaram a excursão do sinal de saída e tornaram a precisão de espelhamento mais próxima da unidade, principalmente para maiores comprimentos  $L_S$  e  $L_{HD}$ . Comparando os espelhos de corrente

com estruturas A-SC de  $L_S = 2 \mu\text{m}$ ;  $L_D = 2 \mu\text{m}$  e transistores GC de  $L_{HD} = 2,1 \mu\text{m}$ ;  $L_{LD} = 1,9 \mu\text{m}$  para  $I_{IN} = 100 \mu\text{A}$  e  $V_{OUT} = 1,5 \text{ V}$ , a precisão de espelhamento foi 3% melhor para o espelho de corrente com estruturas A-SC. Embora, a partir dos resultados em nível de dispositivo, se esperasse melhor precisão de espelhamento para os espelhos de corrente com transistores GC em razão do reduzido  $g_D$ , os dados experimentais mostraram melhores resultados para o espelho de corrente com estruturas A-SC, o que se deve ao maior descasamento intrínseco nos transistores GC. Os resultados obtidos mostraram que ambos os dispositivos podem promover melhorias em diversos blocos analógicos básicos, e dependendo do circuito, a estrutura A-SC ou o transistor GC pode oferecer maiores benefícios.

Com base em resultados experimentais, o ruído de baixa frequência das estruturas A-SC composta por transistores planares de diferentes concentrações de dopantes no canal foi avaliado nas regiões linear e de saturação, sendo comparado com os transistores isolados. Na região linear, foi observado que a densidade espectral de ruído de corrente de dreno é do tipo  $1/f$  para todas as sobretensões de porta. No entanto, para  $V_{GT} = -100 \text{ mV}$ , foi constatada a ocorrência de ruído  $1/f^2$ , o qual está relacionado com a presença de *Lorentzians*. Foi provado que a fonte de ruído  $1/f$  está ligada às flutuações no número de portadores. Além disso, foi observado que o ruído da estrutura A-SC é dominado pelo ruído gerado no transistor próximo à fonte. O aumento da concentração de dopantes no canal incrementou o ruído normalizado devido à maior dose de implantação iônica, degradando a qualidade da interface Si-SiO<sub>2</sub> e do óxido de porta e, conseqüentemente, elevando a densidade efetiva de armadilhas em todo o dielétrico de porta, com maiores  $N_t$  e ruído normalizado para as estruturas A-SC, o qual está relacionado ao dobro da área de porta comparada com os dispositivos isolados. Na região de saturação, foi verificado que o ruído *flicker* continua sendo a componente de ruído dominante em baixas frequências, enquanto que para maiores frequências, verifica-se a presença do ruído g-r. O ruído normalizado apresentou maiores valores em saturação, o que está ligado à maior corrente de tunelamento. Como observado na região linear, o ruído  $1/f$  tem sua origem nas flutuações no número de portadores, e a estrutura A-SC com  $V_{TH,S} = 0,57 \text{ V}$ ;  $V_{TH,D} = 0,33 \text{ V}$  apresentou o maior ruído normalizado devido à maior dose de implantação iônica dos transistores que compõem a estrutura A-SC.

A partir de simulações numéricas tridimensionais de dispositivos ajustadas com as medidas experimentais, foi realizado um estudo da influência da largura de canal dos transistores próximos à fonte e ao dreno no desempenho analógico da associação série assimétrica. Foi confirmado que o transistor próximo à fonte domina a condução elétrica da estrutura A-SC para toda a faixa de tensões de porta. Porém, para maiores  $V_{GS}$ , o transistor

próximo ao dreno também impacta no fluxo de corrente de dreno. Foi verificado que dependendo da largura de canal dos transistores próximos à fonte e ao dreno, há uma variação do potencial intermediário, afetando diretamente as derivadas das características de transferência e de saída. Foi verificado que o aumento de  $W_S$  elevou  $g_m$  e  $g_D$ , reduzindo  $A_V$  e  $V_{EA}$ , enquanto que o incremento de  $W_D$  elevou levemente  $g_m$ , mas diminuiu  $g_D$ , elevando  $A_V$  e  $V_{EA}$  por um fator maior do que 2, o que é muito significativo. Desta forma, o maior ganho de tensão em malha aberta e a maior tensão Early foram obtidos para a estrutura A-SC composta pelo transistor mais estreito próximo à fonte e o transistor mais largo próximo ao dreno.

Com o objetivo de projetar células analógicas básicas utilizando a estrutura A-SC, foi desenvolvido um modelo analítico de corrente de dreno válido em todas as regiões de operação para a associação série assimétrica composta por transistores SOI nMOS totalmente depletados planares. Foi incluído apenas um parâmetro de ajuste de modo a facilitar a etapa futura de projeto de circuitos analógicos básicos. Foi verificada uma boa concordância entre as correntes de dreno e suas derivadas obtidas pelo modelo analítico e pela simulação numérica de dispositivos tanto em função da tensão de porta quanto em função da tensão de dreno, com erro inferior a 11% na corrente de dreno. Foi constatada uma diferença em  $A_V$  de no máximo 2 dB ao comparar os resultados modelados e simulados extraídos em  $V_{DS} = 1,5$  V e  $V_{GT} = 200$  mV, o que valida o modelo analítico de corrente de dreno proposto.

A associação série assimétrica de nanofios transistores SOI nMOS também foi objeto de estudo, sendo avaliada experimentalmente a influência da polarização de substrato no seu desempenho analógico, comparando estes resultados com os nanofios isolados. Foi verificado que a tensão de substrato promoveu diferentes variações da tensão de limiar entre os nanofios de silício, causando uma assimetria. Um dispositivo mais estreito é mais imune à polarização de substrato devido ao melhor controle eletrostático de porta nos planos laterais e do topo da camada de silício. Para  $V_{GT} = 200$  mV e  $V_{DS} = 0,7$  V, foi observado que o aumento da tensão de substrato de -12 V para 12 V incrementou o ganho de tensão em malha aberta em 13 dB e a tensão Early em 50 V devido à redução da condutância de dreno, ligada à maior assimetria entre as tensões de limiar dos transistores próximos à fonte e ao dreno. Todas as estruturas A-SC exibiram maior ganho de tensão em malha aberta comparado com os nanofios isolados.

Ao analisar as propriedades analógicas da associação série assimétrica de nanofios transistores polarizada em torno da tensão de limiar, foi observado que o ganho de tensão em malha aberta aumentou ao polarizar a estrutura A-SC em baixo nível de sobretensão de porta. Por outro lado, o ganho de tensão em malha aberta dos nanofios isolados diminuiu com o

decremento da sobretensão de porta, exceto no caso do nanofio mais estreito. Independentemente da polarização de substrato (reversa, nula ou direta), o melhor desempenho analógico foi alcançado para as associações séries assimétricas de nanofios com muito menor consumo de potência, incrementando  $A_V$  em até 20 dB para as estruturas A-SC em comparação com os nanofios isolados em uma mesma potência dissipada.

Finalmente, foi avaliada a linearidade das associações séries assimétricas de nanofios transistores operando como amplificadores, inserindo um sinal de entrada senoidal na porta. Foi observado que a distorção harmônica de segunda ordem é dominante na distorção harmônica total, visto que HD3 é aproximadamente 30 dB inferior à HD2. Foi verificado que, quanto menor a largura de canal do nanofio próximo à fonte, há uma menor variação em  $V_{GT}$  dos picos de linearidade de HD2 ao mudar a tensão de substrato, visto que a tensão de porta onde se obtém a máxima transcondutância pouco se alterou com  $V_{BS}$ . Em HD3, foram constatados dois picos de linearidade. O primeiro pico indica uma mudança do mecanismo de degradação da mobilidade de espalhamento Coulomb para espalhamento por fônons, enquanto que o segundo pico é referente à alteração para espalhamento por rugosidade superficial. Desconsiderando o ganho de tensão em malha aberta, as estruturas A-SC exibiram uma maior degradação da linearidade comparativamente aos nanofios isolados. Porém, ao computar os diferentes  $A_V$  entre os dispositivos, THD/ $A_V$  reduziu 15 dB para a estrutura A-SC com  $W_S = 10$  nm;  $W_D = 40$  nm em comparação com o ST com  $W = 10$  nm, extraído em  $V_{BS} = 12$  V,  $V_{GT} = 100$  mV e  $V_{DS} = 0,7$  V.

A lista de publicações geradas é apresentada no Apêndice E.

Como sugestões de trabalhos futuros, a implementação do modelo da associação série assimétrica em VerilogA poderia ser uma etapa futura a ser considerada. Além disso, poderia ser projetado um circuito integrado analógico simples com base no modelo proposto, testando sua eficiência não somente referente à simulação de circuitos, mas também na caracterização elétrica dos circuitos fabricados. Seria interessante também analisar o desempenho da estrutura A-SC concernente a aplicações em circuitos de corrente contínua, tais como amplificadores operacionais. Um estudo das transcapacitâncias da associação série assimétrica de transistores também seria extremamente útil, uma vez que, pelo fato de apresentarem duas portas associadas em série, pode haver uma maior capacitância comparativamente ao transistor isolado, afetando a largura de banda.

## REFERÊNCIAS

- ANANDTECH. SMITH, R. **Intel's 14nm technology in detail**. ago. 2014. Disponível em: <<http://www.anandtech.com/show/8367/intels-14nm-technology-in-detail/>>. Acesso em: 08 mar. 2016.
- BAIE, X. et al. Quantum-wire effects in thin and narrow SOI MOSFETs. In: INTERNATIONAL SOI CONFERENCE, 1995, Tucson. **Proceedings...** IEEE, 1995. p. 66-67. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?tp=&arnumber=526463>>. Acesso em: 17 dez. 2015.
- BALESTRA, F. et al. Double-gate silicon-on-insulator transistor with volume inversion: a new device with greatly enhanced performance. **IEEE Electron Device Letters**, v. 8, n. 9, p. 410-412, set. 1987. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=1487227>>. Acesso em: 08 mar. 2016.
- BANGSARUNTIP, S. et al. High performance and highly uniform gate-all-around silicon nanowire MOSFETs with wire size dependent scaling. In: INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 2009, Baltimore. **Proceedings...** IEEE, 2009. p. 1-4. Disponível em: <<http://ieeexplore.ieee.org/document/5424364>>. Acesso em: 02 jun. 2017.
- BARRAUD, S. et al. Performance of omega-shaped-gate silicon nanowire MOSFET with diameter down to 8 nm. **IEEE Electron Device Letters**, v. 33, n. 11, p. 1526-1528, nov. 2012. Disponível em: <<http://ieeexplore.ieee.org/document/6303830>>. Acesso em: 02 jun. 2017.
- BREWS, J. R. Subthreshold behavior of uniformly and nonuniformly doped long-channel MOSFET. **IEEE Transactions on Electron Devices**, v. 26, n. 9, p. 1282-1291, set. 1979. Disponível em: <<http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=1480172>>. Acesso em: 06 jan. 2016.
- CAI, H. et al. Robust ultra-low power non-volatile logic-in-memory circuits in FD-SOI technology. **IEEE Transactions on Circuits and Systems I**, v. 64, n. 4, p. 847-857, abr. 2017. Disponível em: <<http://ieeexplore.ieee.org/document/7748536/>>. Acesso em: 23 jan. 2018.
- CANALI, C. et al. Electron and hole drift velocity measurements in silicon and their empirical relation to electric field and temperature. **IEEE Transactions on Electron Devices**, v. 22, n. 11, p. 1045-1047, nov. 1975. Disponível em: <<http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=1478102>>. Acesso em: 07 nov. 2016.
- CERDEIRA, A. et al. New method for determination of harmonic distortion in SOI FD transistors. **Solid-State Electronics**, v. 46, n. 1, p. 103-108, jan. 2002. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0038110101002581>>. Acesso em: 15 jan. 2016.

CERDEIRA, A. et al. Integral function method for determination of nonlinear harmonic distortion. **Solid-State Electronics**, v. 48, n. 12, p. 2225-2234, dez. 2004. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0038110104002321>>. Acesso em: 15 jan. 2016.

CERDEIRA, A. et al. Advantages of the graded-channel SOI FD MOSFET for application as a quasi-linear resistor. **IEEE Transactions on Electron Devices**, v. 52, n. 5, p. 967-972, maio 2005. Disponível em: <<http://ieeexplore.ieee.org/document/1424387>>. Acesso em: 02 jun. 2017.

CERDEIRA, A. et al. Nonlinearity analysis of FinFETs. In: INTERNATIONAL CARIBBEAN CONFERENCE ON DEVICES, CIRCUITS AND SYSTEMS (ICCDACS), 6., 2006, Playa del Carmen. **Proceedings...** IEEE, 2006. p. 9-12. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=4016856>>. Acesso em: 19 jan. 2016.

CHEN, J.-H. et al. A broadband stacked power amplifier in 45-nm CMOS SOI technology. **IEEE Journal of Solid-State Circuits**, v. 48, n. 11, p. 2775-2784, nov. 2013. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=6583302>>. Acesso em: 17 jun. 2016.

CHOI, J. -Y.; FOSSUM, J. G. Analysis and control of floating-body bipolar effects in fully depleted submicrometer SOI MOSFET's. **IEEE Transactions on Electron Devices**, v. 38, n. 6, p. 1384-1391, jun. 1991. Disponível em: <<http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=81630>>. Acesso em: 09 dez. 2015.

COLINGE, J.-P.; COLINGE, C. A. **Physics of semiconductor devices**. Dordrecht: Kluwer Academic, 2002.

COLINGE, J.-P. **Silicon-on-insulator technology: materials to VLSI**. 3rd ed. New York: Springer, 2004.

COLINGE, J.-P. (Ed.). **FinFETs and other multi-gate transistors**. New York: Springer, 2008.

COLINGE, J.-P. Subthreshold slope of thin-film SOI MOSFET's. **IEEE Electron Device Letters**, v. 7, n. 4, p. 244-246, abr. 1986. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=1486182>>. Acesso em: 09 dez. 2015.

COLINGE, J.-P. Hot-electron effects in silicon-on-insulator n-channel MOSFETs. **IEEE Transactions on Electron Devices**, v. 34, n. 10, p. 2173-2177, out. 1987. Disponível em: <<http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=1486924>>. Acesso em: 09 dez. 2015.

COLINGE, J.-P.; KAMINS, T. I. CMOS circuits made in thin SIMOX films. **Electronics Letters**, v. 23, n. 21, p. 1162-1164, out. 1987. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=4259048>>. Acesso em: 07 jan. 2016.

COLINGE, J.-P. et al. Silicon-on-insulator ‘gate-all-around device’. In: INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 1990, San Francisco. **Proceedings... IEEE**, 1990. p. 595-598. Disponível em:

<<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?tp=&arnumber=237128>>. Acesso em: 17 dez. 2015.

CONSTANTIN, J. et al. DynOR: a 32-bit microprocessor in 28 nm FD-SOI with cycle-by-cycle dynamic clock adjustment. In: EUROPEAN SOLID-STATE CIRCUITS CONFERENCE (ESSCIRC), 42., 2016, Lausanne. **Proceedings... IEEE**, 2016. p. 261-264. Disponível em: <<http://ieeexplore.ieee.org/document/7598292/>>. Acesso em: 23 jan. 2018.

COQUAND, R. et al. Strain-induced performance enhancement of trigate and omega-gate nanowire FETs scaled down to 10-nm width. **IEEE Transactions on Electron Devices**, v. 60, n. 2, p. 727-732, fev. 2013. Disponível em: <<http://ieeexplore.ieee.org/document/6389768>>. Acesso em: 02 jun. 2017.

CUNHA, A. I. A. et al. Direct determination of threshold condition in DG-MOSFETs from the  $g_m/I_D$  curve. **Solid-State Electronics**, v. 56, n. 1, p. 89-94, fev. 2011. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S003811011000359X>>. Acesso em: 08 mar. 2016.

DIXIT, A. et al. Analysis of the parasitic S/D resistance in multiple-gate FETs. **IEEE Transactions on Electron Devices**, v. 52, n. 6, p. 1132-1140, jun. 2005. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=1433106>>. Acesso em: 27 abr. 2016.

DORIA, R. T. et al. Analog performance improvement of self-cascode structures composed by UTBB transistors using back gate bias. In: IEEE SOI-3D-SUBTHRESHOLD MICROELECTRONICS TECHNOLOGY UNIFIED CONFERENCE (S3S), 2015, Rohnert Park. **Proceedings... IEEE**, 2015. p. 1-3. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=7333512>>. Acesso em: 06 jan. 2016.

EMAM, M. et al. Experimental investigation of RF noise performance improvement in graded channel MOSFETs. **IEEE Transactions on Electron Devices**, v. 56, n. 7, p. 1516-1522, jul. 2009. Disponível em: <<http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=5033308>>. Acesso em: 26 abr. 2016.

ENZ, C. C.; KRUMMENACHER, F.; VITTOZ, E. A. An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications. **Analog Integrated Circuits and Signal Processing**, v. 8, n. 1, p. 83-114, jul. 1995. Disponível em: <<http://ekv.epfl.ch/files/content/sites/ekv/files/pdf/ekvpaper1.pdf>>. Acesso em: 13 jan. 2016.

FLANDRE, D. et al. Comparison of SOI versus bulk performances of CMOS micropower single-stage OTAs. **Electronics Letters**, v. 30, n. 23, p. 1933-1934, nov. 1994. Disponível em: <<http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=335665>>. Acesso em: 11 jan. 2016.

FLANDRE, D. et al. Modelling and application of fully depleted SOI MOSFETs for low voltage, low power analogue CMOS circuits. **Solid-State Electronics**, v. 39, n. 4, p. 455-460, abr. 1996. Disponível em:

<<http://www.sciencedirect.com/science/article/pii/0038110195001670>>. Acesso em: 09 dez. 2015.

FLANDRE, D. et al. Fully depleted SOI CMOS technology for heterogeneous micropower, high temperature or RF microsystems. **Solid-State Electronics**, v. 45, n. 4, p. 541-549, abr. 2001. Disponível em:

<<http://www.sciencedirect.com/science/article/pii/S0038110101000843>>. Acesso em: 26 abr. 2016.

FOSSUM, E. R. CMOS image sensors: electronic camera-on-a-chip. **IEEE Transactions on Electron Devices**, v. 44, n. 10, p. 1689-1698, out. 1997. Disponível em:

<<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=628824>>. Acesso em: 13 jan. 2016.

FOSSUM, J. G.; CHOI, J.-Y.; SUNDARESAN, R. SOI design for competitive CMOS VLSI. **IEEE Transactions on Electron Devices**, v. 37, n. 3, p. 724-729, mar. 1990. Disponível em:

<<http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=47778>>. Acesso em: 09 dez. 2015.

FRANÇA, J. E.; TSIVIDIS, Y. **Design of analog-digital VLSI circuits for telecommunications and signal processing**. 2nd ed. New Jersey: Prentice Hall, 1994.

GALUP-MONTORO, C.; SCHNEIDER, M. C.; LOSS, I. J. B. Series-parallel association of FET's for high gain and high frequency applications. **IEEE Journal of Solid-State Circuits**, v. 29, n. 9, p. 1094-1101, set. 1994. Disponível em:

<<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=309905>>. Acesso em: 10 dez. 2015.

GAO, M. et al. Twin-MOSFET structure for suppression of kink and parasitic bipolar effects in SOI MOSFETs at room and liquid helium temperatures. **Solid-State Electronics**, v. 35, n. 4, p. 505-512, abr. 1992. Disponível em:

<<http://www.sciencedirect.com/science/article/pii/003811019290112P>>. Acesso em: 06 jan. 2016.

GARCÍA SÁNCHEZ, F. J.; ORTIZ-CONDE, A.; MUCI, J. Understanding threshold voltage in undoped-body MOSFETs: an appraisal of various criteria. **Microelectronics Reliability**, v. 46, n. 5-6, p. 731-742, maio/jun. 2006. Disponível em:

<<http://www.sciencedirect.com/science/article/pii/S0026271405003033>>. Acesso em: 08 mar. 2016.

GHIBAUDO, G. et al. Improved analysis of low frequency noise in field-effect MOS transistors. **Physica Status Solidi (a)**, v. 124, n. 2, p. 571-581, abr. 1991. Disponível em:

<[https://www.researchgate.net/publication/227825735\\_Improved\\_Analysis\\_of\\_Low\\_Frequency\\_Noise\\_in\\_Field-Effect\\_MOS\\_Transistors](https://www.researchgate.net/publication/227825735_Improved_Analysis_of_Low_Frequency_Noise_in_Field-Effect_MOS_Transistors)>. Acesso em: 11 jul. 2017.

GIMENEZ, S. P. et al. Design of operational transconductance amplifiers with improved gain by using graded-channel SOI nMOSFETs. In: SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN, 16., 2003, São Paulo. **Proceedings...** IEEE, 2003. p. 26-31. Disponível em: <<http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=1232802>>. Acesso em: 26 abr. 2016.

GRAY, P. R. et al. **Analysis and design of analog integrated circuits**. 5th ed. Hoboken: John Wiley & Sons, 2009.

GROENEWOLD, G.; LUBBERS, W. J. Systematic distortion analysis for MOSFET integrators with use of a new MOSFET model. **IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing**, v. 41, n. 9, p. 569-580, set. 1994. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=326583>>. Acesso em: 15 jan. 2016.

GROESENEKEN, G. et al. Temperature dependence of threshold voltage in thin-film SOI MOSFETs. **IEEE Electron Device Letters**, v. 11, n. 8, p. 329-331, ago. 1990. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?reload=true&arnumber=57923>>. Acesso em: 15 dez. 2015.

HAARTMAN, M. V.; ÖSTLING, M. **Low-frequency noise in advanced MOS devices**. Dordrecht: Springer, 2007.

HELMI, S. R.; CHEN, J.-H.; MOHAMMADI, S. High-efficiency microwave and mm-wave stacked cell CMOS SOI power amplifiers. **IEEE Transactions on Microwave Theory and Techniques**, v. 64, n. 7, p. 2025-2038, jul. 2016. Disponível em: <<http://ieeexplore.ieee.org/document/7498593/>>. Acesso em: 23 jan. 2018.

HERZBERG, F. One more time: How do you motivate employees?. **Harvard Business Review**, Boston, v. 46, n. 1, p. 53-62, jan./fev. 1968. Disponível em: <<https://hbr.org/2003/01/one-more-time-how-do-you-motivate-employees>>. Acesso em: 07 dez. 2015.

HISAMOTO, D. et al. A fully depleted lean-channel transistor (DELTA)- a novel vertical ultrathin SOI MOSFET. **IEEE Electron Device Letters**, v. 11, n. 1, p. 36-38, jan. 1990. Disponível em: <<http://ieeexplore.ieee.org/document/46923/>>. Acesso em: 15 dez. 2015.

HOOGE, F. N. 1/f noise is no surface effect. **Physics Letters A**, v. 29, n. 3, p. 139-140, abr. 1969. Disponível em: <<http://www.sciencedirect.com/science/article/pii/0375960169900760>>. Acesso em: 19 jan. 2016.

HOOGE, F. N.; VANDAMME, L. K. J. Lattice scattering causes 1/f noise. **Physics Letters A**, v. 66, n. 4, p. 315-316, maio 1978. Disponível em: <[https://www.researchgate.net/publication/253766993\\_Lattice\\_scattering\\_causes\\_1f\\_noise](https://www.researchgate.net/publication/253766993_Lattice_scattering_causes_1f_noise)>. Acesso em: 26 jan. 2016.

HUANG, X. et al. Sub 50-nm FinFET: PMOS. In: INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 1999, Washington. **Proceedings...** IEEE, 1999. p. 67-70. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?tp=&arnumber=823848>>. Acesso em: 17 dez. 2015.

JAKOBSON, C.; BLOOM, I.; NEMIROVSKY, Y. 1/f noise in CMOS transistors for analog applications from subthreshold to saturation. **Solid-State Electronics**, v. 42, n. 10, p. 1807-1817, out. 1998. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0038110198001622>>. Acesso em: 23 ago. 2017.

JAYARAMAN, R.; SODINI, C. G. A 1/f noise technique to extract the oxide trap density near the conduction band edge of silicon. **IEEE Transactions on Electron Devices**, v. 36, n. 9, p. 1773-1782, set. 1989. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?tp=&arnumber=34242>>. Acesso em: 22 jan. 2016.

KILCHYTSKA, V. et al. Trigate nanowire MOSFETs analog figures of merit. **Solid-State Electronics**, v. 112, p. 78-84, out. 2015. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0038110115000489>>. Acesso em: 02 jun. 2017.

KISTLER, N.; WOO, J. Detailed characterization and analysis of the breakdown voltage in fully depleted SOI n-MOSFET's. **IEEE Transactions on Electron Devices**, v. 41, n. 7, p. 1217-1221, jul. 1994. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=293350>>. Acesso em: 15 dez. 2015.

KLAASSEN, D. B. M. A unified mobility model for device simulation—I. Model equations and concentration dependence. **Solid-State Electronics**, v. 35, n. 7, p. 953-959, jul. 1992. Disponível em: <<http://www.sciencedirect.com/science/article/pii/0038110192903257>>. Acesso em: 07 nov. 2016.

KONONCHUK, O. (Ed.); NGUYEN, B.-Y. (Ed.). **Silicon-on-insulator (SOI) technology: manufacture and applications**. Cambridge: Elsevier, 2014.

KOSSEL, M. et al. A 10 Gb/s 8-tap 6b 2-PAM/4-PAM tomlinson-harashima precoding transmitter for future memory-link applications in 22-nm SOI CMOS. **IEEE Journal of Solid-State Circuits**, v. 48, n. 12, p. 3268-3284, dez. 2013. Disponível em: <<http://ieeexplore.ieee.org/document/6588942/>>. Acesso em: 23 jan. 2018.

KRANTI, A. et al. Laterally asymmetric channel engineering in fully depleted double gate SOI MOSFETs for high performance analog applications. **Solid-State Electronics**, v. 48, n. 6, p. 947-959, jun. 2004. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0038110103004386>>. Acesso em: 11 jan. 2016.

KRISHNAN, S.; FOSSUM, J. G. Grasping SOI floating-body effects. **IEEE Circuits and Devices Magazine**, v. 14, n. 4, p. 32-37, jul. 1998. Disponível em: <<http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=708479>>. Acesso em: 15 dez. 2015.

KRULL, W. A.; LEE, J. C. Demonstration of the benefits of SOI for high temperature operation. In: SOS/SOI TECHNOLOGY WORKSHOP, 1988, Saint Simons Island.

**Proceedings...** IEEE, 1988. p. 69. Disponível em:

<<http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=95439>>. Acesso em: 09 dez. 2015.

LAKER, K. R.; SANSEN W. M. C. **Design of analog integrated circuits and systems**. New York: McGraw-Hill, 1994.

LAKSHMIKUMAR, K. R.; HADAWAY, R. A.; COPELAND, M. A. Characterisation and modeling of mismatch in MOS transistors for precision analog design. **IEEE Journal of Solid-State Circuits**, v. 21, n. 6, p. 1057-1066, dez. 1986. Disponível em:

<<http://ieeexplore.ieee.org/abstract/document/1052648/>>. Acesso em: 12 jul. 2017.

LANDGRAF, E. et al. Influence of crystal orientation and body doping on trigate transistor performance. **Solid-State Electronics**, v. 50, n. 1, p. 38-43, jan. 2006. Disponível em:

<<http://www.sciencedirect.com/science/article/pii/S0038110105003229>>. Acesso em: 17 dez. 2015.

LILIENFELD, J. E. **Method and apparatus for controlling electric currents**. US n.

1745175 A, 28 jan. 1930. 3p. Disponível em: <<https://www.google.com/patents/US1745175>>. Acesso em: 08 dez. 2015.

LIM, H.-K.; FOSSUM, J. G. Threshold voltage of thin-film silicon-on-insulator (SOI) MOSFET's. **IEEE Transactions on Electron Devices**, v. 30, n. 10, p. 1244-1251, out. 1983.

Disponível em: <<http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=1483183>>. Acesso em: 15 dez. 2015.

LIM, H.-K; FOSSUM, J. G. Current-voltage characteristics of thin-film SOI MOSFET's in strong inversion. **IEEE Transactions on Electron Devices**, v. 31, n. 4, p. 401-408, abr. 1984.

Disponível em: <<http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=1483825>>. Acesso em: 21 jun. 2016.

LIU, Q. et al. Impact of back bias on ultra-thin body and BOX (UTBB) devices. In: SYMPOSIUM ON VLSI TECHNOLOGY (VLSIT), 2011, Honolulu. **Proceedings...** IEEE,

2011. p. 160-161. Disponível em: <<http://ieeexplore.ieee.org/document/5984684>>. Acesso em: 02 jun. 2017.

LOMBARDI, C. et al. A physically based mobility model for numerical simulation of nonplanar devices. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, v. 7, n. 11, p. 1164-1171, nov. 1988. Disponível em:

<<http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=9186>>. Acesso em: 07 nov. 2016.

LUNDSTROM, M. **Fundamentals of carrier transport**. 2nd ed. Cambridge: Cambridge University, 2000.

MAES, W.; MEYER, K. de; OVERSTRAETEN, R. Van. Impact ionization in silicon: a review and update. **Solid-State Electronics**, v. 33, n. 6, p. 705-718, jun. 1990. Disponível em:

<<http://www.sciencedirect.com/science/article/pii/003811019090183F>>. Acesso em: 08 jan. 2016.

MAXIMA. **Maxima manual**. 2000. Manual versão 5.41.0.

MCWHORTER, A. L. 1/f noise and germanium surface properties. In: KINGSTON, R. H. (Ed.). **Semiconductor Surface Physics**. Philadelphia: University of Pennsylvania, 1957. p. 207-228.

MIYANO, S.; HIROSE, M.; MASUOKA, F. Numerical analysis of a cylindrical thin-pillar transistor (CYNTHIA). **IEEE Transactions on Electron Devices**, v. 39, n. 8, p. 1876-1881, ago. 1992. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?tp=&arnumber=144678>>. Acesso em: 17 dez. 2015.

MOTCHENBACHER, C. D.; CONNELLY, J. A. **Low-noise electronic system design**. New York: John Wiley & Sons, 1993.

NEMER, J. P. et al. Low frequency noise in submicron graded-channel SOI MOSFETs. In: SYMPOSIUM ON MICROELECTRONICS TECHNOLOGY AND DEVICES (SBMICRO), 28., 2013, Curitiba. **Proceedings...** 2013. p. 1-4. Disponível em: <<http://ieeexplore.ieee.org/document/6676173/>>. Acesso em: 16 mar. 2018.

ORTIZ-CONDE, A. et al. A review of recent MOSFET threshold voltage extraction methods. **Microelectronics Reliability**, v. 42, n. 4-5, p. 583-596, abr./maio 2002. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S0026271402000276>>. Acesso em: 24 jan. 2018.

OVERSTRAETEN, R. Van; MAN, H. De. Measurement of the ionization rates in diffused silicon p-n junctions. **Solid-State Electronics**, v. 13, n. 5, p. 583-608, maio 1970. Disponível em: <<http://www.sciencedirect.com/science/article/pii/0038110170901395>>. Acesso em: 07 nov. 2016.

PARK, J.-T.; COLINGE, J.-P.; DIAZ, C. H. Pi-gate SOI MOSFET. **IEEE Electron Device Letters**, v. 22, n. 8, p. 405-406, ago. 2001. Disponível em: <<http://ieeexplore.ieee.org/abstract/document/936358/>>. Acesso em: 17 dez. 2015.

PAVANELLO, M. A. et al. The graded-channel SOI MOSFET to alleviate the parasitic bipolar effects and improve the output characteristics. In: SYMPOSIUM ON SILICON-ON-INSULATOR TECHNOLOGY AND DEVICES, 9., 1999. **Proceedings...** Pennington: The Electrochemical Society, 1999. v. 99-3, p. 293-298.

PAVANELLO, M. A.; MARTINO, J. A.; FLANDRE, D. Graded-channel fully depleted silicon-on-insulator nMOSFET for reducing the parasitic bipolar effects. **Solid-State Electronics**, v. 44, n. 6, p. 917-922, jun. 2000. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0038110100000320>>. Acesso em: 26 abr. 2016.

PAZ, B. C. et al. Harmonic distortion analysis of triple gate SOI nanowire MOSFETS down to 100K. **Microelectronics Reliability**, v. 79, p. 111-118, dec. 2017. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S002627141730478X>>. Acesso em: 11 dez. 2017.

PELGROM, M. J. M.; DUINMAIJER, A. C. J.; WELBERS, A. P. G. Matching properties of MOS transistors. **IEEE Journal of Solid-State Circuits**, v. 24, n. 5, p. 1433-1440, out. 1989. Disponível em: <<http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=572629>>. Acesso em: 12 jan. 2016.

POIROUX, T. et al. Multiple gate devices: advantages and challenges. **Microelectronic Engineering**, v. 80, p. 378-385, jun. 2005. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0167931705002340>>. Acesso em: 08 mar. 2016.

PU, Y. et al. A 9-mm<sup>2</sup> ultra-low-power highly integrated 28-nm CMOS SoC for internet of things. **IEEE Journal of Solid-State Circuits**, v. 53, n. 3, p. 936-948, mar. 2018. Disponível em: <<http://ieeexplore.ieee.org/document/8244245/>>. Acesso em: 16 mar. 2018.

PUT, S. et al. Effect of rotation, gate-dielectric and SEG on the noise behavior of advanced SOI MuGFETs. **Solid-State Electronics**, v. 54, n. 2, p. 178-184, fev. 2010. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0038110109003591>>. Acesso em: 01 jun. 2017.

RASKIN, J.-P. et al. Analog/RF performance of multiple gate SOI devices: wideband simulations and characterization. **IEEE Transactions on Electron Devices**, v. 53, n. 5, p. 1088-1095, maio 2006. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=1624689>>. Acesso em: 11 jan. 2016.

RAZAVI, B. **Design of analog CMOS integrated circuits**. New York: McGraw-Hill, 2001.

ROBERTSON, J.; WALLACE, R. M. High-K materials and metal gates for CMOS applications. **Materials Science and Engineering**, v. 88, p. 1-41, fev. 2015. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0927796X14001168>>. Acesso em: 10 jul. 2017.

SANTOS, A. A.; FLANDRE, D.; PAVANELLO, M. A. Impact of graded-channel SOI MOSFET application on the performance of cascode and wilson current mirrors. **Electrochemical Society Transactions**, v. 9, n. 1, p. 441-450, 2007. Disponível em: <<http://ecst.ecsdl.org/content/9/1/441.abstract>>. Acesso em: 26 abr. 2016.

SANTOS, I. C. B. et al. Asymmetric series association of SOI MOSFET to improve the device analog characteristics. In: WORKSHOP OF THE THEMATIC NETWORK ON SILICON ON INSULATOR TECHNOLOGY, DEVICES AND CIRCUITS (EUROSOI), 7., 2011, Granada. **Proceedings...** 2011. p. 103-104.

SCHWANK, J. R. et al. Radiation effects in SOI technologies. **IEEE Transactions on Nuclear Science**, v. 50, n. 3, p. 522-538, jun. 2003. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=1208574>>. Acesso em: 09 dez. 2015.

SEDRA, A. S.; SMITH, K. C. **Microeletrônica**. 5th ed. São Paulo: Pearson Prentice Hall, 2007.

SEKIGAWA, T.; HAYASHI, Y. Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate. **Solid-State Electronics**, v. 27, n. 8-9, p. 827-828, ago./set. 1984. Disponível em:

<<http://www.sciencedirect.com/science/article/pii/0038110184900364>>. Acesso em: 17 dez. 2015.

SHIH, C.-H.; WANG, J.-S. Threshold voltage of ultrathin gate-insulator MOSFETs. **IEEE Electron Device Letters**, v. 30, n. 3, p. 278-281, mar. 2009. Disponível em:

<<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=4787235>>. Acesso em: 08 mar. 2016.

SHOCKLEY, W.; READ, W. T. Statistics of the recombinations of holes and electrons. **Physical Review**, v. 87, n. 5, p. 835-842, set. 1952. Disponível em:

<<http://journals.aps.org/pr/abstract/10.1103/PhysRev.87.835>>. Acesso em: 07 nov. 2016.

SILVEIRA, F.; FLANDRE, D.; JESPERS, P. G. A. A  $g_m/I_D$  based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. **IEEE Journal of Solid-State Circuits**, v. 31, n. 9, p. 1314-1319, set. 1996. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=535416>>. Acesso em: 11 jan. 2016.

SIMOEN, E.; CLAEYS, C. The low-frequency noise behaviour of silicon-on-insulator technologies. **Solid-State Electronics**, v. 39, n. 7, p. 949-960, jul. 1996. Disponível em:

<<http://www.sciencedirect.com/science/article/pii/0038110195004270>>. Acesso em: 01 fev. 2016.

SIMOEN, E. et al. Critical discussion of the front-back gate coupling effect on the low-frequency noise in fully depleted SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 51, n. 6, p. 1008-1016, jun. 2004. Disponível em:

<<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=1300838>>. Acesso em: 01 fev. 2016.

SLOTBOOM, J. W.; GRAAFF, H. C. de. Measurements of bandgap narrowing in Si bipolar transistors. **Solid-State Electronics**, v. 19, n. 10, p. 857-862, out. 1976. Disponível em:

<<http://www.sciencedirect.com/science/article/pii/0038110176900435>>. Acesso em: 07 nov. 2016.

SOUZA, M. de; FLANDRE, D.; PAVANELLO, M. A. Advantages of graded-channel SOI nMOSFETs for application as source-follower analog buffer. **Solid-State Electronics**, v. 52, n. 12, p. 1933-1938, dez. 2008a. Disponível em:

<<http://www.sciencedirect.com/science/article/pii/S0038110108002955>>. Acesso em: 13 jan. 2016.

SOUZA, M. de; FLANDRE, D.; PAVANELLO, M. A. Study of matching properties of graded-channel SOI MOSFETs. **Journal of Integrated Circuits and Systems**, v. 3, n. 2, p. 69-75, 2008b. Disponível em: <<http://www.sbmicro.org.br/jics/html/artigos/vol3no2/02.pdf>>.

Acesso em: 27 abr. 2016.

- SOUZA, M. de; FLANDRE, D.; PAVANELLO, M. A. Asymmetric self-cascode configuration to improve the analog performance of SOI nMOS transistors. In: INTERNATIONAL SOI CONFERENCE, 2011, Tempe. **Proceedings...** IEEE, 2011. p. 1-2. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=6081716>>. Acesso em: 10 dez. 2015.
- SOUZA, M. de; FLANDRE, D.; PAVANELLO, M. A. Analog performance of asymmetric self-cascode p-channel fully depleted SOI transistors. In: INTERNATIONAL CARIBBEAN CONFERENCE ON DEVICES, CIRCUITS AND SYSTEMS (ICCDACS), 8., 2012, Playa del Carmen. **Proceedings...** IEEE, 2012. p. 1-4. Disponível em: <<http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=6188932>>. Acesso em: 10 dez. 2015.
- SOUZA, M. de; FLANDRE, D.; PAVANELLO, M. A. Channel length influence on the analog characteristics of asymmetric self-cascode association of SOI transistors. In: SYMPOSIUM ON MICROELECTRONICS TECHNOLOGY AND DEVICES (SBMICRO), 2013, Curitiba. **Proceedings...** IEEE, 2013. p. 1-4. Disponível em: <<http://ieeexplore.ieee.org/document/6676154/>>. Acesso em: 24 jan. 2018.
- SOUZA, M. de; FLANDRE, D.; PAVANELLO, M. A. Advantages of subthreshold operation of asymmetric self-cascode SOI transistors aiming at analog circuit applications. In: IEEE SOI-3D-SUBTHRESHOLD MICROELECTRONICS TECHNOLOGY UNIFIED CONFERENCE (S3S), 2015, Rohnert Park. **Proceedings...** IEEE, 2015. p. 1-3. Disponível em: <<http://ieeexplore.ieee.org/document/7333488>>. Acesso em: 13 jun. 2017.
- SOUZA, M. de et al. On the improvement of DC analog characteristics of FD SOI transistors by using asymmetric self-cascode configuration. **Solid-State Electronics**, v. 117, p. 152-160, mar. 2016. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0038110115003378>>. Acesso em: 05 abr. 2016.
- SU, L. T. et al. Hot-carrier effects in fully depleted SOI nMOSFETs. In: INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 1992, San Francisco. **Proceedings...** IEEE, 1992. p. 349-352. Disponível em: <<http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=307376>>. Acesso em: 09 dez. 2015.
- SYNOPSISYS. **Sentaurus device user guide**. 2016. Manual versão M-2016.12.
- SZE, S. M.; KWOK, K. Ng. **Physics of semiconductor devices**. 3rd ed. Hoboken: John Wiley & Sons, 2007.
- TAKAGI, S. et al. On the universality of inversion layer mobility in Si MOSFET's: Part I-effects of substrate impurity concentration. **IEEE Transactions on Electron Devices**, v. 41, n. 12, p. 2357-2362, dez. 1994. Disponível em: <<http://ieeexplore.ieee.org/document/337449/>>. Acesso em: 26 jun. 2017.
- TARUCHA, S. et al. Elastic and inelastic single electron tunneling in coupled two dot system. **Microelectronic Engineering**, v. 47, n. 1-4, p. 101-105, jun. 1999. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S0167931799001628>>. Acesso em: 19 mar. 2018.

THEODOROU, C. G. et al. Origin of the low-frequency noise in n-channel FinFETs. **Solid-State Electronics**, v. 82, p. 21-24, abr. 2013. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0038110113000154>>. Acesso em: 01 fev. 2016.

TSENG, Y.-C. et al. Comprehensive study on low-frequency noise characteristics in surface channel SOI CMOSFETs and device design optimization for RF ICs. **IEEE Transactions on Electron Devices**, v. 48, n. 7, p. 1428-1437, jul. 2001. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=930662>>. Acesso em: 01 fev. 2016.

TSIVIDIS, Y. **Operation and modeling of the MOS transistor**. 2nd ed. Boston: McGraw-Hill, 1998.

VASILESCU, G. **Electronic noise and interfering signals: principles and applications**. Heidelberg: Springer, 2005.

VEERARAGHAVAN, S.; FOSSUM, J. G. A physical short-channel model for the thin-film SOI MOSFET applicable to device and circuit CAD. **IEEE Transactions on Electron Devices**, v. 35, n. 11, p. 1866-1875, nov. 1988. Disponível em: <<http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=7399>>. Acesso em: 07 jan. 2016.

VEERARAGHAVAN, S.; FOSSUM, J. G. Short-channel effects in SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 36, n. 3, p. 522-528, mar. 1989. Disponível em: <<http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=19963>>. Acesso em: 07 jan. 2016.

VIGILANTE, M.; REYNAERT, P. A wideband class-AB power amplifier with 29-57-GHz AM-PM compensation in 0.9-V 28-nm bulk CMOS. **IEEE Journal of Solid-State Circuits**, p. 1-14, dez. 2017. Disponível em: <<http://ieeexplore.ieee.org/document/8227000/>>. Acesso em: 16 mar. 2018.

XIONG, W.; PARK, J. W.; COLINGE, J.-P. Corner effect in multiple-gate SOI MOSFETs. In: INTERNATIONAL SOI CONFERENCE, 2003, Newport Beach. **Proceedings... IEEE**, 2003. p. 111-113. Disponível em: <<http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=1242919>>. Acesso em: 18 dez. 2015.

WAMBACQ, P.; SANSEN, W. **Distortion analysis of analog integrated circuits**. Dordrecht: Kluwer Academic, 1998.

YANG, F.-L. et al. 25 nm CMOS omega FETs. In: INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 2002, San Francisco. **Proceedings... IEEE**, 2002. p. 255-258. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?tp=&arnumber=1175826>>. Acesso em: 17 dez. 2015.

YOSHIMI, M. et al. Observation of mobility enhancement in ultrathin SOI MOSFETs. **Electronics Letters**, v. 24, n. 17, p. 1078-1079, ago. 1988. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=191746>>. Acesso em: 09 dez. 2015.

YOSHIMI, M. et al. Two-dimensional simulation and measurement of high-performance MOSFETs made on a very thin SOI film. **IEEE Transactions on Electron Devices**, v. 36, n. 3, p. 493-503, mar. 1989. Disponível em: <http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=19959>>. Acesso em: 15 dez. 2015.

YOUNG, K. K. Short-channel effect in fully depleted SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 36, n. 2, p. 399-402, fev. 1989. Disponível em: <http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=19942>>. Acesso em: 09 dez. 2015.

ZYUBAN, V. et al. IBM POWER8 circuit design and energy optimization. **IBM Journal of Research and Development**, v. 59, n. 1, p. 9:1-9:16, jan./fev. 2015. Disponível em: <http://ieeexplore.ieee.org/document/7029208/>>. Acesso em: 23 jan. 2018.



**APÊNDICE A** – Arquivo de geração do transistor SOI planar simulado

Arquivo para geração de um transistor SOI planar no Sentaurus *Structure Editor*:

```

.....
;; sde -e -l xx.scm ;;
;; tecplot_sv xx_msh.tdr ;;
.....

; Limpa
(sde:clear)

; Dimensoes
(define L 2)
(define Lfonte 0.25)
(define Ldreno 0.25)
(define W (@W@))
(define tox 0.031)
(define tsi 0.08)
(define toxb 0.39)
(define Na 5.6e16)
(define Nd 1e+21)

(define RefinoDrenoDist 0.020)
(define RefinoDrenoCanalDist 0.020)

.....
;; REGIOES ;;
.....

; Define o óxido enterrado
(define r1 (sdegeo:create-rectangle
  (position (- (+ (/ L 2) Lfonte)) (- (/ toxb 2)) 0.0)
  (position (+ (/ L 2) Ldreno) (/ toxb 2) 0.0)
  "Oxide" "region_corpo"
))
)

; Define a fonte
(define r2 (sdegeo:create-rectangle
  (position (- (+ (/ L 2) Lfonte)) (/ toxb 2) 0.0)
  (position (- (- (/ L 2) 0.1)) (+ (/ toxb 2) tsi) 0.0)
  "Silicon" "region_fonte"
))
)

; Define a fonte_1
(define r3 (sdegeo:create-rectangle
  (position (- (+ (/ L 2) Lfonte)) (+ (/ toxb 2) tsi) 0.0)
  (position (- (+ (/ L 2) 0.1)) (+ (+ (/ toxb 2) tsi) 0.005) 0.0)
  "Silicon" "region_fonte_1"
))
)

; Define canal
(define r4 (sdegeo:create-rectangle
  (position (- (- (/ L 2) 0.1)) (/ toxb 2) 0.0)
  (position (- (/ L 2) 0.1) (+ (/ toxb 2) tsi) 0.0)
  "Silicon" "Canal"
))
)

```



```

(sdedr:define-constant-profile "ConstantProfileDefinition_fonedreno" "ArsenicActiveConcentration" Nd)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_fonte"
"ConstantProfileDefinition_fonedreno" "region_fonte")

; Fonte_1
(sdedr:define-constant-profile "ConstantProfileDefinition_fonedreno" "ArsenicActiveConcentration" Nd)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_fonte_1"
"ConstantProfileDefinition_fonedreno" "region_fonte_1")

; Dreno
(sdedr:define-constant-profile "ConstantProfileDefinition_fonedreno" "ArsenicActiveConcentration" Nd)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_dreno"
"ConstantProfileDefinition_fonedreno" "region_dreno")

; Dreno_1
(sdedr:define-constant-profile "ConstantProfileDefinition_fonedreno" "ArsenicActiveConcentration" Nd)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_dreno_1"
"ConstantProfileDefinition_fonedreno" "region_dreno_1")

; Canal
(sdedr:define-constant-profile "ConstantProfileDefinition_Canal" "BoronActiveConcentration" Na)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_Canal"
"ConstantProfileDefinition_Canal" "Canal")

; Definição refino

(sdedr:define-refinement-size "RefinementDefinition_fonedreno" (/ Lfonte 10) (/ tsi 10) (/ W 5) (/ Lfonte
20) (/ tsi 10) (/ W 10) )
(sdedr:define-refinement-region "RefinementPlacement_fonte" "RefinementDefinition_fonedreno"
"region_fonte" )

(sdedr:define-refinement-size "RefinementDefinition_fonedreno" (/ Ldreno 10) (/ tsi 10) (/ W 5) (/ Ldreno
20) (/ tsi 10) (/ W 10) )
(sdedr:define-refinement-region "RefinementPlacement_dreno" "RefinementDefinition_fonedreno"
"region_dreno" )

(sdedr:define-refinement-size "RefinementDefinition_Canal" (/ L 20) (/ tsi 10) (/ W 5) (/ L 40) (/ tsi 20) (/
W 10) )
(sdedr:define-refinement-region "RefinementPlacement_Canal" "RefinementDefinition_Canal" "Canal" )

(sdedr:define-refinement-size "RefinementDefinition_oxporta" (/ L 20) (/ tox 1) (/ W 5) (/ L 8) (/ tox 2) (/
W 10) )
(sdedr:define-refinement-region "RefinementPlacement_oxporta" "RefinementDefinition_oxporta"
"region_oxporta" )

(sdedr:define-refinement-size "RefinementDefinition_corpo" (/ (+ L (* Lfonte 2)) 4) (/ toxb 1) (/ W 5) (/ (+
L (* Ldreno 2)) 8) (/ toxb 2) (/ W 10) )
(sdedr:define-refinement-region "RefinementPlacement_corpo" "RefinementDefinition_corpo"
"region_corpo" )

(sde:set-meshing-command "snmesh -a -c boxmethod")
(sdedr:append-cmd-file "")

(sde:save-model "SOI_Conv_HD_W_@W@")
(sde:build-mesh "snmesh" "-a -c boxmethod" "SOI_Conv_HD_W_@W@")

"Meshing successful"

```

**APÊNDICE B** – Arquivo de simulação de dispositivo

Arquivo de simulação da estrutura A-SC no Sentaurus *Device*:

```

Device MD {
  Electrode{
    {Name="fonte_1" Voltage=0.000 DistResist=5e-7}
    {Name="dreno_1" Voltage=0.00 DistResist=5e-7}
    {Name="porta" Voltage=0.00 Material="PolySi"(N)}
    {Name="corpo" Voltage=0.00 workfunction=4.95}
  }
  File {
    * input files:
    Grid = "SOI_Conv_LD_W_@Wd@_msh.tdr"
    Doping = "SOI_Conv_LD_W_@Wd@_msh.tdr"
    Parameter="models.par"
  }
  Physics(
    MaterialInterface="Silicon/Oxide") {
    charge(Conc=5e+10)
  }
  Physics {
    Mobility(PhuMob
      Enormal
      HighFieldSaturation
      DopingDependence)
    Recombination(SRH(DopingDep) Auger Avalanche)
    EffectiveIntrinsicDensity(BandGapNarrowing (OldSlotboom))
    Temperature=300
  }
}

Device MS {
  Electrode{
    {Name="fonte_1" Voltage=0.000 DistResist=2e-6}
    {Name="dreno_1" Voltage=0.00 DistResist=2e-6}
    {Name="porta" Voltage=0.00 Material="PolySi"(N)}
    {Name="corpo" Voltage=0.00 workfunction=4.95}
  }
  File {
    * input files:
    Grid = "SOI_Conv_HD_W_@Ws@_msh.tdr"
    Doping = "SOI_Conv_HD_W_@Ws@_msh.tdr"
    Parameter="models.par"
  }
  Physics(
    MaterialInterface="Silicon/Oxide") {
    charge(Conc=5e+10)
  }
  Physics {
    Mobility(PhuMob
      Enormal
      HighFieldSaturation
      DopingDependence)
    Recombination(SRH(DopingDep) Auger Avalanche)
    EffectiveIntrinsicDensity(BandGapNarrowing (OldSlotboom))
    Temperature=300
  }
}

```

```

}
System {
  Vsource_pset Vg (a 0) {dc=0}
  Vsource_pset Vd (d 0) {dc=0}
  MD md( "fonte_1"=b "dreno_1"=d "porta"=a "corpo"=c )
  MS ms( "fonte_1"=c "dreno_1"=b "porta"=a "corpo"=c )
  Plot "IdxVg_Vd_15V_MD@Wd@_MS@Ws@.txt" (v(a c) v(d c) v(b c) i(md d))
  Set (c=0)
}
File {
  * output files:
  Plot = "IdxVg_Vd_15V_MD@Wd@_MS@Ws@_des.tdr"
  Current = "IdxVg_Vd_15V_MD@Wd@_MS@Ws@_des.plt"
  Output = "IdxVg_Vd_15V_MD@Wd@_MS@Ws@_des.log"
}
Plot {
  eDensity hDensity eCurrent hCurrent
  Potential SpaceCharge ElectricField
  eMobility hMobility eVelocity hVelocity
  Doping DonorConcentration AcceptorConcentration
}
Math {
  #Extrapolate
  RelErrControl
  Digits=4
  Notdamped=50
  iterations=20
  NoCheckTransientError
  #Method=ils
  ExtendedPrecision
  Method= Blocked
  SubMethod= ILS(set=12)
  ILSrc = "set(12){
iterative(gmres(100), tolrel=1e-9, maxit=200);
preconditioning(ilut(0.00001,-1),left);
ordering ( symmetric=nd, nonsymmetric=mpsilst );
options( compact=yes, linscale=0, refineresidual=20, verbose=1);
};"
  Number_of_Threads = 2
  Wallclock
}
Solve {
  #--initial solution:
  Poisson
  Coupled{Poisson Electron hole}
  Quasistationary(Maxstep= 0.1 Minstep=1e-6
    Goal{Parameter=Vd.dc Value=1.5})
  {Coupled{Poisson Electron hole}}
  #--ramp gate:
  Quasistationary(Maxstep= 0.01 Minstep=1e-6
    Goal{Parameter=Vg.dc Value=3})
  {Coupled{Poisson Electron hole}CurrentPlot (Time=(range=(0 1) intervals=300))}
}

```



**APÊNDICE C – Arquivo de parâmetros de ajuste das simulações**

Arquivo *models.par* para ajuste das simulações com os resultados experimentais:

```

Material = "Silicon" {

PhuMob:
{ * Philips Unified Mobility Model:
      mumax_As      = 1.100e+03    # [cm^2/Vs]
}

EnormalDependence
{ * mu_Enorm^(-1) = mu_ac^(-1) + mu_sr^(-1) with:
  * mu_ac = B / Enorm + C (T/T0)^(-k) ((N+N2)/N0)^lambda / Enorm^(1/3)
  * mu_sr^-1 = Enorm^(A+alpha*n/(N+N1)^nu) / delta + Enorm^3 / eta
  * EnormalDependence is added with factor exp(-l/l_crit), where l is
  * the distance to the nearest point of semiconductor/insulator interface.
  * Factor is equal to 1 if l_crit > 100.
      B      = 1.0000e+07, 9.9250e+06    # [cm/s]
      C      = 3.7000e+02, 2.9470e+03    # [cm^(5/3)/(V^(2/3)s)]
}

HighFieldDependence:
{ * Caughey-Thomas model:
  * mu_highfield = ( (alpha+1)*mu_lowfield ) /
  *   ( alpha + ( 1 + ( (alpha+1)*mu_lowfield*E/vsat)^beta )^(1/beta) )
  * beta = beta0 (T/T0)^betaexp.
      beta0   = 1.5, 1.213    # [1]
      betaexp = 0.66, 0.17    # [1]
      alpha   = 0.0000e+00, 0.0000e+00    # [1]
}

vanOverstraetendeMan * Impact Ionization:
{ * G_impact = alpha_n n v_drift_n + alpha_p p v_drift_p
  * with alpha = gamma a exp(-b gamma/E) for E<E0 (low) and E>E0 (high)
  * with gamma = tanh(hbarOmega/(2kT0)) / tanh(hbarOmega/(2kT))
      a(low)  = 2.0000e+06, 1.5820e+06    # [1/cm]
      a(high) = 2.0000e+06, 6.7100e+05    # [1/cm]
      b(low)  = 2.5000e+06, 2.0360e+06    # [V/cm]
      b(high) = 2.5000e+06, 1.6930e+06    # [V/cm]
      E0      = 4.0000e+05, 4.0000e+05    # [V/cm]
      hbarOmega = 0.063, 0.063    # [eV]
}
}
}

```

**APÊNDICE D** – Modelo analítico de corrente de dreno da estrutura A-SC

```

/*=====*/
/*          Modelo analítico contínuo de corrente de dreno para a estrutura A-SC          */
/*          Desenvolvido por Rafael Assalti e Michelly de Souza                          */
/*          Implementado por Rafael Assalti em 10 de Outubro de 2017                    */
/*=====*/
kill(all);                                     /* Elimina todos os parâmetros */
/*=====*/
/*          Definição dos parâmetros                                                    */
/*=====*/
us:480;                                       /* Mobilidade do transistor MS [cm2/V.s] */
ud:580;                                       /* Mobilidade do transistor MD [cm2/V.s] */
Ws:1*10-4;                                  /* Largura de canal do transistor MS [cm] */
Wd:1*10-4;                                  /* Largura de canal do transistor MD [cm] */
Ls:1.8*10-4;                                /* Comprimento de canal do transistor MS [cm] */
Ld:1.8*10-4;                                /* Comprimento de canal do transistor MD [cm] */
εox:3.45e-13;                                /* Permissividade do SiO2 [F/cm] */
εsi:1.06e-12;                                /* Permissividade do silício [F/cm] */
tox:390e-7;                                  /* Espessura do óxido enterrado [cm] */
tsi:80e-7;                                   /* Espessura da camada de silício [cm] */
toxf:31e-7;                                  /* Espessura do óxido de porta [cm] */
Csi:εsi/tsi;                                 /* Capacitância da camada de silício [F/cm2] */
Coxf:εox/toxf;                               /* Capacitância da óxido de porta [F/cm2] */
Coxb:εox/toxb;                               /* Capacitância da óxido enterrado [F/cm2] */
n:1+(Csi*Coxb)/(Coxf*(Csi+Coxb));           /* Fator de corpo */
k:1.38e-23;                                  /* Constante de Boltzmann [J/K] */
T:300;                                       /* Temperatura [K] */
q:1.6e-19;                                   /* Carga do elétron [C] */
Vt:k*T/q;                                    /* Potencial térmico [V] */
Vths:0.37;                                   /* Tensão de limiar do transistor MS [V] */
Vthd:-0.32;                                  /* Tensão de limiar do transistor MD [V] */
xa:0;                                        /* Bit da transição de VX,sat-sat para VX,tri-sat (ID x VGS) */
                                        /* Bit da transição de VX,tri-tri para VX,sat-tri (ID x VDS) */
xb:0;                                        /* Bit da transição de VX,tri-sat para VX,tri-tri (ID x VGS) */
                                        /* Bit da transição de VX,sat-tri para VX,sat-sat (ID x VDS) */
xc:0;                                        /* Bit da transição de VX,sat-sat para VX,sat-tri (ID x VGS) */
xd:0;                                        /* Bit da transição de VX,sat-tri para VX,tri-tri (ID x VGS) */
                                        /* Bit da transição de VX,tri-tri para VX,tri-sat (ID x VDS) */
θ:0.13; /* Coeficiente de degradação da mobilidade pelo campo elétrico transversal [V-1] */
λsat:0.2; /* Coeficiente de modulação do comprimento de canal [V-1] */
lc:0.0000005; /* Comprimento característico [cm] */
vsat:1e7; /* Velocidade de saturação dos portadores [cm/s] */
Ecrit:1e6; /* Campo elétrico crítico para a saturação da velocidade dos portadores [V/cm] */
/*=====*/
/*          VX,tri-tri                                                                */
/*=====*/
A1(Vg,Vd):=-us*(Ws/Ls)*(n/2)+ud*(Wd/Ld)*((n/2)-1);
B1(Vg,Vd):=us*(Ws/Ls)*(Vg-Vths)+ud*(Wd/Ld)*((Vg-Vthd)+(1-n)*Vd);
C1(Vg,Vd):=-ud*(Wd/Ld)*((Vg-Vthd)*Vd-(n/2)*Vd2);
Vxtt(Vg,Vd):=(-B1(Vg,Vd)+sqrt(B1(Vg,Vd)2-4*A1(Vg,Vd)*C1(Vg,Vd)))/(2*A1(Vg,Vd));

```

```

/*=====*/
/*
                                VX,sat-sat
                                */
/*=====*/
A2(Vg,Vd):=ud*(Wd/Ld);
B2(Vg,Vd):=ud*(Wd/Ld)*(2*Vthd-2*Vg);
C2(Vg,Vd):=ud*(Wd/Ld)*(Vg^2-2*Vg*Vthd+Vthd^2)-us*(Ws/Ls)*(Vg^2-
2*Vg*Vths+Vths^2);
Vxss(Vg,Vd):=(-B2(Vg,Vd)-sqrt(B2(Vg,Vd)^2-4*A2(Vg,Vd)*C2(Vg,Vd)))/(2*A2(Vg,Vd));
/*=====*/
/*
                                VX,sat-tri
                                */
/*=====*/
A3(Vg,Vd):=ud*(Wd/Ld)*(1-(n/2));
B3(Vg,Vd):=ud*(Wd/Ld)*(-Vg-Vd+Vthd+n*Vd);
C3(Vg,Vd):=ud*(Wd/Ld)*(Vd*Vg-Vthd*Vd-(n/2)*Vd^2)-us*(Ws/Ls)*((Vg^2-
2*Vg*Vths+Vths^2)/(2*n));
Vxst(Vg,Vd):=(-B3(Vg,Vd)-sqrt(B3(Vg,Vd)^2-4*A3(Vg,Vd)*C3(Vg,Vd)))/(2*A3(Vg,Vd));
/*=====*/
/*
                                VX,tri-sat
                                */
/*=====*/
A4(Vg,Vd):=us*(Ws/Ls)*(-n/2)-ud*(Wd/Ld)*(1/(2*n));
B4(Vg,Vd):=us*(Ws/Ls)*(Vg-Vths)+ud*(Wd/Ld)*((Vg-Vthd)/n);
C4(Vg,Vd):=-ud*(Wd/Ld)*((Vg^2-2*Vg*Vthd+Vthd^2)/(2*n));
Vxts(Vg,Vd):=(-B4(Vg,Vd)+sqrt(B4(Vg,Vd)^2-4*A4(Vg,Vd)*C4(Vg,Vd)))/(2*A4(Vg,Vd))
/*=====*/
Vsat1(Vg,Vd):=(Vg-Vths)/n; /* Equação (61) */
Vsat2(Vg,Vd):=(Vg-Vthd-n*Vd)/(1-n); /* Equação (63) */
/*=====*/
/* Caso queira realizar a curva ID x VGS, são necessárias as linhas de comando já descritas e */
/* a parte a seguir nomeada de Curva ID x VGS. Caso queira realizar a curva ID x VDS, use o */
/* trecho nomeado de Curva ID x VDS juntamente com as linhas de comando já descritas. */
/*=====*/
/*
                                Curva ID x VGS
                                */
/*=====*/
Vd:1.5; /* Tensão aplicada ao dreno */
load("to_poly_solve"); /* Carrega a biblioteca para a solução de equações polinomiais */
/*=====*/
/*
                                VX,sat-sat => VX,tri-sat => VX,tri-tri
                                */
/*=====*/
solve(Vxss(Vsat1,Vd)=(Vsat1-Vths)/n,Vsat1); /* Iguala a Equação (61) com VX,sat-sat */
/* e simplifica */
result_a:Vsat1=at(Vsat1,%); /* result_a recebe o resultado anterior */
a:rhs(result_a); /* a recebe o valor à direita do sinal = de result_a */
b:lhs(result_a); /* b recebe o valor à esquerda do sinal = de result_a */
f(Vsat1):=a-b; /* Função f(Vsat1) corresponde à diferença entre a e b */
wxplot2d(f(Vsat1),[Vsat1,-3,3]); /* Plota a função f(Vsat1) no intervalo de -3 a 3 */
%solve(abs(f(Vsat1)),Vsat1)$ /* Encontra as raízes da função f(Vsat1) */
abc:float(%); /* abc assume as raízes encontradas anteriormente */
args(abc); /* Elimina os caracteres indesejados de abc */
if(Vths=Vthd) then aa:%result.at(Vsat1,%[1]) /* Caso seja uma estrutura S-SC, aa */
/* assume a primeira solução */

```

```

else if (Vths≠Vthd) then aa:%result:at(Vsat1, %[2]); /* Senão, assume a segunda solução */
aaa:subst(Vg=aa, Vxss(Vg, Vd)); /* Substitui aa em VX,sat-sat */
aaaa:subst(Vg=aa, Vxts(Vg, Vd)); /* Substitui aa em VX,tri-sat */
fpprec:3; /* Considera apenas as três primeiras casas decimais */
if(bfloat(float(aaa))=bfloat(float(aaaa))) then xa:1; /* Se aaa = aaaa, então há a transição de */
/* VX,sat-sat para VX,tri-sat */
if(aaa>Vd or aaa<0) then xa:0; /* Caso VX seja maior do que VD ou menor do que 0, xa = 0 */
solve(Vxtt(Vsat2, Vd)=(Vsat2-Vthd-n*Vd)/(1-n), Vsat2); /* Iguala a Equação (63) com */
/* VX,tri-tri e simplifica */
result_b:Vsat2=at(Vsat2,%); /* result_b recebe o resultado anterior */
c:rhs(result_b); /* c recebe o valor à direita do sinal = de result_b */
d:lhs(result_b); /* d recebe o valor à esquerda do sinal = de result_b */
g(Vsat2):=c-d; /* Função g(Vsat2) corresponde à diferença entre c e d */
wxplot2d(g(Vsat2),[Vsat2,-3,3]); /* Plota a função g(Vsat2) no intervalo de -3 a 3 */
%solve(abs(g(Vsat2)),Vsat2)$ /* Encontra as raízes da função g(Vsat2) */
abc:float(%); /* abc assume as raízes encontradas anteriormente */
args(abc); /* Elimina os caracteres indesejados de abc */
bb:%result:at(Vsat2, %[1]); /* bb assume a primeira solução */
bbb:subst(Vg=bb, Vxtt(Vg, Vd)); /* Substitui bb em VX,tri-tri */
bbbb:subst(Vg=bb, Vxts(Vg, Vd)); /* Substitui bb em VX,tri-sat */
if(bfloat(float(bbb))=bfloat(float(bbbb))) then xb:1; /* Se bbb = bbbb, então há a transição */
/* de VX,tri-sat para VX,tri-tri */
if(bbb>Vd or bbb<0) then xb:0; /* Caso VX seja maior do que VD ou menor do que 0 */
/* xb = 0 */
if(aa>bb) then (xa:0,xb:0); /* Caso aa > bb, a transição VX,sat-sat => VX,tri-sat => VX,tri-tri */
/* estaria invertida, o que é incorreto, logo, xa = xb = 0 */
cont:0; /* Contador zerado */
if xa=1 and xb=1 then /* Caso seja confirmada a transição VX,sat-sat => VX,tri-sat => VX,tri-tri */
for Vg from 0 step 0.01 while Vg <= 3 do /* VG variando de 0 a 3 V com passo de 0,01 V */
if Vg>=aa and Vg>=bb then (Vx[cont]:realpart(Vxtt(Vg, Vd)), cont:cont+1) /* Caso */
/* VG seja maior do que aa e bb, tem-se VX,tri-tri */
else if Vg<=aa and Vg<=bb then (Vx[cont]:realpart(Vxss(Vg, Vd)), cont:cont+1) /* Caso */
/* VG seja menor do que aa e bb, tem-se VX,sat-sat */
else if Vg>aa and Vg<bb then (Vx[cont]:realpart(Vxts(Vg, Vd)), cont:cont+1); /* Caso */
/* VG seja maior do que aa e menor do que bb, tem-se VX,tri-sat */
/*=====*/
/* VX,sat-sat => VX,sat-tri => VX,tri-tri */
/*=====*/
solve(Vxss(Vsat2, Vd)=(Vsat2-Vthd-n*Vd)/(1-n), Vsat2); /* Iguala a Equação (63) com */
/* VX,sat-sat e simplifica */
result_c:Vsat2=at(Vsat2,%); /* result_c recebe o resultado anterior */
a:rhs(result_c); /* a recebe o valor à direita do sinal = de result_c */
b:lhs(result_c); /* b recebe o valor à esquerda do sinal = de result_c */
h(Vsat2):=a-b; /* Função h(Vsat2) corresponde à diferença entre a e b */
wxplot2d(h(Vsat2),[Vsat2,-3,3]); /* Plota a função h(Vsat2) no intervalo de -3 a 3 */
%solve(abs(h(Vsat2)),Vsat2)$ /* Encontra as raízes da função h(Vsat2) */
abc:float(%); /* abc assume as raízes encontradas anteriormente */
args(abc); /* Elimina os caracteres indesejados de abc */
cc:%result:at(Vsat2, %[1]); /* cc assume a primeira solução */
ccc:subst(Vg=cc, Vxss(Vg, Vd)); /* Substitui cc em VX,sat-sat */

```

```

cccc:subst(Vg=cc,Vxst(Vg,Vd)); /* Substitui cc em  $V_{X,sat-tri}$  */
fpprec:3; /* Considera apenas as três primeiras casas decimais */
if(bfloat(float(ccc))=bfloat(float(cccc))) then xc:1; /* Se ccc = cccc, então há a transição de */
/*  $V_{X,sat-sat}$  para  $V_{X,sat-tri}$  */
if(ccc>Vd or ccc<0) then xc:0; /* Caso  $V_X$  seja maior do que  $V_D$  ou menor do que 0 */
/*  $x_c = 0$  */

solve(Vxtt(Vsat1,Vd)=(Vsat1-Vths)/n,Vsat1); /* Iguala a Equação (61) com  $V_{X,tri-tri}$  */
/* e simplifica */

result_d:Vsat1=at(Vsat1,%); /* result_d recebe o resultado anterior */
c:rhs(result_d); /* c recebe o valor à direita do sinal = de result_d */
d:lhs(result_d); /* d recebe o valor à esquerda do sinal = de result_d */
i(Vsat1)=c-d; /* Função i(Vsat1) corresponde à diferença entre c e d */
wxplot2d(i(Vsat1),[Vsat1,-3,3]); /* Plota a função i(Vsat1) no intervalo de -3 a 3 */
%solve(abs(i(Vsat1)),Vsat1)$ /* Encontra as raízes da função i(Vsat1) */
abc:float(%); /* abc assume as raízes encontradas anteriormente */
args(abc); /* Elimina os caracteres indesejados de abc */
dd:%result:at(Vsat1,%[2]); /* dd assume a segunda solução */
ddd:subst(Vg=dd,Vxtt(Vg,Vd)); /* Substitui dd em  $V_{X,tri-tri}$  */
dddd:subst(Vg=dd,Vxst(Vg,Vd)); /* Substitui dd em  $V_{X,sat-tri}$  */
if(bfloat(float(ddd))=bfloat(float(dddd))) then xd:1; /* Se ddd = dddd, então há a transição */
/* de  $V_{X,sat-tri}$  para  $V_{X,tri-tri}$  */
if(ddd>Vd or ddd<0) then xd:0; /* Caso  $V_X$  seja maior do que  $V_D$  ou menor do que 0 */
/*  $x_d = 0$  */

if(cc>dd) then (xc:0,xd:0); /* Caso  $cc > dd$ , a transição  $V_{X,sat-sat} \Rightarrow V_{X,sat-tri} \Rightarrow V_{X,tri-tri}$  */
/* estaria invertida, o que é incorreto, logo,  $x_c = x_d = 0$  */

cont:0; /* Contador zerado */
if xc=1 and xd=1 and (xa=0 or xb=0) then /* Caso seja confirmada a transição */
/*  $V_{X,sat-sat} \Rightarrow V_{X,sat-tri} \Rightarrow V_{X,tri-tri}$  */
for Vg from 0 step 0.01 while Vg <= 3 do /*  $V_G$  variando de 0 a 3 V com passo de 0,01 V */
if Vg>=dd and Vg>=cc then (Vx[cont]:realpart(Vxtt(Vg,Vd)), cont:cont+1) /* Caso */
/*  $V_G$  seja maior do que cc e dd, tem-se  $V_{X,tri-tri}$  */
else if Vg<=dd and Vg<=cc then (Vx[cont]:realpart(Vxss(Vg,Vd)), cont:cont+1) /* Caso */
/*  $V_G$  seja menor do que cc e dd, tem-se  $V_{X,sat-sat}$  */
else if Vg<dd and Vg>cc then (Vx[cont]:realpart(Vxst(Vg,Vd)), cont:cont+1); /* Caso */
/*  $V_G$  seja maior do que cc e menor do que dd, tem-se  $V_{X,sat-tri}$  */
/*=====*/
/*  $V_{X,sat-tri} \Rightarrow V_{X,tri-tri}$  */
/*=====*/
cont:0; /* Contador zerado */
if xc=0 and xd=1 then /* Caso seja confirmada a transição de  $V_{X,sat-tri} \Rightarrow V_{X,tri-tri}$  */
for Vg from 0 step 0.01 while Vg <= 3 do /*  $V_G$  variando de 0 a 3 V com passo de 0,01 V */
if Vg>=dd then (Vx[cont]:realpart(Vxtt(Vg,Vd)), cont:cont+1) /* Caso  $V_G$  seja maior do */
/* dd, tem-se  $V_{X,tri-tri}$  */
else if Vg<dd then (Vx[cont]:realpart(Vxst(Vg,Vd)), cont:cont+1); /* Caso  $V_G$  seja */
/* menor do que dd, tem-se  $V_{X,sat-tri}$  */
/*=====*/
/* Gráfico do potencial intermediário em função da tensão de porta */
/*=====*/
cont1:truncate(Vths*100); /* cont1 recebe  $V_{TH,S}$  multiplicado por 100 */
cont:0; /* Contador zerado */

```

```

for Vg from 0 step 0.01 while Vg <= Vths do /* VG variando de 0 a VTH,S com passo de */
/* 0,01 V */
  (Vx[cont]:Vx[cont+1], cont:cont+1); /* VX para VG <= VTH,S assume o valor de VX obtido */
/* para VG = VTH,S */
plot2d(['discrete, makelist(Vx[e], e, 0, 300)]); /* Plota VX no intervalo de 0 a 3 V */
makelist(Vx[e], e, 0, 300); /* Lista os valores de VX no intervalo de 0 a 3 V */
/*=====*/
/* Gráfico da corrente de dreno em função da tensão de porta */
/*=====*/
c1(Vd):=Vd-Vx[cont]; /* Parâmetro c1(Vd) para o cálculo de Lsat(Vd) [V] */
c2:lc*vsat/us; /* Parâmetro c2 para o cálculo de Lsat(Vd) [V] */
Lsat(Vd):=lc*(log((c1(Vd)+sqrt(c1(Vd)^2+c2^2))/c2)/log(10)); /* Comprimento da região */
/* saturada [cm] */
cont:0; /* Contador zerado */
for Vg from 0 step 0.01 while Vg <= 3 do /* VG variando de 0 a 3 V com passo de 0,01 V */
  (Id[cont]:float((2*n*(us/(1+θ*((Vg-Vths)/n)))*Coxf*(Ws/(Ls-
Lsat(Vd)))*(Vt)^2*((log(1+exp((Vg-Vths)/(2*Vt*n))))^2-(log(1+exp((Vg-Vths-
n*Vx[cont])/(2*Vt*n))))^2)*(1+λsat*Vx[cont])/(1+Vx[cont]/(Ecrit*Ls))),cont:cont+1);
/* Corrente de dreno em função da tensão de porta no intervalo de 0 a 3 V */
plot2d(['discrete, makelist(Id[e], e, 0, 300)]); /* Plota ID no intervalo de 0 a 3 V */
makelist(Id[e], e, 0, 300); /* Lista os valores de ID no intervalo de 0 a 3 V */
/*=====*/
/* Curva ID x VDS */
/*=====*/
Vg:0.57; /* Tensão aplicada à porta */
load("to_poly_solve"); /* Carrega a biblioteca para a solução de equações polinomiais */
/*=====*/
/* VX,tri-tri => VX,sat-tri => VX,sat-sat */
/*=====*/
if(Vg<=Vths) then Vg2:Vths+0.001 /* Se VG <= VTH,S, o cálculo de VX é realizado como */
/* se estivesse sendo aplicado VG2 = VTH,S + 0,001, da mesma forma que foi realizado para */
/* a curva ID x VGS */
else if (Vg>Vths) then Vg2:Vg; /* Senão, VG2 assume o valor de VG */
solve(Vxtt(Vg2,Vsat1)=(Vg2-Vths)/n,Vsat1); /* Iguala a Equação (61) com VX,tri-tri */
/* e simplifica */
result_a:Vsat1=at(Vsat1,%); /* result_a recebe o resultado anterior */
a:rhs(result_a); /* a recebe o valor à direita do sinal = de result_a */
b:lhs(result_a); /* b recebe o valor à esquerda do sinal = de result_a */
f(Vsat1):=a-b; /* Função f(Vsat1) corresponde à diferença entre a e b */
wxplot2d(f(Vsat1),[Vsat1,-3,3]); /* Plota a função f(Vsat1) no intervalo de -3 a 3 */
%solve(abs(f(Vsat1)),Vsat1)$ /* Encontra as raízes da função f(Vsat1) */
abc:float(%); /* abc assume as raízes encontradas anteriormente */
args(abc); /* Elimina os caracteres indesejados de abc */
aa:%result.at(Vsat1,%[1]); /* aa assume a primeira solução */
aaa:subst(Vd=aa,Vxtt(Vg2,Vd)); /* Substitui aa em VX,tri-tri */
aaaa:subst(Vd=aa,Vxst(Vg2,Vd)); /* Substitui aa em VX,sat-tri */
fpprec:3; /* Considera apenas as três primeiras casas decimais */
if(bfloat(float(aaa))=bfloat(float(aaaa))) then xa:1; /* Se aaa = aaaa, então há a transição de */
/* VX,tri-tri para VX,sat-tri */
if(aaa<0) then xa:0; /* Caso VX seja menor do que 0, xa = 0 */

```

```

solve(Vxss(Vg2,Vsat2)=(Vg2-Vthd-n*Vsat2)/(1-n),Vsat2); /* Iguala a Equação (63) com */
/* VX,sat-sat e simplifica */
result_b:Vsat2=at(Vsat2,%); /* result_b recebe o resultado anterior */
c:rhs(result_b); /* c recebe o valor à direita do sinal = de result_b */
d:lhs(result_b); /* d recebe o valor à esquerda do sinal = de result_b */
g(Vsat2):=c-d; /* Função g(Vsat2) corresponde à diferença entre c e d */
wxplot2d(g(Vsat2),[Vsat2,-3,3]); /* Plota a função g(Vsat2) no intervalo de -3 a 3 */
%solve(abs(g(Vsat2)),Vsat2)$ /* Encontra as raízes da função g(Vsat2) */
abc:float(%); /* abc assume as raízes encontradas anteriormente */
args(abc); /* Elimina os caracteres indesejados de abc */
bb:%result:at(Vsat2, %[1]); /* bb assume a primeira solução */
bbb:subst(Vd=bb,Vxss(Vg2,Vd)); /* Substitui bb em VX,sat-sat */
bbbb:subst(Vd=bb,Vxst(Vg2,Vd)); /* Substitui bb em VX,sat-tri */
if(bfloat(float(bbb))=bfloat(float(bbbb))) then xb:1; /* Se bbb = bbbb, então há a transição */
/* de VX,sat-tri para VX,sat-sat */
if(bbb<0) then xb:0; /* Caso VX seja menor do que 0, xb = 0 */
if(xa=1 and xb=1) then xc:1; /* Caso seja confirmada a transição VX,tri-tri => VX,sat-tri => */
/* VX,sat-sat, xc = 1 */
if(aa>bb) then (xa:0,xb:0); /* Caso aa > bb, a transição VX,tri-tri => VX,sat-tri => VX,sat-sat */
/* estaria invertida, o que é incorreto, logo, xa = xb = 0 */
cont:0; /* Contador zerado */
if xa=1 and xb=1 then /* Caso seja confirmada a transição VX,tri-tri => VX,sat-tri => VX,sat-sat */
for Vd from 0 step 0.01 while Vd <= 3 do /* VD variando de 0 a 3 V com passo de 0,01 V */
if Vd>=aa and Vd>=bb then (Vx[cont]:realpart(Vxss(Vg2,Vd)), cont:cont+1) /* Caso */
/* VD seja maior do que aa e bb, tem-se VX,sat-sat */
else if Vd<=aa and Vd<=bb then (Vx[cont]:realpart(Vxtt(Vg2,Vd)), cont:cont+1) /* Caso */
/* VD seja menor do que aa e bb, tem-se VX,tri-tri */
else if Vd>aa and Vd<bb then (Vx[cont]:realpart(Vxst(Vg2,Vd)), cont:cont+1); /* Caso */
/* VD seja maior do que aa e menor do que bb, tem-se VX,sat-tri */
/*=====*/
/* VX,tri-tri => VX,tri-sat */
/*=====*/
solve(Vxtt(Vg,Vsat2)=(Vg-Vthd-n*Vsat2)/(1-n),Vsat2); /* Iguala a Equação (63) com */
/* VX,tri-tri e simplifica */
result_c:Vsat2=at(Vsat2,%); /* result_c recebe o resultado anterior */
a:rhs(result_c); /* a recebe o valor à direita do sinal = de result_c */
b:lhs(result_c); /* b recebe o valor à esquerda do sinal = de result_c */
h(Vsat2):=a-b; /* Função h(Vsat2) corresponde à diferença entre a e b */
wxplot2d(h(Vsat2),[Vsat2,-3,3]); /* Plota a função h(Vsat2) no intervalo de -3 a 3 */
%solve(abs(h(Vsat2)),Vsat2); /* Encontra as raízes da função h(Vsat2) */
abc:float(%); /* abc assume as raízes encontradas anteriormente */
args(abc); /* Elimina os caracteres indesejados de abc */
cc:%result:at(Vsat2, %[1]); /* cc assume a primeira solução */
ccc:subst(Vd=cc,Vxtt(Vg,Vd)); /* Substitui cc em VX,tri-tri */
cccc:subst(Vd=cc,Vxts(Vg,Vd)); /* Substitui cc em VX,tri-sat */
fpprec:3; /* Considera apenas as três primeiras casas decimais */
if(bfloat(float(ccc))=bfloat(float(cccc))) then xd:1; /* Se ccc = cccc, então há a transição */
/* VX,tri-tri para VX,tri-sat */
if(ccc<0) then xd:0; /* Caso VX seja menor do que 0, xd = 0 */
cont:0; /* Contador zerado */

```

```

if xd=1 and xc=0 then          /* Caso seja confirmada a transição  $V_{X,tri-tri} \Rightarrow V_{X,tri-sat}$  */
for Vd from 0 step 0.01 while Vd <= 3 do /*  $V_D$  variando de 0 a 3 V com passo de 0,01 V */
  if Vd>cc then (Vx[cont]:realpart(Vxts(Vg,Vd)), cont:cont+1) /* Caso  $V_D$  seja maior do */
                                                    /* que cc, tem-se  $V_{X,tri-sat}$  */
  else if Vd<=cc then (Vx[cont]:realpart(Vxtt(Vg,Vd)), cont:cont+1); /* Caso  $V_D$  seja */
                                                    /* menor do que cc, tem-se  $V_{X,tri-tri}$  */
/*=====*/
/*          Gráfico do potencial intermediário em função da tensão de dreno          */
/*=====*/
plot2d(['discrete, makelist(Vx[e], e, 0, 300)]); /* Plota  $V_X$  no intervalo de 0 a 3 V */
makelist(Vx[e], e, 0, 300); /* Lista os valores de  $V_X$  no intervalo de 0 a 3 V */
/*=====*/
/*          Gráfico da corrente de dreno em função da tensão de dreno          */
/*=====*/
c1(Vd):=Vd-Vx[cont]; /* Parâmetro c1(Vd) para o cálculo de  $L_{sat}(Vd)$  [V] */
c2:lc*vsat/us; /* Parâmetro c2 para o cálculo de  $L_{sat}(Vd)$  [V] */
Lsat(Vd):=lc*(log((c1(Vd)+sqrt(c1(Vd)^2+c2^2))/c2)/log(10)); /* Comprimento da região */
                                                    /* saturada [cm] */
cont:0; /* Contador zerado */
for Vd from 0 step 0.01 while Vd <= 3 do /*  $V_D$  variando de 0 a 3 V com passo de 0,01 V */
  (Id[cont]:float((2*n*(us/(1+0*((Vg-Vths)/n)))*Coxf*(Ws/(Ls-
Lsat(Vd)))*(Vt)^2*((log(1+exp((Vg-Vths)/(2*Vt*n))))^2-(log(1+exp((Vg-Vths-
n*Vx[cont])/(2*Vt*n))))^2*(1+ $\lambda_{sat}$ *Vx[cont])/(1+Vx[cont]/(Ecrit*Ls))),cont:cont+1);
  /* Corrente de dreno em função da tensão de dreno no intervalo de 0 a 3 V */
plot2d(['discrete, makelist(Id[e], e, 0, 300)]); /* Plota  $I_D$  no intervalo de 0 a 3 V */
makelist(Id[e], e, 0, 300); /* Lista os valores de  $I_D$  no intervalo de 0 a 3 V */

```

## **APÊNDICE E – Publicações**

As atividades desenvolvidas geraram as seguintes publicações:

ASSALTI, R. et al. Experimental and simulation analysis of electrical characteristics of common-source current mirrors implemented with asymmetric self-cascode silicon-on-insulator n-channel metal-oxide-semiconductor field-effect transistors. **IET Circuits, Devices & Systems**, v. 10, n. 4, p. 349-355, jul. 2016. Disponível em: <<http://ieeexplore.ieee.org/document/7508869/>>. Acesso em: 19 ago. 2016.

ASSALTI, R. et al. Self-cascode composed by SOI nanowires nMOSFETs – an analog study at low-power low-voltage conditions. **Solid-State Electronics** (em submissão).

ASSALTI, R. et al. Origin of the low-frequency noise in the asymmetric self-cascode structure composed by fully depleted SOI nMOSFETs. **Journal of Integrated Circuits and Systems**, v. 12, n. 2, p. 62-70, ago. 2017. Disponível em: <[http://www.sbmicro.org.br/jics/html/artigos/vol12no2/Artigo\\_1.pdf](http://www.sbmicro.org.br/jics/html/artigos/vol12no2/Artigo_1.pdf)>. Acesso em: 02 jan. 2018.

ASSALTI, R.; FLANDRE, D.; SOUZA, M. de. Influence of geometrical parameters on the DC analog behavior of the asymmetric self-cascode FD SOI nMOSFETs. **Journal of Integrated Circuits and Systems** (em submissão).

ASSALTI, R. et al. Analog performance of self-cascode SOI nanowires nMOSFETs aiming at low-power applications. In: IEEE SOI-3D-SUBTHRESHOLD MICROELECTRONICS TECHNOLOGY UNIFIED CONFERENCE (S3S), 2017, Burlingame. **Proceedings... IEEE**, 2017. p. 1-3. Disponível em: <<http://ieeexplore.ieee.org/document/8309218/>>. Acesso em: 08 mar. 2018.

ASSALTI, R. et al. Improved analog performance of SOI nanowire nMOSFETs self-cascode through back-biasing. In: JOINT INTERNATIONAL EUROSUI WORKSHOP AND INTERNATIONAL CONFERENCE ON ULTIMATE INTEGRATION ON SILICON (EUROSUI-ULIS), 2017, Athens. **Proceedings... IEEE**, 2017. p. 83-86. Disponível em: <<http://ieeexplore.ieee.org/document/7962607/>>. Acesso em: 04 jul. 2017.

ASSALTI, R. et al. Asymmetric self-cascode versus graded-channel SOI nMOSFETs for analog applications. In: SYMPOSIUM ON MICROELECTRONICS TECHNOLOGY AND DEVICES (SBMICRO), 30., 2015, Salvador. **Proceedings... IEEE**, 2015. p. 1-4. Disponível em: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=7298120>>. Acesso em: 14 jan. 2016.

ASSALTI, R. et al. Low-frequency noise in asymmetric self-cascode FD SOI nMOSFETs. In: SYMPOSIUM ON MICROELECTRONICS TECHNOLOGY AND DEVICES (SBMICRO), 31., 2016, Belo Horizonte. **Proceedings... IEEE**, 2016. p. 1-4. Disponível em: <<http://ieeexplore.ieee.org/document/7731354/>>. Acesso em: 04 nov. 2016.

ASSALTI, R.; FLANDRE, D.; SOUZA, M. de. Channel width influence on the analog performance of the asymmetric self-cascode FD SOI nMOSFETs. In: SYMPOSIUM ON MICROELECTRONICS TECHNOLOGY AND DEVICES (SBMICRO), 32., 2017, Fortaleza. **Proceedings... IEEE**, 2017. p. 1-4. Disponível em: <<http://ieeexplore.ieee.org/document/8112990/>>. Acesso em: 14 dez. 2017.

ASSALTI, R.; FLANDRE, D.; SOUZA, M. de. Linearity enhancement in asymmetric self-cascode composed by FD SOI nMOSFETs. In: SYMPOSIUM ON MICROELECTRONICS TECHNOLOGY AND DEVICES (SBMICRO), 33., 2018, Bento Gonçalves (em avaliação).

ASSALTI, R.; SOUZA, M. de. Analysis of common-source current mirrors implemented with asymmetric self-cascode and graded-channel SOI nMOSFETs. In: WORKSHOP ON SEMICONDUCTORS AND MICRO & NANO TECHNOLOGY (SEMINATEC), 10., 2015, São Bernardo do Campo. **Proceedings...** p. 1-2.

ASSALTI, R.; SOUZA, M. de. Comparison between source-followers implemented with asymmetric self-cascode and graded-channel SOI nMOSFETs. In: WORKSHOP ON SEMICONDUCTORS AND MICRO & NANO TECHNOLOGY (SEMINATEC), 11., 2016, Campinas. **Proceedings...** p. 1.

ASSALTI, R.; SOUZA, M. de. Low-frequency noise analysis of the asymmetric self-cascode structure composed by FD SOI nMOSFETs. In: WORKSHOP ON SEMICONDUCTORS AND MICRO & NANO TECHNOLOGY (SEMINATEC), 12., 2017, São Paulo. **Proceedings...** p. 1-2.

ASSALTI, R.; SOUZA, M. de. Analog performance of the asymmetric self-cascode composed by FD SOI nMOSFETs with different channel widths. In: WORKSHOP ON SEMICONDUCTORS AND MICRO & NANO TECHNOLOGY (SEMINATEC), 13., 2018, São Bernardo do Campo. **Proceedings...** p. 1-2.

ASSALTI, R.; SOUZA, M. de. Ruído de baixa frequência da associação série assimétrica de transistores SOI FD nMOS. In: SIMPÓSIO DE PESQUISA DO GRANDE ABC (SPGABC), 5., 2016, Santo André. **Resumos...** p. 1-2.