

CENTRO UNIVERSITÁRIO DA FEI
THALES AUGUSTO RIBEIRO

**IMPACTO DA ROTAÇÃO DO SUBSTRATO SOBRE AS CARACTERÍSTICAS
ELÉTRICAS DE FINFETS DE PORTA TRIPLA**

São Bernardo do Campo
2016

THALES AUGUSTO RIBEIRO

**IMPACTO DA ROTAÇÃO DO SUBSTRATO SOBRE AS CARACTERÍSTICAS
ELÉTRICAS DE FINFETS DE PORTA TRIPLA**

Dissertação de Mestrado apresentada ao Centro Universitário da FEI, para obtenção do título de Mestre em Engenharia Elétrica. Orientado pelo Prof. Dr. Marcelo Antonio Pavanello.

São Bernardo do Campo

2016

Ribeiro, Thales Augusto.

Impacto da Rotação do Substrato sobre as Características Elétricas de FinFETs de Porta Tripla / Thales Augusto Ribeiro. São Bernardo do Campo, 2016.

141 p. : il.

Dissertação - Centro Universitário FEI.

Orientador: Prof. Dr. Marcelo Antonio Pavanello.

1. Rotação do substrato. 2. Mobilidade de baixo campo. 3. FinFET. I. Pavanello, Marcelo Antonio, orient. II. Título.

Matrícula: 114124-1

Aluno: Thales Augusto Ribeiro

Título do Trabalho: Impacto da rotação do substrato sobre as características elétricas de FinFETs de porta tripla.

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof. Dr. Marcelo Antonio Pavanello

Data da realização da defesa: 18/02/2016

ORIGINAL ASSINADA

Avaliação da Banca Examinadora:

São Bernardo do Campo, / / .

MEMBROS DA BANCA EXAMINADORA

Prof. Dr. Marcelo Antonio Pavanello

Ass.: _____

Prof. Dr. Rudolf Theoderich Bühler

Ass.: _____

Prof. Dr. José Alexandre Diniz

Ass.: _____

A Banca Julgadora acima-assinada atribuiu ao aluno o seguinte resultado:

APROVADO

REPROVADO

VERSÃO FINAL DA DISSERTAÇÃO

**APROVO A VERSÃO FINAL DA DISSERTAÇÃO EM QUE
FORAM INCLUÍDAS AS RECOMENDAÇÕES DA BANCA
EXAMINADORA**

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz

Dedico esse trabalho a minha família.

AGRADECIMENTOS

Agradeço primeiramente ao meu orientador Dr. Marcelo Antonio Pavanello pela oportunidade de realizar esse trabalho assim como toda ajuda, paciência, dedicação e atenção depositados em mim durante esse trabalho.

Aos professores, Dra. Michelly de Sousa, Dr. Renan Trevisolli, Dr. Rodrigo Doria e Dr. Salvador Gimenez, por toda ajuda e suporte que me foi concedido.

Aos professores Dr. Renato Giacomini e Dra. Michele Rodrigues por todos os conselhos e ajuda dados no exame de qualificação.

Aos professores Dr. Rudolf Theoderich Bühler e Dr. José Alexandre Diniz pelos conselhos advindos da defesa de dissertação.

Aos professores Dr. João Antonio Martino, Dr. Cor Clayes e Dr. Eddy Simoen por fornecer o dispositivo estudado nesse trabalho.

Aos meus amigos que fazem parte do grupo de alunos na pós-graduação do Centro Universitário da FEI, Allan, André, Andrei, Ariane, Bruna, Carla, Cleiton, Egon, Enrico, Gabriel, Genaro, Juliana, João, Ligia, Marcio, Pedro, Rafael, Rodrigo, por toda ajuda que me foi dada durante esse período do trabalho.

Aos meus pais pelo apoio, carinho e suporte que me ajudaram durante esses dois anos de Mestrado.

Ao meu irmão que sempre esteve ao meu lado me dando forças para continuar esse trabalho.

Ao CNPq pelo apoio financeiro indispensável para a realização desse trabalho.

E a tantas outras pessoas que involuntariamente foram omitidos, mas que contribuíram de alguma forma.

*"Não há assunto tão velho que não possa
ser dito algo de novo sobre ele"*

Fiódor Dostoiévski

RESUMO

Esse trabalho estuda o transporte de portadores de carga em SOI n-FinFETs totalmente depletados de porta tripla, fabricados tradicionalmente e com a rotação do substrato em um ângulo de 45°, com e sem tensão biaxial. Nos FinFETs tradicionais, o canal possui dois tipos de orientação cristalográfica sendo, {110} nas paredes laterais e {100} no topo do canal. Já com a fabricação com o substrato rotacionado, todas as orientações cristalográficas do canal ficam {100}. Para o transporte de cargas, a orientação {100} é benéfica para o transporte de elétrons, em comparação com a orientação {110}. Para analisar a influência da orientação das paredes e do topo da aleta desses dispositivos, foram extraídos e analisados os parâmetros referente a mobilidade em função da largura da aleta de silício dos FinFETs, que para larguras pequenas os parâmetros das paredes laterais são mais importantes, e com o aumento da largura, o topo da aleta passa a exercer maior influência. A caracterização elétrica foi feita, principalmente, pelo método Y-Function, com um algoritmo para melhorar a precisão. Para FinFETs com aleta de silício de 20nm, foram obtidos valores de mobilidade dos elétrons de 183 cm²/Vs em dispositivos tradicionais, em comparação com 220 cm²/Vs dos dispositivos rotacionados, que mostra a vantagem da rotação do substrato. Já para aletas de silício bem largas (570nm), a mobilidade dos elétrons tende ao valor de 145 cm²/V.s, independentemente da rotação do substrato. Foi extraída a mobilidade para dispositivos tensionados e foi obtida uma melhora relativa na mobilidade dos dispositivos tradicionais, entre 40% a 60% dependendo da largura da aleta, contra uma melhora de 20% a 40% para os dispositivos rotacionados, em comparação aos não tensionados. Foram analisados também os mecanismos de degradação da mobilidade por espalhamento de rede, espalhamento Coulomb e espalhamento por rugosidade de superfície. Pelo coeficiente de degradação linear da mobilidade obtido ser negativo, mostra uma grande degradação pelo espalhamento Coulomb. Com o coeficiente de degradação quadrático da mobilidade, pode-se analisar que a rugosidade de superfície dos dispositivos rotacionados é menor que a dos tradicionais. Porém, com a aplicação de tensão mecânica esses parâmetros variam, sendo que para os rotacionados a rugosidade aumenta, mas para os tradicionais a rugosidade diminui, em comparação com os dispositivos sem tensão mecânica. Os valores obtidos foram então comprovados por simulações tridimensionais, a fim de compreender os efeitos da orientação cristalográfica sobre a mobilidade e sua degradação. Para a calibração do simulador foram adotados valores máximos para mobilidade diferentes para o topo e as laterais dos FinFETs. No primeiro caso foram admitidos valores iguais de mobilidade no topo e nas paredes laterais,

no segundo caso valores de mobilidade maiores no topo do que nas paredes laterais da aleta e no último caso, valores de mobilidade maiores nas paredes laterais do que no topo da aleta, onde nessa última combinação, os resultados obtidos pelas simulações reproduzem os mesmos resultados obtidos pelos FinFETs experimentais.

Palavra-chave: Rotação do substrato. Mobilidade de baixo campo. FinFET.

ABSTRACT

This work studies the carrier transport in fully depleted SOI triple gate n-FinFETs traditionally manufactured and with a rotation of the substrate at an angle of 45° with and without biaxial strain. In traditional FinFETs the channel have two types of crystallographic orientation, $\{110\}$ at the sidewalls and $\{100\}$ at the top of the channel. Manufacturing with a rotated substrate, all crystallographic orientations of the channel becomes $\{100\}$. For the carrier transport, the $\{100\}$ orientation is beneficial for the transport of electrons, when compared to the $\{110\}$ orientation. To analyze the influence of the orientation of the sidewalls and the top of the fin in FinFETs, parameters relating to the mobility were extracted and analyzed as a function of the fin width, that for small fin width the parameters of the sidewalls are more important, and with increasing fin width, the top fin has a greater influence. The electrical characterization was done mainly by the Y-Function method with an algorithm to improve the accuracy. For FinFETs with fin width of 20nm, the electron mobility values obtained were $183 \text{ cm}^2/\text{Vs}$ in traditional devices, as compared to $220 \text{ cm}^2/\text{Vs}$ of rotated devices showing the advantage of substrate rotation. As for wide fins (570nm), the electron mobility tends to the value of $145 \text{ cm}^2/\text{Vs}$ independent of the substrate rotation. The mobility was extracted for strained devices and it was obtained a relative improvement of the mobility of traditional devices from 40% to 60% depending on the fin width, against an improvement of 20% to 40% for the rotated devices compared to the non-strained devices. It was also analyzed the mobility degradation mechanisms by the phonon scattering, Coulomb scattering and surface roughness scattering. By the negative linear mobility degradation coefficient obtained, it shows a big degradation by Coulomb scattering. With the quadratic mobility coefficient degradation, it is possible analyze that the surface roughness of the rotated devices is lower than that of traditional ones. However, with the application of mechanical stress these parameters vary and for rotated devices the roughness increases, but for the traditional ones the surface roughness decreases compared to the unstressed devices. The values obtained were then supported by three dimensional simulations, in order to understand the effect of crystallographic orientation on the mobility and its degradation. For the calibration of the simulator, different maximum values of mobility were adopted for the fin's top and sidewalls of the FinFET. The first case, it was adopted mobility values equal for the top and the sidewalls, the second case mobility values higher at the top than at the sidewalls of the fin and the last case mobility values higher at the sidewalls than the top of the fin, where in this last

combination, the results obtained by simulation reproduce the same results obtained by experimental FinFETs.

Keyword: Substrate rotation. Low-field mobility. FinFET.

LISTA DE FIGURAS

Figura 1 - Relação de uma célula unitária fcc com a zona de <i>Brillouin</i>	26
Figura 2 - Relação do diagrama de faixas de energia com a zona de <i>Brillouin</i>	27
Figura 3 - Relação entre o diagrama de faixas de energia e as elipsoides de energia constante.	29
Figura 4 - Diagrama simplificado de faixas de energia do silício.	31
Figura 5 - Representação esquemática de um transistor.	32
Figura 6 - Diagrama de faixas de energia de um transistor MOSFET.....	33
Figura 7 - Representação esquemática de transistores SOI de múltiplas portas.	35
Figura 8 - Representação esquemática de um FinFET de porta tripla com seus principais parâmetros.	36
Figura 9 - Índices de Miller para diversas orientações de um cubo.	37
Figura 10 - Estrutura atômica do silício para os planos {100} e {110}.	37
Figura 11 - Representação esquemática de FinFETs com diversos ângulos na lamina de silício e sua influência nos planos de condução das paredes do canal.	38
Figura 12 - Representação esquemática de uma estrutura multi-dedos, e seus principais parâmetros.	40
Figura 13 - Curva de corrente de dreno e transcondutância em função da tensão de porta, obtidos a partir de simulação.	43
Figura 14 - Efeitos de canal curto em transistores com diferentes comprimentos de canal, onde em parte do canal, os portadores são controlados pelas regiões de fonte e dreno....	44
Figura 15 - Controle da porta para um dispositivo com W_{FIN} de tamanhos diferentes.....	45
Figura 16 - Mobilidade dos elétrons em função da carga de inversão, representado para as diferentes orientações cristalográficas de um transistor.	47
Figura 17 - Relação entre o plano {100} e as elipsoides de energia constante.	48
Figura 18 - Relação entre o plano {110} e as elipsoides de energia constante.	48
Figura 19 - Relação da mobilidade limitada por fônons pelas duas componentes 2D e 3D.	50
Figura 20 - Curva da mobilidade limitada pelo espalhamento de fônons. Aplicação da equação (18) no software Mathcad.....	51
Figura 21 – Representação esquemática da interface da superfície do canal de um transistor e suas principais variáveis associadas a ela.	52
Figura 22 - Efeito da rugosidade de superfície na mobilidade. Aplicação da equação (20) no software Mathcad.....	53

Figura 23 - Associação da mobilidade limitada pelo efeito Coulomb dos termos 2D e 3D. . .	54
Figura 24 - Mobilidade universal do silício, em função do campo elétrico efetivo.	56
Figura 25 - Formação de silício tensionado a partir de ligas SiGe com constante de rede maior que a do silício.....	57
Figura 26 - Zona irreduzível de <i>Brillouin</i> para o silício.	58
Figura 27 - Relação entre as elipsoides de energia constante e o diagrama de faixas de energia do silício tensionado.	58
Figura 28 - Diagrama de faixas de energia do silício tensionado com os vales Δ_2 e Δ_4	59
Figura 29 - Exemplo de utilização do método Y-Function para transistores com óxido de porta espesso (maior que 20nm).	61
Figura 30 - Exemplo de possíveis regressões lineares com uma curva do método Y-Function que possui uma não linearidade em inversão forte devido ao óxido de porta ser fino.	62
Figura 31 - Fluxograma do algoritmo recursivo do método Y-Function utilizado.	64
Figura 32 - Exemplo da utilização do método de McLarty para a extração da mobilidade.....	67
Figura 33- Exemplo da utilização do método Split CV para a extração da mobilidade.....	68
Figura 34 - Corrente de dreno de FinFETs sem tensão mecânica em função da tensão de porta.	71
Figura 35 - Corrente de dreno de FinFETs com tensão mecânica em função da tensão de porta.	71
Figura 36 - Corrente de dreno de FinFETs sem tensão mecânica em função da sobretensão de condução.	72
Figura 37 - Corrente de dreno de FinFETs com tensão mecânica em função da sobretensão de condução.	72
Figura 38 - Corrente de dreno normalizada para W_{eff} de FinFETs sem tensão mecânica em função da sobretensão de condução.....	73
Figura 39 - Mostra a corrente de dreno normalizada para W_{eff} de FinFETs com tensão mecânica em função da sobretensão de condução.	74
Figura 40 - Inclinação de sublimiar de transistores rotacionados e tradicionais com e sem tensão mecânica em função da largura de W_{FIN}	74
Figura 41 - Tensão de limiar dos dispositivos tradicionais e rotacionados com e sem a tensão mecânica em função de W_{FIN}	75

Figura 42 - Tensão de limiar dos FinFETs fabricados em substrato tradicional e rotacionado sem tensão mecânica em função da largura da aleta de silício para diversos métodos de extração.	76
Figura 43 - Tensão de limiar dos FinFETs fabricados em substrato tradicional e rotacionado com tensão mecânica em função da largura da aleta de silício para diversos métodos de extração.	77
Figura 44 - Fator de ganho dos FinFETs para dispositivos tradicionais e rotacionados, com e sem tensão mecânica, pelo método do Y- Function tradicional e recursivo.....	78
Figura 45 - Mobilidade dos elétrons em baixo campo elétrico para dispositivos tradicionais e rotacionados, com e sem tensão mecânica.....	79
Figura 46 - Mobilidade de baixo campo dos FinFETs fabricados em substrato tradicional e rotacionado sem tensão mecânica, em função da largura da aleta de silício para diversos métodos de extração.....	80
Figura 47 - Mobilidade de baixo campo dos FinFETs fabricados em substrato tradicional e rotacionado com tensão mecânica, em função da largura da aleta de silício para diversos métodos de extração.....	81
Figura 48 - Melhoria da mobilidade de baixo campo pela rotação do substrato e pela utilização de tensão biaxial para diversas larguras da aleta de silício.	82
Figura 49 - Coeficientes lineares da degradação da mobilidade (θ_1) para dispositivos sem tensão mecânica, em função de W_{FIN}	84
Figura 50 - Coeficientes lineares da degradação da mobilidade ($\theta_{1,0}$) para dispositivos sem tensão mecânica, sem a influência da resistência série em função de W_{FIN}	84
Figura 51 - Coeficiente quadrático da degradação da mobilidade (θ_2), associado ao espalhamento de rugosidade de superfície.....	85
Figura 52 - Valores de ΔV_{TH} que desloca a tensão de limiar para acomodar o coeficiente de degradação (θ_2) da mobilidade em altos campos elétricos.	86
Figura 53 - Curvas experimentais de FinFETs com W_{FIN} de 20, 30 e 40nm com o resultado obtido com o modelo (34) para FinFETs tradicionais com e sem tensão mecânica.	87
Figura 54 - Curvas experimentais de FinFETs com W_{FIN} de 20, 30 e 40nm com o resultado obtido com o modelo (34) para FinFETs rotacionados com e sem tensão mecânica.	87
Figura 55 – Representação esquemática da configuração do transistor para a medição de capacitância e ligação dos cabos nos terminais do equipamento.	88

Figura 56 – Curvas experimentais de corrente de dreno e corrente de porta em função da tensão de porta, para dispositivos rotacionados e tradicionais.....	89
Figura 57 - Curvas experimentais da capacitância de FinFETs com W_{FIN} de 20, 50 e 70nm e com $L_G=10\mu\text{m}$ em função da tensão de porta aplicada.	90
Figura 58 - Curvas experimentais da corrente de dreno de FinFETs com W_{FIN} de 20, 50 e 70nm e com $L_G=10\mu\text{m}$ em função da tensão de porta aplicada.	90
Figura 59 - Resultados experimentais de mobilidade dos FinFETs com W_{FIN} de 20, 50 e 70nm, extraídos pelo método Y-Function e pelo Split CV, para dispositivos com $L_G=10\mu\text{m}$	91
Figura 60 – Curvas experimentais de corrente de dreno e corrente de porta em função da tensão de porta, para dispositivos tradicionais para $L_G=1\mu\text{m}$	92
Figura 61 - Curvas experimentais da capacitância de FinFETs com W_{FIN} de 20, 50 e 70nm e com $L_G=1\mu\text{m}$ em função da tensão de porta aplicada.	92
Figura 62 - Resultados experimentais de mobilidade dos FinFETs com W_{FIN} de 20, 50 e 70nm, extraídos pelo método Y-Function e pelo Split CV, para dispositivos com $L_G=1\mu\text{m}$	93
Figura 63 - Exemplo da estrutura de um FinFET criada pelo Sentaurus Structure Editor.	94
Figura 64 - Sistema de coordenadas da estrutura e do cristal.....	97
Figura 65 - Resultados da divisão do canal, com orientação $\{100\}$ no topo e $\{110\}$ nas paredes laterais	98
Figura 66 - Corte da estrutura de um FinFET tradicional ao longo do comprimento de canal, para um transistor com W_{FIN} estreito e um transistor quasi-planar.....	99
Figura 67 - Variação do parâmetro μ_{MAX} para um dispositivo com W_{FIN} muito pequeno (20nm).....	100
Figura 68-Variação do parâmetro μ_{MAX} para um dispositivo quasi-planar, com W_{FIN} grande (570nm).....	100
Figura 69 - Variação do parâmetro C para um dispositivo com W_{FIN} muito pequeno (20nm).	101
Figura 70-Variação do parâmetro C para um dispositivo quasi-planar, com W_{FIN} grande (570nm).....	101
Figura 71 - Variação do parâmetro δ para um dispositivo com W_{FIN} muito pequeno (20nm).	101
Figura 72 - Variação do parâmetro δ para um dispositivo quasi-planar, com W_{FIN} grande (570nm).....	102

Figura 73 - Fator de ganho dos transistores simulados para diferentes mobilidades nos planos de condução.....	103
Figura 74 - Mobilidade dos elétrons de transistores simulados para diferentes mobilidades nos planos de condução, extraído por diversos métodos de extração.....	104
Figura 75 - Coeficiente de degradação linear em função de W_{FIN} para dispositivos simulados.	105
Figura 76 - Fator de ganho do FinFETs tradicionais simulados e experimentais com W_{FIN} de 20nm a 70nm.	107
Figura 77 - Mobilidade dos elétrons simulada comparado com a do experimental para FinFETs tradicionais com W_{FIN} de 20nm a 70nm.....	107
Figura 78 - Coeficiente de degradação linear da mobilidade simulado comparado com a do experimental para FinFETs tradicionais com W_{FIN} de 20nm a 70nm.	108
Figura 79 - Coeficiente de degradação quadrática da mobilidade simulado comparado com a do experimental para FinFETs tradicionais com W_{FIN} de 20nm a 70nm.	109
Figura 80 - Mobilidade efetiva dos elétrons em função da densidade de carga de inversão, para dispositivos tradicionais.	109
Figura 81 - Fator de ganho do FinFETs rotacionados simulados e experimentais com W_{FIN} de 20nm a 70nm.	110
Figura 82 - Mobilidade dos elétrons simulada comparado com a do experimental para FinFETs rotacionados com W_{FIN} de 20nm a 70nm.	110
Figura 83 - Coeficiente de degradação linear da mobilidade simulada comparado com a do experimental para FinFETs rotacionados com W_{FIN} de 20nm a 70nm.	111
Figura 84 - Coeficiente de degradação quadrático da mobilidade simulado comparado com a do experimental para FinFETs rotacionados com W_{FIN} de 20nm a 70nm.....	112
Figura 85- Mobilidade efetiva dos elétrons em função da densidade de carga de inversão para os dispositivos rotacionados.....	112
Figura 86 - Mobilidade efetiva dos elétrons em função da densidade de carga de inversão extraída para o método Y-Function.	113
Figura 87 – Comparação da mobilidade efetiva dos elétrons em função da densidade de carga de inversão dos dispositivos simulados tradicionais e rotacionados.	114

LISTA DE TABELAS

Tabela 1- Relação de orientação do plano com diferentes direções e suas respectivas massas efetivas.	49
Tabela 2- Principais parâmetros da tecnologia dos FinFETs.....	69
Tabela 3- Valores de corrente para uma sobretensão de condução de 700mV.	73
Tabela 4- Número de aletas dos FinFETs com $L_G=10\mu\text{m}$ e $L_G=1\mu\text{m}$	89
Tabela 5-Valores de mobilidade utilizados para mobilidade nos planos de condução do FinFET.....	103
Tabela 6- Parâmetros utilizados para simulação dos FinFETs tradicionais.....	106
Tabela 7- Parâmetros utilizados para simulação dos FinFETs rotacionados.....	109

LISTA DE ABREVIATURAS E SIGLAS

CMOS	<i>Complementary Metal Oxide Semiconductor</i>
CYNTHIA	<i>Cylindrical thin pillar transistor</i>
DELTA	<i>Fully Depleted Lean Channel Transistor</i>
fcc	<i>face centered cubic</i>
FinFET	<i>Fin Field Effective transistor</i>
GAA	<i>Gate all Around</i>
JFET	<i>Junction gate Field Effect Transistor</i>
IALMOB	<i>Inversion and Accumulation Mobility Model</i>
IMEC	<i>Interuniversity Microelectronics Center</i>
MIGFET	<i>Multiple Independent Gate Field Effect Transistor</i>
MFXMOS	<i>Multi Fin XMOS</i>
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
SOI	<i>Silicon on Insulator</i>
SON	<i>Silicon on Nothing</i>

LISTA DE SÍMBOLOS

C_{ox}	Capacitância de óxido de porta [F/cm ²]
C_{ox2}	Capacitância de óxido enterrado (segunda interface) [F/cm ²]
C_{Si}	Capacitância do silício [F/cm ²]
D_{ac}	Deformação do potencial
E	Campo elétrico [V/cm]
$E(k)$	Energia em função do vetor de onda [eV]
$E_{condução}$	Energia da banda de condução [eV]
$E_{valencia}$	Energia da banda de valencia [eV]
E_G	Energia da faixa proibida [eV]
E_{Fermi}	Energia de Fermi [eV]
$E_{Intrínseco}$	Energia do silício intrínseco [eV]
E_{Vacuo}	Energia do Vácuo [eV]
ENG	Número de portas equivalente do transistor
g_m	Transcondutancia [S]
h	Constante Plank [$4,135 \cdot 10^{-15}$ eV.s]
\hbar	Constante reduzida de Plank [$6,582 \cdot 10^{-16}$ eV.s]
H_{FIN}	Altura da aleta [m]
I_{DS}	Corrente de dreno [A]
I_{D0}	Corrente de dreno de um dispositivo de uma única porta [A]
k	Constante de Boltzmann [$8.62 \cdot 10^{-5}$ eV/K]
k_t	Vetor de onda transversal
k_l	Vetor de onda longitudinal
L_g	Comprimento de canal [m]
L	Comprimento de canal [m]
m_0	Massa do elétron [kg]
m	Massa efetiva
m_l	Massa efetiva longitudinal
m_t	Massa efetiva transversal
m_d	Massa efetiva da densidade de estados
m_c	Massa efetiva da condutividade
N_A	Concentração de dopantes de um semiconductor tipo P [cm ⁻³]
N_D	Concentração de dopantes de um semiconductor tipo N [cm ⁻³]

$N_V(0)$	Densidade de estados da faixa de valência para o silício sem tensão mecânica
$N_V(\sigma)$	Densidade de estados da faixa de valência para o silício com tensão mecânica
n	Coefficiente de efeito de corpo
n_e	Densidade de portadores [cm^{-3}]
n_i	Concentração intrínseca do silício [cm^{-3}]
n_{ENG}	Parâmetro de ajuste da tensão de limiar
P	Poço [cm]
q	Carga elementar do elétron [C]
S	Inclinação de sublimiar [mV/dec]
T	Temperatura[K]
t_{BOX}	Espessura do óxido enterrado [m]
t_{OX}	Espessura do óxido de porta [m]
t_{Si}	Espessura da camada de silício [m]
u_l	Velocidade do som no cristal
V_{OX}	Potencial no oxido de porta [V]
V_{OX1}	Potencial no oxido de porta de um dispositivo SOI [V]
V_{OX2}	Potencial no oxido enterrado de um dispositivo SOI [V]
V_{GT}	Sobretensão de condução [V]
V_{DS}	Tensão de dreno [V]
V_{TH}	Tensão de limiar [V]
V_{GS}	Tensão de porta [V]
W	Largura do canal [m]
W_{FIN}	Largura da aleta [m]
$x_{\text{dmáx}}$	depleção máxima do silício [cm]
Z_{inv}	Espessura da camada de inversão [cm]
β	Fator de ganho do transistor [A/V^2]
$\Delta E_C(\sigma)$	Deslocamento da banda de condução pela tensão mecânica [eV]
$\Delta E_G(\sigma)$	Redução da faixa proibida pela tensão mecânica [eV]
ΔV_{TH}	Termo associado a rugosidade de superfície [V]
$\Delta V_{\text{TH}}(\sigma)$	Variação da tensão de limiar com tensão mecânica [V]
Δ	Valor do desvio RMS da interface [m]
ϵ_{Si}	Constante dielétrica do silício [F/cm]
ϵ_{OX}	Constante dielétrica do óxido [F/cm]

θ	Coefficiente linear da degradação da mobilidade [V^{-1}]
θ_1	Coefficiente linear da degradação da mobilidade [V^{-1}]
θ_2	Coefficiente quadrático da degradação da mobilidade [V^{-2}]
λ_{ENG}	Comprimento natural [cm]
Λ	Comprimento de correlação [m]
μ_0	Mobilidade de baixo campo [$cm^2/V.s$]
$\mu_{fônons}$	Mobilidade limitada pelo espalhamento de rede [$cm^2/V.s$]
$\mu_{fônons\ 2D}$	Mobilidade limitada pelo espalhamento de rede, componente 2D [$cm^2/V.s$]
$\mu_{fônons\ 3D}$	Mobilidade limitada pelo espalhamento de rede, componente 3D [$cm^2/V.s$]
μ_{rs}	Mobilidade limitada pelo espalhamento de rugosidade de superfície [$cm^2/V.s$]
μ_{LATEAL}	Mobilidade das paredes laterais do canal de um FINFET [$cm^2/V.s$]
μ_{TOPO}	Mobilidade do topo do canal de um FINFET [$cm^2/V.s$]
Φ_{Si}	Função trabalho do silício [V]
Φ_S	Potencial de superfície [V]
Φ_M	Função trabalho do metal [V]
Φ_{M1}	Função trabalho do metal da primeira interface de um dispositivo SOI [V]
Φ_{M2}	Função trabalho do metal da segunda interface de um dispositivo SOI [V]
Φ_{S1}	Potencial de superfície da primeira interface de um dispositivo SOI [V]
Φ_{S2}	Potencial de superfície da segunda interface de um dispositivo SOI [V]
Φ_{Fermi}	Potencial de Fermi [V]
ρ_{bulk}	Densidade de átomos de silício por unidade de volume [cm^{-3}]
χ_{Si}	Afinidade eletrônica do silício [eV]

SUMÁRIO

1 INTRODUÇÃO	22
2 CONCEITOS FUNDAMENTAIS	25
2.1 PROPRIEDADES ELÉTRICAS DO SILÍCIO.....	25
2.1.1 Estrutura atômica do silício.....	25
2.1.2 Diagrama de faixas de energia do silício.....	26
2.1.3 Massa efetiva.....	27
2.1.4 Aproximação da faixa de condução.....	28
2.1.5 Elipses de energia constante.....	28
2.1.6 Diagrama de faixas de energia simplificado.....	30
2.2 O TRANSISTOR SOI.....	31
2.2.1 Modos de operação dos transistores.....	33
2.3 TRANSISTORES DE MÚLTIPLAS PORTAS.....	34
2.3.1 Orientação cristalográfica do silício.....	36
2.3.1.1 Orientações cristalográficas em dispositivos de múltiplas portas.....	37
2.3.2 Características elétricas de transistores de múltiplas portas.....	39
2.3.2.1 Corrente de dreno.....	39
2.3.2.2 Tensão de limiar.....	40
2.3.2.3 Inclinação de sublimiar.....	41
2.3.2.4 Transcondutância.....	43
2.3.2.5 Efeitos de canal curto e de estreitamento de canal.....	44
2.3.2.6 Mobilidade de baixo campo.....	46
2.3.1.7 Espalhamento dos portadores de carga.....	49
2.3.2.6.1 Espalhamento de rede.....	49
2.3.2.6.2 Espalhamento por rugosidade de superfície.....	52
2.3.2.6.3 Espalhamento por efeito coulomb.....	53
2.3.2.8 Tensão mecânica.....	56
3 EXTRAÇÃO DA MOBILIDADE	60
3.1 MÉTODO DE EXTRAÇÃO PELO Y-FUNCTION.....	60
3.2 EXTRAÇÃO DO MÉTODO Y-FUNCTION VIA ALGORITMO RECURSIVO.....	62
3.3 MÉTODO DE EXTRAÇÃO DE McLARTY.....	66
3.4 MÉTODO DE EXTRAÇÃO PELO SPLIT CV.....	67
4 RESULTADOS EXPERIMENTAIS	69

4.1 CARACTERÍSTICAS DOS DISPOSITIVOS EXPERIMENTAIS.....	69
4.2 EXTRAÇÃO DE PARÂMETROS ELÉTRICOS	70
4.2.1 Corrente de dreno	70
4.2.2 Inclinação de sublimiar	74
4.2.3 Tensão de limiar	75
4.2.4 Mobilidade de baixo campo	77
4.2.5 Coeficiente linear da degradação da mobilidade sem tensão mecânica	83
4.2.6 Coeficiente quadrático da degradação da mobilidade	85
4.2.7 Comparação Teórico – Experimental com valores extraídos	86
4.2.8 Comparação com o método Split CV.....	88
5 SIMULAÇÃO 3-DIMENSIONAL	94
5.1 O SIMULADOR.....	94
5.1.1 Modelos utilizados	95
5.1.2 Método para utilização da AutoOrientação no simulador.....	96
5.1.3 Método utilizado para calibração do simulador	99
5.2 RESULTADOS SIMULADOS	102
5.2.1 Mobilidade dos elétrons	103
5.2.2 Coeficiente degradação linear da mobilidade	105
5.3 COMPARAÇÃO DOS RESULTADOS EXPERIMENTAIS COM OS RESULTADOS SIMULADOS.....	106
5.3.1 Dispositivos Tradicionais	106
5.3.2 Dispositivos Rotacionados.....	109
5.3.3 Comparação entre os dispositivos rotacionados e tradicionais.	113
6 CONCLUSÕES E TRABALHOS FUTUROS.....	115
REFERENCIAS.....	117
APÊNDICE A - Trabalhos publicados.....	127
APÊNDICE B - Arquivo da estrutura do Sentarus Structutre Editor	128
APÊNDICE C - Arquivo do Sentaurus Device	134
APÊNDICE D - Arquivo de parâmetro do Sentarus Device	136
APÊNDICE E - Arquivo do método Y-Function desenvolvido no software Mathcad ..	138

1 INTRODUÇÃO

A evolução da tecnologia no mundo está relacionada às contínuas melhoras que são alcançadas nos transistores, seja no avanço da microeletrônica ou nos processos de fabricação utilizados. A história da evolução dos transistores pode ser considerada bem recente, desde a criação do primeiro transistor de contato pontual, em 1947 pelos laboratórios de Shockley (BARDEEN et al., 1948), o primeiro transistor de junção em 1951 proposto por Shockley (SHOCKLEY et al., 1951) ao primeiro *Metal Oxide Semiconductor Field Effect Transistor* (MOSFET) criado em 1960 (KAHNG, 1960), sendo esse o transistor que tinha as melhores características para circuitos integrados (JACOBONI;LUIGI, 1989).

Desde então, as melhorias feitas nos transistores MOSFET foram inúmeras e, cada vez mais, as dimensões dos transistores ficam menores e sua densidade de corrente aumenta. Com isso, a densidade de transistores em um circuito integrado vem aumentando cada vez mais, sendo que atualmente os dispositivos possuem dimensões nanométricas. Porém, as reduções das dimensões dos transistores causam sérios problemas associados às suas características elétricas. Entre eles estão os efeitos de canal curto, devidos à perda do controle eletrostático da porta e a corrente de fuga devido à redução do óxido de porta a espessuras muito finas, o que começou a dificultar o escalamento dos transistores (COLINGE, 2008).

Uma das soluções desse problema foi a utilização da tecnologia *Silicon on insulator* (SOI), ao invés da tecnologia MOS convencional, que permite que suas dimensões sejam ainda mais escaladas, diminuindo os efeitos de canal curto e do transistor parasitário, além de proporcionar algumas melhorias nesses transistores, sendo as principais o aumento da velocidade de chaveamento pela redução nas capacitâncias de junção e o aumento da corrente do dispositivo (COLINGE, 1997). A introdução de novos materiais de porta, entre eles o dielétrico *high-k* (alta constante dielétrica), permitiu reduzir o efeito da corrente de fuga e o metal de porta *mid-gap* permitiu reduzir a influência da depleção no material de porta sobre a tensão de limiar dos transistores.

De forma a aumentar o controle eletrostático dos transistores, em 1984 foi provado que um transistor de duas portas, XMOS (SEKIGAWA, HAYASHI, 1984), reduz os efeitos de canal curto e em 1989 foi fabricado o primeiro transistor de duas portas *Fully Depleted Lean Channel Transistor* (DELTA) (HISAMOTO; KAGA; KAWAMOTO, 1989). Alguns anos depois, similar a esse dispositivo surgiu o FinFET. Nesse dispositivo, além da redução dos efeitos de canal curto, há um aumento na densidade de corrente fornecida e uma redução na área que o dispositivo ocupa, além da diminuição da corrente de desligamento. O FinFET é

um dos transistores com maior potencial para continuar a redução de suas dimensões para futuras gerações tecnológicas de circuitos integrados.

Além da diminuição das dimensões dos transistores, novas técnicas e melhorias podem ser aplicadas, de forma a aumentar a mobilidade dos portadores de carga nos FinFETs e, conseqüentemente, sua corrente. Dependendo da orientação cristalográfica do dispositivo semiconductor, a mobilidade obtida pode ser diferente na lateral com orientação $\{110\}$ e no topo com orientação $\{100\}$ da aleta de silício, sendo que a orientação $\{100\}$ é benéfica à mobilidade dos elétrons e prejudicial a mobilidade das lacunas e o oposto ocorre para a orientação $\{110\}$ (RUDENKO et al., 2005). Para resolver esse problema, pode-se fabricar os dispositivos com a rotação do substrato em 45° , que altera a orientação cristalográfica das paredes laterais do dispositivo, tornando as $\{100\}$. Outra forma de aumentar a mobilidade é através da aplicação de tensão mecânica (*stress*) aplicado a lamina de silício ou ao transistor, o que aumenta a mobilidade dos portadores (PAVANELLO et al., 2008).

Neste trabalho será apresentada uma comparação das vantagens e desvantagens desses transistores FinFET utilizando a rotação do substrato em sua fabricação, assim como a aplicação de tensão mecânica. Especial atenção será dedicada à mobilidade dos portadores. Para a extração da mobilidade dos elétrons serão utilizados principalmente dois métodos, o método Y-Function que utiliza apenas as curvas de corrente em função da tensão de porta e o método Split CV que utiliza as curvas de corrente e capacitância em função da tensão de porta.

No capítulo 2 serão apresentados conceitos fundamentais para o entendimento dos resultados desse trabalho. Serão apresentadas as propriedades básicas do silício, e sua variação com a orientação cristalina e as estruturas de múltiplas portas estudadas. Serão detalhados os principais parâmetros que serão utilizados ao longo desse trabalho, com ênfase em especial na mobilidade.

No capítulo 3 será apresentado o método Y-Function, principal método utilizado para a caracterização dos parâmetros dos dispositivos estudados, assim como sua metodologia, o algoritmo para aumentar a precisão dos resultados e suas principais vantagens e desvantagens. Também serão vistos outros métodos de extração da mobilidade para comparação, com ênfase no método Split CV.

No capítulo 4 será apresentado um estudo detalhado dos parâmetros obtidos pelo método Y-Function de FinFETs experimentais, com foco principal em estruturas de canal longo e variando a largura da aleta de silício, afim de se observar os efeitos da orientação cristalográfica em dispositivos com substrato rotacionado e dispositivos fabricados em

substrato tradicional. Também serão estudados os efeitos da tensão mecânica dependendo da orientação cristalina e sua influência na mobilidade dos portadores.

No capítulo 5 será feito uma análise utilizando um simulador 3-D para estudar a influência da orientação cristalográfica nos dispositivos estudados e estudar o comportamento da mobilidade em transistores FinFET analisados experimentalmente, assim como sua degradação.

No capítulo 6 serão apresentadas as conclusões desse trabalho, assim como algumas propostas de continuação.

2 CONCEITOS FUNDAMENTAIS

Primeiramente, serão apresentados alguns conceitos fundamentais que serão utilizados para explicar o funcionamento do transistor de múltiplas portas. Entre eles as propriedades elétricas do silício, as características da tecnologia SOI para transistores de múltiplas portas, importantes materiais utilizados na fabricação, a influência de tensão mecânica e os principais parâmetros elétricos dos transistores, colocando em foco a mobilidade.

2.1 PROPRIEDADES ELÉTRICAS DO SILÍCIO

O silício é um material semicondutor da Família IV-A, que pode ser facilmente encontrado na natureza, e é muito utilizado nas indústrias de microeletrônica devido às suas propriedades físicas.

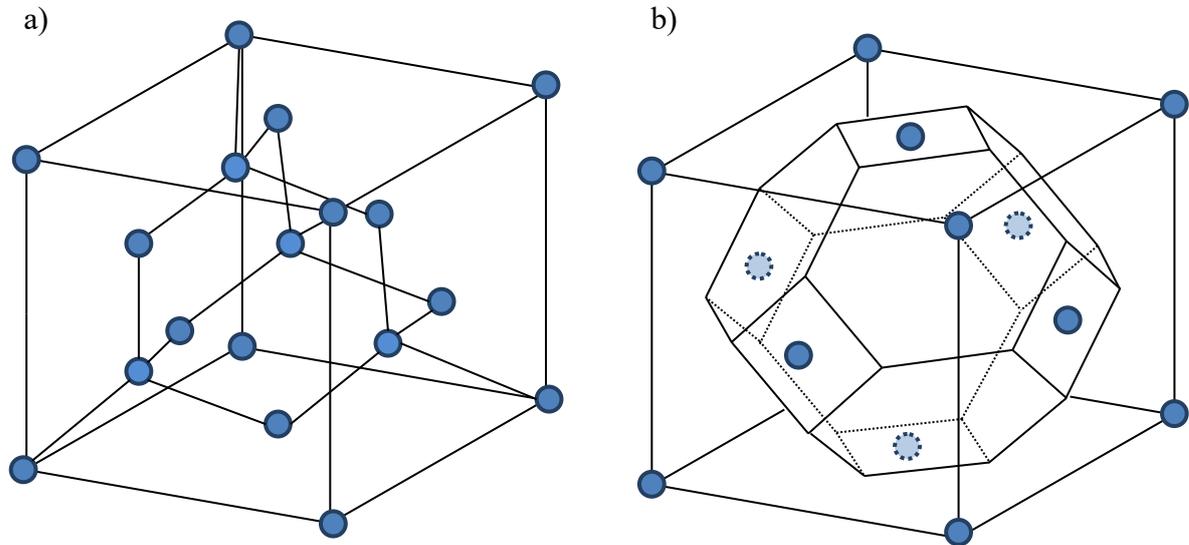
2.1.1 Estrutura atômica do silício

Os átomos de silício, por possuírem quatro elétrons em sua última camada, precisam, por via de ligações covalentes, se ligarem a outros quatro átomos de silício, para se manterem eletricamente estáveis, o que gera um cristal de silício. A figura 1 a) mostra esquematicamente uma célula da estrutura cristalina do silício, chamada de diamante.

Essa célula de silício é composta por duas células da rede cristalina cúbica de face centrada (fcc), uma deslocada da outra na diagonal, sendo classificada como uma das redes de *Bravais*, sendo a menor subdivisão de uma rede cristalina que mantém todas as suas propriedades da rede e com ela pode se reproduzir o sólido por inteiro. Portanto, a rede cristalina do tipo diamante faz parte do sistema de rede cristalina cúbica de face centrada (SVERDLOV, 2011).

Para uma determinada rede de *Bravais*, é possível definir uma rede recíproca, no domínio dos momentos ou espaço k , através da transformada de Fourier. Dentro desse espaço, é possível determinar a zona de *Brillouin*. A figura 1 b) mostra uma estrutura fcc, onde em cada vértice e no centro das faces do cubo há um átomo, e também mostra a primeira zona de *Brillouin* de uma estrutura fcc. Dentro dessa zona de *Brillouin* é possível extrair informações sem que ocorram distorções na relação de energia e momento nos limites do octaedro, sendo que no limite dessas regiões há níveis de energia proibidos (LUNDSTROM, 2000).

Figura 1 - Relação de uma célula unitária fcc com a zona de *Brillouin*.



Fonte: Autor.

Nota: a) célula da estrutura cristalina do silício. b) Representação da primeira zona de *Brillouin* da estrutura fcc.

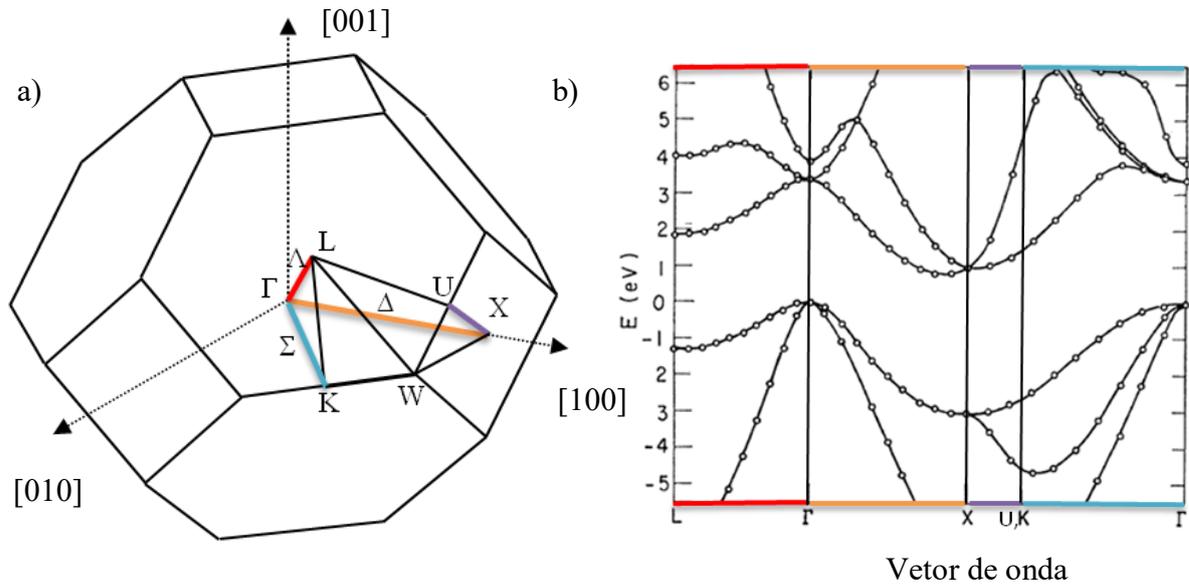
2.1.2 Diagrama de faixas de energia do silício.

Devido à simetria, é possível determinar um volume dentro da primeira zona de *Brillouin* que é chamado de zona de *Brillouin* irredutível, que é apresentado na figura 2 a), onde os principais pontos de simetria estão marcados. É utilizada a notação de letras para pontos e linhas na superfície do octaedro representado e nos pontos e linhas dentro da zona de *Brillouin* a notação utilizada são letras gregas (LUNDSTROM, 2000).

Dessa estrutura reduzida da zona de *Brillouin*, é possível determinar a representação do diagrama de faixas de energia do silício, como apresentado a figura 2 b), que mostra como a energia dos estados varia com o momento nesses pontos. Para a obtenção dessas faixas de energia é estudado a energia em função do vetor de onda da zona irredutível de *Brillouin*, em alguns pontos simétricos como de L a Γ , de Γ a X, X a U e de K a Γ .

Nos átomos, quanto mais próximo o elétron do núcleo, maior a atração eletrostática. Logo, os elétrons que possuem menor atração eletrostática com o núcleo, são os elétrons responsáveis pelas ligações covalentes e representam a última faixa de energia ocupada. Essa faixa é denominada de faixa de valência e a próxima faixa de energia não ocupada é denominada faixa de condução, sendo que entre essas duas faixas de energia há uma faixa proibida, onde não há estados disponíveis. Então, pode-se dizer que um elétron ou está na faixa de valência ou na faixa de condução.

Figura 2 - Relação do diagrama de faixas de energia com a zona de *Brillouin*.



Fonte: a) Autor, b) Adaptado de COHEN et al., 1966.

Nota: a) Representação da zona de Brillouin irreduzível. b) Diagrama de faixas de energia do silício dos pontos de simetria da zona de Brillouin irreduzível.

No diagrama de faixas de energia da figura 2 b), também pode se ver que o silício é um semiconductor indireto, pois para um elétron sair da faixa de valência e ir para a faixa de condução é necessário que o mesmo tenha uma variação de momento, para sair do máximo da faixa de valência no ponto Γ e ir para o mínimo da faixa de condução próximo ao ponto X, atravessando a faixa proibida (COLINGE; COLINGE, 2002).

2.1.3 Massa efetiva

O elétron no cristal de silício está sujeito às forças eletrostáticas da própria rede cristalina e, dessa forma, não pode ser considerado da mesma forma que um elétron livre, sendo que essa ideia é reforçada pelo fato de que a energia do elétron confinado a uma estrutura cristalina sofre dispersão e com isso gera discontinuidades em sua energia com a variação de momento, gerando uma faixa de energia proibida.

Uma forma de contornar esse problema é utilizando o conceito abstrato de massa efetiva, em que a massa dos elétrons é utilizada como uma variável para ajustar a influência do potencial da própria rede cristalina no elétron, de forma que possa considerar o elétron no semiconductor como um elétron livre. O conhecimento da massa efetiva é uma das informações mais importantes para descrever o transporte dos portadores (LUNDSTROM, 2000).

2.1.4 Aproximação da faixa de condução

A região próxima ao mínimo da faixa de condução no silício é normalmente aproximada com uma função quadrática. Um dos modelos para essa função é dado pela equação (1), onde a $E(k)$ é a energia em função do vetor de onda, \hbar é a constante de Plank reduzida ($h/2\pi$), k é o vetor de onda do elétron e m é a massa efetiva, onde nessa equação $\hbar.k$ é o momento do elétron. O modelo esférico descreve as faixas de energia no espaço k como uma superfície de energia constante, que forma uma esfera. Sendo esse o caso mais simples, que é apropriado para aproximar o mínimo da faixa de condução ou o máximo da faixa de valência no ponto Γ , utilizados normalmente para ter uma estimativa grosseira das propriedades de transporte do semiconductor (JACOBONI; LUIGI, 1989).

$$E(k) = \frac{\hbar^2 k^2}{2m} \quad (1)$$

Uma outra forma de representar a faixa de condução é dada pela equação (2), que representa o modelo elipsoidal, onde no espaço k , descreve as faixas de energia como uma superfície elipsoidal de energia constante. Nesse caso, o vetor de onda e a massa efetiva possuem duas componentes, uma longitudinal (m_l e k_l) e outra transversal (m_t e k_t). Esse caso é mais apropriado para a aproximação da faixa de condução mínima no ponto L e na direção Δ entre Γ e X em redes cristalinas cúbicas (COLINGE; COLINGE, 2002).

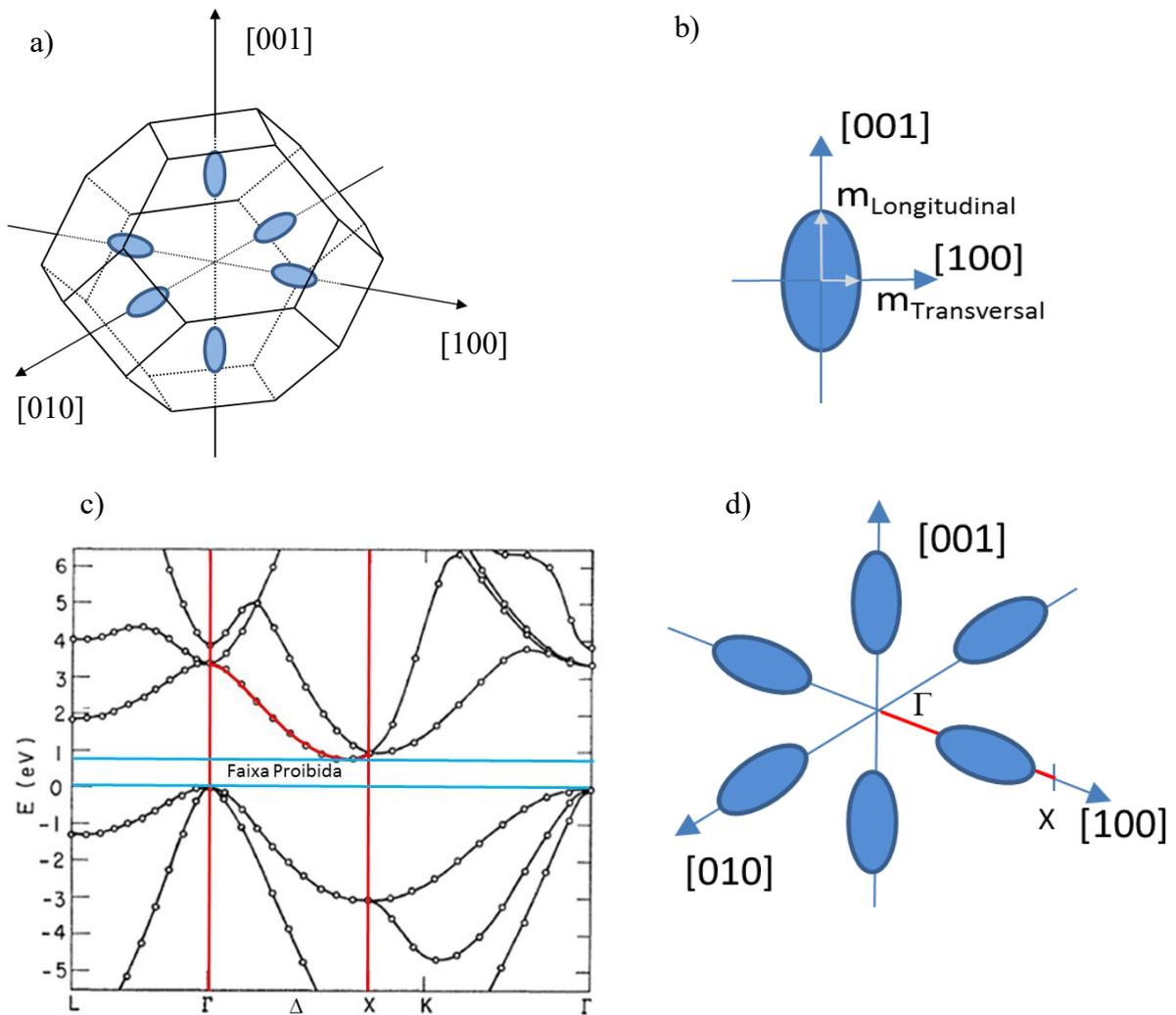
$$E(k) = \frac{\hbar}{2} \left[\frac{k_l^2}{m_l} + \frac{k_t^2}{m_t} \right] \quad (2)$$

Utilizando o modelo elipsoidal da faixa de condução, pode-se obter dois tipos de massa efetiva, que compreendem a concentração e a mobilidade dos portadores.

2.1.5 Elipses de energia constante

O diagrama de faixas de energia do silício tem como característica o fato de que os elétrons que contribuem para o fenômeno de transporte de carga são aqueles que estão a 85% da zona de *Brillouin* nas direções $\langle 100 \rangle$, e podem ser representados por seis vales elipsoidais equivalentes, tal como representado pela figura 3 a), onde cada elipsoide representa um vale na direção de Γ a X conforme mostra as figuras 3 c) e d) (SCHENK, 1998).

Figura 3 - Relação entre o diagrama de faixas de energia e as elipsoides de energia constante.



Fonte: Autor.

Nota: a) Representação esquemática das seis elipsoides de energia constante nas direções $\langle 100 \rangle$. b) Massa efetiva longitudinal e transversal de uma das elipsoides. c) e d) relação entre as seis elipsoides de energia constante e o diagrama de faixas de energia.

Essas elipsoides, que seguem o modelo de aproximação da faixa de condução, descrito pela equação (2), sendo a massa efetiva composta de componentes longitudinal e transversal, com a massa efetiva longitudinal na direção ao longo do eixo, no exemplo com a direção [001], e as massas efetivas transversais perpendicular ao eixo, no exemplo com a direção [100] e [010], conforme mostra a figura 3 b). A partir dessas duas massas efetivas é possível determinar a massa efetiva de condutividade m_c (relacionada à mobilidade) e a massa efetiva de densidade de estados m_d (relacionada à concentração de portadores).

A massa efetiva de densidade de estados, que está diretamente relacionada com o número de portadores na faixa de condução, pode ser calculada pela equação (3) (SCHENK, 1998):

$$m_d = 6^{2/3} (m_l m_t^2)^{1/3} \quad (3)$$

A massa efetiva de condutividade, que está relacionada com a mobilidade, pode ser calculada pela equação (4), para qualquer direção de um semiconductor cúbico (JACOBONI; LUIGI, 1989).

$$\frac{1}{m_c} = \frac{1}{3m_l} + \frac{2}{3m_t} \quad (4)$$

Com esses dois parâmetros, é possível analisar de forma quantitativa a densidade de elétrons, e a mobilidade associada a esse portador.

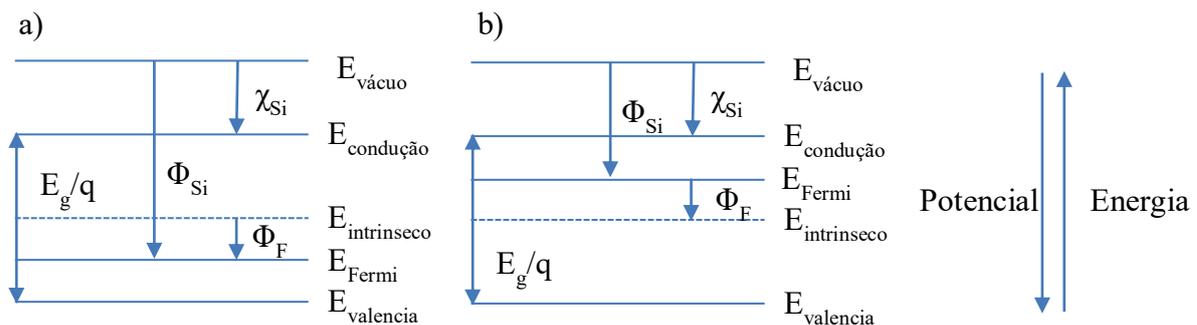
2.1.6 Diagrama de faixas de energia simplificado

Para melhorar as características elétricas do silício, pode-se acrescentar impurezas nesse material, substituindo alguns átomos de silício. Esta inserção de impurezas específicas adiciona portadores de carga à população de portadores do silício, tornando o silício um material denominado extrínseco. A inserção de impurezas doadoras, ou seja, impurezas que possuam cinco elétrons na última camada, aumenta a população de elétrons no semiconductor, sendo que esses se tornam os portadores majoritários e esse material passa a ser um material tipo N. Da mesma forma, se forem utilizadas impurezas aceitadoras, com apenas três elétrons na última camada, isso irá diminuir a população de elétrons, sendo que essa falta de elétrons nesse material é tratada como um portador denominado de lacuna. Nesse caso esse material passa a ser um material tipo P.

No diagrama de faixas simplificado do silício, figura 4, é mostrado o nível energético inferior da faixa de condução ($E_{\text{condução}}$) (ponto mínimo perto do ponto X na figura 2 b)) e o nível energético superior da valência ($E_{\text{valência}}$) (ponto máximo em Γ do diagrama completo de faixas do silício da Figura 2 b)). Para conduzir, os elétrons necessitam de uma energia maior que a da faixa proibida (E_g) para a transição da faixa de valência para a faixa de condução.

Para referência, a energia de Fermi do silício intrínseco ($E_{\text{Intrínseco}}$), que é o silício sem impurezas, se mantém no meio da faixa proibida. A energia de Fermi (E_{Fermi}) representa a faixa de energia em que há 50% de chance de estar ocupado por um elétron nesse nível e o potencial de Fermi (Φ_{Fermi}) relaciona a energia de Fermi com a energia do silício intrínseco. A energia de Fermi pode se deslocar pela faixa proibida, dependendo do tipo de impureza adicionada ao silício, sendo que no caso de um material tipo P o nível de Fermi fica entre o nível intrínseco e a faixa de valência. Se for um material tipo N o nível de Fermi fica entre a faixa de condução e o nível intrínseco. A faixa do vácuo ($E_{\text{vácuo}}$) é a faixa de energia em que o elétron está fora do semiconductor, sendo necessário uma energia χ_{Si} para que isso ocorra. Φ_{Si} é a função trabalho do silício que relaciona a energia de Fermi com a energia do vácuo (MARTINO; PAVANELLO; VERDONK, 2003).

Figura 4 - Diagrama simplificado de faixas de energia do silício.



Fonte: Autor.

Nota: a) silício tipo p e b) silício tipo n.

Para um elétron ir da faixa de valência para a faixa de condução é necessária a geração térmica de portadores, através do rompimento das ligações covalentes dos átomos, o que gera um par elétron-lacuna. Em temperatura ambiente, há uma quantidade considerável de elétrons para condução de corrente elétrica.

A representação do diagrama de faixas de energia é muito importante para analisar o funcionamento dos transistores.

2.2 O TRANSISTOR SOI

O MOSFET é um dos transistores mais populares e utilizados na fabricação de circuitos integrados. A figura 5 apresenta a representação esquemática de um MOSFET convencional e de um SOI MOSFET. O transistor é basicamente um capacitor na região de

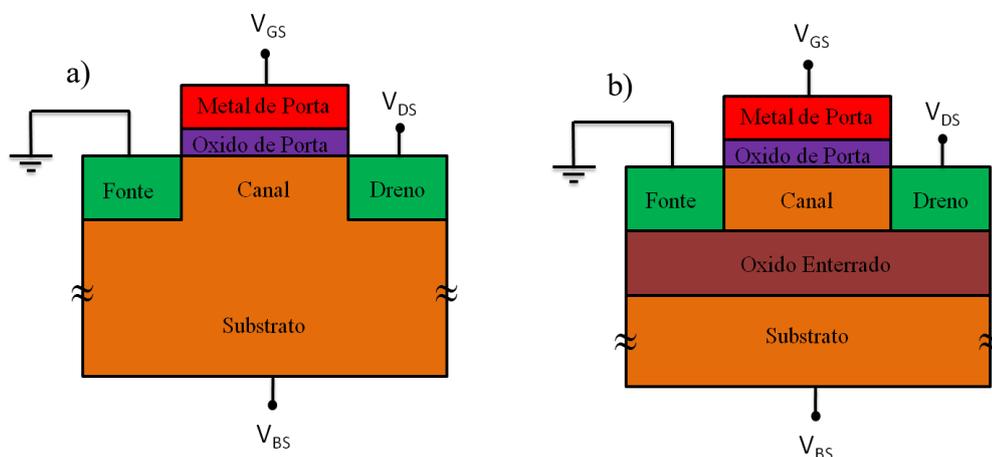
porta, composto pelo canal, óxido de porta e metal de porta, e de duas junções PN entre fonte e canal e entre canal e dreno, sendo que para o transistor de tipo N o canal é dopado com dopantes tipo P e a fonte e o dreno com dopantes tipo N.

No caso da tecnologia SOI, há um óxido isolando a região ativa do silício do substrato, o que permite algumas vantagens sobre o MOSFET convencional, sendo as principais a redução da capacitância de fonte e dreno, aumentando a velocidade do dispositivo, a redução da área de leiaute de circuitos, aumento da corrente de dreno, menor corrente de fuga das junções, entre outras. Porém também há algumas desvantagens, sendo algumas delas o alto custo de fabricação da lamina de SOI, o efeito bipolar parasitário, efeito kink e a dependência da tensão de limiar com a espessura da camada de silício. (SAKURAI; MATSUZAWA; DOUSEKI, 2006).

De modo resumido, o modo de funcionamento de um transistor nMOS modo inversão pode ser descrito como segue. Ao colocar tensão positiva na porta, os portadores minoritários do material, os elétrons, serão atraídos para a interface semiconductor/isolante, gerando uma região de depleção formada por Íons.

Essa região de depleção aumenta até atingir um valor máximo, e a partir daí os elétrons atraídos pela porta irão se acumular formando um fino canal de elétrons (quando a tensão de limiar é atingida), sobre a região de depleção. Nesse momento o transistor está operando em inversão. Porém apenas a aplicação de tensão a porta não é suficiente para fazer o transistor funcionar, também é necessário a aplicação de tensão entre a fonte e o dreno, gerando um campo elétrico na direção do comprimento do canal, o que possibilita a passagem de corrente.

Figura 5 - Representação esquemática de um transistor.



Fonte: Autor.

Nota: a) MOSFET convencional b) SOI MOSFET.

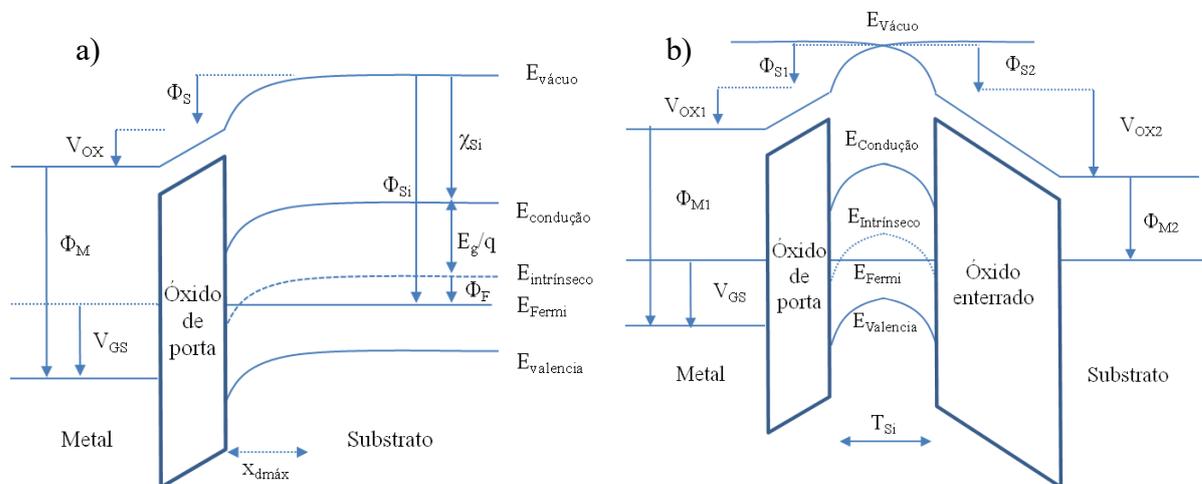
O transistor tipo P tem funcionamento análogo ao do N, porém as dopagens são diferentes, tornando os portadores majoritários os elétrons e os portadores minoritários as lacunas.

2.2.1 Modos de operação dos transistores

A utilização do diagrama de faixas de energia facilita a identificação dos modos de funcionamento de um transistor. A figura 6 mostra o diagrama de faixas de energia completo de um MOSFET convencional e um SOI MOSFET totalmente depletado.

Nesse diagrama, valem as mesmas definições da figura 4, com Φ_S sendo o potencial de superfície, Φ_M é a função trabalho do metal, V_{OX} é a queda de potencial no óxido, V_{GS} é a tensão aplicada a porta e $x_{dm\acute{a}x}$ a depleção máxima. E na 6 b) os índices 1 e 2 representam a primeira e segunda interface, respectivamente, e T_{Si} representa a espessura da camada de silício.

Figura 6 - Diagrama de faixas de energia de um transistor MOSFET.



Fonte: Autor.

Nota: a) MOSFET convencional e b) SOI MOSFET totalmente depletado.

A equação (5) descreve a máxima depleção no silício.

$$x_{d\max} = \sqrt{\frac{2\varepsilon_{Si}2\phi_F}{qN_A}}, \text{ com } \phi_F = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (5)$$

Sendo, ϵ_{Si} a constante dielétrica do silício, q a carga do elétron, N_A a concentração de dopantes, k a constante de Boltzmann, T a temperatura e n_i a concentração intrínseca do silício.

Os transistores SOI podem ser do tipo parcialmente depletado, em que a depleção máxima não ocupa toda a profundidade do silício ativo ($2x_{dmáx} < T_{Si}$), quase totalmente depletado, caso a depleção ocorra com as duas interfaces polarizadas (V_{GS} e V_{BS}), porém não ocorra com apenas uma interface polarizada ($x_{dmáx} < T_{Si} < 2x_{dmáx}$), e o totalmente depletado, sendo que com apenas a polarização de uma das interfaces toda região do canal é depletada ($x_{dmáx} > T_{Si}$) (COLINGE, 1997). O diagrama de faixas de energia da figura 6 b) refere-se a um transistor SOI totalmente depletado.

O transistor MOSFET possui 3 diferentes regiões de operação, sendo elas acumulação, depleção ou inversão.

A região de acumulação é vista quando a tensão aplicada a porta atrai portadores majoritários para a interface do semiconductor com isolante. Sendo que na acumulação o potencial de superfície, ou seja, o potencial na interface de semiconductor-isolante, é ligeiramente negativo, $\Phi_S < 0$. A região de depleção é obtida pela formação de uma região de Íons pela atração de portadores minoritários, nesse caso o potencial de superfície fica entre $2\Phi_F < \Phi_S < 0$. E a região de inversão que acontece após a depleção máxima ser formada gerando um canal de portadores minoritários sobre a região de depleção com o potencial de superfície $\Phi_S \geq 2\Phi_F$.

No caso dos dispositivos SOI totalmente depletados, há nove possíveis modos de operação sendo que a primeira e segunda interface pode estar em acumulação, depleção ou inversão (COLINGE, 1997).

2.3 TRANSISTORES DE MÚLTIPLAS PORTAS

Com a evolução da tecnologia, os transistores em circuitos integrados tendem a diminuir cada vez mais e a densidade dentro dos circuitos integrados tendem a aumentar tal como postula a lei de Moore, que diz que a densidade de transistores vai dobrar a cada dois anos (KUHN, 2009).

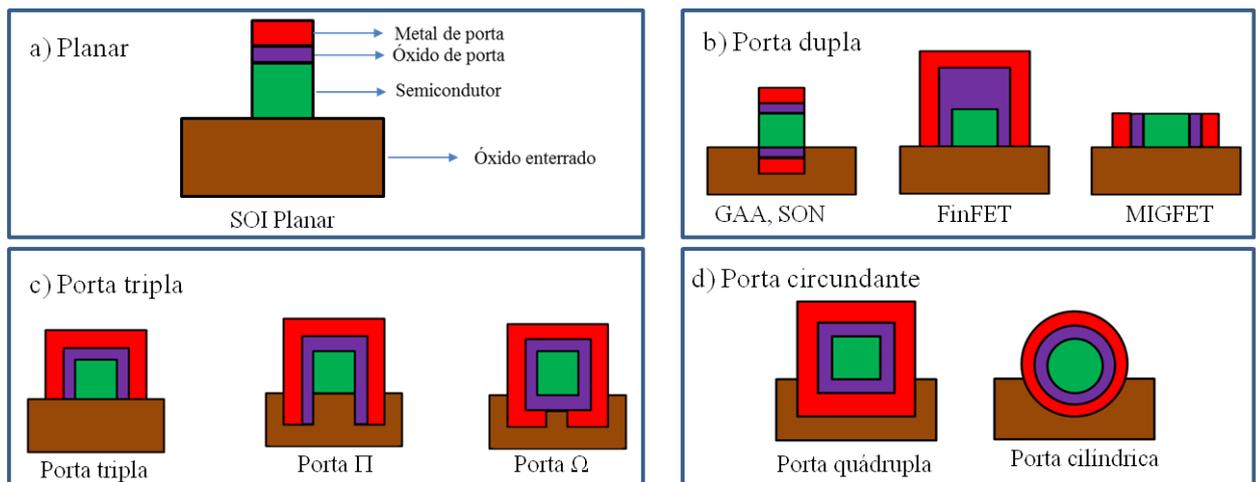
O MOSFET usado até hoje em circuitos integrados vem sofrendo modificações, seja para diminuir suas dimensões ou melhorar suas características elétrica, para atender a alta densidade de transistores dentro de um circuito integrado. A diminuição do tamanho do transistor gera vários problemas associados a fabricação, e problemas elétricos, associados a

efeitos parasitários que acabam comprometendo a integridade eletrostática do canal, chamados de efeitos de canal curto. Uma das soluções para evitar esses problemas é a alteração de sua estrutura, passando de uma estrutura planar para uma estrutura tridimensional (COLINGE, 2008), como é o caso dos FinFETs que será discutido nesse trabalho.

Os dispositivos de múltiplas portas, quando comparado ao MOSFET tradicional, além da porta superior (utilizada pelos dispositivos planares), possui outras portas, o que gera uma maior região de condução e, portanto, uma maior densidade de corrente fluindo, além de um maior controle da porta sobre o canal, devido ao melhor acoplamento eletrostático.

A figura 7 mostra alguns exemplos desses transistores, desde o transistor planar ao de porta circundante. O primeiro transistor de duas portas fabricado, após ser proposto o XMOS (SEKIGAWA; HAYASHI, 1984), foi o transistor DELTA (HISAMOTO; KAGA; KAWAMOTO, 1989). Houve diversas modificações na estrutura desse transistor, e com isso surgiram outras estruturas como o FinFET (variação do DELTA porém, com a formação de uma máscara rígida no topo do canal) (HUANG et al., 1999), Gate all around (GAA) (COLINGE et al., 1990), Silicon-On-Nothing (SON) MOSFET (JURCZAK et al., 2000), o Multi-Fin XMOS (MFXMOS) (LIU et al., 2003), o triangular-wire SOI MOSFET (HIRAMOTO, 2001) e o Δ -channel SOI MOSFET (JIAO; SALAMA, 2001).

Figura 7 - Representação esquemática de transistores SOI de múltiplas portas.



Fonte: Adaptado de (COLINGE, 2008).

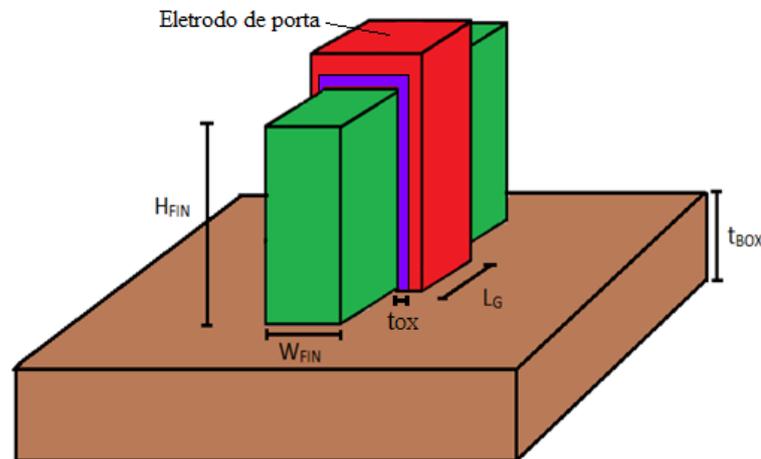
Nota: a) o transistor planar de referência, b) transistores de porta dupla, c) transistores de porta tripla e d) transistores de porta circundante.

Os principais dispositivos de porta tripla são os FinFETs sem a máscara rígida, e suas variações com tipos de porta com formatos diferentes como Π (PARK; COLINGE, 2002) e Ω

(YANG, et al., 2002) (com propriedades elétricas melhores que o de porta tripla). E os dispositivos totalmente cercados por porta são os dispositivos de porta circundante como o dispositivo CYNTHIA (MIYANO; HIROSE; MASUOKA, 1992), e possuem o melhor controle eletrostático teórico entre todos os dispositivos (COLINGE, 2008).

A figura 8 mostra uma estrutura de um SOI FinFET de porta tripla que é o dispositivo utilizado nesse trabalho. Nessa estrutura H_{FIN} é a altura da aleta de silício, W_{FIN} é a largura da aleta de silício, L_G é o comprimento do canal, t_{BOX} é a espessura do óxido enterrado e t_{OX} é a espessura do óxido de porta.

Figura 8 - Representação esquemática de um FinFET de porta tripla com seus principais parâmetros.

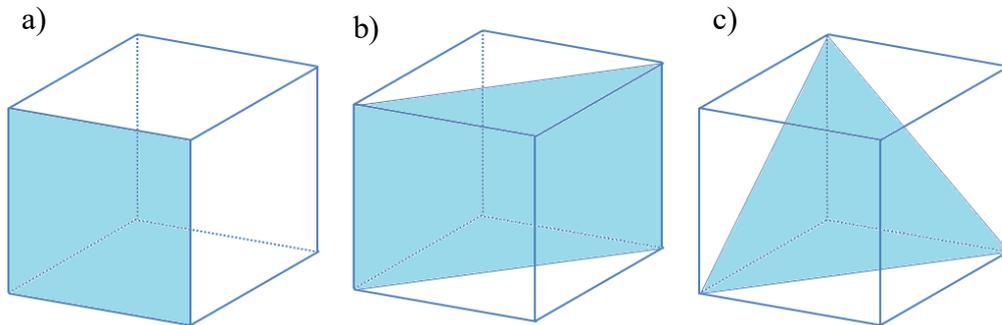


Fonte: Autor.

2.3.1 Orientação cristalográfica do silício

No estudo de cristais, a referência mais utilizada são planos e direções ao longo do cristal. Para referência de planos em um cristal é utilizado o índice de Miller (STREETMAN; BANERJEE, 2003). Em um determina um plano (x_0, y_0, z_0) , sendo x_0, y_0 e z_0 números inteiros, de forma para se evita utilizar o termo infinito, é utilizado o índice de Miller que é o inverso dos pontos x_0, y_0 e z_0 , sendo que o termo infinito é trocado por zero. Também pode-se generalizar essa referência para planos equivalentes, utilizando a notação $\{x_0, y_0, z_0\}$. Para referenciar as direções, se utiliza $[x_0, y_0, z_0]$ e, da mesma forma, para direções equivalentes pode-se utilizar $\langle x_0, y_0, z_0 \rangle$. A figura 9 mostra os principais planos de um cubo utilizando os índices de Miller.

Figura 9 - Índices de Miller para diversas orientações de um cubo.

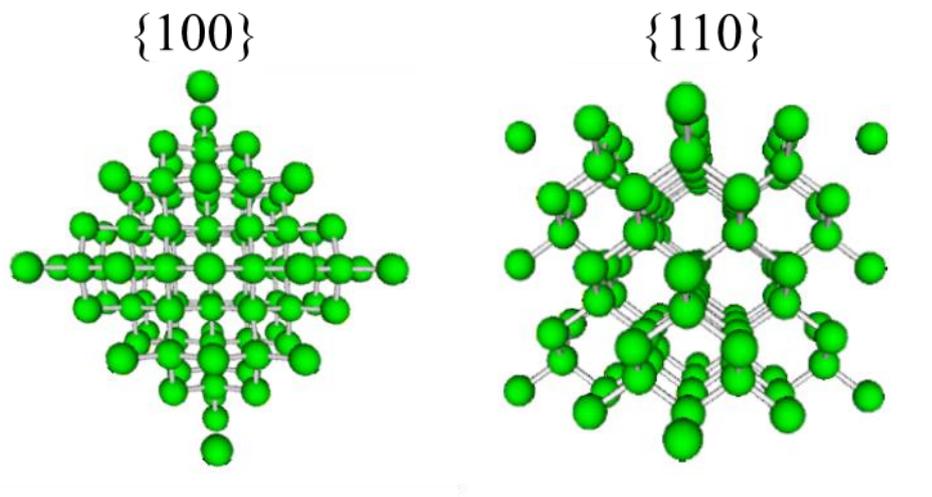


Fonte: Autor.

Nota: a) $\{100\}$, b) $\{110\}$ e c) $\{111\}$.

O silício, por ser um sólido cristalino, pode ter diversos planos, com orientações cristalográficas diferentes, ou seja, dependendo de sua orientação os arranjos de átomos de silício podem ser diferentes. Os principais e mais utilizados planos de orientação podem ser vistas na figura 10. Nesta figura é apresentada a representação esquemática da estrutura atômica do silício para os planos $\{100\}$ e $\{110\}$.

Figura 10 - Estrutura atômica do silício para os planos $\{100\}$ e $\{110\}$.



Fonte: KUHN, 2008

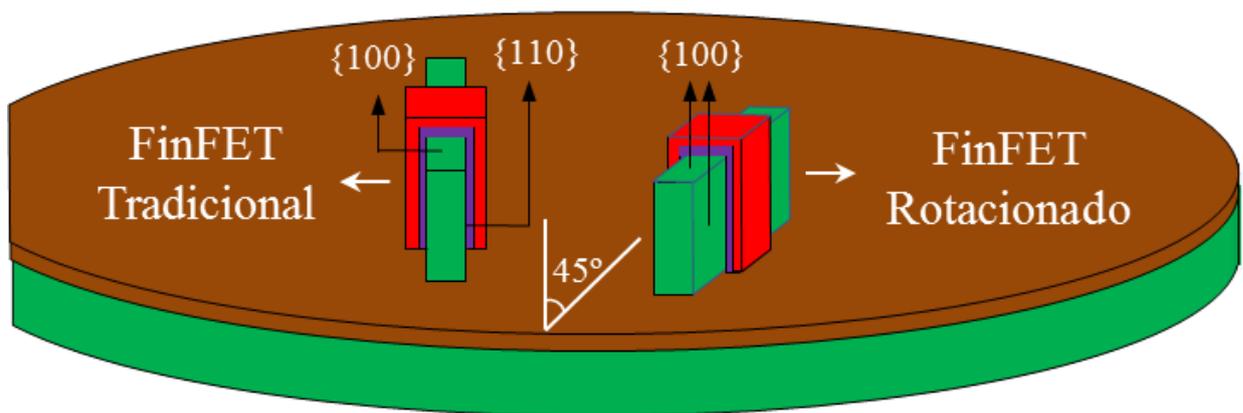
2.3.1.1 Orientações cristalográficas em dispositivos de múltiplas portas

Nos dispositivos MOSFET planares, a orientação cristalina dominante é a orientação da própria lâmina do silício, já que sua condução de corrente se dá pela interface óxido-semicondutor, de forma que em uma lâmina $\{100\}$ todos os dispositivos iriam conduzir corrente pela superfície $\{100\}$.

Porém, com o advento dos transistores de múltiplas portas, devido a sua geometria tridimensional, esses dispositivos apresentam uma característica muito peculiar. Dependendo da orientação do canal na lâmina de silício, as paredes laterais e o topo do canal podem possuir orientações cristalográficas diferentes. A Figura 11 mostra como a rotação do substrato, na fabricação do transistor, pode influenciar o plano de condução de um FinFET, através da orientação cristalográfica.

Em uma lamina de silício, se o canal estiver paralelo ou perpendicular à direção da marca da lamina de silício, então o dispositivo possui paredes laterais $\{110\}$. Já se o canal for fabricado com um ângulo de 45° em relação a marcação da lâmina, é possível ter um canal com paredes laterais $\{100\}$ (GÁMIZ; DONETTI; RODRIGUEZ, 2007).

Figura 11 - Representação esquemática de FinFETs com diversos ângulos na lamina de silício e sua influência nos planos de condução das paredes do canal.



Fonte: Autor

Para a tecnologia planar, a utilização de melhorias através da orientação cristalina era um pouco mais complicada, pois a lamina de silício tinha apenas uma orientação de sua fabricação, logo um circuito integrado que utiliza tecnologia *Complementary metal oxide semiconductor* (CMOS), se uma lâmina $\{100\}$ fosse utilizada, os transistores tipo N seriam beneficiados e os transistores tipo P seriam prejudicados, Já se a lâmina fosse $\{110\}$, os transistores tipo N são aqueles prejudicados e os tipos P seriam beneficiados devido a diferença de massa efetiva entre os planos. Uma forma de contornar esse problema em transistores planares é utilizando a técnica *Hybrid orientation technology* (HOT), onde em uma mesma lâmina os transistores nMOS são fabricados em silício $\{100\}$ e os transistores pMOS em silício $\{110\}$ (KANG et al., 2006).

Com a introdução dos dispositivos tridimensionais, a influência da orientação cristalográfica, pode ser vista de uma forma diferente dos dispositivos planares. Os FinFETs,

podem possuir diferentes orientações cristalográficas no topo e nas paredes laterais de um mesmo transistor, onde tudo se deve ao fato da condução de corrente elétrica ocorrer também nas paredes laterais do canal. Podendo ser facilmente aplicada à tecnologia CMOS.

A orientação cristalográfica nos FinFETs afeta principalmente, as paredes laterais do canal, de forma que, com a redução da largura da aleta de silício, a condução de corrente acontece principalmente pelas paredes laterais da aleta de silício, com orientação $\{100\}$ para dispositivos rotacionados e $\{110\}$ para dispositivos com substrato tradicional. Já com o aumento da largura da aleta, para ambos os dispositivos a condução de corrente acontece principalmente no topo do canal com orientação $\{100\}$. Logo, um dos fatores que influenciam a mobilidade, ou seja, a facilidade do portador de fluir pelo semiconductor e, portanto, influencia a corrente elétrica, é a orientação cristalográfica, sendo mais importante em transistores com W_{FIN} pequenos, onde a orientação pode ser tanto $\{100\}$ ou $\{110\}$ dependendo do substrato utilizado (DORIA et al., 2013). Como a tendência tecnológica tem como um de seus objetivos a redução das dimensões dos FinFETs, principalmente L_G e W_{FIN} , a importância da orientação cristalográfica fica muito mais evidente.

2.3.2 Características elétricas de transistores de múltiplas portas

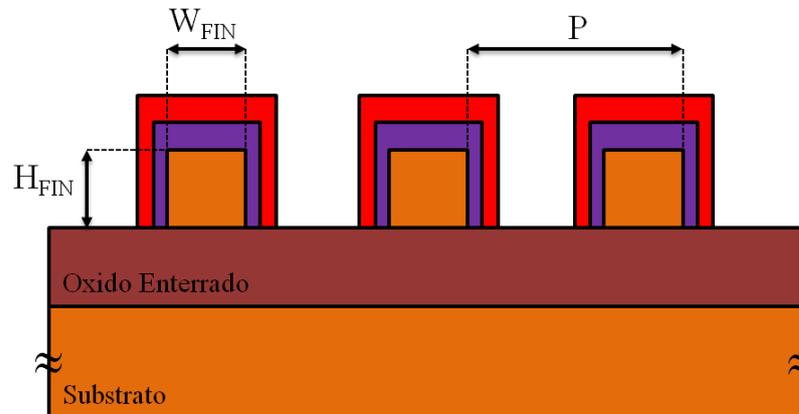
Serão apresentados as características da corrente de dreno e os principais parâmetros elétricos dos transistores de múltiplas portas, sendo eles, tensão de limiar, a mobilidade, o espalhamento da mobilidade e a tensão mecânica.

2.3.2.1 Corrente de dreno

A corrente de dreno de um transistor de múltiplas portas pode ser dada pela soma de corrente em todas as interfaces influenciadas pelo campo elétrico fornecido pelo potencial de porta. Nos casos de dispositivos múltiplas portas como o FinFET uma forma de aumentar a corrente fornecida é a utilização de uma estrutura chamada multi-dedos ou multi-fins, que pode ser visto pela figura 12, onde são colocados vários fins em paralelo, de forma que é possível aumentar a corrente total conduzida, sem alterar a geometria desses dispositivos.

A corrente que passa em um dispositivo de múltiplas portas com canal formado é proporcional a corrente que passa por um dispositivo planar de uma única porta. Porém, lembrando que devido a orientação cristalina dos dispositivos as paredes laterais de um dispositivo tradicional $\{110\}$ (fabricado com a aleta paralelo ou perpendicular à marcação da lamina), possui parâmetros diferentes que o topo da aleta de silício $\{100\}$.

Figura 12 - Representação esquemática de uma estrutura multi-dedos, e seus principais parâmetros.



Fonte: Adaptado COLINGE, 2008.

Considerando esses fatores, a corrente pode ser dada pela equação (6) (COLINGE, 2008):

$$I_{DS} = I_{D0} \frac{\theta \mu_{TOPO} W_{FIN} + 2 \mu_{LATERAL} H_{FIN}}{\mu_{TOPO} P} \quad (6)$$

Onde I_{DS} é a corrente de dreno, I_{D0} é a corrente de um transistor planar de uma única porta, θ é considerado 1 para dispositivos de porta tripla e 0 para dispositivos de porta dupla, pois inclui ou exclui a influência do canal no topo, $\mu_{LATERAL}$ e μ_{TOPO} são as mobilidades das paredes laterais e do topo do canal, respectivamente e P (*Pitch*) é a distância entre uma aleta e outra.

2.3.2.2 Tensão de limiar

A definição mais conhecida de tensão de limiar é o momento em que o potencial de superfície Φ_S alcança o valor de duas vezes o potencial de Fermi. Apesar dessa definição não ser a mais adequada nos casos de dispositivos mais modernos, onde outros fatores também influenciam a tensão de limiar, como a geometria de duas ou mais portas e a fina espessura da camada de silício (COLINGE, 1997). Nessa situação, a região entre o semiconductor e o isolante está em sua depleção máxima e há um acúmulo de portadores minoritários, formando um canal entre a região de fonte e dreno, o que permite um aumento significativo de corrente que passa pelo canal.

A tensão de limiar para transistores de múltiplas portas é fundamentalmente diferente de um transistor planar. O modelo de tensão de limiar para transistores de múltiplas portas, obtido para transistores de porta dupla é dado pela equação (7) (POIROUX et al., 2005):

$$V_{TH} = \phi_{MS} + \frac{kT}{q} \ln \left(\frac{2C_{OX}kT}{q^2 n_i W_{FIN}} \right) + \frac{\hbar^2 \pi^2}{2m_d W_{FIN}^2} \quad (7)$$

Onde, C_{OX} a capacitância do óxido por unidade de área, Φ_{MS} é a diferença de função trabalho entre o metal de porta e o semiconductor, n_i é a concentração intrínseca do silício e m_d a massa efetiva da densidade de estados, dada pela equação (3). Sendo que o terceiro termo dessa equação representa o efeito do confinamento quântico nos dispositivos, sendo importante para dispositivos com aleta de silício menores que 20nm (COLINGE, 2008).

Na equação (7) também pode ser acrescentado um fator de ajuste (n_{ENG}) para diferentes tipos de dispositivos de múltiplas portas (8). Os diferentes tipos de dispositivos de múltiplas portas (porta dupla, porta tripla ou porta quádrupla) possuem concentração média de elétrons na tensão de limiar diferente uns dos outros, devido à diferença na distribuição de elétrons nesses dispositivos, tornando a equação (YUN et al., 2008):

$$V_{TH} = \phi_{MS} + n_{ENG} \frac{kT}{q} \ln \left(\frac{2C_{OX}kT}{q^2 n_i W_{FIN}} \right) + \frac{\hbar^2 \pi^2}{2m_d W_{FIN}^2} \quad (8)$$

2.3.2.3 Inclinação de sublimiar

A inclinação de sublimiar pode ser definida como a variação necessária na tensão de porta com o transistor polarizado abaixo da tensão de limiar para que a corrente de dreno sofra uma variação de uma década, esse parâmetro informa a velocidade de chaveamento de um transistor, sendo que quanto menor for a inclinação de sublimiar mais rápido será o transistor. Por definição, a inclinação de sublimiar é dada pela derivada da tensão de porta pelo logaritmo da corrente de dreno (9):

$$S = \frac{dV_{GS}}{d \log(I_{DS})} \quad (9)$$

Nos transistores SOI a expressão analítica da inclinação de sublimiar é dada por (10) onde n é o fator de corpo, que é dado pela associação de capacitâncias da estrutura, k é a constante de Boltzmann, T é a temperatura e q é a carga elementar do elétron. Essa relação também é válida para dispositivos de múltiplas portas (Colinge, 1997).

$$S = \frac{kT}{q} \ln(10)n \quad (10)$$

Para o dispositivo SOI totalmente depletado o valor de n para a inclinação de sublimiar é dada por (11) sendo que nesse caso n é a associação das capacitâncias do silício com a capacitância do óxido de porta e enterrado.

$$n = \left[1 + \frac{1}{C_{OX}} \left(\frac{C_{Si}C_{OX2}}{C_{Si} + C_{OX2}} \right) \right] \quad (11)$$

Para (11) C_{Si} é a capacitância do silício, C_{OX} é a capacitância do óxido de porta (primeira interface) e C_{OX2} é a capacitância do óxido enterrado (segunda interface).

A inclinação de sublimiar depende da associação de capacitâncias, um dispositivo SOI totalmente depletado terá uma inclinação de sublimiar menor que um MOSFET convencional, exceto caso a segunda interface esteja em acumulação onde n é dado pela equação (12). Nesse caso o valor de n aumenta o que faz com que a inclinação de sublimiar aumente.

$$n = \left(1 + \frac{C_{Si}}{C_{OX}} \right) \quad (12)$$

Então a inclinação de sublimiar para esses dispositivos pode ser resumida como:

$$n_{\text{SOI TOTALMENTE DEPLETADO}} < n_{\text{CONVENCIONAL}} < n_{\text{SOI SEGUNDA INTERFACE EM ACUMULAÇÃO}}$$

Sendo que o dispositivo SOI totalmente depletado possui o menor n e, portanto, a menor inclinação de sublimiar, seguido pelo MOSFET convencional e por último os dispositivos SOI com a segunda camada em acumulação. A vantagem do dispositivo de múltiplas portas sobre a inclinação de sublimiar é o fato de que os efeitos de canal curto são suprimidos, permitindo que seu valor se mantenha próximo do ideal, que é consequência da

melhora do controle eletrostático do canal pelas múltiplas portas. O menor valor de que a inclinação de sublimiar alcança para 300K (temperatura ambiente) é de aproximadamente 60mV/dec.

2.3.2.4 Transcondutância

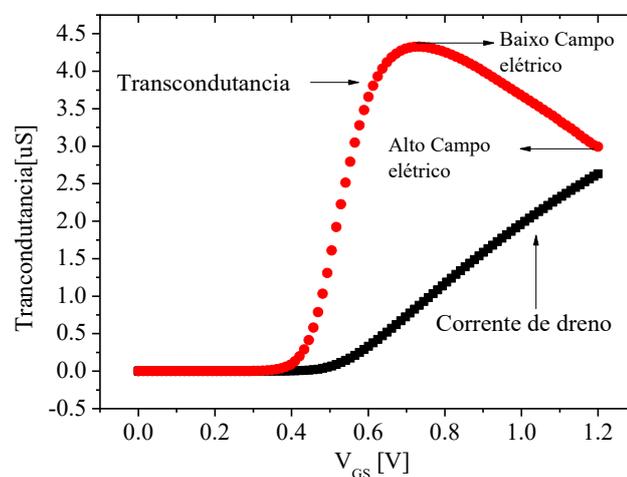
A transcondutância é um parâmetro muito utilizado e pode ser definida como a eficiência da corrente de dreno pela tensão de porta aplicada e é expressa pela derivada da corrente de dreno pela tensão de porta, conforme a equação a seguir (13):

$$g_m = \frac{dI_{DS}}{dV_{GS}} \quad (13)$$

A transcondutância é utilizada como uma referência para mostrar o que acontece com a mobilidade de baixo campo (14) obtida para uma curva em triodo, C_{OX} é a capacitância do óxido de porta e V_{DS} é a tensão de dreno. Aqui a mobilidade de baixo campo é proporcional a transcondutância, conforme a equação (14). A transcondutância pode ser vista pela figura 13, onde a curva chega a um valor máximo e depois há uma degradação em V_{GS} mais altos, ou seja, em campo elétrico alto. Dessa forma, pode ser feita uma simples análise de como o portador é afetado pelo campo elétrico proveniente da porta.

$$\mu_0 = g_m \frac{L_G}{WC_{OX}V_{DS}} \quad (14)$$

Figura 13 - Curva de corrente de dreno e transcondutância em função da tensão de porta, obtidos a partir de simulação.



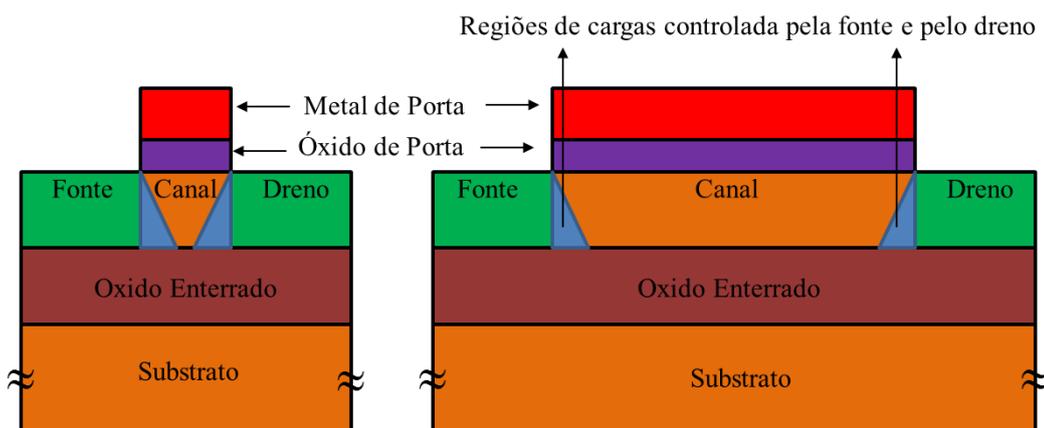
Uma característica da transcondutância é o fato de que a medida que W_{FIN} diminui, há uma redução da transcondutância, de forma que a resistência série começa a ter mais importância (COLINGE, 2008).

2.3.2.5 Efeitos de canal curto e de estreitamento de canal

Devido à redução do comprimento do canal estar avançando para valores nanométricos, o que aproxima as regiões de fonte e dreno, e suas regiões de depleção. Sendo que essas depleções controladas pelo dreno e pela fonte, acabam controlando uma parcela das cargas que eram controladas pela porta (XIE; LEE; XU, 2013). A figura 14 mostra o efeito do controle das cargas do canal pelo dreno e pela fonte, onde pode-se notar que esse efeito tem maior importância em transistores de canal curto.

Nesse caso, se o comprimento de canal for suficientemente pequeno para que as regiões de depleção de fonte e dreno controlem uma porção substancial das cargas no canal, então a porta do transistor perde o controle eletrostático dessas cargas, que resulta em uma redução da tensão de limiar e um aumento da inclinação de sublimiar. Porém, o efeito de canal curto acontece em comprimentos de canal diferentes dependendo da quantidade de portas que o transistor possui.

Figura 14 - Efeitos de canal curto em transistores com diferentes comprimentos de canal, onde em parte do canal, os portadores são controlados pelas regiões de fonte e dreno.



Fonte: Autor.

Uma forma de analisar o efeito de canal curto de um transistor é através do comprimento natural (λ_{ENG}), que dá uma medida dos efeitos de canal curto inerente a estrutura

do dispositivo, que pode ser obtido pela equação (15), assumindo um transistor de secção transversal quadrada (COLINGE, 2007):

$$\lambda_{ENG} = \sqrt{\frac{1}{ENG} \frac{\varepsilon_{Si}}{\varepsilon_{OX}} t_{Si} t_{OX}} \quad (15)$$

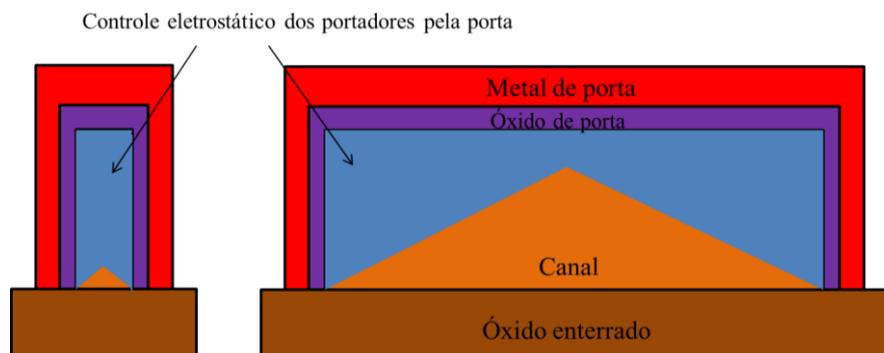
Onde ε_{Si} é a constante dielétrica do silício, ε_{OX} é a constante dielétrica do óxido, t_{Si} é a espessura da aleta de silício (sendo H_{FIN} no caso de um transistor de múltiplas portas) e t_{OX} é a espessura do óxido de porta e ENG representa o número equivalente de portas do transistor. Para um SOI MOSFET planar de uma única porta totalmente depletado, ENG vale 1, com duas portas ENG vale 2, com de três portas ENG vale 3 e com quatro portas ENG vale 4.

O efeito de canal curto está associado ao comprimento natural do transistor, de forma que quanto menor o comprimento natural, menos suscetível aos efeitos de canal curto o transistor estará. Da equação (15) a redução do comprimento natural acontece principalmente com o aumento do número de portas de um transistor, com a redução das espessuras da aleta de silício e do óxido de porta e também pela utilização de materiais com alta constante dielétrica (Materiais *High-K*) ao invés do convencional óxido de silício (HE et al., 2011).

Esses efeitos de canal curto são indesejados, pois eles podem variar parâmetros já bem definidos em uma determinada tecnologia, o que afetaria o projeto de CIs. Tanto que em determinada tecnologia sempre há um comprimento de canal mínimo até o qual se define que a influência dos efeitos de canal curto é desprezível.

O aumento da largura da aleta de silício também pode impactar nos efeitos de canal curto. A figura 15 mostra o controle eletrostático dos portadores pela porta para um dispositivo com W_{FIN} pequeno e com W_{FIN} grande.

Figura 15 - Controle da porta para um dispositivo com W_{FIN} de tamanhos diferentes.



Podemos perceber que a medida que a largura da aleta de silício aumenta a porta começa a perder o controle eletrostático dos portadores. Esse efeito pode ser analisado como o número equivalente de portas de um transistor com W_{FIN} grande, tendendo a unidade em (15), diferente do que ocorre dos dispositivos com W_{FIN} pequenos, o que acarreta na queda da tensão de limiar e aumento da inclinação de sublimiar.

2.3.2.6 Mobilidade de baixo campo

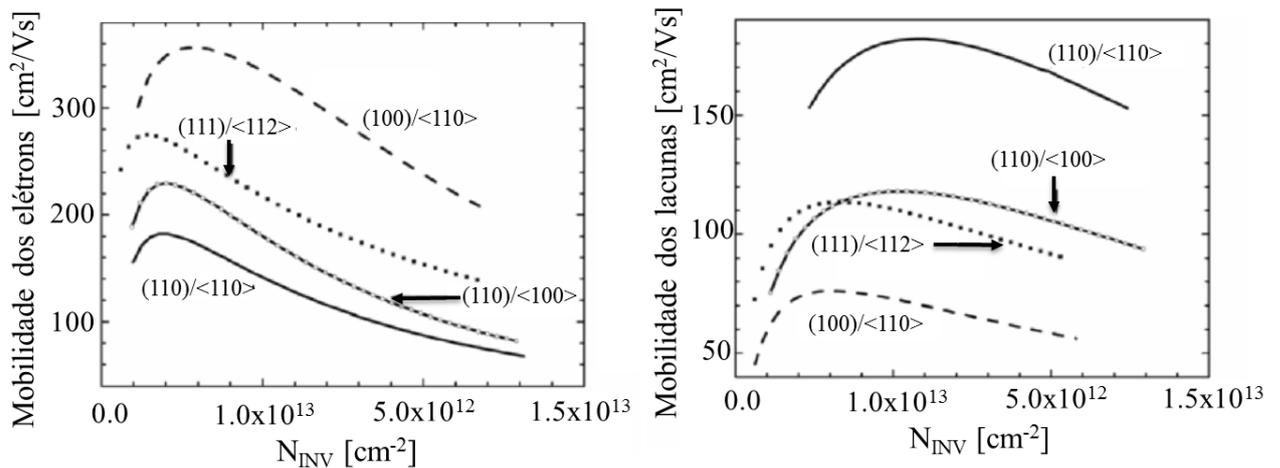
A definição formal da mobilidade é a relação do campo elétrico com a velocidade do portador, sendo que a velocidade do portador pode, em altos campos elétricos, chegar a um limite chamado velocidade de saturação (CRISTOLOVEANU; LI, 1995). Logo, essa relação é utilizada na região em que a velocidade do portador é menor que a velocidade de saturação, o que proporciona uma região linear entre o campo elétrico e a velocidade do portador.

A mobilidade dos portadores está atrelada a diversos fatores, entre eles estão o tipo de material, a orientação cristalográfica, a degradação da mobilidade em fator da dopagem e do campo elétrico, entre outros. Com o escalamento dos transistores chegando ao limite físico, são necessárias novas formas de melhorar a eficiência de um dispositivo. Uma das formas de aumentar a corrente é aproveitar da orientação cristalográfica do semiconductor.

O silício, atualmente, tem como padrão a fabricação de suas lâminas com superfície $\{100\}$, mas também é possível utilizar as superfícies $\{110\}$ e $\{111\}$ que também são bem conhecidas, assim como outras intermediárias as citadas anteriormente, dependendo da aplicação. Pois é muito conhecido que a orientação $\{100\}$ é melhor para a mobilidade dos elétrons do que a orientação $\{110\}$, sendo o contrário para as lacunas. Um exemplo da dependência da mobilidade de elétrons e de lacunas com os planos de condução é dado pela figura 16, que mostra que a mobilidade dos elétrons do plano $\{100\}$ é muito maior que o do plano $\{110\}$ e também mostra a anisotropia do plano $\{110\}$, em que dependendo da direção do canal a mobilidade dos elétrons obtida também é diferente. Essa figura também mostra que para as lacunas o plano $\{110\}$ é melhor para o transporte que o plano $\{100\}$.

Uma forma de analisar o transporte de portadores de uma determinada orientação cristalográfica, é através das elipsoides de energia constante. A figura 17 mostra as elipsoides de energia constante para o plano $\{100\}$, e a figura 18 para o plano $\{110\}$ assim como a massa efetiva transversal e longitudinal dessas elipses (COLINGE, 2008).

Figura 16 - Mobilidade dos elétrons em função da carga de inversão, representado para as diferentes orientações cristalográficas de um transistor.



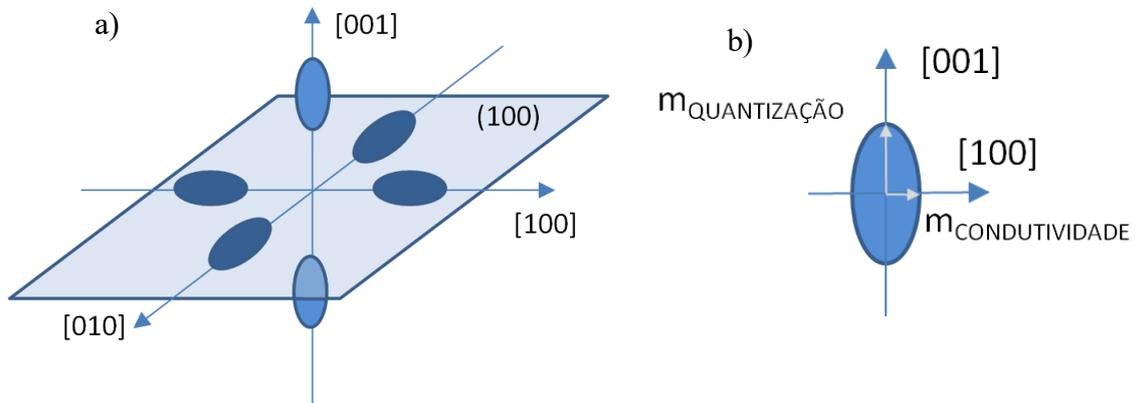
Fonte: COLINGE, 2007

Nessa superfície {100} da figura 17, das seis elipses de energia duas estão fora do plano indicado e as outras quatro atravessam o plano. Essas duas elipses fora do plano representam as *unprimed subbands* que são sub-bandas que possuem menor energia e maior massa efetiva de quantização (massa efetiva normal ao plano, como mostra a figura) que as outras quatro elipsoides. Logo elas terão uma população de portadores maior e iram dominar o transporte nesse plano.

Da mesma forma, as quatro elipsoides que estão no plano {100}, que são chamadas de *primed sub-bands*, possuem uma massa efetiva de quantização menor, e, portanto, uma energia maior, o que torna essas sub-bandas menos populosas e não influenciam tanto no transporte de portadores como as outras duas. As elipsoides que possuem uma população maior de portadores, que são as elipses que estão fora do plano, é possível ver que a massa efetiva de condutividade na direção paralelo ao plano, possui uma componente muito menor que a massa efetiva de quantização. Uma massa efetiva de condutividade menor gera uma mobilidade maior. Nesse plano os efeitos de anisotropia são muito pequenos já que não importa a direção do transporte dentro desse plano, a massa efetiva de condutividade sempre será a mesma.

Essa mesma análise pode ser feita para o plano {110} (figura 18), em que duas elipses que estão no plano indicado que são as *primed subbands* e as outras quatro elipses fora do plano são as *unprimed subbands*. Uma diferença notável em comparação ao plano {100} é um forte efeito da anisotropia nesse plano. Pois nesse, plano dependendo, por exemplo, se o transporte de portador ocorrer na direção [001] (figura 18. b)) a massa efetiva da condutividade

Figura 17 - Relação entre o plano $\{100\}$ e as elipsoides de energia constante.



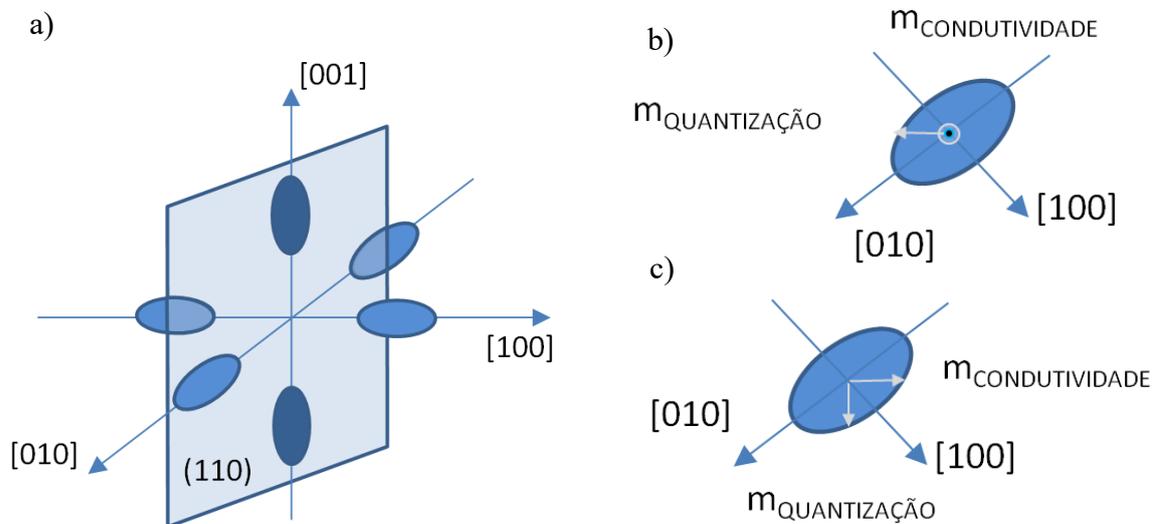
Fonte: Autor.

Nota: a) elipsóides de energia constante para um plano $\{100\}$ e b) a massa efetiva transversal e longitudinal para uma elipsóide fora do plano.

será bem menor do que se o transporte ocorrer na direção $[1-10]$ (figura 18 c)), mantendo a massa de quantização igual.

A tabela 1 a seguir, mostra os valores de massa efetiva para as orientações cristalinas $\{100\}$ e $\{110\}$ (GÁMIZ; DONETTI; RODRIGUEZ, 2007) onde se pode ver claramente, as diferenças de massa efetiva e como isso afeta o transporte de portadores. Vale lembrar que para a mobilidade, o melhor é uma massa efetiva de condutividade bem pequena, o que gera uma mobilidade maior no silício. E uma grande massa efetiva de quantização, gera uma grande quantidade de portadores para transporte.

Figura 18 - Relação entre o plano $\{110\}$ e as elipsoides de energia constante.



Fonte: Autor.

Nota: a) elipsóides de energia constante para um plano $\{110\}$ e b) a massa efetiva transversal e longitudinal para uma elipsóide fora desse plano.

Tabela 1- Relação de orientação do plano com diferentes direções e suas respectivas massas efetivas.

Orientação	Direção	Massa efetiva da condutividade (m_0)	Massa efetiva de quantização (m_0)	Degeneração das elipses
(100)	[100]	0,19	0,916	2
	[010]	0,19	0,916	2
(110)	[001]	0,19	0,315	4
	[1-10]	0,553	0,315	4

Fonte: Autor.

2.3.1.7 Espalhamento dos portadores de carga

A degradação da mobilidade existe devido a fatores que influenciam o portador durante o fenômeno de transporte. Essa degradação se deve aos espalhamentos que acontecem com os portadores, sendo os três principais os espalhamentos pelo efeito Coulomb, o espalhamento de rede e o espalhamento pela rugosidade da superfície.

Cada um desses espalhamentos pode ser relacionado a uma faixa de campo elétrico gerado pela tensão da porta aplicada e por isso possuem uma faixa de tensão em que sua influência é maior sobre a mobilidade do portador. O espalhamento Coulomb ocorre principalmente em campos elétricos mais baixos, seguido pelo espalhamento de rede e o espalhamento por rugosidade da superfície que ocorrem em campo elétrico mais alto (JEON; BURK, 1989).

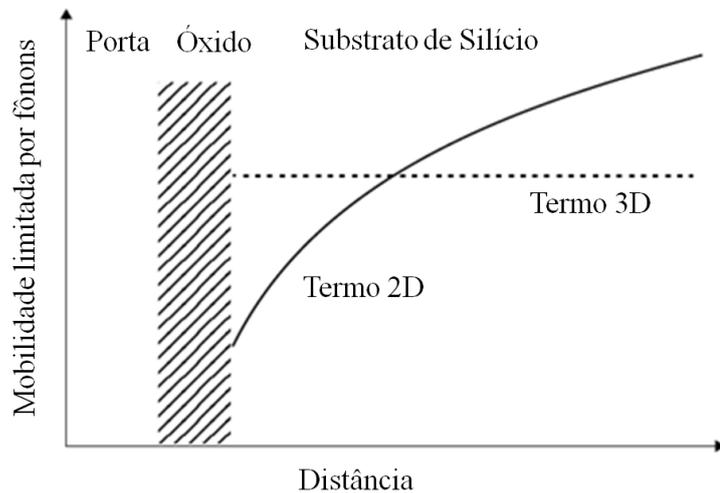
2.3.2.6.1 Espalhamento de rede

O espalhamento de rede se deve aos fônons (um quantum de vibração da rede cristalina), onde essa vibração está associada principalmente a temperatura do semicondutor. De tal forma, que em baixas temperaturas a influência das vibrações dos átomos de silício é extremamente pequena, o que gera um aumento na mobilidade dos portadores. E em altas temperaturas a vibração da rede cristalina gera uma redução da mobilidade (LUNDSTROM, 2000).

O modelo que representa a mobilidade limitada por fônons, pode ser dividido em duas componentes, uma 2D e outra 3D, onde a componente 2D representa uma condução pelicular, devido ao campo elétrico da porta atrair os portadores para a interface óxido/semicondutor, já a componente 3D representa a condução de corrente em campos elétricos mais baixos onde a

corrente não conduz exclusivamente na interface, essas duas componentes são representadas conforme a figura 19.

Figura 19 - Relação da mobilidade limitada por fônons pelas duas componentes 2D e 3D.



Fonte: Adaptado de Mujtaba, 1995.

No caso da mobilidade limitada por fônons para o caso 2D, a mobilidade de baixo campo é descrita pelo modelo apresentado a seguir o qual é baseado em um modelo físico com cálculos de primeira ordem.

$$\mu_{fônons2D} = \left[\frac{q\hbar\rho_{bulk}u_l^2}{mD_{ac}^2k} \right] \frac{1}{T} Z_{INV} \quad (16)$$

Na equação (16), q é a carga elementar do elétron, \hbar é a constante reduzida de Plank, ρ_{bulk} é a densidade de átomos de silício por unidade de volume, u_l é a velocidade do som no cristal, m é a massa efetiva, D_{ac} é a deformação do potencial, T é a temperatura, e Z_{inv} é a espessura da camada de inversão e k a constante de Boltzmann.

O modelo físico, também baseado em cálculos de primeira ordem, para a mobilidade de fônons da componente 3D é dado por (17):

$$\mu_{fônons3D} = \left[\frac{q\pi^{\frac{1}{2}}\hbar^4\rho_{bulk}u_l^2}{m^{\frac{5}{2}}D_{ac}^2(kT)^{\frac{3}{2}}} \right] \frac{2}{3} \quad (17)$$

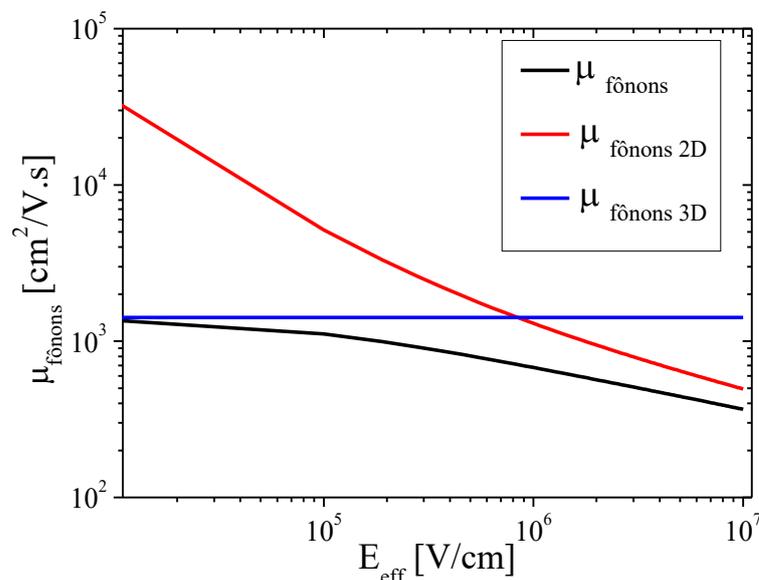
Dessas duas formulas é possível notar que ambas possuem uma grande influência da massa efetiva, sendo que quanto menor a massa efetiva maior a mobilidade obtida. Na componente 2D a influência da massa efetiva é maior que na componente 3D. A partir dessas equações, o modelo semi-empírico da equação 2D (1ª componente) e o modelo empírico da equação 3D (2ª componente) podem ser extraídos. E a expressão da mobilidade limitada por fônons é o mínimo das duas componentes e fica da seguinte forma (MUJTABA, 1995):

$$\mu_{fônons} = \min \left[\frac{A}{E} + \frac{BN_A^\lambda}{E^3 T}, \mu_{máx} \left(\frac{300}{T} \right)^\theta \right] \quad (18)$$

Para a equação (18) o parâmetro $A=3.10^8 \text{cm/s}$, $B=3.10^7 \text{cm}^{5/3} \text{V}^{-2/3} \text{s}^{-1}$, $\mu_{MÁX}=1417 \text{cm}^2/\text{V.s}$, $\lambda = 0$, $\theta=2,285$, E é o campo elétrico, N_A é a dopagem do silício, e T é a temperatura do semiconductor.

A figura 20 apresenta a associação da mobilidade dos elétrons limitada pelo espalhamento de fônons das componentes 2D e 3D. Pela figura podemos ver como é a associação da mobilidade dessas duas componentes pela regra de Matthiessen e podemos ver que em baixo campo elétrico o que predomina é a componente 3D da mobilidade, e em alto campo elétrico a mobilidade predominante é a da componente 2D.

Figura 20 - Curva da mobilidade limitada pelo espalhamento de fônons. Aplicação da equação (18) no software Mathcad.



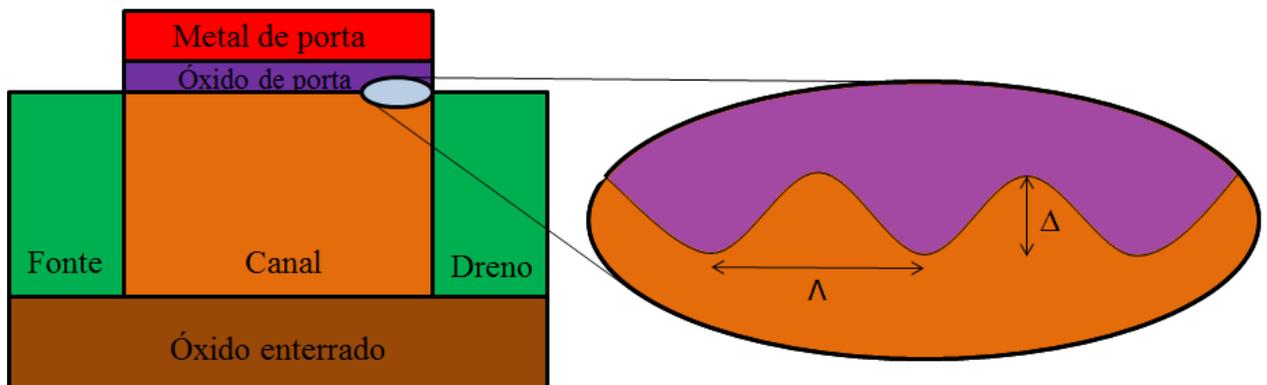
2.3.2.6.2 Espalhamento por rugosidade de superfície.

O espalhamento por rugosidade de superfície se deve a altos valores de campo elétrico provenientes da tensão aplicada a porta do transistor. Com uma tensão de porta aplicada na porta isso gera um campo elétrico que atrai os portadores para a interface entre o canal e o óxido. Ao serem acelerados pelo canal, esses portadores sofrem uma degradação, pelo campo elétrico vertical, devido a rugosidade da interface óxido-semicondutor. O modelo físico que representa a rugosidade de superfície é dado pela equação (19):

$$\mu_{RS} = \left[\frac{\hbar^3}{\pi(m)^2(\Delta\Lambda)^2 q} \right] \frac{1}{E^2} \quad (19)$$

Onde Δ é o valor do desvio RMS da interface e Λ é o comprimento de correlação. A figura 21 mostra uma representação esquemática simplificada da rugosidade da interface óxido-semicondutor e suas principais variáveis.

Figura 21 – Representação esquemática da interface da superfície do canal de um transistor e suas principais variáveis associadas a ela.



Fonte: Adaptado de Mcginn, 2006.

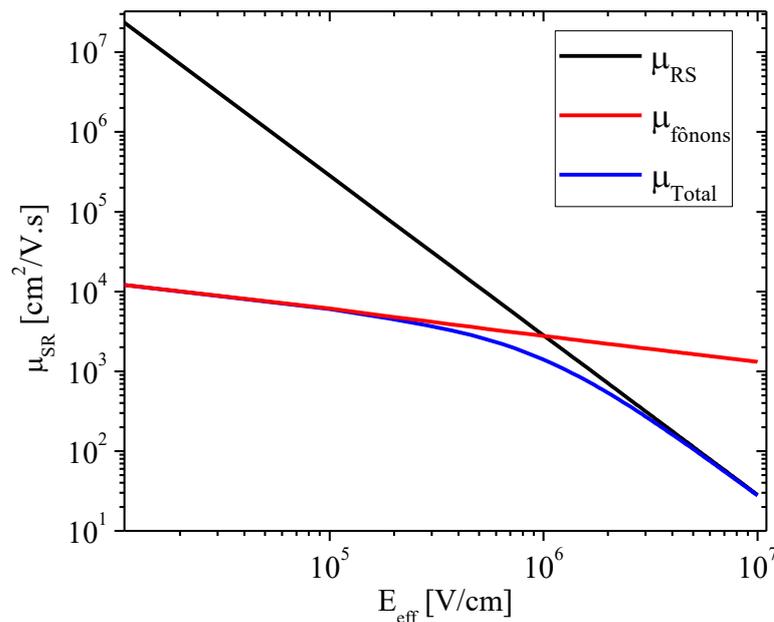
Podemos notar que nessa fórmula também há a influência da massa efetiva sobre a mobilidade limitada pelo espalhamento de rugosidade de superfície, de forma que quanto menor for a massa efetiva maior será a mobilidade limitada por rugosidade de superfície e, portanto, menor espalhamento. Pode se notar também a grande influência do campo elétrico nessa fórmula. Sendo que quanto maior o campo elétrico menor a mobilidade obtida.

Devido à dificuldade de obtenção de alguns desses parâmetros, normalmente é utilizado um modelo semi-empírico que pode ser ajustado por uma constante e é dado por (MUJTABA, 1995):

$$\mu_{RS} = \frac{\delta}{E^2} \quad (20)$$

Sendo que δ vale $2,83 \cdot 10^{15}$ V/s. A partir dessa equação podemos analisar a influência da rugosidade de superfície na mobilidade. A degradação da mobilidade pelo campo elétrico pode ser vista na figura 22, a qual combina os efeitos da degradação por fônons e por rugosidade de superfície, pela regra de Matthiessen, sendo esse último mais importante em campos elétricos altos.

Figura 22 - Efeito da rugosidade de superfície na mobilidade. Aplicação da equação (20) no software Mathcad.



Fonte: Autor.

2.3.2.6.3 Espalhamento por efeito coulomb.

O espalhamento por efeito Coulomb pode ser entendido como a degradação da mobilidade dos portadores do canal pelas cargas presentes no próprio transistor e os efeitos associados a elas. De forma que em semicondutores com dopagem muito alta a presença de espalhamento Coulomb será muito maior, e sua influência tende a ser predominante em campos elétricos baixos.

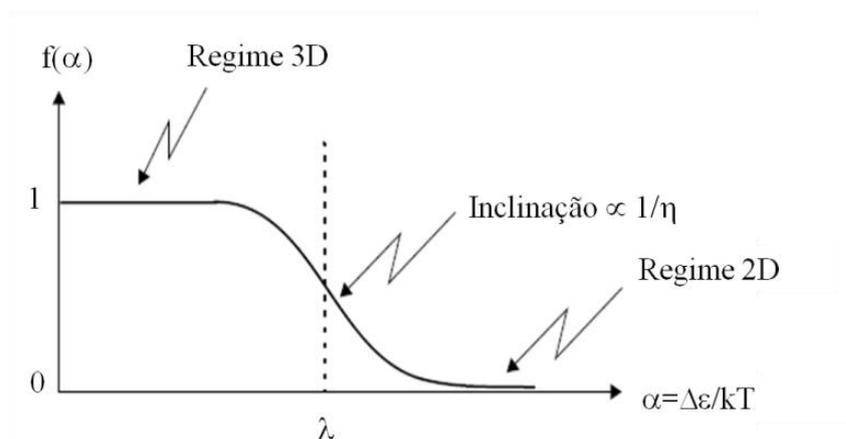
O modelo de Efeito Coulomb tem como contribuições uma parte 2D e outra 3D, sendo que a associação desses dois termos se dá pela equação a seguir (MUJTABA, 1995):

$$\mu_{Coulomb} = f(\alpha)\mu_{Coulomb_3D} + (1 - f(\alpha))\mu_{Coulomb_2D} \quad (21)$$

Sendo que $f(\alpha)$ é uma função do campo elétrico que, dependendo do campo elétrico, determina qual componente predomina, como mostra na figura 23.

$$f(\alpha) = \frac{1}{1 + e^{\frac{(\alpha - \lambda)}{\eta}}}, \text{ com } \alpha = \frac{2,1 \cdot 10^{-24} E^{\frac{2}{3}}}{kT} \quad (22)$$

Figura 23 - Associação da mobilidade limitada pelo efeito Coulomb dos termos 2D e 3D.



Fonte: Adaptado de Mujtaba, 1995.

O modelo semi-empírico para o efeito Coulomb é dado pela fórmula:

$$\mu_{Coulomb_2D} = \max \left[\left(D_1 \frac{n_e^\kappa}{N_A^{\beta_1}} \right), \left(\frac{D_2}{N_A^{\beta_2}} \right) \right] \quad (23)$$

Nessa equação, $D_1 = 1,35 \cdot 10^{11} \text{ cm}^2/\text{V.s}$, $D_2 = 4 \cdot 10^{10} \text{ cm}^2/\text{V.s}$, $\beta_1 = 2,0$ e $\beta_2 = 0,5$, n_e é a concentração de elétrons e N_A é a dopagem do semiconductor.

A componente 3D da equação de mobilidade limitada por efeito Coulomb é dado pela modelo empírico a seguir:

$$\mu_{Coulomb_3D} = \mu_1 \left[\frac{N_A + N_D}{N_D + G(P)N_A} \right] \left(\frac{N_{ref}1}{N_A + N_D} \right)^{\alpha_1} + \mu_2 \left[\frac{n_e}{N_A + G(P)N_D} \right] \quad (24)$$

Sendo μ_1 e μ_2 dado por (25)

$$\mu_1 = \frac{\mu_{MAX}}{\mu_{MAX} - \mu_{MIN}} \left(\frac{T}{300} \right)^{3\alpha_1 - \frac{3}{2}}, \quad \mu_2 = \frac{\mu_{MIN} \mu_{MAX}}{\mu_{MAX} - \mu_{MIN}} \left(\frac{300}{T} \right)^{\frac{1}{2}} \quad (25)$$

e $G(P)$ por (26):

$$G(P) = 1 - \frac{s_1}{\left[s_2 + \left(\frac{m_0 T}{m 300} \right)^{s_4} P \right]^{s_5}} + \frac{s_5}{\left[\left(\frac{m 300}{m_0 T} \right)^{s_7} P \right]^{s_6}} \quad (26)$$

$$P = \left(\frac{2.459}{P_{CW}} + \frac{3.828}{P_{BH}} \right)^{-1} \quad (27)$$

$$P_{CW} = 3,97 \cdot 10^{13} \left(\frac{1}{NA + ND} \left(\frac{T}{300} \right)^3 \right)^{\frac{2}{3}}, \quad P_{BH} = \frac{1,36 \cdot 10^{20}}{n_e} \left(\frac{m}{m_0} \right) \left(\frac{T}{300} \right)^2 \quad (28)$$

Onde, para o silício, os $\mu_{MAX}=1417\text{cm}^2/\text{V.s}$, $\mu_{MIN}=56\text{cm}^2/\text{V.s}$, $m=0,26m_0$, $s_1=0,89233$, $s_2=0,41372$, $s_3=0,19778$, $s_4=0,28227$, $s_5=0,005978$, $s_6=1,80618$, $s_7=0,72169$, $N_{ref}=9,45 \cdot 10^{16}\text{cm}^{-3}$ e $\alpha_1=0,69$.

De forma geral, a componente 2D levam em conta o espalhamento Coulomb “*screened*” e o espalhamento Coulomb “*unscreened*”. E a componente 3D do espalhamento Coulomb é dado pelo espalhamento por impurezas majoritárias e minoritárias (MUJTABA, 1995).

Se um óxido com alta constante dielétrica é utilizado na fabricação, após uma camada de óxido de silício, pode haver defeitos nessa interface entre óxidos com cargas que afetam os portadores no canal remotamente, o que gera o espalhamento por Coulomb remoto e apesar do espalhamento Coulomb ser predominante em baixos campos elétricos o espalhamento Coulomb remoto pode afetar a mobilidade não apenas em baixo campo elétrico, mas também

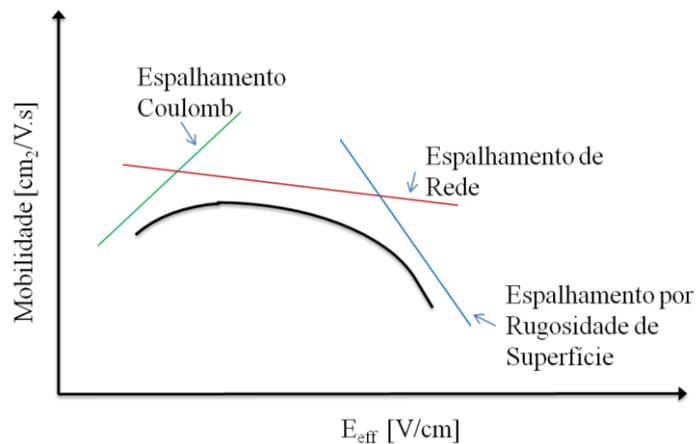
em médios campos elétricos (ROBERTSON; WALLACE, 2015), sendo que esse efeito não será estudo nesse trabalho.

A mobilidade limitada por esses três tipos de espalhamento pode ser associada pela regra de Matthiessen seguindo (29) para obter a mobilidade total.

$$\mu_{TOTAL} = \left(\frac{1}{\mu_{fônons}} + \frac{1}{\mu_{RS}} + \frac{1}{\mu_{Coulomb}} \right)^{-1} \quad (29)$$

A figura 24 apresenta esquematicamente a mobilidade do silício em função do campo elétrico, em que os três principais tipos de espalhamentos da mobilidade podem ser identificados. O efeito do espalhamento Coulomb pode ser visto em estruturas bem dopadas, onde para baixos campos elétricos a mobilidade cresce com o aumento do campo. Para dispositivos com canal não dopado, a influência do espalhamento Coulomb é muito pequena sendo apenas mais importante quando a dopagem do canal do transistor aumenta.

Figura 24 - Mobilidade universal do silício, em função do campo elétrico efetivo.



Fonte: Adaptado de Robertson, 2015.

2.3.2.8 Tensão mecânica

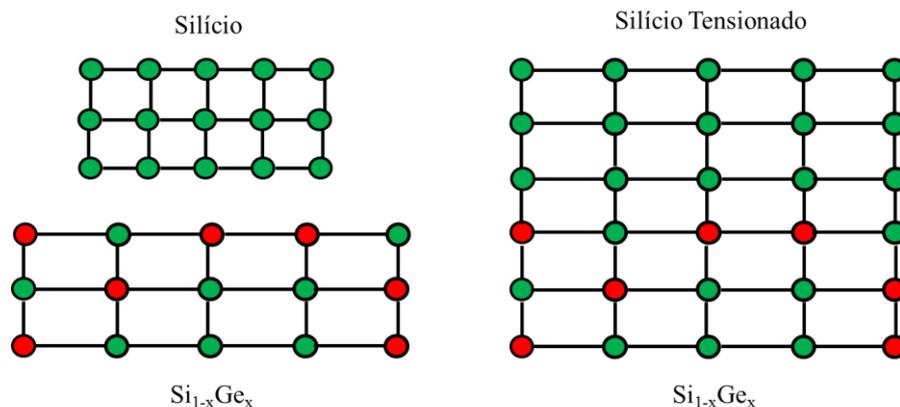
Um outro método que vem sendo muito utilizado para aumentar a mobilidade dos portadores é a utilização de tensão mecânica. A tensão mecânica é uma das formas mais utilizadas para aumentar a mobilidade. Essa tensão aplicada pode ser tanto global como local, onde a global é aplicado em toda a lâmina de silício e o local é aplicado em cada transistor. Ambos são altamente utilizados em tecnologias atuais, e são muito estudados devido à alta

performance de um transistor com tensão mecânica em comparação com um transistor sem. (KIMURA, 2003)

Existem dois tipos de tensão mecânica que podem ser aplicados, o tensivo e o compressivo, sendo que o primeiro é mais benéfico para o transporte de elétrons e o segundo melhor para o transporte de lacunas. Os dispositivos estudados nesse trabalho utilizam tensão mecânica global tensivo e, portanto, é feito antes da fabricação dos transistores, aplicado à lâmina de silício (tensão mecânica biaxial).

Essa tensão mecânica normalmente é aplicada a lâmina, pelo crescimento epitaxial de Si em uma camada de material com constante de rede maior que o do silício, normalmente ligas de $\text{Si}_{1-x}\text{Ge}_x$. Quando o silício é depositado sobre esse material, o parâmetro de rede aumenta, o que gera a tensão biaxial na lâmina, aumentando a mobilidade dos elétrons (LIU; MAIKAP; YU, 2005). A figura 25 mostra como a tensão mecânica biaxial é aplicada, através do crescimento epitaxial de silício sobre uma liga de $\text{Si}_{1-x}\text{Ge}_x$.

Figura 25 - Formação de silício tensionado a partir de ligas SiGe com constante de rede maior que a do silício.



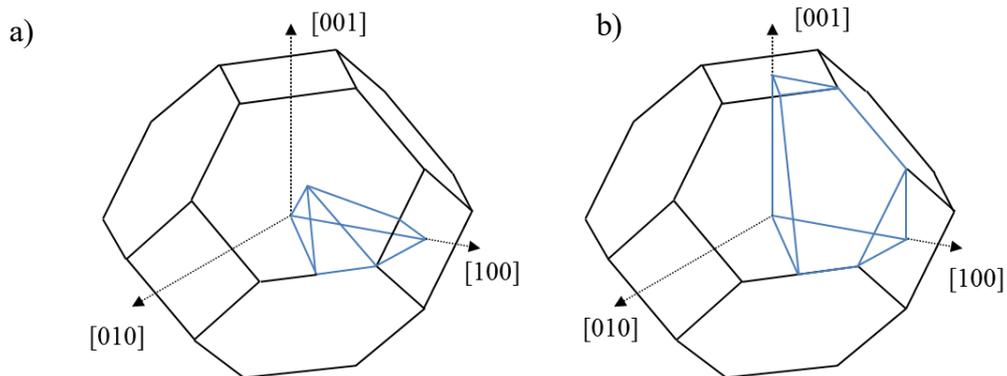
Fonte: Autor.

A figura 26 mostra a nova zona irreduzível de Brillouin que é obtida após a aplicação de tensão mecânica biaxial no silício. A aplicação da tensão mecânica sobre o silício quebra a simetria da zona de Brillouin o que torna a zona irreduzível de Brillouin maior e com isso há uma mudança na composição das faixas de energia do silício comparado ao mesmo sem tensão mecânica (SVERDLOV, 2011).

A figura 27 a) mostra a influência da tensão mecânica nas elipsoides de energia constante, onde a tensão biaxial causa uma separação nas bandas de energia, gerando dois sets de sub-bandas, o Δ_2 e o Δ_4 . Na Figura 27 b) a variação de energia entre os vales Δ_2 e o Δ_4 é apresentado e na figura 28 podemos ver que os vales Δ_2 tem uma diminuição da energia já os

vales Δ_4 tem um aumento de energia comparado ao silício relaxado (sem tensão mecânica). Isso acarreta nos transistores um aumento de mobilidade. Já que há uma migração de portadores dos vales Δ_4 para os vales Δ_2 devido à diminuição da energia desses vales Δ_2 . (TAKAGI et al., 2005)

Figura 26 - Zona irreduzível de *Brillouin* para o silício.

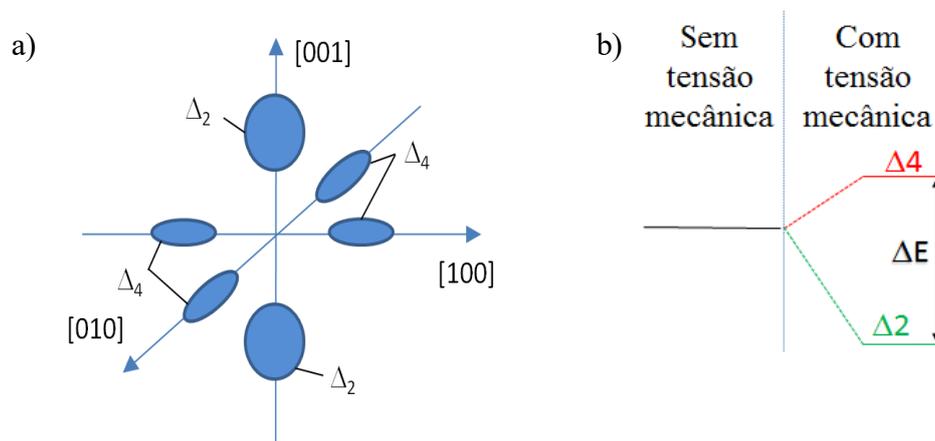


Fonte: Adaptado de SYNOPSIS, 2013.

Nota: a) o silício relaxado e b) para o silício com tensão mecânica biaxial para o plano (001).

A tensão mecânica causa um aumento na mobilidade devido a dois fatores: a redução da massa efetiva de condutividade e a redução dos espalhamentos entre vales, que é devido a variação de energia criada entre os vales Δ_2 e o Δ_4 , o que dificulta o espalhamento entre esses dois tipos de vales, o que aumenta a mobilidade (TAKAGI et al., 2005).

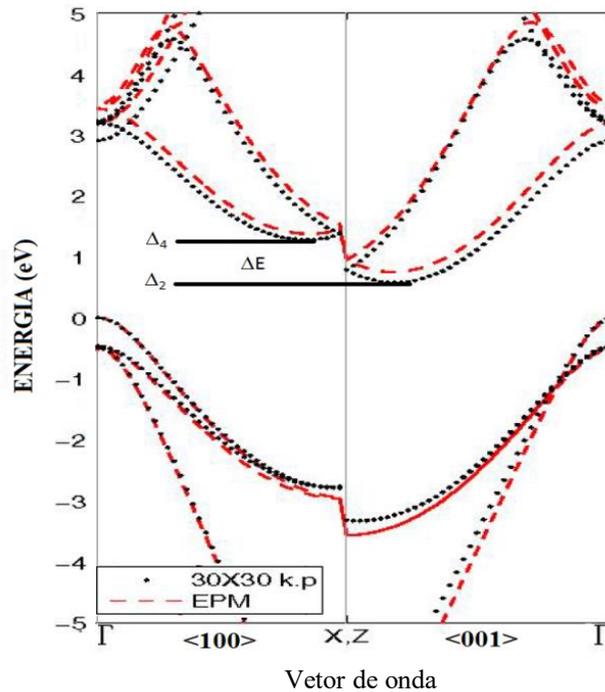
Figura 27 - Relação entre as elipsoides de energia constante e o diagrama de faixas de energia do silício tensionado.



Fonte: Adaptado de MCGINN, 2006

Nota: a) Representação esquemática das elipsoides com a aplicação de tensão mecânica b) a variação de energia ΔE entre os vales Δ_2 e Δ_4 .

Figura 28 - Diagrama de faixas de energia do silício tensionado com os vales Δ_2 e Δ_4 .



Fonte. Adaptado de FERAILLE, 2006.

A tensão biaxial também afeta a tensão de limiar dos transistores, seguindo (30), e normalmente, pode reduzir o valor absoluto da tensão de limiar da ordem de 10 a 100mV (CLAEYS et al., 2008).

$$q\Delta V_{TH}(\sigma) = \Delta E_C(\sigma) + (n-1) \left[\Delta E_G(\sigma) + kT \ln \left(\frac{N_V(0)}{N_V(\sigma)} \right) \right] \quad (30)$$

Onde n é o coeficiente de efeito de corpo, $\Delta E_G(\sigma)$ é a redução da faixa proibida pela tensão mecânica, $\Delta E_C(\sigma)$ é o deslocamento da banda de condução pela tensão mecânica, este sendo negativo por ter um valor de energia menor que o do silício sem tensão mecânica (figura 27 b)), e $N_V(0)$ e $N_V(\sigma)$ são a densidade de estados da banda de valência para o silício sem tensão mecânica e com tensão mecânica, respectivamente.

3 EXTRAÇÃO DA MOBILIDADE

A extração precisa da mobilidade é uma tarefa bem difícil e existem muitas técnicas de extração que podem ser aplicadas. Entre elas, as principais que podem ser aplicadas às curvas I-V (Corrente - Tensão), estão o método da transcondutância máxima, o método de McLarty (McLARTY et al., 1995) e o método Y-Function (GHIBAUDO, 1988). Uma outra forma de extração da mobilidade é através da utilização de curvas C-V (Capacitância - Tensão), onde o método do Split CV (SODINI; EKSEDT; MOLL, 1982) é o mais conhecido.

Com os métodos de extração citados pode-se obter valores aceitáveis para transistores de tecnologias mais antigas. Porém, com a modernização dos dispositivos, vários fatores intrínsecos aos transistores limitam sua utilização, assim como fatores externos, como os próprios equipamentos de medição.

Entre esses métodos, o mais consolidado é o Split-CV, porém medidas com capacitância são mais difíceis de realizar do que medidas I-V, sendo que há necessidade de uma grande área de porta ou um dispositivo com diversas aletas para obter medidas mais precisas.

Dos métodos da extração da mobilidade pelas curvas I-V, o método da transcondutância máxima é o mais fácil de se realizar. Mas apesar de ser um dos mais simples, um dos problemas desse método é que ele não considera os efeitos da resistência série, algo que nos FinFETs com largura de aleta pequena, não pode ser desconsiderado (DAVANZZO, 2010). O método de McLarty, apesar de suprimir o efeito da resistência série, pois sua extração se dá pela extrapolação linear da segunda derivada do inverso da corrente, sofre na sua precisão devido ao ruído da medida, que influencia muito em seu resultado.

O método Y-Function (utilizado nesse trabalho) é uma forma de extração da mobilidade que é de simples utilização, não é afetado pela resistência série, e necessita apenas de curvas I-V. A influência do ruído ainda tem importância na extração, porém bem menor comparada a técnica de McLarty (McLARTY et al., 1995). Para aumentar a precisão da extração, também pode ser utilizado um algoritmo recursivo para melhorar a extração desses parâmetros, que é o caso feito nesse trabalho.

3.1 MÉTODO DE EXTRAÇÃO PELO Y-FUNCTION

O método Y-Function é um método desenvolvido em 1988, que consiste na relação da corrente de dreno (31) e da transcondutância (32), dado pela equação (33).

$$I_D = \frac{WC_{OX}}{L} \frac{\mu_0}{[1 + \theta(V_{GS} - V_{TH})]} (V_{GS} - V_{TH})V_{DS} \quad (31)$$

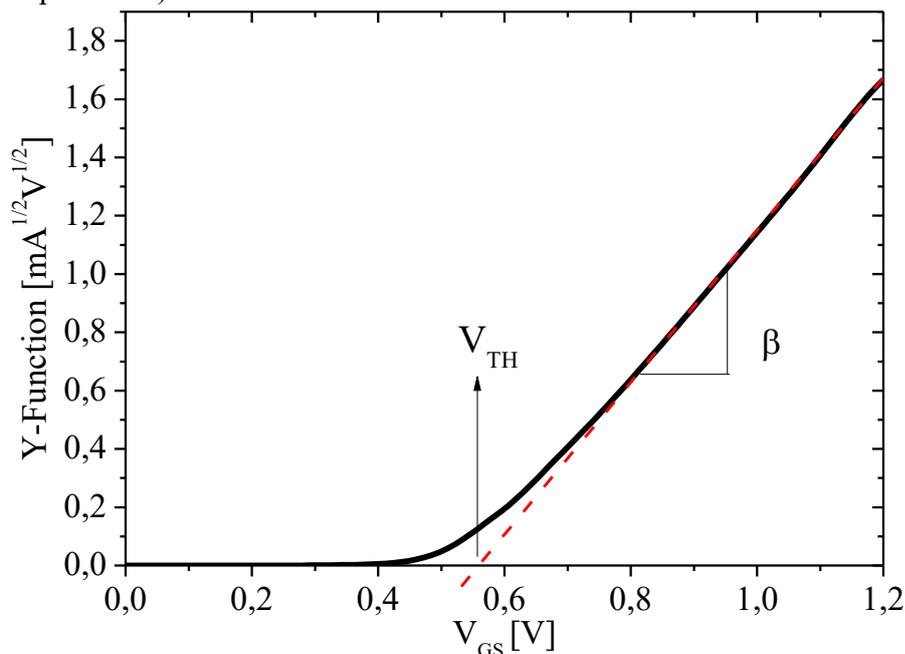
$$g_m = \frac{WC_{OX}}{L} \frac{\mu_0}{[1 + \theta(V_{GS} - V_{TH})]^2} V_{DS} \quad (32)$$

$$Y = \frac{I_{DS}}{\sqrt{g_m}} = \sqrt{\beta V_{DS}} V_{GS} \quad (33)$$

Onde W é a largura do transistor, L é o comprimento de canal, C_{OX} é a capacitância do óxido de porta por unidade de área, μ_0 é a mobilidade de baixo campo, θ é o fator linear da degradação da mobilidade, V_{GS} é a tensão aplicada à porta, V_{TH} é a tensão de limiar e V_{DS} é a tensão de dreno.

Aplicando a equação (33) é possível obter uma curva muito similar à da figura 29, obtida através de simulação tridimensional. O método de extração basicamente consiste na extrapolação da região linear do método Y-Function, se obtendo o valor β pela inclinação da reta, que representa o fator de ganho do transistor, e ao cruzar o eixo x é possível extrair a tensão de limiar.

Figura 29 - Exemplo de utilização do método Y-Function para transistores com óxido de porta espesso (maior que 20nm).

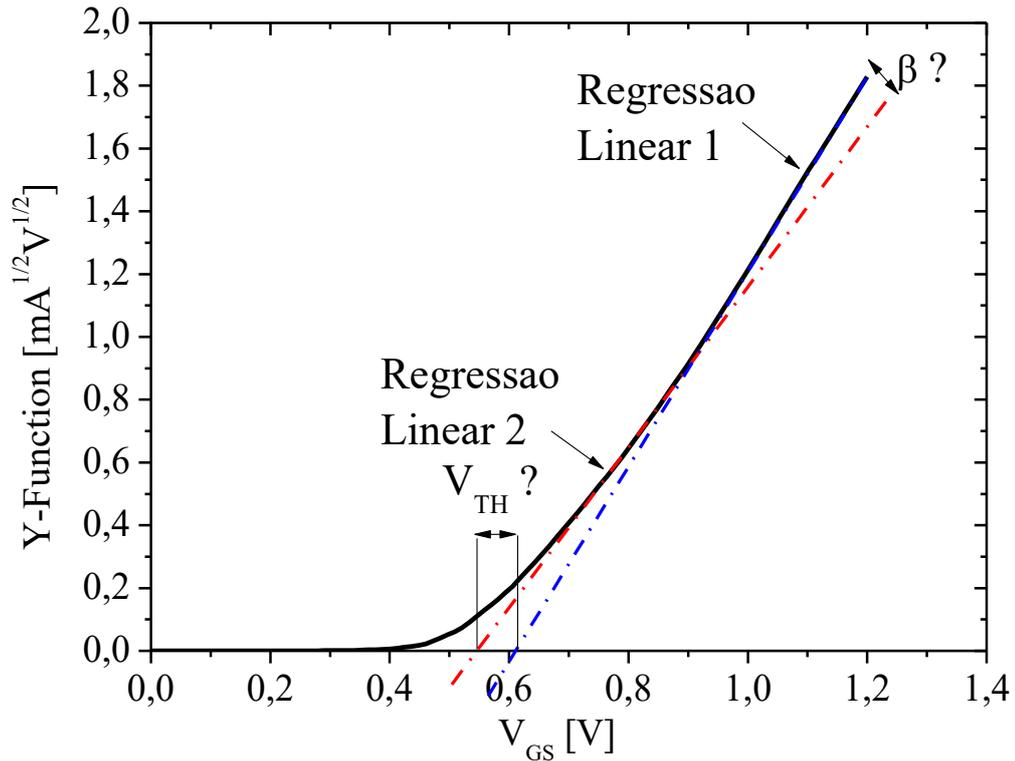


Fonte: Autor.

Porém, com o avanço da tecnologia e a utilização de camadas de óxido de porta cada vez mais finas, o que leva o método Y-Function a uma não linearidade em inversão forte,

devido ao efeito da rugosidade de superfície (FLEURY et al., 2008). Esse problema gera uma dificuldade na hora da extração dos parâmetros pelo método Y-Function, pois a não linearidade da curva cria uma incerteza sobre o valor obtido, como se pode ver pela figura 30 obtida através de simulação tridimensional.

Figura 30 - Exemplo de possíveis regressões lineares com uma curva do método Y-Function que possui uma não linearidade em inversão forte devido ao óxido de porta ser fino.



Fonte: Autor.

3.2 EXTRAÇÃO DO MÉTODO Y-FUNCTION VIA ALGORITMO RECURSIVO

Uma forma de combater essa incerteza é a utilização de um algoritmo para melhorar a precisão dos parâmetros extraídos (FLEURY et al., 2008). Primeiramente foi necessário modificar o modelo da corrente de dreno para incluir o efeito da rugosidade de superfície nos dispositivos mais modernos. A equação (34) descreve o modelo da corrente de dreno utilizado pelo Y-Function no algoritmo, incluindo a degradação da mobilidade pela rugosidade de superfície.

$$I_{DS} = \beta \frac{V_{DS} V_{GTD} (1 + \theta_2 \Delta V_{TH}^2)}{1 + \theta_1 V_{GTD} + \theta_2 (V_{GTD} - \Delta V_{TH})^2} \quad (34)$$

Nessa formula $V_{GTD} = V_{GS} - V_{TH} - V_{DS}/2$, θ_1 corresponde ao coeficiente de degradação linear da mobilidade, que é associado ao espalhamento de rede e Coulomb, θ_2 é o coeficiente quadrático da mobilidade em que está associado ao espalhamento por rugosidade de superfície e ΔV_{TH} é o termo que desloca V_{TH} devido a θ_2 ter um acionamento apenas em alto campo elétrico.

Dessa forma, o Y- Function então muda a sua formula para acomodar os aspectos de transistores mais modernos, resultando em:

$$Y = \frac{I_{DS}}{\sqrt{g_m}} = \sqrt{\frac{\beta V_{DS}}{1 - \Theta_2 V_{GTD}^2}} V_{GT} \quad (35)$$

O algoritmo recursivo utilizado nesse trabalho é baseado na função (36), em que V_{GTD}^* é determinado por $V_{GTD} = V_{GS} - V_{TH}^* - V_{DS}/2$, onde o asterisco significa um valor de tensão de limiar inicial utilizado pelo algoritmo, ou seja, um valor estimado grosseiramente. ε é o erro que se obtém pela formula $\varepsilon = V_{TH}^* - V_{TH}$, onde se mede a diferença do valor real da tensão de limiar com o valor estimado anteriormente. Esse valor de tensão de limiar inicial é dado pela extrapolação linear da corrente de dreno, equação (37), o que permite que o algoritmo sempre possa convergir.

$$\xi = \frac{1}{Y^2} = \frac{1}{\beta V_{DS}} \left\{ \frac{1}{(V_{GTD}^* + \varepsilon)^2} - \Theta_2 \right\} \quad (36)$$

$$V_{TH}^* = V_{G,M} - \frac{I_D(V_{Gt,M})}{\max(g_m)} - \frac{V_{DS}}{2} \quad (37)$$

Nessa formula $I_D(V_{gt,M})$ é a corrente de dreno no ponto de transcondutância máxima, $\max(g_m)$ é o valor da transcondutância máxima e $V_{G,M}$ é a tensão de porta na transcondutância máxima.

A partir de (36) é possível aproximar essa expressão para um polinômio de ordem n (0, 2, 3) dado pela equação (38):

$$\xi \approx \frac{1}{\beta V_{DS}} \left\{ \frac{1}{V_{GTD}^{*2}} - \frac{2\varepsilon}{V_{GTD}^{*3}} - \Theta_2 \right\} \quad (38)$$

Dessa forma, a cada passo desse algoritmo, o valor de erro que é adicionado a tensão de limiar estimada, que tende ao valor real. Com o valor de V_{TH} bem definido, pode-se extrair o valor de β , que também fica com valor mais preciso devido a precisão de V_{TH} .

Para obter os coeficientes de degradação da mobilidade θ_2 e θ_1 é necessário realizar uma regressão linear da função Θ_{eff} , dada pela equação (39). E calcular ΔV_{TH} pela equação (40).

$$\Theta_{eff} = \left(\frac{\beta V_{DS}}{I_{DS}} - \frac{1}{V_{GTD}} \right) = \Theta_1 + \Theta_2 V_{GT} \quad (39)$$

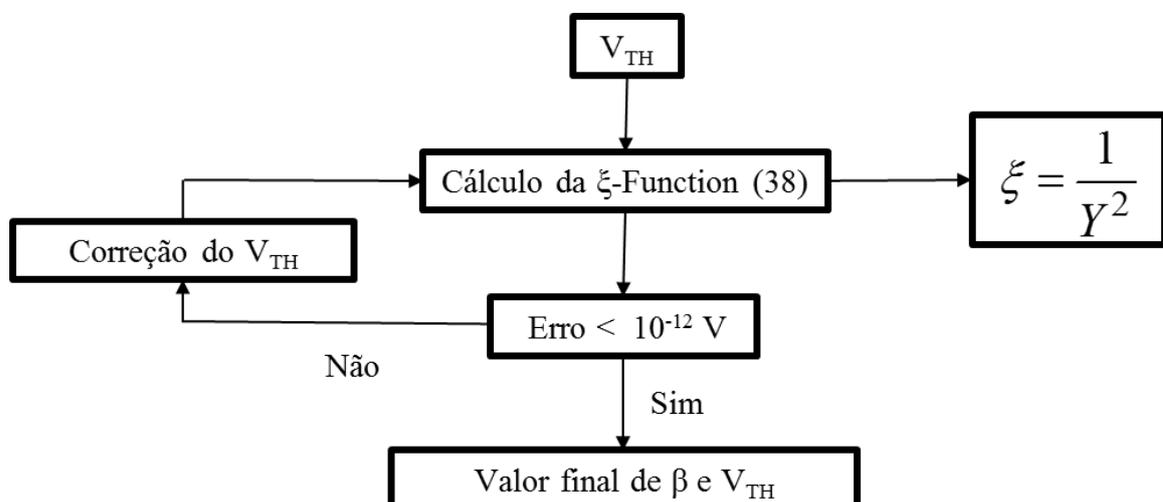
$$\Delta V_{TH} = \frac{\sqrt{\frac{\beta V_{DS}}{g_{m,max}} - 1 - \Theta_1 V_{GTD}}}{2\Theta_2 V_{GTD}} \quad (40)$$

Onde a partir dos valores de Θ_1 , Θ_2 e ΔV_{TH} pode-se obter os valores θ_2 e θ_1 através da equação (41).

$$\Theta_1 = \frac{\theta_1 - 2\theta_2 \Delta V_{TH}}{1 + \theta_2 \Delta V_{TH}^2}, \Theta_2 = \frac{\theta_2}{1 + \theta_2 \Delta V_{TH}^2} \quad (41)$$

O fluxograma da figura 31 mostra como funciona o algoritmo recursivo. De forma resumida, com um V_{TH} inicial calcula-se a ξ -Function, obtendo-se um erro, e esse erro corrige o valor inicial de V_{TH} até que esse erro seja muito pequeno, quando isso acontece, pode-se extrair o valor de V_{TH} e β , com bastante precisão.

Figura 31 - Fluxograma do algoritmo recursivo do método Y-Function utilizado.



E finalmente, para extração da mobilidade, utiliza-se a equação (42), que é oriunda do parâmetro β . Onde nessa formula L_G é o comprimento do canal desse transistor, t_{ox} é a espessura do óxido de porta, no caso de um dielétrico High-K utiliza-se o óxido de porta equivalente, ϵ_{ox} é a constante dielétrica do óxido e W_{eff} é a largura da aleta de silício para transistores de múltiplas portas que soma a largura do topo com as alturas das paredes laterais.

$$\mu_0 = \frac{\beta L_G t_{ox}}{W_{eff} \epsilon_{ox}}, \text{ com } W_{eff} = 2H_{FIN} + W_{FIN} \quad (42)$$

A resistência série não afeta a extração da mobilidade, pois está se encontra nos termos Θ_1 e Θ_2 da equação (43). Nota-se que a resistência série (R_{SD}) não influencia a extração do parâmetro β e que ela é um parâmetro resultante da associação de β , Θ_1 e Θ_2 .

$$\begin{cases} \Theta_1 = \Theta_{1,0} + R_{SD,0}\beta \\ \Theta_2 = \Theta_{2,0} + \lambda\beta \end{cases} \quad (43)$$

Nessa relação (43) $\Theta_{1,0}$ e $\Theta_{2,0}$ representam os parâmetros sem a influência da resistência série, $R_{SD,0}$ é a resistência série invariante com a tensão de porta e λ é o termo associado a resistência série que varia com a tensão de porta.

O método Y- Function em função da densidade de carga de inversão, admitindo a equação da mobilidade efetiva (44) sendo:

$$\mu_{eff} = \frac{\mu_0(1 + \theta_2 \Delta V_{TH}^2)}{1 + \theta_1 V_{GTD} + \theta_2 (V_{GTD} - \Delta V_{TH})^2} \quad (44)$$

Onde os parâmetros utilizados nessa equação são os mesmos extraídos pelo método Y-Function explicado anteriormente. Para converter a tensão de porta em carga de inversão é utilizado a equação (45):

$$N_{INV} \approx \frac{C_{OX} V_{GTD}}{q} \quad (45)$$

Sendo que essa equação é apenas uma aproximação da densidade de carga de inversão, que é válida apenas em inversão forte.

As vantagens do método Y-Function então se resumem a:

- a) Utilização de apenas curvas I-V.
- b) A resistência série não afeta a extração da mobilidade
- c) Pode-se aumentar a precisão dos parâmetros extraídos através de um algoritmo recursivo

Também seguem algumas desvantagens da utilização desse método como:

- a) Medidas ruidosas prejudicam uma extração precisa dos parâmetros
- b) Esse método necessita de uma grande faixa de medida em inversão forte.
- c) O extremo inferior da faixa de V_{GS} utilizado no algoritmo influencia os valores extraídos se a medida tiver muito ruído

A aplicação desse método no software Mathcad pode ser vista no APENDICE E.

3.3 MÉTODO DE EXTRAÇÃO DE McLARTY

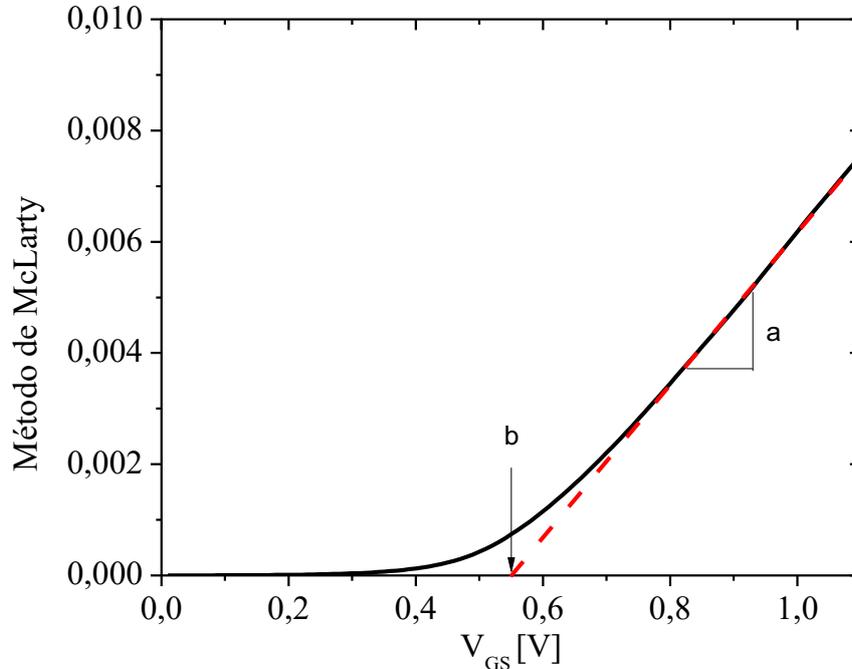
O método de McLarty (McLARTY et al., 1995) consiste na extração da mobilidade através de medidas I-V apenas. Através da segunda derivada do inverso da corrente de dreno em função da tensão de porta, elevado a menos um terço (46), com o transistor em inversão forte (após a tensão de limiar), se obtém uma região linear em que é possível realizar uma regressão polinomial de 1ª ordem, similar ao método Y-Function. A figura 32 mostra um exemplo de extração pelo método de McLarty.

$$\left(\frac{d^2 \frac{1}{I_{DS}}}{dI_{DS}^2} \right)^{-1/3} = ax + b \quad (46)$$

Dessa regressão polinomial é possível encontrar, a partir da inclinação da reta, o valor de A (47) e com ele é possível determinar a mobilidade de baixo campo do dispositivo e quando a regressão intercepta o eixo x é possível extrair a tensão e limiar.

$$\mu_0 = \frac{ALG^t_{ox}}{W_{eff}\epsilon_{ox}V_{DS}}, \text{ com } A = 2a^3 \quad (47)$$

Figura 32 - Exemplo da utilização do método de McLarty para a extração da mobilidade.



Fonte:Autor.

O fato de que se utiliza uma derivada de segunda ordem, caso a medida esteja muito ruidosa, há uma amplificação desse ruído, gerando imprecisão nos resultados. Porém essa derivada também exclui a influência da resistência para a extração da mobilidade.

3.4 MÉTODO DE EXTRAÇÃO PELO SPLIT CV

Para extrair a mobilidade através do método do Split CV é necessário um dispositivo com uma área de porta considerável, para que, através da medição da curva de capacitância e de uma corrente de dreno em função da tensão de porta, seja possível extrair a mobilidade efetiva do transistor em função da carga de inversão do dispositivo com precisão (SODINI; EKSEDT; MOLL, 1982).

A corrente de dreno do dispositivo pode ser dada pela equação (48) a seguir:

$$I_{DS} = \frac{W_{eff}}{L_G} \mu_{eff} q N_{INV} V_{DS} \quad (48)$$

Onde N_{INV} é a carga de inversão do dispositivo. W_{eff} é a largura do canal, e L_G é comprimento do canal, q é a carga do elétron, μ_{eff} é a mobilidade efetiva e V_{DS} é a tensão de dreno. A carga de inversão pode ser determinada pela equação (49) obtida através da capacitância de porta ao canal (C_{GC}) em função da tensão de porta de um transistor:

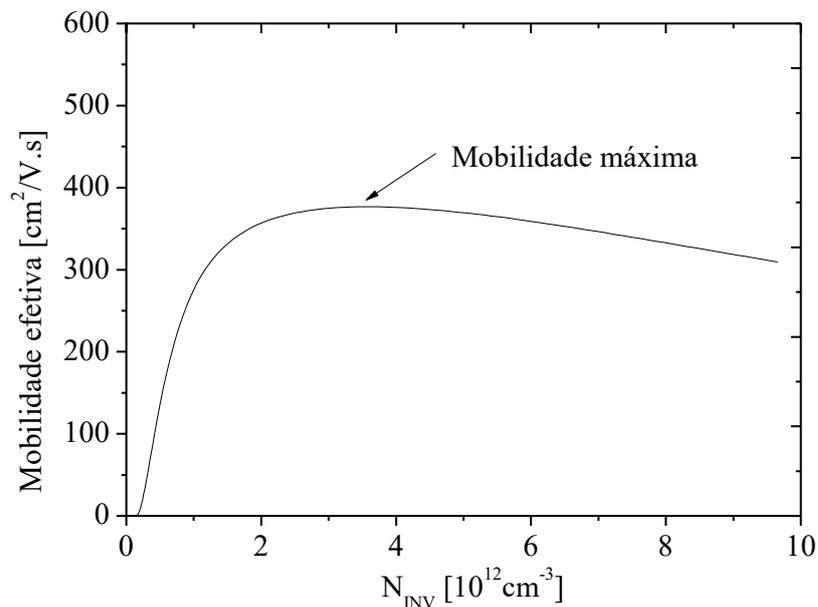
$$N_{INV} = \frac{1}{L_G W_{eff} q} \int_{V_{acc}}^{V_{GS}} C_{GC}(V_{GS}) dV_{GS} \quad (49)$$

Das equações anteriores (48) e (49) pode-se então se extrair a mobilidade efetiva:

$$\mu_{eff} = \frac{L_G^2 I_{DS}}{V_{DS} \int_{V_{acc}}^{V_{GS}} C_{GC}(V_{GS}) dV_{GS}} \quad (50)$$

A figura 33 mostra um exemplo da mobilidade efetiva extraída pelo método Split CV em função da densidade de carga de inversão. A grande vantagem desse método além de possuir os resultados mais confiáveis, é que a extração da mobilidade efetiva, pode ser relacionado com a densidade de carga de inversão, o que permite uma análise em todas as regiões de operação do transistor e a comparação com outros dispositivos, já que transistores de geometrias diferentes e a mesma tensão de porta não significa a mesma carga de inversão.

Figura 33- Exemplo da utilização do método Split CV para a extração da mobilidade.



4 RESULTADOS EXPERIMENTAIS

Nesse capítulo mostraremos os resultados obtidos pela caracterização elétrica de dispositivos FinFETs fabricados em substratos rotacionados e tradicionais, assim como a influência da tensão mecânica nas características elétricas dos dispositivos.

4.1 CARACTERÍSTICAS DOS DISPOSITIVOS EXPERIMENTAIS.

Os dispositivos experimentais estudados foram SOI nFinFETs de porta tripla, totalmente depletados, fabricados em substrato tradicional e com substrato rotacionado em 45°, com e sem tensão mecânica biaxial, utilizando a tecnologia do IMEC, Bélgica. A tabela 2 mostra os principais parâmetros dessa tecnologia (COLLAERT et al., 2006).

Tabela 2 - Principais parâmetros da tecnologia dos FinFETs.

Parâmetro	Valor
H_{FIN}	65nm
W_{FIN}	20 - 570nm
L_G	1 μ m
N_A	10^{15}cm^{-3}
t_{BOX}	150nm
EOT	1.7nm

Fonte:Autor.

Esses dispositivos foram fabricados em lâminas SOI com orientação {100}, onde a fabricação de dispositivos tradicionais, ou seja, FinFETs com canal paralelo à marcação da lamina de silício, foi feita. Para a fabricação de FinFETs rotacionados em 45° o substrato de silício foi rotacionado e o mesmo processo de fabricação foi aplicado. Da mesma forma, esse mesmo processo foi aplicado a substratos com tensão mecânica biaxial (COLLAERT et al.,2006).

Seguindo a tabela 2, os dispositivos estudados possuem comprimento de canal longo, e com a largura da aleta diferentes (20nm, 30nm, 40nm, 50nm, 70nm, 120nm, 370nm, e 570nm). O *Equivalent Oxide Thickness* (EOT) é a espessura de óxido equivalente, que é composto de uma camada de óxido de silício feito por processo térmico, para melhorar a

interface (devido ao material high K não ter uma boa interface com o silício (TANIMOTO et al., 2006)), com uma camada de HfSiON sobre SiO₂ fabricado. Para o eletrodo de porta foi utilizado 5nm de metal mid-gap TiN e depois acrescentado 100nm de silício policristalino. Os dispositivos fabricados são compostos de 5 fins em paralelo. Os dispositivos foram medidos no sistema de caracterização elétrica Keithley 4200SCS, com tensão de dreno de 50mV e a tensão de porta de 0 a 1,2V com passo de 10mV. As medidas foram realizadas em dispositivos na lâmina de Si, utilizando o microprovador Cascade.

4.2 EXTRAÇÃO DE PARÂMETROS ELÉTRICOS

Os principais parâmetros dos FinFETs foram extraídos, pelos métodos explicados no capítulo 3, e com esses parâmetros podemos analisar o efeito da orientação cristalográfica.

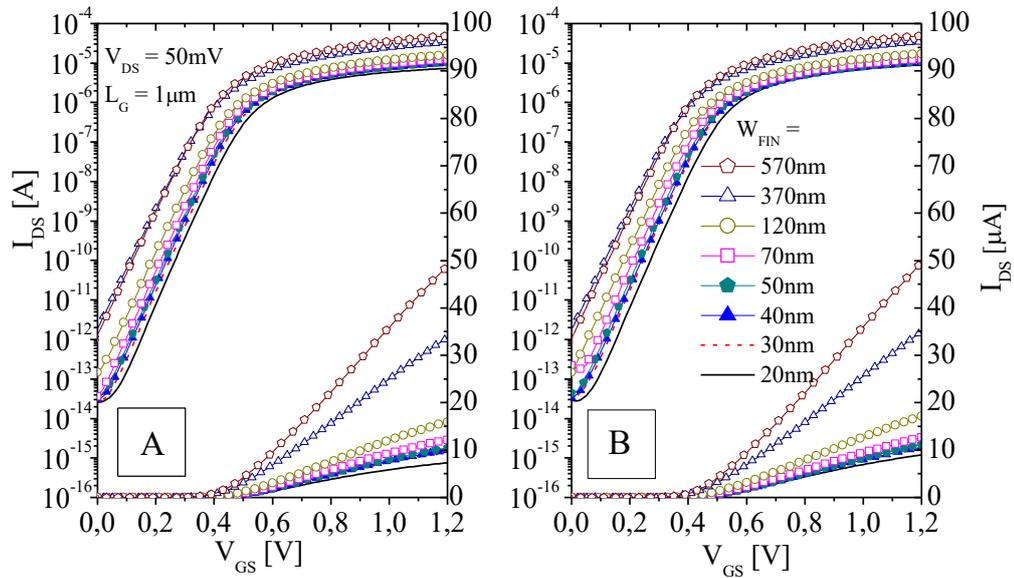
4.2.1 Corrente de dreno

Em uma primeira análise foram estudados os efeitos da orientação cristalina em dispositivos de canal longo, variando a largura do canal. A figura 34 mostra a corrente de dreno (I_{DS}), em escala logarítmica e em escala linear em função da tensão de porta (V_{GS}), com tensão de dreno (V_{DS}) de 50mV, para dispositivos fabricados em substrato tradicional e rotacionado sem tensão mecânica e a figura 35 mostra a corrente de dreno dos dispositivos com tensão mecânica.

Devido a diferença da tensão de limiar observada na corrente de dreno dos dispositivos com e sem tensão mecânica, foi feita uma análise da corrente de dreno em função da sobretensão de condução ($V_{GT} = V_{GS} - V_{TH}$), para os dispositivos estudados. A figura 36 mostra a corrente de dreno em função da sobretensão de condução para dispositivos sem tensão mecânica. Através dessa figura podemos ver que em escala linear a corrente de dreno dos FinFETs com largura de canal de 20nm possui corrente, com a tensão máxima aplicada, de 7,3 μ A para os dispositivos tradicionais contra 8,9 μ A para os dispositivos rotacionados, já para os dispositivos com largura de canal maior, a corrente fica bastante próxima.

Da mesma forma, para os dispositivos fabricados em substrato com tensão mecânica biaxial, a figura 37 mostra as correntes de dreno para dispositivos tradicionais e rotacionados em função da sobretensão de condução. Podemos notar que a tensão mecânica aumenta a corrente de dreno dos dispositivos, sendo que a corrente dos dispositivos tradicional é maior que nos dispositivos rotacionados.

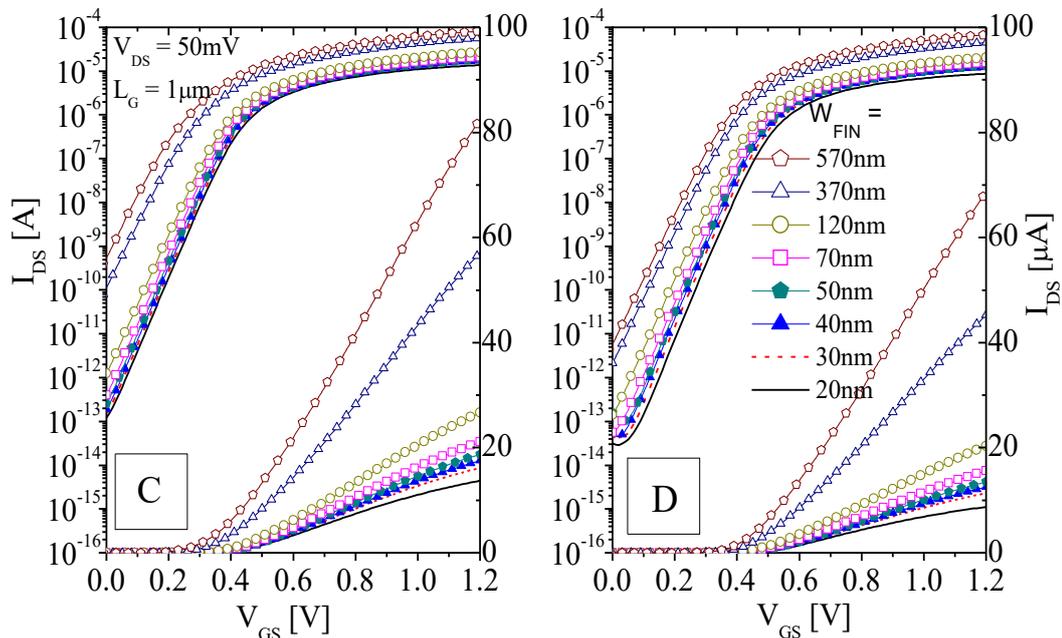
Figura 34 - Corrente de dreno de FinFETs sem tensão mecânica em função da tensão de porta.



Fonte: Autor

Nota: (A) fabricados em substrato tradicional e (B) fabricados em substrato rotacionado.

Figura 35 - Corrente de dreno de FinFETs com tensão mecânica em função da tensão de porta.

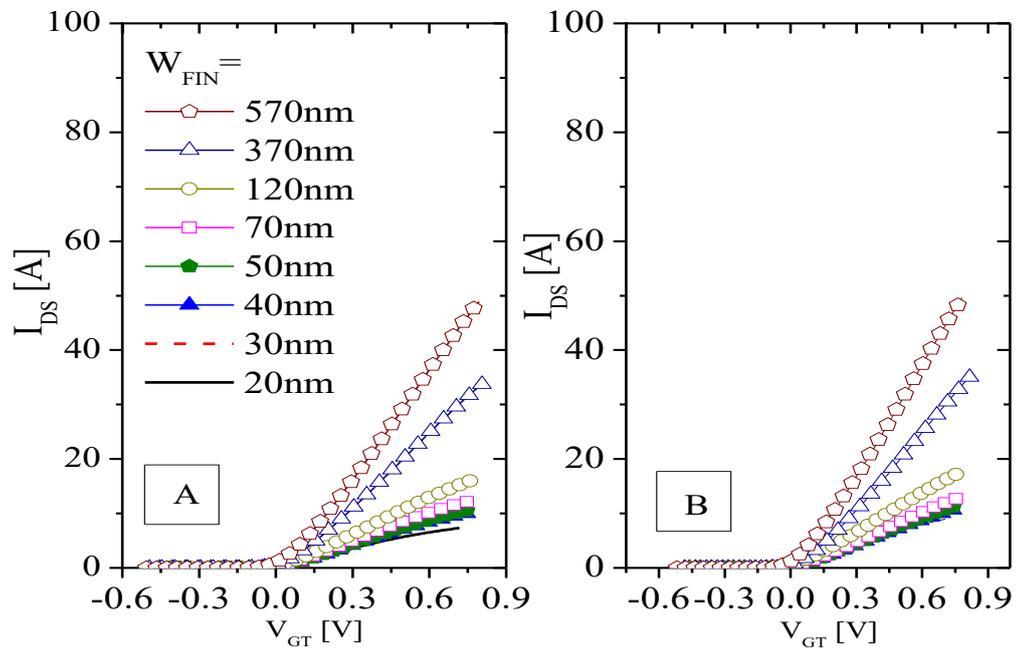


Fonte: Autor

Nota: (C) fabricados em substrato tradicional e (D) fabricados em substrato rotacionado.

Esses resultados podem ser vistos pela tabela 3 que mostra os valores de corrente para os diversos W_{FIN} para uma sobretensão de condução de 700mV. Logo, podemos perceber que a tensão mecânica afeta de forma diferente os dispositivos de acordo com a orientação cristalográfica.

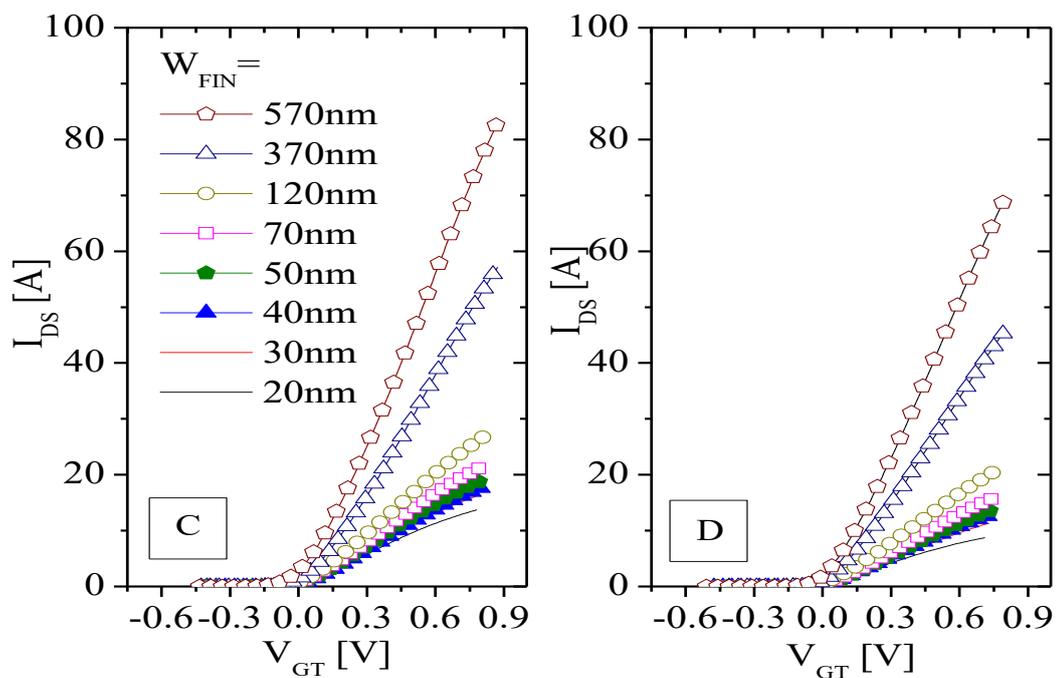
Figura 36 - Corrente de dreno de FinFETs sem tensão mecânica em função da sobretensão de condução.



Fonte:Autor

Nota: (A) dispositivos tradicionais e (B) dispositivos rotacionados.

Figura 37 - Corrente de dreno de FinFETs com tensão mecânica em função da sobretensão de condução.



Fonte:Autor.

Nota: (C) dispositivos tradicionais e (D) dispositivos rotacionados.

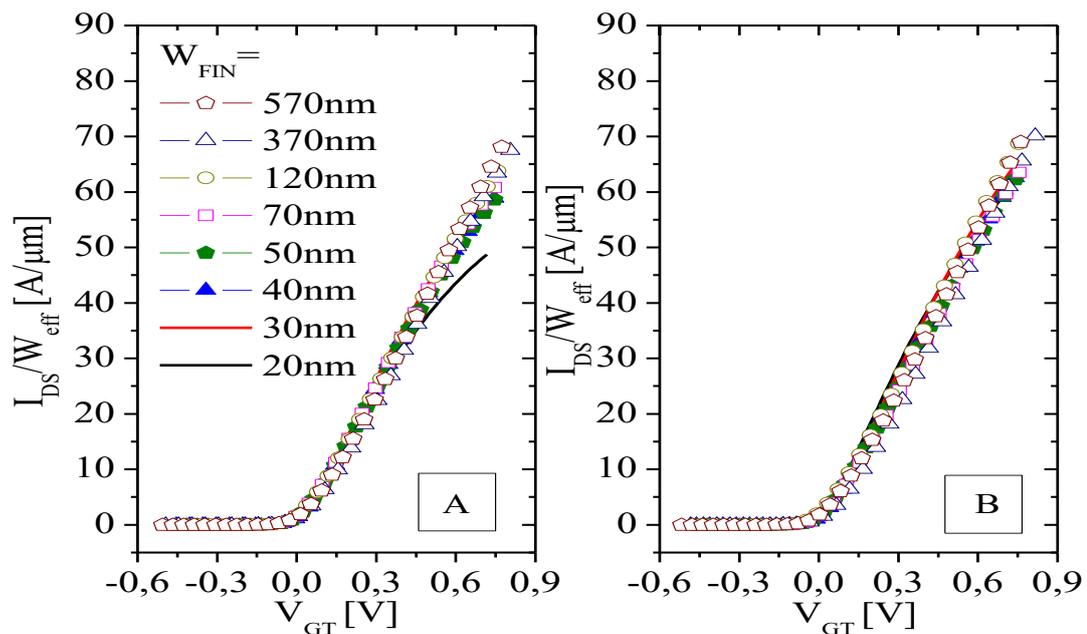
Tabela 3. Valores de corrente para uma sobretensão de condução de 700mV.

I_{DS} (μA)	FinFET tradicional	FinFET Rotacionado	FinFET tradicional com tensão mecânica	FinFET rotacionado com tensão mecânica
$W_{FIN}=20nm$	7,25	8,95	12,74	8,64
$W_{FIN}=30nm$	9,2	9,96	15,04	10,96
$W_{FIN}=40nm$	9,62	10,14	15,79	12,29
$W_{FIN}=50nm$	10,11	10,68	17,06	13,08
$W_{FIN}=70nm$	11,52	11,93	19,09	14,87
$W_{FIN}=120nm$	14,86	16,12	23,44	19,35
$W_{FIN}=370nm$	29,57	30,01	45,61	40,01
$W_{FIN}=570nm$	43,29	44,34	67,26	60,74

Fonte: Autor

Para analisar a corrente também foi feita a normalização de I_{DS} por W_{eff} (figura 38 e 39) a fim de se ver a influência da orientação cristalográfica nesses dispositivos. Sendo que podemos notar que em alto V_{GT} , os dispositivos com W_{FIN} pequenos possuem maior degradação nas paredes laterais, sendo o dispositivo rotacionado aparentemente sendo o único em que essa degradação é menor. Já para os dispositivos com W_{FIN} maiores essa degradação já é bem menor.

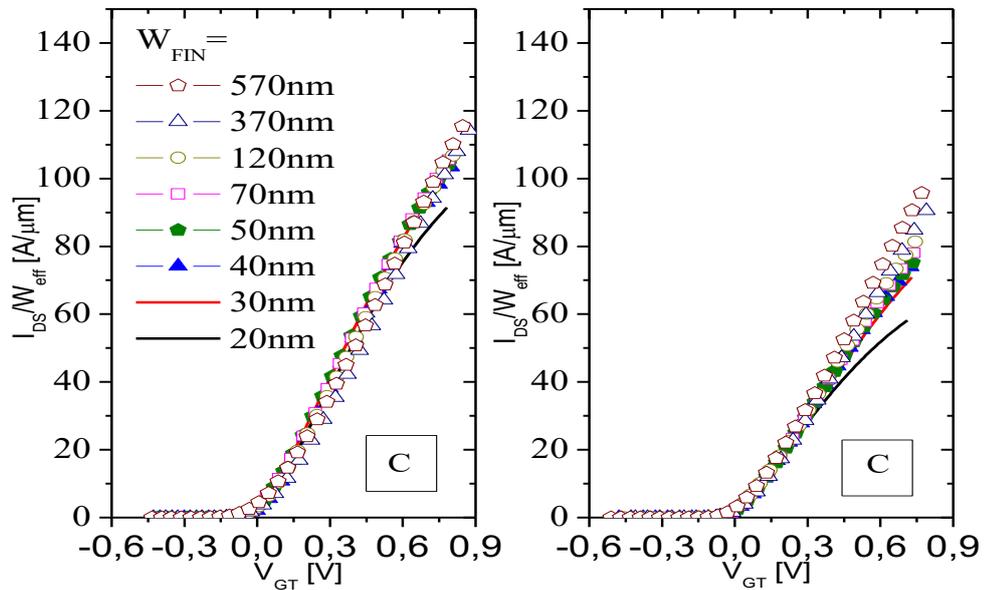
Figura 38 - Corrente de dreno normalizada para W_{eff} de FinFETs sem tensão mecânica em função da sobretensão de condução.



Fonte: Autor

Nota: (A) dispositivos tradicionais e (B) dispositivos rotacionados.

Figura 39 - Mostra a corrente de dreno normalizada para W_{eff} de FinFETs com tensão mecânica em função da sobretensão de condução.



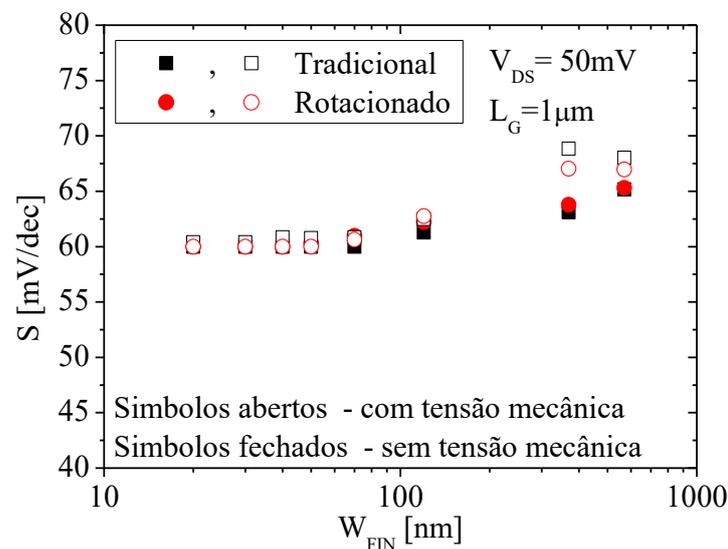
Fonte: Autor

Nota: (C) dispositivos tradicionais e (D) rotacionados.

4.2.2 Inclinação de sublimiar

Podemos ver pela figura 40, os valores da inclinação de sublimiar e analisando esses resultados podemos ver que para dispositivos com W_{FIN} pequenos, até 50nm, a inclinação de sublimiar fica próximo ao ideal de 60mV/dec para todos os dispositivos.

Figura 40 - Inclinação de sublimiar de transistores rotacionados e tradicionais com e sem tensão mecânica em função da largura de W_{FIN} .



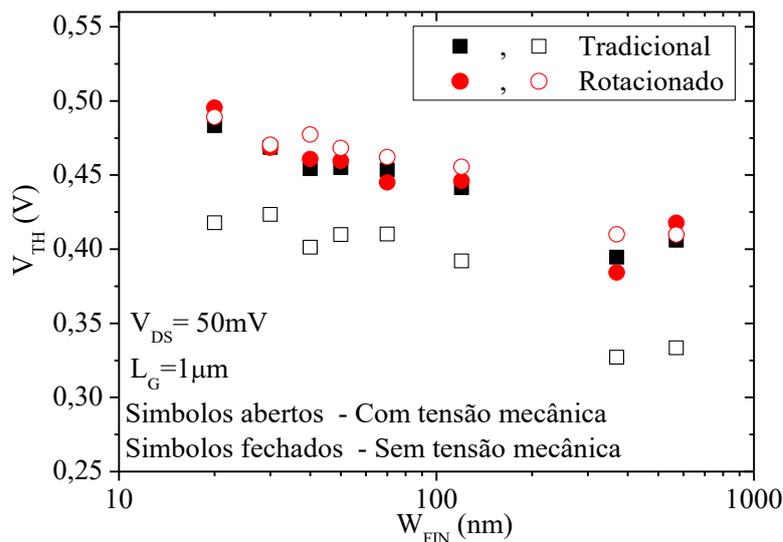
Fonte: Autor.

Com o aumento da largura, a partir de $W_{FIN}=70\text{nm}$, a inclinação de sublimiar também vai aumentando gradativamente para todos os FinFETs. Já para os dispositivos com tensão mecânica, a inclinação de sublimiar se degrada um pouco mais que os dispositivos sem tensão mecânica, à medida que W_{FIN} aumenta. Esse aumento da inclinação de sublimiar é devido a perda eletrostática da porta a medida que W_{FIN} aumenta.

4.2.3 Tensão de limiar

Com as curvas de corrente de dreno por tensão de porta podemos extrair os parâmetros via método Y-Function para entender o que ocorre nesses dispositivos. O primeiro parâmetro obtido é a tensão de limiar desses dispositivos. Pela figura 41 podemos ver que, à medida que a largura da aleta aumenta, a tensão de limiar começa a diminuir caso que se deve à perda do controle eletrostático da porta segundo a equação (7), mostrando a dependência de W_{FIN} com a tensão de limiar. Da mesma forma pode-se entender que, à medida que a largura da aleta é reduzida, as portas laterais do FinFET têm um papel mais ativo no controle das cargas do canal, o que melhora o controle eletrostático para W_{FIN} pequenos (TSORMPATZOGLOU; TASSIS; DIMITRIADIS, 2011).

Figura 41 - Tensão de limiar dos dispositivos tradicionais e rotacionados com e sem a tensão mecânica em função de W_{FIN} .



Fonte: Autor

Podemos notar que, para os dispositivos sem tensão mecânica, os valores de tensão de limiar obtidos são muito próximos. Com a aplicação de tensão mecânica nos FinFETs rotacionados, a tensão mecânica não afeta muito a tensão de limiar, se mantendo próxima aos

valores sem tensão mecânica com apenas um pequeno aumento em seus valores. Porém, para dispositivos tradicionais com tensão mecânica, ocorre um deslocamento da tensão de limiar, que pode ser atribuído à variação da faixa proibida e da densidade de estados do silício nesses dispositivos tensionados seguindo (30) (CLAEYS et al., 2008). Apesar disso, esse deslocamento mantém a mesma tendência das curvas anteriores.

Os valores de tensão de limiar dos dispositivos tradicionais com tensão mecânica ajudam a entender, pelo menos em parte, a maior corrente de dreno da figura 35 (C) comparado com a figura 34 (A), sendo que a mesma possui um deslocamento da tensão de limiar, e com isso mostra uma maior corrente para uma mesma polarização de porta de outro dispositivo, conforme mostra a figura 35.

A figura 42 e 43 apresenta os valores da tensão de limiar em função da largura da aleta para diversas técnicas de extração da tensão de limiar, entre elas o método Y-Function tradicional e recursivo, o método de McLarty e o método da 2ª derivada.

Pelos dados obtidos podemos comparar e ver que, de modo geral, a tendência se mantém a mesma independentemente do método utilizado, que garante a validade do uso do algoritmo recursivo do método Y-Function para melhorar a precisão dos parâmetros extraídos. Sendo que vale a pena notar que o método que manteve a maior estabilidade é o método da 2ª derivada.

Figura 42 - Tensão de limiar dos FinFETs fabricados em substrato tradicional e rotacionado sem tensão mecânica em função da largura da aleta de silício para diversos métodos de extração.

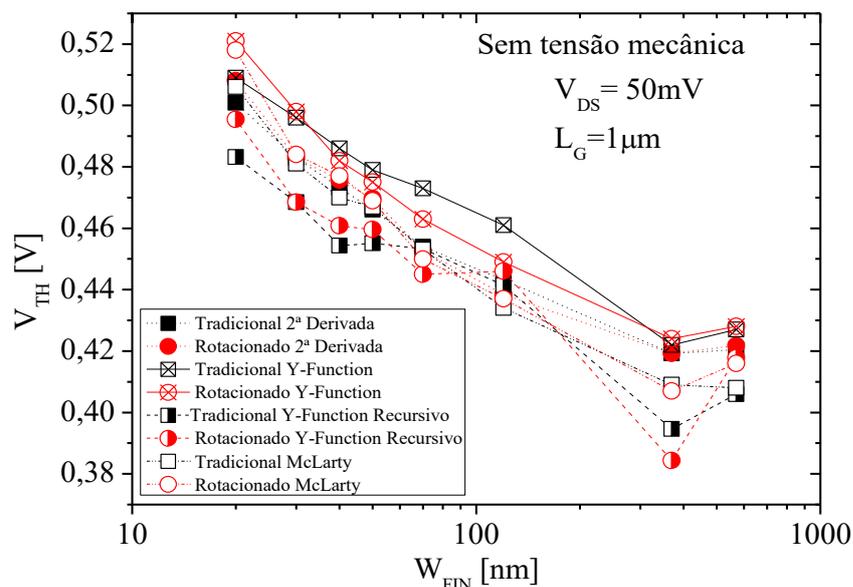
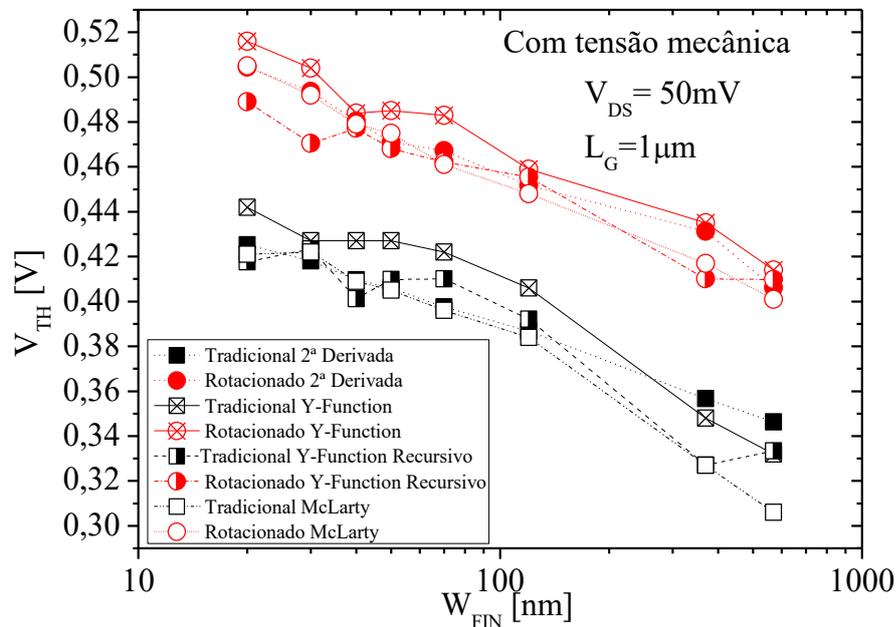


Figura 43 - Tensão de limiar dos FinFETs fabricados em substrato tradicional e rotacionado com tensão mecânica em função da largura da aleta de silício para diversos métodos de extração.



Fonte: Autor.

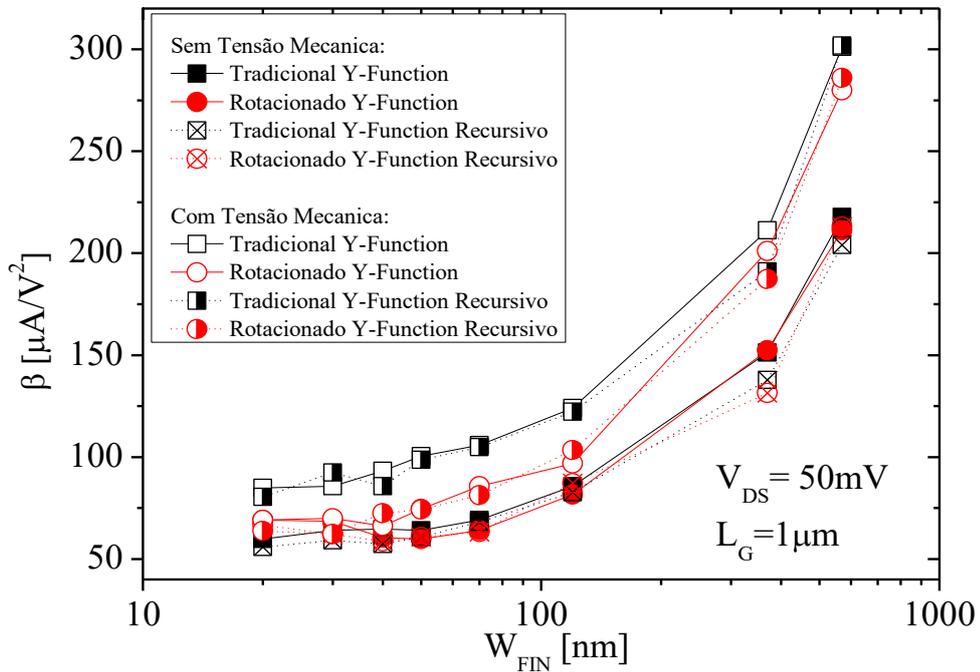
4.2.4 Mobilidade de baixo campo

Utilizando o método Y-Function, podemos ver o fator de ganho β em função de W_{FIN} , figura 44, obtidos para os FinFETs medidos. Podemos ver que essa curva explicita uma dependência direta com W_{FIN} pois, à medida que a largura do transistor aumenta e uma maior corrente passa pelo topo do canal, o fator de ganho também vai aumentando. Resultados similares foram obtidos para extração utilizando o método Y-Function tradicional e o recursivo.

Utilizando os valores extraídos de β pelo método Y-Function e calculando a mobilidade pela equação (42), assumindo que a largura do canal W_{eff} é a soma das paredes laterais $2H_{FIN}$ com a largura da porta superior W_{FIN} , obtemos os valores de mobilidade da figura 45.

Observando a mobilidade extraída para os dispositivos FinFETs tradicional e rotacionado, com e sem tensão mecânica, podemos tirar várias conclusões sobre o fenômeno de transporte dos portadores nesses dispositivos associando-os à orientação cristalográfica.

Figura 44 - Fator de ganho dos FinFETs para dispositivos tradicionais e rotacionados, com e sem tensão mecânica, pelo método do Y-Function tradicional e recursivo.

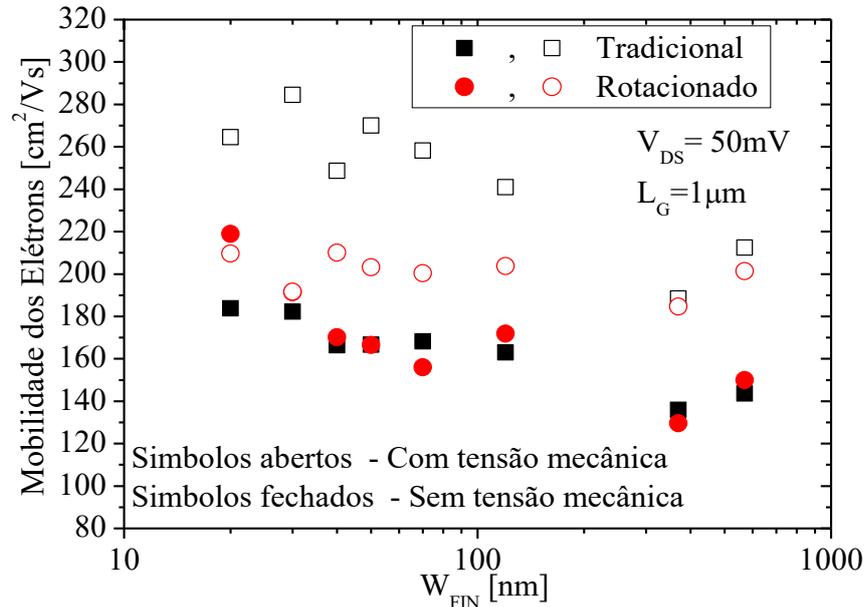


Fonte: Autor.

Primeiramente, vamos analisar as diferenças na mobilidade dos dispositivos tradicional e rotacionado sem tensão mecânica. Podemos ver que para FinFETs com largura de canal bem pequena, onde a influência da orientação cristalográfica é mais importante, há uma diferença dos valores obtidos para esses dois dispositivos, para 20nm o dispositivo rotacionado possui $220\text{cm}^2/\text{Vs}$ contra $183\text{cm}^2/\text{Vs}$ do dispositivo tradicional. À medida que W_{FIN} aumenta os valores de mobilidade vão se aproximando, de forma que o plano de condução de corrente mais influente passa a ser o $\{100\}$, da superfície superior do canal. As paredes laterais não tem tanta influência na condução de corrente, à medida que a largura do canal vai aumentando.

Esses valores de mobilidade estão de acordo com a teoria de massa efetiva de condutividade, mostrando que a mobilidade dos dispositivos tradicionais para W_{FIN} pequenos é menor que a dos dispositivos rotacionados. Então, nos dispositivos rotacionados que possuem uma massa efetiva nas laterais $\{100\}$ muito menor que a massa efetiva das paredes laterais de um dispositivo tradicional $\{110\}$. Sendo que quanto menor a massa efetiva de condutividade maior será a mobilidade.

Figura 45 - Mobilidade dos elétrons em baixo campo elétrico para dispositivos tradicionais e rotacionados, com e sem tensão mecânica.



Fonte:Autor.

Podemos também notar que a mobilidade desses dispositivos sem tensão mecânica tende a diminuir à medida que a largura da aleta aumenta. Isso pode representar que a mobilidade do topo do canal é comparável ou até mesmo menor que a mobilidade das laterais, possivelmente devido ao processo de fabricação. Para os dispositivos com tensão mecânica, a mobilidade de baixo campo possui valores muito maiores que as dos seus equivalentes sem tensão. E podemos ver claramente que a mobilidade dos FinFETs com orientação tradicional tem uma mobilidade muito maior que a dos substratos rotacionado. Isso significa que para os dispositivos com tensão mecânica a corrente será muito maior que o dos dispositivos sem tensão mecânica se os mesmos forem polarizados com a mesma sobretensão de condução e tiverem as mesmas dimensões.

Podemos notar que, para larguras da aleta muito pequenas, como 20 e 30nm, para os dispositivos rotacionados, a tensão mecânica não provoca melhorias na mobilidade. Isso acontece devido ao fato de que tensão mecânica biaxial tem maior influência em dispositivos de largura de canal maior, pois à medida que a largura de canal vai ficando menor, há uma zona de relaxamento decorrente do processo de corrosão para definição da largura da aleta, que impede que a tensão mecânica aplicada produza efeitos na direção da largura do canal (SOUSA et al., 2013).

O motivo para que a tensão mecânica tenha seu efeito reduzido dependendo da orientação cristalográfica do plano de condução de corrente nos FinFETs é melhor explicado

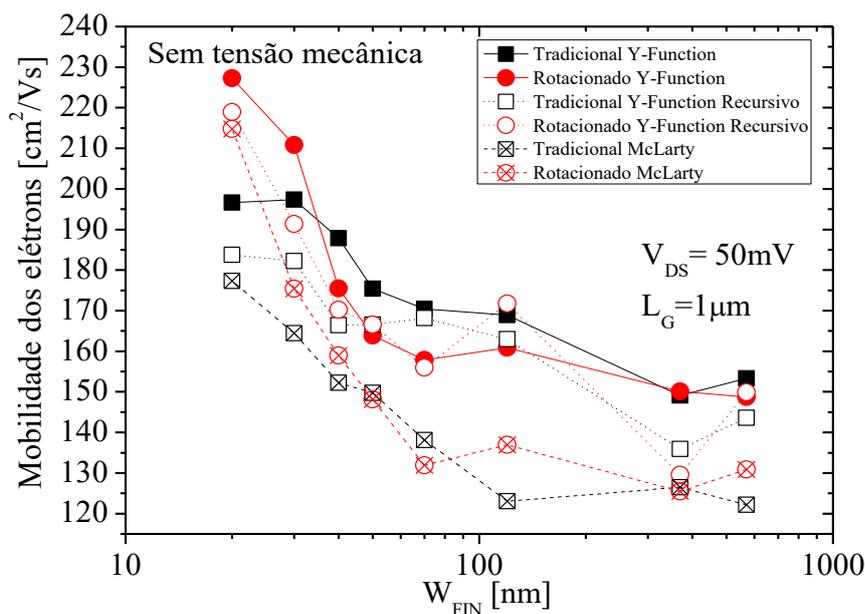
pelas componentes de piezoresistência, em que a componente de tensão mecânica na direção do canal é parcialmente anulada pela componente de tensão mecânica ao longo do comprimento do canal (XIONG et al., 2006). Dessa forma, que em dispositivos rotacionados a influência da tensão mecânica é reduzida em comparação aos dispositivos tradicionais com tensão mecânica.

Da mesma forma que nos dispositivos sem tensão mecânica, os dispositivos com tensão mecânica com W_{FIN} grandes possuem mobilidade muito semelhantes, de forma que mostra que a o plano de condução mais relevante nesses dispositivos é o topo do canal.

A figura 46 e 47 mostra os valores da mobilidade de baixo campo em função da largura da aleta para diversas técnicas de extração de mobilidade (método Y-Function tradicional e recursivo e o método de McLarty) para transistores com e sem tensão mecânica.

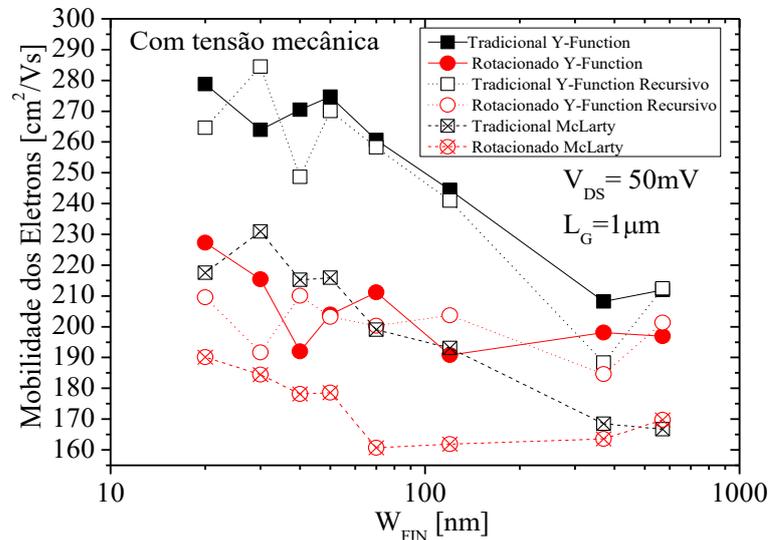
Dessas figuras podemos ver que todos os métodos possuem a mesma tendência sobre os valores extraídos. Porém, podemos notar que o método Y-Function tradicional possui valores dos dispositivos tradicional superiores aos dos rotacionados a partir de $W_{FIN} = 30\text{nm}$, o que pode ter sido causado por imprecisão na extração. Já o método de McLarty possui sua tendência muito similar ao método Y-Function recursivo, porém com valores menores para todos os transistores sem tensão mecânica.

Figura 46 - Mobilidade de baixo campo dos FinFETs fabricados em substrato tradicional e rotacionado sem tensão mecânica, em função da largura da aleta de silício para diversos métodos de extração.



Fonte: Autor.

Figura 47 - Mobilidade de baixo campo dos FinFETs fabricados em substrato tradicional e rotacionado com tensão mecânica, em função da largura da aleta de silício para diversos métodos de extração.



Fonte: Autor.

Para os dispositivos com tensão mecânica, as mesmas tendências para todos ocorrem para todos os métodos, sendo que o método Y-Function recursivo e tradicional ficam bem próximos e o método de McLarty se mantém com valores menores, porém com a mesma tendência que os demais.

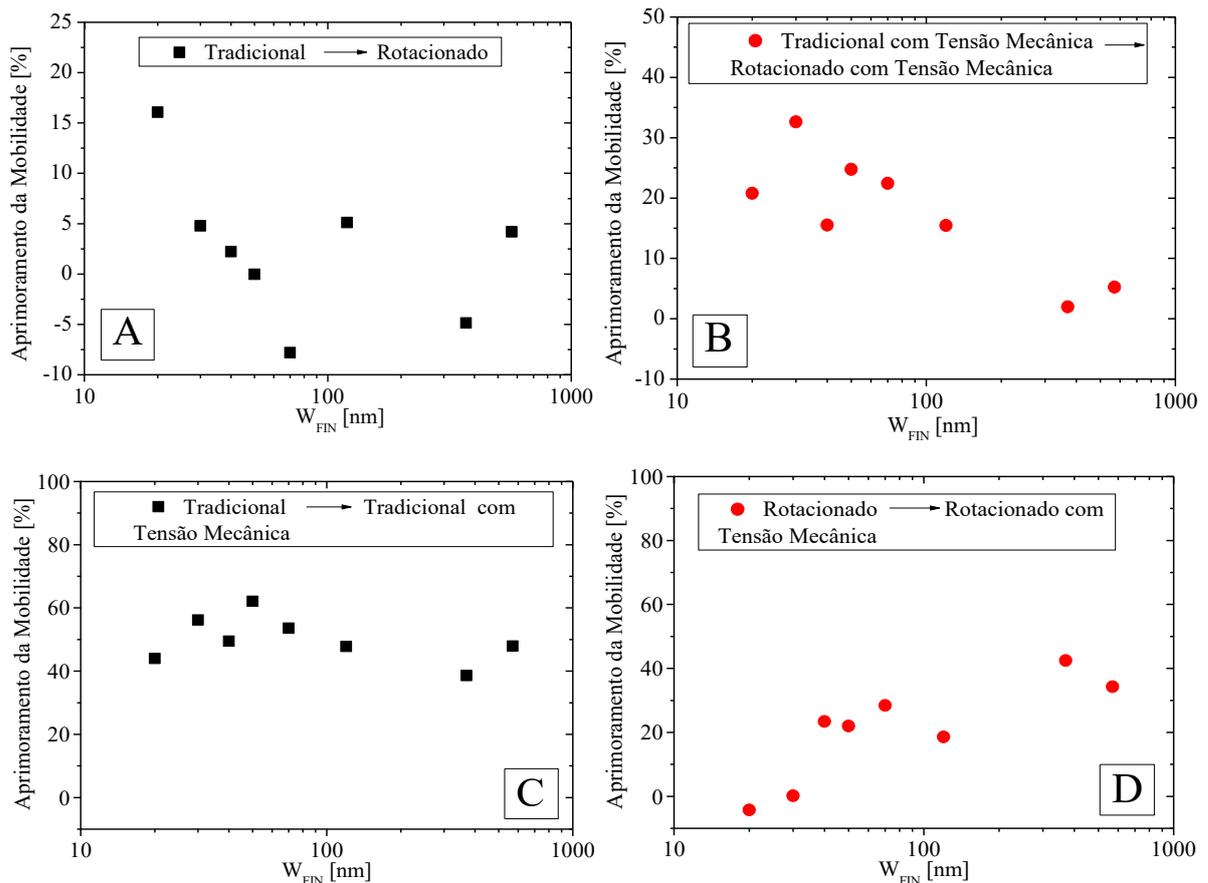
A Figura 48 mostra a melhoria da mobilidade dos dispositivos tradicionais para os rotacionados (A), dos dispositivos tradicionais com tensão mecânica para os dispositivos rotacionados com tensão mecânica (B), dos dispositivos tradicionais para os dispositivos tradicionais com tensão mecânica (C) e dos dispositivos rotacionados para os dispositivos rotacionados com tensão mecânica (D), todos extraídos pelo método Y-Function com algoritmo recursivo. Por essa curva podemos ver claramente que a melhoria dos dispositivos tradicionais é muito maior que a dos dispositivos rotacionados.

Analisando a figura 48 (A) podemos ver que para o dispositivo de W_{FIN} de 20nm a melhora com a rotação do substrato chega a 15%, sendo que para valores maiores de W_{FIN} as melhorias não chegam a 5% sendo que seus valores oscilam entre 5% a -8%. Comparando agora os dispositivos tensionados, figura 48 (B) podemos ver claramente que, os dispositivos tradicionais com W_{FIN} menores possuem uma melhora, sendo que com W_{FIN} de 20nm a 120nm a melhora se mantém na faixa de 35% a até 15%, com uma melhora de aproximadamente 35% para o dispositivo com W_{FIN} de 30nm, já para os dispositivos maiores que 370nm a melhora é praticamente nula.

No aprimoramento dos FinFETs tradicionais para os tradicionais com tensão mecânica, figura 48 (C), com largura de canal entre 20 e 570nm, há uma faixa de melhoria de 40% a até 60%, sendo que o melhor resultado ocorre para FinFETs de W_{FIN} por volta de 30 a 70nm.

A tendência dessa curva (Figura 48 (C)) pode ser atribuída ao fato de que em dispositivos de W_{FIN} pequenos as grandes melhorias da mobilidade estão na parede laterais $\{110\}$, sendo que a tensão mecânica na superfície superior do canal não tem tanta influência devido ao fato de que a largura de W_{FIN} é muito pequena (XIONG et al., 2006). Com o aumento gradual de W_{FIN} a melhoria da mobilidade começa a cair, pois o plano $\{100\}$ começa a ter mais importância e a tensão mecânica nesse plano não possui uma melhoria como a da mobilidade das paredes laterais $\{110\}$.

Figura 48 - Melhoria da mobilidade de baixo campo pela rotação do substrato e pela utilização de tensão biaxial para diversas larguras da aleta de silício.



Fonte: Autor.

Nota: (A) dispositivo tradicional para o dispositivo rotacionado, (B) dispositivo tradicional com tensão mecânica para o dispositivo rotacionado com tensão mecânica, (C) dispositivo tradicional para o dispositivo tradicional com tensão mecânica e (D) dispositivo rotacionado para o dispositivo rotacionado com tensão mecânica.

Da mesma forma, o aprimoramento dos FinFETs rotacionados para os rotacionados com tensão mecânica, figura 48 (D), há um aumento gradual da melhora dos dispositivos, com os dispositivos com W_{FIN} pequenos não apresentando melhora, como no caso de $W_{FIN}=30\text{nm}$ e até mesmo uma piora na mobilidade do dispositivo de $W_{FIN}=20\text{nm}$, e os dispositivos com W_{FIN} maiores com uma melhora de até aproximadamente 40%. Essa diminuição da melhora dos dispositivos com W_{FIN} pequenos é devido a tensão mecânica ter pouca influência em larguras de canal pequena assim como uma eficácia reduzida por volta da metade em superfícies $\{100\}$.

À medida que a largura da aleta vai aumentando, assim também vai aumentando a melhoria dada pela tensão mecânica aos FinFETs rotacionados o que se deve ao fato de que o stress biaxial começa a fazer efeito no plano superior, o que gera um aumento gradual na mobilidade até obter uma melhoria similar a dos dispositivos tradicionais.

4.2.5 Coeficiente linear da degradação da mobilidade sem tensão mecânica

Agora iremos analisar os parâmetros que degradam a mobilidade, de acordo com o campo elétrico imposto sobre o portador. O termo linear que associa a degradação da mobilidade pode ser atribuído aos espalhamentos de rede e Coulomb assim como o termo da resistência série (FLEURY et al., 2008).

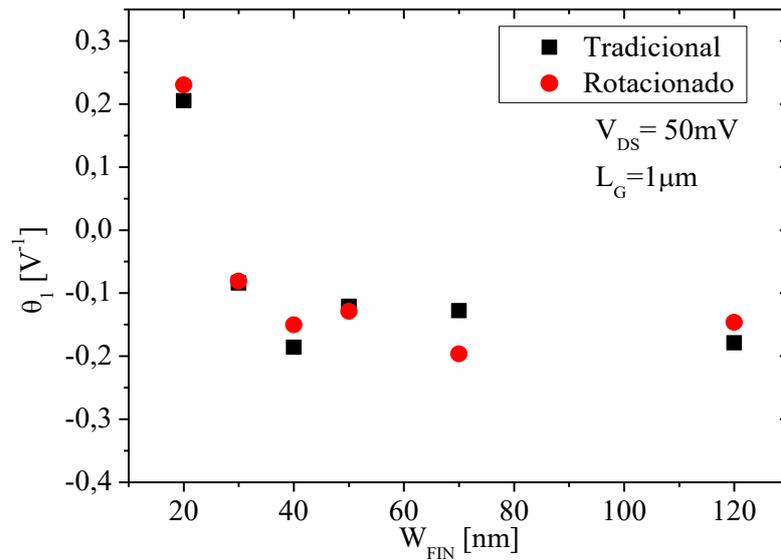
A figura 49 mostra o coeficiente da degradação linear para os valores de W_{FIN} até 120nm, onde a influência da orientação cristalográfica nas laterais ainda tem bastante importância. Pela curva θ_1 podemos ver que a curva possui valores altos para W_{FIN} pequenos e logo em seguida seus valores caem e se estabilizam.

Uma característica notável desse parâmetro é o seu valor negativo para W_{FIN} maiores que 30nm, isso pode ser definido como tendo um alto espalhamento Coulomb (LEE et al., 2011). Isso se deve ao fato de que em dispositivos mais modernos é necessário o uso de material High-K para evitar o tunelamento de portadores pela porta, porém o uso desse material gera uma grande quantidade de armadilhas de interface, que causa esse tipo de espalhamento.

Como esse parâmetro tem a influência da resistência série, é possível retirá-la seguindo a equação (41) e (43). A resistência série foi obtida para os mesmos dispositivos em (SOUSA et al., 2011) pelo método de (DIXIT et al., 2005). Na figura 50 é mostrado o coeficiente $\theta_{1,0}$ que é θ_1 sem a influência da resistência série e com isso pudemos ver o resultado, de forma que é possível analisar os efeitos do espalhamento Coulomb e

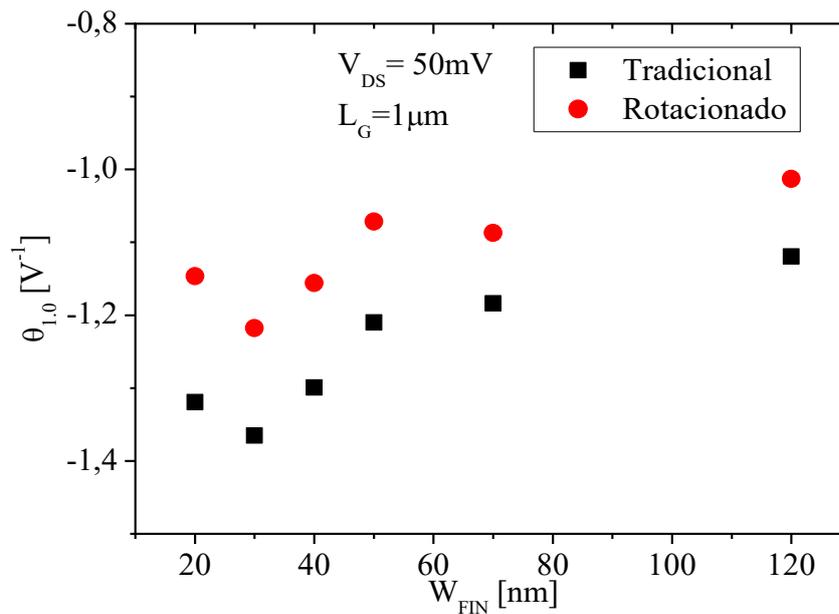
espalhamento de rede. Sabendo que o espalhamento fônon é influenciado pela orientação cristalina podemos ver que a medida que a largura do canal diminui pode-se notar uma diferença maior entre os dispositivos tradicionais e rotacionados (LEE et al., 2011).

Figura 49 - Coeficientes lineares da degradação da mobilidade (θ_1) para dispositivos sem tensão mecânica, em função de W_{FIN} .



Fonte:Autor.

Figura 50 - Coeficientes lineares da degradação da mobilidade ($\theta_{1,0}$) para dispositivos sem tensão mecânica, sem a influência da resistência série em função de W_{FIN} .



Fonte:Autor.

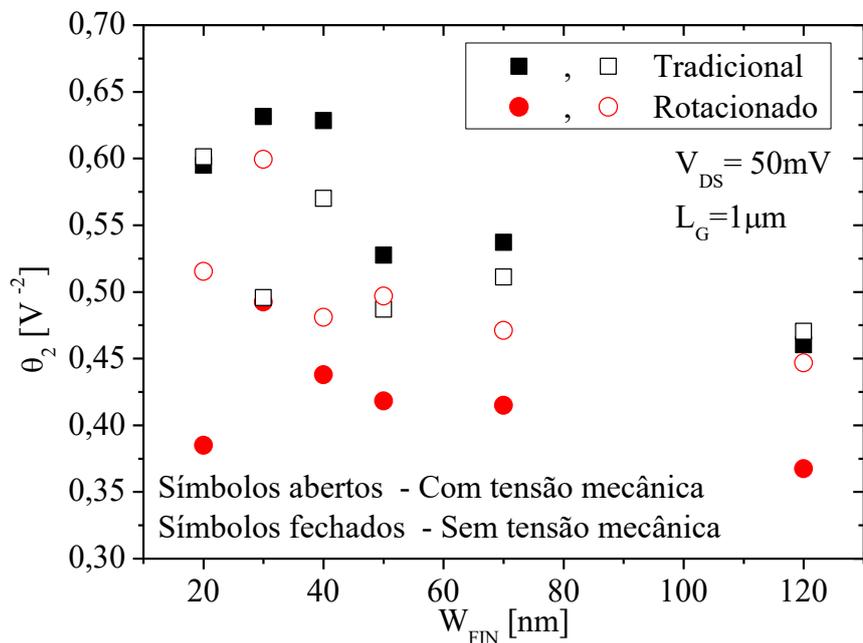
4.2.6 Coeficiente quadrático da degradação da mobilidade

O parâmetro do coeficiente quadrático da degradação da mobilidade, está associado ao termo de rugosidade de superfície e, portanto, relacionado a degradação da mobilidade em altos campos elétricos gerados pela porta, mostrado na figura 51.

Primeiramente analisando o efeito da rugosidade de superfície com os dispositivos sem tensão mecânica podemos ver que nos dispositivos tradicional a rugosidade de superfície é bem maior que nos dispositivos rotacionados. Isso acontece devido ao fato de que as laterais dos dispositivos rotacionados possuem uma melhor interface entre o óxido de porta e o canal (PAVANELLO et al., 2009).

Com a aplicação da tensão mecânica pode-se notar um comportamento diferente dependendo da orientação cristalográfica. Para dispositivos rotacionados fabricados em lâmina tensionada há uma degradação nas interfaces laterais.

Figura 51 - Coeficiente quadrático da degradação da mobilidade (θ_2), associado ao espalhamento de rugosidade de superfície.



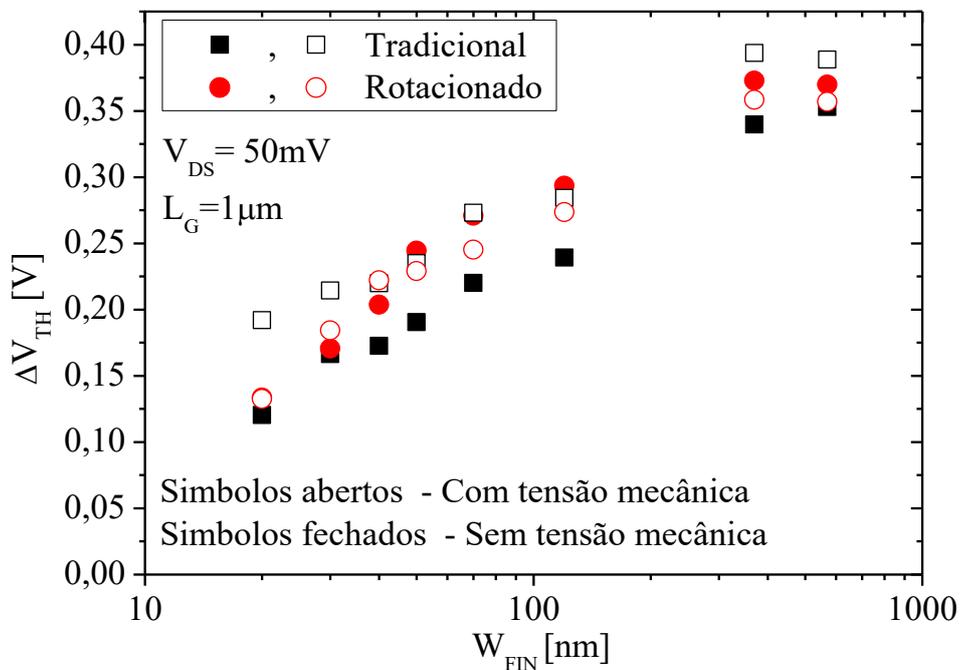
Fonte: Autor.

Para dispositivos tradicionais a tensão mecânica diminui o espalhamento da rugosidade de superfície. Essa característica já foi comprovada por medições com microscopia eletrônica de transmissão (TEM) em que é possível comprovar que de fato há uma redução do valor de Δ

(19) em que essa redução gera um aumento na mobilidade limitada pelo espalhamento de rugosidade de superfície em alto campo elétrico (BONNO et al., 2007).

A figura 52 mostra os valores de ΔV_{TH} para os dispositivos medidos com e sem tensão mecânica. Esse parâmetro mostra o quanto de tensão deve ser deslocado após a tensão de limiar para que o efeito do espalhamento por rugosidade de superfície comece a ficar importante. Dessa figura podemos associar que a medida que a largura da aleta do FinFET, aumenta os efeitos da rugosidade de superfície tendem a acontecer em valores maiores de tensão ($V_{TH} + \Delta V_{TH}$), apesar da redução da tensão de limiar nos dispositivos com W_{FIN} grande.

Figura 52 - Valores de ΔV_{TH} que desloca a tensão de limiar para acomodar o coeficiente de degradação (θ_2) da mobilidade em altos campos elétricos.



Fonte: Autor.

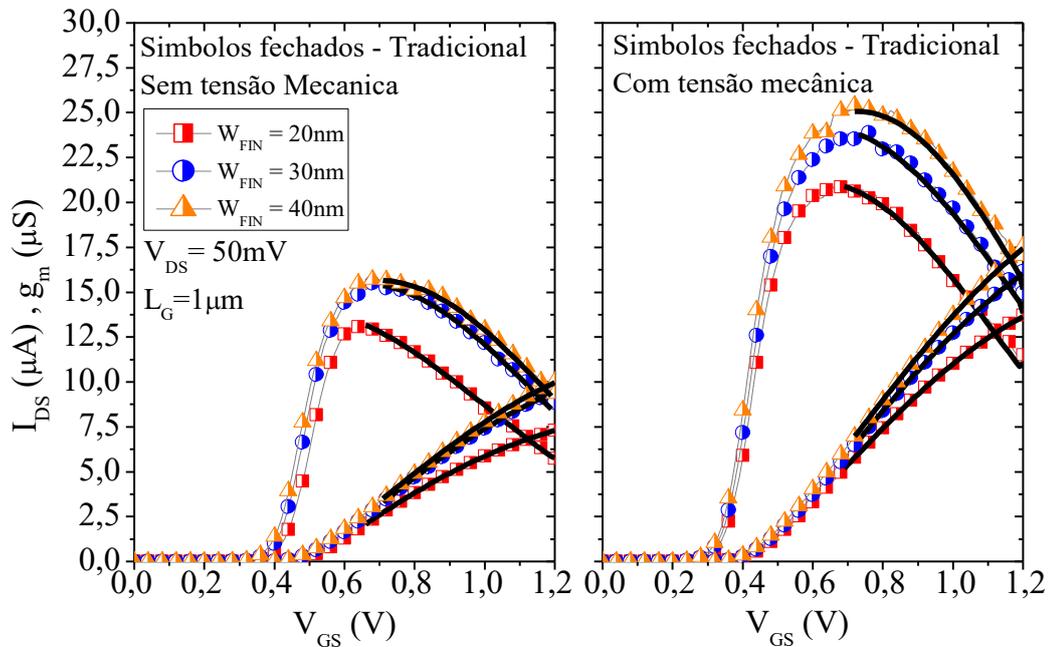
4.2.7 Comparação Teórico – Experimental com valores extraídos

Uma das vantagens desse método de extração é que como o mesmo se baseia em um modelo de corrente de dreno, com todas as variáveis extraídas é possível a utilização delas de volta ao modelo (34) o que validaria a extração desses parâmetros.

De forma a validar os dispositivos caracterizados, para alguns dispositivos com largura da aleta pequena, entre 20nm a 40nm, os parâmetros extraídos foram colocados no modelo, e resultaram nas curvas da figura 53 e 54.

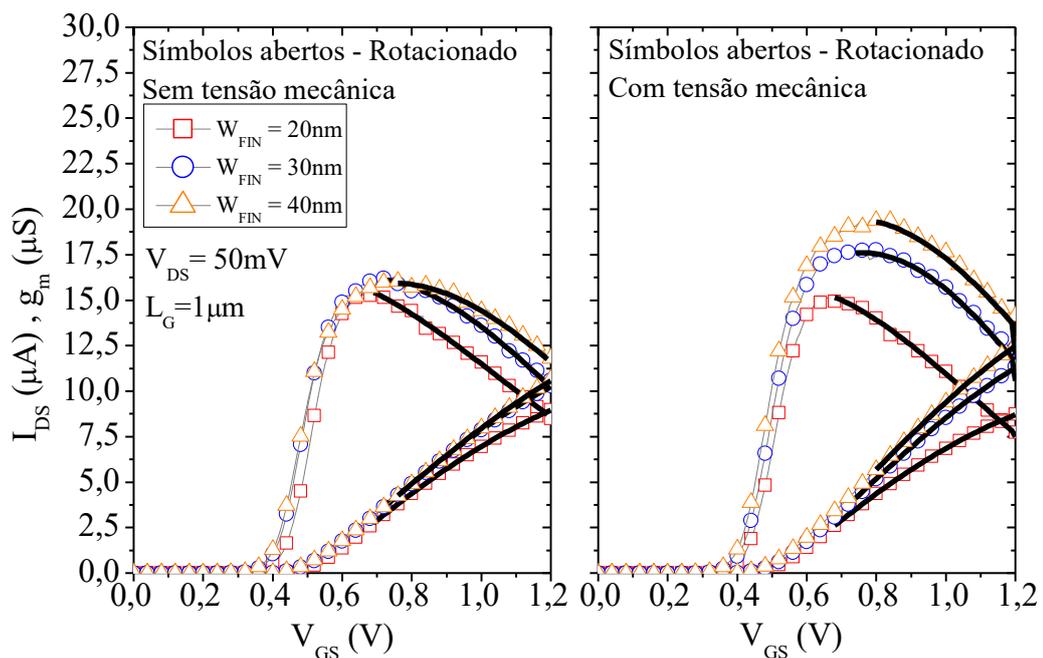
Todos os parâmetros extraídos com o método Y-Function e mostrados anteriormente, sendo eles V_{TH} , β , θ_1 , θ_2 , ΔV_{TH} , são utilizados no modelo (34).

Figura 53 - Curvas experimentais de FinFETs com W_{FIN} de 20, 30 e 40nm com o resultado obtido com o modelo (34) para FinFETs tradicionais com e sem tensão mecânica.



Fonte:Autor.

Figura 54 - Curvas experimentais de FinFETs com W_{FIN} de 20, 30 e 40nm com o resultado obtido com o modelo (34) para FinFETs rotacionados com e sem tensão mecânica.



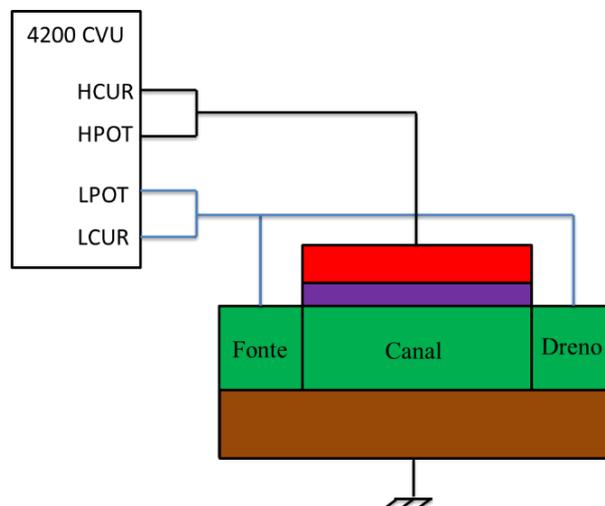
Fonte:Autor.

Podemos ver que tanto para a corrente de dreno quanto para a transcondutância, o modelo gera uma boa aproximação da curva obtida experimentalmente. Tanto o máximo da transcondutância, representando a mobilidade de baixo campo (μ_0), quanto a degradação da transcondutância se referem aos coeficientes de degradação da mobilidade θ_1 e θ_2 .

4.2.8 Comparação com o método Split CV.

Foram realizadas medições das curvas I-V e C-V para a extração da mobilidade via Split CV. As medidas das curvas de capacitância em função da tensão de porta foram realizadas com o módulo de capacitância integrado (4200-CVU) ao sistema 4200-SCS da Keithley. Utilizou-se em todas as medidas, frequência de sinal alternado de 1MHz e amplitude de 30mV. As curvas foram extraídas pela configuração da figura 55, onde a fonte e o dreno são curto-circuitados e ligados aos terminais de baixo potencial, Low Potential (LPOT) e baixa corrente, Low Current (LCUR). A porta é ligada no terminal de alta corrente, High Current (HCUR) e de alto potencial, High Potential (HPOT).

Figura 55 – Representação esquemática da configuração do transistor para a medição de capacitância e ligação dos cabos nos terminais do equipamento.



Fonte: Autor.

Os dispositivos medidos são outras estruturas no mesmo chip que os dispositivos medidos anteriormente com os mesmos parâmetros da tabela 2. Essas estruturas possuem comprimento de canal longo de $1\mu\text{m}$ ou $10\mu\text{m}$ e uma grande quantidade de aletas de silício em paralelo para ter uma grande área de porta, para medição de capacitância, conforme mostra a tabela 4.

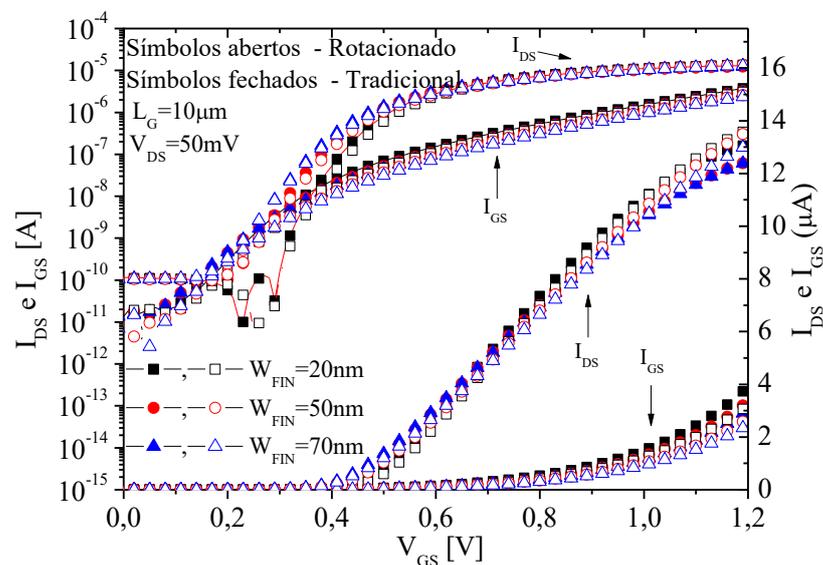
Tabela 4. Número de aletas dos FinFETs com $L_G=10\mu\text{m}$ e $L_G=1\mu\text{m}$.

	$L_G=10\mu\text{m}$ Número de aletas	$L_G=1\mu\text{m}$ Número de aletas
$W_{\text{FIN}}=20\text{nm}$	73	730
$W_{\text{FIN}}=50\text{nm}$	60	600
$W_{\text{FIN}}=70\text{nm}$	53	530

Fonte:Autor.

As curvas de corrente de dreno e corrente de porta em função da tensão de porta, obtidas para os dispositivos com comprimento de canal longo de $10\mu\text{m}$ e com $W_{\text{FIN}}=20, 50$ e 70nm , podem ser vistas na figura 56. Pode-se notar uma alta corrente de porta, devido à grande área do dispositivo.

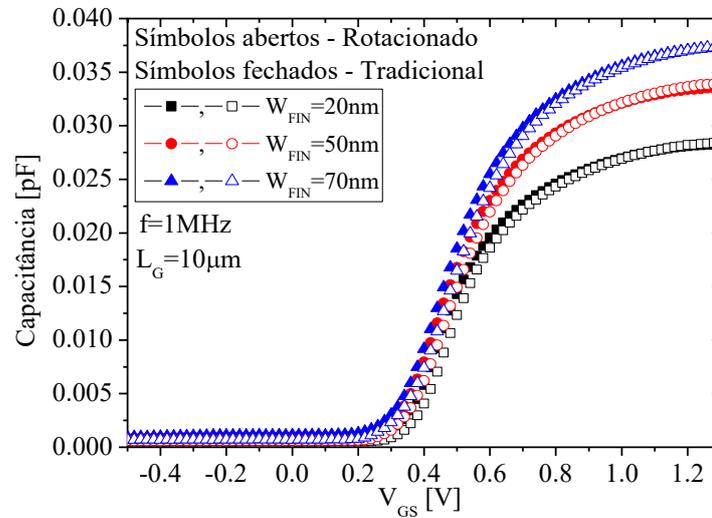
Figura 56 – Curvas experimentais de corrente de dreno e corrente de porta em função da tensão de porta, para dispositivos rotacionados e tradicionais.



Fonte:Autor.

A capacitância extraída para os dispositivos rotacionados e tradicionais em função da tensão de porta, normalizada pelo número de aletas, é mostrada na figura 57 e possuem valores muito próximos, o que mostra que o óxido de porta desses dispositivos é muito similar. A capacitância da porta ao canal tem para as regiões de acumulação e depleção valores próximos de zero, devido a barreira de potencial do dreno e da fonte, com o aumento de V_{GS} essa barreira é superada pelo potencial de porta e então é medida a região de inversão do dispositivo que chega até a sua capacitância máxima.

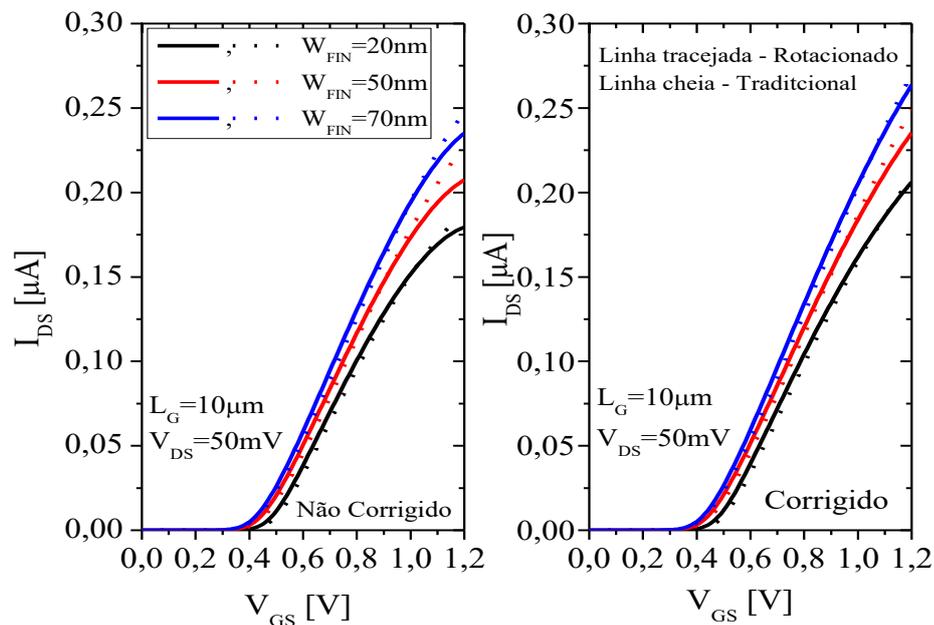
Figura 57 - Curvas experimentais da capacitância de FinFETs com W_{FIN} de 20, 50 e 70nm e com $L_G=10\mu m$ em função da tensão de porta aplicada.



Fonte:Autor.

A corrente de dreno foi corrigida para a extração da mobilidade (ZEITZOFF et al., 2003) e pode ser vista na figura 58 que mostra a corrente de dreno em função da tensão de porta com e sem correção. Essa correção que soma metade da corrente de porta a corrente de dreno medida, corrige a corrente de dreno em altos V_{GS} , quando a corrente de porta começa a ficar comparável a corrente de dreno.

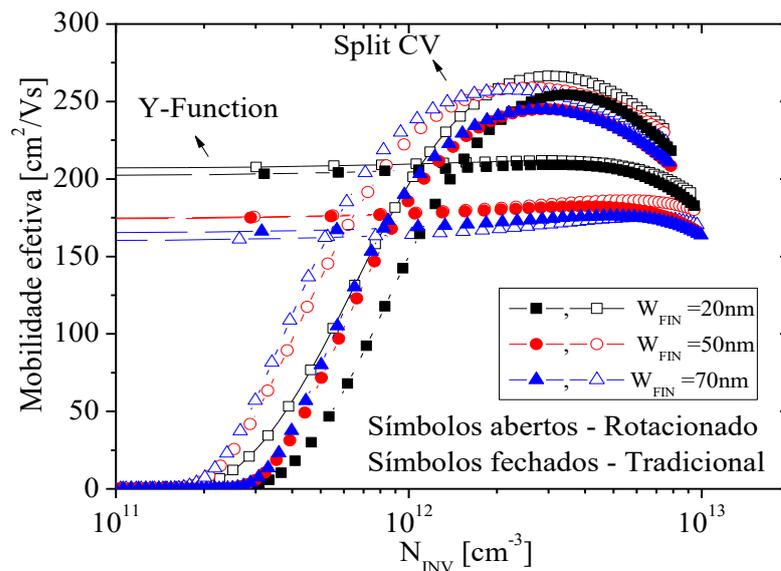
Figura 58 - Curvas experimentais da corrente de dreno de FinFETs com W_{FIN} de 20, 50 e 70nm e com $L_G=10\mu m$ em função da tensão de porta aplicada.



Fonte:Autor.

As curvas de capacitância e de corrente de dreno corrigidas foram utilizadas para extrair a mobilidade pelo método do Split CV e pelo método Y-Function com algoritmo recursivo. Os resultados são mostrados na figura 59, que mostra a mobilidade efetiva dos elétrons em função da densidade de carga de inversão. Desse resultado podemos perceber que a mobilidade dos dispositivos rotacionados é maior que dos dispositivos tradicionais para ambos os métodos em dispositivos com W_{FIN} pequenos. Como se pode ver os resultados obtidos pelo método do Split-CV e o método Y-Function tendem a se encontrar em densidade de carga de inversão mais altas, já em carga de inversão baixas, o método Y-Function tende a mobilidade de baixo campo, já que o mesmo não foi modelado para representar o espalhamento Coulomb que ocorre nessa faixa de carga de inversão.

Figura 59 - Resultados experimentais de mobilidade dos FinFETs com W_{FIN} de 20, 50 e 70nm, extraídos pelo método Y-Function e pelo Split CV, para dispositivos com $L_G=10\mu m$.

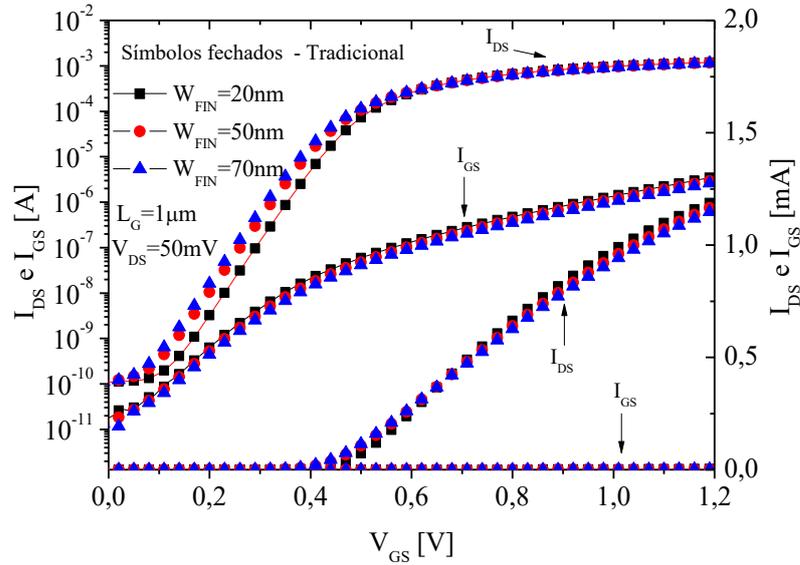


Fonte:Autor.

As curvas de corrente de dreno e corrente de porta para os dispositivos de $1\mu m$ em função da tensão de porta aplicada, para os dispositivos tradicionais, é mostrado na figura 60. Podemos ver que para esses dispositivos de comprimento de canal de $1\mu m$ a corrente de porta é muito menor que a corrente de dreno e por isso não precisou ser corrigida nesse caso. Devido a um problema de fabricação dos dispositivos rotacionados, que apresentam corrente de dreno extremamente menor que os dispositivos tradicionais, esses não puderam ser usados para uma comparação dos parâmetros extraídos desses dispositivos. As curvas de capacitância desses dispositivos, normalizada pelo número de aletas, em função da tensão de porta pode

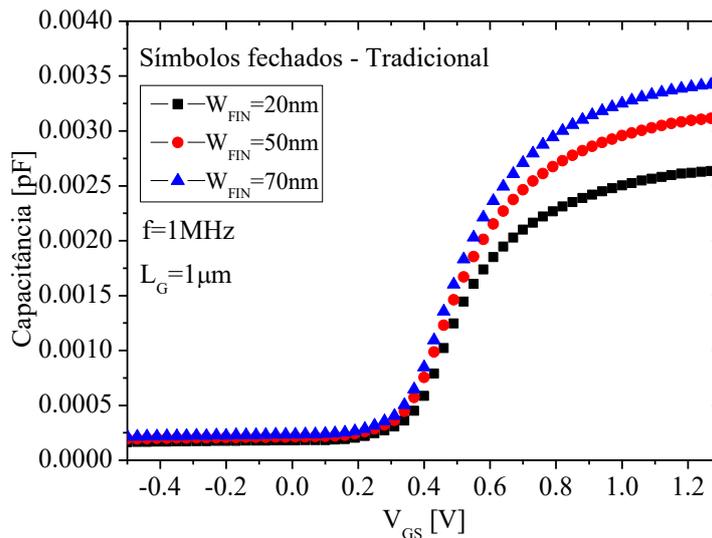
ser vista pela figura 61. A partir dessas curvas de corrente e de capacitância, podemos extrair a mobilidade pelo método do Split CV e pelo método Y-Function.

Figura 60 – Curvas experimentais de corrente de dreno e corrente de porta em função da tensão de porta, para dispositivos tradicionais para $L_G=1\mu\text{m}$.



Fonte:Autor.

Figura 61 - Curvas experimentais da capacitância de FinFETs com W_{FIN} de 20, 50 e 70nm e com $L_G=1\mu\text{m}$ em função da tensão de porta aplicada.

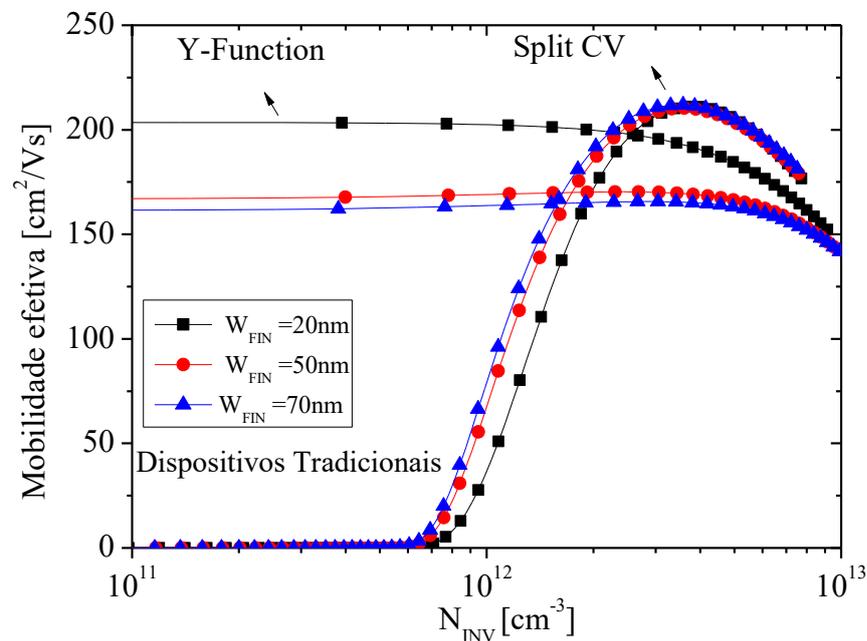


Fonte: Autor

Podemos ver pela figura 62 que mostra a mobilidade efetiva dos elétrons em função da densidade de carga de inversão, extraídos pelo método Split-CV e pelo método Y-Function. Nessa curva podemos notar que a medida que W_{FIN} diminui, a mobilidade do Y-Function

aumenta, similar aos dispositivos anteriores. Os valores de mobilidade obtido pelo método Y-Function nos FinFETs de $10\mu\text{m}$ e $1\mu\text{m}$ se mostram ser bastante similares, sendo ambos transistores de comprimento de canal grande, mas podemos ver que a mobilidade extraída pelo método Split-CV se mostra com valores um pouco menores para $L_G=1\mu\text{m}$, comparado com o de $L_G=10\mu\text{m}$, podendo estar associado a corrente de porta obtida nos transistores com comprimento de canal de $L_G=10\mu\text{m}$.

Figura 62 - Resultados experimentais de mobilidade dos FinFETs com W_{FIN} de 20, 50 e 70nm, extraídos pelo método Y-Function e pelo Split CV, para dispositivos com $L_G=1\mu\text{m}$.



Fonte: Autor

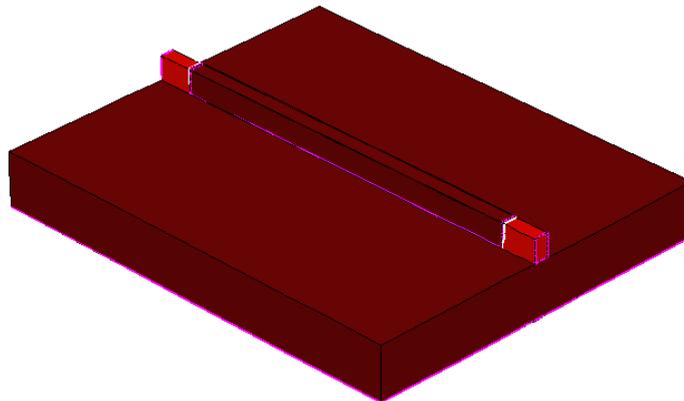
5 SIMULAÇÃO 3-DIMENSIONAL

Para analisar os resultados extraídos experimentalmente, foram feitas simulações tridimensionais com o simulador Sentaurus da Synopsys (SYNOPTSYS, 2013). Com ele podemos entender como variam os parâmetros associados à mobilidade, dependendo da orientação cristalográfica, e entender o funcionamento da extração de parâmetros com o método Y-Function.

5.1 O SIMULADOR

Para realizar a simulação são necessárias duas ferramentas do TCAD da Synopsys, o Sentaurus Structure Editor (SDE) e o Sentaurus Device. O primeiro cria a estrutura com a grade (*mesh*), a dopagem e os contatos. Já o segundo caracteriza a estrutura, polarizando os contatos e extraindo os resultados através de modelos matemáticos relevantes, como a densidade de corrente que flui pelo dispositivo. A figura 63 mostra um exemplo de uma estrutura de um FinFET criada pelo SDE. O código do arquivo de entrada do SDE pode ser visto no apêndice B.

Figura 63 - Exemplo da estrutura de um FinFET criada pelo Sentaurus Structure Editor.



Fonte: autor

Para o Sentaurus Device o código de entrada da simulação se encontra no apêndice C, e é dividido em sete partes principais, *File*, *Electrode*, *Physics*, *System*, *Math*, *Plot* e *Solve*.

Na seção “*File*” se coloca o nome dos arquivos com os códigos da estrutura, entre eles o arquivo da estrutura, da grade e da dopagem e o nome dos arquivos de saída.

Na seção *Electrode* se colocam os eletrodos da estrutura e especifica, se necessário, a função trabalho do metal.

Na seção *Physics* se coloca os modelos matemáticos relevantes que serão utilizados durante a simulação.

Na seção *Math* se colocam as características importantes para a realização dos cálculos na simulação.

Na seção *System* se ajustam os nós do dispositivo, similar ao código SPICE, podendo associar vários dispositivos simulados.

Na seção *Plot* os parâmetros que devem ser calculados são especificados para serem colocados no arquivo de saída.

Na seção *Solve* se caracteriza o dispositivo com as polarizações necessárias, para se obter os resultados necessários.

5.1.1 Modelos utilizados

Para as simulações foram utilizados os modelos:

- a) Recombination: Modelo que representa o processo de transição de portadores entre as bandas de valência e de condução.
- b) EffectiveIntrinsicDensity: Modelo que leva em conta a variação faixa proibida
- c) Enormal: Modelo para o cálculo do campo elétrico perpendicular à interface do canal e do óxido de porta e será utilizado no modelo de degradação da mobilidade em função do campo elétrico.
- d) IALMob (*Inversion and Accumulation Layer Mobility Model*): O modelo de mobilidade da camada de inversão e acumulação (MUJTABA, 1995) é um modelo de degradação da mobilidade. Basicamente é uma versão modificada do modelo Phumob (KLAASSEN, 1992) e Lombardi (LOMBARDI et al., 1988) e possui termos adicionais de espalhamento Coulomb para 2-dimensões. O modelo de mobilidade leva em consideração os espalhamentos por fônons, Coulomb e de rugosidade de superfície e também considera a orientação cristalográfica do dispositivo.
- e) HighFieldSaturation: Como em altos campos elétricos a velocidade do portador não é mais proporcional ao campo elétrico e a velocidade satura para um valor finito, então esse modelo foi desenvolvido para o alto campo elétrico na direção do canal perto da região de dreno.

5.1.2 Método para utilização da AutoOrientação no simulador

No Sentaurus Device alguns modelos suportam a utilização de auto orientação, que automaticamente altera entre conjuntos de parâmetros (“100” ou “110” por exemplo) baseado na orientação da interface mais próxima e são definidos no arquivo de parâmetros do Sentaurus Device (Apêndice D).

Os modelos que suportam a auto orientação são o modelo “*Density-Gradient*” (modelo de efeitos quânticos), os modelos de “*Lombardi*” e “*IALMob*” (modelos de mobilidade), o modelo “*ThinLayer mobility*” (modelo de mobilidade para espessuras de silício muito pequenas) e o modelo “*Piezoresistance*” (modelo que inclui a tensão mecânica).

Com o modelo escolhido, para ativar a auto-orientação basta colocar “*AutoOrientation*” como parâmetro do modelo como, por exemplo, “*IALMob(AutoOrientation=1)*”.

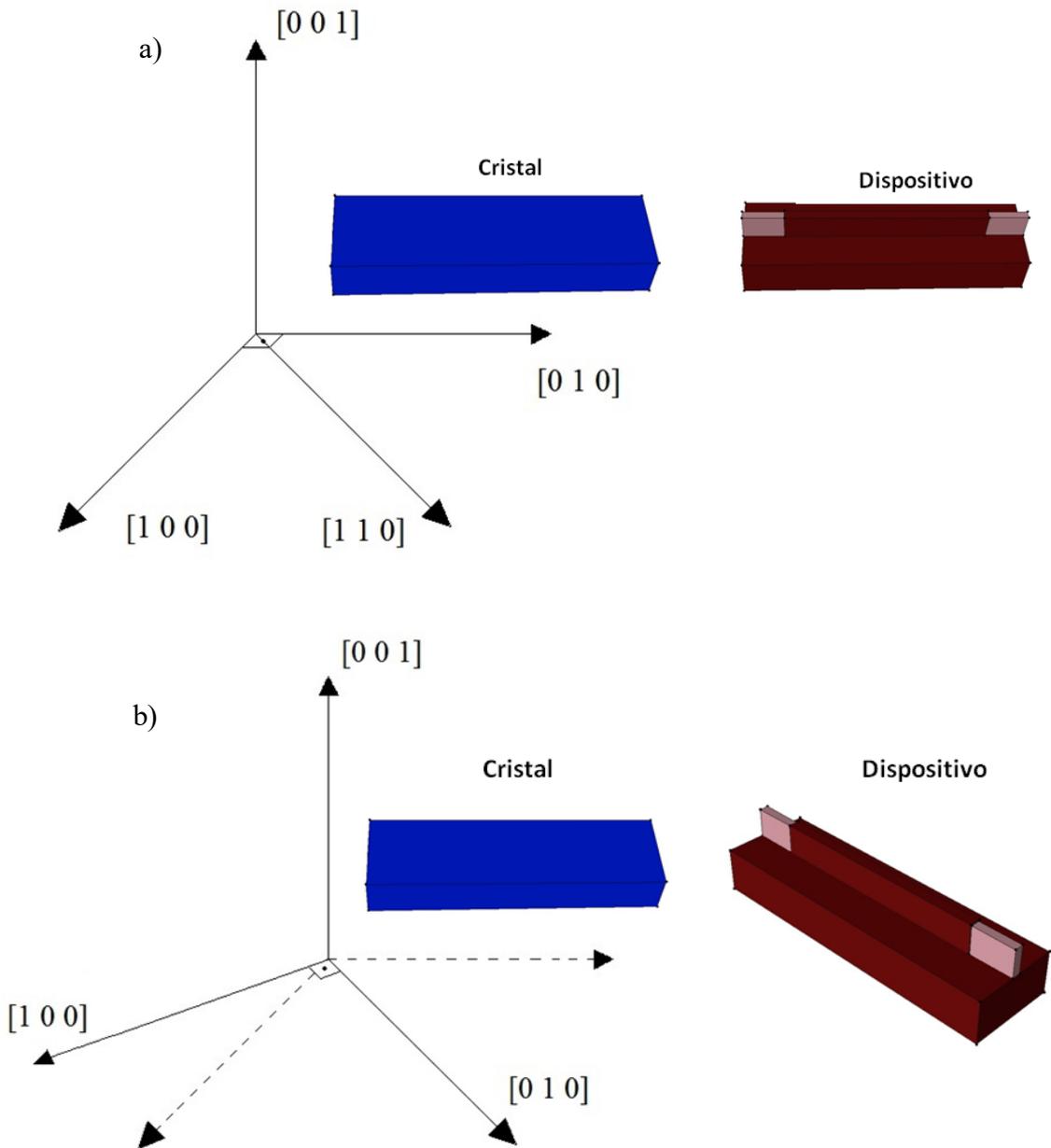
A troca desses conjuntos de parâmetros é abrupta, por padrão, porém é possível suavizar a troca de conjuntos utilizando “*AutoOrientationSmoothing(0.001)*”. O valor utilizado abrange a região de intersecção dos dois tipos de orientação e nessa região a troca de parâmetros é suavizada.

Para alterar as orientações do dispositivo o Sentaurus Device usa dois sistemas de coordenadas, o sistema de coordenadas da geometria do dispositivo criado e o sistema de coordenadas do cristal de silício. Para variar a orientação cristalina nos dispositivos, é necessário que se rotacione a estrutura do dispositivo pelo cristal.

Para que o canal seja dividido como é o que acontece em dispositivos tradicionais é necessário a alteração do sistema de coordenadas. O sistema de coordenadas definido por padrão é “*LatticeParameters {X = (1,0,0) Y = (0,1,0)}*” onde apenas um conjunto de parâmetros vale para o canal inteiro. O sistema de coordenada do cristal e da estrutura é mostrado na figura 64 a), onde ambos são iguais.

Com a alteração para “*LatticeParameters {X = (1,-1,0) Y = (1,1,0)}*”, o sistema de coordenadas do dispositivo é rotacionado em 45° no sentido horário em relação ao eixo z, de forma que a simulação tem o canal dividido em duas partes, o topo com orientação {100} e nas paredes laterais com orientação {110}. O sistema de coordenadas do dispositivo e do cristal para esse caso é mostrado na figura 64 b).

Figura 64 - Sistema de coordenadas da estrutura e do cristal.



Fonte: Autor.

Nota: a) “LatticeParameters {X = (1,0,0) Y = (0,1,0)} ” e b) “LatticeParameters {X = (1, -1,0) Y = (1,1,0)} ”.

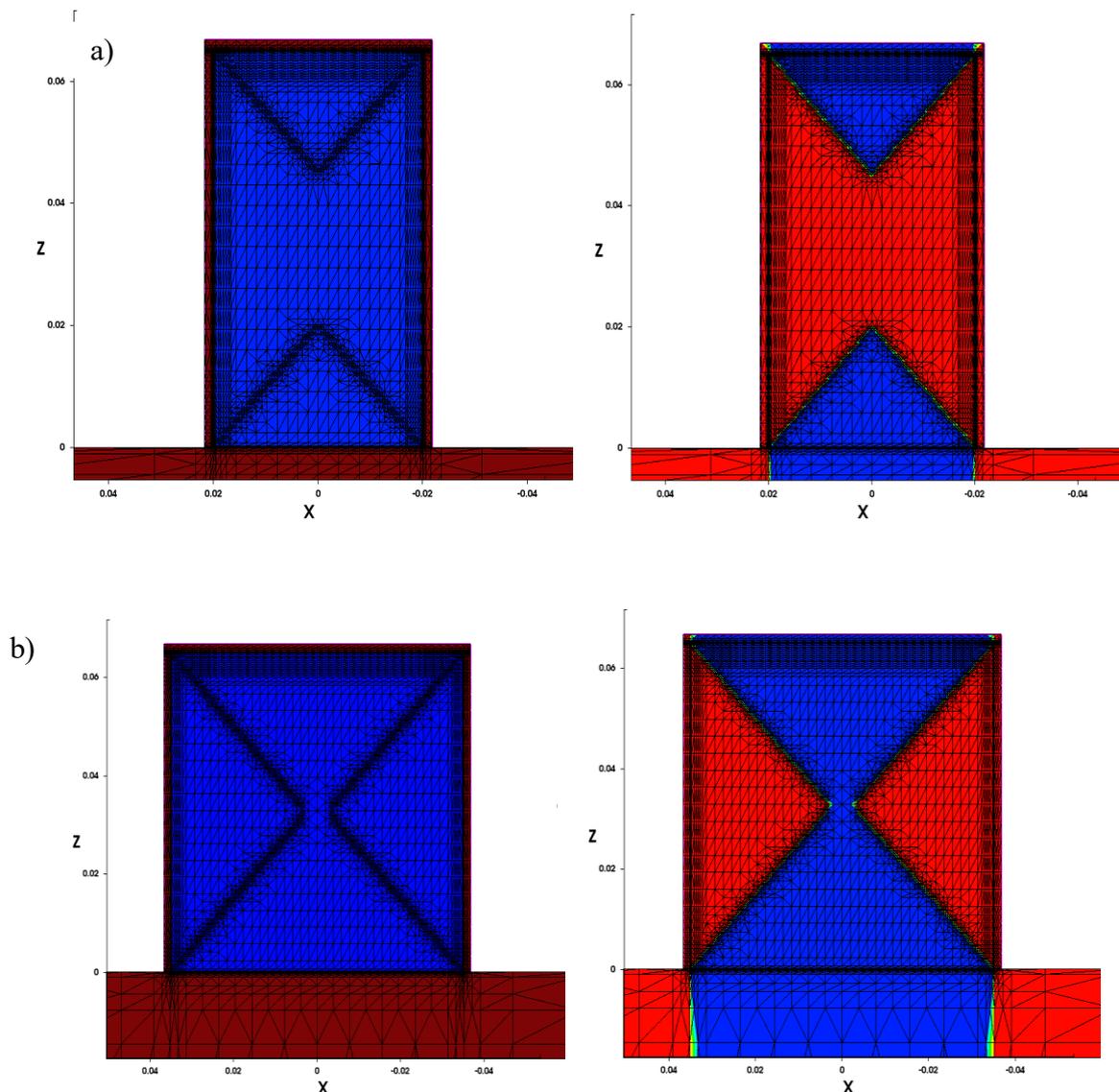
Na sessão “*math*” do código do Sentaurus device, a utilização do comando “*CordinateSystem (AsIs)*” necessário para que a modificação do sistema de coordenada colocados no arquivo de parâmetros possa ser alterado diretamente e sem a necessidade de nenhuma transformação (esse comando já é definido como padrão).

O resultado da auto-orientação pode ser visto na estrutura acrescentando “*NearestInterfaceOrientation*” na seção “*Plot*”. Um exemplo dessa divisão é mostrado na figura 65 onde se pode ver que automaticamente o simulador divide a região do silício para um dispositivo simulado com a) $W_{FIN}=40\text{nm}$ e com b) $W_{FIN}= 70\text{nm}$. Sendo que em

dispositivos com W_{FIN} pequenos, mostra a importância da orientação cristalográfica das paredes laterais comparada com os FinFETs com a largura de aleta maior.

Como o simulador detecta automaticamente essas regiões do canal, acaba ficando sensível à grade da estrutura criada. As duas regiões com orientação cristalográfica diferentes, tem seus próprios parâmetros de simulação, logo uma grade fina nessa região é necessária para que o simulador utilize os parâmetros corretamente, sendo necessário alguns testes do usuário para refinar a grade nessas duas regiões. A figura 65 e 66 mostra a grande influência da grade para que o simulador determine a orientação mais próxima.

Figura 65 - Resultados da divisão do canal, com orientação $\{100\}$ no topo e $\{110\}$ nas paredes laterais



Fonte: Autor.

Nota: a) um dispositivo de 40nm e b) um dispositivo de 70nm.

Figura 66 - Corte da estrutura de um FinFET tradicional ao longo do comprimento de canal, para um transistor com W_{FIN} estreito e um transistor quase-planar.



Fonte: Autor.

5.1.3 Método utilizado para calibração do simulador

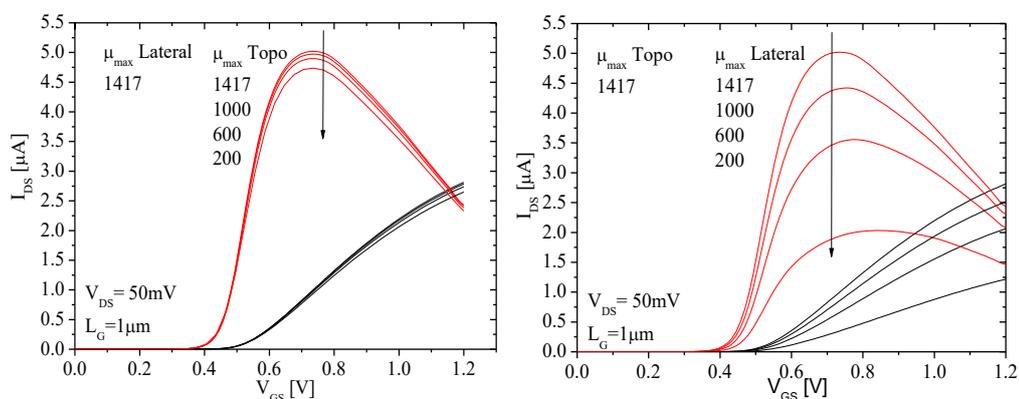
Para ajustar as curvas de corrente de dreno em função da tensão de porta foram alterados três tipos de parâmetros que influenciam a mobilidade e sua degradação em função do aumento de V_{GS} . Esses parâmetros são μ_{MAX} [cm^2/Vs], C [$\text{cm}^{3/5}\text{V}^{-2/3}\text{s}^{-1}$] e δ [cm^2/Vs], sendo os dois primeiros relacionado a mobilidade limitada por fônons (combinados pelo modelo padrão do simulador “*PhononCombination = 1*”) e o último a mobilidade limitada pelo espalhamento pela rugosidade de superfície. Para cada um desses conjuntos de parâmetros é definido um valor para as paredes laterais do FinFET e o outro para o topo da aleta.

A figura 67 e 68 mostra a influência do parâmetro μ_{MAX} para a orientação $\{100\}$ e para a orientação $\{110\}$. E como a variação desses parâmetros influenciam o comportamento da corrente de dreno em função da tensão de porta, para um dispositivo com a aleta estreita e com a aleta grande.

As influências dos parâmetros citados no comportamento da corrente de dreno são mostradas utilizando um FinFET com W_{FIN} pequeno (20nm) e um com W_{FIN} largo (570nm), onde para W_{FIN} pequenos, podemos ver que o conjunto de parâmetros para o topo do canal não tem uma grande influência, da mesma forma, o conjunto de parâmetros das paredes laterais não influencia muito a corrente total dos dispositivos quase-planar.

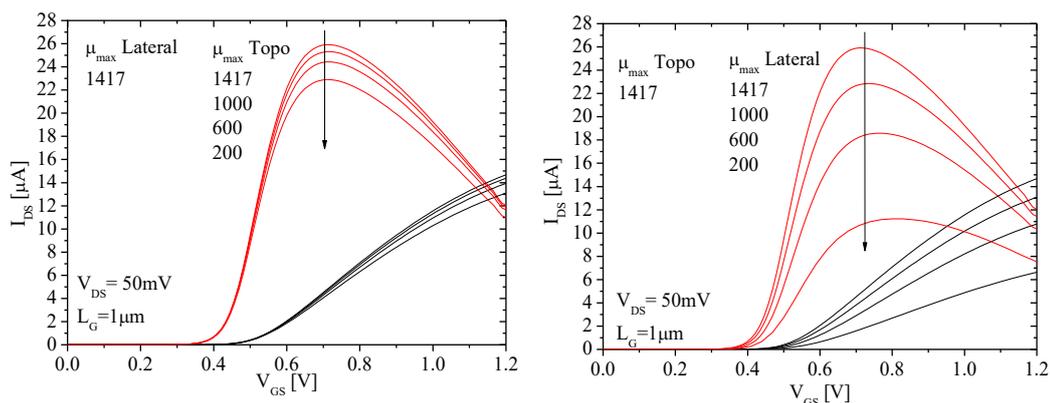
O parâmetro μ_{MAX} como se pode ver pela figura 67 e 68, pode aumentar a corrente de dreno à medida que seu valor aumenta, sendo que sua influência é maior quando o campo elétrico é mais baixo, logo a variação de μ_{MAX} tem uma maior importância por volta de 100mV- 200mV após a tensão de limiar.

Figura 67 - Variação do parâmetro μ_{MAX} para um dispositivo com W_{FIN} muito pequeno (20nm).



Fonte:Autor.

Figura 68-Variação do parâmetro μ_{MAX} para um dispositivo quasi-planar, com W_{FIN} grande (570nm).



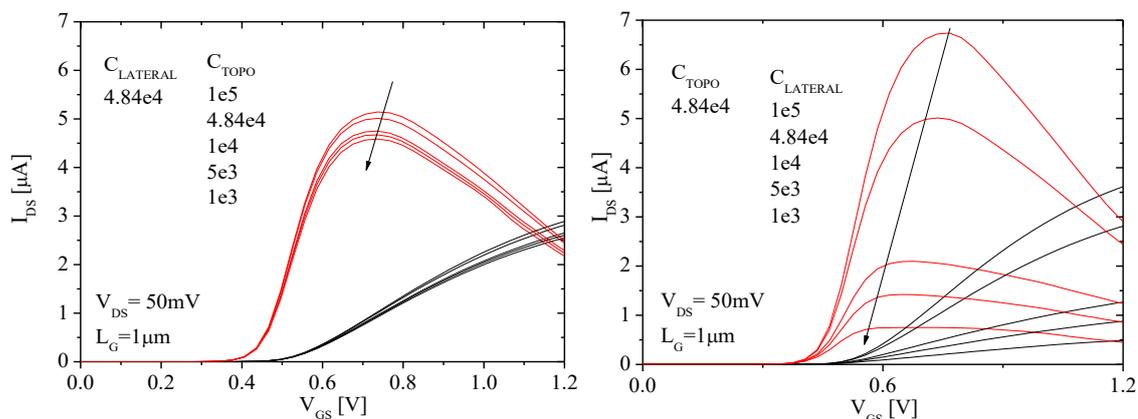
Fonte:Autor.

A figura 69 e 70, mostra a influência do parâmetro C , para as orientações $\{100\}$ e $\{110\}$, no comportamento da corrente de dreno em função da tensão de porta, para um dispositivo com a aleta estreita e com a aleta grande.

O parâmetro C como se pode ver pelas figuras tem uma grande influência sobre a corrente de dreno, sendo que sua influência é maior quando o campo elétrico é mais alto, logo a variação de C tem uma maior importância depois da tensão de limiar, após a influência de μ_{MAX} . ($V_{GT} > 200\text{mV}$).

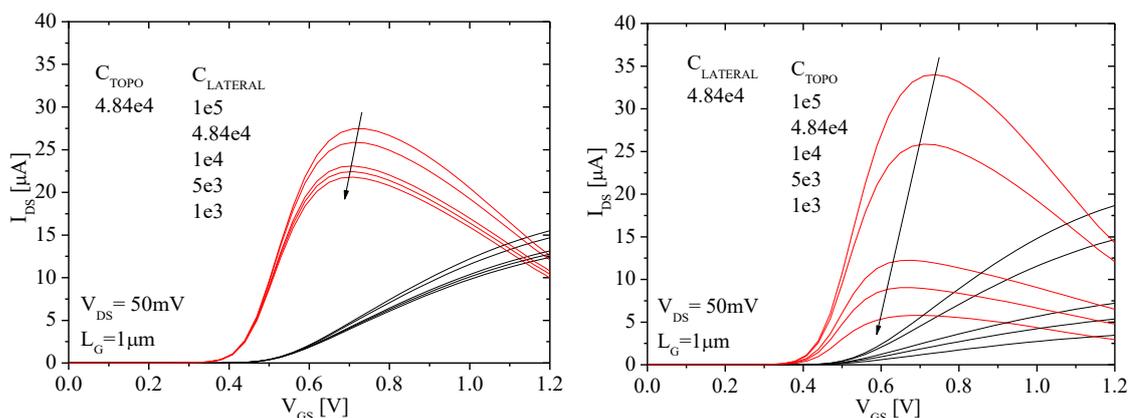
Esses dois parâmetros estão associados ao espalhamento de rede e influenciam o comportamento da corrente de dreno em regime de inversão forte, após a tensão de limiar, sendo que μ_{MAX} predomina para campos elétricos menor (menor V_{GS}) e C para campos elétricos maiores (maior V_{GS}).

Figura 69 - Variação do parâmetro C para um dispositivo com W_{FIN} muito pequeno (20nm).



Fonte: Autor.

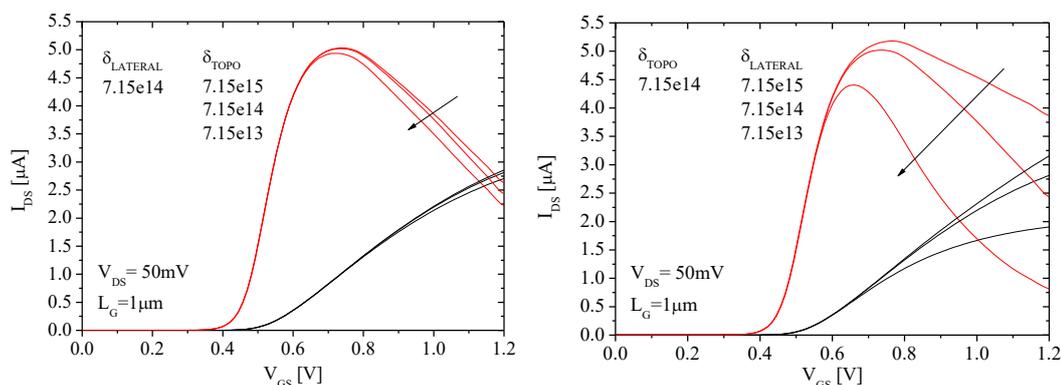
Figura 70-Variação do parâmetro C para um dispositivo quasi-planar, com W_{FIN} grande (570nm).



Fonte: Autor.

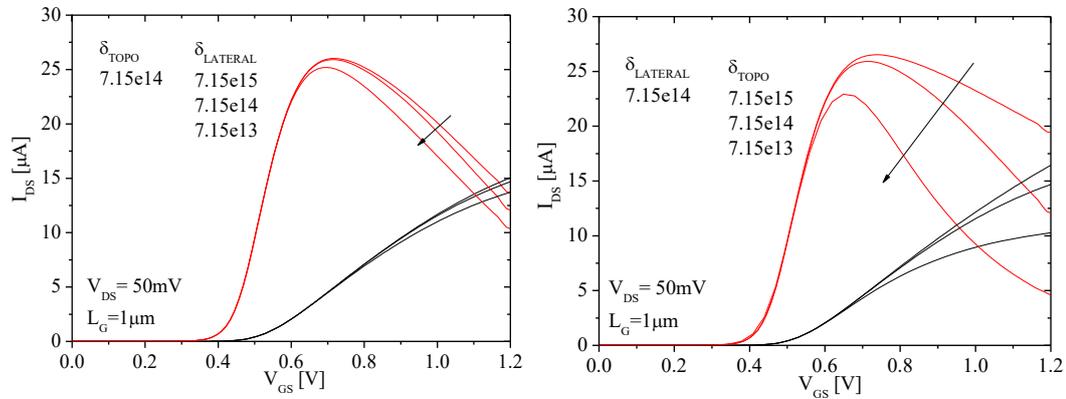
A figura 71 e 72 mostra a influência do parâmetro δ no comportamento da corrente de dreno em função da tensão de porta, para um dispositivo com a aleta estreita e com a aleta larga, com as orientações $\{100\}$ e $\{110\}$, no topo e nas paredes laterais, respectivamente.

Figura 71 - Variação do parâmetro δ para um dispositivo com W_{FIN} muito pequeno (20nm).



Fonte: Autor.

Figura 72 - Variação do parâmetro δ para um dispositivo quasi-planar, com W_{FIN} grande (570nm).



Fonte: Autor.

A influência desse parâmetro pode ser vista em campos elétricos bem altos (em altos V_{GS}), em que o aumento desse parâmetro aumenta a mobilidade limitada pelo espalhamento por rugosidade de superfície e por isso aumenta a corrente de dreno. Já a diminuição desse parâmetro, gera uma queda de corrente para V_{GS} alto, devido a diminuição da mobilidade.

5.2 RESULTADOS SIMULADOS

Foram feitas simulações de um dispositivo SOI FinFET de porta tripla, seguindo os parâmetros da tabela 2. Nessa simulação, foi utilizado óxido de silício como isolante de porta com o valor do EOT, com tensão de dreno de 50mV (baixo campo elétrico paralelo a direção do canal) e tensão de porta de 0 a 1.2V.

Afim de entender como a variação da mobilidade do topo e das laterais afetam a mobilidade obtida de um FinFET em função de W_{FIN} , foram simuladas estruturas assumindo que a mobilidade das paredes laterais são maiores que a mobilidade do topo do canal, e ao contrário, a mobilidade do topo do canal sendo maior que a mobilidade das paredes laterais, assim como se as mobilidades no topo e nas laterais fossem iguais.

Para realizar isso, foi alterado o parâmetro $\mu_{\text{MÁX}}$ em (18), associado ao espalhamento de rede, conforme mostra a tabela 5 a seguir, onde μ_{T} é a mobilidade do topo do canal e μ_{L} é a mobilidade nas paredes laterais.

Utilizando o mesmo método de extração dos dispositivos experimentais, nas simulações também será feita a extração dos parâmetros via método Y-Function com o algoritmo recursivo, onde será possível analisar os parâmetros extraídos e identificar tendências que a orientação cristalográfica gera nos dispositivos FinFETs.

Tabela 5. Valores de mobilidade utilizados para mobilidade nos planos de condução do FinFET.

(cm ² /V.s)	$\mu_L > \mu_T$	$\mu_L = \mu_T$	$\mu_L < \mu_T$
$\mu_{MÁX}$ Lateral	900	450	300
$\mu_{MÁX}$ Topo	300	450	900

Fonte: Autor

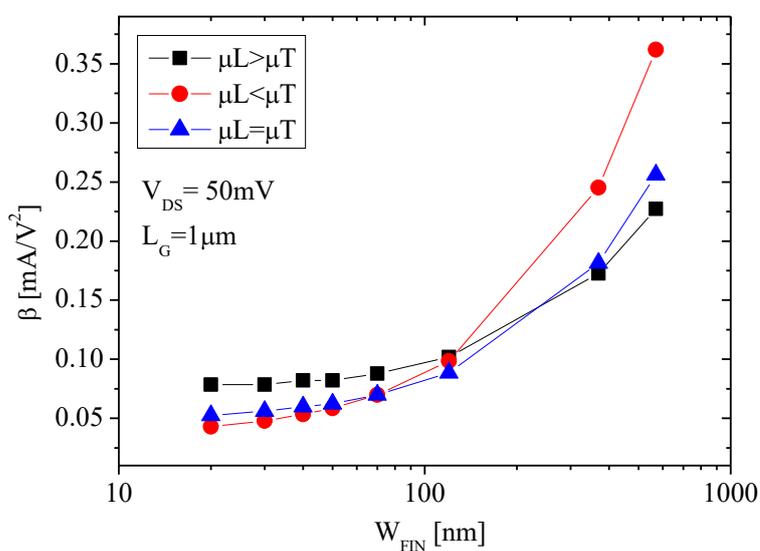
5.2.1 Mobilidade dos elétrons

Estudando a mobilidade dos dispositivos simulados podemos ver, primeiramente, na figura 73 o fator de ganho do transistor em função de W_{FIN} . Da mesma forma que nos dispositivos experimentais, essa curva apresenta uma dependência direta com W_{FIN} , a medida que a largura da aleta aumenta o fator de ganho também aumenta.

Para dispositivos com mobilidade nas laterais maior que a do topo do canal, o mesmo possui o valor de β maior com W_{FIN} pequenos e um valor de β pequeno para W_{FIN} maiores, sendo que o oposto ocorre, em dispositivos com W_{FIN} maiores, caso a mobilidade do topo seja maior que a mobilidade das laterais.

A partir do valor de β podemos extrair os valores de mobilidade dos elétrons que é mostrada na figura 74. Podemos ver que a mobilidade do elétron pode possuir tendências diferentes dependendo dos valores assumidos de mobilidade no topo e nas laterais da aleta de silício.

Figura 73 - Fator de ganho dos transistores simulados para diferentes mobilidades nos planos de condução.

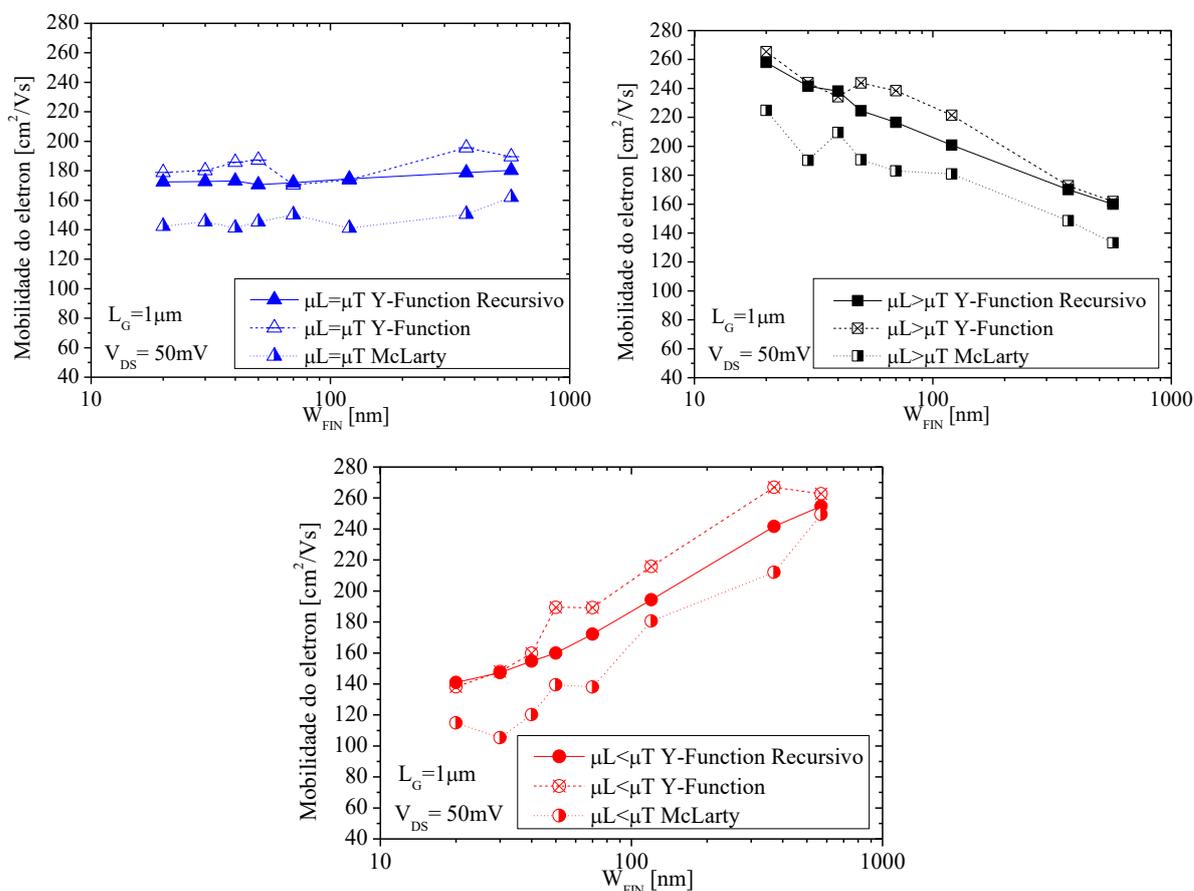


Fonte: Autor.

Caso a mobilidade do topo seja maior que a das laterais podemos ver que a curva tende a subir com o aumento de W_{FIN} . Como a mobilidade das laterais do dispositivo é pequena a mobilidade resultante é muito menor em dispositivos com W_{FIN} pequenos, já comparando com um FinFET de W_{FIN} largo, como a mobilidade do topo do canal é bem maior que a das laterais, a mobilidade total do transistor também será maior.

Agora assumindo que a mobilidade das paredes laterais é maior que a do topo do canal, podemos ver que a mobilidade geral tende a cair a medida que W_{FIN} aumenta, que pode ser associado ao fato, de que colocando a mobilidade lateral maior que a do topo, os dispositivos com W_{FIN} menores vão possuir uma mobilidade geral maior, devido a maior parte da condução de corrente ser pelas paredes laterais. E em dispositivos com W_{FIN} grandes, a mobilidade total cai devido a condução ser principalmente pelo topo do canal. Com a mobilidade das paredes laterais e do topo do canal iguais, a mobilidade geral tende a ficar constante com a variação de W_{FIN} .

Figura 74 - Mobilidade dos elétrons de transistores simulados para diferentes mobilidades nos planos de condução, extraído por diversos métodos de extração.



Fonte: Autor.

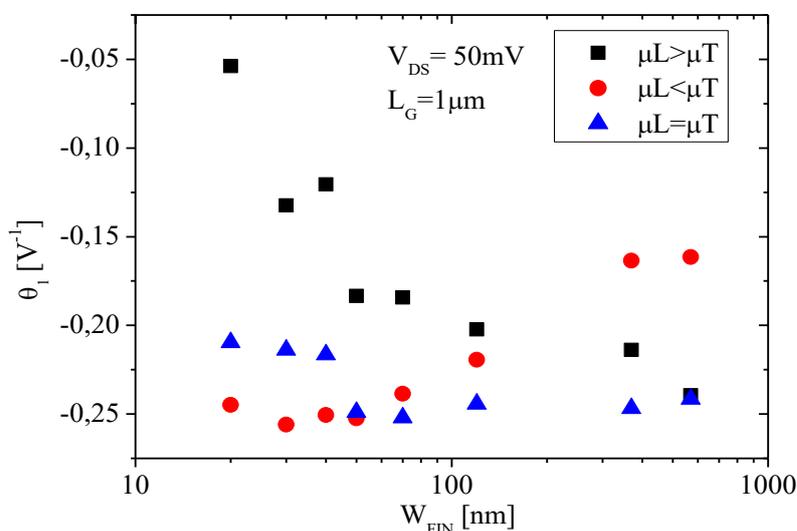
Também foram comparados com alguns outros métodos de extração, e podemos ver que todos mantêm a mesma tendência, porém, com valores distintos um do outro. Uma característica notável é que dentre os métodos de extração apresentados, apenas o método Y-Function com algoritmo recursivo mantém uma boa linearidade da mobilidade extraída em função de W_{FIN} , o que mostra uma boa estabilidade entre os valores extraídos com diversos W_{FIN} , caso que não ocorre com os outros métodos.

5.2.2 Coeficiente de degradação linear da mobilidade

Agora analisaremos a degradação linear da mobilidade, onde a figura 75 mostra os coeficientes da degradação linear em função de W_{FIN} . Lembrando que o parâmetro alterado para essas simulações é uma componente do espalhamento de rede. Pela figura podemos ver que para dispositivos simulados com as mobilidades do topo e das laterais iguais, podemos ver que a partir de $W_{FIN}=50\text{nm}$ o coeficiente θ_1 se mantém praticamente constante com valor de -0.25 e para W_{FIN} menores há um aumento nesse valor para -0.2 , isso se deve ao fato de que a parte 2D (18) do espalhamento de rede está associada ao campo elétrico, que é maior para W_{FIN} menores.

Para simulações em que a mobilidade do topo é maior que a das paredes laterais podemos ver que a tendência da curva é de aumentar a medida que W_{FIN} aumenta e nos dispositivos simulado com a mobilidade nas paredes laterais maiores que a do topo da aleta do FinFET, a tendência é que a medida que W_{FIN} aumenta θ_1 diminui, sendo esse o caso que mais se aproxima dos dispositivos experimentais.

Figura 75 - Coeficiente de degradação linear em função de W_{FIN} para dispositivos simulados.



Fonte: Autor.

Os parâmetros como θ_2 e ΔV_{TH} , que estão associados ao espalhamento por rugosidade de superfície, não foram alterados nessas simulações, por isso possuem valores muito próximos em função de W_{FIN} .

5.3 COMPARAÇÃO DOS RESULTADOS EXPERIMENTAIS COM OS RESULTADOS SIMULADOS.

Os FinFETs foram simulados para aletas de silício de 20nm a 70nm, a corrente de dreno obtida pelo simulador foi ajustada, para representarem as curvas dos FinFETs experimentais.

5.3.1 Dispositivos Tradicionais

A partir dessas curvas de corrente de dreno dos FinFETs tradicionais ajustados pelos parâmetros da tabela 6, foram extraídos os parâmetros relacionado com a mobilidade, pelo método Y-Function com algoritmo recursivo.

Tabela 6. Parâmetros utilizados para simulação dos FinFETs tradicionais.

Parâmetros	μ_{MAX} [cm^2/Vs]	C [$\text{cm}^{3/5}\text{V}^{-2/3}\text{s}^{-1}$]	δ [cm^2/Vs]
$\mu_{MÁX LATERAL}$	1100	2.15e4	6.5e14
$\mu_{MÁX TOPO}$	400	1.9e4	7.15e16

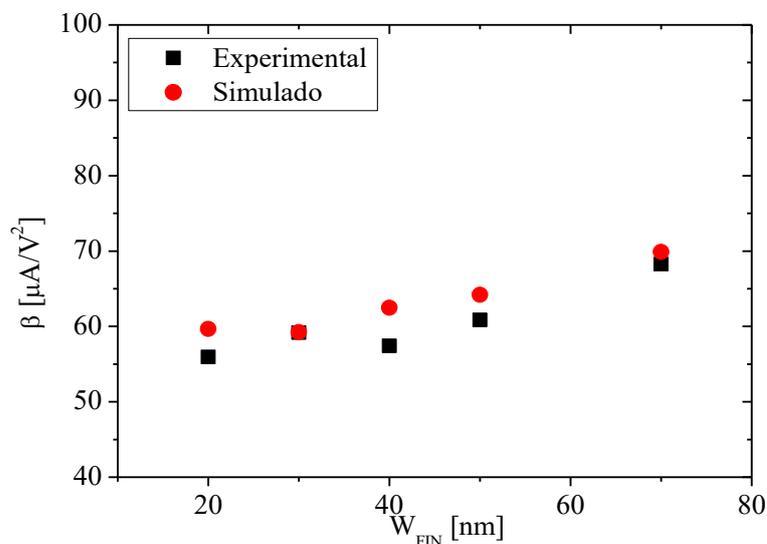
Fonte: Autor

A figura 76 mostra o fator de ganho dos transistores simulados comparado com o experimental, podemos ver que eles possuem valores bem parecidos, mostrando sua dependência com W_{FIN} . A partir desses valores de β a mobilidade pode ser extraída.

A figura 77 mostra a mobilidade extraída para os dispositivos experimentais e simulados para W_{FIN} menores que 70nm. A mobilidade extraída pelas curvas simuladas, mostram uma boa estabilidade dos resultados em função de W_{FIN} , porém nos experimentais isso não acontece, por isso as curvas foram calibradas para abranger a curva média da mobilidade em função de W_{FIN} dos FinFETs experimentais.

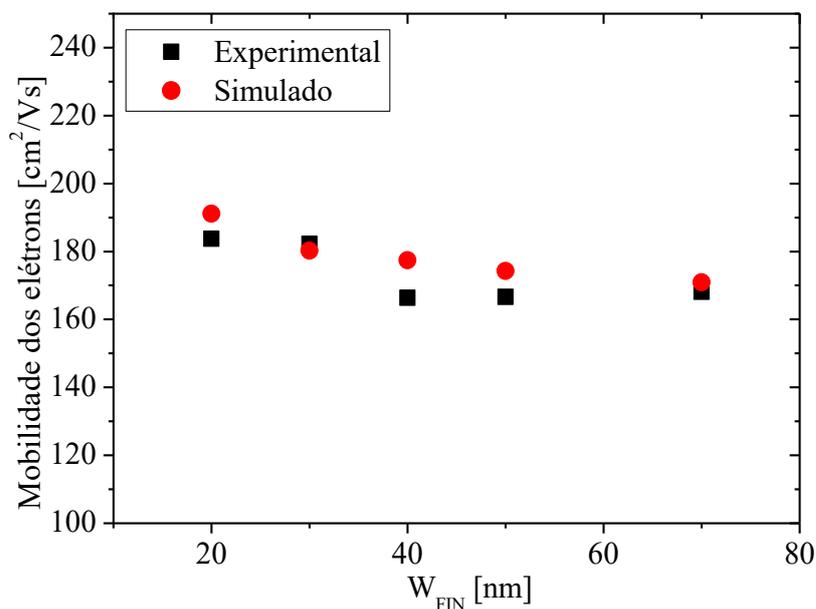
Podemos ver que os resultados obtidos possuem a mesma tendência dos experimentais e mostra, pelos parâmetros escolhidos para o topo e as laterais do canal, que quando a degradação da mobilidade do topo do canal é maior que a das paredes laterais, a mobilidade de baixo campo obtida, segue a mesma linha de resultados obtidos nos experimentais.

Figura 76 - Fator de ganho do FinFETs tradicionais simulados e experimentais com W_{FIN} de 20nm a 70nm.



Fonte:Autor.

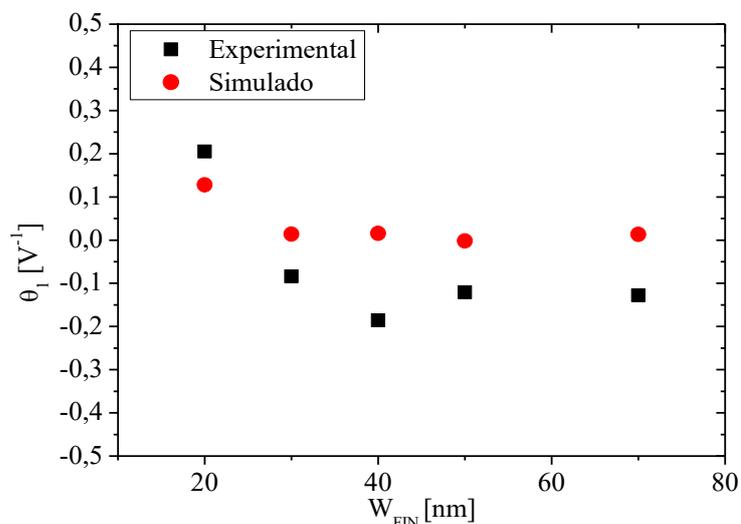
Figura 77 - Mobilidade dos elétrons simulada comparado com a do experimental para FinFETs tradicionais com W_{FIN} de 20nm a 70nm.



Fonte:Autor.

A figura 78 mostra o coeficiente de degradação linear dos dispositivos simulados com os experimentais. A curva mostra que os dispositivos simulados possuem a mesma tendência que os obtidos experimentalmente, sendo que apenas o transistor com W_{FIN} de 20nm possui um valor um pouco maior, já o restante dos transistores, possuem valores de θ_1 praticamente constante.

Figura 78 - Coeficiente de degradação linear da mobilidade simulado comparado com a do experimental para FinFETs tradicionais com W_{FIN} de 20nm a 70nm.



Fonte: Autor.

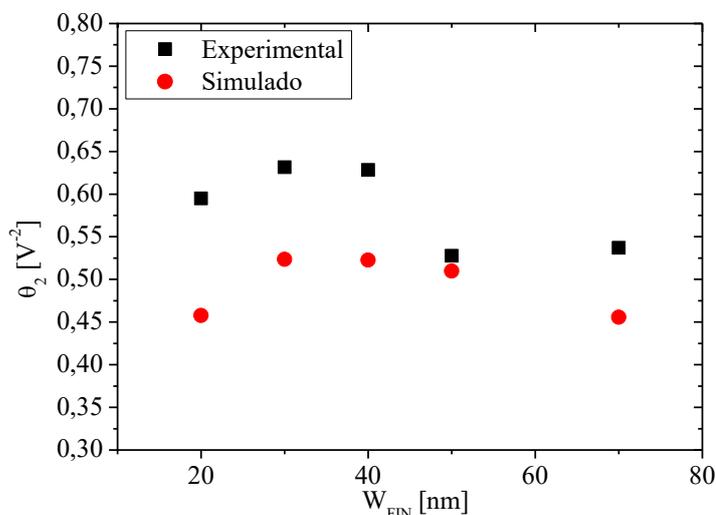
A figura 79 mostra o coeficiente de degradação quadrática da mobilidade dos dispositivos simulados com o experimental. A curva mostra que apesar da tendência ser a mesma os valores dos dispositivos simulados são um pouco menores que o do experimental. Podemos ver que para o menor valor de W_{FIN} há uma queda no espalhamento por rugosidade de superfície, logo seguido por um aumento para W_{FIN} de 30nm e a partir daí a medida que W_{FIN} aumenta o valor de θ_2 diminui. Isso mostra um aumento na mobilidade limitada pelo espalhamento da rugosidade de superfície do topo do canal.

Podemos ver que a extração dos parâmetros para os dispositivos simulados, há um aumento do θ_1 para grande parte dos dispositivos, já o θ_2 , mostra uma redução, comparado ao experimental. O que mostra que os dispositivos simulados subestimam a degradação do espalhamento por rugosidade de superfície dos experimentais. De forma que esses dois parâmetros são compensados para obter a degradação da mobilidade em função da tensão de porta.

A figura 80 mostra a mobilidade efetiva dos elétrons em função da carga de inversão extraída pelo método Split CV e pelo método Y-Function. Podemos ver que a diminuição da mobilidade em função do aumento de W_{FIN} pode ser visto nas curvas com ambos os métodos de extração. Vale ressaltar que a mobilidade extraída pelo método do Split CV possui valores um pouco maiores que os do Y-Function, sendo que resultados similares de simulação foram obtidos em (DAVANZZO, 2010), onde a mobilidade pelo método do Split CV é um pouco maior que a do método Y-Function quando o canal é grande.

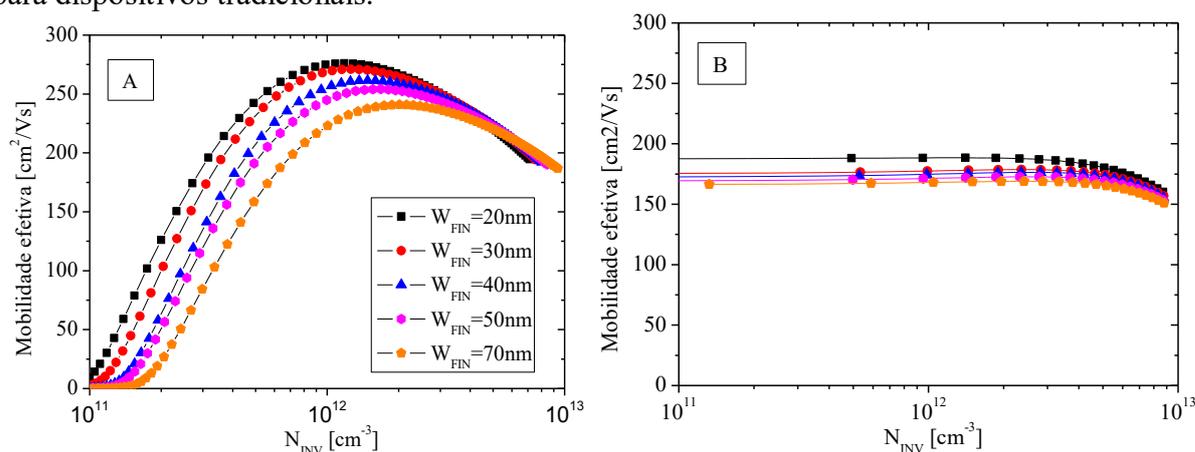
Também podemos ver que em altos valores de densidade de carga de inversão ambos os métodos se aproximam, tendendo ao mesmo valor de mobilidade em inversão forte.

Figura 79 - Coeficiente de degradação quadrática da mobilidade simulado comparado com o experimental para FinFETs tradicionais com W_{FIN} de 20nm a 70nm.



Fonte:Autor.

Figura 80 - Mobilidade efetiva dos elétrons em função da densidade de carga de inversão, para dispositivos tradicionais.



Fonte:Autor.

Nota: (A) extraída para o método Split CV e (B) pelo o método Y-Function.

5.3.2 Dispositivos Rotacionados

Da mesma forma foram simulados os dispositivos rotacionados para aletas de silício de 20nm a 70nm, onde a corrente de dreno obtida pelo simulador foi ajustada utilizando os parâmetros da tabela 7.

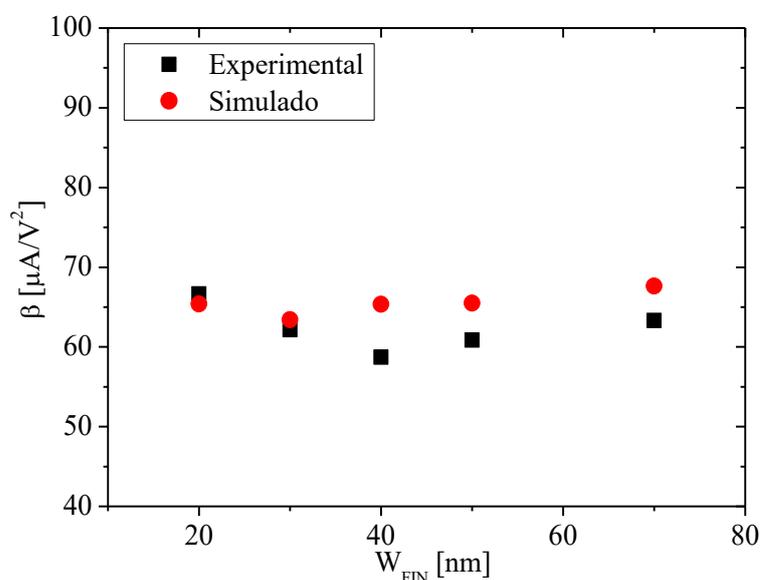
Tabela 7. Parâmetros utilizados para simulação dos FinFETs rotacionados.

Parâmetros	μ_{MAX} [cm ² /Vs]	C [cm ^{3/5} V ^{-2/3} s ⁻¹]	δ [cm ² /Vs]
μ_{MAX} Lateral	1400	2.3e4	1e15
μ_{MAX} Topo	400	5e3	7.15e16

Fonte: Autor

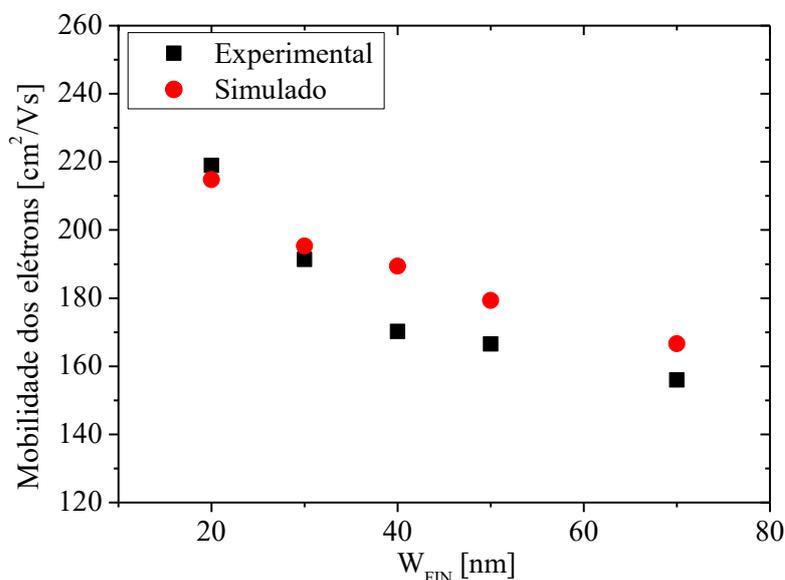
A figura 81 mostra o fator de ganho dos transistores em função de W_{FIN} , sendo as curvas simuladas comparadas as curvas experimentais, alguns dos valores são bem parecidos, mas podemos ver que alguns dos transistores simulados se afastam um pouco dos valores experimentais. Isso pode ser visto na figura 82 que mostra a mobilidade dos elétrons em função da largura da aleta de silício, onde os valores de mobilidade simulada correspondem a tendência média que a mobilidade experimental possui em função de W_{FIN} .

Figura 81 - Fator de ganho do FinFETs rotacionados simulados e experimentais com W_{FIN} de 20nm a 70nm.



Fonte:Autor.

Figura 82 - Mobilidade dos elétrons simulada comparado com a do experimental para FinFETs rotacionados com W_{FIN} de 20nm a 70nm.



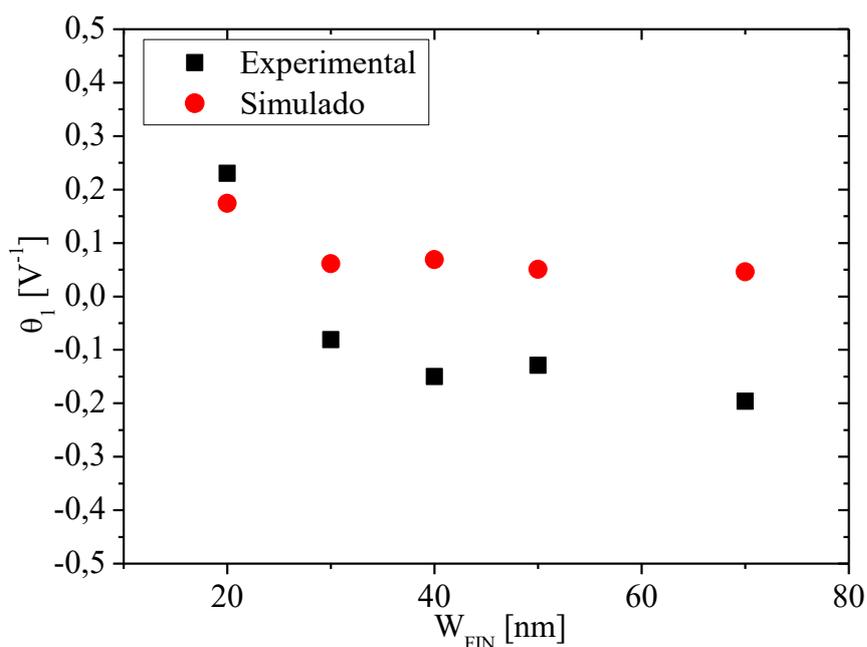
Fonte:Autor.

Vale apenas notar, que a queda da mobilidade com o aumento de W_{FIN} tem uma inclinação maior que a dos dispositivos tradicionais, o que mostra que há uma menor variação da corrente de dreno com o aumento de W_{FIN} para os dispositivos rotacionados.

A figura 83 mostra o coeficiente de degradação linear dos dispositivos simulados com o experimental. A curva mostra que os dispositivos simulados possuem a mesma tendência que os obtidos experimentalmente, que são bem similares aos dispositivos tradicionais, mostrando novamente que apenas o transistor com W_{FIN} de 20nm tem um valor um pouco maior e o restante dos transistores, mantém os valores de θ_1 que são praticamente constantes. Os valores simulados apresentam uma maior diferença entre os experimentais comparados aos valores obtidos pela simulação dos dispositivos tradicionais.

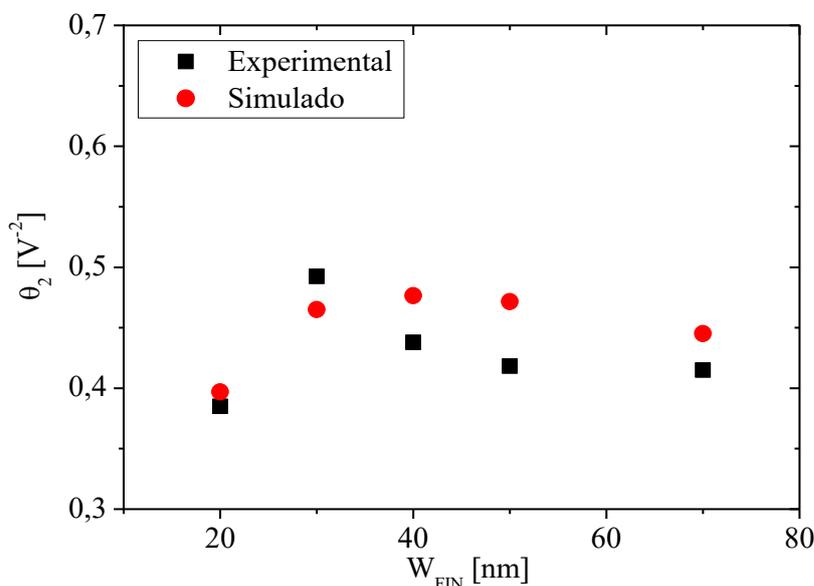
A figura 84 mostra o coeficiente de degradação quadrática da mobilidade dos dispositivos simulados com o experimental. A curva simulada possui a mesma tendência dos dispositivos experimentais, com pequenas diferenças nos valores, mas os parâmetros se aproximam bastante dos extraídos dos dispositivos experimentais. A curva mostra que a superfície do topo do canal é menos suscetível a influência da rugosidade de superfície a medida que W_{FIN} aumenta.

Figura 83 - Coeficiente de degradação linear da mobilidade simulada comparado com a do experimental para FinFETs rotacionados com W_{FIN} de 20nm a 70nm.



Fonte: Autor.

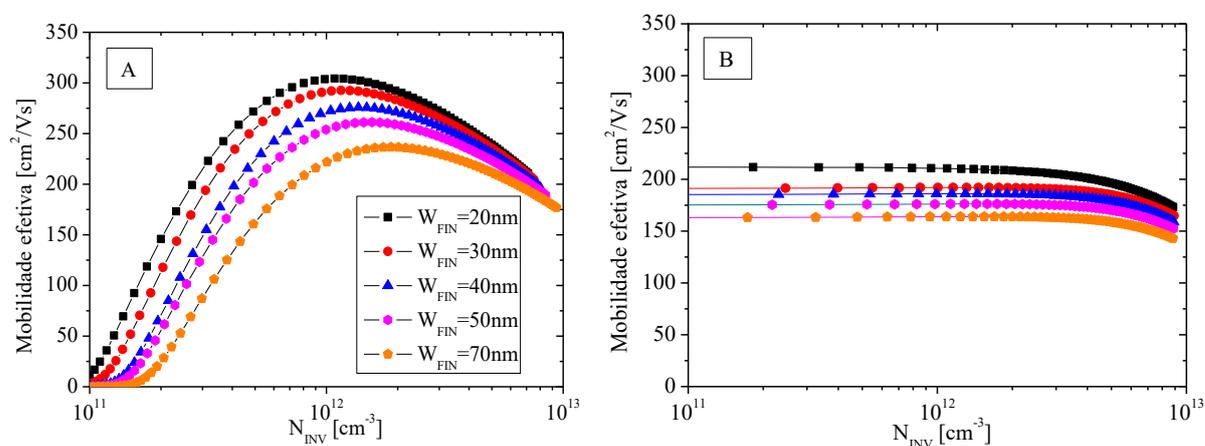
Figura 84 - Coeficiente de degradação quadrático da mobilidade simulado comparado com o experimental para FinFETs rotacionados com W_{FIN} de 20nm a 70nm.



Fonte:Autor.

A figura 85 mostra a comparação da mobilidade efetiva dos elétrons em função da densidade de carga de inversão, para W_{FIN} de 20nm a 70nm. Podemos ver que da mesma forma que os dispositivos tradicionais a mobilidade diminui com o aumento de W_{FIN} , para ambos os métodos de extração, que segue os dispositivos experimentais. Podemos também notar que a mobilidade, extraída pelo método Y-Function, para densidade de carga de inversão mais altas possui uma menor queda para W_{FIN} de 20nm o que mostra uma menor rugosidade de superfície adicionada pelos parâmetros da simulação que representa a menor influência desse espalhamento nas paredes laterais dos dispositivos rotacionados.

Figura 85- Mobilidade efetiva dos elétrons em função da densidade de carga de inversão para os dispositivos rotacionados.



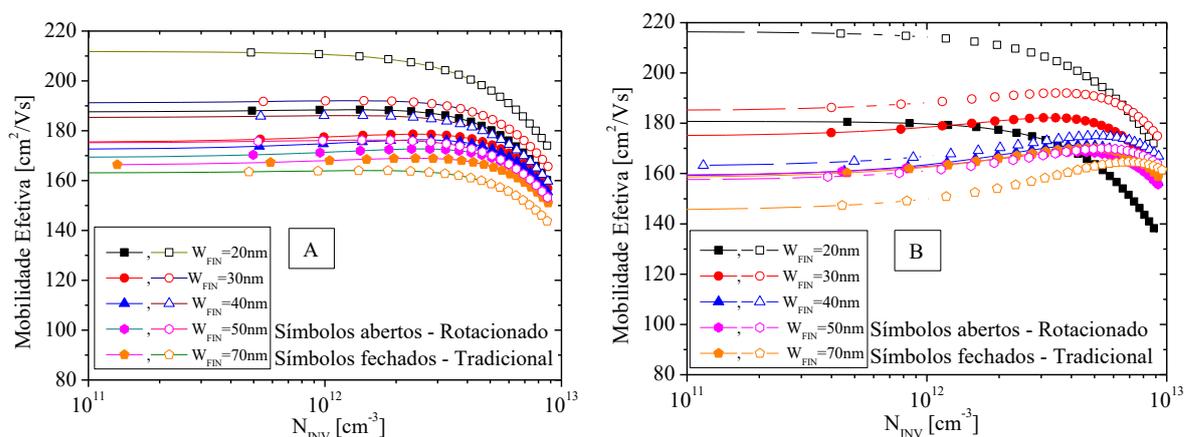
Fonte:Autor.

Nota: (A) extraída para o método Split CV e (B) pelo o método Y-Function.

5.3.3 Comparação entre os dispositivos rotacionados e tradicionais.

A figura 86 mostra a mobilidade efetivos dos elétrons em função da densidade de carga de inversão, extraída para o método Y-Function com algoritmo recursivo, mostrando a comparação dos dispositivos simulados e experimentais. Pelas curvas podemos analisar que a mobilidade de baixo campo extraída (valor de mobilidade em baixa densidade de carga de inversão) possuem em sua maioria valores similares aos experimentais, conforme visto pelos parâmetros de mobilidade extraídos anteriormente, uma diferença observada nessas curvas é a influência do parâmetro θ_1 que possui valores mais negativos nos experimentais do que nos simulado, o que causa na mobilidade dos elétrons, um aumento da mobilidade após a mobilidade de baixo campo, quando a densidade de carga de inversão tem valores medianos, antes da influência do parâmetro θ_2 em inversão forte.

Figura 86 - Mobilidade efetiva dos elétrons em função da densidade de carga de inversão extraída para o método Y-Function.



Fonte: Autor.

Nota: (A) dispositivos simulados e (B) dispositivos experimentais.

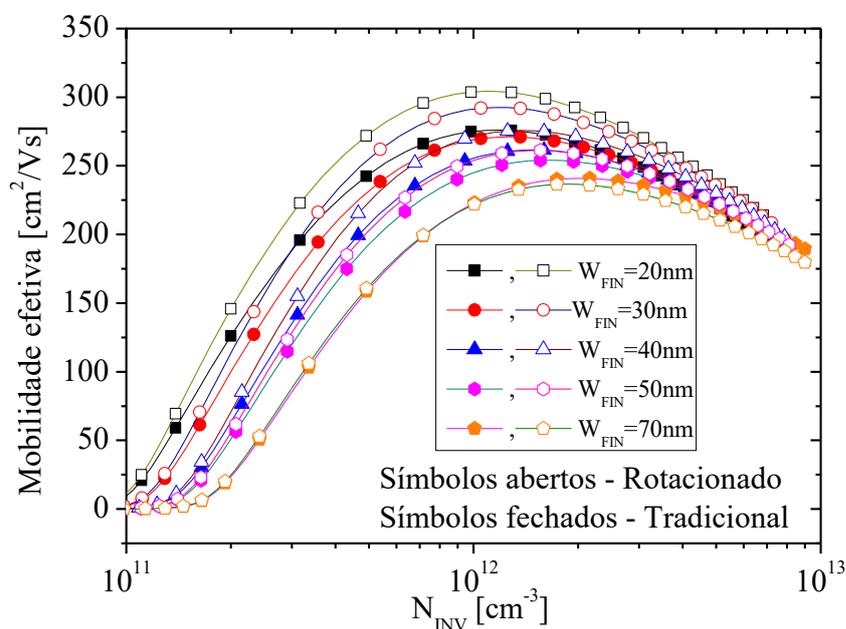
A figura 87 mostra uma simples comparação da mobilidade extraída, pelo método Split-CV, para dispositivos rotacionados e tradicionais simulados em função da densidade de carga de inversão. Podemos perceber que a mobilidade máxima da curva segue os valores obtidos para o método Y-function, o que mostra que, independentemente do método a tendência da curva se mantém a mesma.

Essas simulações, tanto para os dispositivos experimentais quanto para os dispositivos rotacionados, mostraram uma grande semelhança com os valores extraídos para β e da mobilidade de baixo campo, já para a degradação da mobilidade a medida que W_{FIN} aumenta há uma redução da influência da rugosidade de superfície, que para a simulação é abordada

pelo parâmetro δ , notamos que esse parâmetro pode saturar (mesmo com o aumento desse valor a corrente de dreno não aumenta mais em inversão forte), e com isso não chega a representar a corrente em alto campo elétrico de alguns dispositivos com W_{FIN} maiores.

A partir da mobilidade de baixo campo extraídas dessas simulações, podemos entender que a mobilidade da lateral deve ser maior que a do topo do canal, o que leva a mobilidade a diminuir a medida que W_{FIN} aumenta, observado nos dispositivos experimentais, que é diferente do que é normalmente encontrado na literatura.

Figura 87 – Comparação da mobilidade efetiva dos elétrons em função da densidade de carga de inversão dos dispositivos simulados tradicionais e rotacionados.



Fonte: Autor.

6 CONCLUSÕES E TRABALHOS FUTUROS

Pelos dados analisados nesse trabalho podemos concluir que a orientação cristalográfica tem uma importância muito grande nas características elétricas dos dispositivos de múltiplas portas, em que a mudança de plano de condução afeta principalmente a mobilidade e seus parâmetros associados ao espalhamento de portadores, o que gera diferenças de corrente elétrica nesses diferentes planos.

A extração dos parâmetros elétricos foi realizada utilizando, principalmente, o método Y-Function onde, o mesmo foi aprimorado por um algoritmo recursivo em que melhora a extração da mobilidade, sendo extraído por esse método a tensão de limiar, a mobilidade, e os coeficientes de degradação linear e quadrático da mobilidade.

Com a fabricação de transistores FinFETs com rotação do substrato, os planos de condução ficam todos $\{100\}$. Já para os dispositivos fabricados em substrato tradicional, tem orientação $\{110\}$ nas paredes laterais. Foi verificado que, de fato, em transistores com largura da aleta pequena, há uma diferença da mobilidade de até 15% para os FinFETs com W_{FIN} de 20nm, onde em dispositivos rotacionados a mobilidade é bem maior que a mobilidade em dispositivos tradicionais, já com largura da aleta de silício grande as mobilidades tendem a ficar iguais. Para esses dispositivos, podemos concluir também pelo coeficiente de degradação linear da mobilidade, que os dispositivos sofrem com espalhamento Coulomb, sendo atribuído às armadilhas de interface produzidas pelo material *high-K*. Também foi possível ver que a orientação cristalográfica influencia no espalhamento de rede desses dispositivos. Analisando o coeficiente de degradação quadrática da mobilidade pudemos perceber que os dispositivos rotacionados sofrem menos pelo espalhamento de rugosidade de superfície comparado aos dispositivos tradicionais.

O mesmo processo de fabricação foi feito agora para lâminas com silício tensionado mecanicamente, e conseguimos analisar o efeito que a tensão mecânica tem na orientação cristalina do silício. Foi visto que a mobilidade aumenta para ambos os dispositivos, porém a mobilidade aumenta bem mais para dispositivos fabricados em substrato tradicional, de 40 a 60% dependendo do W_{FIN} , e nos FinFETs fabricados em substratos rotacionados, de 20 a 40% dependendo do W_{FIN} . Comparando a diferença de mobilidade dos dispositivos tensionados, os FinFETs tradicionais têm entre 20 a 35% de aumento para W_{FIN} pequenos em comparação ao dispositivo rotacionado, sendo similares para W_{FIN} maiores. Na orientação $\{100\}$ as componentes de tensão mecânica acabam se anulando, o que torna o efeito da tensão mecânica muito menor, afetando principalmente os dispositivos rotacionados. Foi constatado

que a tensão mecânica também aumenta a rugosidade de superfície de dispositivos rotacionados e que diminui nos dispositivos com substrato em orientação tradicional.

Através de simulações tri-dimensionais foram estudadas as mesmas características desses FinFETs assumindo a mobilidade de topo e das laterais do canal com diversos valores, com o objetivo de reproduzir os dados experimentais, com e sem a rotação do substrato. Então foram feitas simulações para representar os FinFETs experimentais e representar seus parâmetros através de simulação. Desse estudo pode-se entender que a mobilidade dos dispositivos experimentais se aproxima mais com a dos FinFETs simulados com mobilidade lateral maior que a do topo da aleta de silício. Logo essa menor mobilidade no topo do canal, nos FinFETs experimentais, pode estar associada ao processo de fabricação, o que nos leva a uma mobilidade total que tem valores maiores para dispositivos com W_{FIN} pequeno e menores para W_{FIN} grande.

Analisando todos esses fatores pudemos concluir, que o melhor é o uso de FinFETs com menores largura da aleta de silício, sendo que o uso de FinFETs rotacionados tem grande vantagem em tecnologias sem a utilização de tensão mecânica, porém em processos com tensão mecânica o uso de FinFETs fabricados em substrato tradicional gera um dispositivo que produz maior mobilidade, logo sendo a melhor opção nesse caso.

Para os trabalhos futuros, pode ser feita uma análise em função da temperatura para analisar individualmente a influência da degradação da mobilidade, separando o espalhamento de rede, Coulomb e por rugosidade de superfície de acordo com a faixa de temperatura utilizada e verificar a influência do espalhamento por Coulomb remoto.

Da mesma forma utilizar as simulações tridimensionais para analisar o efeito da temperatura e analisar através de simulações o efeito da tensão mecânica nos dispositivos fabricados com rotação do substrato.

REFERENCIAS

BARDEEN J., BRATTAIN W. H. The transistor, a semiconductor Triode. **Physical Review**. 1948. Vol. 74. Disponível em: <http://journals.aps.org/pr/abstract/10.1103/PhysRev.74.230>. Acessado em: 15 ago. 2015.

BONNO O. et al. High-Field Electron Mobility in Biaxially-tensile Strained SOI: Low Temperature Measurement and Correlation with the Surface Morphology. **IEEE Symposium on VLSI Technology**. 2007. pp. 134-135. Disponível em: http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=4339757&url=http%3A%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D4339757. Acessado em: 15 ago. 2015.

CLAEYS C. et al. Impact strain engineering on gate stack quality and reliability. **Solid-State Electronics**. 2008. pp. 1115–1126. Disponível em: <http://www.sciencedirect.com/science/article/pii/S0038110108001482>. Acessado em: 10 jan. 2016.

COHEN M. L. e BERGSTRESSER T. K. Band Structures and Pseudopotential Form Factors for Fourteen Semiconductors of Diamond and Zinc-blende Structures. **Physical Review**. 1966. Vol. 141. pp. 789-796. Disponível em: <http://journals.aps.org/pr/abstract/10.1103/PhysRev.141.789>. Acessado em: 17 out. 2015.

COLINGE J. P. et al. Silicon-on-Insulator gate-all-around device. **Technical Digest of IEDM**. 1990. Vol. 595. Disponível em: http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=237128&url=http%3A%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D237128. Acessado em: 17 ago. 2015.

COLINGE J. P. and COLINGE C. A. *Physics of Semiconductor Devices*. Springer, 2002.

COLINGE J. P. *FinFETs and other Multi-Gate Transistors*. Springer, 2008.

COLINGE J. P. Multi-gate SOI MOSFETs. **Microelectronic Engineering**. 2007. Vol. 84. pp. 2071-2076. Disponível em: <http://www.sciencedirect.com/science/article/pii/S0038110103004441>. Acessado em: 15 out. 2015.

COLINGE J. P. Silicon-on-Insulator Technology Materials to VLSI. Springer, 1997.

COLLAERT N. et al. Performance Enhancement of MUGFET Devices Using Super Critical Strained-SOI (SC-SSOI) and CESL. **Digest of Technical Papers VLSI Technology**, 2006. pp 52 - 53. Disponível em: <http://ieeexplore.ieee.org/xpl/abstractAuthors.jsp?arnumber=1705212>. Acessado em: 10 out. 2015.

CRISTOLOVEANU S., LI S. S. Electrical Characterization of Silicon-on Insulator Materials and Devices. Boston Kluwer Academic, 1995.

DAVANZZO C. Estudo da mobilidade em dispositivos planares e de multiplas portas. Tese. 2010. Disponível em: <http://www.teses.usp.br/teses/disponiveis/3/3140/tde-10012011-093657/pt-br.php>. Acessado em: 10 set. 2015.

DIXIT A. et al. Analysis of the Parasitic S/D Resistance in Multiple-Gate FETs. **IEEE Electron Device Society**. Junho 2005. pp. 1132-1140. Disponível em: <http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=1433106&url=http%3A%2F%2Fieeexplore.ieee.org%2Fiel5%2F16%2F30901%2F01433106.pdf%3Farnumber%3D1433106>. Acessado em: 12 set. 2015.

DORIA R. T. et al. Low-frequency noise of n-type triple gate FinFETs fabricated on standard. **Solid-State Electronics**. 2013. pp. 121-126. Disponível em: <http://www.sciencedirect.com/science/article/pii/S0038110113001032>. Acessado em: 07 out. 2015.

FERAILLE M. Low-field mobility in Strained Silicon with 'Full Band' Monte Carlo simulation using k.p and EPM Bandstructure. **International Conference on Simulation of Semiconductor Process and Devices**. 2006. pp. 264-266. Disponível em: <http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=4061629&url=http%3A%2F%2Fieeexplore.ieee.org%2Fiel5%2F4061562%2F4061563%2F04061629.pdf%3Farnumber%3D4061629>. Acessado em: 22 out. 2015.

FLEURY D. et al. New Y -Function-Based Methodology for Accurate Extraction of Electrical Parameters on Nano-Scaled MOSFETs. **IEEE Conference on Microelectronic Test Structures**. March 2008. Disponível em: <http://ieeexplore.ieee.org/xpl/article>

Details.jsp?arnumber=4509332&newsearch=true&queryText=New%20Y%20FunctionBased%20Methodology%20for%20Accurate%20Extraction%20of%20Electrical%20Parameters%20on%20Nano-Scaled%20MOSFETs. Acessado em: 12 ago. 2015.

GÁMIZ F., DONETTI L., RODRIGUEZ N. Anisotropy of Electron Mobility in Arbitrarily Oriented. **37th European Solid State Device Research Conference (ESSDERC)** 2007. pp 378-381. Disponível em: <http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=4430957&newsearch=true&queryText=Anisotropy%20of%20Electron%20Mobility%20in%20Arbitrarily%20Oriented>. Acessado em: 12 ago. 2015.

GHIBAUDO G. New method for the extraction of mosfet parameters. **Electronics Letters**. 1988. pp. 543-545. Disponível em: <http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=19558&url=http%3A%2F%2Fieeexplore.ieee.org%2Fiel1%2F2220%2F776%2F00019558>. Acessado em: 12 ago. 2015.

HE G. et al. Integration and challenges of novel high-k gate stacks in advanced CMOS technology. **Progress in Materials Science**. 2011. Vol. 56. pp. 475-572. Disponível em: <http://www.sciencedirect.com/science/article/pii/S0079642511000132>. Acessado em: 27 set. 2015.

HIRAMOTO T. Nano-scale silicon MOSFET: towards non-traditional and quantum devices. **IEEE International SOI Conference Proceedings**. 2001. pp 8-10. Disponível em: <http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=957959&newsearch=true&queryText=Nanoscale%20silicon%20MOSFET:%20towards%20nontraditional%20and%20quantum%20devices>. Acessado em: 27 set. 2015.

HISAMOTO D., KAGA T., KAWAMOTO Y. A fully depleted lean-channel transistor (DELTA)-a novel vertical ultra thin SOI MOSFET. **Technical Digest of IEDM**. 1989. pp. 833. Disponível em: <http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=74182&newsearch=true&queryText=A%20fully%20depleted%20leanchannel%20transistor%20.LB.DELTA.RB.a%20novel%20vertical%20ultra%20thin%20SOI%20MOSFET>. Acessado em: 15 ago. 2015.

HUANG X. et al. Sub 50-nm FinFET: PMOS. **Technical Digest of IEDM**. 1999. Vol. 67. pp 67-70. Disponível em: <http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=823848&newsearch=true&queryText=Sub%2050-nm%20FinFET:%20PMOS>. Acessado em: 18 ago. 2015.

JACOBONI C., LUIGI P. The Monte Carlo Method for Semiconductor Devices Simulation. Springer, 1989.

JIAO Z. e SALAMA A. T. A Fully Depleted Delta Channel SOI NMOSFET. **Electrochemical Society Proceedings**. 2001. pp 833-836. Disponível em: https://books.google.com.br/books?id=fpZ7MZ2lnBgC&redir_esc=y&hl=pt-BR. Acessado em: 12 ago. 2015.

JEON. D. S., BURK D. E. MOSFET electron inversion layer mobilities - a physically based semi-empirical model for a wide temperature range. **IEEE Transactions on Electron Devices**. 1989. Vol. 36. pp. 1456-1463. Disponível em: <http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=30959&newsearch=true&queryText=MOSFET%20electron%20inversio%20layer%20mobilities%20%20a%20physically%20based%20semiempirical%20model%20for%20a%20wide%20temperature%20range>. Acessado em: 06 set. 2015.

JINDAL R. P. Hell's Bells laboratory. **IEEE Electron Device Society**. 2001. Vol. 48. pp. 2453- 2454 . Disponível em: <http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=960366&newsearch=true&queryText=Hell%27s%20Bells%20laboratory>. Acessado em: 20 ago. 2015.

JURCZAK M. et al. Silicon-on-Nothing (SON)-an innovative process for advanced CMOS. **IEEE Transactions on Electron Devices**. 2000. Vol 47. pp 2179-2187. Disponível em: <http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=877181&url=http%3A%2F%2Fieeexplore.ieee.org%2Fiel5%2F16%2F18988%2F00877181.pdf%3Farnumber%3D877181>. Acessado em: 12 jan. 2016.

KAHNG D. Electric field controlled semiconductor device [Patent]. 1960. Disponível em: <http://www.google.com/patents/US3102230>. Acessado em: 12 ago. 2015.

KANG C. Y. et al. A Novel Electrode-Induced Strain Engineering for High Performance SOI FinFET utilizing Si (110) Channel for Both N and PMOSFETs. **Electron Devices Meeting**, 2006. IEDM '06. International. 2006. pp. 1-4. Disponível em: http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=4154359&url=http%3A%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D4154359. Acessado em: 18 ago. 2015.

KIMURA S. Prospect of the Si semiconductor devices in Nanometer Era. **Hitachi Review**. 2003. Disponível em: http://www.hitachi.com/rev/pdf/2005/r2005_01_101.pdf. Acessado em: 07 set. 2015.

KLAASSEN D. B. D. A Unified Mobility Model for Device Simulation- I. Model Equations and Concentration Dependence. **Solid-State Electronics**. 1992. pp. 953-959. Disponível em: <http://www.sciencedirect.com/science/article/pii/0038110192903257>. Acessado em: 12 out. 2015.

KUHN K. J. Moore's Law past 32nm: Future Challenges in Device Scaling . **13th International Workshop on Computational Electronics IWCE'09**. 2009. Disponível em: <http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=5091124&newsearch=true&queryText=Moore%27s%20Law%20past%2032nm:%20Future%20Challenges%20in%20Device%20Scaling>. Acessado em: 16 out. 2015.

KUHN K. J. CMOS technology beyond 22nm: where can silicon take us ?. Apresentação. Berkley 2008. Disponível em: http://cnna2010.itk.ppke.hu/CNNA_2010/CNNA_2010_%E2%80%93_Invited_speakers_Plenary_sessions_files/Kuhn%20CNNA%20keynote%20.pdf. Acessado em: 27 fev. 2016.

LEE J. W. et al. Mobility analysis of surface roughness scattering in FinFET devices. **Solid-State Electronics**. 2011. pp. 195-201. Disponível em: http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=1483183&url=http%3A%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D1483183. Acessado em: 10 ago. 2015.

LIM H. K., FOSSUM J. G. Threshold voltage of thin-film silicon-on-insulator SOI MOSFETs **IEEE Trans. Electron Devices**. 1983. pp. 1244–1251. Disponível em: http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=1483183. Acessado em: 25 ago. 2015.

LIU C. W., MAIKAP S., YU C. -Y. Mobility enhancement technologies. **IEEE CIRCUITS & DEVICES MAGAZINE**. 2005. pp. 21-36. Disponível em: <http://ieeexplore.ieee.org/xpl/abstractKeywords.jsp?arnumber=1438752> . Acessado em: 12 out. 2015.

LIU Y. et al. Ideal rectangular cross-section Si-Fin channel double-gate MOSFETs fabricated using orientation-dependent wet etching. **IEEE Electron Device Letters**. 2003. Vol 24. pp 484-486. Disponível em: <http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=1217305&url=http%3A%2F%2Fieeexplore.ieee.org%2Fiel5%2F55%2F27369%2F01217305.pdf%3Farnumber%3D1217305>. Acessado em: 13 out. 2015.

LOMBARDI C. et al. A Physically Based Mobility Model for Numerical Simulation of Nonplanar Devices. **IEEE Transactions On Computer-Aided Design**. November. 1988. pp. 1164-1171. Disponível em: <http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=9186&url=http%3A%2F%2Fieeexplore.ieee.org%2Fiel1%2F469%2F00009186>. Acessado em: 18 ago. 2015.

LUNDSTROM M. Fundamentals of Carrier Transport. Cambridge University Press, 2000.

MARTINO J. A., PAVANELLO M. A., VERDONK P. B. Caracterização Elétrica de Tecnologia e Dispositivos MOS. Pioneira Thomsom Learning LTDA, 2003.

MCGINN A. Electrical Characterisation of Strained Silicon devices. Tese. 2006. https://www2.warwick.ac.uk/fac/sci/physics/research/condensedmatt/silicon/papers/theses/andy_mcginn_msc_thesis.pdf. Disponível em: . Acessado em: 25 out. 2015.

McLARTY P. K. et al. A simple parameter extraction method for ultra-thin oxide mosfets. **Solid-State Electronics**. 1995. pp. 1175-1177. Disponível em: <http://www.sciencedirect.com/science/article/pii/003811019400248E>. Acessado em: 18 ago. 2015.

MIYANO S., HIROSE M. e MASUOKA F. Numerical analysis of a cylindrical thin-pillar transistor (CYNTHIA). **IEEE Transactions on Electron Devices**. 1992. Vol 39. pp 1876-1881. Disponível em: <http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=144678&url=http%3A%2F%2Fieeexplore.ieee.org%2Fiel1%2F16%2F3872%2F00144678>. Acessado em: 22 ago. 2015.

MUJTABA S. A. Advanced mobility models for design and simulation of deep submicrometer mosfets. Tese, 1995. Disponível em: <http://www-tcad.stanford.edu/tcad/pubs/theses/aonthesis.pdf>. Acessado em: 12 ago. 2015.

PARK J. T. e COLINGE J. P. Multiple-gate SOI mOSFETs: device design guidelines. **IEEE Transactions on Electron Devices**, 2002.Vol 49. pp 2222-2229. Disponível em: http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=1177988&url=http%3A%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D1177988. Acessado em: 17 ago. 2015.

PAVANELLO M. A. et al. Analog performance of standard and strained triple-gate silicon-on-insulator nFinFETs. **Solid-State Electronics**. 2008. pp. 1904–1909. Disponível em: <http://www.sciencedirect.com/science/article/pii/S003811010800302X>. Acessado em: 29 ago. 2015.

PAVANELLO M. A. et al. Cryogenic operation of FinFETs aiming at analog applications. **Cryogenics**. 2009. pp. 590-594. Disponível em: <http://www.sciencedirect.com/science/article/pii/S0011227508002191>. Acessado em: 12 ago. 2015.

POIROUX T. et al. Multiple gate devices: advantages and challenges. **Microelectronic Engineering**. 2005. pp. 378-385. Disponível em: <http://www.sciencedirect.com/science/article/pii/S0167931705002340>. Acessado em: 12 nov. 2015.

ROBERTSON J. e WALLACE R. M. High-K materials and metal gates for CMOS applications. **Materials Science and Engineering**. 2015. Vol. 88. pp. 1-41. Disponível em: <http://www.sciencedirect.com/science/article/pii/S0927796X14001168>. Acessado em: 12 jan. 2016.

RUDENKO T. et al. Effective mobility in FinFET structures with HfO₂ and SiON gate dielectrics and TaN gate electrode. **Microelectronic Engineering**. 2005. pp. 386–389. Disponível em: <http://www.sciencedirect.com/science/article/pii/S0167931705001644> . Acessado em: 13 ago. 2015.

SAH C. T. Evolution of the MOS Transistor - From Conception to VLSI. **Proceedings of the IEEE**. Outubro 1988. pp. 1280-1326. Disponível em: http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=16328&url=http%3A%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D16328. Acessado em: 04 out. 2015.

SAKURAI T., MATSUZAWA A., DOUSEKI T. Fully-Depleted SOI CMOS Circuits and Technology for Ultralow-Power Applications. Springer, 2006.

SCHENK A. Advanced Physical Models for Silicon Device Simulation. Springer- Verlag Wien GmbH, 1998.

SEKIGAWA T., HAYASHI Y. Calculated threshold-voltage characteristics of an X MOS transistor having an additional bottom gate. **Solid-State Electronics**. 1984. Vol. 27. p. 827. Disponível em: <http://www.sciencedirect.com/science/article/pii/0038110184900364>. Acessado em: 15 ago. 2015.

SHOCKLEY M., SPARKS M., TEAL G. K. p-n junction transistor. **Physical Review**. 1951. Vol. 83. - pp. 151-162. Disponível em: <http://journals.aps.org/pr/abstract/10.1103/PhysRev.83.151>. Acessado em: 24 set. 2015.

SODINI C. G., EKSEDT T. W., MOLL J. L. Charge accumulation and mobility in thin dielectric MOS transistors. **Solid-State Electronics**. 1982. Vol. 25. pp. 833–841. Disponível em: <http://www.sciencedirect.com/science/article/pii/0038110182901708>. Acessado em: 05 out. 2015.

SOUSA M. A. S. de. et al. Influence of 45° Substrate Rotation on the Analog Performance of Biaxially Strained Silicon SOI MuGFETs. **The Electrochemical Society**. 2013. Disponível em: <http://ma.ecsdl.org/content/MA2013-01/21/889.full.pdf+html>. Acessado em: 22 out. 2015.

SOUSA M. de. et al. Impact of Substrate Rotation and Temperature on the Mobility and Series Resistance of Triple-Gate SOI nMOSFETs. **The Electrochemical Society**. 2011. Disponível em: <http://ecst.ecsdl.org/content/39/1/223.abstract?relatedurls=yes&legid=ecst;39/1/223>. Acessado em: 25 set. 2015.

STREETMAN B. e BANERJEE S. Solid State Electronic Devices. Prentice Hall. 2003.

SVERDLOV V. Strain-Induced Effects in advanced MOSFET. Springer, 2011.

SYNOPSYS. Sentaurus Device User Guide. 2013.

TAKAGI S. I. et al. Sub-band structure engineering for advanced CMOS channels. **Solid-State Electronics**. 2005. pp. 684–694. Disponível em: <http://www.sciencedirect.com/science/article/pii/S003811010500033X>. Acessado em: 14 out. 2015.

TANIMOTO H. et al. Modeling of electron mobility degradation for HfSiON MISFETs. **International Conference on Simulation of Processes and Device**. 2006. pp 47-50. Disponível em: http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=4061578&url=http%3A%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D4061578. Acessado em: 19 set. 2015.

TSORMPATZOGLOU A., TASSIS D. H., DIMITRIADIS C. A. Analytical threshold voltage model for lightly doped short-channel tri-gate MOSFETs. **Solid-State Electronics**. 2011. Vol. 3. pp. 31-34. Disponível em: <http://www.sciencedirect.com/science/article/pii/S0038110110003813>. Acessado em: 22 ago. 2015.

XIE Q., LEE C. J., XU J. Comprehensive analysis of shortchannel effects in ultrathin SOI MOSFETs. **IEEE Transactions on Electron Devices**. 2013. pp. 1814-1819. Disponível em: <http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=6506100&url=http%3A%2F%2Fieeexplore.ieee.org%2Fiel7%2F16%2F6516920%2F06506100.pdf%3Farnumber%3D6506100>. Acessado em: 16 set. 2015.

XIONG W. et al. Impact of Strained-Silicon-on-Insulator (sSOI) Substrate on FinFET Mobility. **IEEE Electron Device Letters**. 2006. pp. 612-614. Disponível em: http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=1644843&url=http%3A%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D1644843. Acessado em: 14 ago. 2015.

YANG F. L. et al. 25 nm CMOS Omega FETs. **Technical Digest of IEDM**. - 2002. pp.255-258 Disponível em: http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=1175826&url=http%3A%2F%2Fieeexplore.ieee.org%2Fexpls%2Fabs_all.jsp%3Farnumber%3D1175826.

Acessado em: 25 out. 2015

YUN S. R. N. et al. Quantum-mechanical effects in nanometer scale MuGFETs. **Microelectronic Engineering**. 2008. Vol. 85. pp. 1717-1722. Disponível em: <http://www.sciencedirect.com/science/article/pii/S0167931708001858?np=y>. Acessado em: 26 out. 2015.

ZEITZOFF P. M. et al. Correcting effective mobility measurements for the presence of significant gate leakage current. **IEEE Electron Devices Society**. 2003. Vol. 24. pp 275-277. Disponível em: <http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=1206862&url=http%3A%2F%2Fieeexplore.ieee.org%2Fiel5%2F55%2F27161%2F01206862.pdf%3Farnumber%3D1206862>. Acessado em: 28 out. 2015.

APÊNDICE A - Trabalhos publicados

RIBEIRO T. A.; PAVANELLO M. A. **Study of low-field mobility on SOI n-FinFETs with standard and rotated substrate orientations.** Workshop on Semiconductors and Micro & Nano Technology (SEMINATEC), 2015, São Paulo. Proceedings pp. 1-2. Disponível em: http://fei.edu.br/seminatec2015/proceedings_seminatec_2015.pdf. Acessado em: 12 ago. 2015.

RIBEIRO T. A.; CLAEYS C., SIMOEN E., MARTINO J. A., PAVANELLO M. A. **Detailed analysis of transport properties of FinFETs through Y-Function method: effects of substrate orientation and strain.** International Symposium on Microelectronics Technology and Devices (SBMicro), 2015, Salvador, Bahia. Proceedings pp.1-4. Disponível em: <http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=7298145>. Acessado em: 12 ago. 2015.

APÊNDICE B - Arquivo da estrutura do Sentarus Structutre Editor

```

=====
(sde:clear)
=====

;Definições

(define Wfin_um (/ @Wfin@ 1000))
(define Wfin Wfin_um) ; [um]
(define Hfin 0.065) ; [um]
(define Lfin 1.2) ; [um]
(define Lfonte 0.1) ; [um]
(define tox 0.0017) ; [um] only sio2 interface
(define tbox 0.150) ; [um]
(define Wbox 1) ; [um]
(define SubDop 1e15) ; [1/cm3]
(define DrenoFonteDop 5e20) ; [1/cm3]
(define HardMask 1)
(define DopSub "BoronActiveConcentration")
(define DopSD "ArsenicActiveConcentration")
(define RefW1 (/ Wfin 20))

(if(< Wfin 0.06)
(begin
(define xgridmax 0.00025)
(define n (- (/ (* (/ Wfin 2) 1000) 0.25) 1))
)
(begin
(define xgridmax 0.00025)
(define n 125)
))

=====

;Geometria

(define r1 (sdegeo:create-cuboid (position (/ Wfin 2) Lfonte Hfin ) (position (- (/ Wfin 2)) (- Lfin Lfonte)
0)"Silicon" "canal"))
(define r2 (sdegeo:create-cuboid (position (- (/ Wfin 2)) 0 0) (position (/ Wfin 2) Lfonte Hfin )"Silicon" "fonte"))
(define r3 (sdegeo:create-cuboid (position (- (/ Wfin 2)) (- Lfin Lfonte) 0) (position (/ Wfin 2) Lfin Hfin)
"Silicon" "dreno"))

(define r10 (sdegeo:create-polygon (list
(position (/ Wfin 2) Lfonte Hfin )
(position (/ Wfin 2) Lfonte 0 )
(position (+ (/ Wfin 2) tox) Lfonte 0 )
(position (+ (/ Wfin 2) tox) Lfonte (+ Hfin (* tox HardMask))) )
(position (- (+ (/ Wfin 2) tox)) Lfonte (+ Hfin (* tox HardMask))) )
(position (- (+ (/ Wfin 2) tox)) Lfonte 0 )
(position (- (/ Wfin 2)) Lfonte 0 )
(position (- (/ Wfin 2)) Lfonte Hfin )
(position (/ Wfin 2) Lfonte Hfin )) "SiO2" "porta" ))
(sdegeo:extrude "all" (- Lfin (* Lfonte 2)))

(define r16 (sdegeo:create-cuboid (position (- (/ Wbox 2)) 0 0) (position (+ (/ Wbox 2)) Lfin (- tbox) ) "SiO2"
"box"))

```

```

=====
;Dopagem

(sdedr:define-constant-profile "Const.canal" DopSub SubDop)
(sdedr:define-constant-profile-region "PlaceCD.Canal" "Const.canal" "canal")
(sdedr:define-constant-profile "Const.fonte" DopSub SubDop)
(sdedr:define-constant-profile-region "PlaceCD.fonte" "Const.fonte" "fonte")
(sdedr:define-constant-profile "Const.dreno" DopSub SubDop)
(sdedr:define-constant-profile-region "PlaceCD.dreno" "Const.dreno" "dreno")

(sdedr:define-constant-profile "Const.fonte2" DopSD DrenoFonteDop)
(sdedr:define-constant-profile-region "PlaceCD.fonte2" "Const.fonte2" "fonte")
(sdedr:define-constant-profile "Const.dreno2" DopSD DrenoFonteDop)
(sdedr:define-constant-profile-region "PlaceCD.dreno2" "Const.dreno2" "dreno")

=====
;Contatos

(sdegeo:define-contact-set "substrate" 4.0 (color:rgb 1.0 0.0 0.0) "###" )
(sdegeo:set-current-contact-set "substrate")
(sdegeo:define-3d-contact (list (car (find-face-id (position 0 (/ Lfin 2) (- (* tbox 1) )))) "substrate")
(sdegeo:define-contact-set "gate" 4.0 (color:rgb 1.0 0.0 0.0) "###" )
(sdegeo:set-current-contact-set "gate")
(sdegeo:define-3d-contact (list (car (find-face-id (position (+ (/ Wfin 2) tox) (/ Lfin 2) (/ Hfin 2) )))) "gate")
(sdegeo:define-3d-contact (list (car (find-face-id (position 0 (/ Lfin 2) (+ Hfin (* tox HardMask) )))) "gate")
(sdegeo:define-3d-contact (list (car (find-face-id (position (+ (- (/ Wfin 2)) (- tox)) (/ Lfin 2) (/ Hfin 2) )))) "gate")
(sdegeo:define-contact-set "drain" 4.0 (color:rgb 1.0 0.0 0.0) "###" )
(sdegeo:set-current-contact-set "drain")
(sdegeo:define-3d-contact (list (car (find-face-id (position 0 Lfin (/ (+ Hfin 0.0001) 2) )))) "drain")
(sdegeo:define-contact-set "source" 4.0 (color:rgb 1.0 0.0 0.0) "###" )
(sdegeo:set-current-contact-set "source")
(sdegeo:define-3d-contact (list (car (find-face-id (position 0 0 (/ (+ Hfin 0.0001) 2) )))) "source")

(sdedelaunizer:set-parameters "type" "conforming" "maxPoints" 300000)
;(sdedelaunizer:set-tolerance 0 "interior" "region" "canal")

=====
;Grade
;Janelas de Refino

(sdedr:define-refinement-size "RefinementRegCanal" RefW1 0.1 0.0065 RefW1 0.1 0.000325 )
(sdedr:define-refinement-region "PlacementRegCanal" "RefinementRegCanal" "canal" )

(sdedr:define-refinement-size "RefinementRegFonte" RefW1 0.025 0.0065 RefW1 0.001 0.000325 )
(sdedr:define-refinement-region "PlacementRegFonte" "RefinementRegFonte" "fonte" )

(sdedr:define-refinement-size "RefinementRegDreno" RefW1 0.025 0.0065 RefW1 0.001 0.000325 )
(sdedr:define-refinement-region "PlacementRegDreno" "RefinementRegDreno" "dreno" )

(sdedr:define-refinement-size "REFHorizontalCanal" RefW1 0.1 0.0005 RefW1 0.1 0.0005)
(sdedr:define-refinement-size "REFVerticalCanal" 0.0005 0.1 0.0065 0.0005 0.1 0.001)

(sdedr:define-refeval-window "CanalA" "Cuboid" (position (+ (- (/ Wfin 2)) 0.0025) Lfonte Hfin ) (position (- (/ Wfin 2)) (- Lfin Lfonte) 0))
(sdedr:define-refeval-window "CanalB" "Cuboid" (position (- (/ Wfin 2) 0.0025) Lfonte Hfin ) (position (/ Wfin 2) (- Lfin Lfonte) 0))

```

```
(sdedr:define-refeval-window "CanalC" "Cuboid" (position (- (/ Wfin 2) 0.005) Lfonte (- Hfin 0.005) ) (position
(+ (- (/ Wfin 2)) 0.005) (- Lfin Lfonte) Hfin))
```

```
(sdedr:define-refinement-placement "PlacementCanalA" "REFVerticalCanal" "CanalA" )
(sdedr:define-refinement-placement "PlacementCanalB" "REFVerticalCanal" "CanalB" )
(sdedr:define-refinement-placement "PlacementCanalC" "REFHorizontalCanal" "CanalC" )
```

```
;j=0 fonte, j=1 canal e j=2 dreño
(do ( (j 0 (+ j 1)))
( (= j 3) )
(begin
```

```
(define XminD (+ (- (/ Wfin 2)) xgridmax))
(define XmaxD (+ (- (/ Wfin 2)) (* xgridmax 2)))
(define XminE (- (/ Wfin 2) xgridmax))
(define XmaxE (- (/ Wfin 2) (* xgridmax 2)))
(define XminH (+ (- (/ Wfin 2)) (* xgridmax 3)))
(define XmaxH (- (/ Wfin 2) (* xgridmax 3)))
```

```
(define XminDB (+ (- (/ Wfin 2)) (* xgridmax 2)))
(define XmaxDB (+ (- (/ Wfin 2)) (* xgridmax 3)))
(define XminEB (- (/ Wfin 2) (* xgridmax 2)))
(define XmaxEB (- (/ Wfin 2) (* xgridmax 3)))
```

```
(define ZminI xgridmax)
(define ZmaxI (* xgridmax 2))
(define ZminS (- Hfin xgridmax))
(define ZmaxS (- Hfin (* xgridmax 2)))
(define ZminV (* xgridmax 3))
(define ZmaxV (- Hfin (* xgridmax 3)))
```

```
(define ZminIA (* xgridmax 2))
(define ZmaxIA (* xgridmax 3))
(define ZminSA (- Hfin (* xgridmax 2)))
(define ZmaxSA (- Hfin (* xgridmax 3)))
```

```
(define ZminIB xgridmax)
(define ZmaxIB (* xgridmax 2))
(define ZminSB (- Hfin xgridmax))
(define ZmaxSB (- Hfin (* xgridmax 2)))
```

```
(define ZminIH xgridmax)
(define ZmaxIH (* xgridmax 2))
(define ZminSH (- Hfin xgridmax))
(define ZmaxSH (- Hfin (* xgridmax 2)))
```

```
(if (= j 0)
(begin
(define Lmin (- Lfonte Hfin))
(define Lmax Lfonte)
)
```

```
(if (= j 1)
(begin
(define Lmin Lfonte)
(define Lmax (- Lfin Lfonte))
)
```

```
(if (= j 2)
(begin
```

```

(define Lmin (- Lfin Lfonte))
(define Lmax (+ (- Lfin Lfonte) Hfin))
)

;=====

(do ((i 0 (+ i 1)))
  (= i n)
  (begin

;Diagonal Central Nome
(define MESHNAMECantosDI (string-append "CantosDI." (number->string j) (number->string i)))
(define MESHNAMECantosEI (string-append "CantosEI." (number->string j) (number->string i)))
(define MESHNAMECantosDS (string-append "CantosDS." (number->string j) (number->string i)))
(define MESHNAMECantosES (string-append "CantosES." (number->string j) (number->string i)))

;Refinements name
(define REFINEMENTCantos (string-append "RefinementCantos." (number->string j) (number->string i)))
(define REFINEMENTCantosDF (string-append "RefinementCantosDF." (number->string j) (number->string i)))

;Diagonal central placement name
(define PLACEMENTDI (string-append "PlacementCantosDI." (number->string j) (number->string i)))
(define PLACEMENTEI (string-append "PlacementCantosEI." (number->string j) (number->string i)))
(define PLACEMENTDS (string-append "PlacementCantosDS." (number->string j) (number->string i)))
(define PLACEMENTES (string-append "PlacementCantosES." (number->string j) (number->string i)))

;Diagonal Central areas

(sdcd:define-refeval-window MESHNAMECantosDI "Cuboid" (position XminD Lmin ZminI) (position
XmaxD Lmax ZmaxI))
(sdcd:define-refeval-window MESHNAMECantosEI "Cuboid" (position XminE Lmin ZminI) (position
XmaxE Lmax ZmaxI))
(sdcd:define-refeval-window MESHNAMECantosDS "Cuboid" (position XminD Lmin ZminS) (position
XmaxD Lmax ZmaxS))
(sdcd:define-refeval-window MESHNAMECantosES "Cuboid" (position XminE Lmin ZminS) (position
XmaxE Lmax ZmaxS))

;(sdcd:define-refinement-size REFINEMENTCantos 0.00075 0.1 0.00075 0.0001 0.01 0.0001 )
(sdcd:define-refinement-size REFINEMENTCantos 0.00075 0.1 0.00075 0.0001 0.01 0.0001 )
;(sdcd:define-refinement-size REFINEMENTCantosDF 0.0015 0.05 0.0015 0.001 0.001 0.001)
(sdcd:define-refinement-size REFINEMENTCantosDF 0.0025 0.025 0.0025 0.001 0.001 0.001)

;Placements C
(if (= j 1)
  (begin
(sdcd:define-refinement-placement PLACEMENTDI REFINEMENTCantos MESHNAMECantosDI )
(sdcd:define-refinement-placement PLACEMENTEI REFINEMENTCantos MESHNAMECantosEI )
(sdcd:define-refinement-placement PLACEMENTDS REFINEMENTCantos MESHNAMECantosDS )
(sdcd:define-refinement-placement PLACEMENTES REFINEMENTCantos MESHNAMECantosES )
  ))
;Placements F
(if (= j 0)
  (begin
(sdcd:define-refinement-placement PLACEMENTDI REFINEMENTCantosDF MESHNAMECantosDI )
(sdcd:define-refinement-placement PLACEMENTEI REFINEMENTCantosDF MESHNAMECantosEI )
(sdcd:define-refinement-placement PLACEMENTDS REFINEMENTCantosDF MESHNAMECantosDS )
(sdcd:define-refinement-placement PLACEMENTES REFINEMENTCantosDF MESHNAMECantosES )
  ))
;Placements D
(if (= j 2)

```

```

(begin
(sdedr:define-refinement-placement PLACEMENTDI REFINEMENTCantosDF MESHNAMECantosDI )
(sdedr:define-refinement-placement PLACEMENTEI REFINEMENTCantosDF MESHNAMECantosEI )
(sdedr:define-refinement-placement PLACEMENTDS REFINEMENTCantosDF MESHNAMECantosDS )
(sdedr:define-refinement-placement PLACEMENTES REFINEMENTCantosDF MESHNAMECantosES )
))

;variaveis
(set! XminD XmaxD)
(set! XminE XmaxE)
(set! XmaxD (+ XmaxD xgridmax))
(set! XmaxE (- XmaxE xgridmax))

(set! ZminI ZmaxI)
(set! ZmaxI (+ ZmaxI xgridmax))
(set! ZminS ZmaxS)
(set! ZmaxS (- ZmaxS xgridmax))

(set! ZminIA ZmaxI)
(set! ZmaxIA (+ ZmaxI xgridmax))
(set! ZminSA ZmaxS)
(set! ZmaxSA (- ZmaxS xgridmax))

(set! ZminV (+ ZminV xgridmax))
(set! ZmaxV (- ZmaxV xgridmax))

))))

;=====
;MeshInterface do canal

;(sdedr:define-refinement-size "REFINEMENTInterfaceVertical" 0.00001 0.1 0.005 0.0000025 0.005 0.001)
;(sdedr:define-refinement-size "REFINEMENTInterfaceHorizontal" RefW1 0.1 0.00001 RefW1 0.005
0.0000025 )
(sdedr:define-refinement-size "REFINEMENTInterfaceVertical" 0.00005 0.1 0.0065 0.000025 0.005 0.001)
(sdedr:define-refinement-size "REFINEMENTInterfaceHorizontal" RefW1 0.1 0.00005 RefW1 0.005 0.000025 )

(sdedr:define-refeval-window "InterfaceMeshOD1" "Cuboid" (position (- (/ Wfin 2)) Lfonte 0 ) (position (- (- (/
Wfin 2)) 0.00001) (- Lfin Lfonte) Hfin))
(sdedr:define-refeval-window "InterfaceMeshOE1" "Cuboid" (position (/ Wfin 2) Lfonte 0 ) (position (+ (/ Wfin
2) 0.00001) (- Lfin Lfonte) Hfin))
(sdedr:define-refeval-window "InterfaceMeshOS1" "Cuboid" (position (- (/ Wfin 2)) Lfonte (+ Hfin 0.00001) )
(position (/ Wfin 2) (- Lfin Lfonte) Hfin))
(sdedr:define-refeval-window "InterfaceMeshOI1" "Cuboid" (position (- (/ Wfin 2)) Lfonte (- 0.00001))
(position (/ Wfin 2) (- Lfin Lfonte) 0))

(sdedr:define-refeval-window "InterfaceMeshD1" "Cuboid" (position (- (/ Wfin 2)) Lfonte 0 ) (position (- (- (/
Wfin 2)) 0.00001) (- Lfin Lfonte) Hfin))
(sdedr:define-refeval-window "InterfaceMeshE1" "Cuboid" (position (/ Wfin 2) Lfonte 0 ) (position (+ (/ Wfin 2)
0.00001) (- Lfin Lfonte) Hfin))
(sdedr:define-refeval-window "InterfaceMeshS1" "Cuboid" (position (- (/ Wfin 2)) Lfonte (+ Hfin 0.00001) )
(position (/ Wfin 2) (- Lfin Lfonte) Hfin))
(sdedr:define-refeval-window "InterfaceMeshI1" "Cuboid" (position (- (/ Wfin 2)) Lfonte (- 0.00001)) (position
(/ Wfin 2) (- Lfin Lfonte) 0))

(sdedr:define-refinement-placement "PlacementInterfaceMeshE1" "REFINEMENTInterfaceVertical"
"InterfaceMeshE1" )
(sdedr:define-refinement-placement "PlacementInterfaceMeshD1" "REFINEMENTInterfaceVertical"
"InterfaceMeshD1" )
(sdedr:define-refinement-placement "PlacementInterfaceMeshS1" "REFINEMENTInterfaceHorizontal"

```

```
"InterfaceMeshS1" )  
(sdedr:define-refinement-placement "PlacementInterfaceMeshI1" "REFINEMENTInterfaceHorizontal"  
"InterfaceMeshI1" )
```

```
(sdedr:define-refinement-placement "PlacementInterfaceMeshOE1" "REFINEMENTInterfaceVertical"  
"InterfaceMeshOE1" )  
(sdedr:define-refinement-placement "PlacementInterfaceMeshOD1" "REFINEMENTInterfaceVertical"  
"InterfaceMeshOD1" )  
(sdedr:define-refinement-placement "PlacementInterfaceMeshOS1" "REFINEMENTInterfaceHorizontal"  
"InterfaceMeshOS1" )  
(sdedr:define-refinement-placement "PlacementInterfaceMeshOI1" "REFINEMENTInterfaceHorizontal"  
"InterfaceMeshOI1" )
```

```
=====
```

```
;Criação da Grade  
(sdc:build-mesh "snmesh" "" "FinFET_@Wfin@_n@node@_msh")
```

```
=====
```

APÊNDICE C - Arquivo do Sentaurus Device

```

Device FF {

File {
Grid = "FinFET_@Wfin@_@tdr@"
Doping= "FinFET_@Wfin@_@tdr@"
Parameter = "@parameter@"
}

Electrode {
{ Name="source" Voltage= 0.000 }
{ Name="drain" Voltage= 0.00 }
{ Name="gate" Voltage= 0.00 Workfunction= 4.7}
{ Name="substrate" Voltage= 0.000 Workfunction= 4.95}}

Physics{
Recombination(SRH(DopingDep))
Mobility(
-ConstantMobility
HighFieldSaturation(EparallelToInterface)
Enormal(
IALMob(AutoOrientation=1 PhononCombination=1 FullPhuMob=1)
))
EffectiveIntrinsicDensity(Slotboom Fermi)
}
}

System {
FF FET (source=s drain=d gate=g substrate=b)
Vsource_pset Vd(d 0) {dc=0}
Vsource_pset Vg(g 0) {dc=0}
Vsource_pset Vs(s 0) {dc=0}
Vsource_pset Vb(b 0) {dc=0}
Plot "Quali2_2_Sid110_W@Wfin@_umax100_@umax100@_umax110_@umax110@.txt" (v(g s) v(d s) v(s s)
i(FET s))
}

File {
Plot = "FinFET_Sid@Sidewalls@_W@Wfin@_umax100_@umax100@_umax110_@umax110@_des.tdr"
Current = " FinFET _
Sid@Sidewalls@_W@Wfin@_umax100_@umax100@_umax110_@umax110@_des.plt"
Output = " FinFET _
Sid@Sidewalls@_W@Wfin@_umax100_@umax100@_umax110_@umax110@_des.log"
ACExtract = "
FinFET_Sid@Sidewalls@_W@Wfin@_umax100_@umax100@_umax110_@umax110@_f1MHz"
}

Plot {
TotalCurrentDensity
eMobility hMobility Potential
eDensity hDensity
Doping DonorConcentration AcceptorConcentration
InterfaceOrientation
NearestInterfaceOrientation
ElectricField
eEnormal
hEnormal
}

Math {

```

```

AutoOrientation=(100, 110)
CoordinateSystem { AsIs }
Extrapolate
Iterations=10
NotDamped=1000
Method = ILS (set=12)
ACMethod= Blocked
ACSubMethod= ILS(set=22)

ILSrc = "
set (12)
{
iterative (gmres(100), tolrel=1e-12, tolunprec=1e-4, tolabs=0, maxit=400);
preconditioning (ilut(0.00001,-1),left);
ordering (symmetric=ndrcm, nonsymmetric=mpsils);
options (verbose=0, refineresidual =10, refinebasis=1);
};
"

set(22){
iterative(gmres(100), tolrel=1e-11, maxit=200);
preconditioning(ilut(0.00001,-1),left);
ordering ( symmetric=nd, nonsymmetric=mpsilst );
options( compact=yes, linscale=0, refineresidual=10, verbose=1);
};
"

Number_of_Threads = 2
Wallclock
}

Solve {

Coupled(Iterations= 20) { Poisson}
Coupled(Iterations= 20) { Poisson Hole Electron}

Quasistationary(
Increment = 10
Decrement= 2
InitialStep= 1
MinStep= 1e-6
MaxStep= 1
Goal { Parameter=Vd.dc Value=0.05 } )
{ Coupled(Iterations= 20) { Poisson Hole Electron} }

Quasistationary (
Increment = 10
Decrement= 2
InitialStep=1e-5 Maxstep=0.01 Minstep=1e-5
Goal { Parameter=Vg.dc Value=1.2 } )
{ ACCoupled (
StartFrequency=1e6 EndFrequency=1e6
NumberOfPoints=1 Decade
Node (g b s d ) Exclude(Vg Vb Vs Vd))
{ Poisson Electron Hole}
}}

```

APÊNDICE D - Arquivo de parâmetro do Sentarus Device

```

#if @[string match @Surface@ "100"]@
#if @[string match @Sidewalls@ "100"]@
LatticeParameters {
  X = (1,0,0)
  Y = (0,1,0)
}
#elif @[string match @Sidewalls@ "110"]@
LatticeParameters {
  X = (1,-1,0)
  Y = (1,1,0)
}
#endif
#elif @[string match @Surface@ "110"]@
#if @[string match @Sidewalls@ "100"]@
LatticeParameters {
  X = (1,0,0)
  Y = (0,1,1)
}
#elif @[string match @Sidewalls@ "110"]@
LatticeParameters {
  X = (1,0,1)
  Y = (0,1,0)
}
#endif
#endif

```

```

IALMob "100":{
EnormMinimum = 0
mumax_e = 1417.0
mumax_h = 486.0
mumin_e = 56.0
mumin_h = 46.0
alpha_e = 0.68
me_over_m0 = 1.0
mh_over_m0 = 1.258
B_e = 9.0e5
B_h = 8.1e5
C_e = 4.84e4
C_h = 8.36e3
delta_e = 7.15e14
delta_h = 2.58e14
lambda_e = 0.0
lambda_h = 0.0
lambda_sr_e = 0.0
lambda_sr_h = 0.0
A_e = 2.0
A_h = 2.0
alpha_sr_e = 5.0e-22
alpha_sr_h = 0.0
nu_e = 0.0
nu_h = 0.0
D1_e = 270.0
D2_e = 40.0
nu0_e = 1.5
nu1_e = 2.0
nu2_e = 0.5
D1_h = 135.0
D2_h = 40.0

```

```

nu0_h      =      1.5
nu1_h      =      1.0
nu2_h      =      0.25
l_crit_e   =      1.0e-6
l_crit_h   =      1.0e-6
}

```

```

IALMob "110":{
EnormMinimum =      0
mumax_e      =      1417.0
mumax_h      =      486.0
mumin_e      =      56.0
mumin_h      =      46.0
alpha_e      =      0.68
me_over_m0   =      1.0
mh_over_m0   =      1.258
B_e          =      9.0e5
B_h          =      8.1e5
C_e          =      4.84e4
C_h          =      8.36e3
delta_e      =      7.15e14
delta_h      =      2.58e14
lambda_e     =      0.0
lambda_h     =      0.0
lambda_sr_e  =      0.0
lambda_sr_h  =      0.0
A_e          =      2.0
A_h          =      2.0
alpha_sr_e   =      5.0e-22
alpha_sr_h   =      0.0
nu_e         =      0.0
nu_h         =      0.0
D1_e         =      270.0
D2_e         =      40.0
nu0_e        =      1.5
nu1_e        =      2.0
nu2_e        =      0.5
D1_h         =      135.0
D2_h         =      40.0
nu0_h        =      1.5
nu1_h        =      1.0
nu2_h        =      0.25
l_crit_e     =      1.0e-6
l_crit_h     =      1.0e-6
}

```

```

HighFieldDependence
{
alpha = 1.0, 1.0
beta0 = 2.0, 2.0
betaexp = 0.0, 0.0
}

```

APÊNDICE E - Arquivo do método Y-Function desenvolvido no software Mathcad

Leitura do arquivo de entrada.

$M := \text{READPRN}("W570_umax100_900_umax110_300.txt")$

Definição de Parametros.

$TOL := 1 \cdot 10^{-15}$

$Col_Gm := 2 \quad Col_Vg := 0 \quad Col_Id := 1 \quad nfns := 1 \quad Vds := 0.025 \quad L := 1000 \quad W := 150$

$tox := 1.7 \cdot 10^{-7} \quad \epsilon_{ox} := 3.45 \cdot 10^{-13} \quad M^{<Col_Gm>} := \frac{M^{<Col_Gm>}}{nfns} \quad M^{<Col_Id>} := \frac{M^{<Col_Id>}}{nfns}$

Aplicação do Filtro Smooth para extração de gm máximo, Vgs em que gm é máximo e o valor maximo de Vgs.

$GmSmooth := \text{supsmooth}(M^{<Col_Vg>}, M^{<Col_Gm>})$

$N_Vgm_max := \text{match}(\text{max}(GmSmooth), GmSmooth)$

$N_Vgm_max := |N_Vgm_max|$

$N_Vg_max := \text{match}(\text{max}(M^{<Col_Vg>}), M^{<Col_Vg>})$

$N_Vg_max := |N_Vg_max|$

Aproximação de Ids, após Vgs em que gm é maximo, por um polinomio de 4ª ordem.

$$\begin{array}{l}
 \text{Id_Fit} := \text{Id_F}(x) \leftarrow \begin{pmatrix} 1 \\ x \\ x^2 \\ x^3 \\ x^4 \\ x \end{pmatrix} \\
 x \leftarrow \text{submatrix}(M^{<Col_Vg>}, N_Vgm_max, N_Vg_max, 0, 0) \\
 y \leftarrow \text{submatrix}(M^{<Col_Id>}, N_Vgm_max, N_Vg_max, 0, 0) \\
 C \leftarrow \text{linfit}(x, y, \text{Id_F}) \\
 \text{Id_Fit} \leftarrow C_4 \cdot (M^{<Col_Vg>})^4 + C_3 \cdot (M^{<Col_Vg>})^3 + C_2 \cdot (M^{<Col_Vg>})^2 + C_1 \cdot (M^{<Col_Vg>})^1 + C_0
 \end{array}$$

Aproximação de gm, após Vgs em que gm é maximo, por um polinomio de 3ª ordem.

$$\text{Gm_Fit} := \left| \begin{array}{l} \text{Gm_F}(x) \leftarrow \begin{pmatrix} 1 \\ x \\ x^2 \\ x^3 \end{pmatrix} \\ x \leftarrow \text{submatrix}(M^{\langle \text{Col_Vg} \rangle}, N_Vgm_max, N_Vg_max, 0, 0) \\ y \leftarrow \text{submatrix}(M^{\langle \text{Col_Gm} \rangle}, N_Vgm_max, N_Vg_max, 0, 0) \\ C \leftarrow \text{linfit}(x, y, \text{Gm_F}) \\ \text{Gm_Fit} \leftarrow C_3 \cdot (M^{\langle \text{Col_Vg} \rangle})^3 + C_2 \cdot (M^{\langle \text{Col_Vg} \rangle})^2 + C_1 \cdot (M^{\langle \text{Col_Vg} \rangle})^1 + C_0 \end{array} \right.$$

Definição de parte da curva de Ids e gm utilizadas.

$$\text{Id_Inv_Fit} := \text{submatrix}(\text{Id_Fit}, N_Vgm_max, N_Vg_max, 0, 0)$$

$$\text{Gm_Inv_Fit} := \text{submatrix}(\text{Gm_Fit}, N_Vgm_max, N_Vg_max, 0, 0) \quad \text{YF_Inv_Fit} := \frac{\text{Id_Inv_Fit}}{\sqrt{\text{Gm_Inv_Fit}}}$$

$$\xi := \frac{1}{\text{YF_Inv_Fit}^2} \quad \text{Vth} := \left[\begin{array}{c} (M^{\langle \text{Col_Vg} \rangle})_{N_Vgm_max} - \frac{(M^{\langle \text{Col_Id} \rangle})_{N_Vgm_max}}{(M^{\langle \text{Col_Gm} \rangle})_{N_Vgm_max}} - \frac{\text{Vds}}{2} \end{array} \right]$$

Algoritmo do Y-Function.

$$\xi_Fit := \left| \begin{array}{l} \xi_F(x) \leftarrow \begin{pmatrix} 1 \\ x^{-2} \\ x^{-3} \end{pmatrix} \\ \varepsilon \leftarrow 1 \\ \text{while } |\varepsilon| > 1 \cdot 10^{-12} \\ \quad \left| \begin{array}{l} x \leftarrow \text{submatrix}(M^{\langle \text{Col_Vg} \rangle}, N_Vgm_max, N_Vg_max, 0, 0) - \text{Vth} - \frac{\text{Vds}}{2} \\ C \leftarrow \text{linfit}(x, \xi, \xi_F) \\ \beta \leftarrow (C_1 \cdot \text{Vds})^{-1} \\ \varepsilon \leftarrow \frac{(\beta \cdot \text{Vds} \cdot C_2)}{2} \\ \text{Vth} \leftarrow \text{Vth} + \varepsilon \end{array} \right. \\ \xi_Fit \leftarrow \left[\begin{array}{c} C_2 \cdot \frac{1}{(M^{\langle \text{Col_Vg} \rangle} - \text{Vth} - \frac{\text{Vds}}{2})^3} + C_1 \cdot \frac{1}{(M^{\langle \text{Col_Vg} \rangle} - \text{Vth} - \frac{\text{Vds}}{2})^2} + C_0 \end{array} \right] \\ \xi_Fit^{\langle 1 \rangle} \leftarrow C \\ \xi_Fit^{\langle 2 \rangle} \leftarrow \text{Vth} \\ \xi_Fit \end{array} \right.$$

Extração da Mobilidade e da Tensão de limiar.

$$\beta := \left(\xi_{\text{Fit}_{1,1}} \cdot V_{\text{ds}} \right)^{-1} = 6.4783395186 \cdot 10^{-5}$$

$$V_{\text{th}} := \xi_{\text{Fit}_{0,2}} = 0.5083787967$$

$$\mu := \left[\frac{(\beta \cdot L \cdot t_{\text{ox}})}{W \cdot \epsilon_{\text{ox}}} \right] = 212.8150180018$$

Cálculo dos coeficientes de degradação da mobilidade.

$$V_{\text{gt}} := \text{submatrix}(M^{\langle \text{Col_Vg} \rangle}, N_{\text{Vgm_max}}, N_{\text{Vg_max}}, 0, 0) - V_{\text{th}} - \frac{V_{\text{ds}}}{2}$$

$$\Theta_{\text{eff}} := \frac{(\beta \cdot V_{\text{ds}})}{\text{Id_Inv_Fit}} - \frac{1}{V_{\text{gt}}}$$

$$\Theta_{\text{eff_Coeffs}} := \begin{cases} \Theta_{\text{eff_F}}(x) \leftarrow \begin{pmatrix} 1 \\ x \end{pmatrix} \\ x \leftarrow V_{\text{gt}} \\ y \leftarrow \Theta_{\text{eff}} \\ C \leftarrow \text{linfit}(x, y, \Theta_{\text{eff_F}}) \end{cases}$$

$$\Theta_{\text{eff_Fit}} := \Theta_{\text{eff_Coeffs}}_0 + \Theta_{\text{eff_Coeffs}}_1 \cdot V_{\text{gt}}$$

$$\Theta_1 := \Theta_{\text{eff_Coeffs}}_0$$

$$\Theta_2 := \Theta_{\text{eff_Coeffs}}_1$$

$$\Delta V_{\text{th}} := \frac{\left[\sqrt{\frac{(\beta \cdot V_{\text{ds}})}{\text{Gm_Inv_Fit}_0} - 1 - \Theta_1 \cdot \left[\left(M^{\langle \text{Col_Vg} \rangle} \right)_{N_{\text{Vgm_max}}} - V_{\text{th}} - \frac{V_{\text{ds}}}{2} \right]} \right]}{2 \cdot \Theta_2 \cdot \left[\left(M^{\langle \text{Col_Vg} \rangle} \right)_{N_{\text{Vgm_max}}} - V_{\text{th}} - \frac{V_{\text{ds}}}{2} \right]}$$

$$\Theta_2 := \frac{\Theta_2}{1 - \Delta V_{\text{th}}^2 \cdot \Theta_2}$$

$$\Theta_1 := \Theta_1 \cdot \left(1 + \Theta_2 \cdot \Delta V_{\text{th}}^2 \right) + 2 \cdot \Theta_2 \cdot \Delta V_{\text{th}}$$

Modelo completo da corrente de dreno com os parâmetros extraídos do Y-Function.

$$I_{d_Model_Complete} := \frac{\left[\beta \cdot V_{ds} \cdot \left(M^{\langle Co1_Vg \rangle} - V_{th} - \frac{V_{ds}}{2} \right) \right] \cdot \left(1 + \theta 2 \cdot \Delta V_{th}^2 \right)}{1 + \theta 1 \cdot \left(M^{\langle Co1_Vg \rangle} - V_{th} - \frac{V_{ds}}{2} \right) + \theta 2 \cdot \left(M^{\langle Co1_Vg \rangle} - V_{th} - \Delta V_{th} - \frac{V_{ds}}{2} \right)^2}$$