

CENTRO UNIVERSITÁRIO DA FEI

Alfonso Braz Gutierrez

**ESTUDO COMPARATIVO DO COMPORTAMENTO DA
CORRENTE DE FUGA EM TRANSISTOR SOI MOSFET
CONVENCIONAL E DE PORTA DUPLA OPERANDO EM
ALTAS TEMPERATURAS**

São Bernardo do Campo

2008

Alfonso Braz Gutierrez

**ESTUDO COMPARATIVO DO COMPORTAMENTO DA
CORRENTE DE FUGA EM TRANSISTOR SOI MOSFET
CONVENCIONAL E DE PORTA DUPLA OPERANDO EM
ALTAS TEMPERATURAS**

Dissertação apresentada ao Centro
Universitário da FEI para a obtenção do título
de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Marcello Bellodi

São Bernardo do Campo

2008

Gutierrez, Alfonso Braz

Estudo comparativo do comportamento da corrente de fuga em transistor SOI MOSFET convencional e de porta dupla operando em altas temperaturas / Alfonso Braz Gutierrez. São Bernardo do Campo, 2008.

133f: il

Trabalho de Conclusão de Curso – Centro Universitário da FEI.

Orientador: Prof. Dr. Marcello Bellodi

1. SOI. 2. Corrente de Fuga. 3. Porta convencional 4. Porta dupla.

I. Título.

CDU 621.382.3

Dedico este trabalho a Deus, meus pais Alfonso e Jeanette, minha esposa e companheira Rita, as minhas amadas filhas Nathália e Marylia.

AGRADECIMENTOS

Ao meu orientador Prof. Dr. Marcello Bellodi, pela paciência, pela dedicação, pela amizade e pela oportunidade da realização deste trabalho.

Aos professores Dr. João Antonio Martino e Dr. Marcelo Antonio Pavanello pela contribuição no decorrer do trabalho, em especial aos conselhos e a preocupação quanto ao término do mesmo.

Aos demais professores do curso de mestrado Prof Dr. Renato Giacomini e Prof Dr. Salvador Pinillos Gimenez pela paciência e dedicação nas aulas.

Ao professor e amigo Dr. Ely Dinari pelas excelentes aulas na graduação e por aceitar fazer a minha carta de recomendação para o mestrado.

Ao professor e amigo Dr. Aparecido Sirley Nicolleti pela oportunidade de ter sido o monitor da sua disciplina, pela amizade e por aceitar fazer a minha carta de recomendação para o mestrado.

A minha amada esposa Rita pela paciência e incentivo para o término deste trabalho, sem o qual não teria acontecido.

As minhas amadas e queridas filhas Nathália e Marylia por às vezes não ter dado a atenção necessária e pela paciência de lerem meu trabalho e me ajudarem na escrita.

Ao amigo e irmão Ms. Diamantino Sardinha Neto, pelo apoio moral e incentivo para o término deste trabalho.

Ao meu amigo Luciano Mendes Almeida pelas dicas em algumas das simulações e pela companhia das quintas e sábados até nos tocarem da sala onde eram feitas as simulações.

Ao meu amigo Michel pelo auxílio para encontrar alguns papers na USP, leitura do trabalho e incentivo para que terminasse o trabalho com sucesso.

Ao meu amigo Fabio no incentivo para que eu terminasse trabalho com sucesso e incentivo para o termino do trabalho.

Aos demais colegas de Turma André de Almeida, Carla Dick, Julia Maria, Maria Glória, Rodrigo Bechelli e Rodrigo Mazzuti.

Ao meu supervisor Fabio Rodrigues por entender das minhas dificuldades no cumprimento dos prazos de entrega dos trabalhos e deixar muitas vezes fazer o trabalho no serviço.

Aos meus colegas de serviço no Metro São Paulo e na Uniban por sempre estarem perguntando a respeito do trabalho e dando incentivo para o término.

A todos aqueles que de alguma forma mostraram interesse pelo trabalho e que tiveram seu nome aqui omitido de forma involuntária.

**“Suba o primeiro degrau com fé.
Você não tem que ver toda a escada.
Você só precisa dar o primeiro passo”
Martin Luther King jr.**

RESUMO

Gutierrez, A. B. **Estudo Comparativo do Comportamento da Corrente de Fuga em Transistor SOI MOSFET Convencional e de Porta Dupla Operando em Altas Temperaturas.** 2008. 125 f., Dissertação (Mestrado) – Centro Universitário da FEI, São Bernardo do Campo, 2008.

Este trabalho apresenta estudos referentes ao comportamento da corrente de fuga do dreno para o transistor SOI MOSFET de porta dupla (pd) em comparação com transistor SOI MOSFET convencional (pc), operando desde a temperatura ambiente até 350°C. Os resultados obtidos neste trabalho foram realizados através do simulador ATLAS, utilizando a simulação bidimensional, onde foram analisados os seguintes parâmetros que serviram para o estudo da corrente de fuga do dreno: a influência da variação da espessura do filme de silício (t_{si}) na corrente de fuga, a influência do comprimento do canal (L) do transistor na corrente de fuga, a influência da variação da tensão de dreno (V_{DS}) para a corrente de fuga, estudo das densidades da corrente e a sua composição (elétrons e lacunas) em função das variações mencionadas anteriormente ao longo do filme de silício de cada uma das estruturas aplicadas, o estudo da corrente de fuga variando a polarização do substrato para o transistor SOI nMOSFET convencional e a variação da polarização de uma das portas do SOI nMOSFET porta dupla mantendo a outra constante.

Palavras-chave: SOI, MOSFET, altas temperaturas, corrente de fuga, simulação bidimensional.

ABSTRACT

Gutierrez, A. B. **Study Comparative of the Behavior of the Current of Escape in Transistor SOI Conventional MOSFET and Double Door Operating at Highs Temperatures.** 2008. 125 f., Dissertation (Master) – Centro Universitário da FEI, São Bernardo do Campo, 2008.

This work shows the comparison between the drain leakage current in the double gate SOI MOSFET transistor (dg) and the single gate SOI MOSFET transistor (sg), operating since room temperature up to 300°C. The results were obtained through the ATLAS simulator, using bidimensional simulation. The parameters used for the drain leakage current study were: the influence of the silicon film thickness (t_{si}) variation in the leakage current, the influence of the transistor's channel length (L) in the leakage current, the influence of the drain voltage (V_{DS}) variation in the leakage current, study of the leakage current density and its composition (electrons and holes) as function of the above variations along the silicon film of the studied structure, the study of the leakage current changing the substratum polarization for the single gate SOI nMOSFET transistor and changing one gate polarization of the double gate SOI nMOSFET transistor while maintaining the other gate polarization unchanged.

Key words: SOI, MOSFET, high temperature, leakage current, bidimensional simulation.

LISTA DE FIGURAS

Figura 1.1 - Esquema elétrico do MOSFET apresentado na patente de Lilienfeld em 1928...	23
Figura 1.2 – Transistor MOSFET do tipo N figura (A) e do tipo P figura (B).....	24
Figura 1.3 - Transistor SOI MOSFET do tipo N figura(A) e do tipo P figura (B).....	24
Figura 1.4 - Estrutura do SOI MOSFET porta dupla.....	25
Figura 2.1 - Processo de fabricação do SOI MOSFET com a tecnologia Smart-Cut [7].....	29
Figura 2.2- Corte da seção transversal de uma lamina da tecnologia SOI MOSFET, contendo dois transistores.....	30
Figura 2.3- Diagrama de energia de um transistor MOSFET convencional(A), SOI MOSFET parcialmente depletado(B), e SOI MOSFET totalmente depletado(C).....	33
Figura 2.4- Estrutura SOI MOSFET de porta dupla montado verticalmente.....	35
Figura 2.5 - Estrutura SOI MOSFET porta dupla montado horizontalmente.....	35
Figura 2.6 – Estrutura SOI MOSFET de porta tripla.....	36
Figura 2.7 – Cortes transversais das estruturas “ π -gate” e “ Ω -Gate”.....	37
Figura 2.8 - Resultados das correntes de fuga com os comprimentos de canal de 1 μ m, 2 μ m e 5 μ m, com tensões de dreno de 10mV, tensão de porta de -1,0V.....	39
Figura 2.9- Resultados das correntes de fuga com os comprimentos de canal de 1 μ m, 2 μ m e 5 μ m, com tensões de dreno de 200mV, tensão de porta de -1,0V.....	39
Figura 3.1 - Configuração do transistor SOI MOSFET convencional, utilizado no trabalho...43	43
Figura 3.2 - Configuração do transistor SOI nMOSFET porta dupla, utilizado no trabalho...44	44
Figura 3.3 - Curva $I_{DS} \times V_{GS}$ do transistor SOI nMOSFET convencional em função da temperatura, para $V_{DS} = 200mV$	45
Figura 3.4 - Curva $I_D \times V_{GS}$ do transistor SOI nMOSFET convencional em função da temperatura, $V_{DS}= 2V$	45
Figura 3.5 - Variação da corrente de fuga em função da temperatura e da tensão de V_{DS}	46
Figura 3.6 - Comportamento da corrente de fuga em função de L para o SOI nMOSFET convencional operando em altas temperaturas.....	49
Figura 3.7 - Comportamento de I_{Dleak} em função da variação do t_{si} com L= 0,5 μ m, em altas temperaturas.....	50
Figura 3.8 - Comportamento de I_{Dleak} em função da variação do t_{si} com L= 0,7 μ m, em altas temperaturas.....	51

Figura 3.9 - Variação da corrente de dreno em função da espessura do óxido enterrado com $V_{DS} = 200\text{mV}$	52
Figura 3.10 - : Detalhe ampliado referente à curva da figura 3.9.....	52
Figura 3.11 - Evolução da corrente de fuga em função da espessura do óxido enterrado a 150°C , com $t_{si} = 100\text{nm}$	53
Figura 3.12 - Evolução da corrente de fuga em função da espessura do óxido enterrado a 350°C , com $t_{si} = 100\text{nm}$	53
Figura 3.13 - Evolução da corrente de fuga I_{Dleak} em função da espessura do óxido enterrado para $T = 150^\circ\text{C}$, e $t_{si} = 100\text{nm}$	54
Figura 3.14 - Evolução da corrente de fuga em função da espessura do óxido enterrado para $T = 350^\circ\text{C}$, e $t_{si} = 100\text{nm}$	54
Figura 3.15 - Comparação das correntes de fuga para o substrato polarizado com 0V e -20V, a $T = 150^\circ\text{C}$	55
Figura 3.16 - Comparação das correntes de fuga para o substrato polarizado com 0V e -20V, $T = 350^\circ\text{C}$	55
Figura 3.17 - Transistor SOI MOSFET convencional com o corte transversal indicando a posição para a extração e estudo das densidades de corrente.....	57
Figura 3.18 - Concentração da densidade da corrente de elétrons e lacunas em um transistor SOI convencional com $L = 0,5\mu\text{m}$ e temperatura igual a 100°C	58
Figura 3.19 - Concentração da densidade da corrente de elétrons e lacunas em um transistor SOI convencional com $L = 0,5\mu\text{m}$ e temperatura de 150°C	59
Figura 3.20 - Concentração da densidade da corrente de elétrons, lacunas e a total no transistor SOI convencional com $L = 500\mu\text{m}$ e $V_{DS} = 200\text{mV}$, operando em altas temperaturas.....	59
Figura 3.21 - Comportamento da densidade da corrente de elétrons e lacunas ao longo da espessura do filme de silício do transistor SOI nMOSFET convencional, operando em altas temperaturas.....	60
Figura 3.22 - Variação da densidade da corrente de fuga com $V_{DS} = 200\text{mV}$	61
Figura 3.23 - Variação da densidade da corrente de fuga com $V_{DS} = 1\text{V}$	61
Figura 3.24 - Variação da densidade da corrente de fuga com $V_{DS} = 2\text{V}$	62
Figura 3.25 resultado da variação de V_{DS} assumindo valores de 200mV, 1V e 2V para $L = 0,5\mu\text{m}$ com $T = 100^\circ\text{C}$	62
Figura 3.26: Para V_{DS} assumindo valores de 200mV, 1V e 2V para $L = 1\mu\text{m}$ com $T = 100^\circ\text{C}$	63

Figura 3.27: Para V_{DS} assumindo valores de 200mV, 1V e 2V para $L= 10\mu\text{m}$ com $T=100^\circ\text{C}$	63
Figura 3.28: Para V_{DS} assumindo valores de 200mV, 1V e 2V para $L= 10\mu\text{m}$ com $T=350^\circ\text{C}$	64
Figura 3.29: Para V_{DS} assumindo valores de 200mV, 1V e 2V para $L= 10\mu\text{m}$ com $T=350^\circ\text{C}$	64
Figura 3.30 - Densidade da corrente de fuga com $V_{BS}= 0\text{V}$ para $T= 150^\circ\text{C}$ e 350°C	65
Figura 3.31 - Densidade da corrente de fuga com $V_{BS}= -20\text{V}$ para $T= 150^\circ\text{C}$ e 350°C	66
Figura 3.32: densidade total da corrente de fuga em função da variação de t_{oxB}	66
Figura 3.33 - Densidades das correntes totais de elétrons e lacunas para os valores de $V_{BS}= 0\text{V}$ e $V_{BS}= -20\text{V}$	67
Figura 3.34: Densidades das correntes totais de elétrons e lacunas para os valores de $V_{BS}= -20\text{V}$, $t_{oxB}=100\text{nm}$ e $L=500\text{nm}$	67
Figura 3.35: Densidades das correntes totais de elétrons e lacunas para os valores de $V_{BS}= -20\text{V}$, para $t_{oxB}=100\text{nm}$ e $L=1000\text{nm}$	68
Figura 3.36 - Comportamento da corrente de fuga do dreno em função da variação da polarização do substrato e de V_{DS} , em altas temperaturas.....	69
Figura 3.37 - Configuração do transistor SOI nMOSFET porta dupla, utilizado no trabalho..	70
Figura 3.38 - Curva $I_D \times V_{GS}$ do transistor SOI nMOSFET porta dupla em função da temperatura, para $V_{DS} = 200\text{mV}$	71
Figura 3.39 - Curva $I_D \times V_{GS}$ do transistor SOI nMOSFET dupla em função da temperatura, para $V_{DS} = 2\text{V}$	71
Figura 3.40 - Curva $I_{Dleak} \times T$ função da temperatura e da tensão de V_{DS}	72
Figura 3.41 - Corrente de fuga em função da variação de L com $V_{DS}= 1\text{V}$ e 2V	73
Figura 3.42 - Comportamento da corrente de fuga com $V_{DS}= 200\text{mV}$ em função do comprimento do canal, para o transistor nMOSFET porta dupla em altas temperaturas..	75
Figura 3.43 - Comportamento da corrente de fuga com $V_{DS}= 2\text{V}$ em função do comprimento do canal, para SOI nMOSFET porta dupla em altas temperaturas.....	76
Figura 3.44 - Comportamento da corrente de fuga em função da variação do t_{si} no transistor SOI nMOSFET porta dupla, com $L= 0,5\mu\text{m}$ em altas temperaturas.....	77
Figura 3.45 - Comportamento da corrente de fuga em função da variação do t_{si} no transistor SOI nMOSFET porta dupla, com $L= 1\mu\text{m}$ em função da temperatura.....	78

- Figura 3.46 - Comportamento da corrente de fuga do dreno em função da variação de t_{si} e da tensão do dreno no transistor SOI nMOSFET com $L=0,5\mu\text{m}$ porta dupla operando em altas temperaturas.....78
- Figura 3.47 - Comportamento da corrente de fuga do dreno em função da variação de t_{si} e da tensão do dreno no transistor SOI nMOSFET com $L= 0,7 \mu\text{m}$ porta dupla operando em altas temperaturas.....79
- Figura 3.48 - Concentração da densidade da corrente de elétrons e lacunas em um transistor SOI nMOSFET porta dupla com $L= 0,5\mu\text{m}$ e temperatura de 150°C80
- Figura 3.49 - Concentração da densidade da corrente de elétrons e lacunas em um transistor SOI nMOSFET porta dupla com $L= 0,5\mu\text{m}$, $V_{DS}= 200\text{mV}$, em função da temperatura. V_{DS} 81
- Figura 3.50 - Concentração da densidade da corrente de elétrons mais lacunas no corte transversal no corpo do transistor SOI nMOSFET porta dupla com $V_{DS}= 1\text{V}$ e $L= 0,5\mu\text{m}$82
- Figura 3.51 - Concentração da densidade total no corte transversal no corpo do transistor SOI nMOSFET porta dupla com $V_{DS}= 2\text{V}$ e $L= 0,5\mu\text{m}$83
- Figura 3.52 - Concentração da densidade total da corrente de fuga no corte transversal no corpo do transistor SOI nMOSFET porta dupla com $L= 1\mu\text{m}$ e $V_{DS}= 1\text{V}$84
- Figura 3.53- Densidade total da corrente de fuga no corpo do transistor SOI nMOSFET porta dupla para $L= 1\mu\text{m}$ e $V_{DS}= 2\text{V}$85
- Figura 3.54: Densidade total da corrente de fuga no corpo do transistor SOI nMOSFET porta dupla para $L= 0,5\mu\text{m}$, $1\mu\text{m}$ e $10\mu\text{m}$ com $V_{DS}= 200\text{mV}$ e $T= 100^\circ\text{C}$86
- Figura 3.55: Densidade total da corrente de fuga no corpo do transistor SOI nMOSFET porta dupla para $L= 0,5\mu\text{m}$, $1\mu\text{m}$ e $10\mu\text{m}$ com $V_{DS}= 200\text{mV}$ e $T= 350^\circ\text{C}$87
- Figura 3.56: Densidade total da corrente de fuga no corpo do transistor SOI nMOSFET porta dupla para $L= 0,5\mu\text{m}$, $1\mu\text{m}$ e $10\mu\text{m}$ com $V_{DS}= 1\text{V}$ e $T= 100^\circ\text{C}$87
- Figura 3.57: Densidade total da corrente de fuga no corpo do transistor SOI nMOSFET porta dupla para $L= 0,5\mu\text{m}$, $1\mu\text{m}$ e $10\mu\text{m}$ com $V_{DS}= 1\text{V}$ e $T= 350^\circ\text{C}$88
- Figura 3.58: Densidade total da corrente de fuga no corpo do transistor SOI nMOSFET porta dupla para $L= 0,5\mu\text{m}$, $1\mu\text{m}$ e $10\mu\text{m}$ com $V_{DS}= 2\text{V}$ e $T= 100^\circ\text{C}$88
- Figura 3.59: Densidade total da corrente de fuga no corpo do transistor SOI nMOSFET porta dupla para $L= 0,5\mu\text{m}$, $1\mu\text{m}$ e $10\mu\text{m}$ com $V_{DS}= 2\text{V}$ e $T= 350^\circ\text{C}$89

Figura 3.60 - Curva do SOI nMOSFET porta dupla com $L=0,5\mu\text{m}$, $T=100^\circ\text{C}$ com a porta polarizada com $V_{GS}=0\text{V}$	90
Figura 3.61 - Densidade da corrente de fuga do SOI nMOSFET porta dupla com $L=0,5\mu\text{m}$, $T=350^\circ\text{C}$ e com $V_{GS1}=-1\text{V}$ e $V_{GS2}=0\text{V}$	91
Figura 3.62 - Densidade da corrente de fuga do SOI nMOSFET porta dupla com $L=0,5\mu\text{m}$ $T=100^\circ\text{C}$ e $T=350^\circ\text{C}$ com $V_{GS1}=-1\text{V}$ e $V_{GS2}=0\text{V}$	91
Figura 3.63: Concentração total da densidade da corrente de fuga no corte transversal no corpo do transistor SOI nMOSFET porta dupla com $V_{GS1}=-1\text{V}$ e $V_{GS2}=0\text{V}$, para $L=0,5\mu\text{m}$	92
Figura 3.64: Concentração total da densidade da corrente de fuga no corte transversal no corpo do transistor SOI nMOSFET porta dupla com $V_{GS1}=-1\text{V}$ e $V_{GS2}=0\text{V}$, para $L=1,0\mu\text{m}$	93
Figura 4.65: Curva $I_{DS} \times V_{GS}$ dos transistores SOI nMOSFET porta dupla e SOI MOSFET convencional em função da temperatura, para $V_{DS}=200\text{mV}$	94
Figura 4.66 - Alguns resultados da corrente de fuga do SOI MOSFET convencional e do SOI MOSFET porta dupla da tabela 3.5.....	96
Figura 4.67 - Resultado das correntes de fuga para o SOI MOSFET porta dupla e SOI MOSFET convencional com $t_{si} 25\text{nm}$	97
Figura 4.68 - O comparativo das correntes de fuga para o SOI MOSFET porta dupla e SOI MOSFET convencional com $t_{si} = 25\text{nm}$ e $t_{si}= 100\text{nm}$	98
Figura 4.69 - Resultado de I_{Dleak} para os valores de $V_{DS} = 200, 1$ e 2V para $t_{si} = 25\text{nm}$ e $L=0,5\mu\text{m}$	99
Figura 4.70 - Resultado de I_{Dleak} para os valores de $V_{DS}= 200, 1$ e 2V para $t_{si}= 25\text{nm}$ e $L=0,5\mu\text{m}$	100
Figura 4.71 - Densidade total da corrente de fuga feito no corte do filme de silício com $L=0,5\mu\text{m}$ no transistor SOI nMOSFET convencional e porta	101
Figura 4.72 - Densidade da corrente de fuga para o SOI MOSFET porta dupla e com o SOI MOSFET convencional com o substrato polarizado com -20V	102
Figura 4.73 - Evolução da variação da espessura do <i>ecil</i> com o aumento da temperatura....	104

LISTA DE TABELAS

Tabela 3.1: Aumento da corrente com o aumento da temperatura.....	47
Tabela 3.2: Aumento da corrente de fuga em função da tensão de dreno em altas temperaturas.....	48
Tabela 3.3: Comportamento de I_{Dleak} em função da temperatura de operação	74
Tabela 3.4: Comportamento de I_{Dleak} em função de V_{DS} e temperatura Aumento da corrente com o aumento da tensão de dreno.....	75
Tabela 4.5 I_{Dleak} em função de L	95
Tabela 4.6 espessura do <i>ecill</i> com $V_{DS}=1V$ e $V_{GS}= -1V$	103
Tabela 4.7: Corrente no <i>ecil</i>	105

LISTA DE SÍMBOLOS

C_{ox}	Capacitância no óxido de porta do transistor (F/cm^2)
$X_{dmáx}$	Largura máxima da região de depleção(μm)
E_C	Nível de Energia de Condução (eV)
E_F	Nível de Fermi (eV)
E_g	Faixa Proibida (Band Gap) (eV)
E_i	Nível Intrínseco de Energia (eV)
E_{sp}	Espaço por onde flui a corrente na interface do óxido/canal até onde a concentração da densidade de corrente de elétrons e a de lacunas se igualam. (μm)
E_V	Nível de Energia de Valência (eV)
I_{Dleak}	Corrente de fuga do dreno do transistor (A)
I_{DS}	Corrente elétrica do dreno e a fonte do transistor (A)
k	Constante de Boltzman ($1,38 \times 10^{-23}$ J/K)
L	Comprimento do canal do transistor (μm)
J	Densidade de corrente de elétrons e lacunas (A/cm^2)
N_a	Concentração de impurezas aceitadoras do semiconductor (cm^{-3})
n_i	Concentração intrínseca de portadores (cm^{-3})
q	Carga elementar do elétron ($q = 1,6 \times 10^{-19}$ C)
t_{ox}	Espessura da camada de óxido de porta (μm)
t_{si}	Espessura da camada de silício (μm)
t_{oxB}	Espessura da camada de óxido enterrado (m)
T	Temperatura Celsius (C)
T_k	Temperatura absoluta (K)
V	Tensão (V)
V_{DS}	Tensão aplicada entre o dreno e a fonte (V)
V_{EA}	Tensão Early (V)
V_{GS}	Tensão aplicada entre a porta e a fonte (V)
V_{TH}	Tensão de limiar (V)
V_{BS}	Tensão no substrato do transistor SOI convencional
W_d	Largura da região de depleção (μm)
W	Largura do canal do dispositivo (μm)

J_{Dleak}	Densidade da corrente de fuga do dreno [A/cm^2]
SiO_2	Óxido de Silício
FD	Totalmente depletado
PD	Parcialmente depletado
NFD	Quase (Próximo) do totalmente depletado
ϵ_{ox}	Permissividade do óxido (F/cm)
ϵ_{si}	Permissividade do silício (F/cm)
ϕ_F	Potencial de Fermi (V)
ϕ_S	Potencial de superfície (V)
μ	Mobilidade (V^{-1})
A	Área das junções (m^2)
λ_c	Comprimento do canal natural (cm)
λ_{PD}	Comprimento do canal natural porta dupla (cm)

LISTA ABREVIATURAS

pc	Porta convencional
pd	Porta dupla
DG	Double-gate
SOI	Silicon on Insulator
SOS	Silicon on Sapphire
VLSI	Very Large Scale Integration
<i>edel</i>	Ponto de igualdade da densidade de elétrons e lacunas da corrente de fuga.
<i>ecil</i>	Espaço entre o <i>edel</i> e a interface mais próxima a ele.
FET	Field Effect Transistor (Transistor de Efeito de Campo)
MOS	Metal-Oxide-Semiconductor (Metal-Óxido-Semicondutor)

SUMÁRIO

1	INTRODUÇÃO.....	22
1.1	OBJETIVO.....	26
1.2	ESTRUTURA DO TRABALHO.....	26
2	REVISÃO BIBLIOGRÁFICA.....	28
2.1	APRESENTAÇÃO DA TECNOLOGIA SOI MOSFET.....	28
2.1.1	TIPOS DE ESTRUTURA NO SOI MOSFET.....	30
2.2	TECNOLOGIA DE MULTIPLAS PORTAS.....	34
2.2.1	DISPOSITIVOS DE PORTA DUPLA.....	34
2.2.2	DISPOSITIVOS DE PORTA TRIPLA.....	36
2.2.3	DISPOSITIVOS DE MAIS DE TRÊS PORTAS ("TRIPLE-PLUS GATE").....	36
2.3	CORRENTE DE FUGA.....	37
2.4	TRANSISTOR SOI MOSFET OPERANDO EM ALTAS TEMPERATURAS.....	40
3	SIMULAÇÕES NÚMERICAS E RESULTADOS.....	41
3.1	SIMULADOR ATLAS.....	41
3.1.1	MODELOS USADOS NAS SIMULAÇÕES.....	42
3.2.	PROCEDIMENTO PARA OBTENSÃO DOS DATOS.....	42
3.2.1	CARACTERÍSTICAS FÍSICAS DO SOI nMOSFET CONVENCIONAL.....	43
3.3	PROCEDIMENTO PARA A CARACTERIZAÇÃO ELÉTRICA DOS TRANSISTORES SOI nMOSFET CONVENCIONAL COM AS SIMULAÇÕES.....	44
3.3.1	ESTUDO DO COMPORTAMENTO do SOI nMOSFET CONVENCIONAL DE ACORDO COM A VARIAÇÃO DA TEMPERATURA, COMPRIMENTO DO CANAL E DA TENSÃO DE DRENO...46	46
3.3.2	COMPORTAMENTO DA CORRENTE DE FUGA DO DRENO, EM FUNÇÃO DA ESPESSURA DO FILME DE SILÍCIO.....	50
3.4	ESTUDO DO COMPORTAMENTO DA DENSIDADE DA CORRENTE DE FUGA J_{DLEAK} NO CORPO DO TRANSISTOR SOI MOSFET CONVENCIONAL.....	56
3.5	ESTUDO DO COMPORTAMENTO DA DENSIDADE DA CORRENTE DE FUGA COM A ALTERAÇÃO DA TENSÃO DE V_{DS}	60
3.6	ESTUDO DA DENSIDADE DA CORRENTE DE FUGA COM A VARIAÇÃO DA ESPESSURA DO ÓXIDO ENTERRADO E A SUA POLARIZAÇÃO.....	65
3.7	CARACTERÍSTICAS FÍSICAS DO SOI nMOSFET PORTA DUPLA.....	70
3.8	PROCEDIMENTO PARA A EXTRAÇÃO DE PARAMETROS ELÉTRICOS DOS TRANSISTORES SOI nMOSFET PORTA DUPLA ATRAVES DAS SIMULAÇÕES.....	70
3.8.1	COMPORTAMENTO DE I_{Dleak} DO SOI MOSFET PORTA EM FUNÇÃO DA TEMPERATURA, COMPRIMENTO DO CANAL E DA TENSÃO DE DRENO.....	72

3.8.2	COMPORTAMENTO DA CORRENTE DE FUGA DO SOI MOSFET PORTA DUPLA EM FUNÇÃO DA ESPESSURA DO FILME DE SILÍCIO(T_{si}).....	76
3.8.3	ESTUDO DO COMPORTAMENTO DA DENSIDADE DA CORRENTE DE FUGA NO FILME DE SILÍCIO DO TRANSISTOR PORTA DUPLA.....	79
3.9	COMPORTAMENTO DO SOI MOSFET PORTA DUPLA POLARIZANDO UMA DAS PORTAS..	89
4	COMPARANDO OS RESULTADOS DOS TRANSISTORES SOI MOSFET E O CONVENCIONAL.....	94
4.1	COMPARANDO A EVOLUÇÃO DE I_{Dleak} PARA OS SOI MOSFET CONVENCIONAL E PORTA DUPLA COM O AUMENTO DA TEMPERATURA E L	94
4.1.1	RESULTADOS COMPARATIVOS DO SOI MOSFET PORTA DUPLA COM O CONVENCIONAL PARA ALTERAÇÕES NA ESPESSURA DO FILME DE SILÍCIO.....	96
4.1.2	COMPARATIVO DAS CORRENTES DE FUGA VARIANDO V_{DS} PARA O TRANSISTOR SOI MOSFET PORTA DUPLA E SOI MOSFET CONVENCIONAL.....	99
4.1.3	O COMPARATIVO DAS DENSIDADES DO SOI MOSFET PORTA DUPLA COM O SOI MOSFET CONVENCIONAL.....	100
4.1.4	CÁLCULO DA CORRENTE NA ÁREA DA ESPESSURA FORMA ENTRE O <i>EDEL</i> ATÉ A INTERFACE DO ÓXIDO E O CANAL O <i>ECIL</i>	104
5	CONCLUSÃO	107
	REFERÊNCIAS BIBLIOGRÁFICAS.....	109
	APÊNDICE A: (SIMULAÇÃO PARA SOI nMOSFET CONVENCIONAL).....	112
	APÊNDICE B: (SIMULAÇÃO PARA SOI nMOSFET PORTA DUPLA).....	118
	APÊNDICE C: SEMINATEC 2007.....	124
	APÊNDICE D: ESTUDANTE FORUM.....	125
	APÊNDICE E: TRANSISTOR BIPOLAR DE JUNÇÃO.....	132

CAPÍTULO 1 - Introdução

Os fabricantes de componentes eletrônicos visam cada dia mais o conforto dos usuários, e para isso tendem a reduzir as dimensões dos equipamentos fabricados. A concorrência cada vez maior entre fabricantes de equipamentos traz a tecnologia mais presente no nosso dia-a-dia, podemos exemplificar tal fato com a evolução do celular que, inicialmente, era utilizado apenas para fazer ligações, hoje tal aparelho já dispõe de serviços como câmera fotográfica, filmadora, vídeo conferência, e dimensões cada vez mais reduzidas.

Um dos componentes mais utilizados nestes equipamentos é, sem dúvida, o transistor, sendo este dividido em dois tipos: o transistor bipolar de junção e o transistor de efeito de campo. O transistor de efeito de campo possui diferentes formatos que os divide em JFET, MOSFET, SOI MOSFET e outros.

O transistor de efeito de campo foi patenteado em 07 de abril de 1933 por Julius Edgar Lilienfeld denominado simplesmente de MOS [1], a figura-1.1 ilustra o desenho esquemático que foi apresentado na patente, *US patent 1900018*, porém pela maturidade tecnológica da época não pode ser confeccionado, vindo a ser fabricado somente na década de 60 na Bell Labs por D. Kahng e M. Atalla [2], hoje muito utilizada na fabricação de circuitos integrados em alta escala de integração (VLSI). Com o transistor MOSFET em fabricação, melhorias no transistor foram estudadas. Surge então paralelamente o SOI MOSFET (SOI= Silicon-On-Insulator) onde foi introduzida uma camada de óxido conforme mostrada na figura; 1.3, e novamente com a escassez tecnológica não pode ser fabricado na época, vindo a ser fabricado pela primeira vez na década de 80 e somente utilizado, em escala industrial em 1998 pela IBM [3].

O transistor Bipolar teve seu início após a descoberta do MOSFET e é muito utilizado até hoje. Foi na tarde de 23 de dezembro de 1947, no laboratório da companhia Bell Telephone que Walter H. Brattain e John Bardeen demonstraram a função de amplificação do primeiro transistor. A fabricação do transistor Bipolar comparada com o MOSFET na época era mais acessível para a tecnologia existente, e assim teve sua fabricação em larga escala. O transistor Bipolar substitui as válvulas com enormes vantagens, como a economia de energia que anteriormente eram gastas nas válvulas e a agilidade, pois não era necessário esperar que as válvulas esquentassem para poder utilizá-las.

Na confecção dos transistores MOSFET do tipo N ou do tipo P a pastilha de silício recebe impurezas doadoras e receptoras em áreas pré-estabelecidas, no transistor bipolar estes

se denominam NPN e PNP e sua distinção é feita a partir de onde é colocado o silício dopado com aceitadores ou doadoras de elétrons (APENDICE E).

Para se formar um transistor MOSFET N, é preciso dopá-lo com impurezas doadoras de elétrons denominada de N_d que se convergem no dreno e na fonte com concentrações na ordem de $1e10^{20} \text{ cm}^{-3}$, no canal as concentrações são de aceitadores denominadas de N_a , na ordem de $5 \text{ e } 10^{17} \text{ cm}^{-3}$. Para os transistores de tipo P as concentrações passam a ser da seguinte forma: no dreno e na fonte as concentrações passam a ser de receptores e na ordem de $1 \text{ e } 10^{20} \text{ cm}^{-3}$ e no canal passa a ser de doadores N_d com concentração de $5 \text{ e } 10^{17}$. A nomenclatura para cada tipo de transistor está ligada ao tipo de concentração de impurezas feita no dreno, se for de aceitadoras do tipo P e se for de doadoras do tipo N, os dois tipos podem ser observados na figura-1.2.

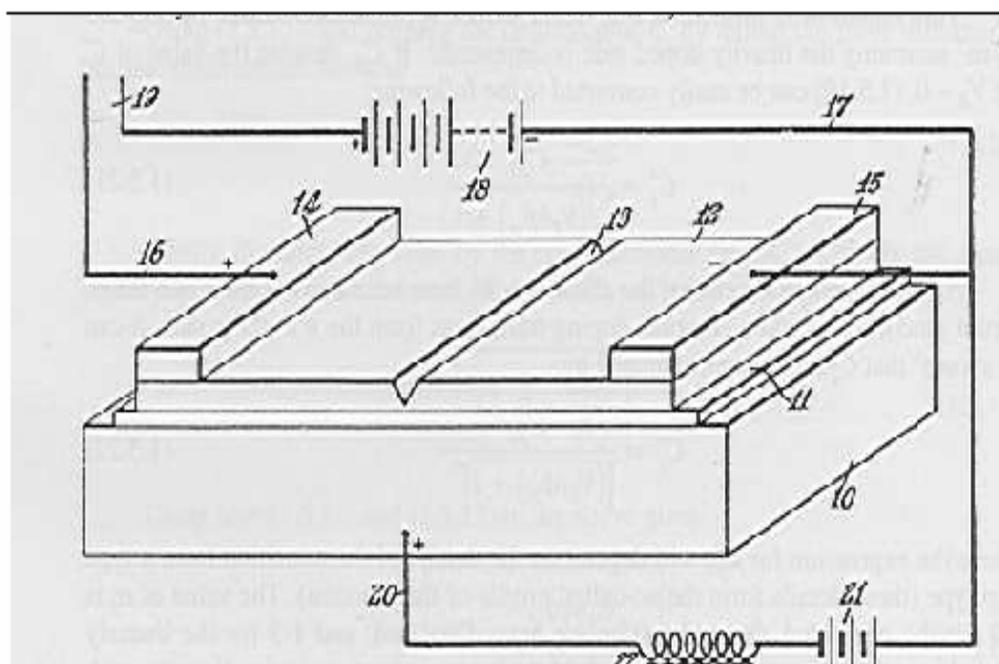


Figura-1.1 Esquema elétrico do MOSFET apresentado na patente de Lilienfeld em 1928 [2]

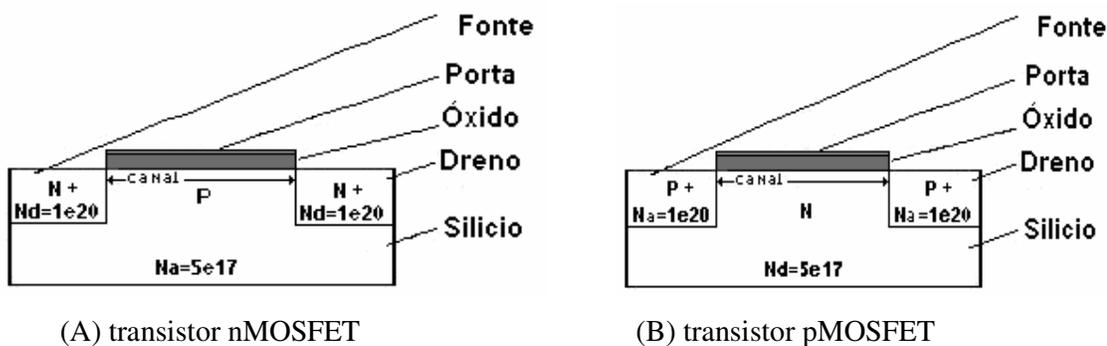


Figura-1.2: Transistor MOSFET do tipo N figura (A) e do tipo P figura (B).

N_a = concentração de impurezas aceitadoras do semiconductor tipo P.

N_d = concentração de impurezas doadoras do semiconductor tipo N.

O que diferencia a tecnologia SOI MOSFET da tecnologia MOSFET é a implantação do óxido enterrado entre o substrato e o canal do transistor (Silicon On-Insulator), reduzindo a área de interferência do canal, mantendo os dois tipos de transistores conforme no MOSFET: o do tipo N e o do tipo P, podendo ser visto na figura-1.3.

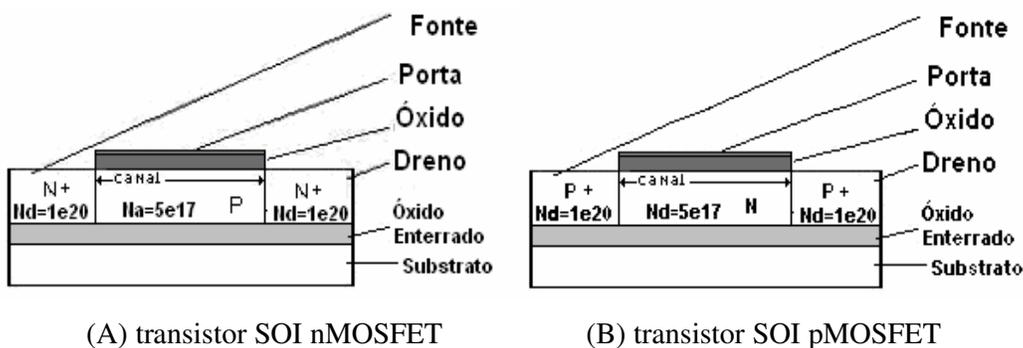


Figura-1.3: Transistor SOI MOSFET do tipo N figura(A) e do tipo P figura (B).

Algumas vantagens significativas apresentadas na tecnologia SOI MOSFET em comparação com a tecnologia MOSFET são: corrente de fuga do dreno (I_{Dleak}) sendo de três a quatro grandezas menor, resultando novos processadores formados com tecnologias SOI; uma redução nos gastos com energia elétrica; redução na elevação abrupta da corrente; redução significativa no efeito do canal curto; redução nas capacitâncias de junção; menor variação na

tensão limiar com a variação na temperatura [4], principalmente em elevadas temperaturas [5], podendo ser usada na indústria automobilística em sensores para altas temperaturas como freios ABS, sensores de controle de temperatura de óleo e sensores para fornos de temperaturas elevadas etc; menor sensibilidade a radiação [6] no uso para futuras naves espaciais tripuladas ou não, vantagem esta se dá pelo fato da área do canal do transistor SOI MOSFET ter sido reduzida com a introdução do óxido enterrado, fazendo com que a probabilidade desta ser atingida passa a ser menor do que a área do canal do transistor MOSFET convencional que é maior conforme já mostrada nas figuras 1.2 e 1.3; a redução da capacitância de junção devido ao fato da área de exposição do dreno e da fonte em relação ao canal do transistor que forma a junção PN ter sido reduzida com a introdução do óxido enterrado isolando não só do canal como também todo o transistor do substrato [7]; outra vantagem é vista quando operando nas condições totalmente depletado, onde a espessura do filme de silício que forma o canal é menor que a máxima depleção espessura esta formada entre a interface do óxido de porta e a sua máxima profundidade na direção do óxido enterrado, condições estas que serão explicadas com mais detalhes no capítulo 2 no índice 2.1.1, que proporcionam um baixo consumo de potência e baixa tensão de alimentação (Low-Power, Low-Voltage- LPLV) [8], efeito de canal curto [9] [10], menor variação da tensão limiar e, sempre pensando na evolução tecnológica para se obter maior tecnologia com menor espaço.

Com o avanço da tecnologia SOI MOSFET foi desenvolvida a implantação de uma segunda porta criando SOI MOSFET porta dupla, cuja estrutura pode ser vista na figura-1.4. Para que não se tenha confusões no decorrer deste trabalho denominaremos o transistor SOI MOSFET com uma só porta de transistor SOI MOSFET convencional.

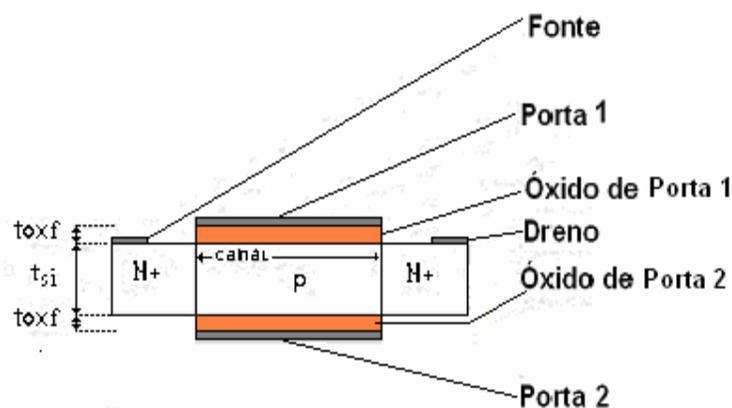


Figura 1.4: Estrutura do SOI MOSFET porta dupla.

1.1 Objetivo

Este trabalho tem como objetivo o estudo do comportamento da corrente de fuga do dreno (I_{Dleak}) do transistor SOI MOSFET porta dupla e compará-la com as correntes de fuga do SOI MOSFET convencional, os quais estão operando desde a temperatura ambiente até 350°C, em função da, tensão de dreno (V_{DS}) da variação do comprimento do canal (L), da espessura da camada de silício (t_{si}) e da espessura do óxido enterrado (t_{oxB}).

O estudo consistiu em obter simulações suficientes para que não pairasse nenhuma dúvida com as variações já mencionadas tanto para o SOI MOSFET porta dupla como para o SOI MOSFET convencional e de posse dos resultados analisar e confrontar os resultados desde curvas de $I_D \times V_{GS}$ até o estudo das densidades de elétrons e lacunas no interior do canal do transistor, sempre com ênfase na corrente de fuga I_{Dleak} em função da temperatura.

Os resultados foram obtidos através da realização de inúmeras simulações desenvolvidas através do simulador numérico Atlas[11], cujos detalhes serão demonstrados no capítulo 3, assim como os recursos que foram empregados para a realização deste trabalho.

1.2 Estrutura do Trabalho

Este trabalho está dividido em 4 capítulos da seguinte forma:

Capítulo 2: encontra-se uma revisão bibliográfica a respeito do funcionamento do transistor SOI MOSFET juntamente com algumas evoluções apresentadas nesta tecnologia.

Capítulo 3: são apresentados resultados das simulações numéricas bidimensionais obtidas, dos estudos referentes ao comportamento das correntes de fuga do dreno em transistores SOI MOSFET convencional e do SOI MOSFET porta dupla, operando desde temperaturas ambientes até 350°C, em função da tensão de dreno (V_{DS}), das tensões de porta (V_{GS}), tensões de dreno (V_{DS}), com os comprimentos dos canais (L), da espessura da camada de silício (t_{si}) e da espessura do óxido enterrado (t_{oxB}).

Capítulo 4: Os resultados serão confrontados e discussões serão realizadas a fim de justificar os diversos comportamentos nestas estruturas submetidas a altas temperaturas.

Capítulo 5: são apresentadas as principais conclusões referentes ao trabalho desenvolvido, bem como a apresentação de proposta para trabalhos futuros.

2 REVISÃO BIBLIOGRÁFICA

Neste capítulo será apresentada uma revisão dos conceitos básicos do transistor SOI MOSFET, bem como dos parâmetros elétricos utilizados neste trabalho.

2.1 Apresentação da Tecnologia SOI MOSFET

A tecnologia SOI (Silicon On Insulator) MOSFET é uma evolução da tecnologia MOS, que tem a sua vida útil determinada pela máxima redução de suas dimensões físicas sem que se afete o seu funcionamento, ou seja, ocorra a perfuração MOS (*punchthrough*), a degradação das características devido ao efeito de canal curto, bem como pelas demais limitações apresentadas no capítulo 1. Estima-se que este limite de redução do tamanho do transistor MOSFET esteja em torno de 25nm [1] ou 10nm [2], uma alternativa apresentada para essa limitação foi a evolução da tecnologia MOSFET para a tecnologia SOI MOSFET [3] que se trata da obtenção de lâminas de Si com SiO₂ enterrado no seu interior, deixando uma fina camada cristalina de Si na superfície, sobre a qual será construído os dispositivos SOI MOSFET. Existem algumas técnicas para a obtenção desta lâmina que só recentemente sua confecção tornou-se viável, são elas: SIMOX (Separation by Implanted of Oxygen) [4], ZMR (Zone-Melting Recrystallization) [5].

Dentre as tecnologias de fabricação do SOI MOSFET existentes uma que se destacou até agora por ser mais fácil de ser aplicada e sua montagem ser mais simples que é a SIMOX [6], ela se baseia em duas etapas, na primeira etapa, consiste em implantar íons de oxigênio (¹⁶O+) em torno de 1-5E17 ions/cm⁻² com uma energia de 150 -220 KeV com temperaturas elevadas (300 – 500 °C). Pelo fato de queremos formar uma camada de óxido com uma certa profundidade para a construção do transistor em cima desta camada formando a tecnologia SOI MOSFET os íons de oxigênio implantados na pastilha de silício se oxidaram formando a camada desejada de óxido isolante, com a necessidade da profundidade para ocorrer esta oxidação ser variável na hora da sua construção, pois depende das dimensões dos transistores que será formado em cima dela nada melhor que a implantação dos íons que devido as suas cargas elétricas podem ser acelerados com maior ou menor velocidade facilitando desta forma o controle da posição na cama da do óxido, que é denominado de óxido enterrado. Na segunda etapa antes de se definir as dopagens do novo transistor é implantado novamente (¹⁶O+) nas mesmas condições anteriores citadas só que agora com temperaturas superiores a

1200°C para desestabilizar a camada formada e aumentarmos a espessura da mesma podendo ficar em torno de 500Å- 900Å

Em 1997 surgiu uma nova tecnologia que vem sendo utilizada gradativamente e se mantém até hoje, patenteada pela SOITEC, companhia francesa que a desenvolveu, batizando-a de Smart-Cut. Este processo consiste em substituir o oxigênio por hidrogênio tornando o processo mais barato, o processo de fabricação pode ser observado na figura 2.1.

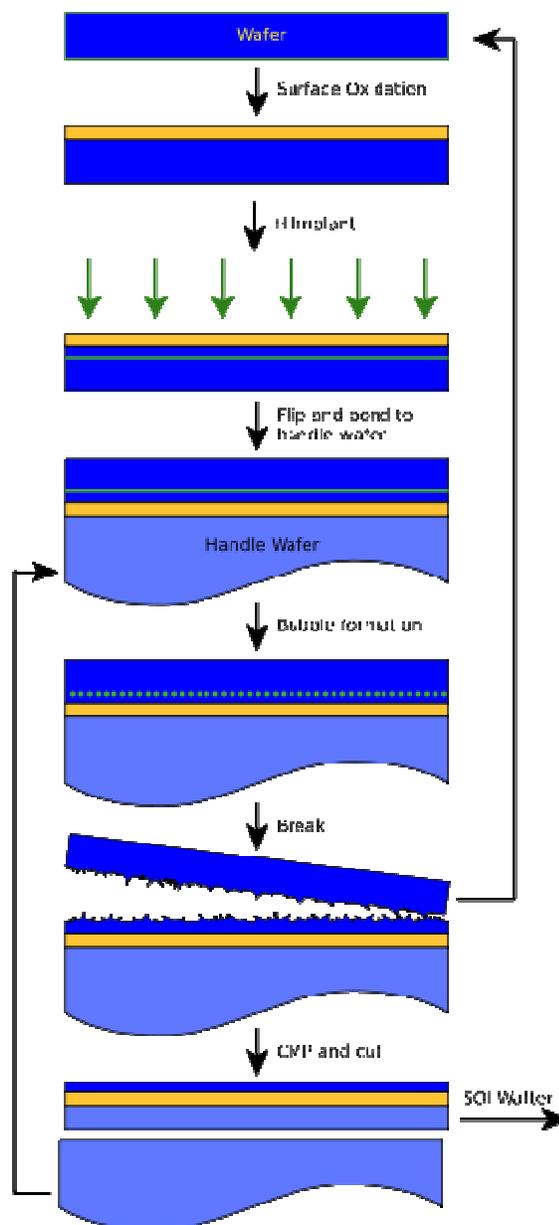


Figura 2.1: Processo de fabricação do SOI MOSFET com a tecnologia Smart-Cut [7]

Na camada superior de SiO_2 , o silício cristalino recebe dopagens adequadas para se formar o transistor SOI nMOSFET ou SOI pMOSFET, já a camada de SiO_2 está separando o SOI MOSFET do substrato (de silício) e também lateralmente, como é feito na tecnologia MOSFET onde o isolamento lateral é fundamental principalmente entre transistores complementares do tipo nMOSFET e pMOSFET. Na tecnologia SOI MOSFET o transistor também fica isolado, como pode ser visto na figura-2.2. Este isolamento lateral é fundamental para que não ocorra os efeitos provocados pelo campo formado entre os transistores e provocar o efeito de “latch-up”.

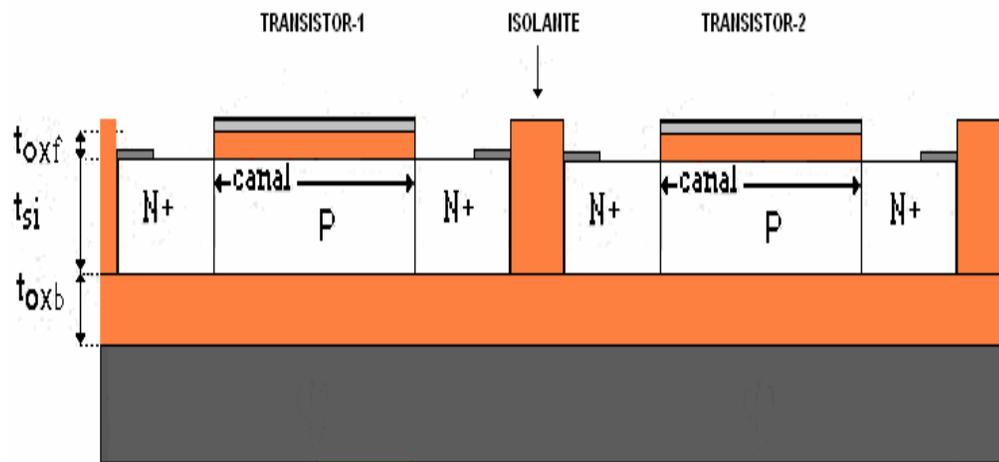


Figura-2.2: Corte da seção transversal de uma lamina da tecnologia SOI MOSFET, contendo dois transistores.

Onde tem-se:

- t_{oxf} : é a espessura do óxido de porta (nm);
- t_{si} : é a espessura do filme de silício (nm);
- t_{oxb} : é a espessura do óxido enterrado (nm);
- L : é o comprimento de canal (μm).

2.1.1 Tipos de estruturas no SOI MOSFET

No processo de fabricação de circuitos integrados com a tecnologia SOI MOSFET são englobados vários transistores e estão envolvidos vários processos onde são utilizadas várias máscaras que definirão o tamanho, as dopagens e o tipo de transistor (SOI nMOSFET ou SOI pMOSFET).

Além das estruturas SOI MOSFETs existem três outras características que diferenciam não só o transistor SOI nMOSFET como o transistor pMOSFET que está relacionado com a profundidade máxima da região da depleção no filme de silício, conforme descrito a seguir.

- Dispositivo de camada espessa (SOI MOSFET partially depleted (PD));
- Dispositivo de camada fina (SOI MOSFET fully depleted (FD));
- Dispositivo de camada média (SOI MOSFET near fully (NFD));

O transistor totalmente depletado (“FD – fully depleted”) é o transistor de camada fina, onde a espessura do filme de silício (t_{si}) é menor que a profundidade máxima da depleção (x_{dmax}), tendo como características o baixo consumo de potências e baixa tensão de alimentação [8] e o parcialmente depletado (PD) (“PD partially depleted”), transistor de camada espessa, onde a espessura da camada de silício (t_{si}) é maior que o dobro da profundidade máxima de depleção, não existindo interação entre a primeira e a segunda interface, ou seja, existindo uma região neutra entre elas.

Existe um terceiro estágio que é o estágio intermediário, onde o transistor possui camada média e está entre o parcialmente depletado e o totalmente depletado: é o Near-fully e são obtidos quando a espessura da camada de silício é maior que a profundidade máxima de depleção e menor que o dobro da profundidade máxima de depleção ($x_{dmax} < t_{si} < 2x_{dmax}$). Neste tipo de dispositivo com uma polarização no substrato, ele pode se comportar como um FD ou NFD.

Fatores externos também podem contribuir para que o transistor FD passe para NFD, como por exemplo, em temperaturas elevadas a profundidade máxima da depleção diminui influenciando no tipo de transistor. Esta dependência da temperatura pode ser observada quando usamos a expressão (2.1)[9]. Nesta expressão um dos seus fatores para o cálculo de X_{dmax} é o potencial de Fermi que é dado pela equação (2.2) [2] que mostra a dependência com relação à temperatura principalmente pelo fator n_i (concentração intrínseca dos portadores) dado pela equação 2.3 que mostra que quando aumentamos a temperatura aumentamos n_i como conseqüência diminuímos ϕ_F e como resultado final diminui X_{dmax} .

$$X_{dmax} = \sqrt{\frac{4\epsilon_{si}\phi_F}{qN_a}} \quad (2.1)$$

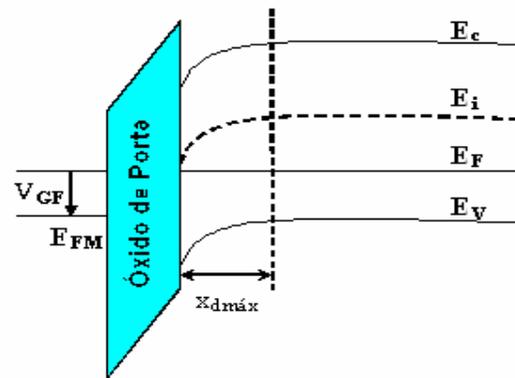
$$\phi_F = \frac{kT_k}{q} \ln\left(\frac{N_a}{n_i}\right) \quad (2.2)$$

$$n_i = 3,9 \cdot 10^{16} \cdot T^{3/2} \cdot e^{-\left(\frac{E_g}{2kT}\right)} \quad (2.3)$$

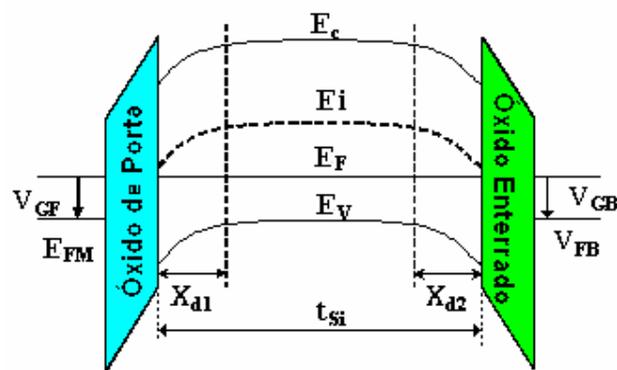
Onde tem-se que:

x_{dmax}	Profundidade máxima da região de depleção (m).
ϵ_{Si}	Permissividade do silício (F/cm).
q	Carga elementar do elétron (q)
N_a	Concentração de impurezas aceitadoras do semiconductor (cm^{-3})
k	Constante de Boltzmann (eV/K)
T_k	Temperatura absoluta (K)
n_i	Concentração intrínseca de portadores
Φ_F	Potencial de Fermi
n_i	concentração intrínseca dos portadores Si (cm^{-3})
k	Constante de <i>Boltzmann</i> ($1,38 \times 10^{-23}$ J/K)
E_g	Faixa proibida (Band Gap) (eV).

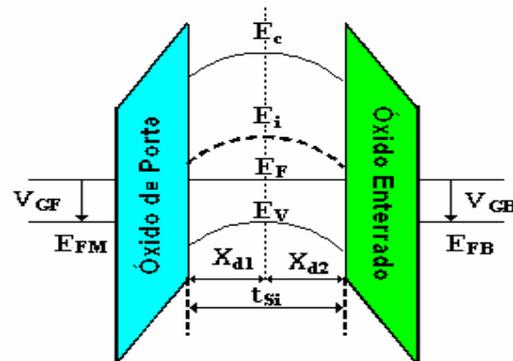
Para um melhor entendimento dos três tipos de transistor PD, NFD e FD é mostrado na figura 2.3 (A) o diagrama de energia do dispositivo MOSFET convencional, na figura -2.3 (B) é mostrado o diagrama de energia para o transistor SOI nMOSFET parcialmente depletado e na figura 2.3(C) é mostrado o diagrama de energia para o transistor SOI nMOSFET totalmente depletado onde pode ser notado o nível de energia inferior da faixa de condução (E_C), o nível de energia superior da faixa de valência (E_V) e o nível de energia intrínseco (E_i). Também está sendo mostrado o nível de Fermi para semicondutores (E_F) e o nível de Fermi para metal (E_{FM}).



(A)



(B)



(C)

Figura 2.3: Diagrama de energia de um transistor MOSFET convencional(A), SOI MOSFET parcialmente depletado(B), e SOI MOSFET totalmente depletado(C).

Temos:

E_c	Nível de energia da banda de condução (eV).
E_i	Nível intrínseco do semiconductor (eV).
E_F	Nível de Fermi para semicondutores (eV).
E_V	Nível de banda de Valência (eV).
V_{GF}	Tensão de porta da primeira interface (V).
E_{FM}	Nível de Fermi para o metal (eV).
x_{dmax}	Profundidade máxima da região de depleção (μm).
t_{si}	Espessura do filme de silício (μm).
V_{FB}	Tensão de faixa plana (V).
x_{d1}	Profundidade de depleção proveniente da primeira interface (μm).
x_{d2}	Profundidade de depleção proveniente da segunda interface (μm).
V_{GB}	Tensão de porta da segunda interface (μm).

2.2 Tecnologia de Múltiplas Portas.

Com as vantagens apresentadas até agora da tecnologia SOI MOSFET diante da MOSFET, a mesma começou a evoluir, ainda mais com o efeito do canal curto melhorando o controle da corrente, foi quando o estudo partiu para tecnologia múltiplas portas tais como: porta dupla (“duble-gate”), porta tripla (“triple-gate”) e mais que três portas (“Triple-plus”).

2.2.1 Dispositivos de Porta Dupla

Em meados de 1984 foi criado o primeiro transistor de porta dupla, sendo batizado de XMOS [10]. Na seqüência outros dispositivos foram desenvolvidos seguindo a mesma filosofia de elevar a corrente com técnicas diferentes MFXMOS[11], SOI MOSFET Triangular [12], Δ -channel SOI MOSFET [13] e FinFET [14] conforme pode ser observado na Figura 2.4. Na figura 2.5 está ilustrado um transistor SOI MOSFET porta dupla montado tecnologia planar.

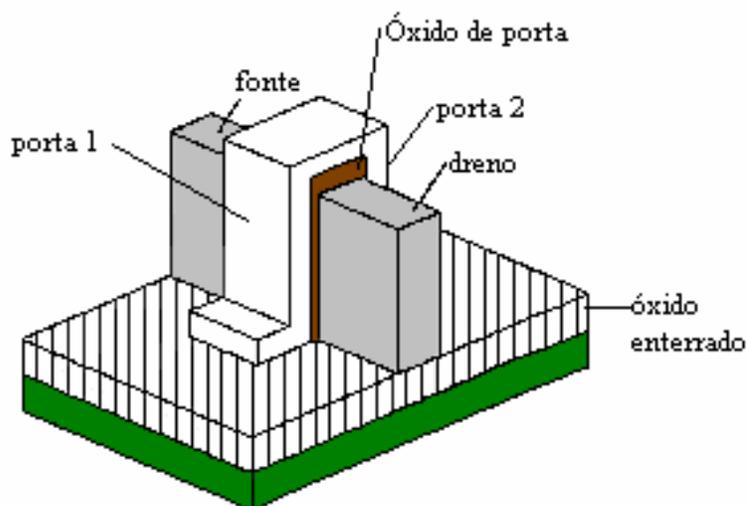


Figura 2.4: Estrutura SOI MOSFET de porta dupla montado verticalmente.

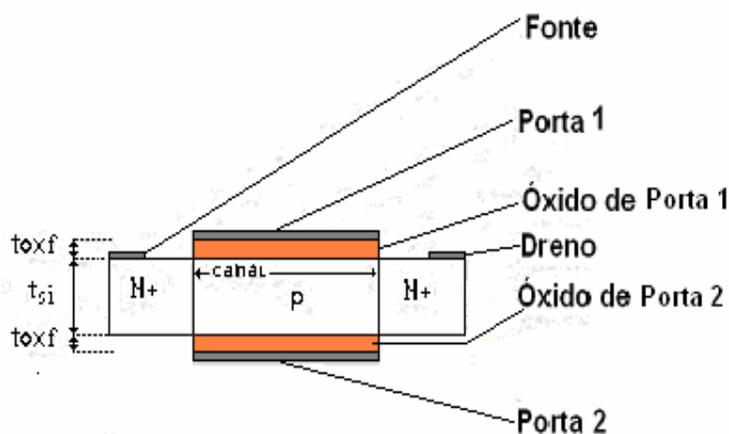


Figura 2.5: Estrutura SOI MOSFET porta dupla, montado na tecnologia planar.

As vantagens encontradas com a utilização da segunda porta são: o controle melhor da região de depleção e o efeito do canal curto que teve uma melhora significativa quando comparado aos do SOI MOSFET porta convencional que já havia melhorado em comparação ao MOSFET. Uma propriedade muito importante que foi encontrada neste tipo de dispositivo é a formação de camadas de inversão, não somente acima e abaixo da região de canal, mas em toda a camada de silício, este efeito que aparece quando a espessura da camada de silício é fina o suficiente para a sua formação é conhecido como inversão de volume, que proporciona

um aumento da corrente do dispositivo [15], podendo chegar quase ao dobro da corrente comparado ao SOI nMOSFET convencional [9].

2.2.2 Dispositivos de porta tripla.

Os dispositivos onde o canal é envolvido nos três lados conforme mostrado na figura 2.4, poderiam ser considerados um SOI MOSFET de três portas, porém o terceiro lado, situado na parte superior do dispositivo, que possui a espessura do óxido na sua elaboração muito espessa comparada aos outros dois lados, faz com que este lado do canal do transistor não sofra as influências externas quanto a polarização não podendo ser considerada uma porta. No caso do dispositivo de três portas, as dimensões do óxido de porta dos três lados são praticamente iguais. Como exemplo já implantado o “quantum-wire SOI MOSFET”[16], podendo ser visto a forma do transistor de três portas na figura 2.6.

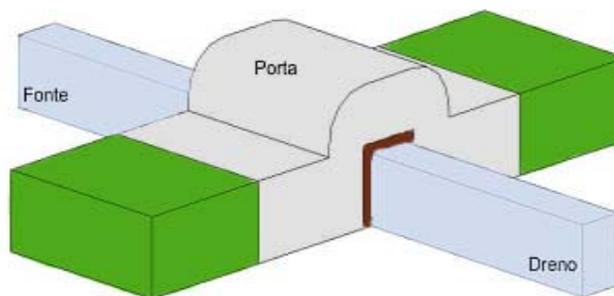


Figura 2.6: Estrutura SOI MOSFET de três portas.

2.2.3 Dispositivos de mais de três portas (“triple-plus gate”)

Algumas melhorias feitas nos dispositivos de três portas receberam o nome de “ π -gate” e “ Ω -Gate” e “strained-channel multi-gate” [17] Suas propriedades estão entre portas triplas e portas quádruplas, pois não é um de três portas, mas também não é um de quatro portas, porque ele possui uma pseudoquarta porta. Com a extensão das portas do “ π -gate” e “ Ω -Gate”, conforme mostra figura 2.7, podemos verificar com uma maior riqueza de detalhes que o canal é um quadrado, fazendo com que as portas tenham as mesmas dimensões.

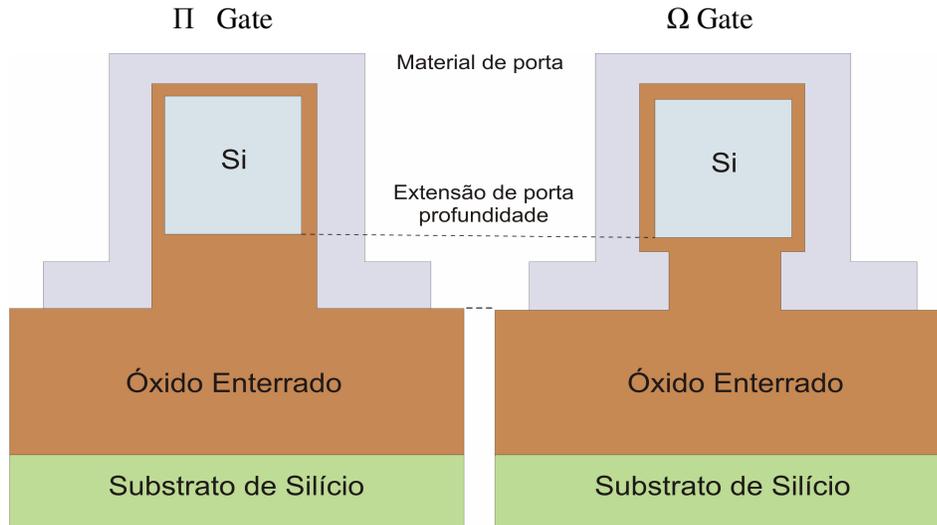


Figura 2.7: Cortes transversais das estruturas “ π -gate” e “ Ω -Gate”.

2.3 Corrente de fuga

A corrente de fuga sempre foi um efeito indesejável que ocorre nos transistores quando estes estão operando na região de corte. Com o avanço da tecnologia os circuitos integrados fabricados hoje em dia têm uma concentração de transistores muito maior por cm^2 em relação aos seus antecessores, onde a corrente de fuga era um dos fatores que mais provocavam o mau funcionamento dos circuitos quando usados em altas temperaturas [18]

Os transistores MOSFET conseguem trabalhar até temperaturas de 180°C , enquanto que transistores com a tecnologia SOI MOSFET conseguem trabalhar com temperaturas em torno de 600°C [19].

Da literatura clássica, sabe-se que a corrente de fuga em uma junção PN pode ser calculada através da seguinte equação (2.9) [18].

$$I_{\text{Dleak}} = q \cdot A \left(\frac{D_n}{\tau_n} \right)^{\frac{1}{2}} \cdot \frac{n_i^2}{N_a} + q \cdot A \frac{n_i \cdot W}{\tau_e} \quad (2.9)$$

Onde tem que:

q Carga elementar de um elétron ($1,6 \times 10^{-19} \text{ C}$)

A Área da junção (cm^2)

D_n Coeficiente de difusão do elétron (cm^2/s)

n_i Concentração intrínseca dos portadores Si (cm^{-3})

N_a Concentração de impurezas aceitadoras do semiconductor (cm^{-3})

W_d Largura da depleção (μm).

τ_e ($\tau_n + \tau_p$) tempo de vida efetiva relacionada ao processo de geração térmica na região de depleção.

τ_n Tempo de vida do elétron (em um silício neutro do tipo-p)

A dependência da temperatura de n_i é determinada por (2.10)[20].

$$n_i = 3,9 \cdot 10^{16} \cdot T^{3/2} \cdot e^{-\left(\frac{E_g}{2kT}\right)} \quad (2.10)$$

Onde:

n_i concentração intrínseca dos portadores Si (cm^{-3})

T_K Temperatura (K).

k Constante de *Boltzmann* ($1,38 \times 10^{-23} \text{ J/K}$) ou (eV/K)

E_g Faixa proibida (Band Gap) (eV).

Uma comparação feita entre os transistores MOSFET e o SOI MOSFET convencional na literatura nos mostra que as correntes de fuga podem ser de três a quatro vezes menores para o SOI MOSFET quando comparado ao MOSFET, desde que operando nas mesmas condições.

Neste trabalho a comparação está sendo feita entre o SOI MOSFET convencional e o SOI MOSFET porta dupla, cujos resultados e discussões serão mostrados no decorrer deste trabalho. As primeiras observações do comportamento da corrente de fuga para os transistores SOI MOSFET porta dupla e SOI MOSFET convencional foram feitas nas seguintes condições: tensão de dreno $V_{DS} = 10\text{mV}$, tensão de porta $V_{GS} = -1,0\text{V}$, com a temperatura desde a ambiente até 300°C , conforme pode ser visto na figura 2.8. Resultados similares

também são observados quando aumentamos o valor de V_{DS} para 200mV conforme pode ser visto na figura 2.9.

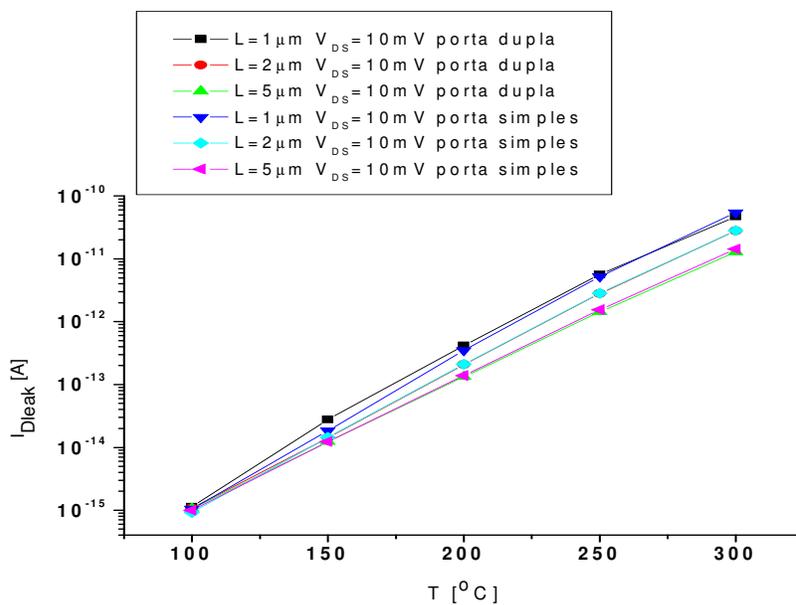


Figura 2.8: Resultados da corrente de fuga em função da temperatura para os comprimentos de canal de $1\mu\text{m}$, $2\mu\text{m}$ e $5\mu\text{m}$, com $V_{DS} = 10\text{mV}$ e $V_{GS} = -1,0\text{V}$.

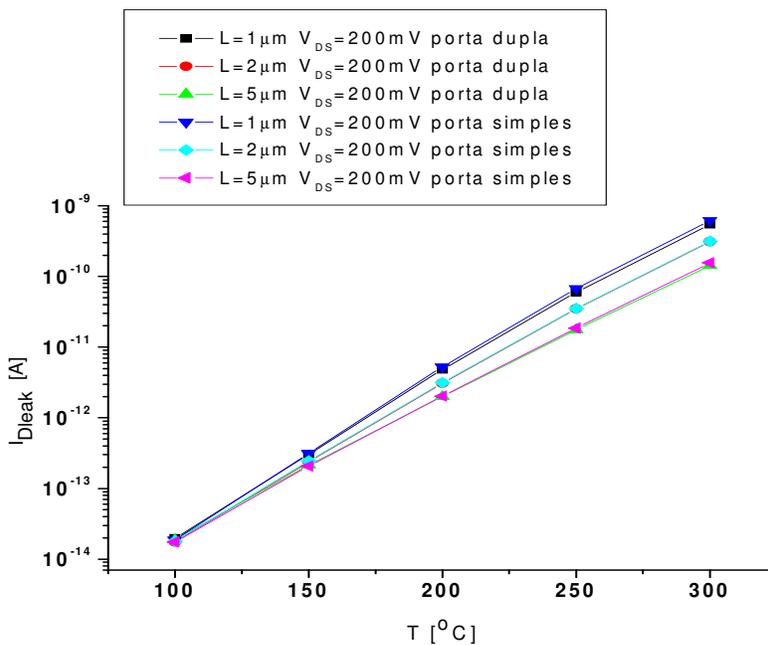


Figura 2.9: Resultados da corrente de fuga para os comprimentos de canal de $1\mu\text{m}$, $2\mu\text{m}$ e $5\mu\text{m}$, para $V_{DS} = 200\text{mV}$ e $V_{GS} = -1,0\text{V}$.

Com os resultados das figuras 2.8 e 2.9 podemos perceber o efeito da variação da temperatura na corrente de fuga (I_{Dleak}), pois quanto maior a temperatura maior será I_{Dleak} . No capítulo 3 iremos verificar com mais detalhes as conseqüências em I_{Dleak} em função da temperatura.

2.4 Transistor SOI MOSFET Operando em Altas Temperaturas

As características elétricas nos semicondutores se alteram com a elevação da temperatura, fazendo com que a banda proibida se estreite e como conseqüência da elevação da temperatura os elétrons ficam mais agitados armazenando mais energia, resultando em um numero maior de elétrons rompendo a banda proibida, ou seja, ultrapassando da banda de valência para banda de condução tendo como resultado um aumento na corrente no transistor.

Em locais onde as condições são mais severas, ou seja, as temperaturas de trabalho estão em torno ou superior a 150°C, como sensores de freio ABS, sensores para fornos, sensores para motor, satélites, energia nuclear, circuitos integrados para equipamentos eletrônicos em automóveis tais como rádios e equipamentos pertencentes ao painel, a maioria dos circuitos eletrônicos não consegue trabalhar em temperaturas elevadas. Um novo tipo de sensor está começando a ter a preferência para controles de fábricas em lugar de alta periculosidade, são os sensores via RF (rádio freqüência), diminuindo os gastos com fiação e podendo ser instalados em locais mais agressivos, tais como refinarias em locais de temperaturas elevadas. Os sensores com a tecnologia SOI MOSFET podem ser instalados em locais onde o MOSFET não funcionaria mais. Ao usarmos a tecnologia SOI MOSFET totalmente depletado, as vantagens aumentam ainda mais sobre a tecnologia MOSFET convencional, pelo fato da ausência do efeito tiristor parasitário termicamente ativado gerar uma variação menor na tensão limiar com a elevação da corrente e baixo consumo.

3 SIMULAÇÕES NÚMERICAS E RESULTADOS

Neste capítulo serão apresentados os resultados obtidos das simulações bidimensionais realizadas para os transistores SOI nMOSFET convencional e de porta dupla, com os seguintes parâmetros sendo variáveis: temperatura (T), comprimento do canal (L), espessura da camada de silício (t_{si}), espessura do óxido enterrado (t_{oxB}) polarização do substrato e da polarização do V_{DS} . O simulador utilizado foi o Atlas da Silvaco [1], e serão discutidas as suas características pertinentes à medida que se fizer necessário, juntamente com os seus modelos elaborados para cada uma das simulações realizadas ao longo deste trabalho, que tem como principal foco o estudo do comportamento da corrente de fuga do dreno I_{Dleak} nas estruturas SOI MOSFET convencional e de porta dupla.

3.1 Simulador Atlas

O simulador Atlas é um Software baseado nas características físicas dos dispositivos, prevendo as características elétricas que estão associadas com as estruturas físicas com as condições de polarização previamente especificadas, diferenciando-o de outros simuladores. Seus cálculos são realizados baseados nas grades formadas nas estruturas previamente definidas, que consistem em um determinado número de pontos denominados de nós, que definem a estrutura física do dispositivo a ser simulado.

Pela aplicação de uma série de equações diferenciais, que se originam das leis de Maxwell, sobre a grade, é possível simular o transporte de portadores através da estrutura, ou seja, é possível observar o desempenho elétrico dos dispositivos, em modos de operação DC, AC e transitórios.

No simulador Atlas existem alguns subprogramas onde são geradas as simulações, os programas que foram utilizados neste trabalho são o DECKBUILD, onde é possível gerar a estrutura dos dispositivos a ser simulada e o TONYPLOT, onde pode ser visualizada a estrutura gerada, assim como o resultado das correntes, tensões, densidade da corrente de elétrons, densidade da corrente de lacunas, dentre diversos outros parâmetros solicitado ao longo do desenvolvimento das simulações.

3.1.1 Modelos usados nas simulações

A seguir serão apresentados os modelos físicos extraídos do manual do simulador Atlas [1] e que foram utilizados para as realizações referentes às simulações das estruturas SOI MOSFET em estudo, que são:

AUGER: este modelo é usado para a recombinação através da transição direta de três partículas, onde um portador é capturado ou emitido. Importante em altas densidades de corrente.

BGN: este modelo que diz respeito ao estreitamento da faixa proibida é necessário para a correta modelagem do ganho do transistor bipolar parasita intrínseco ao transistor SOI. Importante em regiões altamente dopadas e deve ser utilizado junto com o modelo KLA.

FLDMOB: este modelo de degradação da mobilidade depende do efeito de campo lateral utilizado para estruturas de silício. Necessário para a modelagem de qualquer efeito relacionado à velocidade de saturação dos portadores

CVT: este modelo considera a mobilidade de portadores dependentes do campo elétrico perpendicular, considerando também a influência da temperatura e da concentração de portadores.

KLA: especifica o modelo de mobilidade Klaassen, para mobilidade inicial dependente da concentração de portadores, este modelo é recomendado para transistores da tecnologia SOI. Para um melhor entendimento, no anexo A encontram-se alguns exemplos de arquivos utilizados para as realizações das simulações de um dispositivo SOI nMOSFET convencional e porta dupla.

3.2 Procedimento para obtenção dos dados

Para o desenvolvimento deste trabalho, houve a divisão deste nas seguintes etapas: a primeira foi o desenvolvimento do arquivo de simulações para o transistor SOI nMOSFET convencional e o SOI nMOSFET porta dupla no simulador Atlas, onde foram definidas as características para o desenvolvimento das diversas simulações presentes neste trabalho, visando o levantamento da corrente de fuga do dreno, em função das variações: do comprimento do canal L , da espessura do filme de silício t_{si} , da tensão aplicada no dreno V_{DS} , no substrato V_{GB} , (neste caso só para o SOI nMOSFET convencional) e da tensão aplicada na porta. No caso do transistor SOI nMOSFET porta dupla a variação de tensão ocorreu simultaneamente nas duas portas e, principalmente, todas estas variações estavam em função

da temperatura, com variação compreendida entre a temperatura ambiente até 350°C. Na segunda etapa, de posse dos arquivos de simulações dos programas já elaborados, foram realizadas as simulações para obtenção de todos os dados mencionados, os quais serão detalhados no decorrer deste trabalho. E na terceira e última etapa, foram feitos os estudos de cada um dos resultados obtidos para o SOI nMOSFET convencional e para o SOI nMOSFET porta dupla e conseqüentemente as comparações.

3.2.1 Características físicas do SOI nMOSFET convencional e de porta dupla

O transistor SOI nMOSFET convencional utilizado neste trabalho possui as seguintes características físicas: comprimento do canal (L) ficou compreendido entre 0,5 μm e 10 μm , a espessura do filme de silício (t_{si}) variou entre 25nm e 100nm, a largura do canal (W) foi de 1 μm , por se tratar de simulações bidimensionais, a espessura do t_{ox} foi de 2,5nm, a espessura do óxido enterrado (t_{oxB}) variou entre 25nm e 400nm, sendo que a estrutura pode ser vista na figura-3.1. As concentrações tanto para o SOI MOSFET convencional e porta dupla na fonte e no dreno N_a e N_d são 5.10¹⁷ cm⁻³ e 1.10²⁰ cm⁻³ respectivamente.

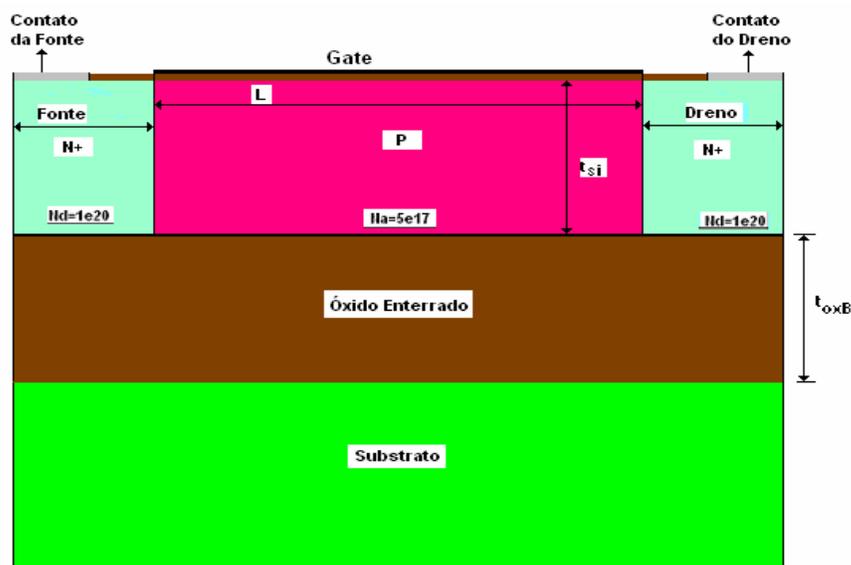


Figura-3.1: Configuração do transistor SOI MOSFET convencional, utilizado no trabalho.

No transistor SOI nMOSFET porta dupla, as portas encontram-se dispostas em sentidos opostos entre si, conforme ilustra a figura 3.2. O transistor SOI nMOSFET porta dupla

utilizado neste trabalho possui as seguintes características físicas: o comprimento do canal (L) permaneceu entre o intervalo de $0,5\mu\text{m}$ até $10\mu\text{m}$, a espessura do filme de silício (t_{si}) variou entre 25nm e 100nm , a largura do canal (W) permaneceu em $1\mu\text{m}$ e a espessura dos óxidos de porta (t_{ox}) em $2,5\text{nm}$.

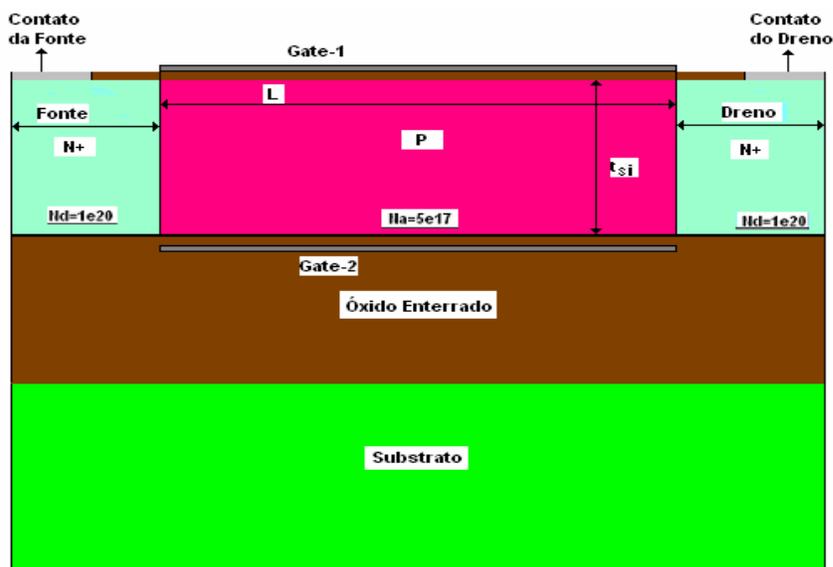


Figura 3.2: Configuração do transistor SOI nMOSFET porta dupla, utilizado no trabalho.

3.3 Procedimento para a caracterização elétrica dos transistores SOI nMOSFET convencional.

As simulações realizadas para o transistor SOI nMOSFET convencional tiveram como principal objetivo a extração e o estudo do comportamento da corrente de fuga do dreno em função da temperatura. Para tanto, o transistor foi polarizado conforme descrito a seguir.

Em todas as simulações a tensão de porta variou em cada simulação entre os valores de $-1,5\text{V}$ até $1,5\text{V}$, onde a tensão do dreno assumiu os valores de 200mV , 1V e 2V .

Com os resultados obtidos em temperatura ambiente, a mesma foi elevada para 100°C e foram refeitas todas as simulações, mantendo os padrões das tensões estabelecidas anteriormente. De posse dos resultados, a temperatura foi acrescida de 50°C e foram refeitas todas as simulações novamente e a cada término das simulações foi acrescentado na temperatura mais 50°C e novamente refeita todas as simulações e assim sucessivamente até chegar à temperatura de 350°C .

Para visualizarmos o comportamento de corrente de dreno (I_{DS}) em função da temperatura e da tensão aplicada na porta (V_{GS}), foram montados os gráficos $I_{DS} \times V_{GS}$ para os primeiros estudos do comportamento da corrente de fuga do dreno, conforme pode ser visto nas figuras 3.3 e 3.4.

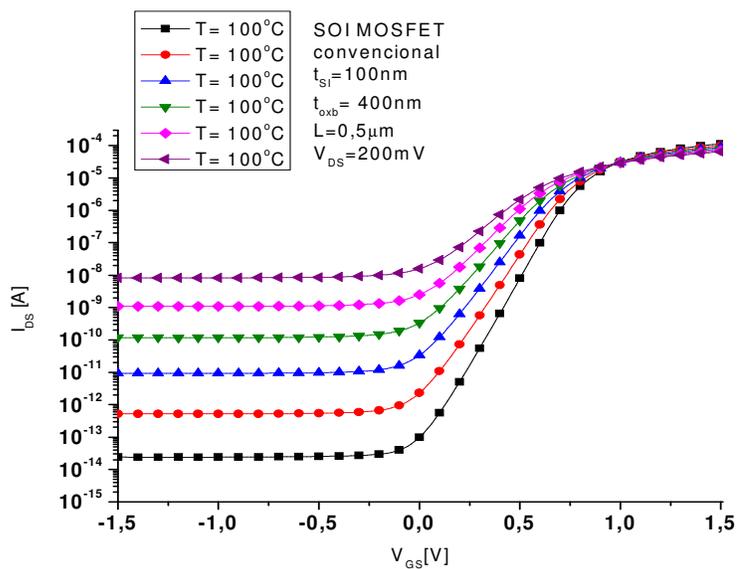


Figura 3.3: Curva $I_{DS} \times V_{GS}$ do transistor SOI nMOSFET convencional em função da temperatura, para $V_{DS} = 200\text{mV}$.

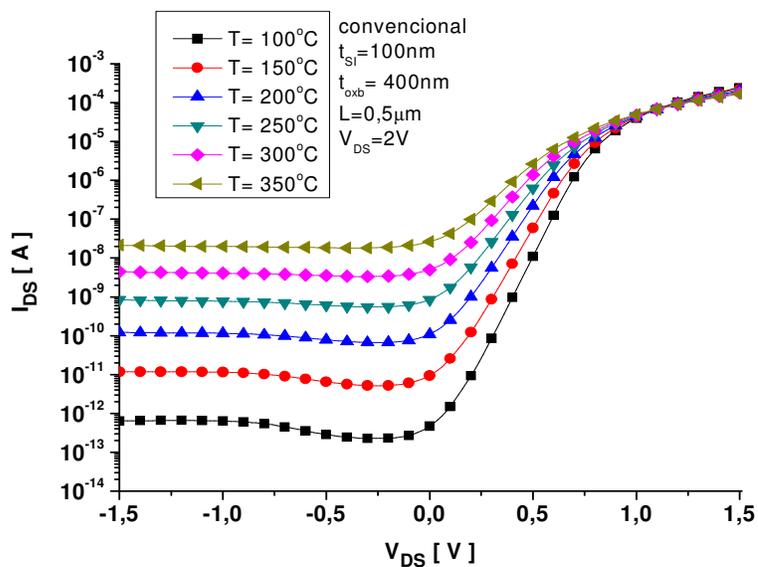


Figura 3.4: Curva $I_{DS} \times V_{GS}$ do transistor SOI nMOSFET convencional em função da temperatura, para $V_{DS} = 2\text{V}$.

Com os resultados apurados nas curvas $I_{DS} \times V_{GS}$ com V_{DS} assumindo o valor de 200mV pode ser notado que a corrente I_{DS} permanece praticamente constante para valores de tensão de porta inferiores a -0,8V, mesmo com as variações de temperatura. Resultados similares são obtidos para $V_{DS} = 1,0V$ e $V_{DS} = 2,0V$, também para as elevações nas temperaturas.

Portanto, de acordo com estes resultados, a tensão de porta $V_{GS} = -1V$ é usada como referência para se obter os valores da corrente de fuga do dreno I_{Dleak} em função da temperatura no estudo das comparações do comportamento das correntes de fuga entre o SOI nMOSFET convencional e o SOI nMOSFET porta dupla operando em altas temperaturas.

3.3.1 Estudo do comportamento do SOI nMOSFET convencional de acordo com a variação da temperatura, comprimento do canal e da tensão de dreno.

Com os resultados provenientes das variações de temperatura entre a ambiente e 350°C, foram analisados os valores das correntes de fuga no dreno no ponto em que $V_{GS} = -1V$, e elaborado o gráfico da corrente de fuga para V_{DS} assumindo valores de 200mV, 1V e 2V, em função da temperatura. Os resultados das correntes de fuga podem ser vistos na figura 3.5.

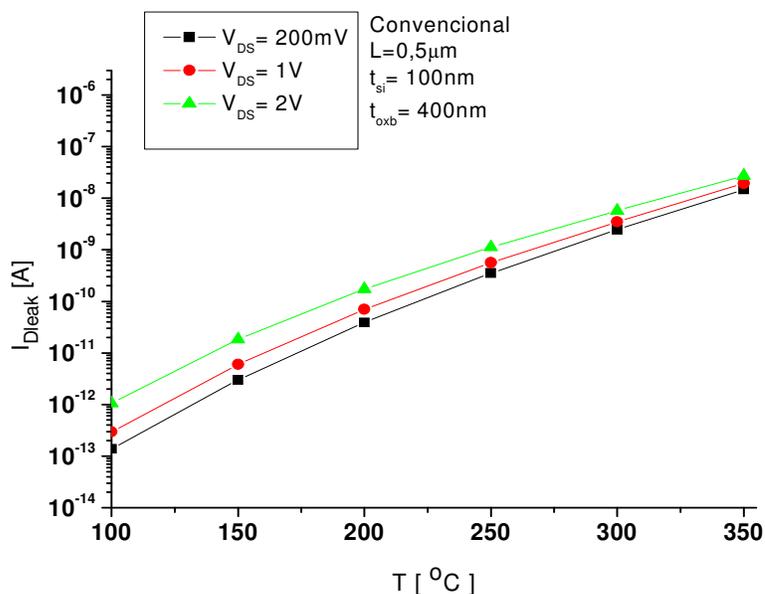


Figura 3.5: Variação da corrente de fuga em função da temperatura e da tensão de V_{DS} .

A partir dos resultados mostrados na figura 3.5 pode ser observada a influência da temperatura no comportamento de I_{Dleak} , pois quanto mais alta a temperatura, maior será I_{Dleak} e esta influência pode ser acentuada com a elevação de V_{DS} . Observando à temperatura de 150°C , a corrente de fuga, para $V_{DS} = 1\text{V}$, é praticamente o dobro da corrente de fuga com o $V_{DS} = 200\text{mV}$, enquanto que, com $V_{DS} = 2\text{V}$ comparada com $V_{DS} = 200\text{mV}$ a diferença chega a praticamente 6 vezes maior.

Outro exemplo que pode ser notado com a influência da temperatura na corrente de fuga é a diferença da corrente de fuga da temperatura de 150°C para 100°C que chega a ser 1 ordem de grandeza maior, enquanto que para a temperatura de 350°C a diferença chega aproximadamente 5 ordens de grandezas vezes maior em comparação com a temperatura de 100°C . Esta influência da temperatura também é notada para comprimentos de canais diferentes tais como $L = 0,5; 0,7; 0,9; 1; 2; 5$ e $10\ \mu\text{m}$.

Os resultados da corrente de fuga em função da temperatura podem ser observados na Tabela 3.1, onde as colunas $\left(\frac{100^{\circ}\text{C}}{X}\right)$ mostram quantas ordens de grandezas a corrente de fuga do dreno para temperaturas superiores a 100°C é maior que a corrente de fuga do dreno na temperatura de 100°C , e na Tabela 3.2 são mostrados os resultados em função da variação de V_{DS} e as colunas $\left(\frac{200\text{mV}}{X}\right)$ mostram quantas ordens de grandezas a corrente de fuga para $V_{DS} = 1\text{V}$ e 2V é superior a I_{Dleak} com $V_{DS} = 200\text{mV}$ sendo a referência.

Tabela 3.1: Aumento da corrente de fuga em função da temperatura.

1 de 2

T	$V_{DS} = 200\text{mV}$				Porta Convencional			
	$L = 0,5\ \mu\text{m}$	$I_{Dleak}\ 100^{\circ}\text{C}$	$L = 0,7\ \mu\text{m}$	$I_{Dleak}\ 100^{\circ}\text{C}$	$L = 0,9\ \mu\text{m}$	$I_{Dleak}\ 100^{\circ}\text{C}$	$L = 1\ \mu\text{m}$	$I_{Dleak}\ 100^{\circ}\text{C}$
	I_{Dleak}	X	I_{Dleak}	X	I_{Dleak}	X	I_{Dleak}	X
100°C	2,404E-14	0	1,708E-14	0	1,638E-14	0	1,62E-14	0
150°C	5,203E-13	1	3,346E-13	1	2,908E-13	1	2,76E-13	1
200°C	9,265E-12	2	5,883E-12	2	4,696E-12	2	4,285E-12	2
250°C	1,175E-10	4	7,653E-11	3	5,897E-11	3	5,276E-11	3
300°C	1,088E-09	5	7,248E-10	4	5,532E-10	4	4,915E-10	4
350°C	8,282E-09	6	5,608E-09	5	4,279E-09	5	3,796E-09	5

2de2

$V_{DS} = 200mV$		Porta Convencional	
L= 5000nm	$I_{Dleak} 100^{\circ}C$	L= 10000nm	$I_{Dleak} 100^{\circ}C$
I_{Dleak}	X	I_{Dleak}	X
2,44E-13	0	2,44E-13	0
2,44E-12	1	2,24E-12	1
1,64E-11	2	1,42E-11	2
8,66E-11	3	8,46E-11	3
4,09E-10	4	3,89E-10	4
1,98E-09	5	1,96E-09	5

Outra variação que pode ser notada é a de I_{Dleak} em função da tensão aplicada no dreno, conforme pode ser visto na tabela 3.2, onde são mostrados nas colunas ($200mV/x$) quantas vezes I_{Dleak} é superior para as variações de tensão do dreno entre 1V e 2V, quando comparada à I_{Dleak} utilizando $V_{DS} = 200mV$ como referência.

Tabela 3.2: Aumento da corrente de fuga em função da tensão de dreno em altas temperaturas.

TEMPERATURA DE 100°C								
V_{DS}	L= 0,5 μm	$\frac{200mV}{X}$	L= 0,7 μm	$\frac{200mV}{X}$	L= 0,9 μm	$\frac{200mV}{X}$	L= 1 μm	$\frac{200mV}{X}$
200mV	2,40E-14	0	1,70E-14	0	1,63E-14	0	1,62E-14	0
1V	1,02E-13	0,9	8,13E-14	0,8	7,57E-14	0,7	7,35E-14	0,7
2V	6,39E-13	1,4	3,23E-13	1,2	2,79E-13	1,2	2,65E-13	1,1
TEMPERATURA DE 350°C								
V_{DS}	L= 0,5 μm	$\frac{200mV}{X}$	L= 0,7 μm	$\frac{200mV}{X}$	L= 0,9 μm	$\frac{200mV}{X}$	L= 1 μm	$\frac{200mV}{X}$
200mV	8,28E-09	0	5,60E-09	0	4,27E-09	0	3,79E-09	0
1V	1,25E-08	0,4	8,23E-09	0,3	6,14E-09	0,2	5,41E-09	0,2
2V	1,98E-08	0,5	1,17E-08	0,6	8,62E-09	0,4	7,54E-09	0,3

Analisando os resultados apresentados nas tabelas 3.1 e 3.2, pode ser observada a evolução de I_{Dleak} para o aumento da temperatura, como também para as tensões aplicadas no de dreno estes resultados podem ser estendidos para valores de L de 2, 5 e $10\mu\text{m}$.

Outra evolução também observada é de I_{Dleak} em função do comprimento de L do transistor, sendo que quanto menor L maior será I_{Dleak} , agravando-se com o aumento da temperatura, conforme mostrado no gráfico da figura 3.6, reportando o comportamento da corrente de fuga do dreno em função do comprimento do canal do transistor SOI nMOSFET convencional operando com $V_{DS} = 2\text{V}$, em altas temperaturas. As mesmas características de que quanto menor L maior será a corrente, também podem ser observadas para V_{DS} assumindo valores de 200mV e 1V usados neste trabalho.

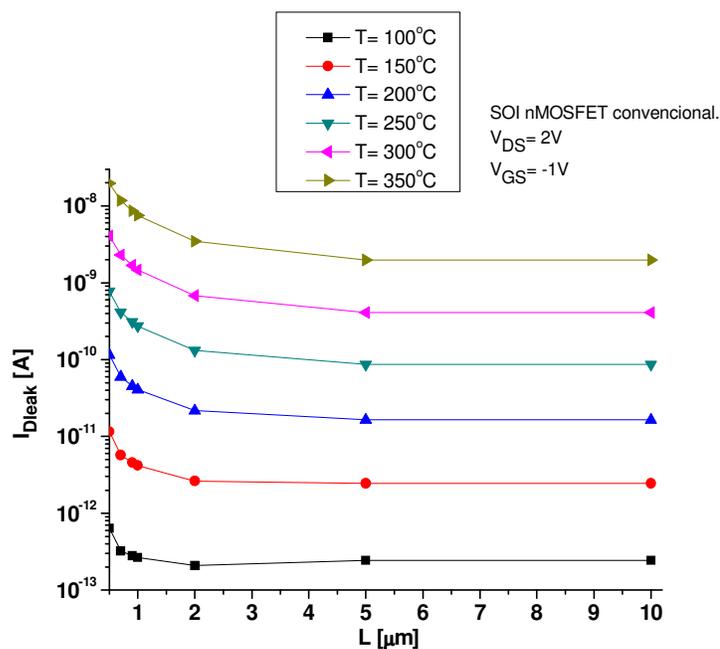


Figura 3.6: Comportamento da corrente de fuga em função de L para o SOI nMOSFET convencional operando em altas temperaturas.

O resultado da figura 3.6 nos mostra uma amostra da tabela 3.2, onde é observado que para valores de L maiores a corrente de fuga se mantém praticamente constante, enquanto que para valores menores de L a corrente cresce exponencialmente e este agravante aumenta com a elevação da temperatura, estes resultados também podem ser observados para valores de V_{DS} diferentes como 200mV e 1V conforme relatado na tabela 3.2

3.3.2 Comportamento da corrente de fuga do dreno em função da espessura do filme de silício.

Variando a espessura do filme de silício t_{si} do transistor SOI nMOSFET podemos observar a variação I_{Dleak} . Nota-se que quanto menor for t_{si} , menor será a corrente de fuga, conforme pode ser visto na figura 3.7, para $L= 0,5\mu m$ e na figura 3.8 para $L= 0,7\mu m$, operando em altas temperaturas.

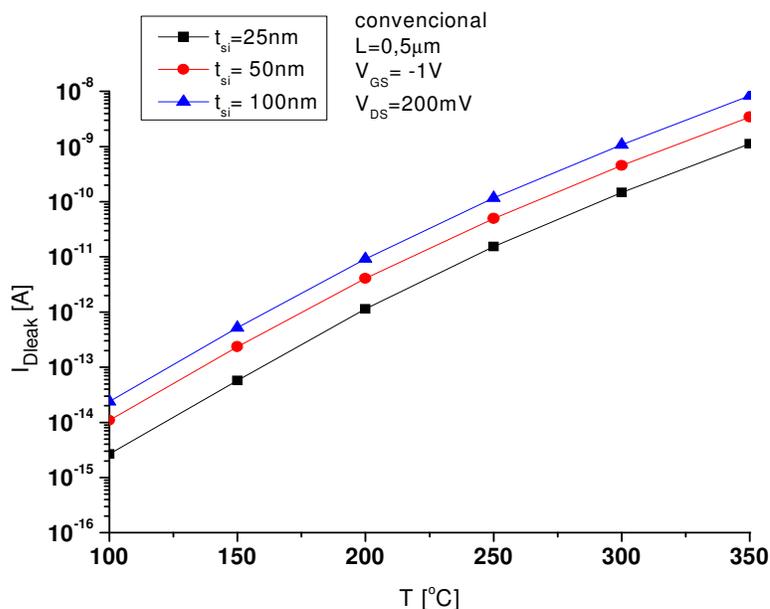


Figura 3.7: Comportamento de I_{Dleak} em função da variação do t_{si} com $L= 0,5\mu m$, em altas temperaturas.

O que pode ser notado nos gráficos das Figuras 3.7 e 3.8 é que quanto menor for o valor de t_{si} menor será I_{Dleak} . Resultados similares também são observados com o tamanho de $L= 0,9\mu m$, $1\mu m$, $5\mu m$ e $10\mu m$. O que ocorre com os transistores SOI MOSFET com canais com os L maiores, como no caso deste trabalho com valores de $L= 10\mu m$, a corrente é menor em comparação com canais de L menores, como já foi visto, e com a redução de t_{si} a sua corrente diminui ainda mais.

Com a variação de V_{DS} , a corrente aumenta proporcionalmente, ou seja, se a tensão de V_{DS} aumenta a corrente de fuga aumenta.

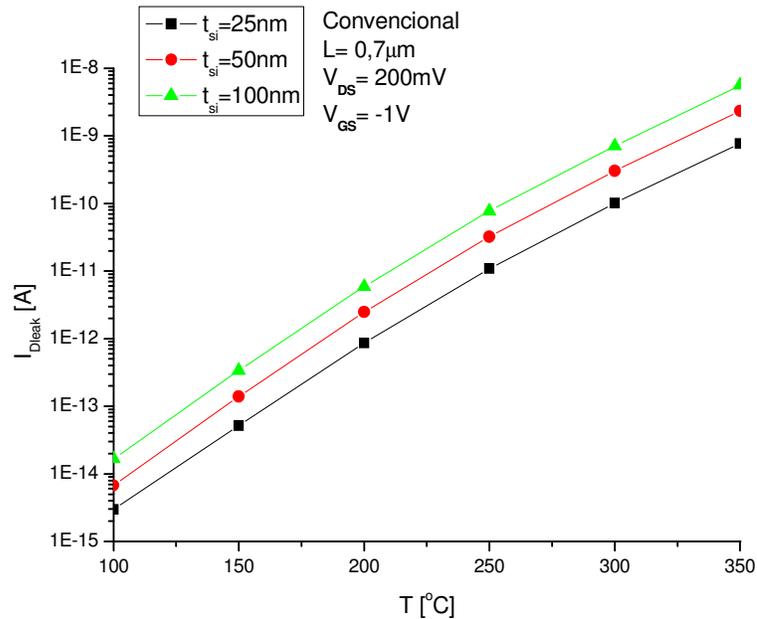


Figura 3.8: Comportamento de I_{Dleak} em função da variação do t_{si} com $L = 0,7\mu\text{m}$, em altas temperaturas.

Estudo do comportamento da corrente de fuga em função da espessura do óxido enterrado e de sua polarização (V_{BS}).

Para o desenvolvimento do estudo do comportamento de I_{Dleak} em função da variação da espessura do óxido enterrado, foram realizadas simulações para L variando de $0,5\mu\text{m}$ a $10\mu\text{m}$, V_{DS} para os valores de 200mV , 1V e 2V e para as variações do óxido assumindo valores de 25nm , 50nm , 100nm , 200nm , 300nm e 400nm , para obter a curva de I_{DS} em função de V_{GS} , cujos resultados podem ser observados na figura 3.9. Os resultados obtidos de I_{Dleak} não mostram variações significativas, logo, para um estudo mais detalhado, as curvas de $I_{DS} \times V_{GS}$ foram ampliadas na região de fuga, conforme mostra o detalhe presente na figura 3.10 para $V_{GS} < 0\text{V}$, quanto menor for a espessura do óxido enterrado maior será a corrente, esta evolução da tecnologia em reduzir os transistores tem que estar atenta quanto a redução pois no que se refere ao óxido enterrado a I_{Dleak} aumentaria o poderia prejudicar tanto o funcionamento como o consumo desnecessário de energia.

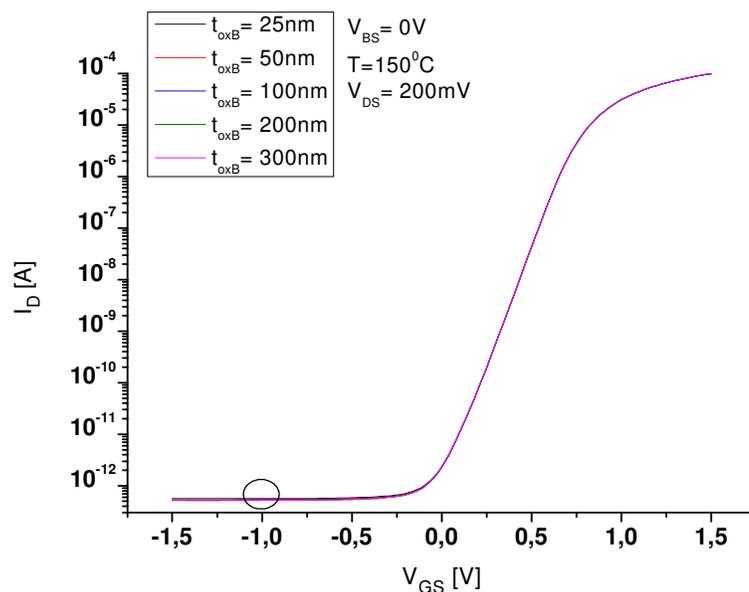


Figura 3.9: Variação da corrente de dreno em função da espessura do óxido enterrado com $V_{DS} = 200mV$.

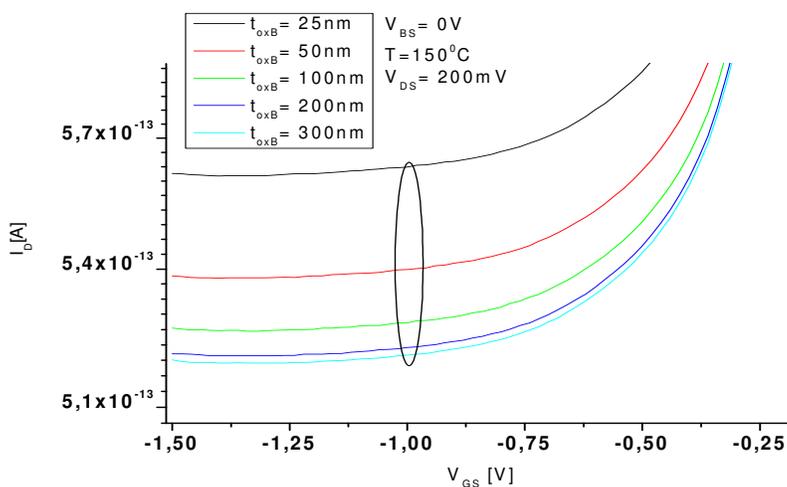


Figura 3.10: Detalhe ampliado referente à curva da figura 3.9

Com a ampliação dos resultados, demarcado com um círculo na figura 3.9 e demonstrado na figura 3.10, foram observados e anotados os valores da corrente de fuga para cada valor de t_{oxB} para $V_{GS} = -1V$, cujos resultados estão mostrados na figura 3.11 operando a $150^\circ C$. De uma forma similar e para temperatura de $350^\circ C$, temos um comparativo, conforme está ilustrado na figura 3.12.

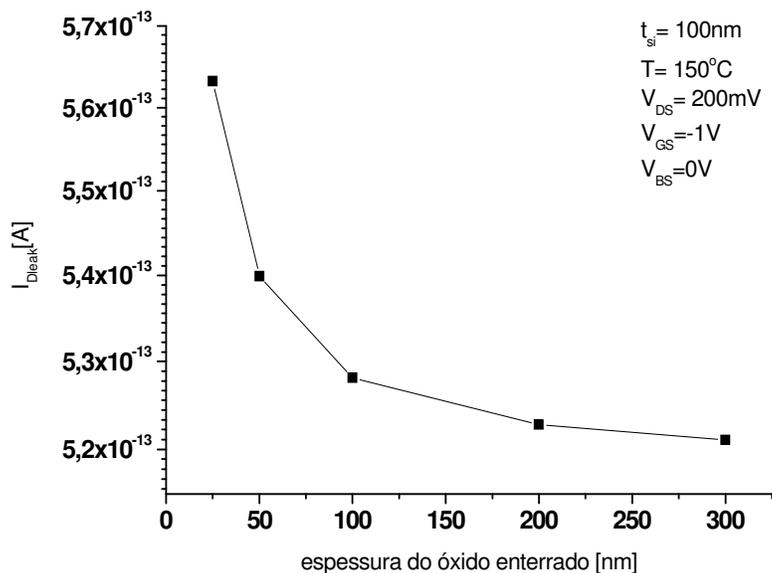


Figura 3.11: Evolução da corrente de fuga em função da espessura do óxido enterrado a 150°C, com $t_{si} = 100\text{nm}$.

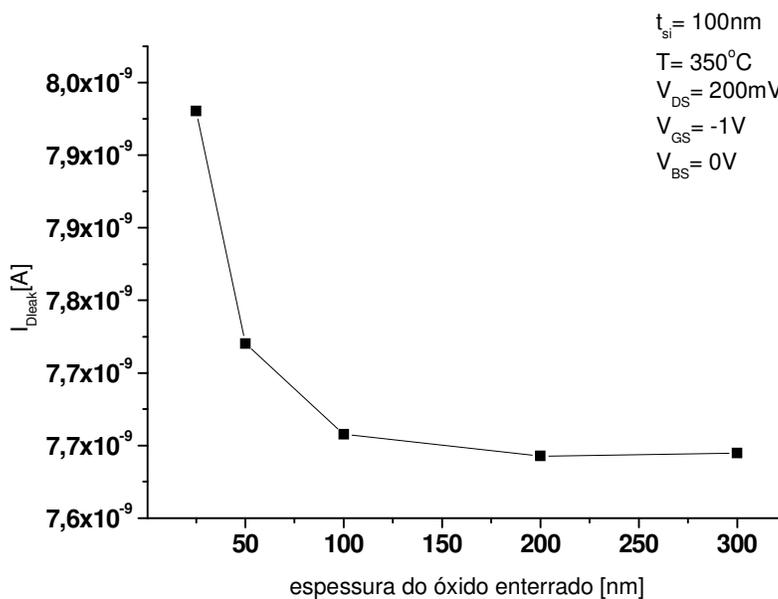


Figura 3.12: Evolução da corrente de fuga em função da espessura do óxido enterrado a 350°C, com $t_{si} = 100\text{nm}$.

De uma forma análoga, porém alterando-se somente o valor das tensões de V_{BS} para -20V, observou-se que o comportamento de I_{Dleak} em função de t_{si} foi justamente o contrário em relação ao observado anteriormente, conforme pode ser visto nas figuras 3.13 e 3.14, onde I_{Dleak} diminuiu com a redução da espessura do óxido enterrado.

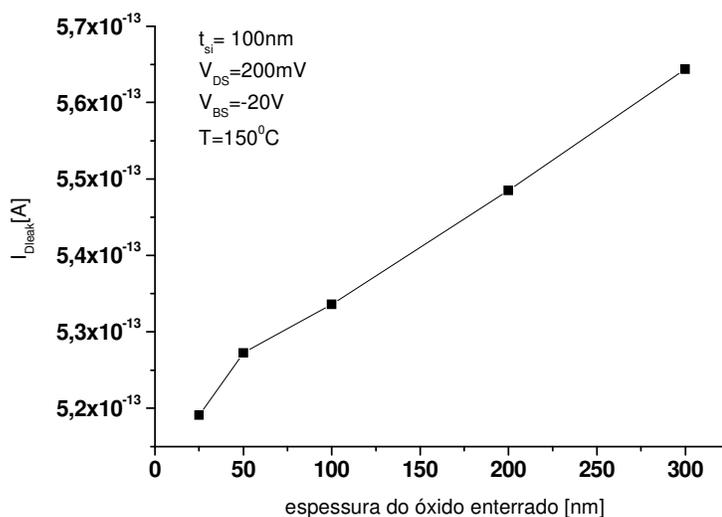


Figura 3.13: Evolução da corrente de fuga I_{Dleak} em função da espessura do óxido enterrado para $T = 150^\circ\text{C}$, e $t_{si} = 100\text{nm}$.

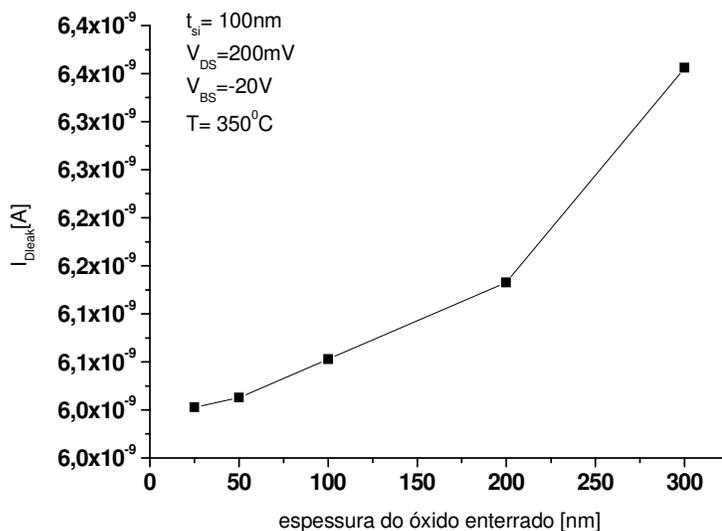


Figura 3.14: Evolução da corrente de fuga em função da espessura do óxido enterrado para $T = 350^\circ\text{C}$, e $t_{si} = 100\text{nm}$.

Uma comparação do comportamento das correntes de fuga em função da polarização do substrato com a temperatura de 150°C pode ser vista na figura 3.15. Os resultados mostram que à medida que V_{BS} torna-se mais negativo, I_{Dleak} torna-se mais intenso para t_{si} mais espesso e torna-se menos intenso para valores menores de t_{si} . Por outro lado, para temperaturas de 350°C , nota-se que a corrente de fuga diminui consideravelmente para V_{BS} negativos independentes do valor de t_{si} , conforme pode ser visto na figura 3.16

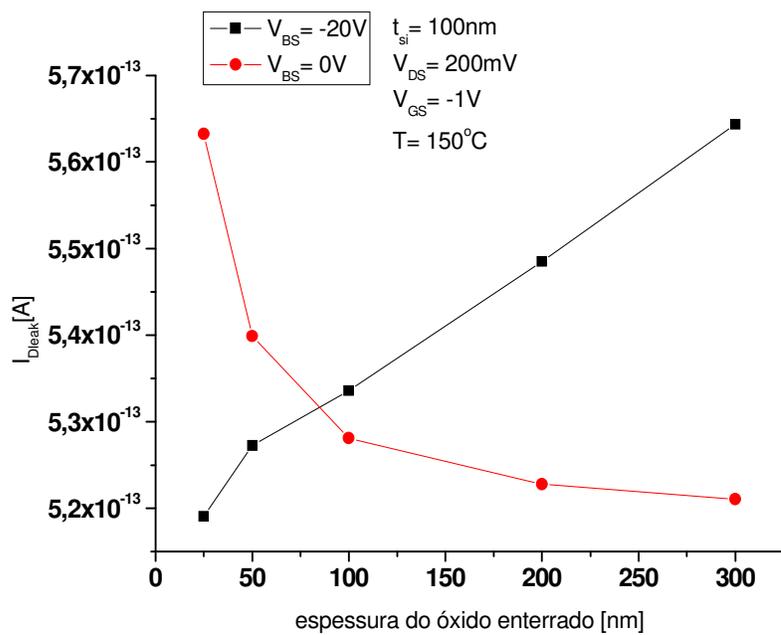


Figura 3.15: Comparação das correntes de fuga para o substrato polarizado com 0V e -20V, a $T = 150^\circ\text{C}$.

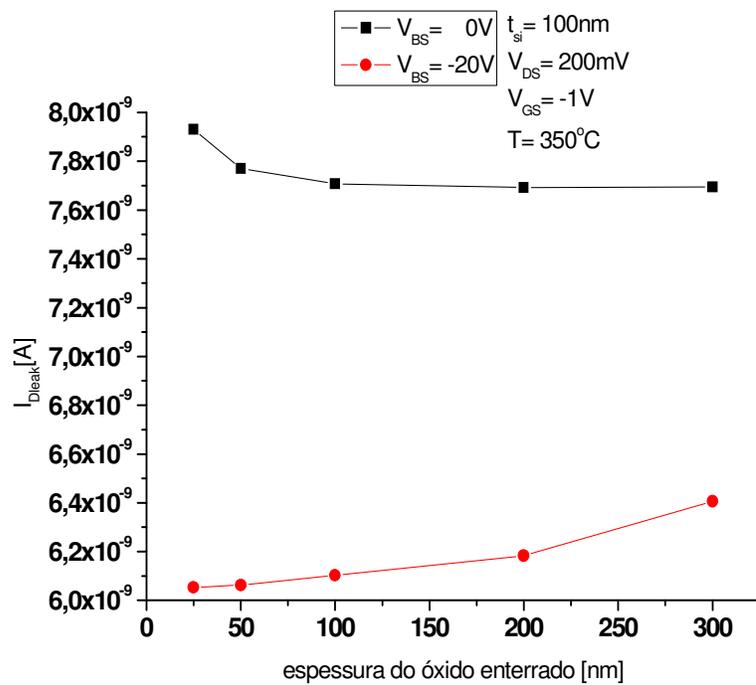


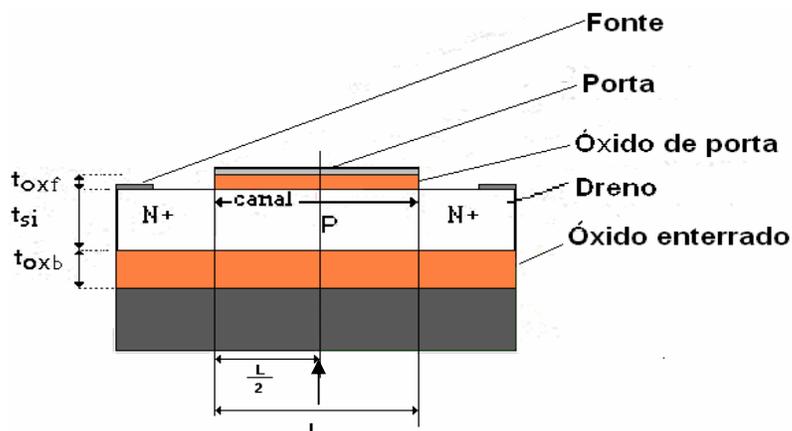
Figura 3.16: Comparação das correntes de fuga para o substrato polarizado com 0V e -20V, $T = 350^\circ\text{C}$.

Com os resultados obtidos até agora das simulações para o transistor SOI MOSFET porta convencional, o que foi observado para a corrente de I_{Dleak} é que a sua circulação se concentra mais do corpo do transistor para a interface do óxido enterrado para altas temperaturas e é constituída pela corrente majoritária de elétrons enquanto que para temperaturas ambientes a corrente majoritária é formada de lacunas e se forma nas imediações da interface do óxido de porta.

O resultado observado na figura 3.16 é uma consequência da redução do óxido enterrado em função das características de I_{Dleak} , uma vez que a circulação do I_{Dleak} para altas temperaturas é do corpo para a interface do óxido enterrado e a sua corrente majoritária em altas temperaturas é formada de elétrons no transistor SOI nMOSFET convencional. Com a redução do óxido enterrado e mantendo a polarização no substrato em 0V, I_{Dleak} sofrerá uma influência das cargas positivas que se formaram na interface do óxido enterrado, ao passo que, quando polarizado com tensões negativas elevadas, no caso com -20V, as cargas induzidas anteriormente com a polarização de 0V serão bem menores do que as impostas com a tensão de -20V e formará uma espessura de cargas negativas o suficiente para que nas imediações da interface do óxido enterrada a corrente majoritária formada de elétrons praticamente zere, como consequência direta à diminuição na corrente de I_{Dleak} , conforme mostrada na figura 3.16.

3.4 Estudo do comportamento da densidade da corrente de fuga J_{Dleak} no corpo do transistor SOI MOSFET convencional.

Após a avaliação do comportamento da corrente de fuga no dreno em função de V_{DS} , L e t_{si} , será apresentado a seguir a densidade da corrente de fuga no corpo do transistor SOI nMOSFET convencional para a investigação da composição de I_{Dleak} , ou seja, se ela é composta de elétrons em toda a sua extensão ou se a sua composição é de lacunas, e quais as mudanças que ocorreram devido à elevação da temperatura de operação. Para tanto, foi escolhido o ponto central de L , ou seja, $L/2$ e em toda a extensão do filme de silício. Os detalhes desta caracterização estão representados na figura 3.17 para o transistor SOI nMOSFET convencional.



Extração da densidade de corrente J_{Dleak}

Figura 3.17: Transistor SOI MOSFET convencional com o corte transversal indicando a posição para a extração e estudo das densidades de corrente.

De acordo com o comportamento observado da corrente de fuga I_{Dleak} ilustrados nas figuras 3.5, 3.6, 3.7 e 3.8 para o transistor SOI nMOSFET convencional, os resultados nos mostraram o comportamento de I_{Dleak} em função da temperatura, do comprimento de canal, da variação de t_{si} e da variação do óxido enterrado. Para um melhor entendimento do comportamento da corrente de fuga em função destes parâmetros, o estudo a seguir visa uma investigação detalhada dos elementos que compõem a corrente que flui ao longo do filme de silício quando os transistores estão operando na região de fuga. Nestas condições foi analisada a densidade da corrente de fuga (J_{Dleak}) para os diferentes valores de L , V_{DS} , t_{si} em função das variações das temperaturas desde a ambiente até $350^{\circ}C$, mantendo a tensão de porta constante e igual a $-1V$, garantindo que os dispositivos estejam operando na região de fuga.

Na figura 3.18 é mostrado o comportamento de J_{Dleak} , formada por elétrons e lacunas para o transistor SOI nMOSFET convencional com o comprimento de canal de $0,5\mu m$ e a tensão $V_{DS} = 200mV$. Nota-se que, próximo a interface do óxido de porta, a densidade da corrente de fuga J_{Dleak} é formada majoritariamente por lacunas, enquanto que a densidade de elétrons é a menor possível por influência da polarização negativa imposta na porta. À medida que nos aprofundamos no filme de silício do canal no sentido da interface do óxido de porta com o filme de silício para a interface do filme de silício e óxido enterrado, a densidade de elétrons aumenta e das lacunas diminui até que a intensidade destas se mantém praticamente constante até a interface do canal com o óxido enterrado.

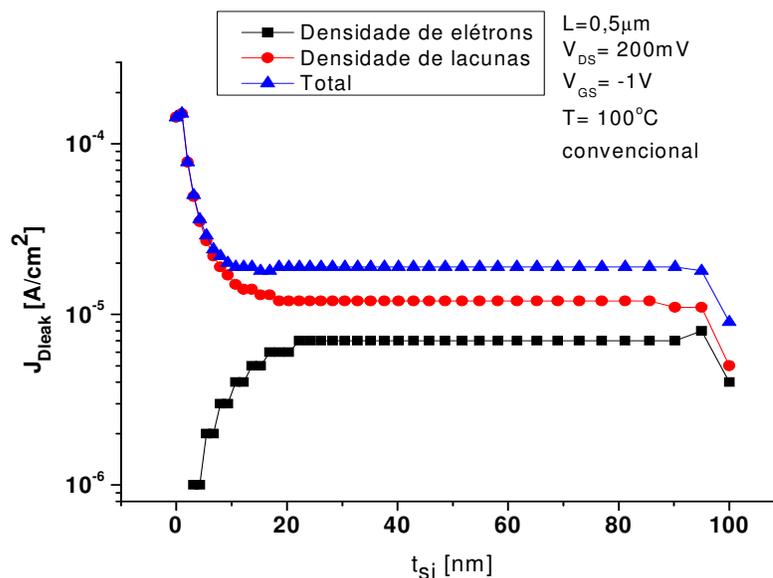


Figura 3.18: Concentração da densidade da corrente de elétrons e lacunas em um transistor SOI convencional com $L=0,5\mu\text{m}$ e temperatura igual a 100°C .

Mantendo as mesmas características do transistor SOI nMOSFET convencional e alterando apenas a temperatura de 100°C para 150°C , Os comportamentos das densidades permanecem semelhantes ao observado em 100°C , porém à medida que evoluímos na espessura do filme de silício na direção do óxido enterrado, a densidade de lacunas diminui e a dos elétrons aumenta até que as duas grandezas se igualem, ou seja, os elétrons e lacunas ficam com o mesmo valor surgindo um ponto em comum, que, para facilitar as nossas discussões, à medida que precisarmos utilizar este ponto como referência, o chamaremos de *edel* (encontro das densidades dos elétrons e lacunas). Continuando na evolução no filme de silício, os elétrons aumentam superando a densidade das lacunas e as lacunas diminuem se mantendo abaixo da densidade dos elétrons, conforme pode ser observada na Figura 3.19.

Com o aumento da densidade total em função do aumento da temperatura, mais corrente estará circulando no corpo do transistor, a corrente majoritária formada por elétrons a partir do ponto *edel* será maior, pelo fato do ponto *edel* se deslocar em função da temperatura para as proximidades da interface do óxido de porta, conforme pode se observada na figura 3.20.

Como o valor do ponto *edel* fica próximo ao valor do ponto mínimo da curva que representa a densidade total, consideraremos, para facilitar a visualização e compreensão, a evolução do ponto mínimo da curva da densidade total como se fosse a evolução do ponto *edel* com o aumento da temperatura, podendo ser observado na figura 3.21.

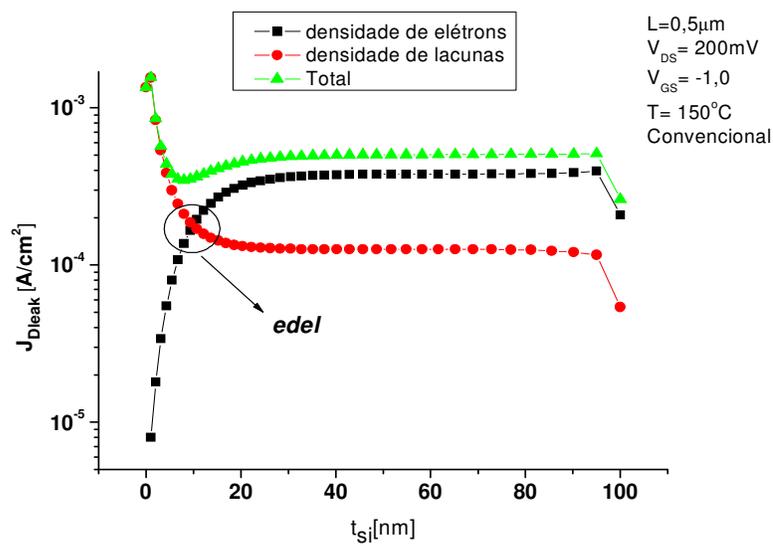


Figura 3.19: Concentração da densidade da corrente de elétrons e lacunas em um transistor SOI convencional com $L=0,5\mu\text{m}$ e temperatura de 150°C .

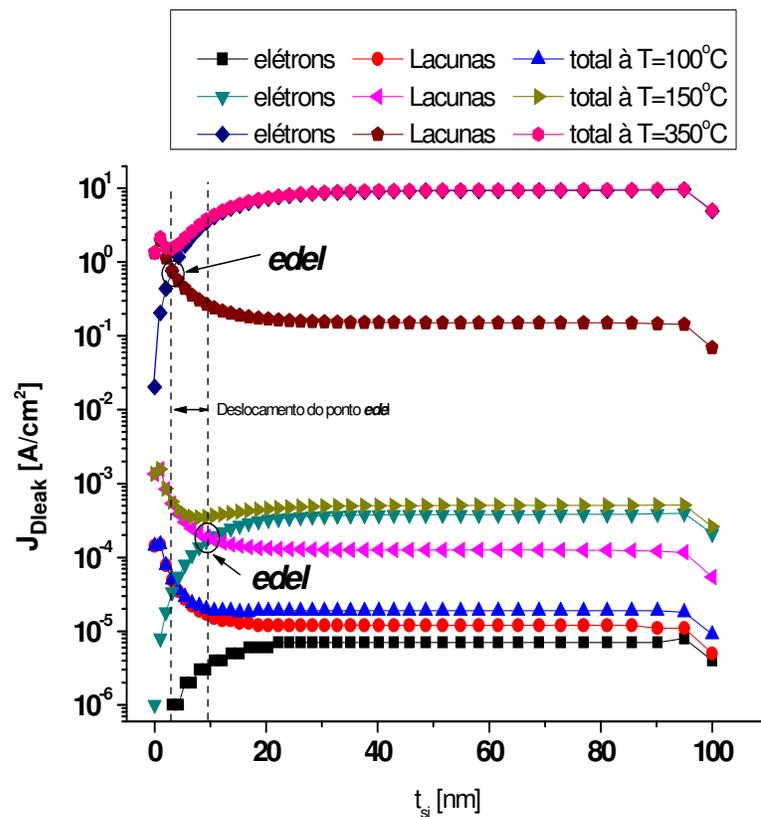


Figura 3.20: Concentração da densidade da corrente de elétrons, lacunas e a total no transistor SOI convencional com $L=0,5\mu\text{m}$ e $V_{\text{DS}}=200\text{mV}$, operando em altas temperaturas.

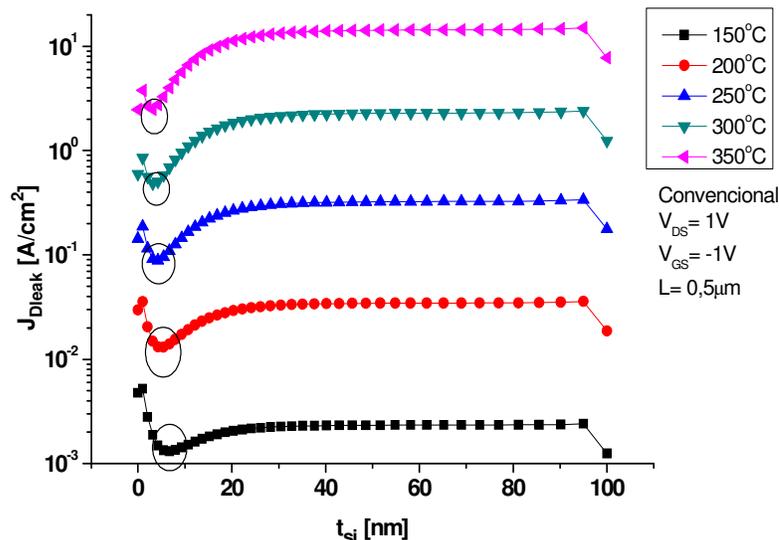


Figura 3.21: Comportamento da densidade da corrente de elétrons e lacunas ao longo da espessura do filme de silício do transistor SOI nMOSFET convencional, operando em altas temperaturas.

Os resultados observados nas figuras 3.20 e 3.21 com o $L=0,5\mu\text{m}$ nos mostraram a evolução do *edel* com o aumento da temperatura, pois quanto maior a temperatura mais o ponto edel aproxima-se da interface do óxido de porta. Esta mesma evolução também pode ser observada para tamanhos de L diferentes. Neste estudo com o L variando de 0,5 a $10\mu\text{m}$ as evoluções se mantiveram proporcionais às apresentadas para $L=0,5\mu\text{m}$.

3.5 Estudo do comportamento da densidade da corrente de fuga com a variação de V_{DS} .

De acordo com os estudos apresentados no item 3.3.1, foram mostradas as variações de I_{Dleak} em função da temperatura. Um novo estudo foi feito visando o comportamento da densidade de I_{Dleak} , composta por elétrons e lacunas, em função da variação de V_{DS} com o intuito de verificar se a variação de V_{DS} possui o mesmo efeito no comportamento da densidade de I_{Dleak} do transistor SOI nMOSFET convencional em função da temperatura.

Os valores escolhidos para a variação de V_{DS} ficaram entre 200mV e 2V, valores estes usados ao longo do trabalho. Os resultados das variações das densidades dos elétrons, lacunas podem ser observados nas figuras 3.22, 3.23 e 3.24, a variação do ponto *edel* pode ser observada nas figuras 3.23 e 3.24, uma vez que na figura 3.22 não existe o encontro dos elétrons com as lacunas, logo não existe o ponto *edel*.

Os resultados das densidades de I_{Dleak} em função da variação de V_{DS} para o transistor SOI nMOSFET convencional têm um efeito similar à elevação da temperatura, onde quanto maior a tensão aplicada no dreno, mais próximo o ponto *edel* fica da interface do óxido de porta com o filme de silício.

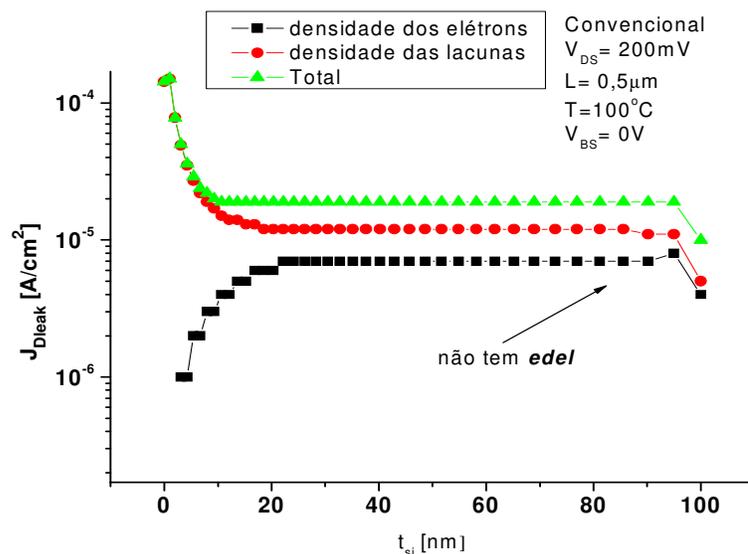


Figura 3.22: Variação da densidade da corrente de fuga com $V_{\text{DS}} = 200\text{mV}$ com $T = 100^\circ\text{C}$.

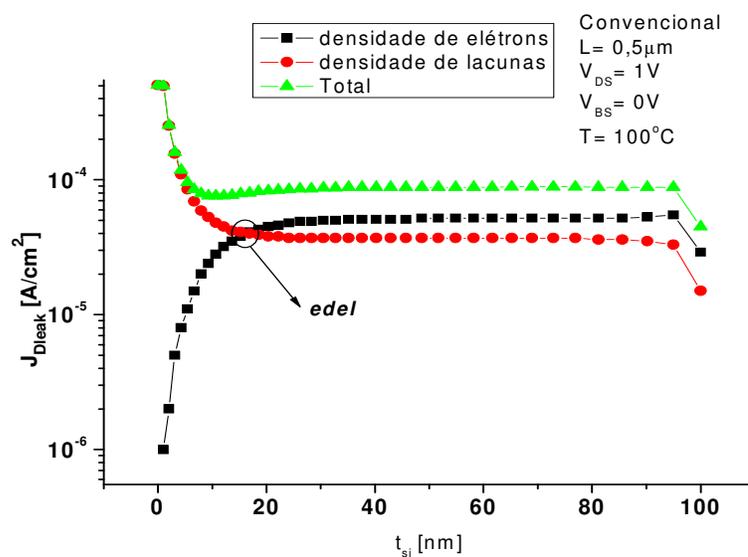


Figura 3.23: Variação da densidade da corrente de fuga com $V_{\text{DS}} = 1\text{V}$ com $T = 100^\circ\text{C}$.

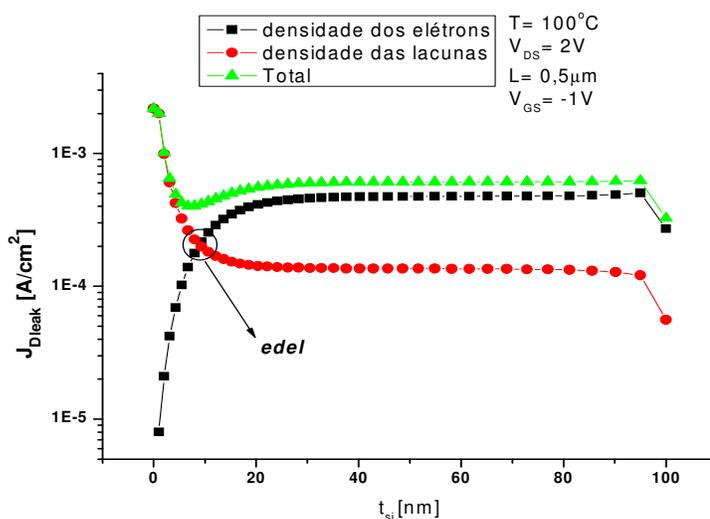


Figura 3.24: Variação da densidade da corrente de fuga com $V_{DS} = 2\text{V}$ com $T = 100^{\circ}\text{C}$.

O resultado observado na figura 3.22 com $V_{DS} = 200\text{mV}$ é a falta do ponto *edel*. Com a elevação da tensão para $V_{DS} = 1\text{V}$ surge o ponto *edel*, e com a elevação de V_{DS} para 2V o ponto *edel* se desloca no sentido do óxido de porta, ou seja, com o aumento de V_{DS} há o surgimento do ponto *edel* e o seu deslocamento no sentido do óxido de porta cada vez que aumentarmos a tensão de V_{DS} , tendo como resultado a elevação da densidade total provocada pelo aumento da densidade majoritária que, neste caso, passa a ser formada por elétrons, podendo ser observada na figura 3.25

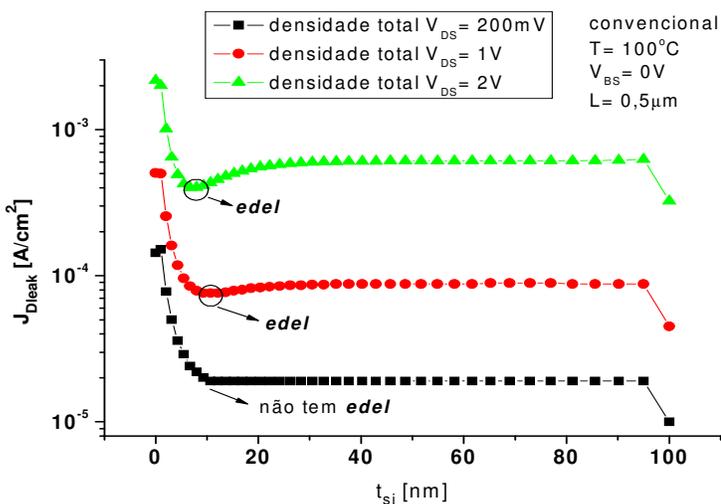


Figura 3.25 resultado da variação de V_{DS} assumindo valores de 200mV , 1V e 2V para $L = 0,5\mu\text{m}$ com $T = 100^{\circ}\text{C}$.

Para valores de L maiores podemos observar na figura 3.26 e 3.27 com as mesmas variações de V_{DS} as diferenças, já a partir de $L=1\mu\text{m}$ para a temperatura de 100°C o ponto *edel* só aparece quando a tensão de $V_{DS}=2\text{V}$, para $L=10\mu\text{m}$ o que pode ser observado é a inexistência do ponto *edel*. O resultado é que, ao longo do canal, com a falta do ponto *edel* a densidade da corrente de fuga majoritária é formada por lacunas e a minoritária por elétrons.

Já para valores de L maiores e temperatura de 350°C , o ponto *edel* já aparece para as variações de $V_{DS}=200\text{mV}$, 1V e 2V , podendo ser observado na figura 3.28 e para $L=10\mu\text{m}$ o ponto *edel* continua inexistente, podendo ser observado na figura 3.29.

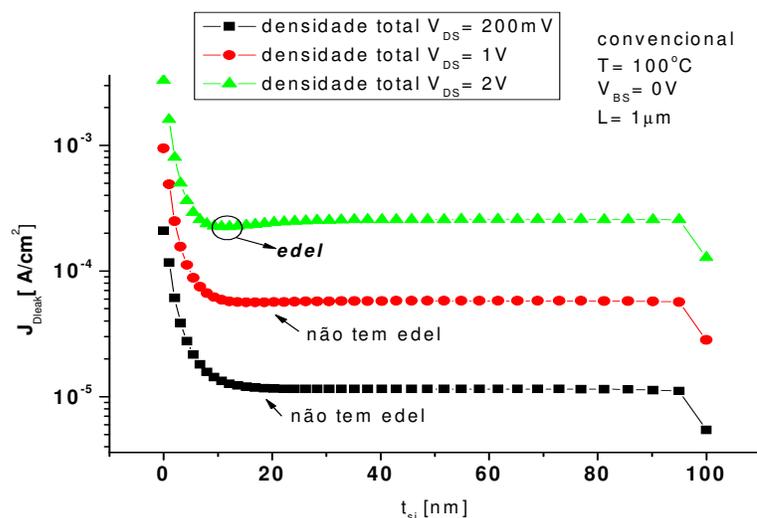


Figura 3.26: Para V_{DS} assumindo valores de 200mV , 1V e 2V para $L=1\mu\text{m}$ com $T=100^\circ\text{C}$

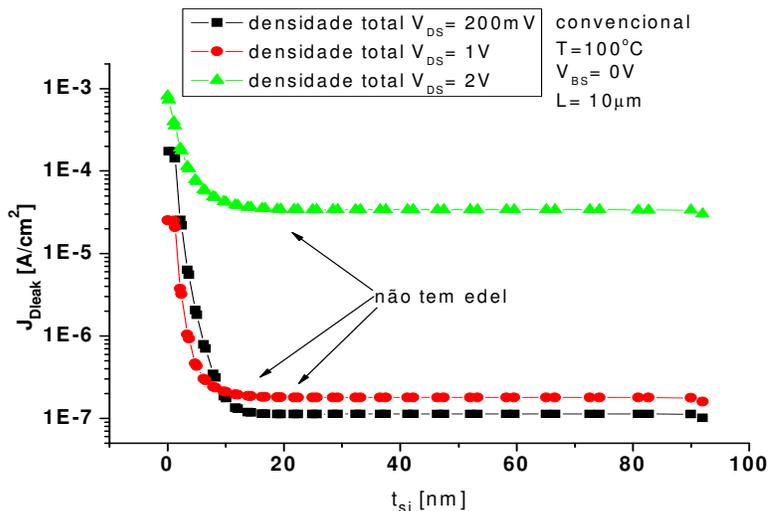


Figura 3.27: Para V_{DS} assumindo valores de 200mV , 1V e 2V para $L=10\mu\text{m}$ com $T=100^\circ\text{C}$

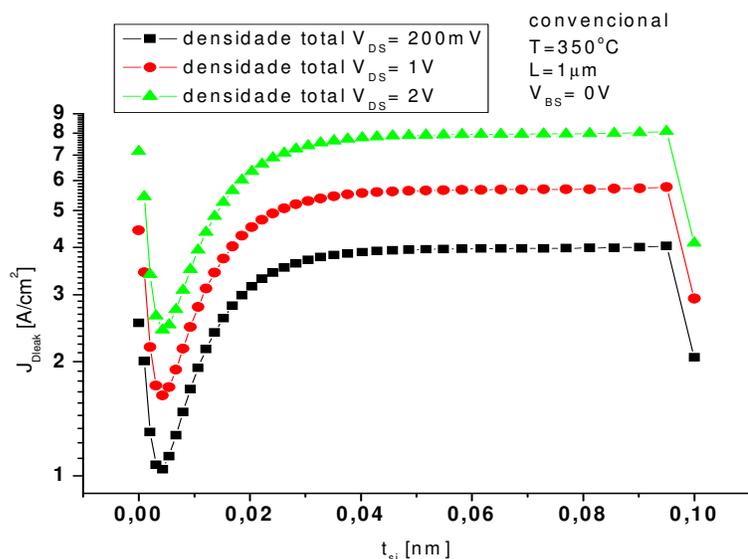


Figura 3.28: Para V_{DS} assumindo valores de 200mV, 1V e 2V para $L = 10\mu\text{m}$ com $T = 350^{\circ}\text{C}$

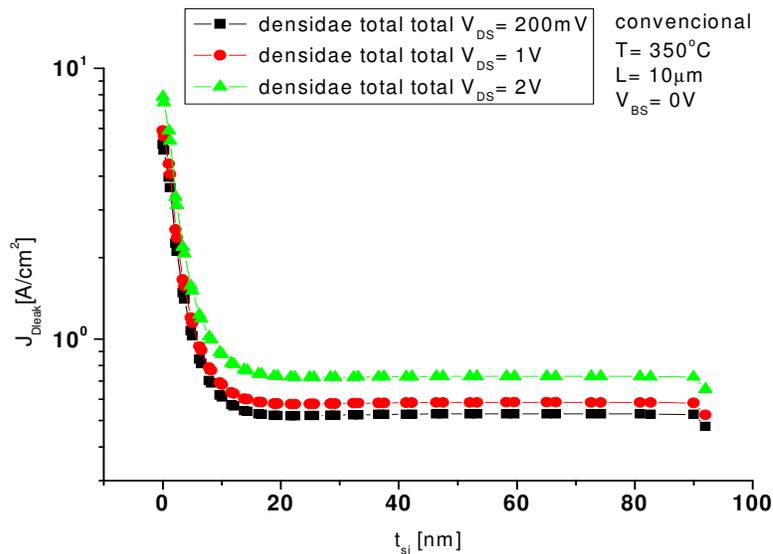


Figura 3.29: Para V_{DS} assumindo valores de 200mV, 1V e 2V para $L = 10\mu\text{m}$ com $T = 350^{\circ}\text{C}$

O que pode ser concluído com a variação de V_{DS} , é que para a temperatura de 100°C temos dois resultados: o primeiro para transistores com o tamanho do $L = 0,5\mu\text{m}$ ou menores e valores de V_{DS} acima de 200mV, onde a densidade majoritária de corrente de fuga é constituída por elétrons e o segundo para valores de L maiores de $0,5\mu\text{m}$ e V_{DS} menor ou igual a 2V em que a densidade da corrente de fuga é constituída de lacunas. Para a

temperatura de 350°C a variação de V_{DS} é menos significativa, pois mesmo para valores de L maiores que 1 μm a densidade da corrente majoritária já é constituída de elétrons e para valores de L igual ou maior que 10 μm a densidade da corrente de fuga continua sendo de lacunas, com as tensões utilizadas neste trabalho.

3.6 Estudo da densidade da corrente de fuga com a variação da espessura do óxido enterrado e a sua polarização (V_{BS}).

Portanto, para entendermos o comportamento da densidade da corrente de fuga ao longo do filme de silício do transistor em função da variação da polarização do substrato e da espessura do óxido enterrado, foram investigadas as densidades de corrente conforme ilustram as figuras 3.30 e 3.31.

Com a redução da tensão aplicada no substrato de $V_{BS}=0\text{V}$ para $V_{BS}=-20\text{V}$ para temperatura de 150°C, a densidade da corrente de fuga manteve-se praticamente constante, já no caso da temperatura de 350°C houve o surgimento do segundo *edel*, onde as densidades dos elétrons e lacunas igualam-se novamente e a partir deste ponto as densidades das lacunas tornam-se majoritárias e a densidades dos elétrons tornam-se minoritárias.

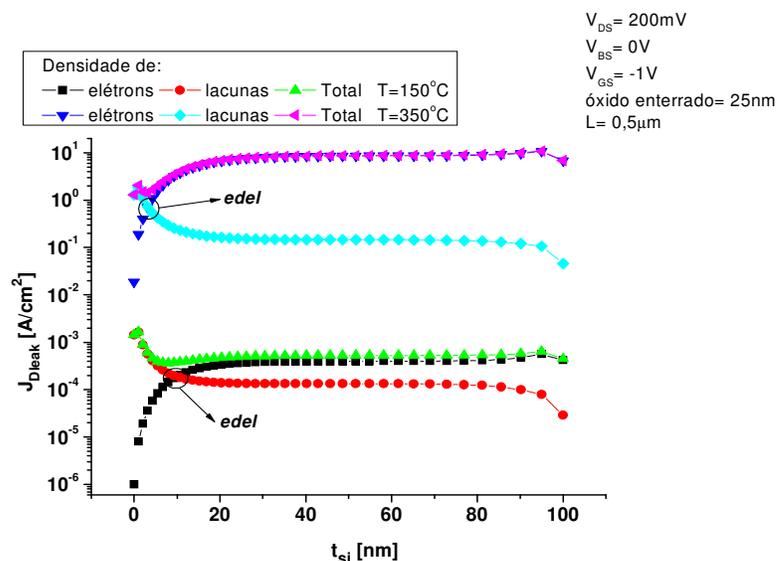


Figura 3.30: Densidade da corrente de fuga com $V_{BS}=0\text{V}$ para $T=150^\circ\text{C}$ e 350°C .

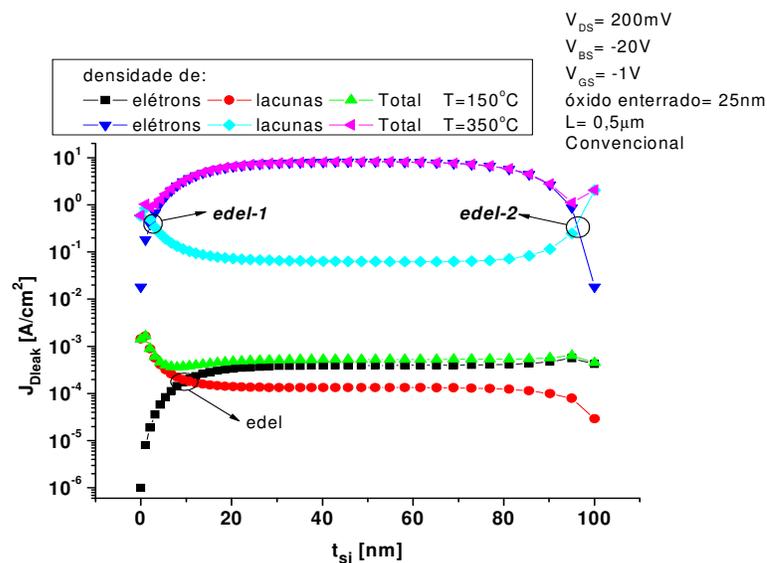


Figura 3.31: Densidade da corrente de fuga com $V_{BS} = -20\text{V}$ para $T = 150^\circ\text{C}$ e 350°C .

Para a variação da espessura do óxido enterrado podemos observar na figura 3.32 o fato de que ao diminuirmos a espessura do óxido enterrado t_{oxB} , a densidade total tende a se concentrar mais no meio do canal, surgindo dois pontos: o edel-1 e o edel-2, bem como a elevação da concentração de lacunas nas proximidades da interface com o óxido enterrado, aumentando à medida que diminui a espessura do óxido enterrado.

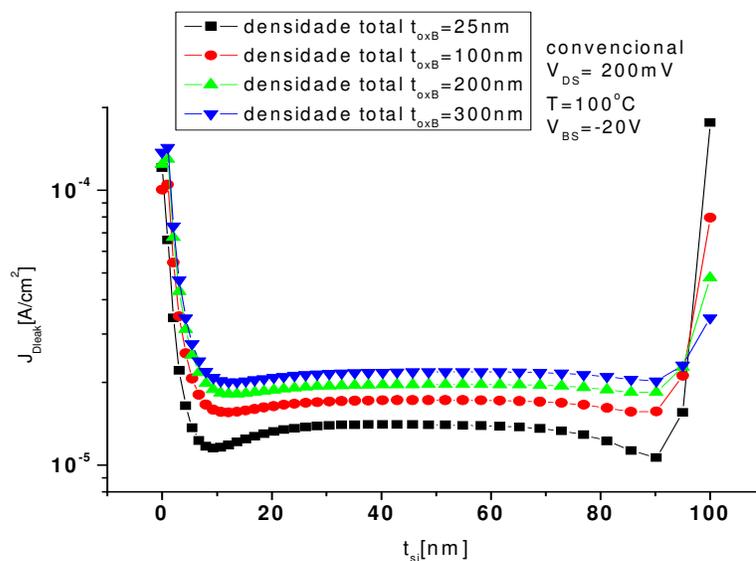


Figura 3.32: Densidade total da corrente de fuga em função da variação de t_{oxB}

Para verificar as diferenças entre I_{Dleak} com polarização no substrato de 0V e -20V, foram levantadas as curvas de densidade total de I_{Dleak} podendo ser observados nas figuras 3.33, 3.34 e 3.35.

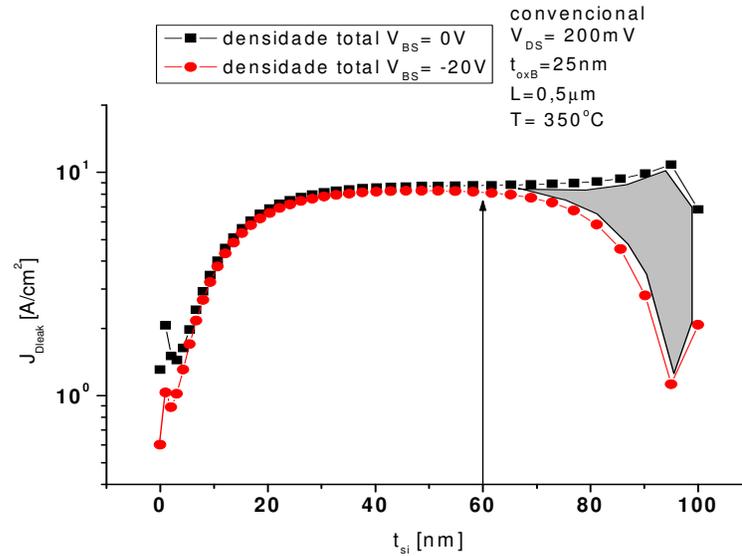


Figura 3.33: Densidades das correntes totais de elétrons e lacunas para os valores de $V_{\text{BS}} = 0\text{V}$ e $V_{\text{BS}} = -20\text{V}$ para $t_{\text{oxB}} = 25\text{nm}$.

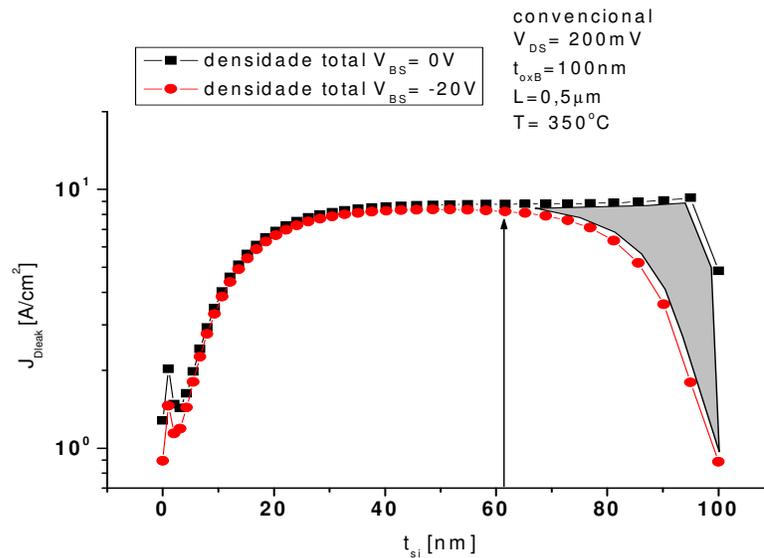


Figura 3.34: Densidades das correntes totais de elétrons e lacunas para os valores de $V_{\text{BS}} = -20\text{V}$, $t_{\text{oxB}} = 100\text{nm}$ e $L = 0,5\mu\text{m}$.

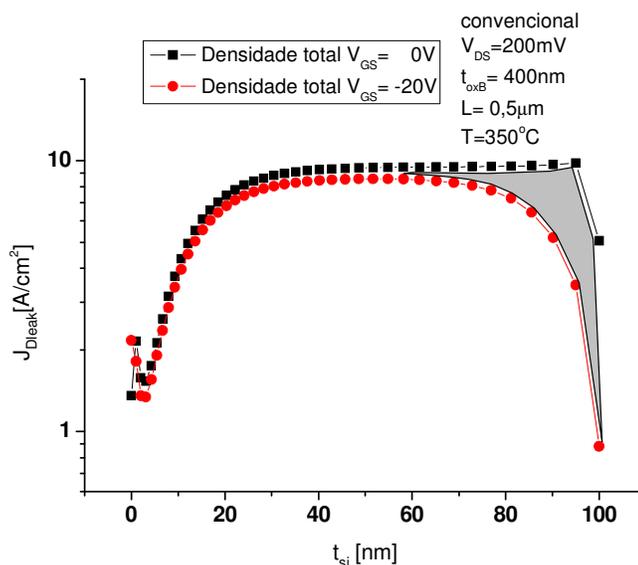


Figura 3.35: Densidades das correntes totais de elétrons e lacunas para os valores de $V_{BS} = -20V$, para $t_{oxB} = 400nm$ e $L = 0,5\mu m$.

Comparando os resultados, podemos observar a diferença da densidade total de I_{Dleak} entre o SOI MOSFET convencional com o substrato polarizado com 0V com a densidade total de I_{Dleak} do SOI MOSFET convencional com o substrato polarizado com -20V, podemos observar nos resultados obtidos nas figuras 3.33, 3.34 e 3.35 que em torno da profundidade de 60nm, onde a densidade total de I_{Dleak} com $V_{BS} = 0V$ tende a aumentar até a profundidade máxima do filme de silício nas proximidades do óxido enterrado, enquanto que com a polarização de $V_{BS} = -20V$ começa a diminuir até as proximidades do óxido enterrado. O que se pode perceber é que a área formada pela diferença entre as duas correntes à medida que se aumenta o óxido enterrado diminui tendo como resultado para o óxido enterrado com espessura de 25nm uma área de $0,175\text{ nm}^2$, enquanto que para $t_{oxB} = 400nm$ a área ficou $0,15\text{ nm}^2$. Com os resultados obtidos podemos perceber que quanto menor a espessura do óxido enterrado, maior será a influência da polarização no substrato, pelo fato da polarização induzir mais cargas positivas no filme de silício nas proximidades do óxido de porta, fazendo com que a densidade da corrente de fuga diminua pela recombinação dos elétrons com as lacunas neste ponto provocando uma diferença na densidade da corrente de fuga com a polarizada em zero volts, onde não há o acúmulo das cargas positivas dificultando a densidade da corrente de fuga majoritária formada de elétrons se deslocar, esta diferença por pequena que seja se somada ao longo do canal pode ser significativa, podendo ser observada algumas destas

diferenças em função da variação da temperatura para a densidade total da corrente de I_{Dleak} na figura 3.36.

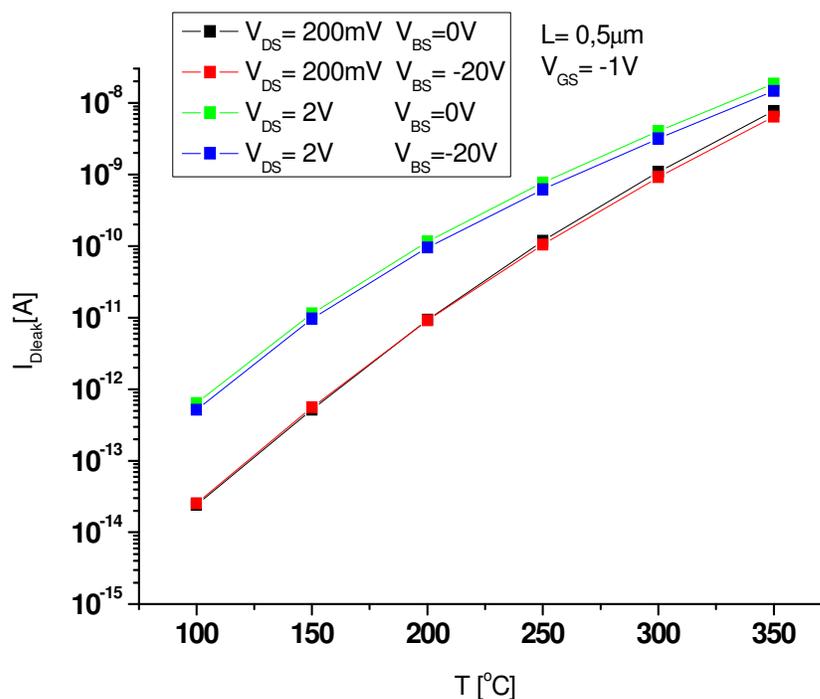


Figura 3.36: Comportamento da corrente de fuga do dreno em função da variação da polarização do substrato e de V_{DS} , em altas temperaturas.

Para transistores e outros dispositivos eletrônicos, um dos fatores hoje em dia que viabiliza ou não o seu bom desempenho certamente é a corrente de fuga, quanto menor a corrente de fuga menor é o consumo de energia elétrica, um fator também muito importante é a melhoria no seu chaveamento de estar ou não ligado, pois quanto mais rápido melhor, para que isto aconteça o transistor no geral bem como o transistor de estudo deste trabalho o SOI nMOSFET tem que diminuir suas dimensões e, como vimos até agora, quanto menor o comprimento de L maior será I_{Dleak} . No item seguinte, o estudo será feito no transistor SOI nMOSFET porta dupla para verificar as características das correntes de fuga, para verificar se os seus valores serão reduzidos ou não.

3.7 Características físicas do SOI nMOSFET porta dupla

No transistor SOI nMOSFET porta dupla as portas encontram-se dispostas em sentidos opostos entre si, conforme ilustra a Figura 3.37.

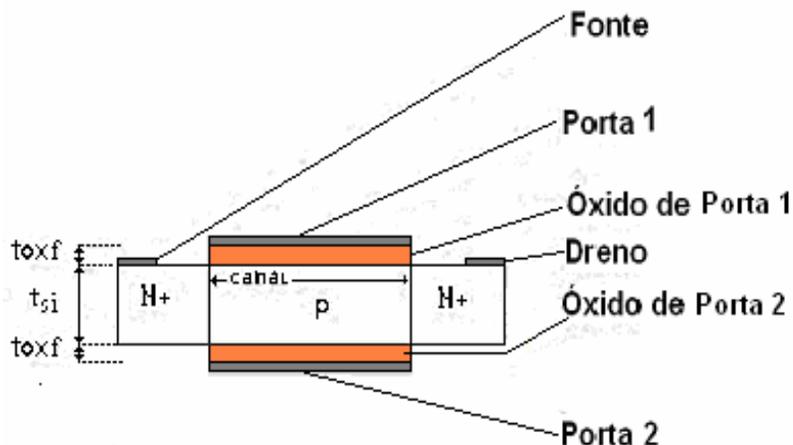


Figura 3.37: Corte da secção transversal do transistor SOI nMOSFET porta dupla utilizado no trabalho.

O transistor SOI nMOSFET porta dupla empregado neste trabalho possui as seguintes características físicas: o comprimento do canal está compreendido entre $0,5\mu\text{m}$ e $10\mu\text{m}$, a espessura do filme de silício (t_{si}) encontra-se entre 25nm e 100nm e as espessuras dos óxidos de porta permaneceram em $2,5\text{nm}$. As concentrações N_a e N_d são 5.10^{17}cm^{-3} e 1.10^{20}cm^{-3} , respectivamente.

3.8 Procedimentos para a extração de parâmetros elétricos dos transistores SOI nMOSFETs porta dupla através das simulações.

As simulações realizadas com o transistor SOI MOSFET porta dupla tiveram como principal objetivo a extração da corrente de fuga do dreno. Para tanto, o transistor foi polarizado conforme descrito a seguir.

Para os transistores SOI nMOSFET porta dupla, as simulações foram desenvolvidas mantendo as mesmas condições impostas para os convencionais, a fim de garantir as mesmas condições de funcionamento e, assim, permitir as comparações entre estas duas estruturas.

Para visualizarmos o comportamento de I_{DS} em função de V_{GS} operando em altas temperaturas, foram obtidos gráficos de $I_{\text{DS}} \times V_{\text{GS}}$ conforme pode ser visto nas figuras 3.38 e 3.39.

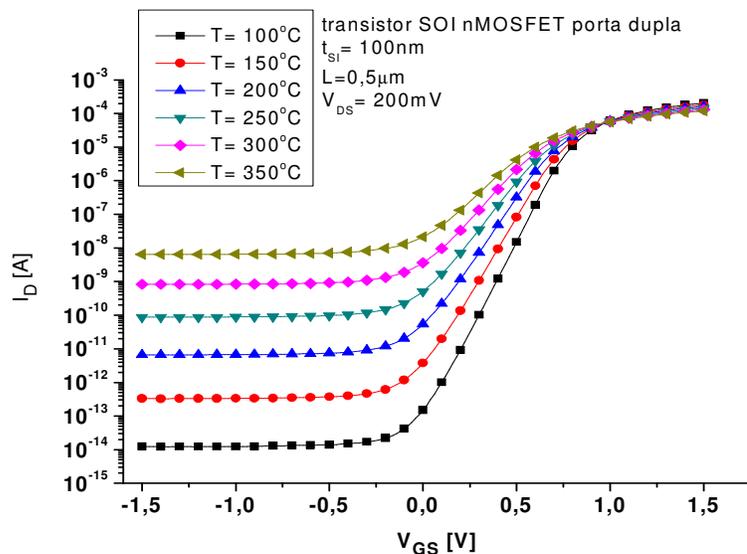


Figura 3.38: Curva I_D x V_{GS} do transistor SOI nMOSFET porta dupla em altas temperaturas, para $V_{DS} = 200\text{mV}$.

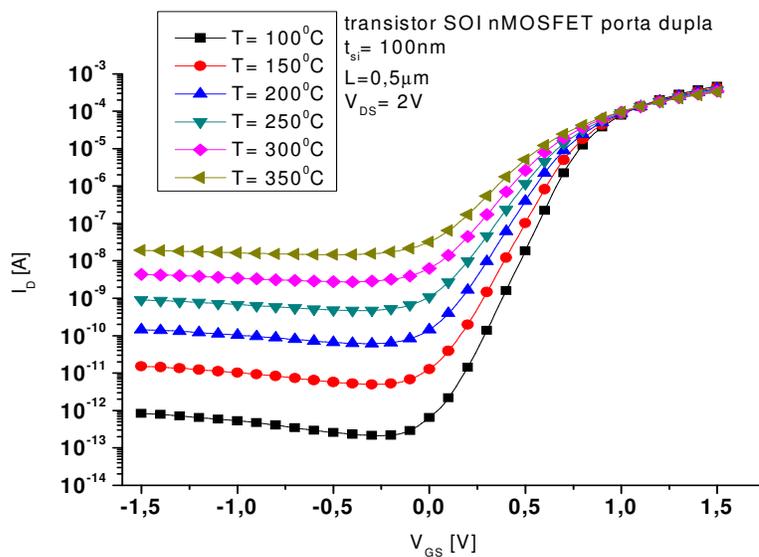


Figura 3.39: Curva I_D x V_{GS} do transistor SOI nMOSFET porta dupla em altas temperaturas, para $V_{DS} = 2\text{V}$.

Os resultados apresentados nas figuras 3.38 e 3.39 também são observados para L de tamanhos diferentes, no caso deste trabalho variando de $0,5\mu\text{m}$ a $10\mu\text{m}$. Para as comparações entre os transistores SOI nMOSFET porta dupla e convencional também será usada a tensão

de porta $V_{GS} = -1V$ para o estudo do comportamento da corrente de fuga do dreno I_{Dleak} em função dos mesmos parâmetros estudado para o convencional.

3.8.1 Comportamento de I_{Dleak} do SOI nMOSFET porta dupla em função da temperatura, comprimento do canal e da tensão de dreno.

Analisando-se o comportamento das correntes de fuga no SOI MOSFET porta dupla operando em altas temperaturas para V_{DS} de 200mV, 1V e 2V, temos os resultados apresentados na figura 3.40 para o dispositivo com $L = 0,5\mu m$.

Segundo resultados apresentados na Figura 3.40, pode ser observada a influência da temperatura no comportamento de I_{Dleak} juntamente com a variação da tensão V_{DS} para o transistor SOI nMOSFET porta dupla. Tendo como exemplo a temperatura de $150^{\circ}C$, a corrente de fuga para $V_{DS} = 1V$ é praticamente 13 vezes maior que a corrente observada para $V_{DS} = 200mV$, enquanto que com $V_{DS} = 2V$ comparada com $V_{DS} = 200mV$ a diferença chega a praticamente 18 vezes maior.

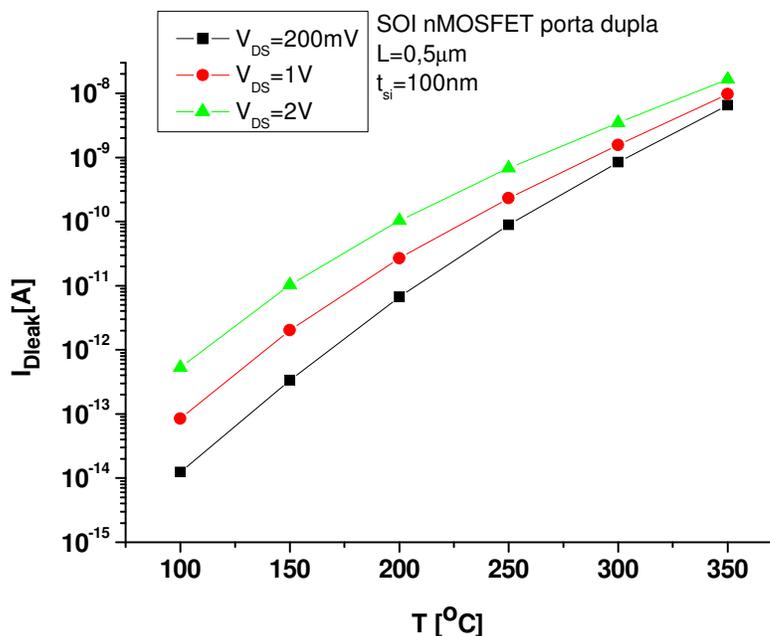


Figura 3.40: Curva I_{Dleak} em função da temperatura e para alguns valores de V_{DS} .

Variando o comprimento de L para dois valores e alterando a tensão de V_{DS} , os resultados podem ser vistos na figura 3.41.

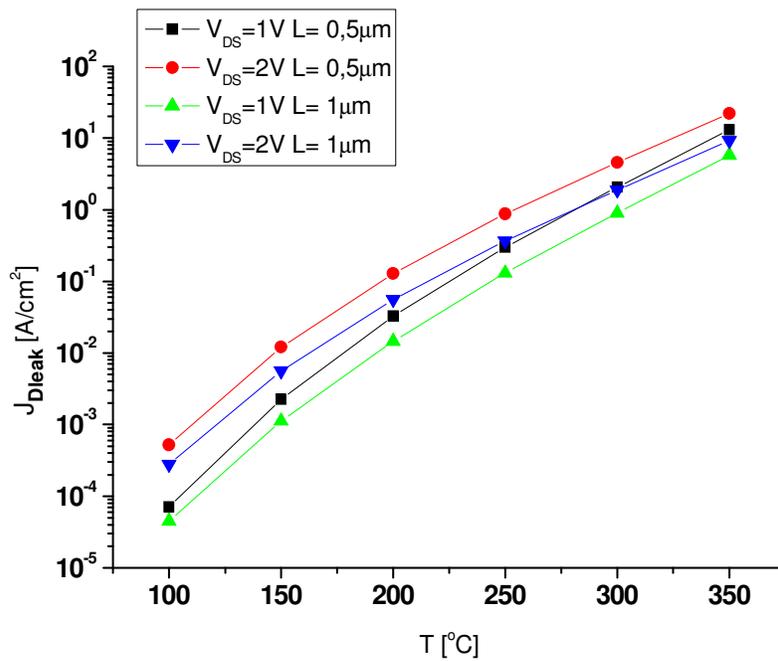


Figura 3.41: Corrente de fuga em função da variação de L com $V_{DS}=1V$ e $2V$.

Um comportamento análogo também é notado para os demais comprimentos de canal analisados ao longo deste trabalho. Os resultados em função da temperatura podem ser observados na Tabela 3.3, onde as colunas $\frac{I_{Dleak} 100^{\circ}C}{X}$ mostram quantas ordens de grandeza a corrente de fuga do dreno para temperaturas superiores a $100^{\circ}C$, é maior em comparação com I_{Dleak} na temperatura de $100^{\circ}C$, e na Tabela 3.4 são mostrados a relação de aumento de I_{Dleak} para os transistores com polarização de V_{DS} igual a $1V$ e $2V$ em comparação ao transistor polarizado com V_{DS} de $200mV$, sendo que esta relação de aumento é dada pela colunas $\frac{200mV}{X}$, mostrando quantas ordens de grandeza a corrente de V_{DS} com $1V$ é maior que $V_{DS}=200mV$ e analogamente existe uma coluna para se ter a comparação com $V_{DS}=2V$ para $V_{DS}=200mV$.

Analisando os resultados apresentados nas Tabelas 3.3 e 3.4, pode ser notada a evolução de I_{Dleak} tanto para as variações na temperatura como para as variações na tensão do dreno.

Tabela 3.3: Comportamento de I_{Dleak} em função da temperatura de operação

1de 2

T	$V_{DS} = 200mV$				Porta Dupla			
	L= 0,5 μm	$I_{Dleak} 100^{\circ}C$	L= 0,7 μm	$I_{Dleak} 100^{\circ}C$	L= 0,9 μm	$I_{Dleak} 100^{\circ}C$	L= 1 μm	$I_{Dleak} 100^{\circ}C$
	I_{Dleak}	X	I_{Dleak}	X	I_{Dleak}	X	I_{Dleak}	X
100°C	1,239E-14	0	1,146E-14	0	1,074E-14	0	1,073E-14	0
150°C	3,336E-13	1,2	2,619E-13	1,1	2,255E-13	1,1	2,127E-13	1,1
200°C	6,699E-12	2,6	4,819E-12	2,3	3,851E-12	2,2	3,524E-12	2,1
250°C	8,850E-11	3,7	6,174E-11	3,5	4,794E-11	3,3	4,328E-11	3,3
300°C	8,381E-10	4,8	5,805E-10	4,4	4,472E-10	4,3	4,022E-10	4,3
350°C	6,479E-09	5,5	4,489E-09	5,3	3,456E-09	5,2	3,102E-09	5,2

2de2

$V_{DS} = 200mV$		Porta Dupla			
L=2 μm	$I_{Dleak} 100^{\circ}C$	L=5 μm	$I_{Dleak} 100^{\circ}C$	L=10 μm	$I_{Dleak} 100^{\circ}C$
I_{Dleak}	X	I_{Dleak}	X	I_{Dleak}	X
1,08E-15	0	2,34E-16	0	1,75E-16	0
1,61E-14	1,6	1,49E-14	2,8	1,21E-14	2,6
2,07E-13	2,1	4,86E-13	3,2	3,91E-13	3,2
2,46E-12	3,1	8,66E-12	4,6	6,87E-12	4,5
2,33E-11	4,1	9,68E-11	5,7	7,62E-11	5,6
1,66E-10	5,1	8,09E-10	6,6	6,34E-10	6,5

Tabela 3.4: Comportamento de I_{Dleak} em função de V_{DS} e temperatura

Temperatura de 100°C								
V_{DS}	L=0,5µm	Superior a I_{Dleak} de 200mV	L=0,7µm	Superior a I_{Dleak} de 200mV	L=0,9µm	Superior a I_{Dleak} de 200mV	L=1,0µm	Superior a I_{Dleak} de 200mV
200mV	1,23E-14	1,00	1,14E-14	1,00	1,07E-14	1,00	1,07E-14	1,00
1V	8,45E-14	6,83	7,28E-14	6,36	6,73E-14	6,27	6,50E-14	6,07
2V	5,27E-13	42,60	4,19E-13	36,62	3,64E-13	33,90	3,45E-13	32,20
Temperatura de 350°C								
V_{DS}	L=0,5µm	Superior a I_{Dleak} de 200mV	L=0,7µm	Superior a I_{Dleak} de 200mV	L=0,9µm	Superior a I_{Dleak} de 200mV	L=1,0µm	Superior a I_{Dleak} de 200mV
200mV	6,47E-09	1,00	4,48E-09	1,00	3,45E-09	1,00	3,10E-09	1,00
1V	9,67E-09	1,49	6,54E-09	1,46	4,95E-09	1,43	4,41E-09	1,42
2V	1,64E-08	2,53	1,08E-08	2,41	8,04E-09	2,33	7,12E-09	2,29

Com a alteração do comprimento do canal do transistor SOI nMOSFET outra evolução foi notada, isto é, a variação da corrente de fuga, de acordo com o comprimento do canal, conforme pode ser visto na figura 3.42.

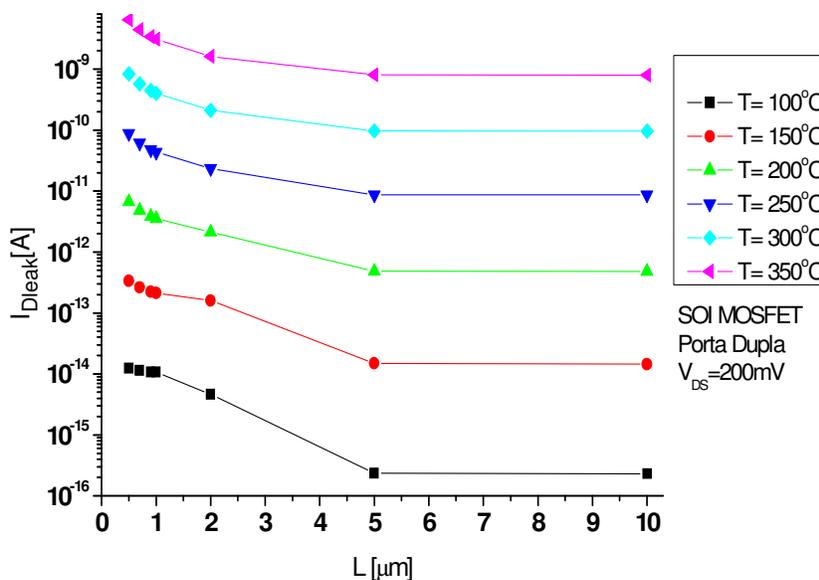


Figura 3.42: Comportamento da corrente de fuga com $V_{\text{DS}} = 200\text{mV}$ em função do comprimento do canal, para o transistor nMOSFET porta dupla em altas temperaturas.

A partir dos resultados apresentados na figura 3.42, observa-se que à medida que L diminui, I_{Dleak} aumenta principalmente em altas temperaturas. Por outro lado, para canais longos I_{Dleak} diminui e para temperaturas inferiores a queda se torna mais acentuada.

Já para $V_{DS} = 2V$ observa-se um comportamento análogo e mais linear para as correntes com o L maior comparado a tensão de $V_{DS} = 200mV$, observado na figura 3.42, porém a intensidade de I_{Dleak} mostrou-se superior com o aumento de V_{DS} , conforme pode ser observado na figura 3.43.

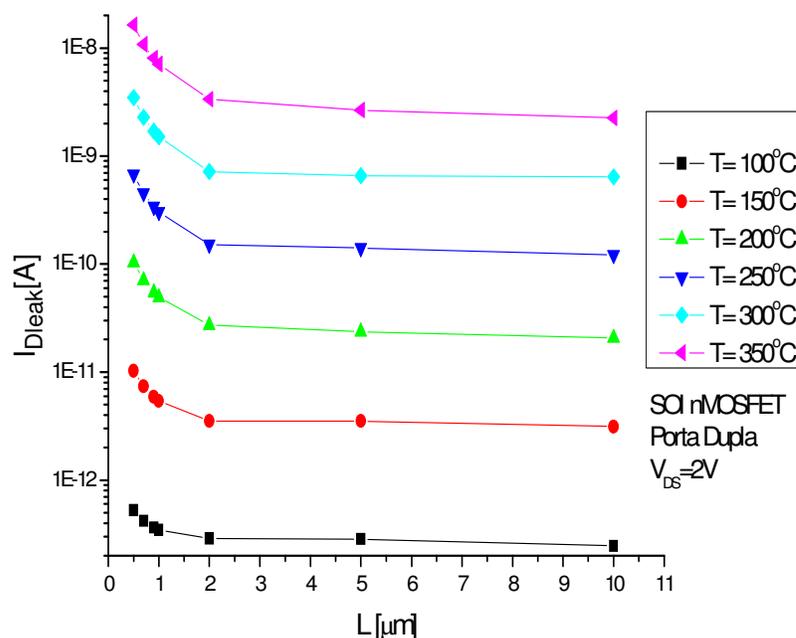


Figura 3.43: Comportamento da corrente de fuga com $V_{DS} = 2V$ em função do comprimento do canal, para SOI nMOSFET porta dupla em altas temperaturas.

3.8.2 Comportamento da corrente de fuga do SOI nMOSFET porta dupla em função da espessura do filme de silício (t_{si}).

Variando a espessura do filme de silício do transistor SOI nMOSFET porta dupla podemos observar o comportamento de I_{Dleak} em função de t_{si} , pois quanto menor for este, menor será a intensidade da corrente de fuga, conforme, ilustra a figura 3.36.

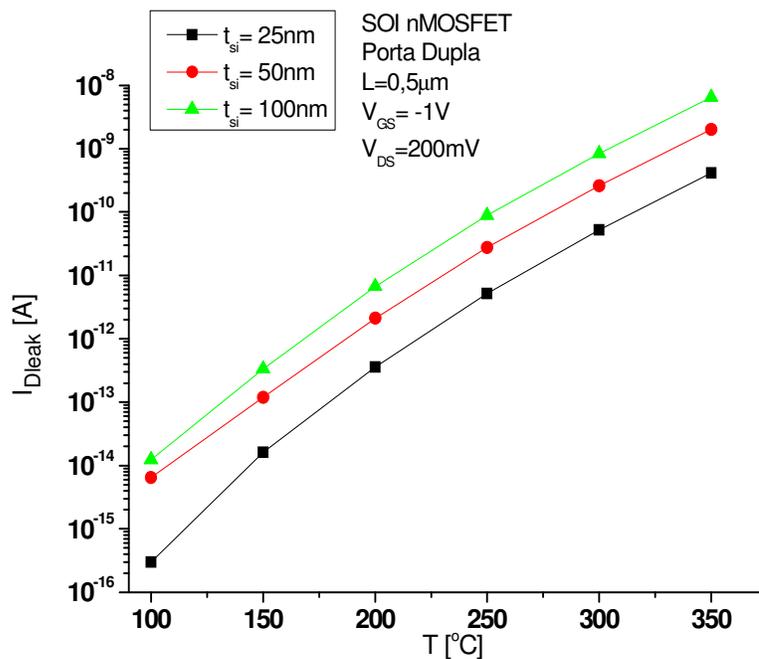


Figura 3.44: Comportamento da corrente de fuga em função da variação do t_{si} no transistor SOI nMOSFET porta dupla, com $L=0,5\mu\text{m}$ em altas temperaturas.

Mantendo as variações do filme de silício e aumentando L para $1\mu\text{m}$, as tendências observadas no comportamento da corrente de fuga se mantêm, ou seja, quanto menor t_{si} , menor será I_{Dleak} , cujos resultados podem ser vistos na figura 3.45, onde também está ressaltada a dependência da corrente de fuga em função da variação da temperatura. As observações feitas para as medidas de $L=0,5\mu\text{m}$ e $L=1\mu\text{m}$ mantendo as mesmas variações de t_{si} podem ser observadas para valores de L maiores, que neste estudo vai até $10\mu\text{m}$.

Uma visualização das alterações da corrente de fuga em função do aumento de V_{DS} em função das variações de t_{si} pode ser visualizada na figura 3.46 e 3.47, a qual demonstra o comportamento de I_{Dleak} em função de V_{DS} e t_{si} , para $L=0,5$ e $0,7\mu\text{m}$, respectivamente.

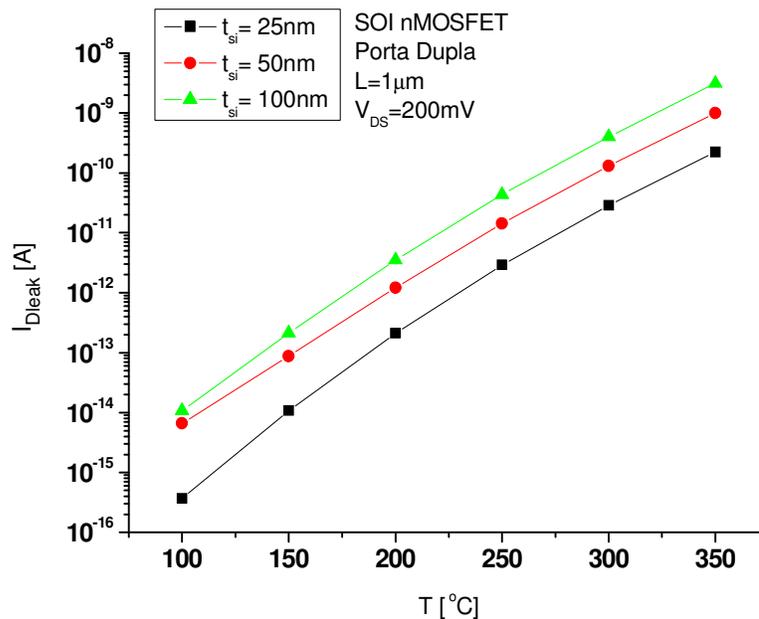


Figura 3.45: Comportamento da corrente de fuga em função da variação do t_{si} no transistor SOI nMOSFET porta dupla, com $L=1\mu\text{m}$ em função da temperatura.

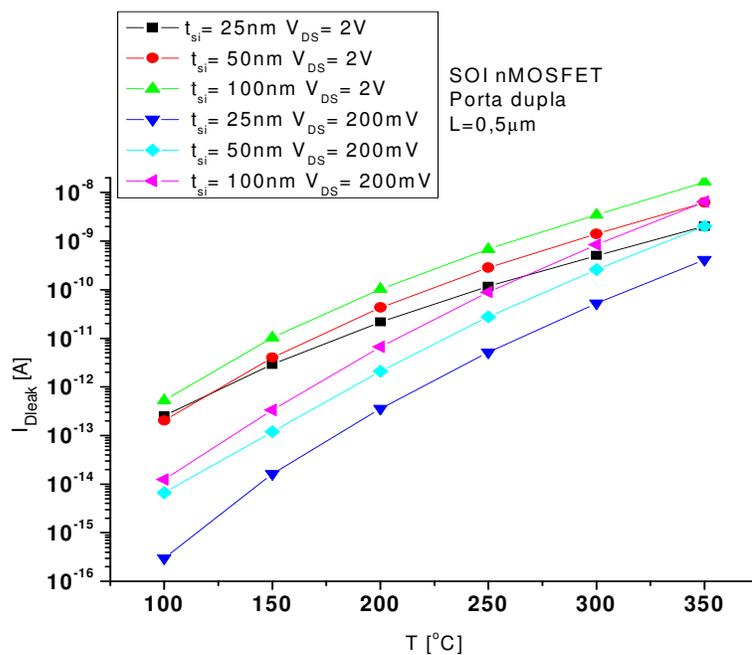


Figura 3.46: Comportamento da corrente de fuga do dreno em função da variação de t_{si} e da tensão do dreno no transistor SOI nMOSFET com $L=0,5\mu\text{m}$ porta dupla operando em altas temperaturas.

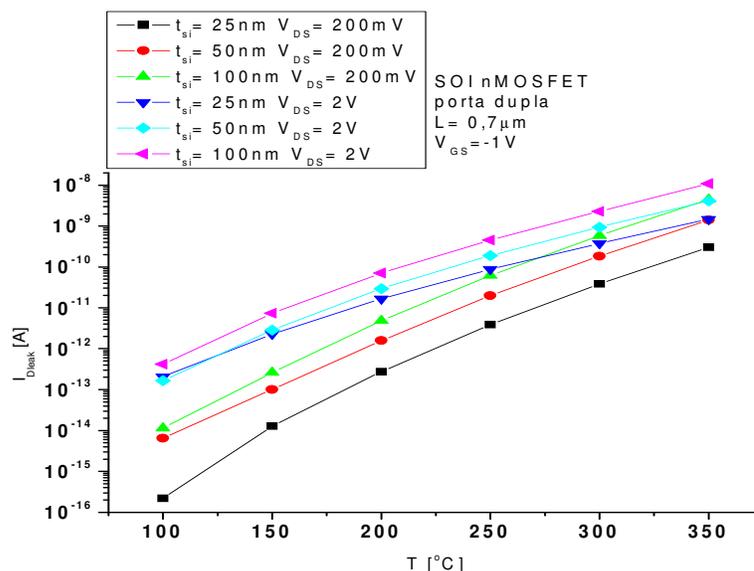


Figura 3.47: Comportamento da corrente de fuga do dreno em função da variação de t_{si} e da tensão do dreno no transistor SOI nMOSFET com $L=0,7 \mu\text{m}$ porta dupla operando em altas temperaturas.

O que pode ser observado com os resultados dos gráficos 3.44 a 3.47 é a dependência da corrente de fuga em função de t_{si} e L .

3.8.3 Estudo do comportamento da densidade da corrente de fuga no filme de silício do transistor Porta Dupla.

Com os estudos realizados até agora, foram observadas as dependências e as evoluções no comportamento de I_{Dleak} no transistor SOI nMOSFET porta dupla operando em altas temperaturas, em função do L , t_{si} e V_{DS} . O estudo seguinte é a verificação da composição de I_{Dleak} para os diferentes valores de L , t_{si} e V_{DS} em função da temperatura, através da avaliação das densidades de corrente de fuga especialmente na sua composição (elétrons e lacunas). Foram realizadas diversas simulações que mostraram a densidade das correntes para os diversos L para o SOI nMOSFET porta dupla, com as variações das temperaturas desde a ambiente até 350°C .

Na Figura 3.48 é mostrado o comportamento da densidade da corrente de fuga J_{Dleak} , formada por elétrons e lacunas para o transistor SOI nMOSFET porta dupla com $L=0,5\mu\text{m}$, $t_{si}=100\text{nm}$ e $V_{DS}=200\text{mV}$. Nota-se que, no filme de silício nas proximidades dos óxidos das portas a densidade da corrente de fuga J_{Dleak} é formada majoritariamente por lacunas,

enquanto que a densidade de elétrons é a menor possível por influência da polarização negativa imposta nas portas. À medida que evoluímos no sentido da espessura do filme de silício, a densidade de lacunas diminui e a dos elétrons aumenta até certo ponto, não existindo neste caso o ponto de *edel* pelo fato da inexistência do cruzamento entre as densidades de elétrons e lacunas, até que os elétrons diminuam até seu valor mínimo e as lacunas aumentem até seu ponto máximo, nas proximidades da interface da segunda porta.

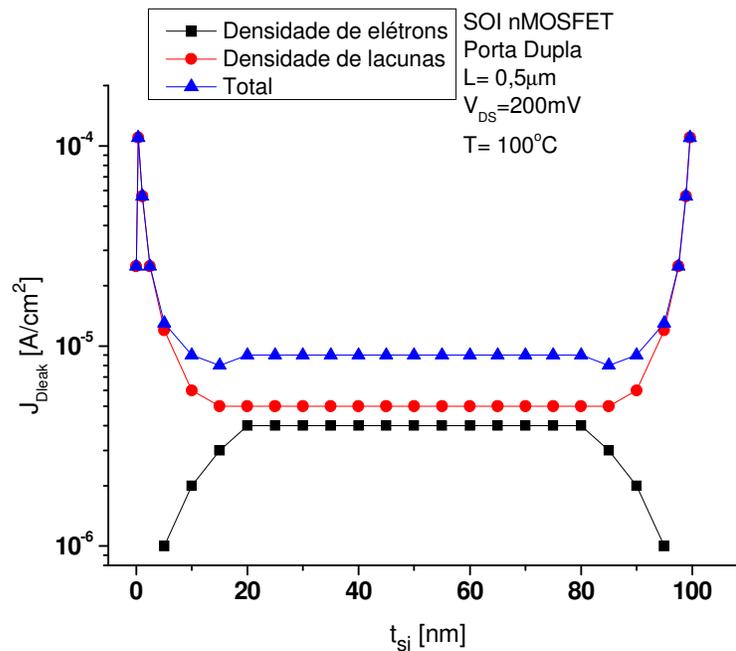


Figura 3.48: Concentração da densidade da corrente de elétrons e lacunas em um transistor SOI nMOSFET porta dupla com L= 0,5μm e temperatura de 100°C.

Alterando a temperatura para 150°C o processo das densidades permanece semelhante ao da temperatura de 100°C, porém, à medida que evoluímos no sentido do centro do canal, a densidade de lacunas diminui e a dos elétrons aumenta, surgindo um ponto em comum entre os elétrons e as lacunas, que para facilitar chamaremos de *edel-1* (encontro das densidades dos elétrons e lacunas na porta-1). Daí adiante, a densidade de elétrons aumenta, superando a densidade das lacunas e as lacunas diminuem mantendo-se abaixo da densidade dos elétrons, até que os elétrons começam novamente a diminuir e as lacunas começam a aumentar até que elétrons e as lacunas fiquem com a mesma densidade no ponto *edel-2* (encontro das densidades dos elétrons e lacunas da porta 2). Deste ponto em diante os elétrons diminuem até seu valor mínimo e as lacunas aumentam até seu ponto máximo, nas proximidades da

interface do óxido da segunda porta, conforme ilustra a figura 3.49. Outro ponto que é observado com a evolução da temperatura é o deslocamento tanto do *edel-1* como do *edel-2* nas proximidades do óxido de porta correspondente, aumentando a densidade de elétrons no corpo, principalmente no meio da espessura filme de silício.

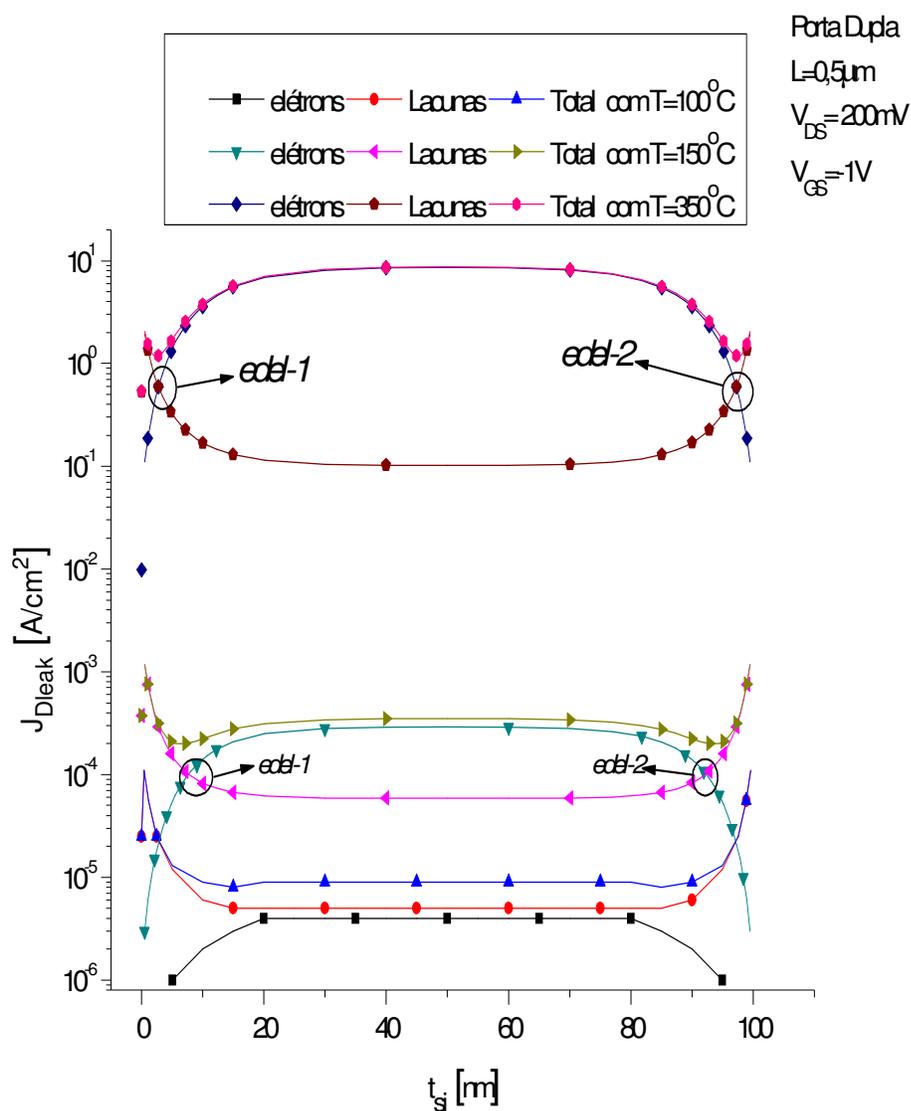


Figura 3.49: Concentração da densidade da corrente de elétrons e lacunas em um transistor SOI nMOSFET porta dupla com $L=0,5\mu\text{m}$, $V_{DS}=200\text{mV}$, em altas temperatura.

A evolução da densidade total da corrente de fuga no transistor SOI nMOSFET porta dupla pode ser observada na figura 3.50. Uma característica apresentada na figura 3.50 é a tendência da densidade da corrente de fuga evoluir mais para o centro do filme de silício com o aumento da temperatura; conforme pode ser observado em baixas temperaturas, as concentrações das densidades minoritárias são maiores nas imediações das interfaces das portas, enquanto que as densidades majoritárias são menores e praticamente lineares, com o aumento da temperatura as concentrações das densidades minoritárias diminuem em quanto as densidades majoritárias passam de praticamente lineares para uma evolução mais acentuada assemelhando-se à forma de uma parábola, podendo ser demonstrada esta evolução com a temperatura pelas fórmulas abaixo.

Para verificar a influência da tensão de dreno na densidade da corrente com $L=0,5\mu\text{m}$ aumentamos V_{DS} para 2V e foram refeitas as simulações, cujos resultados podem ser observados na figura 3.51. Neste caso houve um aumento da densidade da corrente de fuga, mas a tendência da densidade aumentar no sentido do centro do canal com o aumento da temperatura não se alterou.

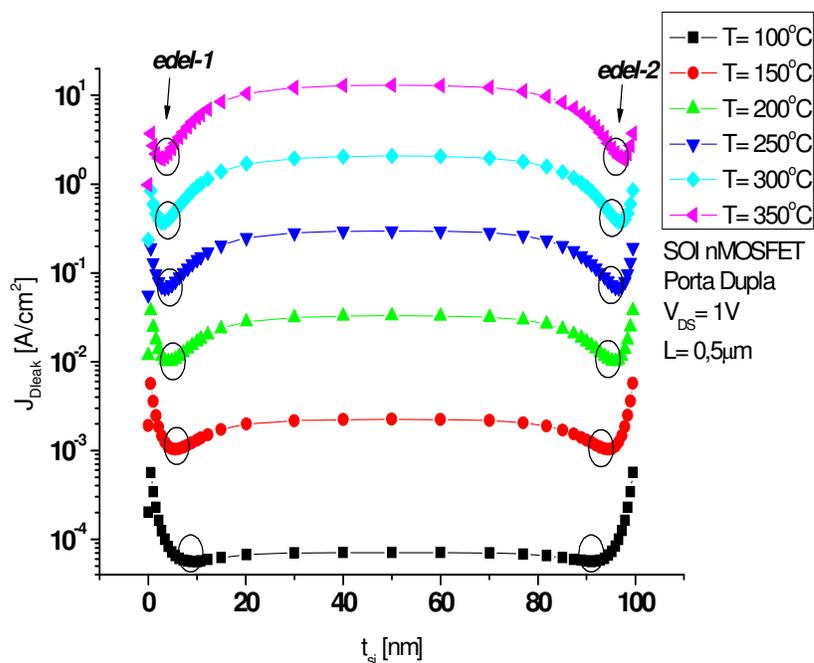


Figura 3.50: Concentração total da densidade da corrente de fuga no corte transversal no corpo do transistor SOI nMOSFET porta dupla com $V_{DS}=1\text{V}$ e $L=0,5\mu\text{m}$.

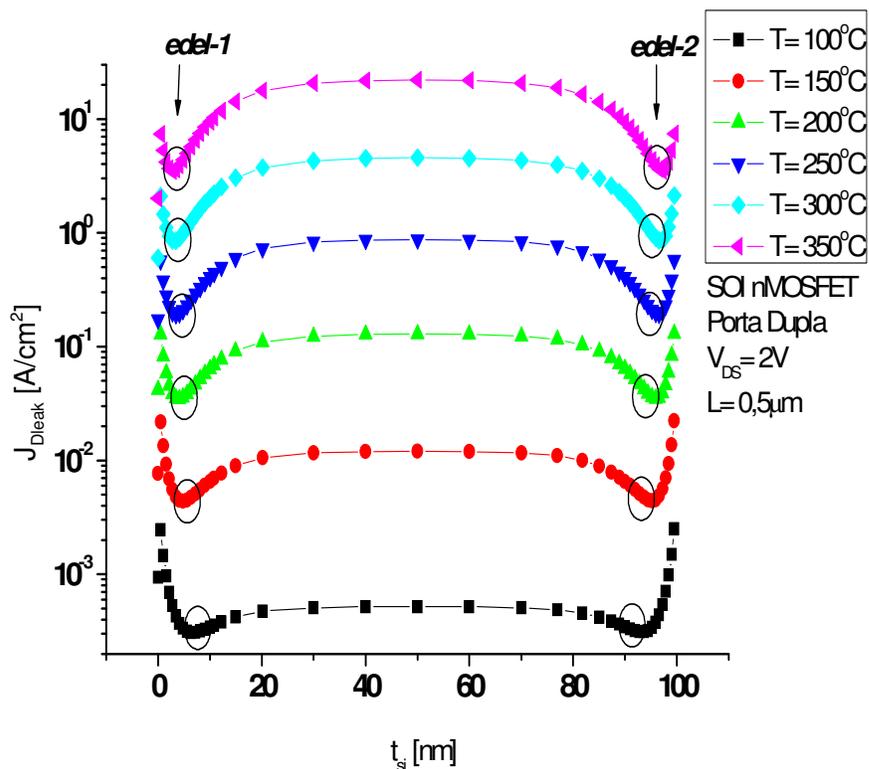


Figura 3.51: Concentração da densidade total no corte transversal no corpo do transistor SOI nMOSFET porta dupla com $V_{\text{DS}} = 2\text{V}$ e $L = 0,5\mu\text{m}$.

Para verificar a influência do comprimento do canal na densidade da corrente, aumentou-se L para $1\mu\text{m}$, cujos resultados podem ser observados na Figura 3.52 e 3.53, onde é mostrada a influência do aumento do canal com a densidade, a tendência da densidade da corrente se mantém igual com o $L = 0,5\mu\text{m}$, o aumento da densidade com o acréscimo da temperatura e a concentração mais para o centro do filme de silício, porém a grande mudança é observada na concentração quando o canal maior é menor, chegando ao ponto em que a densidade com a temperatura de 100°C é praticamente a mesma para a temperatura de 150°C .

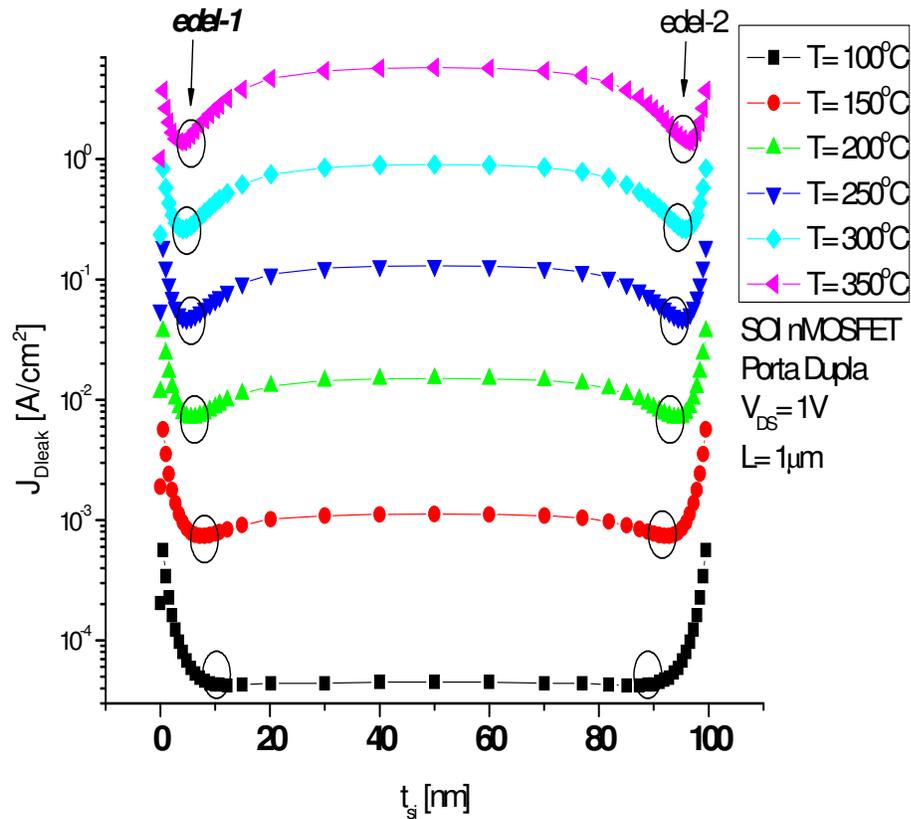


Figura 3.52: Concentração da densidade total da corrente de fuga no corte transversal no corpo do transistor SOI nMOSFET porta dupla com $L = 1\mu m$ e $V_{DS} = 1V$.

Resultados similares também são observados para $L = 1\mu m$ e $V_{DS} = 2V$, conforme podem ser vistos na figura 3.45.

Como foi observado nas figuras 3.50 e 3.51 com $L = 0,5\mu m$ e $V_{DS} = 1V$, o aumento da densidade da corrente ocorre com o aumento da temperatura, o que também é observado nas figuras 3.52 e 3.53 para $L = 0,5\mu m$ e $V_{DS} = 2V$. Esta evolução da densidade da corrente com o aumento da temperatura também é observada para os transistores com diferentes L neste trabalho: 0,5; 0,7; 0,9; 1,0; 2,0; 5,0 e $10\mu m$ e também variando os valores de V_{DS} .

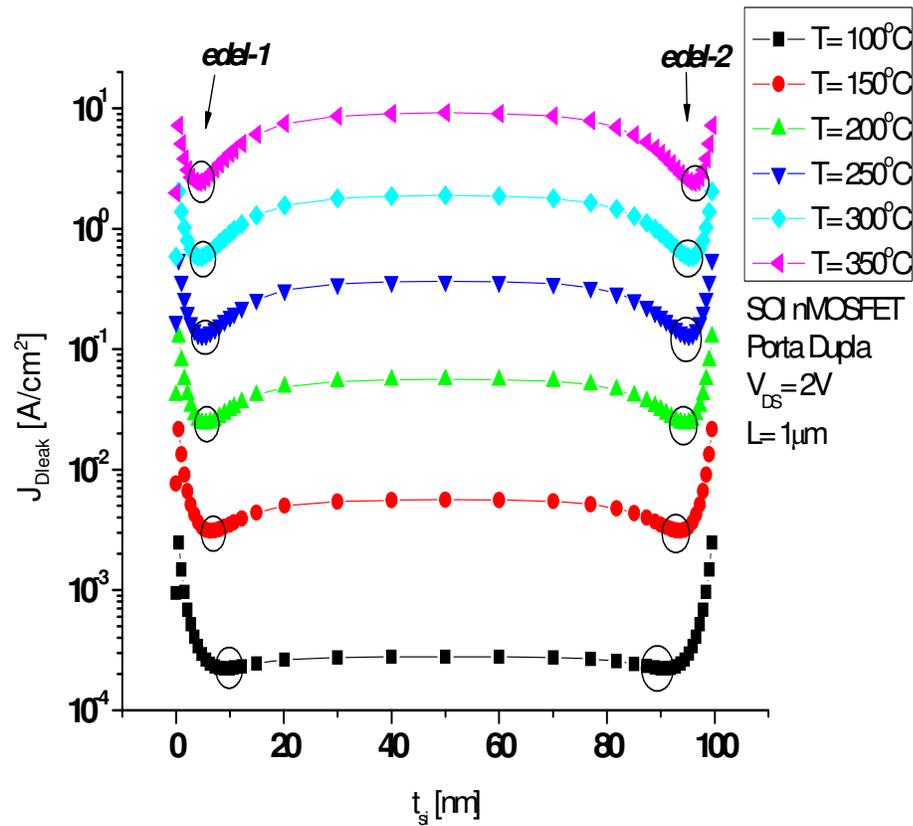


Figura 3.53: Densidade total da corrente de fuga no corpo do transistor SOI nMOSFET porta dupla para $L = 1\mu m$ e $V_{DS} = 2V$.

Para verificarmos a densidade total da corrente de fuga, variamos o L e as conseqüências na densidade total da corrente de fuga em função da variação de L para os valores de 0,5, 1 e $10\mu m$ com $V_{DS} = 200mV$ e $T = 100^\circ V$, podem ser observadas na figura 3.54. O que pode ser observado na curva é a falta dos picos de queda nas densidades das correntes totais mencionados nas figuras 3.50 a 3.53 que demonstram que não há presença dos pontos *edel-1* e *edel-2*, tendo como conseqüência a densidade da corrente de fuga majoritária formada de lacunas e a densidade da corrente minoritária formada por elétrons.

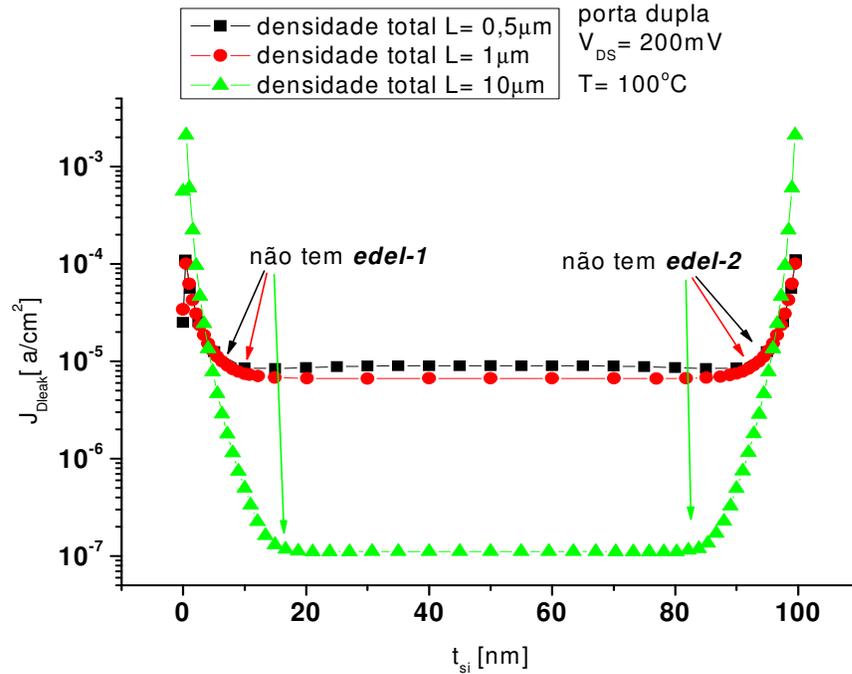


Figura 3.54: Densidade total da corrente de fuga no corpo do transistor SOI nMOSFET porta dupla para $L = 0,5\mu\text{m}$, $1\mu\text{m}$ e $10\mu\text{m}$ com $V_{\text{DS}} = 200\text{mV}$ e $T = 100^\circ\text{C}$.

Aumentando a temperatura para 350°C , a densidade da corrente de fuga muda e já temos a presença dos pontos *edel-1* e *edel-2* para os valores de $L = 0,5\mu\text{m}$ e $L = 1\mu\text{m}$, significando que a densidade da corrente majoritária passa a ser de elétrons e a minoritária de lacunas. Para o valor de $L = 10\mu\text{m}$ os dois pontos *edel-1* e *edel-2* continuam inexistentes podendo ser observado na figura 3.55. O que foi observado para figura 3.55 pode ser verificado nas figuras de 3.56 a 3.59.

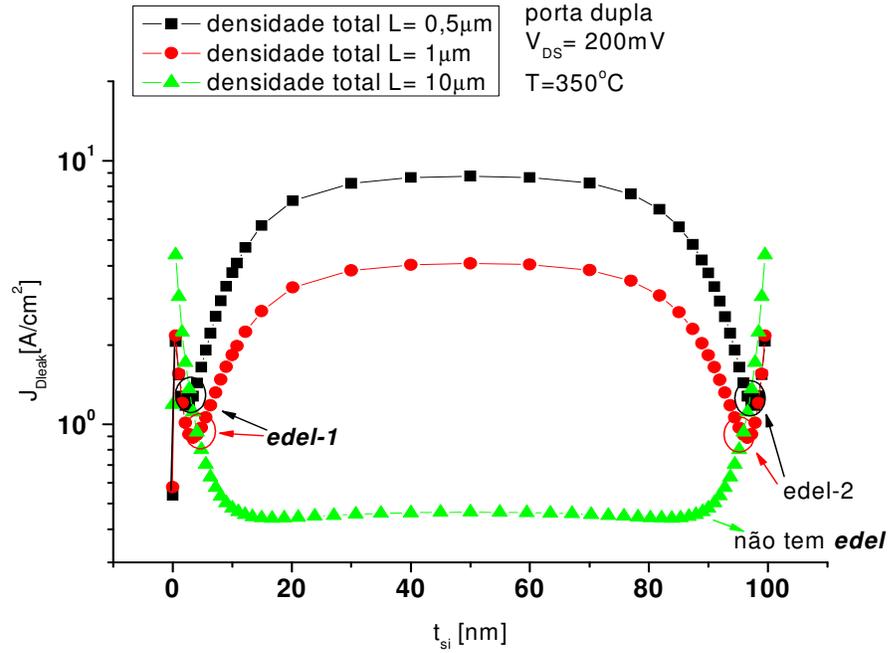


Figura 3.55: Densidade total da corrente de fuga no corpo do transistor SOI nMOSFET porta dupla para $L=0,5\mu\text{m}$, $1\mu\text{m}$ e $10\mu\text{m}$ com $V_{DS}=200\text{mV}$ e $T=350^\circ\text{C}$.

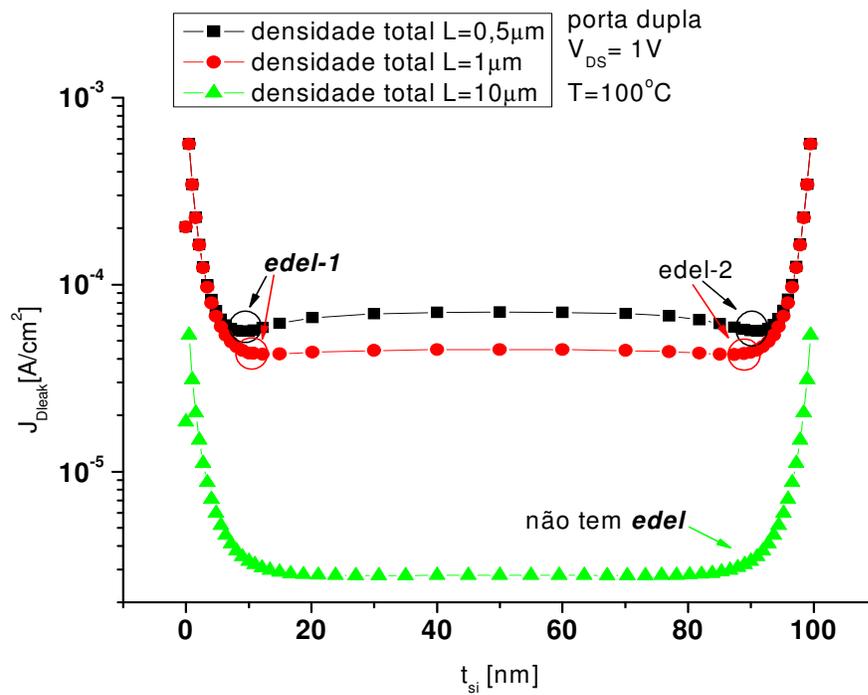


Figura 3.56: Densidade total da corrente de fuga no corpo do transistor SOI nMOSFET porta dupla para $L=0,5\mu\text{m}$, $1\mu\text{m}$ e $10\mu\text{m}$ com $V_{DS}=1\text{V}$ e $T=100^\circ\text{C}$.

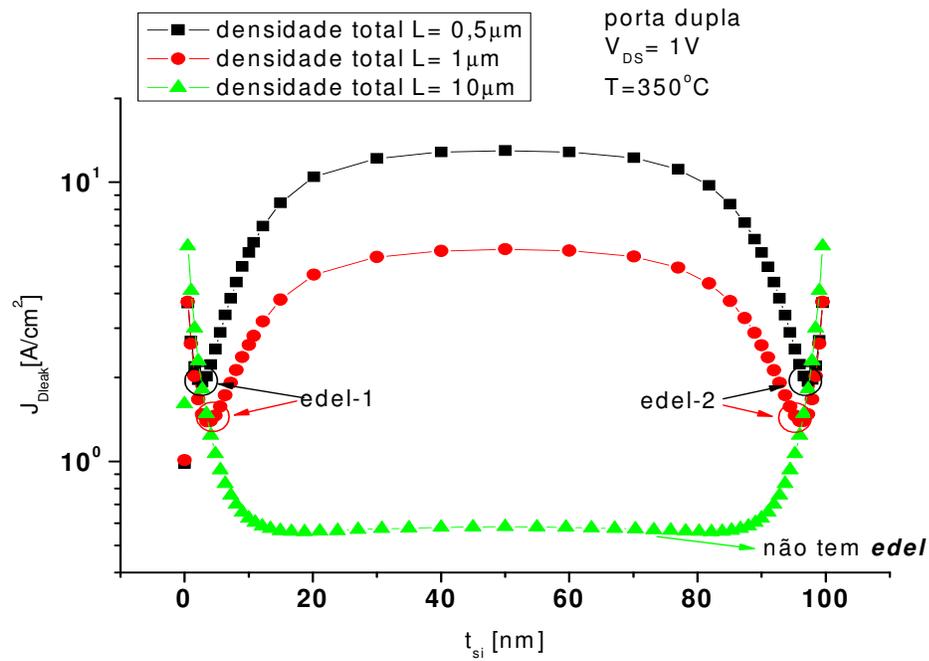


Figura 3.57: Densidade total da corrente de fuga no corpo do transistor SOI nMOSFET porta dupla para $L = 0,5\mu\text{m}$, $1\mu\text{m}$ e $10\mu\text{m}$ com $V_{DS} = 1\text{V}$ e $T = 350^\circ\text{C}$.

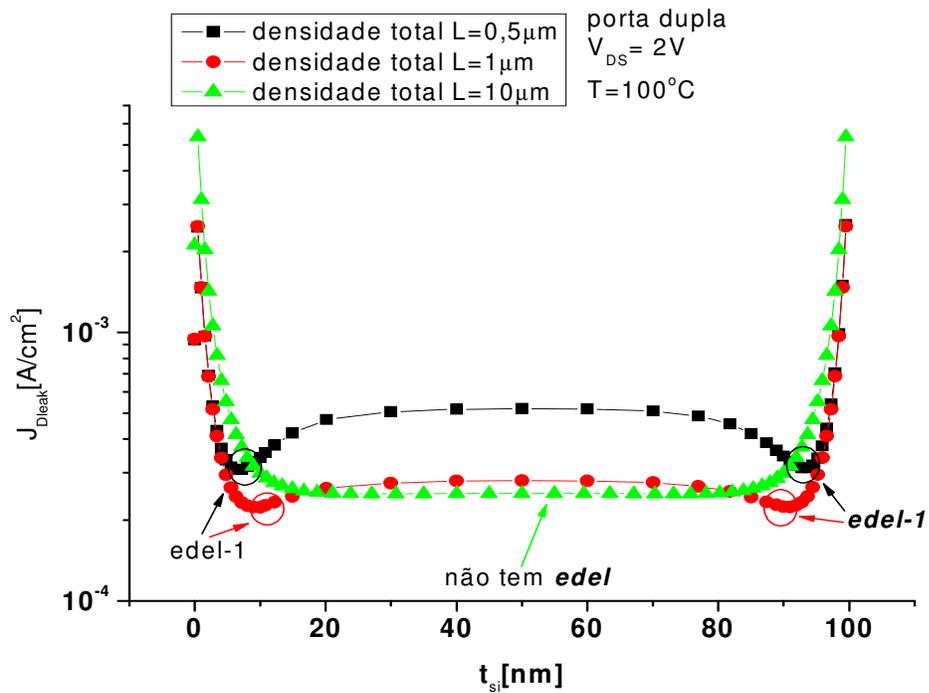


Figura 3.58: Densidade total da corrente de fuga no corpo do transistor SOI nMOSFET porta dupla para $L = 0,5\mu\text{m}$, $1\mu\text{m}$ e $10\mu\text{m}$ com $V_{DS} = 2\text{V}$ e $T = 100^\circ\text{C}$.

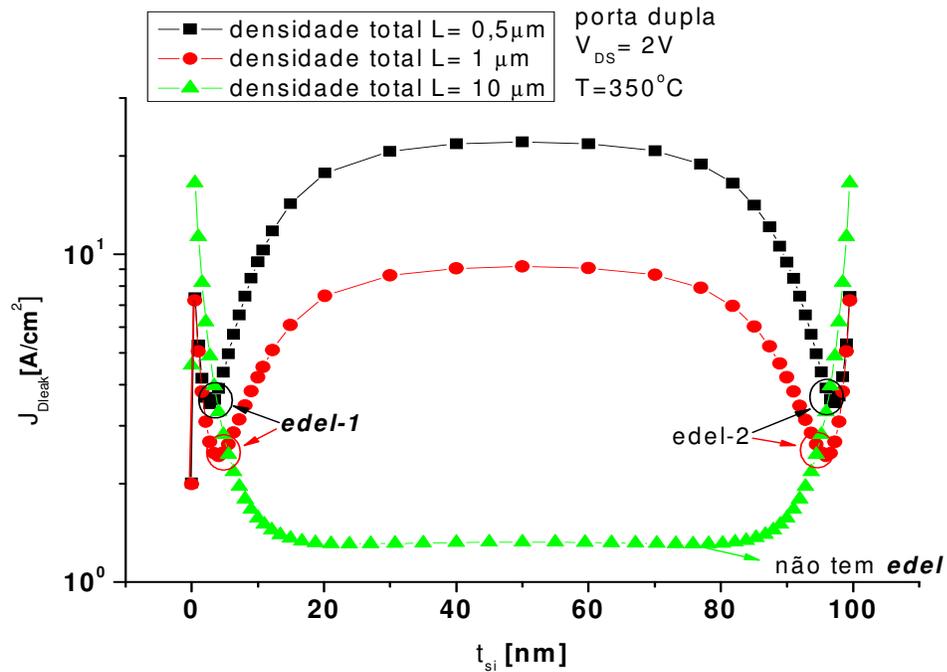


Figura 3.59: Densidade total da corrente de fuga no corpo do transistor SOI nMOSFET porta dupla para $L=0,5\mu\text{m}$, $1\mu\text{m}$ e $10\mu\text{m}$ com $V_{DS}=2\text{V}$ e $T=350^\circ\text{C}$.

O que pode ser observado na densidade total da corrente de fuga é a sua dependência em função do comprimento, ou seja, quanto maior o comprimento do canal, menor será a corrente e também observamos a dependência da densidade total da corrente de fuga com V_{DS} que é diretamente proporcional.

3.9 Comportamento do SOI MOSFET porta dupla polarizando uma das portas.

Com o intuito de aproximarmos as características dos transistores SOI MOSFET convencional com O SOI MOSFET porta dupla foi mudada a polarização nas portas do SOI MOSFET porta dupla da seguinte forma, na porta-1 foi mantido $V_{GS} = -1\text{V}$ e na porta-2 foi alterado para $V_{GS} = 0\text{V}$. O resultado pode ser visto na figura 3.60, onde a evolução da densidade da corrente de fuga passa a circular nas proximidades da porta-2 polarizada com 0V , elevando consideravelmente na vizinhança da interface da porta-2 a quantidade de

elétrons, outra mudança observada é desaparecimento do ponto *edel-2*, ficando só o *edel-1*, agora mais próximo da interface do óxido da porta-2 polarizada com 0V.

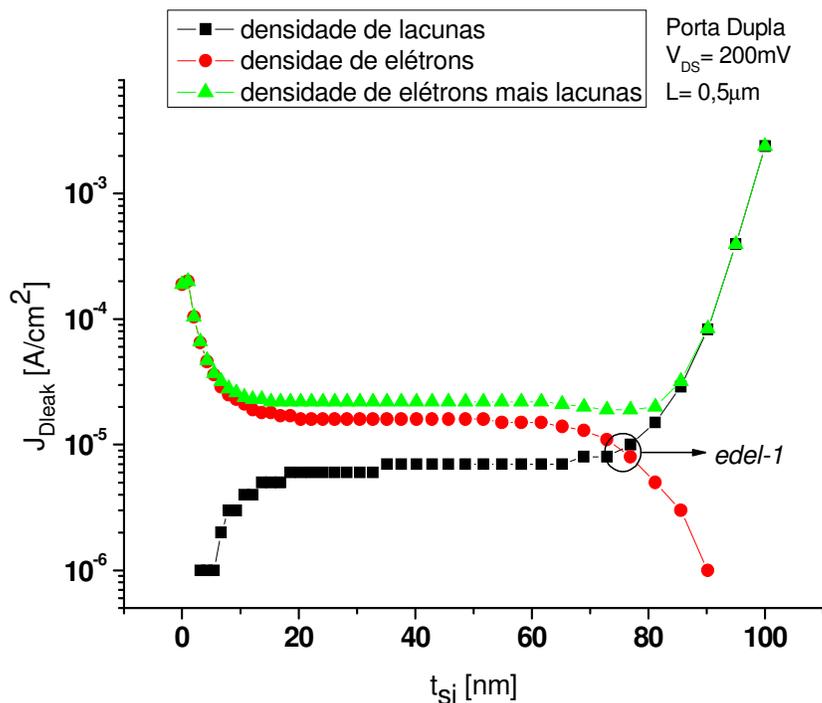


Figura 3.60: Curva do SOI nMOSFET porta dupla com $L=0,5\mu\text{m}$, $T=100^\circ\text{C}$ com uma das portas polarizada com $V_{GS}=0\text{V}$.

Com a elevação da temperatura podemos perceber as alterações na corrente de fuga nas imediações do óxido de porta, que neste caso se acentuou ainda mais com $V_{GS}=0\text{V}$ e o deslocamento do ponto *edel-1* em direção à porta-1, a qual se encontra polarizada com $-1,5\text{V}$, conforme está ilustrado na figura 3.61.

A partir dos resultados apresentados para o SOI MOSFET porta dupla com polarização na porta-2 com $V_{GS}=0\text{V}$ aproximando-se de um SOI nMOSFET convencional, pode ser observado o deslocamento do ponto *edel-1* em função da temperatura e o aumento da densidade dos elétrons nas proximidades da interface do óxido da segunda porta conforme visto na figura 3.62.

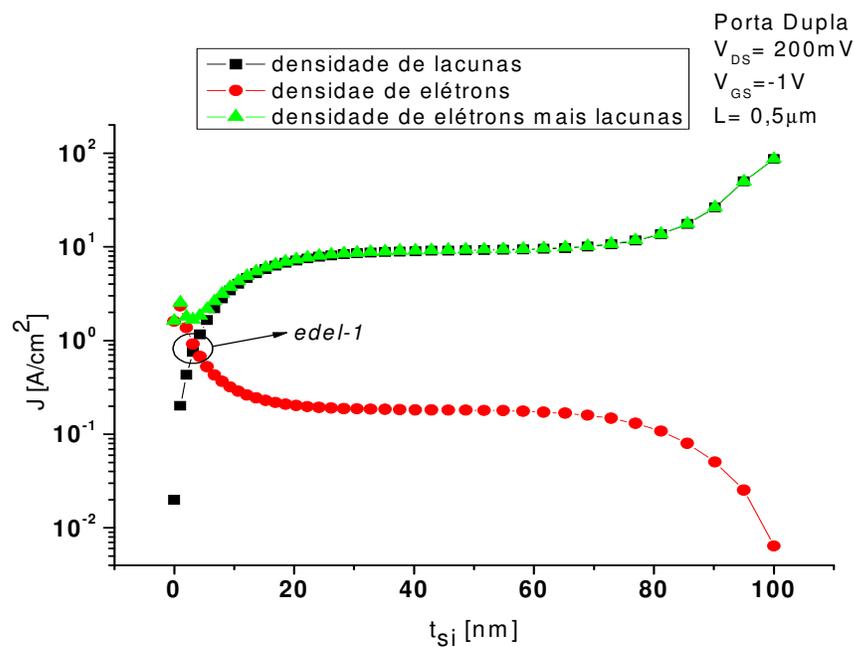


Figura 3.61: Densidade da corrente de fuga do SOI nMOSFET porta dupla com $L=0,5\mu\text{m}$, $T=350^\circ\text{C}$ e com $V_{GS1}=-1\text{V}$ e $V_{GS2}=0\text{V}$.

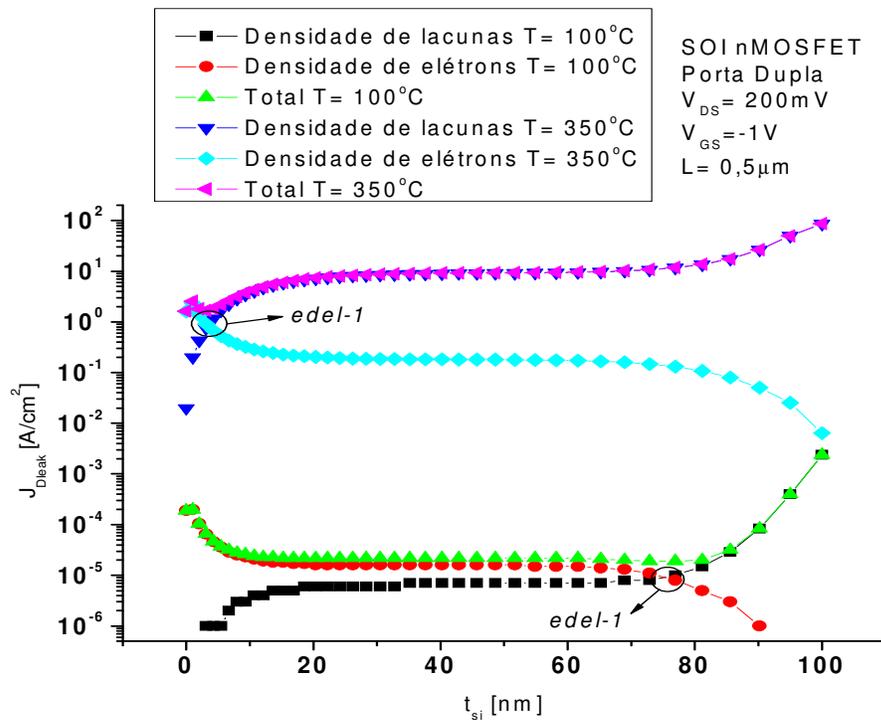


Figura 3.62: Densidade da corrente de fuga do SOI nMOSFET porta dupla com $L=0,5\mu\text{m}$ $T=100^\circ\text{C}$ e $T=350^\circ\text{C}$ com $V_{GS1}=-1\text{V}$ e $V_{GS2}=0\text{V}$.

A evolução da densidade da corrente de fuga com a polarização de $V_{GS2} = 0V$ para temperaturas em torno de $100^{\circ}C$ pode ser observada com o deslocamento na direção da porta-1 para a porta-2 que antes de atingir o ponto *edel-1* é quase que na sua totalidade formada por lacunas, enquanto que a densidade da corrente de fuga minoritária é formada por elétrons no corpo do transistor, até atingir o ponto *edel-1*. Depois do ponto *edel-1* a densidade da corrente de fuga minoritária passa a ser das lacunas enquanto que a majoritária passa a ser dos elétrons. O acréscimo da densidade majoritária depois do ponto *edel-1* é bem acentuado, fazendo com que a corrente de circulação do transistor SOI MOSFET porta dupla passe a ter na sua composição uma corrente elevada nas proximidades do óxido de porta da porta-2, esta evolução da corrente também pode ser observada para outros comprimentos de L .

Com o aumento da temperatura, o ponto *edel-1* desloca-se das proximidades do óxido da porta-2 para o óxido da porta-1, também sendo observado na figura 3.48 o deslocamento do ponto *edel-1*. A densidade da corrente de fuga formada por elétrons é agora em quase toda a extensão da profundidade do filme de silício e, nas proximidades do óxido da porta-2, continua tendo uma elevação maior da densidade da corrente de fuga e esta evolução pode ser observada com o aumento da temperatura mostrada na figura 3.63, juntamente com o deslocamento do ponto *edel-1*.

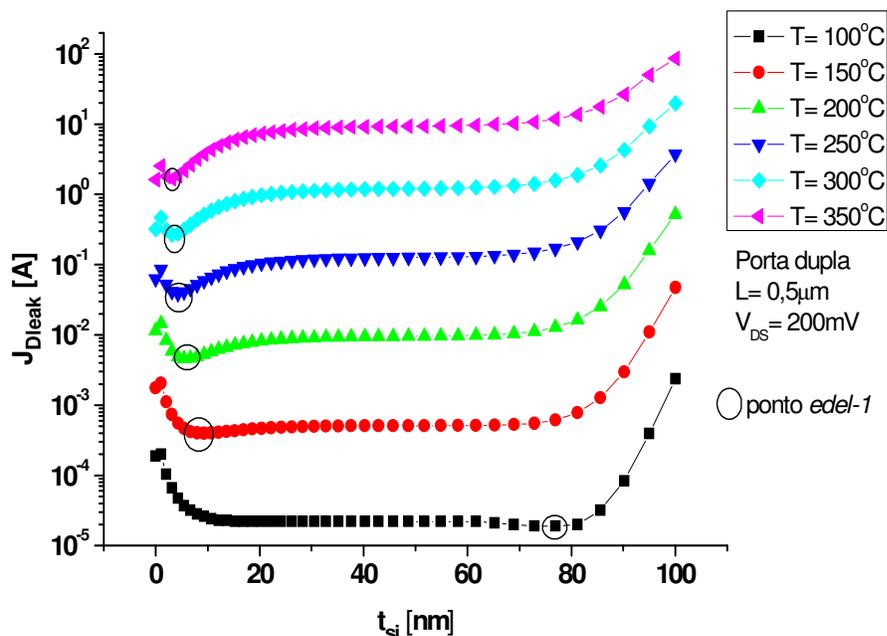


Figura 3.63: Concentração total da densidade da corrente de fuga no corte transversal no corpo do transistor SOI nMOSFET porta dupla com $V_{GS1} = -1V$ e $V_{GS2} = 0V$, para $L = 0,5\mu m$.

Esta evolução da densidade da corrente de fuga também pode ser observada para outros valores de L como 0,7, 1,0, 2,0 e $5\mu\text{m}$, no caso da figura 3.64 podemos ver os valores das densidades de corrente com $L=1\mu\text{m}$ e observarmos o deslocamento do ponto *edel-1*, bem como a evolução da corrente de fuga majoritária formada de elétrons.

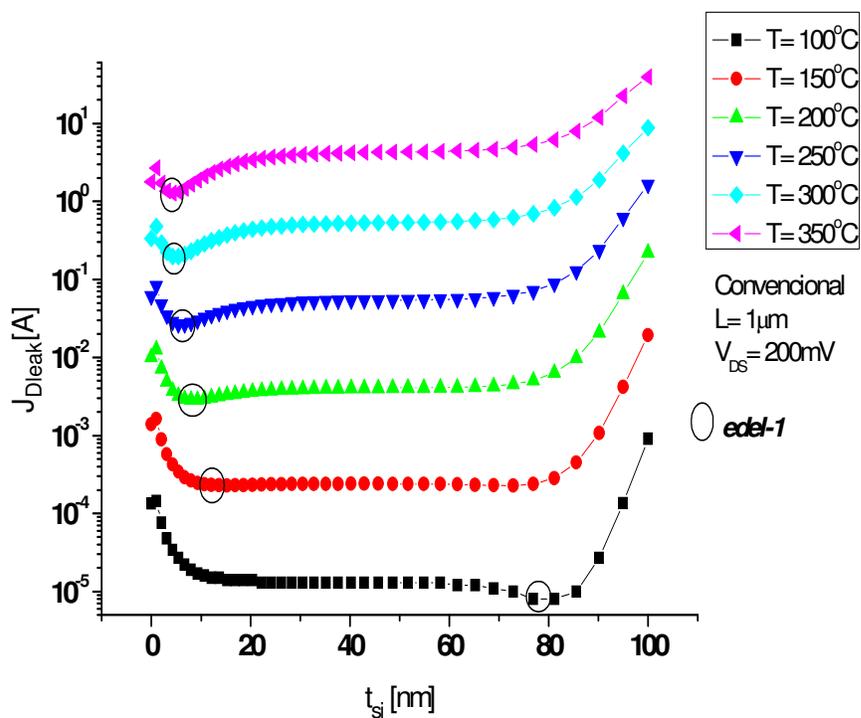


Figura 3.64: Concentração total da densidade da corrente de fuga no corte transversal no corpo do transistor SOI nMOSFET porta dupla com $V_{GS1}=-1\text{V}$ e $V_{GS2}=0\text{V}$, para $L=1,0\mu\text{m}$.

4 Comparando os resultados dos transistores SOI nMOSFET Porta Dupla e o convencional.

Analisaremos os resultados das correntes de fuga dos transistores SOI MOSFET porta dupla juntamente com o transistor SOI MOSFET convencional em função da temperatura, para os itens: variação de L , espessura de t_{si} , variação de V_{DS} , espessura do t_{oxB} .

Neste capítulo foi feito o estudo comparativo dos resultados das correntes de fuga entre os transistores SOI MOSFET convencional e porta dupla.

4.1 Comparação da evolução de I_{Dleak} para os SOI MOSFET convencional e porta dupla com o aumento da temperatura e do comprimento do canal.

Para a primeira análise dos resultados, comparamos as curvas de $I_D \times V_{GS}$ na região da corrente de fuga dos transistores SOI nMOSFET porta dupla e convencional, para verificar a evolução das correntes, podendo ser observado na figura 4.65.

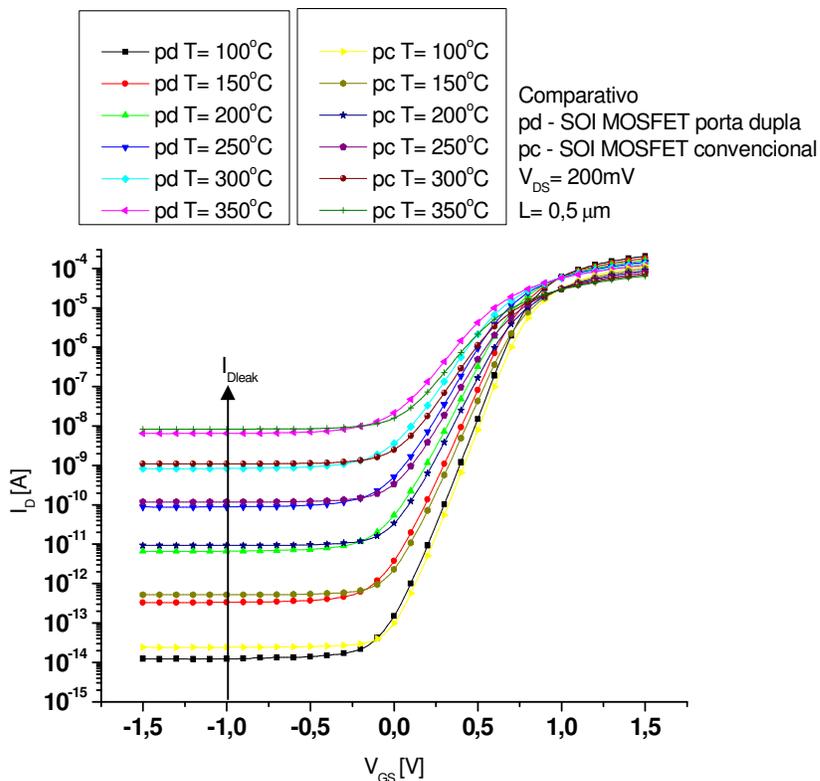


Figura 4.65: Curva $I_{DS} \times V_{GS}$ dos transistores SOI nMOSFET porta dupla e SOI MOSFET convencional em função da temperatura, para $V_{DS} = 200\text{mV}$.

Os resultados observados na figura 4.65 nos revelaram a dependência da corrente de dreno com o aumento da temperatura, quanto mais elevada a temperatura, maior é a corrente de dreno, podendo ser notada na região da corrente de fuga, ou seja, abaixo de 0V esta dependência. Outro ponto que também pode ser observado é que a corrente de fuga do SOI nMOSFET porta dupla, nestas condições, ficou sempre inferior ao SOI MOSFET convencional e a diferença entre elas é maior em baixas temperaturas e com a elevação da temperatura a diferença entre as correntes de fuga diminui, mas a vantagem para o SOI nMOSFET porta dupla se manteve.

Para que possamos verificar se realmente a corrente de fuga para o SOI MOSFET porta dupla mantém a vantagem sobre o SOI MOSFET convencional, comparamos os resultados com diferentes tamanhos de L em função da temperatura, que pode ser observado na tabela 4.5. Para uma evolução gráfica da corrente de fuga em função de L e T, alguns resultados foram extraídos da tabela 4.5 podendo ser observados na figura 4.66.

Tabela 4.5 I_{Dleak} em função de L.

		$V_{GS} = 200mV$							
		L=	L=	L=	L=	L=	L=	L=	L=
		0,5 μm	0,5 μm	0,7 μm	0,7 μm	0,9 μm	0,9 μm	1 μm	1 μm
T [°C]		ps	pd	ps	pd	ps	pd	ps	pd
100		2,40E-14	1,24E-14	1,71E-14	1,15E-14	1,64E-14	1,07E-14	1,62E-14	1,07E-14
150		5,20E-13	3,34E-13	3,35E-13	2,62E-13	2,91E-13	2,26E-13	2,76E-13	2,13E-13
200		9,26E-12	6,70E-12	5,88E-12	4,82E-12	4,70E-12	3,85E-12	4,28E-12	3,52E-12
250		1,18E-10	8,85E-11	7,65E-11	6,17E-11	5,90E-11	4,79E-11	5,28E-11	4,33E-11
300		1,09E-09	8,38E-10	7,25E-10	5,81E-10	5,53E-10	4,47E-10	4,92E-10	4,02E-10
350		8,28E-09	6,48E-09	5,61E-09	4,49E-09	4,28E-09	3,46E-09	3,80E-09	3,10E-09
		$V_{GS} = 1V$							
		L=	L=	L=	L=	L=	L=	L=	L=
		0,5 μm	0,5 μm	0,7 μm	0,7 μm	0,9 μm	0,9 μm	1 μm	1 μm
T [°C]		ps	pd	ps	pd	ps	pd	ps	pd
100		1,02E-13	8,46E-14	8,13E-14	7,29E-14	7,58E-14	6,73E-14	7,35E-14	6,51E-14
150		2,31E-12	2,01E-12	1,62E-12	1,51E-12	1,35E-12	1,25E-12	1,26E-12	1,25E-12
200		3,20E-11	2,68E-11	2,15E-11	1,88E-11	1,68E-11	1,47E-11	1,52E-11	1,34E-11
250		2,92E-10	2,32E-10	1,92E-10	1,58E-10	1,45E-10	1,20E-10	1,29E-10	1,08E-10
300		2,03E-09	1,57E-09	1,33E-09	1,06E-09	9,88E-10	8,00E-10	8,72E-10	7,14E-10
350		1,26E-08	9,68E-09	8,24E-09	6,54E-09	6,15E-09	4,95E-09	5,41E-09	4,42E-09

Com os resultados obtidos na tabela 4.5 foram escolhidos alguns resultados desta mesma tabela e mostrados na figura 4.66, o que pode ser observado é que a vantagem da

evolução da corrente de fuga do SOI MOSFET porta dupla foi mantida tanto em baixa como em altas temperaturas e, para valores de L diferentes.

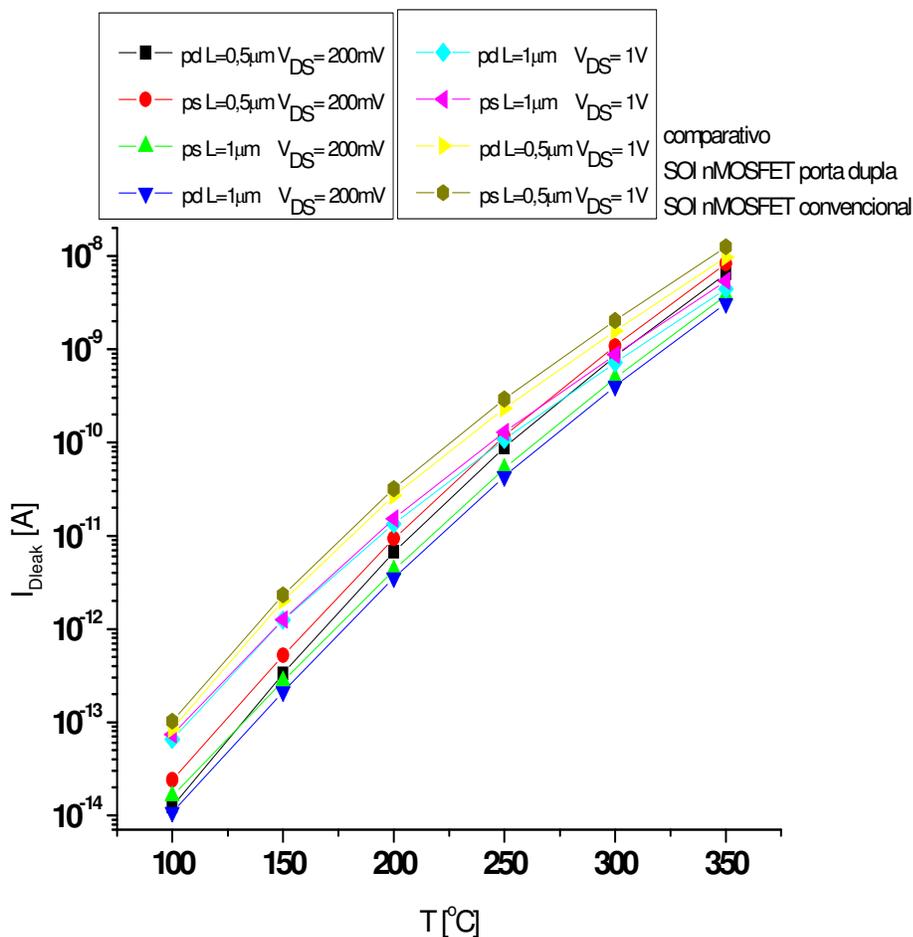


Figura 4.66: Alguns resultados da corrente de fuga do SOI MOSFET convencional e do SOI MOSFET porta dupla da tabela 3.5

Com os resultados obtidos na tabela 4.5 e demonstrados na figura 4.50 e comparando todos os resultados da tabela 4.66, a vantagens da evolução da corrente de fuga do SOI MOSFET porta dupla foi mantida tanto em baixa como em altas temperaturas.

4.1.1 Resultados comparativos do SOI MOSFET porta dupla com o convencional para alterações na espessura do filme de silício.

Neste item, foram comparados os resultados obtidos para as variações do filme de silício para o SOI MOSFET porta dupla com o SOI MOSFET convencional, a espessura do

filme de silício foi reduzida para 25nm, sendo que anteriormente a espessura do filme de silício utilizada foi de 100nm.

Com os resultados obtidos com a alteração da espessura do filme de silício o transistor SOI MOSFET porta dupla permanece com valores inferiores ao SOI MOSFET convencional, o comparativo das correntes de fuga para t_{si} com 25nm pode ser observado na figura 4.67.

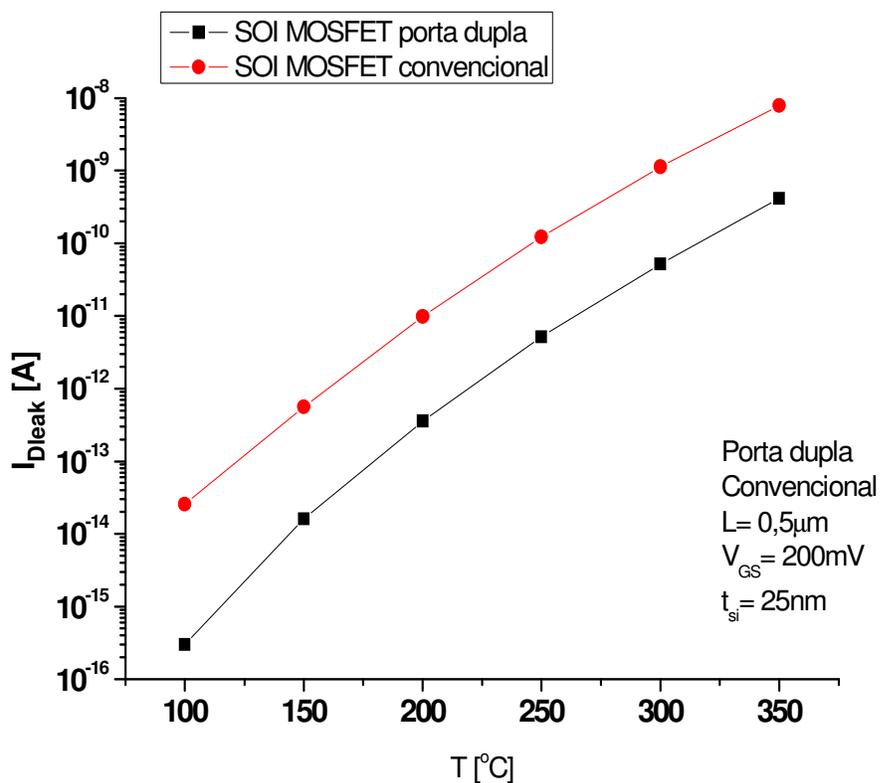


Figura 4.67: Resultado das correntes de fuga para o SOI MOSFET porta dupla e SOI MOSFET convencional com t_{si} 25nm.

O resultado comparativo da evolução da corrente de fuga para $t_{si} = 25\text{nm}$ e $t_{si} = 100\text{nm}$ pode ser observado na figura 4.68 que revela as diferenças de cada uma.

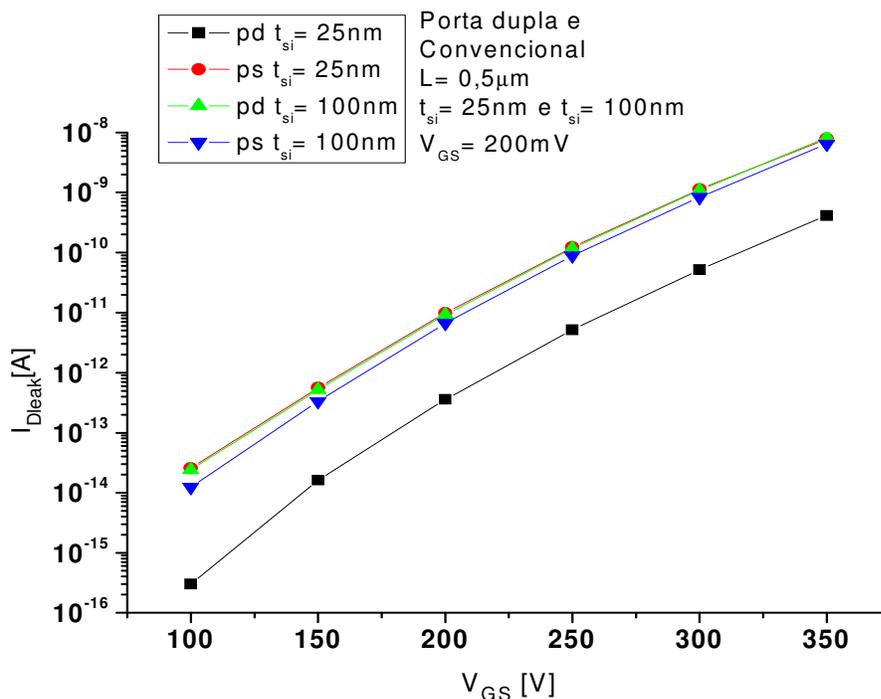


Figura 4.68: O comparativo das correntes de fuga para o SOI MOSFET porta dupla e SOI MOSFET convencional com $t_{si} = 25\text{nm}$ e $t_{si} = 100\text{nm}$.

Os resultados apresentados nas figuras 4.67 e 4.68, nos mostra a redução ainda maior para a corrente de fuga com a redução de t_{si} , o que para novas tecnologias é muito importante por se tratar de um consumo menor com tamanho menor.

Com a redução da espessura do filme de silício a área por onde passa a corrente fica menor e como a corrente depende da área conforme visto na equação 2.9, ocorreu a redução da corrente de fuga para o SOI MOSFET convencional e para o SOI MOSFET porta dupla, o que se comprovou com as curvas demonstradas. Neste ponto do trabalho o que está diferenciando a corrente ser menor para o SOI MOSFET porta dupla é justamente a polarização da segunda porta que irá provocar nas proximidades do óxido da segunda porta cargas positivas como também formada nas proximidades do óxido da primeira porta, tendo como consequência um estreitamento do canal por onde passará a corrente no porta dupla logo, com a redução do canal uma quantidade menor de corrente passara pelo mesmo.

Se aumentarmos o tamanho de L a corrente diminui conforme já discutido anteriormente e a vantagem do porta dupla se mantém e podendo até aumentar esta vantagem pois se aumentarmos o canal e a tensão de porta aumentar o canal terá a sua área reduzida

logo a corrente diminuirá para o SOI MOSFET convencional e também diminuirá com o aumento da elevação da corrente de porta, porém a área não reduzirá tanto como no porta dupla.

4.1.2 Comparativo das correntes de fuga variando V_{DS} para o transistor SOI MOSFET porta dupla e SOI MOSFET convencional.

Comparando os resultados do SOI MOSFET porta dupla com o SOI MOSFET convencional para as mudanças em V_{DS} assumindo os valores de 200mV, 1V e 2V e para a temperatura de 100°C e 350°C e verificando as conseqüências para as altas temperaturas, podemos observar os resultados nas figuras 4.69 e 4.70.

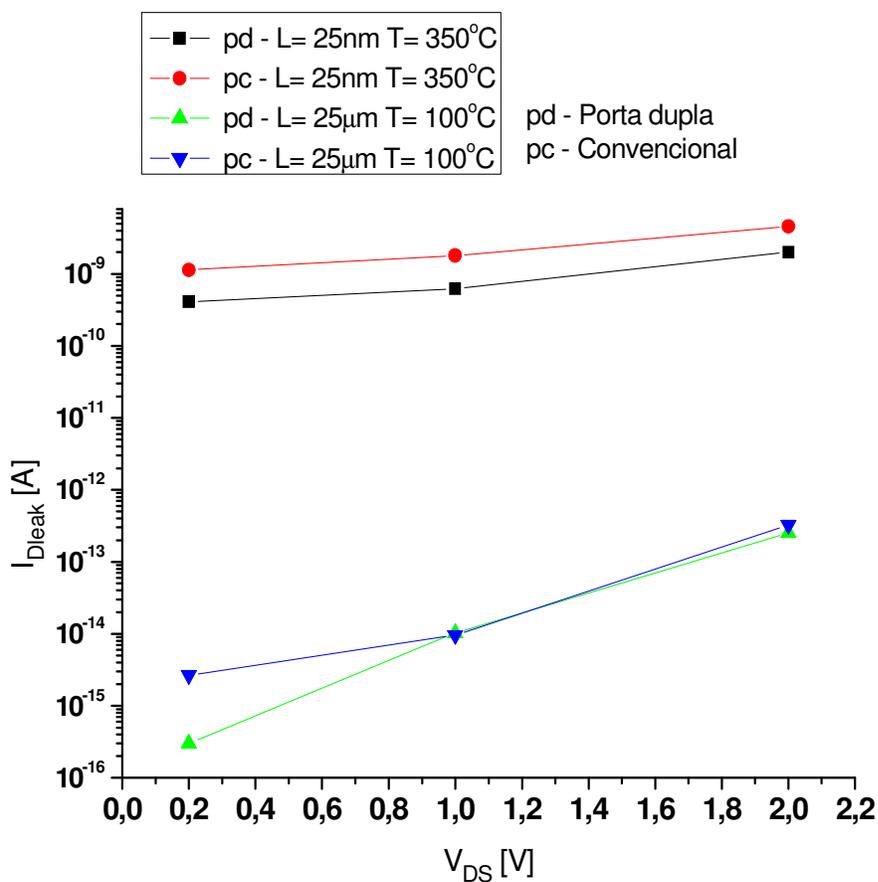


Figura 4.69: Resultado de I_{Dleak} para os valores de $V_{DS} = 200, 1$ e $2V$ para $t_{si} = 25nm$ e $L = 0,5\mu m$

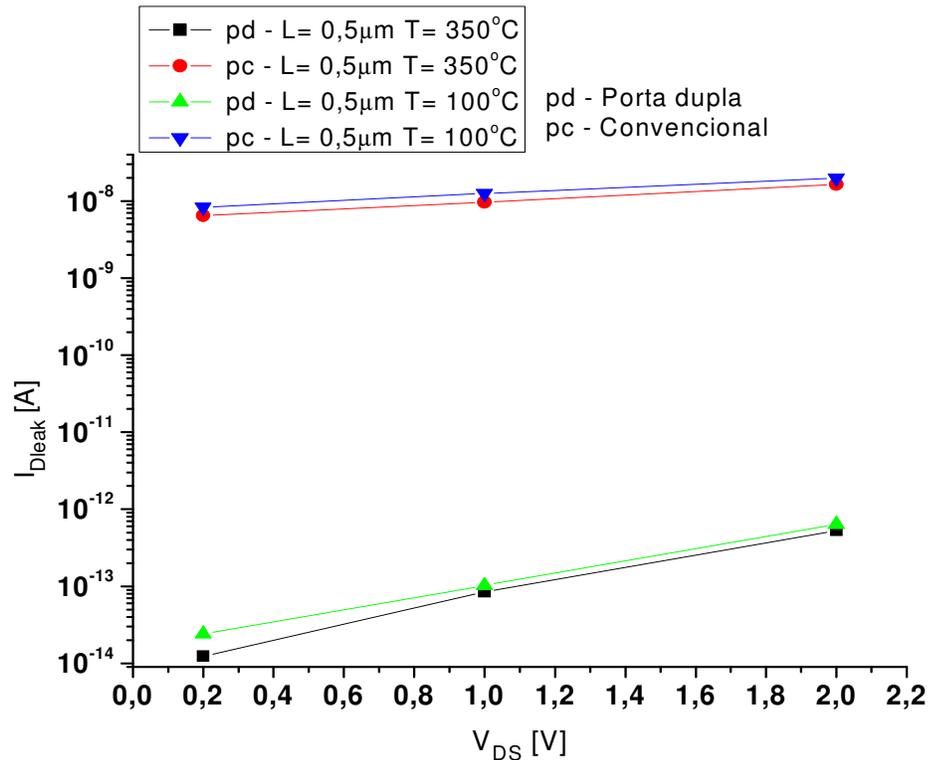


Figura 4.70: Resultado de I_{Dleak} para os valores de $V_{DS} = 200, 1$ e $2V$ para $t_{si} = 25nm$ e $L = 0,5\mu m$.

Os resultados observados nas figuras de 4.69 a 4.70 revelam a evolução da corrente de fuga que se altera com maior intensidade para valores de V_{DS} maiores e principalmente em temperaturas ambientes. No caso de altas temperaturas existe a diferença, porém os resultados estão próximos, estes resultados são compatíveis com valores de L utilizado neste trabalho.

4.1.3 O comparativo das densidades do SOI MOSFET porta dupla com o SOI MOSFET convencional.

Para o comparativo entre as densidades da corrente de fuga entre os SOI MOSFET porta dupla e o SOI MOSFET convencional utilizamos $L = 0,5\mu m$ por se tratar de um divisor entre os tamanhos de L utilizados neste trabalho. A densidade da corrente de fuga pode ser constituída de elétrons ou lacunas dependendo do tamanho de L para valores menores de $L = 0,5\mu m$ a densidade da corrente de fuga é formada majoritariamente de elétrons ao passo que para valores maiores que $L = 0,5\mu m$ a densidade da corrente de fuga é formada por lacunas,

utilizando $V_{DS} = 200\text{mV}$. O que pode alterar o resultado para valores de L maiores é o aumento do valor de V_{DS} . Neste estudo foram utilizados os valores de $V_{DS} = 1\text{V}$ e 2V o que tem como consequência para valores de L nas imediações abaixo de $10\mu\text{m}$ a formação da densidade da corrente de fuga majoritária de elétrons no corpo do transistor enquanto para valores de $10\mu\text{m}$ a densidade da corrente de fuga majoritária é constituída de lacunas, para valores acima não estava no escopo deste trabalho, por isso não se pode afirmar os resultados. Para altas temperaturas os resultados foram favoráveis para o transistor SOI nMOSFET porta dupla em comparação ao transistor SOI nMOSFET convencional, justamente pela redução da área útil por onde passa a corrente de fuga logo a densidade diminui como consequência do canal devido à polarização das duas portas onde a densidade da corrente de fuga do transistor porta dupla foi menor, podendo ser observado na figura 4.71.

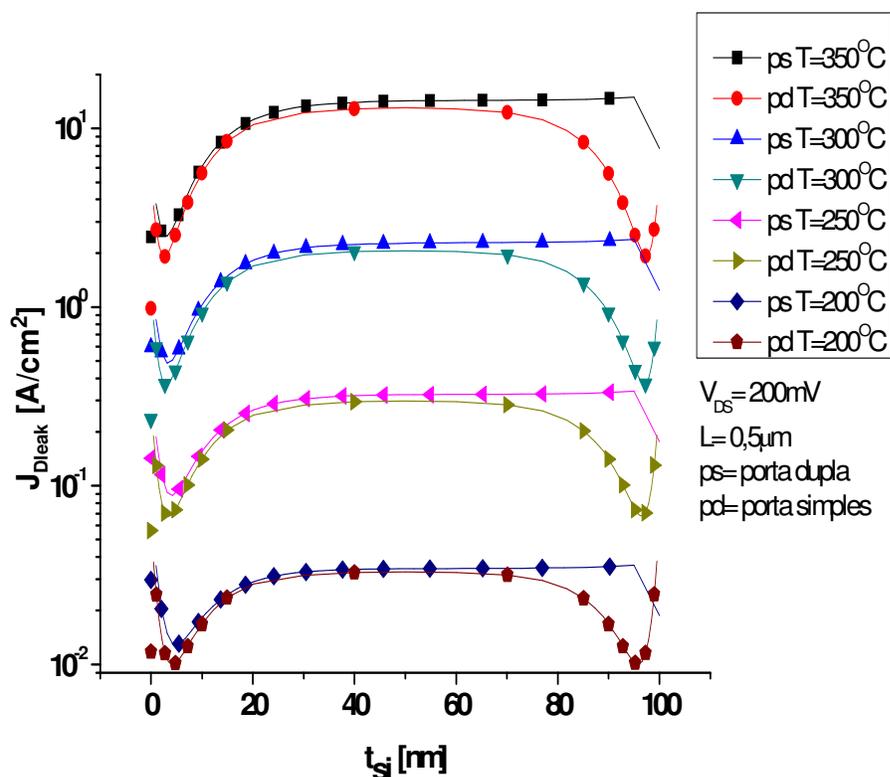


Figura 4.71: Densidade total da corrente de fuga feito no corte do filme de silício com $L = 0,5\mu\text{m}$ no transistor SOI nMOSFET convencional e porta dupla.

Outro aspecto a ser observado mostrado na figura 4.71 é o fato da polarização de $V_{BS}=0V$ para o transistor SOI nMOSFET convencional, conforme comentado anteriormente, próximo do óxido enterrado faz com que a densidade da corrente que anteriormente se mantinha constante, venha a ter uma pequena queda, comparado ao SOI nMOSFET porta dupla, onde existe uma queda da densidade da corrente em ambas as interfaces com o óxido de porta, sendo este um dos motivos para que a corrente de fuga final seja menor no porta dupla em comparação ao convencional. Esta queda pode ser medida no transistor SOI nMOSFET convencional, porém com menos eficiência, conforme foi apresentado no transistor SOI MOSFET convencional com a polarização do óxido enterrado com valores próximos a $V_{BS}=-20V$, o que torna em alguns casos impossível de ser aplicado.

Na figura 4.72 pode ser observada a densidade total de I_{leak} tanto para o porta convencional com polarização do substrato em $-20V$, como para o SOI nMOSFET porta dupla podendo ser observado a diferença entre os dois com vantagem para o SOI Nmosfet porta dupla que apresenta densidades menores em comparação ao SOI MOSFET porta dupla.

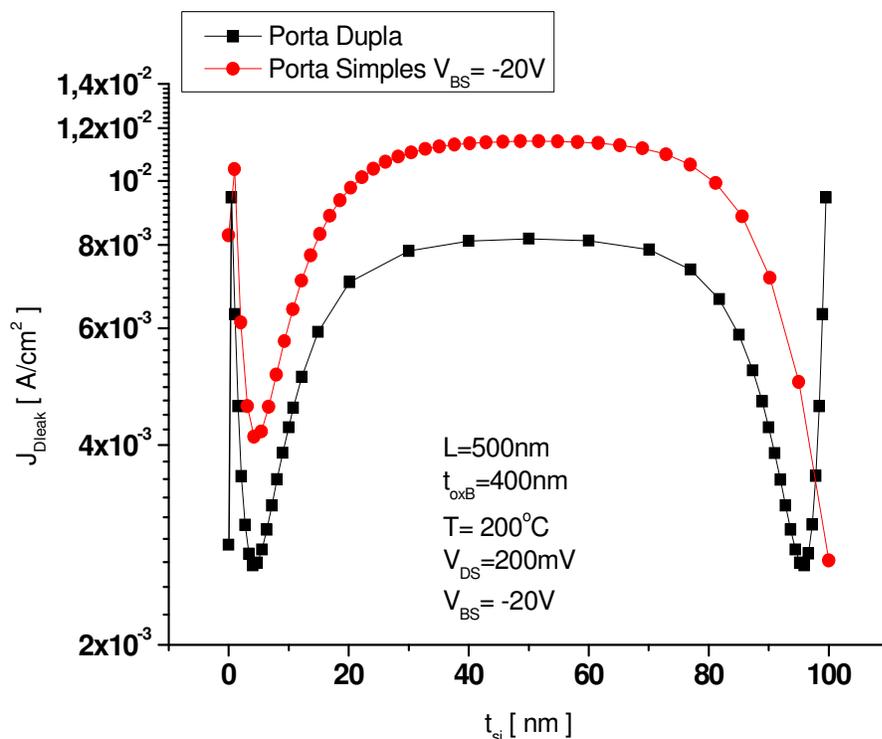


Figura 4.72: Densidade da corrente de fuga para o SOI MOSFET porta dupla e com o SOI MOSFET convencional com o substrato polarizado com $-20V$.

Para se ter um acompanhamento desta redução na densidade da corrente de fuga, podemos associar *ecil* com a espessura entre o ponto *edel* e a interface correspondente do óxido de porta, isto é, quanto menor for a espessura *ecil*, menor será corrente de fuga minoritária, para o transistor SOI nMOSFET porta dupla, existem o *ecil-1* e o *ecil-2*, nas proximidades do óxido de porta correspondente.

No caso do SOI nMOSFET convencional o *ecil* é superior se compararmos com o *ecil-1* ou *ecil-2* do SOI nMOSFET porta dupla, se somarmos o *ecil-1* com o *ecil-2* do porta dupla teremos um valor superior ao do porta convencional, tendo como consequência um espaço menor para que a corrente majoritária flua pelo corpo do transistor. As espessuras podem ser observadas na tabela-4.6, onde a soma de cada espessura formada pelo *ecil-1* da porta 1 e o *ecil-2* formada pela porta 2 do porta dupla é sempre superior que o *ecil* do convencional.

Tabela-4.6: Espessura do *ecil* com $V_{DS}=1V$ e $V_{GS}= -1V$

	PS(μm)	PD(μm)		
TEMPERATURA	TOTAL	PD-1	PD-2	TOTAL
100	1,69E-02	1,22E-02	1,24E-02	2,46E-02
150	7,84E-03	6,43E-03	6,46E-03	1,29E-02
200	5,66E-03	4,83E-03	4,82E-03	9,65E-03
250	4,48E-03	4,00E-03	4,00E-03	8,00E-03
300	3,90E-03	3,41E-03	3,42E-03	6,83E-03
350	3,39E-03	3,00E-03	3,01E-03	6,01E-03

Para uma melhor visualização da progressão do *ecil*, pode ser observado na figura 4.73 que com o aumento da temperatura a espessura do *ecil*, tanto em porta dupla como no convencional, diminui, mostrando que I_{Dleak} com o aumento da temperatura é formada de elétrons na sua maioria.

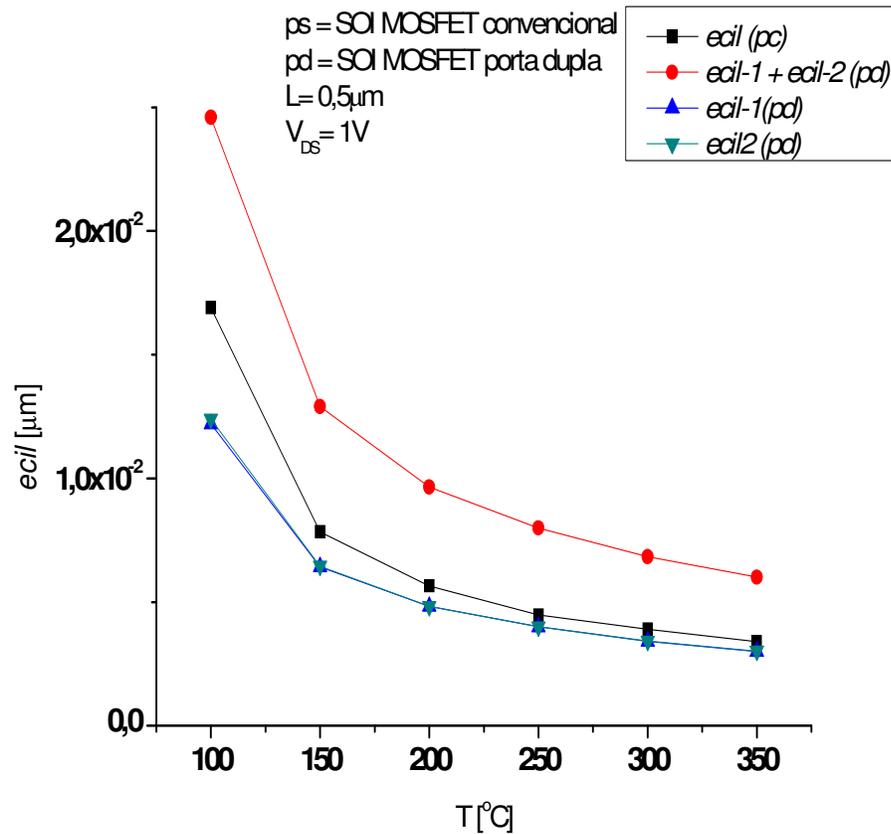


Figura 4.73: Evolução da variação da espessura do *ecil* com o aumento da temperatura

Para as variações de L maiores ou menores o tamanho do *ecil* varia, porém em pequenas escalas a sua maior variação é com o aumento da temperatura conforme visto na figura 4.73, onde quanto maior a temperatura menor é o *ecil*. A variação de V_{DS} também altera o valor de *ecil* consideravelmente.

4.1.4 Cálculo da corrente na área da espessura formada entre o *edel* até a interface do óxido e o canal o *ecil*

Todas as simulações foram feitas com a largura (W) dos canais dos transistores SOI nMOSFET porta dupla e convencional com o valor de 1 μm, esta medida facilitou o cálculo da corrente de fuga entre o *edel* e a interface do óxido de porta correspondente, conforme podemos ver na fórmula 4.1.

$$I_{ecilleak} = W \cdot t_{si} \cdot J \quad (4.1)$$

$$I_{ecilleak} = \int_a^{edel} f(t_{si}) \cdot dt_{si} \quad (4.2)$$

$I_{ecilleak}$ = corrente na espessura entre o edel e o óxido de porta (pA)

a = início da interface do óxido/ canal

edel= Ponto onde as densidades dos elétrons e lacunas se igualam dentro do filme de silício.

$I_{ecilleak}$ = corrente de fuga na espessura formada entre o **edel** e a sua interface correspondente.

[A]

J = densidade de corrente de elétrons e lacunas (A/ cm²)

W = largura (μm)

t_{si} = Espessura da camada de silício (μm)

Outra comparação do comportamento da corrente no corpo do transistor é a corrente que circula no *ecil*, no caso do porta convencional a corrente do *ecil* é inferior a soma da corrente do *ecil-1* e do *ecil-2* do porta dupla, podendo ser vista na tabela 4.7, lembrando que no *ecil* a corrente majoritária é composta por lacunas e a minoritária por elétrons.

Tabela 4.7 Corrente no *ecil*

		CORRENTE NO <i>ecil</i>		
		PS	PD	
TEMPERATURA	TOTAL	PD-1	PD-2	TOTAL
100	2,06E-14	1,36E-14	1,36E-14	2,72E-14
150	1,62E-13	1,17E-13	1,17E-13	2,34E-13
200	9,77E-13	7,47E-13	7,47E-13	1,49E-12
250	4,66E-12	3,78E-12	3,78E-12	7,56E-12
300	2,01E-11	1,59E-11	1,59E-11	3,18E-11
350	8,06E-11	6,27E-11	6,27E-11	1,25E-10

Com os resultados calculados da corrente de fuga na área formada pelo *ecil* podemos verificar a divisão da corrente igualmente e como resultado comparativo entre a corrente de fuga na área *ecil* do SOI MOSFET porta dupla com a corrente de fuga do *ecil* no SOI MOSFET convencional os valores são superiores para o porta dupla o que reforça os comentários anteriores que devido não só a área do porta dupla ser maior comparada ao porta simples como a corrente do porta simples estar próxima a corrente do porta do porta dupla ou seja com a redução da área do porta dupla a corrente que circula no corpo será menor e a diferença da correntes de fuga no ponto *ecil* são bem próximas não sendo suficiente para igualar as correntes finais de ambos.

5 CONCLUSÕES

O trabalho realizado teve como principal objetivo verificar o comportamento da corrente de fuga do dreno para os transistores SOI nMOSFET convencional e os transistores SOI nMOSFET porta dupla, ambos operando na região de fuga em função: da temperatura, do comprimento do canal (L), da espessura da camada de silício (t_{si}), da espessura do óxido enterrado (t_{oxb}) e da polarização do substrato.

O estudo foi baseado em simulações numéricas bidimensionais, utilizando o simulador Atlas.

Os resultados nos revelaram que as correntes de fuga do dreno no transistor SOI nMOSFET convencional e no transistor nMOSFET porta dupla são semelhantes em termos quantitativos, onde o transistor SOI MOSFET porta dupla leva uma pequena vantagem sobre o transistor SOI MOSFET convencional, ou seja, os resultados de I_{Dleak} são inferiores em todas as simulações. Quanto na variação de L tanto para I_{Dleak} do porta dupla como para o porta convencional, ambos sofrem a mesma influência, quanto menor o comprimento do canal (L), maior será a corrente de fuga. No tocante à variação do óxido enterrado neste caso somente para o SOI nMOSFET convencional, quando reduzimos o t_{oxB} a corrente de I_{Dleak} também aumenta, pois nas proximidades do óxido enterrado as densidades dos elétrons ou lacunas, dependendo da temperatura, sobem consideravelmente se a espessura diminuir muito. Uma forma de redução de I_{Dleak} é com a polarização do substrato com tensões negativas, que neste estudo variou de 0 a -20V.

No estudo do comportamento da corrente de fuga no interior do filme de silício foi constatado nas simulações tanto para o SOI nMOSFET convencional como para o SOI nMOSFET porta dupla que, para temperaturas ambientes, a densidade majoritária no interior do canal é formada de lacunas, enquanto que em temperaturas elevadas a densidade majoritária passa a ser formada de elétrons, a diferença é que no convencional I_{Dleak} passa a tender mais para a interface do óxido enterrado no interior da espessura do filme de silício, enquanto que no SOI nMOSFET porta dupla I_{Dleak} tende para o centro da espessura do filme de silício.

Para as variações no t_{si} temos que quanto menor for o t_{si} menor será a corrente. No caso deste estudo chegamos a essa conclusão com valores de t_{si} com 25nm, sendo que com valores menores ficará para um trabalho futuro. A densidade corrente de fuga nas proximidades do óxido de porta para temperaturas altas no porta convencional é praticamente

igual à soma das duas densidades da correntes de fuga nas proximidades dos óxidos das portas em temperaturas elevadas.

A grande vantagem que se pode notar neste trabalho com o estudo da corrente de fuga do dreno para o transistor SOI MOSFET porta dupla com relação ao transistor SOI MOSFET convencional é a inferioridade e em alguns casos, quase que a igualdade no que se refere justamente ao seu outro ponto extremo quando o transistor está operando com polarização direta, ou seja, quanto à porta do transistor está com polarização positiva, à corrente pode chegar ao dobro da corrente do SOI MOSFET convencional, podendo operar com maior potência, com uma grande vantagem, a corrente de fuga continua sendo praticamente a mesma ou menor.

Um estudo interessante para futuros trabalhos seria com tamanhos menores para os transistores porta dupla, para ver a tendência e as conseqüências com valores menores que 25nm para t_{si} , com L menores que 500nm e também com a elevação da temperatura superiores a 350°C, todos os pontos mínimos e máximos deste trabalho.

REFERÊNCIAS BIBLIOGRÁFICAS

CAPÍTULO 1

- [1] C. Kleint, *Progresso Surface Sci.* **1998**, 57, 253-327.
- [2] Kanaan Kano, “Semiconductor Devices”, Prentice Hall, 1998.
- [3] H. Craig Casey, Jr, “Devices for Integrated Circuits”, John Wiley & Sons, 1999.
- [4] KRANTI, A.; HALDAR, S.; GUPTA, R. S. Temperature-dependent threshold voltage analysis of surrounding/cylindrical gate fully depleted thin film SOI MOSFET IN THE RANGE 77 TO 520 K. *Microelectronic Engineering*, v.49, p. 273, 1999.
- [5] CHEN, II. S.; LI, S. S. : Comparison of statistical variation of threshold voltage in bulk and SOI MOSFETs. *Solid state Electronics*, v. 35, n. 9, p. 1233, 1992.
- [6] BELLODI M. Estudo das Componentes e Modelagem das Correntes de Fuga em Dispositivos SOI MOSFETs Operando em Altas Temperaturas. São Paulo – Brasil, 2001. Tese de Doutorado – Universidade de São Paulo.
- [7] AUBERTON-HERVÉ, A.; Digest of Symposium on VLSI technology, 66, 1998.
- [8] FLANDRE, D.; FERREIRA, L. F.; JESPERS, P. G. A.; COLINGE, J. P.; Modeling and Application of Fully Depleted SOI MOSFETs for Low Voltage, Low Power Analog CMOS Circuits, *Solid-State Electronics*, v. 39, no. 4, p. 455-460, 1996.
- [9] MARTINO, J. A.; PAVANELLO M. A.; VERDONCK P. B.; Caracterização Elétrica de Tecnologia e Dispositivos MOS, São Paulo, Pioneira Thomson Learnig, 2003. 101p.
- [10] WEI, A.; SHERONY, M. J.; ANTONIADIS, D. A.: Effect of Floating Body Charge on SOI MOSFET Desing. *IEEE Transaction on Electron Devices*, v.45, no 2.p. 430-438. 1998.
- [11] Atlas User’s Manual, Device Simulation Software, 10º Edição, p. 2-26, 2005.

CAPITULO 2

- [1] H. Iwai, “CMOS Technology – Year 2010 and Beyond”, *IEEE Journal Solid-St. Circuits*, v. 34, n. 3, p.357-366, 1999.
- [2] D. J. Frank et al, “Device Scaling Limits of Si MOSFETs and Their Application Dependencies”, *Proc.of The IEEE*, v. 89, n. 3, p. 259-288, 2001.
- [3] FLANDRE, D.; FERREIRA, L. F.; Jespers, P. G. A.; COLINGE, J. P.. Modeling and Application of Fully Depleted SOI MOSFETs for Low Voltage, Low Power Analog CMOS Circuits, *Solid-State Electronics*, v. 39, nº. 4, p. 455-460, 1996.

- [4] D. Flandre e J. P. Colinge, Status and Trends of SOI, invited paper ESSCIRC, 1994
- [5] J. C. C. e outros, Appl. Phys. Letters, vol. 38, p.365 1981
- [6] C. T. Sah, "The Evolution of the MOS Transistor", Proceeding of the IEEE, Vol. 76, nº 10, 1988, p.1280.
- [7] R. Dolan, C. McKenna, S. Richards, Y. Aoki, T. Nakai, S. Nakamura, M. Walden, Improved Techniques for Characterization and Optimization of SIMOX Implantation, Ibis Technology Corporation, 32 Cherry Hill Drive, Danvers, MA 01923, USA SUMCO Corporation, 314 Nishisangao, Noda-shi, Chiba 278-0015, Japan SUMCO USA Sales Corporation, 49090 Milmont Drive, Fremont, CA 94538, USA
- [8] SZE, S. M.; Physics of Semiconductor Devices, 2ª edição, Nova York, John Wiley&Sons, 1981.
- [9] SEKIGAWA, T.; HAYASHI, Y.. Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate. Solid State Electronics. V.27, p.827,1984.
- [10] LIU, Y. K.; ISHII, K.; TSUTSUMI, T., MASAHARA, M.; TAKAMISHA, H.; SUZUKI, E.; Multi-Fin Double-Gate MOSFET Fabricated by Using (110)-Oriented SOI wafers and Orientation-Dependent Etching, Electrochemical Society Proceedings 2003-05, v. PV2003-05, p. 255-261, 2003.
- [11] HIRAMOTO, T.; Nano-Scale Silicon MOSFET Towards Non-traditional and Quantum Devices, IEEE International SOI Conference Proceeding, p. 8-10, 2001.
- [12] JIAO, Z.; SALAMA, A. T.; A Fully Depleted Delta-Channel SOI NMOSFET, Electrochemical Society Proceedings 2001-03, v. PV2001-03, p. 403-409, 2001.
- [13] HUANG, X.; LEE, W. C.; KUO, C.; HISAMOTO, D.; CHANG, L.; KEDZIERSKI, J.; ANDERSON, E.; TAKEUCHI, H.; CHOI, Y. K.; ASANO, K.; SUBRAMANIAN, V.; KING, T. J.; BOKOR, J.; HU, C.; Sub 50-nm FinFET: PMOS, Technical Digest of IEDM, p. 67-70, 1999.
- [14] BALESTRA, F.; CRISTOLOVEANU, S.; BENACHIR, M.; BRINI, J.; ELEWA, T.. Double-Gate Silicon-on-Insulator with volume inversion: A new device with greatly enhanced performance. IEEE Electron device letters. V. EDL-8, N. 9, P. 410, 1987.
- [15] BAIE, X.; COLINGE, J.P.; BAYOT, V.; GRIVEI, E.. Quantum-wire effects in thin and narrow SOI MOSFETs. Proceedings of the IEEE International SOI Conference, p. 1995.
- [16] PARK, J. T.; COLINGE, J.P.. Multiple-Gate SOI MOSFETs: device design guidelines. IEEE Transactions on Electron devices, v. 49, p.222, 2002.

[17] COLINGE, J. P. Silicon-On-Insulator Technology: Materials to VLSI, 3rd Ed. Kluwer Academic Publishers, p.315, 2004.

[18] AUBERTÓN-HERVÉ, A. J.; COLINGE, J. P.; FLANGRE, D. High temperature Applications of SIMOX Technology, Japanese Solid-State Technology, p. 12, Decembrer 1993.

[19] BUCKLEY-GOLDER, I. M.; First European Conf. On High Temperature Electronics; Madrid, 25-26 Nov.; 1993.

[20] R. S. Muller e T. I. Kamins, Device Eletronics for Integrated Circuits, 2^a edição, Nova York: wiley, pg. 56, 1986.

CAPITULO 3

[1] ATLAS USER'S MANUAL. "Device Simulation Software", 10^a edition, 2005.

APÊNDICE A

O programa feito no simulador ATLAS onde foram retiradas as curvas para estudo dos transistores SOI MOSFET convencional, com comprimento de canal de 1 μ m.

```
#####
# SOI Porta Simples
#
# L=500nm tsi=100nm toxf=2.5nm toxb=400nm
#
# Temperatura = de 300 a 623k
#
#####
#
go atlas
#
#
mesh space.mult=1.0
#
x.mesh loc=0.00 spac=0.05
x.mesh loc=0.2 spac=0.005
x.mesh loc=0.8 spac=0.005
x.mesh loc=1.0 spac=0.05
#
y.mesh loc=-0.0025 spac=0.01
y.mesh loc=-0.00 spac=0.001
y.mesh loc=0.01 spac=0.005
y.mesh loc=0.1 spac=0.01
y.mesh loc=0.5 spac=0.01
#
#####
#
# REGIONS OF STRUCTURE
#
#####
#
region num=1 y.min=-0.0025 y.max=0.0 oxide
region num=2 x.min=0.0 x.max=1.0 y.min=0.0 y.max=0.1 silicon
region num=3 y.min=0.1 y.max=0.5 oxide
#
#####
#
#***** define the electrodes *****
#
# #1-GATE #2-SOURCE #3-DRAIN #4-SUBSTRATE (below oxide)
#
#####
#
electrode name=gate x.min=0.25 x.max=0.75 y.min=-0.0025 y.max=-0.0025
electrode name=source x.min=0.0 x.max=0.15 y.min=-0.0025 y.max=0.0
electrode name=drain x.min=0.85 x.max=1.0 y.min=-0.0025 y.max=0.0
electrode name=substrate bottom
#
#
#
#####
#
```

```

***** define the doping concentrations *****
#
#
doping      uniform conc=5e17 p.type region=2  x.l=0.25 x.r=0.75
doping      gauss n.type conc=1e20 char=0.2 lat.char=0.00304 reg=2 x.r=0.25
doping      gauss n.type conc=1e20 char=0.2 lat.char=0.00304 reg=2 x.l=0.75
#
#####
#
# set interface charge separately on front and back oxide interfaces
#
#
interf      qf=5e10 y.max=0.015
interf      qf=1e11 y.min=0.085
#
#####
#
# set workfunction of gate
#
#####
#
#
contact     name=gate n.poly
contact     name=substrate workfunc=4.95
#
#####
#
save        outf=PS_prof=1_120707_L05_vds=5v_GNM_CS.str
#
#####
#
go atlas
mesh infile=PS_prof=1um_L05_vds=5v_GNM_CS.str
#
#
select models
models auger bgn fldmob consrh print cvt kla temp=373
#
solve init
method      newton carriers=2 iccg autonr trap maxtrap=10
#
#
solve      vdrain=0 vfinal=0.2 vstep=0.01 name=drain
solve      vdrain=0.2
solve      vgate=0
solve      vgate=0 vfinal=-1.0 vstep=-0.05 name=gate
save      outf=ps_prof=400nm_Vds=200mV_L=500nm_Vgs=-1V_T100C_CS.str
#
log        outf=ps_prof=400nm_Vds=200mV_L=500nm_Vgs=-1V_T100C_CS.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate
#
solve      vdrain=0.2 vfinal=1 vstep=0.01 name=drain
solve      vdrain=1
solve      vgate=0
#
solve      vgate=0 vfinal=-1.0 vstep=-0.05 name=gate
save      outf=ps_prof=400nm_Vds=1V_L=500nm_Vgs=-1V_T100C_CS.str
#
log        outf=ps_prof=400nm_Vds=1V_L=500nm_Vgs=-1V_T100C_CS.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate
#
solve      vdrain=1 vfinal=2 vstep=0.01 name=drain
solve      vdrain=2
solve      vgate=0
#
solve      vgate=0 vfinal=-1.0 vstep=-0.05 name=gate
save      outf=ps_prof=400nm_Vds=2V_L=500nm_Vgs=-1V_T100C_CS.str
#

```

```

log      outf=ps_profoxt=400nm_Vds=2V_L=500nm_Vgs=-1V_T100C_CS.log master
solve   vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate
#
#
#####
#
go atlas
mesh infile=PS_prof=1µm_L05_vds=5v_GNM_CS.str
#
#
select models
models auger bgn fldmob consrh print cvt kla temp=423
#
solve init
method      newton carriers=2 iccg autonr trap maxtrap=10
#
#
solve      vdrain=0 vfinal=0.2 vstep=0.01 name=drain
solve      vdrain=0.2
solve      vgate=0
solve      vgate=0 vfinal=-1.0 vstep=-0.05 name=gate
save      outf=ps_profoxt=400nm_Vds=200mV_L=500nm_Vgs=-1V_T150C_CS.str
#
log      outf=ps_profoxt=400nm_Vds=200mV_L=500nm_Vgs=-1V_T150C_CS.log master
solve   vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate
#
solve      vdrain=0.2 vfinal=1 vstep=0.01 name=drain
solve      vdrain=1
solve      vgate=0
#
solve      vgate=0 vfinal=-1.0 vstep=-0.05 name=gate
save      outf=ps_profoxt=400nm_Vds=1V_L=500nm_Vgs=-1V_T150C_CS.str
#
log      outf=ps_profoxt=400nm_Vds=1V_L=500nm_Vgs=-1V_T150C_CS.log master
solve   vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate
#
solve      vdrain=1 vfinal=2 vstep=0.01 name=drain
solve      vdrain=2
solve      vgate=0
#
solve      vgate=0 vfinal=-1.0 vstep=-0.05 name=gate
save      outf=ps_profoxt=400nm_Vds=2V_L=500nm_Vgs=-1V_T150C_CS.str
#
log      outf=ps_profoxt=400nm_Vds=2V_L=500nm_Vgs=-1V_T150C_CS.log master
solve   vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate
#
#
#####
#
go atlas
mesh infile=PS_prof=1µm_L05_vds=5v_GNM_CS.str
#
#
select models
models auger bgn fldmob consrh print cvt kla temp=473
#
solve init
method      newton carriers=2 iccg autonr trap maxtrap=10
#
#
solve      vdrain=0 vfinal=0.2 vstep=0.01 name=drain
solve      vdrain=0.2
solve      vgate=0
solve      vgate=0 vfinal=-1.0 vstep=-0.05 name=gate
save      outf=ps_profoxt=400nm_Vds=200mV_L=500nm_Vgs=-1V_T200C_CS.str
#
log      outf=ps_profoxt=400nm_Vds=200mV_L=500nm_Vgs=-1V_T200C_CS.log master
solve   vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate

```

```

#
solve      vdrain=0.2 vfinal=1 vstep=0.01 name=drain
solve      vdrain=1
solve      vgate=0
#
solve      vgate=0 vfinal=-1.0 vstep=-0.05 name=gate
save      outf=ps_profoxt=400nm_Vds=1V_L=500nm_Vgs=-1V_T200C_CS.str
#
log        outf=ps_profoxt=400nm_Vds=1V_L=500nm_Vgs=-1V_T200C_CS.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate
#
solve      vdrain=1 vfinal=2 vstep=0.01 name=drain
solve      vdrain=2
solve      vgate=0
#
solve      vgate=0 vfinal=-1.0 vstep=-0.05 name=gate
save      outf=ps_profoxt=400nm_Vds=2V_L=500nm_Vgs=-1V_T200C_CS.str
#
log        outf=ps_profoxt=400nm_Vds=2V_L=500nm_Vgs=-1V_T200C_CS.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate
#
#
#####
#
go atlas
mesh infile=PS_prof=1µm_L05_vds=5v_GNM_CS.str
#
#
select models
models auger bgn fldmob consrh print cvt kla temp=523
#
solve init
method     newton carriers=2 iccg autonr trap maxtrap=10
#
#
solve      vdrain=0 vfinal=0.2 vstep=0.01 name=drain
solve      vdrain=0.2
solve      vgate=0
solve      vgate=0 vfinal=-1.0 vstep=-0.05 name=gate
save      outf=ps_profoxt=400nm_Vds=200mV_L=500nm_Vgs=-1V_T250C_CS.str
#
log        outf=ps_profoxt=400nm_Vds=200mV_L=500nm_Vgs=-1V_T250C_CS.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate
#
solve      vdrain=0.2 vfinal=1 vstep=0.01 name=drain
solve      vdrain=1
solve      vgate=0
#
solve      vgate=0 vfinal=-1.0 vstep=-0.05 name=gate
save      outf=ps_profoxt=400nm_Vds=1V_L=500nm_Vgs=-1V_T250C_CS.str
#
log        outf=ps_profoxt=400nm_Vds=1V_L=500nm_Vgs=-1V_T250C_CS.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate
#
solve      vdrain=1 vfinal=2 vstep=0.01 name=drain
solve      vdrain=2
solve      vgate=0
#
solve      vgate=0 vfinal=-1.0 vstep=-0.05 name=gate
save      outf=ps_profoxt=400nm_Vds=2V_L=500nm_Vgs=-1V_T250C_CS.str
#
log        outf=ps_profoxt=400nm_Vds=2V_L=500nm_Vgs=-1V_T250C_CS.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate
#
#
#####
#

```

```

go atlas
mesh infile=PS_prof=1µm_L05_vds=5v_GNM_CS.str
#
#
select models
models auger bgn fldmob consrh print cvt kla temp=573
#
solve init
method      newton  carriers=2  iccg  autonr  trap  maxtrap=10
#
#
solve      vdrain=0 vfinal=0.2 vstep=0.01 name=drain
solve      vdrain=0.2
solve      vgate=0
solve      vgate=0 vfinal=-1.0 vstep=-0.05 name=gate
save      outf=ps_profoxt=400nm_Vds=200mV_L=500nm_Vgs=-1V_T300C_CS.str
#
log      outf=ps_profoxt=400nm_Vds=200mV_L=500nm_Vgs=-1V_T300C_CS.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate
#
solve      vdrain=0.2 vfinal=1 vstep=0.01 name=drain
solve      vdrain=1
solve      vgate=0
#
solve      vgate=0 vfinal=-1.0 vstep=-0.05 name=gate
save      outf=ps_profoxt=400nm_Vds=1V_L=500nm_Vgs=-1V_T300C_CS.str
#
log      outf=ps_profoxt=400nm_Vds=1V_L=500nm_Vgs=-1V_T300C_CS.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate
#
solve      vdrain=1 vfinal=2 vstep=0.01 name=drain
solve      vdrain=2
solve      vgate=0
#
solve      vgate=0 vfinal=-1.0 vstep=-0.05 name=gate
save      outf=ps_profoxt=400nm_Vds=2V_L=500nm_Vgs=-1V_T300C_CS.str
#
log      outf=ps_profoxt=400nm_Vds=2V_L=500nm_Vgs=-1V_T300C_CS.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate
#
#
#####
#
go atlas
mesh infile=PS_prof=1µm_L05_vds=5v_GNM_CS.str
#
#
select models
models auger bgn fldmob consrh print cvt kla temp=623
#
solve init
method      newton  carriers=2  iccg  autonr  trap  maxtrap=10
#
#
solve      vdrain=0 vfinal=0.2 vstep=0.01 name=drain
solve      vdrain=0.2
solve      vgate=0
solve      vgate=0 vfinal=-1.0 vstep=-0.05 name=gate
save      outf=ps_profoxt=400nm_Vds=200mV_L=500nm_Vgs=-1V_T350C_CS.str
#
log      outf=ps_profoxt=400nm_Vds=200mV_L=500nm_Vgs=-1V_T350C_CS.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate
#
solve      vdrain=0.2 vfinal=1 vstep=0.01 name=drain
solve      vdrain=1
solve      vgate=0
#
solve      vgate=0 vfinal=-1.0 vstep=-0.05 name=gate

```

```
save      outf=ps_profoxt=400nm_Vds=1V_L=500nm_Vgs=-1V_T350C_CS.str
#
log        outf=ps_profoxt=400nm_Vds=1V_L=500nm_Vgs=-1V_T350C_CS.log master
solve     vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate
#
solve     vdrain=1 vfinal=2 vstep=0.01 name=drain
solve     vdrain=2
solve     vgate=0
#
solve     vgate=0 vfinal=-1.0 vstep=-0.05 name=gate
save      outf=ps_profoxt=400nm_Vds=2V_L=500nm_Vgs=-1V_T350C_CS.str
#
log        outf=ps_profoxt=400nm_Vds=2V_L=500nm_Vgs=-1V_T350C_CS.log master
solve     vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate
#
#
#####
end
```

APÊNDICE B

O programa feito no simulador ATLAS onde foram retiradas as curvas para estudo dos transistores SOI MOSFET porta dupla, com comprimento de canal de 1 μ m.

```
#####
#porta dupla
# L=05um tsi=100nm tox=2.5nm toxb=400nm
# Temperatura = de 373 a 625k
#####
go atlas
#
#
mesh    space.mult=1.0
#
x.mesh  loc=0.00 spac=0.05
x.mesh  loc=0.2 spac=0.01
x.mesh  loc=0.76 spac=0.01
x.mesh  loc=1.0 spac=0.05
#
y.mesh  loc=-0.0025 spac=0.01
y.mesh  loc=-0.00 spac=0.0005
y.mesh  loc=0.01 spac=0.005
y.mesh  loc=0.09 spac=0.005
y.mesh  loc=0.1 spac=0.0005
y.mesh  loc=0.1025 spac=0.01

# REGIONS OF STRUCTURE
#
region    num=1 y.min=-0.0025 y.max=0 oxide
region    num=2 x.min=0 x.max=1.0 y.min=0 y.max=0.1 silicon
region    num=3 y.min=0.1 y.max=0.1025 oxide
#
#***** define the electrodes *****
# #1-GATE #2-SOURCE #3-DRAIN #4-SUBSTRATE(below oxide)
#
electrode name=gate x.min=0.25 x.max=0.75 y.min=-0.0025 y.max=-0.0025
electrode name=source x.min=0.00 x.max=0.15 y.min=-0.0025 y.max=0
electrode name=drain x.min=0.85 x.max=1.0 y.min=-0.0025 y.max=0
electrode name=gate x.min=0.25 x.max=0.75 y.min=0.1025 y.max=0.1025
#
#verificar o contato do substrato se pode colocar a profundidade
#
#***** define the doping concentrations *****
#
doping    uniform conc=5e17 p.type region=2 x.l=0.25 x.r=0.75
doping    gauss n.type conc=1e20 char=0.2 lat.char=0.00304 reg=2 x.r=0.25
doping    gauss n.type conc=1e20 char=0.2 lat.char=0.00304 reg=2 x.l=0.75
#Foi nomeado a regio 2 em tres etapas
#
# set interface charge separately on front and back oxide interfaces
interf    qf=5e10 y.max=0.05
interf    qf=5e10 y.min=0.05
#
# set workfunction of gate
contact   name=gate n.poly

save      outf=pd_profox=1m_L=5nm_CS.str

#####
#
```

```

go atlas
mesh infile=pd_profox=1µm_L=5nm_CS.str

select models

models auger bgn fldmob consrh print cvt kla temp=373

solve init

method      newton  carriers=2  iccg  autonr  trap  maxtrap=10

solve      vdrain=0 vfinal=0.2 vstep=0.001 name=drain
solve      vdrain=0.2
solve      vgate=0

solve      vgate=0 vfinal=-1.0 vstep=-0.02 name=gate
save      outf=pd_profox=100nm_Vds=200mV_L=05mm_Vgs=-1V_T100C.str

log      outf=pd_prof=100nm_vds=200mV_L=05mm_Vgs=-1V_T100C.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate

solve      vdrain=0.2 vfinal=1 vstep=0.001 name=drain
solve      vdrain=1
solve      vgate=0

solve      vgate=0 vfinal=-1.0 vstep=-0.02 name=gate
save      outf=pd_profox=100nm_Vds=1V_L=05mm_Vgs=-1V_T100C.str

log      outf=pd_prof=100nm_vds=1V_L=05mm_Vgs=-1V_T100C.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate

solve      vdrain=1 vfinal=2 vstep=0.001 name=drain
solve      vdrain=2
solve      vgate=0

solve      vgate=0 vfinal=-1.0 vstep=-0.02 name=gate
save      outf=pd_profox=100nm_Vds=2V_L=05mm_Vgs=-1V_T100C.str

log      outf=pd_prof=100nm_vds=2V_L=05mm_Vgs=-1V_T100C.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate

#####
#
go atlas
mesh infile=pd_profox=1µm_L=5nm_CS.str

select models

models auger bgn fldmob consrh print cvt kla temp=423

solve init

method      newton  carriers=2  iccg  autonr  trap  maxtrap=10

solve      vdrain=0 vfinal=0.2 vstep=0.001 name=drain
solve      vdrain=0.2
solve      vgate=0

solve      vgate=0 vfinal=-1.0 vstep=-0.02 name=gate
save      outf=pd_profox=100nm_Vds=200mV_L=05mm_Vgs=-1V_T150C.str

log      outf=pd_prof=100nm_vds=200mV_L=05mm_Vgs=-1V_T150C.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate

```

```

solve      vdrain=0.2 vfinal=1 vstep=0.001 name=drain
solve      vdrain=1
solve      vgate=0

solve      vgate=0 vfinal=-1.0 vstep=-0.02 name=gate
save      outf=pd_profox=100nm_Vds=1V_L=05mm_Vgs=-1V_T150C.str

log        outf=pd_prof=100nm_vds=1V_L=05mm_Vgs=-1V_T150C.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate

solve      vdrain=1 vfinal=2 vstep=0.001 name=drain
solve      vdrain=2
solve      vgate=0

solve      vgate=0 vfinal=-1.0 vstep=-0.02 name=gate
save      outf=pd_profox=100nm_Vds=2V_L=05mm_Vgs=-1V_T150C.str

log        outf=pd_prof=100nm_vds=2V_L=05mm_Vgs=-1V_T150C.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate

#####
#
go atlas
  mesh infile=pd_profox=1um_L=5nm_CS.str

select models

models auger bgn fldmob consrh print cvt kla temp=473

solve init

method      newton carriers=2 iccg autonr trap maxtrap=10

solve      vdrain=0 vfinal=0.2 vstep=0.001 name=drain
solve      vdrain=0.2
solve      vgate=0

solve      vgate=0 vfinal=-1.0 vstep=-0.02 name=gate
save      outf=pd_profox=100nm_Vds=200mV_L=05mm_Vgs=-1V_T200C.str

log        outf=pd_prof=100nm_vds=200mV_L=05mm_Vgs=-1V_T200C.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate

solve      vdrain=0.2 vfinal=1 vstep=0.001 name=drain
solve      vdrain=1
solve      vgate=0

solve      vgate=0 vfinal=-1.0 vstep=-0.02 name=gate
save      outf=pd_profox=100nm_Vds=1V_L=05mm_Vgs=-1V_T200C.str

log        outf=pd_prof=100nm_vds=1V_L=05mm_Vgs=-1V_T200C.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate

solve      vdrain=1 vfinal=2 vstep=0.001 name=drain
solve      vdrain=2
solve      vgate=0

solve      vgate=0 vfinal=-1.0 vstep=-0.02 name=gate
save      outf=pd_profox=100nm_Vds=2V_L=05mm_Vgs=-1V_T200C.str

log        outf=pd_prof=100nm_vds=2V_L=05mm_Vgs=-1V_T200C.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate

```

```
#####
#
#
go atlas
  mesh infile=pd_profox=1µm_L=5nm_CS.str

select models

models auger bgn fldmob consrh print cvt kla temp=523

solve init

method      newton carriers=2 iccg autonr trap maxtrap=10

solve      vdrain=0 vfinal=0.2 vstep=0.001 name=drain
solve      vdrain=0.2
solve      vgate=0

solve      vgate=0 vfinal=-1.0 vstep=-0.02 name=gate
save      outf=pd_profox=100nm_Vds=200mV_L=05mm_Vgs=-1V_T250C.str

log        outf=pd_prof=100nm_vds=200mV_L=05mm_Vgs=-1V_T250C.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate

solve      vdrain=0.2 vfinal=1 vstep=0.001 name=drain
solve      vdrain=1
solve      vgate=0

solve      vgate=0 vfinal=-1.0 vstep=-0.02 name=gate
save      outf=pd_profox=100nm_Vds=1V_L=05mm_Vgs=-1V_T250C.str

log        outf=pd_prof=100nm_vds=1V_L=05mm_Vgs=-1V_T250C.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate

solve      vdrain=1 vfinal=2 vstep=0.001 name=drain
solve      vdrain=2
solve      vgate=0

solve      vgate=0 vfinal=-1.0 vstep=-0.02 name=gate
save      outf=pd_profox=100nm_Vds=2V_L=05mm_Vgs=-1V_T250C.str

log        outf=pd_prof=100nm_vds=2V_L=05mm_Vgs=-1V_T250C.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate

#####
#
#
go atlas
  mesh infile=pd_profox=1µm_L=5nm_CS.str

select models

models auger bgn fldmob consrh print cvt kla temp=573

solve init

method      newton carriers=2 iccg autonr trap maxtrap=10

solve      vdrain=0 vfinal=0.2 vstep=0.001 name=drain
solve      vdrain=0.2
solve      vgate=0
```

```

solve      vgate=0 vfinal=-1.0 vstep=-0.02 name=gate
save      outf=pd_profox=100nm_Vds=200mV_L=05mm_Vgs=-1V_T300C.str

log      outf=pd_prof=100nm_vds=200mV_L=05mm_Vgs=-1V_T300C.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate

solve      vdrain=0.2 vfinal=1 vstep=0.001 name=drain
solve      vdrain=1
solve      vgate=0

solve      vgate=0 vfinal=-1.0 vstep=-0.02 name=gate
save      outf=pd_profox=100nm_Vds=1V_L=05mm_Vgs=-1V_T300C.str

log      outf=pd_prof=100nm_vds=1V_L=05mm_Vgs=-1V_T300C.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate

solve      vdrain=1 vfinal=2 vstep=0.001 name=drain
solve      vdrain=2
solve      vgate=0

solve      vgate=0 vfinal=-1.0 vstep=-0.02 name=gate
save      outf=pd_profox=100nm_Vds=2V_L=05mm_Vgs=-1V_T300C.str

log      outf=pd_prof=100nm_vds=2V_L=05mm_Vgs=-1V_T300C.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate

#####
#
#
go atlas
mesh infile=pd_profox=1um_L=5nm_CS.str

      select models

#models analytic conmob srh bgn fldmob print hcte surfmob auger consrh temp=673
models auger bgn fldmob consrh print cvt kla temp=623

solve init

method      newton carriers=2 iccg autonr trap maxtrap=10

solve      vdrain=0 vfinal=0.2 vstep=0.001 name=drain
solve      vdrain=0.2
solve      vgate=0

solve      vgate=0 vfinal=-1.0 vstep=-0.02 name=gate
save      outf=pd_profox=100nm_Vds=200mV_L=05mm_Vgs=-1V_T350C.str

log      outf=pd_prof=100nm_vds=200mV_L=05mm_Vgs=-1V_T350C.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate

solve      vdrain=0.2 vfinal=1 vstep=0.001 name=drain
solve      vdrain=1
solve      vgate=0

solve      vgate=0 vfinal=-1.0 vstep=-0.02 name=gate
save      outf=pd_profox=100nm_Vds=1V_L=05mm_Vgs=-1V_T350C.str

log      outf=pd_prof=100nm_vds=1V_L=05mm_Vgs=-1V_T350C.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate

solve      vdrain=1 vfinal=2 vstep=0.001 name=drain
solve      vdrain=2
solve      vgate=0

```

```
solve      vgate=0 vfinal=-1.0 vstep=-0.02 name=gate
save      outf=pd_prof=100nm_Vds=2V_L=05mm_Vgs=-1V_T350C.str

log        outf=pd_prof=100nm_vds=2V_L=05mm_Vgs=-1V_T350C.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate

#####

end
```

APENDICE C

Comparison of the Drain Leakage Current Between the Conventional SOI nMOSFET and a Double Gate SOI nMOSFET up to 350°C

Alfonso Braz Gutierrez and Marcello Bellodi

Centro Universitário da FEI – São Bernardo do Campo – São Paulo

e-mail: alfonsobraz@yahoo.com.br

The goal of this work is to study and compare the drain leakage current behavior in conventional SOI nMOSFETs and Double Gate SOI nMOSFETs, operating since room temperature up to 350°C. In order to develop this analysis, bidimensional numerical simulations were performed using the simulator ATLAS (1). The drain voltage range applied was 200mV, 1V, 2V, 3V and 4V and the gate voltage was from -1,5V to 1,5V. The leakage current was extracted from the drain current versus the gate voltage curves ($V_{GS} \times I_{DS}$), for the gate voltage being equal to -1V, where the current is almost constant for all temperature range studied.

The results shown that the minority leakage current is composed by holes, for both transistors: the single gate transistor and for the double gate transistor. The difference is that in the double gate SOI nMOSFET the total drain leakage current is divided equally among the two junctions. The minority leakage current density is practically equal in the double gate transistor and the single gate transistor, as the majoritary leakage current, composed by electrons, in the single gate, is formed in the opposite part of this junction, between the junction of the p-type silicon and the oxide of the substrate. In the double gate SOI nMOSFETs, the majority current composed by electrons flows in the transistor body.

The sum of the majority and minority currents components in the single gate SOI nMOSFET is superior when compared to the double gate. Another characteristic observed is that for temperatures near the reference (27°C), the leakage current is composed by holes which dominates due to the fact of the majoritary leakage current is composed by electrons along the transistors body. On the other hand, as the temperatures increases, the majority current rises due to the electrons mobility decrement, reducing the minority leakage current area and consequently, reducing the total leakage current density.

In the conventional SOI nMOSFETs similar behavior is also observed, however as it does not have the interference of the second interface leakage current component, the body current flows easily, leading the single gate to a bigger leakage current when compared to the double gate drain leakage current.

Reference

1. ATLAS Device Simulation, v.5.10.0.R, Silvaco Int.(2005).

APENDICE D

ESTUTANTE FORUM

COMPARISON OF THE LEAKAGE DRAIN CURRENT BETWEEN A CONVENTIONAL AND A DOUBLE GATE SOI nMOSFETs AT HIGH TEMPERATURES

Alfonso Braz Gutierrez and Marcello Bellodi

Centro Universitário da FEI
av. Humberto de Alencar Castelo Branco, 3972 - SBC - SP - Brazil - Zip Code 09850-901
alfonsobraz@yahoo.com.br

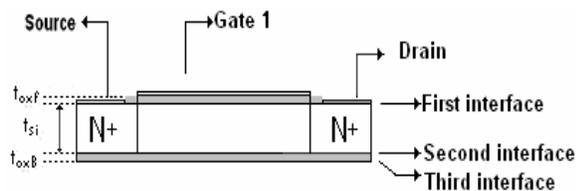
Abstract

In this paper we present a comparison between the conventional and the Double Gate SOI nMOSFETs operating from room temperature up to 623K, where the drain leakage current behavior is analyzed and compared. In order to realize this work, Two-dimensional numeric simulations were performed. It is observed that the leakage current composition changes as the channel length reduces and its intensity depends on the device.

1. INTRODUCTION

Since conventional CMOS structures are applied in the integrated circuits, there is limitation of its uses in environments where the temperatures is higher than 473K (1). Once the need of new challenges in more severe environments, it was create a new technology, the SOI MOSFET (2). This technology presents some advantages when compared to the conventional CMOS [3][4].

Figure 1, shows the cross section view of both structures: the single gate and double gate SOI nMOSFETs.



(a)

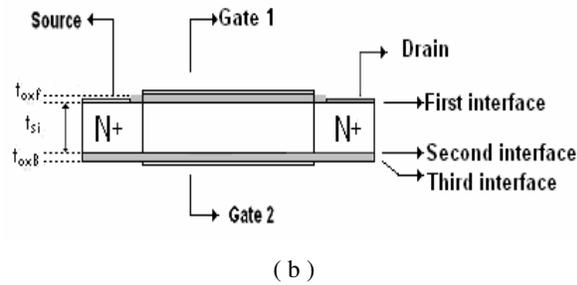


Figure-1: (a) Single gate SOI nMOSFET (b) Double gate SOI nMOSFET

2. DEVICE CHARACTERISTICS

The characteristics of the SOI nMOSFET transistors used were the gate oxide, buried oxide and silicon film thickness are $t_{oxf} = 2.5\text{nm}$, $t_{oxB} = 2.5\text{nm}$ and $t_{si} = 0,1\mu\text{m}$, respectively. The channel length L used is from $0,5\mu\text{m}$ up to $10\mu\text{m}$. The silicon doping used in all simulations were $N_a = 5.10^{17}\text{cm}^{-3}$ and $N_d = 1.20^{20}\text{cm}^{-3}$ for the p and n regions, respectively.

3. SIMULATIONS RESULTS

The numerical simulations were performed using ATLAS [5] in order to evaluate the drain leakage behavior and its components in the conventional and the Double[6] Gate SOI nMOSFETs operating since room temperatures up to 623K the leakage currents for the double gate and conventional SOI nMOSFET transistors, where it was analyzed the leakage composition behavior (holes and electrons) as a function of the channel length.

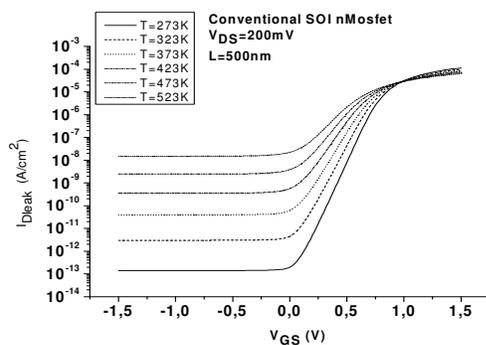
Figure 2 shows a typical drain current I_{DS} versus the gate voltage V_{GS} curves for the conventional and double gate SOI nMOSFETs, operating at high temperatures.

From these results it is possible to notice that as the temperature increases, the drain current changes according to the temperature changes. Besides it, also is observed that I_{DS} intensity, operating at same conditions, depends on the transistor layout.

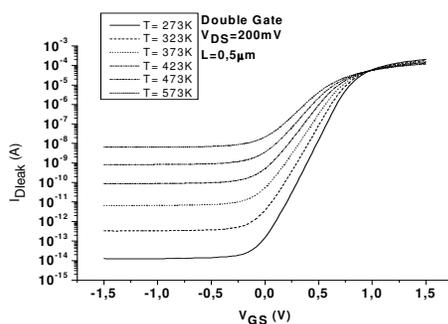
To evaluate the drain leakage current as a function of the temperature it is necessary to obtain it from the I_{DS} versus V_{GS} curves, for both transistors operating at same bias conditions. Then, after doing an evaluation of these curves, it was concluded that the best bias condition to define the drain leakage current I_{Leak} is for $V_{GS} = -1.0\text{V}$, where the current is almost constant.

Figure 3 reports some results concerning I_{DLeak} as a function of the temperature for the conventional and Double Gate SOI nMOSFETs operating at linear region i.e, for the drain voltage being $V_{DS} = 200\text{mV}$. These results are for the channel length $L = 500\text{nm}$ and $10\mu\text{m}$.

It is important to mention that when the drain voltage bias increases, I_{Leak} also increases, meaning that its intensity depends on the drain bias.



(a)



(b)

Figure 2: Typical drain current versus the gate voltage curves for the (a) conventional and (b) double gate SOI nMOSFETs, respectively, at high temperatures.

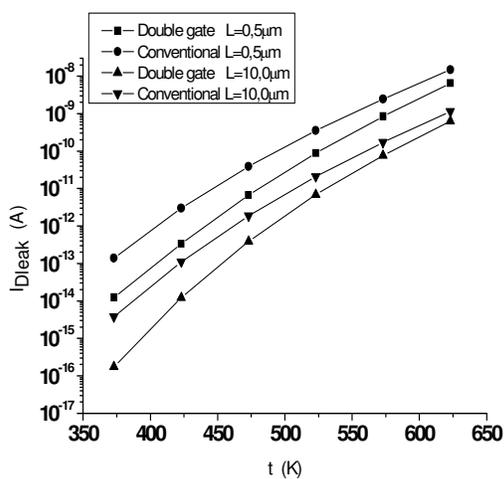


Figure 3: Drain leakage current behavior as a function of the temperature for $L = 0,5\mu\text{m}$ and $L = 10,0\mu\text{m}$, in both structures.

From the results presented in figure 3, it is possible to notice that for the same device, I_{Leak} increases as the temperature rises. On the other hand, it can be seen that for the same temperature, I_{Leak} changes according to the

device under analysis. This behavior is clearly observed in figure 4, where I_{Leak} is plotted as a function of the channel length L for both transistors at high temperatures.

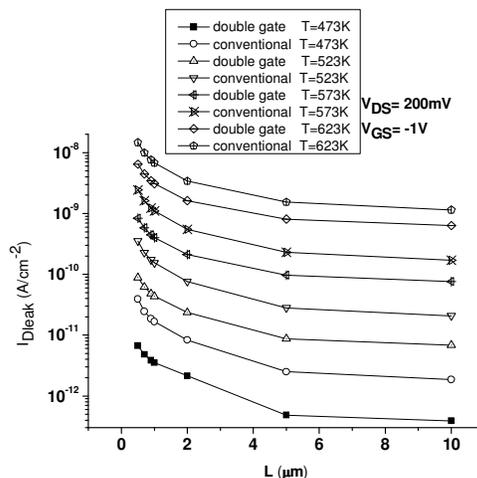


Figure 4, where I_{Leak} is plotted as a function of the channel length L for both transistors at high temperatures.

From these results, it is possible to notice that as the channel length reduces, I_{Leak} increases for the same device operating at same conditions (temperature and bias). Besides it, is possible to observe that I_{Leak} in the double gate SOI nMOSFET is lower when compared to the conventional device, independently of the temperature.

In order to understand this behavior, the total drain leakage current density J_{Leak} and its components (holes and electrons) were analyzed into the silicon film in both structures, as a function of the temperature and the channel length. This evaluation were done in the middle of the channel length as a function of the silicon film depth, when the devices are operating at the leakage region ($V_{GS} = -1.0V$).

Figure 5 (a) shows the schematics used to obtain the total drain leakage current density J_{Leak} using ATLAS and its components, as described in figure 5 (b).

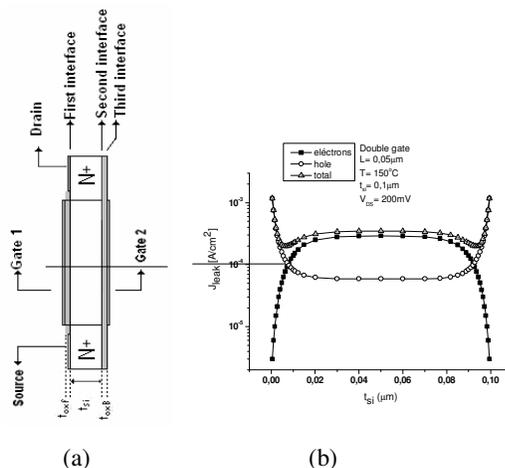


Figure-5: (a) Extraction of the J_{Leak} and its components (b) Typical J_{Leak} composition as a function of the silicon film depth (t_{Si}).

Once defined the channel length where J_{Leak} is analyzed, bidimensional simulations were performed in order to extract the total drain leakage current and its components (holes and electrons) in both transistors operating at same bias and temperatures.

Figures 6 and 7 shows some results of J_{Leak} behavior and its composition for conventional and double gate SOI nMOSFETs.

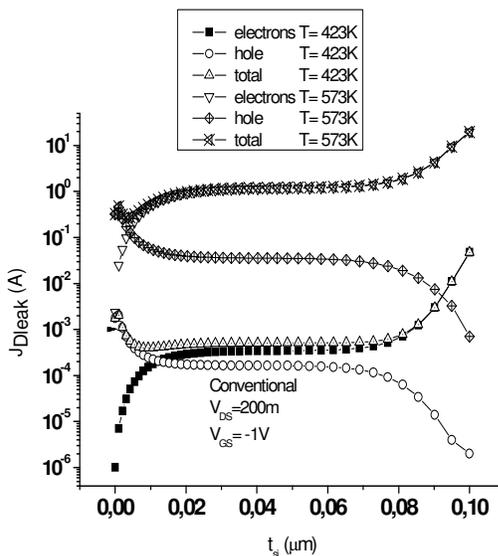


Figure 6: Results concerning to the total drain leakage current density behavior and its components (holes and electrons) for the conventional SOI nMOSFET at high temperatures.

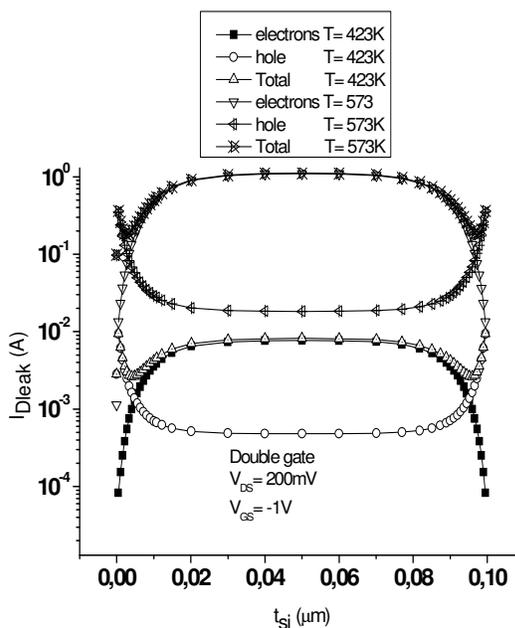


Figure 7: Results concerning to the total drain leakage current density behavior and its components (holes and electrons) for the double gate SOI nMOSFET at high temperatures.

From the results presented in figures 6 and 7, it is possible to notice that J_{Leak} is composed by holes and electrons. But analyzing J_{Leak} in the conventional SOI nMOSFET it can be seen that the leakage current that flows around the gate oxide / silicon film interface (1st interface) is composed mainly by holes and in the silicon film body it is mainly given by electrons. Otherwise, in double gate devices (figure 7) similar behavior is also observed but since it has a second gate, J_{Leak} near the silicon film / gate oxide interface (2nd interface) is majority composed by holes (similar to the one noticed around in the 1st interface).

It is worthwhile to mention that similar results are observed, for both devices, as the temperatures changes. Figures 8 and 9 report some results as a function of the temperature for conventional and double gate SOI nMOSFETs, respectively.

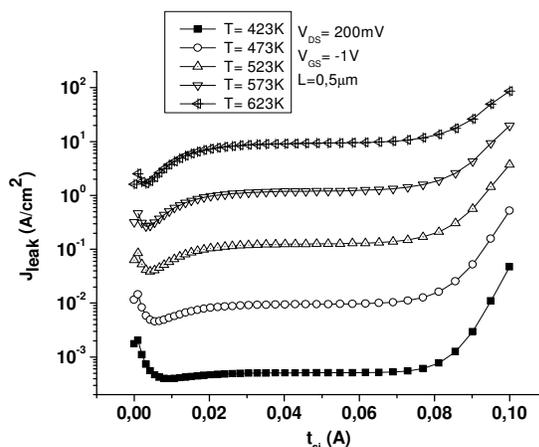


Figure 8: Total drain leakage current density for the conventional SOI nMOSFETs at high temperatures.

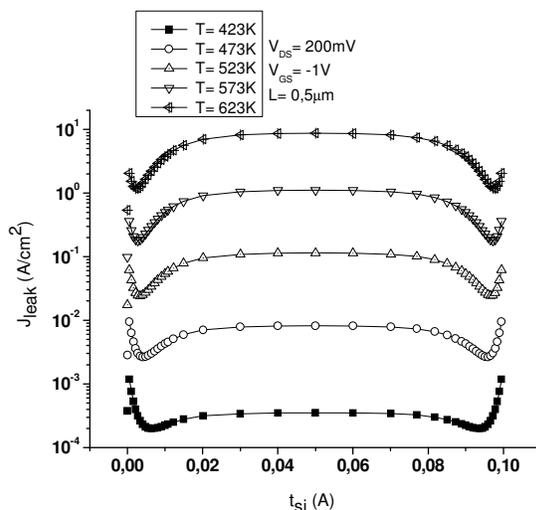


Figure 9: Behavior of the total drain leakage current density for the double gate SOI nMOSFETs operating at high temperatures.

Doing similar analysis as the temperature changes, the composition of the drain leakage current in both interfaces and into the transistors body does not change but its intensity gets higher as the temperatures increases.

4. CONCLUSIONS

In this paper it is described the behavior of the drain leakage current in conventional and double gate SOI nMOSFETs operating at high temperatures, as a function of channel length. The results show that the drain leakage current increases as L reduces and it is composed mainly by electrons, which flows through the silicon film body. The minority component flows near the 1st and 2nd interfaces being composed mainly by holes. For conventional SOI nMOSFETs it flows around in the first interface; for double gate devices it flows in both interfaces.

Also it was noticed that I_{DLeak} is larger in conventional SOI nMOSFETs since the most part of I_{DLeak} flows through the silicon film once in double gate devices I_{Leak} is divided between the interfaces and the silicon film body.

5. REFERENCES

- [1]. M. Youssef Hammad and Dieter K. Schroder, Life Fellow, IEEE Analytical Modeling of the Partially-Depleted SOI MOSFET
- [2]. J. P. Colinge, Silicon-on-Insulator Technology: Materials to VLSI, 3rd Edition, Kluwer Acad. Pub., Massachussetts, 2004
- [3]. J.P. Colinge, Recent advances in SOI technology, In: Technical Digest of IEDM, 1994, pp. 817–820.
- [4]. Wei Ma, Savas Kaya, Impact of device physics on DG and SOI MOSFET linearity, Ohio University, Athens, OH 45701, USA, Received 10 December 2003; accepted 15 March 2004
- [5]. ATLAS Device Simulation Framework, version 5.10.0.R, Silvaco International, 2005.
- [6]. Sorin Cristoloveanu, Institute of Microelectronics, Electromagnetism and Photonics (UMR 5531), ENSERG, BP 257, 38016 Grenoble Cedex 1, France New physics mechanisms enabled by advanced SOI CMOS engineering.

APENDICE E

1. TRANSISTOR BIPOLAR DE JUNÇÃO

O transistor é um dispositivo formado por semicondutores do tipo **p** e do tipo **n** de certa forma que pode ser denominado de npn ou pnp dependendo da posição dos semicondutores podendo ser vistos na figura 1 com as polarizações apropriadas, sua abreviação é **TBJ**.

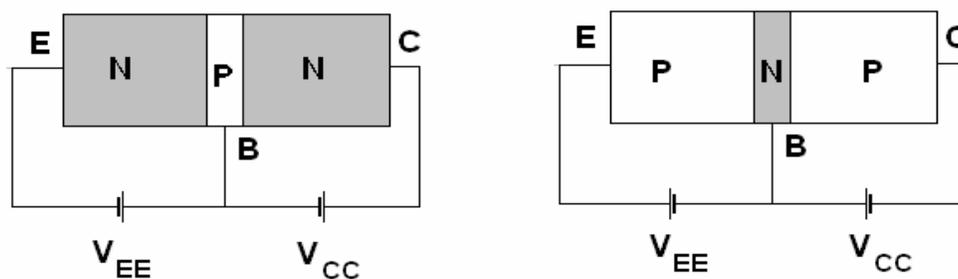


figura 1: transistor bipolar de junção de tipo npn(a) e transistor bipolar de junção pnp (b).

E= emissor C= coletor B= base

As camadas externas do transistor são materiais semicondutores mais fortemente dopados, com larguras maiores do que a camada interna do tipo p ou n, para se ter uma idéia de grandeza fica da ordem de 150:1. A dopagem da camada interna é também consideravelmente menor do que a das externas, tipicamente da ordem de 10:1. Este tipo de dopagem menor reduz a condutividade aumentando a resistência deste material, diminuindo o número de portadores “livres”.

Os símbolos de cada um podem ser visto na figura 2



figura 2: símbolo para o transistor NPN (A) e o símbolo para o transistor PNP.