

**CENTRO UNIVERSITÁRIO DA FEI**

**LÍGIA MARTINS D'OLIVEIRA**

**INFLUÊNCIA DA TEMPERATURA SOBRE O DESEMPENHO  
ANALÓGICO DA ASSOCIAÇÃO SÉRIE ASSIMÉTRICA DE  
TRANSISTORES SOI MOS**

**São Bernardo do Campo**

**2015**

**CENTRO UNIVERSITÁRIO DA FEI**

**LÍGIA MARTINS D'OLIVEIRA**

**INFLUÊNCIA DA TEMPERATURA SOBRE O DESEMPENHO  
ANALÓGICO DA ASSOCIAÇÃO SÉRIE ASSIMÉTRICA DE  
TRANSISTORES SOI MOS**

Dissertação de Mestrado apresentada ao  
Centro Universitário da FEI para a  
obtenção do título de Mestre em  
Engenharia Elétrica, orientada pela Profa.  
Dra. Michelly de Souza.

**São Bernardo do Campo**

**2015**

d'Oliveira, Lígia Martins.

Influência da Temperatura sobre o desempenho analógico da associação série assimétrica de transistores SOI MOS / Lígia Martins d'Oliveira. São Bernardo do Campo, 2015.

122 f. : il.

Dissertação - Centro Universitário da FEI.

Orientadora: Profa. Dra. Michelly de Souza.

1. Efeitos da temperatura. 2. Associação série assimétrica. 3. Silício-sobre-isolante. I. Souza, Michelly de, orient. II. Título.

CDU 621.38.032

**Aluno:** Lígia Martins D'Oliveira

**Matrícula:** 113118-4

**Título do Trabalho:** Influência da temperatura sobre o desempenho analógico da associação série assimétrica de transistores SOI MOS.

**Área de Concentração:** Dispositivos Eletrônicos Integrados

**Orientador:** Prof.<sup>a</sup> Dr.<sup>a</sup> Michelly de Souza

**Data da realização da defesa:** 02/03/2015

**ORIGINAL ASSINADA**

A Banca Examinadora abaixo-assinada atribuiu ao aluno o seguinte:

APROVADO

REPROVADO

São Bernardo do Campo, 02 de Março de 2015.

**MEMBROS DA BANCA EXAMINADORA**

Prof.<sup>a</sup> Dr.<sup>a</sup> Michelly de Souza

Ass.: \_\_\_\_\_

Prof. Dr. Salvador Pinillos Gimenez

Ass.: \_\_\_\_\_

Prof.<sup>a</sup> Dr.<sup>a</sup> Sara Dereste dos Santos

Ass.: \_\_\_\_\_

**VERSÃO FINAL DA DISSERTAÇÃO**

**ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS  
RECOMENDAÇÕES DA BANCA EXAMINADORA**

Aprovação do Coordenador do Programa de Pós-graduação

\_\_\_\_\_  
Prof. Dr. Carlos Eduardo Thomaz

A Deus, minha família e amigos.

## **AGRADECIMENTOS**

À Profa. Dra. Michelly de Souza, pela orientação deste trabalho, por sua dedicação, confiança e apoio, decisivos para a conclusão deste trabalho.

Aos professores doutores Dr. Marcelo Antonio Pavanello e Dr. Rodrigo Trevisoli Doria, pelas contribuições ao decorrer deste trabalho e valiosíssimo apoio.

Às amigas Arianne Soares do Nascimento Pereira e Bruna Cardoso Paz, pela cooperação e auxílio, incontestáveis mesmo à distância.

Aos colegas do grupo de pesquisa, fontes de inestimável amizade e colaboração.

Aos meus amigos, compreensivos com minha frequente falta e entusiasmados com meu futuro.

À minha família, incondicionalmente paciente e solícita em todos os momentos.

Ao querido Raphael, cuja paciência, companheirismo e parceria dão cor a tudo que faço.

A CAPES pelo apoio financeiro, sem o qual inviabilizaria este projeto.

A tantas outras pessoas que colaboraram com este trabalho de alguma forma e que involuntariamente foram omitidas.

## RESUMO

Neste trabalho é apresentada uma análise dos efeitos da variação da temperatura sobre as características analógicas da associação série assimétrica (*Asymmetric Self-Cascode* – A-SC) de transistores nMOS implementados em tecnologia silício sobre isolante (*Silicon-On-Insulator* – SOI) totalmente depletada (*Fully Depleted* – FD). A A-SC é constituída por dois transistores associados em série e conectados pelas portas, onde o transistor onde é aplicada a polarização de dreno possui canal mais fracamente dopado que o outro, com a intenção de reduzir efeitos que degradam a condutância de saída. Esta estrutura combina os conceitos da associação em série simétrica (*Symmetric Self-Cascode* – S-SC), onde ambos transistores possuem mesma concentração de dopantes no canal, e do transistor de canal gradual (*Graded Channel* – GC), que consiste em um transistor único que possui regiões com diferentes concentrações de dopantes em seu canal. O estudo é realizado por meio de medidas experimentais, comparando transistores únicos, A-SC e S-SC, através da extração do ganho de tensão e da linearidade, entre outros parâmetros, para temperaturas entre 4,2 K a 500 K, com dispositivos de diversas dimensões e concentrações de dopantes. As vantagens promovidas pela estrutura A-SC em relação à S-SC e transistores únicos observadas e reportadas em temperatura ambiente são mantidas para temperaturas altas e baixas. Foi possível notar o aumento da transcondutância e a redução da condutância de dreno, resultando no aumento do ganho intrínseco de tensão. A variação dos comprimentos de canal mostra grande influência do transistor próximo à fonte sobre o comportamento final das curvas características extraídas e do ganho de tensão. Em baixas temperaturas, notou-se uma diferença de mais de 40 dB entre os ganhos de estruturas A-SC compostas por transistores de 0,75  $\mu\text{m}$  e de A-SC compostas por transistores de 1  $\mu\text{m}$  de comprimento de canal. Também foi observado que efeitos de degradação da condutância de dreno, como o efeito Kink, são reduzidos quanto menor a concentração de dopantes no canal dos transistores da associação. A análise do ganho de tensão em altas temperaturas mostra que a degradação da mobilidade resulta em melhor condutância de dreno, melhorando o ganho de tensão. Apesar disso, em temperaturas próximas à temperatura crítica, a transição da operação de um transistor totalmente depletado para parcialmente depletado degrada o ganho. A linearidade foi analisada neste trabalho usando as figuras de mérito a distorção harmônica referente ao segundo e terceiro harmônicos (HD2 e HD3). HD2 foi escolhida por ser aproximadamente equivalente à distorção harmônica total para os casos estudados, enquanto HD3 é a primeira harmônica ímpar, que pode ser muito influente em algumas aplicações, como circuitos balanceados. Observou-se que, em temperatura ambiente, os valores destes dois parâmetros apresentavam-se distantes um do outro, mas a temperatura baixa provocou queda de HD2. As estruturas A-SC mostram menor HD2 e HD3 que a S-SC de mesmas dimensões em todos os casos observados, mesmo com a redução da temperatura.

## ABSTRACT

This work presents an analysis of the effects of temperature variation on the analog characteristics of the Asymmetric Self-Cascode (A-SC) of nMOS transistors implemented on Fully Depleted (FD) Silicon-On-Insulator technology (SOI). A-SC is composed by two transistors connected in series and with linked gates, where the channel of the transistor that has its source connected is more weakly doped than the other, with the intention of reducing effects that degrade the output conductance. This structure combines the concepts of the Symmetric Self-Cascode (S-SC), where both transistors have the same channel doping concentration, and the Graded Channel (CG), consisting of a transistor which has its channel divided in two, with the region closer to the drain lightly doped and the region closer to the source standardly doped. The study is carried out by means of experimental measurements, comparing single transistors, A-SC and S-SC, by extracting the voltage gain and harmonic distortion, among other parameters, for temperatures between 4.2 K and 500 K with devices of various dimensions and doping concentrations. The benefits promoted by the A-SC structure in comparison to the S-SC and single transistors observed and reported at room temperature are maintained through high and low temperatures. It was observed an increased transconductance and reduced the drain conductance, resulting in an increase of the intrinsic voltage gain. The variation of channel lengths shows great influence of the transistor near the source on the final behavior of the extracted characteristic curves and voltage gain. At low temperatures, there is a difference of more than 40 dB between the voltage gains of A-SC structures composed by transistors of channel lengths of 0.75  $\mu\text{m}$  and composed by transistors of channel lengths of 1  $\mu\text{m}$ . It was also observed that factors that impact the drain conductance degradation, such as the Kink effect, are reduced the lower the channel doping concentration of the association's transistors. The analysis of the voltage gain at high temperatures shows that the mobility degradation results in improved drain conductance, improving the voltage gain. However, in temperatures close to the critical temperature, the transition of the operation of a fully depleted transistor to partially depleted degrade the voltage gain. Linearity was analyzed in this study using the harmonic distortion referent to the second and third harmonics (HD2 and HD3) as a figure of merit. HD2 was chosen because it corresponds to approximately the total harmonic distortion for the studied cases, while HD3 is the first odd harmonic, that can be very influent in some applications, such as balanced circuits. It was observed that, at room temperature, the values of these two parameters are distant from each other, but the low-temperature drop caused HD2. The structure A-SC show lower HD2 and HD3 than S-SC of same dimensions in all cases observed, even at low temperatures.

## LISTA DE FIGURAS

Figura 1 – Perfil transversal de um SOI nMOSFET. ....	27
Figura 2 – Diagrama de bandas de energia de uma seção vertical de um SOI nMOSFET. ....	27
Figura 3 – Diagrama de bandas de energia de um transistor SOI nMOSFET em acumulação. ....	28
Figura 4 – Exemplo de diagrama de bandas de energia de transistores SOI PD (a) e FD (b). ....	29
Figura 5 – Exemplo da curva $g_m/I_{DS}$ em função da corrente de dreno normalizada ....	32
Figura 6 – Esquema do efeito de modulação de canal em um SOI nMOSFET. ....	33
Figura 7 – Representação da extração da tensão Early. ....	34
Figura 8 – Curva esquemática representando as degradações do efeito Kink e de autoaquecimento em uma curva $I_{DS}$ vs. $V_{DS}$ . ....	35
Figura 9 – Esquema do amplificador de tensão com um único transistor. ....	36
Figura 10 – Esquema elétrico representando a distorção harmônica provocada a partir de um sinal de entrada em um transistor. ....	37
Figura 11 – Perfil transversal de uma associação série simétrica. ....	39
Figura 12 – Perfil transversal da associação série assimétrica. ....	40
Figura 13 – Exemplo do comportamento da largura da banda proibida em função da temperatura. ....	43
Figura 14 – Exemplo do comportamento da concentração intrínseca de portadores em função da temperatura. ....	43
Figura 15 – Mobilidade devido ao espalhamento de rede em função da temperatura. ....	46
Figura 16 – Mobilidade devido ao espalhamento por impurezas ionizadas em função da temperatura para várias concentrações de dopantes. ....	47
Figura 17 – Mobilidade devido ao espalhamento portador-portador em função da temperatura para várias concentrações de dopantes. ....	48
Figura 18 – Mobilidade devido ao espalhamento por impurezas neutras em função da temperatura para várias concentrações de dopantes. ....	49
Figura 19 – Mobilidade de baixo campo em função da temperatura para várias concentrações de dopantes. ....	49
Figura 20 – Corrente de dreno em função da tensão de porta para os dispositivos A-SC e transistores únicos de diferentes comprimentos de canal e concentração de dopantes, em diferentes temperaturas, com $V_{DS}$ de 50 mV, em escala linear (A) e logarítmica (B). ....	54

Figura 21 – Tensão de limiar em função da temperatura para transistores únicos de diferentes comprimentos de canal e concentrações de dopantes e uma estrutura A-SC, para $V_{DS} = 50 \text{ mV}$ . .....	55
Figura 22 – Inclinação de sublimiar em função da temperatura para transistores únicos de diferentes comprimentos de canal e concentrações de dopantes e uma estrutura A-SC, para $V_{DS} = 50 \text{ mV}$ .....	56
Figura 23 – Corrente de dreno em função da polarização de dreno para os dispositivos A-SC e transistores únicos de diferentes comprimentos de canal e concentração de dopantes, em diferentes temperaturas, com $V_{GT}$ de $0,2 \text{ V}$ .....	57
Figura 24 – Condutância de dreno em função da polarização de dreno para os dispositivos A-SC e transistores únicos de diferentes comprimentos de canal e concentração de dopantes, em diferentes temperaturas, com $V_{GT}$ de $0,2 \text{ V}$ .....	58
Figura 25 – Condutância de dreno em função da temperatura para transistores únicos de diferentes comprimentos de canal e concentrações de dopantes e uma estrutura A-SC, para $V_{DS} = 1,5 \text{ V}$ e $V_{GT} = 0,2 \text{ V}$ . ....	59
Figura 26 – Transcondutância em função da tensão de porta para os dispositivos A-SC e transistores únicos de diferentes comprimentos de canal e concentração de dopantes, em diferentes temperaturas, com $V_{DS}$ de $1,5 \text{ V}$ . ....	59
Figura 27 – Transcondutância em função da temperatura para transistores únicos de diferentes comprimentos de canal e concentrações de dopantes e uma estrutura A-SC, para $V_{DS} = 1,5 \text{ V}$ e $V_{GT} = 0,2 \text{ V}$ .....	60
Figura 28 – Ganho de tensão em função da temperatura para transistores únicos de diferentes comprimentos de canal e concentrações de dopantes e uma estrutura A-SC, para $V_{DS} = 1,5 \text{ V}$ e $V_{GT} = 0,2 \text{ V}$ .....	60
Figura 29 – Distorções harmônicas de segunda e terceira ordem em função da sobretensão de porta para os dispositivos A-SC e transistores únicos de diferentes comprimentos de canal e concentração de dopantes, em diferentes temperaturas, com $V_{DS}$ de $1,5 \text{ V}$ . ....	62
Figura 30 – Distorções harmônicas de segunda e terceira ordem em função da razão $g_m/I_{DS}$ para os dispositivos A-SC e transistores únicos em diferentes temperaturas, com $V_{DS}$ de $1,5 \text{ V}$ . .....	63
Figura 31 – Distorções harmônicas de segunda e terceira ordem, normalizadas pelo ganho de tensão, em função da razão $g_m/I_{DS}$ para os dispositivos A-SC e transistores únicos de diferentes comprimentos de canal e concentração de dopantes, em diferentes temperaturas, com $V_{DS}$ de $1,5 \text{ V}$ e $V_{GT}$ de $0,2 \text{ V}$ . ....	64

Figura 32 – Distorções harmônicas de segunda e terceira ordem, normalizadas pelo ganho de tensão, em função da temperatura, para os dispositivos A-SC e transistores únicos de diferentes comprimentos de canal e concentração de dopantes, com $V_{DS}$ de 1,5 V e $V_{GT}$ de 0,2 V. ....	65
Figura 33 – Distorções harmônicas de segunda e terceira ordem em função da amplitude do sinal de entrada para os dispositivos A-SC e transistores únicos de diferentes comprimentos de canal e concentração de dopantes, em diferentes temperaturas, com $V_{GT}$ de 0,2 V. ....	66
Figura 34 – Distorções harmônicas de segunda e terceira ordem, normalizadas pelo ganho de tensão, em função da amplitude do sinal de entrada para os dispositivos A-SC e transistores únicos de diferentes comprimentos de canal e concentração de dopantes, em diferentes temperaturas, com $V_{GT}$ de 0,2 V e $V_{DS}$ de 1,5 V. ....	67
Figura 35 – Foto de Associações Série Assimétricas fabricadas, com MS e MD de diferentes comprimentos de canal. ....	69
Figura 36 – Corrente de dreno em função da tensão de porta para $V_{DS} = 50$ mV de estruturas A-SC e S-SC de diferentes comprimentos de canal. ....	69
Figura 37 – Corrente de dreno em função da tensão de dreno para estruturas simétricas e assimétricas de $L_{MS}$ igual a $0,75\mu\text{m}$ , com $V_{GT}$ de 0,20V. ....	71
Figura 38 – Derivada do inverso de $g_D$ multiplicada por $g_D$ em função da tensão de dreno, para estruturas simétricas e assimétricas de $L_{MS}$ igual a $0,75\mu\text{m}$ , $1\mu\text{m}$ e $2\mu\text{m}$ , com $V_{GT}$ de 0,20V. ....	72
Figura 39 – Condutância de dreno em função da tensão de dreno, para estruturas simétricas e assimétricas de $L_{MS}$ igual a $0,75\mu\text{m}$ , $1\mu\text{m}$ e $2\mu\text{m}$ , com $V_{GT}$ de 0,20V. ....	72
Figura 40 – Corrente de dreno e transcondutância em função da tensão de porta para A-SC e S-SC de diversas dimensões com $V_{DS}$ de 1,5V. ....	73
Figura 41 – Transcondutância em função dos comprimentos de canal de MS e MD para estruturas A-SC e S-SC, com $V_{DS}$ de 1,5 V e $V_{GT}$ de 0,2 V. ....	74
Figura 42 – Tensão no nó intermediário em função da tensão de dreno para estruturas A-SC e S-SC, com $V_{GT}$ de 0,2 V e $L_{MS} = L_{MD} = 2\mu\text{m}$ . ....	75
Figura 43 – Condutância de saída em função do comprimento de canal de MS e MD para estruturas A-SC e S-SC com $V_{DS}$ de 1,5V e $V_{GT}$ de 0,2V. ....	75
Figura 44 – Ganho intrínseco de tensão em função do comprimento de canal de MS e MD para estruturas A-SC e S-SC com $V_{DS}$ de 1,5 V e $V_{GT}$ de 0,2 V. ....	76
Figura 45 – Ganho de tensão em função da razão $g_m/I_{DS}$ para associações série simétricas e assimétricas de diferentes dimensões. ....	77

Figura 46 – Distorção harmônica referente ao segundo e terceiro harmônico em função da sobretensão de porta para A-SC e S-SC com $V_{DS}$ de 1,5V e $V_a$ de 50mV.....	78
Figura 47 – Quadrado da transcondutância para estruturas A-SC e S-SC de diferentes comprimentos de canal em função da razão $g_m/I_{DS}$ .....	78
Figura 48 – Derivada de $g_m$ em função de $V_{GT}$ para estruturas A-SC e S-SC de diferentes comprimentos de canal em função da razão $g_m/I_{DS}$ .....	79
Figura 49 – Condutância de dreno para estruturas A-SC e S-SC de diferentes comprimentos de canal em função da razão $g_m/I_{DS}$ .....	79
Figura 50 – Razão $g_m/I_{DS}$ em função da corrente de dreno normalizada pela razão de aspecto para dispositivos A-SC e S-SC de diferentes $L_{MS}$ com $V_{DS}$ de 1,5V. ....	80
Figura 51 – Distorção harmônica referente aos harmônicos de segunda e terceira ordem em função da razão $g_m/I_{DS}$ para estruturas A-SC e S-SC de diferentes dimensões, com $V_a$ de 50mV e $V_{DS}$ de 1,5V. ....	80
Figura 52 – Distorção harmônica referente aos harmônicos de segunda e terceira ordem normalizada pelo ganho de tensão em função de $g_m/I_{DS}$ para estruturas A-SC e S-SC de diversas dimensões com $V_a$ de 50 mV e $V_{DS}$ de 1,5 V.....	81
Figura 53 – Distorção harmônica referente aos harmônicos de segunda e terceira ordem normalizada pelo ganho em função da amplitude do sinal de entrada para estruturas A-SC e S-SC de diversas dimensões com $V_{GT}$ de 0,4V e $V_{DS}$ de 1,5V.....	82
Figura 54 – Amplitude do sinal de entrada em função do comprimento de MS e MD para estruturas S-SC (a) e A-SC (b) com $V_{DS}$ de 1,5V, $V_{GT}$ de 0,4V e THD/ $A_v$ de -75dB.....	83
Figura 55 – Distorção harmônica total e terceira harmônica em função da razão $g_m/I_{DS}$ para estruturas A-SC e S-SC de várias dimensões com $V_{DS}$ de 1,5V e $V_{out}$ de 0,5V. ....	84
Figura 56 – Corrente de dreno em função da tensão de dreno para estruturas A-SC da OKI em temperatura criogênica, com $V_{GT}$ de 0,2V. ....	87
Figura 57 – Condutância de dreno em função da sobretensão de porta para estruturas A-SC da OKI, formadas por transistores de diferentes tensões de limiar em 4,2 K. ....	88
Figura 58 – Ganho de tensão em função da sobretensão de porta para estruturas A-SC da tecnologia OKI em temperatura criogênica, com $V_{DS}$ de 1,5 V.....	88
Figura 59 – Transcondutância em função da sobretensão de porta para estruturas S-SC e A-SC da UCL de diferentes comprimentos de canal em temperatura criogênica, com $V_{DS}$ de 1,5V.....	89
Figura 60 – Corrente de dreno em função da tensão de dreno para estruturas S-SC e A-SC da UCL de diferentes comprimentos de canal em temperatura criogênica, com $V_{GT}$ de 0,4V.....	89

Figura 61 – Distorção harmônica total e terceira harmônica em função da razão $g_m/I_{DS}$ em temperaturas criogênicas para estruturas A-SC da OKI, com $V_{DS}$ de 1,5V.....	90
Figura 62 – Distorção harmônica total e terceira harmônica normalizadas pelo ganho de tensão em função da razão $g_m/I_{DS}$ de estruturas A-SC da OKI em temperatura criogênica, com $V_{DS}$ de 1,5V e $V_a$ de 50mV.....	91
Figura 63 – Distorção harmônica total e terceira harmônica normalizadas pelo ganho de tensão em função da amplitude do sinal de entrada para o dispositivo A-SC da OKI de $V_{T,MS}=LV_T$ e $V_{T,MD}=IV_T$ , com $V_{DS}$ de 1,5 V e $V_{GT}$ de 0,4V.....	91
Figura 64 – Distorção harmônica total e terceira harmônica normalizadas pelo ganho de tensão em função dos dispositivos da UCL (Conjunto 1), com $V_{DS}$ de 1,5 V e $V_{GT}$ de 0,2 V.	92
Figura 65 – Distorção harmônica total e terceira harmônica em função de $g_m/I_{DS}$ para estruturas A-SC da OKI em 4,2K (a) e 300K (b), $V_{DS}$ de 1,5V e $V_{out}$ de 1V. ....	93
Figura 66 – Corrente de dreno em função da diferença entre polarização de porta e tensão de limiar em temperatura ambiente, para estruturas A-SC da UCL de $L_{MD}$ de 0,75 $\mu$ m (a) e $L_{MS}$ de 0,75 $\mu$ m (b) em várias temperaturas, com $V_{DS}$ de 50mV. ....	94
Figura 67 – Inverso da inclinação de sublimiar em função da temperatura para estruturas A-SC da UCL de $L_{MD}$ e $L_{MS}$ de 0,75 $\mu$ m em várias temperaturas, com $V_{DS}$ de 50 mV.....	95
Figura 68 – Diferença entre a tensões de limiar em temperaturas variadas e em temperatura ambiente em função da temperatura para estruturas A-SC da UCL de $L_{MD}$ (a) e $L_{MS}$ (b) de 0,75 $\mu$ m em várias temperaturas, com $V_{DS}$ de 50 mV. ....	96
Figura 69 – Corrente de dreno em função da tensão de dreno para estruturas A-SC da UCL (Conjunto 2) de $L_{MD}$ (a) e $L_{MS}$ (b) de 0,75 $\mu$ m em várias temperaturas, com $V_{DS}$ de 50 mV..	97
Figura 70 – Condutância de dreno em função da tensão de dreno para estruturas de A-SC da UCL (Conjunto 2) com $L_{MD}$ de 1 $\mu$ m para $V_{GT}$ de 0,2V.....	97
Figura 71 – Condutância de dreno em função do comprimento do canal de MS e MD de estruturas A-SC da UCL (Conjunto 2) em 300K (a) e 500K (b), para $V_{GT}$ de 0,2V e $V_{DS}$ de 1,5V. ....	98
Figura 72 – Transcondutância em função do comprimento de canal de MS e MD de estruturas A-SC da UCL (Conjunto 2) em 300K (a) e 500K (b), para $V_{GT}$ de 0,2V e $V_{DS}$ de 1,5V. ....	99
Figura 73 – Ganho de tensão em função do comprimento de canal de MS e MD de estruturas A-SC da UCL em 300 K (a) e 500 K (b), para $V_{GT}$ de 0,2 V e $V_{DS}$ de 1,5 V. ....	100
Figura 74 – Ganho de tensão em função da temperatura para estruturas A-SC da UCL (Conjunto 2) de $L_{MS}$ (a) e $L_{MD}$ (b) de 0,75 $\mu$ m, com $V_{DS}$ de 1,5V e $V_{GT}$ de 0,2V. ....	101

Figura 75 – Distorções harmônicas referentes às segunda e terceira harmônicas em função da razão $g_m/I_{DS}$ para uma estrutura A-SC de $L_{MS} = L_{MD} = 0,75 \mu\text{m}$ , para $V_a = 50 \text{ mV}$ e $V_{DS} = 1,5 \text{ V}$ .	102
Figura 76 – Distorções harmônicas referentes às segunda e terceira harmônicas, normalizadas pelo ganho de tensão, em função da razão $g_m/I_{DS}$ para uma estrutura A-SC de $L_{MS} = L_{MD} = 0,75 \mu\text{m}$ , para $V_a = 50 \text{ mV}$ e $V_{DS} = 1,5 \text{ V}$ .	103
Figura 77 – Distorções harmônicas referentes as segunda e terceira harmônicas em função de $V_a$ para uma estrutura A-SC de $L_{MS} = L_{MD} = 0,75 \mu\text{m}$ , para $V_{GT} = 0,2 \text{ V}$ e $V_{DS} = 1,5 \text{ V}$ .	104
Figura 78 – Distorções harmônicas referentes as segunda e terceira harmônicas, normalizadas pelo ganho de tensão, em função de $V_a$ para uma estrutura A-SC de $L_{MS} = L_{MD} = 0,75 \mu\text{m}$ , para $V_{GT} = 0,2 \text{ V}$ e $V_{DS} = 1,5 \text{ V}$ .	105

## LISTA DE TABELAS

Tabela 1 – Modelos físicos utilizados para as simulações dos dispositivos.....	51
Tabela 2 – Variação da tensão de limiar com a temperatura para a estrutura A-SC e os transistores únicos de diferentes comprimentos de canal e concentração de dopantes no canal. .....	56
Tabela 3 – Características de processo dos dispositivos da OKI e UCL.....	68
Tabela 4 – Tensões de limiar para os dispositivos da tecnologia OKI em temperatura ambiente. .....	68
Tabela 5 – Tensão de limiar em função para estruturas A-SC e S-SC compostas por transistores de vários comprimentos de canal, com $V_{DS}$ de 50mV. ....	70
Tabela 6 - Inclinação de sublimiar para estruturas A-SC e S-SC compostas por transistores de vários comprimentos de canal, com $V_{DS}$ de 50mV. ....	70
Tabela 7 – Tensão de limiar para o segundo conjunto de dispositivos da UCL em temperatura ambiente.....	85
Tabela 8 – Transcondutância de dispositivos OKI para 4,2K e 300K, extraídas em $V_{GT}$ de 0,2V e $V_{DS}$ de 1,5 V.....	86
Tabela 9 – Ganho de tensão e condutância de dreno para dispositivos A-SC da UCL de $L_{MS}=L_{MD}=0,75\mu\text{m}$ e $1\mu\text{m}$ , com $V_{GT}$ de 0,4V e temperatura de 4,2K.....	90

## LISTA DE ABREVIACOES E SIGLAS

AC	<i>Alternating Current</i> – Corrente Alternada
A-SC	<i>Asymmetric Self-Cascode</i> – Associao Srie Assimtrica
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i> – Tecnologia Metal-xido-Semicondutor Complementar
DC	<i>Direct Current</i> – Corrente Direta
FD	<i>Fully Depleted</i> – Totalmente Depletado
HD2	Distoro harmnica referente ao segundo harmnico
HD3	Distoro harmnica referente ao terceiro harmnico
IFM	<i>Integral Function Method</i> – Mtodo da Funo Integral
MD	Transistor prximo ao dreno na associao srie
MOS	<i>Metal-Oxide-Semiconductor</i> – Metal-xido-Semicondutor
MS	Transistor prximo  fonte na associao srie
NFD	<i>Near Fully Depleted</i>
nMOSFET	<i>Metal-Oxide-Semiconductor Field Effect Transistor</i> tipo N
OKI	<i>OKI Semiconductor</i>
PD	<i>Partially Depleted</i> – Parcialmente depletado
SOI	<i>Silicon-On-Insulator</i> – Silcio-Sobre-Isolante
S-SC	<i>Symmetric Self-Cascode</i> – Associao srie simtrica
THD	Distoro harmnica total
UCL	<i>Universit Catholique de Louvain</i>
ZTC	<i>Zero-Temperature Coefficient</i> – Coeficiente independente da Temperatura

## LISTA DE SÍMBOLOS

$A_V$	Ganho de intrínseco de tensão [dB]
$B$	Constante dependente do material para o cálculo de $n_i$
$BV_{DS}$	Tensão de ruptura [V]
$C_{depl}$	Capacitância da região de depleção por unidade de área [ $F/cm^2$ ]
$C_{gs}$	Capacitância de porta por unidade de área [ $F/cm^2$ ]
$C_L$	Capacitância de carga [F]
$C_{oxb}$	Capacitância na segunda interface por unidade de área [ $F/cm^2$ ]
$C_{oxf}$	Capacitância na primeira interface por unidade de área [ $F/cm^2$ ]
$C_{Si}$	Capacitância da camada de silício por unidade de área [ $F/cm^2$ ]
$d_{máx}$	Profundidade máxima de depleção [cm]
$E_C$	Nível de energia da condução [eV]
$E_e$	Energia de ligamento dos doadores neutros [eV]
$E_{eff}$	Campo elétrico médio no canal [V/cm]
$E_F$	Nível de energia de Fermi do semiconductor [eV]
$E_{FM}$	Nível de energia de Fermi do metal de porta [eV]
$E_g$	Largura da banda proibida [eV]
$E_i$	Nível de energia intrínseco do semiconductor [eV]
$E_V$	Nível de energia da valência [eV]
$E_{vácuo}$	Nível de energia do vácuo [eV]
$f_T$	Frequência de ganho unitário [Hz]
$g_D$	Condutância de dreno (ou de saída) [S]
$g'_D$	Condutância de dreno (ou de saída) efetiva [S]
$g_m$	Transcondutância [S]
$g_{m,sat}$	Transcondutância em saturação [S]
$h$	Constante de Planck [ $4,14 \times 10^{-15}$ eV·s]
$I_{bias}$	Corrente de polarização [A]
$I_{DS}$	Corrente entre dreno e fonte [A]

$I_{DS,Sat}$	Corrente de dreno em saturação [A]
$I_{DS0,1,2...}$	Amplitudes das componentes alternadas de corrente de dreno [A]
$I_{off}$	Corrente de desligamento [A]
$IV_T$	Tensão de limiar com concentração intrínseca de dopantes [V]
$k$	Constante de Boltzmann [ $8,62 \times 10^{-5}$ eV/K]
$L$	Comprimento de canal [m]
$L_{MD}$	Comprimento de canal do transistor próximo ao dreno [m]
$L_{MS}$	Comprimento de canal do transistor próximo à fonte [m]
$LV_T$	Tensão de limiar com concentração baixa de dopantes [V]
$m_{ce}^*$	Massa efetiva de condução dos elétrons
$m_{de}^*$	Massa efetiva da densidade de estados para elétrons
$m_{dh}^*$	Massa efetiva da densidade de estados para lacunas
$m_0$	Massa do elétron [ $9,11 \times 10^{-31}$ kg]
$n$	Fator de corpo
$N_A$	Concentração de impurezas aceitadoras [ $cm^{-3}$ ]
$N_A^-$	Concentração de impurezas aceitadoras ionizadas [ $cm^{-3}$ ]
$N_{A,D}$	Concentração de dopantes no canal do transistor MD [ $cm^{-3}$ ]
$N_{A,S}$	Concentração de dopantes no canal do transistor MS [ $cm^{-3}$ ]
$n_{b,acc}$	Fator de corpo com a segunda interface acumulada
$n_{b,dep}$	Fator de corpo com a segunda interface depletada
$N_C$	Densidade de estados na banda de condução [ $cm^{-3}$ ]
$n_i$	Concentração intrínseca de dopantes [ $cm^{-3}$ ]
$N_{itf}$	Densidade de armadilhas de interface na primeira interface [ $F/cm^2$ ]
$n_p$	Concentração de portadores minoritários [ $cm^{-3}$ ]
$n_{SOI PD}$	Fator de corpo para a tecnologia SOI PD
$N_V$	Densidade de estados na banda de valência [ $cm^{-3}$ ]
$q$	Carga fundamental do elétron [ $1,60 \times 10^{-19}$ C]
$Q_D$	Densidade de carga de inversão por unidade de área entre o canal e a região de dreno [ $C/cm^2$ ]

$Q_{\text{depl}}$	Densidade de cargas depletadas no canal por unidade de área [ $\text{C}/\text{cm}^2$ ]
$Q_{\text{oxf}}$	Densidade de cargas fixas no óxido de porta por unidade de área [ $\text{C}/\text{cm}^2$ ]
$Q_{\text{S}}$	Densidade de carga de inversão por unidade de área entre o canal e a região de fonte [ $\text{C}/\text{cm}^2$ ]
$R_{\text{CH}}$	Resistência do canal [ $\Omega$ ]
$R_{\text{D}}$	Resistência de dreno [ $\Omega$ ]
$R_{\text{S}}$	Resistência de fonte [ $\Omega$ ]
$S$	Inverso da inclinação de sublimiar [ $\text{mV}/\text{déc}$ ]
$SLV_{\text{T}}$	Tensão de limiar com concentração super baixa de dopantes [V]
$STDV_{\text{T}}$	Tensão de limiar com concentração padrão de dopantes [V]
$T$	Temperatura [K]
$t$	Instante de tempo [s]
$T_{\text{K}}$	Temperatura crítica [K]
$t_{\text{oxb}}$	Espessura do isolante enterrado [nm]
$t_{\text{oxf}}$	Espessura do isolante de porta [nm]
$t_{\text{Si}}$	Espessura da camada de silício [nm]
$V_0$	Polarização da sobretensão de porta [V]
$V_{\text{a}}$	Amplitude do sinal de entrada [V]
$V_{\text{B}}$	Polarização de substrato [V]
$V_{\text{B,bacc}}$	Polarização de substrato para acumular a segunda interface [V]
$V_{\text{D}}$	Polarização de dreno [V]
$V_{\text{DD}}$	Tensão de alimentação [V]
$V_{\text{DE}}$	Potencial efetivo no canal próximo ao dreno [V]
$V_{\text{DS}}$	Tensão entre dreno e fonte [V]
$V_{\text{ds}}$	Sinal alternado entre dreno e fonte [V]
$V_{\text{DS,Sat}}$	Tensão mínima entre dreno e fonte na saturação [V]
$V_{\text{EA}}$	Tensão Early [V]
$V_{\text{FB}}$	Tensão de faixa plana [V]
$V_{\text{G}}$	Polarização de porta [V]

$V_{GB}$	Tensão entre porta e substrato [V]
$V_{GS}$	Tensão ente porta e fonte [V]
$v_{gs}$	Sinal alternado entre porta e fonte [V]
$V_{GT}$	Sobretensão de porta [V]
$V_{IN}$	Tensão de entrada [V]
$V_{OUT}$	Tensão de saída [V]
$V_{out}$	Amplitude do sinal de saída [V]
$V_{OX}$	Potencial no isolante de porta [V]
$V_S$	Polarização de fonte [V]
$V_T$	Tensão de limiar [V]
$V_{T,bacc}$	Tensão de limiar com a segunda interface acumulada [V]
$V_{T,bdepl}$	Tensão de limiar com a segunda interface depletada [V]
$V_{T,binv}$	Tensão de limiar com a segunda interface invertida [V]
$V_{T,MD}$	Tensão de limiar do transistor próximo ao dreno [V]
$V_{T,MS}$	Tensão de limiar do transistor próximo à fonte [V]
$V_X$	Tensão no nó intermediário [V]
$W$	Largura de canal [V]
$\alpha$	Acoplamento capacitivo
$\alpha_S$	Coefficiente de espalhamento [cm/V]
$\alpha_{V_T}$	Parâmetro utilizado no cálculo da variação da tensão de limiar com a temperatura
$\epsilon_{Si}$	Permissividade do silício [ $1,035 \times 10^{-13}$ F/cm]
$\lambda$	Parâmetro que inclui a dependência da corrente de dreno em saturação pela tensão de dreno [ $V^{-1}$ ]
$\mu_0$	Mobilidade dos portadores para baixo campo [ $cm^2/V \cdot s$ ]
$\mu_{CC,e}$	Mobilidade dos elétrons devido ao espalhamento portador-portador [ $cm^2/V \cdot s$ ]
$\mu_{II,e}$	Mobilidade dos elétrons devido ao espalhamento por impurezas ionizadas [ $cm^2/V \cdot s$ ]
$\mu_{LS,e}$	Mobilidade dos elétrons devido ao espalhamento de rede [ $cm^2/V \cdot s$ ]
$\mu_n$	Mobilidade efetiva dos portadores [ $cm^2/V \cdot s$ ]

$\mu_{NI,e}$	Mobilidade dos elétrons devido ao espalhamento por impurezas neutras [ $\text{cm}^2/\text{V}\cdot\text{s}$ ]
$\Phi_F$	Potencial de Fermi [eV]
$\Phi_M$	Função trabalho do metal de porta [eV]
$\Phi_S$	Potencial do silício na primeira interface [eV]
$\Phi_{Si}$	Função trabalho do silício [eV]
$\chi_{Si}$	Afinidade eletrônica do silício [eV]
$\omega$	Frequência angular [rad/s]

## SUMÁRIO

AGRADECIMENTOS .....	3
RESUMO.....	5
ABSTRACT .....	6
LISTA DE FIGURAS .....	7
LISTA DE TABELAS.....	13
LISTA DE ABREVIACÕES E SIGLAS .....	14
LISTA DE SÍMBOLOS .....	15
SUMÁRIO.....	20
1. INTRODUÇÃO .....	22
2. CONCEITOS FUNDAMENTAIS.....	26
2.1. Tecnologia SOI.....	26
2.2. Parâmetros Analógicos .....	31
2.2.1. Transcondutância e Razão Transcondutância pela Corrente de Dreno .....	31
2.2.2. Condutância de Dreno e Tensão Early.....	32
2.2.3. Ganho de Tensão.....	36
2.2.4. Distorção Harmônica .....	36
2.3. Associação Série Simétrica .....	38
2.4. Associação Série Assimétrica.....	40
2.5. Efeitos da Temperatura.....	41
2.5.1. Tensão de Limiar e Inclinação de Sublimiar .....	44
2.5.2. Mobilidade dos Portadores de Carga do Canal de Baixo Campo Elétrico .....	45
2.5.3. Campo Elétrico .....	50
2.5.4. Temperatura Crítica .....	50
3. RESULTADOS SIMULADOS .....	51
3.1. Corrente de dreno para baixo $V_{DS}$ , tensão de limiar e inclinação de sublimiar.....	54
3.2. Corrente de dreno em função de $V_{DS}$ , transcondutância em saturação e condutância de dreno.....	57
3.3. Distorção Harmônica.....	61
4. RESULTADOS EXPERIMENTAIS.....	68

4.1. Comparação entre as Associações Simétricas e Assimétricas de Transistores em Temperatura Ambiente .....	69
4.1.1. Curvas Características e Tensão de Limiar.....	69
4.1.2. Ganho de tensão.....	73
4.1.3. Distorção Harmônica .....	77
4.2. Efeitos da Temperatura sobre Parâmetros Analógicos da Associação Série Assimétrica.....	85
4.2.1. Baixa Temperatura.....	85
4.2.1.1. Condutância de Dreno, Transcondutância e Ganho de Tensão.....	85
4.2.1.2. Distorção Harmônica.....	90
4.2.2. Alta Temperatura .....	93
4.2.2.1. Inverso da Inclinação de Sublimiar e Tensão de Limiar .....	93
4.2.2.2. Condutância de Dreno, Transcondutância e Ganho de Tensão.....	96
4.2.2.3. Distorção Harmônica.....	101
5. CONCLUSÕES E PROPOSTAS DE SEQUÊNCIA DO TRABALHO.....	106
6. TRABALHOS PUBLICADOS .....	109
6.1. Trabalhos Nacionais .....	109
6.2. Trabalhos Internacionais.....	109
7. REFERÊNCIAS BIBLIOGRÁFICAS.....	111
APÊNDICE A.....	117
APÊNDICE B.....	121

## 1. INTRODUÇÃO

A tecnologia SOI (*Silicon-On-Insulator* – Silício-Sobre-Isolante) totalmente depletada (*Fully Depleted* – FD) consiste em uma das tecnologias alternativas à tecnologia MOS (*Metal-Oxide-Semiconductor*) convencional, eficiente principalmente no que diz respeito à fabricação de circuitos integrados [1]. Isto ocorre devido à adição da espessa camada de óxido abaixo de uma fina camada de silício, que será totalmente depletada para a formação do canal durante a passagem de corrente no SOI FD nMOSFET (MOS *Field Effect Transistor* tipo N). Graças a isso, a tecnologia FD SOI é capaz de melhorar ou até mesmo suprimir alguns efeitos indesejáveis presentes na tecnologia MOS convencional, tais como efeitos de canal curto [2], Kink [3], e tiristor parasitário, quando em tecnologia MOS complementar (CMOS) [4]. As lâminas de qualidade inferior à desejável disponíveis no início da tecnologia SOI restringiu o uso de dispositivos para várias aplicações [5]. Ainda assim, características proporcionadas pela isolação dielétrica da região ativa do silício possibilitavam uma série de vantagens sobre a tecnologia *Bulk* convencional. Por exemplo, quando em exposição à radiação transiente (*Single-Event Effects* – SEE), a redução do volume da região coletora de cargas torna os dispositivos SOI mais interessantes que os convencionais [6,7]. Adicionalmente, ambientes onde estão presentes os efeitos da radiação geralmente também apresentam temperaturas extremas, como em aplicações aeroespaciais ou em reatores nucleares para geração de energia elétrica [8,9]. Em altas temperaturas, circuitos CMOS da tecnologia SOI apresentam reduzida corrente de fuga, o que está relacionado com a eliminação do poço tipo n (*n-well*) [10]. Em baixas temperaturas, por conta do melhor acoplamento capacitivo, dispositivos SOI apresentam-se menos afetados pela densidade de armadilhas de interface que os *Bulk* [3].

No entanto, transistores SOI também se apresentam vulneráveis a degradações em sua operação analógica. Dentre elas, é possível destacar o compromisso existente entre a condutância de dreno ( $g_D$ ) e a frequência de ganho de tensão unitário ( $f_T$ ), sendo a primeira influenciada negativamente pelo encurtamento do canal dos transistores graças à maior influência do efeito da modulação do comprimento de canal [11,12] e a segunda inversamente proporcional ao comprimento do canal ( $L$ ) [11]. Um modo comum de abordar este problema no projeto de circuitos analógicos se dá através do uso de uma associação série de transistores (*Symmetric Self-Cascode* – S-SC), onde dois dispositivos conectados em série e com as portas curto-circuitadas funcionam como um transistor SOI único. Como o efeito da modulação do comprimento de canal fica praticamente restrito ao transistor próximo ao dreno

(MD),  $g_D$  é reduzido em comparação a um transistor único (*Single Transistor – ST*) [13]. Além disso, há redução de portadores gerados por ionização por impacto compondo a corrente de dreno ( $I_{DS}$ ), aumentando a tensão de ruptura ( $BV_{DS}$ ) [14]. Isto ocorre graças à presença de uma região altamente dopada entre MD e o transistor próximo à fonte (MS), facilitando a recombinação de portadores [15]. Também são observados benefícios no caso da frequência de ganho de tensão unitário [16], o que é devido ao menor comprimento efetivo de canal da S-SC que um ST longo de dimensões equivalentes, ou seja, de mesma largura de canal ( $W$ ) e  $L$  correspondente à soma dos comprimentos de canal dos dois transistores MS e MD ( $L_S$  e  $L_D$ , respectivamente).

Recentemente foi proposto que MD da associação série tivesse seu canal fracamente dopado, com a intenção de reduzir o alto pico de campo elétrico longitudinal próximo ao dreno, que ocorre quando o dispositivo opera na região de saturação [17]. Ao mesmo tempo, MS permanece dopado como o padrão, de modo a manter a tensão de limiar do transistor composto [17]. Como resultado, a associação série de perfil de dopantes assimétrico (*Asymmetric Self-Cascode – A-SC*) proporciona  $g_D$  e tensão de ruptura melhores em comparação com a S-SC, dentre outras vantagens [17,18,19,20,21]. Como desvantagens tem-se que a área da região intermediária altamente dopada não pode ser muito reduzida, pois eliminaria o efeito de redução do tempo de vida dos portadores gerados por ionização por impacto e, portanto, importantes benefícios da estrutura, tornando limitada a menor área que se é possível ocupar com a A-SC. Além disso, comparada com a S-SC, a associação série assimétrica apresenta uma tensão de saturação maior, o que é compensado pelo aumento do  $BV_{DS}$ . O conceito da redução da concentração de dopantes para atenuar efeitos negativos proporcionados pelo alto campo elétrico também está presente na estrutura de transistor de canal gradual (*Graded Channel – GC*) [22]. Nesta estrutura, um transistor único tem seu canal dividido em uma região dopada conforme o padrão e fracamente dopada, se diferindo essencialmente da A-SC por não conter a região mediana altamente dopada e apresentar apenas uma porta. Em geral, tanto o GC quanto a A-SC propõem abordagens semelhantes a um mesmo problema, apresentando similar corrente de dreno, porém uma melhor condutância de saída para transistores GC e melhor ganho de tensão para estruturas A-SC [23]. As vantagens do ponto de vista analógico de uma tecnologia sobre a outra ocorrem em polarizações diferentes, sendo a A-SC mais interessante em inversão fraca [23]. Além disso, como existem limitações para a correta definição das dimensão das regiões altamente e fracamente dopadas do transistor GC ultra submicrométricos, relacionadas à fabricação dos

dispositivos, caso o projeto de um circuito analógico necessite de transistores muito curtos, pode-se considerar a substituição pela A-SC.

Por si só, o estudo do comportamento de dispositivo em ambientes de condições extremas de temperatura é importante e se faz necessário para diversas aplicações e, no caso da variação da temperatura, pode-se citar a eletrônica aeroespacial [8], automotiva [9] e a eletrônica nuclear [9], entre outras. A operação de transistores MOS em temperaturas variadas oferece alterações diversas em seu funcionamento [24], principalmente no que se refere à ionização parcial de dopantes em baixas temperaturas, ao aumento da concentração intrínseca de portadores ( $n_i$ ) em altas temperaturas. Em baixas temperaturas, parâmetros como a mobilidade e a inclinação de sublimar são beneficiados [25]. É conhecido que, com o aumento da temperatura, parâmetros como inverso da inclinação de sublimar ( $S$ ) e corrente de desligamento ( $I_{off}$ ) aumentam, enquanto  $g_D$  e a transcondutância ( $g_m$ ) reduzem, por exemplo [1].

Uma grande contribuição deste trabalho se dá com a análise da não-linearidade do dispositivo, aqui quantificada pela distorção harmônica. Este parâmetro é baseado nas numerosas harmônicas que são somadas a uma harmônica fundamental, obtidas na resposta de corrente de dreno de um transistor quando um sinal alternado é aplicado à entrada. A distorção harmônica é importante para o projeto de circuitos, que normalmente estabelecem um valor máximo que é aceitável para uma determinada aplicação [26,27].

Assim, este trabalho tem como objetivo estudar o comportamento da estrutura A-SC, sob o ponto de vista de circuitos integrados analógicos, em diversas temperaturas, utilizando características como transcondutância, corrente de dreno em saturação, condutância de dreno, ganho intrínseco de tensão e distorção harmônica como principais figuras de mérito. Estes estudos foram realizados através de medidas experimentais realizadas em temperaturas de 4,2K a 500K e simulações numéricas.

Na primeira seção é apresentada uma revisão dos conceitos fundamentais, necessários para o entendimento das análises realizadas, incluindo o funcionamento de dispositivos FD SOI, tanto de transistores únicos como A-SC e S-SC, o comportamento de alguns parâmetros de interesse analógico e a influência da variação da temperatura.

Na segunda seção, são apresentados os resultados simulados obtidos, comparando a estrutura assimétrica com dispositivos únicos de diferentes comprimentos de canal e

concentração de dopantes no canal. Os dados foram simulados através do simulador Sentaurus da Synopsys, com temperaturas entre 150 K e 550 K. Deles foi possível extrair não só a transcondutância, condutância de dreno e ganho de tensão dos dispositivos, mas também obter a distorção harmônica, importante para avaliar o seu comportamento sem o efeito de ruído e outras imprecisões às quais são suscetíveis as medidas experimentais.

Na terceira seção, são apresentados os principais resultados experimentais obtidos, analisando e explicando o comportamento de parâmetros analógicos obtidos para estruturas de diferentes dimensões e concentrações de dopantes, operando em diversas temperaturas.

Por fim, são apresentadas as principais conclusões obtidas neste trabalho e propostas de sequência.

## 2. CONCEITOS FUNDAMENTAIS

Neste capítulo é apresentada uma revisão bibliográfica sobre a tecnologia SOI, as associações série simétrica e assimétrica de transistores SOI e os efeitos decorrentes da variação da temperatura no comportamento de suas curvas características e parâmetros analógicos.

### 2.1. Tecnologia SOI

A tecnologia SOI surgiu como alternativa à tecnologia MOS (*Metal-Oxide-Silicon*) convencional, ou *Bulk*, para superar algumas de suas limitações e possibilitar a contínua redução das dimensões dos dispositivos, característica importante para a manutenção da densidade de dispositivos em circuitos integrados [3]. SOI MOSFETs se diferem estruturalmente de MOSFETs convencionais por conta da presença do óxido enterrado, isolando a fina camada de silício onde é formado o canal (região ativa) do restante do corpo do dispositivo [3]. Na tecnologia *Bulk*, o corpo de silício tem a função de sustentação mecânica, mas é fonte de diversos tipos de efeitos indesejáveis, como o efeito tiristor parasitário no caso de estruturas CMOS e capacitâncias parasitárias elevadas [28].

Na Figura 1 é apresentado o perfil transversal do SOI nMOSFET, onde  $V_D$  é a polarização de dreno,  $V_S$  é a polarização de fonte,  $V_G$  é a polarização de porta,  $V_B$  é a polarização de substrato,  $t_{oxf}$  é a espessura do óxido de porta,  $t_{Si}$  é a espessura da camada de silício e  $t_{oxb}$  é a espessura do óxido enterrado. Também estão indicados os tipos de dopantes utilizados na estrutura nMOS, sendo N a concentração de dopantes tipo N (onde os elétrons são portadores majoritários) e P a concentração de dopantes tipo P (onde as lacunas são portadores majoritários). Para indicar referência à concentração de dopantes, o símbolo + é utilizado para uma concentração mais alta de dopantes e – para uma mais baixa. As diferenças de potencial entre dreno e fonte, porta e fonte e porta e substrato são simbolizadas por  $V_{DS}$ ,  $V_{GS}$  e  $V_{GB}$ , respectivamente. Em um SOI MOSFET, toda a lâmina possui uma concentração de dopantes tipo P relativamente baixa (em torno de  $10^{15} \text{ cm}^{-3}$ ) e seu canal, no caso de um nMOS, apresenta concentração mais alta em algumas ordens de grandeza ( $10^{16} \sim 10^{17} \text{ cm}^{-3}$ ) para ajuste da tensão de limiar ( $V_T$ ). O material do isolante exemplificado consiste no dióxido de silício ( $\text{SiO}_2$ ) para o óxido de porta e para o óxido enterrado.

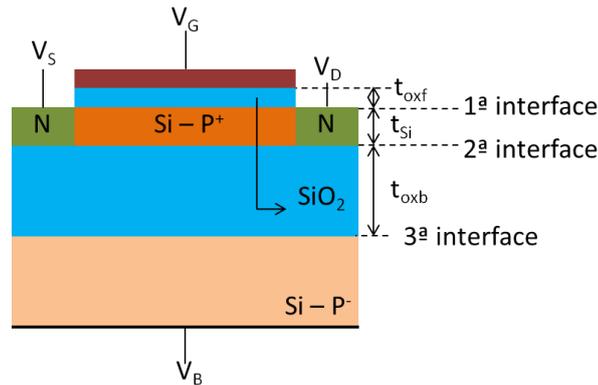


Figura 1 – Perfil transversal de um SOI nMOSFET.

Na Figura 2, é apresentado o diagrama de bandas de energia de um SOI nMOSFET sem tensões externas aplicadas e considerando metal de porta e semiconductor com diferentes funções trabalho, onde  $E_{\text{v\u00e1cuo}}$  é o n\u00edvel de energia do v\u00e1cuo,  $E_C$  \u00e9 o n\u00edvel de energia inferior da banda de condu\u00e7\u00e3o,  $E_V$  \u00e9 o n\u00edvel de energia superior da banda de val\u00eancia,  $E_i$  \u00e9 o n\u00edvel intr\u00ednseco do semiconductor,  $E_F$  \u00e9 o n\u00edvel de Fermi do semiconductor,  $\Phi_F$  \u00e9 o potencial de Fermi do semiconductor,  $\Phi_{Si}$  \u00e9 a fun\u00e7\u00e3o trabalho do sil\u00edcio,  $\chi_{Si}$  \u00e9 a afinidade eletr\u00f4nica do sil\u00edcio,  $\Phi_S$  \u00e9 o potencial do sil\u00edcio na superf\u00edcie da primeira interface,  $V_{OX}$  \u00e9 o potencial no isolante de porta,  $\Phi_M$  \u00e9 a fun\u00e7\u00e3o trabalho do metal de porta e  $E_{FM}$  \u00e9 o n\u00edvel de Fermi do metal de porta. Nota-se que pode ocorrer deple\u00e7\u00e3o do semiconductor mesmo sem aplica\u00e7\u00e3o de tens\u00e3o por conta da diferen\u00e7a entre fun\u00e7\u00f5es trabalho. Dependendo de  $\Phi_{Si}$  e  $\Phi_M$ , tamb\u00e9m pode ocorrer o ac\u00famulo de portadores majorit\u00e1rios na superf\u00edcie do semiconductor.

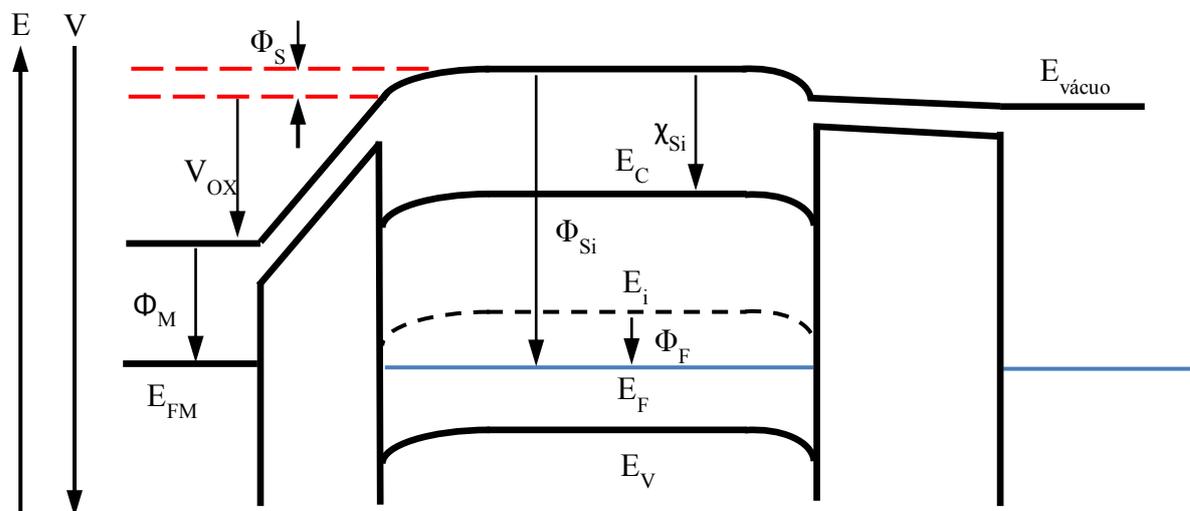


Figura 2 – Diagrama de bandas de energia de uma se\u00e7\u00e3o vertical de um SOI nMOSFET.

Para dispositivos nMOSFET, quando \u00e9 aplicado  $V_{GS}$  menor que a tens\u00e3o de faixa plana ( $V_{FB}$ ), h\u00e1 ac\u00famulo de cargas positivas na interface Si/SiO<sub>2</sub> (primeira interface). Diz-se

que o transistor está em acumulação e não há passagem de corrente entre dreno e fonte, como ilustrado na Figura 3 [29].

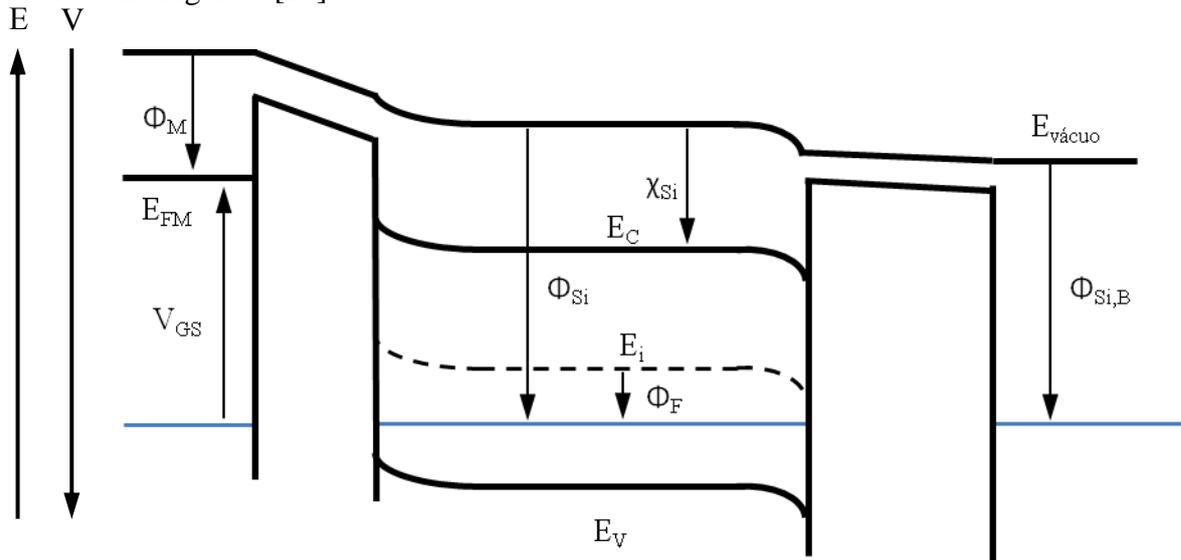


Figura 3 – Diagrama de bandas de energia de um transistor SOI nMOSFET em acumulação.

Conforme a tensão na porta se torna cada vez mais positiva, os portadores majoritários começam a se afastar da interface. Quando não há mais portadores acumulados, diz-se que  $V_{GS}$  atingiu a tensão de faixa plana. Com  $V_{GS}$  mais positivo que  $V_{FB}$ , os portadores majoritários continuam a se afastar da superfície da camada do silício. Diz-se que o transistor está em depleção, onde as cargas móveis positivas são afastadas da superfície. Como não há concentração suficiente de portadores livres negativos entre dreno e fonte, ainda não há passagem de corrente. Quando  $V_{GS}$  passa a atrair portadores minoritários para a interface, o dispositivo se encontra no limiar da inversão (inversão fraca). Quando o potencial de superfície no silício atinge o dobro do potencial de Fermi, a profundidade de depleção atinge a profundidade máxima de depleção ( $d_{máx}$ ), há formação de um canal de portadores minoritários entre dreno e fonte e diz-se que o dispositivo atingiu o regime de inversão. A tensão aplicada à porta necessária para que este potencial seja atingido é denominada tensão de limiar [29].

Os SOI MOSFETs podem ser categorizados de acordo com a espessura da camada de silício em comparação com a profundidade da depleção na região ativa do silício. A máxima profundidade de depleção do silício é um parâmetro que depende da concentração de dopantes no canal e na permissividade eletrônica do material. Para o silício com dopantes tipo P, pode ser definida pela equação (1), onde  $\epsilon_{Si}$  é a permissividade elétrica do silício,  $q$  é a carga fundamental do elétron e  $N_A$  é a concentração de impurezas aceitadoras [30].

$$d_{\text{máx}} = \sqrt{\frac{4 \cdot \epsilon_{\text{Si}} \cdot \Phi_{\text{F}}}{q \cdot N_{\text{A}}}} \quad (1)$$

Em um transistor SOI, caso  $t_{\text{Si}} > 2 \cdot d_{\text{máx}}$ , a depleção máxima nunca ocupará totalmente a região ativa do silício e o transistor é classificado como parcialmente depletado (*Partially Depleted* – PD). Para  $t_{\text{Si}} < d_{\text{máx}}$ , o transistor é classificado como totalmente depletado (*Fully Depleted* – FD), pois a região ativa do silício estará completamente depletada quando o dispositivo atingir a tensão de limiar. Se  $d_{\text{máx}} < t_{\text{Si}} < 2 \cdot d_{\text{máx}}$ , o transistor poderá se comportar como totalmente depletado ou parcialmente depletado, dependendo da tensão aplicada ao substrato, caracterizando um transistor quase totalmente depletado (*Near Fully Depleted* – NFD). A Figura 4 apresenta os diagramas de energia de PD SOI nMOSFETs (a) e FD (b) polarizados no regime de inversão para comparação [29].

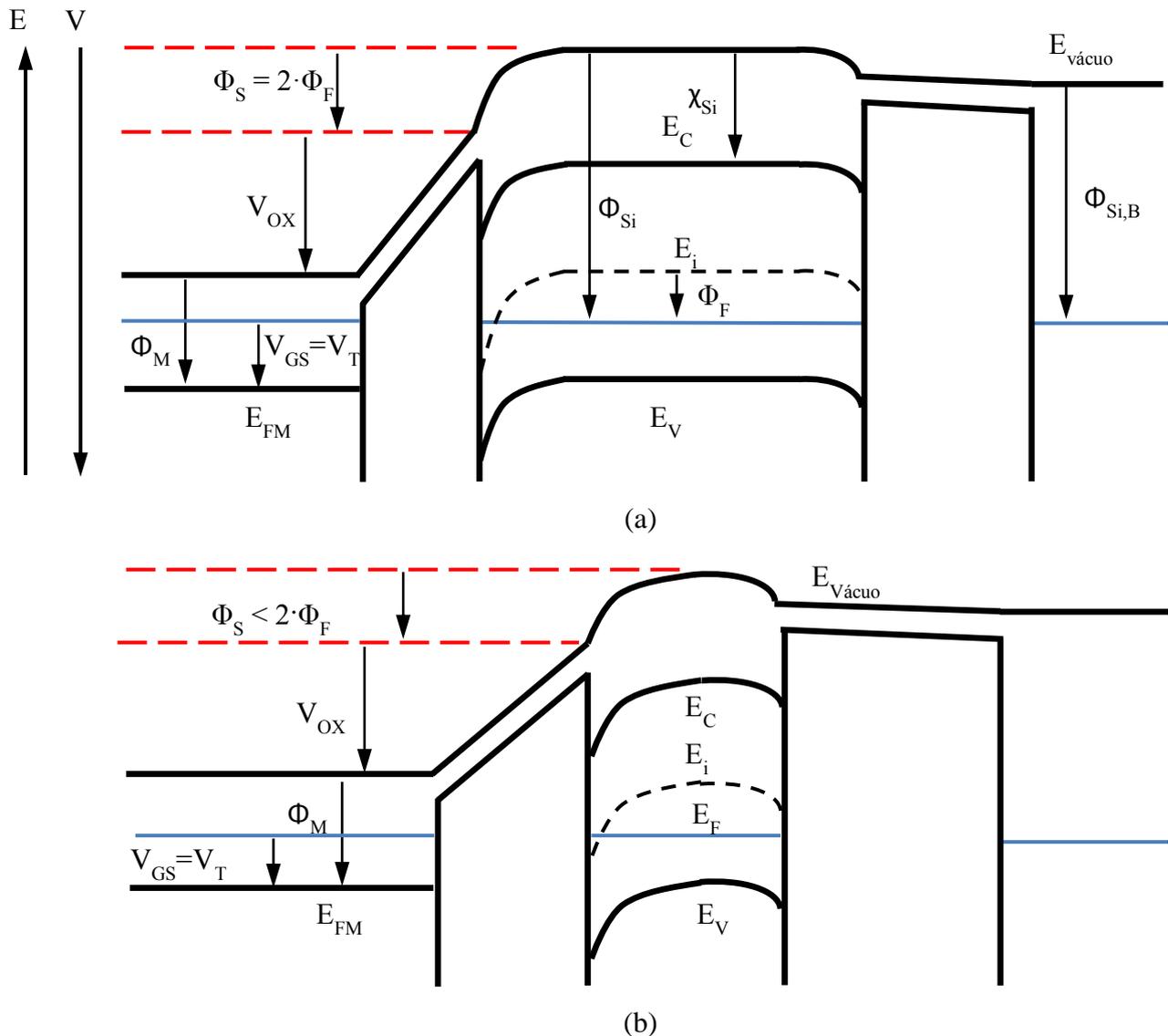


Figura 4 – Exemplo de diagrama de bandas de energia de transistores SOI PD (a) e FD (b).

Os PD SOI MOSFETs são aqueles mais próximos da tecnologia MOS convencional, principalmente quando um contato de corpo é adicionado à região neutra do silício, ou seja, a região entre o canal e o óxido enterrado. Graças a esta semelhança, os transistores SOI fabricados em camada espessa foram os primeiros a receber aplicações industriais [31,32], já que apresentavam reduzidas capacitâncias de junção quando comparados com os MOS convencionais [33]. Dispositivos PD que não possuem contato de corpo, no entanto, podem apresentar efeitos de corpo flutuante [34]. Transistores totalmente depletados fornecem maior mobilidade de baixo campo [35], melhor inclinação de sublimiar [36], bem como reduzidos efeitos de canal curto [37], entre outras.

Analisando a influência de  $V_{DS}$ , com  $V_{GS}$  maior que  $V_T$ , se distinguem dois modos de condução de corrente. Em triodo, o transistor tem polarização entre dreno e fonte menor que a sobretensão de porta ( $V_{GT}$ , diferença entre  $V_{GS}$  e  $V_T$ ), o que garante a formação do canal por toda sua extensão. Quando  $V_{DS}$  é maior que  $V_{GT}$ , a tensão na porta não é mais suficiente para manter a inversão na proximidade do dreno e ocorre o pinçamento do canal (*pinch-off*), o transistor opera em saturação. Para tensões de dreno maiores, efeitos de degradação decorrentes do maior campo elétrico longitudinal passam a acontecer [38], sendo o comportamento da corrente de dreno mais bem explicado na seção 2.2.1.

SOI nMOSFETs apresentam grande influência da polarização do substrato, pois ela pode acumular, depletar ou até inverter o canal. A variação da concentração de cargas na segunda interface pode associar ou não uma capacitância em série ao óxido enterrado, modificando o acoplamento capacitivo ( $\alpha$ ) e, portanto, o fator de corpo ( $n$ ) e tensão de limiar, o que fica conhecido como efeito de corpo.

As equações (2) e (3) descrevem, de maneira simplificada, o comportamento da corrente de dreno ( $I_{DS}$ ) em triodo e saturação, respectivamente, para nMOSFETs em geral [39].

$$I_{DS} \cong \frac{\mu_n \cdot W \cdot C_{oxf}}{L} \cdot \left[ (V_{GS} - V_T) \cdot V_{DS} - n \cdot \left( \frac{V_{DS}^2}{2} \right) \right] \quad (2)$$

$$I_{DS} \cong \frac{\mu_n \cdot C_{oxf} \cdot W}{L} \cdot \frac{(V_{GS} - V_T)^2}{2 \cdot n} \quad (3)$$

Onde  $\mu_n$  é a mobilidade dos elétrons e  $C_{oxf}$  é a capacitância do óxido de porta por unidade de área. O fator de corpo, por sua vez, é diferente para cada polarização da interface

inferior. As equações (4), (5) e (6) se referem ao fator de corpo para SOI nMOSFETs FD com a interface inferior acumulada ( $n_{b,acc}$ ), depletada ( $n_{b,depl}$ ) e SOI PD ( $n_{SOI PD}$ ).

$$n_{b,acc} = 1 + \frac{C_{Si}}{C_{oxf}} \quad (4)$$

$$n_{b,depl} = 1 + \frac{C_{Si} \cdot C_{oxb}}{C_{oxf} \cdot (C_{Si} + C_{oxb})} \quad (5)$$

$$n_{SOI PD} = \frac{C_{depl}}{C_{oxf}} \quad (6)$$

Onde  $C_{Si}$  é a capacitância da camada de silício por unidade de área,  $C_{oxb}$  é a capacitância do óxido enterrado por unidade de área e  $C_{depl}$  é a capacitância da região de depleção provocada pela polarização de porta. Nota-se que o dispositivo FD com a segunda interface totalmente depletada proporciona menor fator de corpo, indicando que possui melhor capacidade de fornecimento de corrente, o que é de grande importância em aplicações onde a fonte dos transistores não é diretamente conectada ao terra, como circuitos que possuem pares diferenciais e nMOSFETs de carga [3]. Diversos benefícios podem ser citados para aplicações analógicas de SOI MOSFETs [40], dentre eles a reduzida condutância de dreno [28], ligada ao melhor controle da tensão de porta sobre as cargas móveis no canal, e melhor transcondutância [35].

## 2.2. Parâmetros Analógicos

### 2.2.1. Transcondutância e Razão Transcondutância pela Corrente de Dreno

A transcondutância ( $g_m$ ) é um parâmetro que relaciona a tensão de entrada (aplicada à porta) com a corrente de saída. Ela é definida como a derivada da curva  $I_{DS}$  em função de  $V_{GS}$  [29]. Além disso, a curva da transcondutância também se relaciona diretamente à mobilidade dos portadores, que é dependente do campo elétrico transversal, resultante da tensão de porta. A transcondutância em saturação para dispositivos totalmente depletados pode ser descrita pela derivada da corrente em saturação, como visto na equação (3), em função da tensão de porta (ou  $\frac{dI_{DS,sat}}{dV_{GS}}$ ), conforme mostrado na equação (7) [39].

$$g_{m,sat} = \frac{\mu \cdot C_{oxf}}{n} \cdot \frac{W}{L} \cdot (V_{GS} - V_T) \quad (7)$$

Já a razão transcondutância pela corrente de dreno ( $g_m/I_{DS}$ ) permite quantificar a eficiência de um transistor, já que a amplificação gerada (neste caso, representada por  $g_m$ ) é dividida pela energia necessária para se obter esta amplificação (neste caso, a corrente de

dreno). Ao traçar a curva  $g_m/I_{DS}$  em função da corrente de dreno normalizada ( $I_{DS}/(W/L)$ ), como pode ser visto na Figura 5, é possível estabelecer distinções claras entre os modos de operação de um MOSFET (inversão fraca, moderada e forte). Esta curva é de grande importância no projeto de circuitos integrados analógicos, pois relaciona o ganho de tensão à corrente de dreno de maneira dependente da tecnologia dos dispositivos e independente as suas dimensões [41].

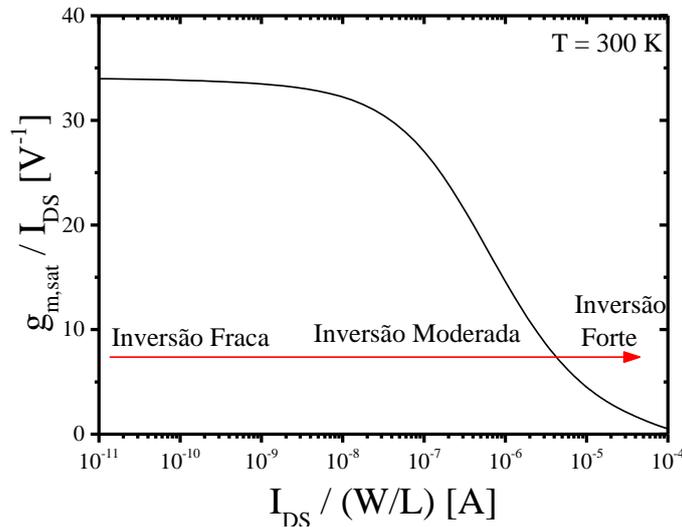


Figura 5 – Exemplo da curva  $g_m/I_{DS}$  em função da corrente de dreno normalizada

O comportamento da razão entre transcondutância e corrente de dreno pode ser definido, em inversão fraca, pela equação (8) [42].

$$\frac{g_m}{I_{DS}} = \frac{q}{n \cdot k \cdot T} \quad (8)$$

Onde  $k$  é a constante de Boltzmann e  $T$  é a temperatura em Kelvin. Já em inversão forte, a razão  $g_m/I_{DS}$  reduz, passando a ser descrita pela equação (9) [27].

$$\frac{g_m}{I_{DS}} = \sqrt{\frac{2 \cdot \mu \cdot C_{oxf} \cdot \frac{W}{L}}{n \cdot I_{DS}}} \quad (9)$$

### 2.2.2. Condutância de Dreno e Tensão Early

A condutância de dreno e a tensão Early ( $V_{EA}$ ) são parâmetros de grande importância para dispositivos em aplicações de CIs, já que ambos indicam o aumento da influência da tensão aplicada ao dreno conforme  $V_{DS}$  sobre as cargas do canal, conforme ela é incrementada além da tensão de saturação ( $V_{DS,sat} = V_{GS} - V_T$ ). O maior campo elétrico próximo ao dreno provoca um efeito chamado modulação do comprimento de canal [3], no qual o aumento de

$V_D$  estende a depleção de cargas ao redor do dreno. Isto influencia significativamente o comportamento da corrente de dreno, evitando a formação do canal de inversão nesta região e fazendo com que haja redução do comprimento efetivo do canal, como ilustrado na Figura 6, onde  $L_{\text{Eff}}$  corresponde ao comprimento efetivo do canal e  $\Delta L$  corresponde ao comprimento do canal controlado pela depleção de dreno. Em canais mais curtos, a diferença  $\Delta L$  se torna mais significativo.

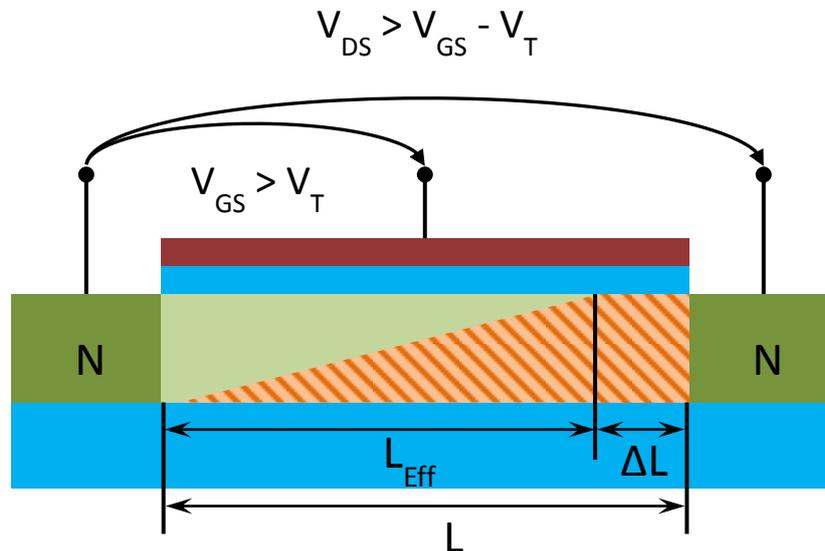


Figura 6 – Esquema do efeito de modulação de canal em um SOI nMOSFET.

Como resultado, a corrente de dreno em função de  $V_{DS}$  passa a apresentar uma inclinação na região de saturação. Assim, é possível definir a tensão Early como uma tensão negativa encontrada ao prolongar a reta da corrente de dreno em saturação ( $I'_{DS,\text{Sat}}$ ) em função de  $V_{DS}$ , como exemplificado na Figura 7 [43].

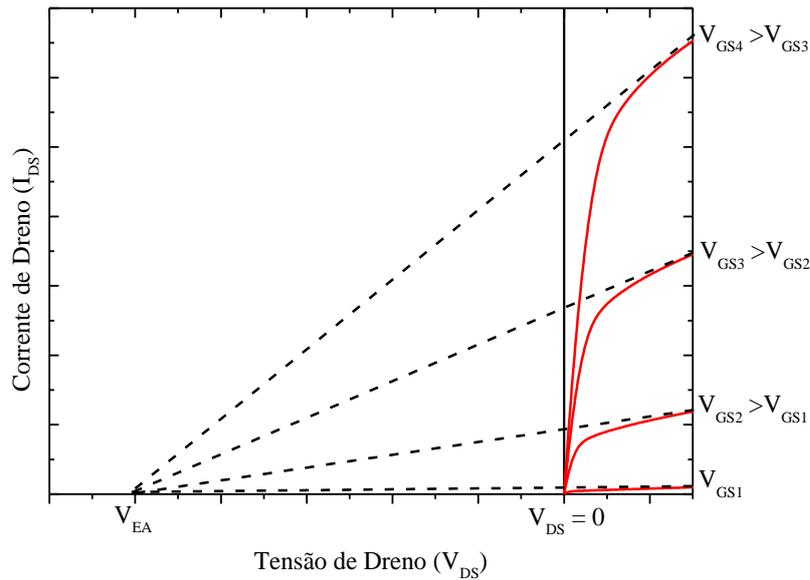


Figura 7 – Representação da extração da tensão Early.

Idealmente, a tensão Early tenderia a infinito e a condutância de dreno se aproximaria a zero. No entanto, devido ao efeito de modulação de canal, tem-se que  $g_D$  se relaciona a  $V_{EA}$  conforme a equação (10) [29].

$$g_D = \frac{dI'_{D,sat}}{dV_{DS}} = \frac{I_{DS,Sat}}{V_{EA} + V_{DS,Sat}} \cong \frac{I_{DS,Sat}}{V_{EA}} \quad (10)$$

Onde  $I_{DS,Sat}$  corresponde à corrente de dreno obtida quando a polarização entre dreno e fonte corresponde a  $V_{DS,Sat}$ . A inclinação de  $I_{DS}$  em saturação também se relaciona com a resistência de canal ( $R_{CH}$ ) do transistor. Esta resistência pode ser definida como a resistência responsável pela variação de corrente além das resistências de dreno ( $R_D$ ) e fonte ( $R_S$ ), como mostrado na equação (11) [29].

$$\frac{1}{g'_D} = \frac{1}{g_D} + R_S + R_D = R_{ON} + R_S + R_D \quad (11)$$

Onde  $g'_D$  é a condutância efetiva. A condutância de dreno, portanto, pode ser extraída através da derivada da curva  $I_{DS}$  em função de  $V_{DS}$ , como mostrado na equação (12), onde  $\lambda$  é um parâmetro que inclui a dependência da corrente de dreno em saturação pela tensão de dreno [3].

$$g_D = \frac{\mu \cdot C_{oxf}}{2 \cdot n} \cdot \frac{W}{L} \cdot (V_{GS} - V_T)^2 \cdot \lambda \quad (12)$$

A condutância de dreno também é degradada por outros efeitos. Dentre eles é possível citar o efeito de autoaquecimento [44], comumente presente em SOI MOSFETs, por conta da

pobre dissipação de calor proporcionada pelo óxido enterrado, e em transistores *Bulk*, sendo mais pronunciado quando operando em baixas temperaturas [45,46,47]. Este efeito é caracterizado pela geração de energia térmica devido ao efeito Joule, decorrente da passagem de corrente pelo dispositivo. Por ser desencadeado pelo simples funcionamento do dispositivo, este efeito é considerado autogerado. Como será visto posteriormente neste trabalho, o acréscimo da temperatura causa degradação da mobilidade e, portanto, redução em  $I_{DS}$ . Caso o calor não seja suficientemente dissipado, o autoaquecimento pode provocar decréscimo em  $I_{DS}$  a ponto de tornar  $g_D$  negativa, impossibilitando o uso do dispositivo em aplicações analógicas de circuitos integrados .

Também é possível citar como degradação o efeito Kink [3], no qual o dispositivo sofre um abrupto aumento de corrente a partir de certa polarização de dreno, após ter atingido a saturação. Isto, em tecnologia *Bulk* e PD SOI MOSFETs, é resultado do acúmulo de portadores positivos gerados por ionização por impacto no corpo do transistor, aumentando o potencial do substrato até que a junção fonte/canal seja diretamente polarizada, o que permite a passagem de uma nova parcela da corrente de dreno por esta região e reduz a tensão de limiar. Com a redução de  $V_T$  e como a polarização de porta permanece a mesma, há aumento de  $V_{GT}$ , provocando a elevação característica de  $I_{DS}$ . Por conta da mudança em  $V_T$ , polarizar um dispositivo na região onde ocorre este efeito não é interessante para aplicações analógicas de circuitos integrados.

Ambos os fenômenos podem ser observados no comportamento da curva  $I_{DS}$  em função da tensão de dreno, que é apresentada na Figura 8.

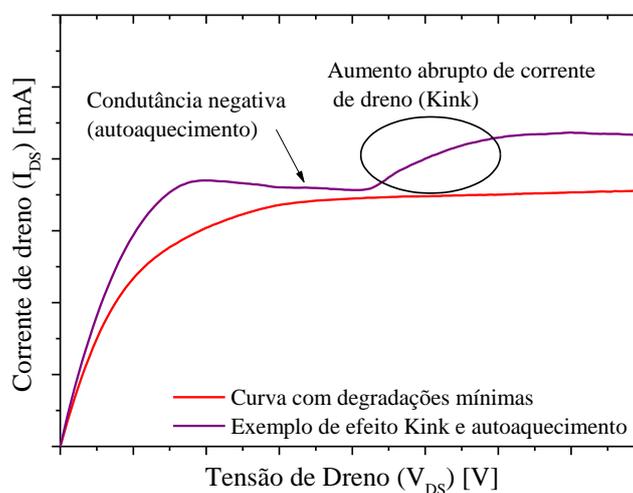


Figura 8 – Curva esquemática representando as degradações do efeito Kink e de autoaquecimento em uma curva  $I_{DS}$  vs.  $V_{DS}$ .

### 2.2.3. Ganho de Tensão

O ganho de intrínseco de tensão ( $A_V$ ) pode ser definido como o ganho de tensão proporcionado por um único dispositivo, configurado de acordo com o esquema elétrico da Figura 9. Neste circuito, a corrente de polarização ( $I_{bias}$ ) fixa o ponto de polarização do dispositivo, de modo que a parcela alternada da tensão de porta ( $v_{gs}$ ), que compõe a tensão de entrada ( $V_{IN}$ ) é amplificada, provocando uma resposta da tensão de saída ( $V_{OUT}$ ) composta por uma parcela alternada de tensão de dreno ( $v_{ds}$ ) [41].

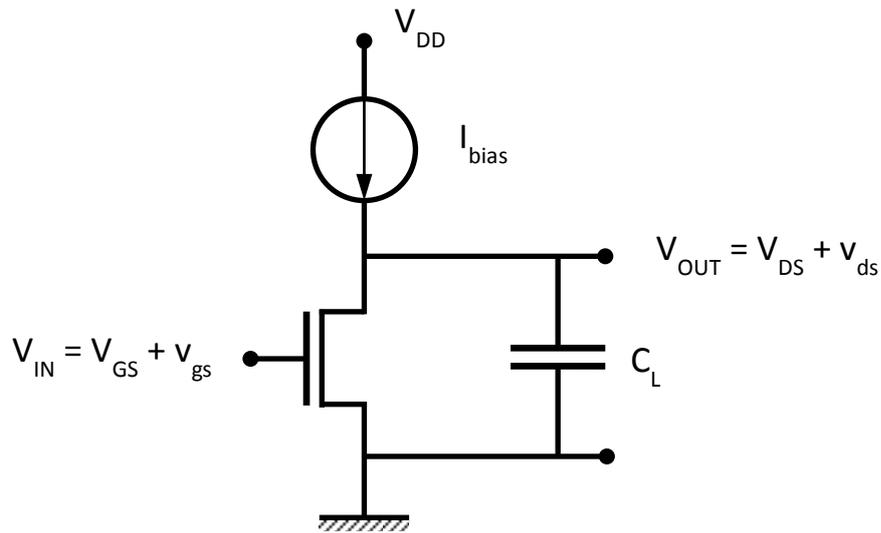


Figura 9 – Esquema do amplificador de tensão com um único transistor.

Onde  $V_{DD}$  é a tensão de alimentação do sistema e  $C_L$  é a capacitância de carga. O ganho de tensão pode ser definido como na equação (13). O ganho de tensão é então degradado por altos  $g_D$  e baixas tensões Early, enquanto o aumento da razão  $g_m/I_{DS}$  para um mesmo  $I_{DS}$  e  $g_m$  resultam em  $A_V$  mais alto.

$$A_V = \frac{g_m}{g_D} = \frac{g_m}{I_{DS}} \cdot |V_{EA}| \quad (13)$$

### 2.2.4. Distorção Harmônica

A linearidade é um parâmetro quantificado pela distorção harmônica que ocorre ao aplicar-se um sinal AC à porta de um transistor. Essencialmente, a distorção harmônica se refere à amplitude das harmônicas que se somam à parcela fundamental do sinal de saída de um circuito. Ela é intrínseca aos MOSFETs, pois  $I_{DS}$  tem relação não linear com a entrada, dependendo do quadrado da sobretensão de porta, como visto na equação (3). Para aplicações

analógicas de circuitos integrados, é interessante que o sinal de saída apresente uma desprezível influência das harmônicas de ordem superior à fundamental [48]. Na Figura 10 é exibido um esquema elétrico que ilustra a definição da distorção harmônica, onde  $V_a$  é a amplitude do sinal de entrada,  $\omega$  é a frequência angular,  $t$  é o instante de tempo e  $I_{DS0}$  é a amplitude do sinal fundamental e  $I_{DSi}$  ( $2 \leq i \leq I$ , onde  $I$  corresponde à  $I$ -ésima harmônica que um sinal de saída pode apresentar) são as amplitudes das harmônicas não-fundamentais.

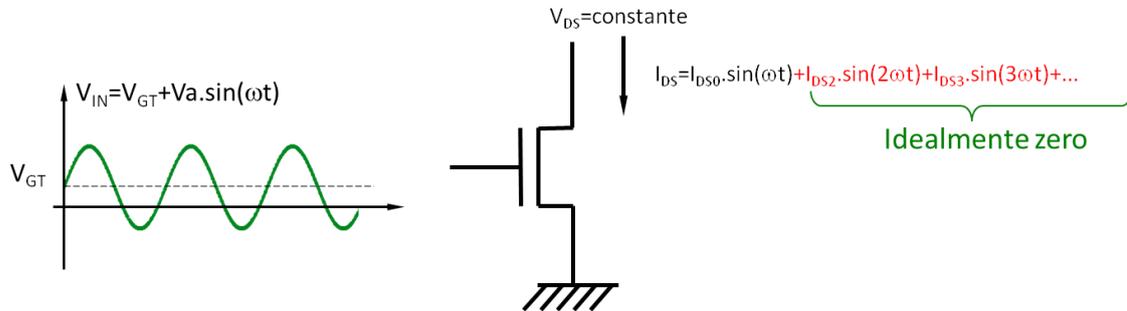


Figura 10 – Esquema elétrico representando a distorção harmônica provocada a partir de um sinal de entrada em um transistor.

Neste trabalho, as figuras de mérito utilizadas para analisar a linearidade consistem na distorção harmônica de segunda ordem (*Second Order Harmonic Distortion* – HD2) e na distorção harmônica de terceira ordem (*Third Order Harmonic Distortion* – HD3), que corresponde ao primeiro harmônico de ordem ímpar, importante, por exemplo, em circuitos balanceados que suprimam os harmônicos de ordem par [49]. A distorção harmônica de segunda ordem é utilizada como parâmetro principal por ser aproximadamente equivalente à distorção harmônica total (*Total Harmonic Distortion* – THD) em diversas aplicações onde o dispositivo é submetido a baixas amplitudes de sinal de entrada ( $V_a$ ) [26]. Para o cálculo destes parâmetros foi utilizado o método da função integral (*Integral Function Method* – IFM) [49], que permite dispensar a caracterização AC de um dispositivo e adiciona os efeitos de um sinal alternado nas próprias curvas DC do transistor. HD2 pode ser descrita conforme a equação (14).

$$HD2 = \frac{1}{2} \cdot V_a \cdot \frac{dg_m}{dV_{GT}} \cdot \frac{1}{2g_m} \quad (14)$$

No entanto, para estabelecer análises melhores em alguns casos, é importante que a distorção harmônica seja normalizada pelo ganho de tensão. Ficamos então com a equação (15).

$$\frac{HD2}{A_V} = \frac{HD2}{\frac{g_m}{g_D}} = \frac{1}{2} \cdot V_a \cdot \frac{dg_m}{2 \cdot g_m^2} \cdot g_D \quad (15)$$

Ou seja, para explicar fisicamente a distorção harmônica, vemos que ela se relaciona diretamente com a mobilidade do dispositivo através da transcondutância. No entanto, em diferentes polarizações de porta, o comportamento da distorção harmônica é governado por diferentes características, podendo citar notoriamente o fator de corpo, a resistência série e o coeficiente de degradação da mobilidade. Para valores de  $V_{GT}$  mais baixos, é conhecido que HD3 é dominada pelo efeito de corpo [50], enquanto a degradação da mobilidade é responsável pelo seu comportamento conforme  $V_{GT}$  aumenta [26,50]. Em geral, o encontro destes dois fenômenos é uma das causas de picos de linearidade, principalmente se tratando da terceira harmônica. Para HD2, no entanto, a resistência série se mostra mais influente que  $n$ , sendo melhores resultados obtidos para maiores  $R_S$  [51].

O estudo da linearidade foi obtido mantendo-se constantes diferentes condições de polarização de entrada e saída do transistor, através da aplicação do IFM nas curvas características de  $I_{DS}$  em função de  $V_{GS}$  e  $V_{DS}$ , tanto para simulações quanto para resultados experimentais.

### 2.3. Associação Série Simétrica

Apesar das vantagens do uso de SOI MOSFETs, a necessidade de confecção de circuitos integrados analógicos complexos torna alguns efeitos comuns do funcionamento de MOSFETs cada vez mais significativos. Dentre eles é possível citar o efeito da modulação de comprimento do canal, que resulta em condutância de dreno mais elevada. A solução mais direta para este problema é o uso de transistores longos, tornando a parcela da região de depleção próxima ao dreno menos relevante em comparação ao comprimento do canal do dispositivo. Entretanto, este método provoca reduzida transcondutância e prejudica outros parâmetros dela dependentes, como a frequência de ganho unitário [11].

A associação série simétrica (S-SC) [15] é um meio comum para contornar esta situação [52], [14], onde dois transistores com dopagens de canal semelhantes são conectados em série (dreno de MS conectado à fonte de MD), com as portas curto-circuitadas, como mostra a Figura 11.

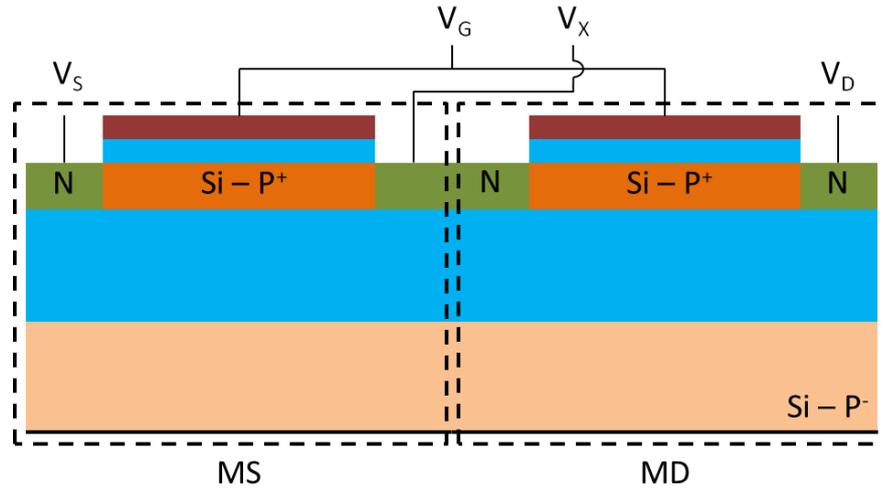


Figura 11 – Perfil transversal de uma associação série simétrica.

Onde  $V_X$  corresponde ao contato central entre os dois transistores das associações série. Esta estrutura proporciona os benefícios de um transistor único de canal longo, reduzindo assim a modulação do comprimento do canal [15]. Quando projetada com dimensões adequadas (razões  $W/L$  de MS e MD), a estrutura S-SC proporciona características analógicas melhores que aquelas observadas se MS operasse sozinho ou se fosse utilizado um MOSFET de  $L$  igual à soma do comprimento de canal de MS ( $L_{MS}$ ) e do comprimento de canal de MD ( $L_{MD}$ ) [53]. Isto ocorre, pois o transistor MD limita os efeitos da região de depleção próxima ao dreno, permitindo menos degradação na operação do transistor MS. Como MD tem principalmente a função de conter os efeitos negativos da polarização de dreno, MS será mais importante no comportamento da estrutura S-SC, permitindo que alguns benefícios da operação de transistores mais curtos sejam aproveitados para o uso em aplicações analógicas [13]. É possível citar, por exemplo, que a frequência de ganho de tensão unitário (inversamente proporcional ao comprimento do canal [11]) é melhor em dispositivos S-SC, como pode ser visto na equação (16).

$$f_T = \frac{g_m}{2 \cdot \pi \cdot C_{gs}} \quad (16)$$

Onde  $C_{gs}$  é a capacitância de porta ( $C_{gs} = C_{oxf} \cdot W \cdot L$ ). Inicialmente, esta estrutura foi proposta para PD SOI MOSFETs com o intuito de melhorar o efeito Kink inclusive em temperaturas muito baixas [15]. A S-SC também traz a vantagem de aumentar a tensão de ruptura, pois os portadores gerados por ionização por impacto devem atravessar uma região altamente dopada para compor a corrente de dreno, o que reduz seus tempos de vida [54].

## 2.4. Associação Série Assimétrica

Com o intuito de proporcionar ainda melhor condutância de dreno, recentemente foi proposto que o MOSFET MD tivesse seu canal fracamente dopado, reduzindo assim o pico de campo elétrico próximo ao dreno [17]. A estrutura da associação série assimétrica é apresentada na Figura 12.

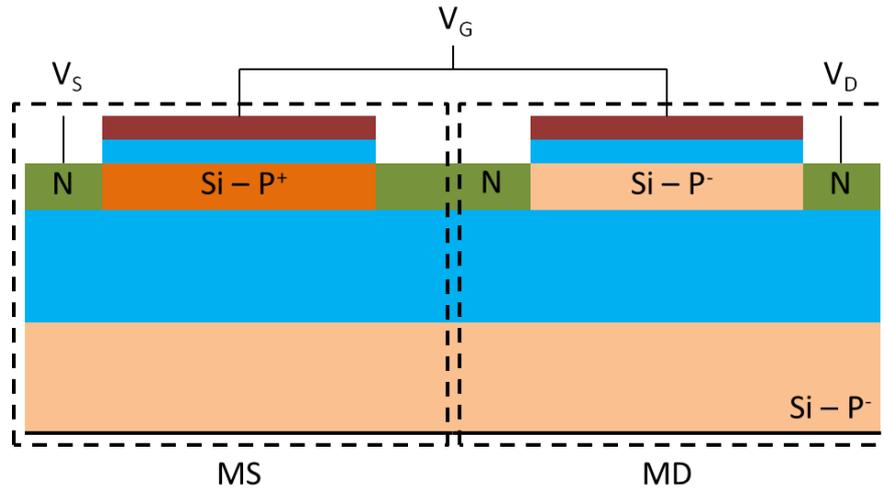


Figura 12 – Perfil transversal da associação série assimétrica.

A redução da concentração de dopantes do canal do transistor próximo ao dreno proporciona, além dos benefícios da S-SC, redução da geração de portadores por ionização por impacto [17]. Assim, a A-SC promove melhor condutância de dreno e tensão de ruptura [17]. É interessante ressaltar que, caso seja utilizada a concentração de portadores intrínseca da lâmina no transistor MD, o processo de fabricação não necessitará de implantações iônicas adicionais, preservando o custo do dispositivo.

O transistor MD da associação assimétrica, devido à fraca concentração de dopantes, possui tensão de limiar negativa, tornando a  $V_T$  do transistor MS predominante [18]. Em geral, a tensão de limiar da associação inteira tende à tensão de limiar de MS [17]. Na operação da associação A-SC, a tensão de porta pode ser suficiente para que MD conduza em inversão forte, mas não MS. Neste caso, MD se torna uma extensão da região de dreno, promovendo uma redução do comprimento efetivo do canal da estrutura para aproximadamente o comprimento de canal de MS ( $L_{MS}$ ). Conforme  $V_{GS}$  aumenta, MS também atinge a inversão forte, podendo-se apontar duas tensões de saturação na curva  $I_{DS}$  em função de  $V_{DS}$ , pouco visíveis sem alterações, mas claramente presentes quando se usa métodos de extração da tensão de saturação como, por exemplo, o referenciado em [55]. Deste ponto em diante, o transistor MD da A-SC absorve o aumento de  $V_{DS}$ , promovendo menor  $g_D$  e maior resistência

de saída ( $R_{OUT}$ ) [17]. Dentre as vantagens da associação assimétrica sobre a simétrica também é possível citar maior nível de corrente de dreno para estruturas A-SC em relação a S-SC de dimensões semelhantes e maior  $f_T$  [17].

Na literatura, comparando um SOI nMOSFET único a uma A-SC, é reportado que a frequência de corte é cerca de 25% maior para o SOI nMOSFET simples, mas o aumento do ganho de tensão chega a 85,3% para a A-SC [17].

A estrutura A-SC também pode ser comparada com transistores SOI de canal gradual (GC), que apresentam canal com duas concentrações de dopantes diferentes: a mais forte próxima à fonte e a mais fraca próxima ao dreno. Segundo a referência [23], dispositivos das duas tecnologias apresentam corrente de dreno similar, mas transistores GC exibem condutância de dreno reduzida em comparação à associação assimétrica, enquanto a A-SC apresenta maior tensão de ruptura. As vantagens do ponto de vista analógico de uma tecnologia sobre a outra se apresentam em pontos de polarização diferentes, no entanto, sendo a associação mais interessante em inversão fraca [23]. Além disso, caso seja necessário o uso de um transistor GC curto demais, a fabricação de um canal dividido pode se tornar complexa de maneira proibitiva. Uma maneira de abordar tal situação seria optar pelo uso de uma estrutura A-SC.

## 2.5. Efeitos da Temperatura

A tecnologia SOI, por conta da presença do óxido enterrado, apresenta alguns benefícios interessantes para aplicações em ambientes extremos. Por exemplo, quando submetidos à radiação, o fato do corpo do transistor estar isolado da região ativa de silício faz com que uma quantidade de portadores gerados consideravelmente menor que em dispositivos MOS convencionais afete a corrente de dreno [3]. Porém, muitas vezes, ambientes extremos significam grandes variações de temperatura, sejam elas muito baixas ou muito altas. No caso de aplicações aeroespaciais de circuitos integrados [8], além dos efeitos da radiação, os dispositivos são submetidos a temperaturas menores que 100K. Também é possível citar aplicações para controle da geração de energia nuclear [9], que apresentam altíssimas temperaturas. É conhecido que dispositivos de tecnologia *Bulk* convencional apresentam temperatura máxima de operação consideravelmente menor que dispositivos SOI [56,57].

A temperatura exerce grande influência sobre várias características importantes de SOI MOSFETs. Nesta seção são explicados os parâmetros mais significativos do ponto de vista analógico.

Uma grande influência que a variação da energia térmica proporciona em um material semiconductor ocorre na densidade de portadores intrínsecos e na ionização parcial de dopantes. A concentração intrínseca de portadores [24] é descrita conforme a equação (17).

$$n_i = \sqrt{N_V \cdot N_C} \cdot e^{\frac{-E_g}{k \cdot T}} \quad (17)$$

Onde  $E_g$  é a largura da banda proibida e  $N_C$  e  $N_V$  correspondem respectivamente à densidade de estados na banda de condução e valência e podem ser descritos pelas equações (18) e (19).

$$N_C = 2 \cdot \left( \frac{2 \cdot \pi \cdot m_{de}^* \cdot m_0 \cdot k \cdot T}{h^2} \right)^{3/2} \quad (18)$$

$$N_V = 2 \cdot \left( \frac{2 \cdot \pi \cdot m_{dh}^* \cdot m_0 \cdot k \cdot T}{h^2} \right)^{3/2} \quad (19)$$

Onde  $m_{dh}^*$  e  $m_{de}^*$  correspondem respectivamente às massas efetivas de densidade de estados para lacunas e elétrons [24],  $m_0$  é a massa do elétron, e  $h$  é a constante de Planck. A largura da banda proibida é um parâmetro que mostra um comportamento dependente da temperatura [58], decaindo com seu aumento conforme mostrado na equação (20). Estes cálculos foram efetuados e a curva da largura da banda proibida em função da temperatura está representada na Figura 13.

$$E_g = 1,169 - \frac{4,9 \times 10^{-4} \cdot T^2}{655 + T} \quad (20)$$

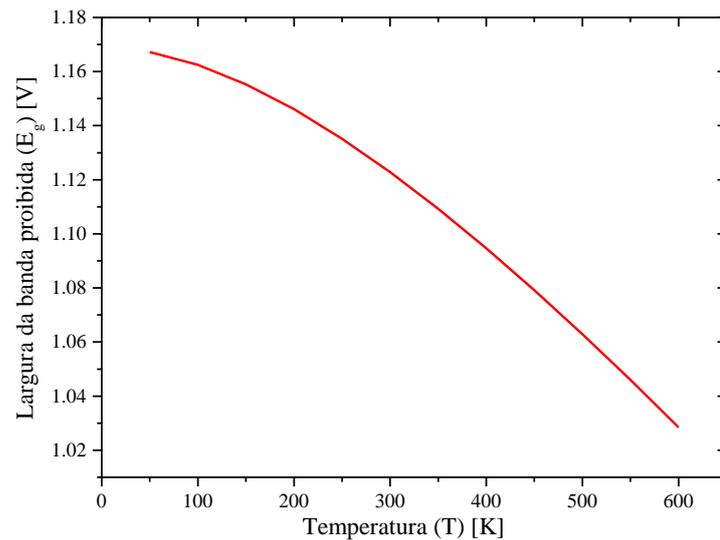


Figura 13 – Exemplo do comportamento da largura da banda proibida em função da temperatura.

Com esta combinação de características, tem-se que  $n_i$  reduz com a redução da temperatura. A partir de cálculos realizados com as equações apresentadas foi possível exibir, na Figura 14, um exemplo do comportamento da concentração intrínseca de portadores em função da temperatura.

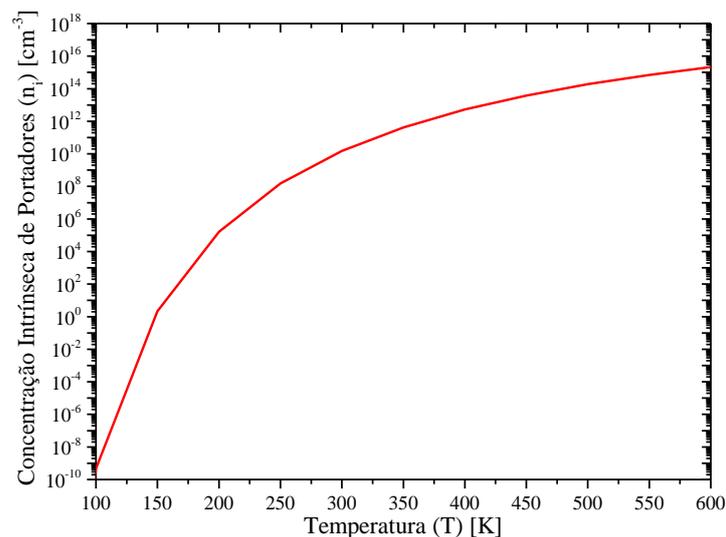


Figura 14 – Exemplo do comportamento da concentração intrínseca de portadores em função da temperatura.

É interessante notar que a concentração intrínseca de portadores no caso do silício extrínseco atinge grandezas maiores de  $10^{15} \text{ cm}^{-3}$ . Em temperaturas muito altas, a concentração intrínseca atinge este valor e passa a ser característica muito influente no comportamento do semiconductor. Em temperaturas muito baixas, a falta de energia térmica faz com que as impurezas sejam parcialmente ionizadas. Então, por conta das diferentes concentrações de dopantes dos transistores que compõe a associação série assimétrica, pode-

se concluir que estes transistores serão influenciados em intensidade diferente com a variação da temperatura.

### 2.5.1. Tensão de Limiar e Inclinação de Sublimiar

A tensão de limiar de FD SOI MOSFETs [29,59] pode ser descrita, respectivamente para a segunda interface em inversão ( $V_{T,binv}$ ), em acumulação ( $V_{T,bacc}$ ) e em depleção ( $V_{T,bdepl}$ ), conforme as equações (21), (22) e (23).

$$V_{T,binv} = \Phi_M - \chi_{Si} - \frac{E_g}{2 \cdot q} - \Phi_F - \frac{Q_{oxf}}{C_{oxf}} + 2 \cdot \Phi_F - \frac{q \cdot N_A \cdot t_{Si}}{2 \cdot C_{oxf}} \quad (21)$$

$$V_{T,bacc} = \Phi_M - \chi_{Si} - \frac{E_g}{2 \cdot q} - \Phi_F - \frac{Q_{oxf}}{C_{oxf}} + \left(1 + \frac{C_{Si}}{C_{oxf}}\right) \cdot 2 \cdot \Phi_F - \frac{q \cdot N_A \cdot t_{Si}}{2 \cdot C_{oxf}} \quad (22)$$

$$V_{T,bdepl} = V_{T,bacc} - \frac{C_{Si} \cdot C_{oxb}}{C_{oxf}(C_{Si} + C_{oxb})} \cdot (V_B - V_{B,bacc}) \quad (23)$$

Onde  $Q_{oxf}$  é a densidade de cargas fixas no óxido de porta por unidade de área,  $Q_{depl}$  é a densidade de cargas do canal depletadas e  $V_{B,bacc}$  é a polarização de substrato necessária para que a interface inferior esteja no limiar da acumulação. O potencial de Fermi, por sua vez, pode ser definido como na equação (24).

$$\Phi_F = \frac{k \cdot T}{q} \cdot \ln\left(\frac{N_A}{n_i}\right) \quad (24)$$

O potencial de Fermi, além de depender diretamente da temperatura, também possui uma dependência inversa por  $n_i$  em uma função logarítmica natural e, como resultado, decresce com o aumento da temperatura. Este comportamento, junto ao comportamento de  $E_g$  e  $N_A$ , resulta na redução da tensão de limiar conforme a temperatura aumenta. Em MOSFETs convencionais e SOI PD, a variação da tensão de limiar em função da temperatura pode ser dada pela equação (25) [29].

$$\frac{dV_T}{dT} = \frac{d\Phi_F}{dT} \cdot \left[ 1 + \alpha_{V_T} \cdot \frac{q}{C_{oxf}} \cdot \left( \frac{\epsilon_{Si} \cdot N_A}{k \cdot T \cdot \ln(N_A/n_i)} \right)^{\frac{1}{2}} + \frac{q \cdot N_{itf}}{C_{oxf}} \right] \quad (25)$$

Onde  $N_{itf}$  é a densidade de armadilhas de interface na primeira interface e  $\alpha_{V_T} = 1$ . No caso de dispositivos FD, a carga de depleção é função da espessura do silício e  $\alpha_{V_T} = 0$  [3], indicando que há maior variação de  $V_T$  com a temperatura em tecnologia MOS convencional e SOI PD que em SOI FD [60].

A inclinação de sublimiar, ou inverso da inclinação de sublimiar [29], consiste na variação de tensão aplicada à porta para que a corrente de dreno aumente em uma década. Ela pode ser descrita pela equação (26).

$$S = \frac{k \cdot T}{q} \cdot \ln(10) \cdot n \quad (26)$$

Como este parâmetro está relacionado à velocidade de chaveamento do transistor, pode-se aumentar o desempenho de um circuito integrado em baixa temperatura [61]. É interessante notar que, em temperaturas altas,  $V_T$  diminui e  $S$  aumenta. Isto provoca um aumento na corrente de desligamento, que consiste na corrente de dreno que passa no dispositivo quando a tensão aplicada entre porta e fonte é zero ou menor que zero. Para os resultados de  $V_T$  apresentados neste trabalho, utilizou-se o método da segunda derivada da curva  $I_{DS}$  em função de  $V_{GS}$  com baixo  $V_{DS}$ , extraindo o valor de  $V_{GS}$  obtido para o pico desta curva [62]. Os resultados de  $S$  foram obtidos através do patamar mínimo do inverso da derivada  $d \log(I_{DS}) / dV_{GS}$ , obtida com baixo  $V_{DS}$  [29].

Devido à degradação da mobilidade, a corrente de dreno obtida quando  $V_{GS}$  é maior que  $V_T$  em temperaturas altas é menor que em temperaturas baixas. No entanto, o aumento de  $S$  em temperaturas altas está relacionado ao aumento da corrente de dreno em sublimiar. A combinação destas duas tendências contraditórias de  $I_{DS}$  resulta em um ponto de polarização de porta no qual não há variação na corrente de dreno, conhecido como *Zero Temperature Coefficient*, ou ZTC [63]. Esta polarização é interessante para aplicações onde a temperatura de operação dos dispositivos varie consideravelmente, pois  $I_{DS}$  permanecerá constante para determinado  $V_{GS}$ .

### 2.5.2. Mobilidade dos Portadores de Carga do Canal de Baixo Campo Elétrico

A mobilidade de baixo campo ( $\mu_0$ ) é um parâmetro que informa a facilidade dos portadores em atravessar o dispositivo quando as degradações devido ao campo elétrico vertical são mínimas. Ela tem seu comportamento descrito por uma série de mecanismos de espalhamento [64,65] que respondem diferentemente com a variação da temperatura. Para explicar em detalhes estes mecanismos, foi considerado o movimento dos elétrons em uma barra de silício com concentração de dopantes tipo P.

O espalhamento de rede está associado à interação dos portadores com a rede cristalina, que apresenta vibrações naturais e diretamente ligadas à energia que lhe é

disponível, inclusive a energia térmica. Deste modo, este mecanismo degrada a mobilidade com o aumento da temperatura. A mobilidade dos elétrons sob o efeito do espalhamento de rede ( $\mu_{LS,e}$ ) pode ser descrita como na equação (27), modelo proposto por Sah *et al* [66].

$$\mu_{LS,e} = \frac{1}{\frac{1}{4195 \cdot \left(\frac{T}{300}\right)^{-1,15}} + \frac{1}{2153 \cdot \left(\frac{T}{300}\right)^{-3,13}}} \quad (27)$$

A curva exibida na Figura 15 corresponde ao comportamento da mobilidade devido a esta componente, obtidas através de cálculos realizados a partir das equações apresentadas.

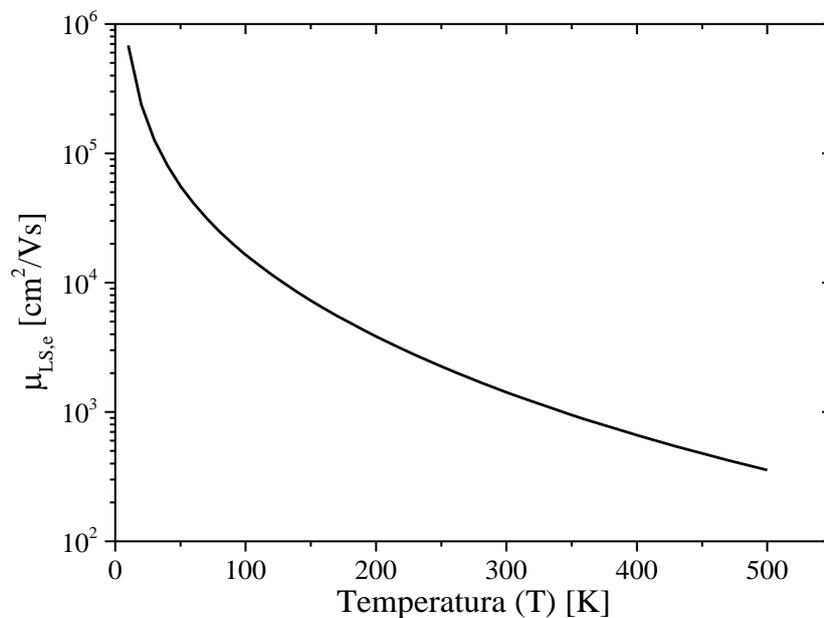


Figura 15 – Mobilidade devido ao espalhamento de rede em função da temperatura.

O espalhamento por impurezas ionizadas consiste na influência da concentração de dopantes na mobilidade. Como há dificuldade da movimentação dos portadores com o aumento de sua densidade, a mobilidade é degradada. A mobilidade dos elétrons influenciada por este efeito ( $\mu_{II,e}$ ) pode ser descrita pela equação (28), conforme o modelo empírico proposto por Caughey e Thomas [65]. Nota-se que este mecanismo já considera os efeitos do espalhamento de rede.

$$\mu_{II,e} = 197,17 - 45,51 \cdot \log T + \frac{\mu_{LS,e} - (197,17 - 45,51 \cdot \log T)}{1 + \left( \frac{N_A^-}{2,23 \cdot 10^{17} \cdot \left(\frac{T}{300}\right)^{3,2}} \right)^{0,72 \cdot \left(\frac{T}{300}\right)^{0,065}}} \quad (28)$$

Onde  $N_A^-$  corresponde à concentração de impurezas ionizadas e é dada por  $\frac{N_A}{1+4 \cdot e^{-\frac{q(E_i - E_F)}{k \cdot T}}}$ . O comportamento da mobilidade com o efeito do espalhamento por impurezas ionizadas, calculado através da equação apresentada, pode ser observado na Figura 16. A partir deste gráfico, pode-se notar que o aumento da temperatura reduz a mobilidade. A maior variação na mobilidade resultante ao espalhamento por impurezas ionizadas graças a diferentes concentrações de dopantes é observada em temperaturas entre aproximadamente 50K e 300K.

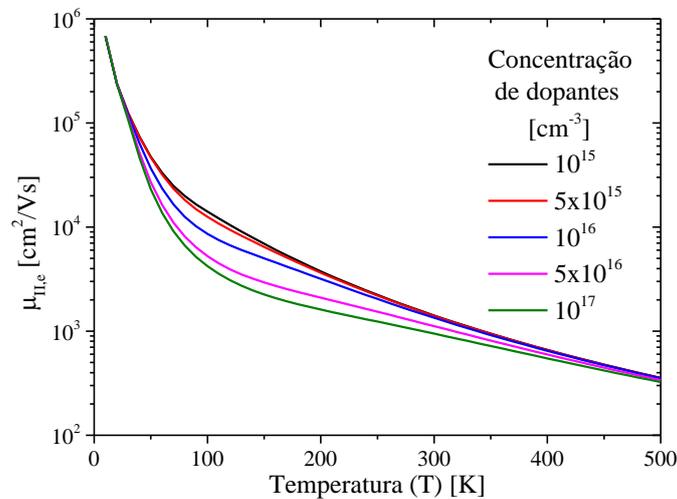


Figura 16 – Mobilidade devido ao espalhamento por impurezas ionizadas em função da temperatura para várias concentrações de dopantes.

Já o espalhamento portador-portador reduz a mobilidade quanto maior a concentração de dopantes, devido à interação de atração e repulsão entre portadores. A equação (29) descreve o comportamento da mobilidade devido a este mecanismo para os elétrons ( $\mu_{CC,e}$ ) [67].

$$\mu_{CC,e} = \frac{2 \cdot 10^{17}}{\sqrt{n_p} \cdot \ln \left[ 1 + 8,28 \cdot 10^{18} \cdot T^2 \cdot (n_p)^{-\frac{1}{3}} \right]} \quad (29)$$

Onde  $n_p$  se refere à concentração de portadores minoritários em um semiconductor com concentração de dopantes tipo P e é dado pela equação [29].

$$n_p = \frac{n_i^2}{N_A} \quad (30)$$

Portanto, ele degrada a mobilidade com o aumento da temperatura, como é possível observar na Figura 17, onde o espalhamento portador-portador, calculado através da equação (29), é apresentado em função da temperatura.

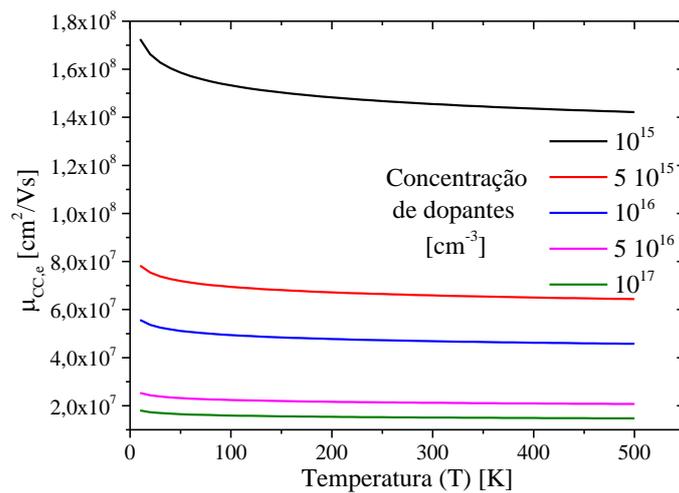


Figura 17 – Mobilidade devido ao espalhamento portador-portador em função da temperatura para várias concentrações de dopantes.

O espalhamento por impurezas neutras ( $\mu_{NI,e}$ ) se refere à degradação da mobilidade que ocorre devido às impurezas não ionizadas. Como em temperaturas muito baixas, ocorre a ionização parcial de dopantes no silício, este mecanismo apresentará maior influência na degradação da mobilidade nessas condições [68], como é possível observar na equação (31), utilizada para o cálculo da curva exibida na Figura 18.

$$\mu_{NI,e} = \frac{0,041 \cdot q \cdot 2 \cdot \pi \cdot m_{ce}^*}{5,29 \cdot 10^{-9} \cdot 11,9 \cdot (N_A - N_A^-) \cdot h} \cdot \left( \frac{2}{3} \cdot \sqrt{\frac{k \cdot T}{1 \cdot E_e}} + \frac{1}{3} \cdot \sqrt{\frac{q \cdot E_e}{k \cdot T}} \right) \quad (31)$$

Onde  $E_e = 0,71 \cdot m_{ce}^* \cdot 11,9^{-2}$ ,  $m_{ce}^*$  corresponde à massa efetiva de condução dos elétrons e  $N_A^-$  corresponde à concentração de dopantes aceitadores não ionizados.

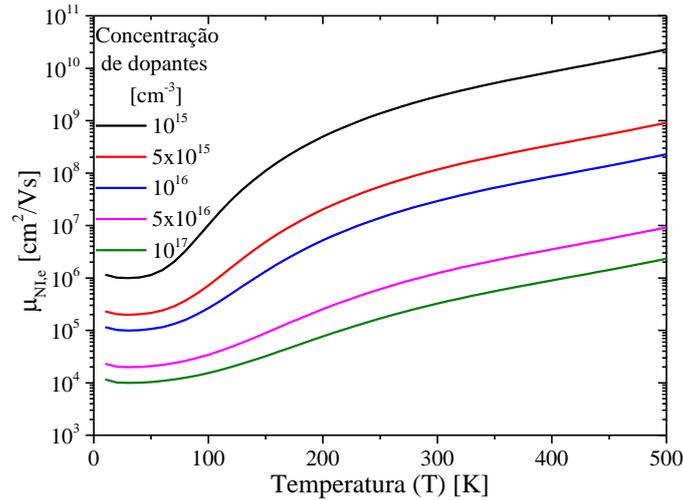


Figura 18 – Mobilidade devido ao espalhamento por impurezas neutras em função da temperatura para várias concentrações de dopantes.

Utilizando a regra de Mathiessen [24], indicada na equação (32), é possível calcular a mobilidade de baixo campo ( $\mu_0$ ) considerando todos estes efeitos.

$$\mu_0 = \frac{1}{\frac{1}{\mu_{II,e}} + \frac{1}{\mu_{CC,e}} + \frac{1}{\mu_{NI,e}}} \quad (32)$$

Como resultado, a mobilidade total tende a melhorar com a redução da temperatura, conforme pode ser visto na Figura 19.

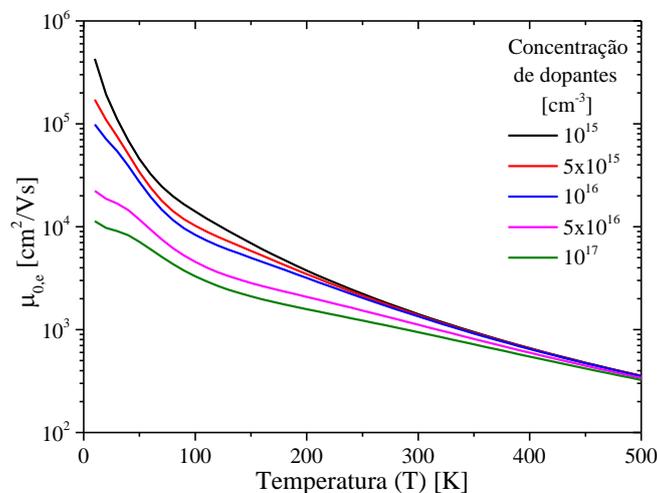


Figura 19 – Mobilidade de baixo campo em função da temperatura para várias concentrações de dopantes.

A mobilidade se relaciona diretamente com a transcondutância e com a condutância de dreno, como visto nas equações (7) e (12), respectivamente. Assim, a variação da mobilidade com a redução da temperatura resultará no aumento destes dois parâmetros.

### 2.5.3. Campo Elétrico

Os campos elétricos consistem nos campos gerados pela diferença de potenciais no dispositivo e podem exercer grande influência na mobilidade dos portadores. Por exemplo, o campo elétrico vertical pode ser forte o suficiente para forçar a passagem dos portadores de carga na interface do óxido de porta com o silício, onde há maior densidade de obstáculos devido a imperfeições na rede cristalina [29]. O campo elétrico médio no canal tanto na direção vertical quanto lateral ( $E_{eff}$ ) pode ser descrito como na equação (33) [39].

$$E_{eff} = \frac{2 \cdot \Phi_F + \frac{(V_S - V_{DE})}{2}}{t_{Si}} - \frac{Q_{depl}}{2 \cdot C_{oxb} \cdot t_{Si}} \cdot \left( \frac{1}{1 + C_{Si} \cdot C_{oxb}} + 1 \right) - \frac{V_{GB}}{\left(1 + \frac{C_{Si}}{C_{oxb}}\right) \cdot t_{oxb}} - \frac{(Q_S + Q_D)}{2 \cdot \epsilon_{Si}} \quad (33)$$

Onde  $V_{DE}$  é o potencial efetivo no canal próximo ao dreno e  $Q_S$  e  $Q_D$  são as densidades de carga de inversão por unidade de área na fronteira do canal com as regiões de fonte e dreno, respectivamente. No caso, o aumento de  $\Phi_F$  com a redução da temperatura provoca um aumento do campo elétrico.

A relação da mobilidade efetiva dos portadores ( $\mu_n$ ) com o campo elétrico pode ser definida pela equação (34), onde  $\alpha_S$  é o coeficiente de espalhamento [2].

$$\mu_n = \frac{\mu_0}{1 + \alpha_S \cdot |E_{eff}|} \quad (34)$$

### 2.5.4. Temperatura Crítica

A temperatura crítica ( $T_K$ ) consiste na temperatura na qual dispositivos totalmente depletados passam a operar como parcialmente depletados, devido à redução da profundidade da região de depleção [39]. Sabe-se que FD SOI MOSFETs apresentam espessura da camada de silício menor que a espessura máxima que poderia ser depletada quando o dispositivo atingisse  $V_T$ . O cálculo da depleção máxima no silício pode ser realizado através da equação (1). A temperatura crítica para nMOSFETs da *Université Catholique de Louvain-la-Neuve* (UCL), que serão utilizados neste trabalho e possuem concentração de dopantes no canal de  $6 \cdot 10^{16} \text{ cm}^{-3}$ , é de 483 K segundo a referência [69].

### 3. RESULTADOS SIMULADOS

Os resultados simulados estudados neste trabalho foram obtidos através de simulações bidimensionais utilizando o Sentaurus, da Synopsys [70,71]. O objetivo destes resultados é de comparar transistores únicos de diferentes comprimentos de canal e concentrações de dopantes no canal aos dispositivos A-SC.

Os transistores únicos utilizados possuem comprimento de canal de 1  $\mu\text{m}$  e 2  $\mu\text{m}$ ,  $t_{\text{oxf}}$  de 31 nm,  $t_{\text{oxb}}$  de 390 nm e  $t_{\text{Si}}$  de 80 nm. O comprimento das regiões de fonte e dreno é de 250 nm, fazendo com que a região central entre os dois transistores seja de 500 nm. As concentrações de dopantes no canal para os transistores fracamente e fortemente dopados são de  $10^{15} \text{ cm}^{-3}$  e  $6 \times 10^{16} \text{ cm}^{-3}$ , respectivamente. Um arquivo utilizado para gerar as estruturas é mostrado no Apêndice A.

Os modelos considerados para estas simulações incluem os efeitos descritos na Tabela 1. Como exemplo, um arquivo de simulação é mostrado no Apêndice B.

Tabela 1 – Modelos físicos utilizados para as simulações dos dispositivos.

<b>MODELOS FÍSICOS UTILIZADOS</b>		
<b>EFEITOS</b>	<b>MODELOS</b>	<b>DESCRIÇÃO</b>
Mobilidade de Portadores (Mobility)	Modelo Unificado da Mobilidade de Phillips (Phumob)	Unifica a descrição da mobilidade de portadores majoritários e minoritários [72].
	Degradação da Mobilidade nas Interfaces (Enormal)	Considera o efeito de degradação da mobilidade dos portadores devido ao alto campo elétrico vertical [73].

(Continua)

(Continuação)

<b>MODELOS FÍSICOS UTILIZADOS</b>		
<b>EFEITOS</b>	<b>MODELOS</b>	<b>DESCRIÇÃO</b>
Mobilidade de Portadores (Mobility)	Saturação de Alto Campo Elétrico (HighFieldSaturation)	Considera o efeito de saturação da velocidade de deriva dos portadores devido ao alto campo elétrico [74].
	Degradação da Mobilidade Dependente da Concentração de Dopantes (DopingDependence)	Considera o efeito da degradação da mobilidade devido a efeitos de espalhamento atribuídos à concentração de dopantes [75].
	Ionização Incompleta de Portadores (IncompleteIonization)	Considera o efeito da ionização parcial de dopantes para a definição da mobilidade dos portadores [76,77].
Ionização Incompleta de Portadores (IncompleteIonization)		Considera o efeito da ionização parcial de dopantes para o cálculo da concentração de dopantes no dispositivo [76,77]. Utilizada para temperaturas abaixo de 300 K.

(Continua)

(Conclusão)

<b>MODELOS FÍSICOS UTILIZADOS</b>		
<b>EFEITOS</b>	<b>EFEITOS</b>	<b>EFEITOS</b>
Mecanismos de Geração/Recombinação de Portadores (Recombination) Modelo da Banda Proibida (EffectiveIntrinsicDensity)	Recombinação Shockley-Read-Hall (SRH(DopingDep))	Recombinação através de níveis profundos de defeitos da banda proibida considerando-se a concentração de dopantes [78].
	Recombinação Auger (Auger)	Considera a taxa de recombinação banda-à-banda, importante em alta densidade de portadores [79].
	Geração de Portadores por Ionização por Impacto (Avalanche)	Considera os efeitos de ionização por impacto na geração de portadores [80]. Utilizada para as curvas de $I_{DS}$ em função de $V_{DS}$ .
	BandGapNarrowing(OldSlotboom)	Considera o estreitamento da banda proibida de acordo com a concentração de dopantes [81].

As estruturas A-SC simuladas são compostas por dois transistores de 1  $\mu\text{m}$ , sendo MS dopado fortemente e MD dopado fracamente. Como  $L_{MS}+L_{MD} = 2 \mu\text{m}$ , eles podem ser comparados também com os transistores únicos mais longos, de L de 2  $\mu\text{m}$ . Para todos os transistores apresentados neste trabalho, a tensão de limiar foi extraída através da segunda derivada da curva  $I_{DS}$  em função de  $V_{GS}$  para  $V_{DS}$  de 50 mV [62].

### 3.1. Corrente de dreno para baixo $V_{DS}$ , tensão de limiar e inclinação de sublimiar.

Na Figura 20 é mostrada a corrente de dreno em função de  $V_{GS}$  em escala linear (A) e logarítmica (B), extraída com  $V_{DS}$  de 50 mV, para dispositivos A-SC e transistores únicos de diferentes comprimentos de canal e concentração de dopantes no canal em variadas temperaturas.  $N_{A,D}$  e  $N_{A,S}$  são, respectivamente, a concentração de dopantes no canal dos transistores MD e MS da associação série assimétrica.

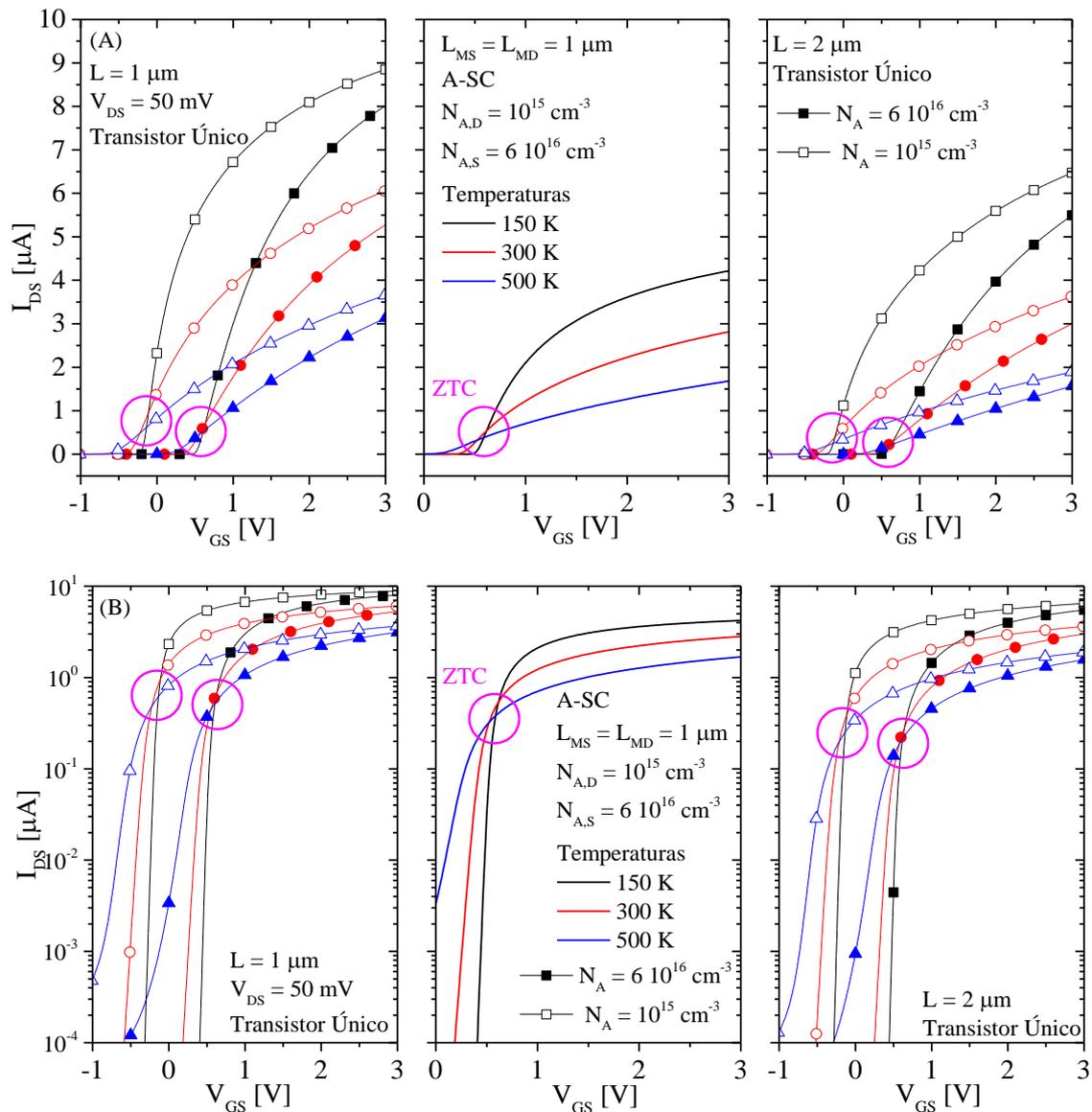


Figura 20 – Corrente de dreno em função da tensão de porta para os dispositivos A-SC e transistores únicos de diferentes comprimentos de canal e concentração de dopantes, em diferentes temperaturas, com  $V_{DS}$  de 50 mV, em escala linear (A) e logarítmica (B).

É possível notar que a corrente de dreno para o dispositivo A-SC é bastante próxima a do dispositivo único de canal mais fortemente dopado de  $L$  de 2  $\mu\text{m}$ . Isto se dá graças ao comprimento de canal praticamente semelhante das duas estruturas. Para um transistor único

de tensão de limiar padrão e comprimento de canal  $L$ , pode-se dizer que uma associação série simétrica de dimensão aproximadamente equivalente terá a soma dos comprimentos de canal dos transistores que a compõe igual a  $L$ . Comparando os dispositivos de diferentes concentrações de dopantes, nota-se que o nível de corrente de dreno é maior para os transistores fracamente dopados tanto para  $L$  de  $1\ \mu\text{m}$  quanto para de  $2\ \mu\text{m}$ , por conta da melhor mobilidade.

Da mesma forma, uma corrente de dreno maior pode ser observada para dispositivos operando em temperaturas mais baixas, também por conta da melhor mobilidade dos portadores obtidas nessas condições. Como ocorrem comportamentos opostos da corrente de dreno devido à redução da tensão de limiar e à redução de  $I_{DS}$  com a degradação da mobilidade por conta do aumento da temperatura, nota-se a formação do ponto de polarização independente da temperatura, ou ZTC, indicado nos círculos assinalados. Quando analisamos a corrente de dreno em escala logarítmica, é possível observar o aumento da corrente de desligamento com o aumento da temperatura, decorrente da maior inclinação de sublimiar e do menor  $V_T$  nessas condições. Para melhor comparar as tensões de limiar com a variação da temperatura, a Figura 21 mostra os resultados obtidos para  $V_T$  dos transistores únicos de  $L = 1\ \mu\text{m}$  e  $2\ \mu\text{m}$  em função da temperatura. Estes valores foram obtidos utilizando o método da segunda derivada [82].

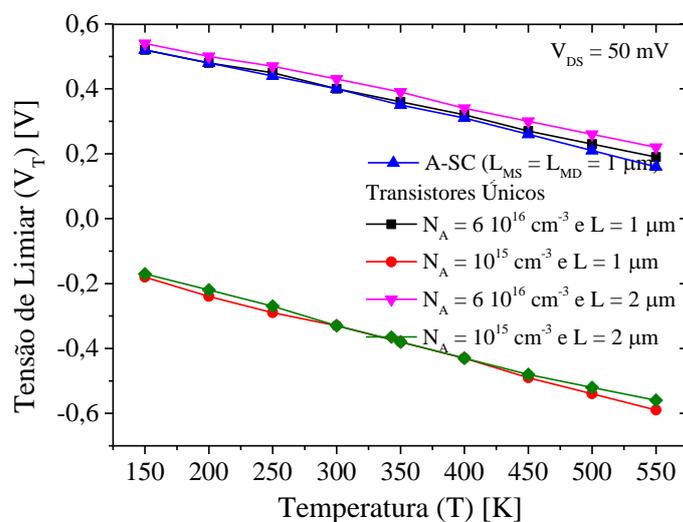


Figura 21 – Tensão de limiar em função da temperatura para transistores únicos de diferentes comprimentos de canal e concentrações de dopantes e uma estrutura A-SC, para  $V_{DS} = 50\ \text{mV}$ .

Pode-se notar a proximidade da tensão de limiar da estrutura A-SC com os dispositivos únicos mais dopados, pois o  $V_T$  de MS irá funcionar limitando a passagem de corrente mesmo que o transistor MD esteja operando em inversão forte. Entre os dois

transistores mais dopados, é possível notar que o  $V_T$  para a A-SC é mais próximo ao  $V_T$  para o transistor de  $L = 1 \mu\text{m}$ , semelhante ao transistor MS da associação. Com o aumento da temperatura há redução de  $V_T$ , por conta da redução do nível de Fermi. Os valores da variação de  $V_T$  com a temperatura, ou  $dV_T/dT$ , são apresentados na Tabela 2.

Tabela 2 – Variação da tensão de limiar com a temperatura para a estrutura A-SC e os transistores únicos de diferentes comprimentos de canal e concentração de dopantes no canal.

$dV_T/dT$ [mV/K]				
A-SC	ST L = 1 $\mu\text{m}$ $N_A = 10^{15} \text{ cm}^{-3}$	ST L = 1 $\mu\text{m}$ $N_A = 6 \cdot 10^{16} \text{ cm}^{-3}$	ST L = 2 $\mu\text{m}$ $N_A = 10^{15} \text{ cm}^{-3}$	ST L = 2 $\mu\text{m}$ $N_A = 6 \cdot 10^{16} \text{ cm}^{-3}$
-0,90	-0,83	-1,01	-0,81	-0,99

Como visto na equação (25), a variação de  $V_T$  com a temperatura depende de  $N_A$  e os valores obtidos para os transistores fracamente dopados são aproximadamente 0,2 mV/K mais baixos que para os transistores mais fortemente dopados. Novamente a estrutura A-SC mostra valores intermediários aos dispositivos de diferentes concentrações de dopantes no canal.

Os resultados para a inclinação de sublimiar também foram extraídos para  $V_{DS}$  de 50 mV e são exibidos para os mesmos dispositivos na Figura 22.

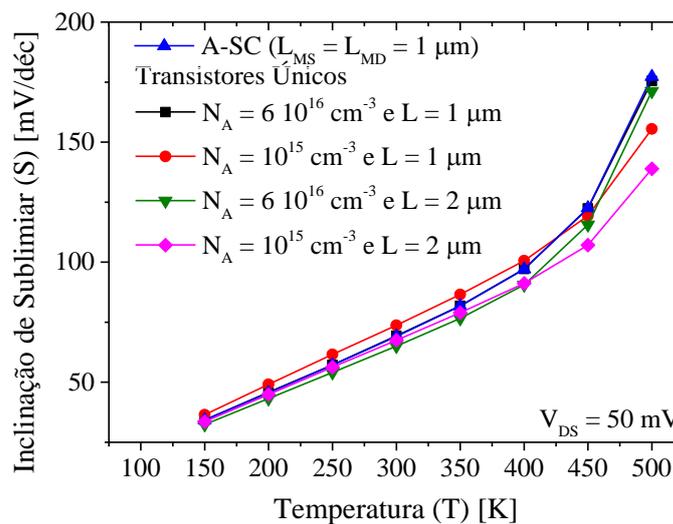


Figura 22 – Inclinação de sublimiar em função da temperatura para transistores únicos de diferentes comprimentos de canal e concentrações de dopantes e uma estrutura A-SC, para  $V_{DS} = 50 \text{ mV}$ .

É possível perceber que o comportamento da associação assimétrica praticamente acompanha o do transistor semelhante ao seu MS, indicando novamente que este transistor tem grande importância sobre os resultados da estrutura A-SC. Nota-se que existe um aumento praticamente linear de  $S$  para todos os dispositivos até 450 K, correspondendo ao previsto na

equação (26). Entretanto, para 500 K, a taxa de crescimento da inclinação de sublimiar é elevada. Isto pode ser resultado de atingir a temperatura crítica, onde os dispositivos FD passam a operar como PD graças à redução da profundidade máxima de depleção.

### 3.2. Corrente de dreno em função de $V_{DS}$ , transcondutância em saturação e condutância de dreno.

A Figura 23 mostra as curvas de corrente de dreno, simuladas para  $V_{GT} = V_{GS} - V_T$  de 0,2 V, em função da polarização de dreno, para a estrutura A-SC e transistores únicos de variados comprimentos de canal e concentração de dopantes no canal, em diferentes temperaturas. Pode-se notar que, em temperaturas mais baixas, há maior diferença entre as correntes de dreno para diferentes concentrações do dopantes no canal, chegando a 3,28  $\mu\text{A}$  em 150K, 1,05  $\mu\text{A}$  em 300K e 0,2  $\mu\text{A}$  em 500K para o transistor único de L de 1  $\mu\text{m}$  com  $V_{DS}$  de 1 V. Isto é devido ao aumento da concentração de dopantes no canal, que ocorre com o aumento da temperatura graças a maior energia térmica disponível. Diferentemente do observado para baixos  $V_{DS}$ , a corrente de dreno obtida para polarizações maiores é maior para a estrutura A-SC que para os transistores únicos de L de 2  $\mu\text{m}$ , sinal de que o comprimento efetivo da estrutura para esta polarização é menor que para o dispositivo mais longo, já que realmente a tendência do comportamento da corrente é que se assemelhe a de MS. Também é possível notar uma menor inclinação da região de polarização onde  $I_{DS}$  está saturada para a estrutura A-SC, como pode ser melhor observado na Figura 24, que apresenta as curvas da condutância de dreno em função da polarização de dreno, obtidas através da derivada das curvas de  $I_{DS}$  em função de  $V_{DS}$ .

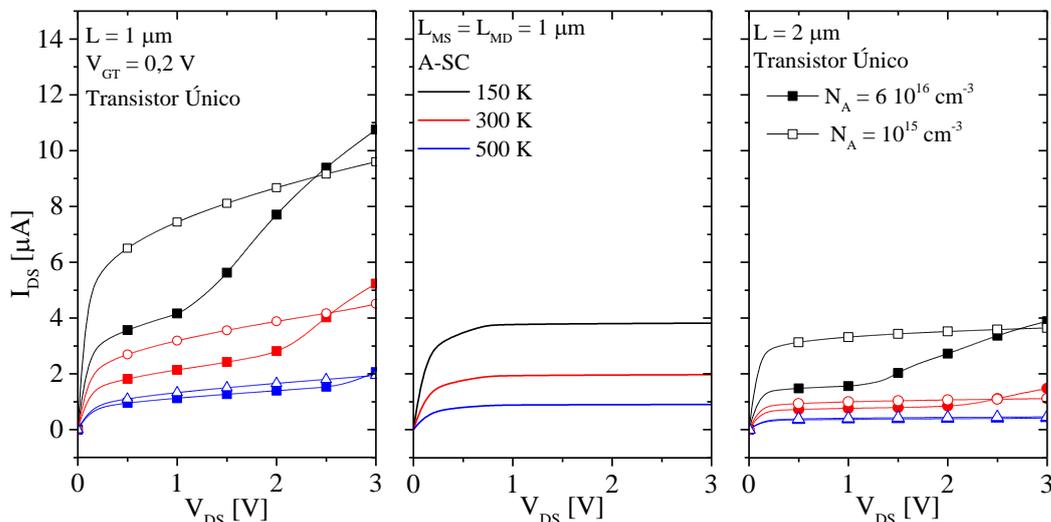


Figura 23 – Corrente de dreno em função da polarização de dreno para os dispositivos A-SC e transistores únicos de diferentes comprimentos de canal e concentração de dopantes, em diferentes temperaturas, com  $V_{GT}$  de 0,2 V.

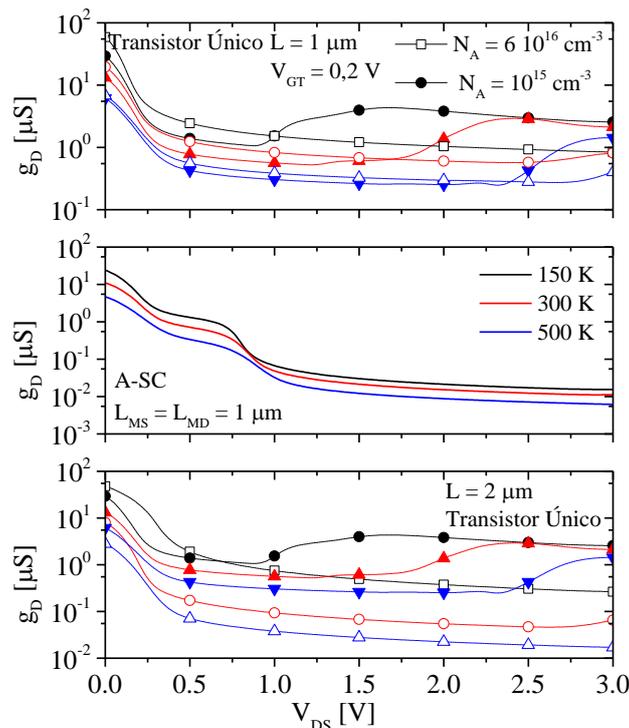


Figura 24 – Condutância de dreno em função da polarização de dreno para os dispositivos A-SC e transistores únicos de diferentes comprimentos de canal e concentração de dopantes, em diferentes temperaturas, com  $V_{GT}$  de 0,2 V.

É possível notar com mais clareza que os resultados obtidos para  $g_D$  com a A-SC são melhores que os transistores únicos de qualquer comprimento de canal e concentração de dopantes no canal e em qualquer temperatura. Além disso, nota-se que a tensão de ruptura não ocorre até  $V_{DS}$  de 3 V para a A-SC e os transistores fracamente dopados, mas ocorre para os outros dispositivos.

Para melhor analisar seu comportamento, a condutância de dreno é exibida em função da temperatura na Figura 25, que contém as curvas para os mesmos dispositivos polarizados com  $V_{DS}$  igual a 1,5 V e  $V_{GT}$  igual a 0,2 V. Nota-se que a associação assimétrica apresenta os melhores resultados de condutância de saída, mostrando valores uma ordem de grandeza menores que os transistores semelhantes aos que a compõe. Isto mostra que a A-SC é uma alternativa efetiva para melhorar a condutância de dreno, fazendo isso ao apresentar um confinamento das cargas controladas pela depleção próxima ao dreno apenas ao transistor MD, melhorando o efeito da modulação do comprimento do canal. Também devido à degradação da mobilidade,  $g_D$  reduz com ao aumento da temperatura para todos os dispositivos. Para as temperaturas mais baixas, é possível observar que ocorre um aumento de  $g_D$  nos transistores mais fortemente dopados. Isto é decorrente do efeito da ionização por impacto mais intenso em baixas temperaturas, já que a mobilidade dos portadores é maior. Assim, a condutância de dreno é degradada e a tensão de ruptura é reduzida.

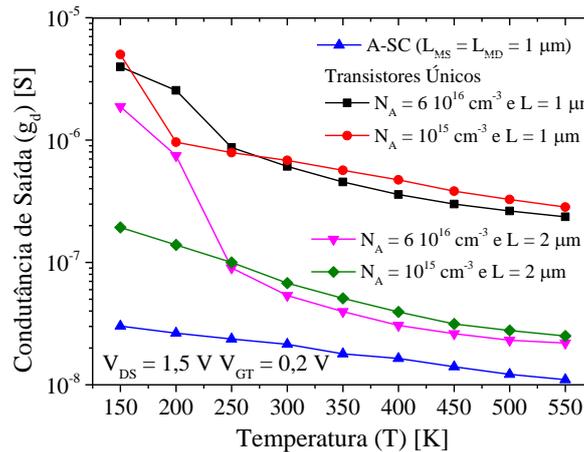


Figura 25 – Condutância de dreno em função da temperatura para transistores únicos de diferentes comprimentos de canal e concentrações de dopantes e uma estrutura A-SC, para  $V_{DS} = 1,5$  V e  $V_{GT} = 0,2$  V.

A transcondutância em função da tensão aplicada à porta também foi extraída, para  $V_{DS}$  de 1,5 V. A Figura 26 mostra os resultados obtidos para a estrutura A-SC e transistores únicos de diferentes comprimentos de canal e concentração de dopantes no canal, para diferentes temperaturas.

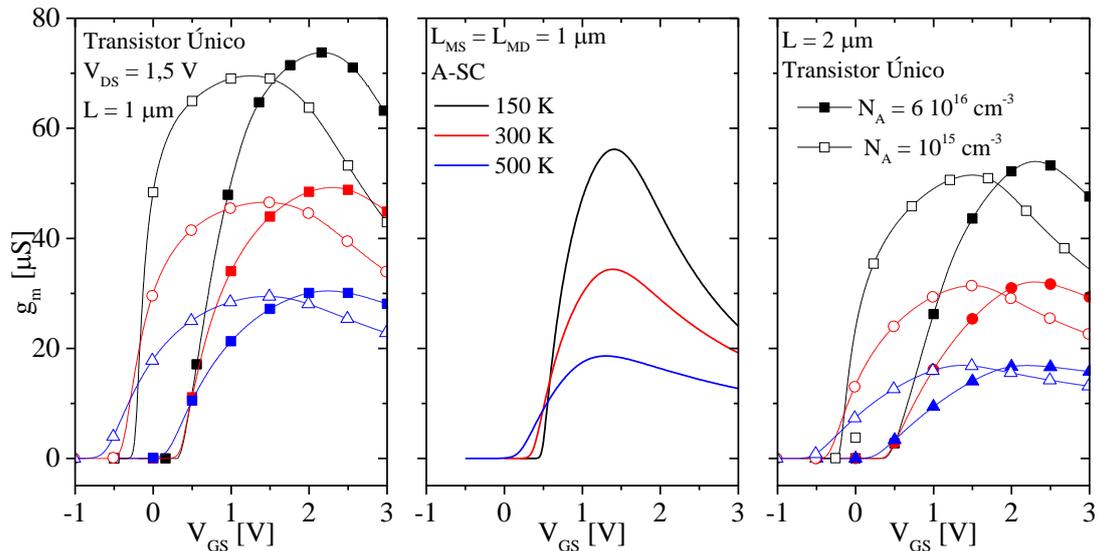


Figura 26 – Transcondutância em função da tensão de porta para os dispositivos A-SC e transistores únicos de diferentes comprimentos de canal e concentração de dopantes, em diferentes temperaturas, com  $V_{DS}$  de 1,5 V.

É possível observar que a transcondutância da associação assimétrica é bastante próxima a dos transistores únicos fortemente dopados de  $L$  de 2  $\mu\text{m}$ , porém com um pico de  $g_m$  maior e que ocorre para  $V_{GS}$  mais baixos, próximos ao obtido com o pico do transistor de menor concentração de dopantes. Isso é resultado da dependência da transcondutância pela dimensão do dispositivo e pela degradação do transistor mais fracamente dopado, que ocorre para menores  $V_{GS}$  graças às suas reduzidas tensões de limiar. Com o aumento da temperatura, há a degradação da

mobilidade e, por isso, menores valores de transcondutância para todos os dispositivos estudados. Isto pode ser melhor observado com a Figura 27, que mostra os resultados da transcondutância em saturação extraída obtida para  $V_{DS}$  igual a 1,5 V e  $V_{GT}$  igual a 0,2 V em transistores únicos fracamente e fortemente dopados de L igual a 1  $\mu\text{m}$  e 2  $\mu\text{m}$  e a estrutura assimétrica de  $L_{MD}$  igual a  $L_{MS}$  igual a 1  $\mu\text{m}$ .

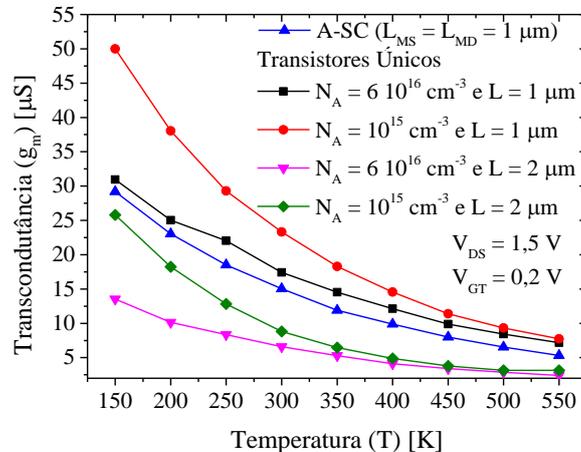


Figura 27 – Transcondutância em função da temperatura para transistores únicos de diferentes comprimentos de canal e concentrações de dopantes e uma estrutura A-SC, para  $V_{DS} = 1,5$  V e  $V_{GT} = 0,2$  V.

Nota-se que a transcondutância para a A-SC ocupa valores intermediários aos transistores mais longos e os transistores mais curtos. Pode-se concluir então que ao comprimento efetivo do canal da associação para estas condições de polarização não corresponde a  $L_{MS} + L_{MD}$ , mas também não atinge os valores obtidos para os transistores mais curtos. Analisando em função da temperatura há degradação da mobilidade e, portanto, de  $g_m$ .

Como resultado, foi possível extrair o ganho intrínseco de tensão para os mesmos dispositivos e condições de polarização, como mostrado na Figura 28.

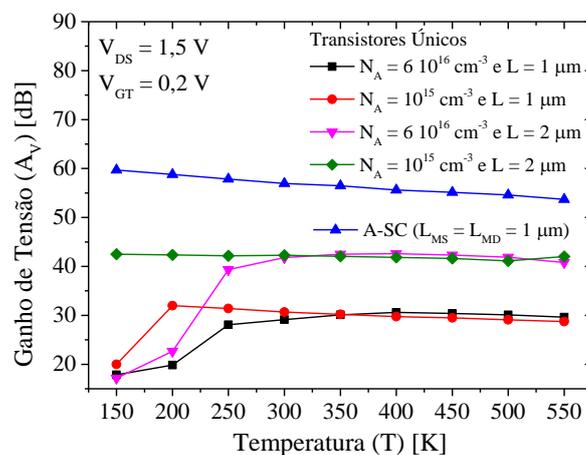


Figura 28 – Ganho de tensão em função da temperatura para transistores únicos de diferentes comprimentos de canal e concentrações de dopantes e uma estrutura A-SC, para  $V_{DS} = 1,5$  V e  $V_{GT} = 0,2$  V.

Como pode ser visto, a proposta da A-SC não só oferece um melhor  $A_V$  que os transistores que a compõe funcionando separadamente, mas também que transistores de  $L = L_{MS} + L_{MD}$ , tanto fracamente quanto fortemente dopados. Nota-se então que, apesar da transcondutância se apresentar apenas intermediária aos dispositivos únicos de diferentes dimensões, a melhora na condutância de dreno que pode ser obtida na A-SC torna o ganho de tensão 15 dB maior para essa estrutura que para o transistor único fracamente dopado de  $L$  de  $2 \mu\text{m}$ . É possível notar que com o aumento da temperatura, as degradações da mobilidade observadas em  $g_m$  e  $g_D$  são muito próximas e, por isso,  $A_V$  sofre poucas alterações. Em temperaturas mais baixas, para os dispositivos únicos fortemente dopados e o transistor fracamente dopado, há degradação do ganho como consequência dos efeitos observados na condutância de dreno.

### 3.3. Distorção Harmônica

A distorção harmônica para os resultados simulados também foi estudada. Primeiramente, são apresentadas na Figura 29 as curvas das distorções harmônicas de segunda e terceira ordem para a estrutura A-SC e transistores únicos de diferentes comprimentos de canal e concentração de dopantes no canal, extraídas com amplitude do sinal de entrada fixa e igual a 50 mV e  $V_{DS}$  de 1,5 V em função da sobretensão de porta.

Notam-se picos de HD2 e HD3 em  $V_{GT}$  igual a zero, devido à proximidade de  $V_T$ . Os picos negativos de HD2 entre 1 V e 2 V são referentes ao pico da transcondutância, pontos de máxima mobilidade dos portadores. Em HD3, os picos são referentes a máximos e mínimos da transcondutância, obtidos devido ao cálculo da distorção harmônica, que aproxima a curva de corrente de dreno a um polinômio. Em geral, é possível notar que HD2 para a A-SC tem valores intermediários aos dispositivos únicos de  $L$  de  $1 \mu\text{m}$  e  $2 \mu\text{m}$  fortemente dopados. Comparando os transistores de canal mais fortemente dopado com os de menor  $N_A$ , nota-se que os fracamente dopados apresentam menor HD2, chegando a aproximadamente 15 dB para a temperatura de 150 K e  $L$  de  $1 \mu\text{m}$ . Também é possível notar uma maior influência da temperatura na distorção harmônica dos dispositivos de menor  $N_A$  em comparação aos de maior  $N_A$ , já que são mais sensíveis à variação de  $n_i$  decorrente da disponibilidade de energia térmica.

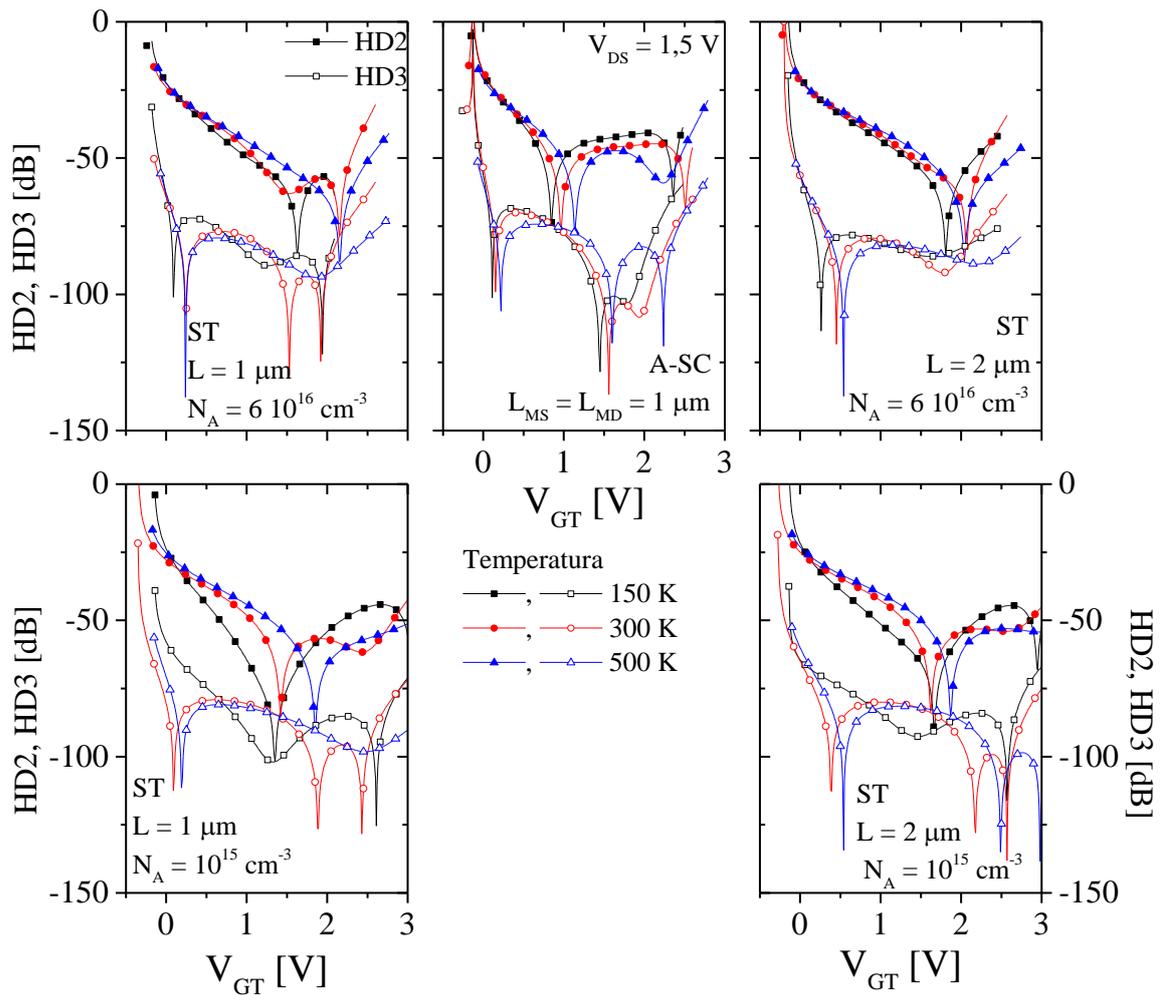


Figura 29 – Distorções harmônicas de segunda e terceira ordem em função da sobretensão de porta para os dispositivos A-SC e transistores únicos de diferentes comprimentos de canal e concentração de dopantes, em diferentes temperaturas, com  $V_{DS}$  de 1,5 V.

Para melhor analisar HD de acordo com a polarização do dispositivo, os resultados são exibidos em função da razão  $g_m/I_{DS}$  na Figura 30. Como há menor mobilidade em temperaturas mais altas, há redução de  $g_m/I_{DS}$ , o que faz com que as curvas de HD em função de  $g_m/I_{DS}$  para dispositivos em 500 K fiquem mais “curtas” que em 150 K. Para baixos  $g_m/I_{DS}$ , é possível notar um pico negativo em HD2, decorrente do ponto de inflexão de corrente, antes do qual o dispositivo começa a operar em triodo, fora do escopo deste trabalho. Nota-se que a influência da temperatura é mais dificilmente percebida em HD2, sendo que em HD3 a tendência é que resultados em 150 K sejam piores que em 300 K e 500 K, pelo menos em inversão forte.

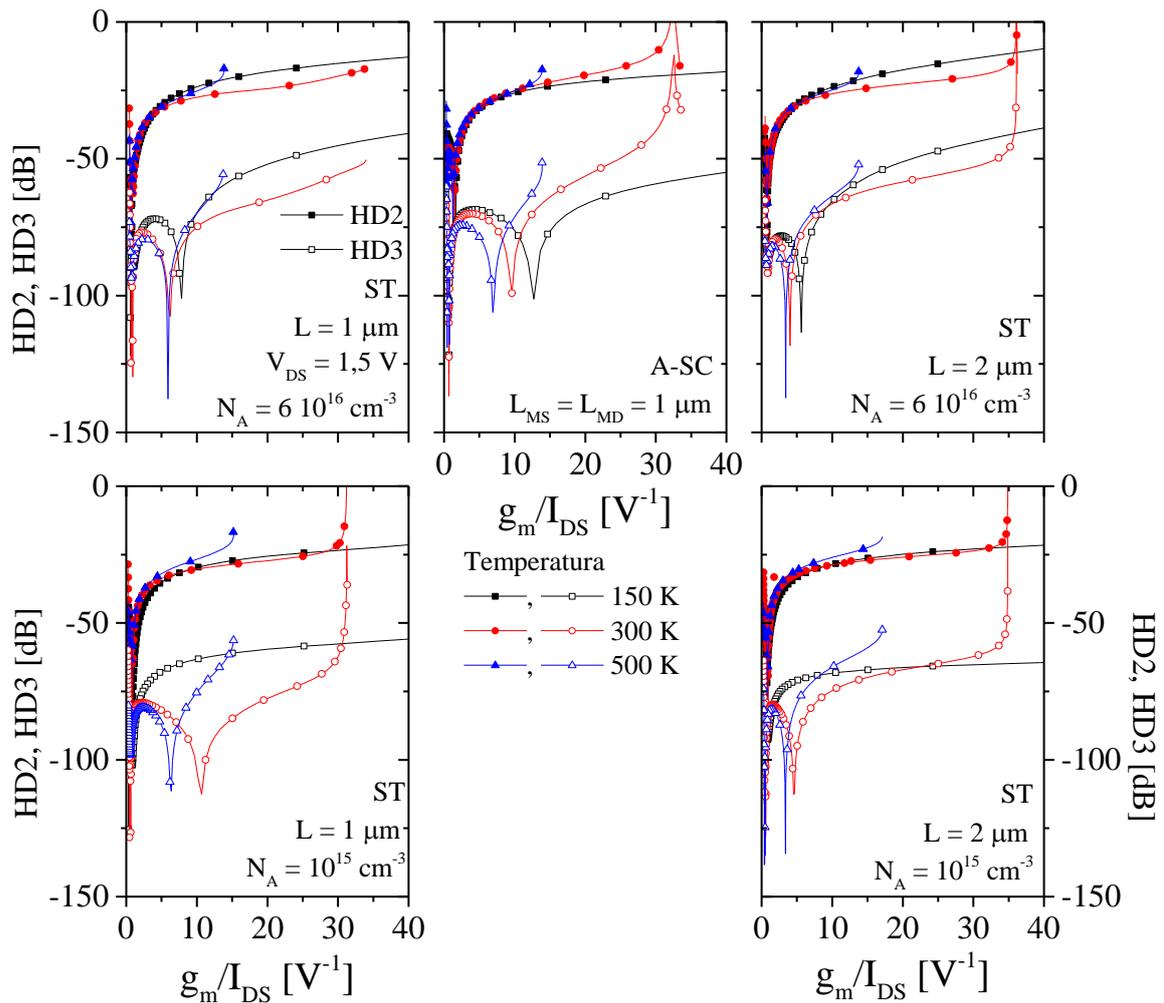


Figura 30 – Distorções harmônicas de segunda e terceira ordem em função da razão  $g_m/I_{DS}$  para os dispositivos A-SC e transistores únicos em diferentes temperaturas, com  $V_{DS}$  de 1,5 V.

A partir dos 10  $V^{-1}$ , aproximadamente, nota-se que a distorção harmônica é pior com o aumento da temperatura. Como HD é um parâmetro muito dependente do ganho de tensão, já que quanto mais um dispositivo amplifica um sinal, mais propenso a uma pior HD ele é, é interessante normalizar as curvas por  $A_V$ . Os resultados normalizados para  $V_{GT}$  de 0,2 V são exibidos na Figura 31. Devido ao maior ganho da estrutura A-SC, nota-se que os valores obtidos para HD2 são melhores que os transistores únicos, até mesmo que os de canal fracamente dopado. Para a estrutura assimétrica e os transistores de baixo  $N_A$  em temperaturas menores, é possível observar que há um pior HD2. No entanto, nos transistores únicos de maior  $N_A$ , este comportamento é invertido a partir de um  $g_m/I_{DS}$  entre 2  $V^{-1}$  e 3  $V^{-1}$ . Isto se deve à dependência de  $HD2/A_V$  com  $g_D$ , como visto na equação (15), que faz com que é piorado em temperaturas menores e  $V_{GT}$  mais alto, conforme se aumenta o nível de corrente.

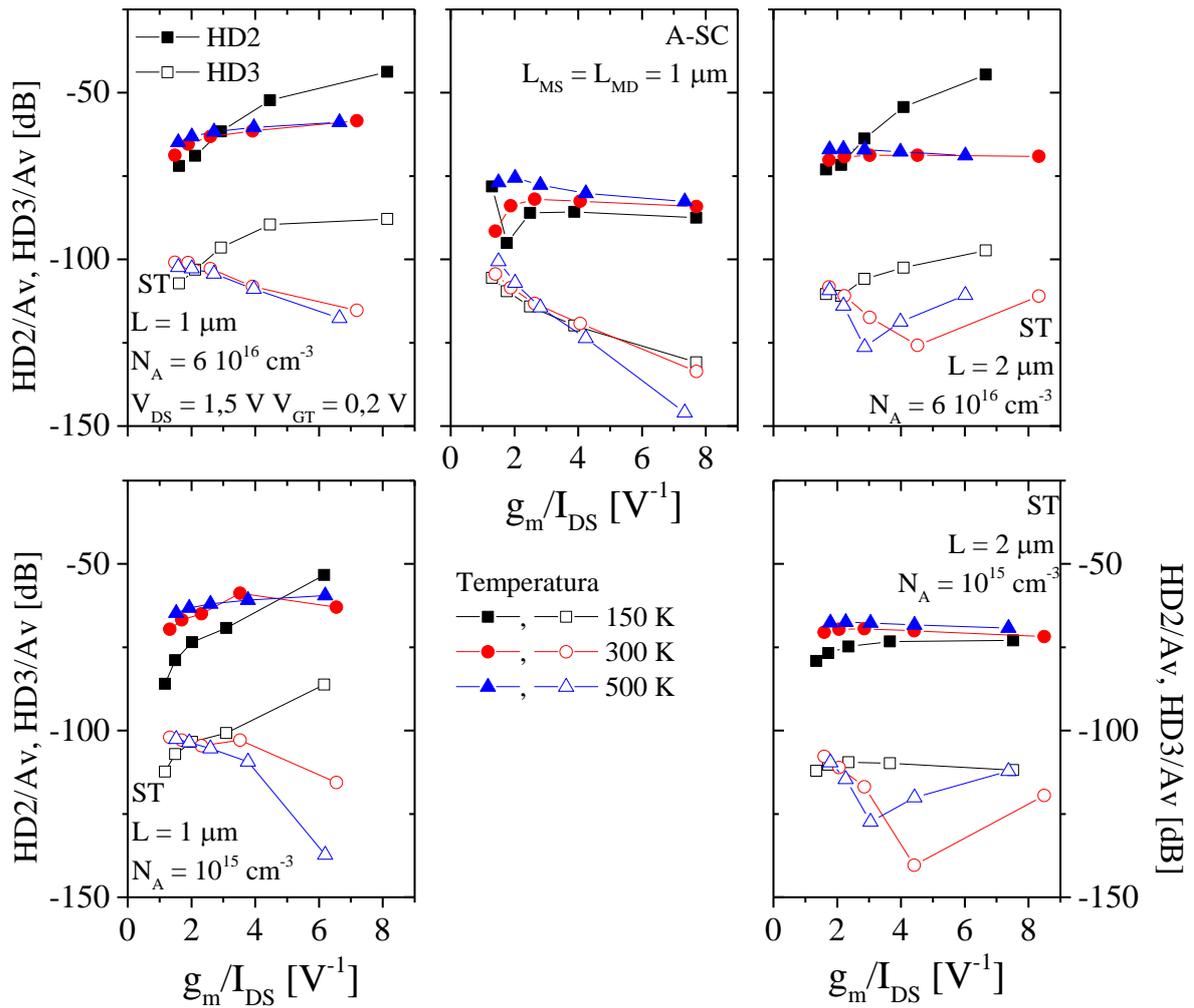


Figura 31 – Distorções harmônicas de segunda e terceira ordem, normalizadas pelo ganho de tensão, em função da razão  $g_m/I_{DS}$  para os dispositivos A-SC e transistores únicos de diferentes comprimentos de canal e concentração de dopantes, em diferentes temperaturas, com  $V_{DS}$  de 1,5 V e  $V_{GT}$  de 0,2 V.

Como em baixas temperaturas o efeito da modulação do comprimento do canal é maior e transistores mais dopados apresentam maiores degradações devido ao alto campo elétrico próximo ao dreno,  $HD2/A_V$  acaba por ser piorado. É interessante perceber também que a variação da temperatura surte em tendências diferentes dependendo da polarização do dispositivo. Na Figura 32 são apresentados os valores extraídos para HD2 e HD3 dos mesmos dispositivos em  $g_m/I_{DS}$  de  $2 \text{ V}^{-1}$  e  $6 \text{ V}^{-1}$  em função da temperatura.

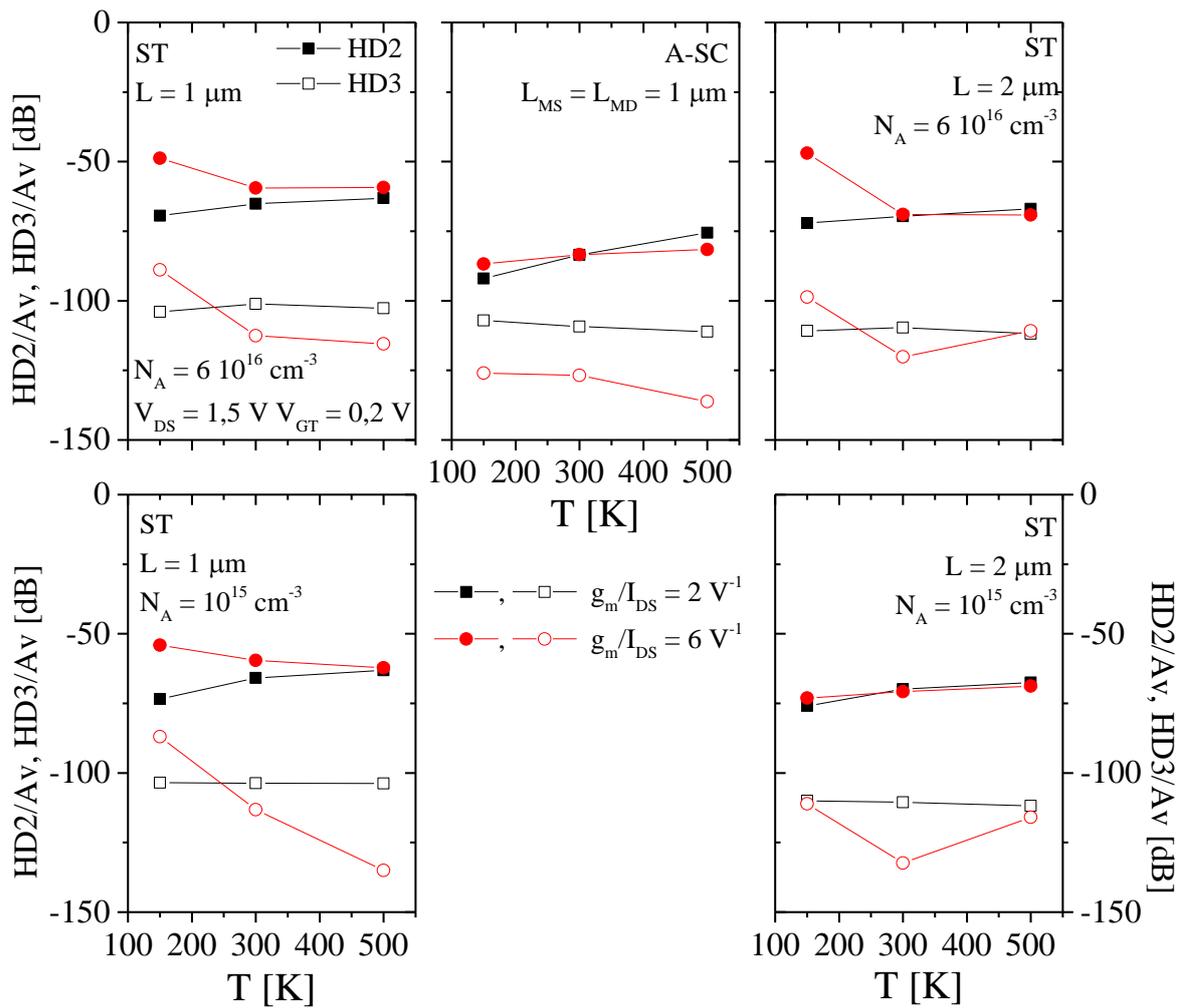


Figura 32 – Distorções harmônicas de segunda e terceira ordem, normalizadas pelo ganho de tensão, em função da temperatura, para os dispositivos A-SC e transistores únicos de diferentes comprimentos de canal e concentração de dopantes, com  $V_{DS}$  de 1,5 V e  $V_{GT}$  de 0,2 V.

Pode-se notar que, para  $g_m/I_{DS}$  de  $2 \text{ V}^{-1}$ , HD2 tende a aumentar com a temperatura e HD3 a diminuir. O afastamento das duas harmônicas indica uma menor influência de HD3 sobre a distorção harmônica total proporcionada pelos dispositivos com o aumento da temperatura. Para um maior  $g_m/I_{DS}$ , HD2 troca de tendência para os transistores únicos fortemente dopados e para o transistor de  $N_A$  de  $10^{15} \text{ cm}^{-3}$  e L de  $1 \mu\text{m}$ . Isto se deve principalmente a  $g_D$ , que é degradado quanto mais dopado e menor for o dispositivo, também aumentando com o aumento de  $g_m/I_{DS}$  (redução de  $V_{GT}$ ). Como esta degradação é maior quando se reduz a temperatura, este efeito na distorção harmônica acontece.

Outra maneira de se avaliar a distorção harmônica é mantendo-se uma sobre-tensão de limiar fixa e analisar seu comportamento com a variação da amplitude do sinal de entrada. Os resultados obtidos para  $V_{GT}$  de 0,2 V são exibidos na Figura 33.

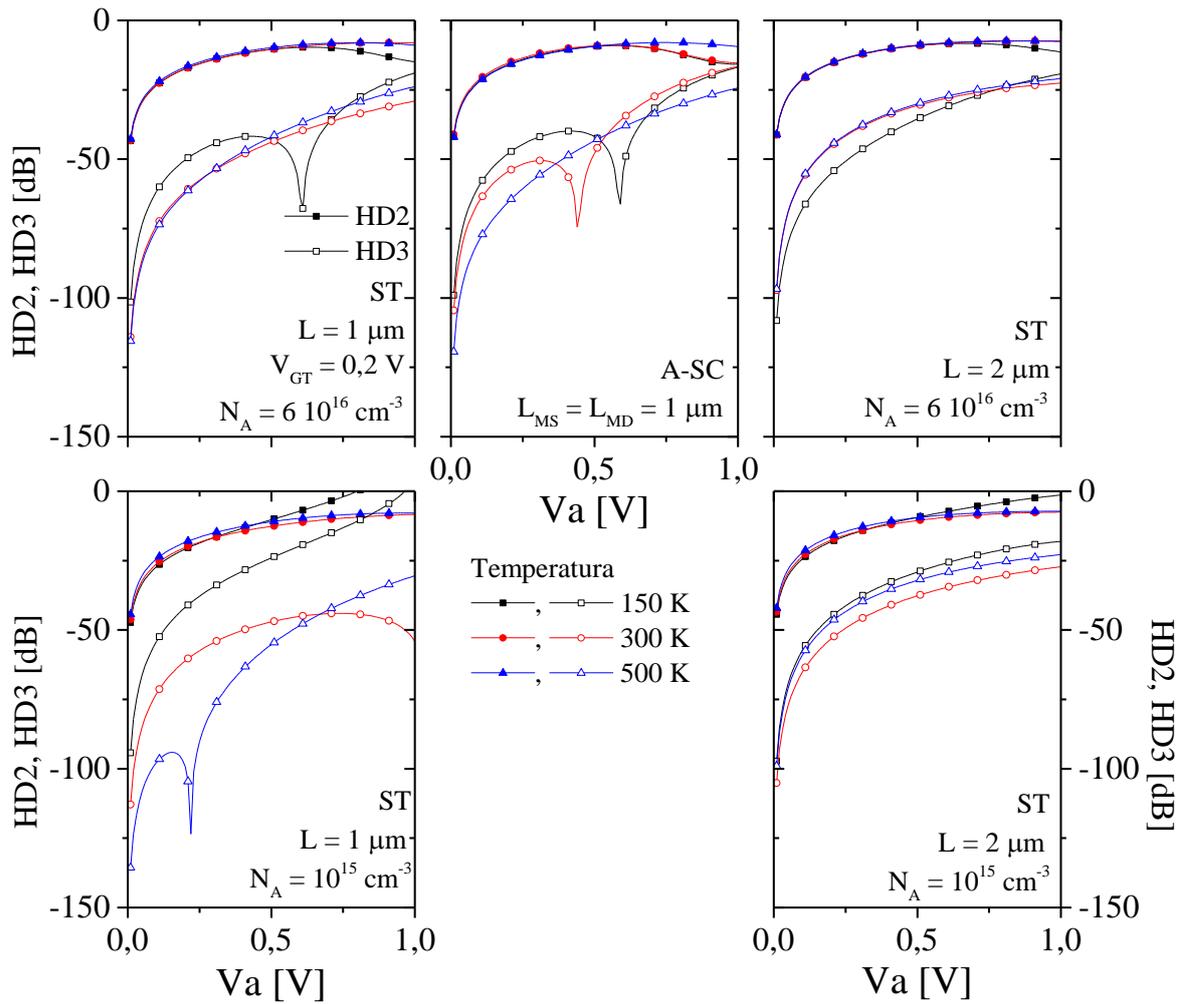


Figura 33 – Distorções harmônicas de segunda e terceira ordem em função da amplitude do sinal de entrada para os dispositivos A-SC e transistores únicos de diferentes comprimentos de canal e concentração de dopantes, em diferentes temperaturas, com  $V_{GT}$  de 0,2 V.

Para este ponto de polarização, HD3 é pior em baixas temperaturas para os transistores fracamente dopados. É possível perceber que os resultados observados para a A-SC são intermediários aos obtidos para os transistores únicos fortemente dopados de  $L$  de 1  $\mu\text{m}$  e 2  $\mu\text{m}$ . Piores resultados de HD2 podem ser observados para maiores  $V_a$  nos transistores mais fracamente dopados, mas em geral os valores de HD2 e HD3 se aproximam quanto maior a amplitude do sinal de entrada. Para melhor analisar, os resultados de HD normalizados pelo ganho de tensão também foram extraídos e são apresentados na Figura 34.

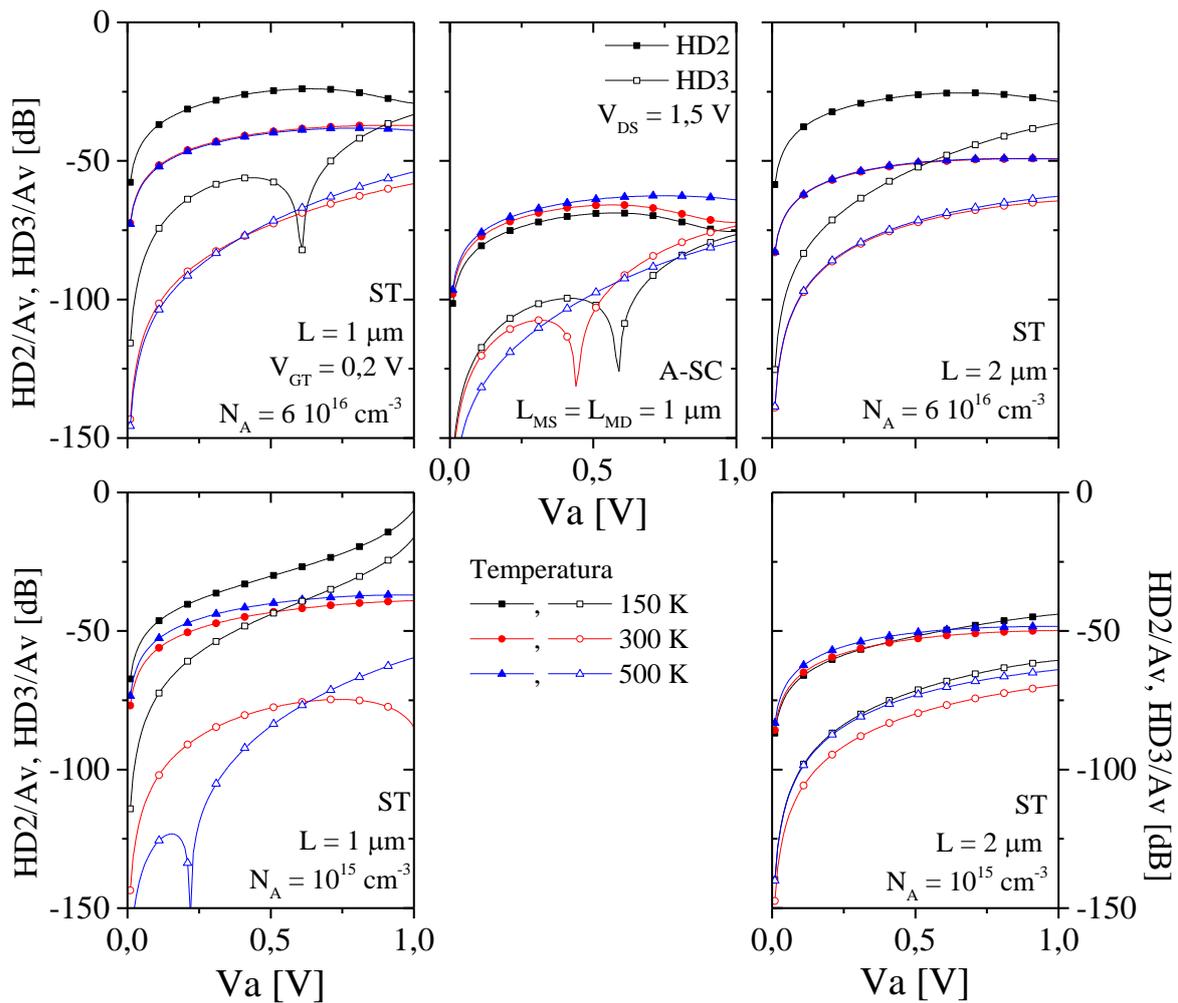


Figura 34 – Distorções harmônicas de segunda e terceira ordem, normalizadas pelo ganho de tensão, em função da amplitude do sinal de entrada para os dispositivos A-SC e transistores únicos de diferentes comprimentos de canal e concentração de dopantes, em diferentes temperaturas, com  $V_{GT}$  de 0,2 V e  $V_{DS}$  de 1,5 V.

É possível perceber que, para esta polarização de porta, os transistores únicos fortemente dopados e o transistor fracamente dopado de canal mais curto refletem as degradações devido à pior ionização por impacto observadas em  $g_D$ . Para as outras duas estruturas, que sofrem menos com este efeito, a melhor HD2 é obtida em menores temperaturas. Entretanto, o mesmo não é observado em HD3, que mostra melhores resultados em temperatura ambiente.

#### 4. RESULTADOS EXPERIMENTAIS

Para a caracterização elétrica das estruturas estudadas, foram utilizados transistores SOI nMOSFETs fabricados na UCL [83] e *OKI Semiconductors* [84], cujas características são descritas na Tabela 3.

Tabela 3 – Características de processo dos dispositivos da OKI e UCL.

	OKI	UCL
$t_{\text{oxf}}$	2,5nm	31nm
$t_{\text{oxb}}$	145 nm	390nm
$t_{\text{Si}}$	40 nm	80nm

Os dispositivos da UCL apresentam comprimentos de canal de 0,75 $\mu\text{m}$ , 1 $\mu\text{m}$ , 1,5 $\mu\text{m}$ , 2 $\mu\text{m}$ , 3 $\mu\text{m}$ , 4 $\mu\text{m}$ , 5 $\mu\text{m}$  e 6 $\mu\text{m}$ , permitindo verificar a influência das diferentes dimensões de MD e MS. A concentração de dopantes destes transistores é de  $5 \times 10^{16} \text{ cm}^{-3}$  para transistores de canal fortemente dopado e  $10^{15} \text{ cm}^{-3}$  para transistores de canal fracamente dopado, utilizados como MD da associação assimétrica. A largura de canal dos transistores é de 10 $\mu\text{m}$  para a UCL e 20 $\mu\text{m}$  para a OKI. Os dispositivos da OKI apresentam concentração de dopantes de canal diversificada, com L de 150 nm e tensão de limiar detalhada na Tabela 4. Os códigos de letras são utilizados para futura referência a estes transistores neste trabalho.

Tabela 4 – Tensões de limiar para os dispositivos da tecnologia OKI em temperatura ambiente.

<b>Tensões de Limiar [V] – OKI @T=300K</b>	
<b><math>V_T</math> Intrínseco (I)</b>	0,05
<b>Super Baixo (SL) <math>V_T</math></b>	0,35
<b>Baixo (L) <math>V_T</math></b>	0,59
<b><math>V_T</math> Normal (STD)</b>	0,72

Na Figura 35 é apresentada uma foto de um chip que contém estruturas formadas por transistores de diversos comprimentos de canal e duas concentrações de dopantes diferentes, permitindo obter diversas configurações da A-SC, uma vez que todos os transistores tem um terminal de fonte/dreno comum.

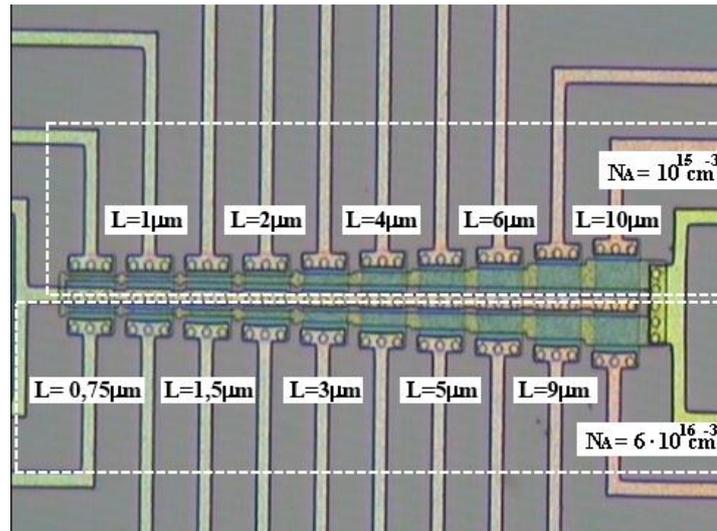


Figura 35 – Foto de Associações Série Assimétricas fabricadas, com MS e MD de diferentes comprimentos de canal.

#### 4.1. Comparação entre as Associações Simétricas e Assimétricas de Transistores em Temperatura Ambiente

Neste tópico são apresentados os resultados obtidos para um conjunto de dispositivos da tecnologia UCL, aqui por diante referidos como Conjunto 1, em temperatura ambiente.

##### 4.1.1. Curvas Características e Tensão de Limiar

Como dito anteriormente, a baixa concentração de dopantes de MD tem como função principal reduzir o campo elétrico longitudinal próximo ao dreno. Inicialmente, a comparação entre A-SC e S-SC pode ser realizada através da curva  $I_{DS}$  em função de  $V_{GS}$ , como mostra a Figura 36, que contém resultados para estruturas A-SC e S-SC de  $L_{MD} = L_{MS} = 2 \mu\text{m}$  e  $0,75 \mu\text{m}$ .

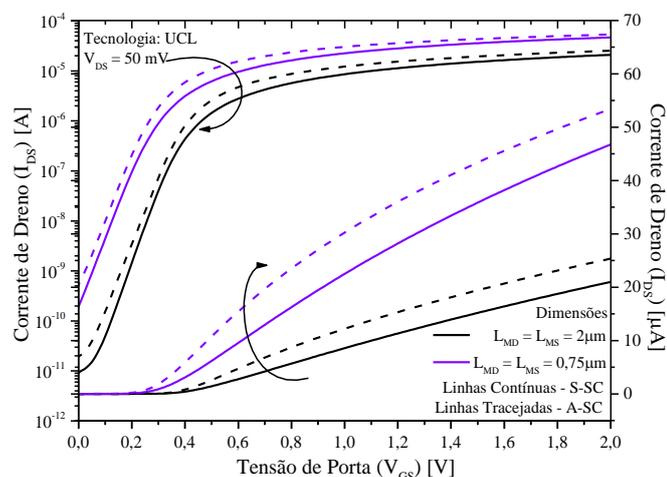


Figura 36 – Corrente de dreno em função da tensão de porta para  $V_{DS} = 50 \text{ mV}$  de estruturas A-SC e S-SC de diferentes comprimentos de canal.

É possível notar que a associação assimétrica, neste caso composta por transistores de dimensões semelhantes entre si, sempre apresentará corrente de dreno maior que a associação simétrica, por conta da redução do comprimento efetivo do canal relacionada ao MD menos dopado. Os valores das tensões de limiar, exibidos na Tabela 5, mostram que ambas as estruturas apresentam  $V_T$  próxima, apresentando diferença de apenas 0,09V no pior caso, havendo então pouco deslocamento da região de sublimiar, mantendo a corrente de dreno de desligamento e inclinação de sublimiar, como pode ser visto na Tabela 6, que apresenta S para dispositivos A-SC e S-SC.

Tabela 5 – Tensão de limiar em função para estruturas A-SC e S-SC compostas por transistores de vários comprimentos de canal, com  $V_{DS}$  de 50mV.

		<b>Tensão de Limiar [V]</b>					
		<b>Comprimento do canal de MD [<math>\mu\text{m}</math>]</b>					
		0,75		1,00		2,00	
		<b>A-SC</b>	<b>S-SC</b>	<b>A-SC</b>	<b>S-SC</b>	<b>A-SC</b>	<b>S-SC</b>
<b>Comprimento do canal de MS [<math>\mu\text{m}</math>]</b>	0,75	0,29	0,3	0,29	0,31	0,29	0,38
	1,00	0,33	0,33	0,33	-	0,33	0,38
	2,00	0,38	0,38	0,38	0,38	0,38	0,38

Tabela 6 - Inclinação de sublimiar para estruturas A-SC e S-SC compostas por transistores de vários comprimentos de canal, com  $V_{DS}$  de 50mV.

		<b>Inclinação de Sublimiar [mV/déc]</b>					
		<b>Comprimento do canal de MD (<math>L_{MD}</math>) [<math>\mu\text{m}</math>]</b>					
		0,75		1,00		2,00	
		<b>A-SC</b>	<b>S-SC</b>	<b>A-SC</b>	<b>S-SC</b>	<b>A-SC</b>	<b>S-SC</b>
<b>Comprimento do canal de MS (<math>L_{MS}</math>) [<math>\mu\text{m}</math>]</b>	0,75	73,14	71,47	73,30	68,88	72,52	65,29
	1,00	67,72	71,50	68,39	-	67,50	65,69
	2,00	74,72	74,40	76,03	73,8	76,31	66,42

A comparação entre as duas estruturas também pode ser realizada ao analisarmos as curvas  $I_{DS}$  vs.  $V_{DS}$  para uma mesma sobretensão de porta  $V_{GT}$  de 200 mV, como mostrado na Figura 37.

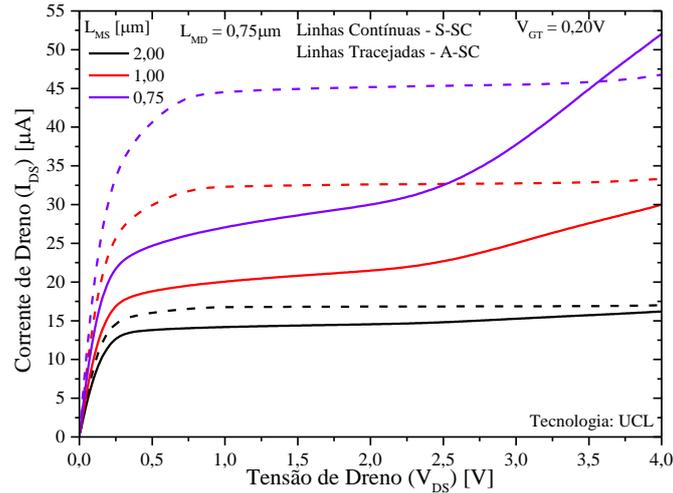


Figura 37 – Corrente de dreno em função da tensão de dreno para estruturas simétricas e assimétricas de  $L_{MS}$  igual a  $0,75\mu\text{m}$ , com  $V_{GT}$  de  $0,20\text{V}$ .

Ao fazer uma análise inicial, é possível notar detalhes mencionados na discussão sobre os conceitos teóricos, como a melhor tensão de ruptura e tensão Early para a associação assimétrica. Estas características são provocadas pela redução do campo elétrico próximo ao dreno que ocorre na A-SC em comparação à S-SC. A estrutura assimétrica também apresenta duas tensões de saturação em contra partida à associação S-SC, que apresenta apenas uma. Isto ocorre graças às diferentes  $V_T$  entre os transistores que compõem a associação assimétrica. O primeiro pico da A-SC coincide com o pico da S-SC por conta da semelhança entre as tensões de limiar entre MS da A-SC e os transistores da S-SC. O pico negativo das curvas é referente à tensão de ruptura e pode-se notar que  $BV_{DS}$  é menor para a associação simétrica. Este fenômeno pode ser observado na região de  $0,25\text{V} < V_{DS} < 1,00\text{V}$  na Figura 38, onde são apresentadas as curvas utilizadas para a extração da tensão de saturação descritas pela equação (35) [55].

$$G = g_D \cdot \frac{d(1/g_D)}{dV_{DS}} \quad (35)$$

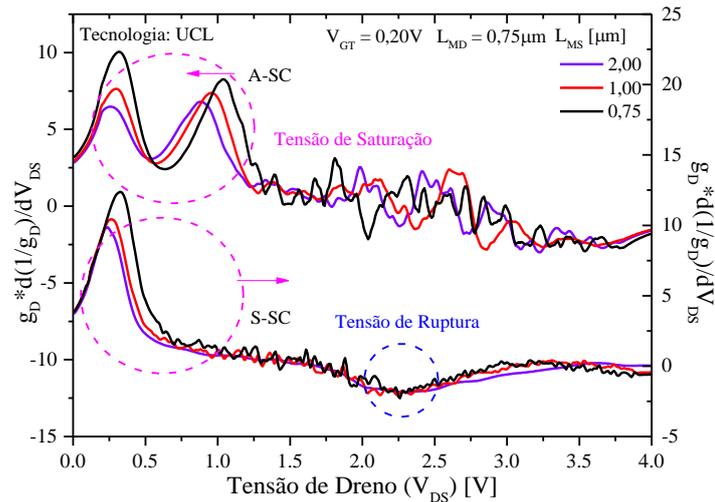


Figura 38 – Derivada do inverso de  $g_D$  multiplicada por  $g_D$  em função da tensão de dreno, para estruturas simétricas e assimétricas de  $L_{MS}$  igual a  $0,75\mu\text{m}$ ,  $1\mu\text{m}$  e  $2\mu\text{m}$ , com  $V_{GT}$  de  $0,20\text{V}$ .

Um pico negativo para as estruturas S-SC também pode ser verificado entre  $2\text{V}$  e  $2,5\text{V}$ , referente ao fenômeno da ruptura. Para as estruturas A-SC, isto não é observado. Assim, nota-se que, mesmo para um  $L_{MD}$  curto, os benefícios de um MD fracamente dopado são mantidos, enquanto as S-SC de dimensões equivalentes são bastante prejudicadas pela redução de  $L_{MD}$ . Isto indica que a A-SC promove características elétricas melhores que a S-SC de comprimentos de canal semelhantes.

Na Figura 39 é possível observar em detalhes o comportamento da condutância de dreno em função da tensão de dreno e comparar as associações simétrica e assimétrica. Nota-se que a A-SC atinge valores mais baixos que a S-SC para valores de  $V_{DS}$  entre  $1\text{V}$  e  $3\text{V}$ , devido à redução do efeito de modulação do canal.

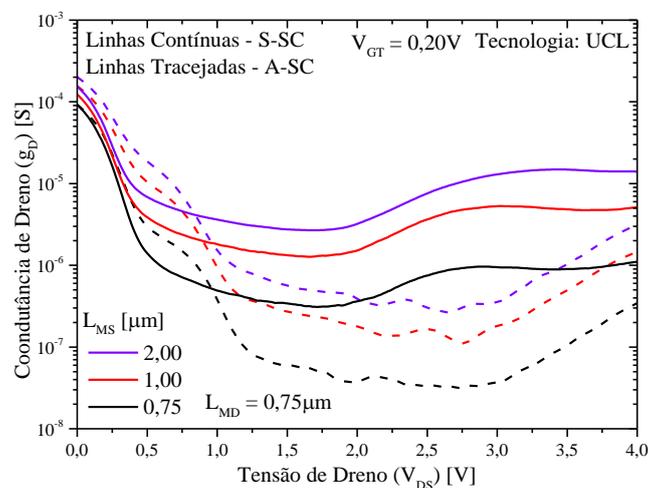


Figura 39 – Condutância de dreno em função da tensão de dreno, para estruturas simétricas e assimétricas de  $L_{MS}$  igual a  $0,75\mu\text{m}$ ,  $1\mu\text{m}$  e  $2\mu\text{m}$ , com  $V_{GT}$  de  $0,20\text{V}$ .

Embora haja um aumento da tensão de saturação, a presença de uma região fracamente dopada também melhora a mobilidade da A-SC, além de proporcionar o efeito de redução do comprimento efetivo do canal. Isto provoca uma melhor transcondutância quando comparada com a S-SC, como pode ser visto na Figura 40, que contém as curvas de corrente de dreno (a) e transcondutância (b) em função da tensão de porta para  $V_{DS}$  de 1,5 V. Nota-se que a transcondutância atinge seu pico para menores  $V_{GS}$  em A-SC que S-SC e que seu comportamento para maiores  $V_{GS}$  possui tendência semelhante para ambas as estruturas. Para altos  $V_{GS}$ , a degradação devido ao maior campo elétrico vertical gera uma tendência de transcondutância semelhante entre as estruturas A-SC e S-SC. O comprimento efetivo de canal da A-SC é mais curto que a S-SC em sublimiar e em regimes de inversão fraca/moderada. Apesar disso, em altos  $V_{GS}$ , o aumento da concentração de portadores na superfície do canal de ambos os transistores faz com que o comprimento efetivo de canal da A-SC se aproxime da S-SC e  $g_m$  apresenta, portanto, comportamento similar para as duas estruturas [17].

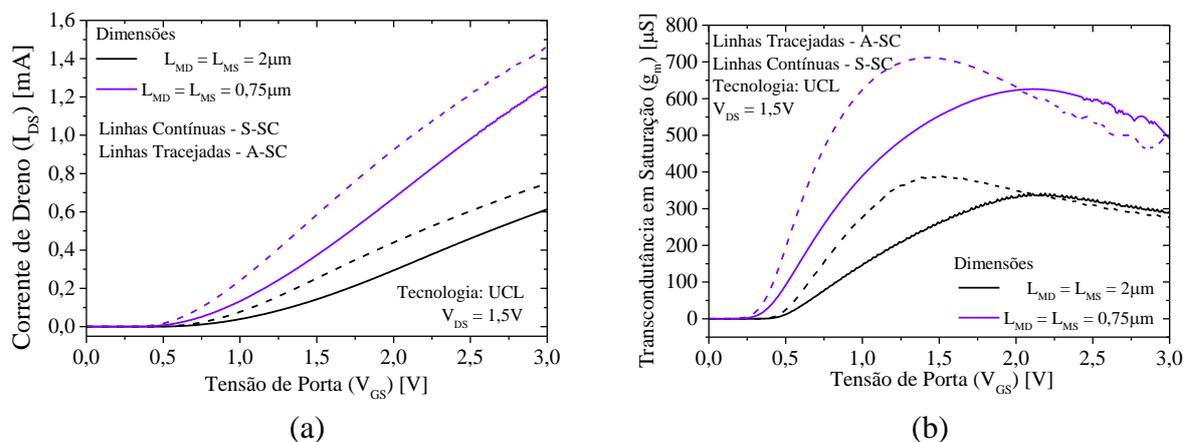


Figura 40 – Corrente de dreno e transcondutância em função da tensão de porta para A-SC e S-SC de diversas dimensões com  $V_{DS}$  de 1,5V.

#### 4.1.2. Ganho de tensão

Das curvas apresentadas no item 4.1.1 foi possível extrair valores pontuais de  $g_m$  e  $g_D$ . Aqueles obtidos para a transcondutância com  $V_{DS}$  de 1,5 V e  $V_{GT}$  de 0,2 V são exibidos na Figura 41 em função dos comprimentos de canal dos transistores MS e MD.

É possível perceber que a variação no comprimento de MD tem muito mais influência na transcondutância da associação série simétrica que na assimétrica. A transcondutância se mostra mais degradada em S-SC quanto maior for  $L_{MD}$ , atingindo aproximadamente a metade dos valores obtidos para a A-SC, já que o comprimento total da estrutura aumenta.

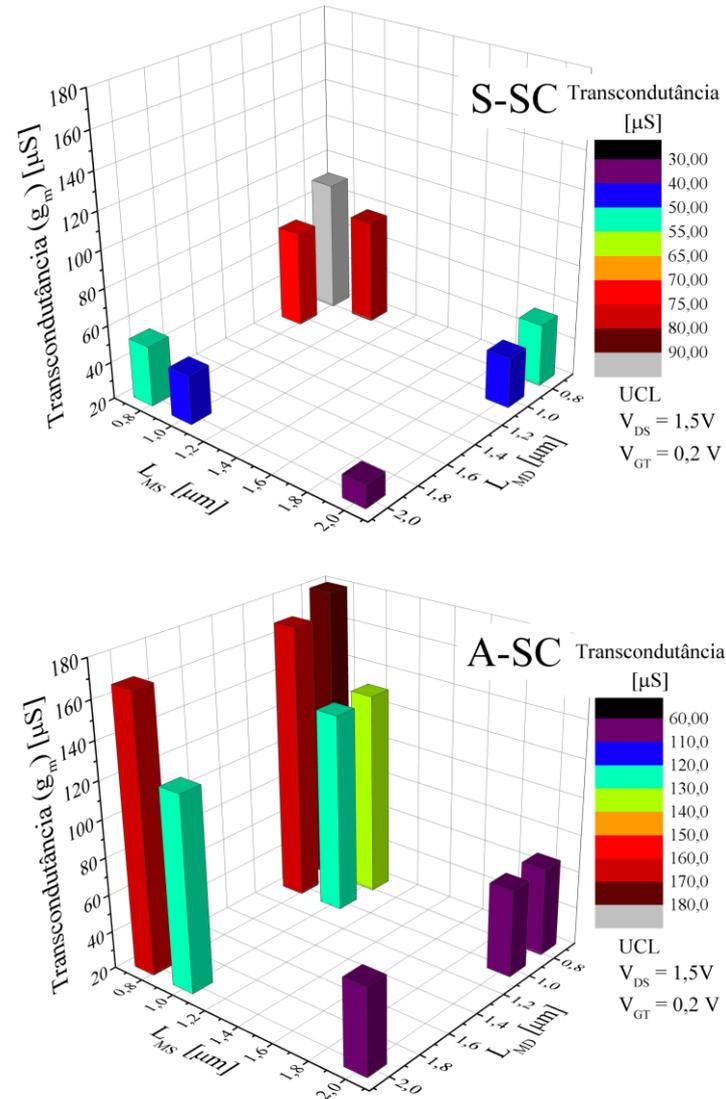


Figura 41 – Transcondutância em função dos comprimentos de canal de MS e MD para estruturas A-SC e S-SC, com  $V_{DS}$  de 1,5 V e  $V_{GT}$  de 0,2 V.

No entanto, como na associação assimétrica, o comprimento efetivo de canal tende a  $L_{MS}$ , a degradação por conta do comprimento de canal de MD é mínima devido a sua baixa resistência elétrica. O efeito de redução do comprimento efetivo que existe na A-SC comparado com a S-SC pode ser observado na Figura 42, onde é apresentada a tensão do nó intermediário de uma associação simétrica e assimétrica de mesmo comprimento de canal. Nota-se que  $V_X$  para a A-SC é aproximadamente  $V_{DS}$  até uma polarização de dreno mais elevada que a S-SC. Após a saturação,  $V_X$  tende a um valor praticamente constante, que é aproximadamente 8,5 vezes maior e com menor variação com a polarização de dreno no caso da associação assimétrica. Isto significa que o transistor MD para a A-SC exerce a função de extensão do dreno mais eficientemente que para S-SC, refletindo nas vantagens oferecidas da estrutura assimétrica sobre a simétrica.

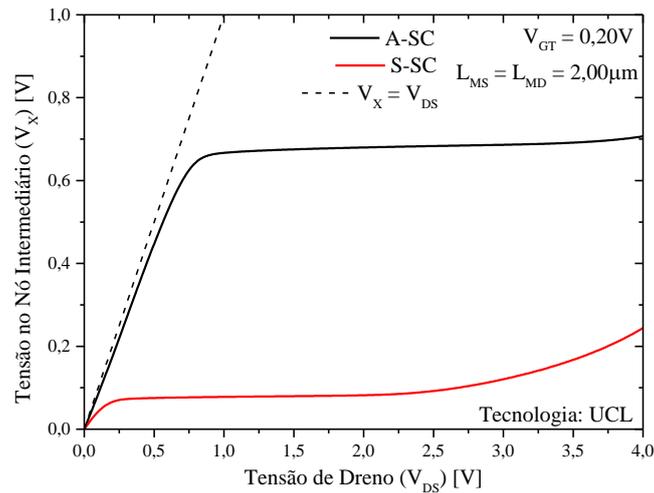


Figura 42 – Tensão no nó intermediário em função da tensão de dreno para estruturas A-SC e S-SC, com  $V_{GT}$  de 0,2 V e  $L_{MS} = L_{MD} = 2 \mu\text{m}$ .

Uma comparação semelhante à realizada para  $g_m$  pode ser feita com a condutância de saída. Os resultados para S-SC e A-SC estão apresentados na Figura 43. Notam-se valores menores de condutância de saída para a A-SC, o que é indicativo do menor efeito de modulação do comprimento de canal que é obtido com o uso de um MD de canal fracamente dopado.

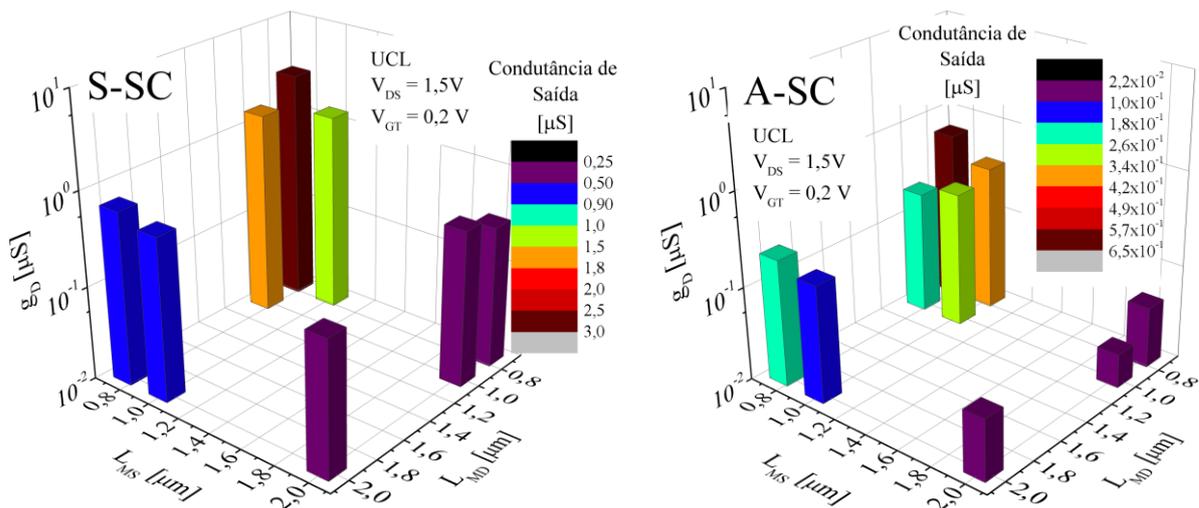


Figura 43 – Condutância de saída em função do comprimento de canal de MS e MD para estruturas A-SC e S-SC com  $V_{DS}$  de 1,5V e  $V_{GT}$  de 0,2V.

Analisando a dependência de  $g_D$  com os comprimentos de canal de MD e MS na A-SC, percebe-se que maiores valores deste parâmetro são obtidos para menores MS que para menores MD, o que está relacionado à maior importância do transistor próximo à fonte para o comportamento da associação série assimétrica. Maiores valores de  $g_D$  também são obtidos para MS de canal mais curto na S-SC, devido ao fato de MD operar de modo a aumentar a

resistência de saída do conjunto [13]. Como visto nesta referência, isto diminui o valor da condutância de dreno.

Resultado da combinação de  $g_m$  e  $g_D$ , o ganho intrínseco de tensão é exibido na Figura 44.

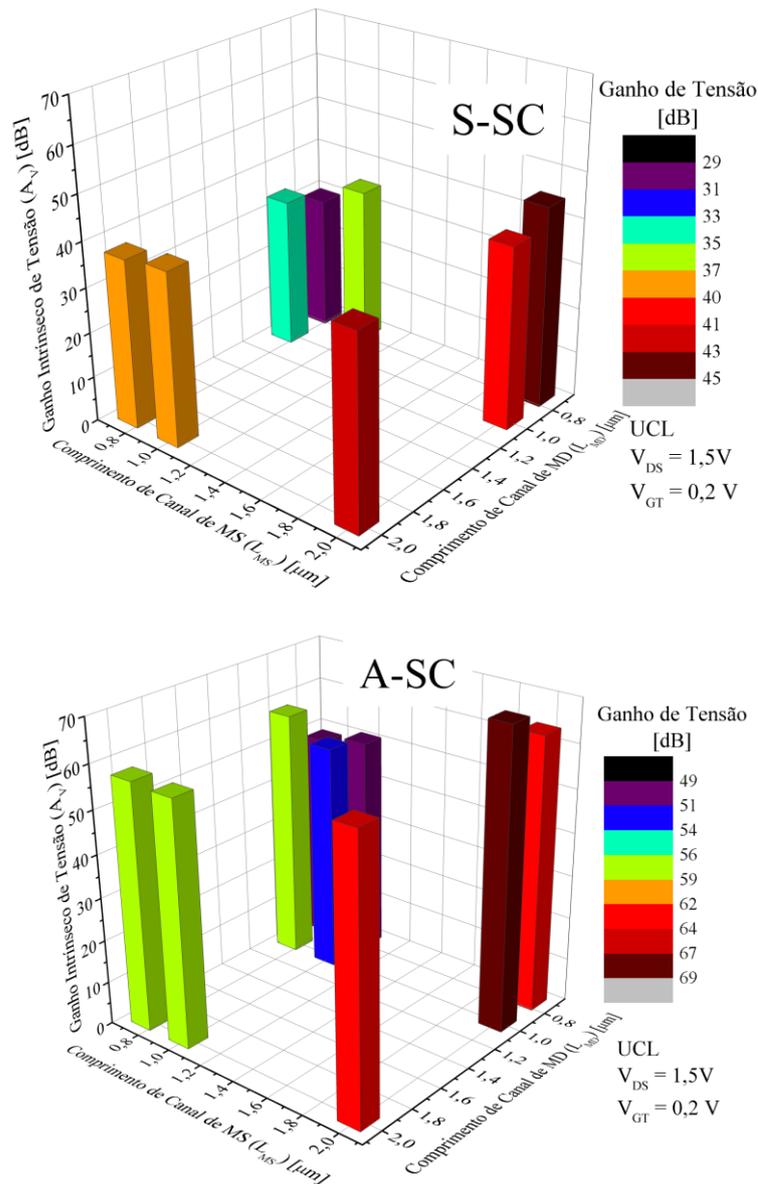


Figura 44 – Ganho intrínseco de tensão em função do comprimento de canal de MS e MD para estruturas A-SC e S-SC com  $V_{DS}$  de 1,5 V e  $V_{GT}$  de 0,2 V.

Nota-se então que o comportamento de  $A_v$  é principalmente influenciado pelo comportamento da condutância de dreno, então ele aumenta quanto mais longo o comprimento de MS. Assim sendo, os valores obtidos para os transistores da associação assimétrica, por apresentarem melhores  $g_m$  e  $g_D$ , são no mínimo 15,73 dB maiores que a S-SC. O ganho de tensão, portanto, como característica que qualifica o uso das estruturas em aplicações analógicas, mostra maiores valores para as estruturas A-SC de longo  $L_{MS}$  e curto

$L_{MD}$ . Nos resultados obtidos, por exemplo, o melhor resultado para  $A_V$  na A-SC foi obtido para  $L_{MS}$  de 2  $\mu\text{m}$  e  $L_{MD}$  de 1  $\mu\text{m}$ , cerca de 20,5 dB maior que o ganho para a pior combinação (neste caso, quando  $L_{MS}$  e  $L_{MD}$  são de 0,75  $\mu\text{m}$ ).

O ganho de tensão também foi extraído em função de  $g_m/I_{DS}$ , como mostrado na Figura 45, que contém as curvas para dispositivos A-SC e S-SC com  $L_{MS}$  constante e igual a 2  $\mu\text{m}$ , 1  $\mu\text{m}$  e 0,75  $\mu\text{m}$  e  $L_{MD}$  variável igual a 2  $\mu\text{m}$ , 1  $\mu\text{m}$  e 0,75  $\mu\text{m}$  para  $V_{DS}$  de 1,5 V. Para todos os pontos extraídos, a associação assimétrica apresentou melhores resultados que a S-SC, mantendo no mínimo uma diferença de 17 dB na região onde os maiores valores para  $A_V$  foram obtidos ( $g_m/I_{DS}$  entre 10  $\text{V}^{-1}$  e 15  $\text{V}^{-1}$ , em inversão moderada).

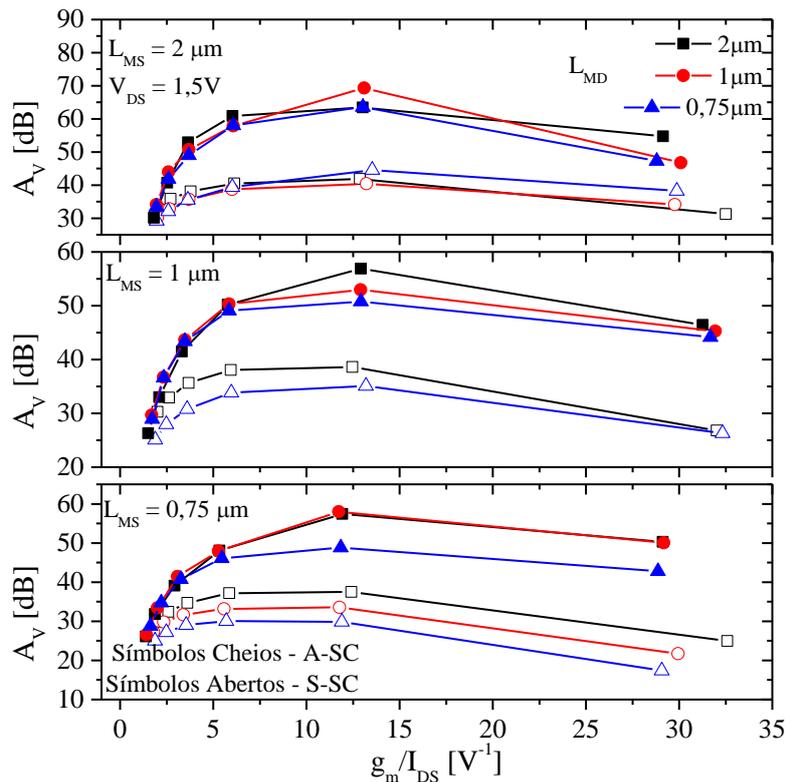


Figura 45 – Ganho de tensão em função da razão  $g_m/I_{DS}$  para associações série simétricas e assimétricas de diferentes dimensões.

#### 4.1.3. Distorção Harmônica

Inicialmente, HD é apresentada com  $V_a$  fixo em 50 mV e em função da sobretensão de porta, que coincide com a tensão de polarização,  $V_0$ , como na Figura 46, que contém HD2 e HD3 para dispositivos A-SC e S-SC com  $L_{MD} = L_{MS} = 2 \mu\text{m}$  e 0,75  $\mu\text{m}$  para  $V_a$  de 50 mV. Para estes casos, HD2 é aproximadamente igual à distorção harmônica total. Assim sendo, a aplicação do método IFM é equivalente a uma entrada senoidal de amplitude  $V_a$  somada à

tensão de polarização do dispositivo (aqui correspondente à  $V_{GT}$ ), de forma que  $V_{GS} = V_{GT} + V_a \cdot \text{sen}(\omega t)$ , onde  $\omega t$  varia entre 0 e  $2\pi$ .

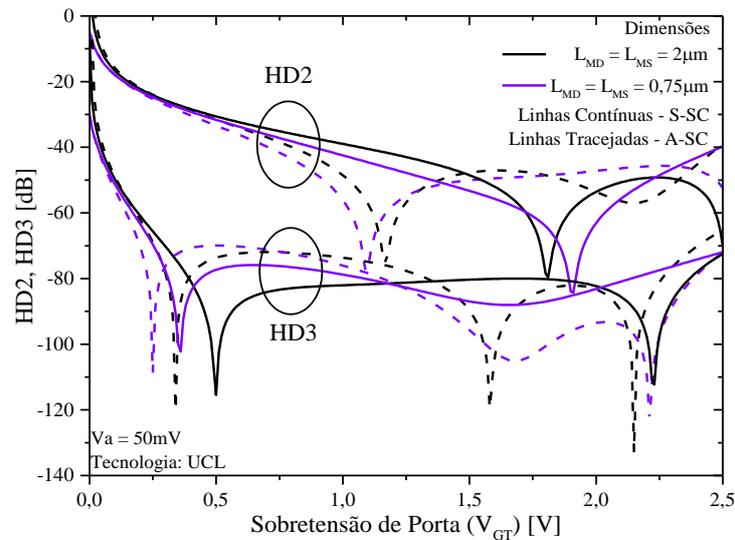


Figura 46 – Distorção harmônica referente ao segundo e terceiro harmônico em função da sobretensão de porta para A-SC e S-SC com  $V_{DS}$  de 1,5V e  $V_a$  de 50mV.

O pico de negativo de HD2 coincide com a máxima transcondutância obtida com a mesma polarização de dreno. Como dito anteriormente, nas condições em que estas estruturas foram planejadas e medidas, a terceira harmônica apresenta valores bastante inferiores à HD2. Graças à maior transcondutância observada em combinações de transistores de comprimento de canal menor, percebe-se uma menor distorção harmônica nas estruturas A-SC. É possível explicar este fato através da equação (15), mais especificamente dos termos  $g_m^2$ ,  $\delta g_m / \delta V_{GT}$  e  $g_D$ , exibidos em função da razão  $g_m / I_{DS}$  na Figura 47, Figura 48 e Figura 49, respectivamente. Nota-se que há uma compensação destes parâmetros, pois a A-SC mostra melhores resultados sob o ponto de vista da não-linearidade em  $g_m^2$  e  $g_D$ , mas não  $\delta g_m / \delta V_{GT}$ .

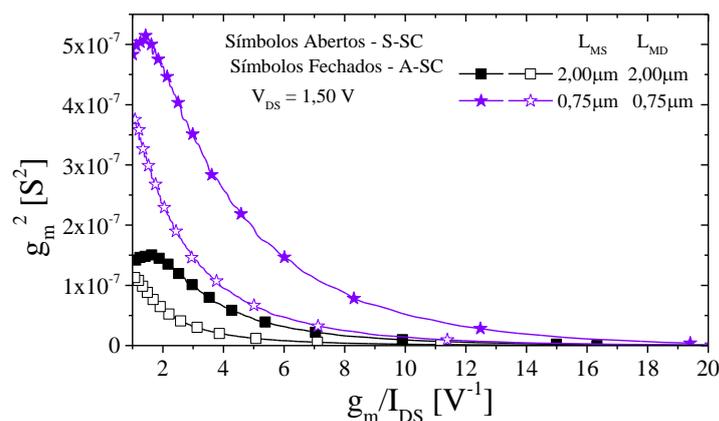


Figura 47 – Quadrado da transcondutância para estruturas A-SC e S-SC de diferentes comprimentos de canal em função da razão  $g_m / I_{DS}$ .

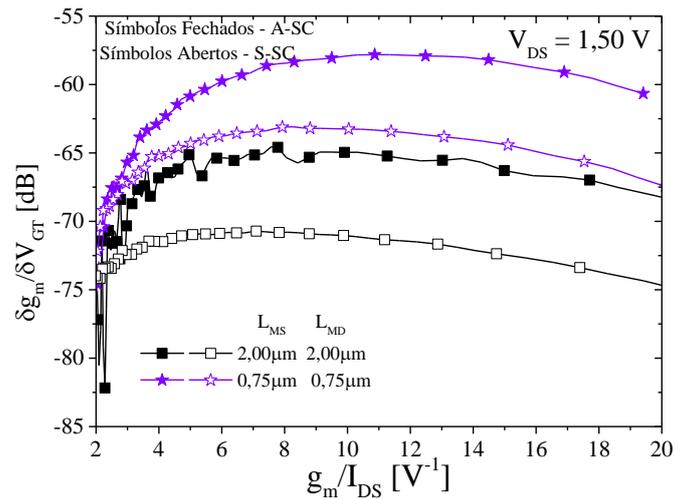


Figura 48 – Derivada de  $g_m$  em função de  $V_{GT}$  para estruturas A-SC e S-SC de diferentes comprimentos de canal em função da razão  $g_m/I_{DS}$ .

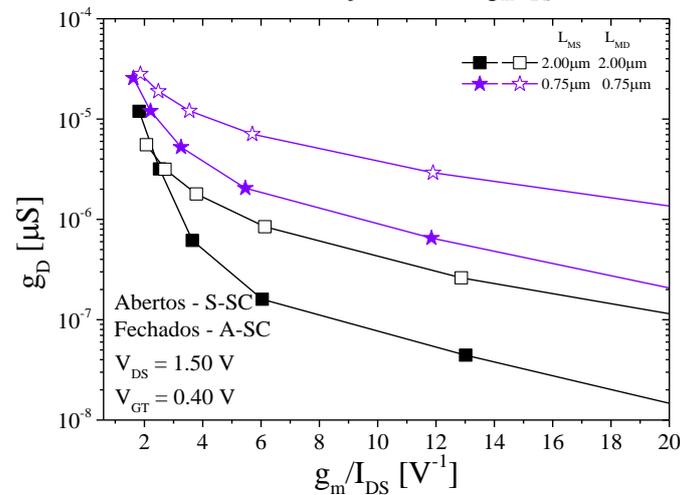


Figura 49 – Condutância de dreno para estruturas A-SC e S-SC de diferentes comprimentos de canal em função da razão  $g_m/I_{DS}$ .

Os picos obtidos em HD3 consistem em pontos de máximos e mínimos da transcondutância, decorrentes de inflexões na corrente, que são fortemente ligados a mecanismos que definem o comportamento de HD3, como o efeito de corpo, a degradação da mobilidade e a resistência série [50,26]. HD3 apenas apresenta grande influência sobre o comportamento do dispositivo quando o dispositivo estudado é polarizado de modo a evitar a formação das harmônicas pares, como em circuitos diferenciais [85].

É interessante do ponto de vista do projeto de circuitos integrados analógicos que se tenha conhecimento do regime de polarização no qual opera o dispositivo. Como dito na revisão dos conceitos teóricos, uma maneira de determinar estas características é através da curva  $g_m/I_{DS}$  em função da corrente normalizada em função da razão de aspecto, como mostrado na Figura 50, que contem as curvas para estruturas A-SC e S-SC com  $L_{MD}$  de 2 μm

e  $L_{MS}$  de  $2 \mu$  e de  $0,75 \mu$ , para  $V_{DS}$  de  $1,5 \text{ V}$ . A razão de aspecto utilizada considera  $L$  igual a  $L_{MS} + L_{MD}$  para a A-SC e S-SC. Nota-se que os valores de  $g_m/I_{DS}$  são maiores para transistores da A-SC, devido ao menor comprimento de canal efetivo e a maior mobilidade que é observada nesta estrutura em contra partida à associação S-SC, e que a diferença entre dispositivos de  $L$  diferentes é mais acentuada.

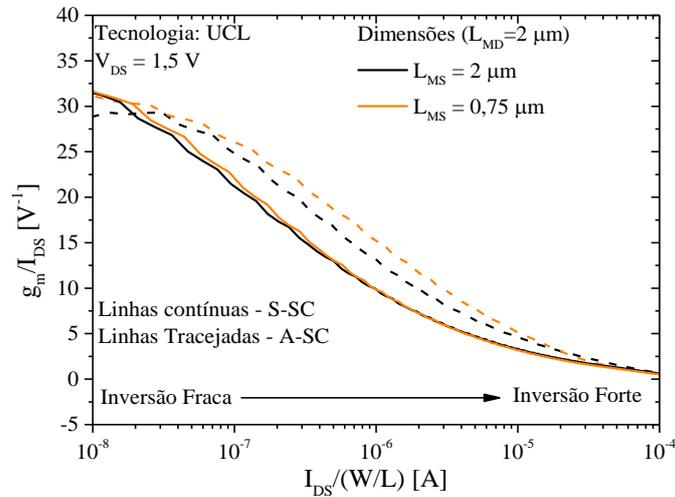


Figura 50 – Razão  $g_m/I_{DS}$  em função da corrente de dreno normalizada pela razão de aspecto para dispositivos A-SC e S-SC de diferentes  $L_{MS}$  com  $V_{DS}$  de  $1,5\text{V}$ .

Assim sendo, ao traçar a curva da linearidade em função da razão  $g_m/I_{DS}$  é possível associar seu comportamento ao modo de inversão no qual a estrutura opera. A Figura 51 contém essa curva, extraída para  $V_{DS} = 1,5\text{V}$ , em estruturas A-SC e S-SC de  $L_{MS} = L_{MD} = 2 \mu$  e  $0,75 \mu$  e  $V_a$  de  $50\text{mV}$ .

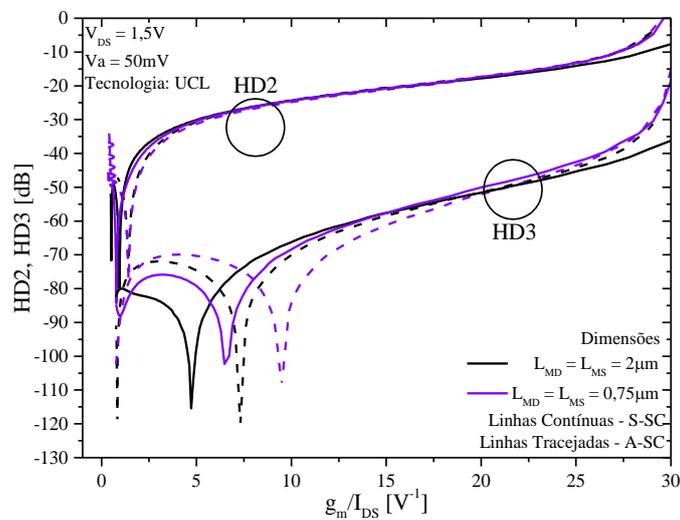


Figura 51 – Distorção harmônica referente aos harmônicos de segunda e terceira ordem em função da razão  $g_m/I_{DS}$  para estruturas A-SC e S-SC de diferentes dimensões, com  $V_a$  de  $50\text{mV}$  e  $V_{DS}$  de  $1,5\text{V}$ .

Valores mais baixos de HD2 e HD3 são encontrados num intervalo de  $g_m/I_{DS}$  de  $2V^{-1}$  a  $10V^{-1}$ . No entanto, existe pouca influência da dimensão dos transistores que compõe a associação série em HD2 e em HD3 em inversão moderada e fraca. Este comportamento está relacionado ao fato de que, apesar do comportamento da corrente de dreno ser proporcionalmente similar entre os dispositivos, suas condutâncias de dreno e, portanto, seus ganhos de tensão são diferentes para diferentes comprimentos de canal.

Para melhor analisar o comportamento da distorção com a variação das dimensões da estrutura, os valores de HD2 e HD3 foram normalizados e estão exibidos na Figura 52, para estruturas A-SC e S-SC com  $L_{MS}$  constante igual a  $2\ \mu\text{m}$  e  $0,75\ \mu\text{m}$  e  $L_{MD}$  variável igual a  $2\ \mu\text{m}$  e  $0,75\ \mu\text{m}$ . Como o MS é predominante no comportamento da associação, o transistor MD passa a apresentar uma maior influência sobre HD apenas quando MS tem suas dimensões reduzidas. Nota-se uma distinção entre os comprimentos de  $L_{MD}$  onde o comprimento mais curto apresenta maior distorção harmônica. Ao mesmo tempo, é possível perceber que a associação série simétrica apresenta valores sempre menores que a S-SC, indicando vantagem do uso da A-SC. O mesmo comportamento pode ser observado para HD3.

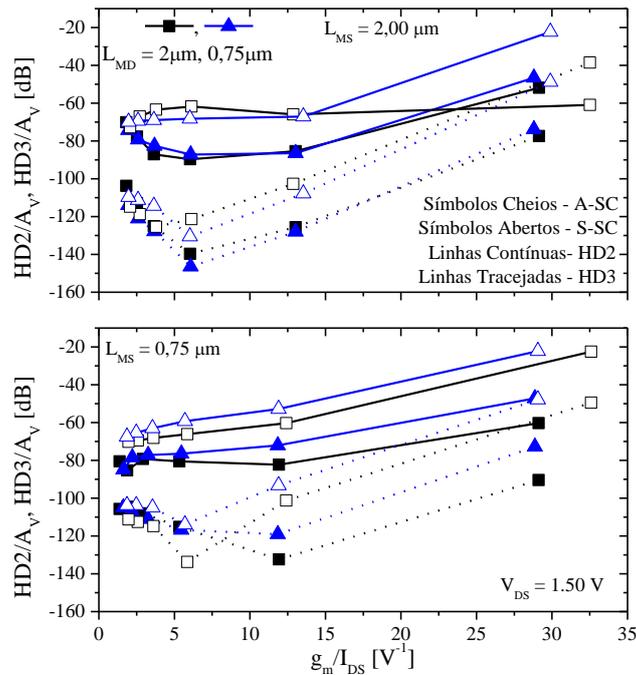


Figura 52 – Distorção harmônica referente aos harmônicos de segunda e terceira ordem normalizada pelo ganho de tensão em função de  $g_m/I_{DS}$  para estruturas A-SC e S-SC de diversas dimensões com  $V_a$  de  $50\ \text{mV}$  e  $V_{DS}$  de  $1,5\ \text{V}$ .

Também foi possível obter a linearidade para uma polarização constante de porta (amplitude de entrada  $V_a$  variável e  $V_{GT}$  constante). Os resultados para  $V_{GT}$  de  $0,4\ \text{V}$  são

exibidos na Figura 53, com estruturas A-SC e S-SC com  $L_{MS}$  constante igual a  $2\ \mu\text{m}$  e  $0,75\ \mu\text{m}$  e  $L_{MD}$  variável igual a  $2\ \mu\text{m}$ ,  $1\ \mu\text{m}$  e  $0,75\ \mu\text{m}$ .

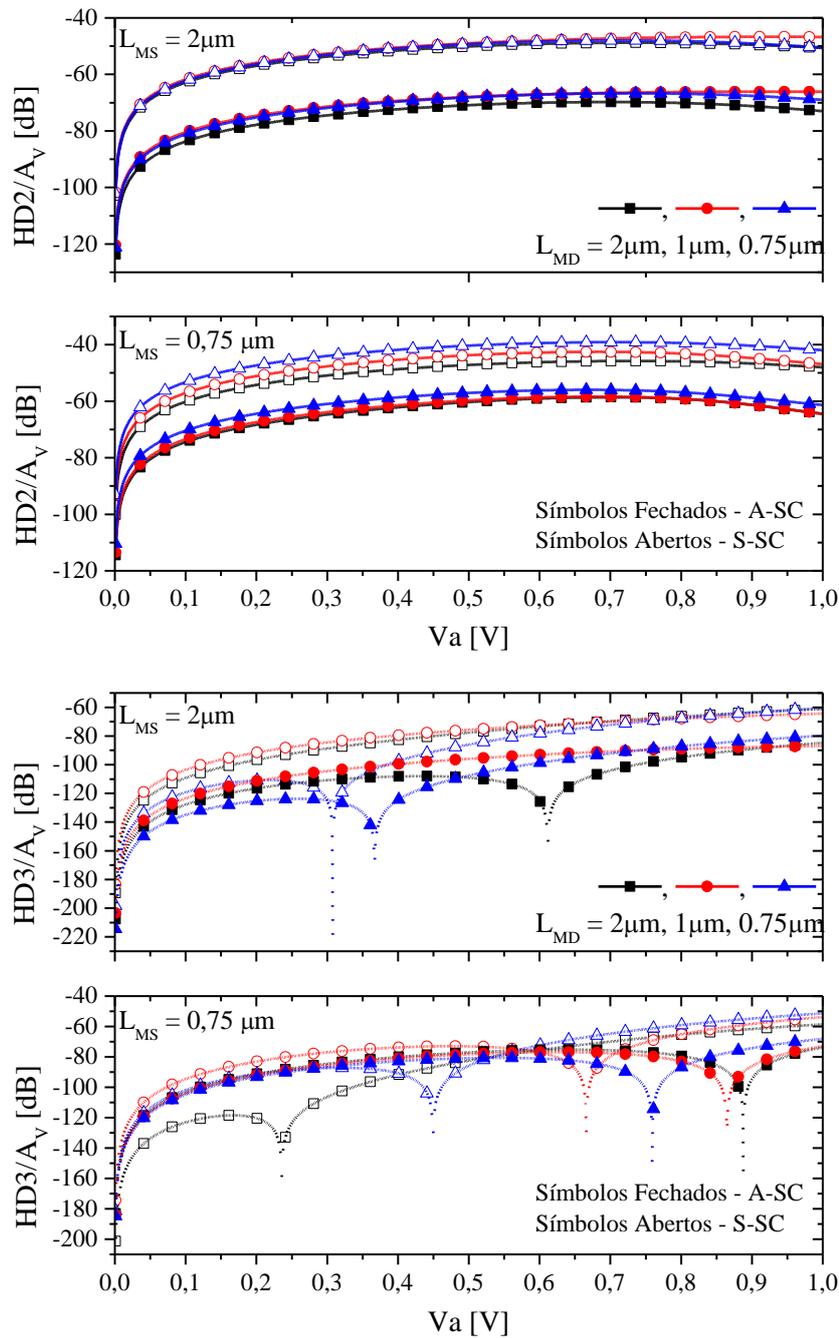
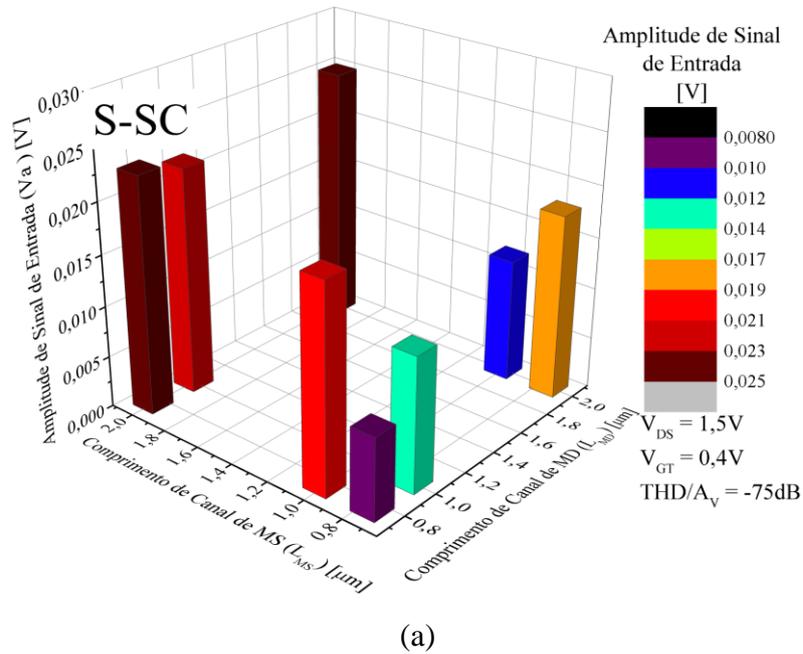


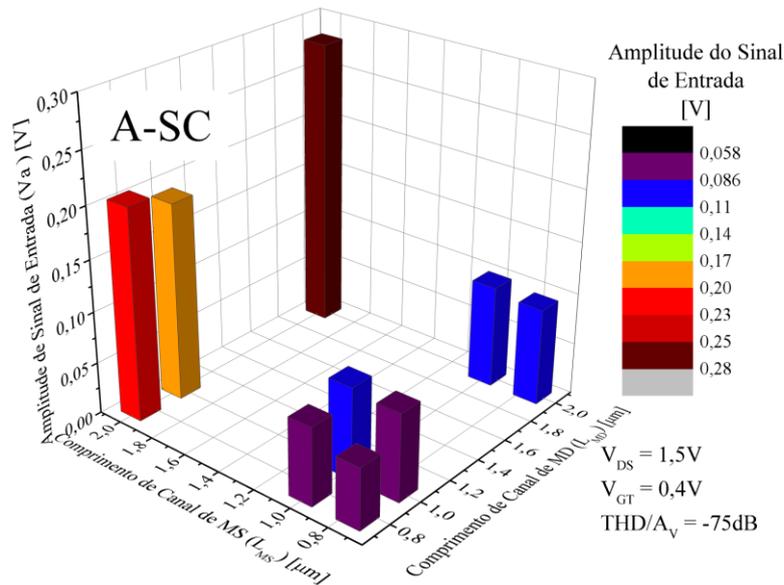
Figura 53 – Distorção harmônica referente aos harmônicos de segunda e terceira ordem normalizada pelo ganho em função da amplitude do sinal de entrada para estruturas A-SC e S-SC de diversas dimensões com  $V_{GT}$  de  $0,4\text{V}$  e  $V_{DS}$  de  $1,5\text{V}$ .

Estas curvas mostram a variação da linearidade que ocorre quando se altera  $V_a$ . Assim como nas curvas anteriores, um menor comprimento de  $L_{MD}$  está ligado a uma maior HD e a associação assimétrica apresenta melhores resultados que a simétrica. No entanto, esta curva

traz a interessante informação da amplitude de entrada máxima para que se obtenha certo nível de THD. Os valores obtidos para  $\text{THD}/A_V$  de  $-75\text{dB}$  são mostrados nas curvas da Figura 54.



(a)



(b)

Figura 54 – Amplitude do sinal de entrada em função do comprimento de MS e MD para estruturas S-SC (a) e A-SC (b) com  $V_{DS}$  de  $1,5\text{V}$ ,  $V_{GT}$  de  $0,4\text{V}$  e  $\text{THD}/A_V$  de  $-75\text{dB}$ .

Para uma linearidade fixa, é interessante que se obtenha alto  $V_a$ , pois indica que um sinal de entrada maior pode ser aplicado à entrada do dispositivo sem que haja degradação do sinal de saída. Neste caso, é possível notar que os valores de  $V_a$  para a A-SC são cerca de 10 vezes maiores que para a S-SC. Além disso, uma maior importância das dimensões dos

dispositivos pode ser apreciada, onde  $L_{MD}$  e  $L_{MS}$  mais longos apresentam maior  $V_a$ , o que está relacionado com o maior ganho de tensão que também é encontrado em transistores maiores.

Dispositivos de diferentes dimensões e, portanto, diferentes ganhos de tensão necessitam de diferentes amplitudes de entrada para obter uma mesma amplitude de saída por conta de seus diferentes ganhos de tensão. Entretanto, a literatura relaciona uma baixa amplitude de entrada a uma resposta de corrente de dreno mais linear [51]. Para contabilizar a relação entre amplitude de entrada e as não-linearidades, pode-se extrair HD considerando dispositivos polarizados de modo a obter-se um  $V_{out}$  fixo, como apresentado na Figura 55. Os valores foram extraídos para  $V_{DS}$  de 1,5V e  $V_{out}$  de 0,5 V.

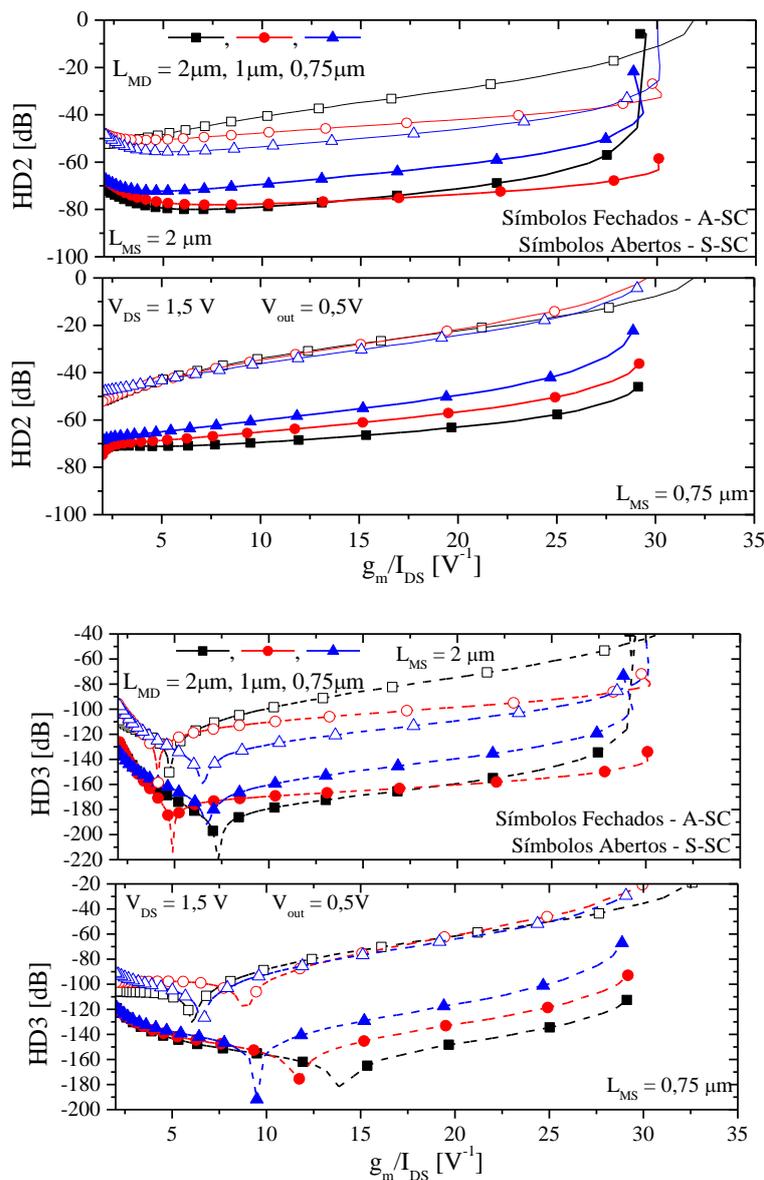


Figura 55 – Distorção harmônica total e terceira harmônica em função da razão  $g_m/I_{DS}$  para estruturas A-SC e S-SC de várias dimensões com  $V_{DS}$  de 1,5V e  $V_{out}$  de 0,5V.

Como nos resultados anteriores, HD3 é menor que HD2, a distorção é pior para estruturas S-SC e transistores maiores apresentam pior HD. Com  $g_m/I_{DS}$  entre os valores de  $5V^{-1}$  e  $15V^{-1}$ , a A-SC mostra HD2 pior conforme LMD é reduzido, mas ainda mostra resultados melhores que a S-SC, que por sua vez mostra uma menor dependência por  $L_{MD}$  mesmo quando  $L_{MS}$  é reduzido. A terceira harmônica acompanha o mesmo comportamento.

#### 4.2. Efeitos da Temperatura sobre Parâmetros Analógicos da Associação Série Assimétrica

Esta seção contém os estudos experimentais realizados considerando variadas temperaturas. Foram usados dispositivos da UCL para os estudos em alta temperatura e dispositivos da OKI em baixa temperatura. As estruturas da UCL aqui utilizadas apresentam as mesmas características de processo mencionadas no tópico anterior. No entanto, por diferenças de fabricação, apresentam tensões de limiar diferentes que os conjuntos estudados em temperatura ambiente, conforme informa a Tabela 7.

Tabela 7 – Tensão de limiar para o segundo conjunto de dispositivos da UCL em temperatura ambiente.

<b>TENSÃO DE LIMIAR – UCL (CONJUNTO 2)</b>						
$L_{MS} \backslash L_{MD}$	<b>0,75<math>\mu</math>m</b>	<b>1<math>\mu</math>m</b>	<b>1,5<math>\mu</math>m</b>	<b>2<math>\mu</math>m</b>	<b>4<math>\mu</math>m</b>	<b>6<math>\mu</math>m</b>
<b>0,75<math>\mu</math>m</b>	-0,34	-0,34	-0,33	-0,31	-0,29	-0,29
<b>1<math>\mu</math>m</b>	-0,34	-0,34	-0,32	-0,31	-0,29	-0,29
<b>1,5<math>\mu</math>m</b>	-0,34	-0,34	-0,32	-0,31	-0,28	-0,28
<b>2<math>\mu</math>m</b>	-0,34	-0,34	-0,32	-0,31	-0,29	-0,3
<b>4<math>\mu</math>m</b>	-0,36	-0,37	-0,35	-0,34	-0,3	-0,29
<b>6<math>\mu</math>m</b>	-0,38	-0,37	-0,35	-0,34	-0,3	-0,29

Para descomprometer os resultados obtidos, a tensão de limiar em temperatura ambiente é sempre usada como referência. O Conjunto 1, apresentado na seção anterior, foi utilizado para os parâmetros extraídos em baixas temperaturas.

##### 4.2.1. Baixa Temperatura

###### 4.2.1.1. Condutância de Dreno, Transcondutância e Ganho de Tensão

Para analisar  $A_v$ , inicialmente, é apresentado na Tabela 8 o resultado de  $g_m$  em temperatura de hélio líquido (4,2K) e temperatura ambiente para os dispositivos da OKI.

Tabela 8 – Transcondutância de dispositivos OKI para 4,2K e 300K, extraídas em  $V_{GT}$  de 0,2V e  $V_{DS}$  de 1,5 V.

TENSÃO DE LIMIAR		TEMPERATURA	
$V_{T,MS}$	$V_{T,MD}$	4,2K	300K
$SLV_T$	$IV_T$	6,68mS	3,71mS
$LV_T$	$IV_T$	4,71mS	3,72mS
$LV_T$	$SLV_T$	4,47mS	3,66mS
$STDV_T$	$IV_T$	4,43mS	3,24mS
$STDV_T$	$SLV_T$	4,32mS	2,77mS
$STDV_T$	$LV_T$	4,65mS	2,52mS

Em baixa temperatura e para as combinações de tensão de limiar como citadas na Tabela 4, é possível notar em primeira instância que  $g_m$  mostra-se maior que se obteria em 300K, devido à melhora na mobilidade que ocorre em baixas temperaturas. Nota-se que o maior valor é obtido para a combinação de menor  $V_T$ , enquanto as combinações com maior concentração de dopantes tendem para um valor entre 4mS e 5mS, o que pode ser explicado pela maior concentração de impurezas não ionizadas, prejudicando a mobilidade dos portadores [68].

Para a extração da condutância de dreno, ocorrem alguns problemas em baixa temperatura. SOI MOSFETs naturalmente possuem deficiência na dissipação de calor devido à presença do óxido enterrado, que termina por isolar termicamente a camada de silício [86]. Devido a isso, pode ocorrer o efeito de autoaquecimento [44], [87], onde o calor gerado pela própria passagem de corrente de dreno no canal reduz a mobilidade e afeta o comportamento da corrente de dreno, normalmente de forma a provocar uma inclinação decrescente na curva  $I_{DS}$  vs.  $V_{DS}$  em saturação (condutância negativa). Em temperaturas baixas este efeito é intensificado, pois o calor gerado é suficiente para compensar a escassa energia térmica e ionizar portadores, criando uma degradação na mobilidade. Nas curvas da corrente de dreno em função da tensão de dreno para  $V_{GT}$  de 0,2V, mostradas para os dispositivos OKI na Figura 56, o autoaquecimento pode ser observado.

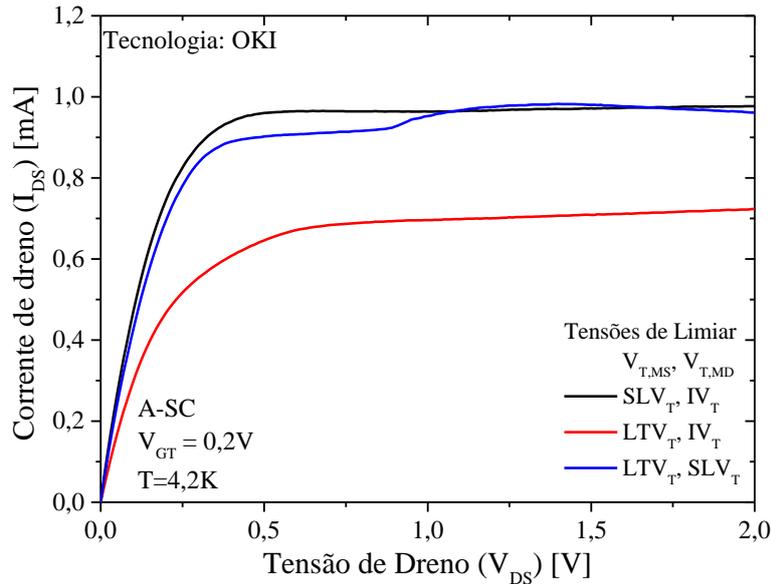


Figura 56 – Corrente de dreno em função da tensão de dreno para estruturas A-SC da OKI em temperatura criogênica, com  $V_{GT}$  de 0,2V.

Nestas curvas o efeito de autoaquecimento é acompanhado pelo efeito Kink [29], caracterizado por um aumento abrupto na corrente de dreno. Este efeito é decorrente do aumento do potencial da segunda interface que acontece graças ao acúmulo de portadores gerados por ionização por impacto nesta região. Este efeito não se manifesta em FD SOI MOSFETs em temperatura ambiente a não ser que a segunda interface seja polarizada em acumulação. No entanto, em temperaturas muito baixas, ocorre o congelamento dos portadores e o potencial da segunda interface passa a acumular cargas geradas por impacto [58].

Estes efeitos degradam o perfil da corrente de dreno em saturação. Procura-se não polarizar o transistor de modo que ele seja afetado pelo efeito Kink ou autoaquecimento. Ambos os aspectos são indesejados para aplicações de circuitos integrados analógico, pois o ganho intrínseco de tensão estará degradado ou será induzido a partir de um  $g_D$  negativo.

Nota-se, entretanto, que as associações formadas por transistores de concentração de dopantes do canal mais fraca não apresenta as degradações citadas, o que está relacionado com a menor quantidade de portadores de carga. Como o transistor MS é aquele que apresenta maior influência sobre o comportamento final da associação, as concentrações de dopantes no canal de MS menores que a padrão proporcionam reduzida ionização por impacto e interferência na mobilidade, suprimindo os efeitos Kink e autoaquecimento em temperatura reduzida [19]. Assim sendo, a condutância de dreno obtida para estas estruturas estão descritas na Figura 57.

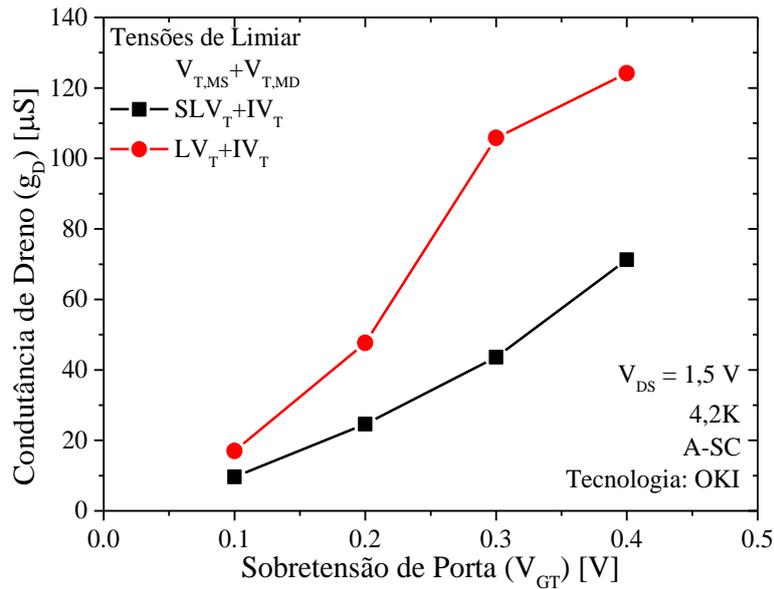


Figura 57 – Condutância de dreno em função da sobretensão de porta para estruturas A-SC da OKI, formadas por transistores de diferentes tensões de limiar em 4,2 K.

Como resultado da combinação de  $g_m$  e  $g_D$ , o ganho de malha aberta fica conforme apresentado na Figura 58.

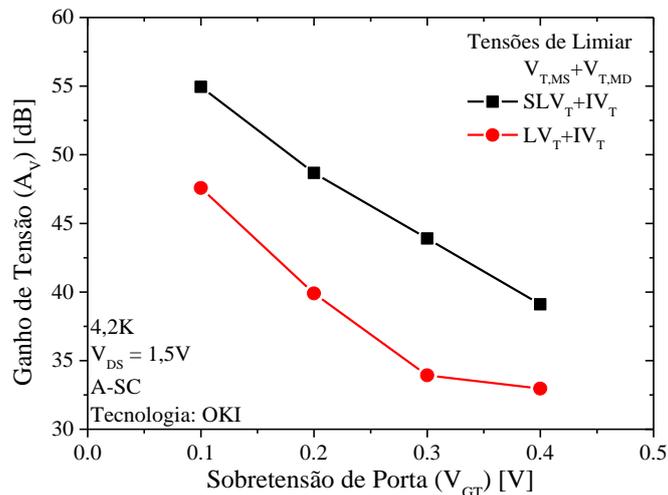


Figura 58 – Ganho de tensão em função da sobretensão de porta para estruturas A-SC da tecnologia OKI em temperatura criogênica, com  $V_{DS}$  de 1,5 V.

O ganho de tensão então cai conforme aumenta  $V_{GT}$  para as três estruturas analisadas. A degradação vista em  $A_V$  para a A-SC de MS com  $LV_T$  e MD com  $SLV_T$  para  $V_{GT}$  mais baixo está relacionada com a degradação de  $g_D$  também observada neste intervalo.

O estudo do ganho intrínseco de tensão também foi realizado para dispositivos da UCL, para realizar uma análise voltada para as diferenças de comportamento proporcionadas pela temperatura de hélio líquido sobre a S-SC e A-SC de comprimentos variados. O resultado obtido para  $g_m$  em função de  $V_{GT}$  é exibido na Figura 59.

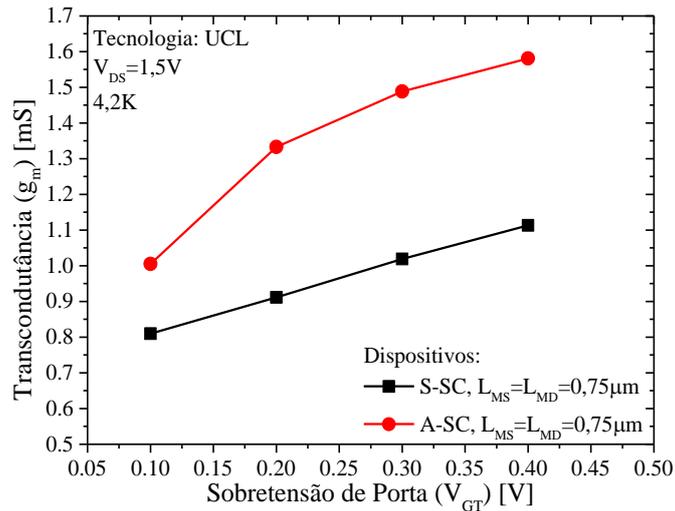


Figura 59 – Transcondutância em função da sobretensão de porta para estruturas S-SC e A-SC da UCL de diferentes comprimentos de canal em temperatura criogênica, com  $V_{DS}$  de 1,5V.

A transcondutância se mostra maior para as associações assimétricas, novamente devido à redução do comprimento efetivo do canal do dispositivo e o mesmo comportamento é observado com a redução do comprimento entre estruturas A-SC. As curvas de corrente de dreno em função da tensão de dreno dos dispositivos podem ser vistas na Figura 60.

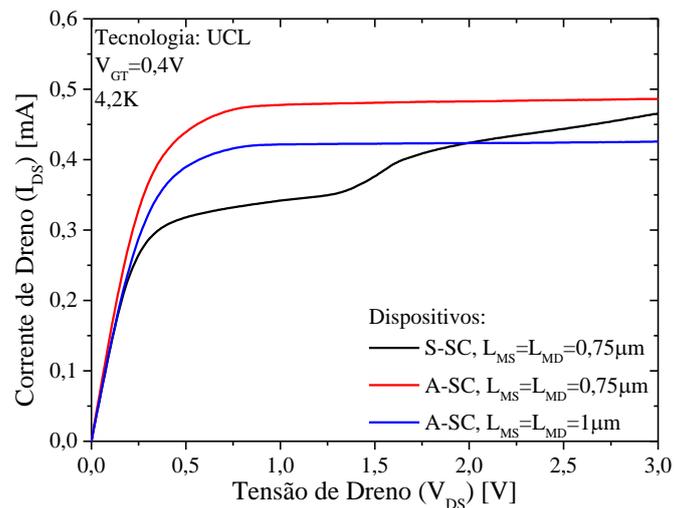


Figura 60 – Corrente de dreno em função da tensão de dreno para estruturas S-SC e A-SC da UCL de diferentes comprimentos de canal em temperatura criogênica, com  $V_{GT}$  de 0,4V.

Apenas o transistor da estrutura S-SC, que apresenta maior influência da ionização por impacto, apresentou efeito Kink. Na tabela, são apresentados, então, os valores obtidos para a condutância de dreno e ganho de tensão para os dispositivos A-SC com  $V_{GT}$  de 0,4V.

Tabela 9 – Ganho de tensão e condutância de dreno para dispositivos A-SC da UCL de  $L_{MS}=L_{MD}=0,75\mu\text{m}$  e  $1\mu\text{m}$ , com  $V_{GT}$  de  $0,4\text{V}$  e temperatura de  $4,2\text{K}$ .

$L_{MS} = L_{MD} [\mu\text{m}]$	$g_D [\mu\text{S}]$	$A_V [\text{dB}]$
0,75	5,03	49,95
1,00	0,0389	91,13

Nota-se um aumento no ganho de  $41,2\text{ dB}$  para o transistor de maiores comprimentos de canal, devido à melhora em  $g_D$ , já que  $g_m$  tem comportamento decrescente com o aumento de  $L$ .

#### 4.2.1.2. Distorção Harmônica

O estudo experimental da influência da temperatura sobre a linearidade foi realizado através de medidas executadas em temperatura de hélio líquido. Primeiramente, foi possível extrair THD e HD3 com amplitude de sinal de entrada fixa, exibidos em função da razão  $g_m/I_{DS}$  na Figura 61, que contem as curvas para transistores A-SC com MS e MD de variadas tensões de limiar.

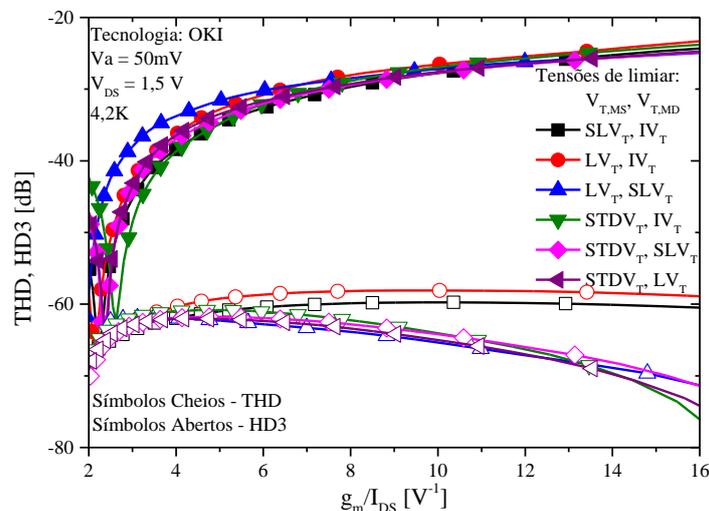


Figura 61 – Distorção harmônica total e terceira harmônica em função da razão  $g_m/I_{DS}$  em temperaturas criogênicas para estruturas A-SC da OKI, com  $V_{DS}$  de  $1,5\text{V}$ .

As diferentes combinações de tensões de limiar mostram pouca importância no comportamento de THD em inversão fraca, mas em inversão forte sua influência passa a ser mais apreciável. O contrário é observado em HD3, onde as estruturas compostas pelos transistores de canal mais fracamente dopado se mostram deslocadas do restante das curvas, apresentando valores sempre próximos de  $-60\text{dB}$ . No entanto, assim como foi visto no caso estudado em temperatura ambiente, para melhor entender a importância dos aspectos variados, a normalização pelo ganho se faz necessária. Desta forma, por conta das degradações na condutância de dreno que existem, apenas a normalização das associações de menor  $V_T$  foi

realizada. Os valores de THD e HD3 são mostrados normalizados pelo ganho na Figura 62, que contém as curvas para estruturas A-SC com tensão de limiar em MS igual a  $SLV_T$  e  $LV_T$  e em MD igual a  $IV_T$ .

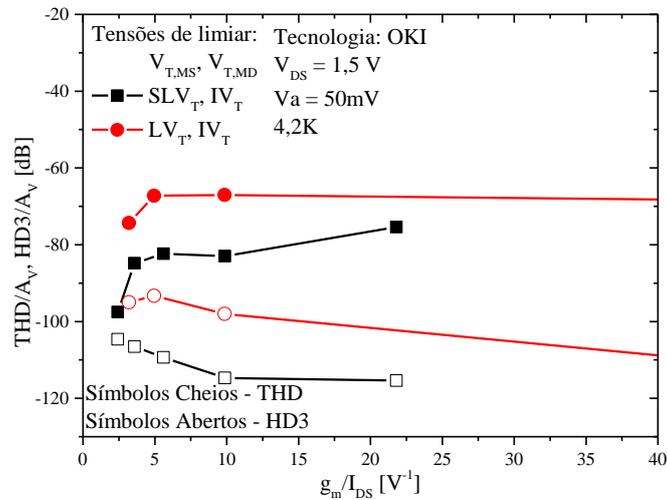


Figura 62 – Distorção harmônica total e terceira harmônica normalizadas pelo ganho de tensão em função da razão  $g_m/I_{DS}$  de estruturas A-SC da OKI em temperatura criogênica, com  $V_{DS}$  de 1,5V e  $V_a$  de 50mV.

Pode ser visto que o THD normalizado apresenta melhores (menores) resultados para a associação formada por transistores de concentração de dopantes no canal mais fraca. Para a análise da influência da temperatura sobre a linearidade de um dispositivo, o transistor composto por  $V_{T,MS}$  de  $LV_T$  e  $V_{T,MD}$  de  $IV_T$  foi submetido a 4K, 10K, 77K e 300K e teve suas THD e HD3 extraídas com  $V_{GT}$  fixo e normalizadas, mostradas na Figura 63 em função de  $V_a$ .

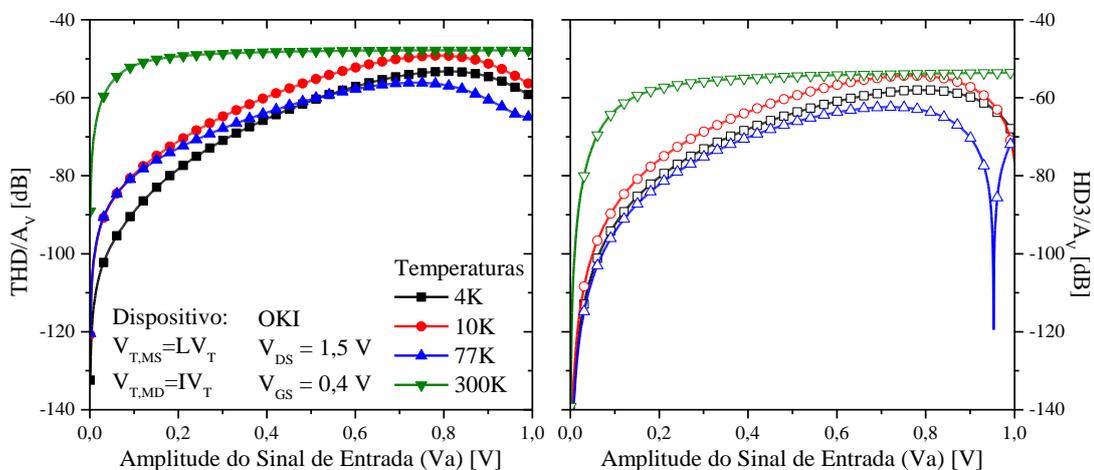


Figura 63 – Distorção harmônica total e terceira harmônica normalizadas pelo ganho de tensão em função da amplitude do sinal de entrada para o dispositivo A-SC da OKI de  $V_{T,MS} = LV_T$  e  $V_{T,MD} = IV_T$ , com  $V_{DS}$  de 1,5 V e  $V_{GT}$  de 0,4V.

É possível notar que a redução da temperatura reduz THD e diminui a diferença de HD3 em relação à THD, o que é devido ao aumento da resistência série que ocorre com o

congelamento dos portadores [51]. Estes resultados também foram extraídos para os transistores da UCL para o estudo da influência do comprimento do canal dos dispositivos e são apresentados na Figura 64.

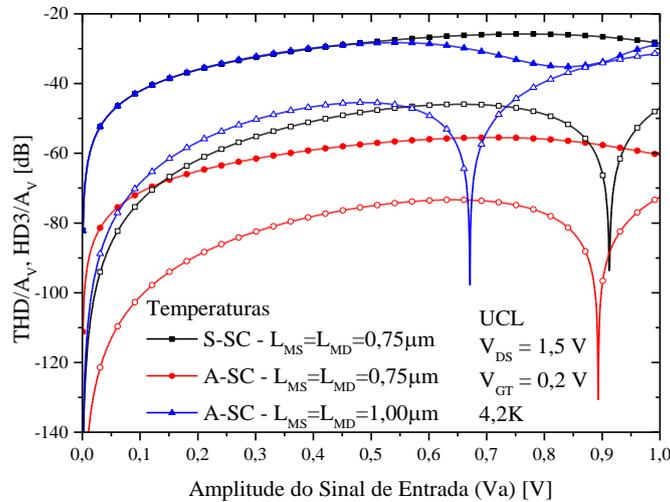
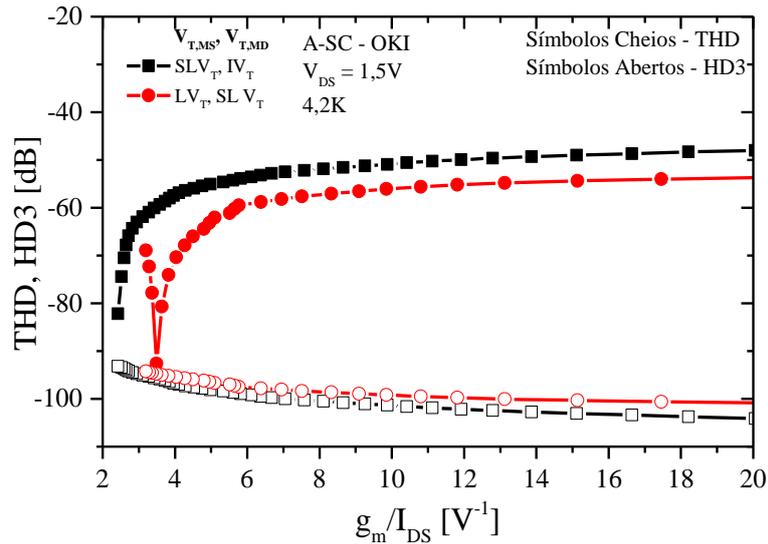


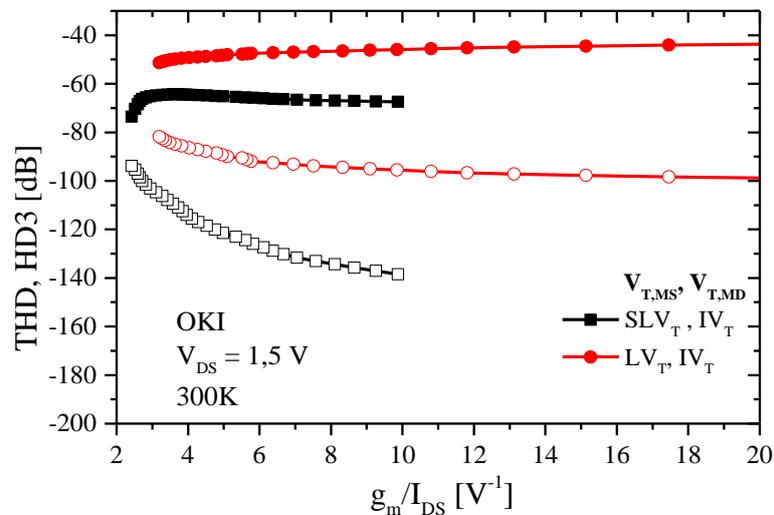
Figura 64 – Distorção harmônica total e terceira harmônica normalizadas pelo ganho de tensão em função dos dispositivos da UCL (Conjunto 1), com  $V_{DS}$  de 1,5 V e  $V_{GT}$  de 0,2 V.

A comparação entre estruturas S-SC e A-SC compostas por transistores de  $0,75\mu\text{m}$  mostra que a segunda é capaz de melhorar  $\text{THD}/A_V$  em mais de 30dB. Além disso, comparando as associações assimétricas de diferentes comprimentos de canal, é possível notar que a redução de  $L$  provoca melhora na distorção, o que está ligado a maior importância da resistência série em dispositivos mais curtos, reduzindo HD.

Ainda analisando o impacto das temperaturas criogênicas sobre a linearidade, pôde-se extrair THD e HD3 com amplitude de saída fixa em 0,5V. Os resultados são mostrados na Figura 65 (a) em 4,2K e (b) em 300K, para estruturas A-SC com tensão de limiar de MS de  $SLV_T$  e  $LV_T$  e de MD de  $IV_T$ . Primeiramente pode-se notar um aumento na extensão de  $g_m/I_{DS}$  em baixa temperatura, decorrente de sua relação inversamente proporcional à temperatura em inversão fraca [42], o que eleva os valores máximos. Os valores obtidos para HD3 também mostram-se mais próximos de THD, em estruturas de  $V_T$  mais alto, e maiores em estruturas de  $V_T$  mais baixo em baixas temperaturas. Isto ocorre graças ao menor  $g_D$  que pode ser obtido em dispositivos com tensão de limiar reduzida, resultando em ganho maior e, portanto, em THD e HD3 menores para um  $V_{out}$  fixo.



(a)



(b)

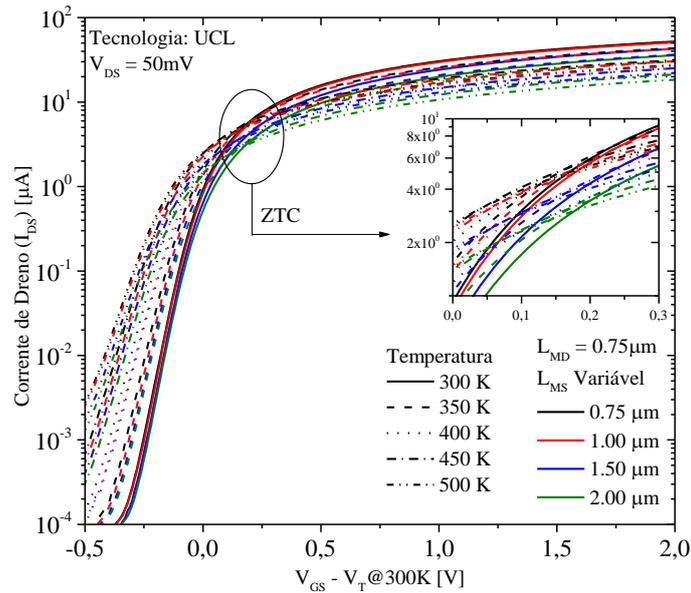
Figura 65 – Distorção harmônica total e terceira harmônica em função de  $g_m/I_{DS}$  para estruturas A-SC da OKI em 4,2K (a) e 300K (b),  $V_{DS}$  de 1,5V e  $V_{out}$  de 1V.

#### 4.2.2. Alta Temperatura

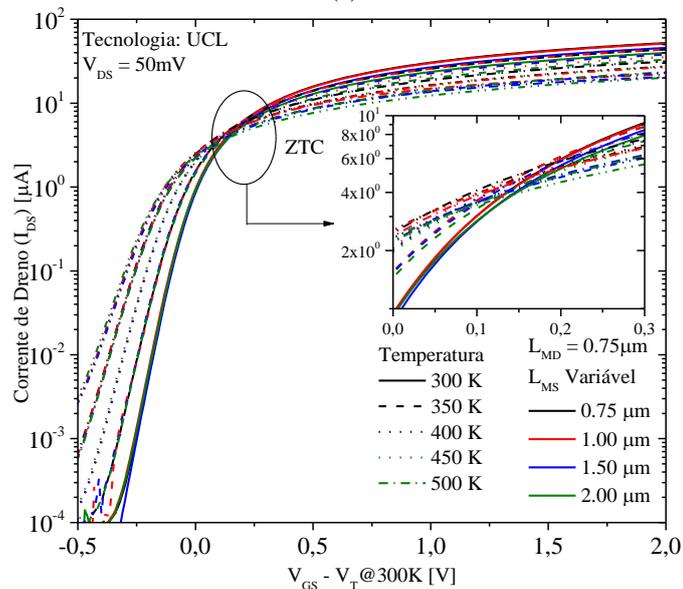
Esta seção apresenta os resultados obtidos em temperatura ambiente, 350 K, 400 K, 450 K e 500 K. Foram utilizados os dispositivos da UCL.

##### 4.2.2.1. Inverso da Inclinação de Sublimiar e Tensão de Limiar

O estudo de  $V_T$  e  $S$  com a temperatura foi realizado com os dispositivos da UCL, medidos entre 300K e 500K. Primeiramente, as curvas da corrente de dreno em função da tensão de porta em escala logarítmica são apresentadas na Figura 66. Nestas figuras está assinalado o ponto de polarização invariante com a temperatura (ZTC).



(a)



(b)

Figura 66 – Corrente de dreno em função da diferença entre polarização de porta e tensão de limiar em temperatura ambiente, para estruturas A-SC da UCL de  $L_{MD}$  de  $0,75\mu\text{m}$  (a) e  $L_{MS}$  de  $0,75\mu\text{m}$  (b) em várias temperaturas, com  $V_{DS}$  de  $50\text{mV}$ .

É possível notar que com o aumento da temperatura ocorre a redução da tensão de limiar, como explicado nos conceitos teóricos, tendo como resultado a diminuição da corrente de dreno em polarizações altas e o aumento da corrente de dreno em polarizações mais baixas, respectivamente. A combinação destes comportamentos inversos resulta no ZTC, polarização na qual não há variação de corrente de dreno com a temperatura, como assinalado. Nota-se também que a variação de  $L_{MD}$  não provoca mudanças na localização do ponto do ZTC, enquanto pontos claramente distintos podem ser observados para cada comprimento de MS,

pois este transistor é o maior responsável pela definição do comportamento da corrente de dreno na associação série. Através destas curvas, o inverso da inclinação de sublimiar pôde ser extraído e é apresentado na Figura 67 em função da temperatura, para as estruturas A-SC com  $L_{MD} = 0,75 \mu\text{m}$  e  $L_{MS}$  variável e igual a  $0,75 \mu\text{m}$ ,  $1 \mu\text{m}$ ,  $1,5 \mu\text{m}$  e  $2 \mu\text{m}$  e  $L_{MS} = 0,75 \mu\text{m}$  e  $L_{MD}$  variável e igual a  $0,75 \mu\text{m}$ ,  $1 \mu\text{m}$ ,  $1,5 \mu\text{m}$  e  $2 \mu\text{m}$ .

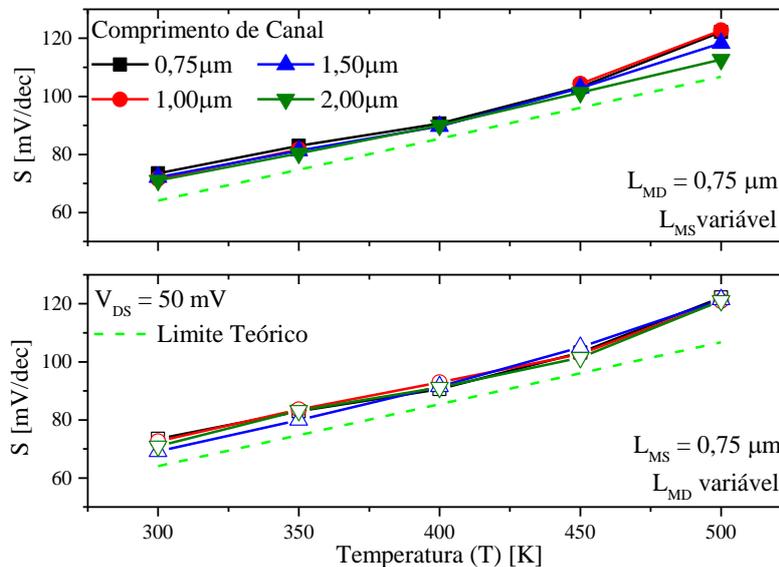


Figura 67 – Inverso da inclinação de sublimiar em função da temperatura para estruturas A-SC da UCL de  $L_{MD}$  e  $L_{MS}$  de  $0,75 \mu\text{m}$  em várias temperaturas, com  $V_{DS}$  de  $50 \text{ mV}$ .

Como pode ser notada, a degradação (aumento) de  $S$  com a temperatura apresenta-se praticamente linear e, tanto com a variação de  $L_{MS}$  como  $L_{MD}$ , este comportamento é mantido. As linhas pontilhadas apresentadas consistem no limite teórico da inclinação de sublimiar, onde o fator de corpo é teoricamente estimado através da equação (5) e dos dados de fabricação fornecidos (resultando em  $n \approx 1,063$ ). Nota-se um acréscimo do desvio aos limites teóricos em temperaturas mais altas, desvio este que pode ser justificado pela proximidade à temperatura crítica dos dispositivos [39].

Além de  $S$ , foram extraídos a partir de  $I_{DS}$  em função  $V_{GS}$  também os valores de tensão de limiar. Estes valores são mostrados na Figura 68 para estruturas A-SC com  $L_{MD}$  fixo de  $0,75 \mu\text{m}$  e  $L_{MS}$  variável (a) e  $L_{MS}$  fixo de  $0,75 \mu\text{m}$  e  $L_{MD}$  variável (b).

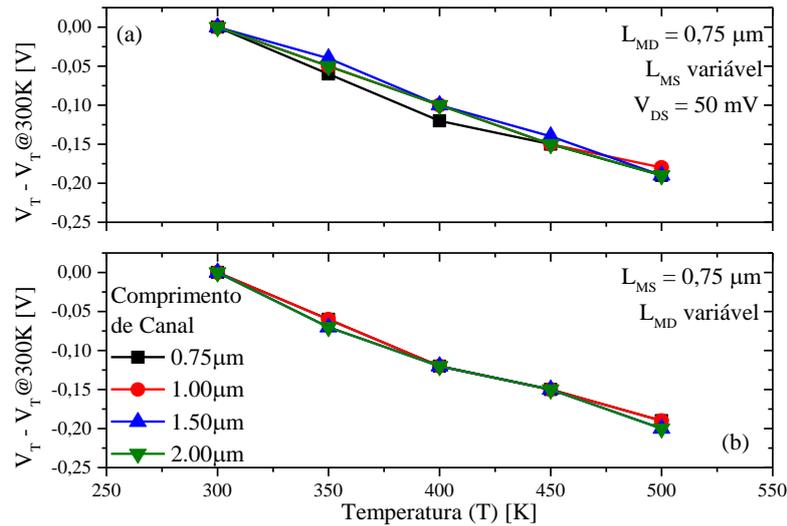


Figura 68 – Diferença entre a tensões de limiar em temperaturas variadas e em temperatura ambiente em função da temperatura para estruturas A-SC da UCL de  $L_{MD}$  (a) e  $L_{MS}$  (b) de  $0,75 \mu\text{m}$  em várias temperaturas, com  $V_{DS}$  de  $50 \text{ mV}$ .

Os resultados de  $V_T$  mostram variação com a temperatura de  $0,954 \text{ mV/K} \pm 0,024$  na figura (a) ( $L_{MD}$  fixo e  $L_{MS}$  variável) e de  $0,950 \text{ mV/K} \pm 0,032$  para na figura (b) ( $L_{MS}$  fixo e  $L_{MD}$  variável), ou seja, a tensão de limiar apresenta-se igualmente influenciada pela temperatura mesmo com a mudança do comprimento do canal dos transistores.

#### 4.2.2.2. Condutância de Dreno, Transcondutância e Ganho de Tensão

O conjunto de dispositivos da tecnologia da UCL foi utilizado para medidas em alta temperatura. A Figura 69 apresenta o comportamento das curvas de corrente de dreno em função da tensão de dreno para estruturas A-SC com  $L_{MD}$  fixo e igual a  $0,75 \mu\text{m}$  e  $L_{MS}$  variável e  $L_{MS}$  fixo e igual a  $0,75 \mu\text{m}$  e  $L_{MD}$  variável, com  $V_{GT} = 0,2 \text{ V}$ . Pode ser observado que quanto menor a soma  $L_{MS} + L_{MD}$ , maior a corrente de dreno. Ao mesmo tempo, um  $L_{MS}$  mais curto apresenta muito mais influência no aumento da corrente que  $L_{MD}$ , relacionado à redução do comprimento efetivo do canal.

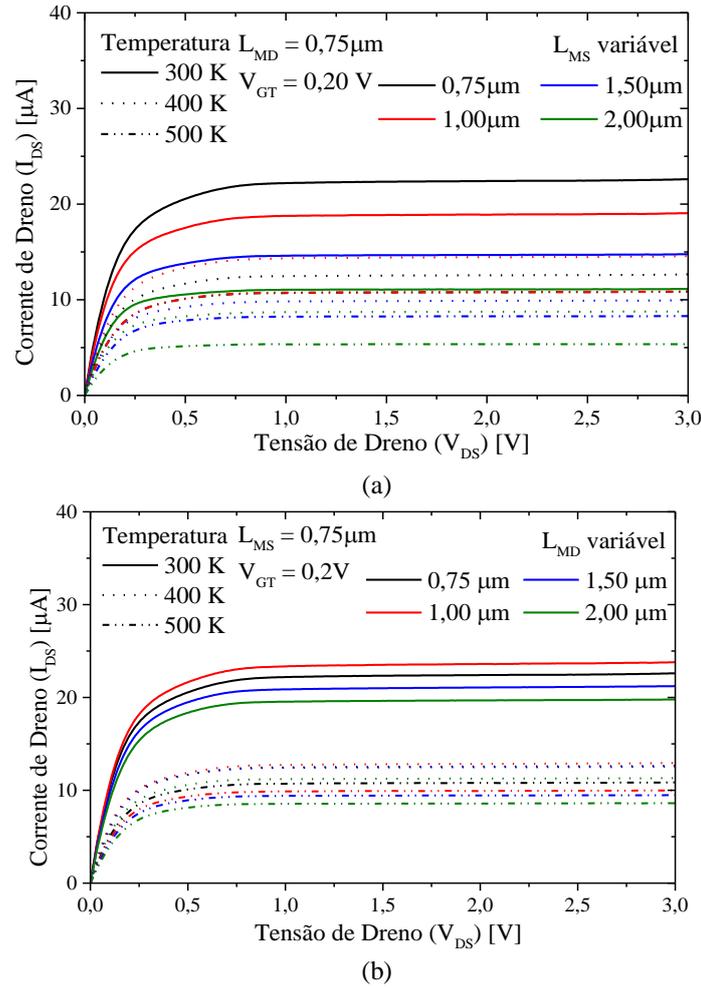


Figura 69 – Corrente de dreno em função da tensão de dreno para estruturas A-SC da UCL (Conjunto 2) de  $L_{MD}$  (a) e  $L_{MS}$  (b) de  $0,75 \mu m$  em várias temperaturas, com  $V_{DS}$  de 50 mV

A partir destas curvas foi extraída a condutância de dreno, curva apresentada em função da tensão de dreno para algumas combinações de comprimento de canal na Figura 70.

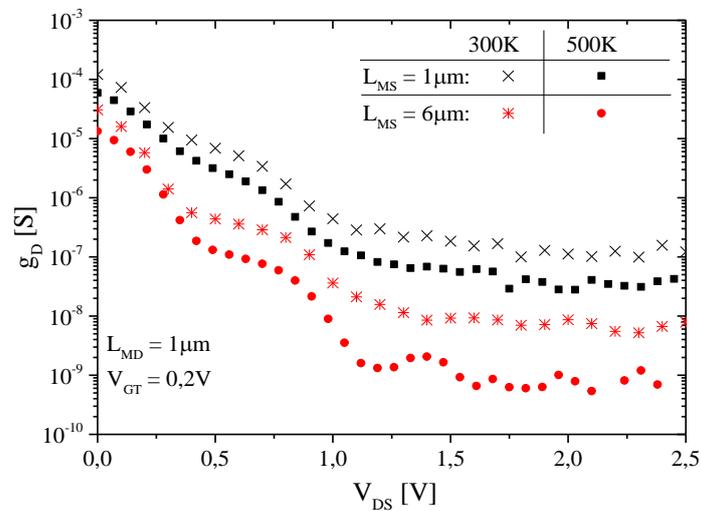
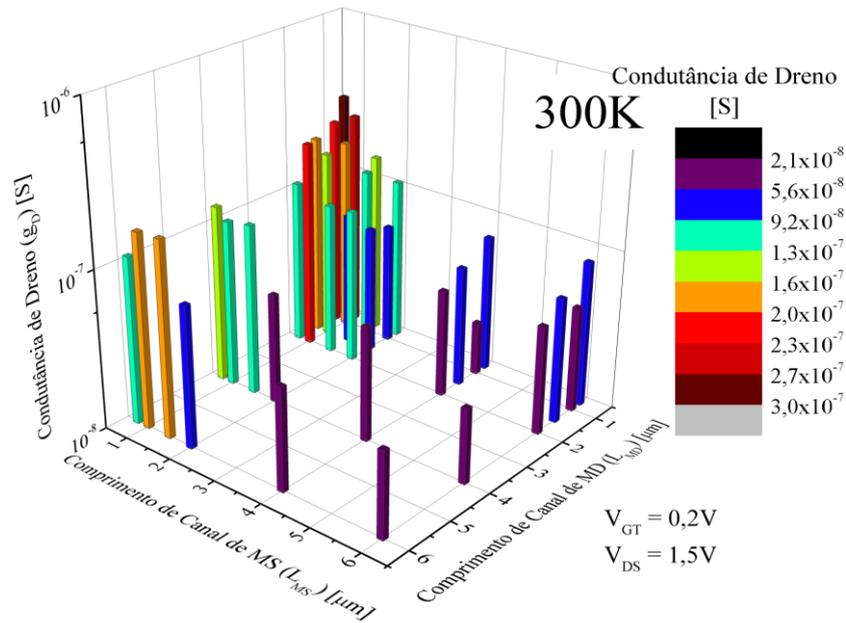
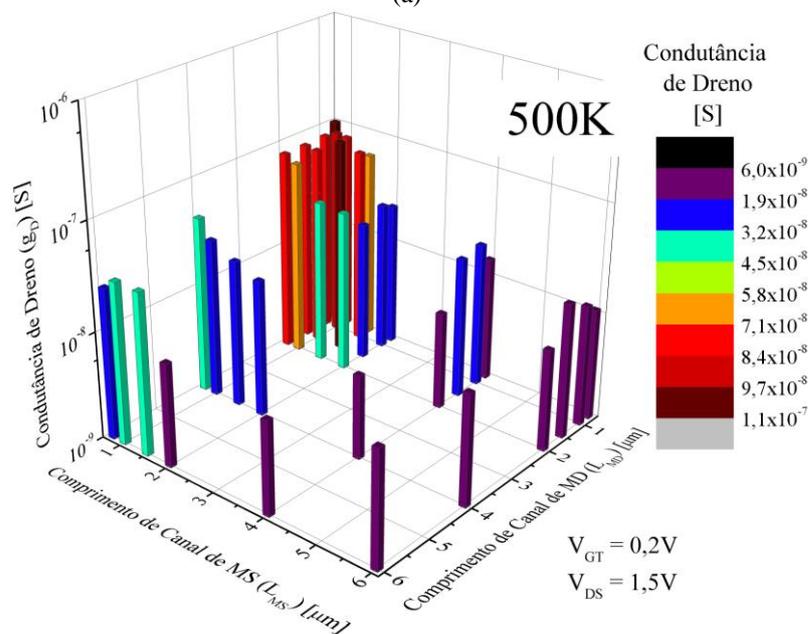


Figura 70 – Condutância de dreno em função da tensão de dreno para estruturas de A-SC da UCL (Conjunto 2) com  $L_{MD}$  de  $1 \mu m$  para  $V_{GT}$  de  $0,2 V$ .

Para uma dada polarização de dreno, o efeito da temperatura pode ser observado através do decréscimo de  $g_D$  (de 65,7% para  $L_{MS}$  de 1  $\mu\text{m}$  e 84,6% para  $L_{MS}$  de 2  $\mu\text{m}$ ), resultado da redução da mobilidade e da redução da região de depleção próxima ao dreno, diminuindo o efeito da modulação do canal [9]. A redução de  $L_{MS}$  provoca a degradação de  $g_D$  por conta da redução do comprimento de efetivo do canal. Isto pode ser melhor observado na Figura 71, que mostra o valor da condutância de dreno em função de  $L_{MS}$  e  $L_{MD}$  para 300K e 500K.



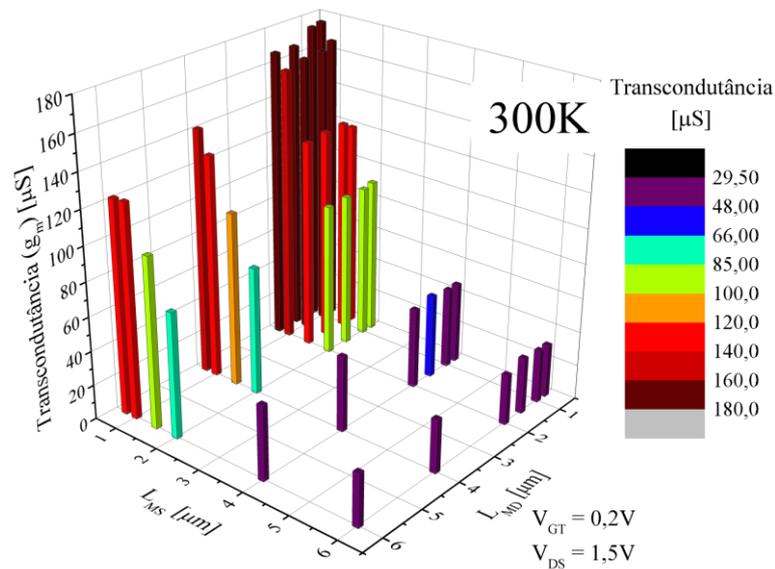
(a)



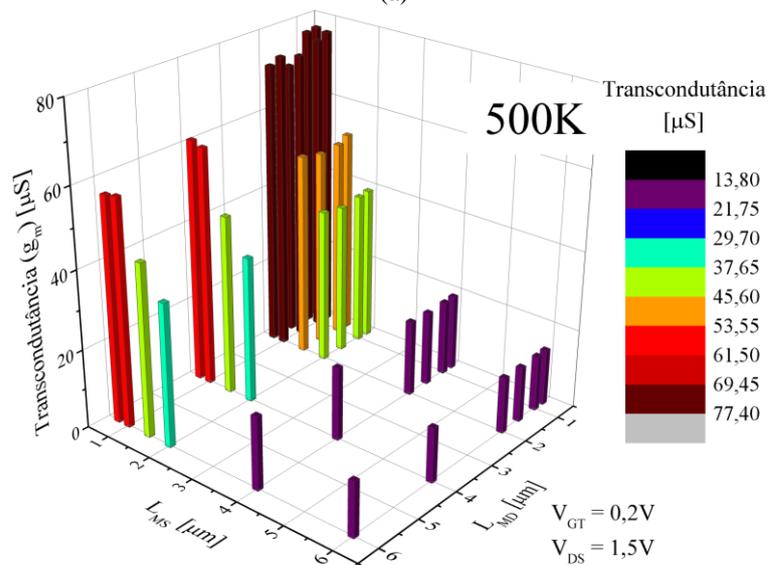
(b)

Figura 71 – Condutância de dreno em função do comprimento do canal de MS e MD de estruturas A-SC da UCL (Conjunto 2) em 300K (a) e 500K (b), para  $V_{GT}$  de 0,2V e  $V_{DS}$  de 1,5V.

Os resultados mostram  $g_D$  pior (mais alto) para uma soma  $L_{MS}+L_{MD}$  de valor mais baixo e a redução do comprimento de canal de MD aparenta exercer menor influência sobre o valor obtido que MS. Os dados obtidos para a transcondutância nas mesmas temperaturas e polarizações apresentam o mesmo comportamento com o encurtamento do comprimento de canal que a condutância de dreno, como pode ser visto na Figura 72. Como a mobilidade é menor em temperaturas mais altas, nota-se que tanto  $g_D$  quanto  $g_m$  apresentam valores reduzidos nessas condições.



(a)



(b)

Figura 72 – Transcondutância em função do comprimento de canal de MS e MD de estruturas A-SC da UCL (Conjunto 2) em 300K (a) e 500K (b), para  $V_{GT}$  de 0,2V e  $V_{DS}$  de 1,5V.

O ganho extraído a partir destes dois parâmetros é mostrado na Figura 73. É possível notar que maiores  $A_V$  são encontrados para uma maior soma  $L_{MS}+L_{MD}$  e que o comprimento de MD apresenta grande influência sobre seu comportamento. Nota-se que os melhores resultados obtidos para o ganho são encontrados em combinações de comprimento de canal de MD e MS diferentes em 300K e 500K, sendo observados  $A_V$  cerca de 10 dB maiores em alta temperatura, principalmente em associações A-SC de MD longo e MS entre 1  $\mu\text{m}$  e 4  $\mu\text{m}$ . Isto é devido ao aumento da concentração de dopantes de MD, levando a um aumento na degradação de  $g_D$  e, portanto, na influência de seu comprimento de canal.

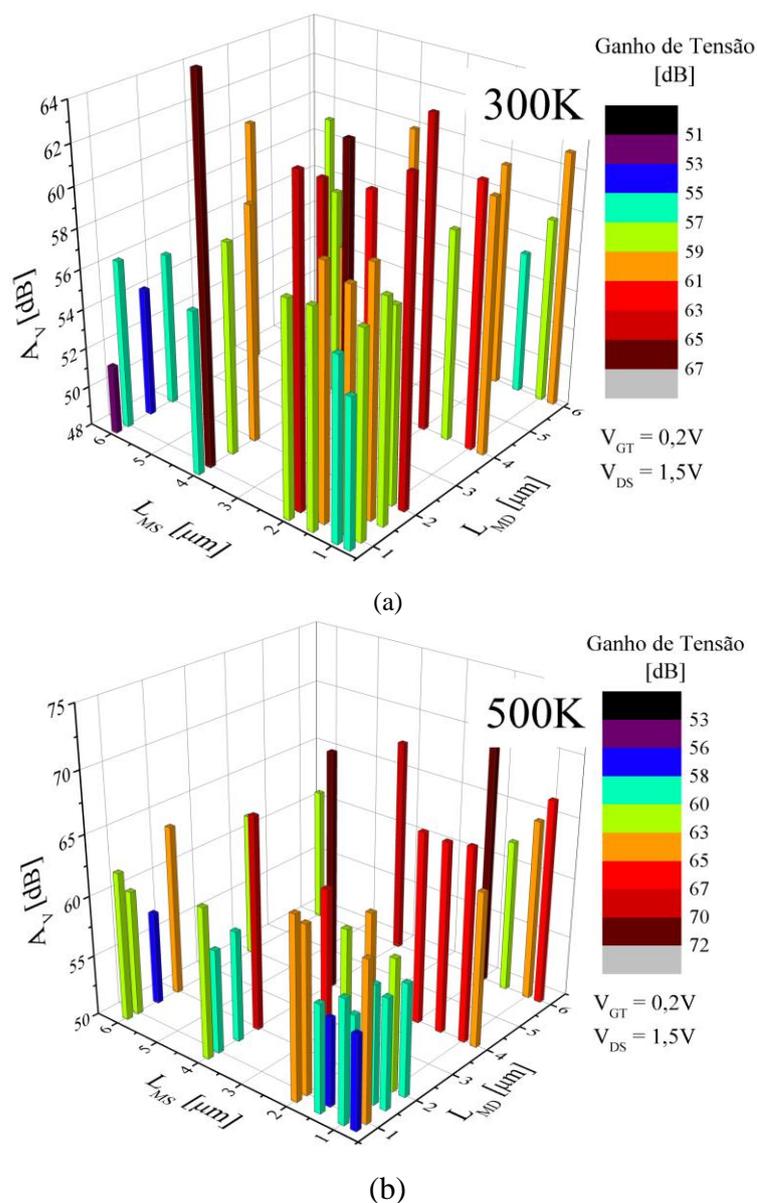
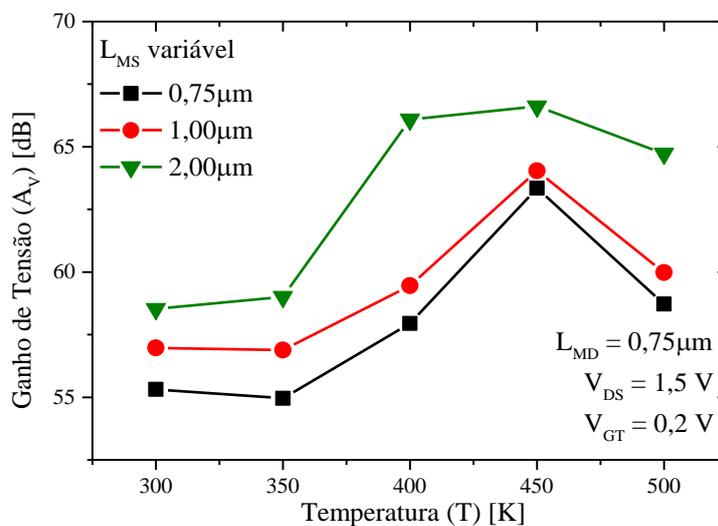
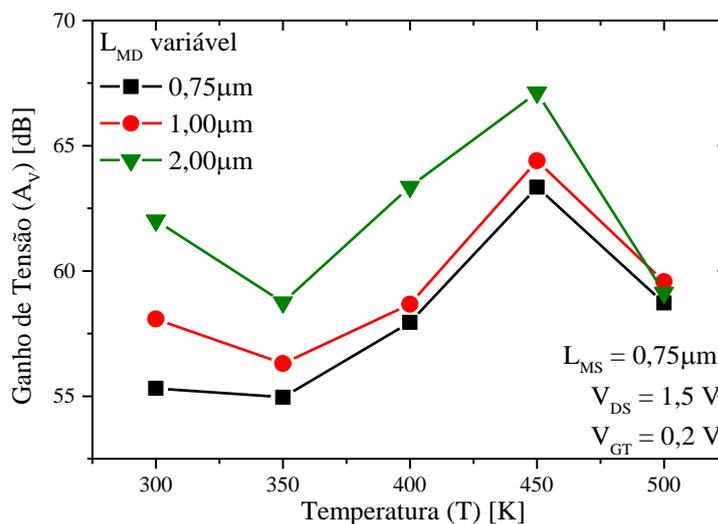


Figura 73 – Ganho de tensão em função do comprimento de canal de MS e MD de estruturas A-SC da UCL em 300 K (a) e 500 K (b), para  $V_{GT}$  de 0,2 V e  $V_{DS}$  de 1,5 V.

O comportamento do ganho com a temperatura pode ser mais facilmente analisado na Figura 74, que apresenta  $A_V$  em função de  $T$ . O aumento de  $A_V$  com a temperatura ocorre tanto para  $L_{MS}$  variável (a) como para  $L_{MD}$  variável (b), mas a proximidade de  $T_K$  em 500 K provoca uma queda no ganho mais apreciável com  $L_{MD}$  variável.



(a)



(b)

Figura 74 – Ganho de tensão em função da temperatura para estruturas A-SC da UCL (Conjunto 2) de  $L_{MS}$  (a) e  $L_{MD}$  (b) de  $0,75 \mu\text{m}$ , com  $V_{DS}$  de  $1,5 \text{ V}$  e  $V_{GT}$  de  $0,2 \text{ V}$ .

#### 4.2.2.3. Distorção Harmônica

A não linearidade também pode ser extraída para as medidas extraídas em alta temperatura. Primeiramente, são apresentados na Figura 75 os resultados para  $L_{MD}=L_{MS}=0,75 \mu\text{m}$ , extraídos com  $V_a$  constante em diferentes temperaturas.

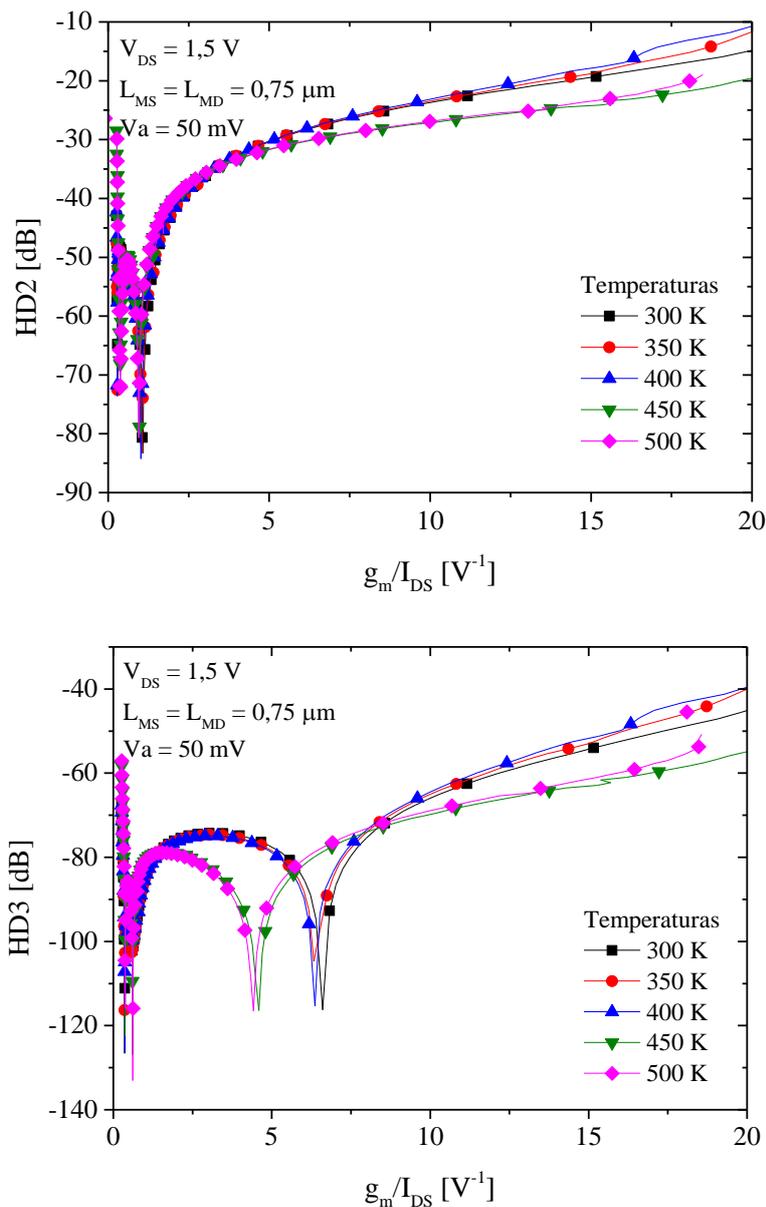


Figura 75 – Distorções harmônicas referentes às segunda e terceira harmônicas em função da razão  $g_m/I_{DS}$  para uma estrutura A-SC de  $L_{MS} = L_{MD} = 0,75 \mu\text{m}$ , para  $V_a = 50 \text{ mV}$  e  $V_{DS} = 1,5 \text{ V}$ .

Como é possível observar, as temperaturas de 450 K e 500 K apresentam melhores resultados para HD2 e HD3. É interessante notar que, para as temperaturas entre 300 K e 400 K, o dispositivo A-SC apresenta uma distorção harmônica mais reduzida para a temperatura ambiente. A mudança do comportamento de HD2 e HD3 quando se atinge os 450 K também pode ser vista para os resultados normalizados pelo ganho de tensão, mostrados na Figura 76.

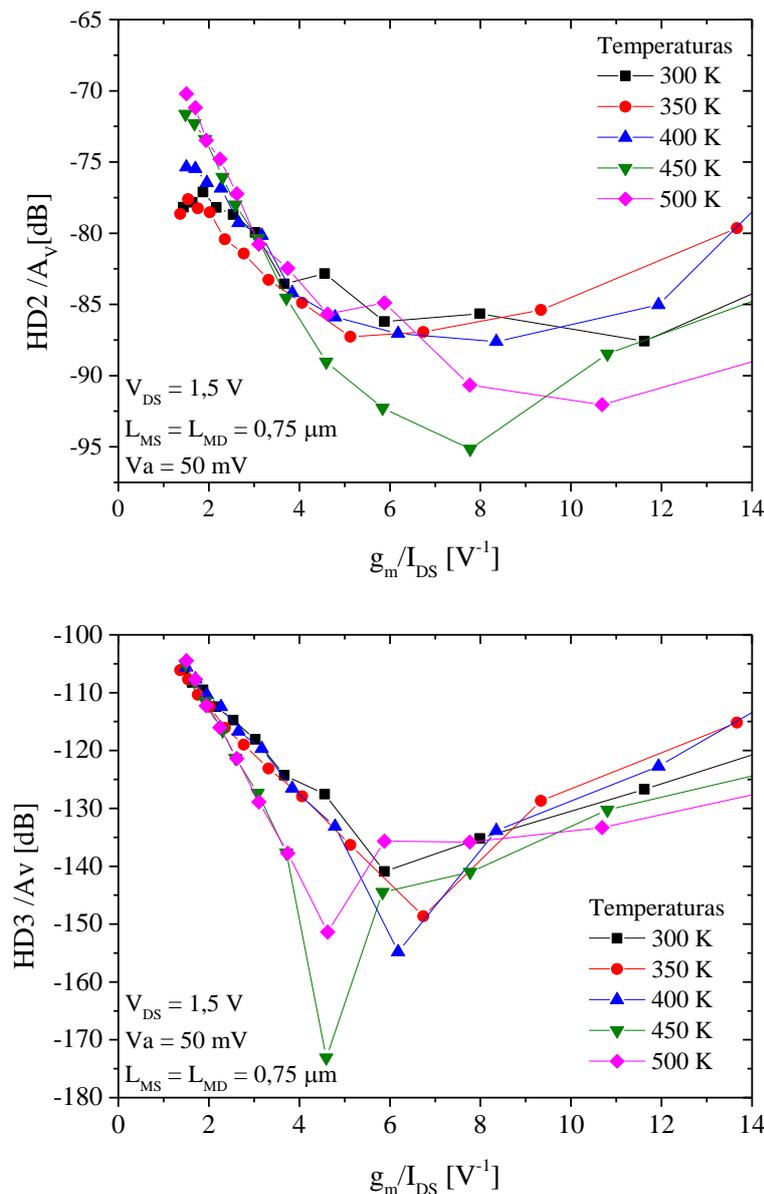


Figura 76 – Distorções harmônicas referentes às segunda e terceira harmônicas, normalizadas pelo ganho de tensão, em função da razão  $g_m/I_{DS}$  para uma estrutura A-SC de  $L_{MS} = L_{MD} = 0,75 \mu\text{m}$ , para  $V_a = 50 \text{ mV}$  e  $V_{DS} = 1,5 \text{ V}$ .

Como é possível notar, apesar de pontos de polarização apresentarem distorções harmônicas melhores ou piores dependendo da temperatura, não se pode concluir em uma tendência clara.

Resultados para um  $V_{GT}$  fixo e  $V_a$  variável também foram extraídos.  $HD2$  e  $HD3$  são mostrados na Figura 77 em função de  $V_a$  para  $V_{GT}$  de  $0,2 \text{ V}$  e  $V_{DS}$  de  $1,5 \text{ V}$ , para um dispositivo A-SC de  $L_{MS}$  idêntico a  $L_{MD}$  e iguais a  $0,75 \mu\text{m}$ .

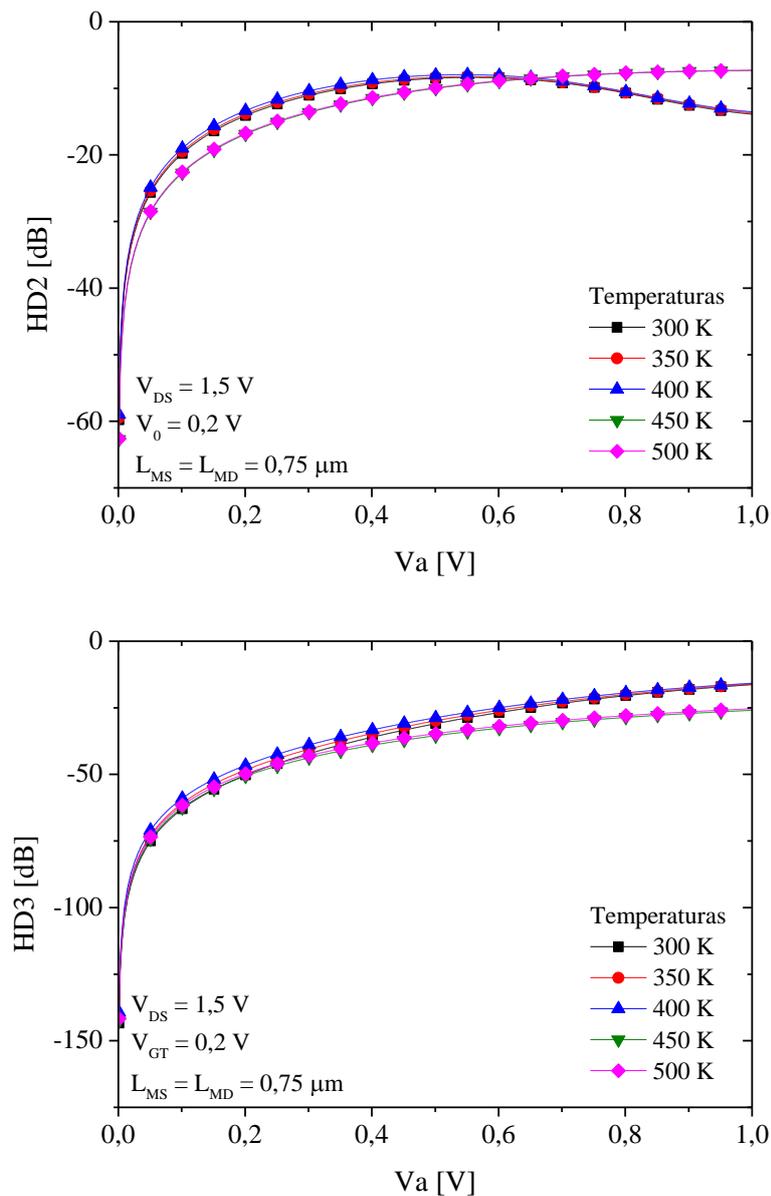


Figura 77 – Distorções harmônicas referentes as segunda e terceira harmônicas em função de  $V_a$  para uma estrutura A-SC de  $L_{MS} = L_{MD} = 0,75 \mu\text{m}$ , para  $V_{GT} = 0,2 \text{ V}$  e  $V_{DS} = 1,5 \text{ V}$ .

É possível notar que a o mesmo deslocamento ocorre para as temperaturas de 450 e 500 K. Conforme  $V_a$  atinge valores maiores, HD2 melhora, enquanto o comportamento de HD3 permanece aumentando. Os resultados normalizados pela tensão de dreno são exibidos na Figura 78.

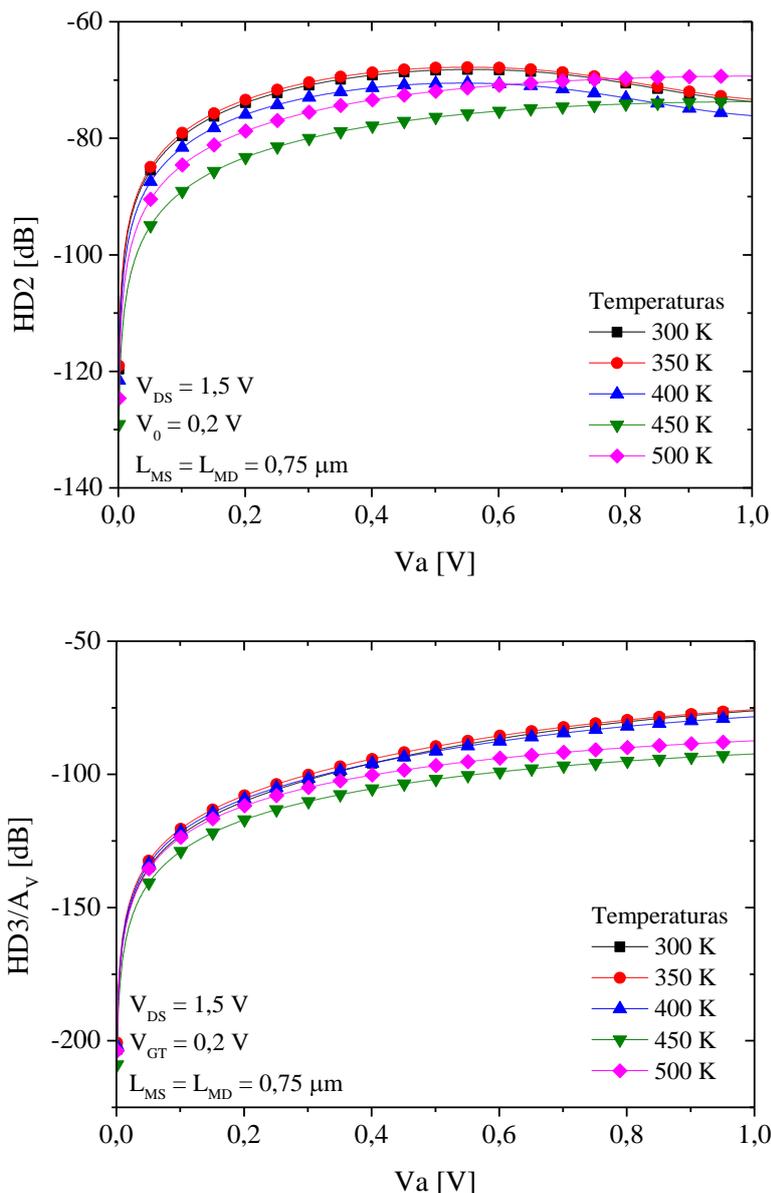


Figura 78 – Distorções harmônicas referentes as segunda e terceira harmônicas, normalizadas pelo ganho de tensão, em função de  $V_a$  para uma estrutura A-SC de  $L_{MS} = L_{MD} = 0,75$   $\mu\text{m}$ , para  $V_{GT} = 0,2$  V e  $V_{DS} = 1,5$  V.

$HD2$  e  $HD3$  normalizados pelo ganho para um  $V_{GT}$  constante de 0,2 V mostram tendências mais claras para o comportamento da distorção harmônica com o aumento da temperatura. Até 450 K, tanto a segunda quanto a terceira harmônica reduzem com o aumento da temperatura. Isto é provocado pela menor mobilidade de portadores nessas condições, implicando em uma corrente mais baixa e com um menor coeficiente de degradação de mobilidade. Como este parâmetro está diretamente ligado a HD, HD também reduz conforme se aumenta a temperatura. No entanto, em 500 K, devido à degradação sofrida pelo ganho de tensão com a proximidade da temperatura crítica,  $HD2$  e  $HD3$  voltam a piorar.

## 5. CONCLUSÕES E PROPOSTAS DE SEQUÊNCIA DO TRABALHO

Neste trabalho foi possível avaliar o desempenho analógico de estruturas A-SC em comparação com transistores FD SOI convencionais e associações S-SC, através do estudo do comportamento da transcondutância, condutância de saída, ganho intrínseco de tensão e linearidade, efetuado com resultados medidos em diversas temperaturas. A proposta dos transistores compostos é de proporcionar maior  $A_V$  sem comprometer a frequência de ganho de tensão unitário, já que ambas as características são dependentes das dimensões do canal dos dispositivos, porém de maneira oposta. No caso da linearidade, este parâmetro é de muito interesse para aplicações que requerem baixa distorção do sinal de saída, como amplificação de som. Para a análise da linearidade, foram utilizadas como figuras de mérito a distorção harmônica total e terceira harmônica, com a intenção de contabilizar efeitos obtidos tanto através de harmônicas pares quanto ímpares, importantes para aplicações de circuitos balanceados.

Foram simulados dispositivos únicos de diferentes comprimentos de canal e concentração de dopantes para comparação com os resultados da A-SC através de simulações numéricas bidimensionais obtidas com o Sentaurus. Os transistores simulados possuem dimensões semelhantes aos disponíveis para medidas experimentais da tecnologia da UCL. Notou-se que a A-SC apresenta tensão de limiar semelhante a de seu transistor MS, indicando que não há degradações em  $V_T$  vindas da associação a um transistor fracamente dopado. Para temperaturas mais altas, ocorre degradação do comportamento do inverso da inclinação de sublimiar para todos os dispositivos, mas em menor intensidade para os transistores únicos fracamente dopados. Isto é consequência da proximidade da temperatura crítica para esta tecnologia, já que vantagens em  $S$  proporcionadas pelos transistores SOI totalmente depletados são perdidas quando começam a operar como parcialmente depletados. Notou-se que os dispositivos A-SC apresentaram condutância de dreno menos degradada que os transistores únicos, mesmo os de baixa concentração. Isto se refletiu nos resultados obtidos para o ganho de tensão, cerca de 25 dB maiores que para os transistores de  $N_A$  de  $6 \cdot 10^{16} \text{ cm}^{-3}$  em temperatura ambiente e cuja melhora é ainda maior para temperaturas mais baixas, indicando a eficiência da associação assimétrica em melhorar a degradação da condutância de dreno.

Através dos resultados obtidos em temperatura ambiente, pôde-se estudar comparativamente as estruturas A-SC e S-SC, estudos os quais mostraram que, graças aos

efeitos de redução do comprimento efetivo do canal, há melhora de  $g_m$ , ao mesmo tempo que o canal menos dopado de MD reduz efetivamente o campo elétrico longitudinal próximo ao dreno, reduzindo  $g_D$ . Com esta combinação, o ganho intrínseco de tensão mostra resultados para a associação assimétrica de transistores aproximadamente 19 dB superiores aos da associação simétrica. Devido à ligação do ganho de tensão com a linearidade, as distorções harmônicas totais e terceira harmônica também mostram resultados maiores para a S-SC, consequência de uma condutância de dreno mais degradada quando comparada com a da A-SC.

Para este trabalho, obteve-se acesso a dados de transistores A-SC e S-SC medidos em variadas temperaturas, incluindo criogênicas (temperaturas abaixo de 100K), onde se pode destacar resultados experimentais de estruturas submetidas à temperatura de hélio líquido (4,2K). Nestas temperaturas, constatou-se a degradação da curva da corrente de dreno em função da tensão de dreno, decorrentes de efeitos de segunda ordem, como Kink e autoaquecimento. No entanto, a análise de estruturas compostas por transistores de diferentes tensões de limiar, ou seja, concentrações de dopantes no canal, levam a constatar que tais efeitos podem ser suprimidos em associações série assimétricas com MS e MD de  $V_T$  abaixo do padrão. Em temperaturas mais altas, foi possível observar a redução de  $g_m$  e  $g_D$  decorrentes da degradação da mobilidade. Como resultado, foi possível notar que o ganho de tensão tendia a aumentar com a temperatura, embora degradações fossem observadas em 500K, consequência da proximidade da temperatura crítica dos dispositivos da UCL, onde SOI FD nMOSFETs passam a se comportar como PD.

Uma das maiores contribuições desenvolvidas foi o estudo da linearidade, uma importante característica analógica, das estruturas A-SC com o efeito da temperatura, estudo este realizado pela primeira vez neste trabalho. Para os resultados simulados, foi possível observar que HD para a A-SC se encontra intermediária aos transistores únicos de comprimento de canal de 1  $\mu\text{m}$  e 2  $\mu\text{m}$ . Em função da temperatura, foi possível notar que o comportamento de HD2 é dependente da polarização do dispositivo, sendo piores resultados obtidos em temperaturas mais altas quando  $g_m/I_{DS}$  é igual a 2  $V^{-1}$ , mas uma inversão ocorre em 6  $V^{-1}$ . Entretanto, este comportamento foi observado apenas para os transistores únicos fortemente dopados e para o transistor de canal fracamente dopado de L mais curto. Para a A-SC e o transistor de L de 2  $\mu\text{m}$  e  $N_A$  de  $10^{15} \text{ cm}^{-3}$ , notou-se que os valores de HD2 em diferentes temperaturas se aproximam em  $g_m/I_{DS}$  de 6  $V^{-1}$ , mas que não chegam a se cruzar, indicando que este efeito deve ocorrer apenas mais perto da inversão fraca.

Para os resultados experimentais obtidos para temperaturas de 4,2K, 10K, 77K e 300K, observou-se que HD2 tende a reduzir para dispositivos submetidos a temperaturas mais baixas, porém HD3 torna-se cada vez mais importante. Em dispositivos de diferentes comprimentos de canal, HD2 mostrou menores resultados para a estrutura A-SC de menor comprimento de canal, sendo interessante notar a proximidade entre os dados obtidos para a associação simétrica de L menor com a associação assimétrica de L maior.

A não-linearidade também foi verificada experimentalmente para temperaturas de 300K a 500K. Foi possível perceber que há melhora de HD2 e HD3 em 450 K, mas o resultado volta a piorar em 500 K. Da mesma forma que os resultados simulados, entre um  $g_m/I_{DS}$  de  $3 \text{ V}^{-1}$  e  $5 \text{ V}^{-1}$ , ocorre a inversão de tendências com a temperatura dependendo da polarização do dispositivo, sendo melhores resultados de HD obtidos em temperaturas altas para razões  $g_m/I_{DS}$  mais baixas.

Como sequência a este trabalho, propõe-se o estudo dos efeitos da radiação sobre o comportamento tanto analógico quanto digital da A-SC, visto que dispositivos com variadas concentrações de dopantes são influenciados em intensidades diferentes. Também se sugere que um estudo mais aprofundado do comportamento de dispositivos A-SC em circuitos analógicos seja realizado, ampliando o escopo para amplificadores operacionais, acrescentando ao estudo do seu uso em espelhos de corrente já existente na literatura.

## 6. TRABALHOS PUBLICADOS

As atividades desenvolvidas até este momento permitiram a publicação dos seguintes trabalhos.

### 6.1. Trabalhos Nacionais

*d'OLIVEIRA, L. M.; de SOUZA, M.; Effect of Temperature Reduction on Analog Parameters of Single Gate SOI Transistors, 13th Microelectronics Students Forum – SForum 2013.*

*d'OLIVEIRA, L. M.; de SOUZA, M.; Efeito da Redução da Temperatura em Parâmetros Analógicos de Transistores SOI de Porta Única, 3º Simpósio de Pesquisa do Grande ABC – SPGABC 2013.*

*d'OLIVEIRA, L. M.; DORIA, R. T.; de SOUZA, M.; Comparison of Harmonic Distortion of SOI nMOS Symmetric and Asymmetric Self-Cascode Association, IX Workshop on Semiconductors and Micro & Nano Technology – Seminatec 2014.*

*d'OLIVEIRA, L. M.; de SOUZA, M.; Comparação entre Associação Série Assimétrica e Simétrica para Aplicações Analógicas, 4º Simpósio de Pesquisa do Grande ABC – SPGABC 2014.*

### 6.2. Trabalhos Internacionais

*d'OLIVEIRA, L. M.; DORIA, R. T.; PAVANELLO, M. A.; FLANDRE, D.; de SOUZA, M.; Analysis of Harmonic Distortion of Asymmetric Self-Cascode Association of SOI nMOSFETs Operating in Saturation, Ninth International Caribbean Conference on DEVICES, CIRCUITS and SYSTEMS – ICCDCS 2014.*

*ASSALTI, R.; d'OLIVEIRA, L. M.; PAVANELLO, M. A.; FLANDRE, D.; de SOUZA, M.; Performance of Common-Source Current Mirrors with Asymmetric Self-Cascode SOI nMOSFETs, Tenth Workshop of the Thematic Network on Silicon on Insulator Technology, Device and Circuits – EuroSOI 2014.*

*d'OLIVEIRA, L. M.; DORIA, R. T.; PAVANELLO, M. A.; KILCHYTSKA, V.; FLANDRE, D.; de SOUZA, M.; Asymmetric Self-Cascode FD SOI nMOSFETs Harmonic Distortion at Cryogenic Temperatures, 11th International Workshop On Low Temperatures Electronics – WOLTE 2014.*

*d'OLIVEIRA, L. M.; PAVANELLO, M. A.; FLANDRE, D.; de SOUZA, M.; Effect of High Temperature on Analog Parameters of Asymmetric Self-Cascode SOI nMOSFETs, 29th Symposium on Microelectronics Technology and Devices – SBMicro 2014 .*

*ASSALTI, R.; d'OLIVEIRA, L.M.; PAVANELLO, M.A.; FLANDRE, D.; SOUZA, M. de; Experimental and Simulation Analysis of Electrical Characteristics of Common-Source Current Mirrors Implemented with Asymmetric Self-Cascode SOI nMOSFETs, Edição Especial da Solid-State Electronics, dedicada ao EuroSOI 2014 (em avaliação).*

## 7. REFERÊNCIAS BIBLIOGRÁFICAS

1. COLINGE, J.-P. Fully-depleted SOI CMOS for analog applications. **IEEE TRANSACTIONS ON ELECTRON DEVICES**, v. 45, p. 1010-1015, 1998.
2. VEERARAGHAVAN, S.; FOSSUM, J. G. Short-Channel Effects in SOI MOSFET's. **IEEE Transactions on Electron Devices**, v. 36, n. 3, p. 522-528, 1989.
3. COLINGE, J.-P. **Silicon-On-Insulator Technology: Materials to VLSI**. 3rd. ed. Massachusetts: Kluwer Academic Publishers, 2004.
4. EL-KAREH, B.; CHEN, B.; STANLEY, T. Silicon on Insulator - An Emerging High-Leverage Technology. **IEEE Transactions on Components, Packaging and Manufacturing Technology**, v. 18, n. 1, p. 187-194, 1995.
5. HEMMENT, P. L. F. The SOI Odissey. **Proceedings of the silicon-on-insulator technology and devices**, v. 5, n. 1, p. 1-12, 2003.
6. SCHRIMPF, R. D. et al. **Design and evaluation of SOI devices for radiation environments**. IEEE International SOI Conference. San Diego: IEEE. 2010. p. 1-4.
7. LERAY, J. L. et al. From substrate to VLSI: investigation of hardened SIMOX without epitaxy, for dose, dose rate and SEU phenomena. **IEEE Transactions on Nuclear Science**, v. 35, n. 6, p. 1355-1360, 1988.
8. HAMMOUD, A. et al. Electronic Components and Circuits for Extreme Temperature Environments. **Proceedings of the 2003 10th IEEE International Conference on Electronics, Circuits and Systems**, v. 1, p. 44-47, 2003.
9. GENTINNE, B. et al. Fully depleted SOI-CMOS technology for high temperature IC applications. **Materials Science and Engineering**, v. 46, p. 1-7, 1997.
10. KRULL, W. A.; LEE, J. C. Demonstration of the benefits of SOI for high temperature operation. **Proceedings of SOS/SOI Technology Workshop**, p. 69, 1988.
11. SCHNEIDER, M. C.; GALUP-MONTORO, C. **CMOS Analog Design Using All- Region MOSFET Modeling**. New York: Cambridge University Press, 2010.
12. CHOI, J.-Y.; FOSSUM, J. G. Analysis and control of floating-body bipolar effects in fully depleted submicrometer SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 39, p. 1384-1391, 1991.
13. GALUP-MONTORO, C.; SCHNEIDER, M. C.; LOSS, I. J. B. Series-Parallel Association of FET's for High Gain and High Frequency Applications. **IEEE JOURNAL OF SOLID-STATE CIRCUITS**, v. 29, n. 9, p. 1094-1101, 1994.
14. GEROSA, A.; NEVIANI, A. Enhancing output voltage swing in low-voltage micro-power OTA using self-cascode. **Electronics Letters**, v. 39, n. 8, p. 638-639, 2003.
15. GAO, M. et al. Twin-MOSFET Structure for Suppression of the Kink and Parasitic Bipolar Effect in SOI MOSFET's at Room and Liquid Helium Temperatures. **Solid-State Electronics**, v. 35, p. 505-512, 1992.

16. BHARDWAJ, K.; RAJPUT, S. S. **1.5V High Performance OP AMP Using Self Cascode Structure**. IEEE Student Conference on Research and Development (SCORED). Serdang: [s.n.]. 2009. p. 254 - 257.
17. DE SOUZA, M.; FLANDRE, D.; PAVANELLO, M. A. **Asymmetric self-cascode configuration to improve the analog performance of SOI nMOS transistors**. Proceedings of the IEEE International SOI Conference. Tempe: [s.n.]. 2011.
18. DE SOUZA, M.; FLANDRE, D.; PAVANELLO, M. A. **Channel Length Influence on the Analog Characteristics of Asymmetric Self-Cascode Association of SOI Transistors**. 28th Symposium on Microelectronics Technology and Devices - SBMicro 2013. Curitiba: [s.n.]. 2013.
19. DE SOUZA, M. et al. **Liquid helium temperature analog operation of asymmetric self-cascode FD SOI MOSFETs**. IEEE International SOI Conference. [S.l.]: [s.n.]. 2012. p. 1-2.
20. D'OLIVEIRA, L. M. et al. **Asymmetric self-cascode FD SOI nMOSFETs harmonic distortion at cryogenic temperatures**. Proceedings of WOLTE. [S.l.]: [s.n.]. 2014. p. 57-60.
21. SANTOS, I. C. B. et al. **Asymmetric Series Association of SOI MOSFET to Improve the Device Analog Characteristics**. EUROSOCI. Granada: [s.n.]. 2011. p. 103-104.
22. PAVANELLO, M. A.; MARTINO, J. A.; FLANDRE, D. Graded-channel fully depleted Silicon-On-Insulator nMOSFET for reducing the parasitic bipolar effects. **Solid-State Electronics**, v. 44, n. 6, p. 917-922, Junho 2000.
23. DE SOUZA, M.; FLANDRE, D.; PAVANELLO, M. A. **Comparison of Asymmetric Self-Cascode and Graded-Channel Structures for High Performance Analog SOI MOSFETs**. EuroSOI 2012 - Eighth Workshop of the Thematic Network on Silicon on Insulator. [S.l.]: [s.n.]. 2012.
24. GUTIERREZ, E. A.; DEEN, J.; CLAEYS, C. **Low Temperature Electronics: Physics, Devices, Circuits and Applications**. New York: Academic Press, 1991.
25. SELBERHERR, S.; LANGER, E. **Low temperature MOS device modeling**. Proceedings of the Workshop on Low Temperature Semiconductor Electronics. [S.l.]: [s.n.]. 1989. p. 68 - 72.
26. GROENEWOLD, G.; LUBBERS, W. J. Systematic distortion analysis for MOSFET integrators with use of a new MOSFET model. **IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing**, v. 41, p. 569-580, 1994.
27. FLANDRE, D. et al. Modelling and application of fully depleted SOI MOSFETs for low voltage, low power analogue CMOS circuits, Solid-State Electronics. **Solid-State Electronics**, v. 39, n. 4, p. 455-460, 1996.
28. REIMBOLD, G.; AUBERTON-HERVE, A. -J. Aging analysis of nMOS of a 1.3 $\mu$ m partially depleted SIMOX SOI technology comparison with a 1.3 $\mu$ m bulk technology. **IEEE Transactions on Electron Devices**, v. 40, n. 2, p. 364-370, 1993.
29. COLINGE, J.-P.; COLINGE, C. A. **Physics of Semiconductor Devices**. Massachusetts: Kluwer Academic Publishers, 2002.
30. SZE, S. M. **Physics of semiconductor devices**. 2<sup>a</sup>. ed. New York: John Wiley and Sons, 1981.
31. HIROAKI, M. SOI Becomes Practicable. Seiko Epson: Watch Type IC with Partially Depleted SOI. **Semiconductor World**, v. 19, n. 2, p. 74-77, 2000.

32. CURRAN, B. et al. Power-constrained high-frequency circuits for the IBM POWER6 microprocessor. **IBM Journal of Research and Development**, v. 51, n. 6, p. 715-731, 2007.
33. SHAHIDI, G. G. SOI technology for the GHz era. **IBM Journal of Research and Development**, v. 46, n. 2/3, p. 121-131, 2002.
34. KRISHNAN, S.; FOSSUM, J. G. Grasping SOI floating-body effects. **IEEE Circuits and Devices Magazine**, v. 14, n. 4, p. 32-37, 1998.
35. YOSHIMI, M. et al. Observation of mobility enhancement in ultrathin SOI MOSFETs. **Electronics Letters**, v. 24, n. 17, p. 1078-1079, 1988.
36. COLINGE, J. -P. **Advanced CMOS devices made in thin SOI films**. Extended Abstracts of 5th International Workshop on Future Electron Devices. Miyagi-Zao: [s.n.]. 1988. p. 105-112.
37. YOUNG, K. K. Short-channel effect in fully depleted SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 36, n. 2, p. 399-402, 1989.
38. SZE, S. M.; NG, K. K. **Physics of Semiconductor Devices**. 3<sup>a</sup>. ed. [S.l.]: Wiley-Interscience, 2006.
39. LIM, H. K.; FOSSUM, J. G. Current-Voltage Characteristics of Thin-Film SOI MOSFET's in Strong Inversion. **IEEE Transactions on Electron Devices**, v. 31, n. 4, p. 401-408, 1984.
40. FLANDRE, D. et al. Comparison of SOI versus bulk performances of CMOS micropower single-stage OTAs. **Electronic Letters**, v. 30, n. 23, p. 1933-1934, 1994.
41. SILVEIRA, F.; FLANDRE, D.; JESPER, P. G. A. A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. **IEEE Journal of Solid-State Circuits**, v. 31, n. 9, p. 1314-1319, 1996.
42. VITTOZ, E. A. Low power design: ways to approach the limits. **Digest of Technical Papers, 41st ISSCC**, p. 14-18, 1994.
43. MULLER, R. S.; KAMINS, T. I.; CHAN, M. **Device Electronics for Integrated Circuits**. 3<sup>a</sup>. ed. New York: John Wiley & Sons, 2002.
44. JOMAAH, J.; GHIBAUDO, G.; BALESTRA, F. Analysis and modeling of self-heating effects in thin-film SOI MOSFETs as a function of temperature. **Solid-State Electronics**, v. 38, n. 3, p. 615-618, 1995.
45. ETESSAM-YAZDANI, K.; HUSSIN, R.; ASHEGHI, M. **Impact of Scaling on Thermal Behavior of Silicon-On-Insulator Transistors**. Proceedings of IOTHERM. San Diego: [s.n.]. 2006. p. 1257-1264.
46. SESNIC, S. S.; CRAIG, G. R. Thermal effects in JFET and MOSFET devices at cryogenic temperatures. **IEEE Transactions on Electron Devices**, v. 19, n. 8, p. 933-942, 1972.
47. FOTY, D. P.; TITCOMB, S. L. Thermal effects in n-channel enhancement MOSFET's operated at cryogenic temperatures. **IEEE Transactions on Electron Devices**, v. 34, n. 1, p. 107-113, 1987.
48. FRANÇA, J. E.; TSIVIDIS, Y. **Design of Analog-Digital VLSI Circuits for Telecommunications and Signal Processing**. [S.l.]: Prentice Hall, 1994.
49. CERDEIRA, A. et al. Integral function method for determination of nonlinear harmonic distortion. **Solid-**

- State Electronics**, v. 48, p. 2225–2234, 2004.
50. VANCAILLIE, L. et al. Characterization and Design Methodology for Low-Distortion MOSFET-C Analog Structures in Multithreshold Deep-Submicrometer SOI CMOS Technologies. **IEEE Transactions on Electron Devices**, v. 53, n. 2, p. 263-269, 2006.
  51. DORIA, R. T. **Operação Analógica de Transistores de Múltiplas Portas em Função da Temperatura**. Tese de Doutorado - Escola Politécnica da Universidade de São Paulo. 2010.
  52. RAJPUT, S. S.; JAMUAR, S. S. Low voltage analog circuit design techniques. **IEEE Circuits and Systems Magazine**, v. 2, n. 1, p. 24-42, 2002.
  53. SANZ, M. T. et al. Self-cascode SOI versus graded-channel SOI MOS transistors. **IEE Proceedings Circuits, Devices and Systems**, v. 153, n. 5, Outubro 2006.
  54. MEIER, D. L.; HWANG, J.-M.; CAMPBELL, R. B. The Effect of Doping Density and Injection Level on Minority-Carrier Lifetime as Applied to Bifacial Dendritic Web Silicon Solar Cells. **IEEE Transactions on Electron Devices**, v. 35, n. 1, p. 70-79, 1988.
  55. JANG, W.-Y.; WU, C.-Y.; WU, H.-J. A new experimental method to determine the saturation voltage of a small-geometry MOSFET. **Solid-State Electronics**, v. 31, n. 9, p. 1421–1431, 1988.
  56. GENTINNE, B. et al. Measurement and two-dimensional simulation of thin-film SOI MOSFETs: intrinsic gate capacitances at elevated temperatures. **Solid-State Electronics**, v. 39, n. 11, p. 1613-1619, 1996.
  57. RUDENKO, T. On the high-temperature subthreshold slope of thin-film SOI MOSFETs. **IEEE Electron Devices Letters**, v. 23, n. 3, p. 148, 2002.
  58. SELBERHERR, S. MOS Device Modeling at 77K. **IEEE Transactions on Electron Devices**, v. 36, n. 8, p. 1464-1474, 1989.
  59. LIM, H. K.; FOSSUM, J. G. Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's. **IEEE Transactions on Electron Devices**, v. 30, n. 10, p. 1244-1251, 1983.
  60. GROESENEKEN, G. et al. Temperature Dependence of Threshold Voltage in Thin-Film SOI MOSFET's. **IEEE Electron Device Letters**, v. 11, n. 8, p. 329-331, 1990.
  61. KIRSCHMAN, R. Low-temperature electronics. **IEEE Circuits and Devices Magazine**, v. 6, n. 2, p. 12-24, Março 1990.
  62. MARTINO, J. A.; PAVANELLO, M. A.; VERDONCK, P. B. **Caracterização Elétrica de Tecnologia e Dispositivos MOS**. 1ª. ed. São Paulo: Pioneira Thomson Learning, 2003.
  63. SHOUCAIR, F. S. Analytical and experimental methods for Zero-temperature-coefficient biasing of MOS transistors. **Electron Letters**, v. 25, n. 17, p. 1196-1198, 1989.
  64. CONWELL, E.; WEIAAKOPF, V. F. Theory of impurity scattering in semiconductors. **Physics Review**, v. 77, p. 388-390, 1950.
  65. CAUGHEY, D. M.; THOMAS, R. E. Carrier mobilities in silicon empirically related to doping and field. **IEEE Proceedings**, v. 52, p. 2192-2193, 1967.

66. SAH, C.-T. et al. Effect of Zinc Impurity on Silicon Solar-Cell Efficiency. **IEEE Trasaction on Electron Devices**, v. 28, n. 3, p. 304-313, 1981.
67. DORKEL, J. M.; LETURCQ, P. Carrier mobilities in silicon semi-empirically related to temperature, doping and injection level. **Solid-State Electronics**, v. 24, n. 9, p. 821-825, 1967.
68. LI, S. S.; THURBER, W. R. The dopant density and temperature dependence of electron mobility and resistivity in n-type silicon. **Solid-State Electronics**, v. 20, n. 7, p. 609-616, 1977.
69. GALETI, M.; PAVANELLO, M. A.; MARTINO, J. A. Evaluation of graded-channel SOI MOSFET operation at high temperatures. **Microelectronic Journal**, v. 37, p. 601-607, 2006.
70. SYNOPSIS. **SENTAURUS Device User's Manual**. [S.l.]: [s.n.], 2010.
71. SYNOPSIS. **Sentaurus Structure Editor User's Manual**. [S.l.]: [s.n.], 2010.
72. KLAASSEN, D. B. M. A Unified Mobility Model for Device Simulation - I. Model Equations and Concentration Dependence. **Solid-State Electronics**, v. 35, n. 7, p. 953-959, 1992.
73. LOMBARDI, C. et al. A Physically Based Mobility Model for Numerical Simulation of Nonplanar Devices. **IEEE Transactions on Computer-Aided Design**, v. 7, n. 11, p. 1164-1171, 1988.
74. CANALI, C. et al. Electron and Hole Drift Velocity Measurements in Silicon and Their Empirical Relation to Electric Field and Temperature. **IEEE Transactions on Electron Devices**, v. 22, n. 11, p. 1045-1047, 1975.
75. MASETTI, G.; SEVERI, M.; SOLMI, S. Modeling of Carrier Mobility Against Carrier Concentration in Arsenic-, Phosphorus- and Borom-Doped Silicon. **IEEE Transactions on Electron Devices**, v. 30, n. 7, p. 764-769, 1982.
76. YU, P. Y.; CARDONA, M. **Fundamentals of Semiconductors: Physics and Materials**. 2<sup>a</sup>. ed. Berlin: Springer, 1999.
77. BRENNAN, K. F. **The Physics of Semiconductors: With applications to optoelectronic devices**. Cambridge: Cambridge University Press, 1999.
78. ROULSTON, D. J.; ARORA, N. D.; CHAMBERLAIN, S. G. Modeling and Measurement of Minority-Carrier Lifetime versus Doping in Diffused Layers of n<sup>+</sup>-p Silicon Diodes. **IEEE Transactions on Electron Devices**, v. 29, n. 2, p. 284-291, 1982.
79. HULDT, L.; NILSSON, N. G.; SVANTESSON, K. G. The temperature dependence of band-to-band Auger recombination in silicon. **Applied Physics Letters**, v. 35, n. 10, p. 776-777, 1979.
80. VAN OVERSTRAETEN, R.; DE MAN, H. Measurement of the Ionization Rates in Diffused Silicon p-n Junctions. **Solid-State Electronics**, v. 13, n. 1, p. 583-608, 1970.
81. KLAASSEN, D. B. M.; SLOTBOOM, J. W.; DE GRAAFF, H. C. Unified Apparent Bandgap Narrowing in n- and p-Type Silicon. **Solid-State Electronics**, v. 35, n. 2, p. 125-129, 1992.
82. TERAQ, A. et al. Measurement of threshold voltages of thin-film accumulation-mode PMOS/SOI transistors. **IEEE Electron Device Letters**, v. 12, n. 12, p. 682-684, 1991.

83. FLANDRE, D. Fully depleted SOI CMOS technology for heterogeneous micropower, high-temperature or RF microsystems. **Solid-State Electronics**, v. 45, p. 541-549, 2001.
84. OKI Semiconductor Website. Disponivel em: <<http://www2.okisemi.com/>>.
85. PAVANELLO, M. A. et al. **Analysis of Harmonic Distortion in Graded-Channel SOI MOSFETs at High Temperatures**. SBMicro 2004 - 19th International Symposium on Microelectronics Technology and Devices. Porto de Galinhas: [s.n.]. 2004. p. 9-14.
86. DING, Y.-F. et al. Numerical study of self-heating effects of small-size MOSFETs fabricated on silicon-on-aluminum nitride substrate. **Nuclear Science and Techniques**, v. 17, n. 1, p. 29-33, 2006.
87. BRODSKY, J. S. et al. A physics-based, dynamic thermal impedance model for SOI MOSFET's. **IEEE Transactions on Electron Devices**, v. 44, n. 6, p. 957-964, 1997.

## APÊNDICE A

Arquivo para a geração de estruturas FD SOI no Sentaurus Structure Editor.

```

;Dimensoes
(define L      2)
(define H      0.080)
(define x      0.250)
(define tox    0.031)
(define tbox   0.390)
(define Nd     1e+21)
(define Na     6e+16)

;Nome
(define nome   "FD_L2_N6e16")

;Regiões
(define r1 (sdegeo:create-rectangle (position 0 tbox 0 )
  (position ( + x 0.1 ) (+ tbox H) 0 ) "Silicon"
  "region_source" ))
(define r2 (sdegeo:create-rectangle (position (+ x 0.1) tbox
  0 ) (position (- (+ L x) 0.1) (+ tbox H) 0 ) "Silicon"
  "region_channel" ))
(define r3 (sdegeo:create-rectangle (position (- (+ L x) 0.1)
  tbox 0 ) (position (+ L (* x 2)) (+ tbox H) 0 ) "Silicon"
  "region_drain" ))
(define r4 (sdegeo:create-rectangle (position 0 0 0.0 )
  (position (+ L (* x 2)) tbox 0.0 ) "Oxide" "region_oxb" ))
(define r5 (sdegeo:create-rectangle (position x (+ tbox H)
  0.0 ) (position (+ L x) (+ tbox (+ tox H)) 0.0 ) "SiO2"
  "region_oxg" ))

;;;;;;;;;
;Doping;
;;;;;;;;;

(sdedr:define-constant-profile
"ConstantProfileDefinition_source_drain"
"ArsenicActiveConcentration" Nd)
(sdedr:define-constant-profile-region
"ConstantProfilePlacement__source"
"ConstantProfileDefinition_source_drain" "region_source")

(sdedr:define-constant-profile
"ConstantProfileDefinition_source_drain"
"ArsenicActiveConcentration" Nd)
(sdedr:define-constant-profile-region
"ConstantProfilePlacement__drain"
"ConstantProfileDefinition_source_drain" "region_drain")

```

```

(sdedr:define-constant-profile
"ConstantProfileDefinition_channel" "BoronActiveConcentration"
Na)
(sdedr:define-constant-profile-region
"ConstantProfilePlacement__channel"
"ConstantProfileDefinition_channel" "region_channel")

;;;;;;
;Refino;
;;;;;;

;;;Definicao;;;

;Interface

(sdedr:define-refinement-size
"RefinementDefinition_verticalinterface" (/ x 35) (/ H 20) (/
x 70) (/ H 40) )
(sdedr:define-refeval-window "VertInterface1"
"Rectangle"(position (- (+ x 0.1) 0.01 ) tbox 0) (position (+
(+ 0.1 x ) 0.01) (+ tbox H) 0 ))
(sdedr:define-refinement-placement "SourceChannel"
"RefinementDefinition_verticalinterface" "VertInterface1" )

(sdedr:define-refeval-window "VertInterface2"
"Rectangle"(position (- (- (+ L x) 0.1) 0.01 ) tbox 0)
(position (+ (- (+ L x) 0.1 ) 0.01) (+ tbox H) 0 ))
(sdedr:define-refinement-placement "ChannelDrain"
"RefinementDefinition_verticalinterface" "VertInterface2" )

(sdedr:define-refinement-size
"RefinementDefinition_horizontalinterface" (/ (+ (* 2 x)L) 20)
(/ H 20) (/ (+ (* 2 x)L) 40) (/ H 40) )
(sdedr:define-refeval-window "HorizInterface1"
"Rectangle"(position x (+ tbox (- H 0.01)) 0) (position (+
x L) (+ tbox H) 0 ))
(sdedr:define-refinement-placement "Surface"
"RefinementDefinition_horizontalinterface" "HorizInterface1" )

;Corpo

(sdedr:define-refinement-size
"RefinementDefinition_source_drain" (/ x 25) (/ H 10) (/ x 50)
(/ H 20) )
;0.025 0.008 0.005 0.001 )
(sdedr:define-refinement-size "RefinementDefinition_channel"
(/ L 50) (/ H 10) (/ L 80) (/ H 20) )
;0.005 0.008 0.0005 0.001 )

```

```

(sdedr:define-refinement-size "RefinementDefinition_oxg" (/ L
5) (/ tox 5) (/ L 15) (/ tox 10) )
;0.005 0.005 0.0005 0.0005 )
(sdedr:define-refinement-size "RefinementDefinition_oxb" (/ (+
L (* x 2)) 10) (/ tbox 10) (/ (+ L (* x 2)) 15) (/ tbox
15) )
;0.025 0.08 0.005 0.008 )

;Aplicacao
(sdedr:define-refinement-region "RefinementPlacement_source"
"RefinementDefinition_source_drain" "region_source" )
(sdedr:define-refinement-region "RefinementPlacement_drain"
"RefinementDefinition_source_drain" "region_drain" )
(sdedr:define-refinement-region "RefinementPlacement_channel"
"RefinementDefinition_channel" "region_channel" )
(sdedr:define-refinement-region "RefinementPlacement_oxg"
"RefinementDefinition_oxg" "region_oxg" )
(sdedr:define-refinement-region "RefinementPlacement_oxb"
"RefinementDefinition_oxb" "region_oxb" )

;;;;;;;;;;
;Contatos;
;;;;;;;;;;

;Insere ponto
(sdegeo:insert-vertex ( position 0.1 (+ tbox H)
0 ))

(sdegeo:insert-vertex ( position (- (+ L (* x 2)) 0.1) (+
tbox H) 0 ))

;Define contatos
(sdegeo:define-contact-set "Source" 4 (color:rgb 1 0 0 )
"##" )
(sdegeo:set-current-contact-set "Source")
(sdegeo:define-2d-contact (list (car (find-edge-id (position
0.05 (+ tbox H) 0)))) "Source")

(sdegeo:define-contact-set "Gate" 4 (color:rgb 1 0 0 ) "##" )
(sdegeo:set-current-contact-set "Gate")
(sdegeo:define-2d-contact (list (car (find-edge-id (position
(+ x (/ L 2)) (+ tbox (+ tox H) 0)))) "Gate")

(sdegeo:define-contact-set "Drain" 4 (color:rgb 1 0 0 )
"##" )
(sdegeo:set-current-contact-set "Drain")
(sdegeo:define-2d-contact (list (car (find-edge-id (position
(- (+ L (* x 2)) 0.05) (+ tbox H) 0)))) "Drain")

(sdegeo:define-contact-set "Substrate" 4 (color:rgb 1 0 0 )
"##" )

```

```
(sdegeo:set-current-contact-set "Substrate")
(sdegeo:define-2d-contact (list (car (find-edge-id (position
(+ x (/ L 2)) 0 0)))) "Substrate")

;(sde:set-meshing-command "snmesh -a -c boxmethod")
;(sdedr:append-cmd-file "")

(sde:save-model nome)
(sde:build-mesh "snmesh" "-a -c boxmethod" nome)
```

## APÊNDICE B

Arquivo para a simulação do comportamento da corrente em dispositivos A-SC no Sentaurus Device Simulator.

```

Device MS {
  Electrode{
    {Name="Source" Voltage=0.000 DistResist=2e-6}
    {Name="Drain" Voltage=0.00 DistResist=2e-6}
    {Name="Gate" Voltage=0.00 Material="PolySi"(N)}
    {Name="Substrate" Voltage=0.00 workfunction=4.95}
  }

  File {
    * input files:
    Grid = "FD_L@LS@_N6e16_msh.tdr"
    Doping = "FD_L@LS@_N6e16_msh.tdr"
    Parameter="models.par"
  }

  Physics(MaterialInterface="Silicon/Oxide") {charge(Conc=5e+
10)}
    Physics {
      Mobility(
        PhuMob
        Enormal
        HighFieldSaturation
        DopingDependence
      )
      Recombination(SRH(DopingDep) Auger Avalanche)
      EffectiveIntrinsicDensity(BandGapNarrowing
(OldSlotboom))
      Temperature=@T@
    }
  }

Device MD {
  Electrode{
    {Name="Source" Voltage=0.000 DistResist=2e-6}
    {Name="Drain" Voltage=0.00 DistResist=2e-6}
    {Name="Gate" Voltage=0.00 Material="PolySi"(N)}
    {Name="Substrate" Voltage=0.00 workfunction=4.95}
  }

  File {
    * input files:
    Grid = "FD_L@LD@_N1e15_msh.tdr"
    Doping = "FD_L@LD@_N1e15_msh.tdr"
    Parameter="models.par"
  }
}

```

```

Physics(MaterialInterface="Silicon/Oxide") {charge (Conc=5e+
10) }
    Physics {
        Mobility(
            PhuMob
            Enormal
            HighFieldSaturation
            DopingDependence
        )
        Recombination(SRH(DopingDep) Auger Avalanche)
        EffectiveIntrinsicDensity(BandGapNarrowing
(OldSlotboom))
        Temperature=@T@
    }
}

System {
    Vsource_pset Vds (d s) {dc=0}
    Vsource_pset Vgs (g s) {dc=0}
    MS ms( "Source"=s "Drain"=x "Gate"=g "Substrate"=s )
    MD md( "Source"=x "Drain"=d "Gate"=g "Substrate"=s )
    Plot "_SSC_LS@LS@_LD@LD@_T@T@_Vd@Vd@_IdsxVgs.txt" (v(g
s) i(ms s) i(md d))
    Set (s=0)
}

File {
    Current = "SSC_IdsxVgs_Vd_@Vd@_LS@LS@_LD@LD@_des.plt"
    Output = "SSC_IdsxVgs_Vd_@Vd@_LS@LS@_LD@LD@_des.log"
}

Plot {
    eDensity hDensity eCurrent hCurrent
    Potential SpaceCharge ElectricField
    eMobility hMobility eVelocity hVelocity
    Doping DonorConcentration AcceptorConcentration
}

Math {
    Extrapolate
    RelErrControl
    Digits=4
    Notdamped=50
    Iterations=100
    NoCheckTransientError
    Method=pardiso
}

Solve {
    #-initial solution:

```

```

Poisson
Coupled{Poisson Electron hole}
Quasistationary(Maxstep= 0.5
  Minstep= 1e-3
  Goal{Parameter=Vds.dc Value=@Vd@}
){Coupled{Poisson Electron hole}CurrentPlot (Time =
(-1))}
}

Solve {
  #-initial solution:
  Poisson
  Coupled{Poisson Electron hole}
  Quasistationary(Maxstep= -0.5
    Minstep= -1e-3
    Goal{Parameter=Vgs.dc Value=-1.5}
  ){Coupled{Poisson Electron hole}CurrentPlot (Time =
(-1))}
}

Solve {
  #-initial solution:
  Poisson
  Coupled{Poisson Electron hole}
  Quasistationary(Maxstep= 0.01
    Minstep=1e-7
    Goal{Parameter=Vgs.dc Value=3}
  ){Coupled{Poisson Electron hole}CurrentPlot (Time =
(range = (0 1) intervals = 300))}
}

```