

CENTRO UNIVERSITÁRIO FEI
JAIME CALÇADE RODRIGUES

**CARACTERIZAÇÃO ELÉTRICA DE TRANSISTORES MOS DO TIPO NANOFIO E
NANOFOLHA DE SÍLCIO EMPILHADO EM TEMPERATURAS CRIOGÊNICAS**

SÃO BERNARDO DO CAMPO

2023

JAIME CALÇADE RODRIGUES

**CARACTERIZAÇÃO ELÉTRICA DE TRANSISTORES MOS DO TIPO NANOFIO E
NANOFOLHA DE SÍLCIO EMPILHADO EM TEMPERATURAS CRIOGÊNICAS**

Dissertação apresentada ao Centro
Universitário FEI, como parte dos requisitos
necessários para obtenção do título de Mestre
em Engenharia Elétrica. Orientado pelo Prof.
Dr. Marcelo Antonio Pavanello.

SÃO BERNARDO DO CAMPO

2023

Calçade Rodrigues, Jaime.

CARACTERIZAÇÃO ELÉTRICA DE TRANSISTORES MOS DO TIPO NANOFIO E NANOFOLHA DE SÍLICIO EMPILHADO EM TEMPERATURAS CRIOGÊNICAS / Jaime Calçade Rodrigues. São Bernardo do Campo, 2023.

108 f. : il.

Dissertação - Centro Universitário FEI.

Orientador: Prof. Dr. Marcelo Antonio Pavanello.

1. Transistores MOS. 2. SOI. 3. Nanofios empilhado. 4. Baixa temperatura. 5. Caracterização elétrica. I. Pavanello, Marcelo Antonio, orient. II. Título.

Aluno(a): Jaime Calçade Rodrigues

Matrícula: 120101-1

Título do Trabalho: CARACTERIZAÇÃO ELÉTRICA DE TRANSISTORES MOS DO TIPO NANOFIO E NANOFOLHA DE SÍLCIO EMPILHADO EM TEMPERATURAS CRIOGÊNICAS

Área de Concentração: Nanoeletrônica e Circuitos Integrados

Orientador(a): Prof. Dr. Marcelo Antonio Pavanello

Data da realização da defesa: 28/02/2023

ORIGINAL ASSINADA

Avaliação da Banca Examinadora:

A defesa pública da dissertação de mestrado foi realizada por videoconferência, com a presença de todos os membros da banca examinadora. Iniciou-se pela apresentação da dissertação, por parte do candidato. Em seguida, foi realizada a arguição do candidato, por parte de todos os membros da banca examinadora. O candidato respondeu e argumentou sobre as perguntas realizadas, além de receber as contribuições da banca sobre o texto a ser revisado. Na sequência, em sessão fechada, a banca examinadora deliberou pela aprovação unânime da dissertação, ressalvada a necessidade de elaboração de um volume revisado contendo os comentários recebidos.

A Banca Julgadora acima-assinada atribuiu ao aluno o seguinte resultado:

APROVADO ☐

REPROVADO ☐

MEMBROS DA BANCA EXAMINADORA

Prof. Dr. Marcelo Antonio Pavanello

Prof. Dr. Roberto Baginski Batista Santos

Prof. Dr. José Alexandre Diniz

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz

Dedico este trabalho à minha família!

AGRADECIMENTOS

Agradeço a minha mãe pelo apoio dado e por ter me despertado desde menino o gosto pelo estudo. Ao meu pai pelo apoio incondicional dado em todos meus projetos, sendo sempre um grande amigo. E um agradecimento especial ao Professor Pavanello pela orientação, disponibilidade, paciência e amizade. Gostaria de expressar minha profunda gratidão ao Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq) pelo apoio concedido durante meu mestrado. Através da bolsa de estudos (372482/2020-1), pude me dedicar à pesquisa acadêmica e aprimorar meus conhecimentos em minha área de estudo. O suporte oferecido pelo CNPq foi fundamental para o sucesso do meu trabalho e tenho a certeza de que continuará a contribuir significativamente para o desenvolvimento da ciência e tecnologia em nosso país.

“Estude muito aquilo que mais lhe interessa da
maneira mais indisciplinada, irreverente e
original possível”

Richard Feynman

RESUMO

Neste trabalho é apresentado um estudo das características elétricas de transistores MOS do tipo nanofio e nanofolha, com variação da temperatura. Na faixa entre 95K e 400K são comparados dispositivos com diversas geometrias, tanto de largura de canal quanto de comprimento de canal. Os parâmetros analisados foram tensão de limiar, inclinação de sublimiar, transcondutância máxima, mobilidade de baixo campo elétrico e também parâmetros analógicos, como condutância de saída e ganho de tensão. Antes da apresentação dos resultados, discorre-se sobre a importância da metodologia utilizada no trabalho e os diversos fatores que impactam na qualidade dos dados obtidos, como: garantia de um alto vácuo na câmara em que a amostra está inserida, importância da pasta térmica para garantir a máxima superfície de contato entre amostra e porta-amostra, e, assim, assegurar o maior e melhor acoplamento térmico, o que por sua vez, garante que a amostra mantenha-se em equilíbrio térmico durante todo o procedimento de medida. Quanto aos resultados obtidos, observa-se que a tensão de limiar, para um mesmo dispositivo, varia de maneira linear com a temperatura e que para dispositivos mais largos a redução da tensão de limiar é mais brusca com o aumento da temperatura, em dispositivos com $W_{Fin} = 10\text{nm}$, $d(V_{TH}/V_{300})/dT = -0,65 \times 10^{-3} \text{ 1/K}$ e para $W_{Fin}=40\text{nm}$ $d(V_{TH}/V_{300})/dT = -0,77 \times 10^{-3} \text{ 1/K}$. A inclinação de sublimiar obtida para estes dispositivos se manteve sempre bem próxima do mínimo teórico esperado, definido pela equação $S = \frac{kT}{q} \ln 10$ (em 300K 60mV/déc), o que indica um fator de corpo próximo a unidade, independentemente da geometria do dispositivo. A mobilidade dos portadores aumenta com o decréscimo da temperatura e essa variação também é acentuada em dispositivos mais largos, para $W_{Fin} = 10\text{nm}$, $d(\mu_n/\mu_{n,300K})/dT = -1,71 \times 10^{-3} \text{ 1/K}$ e para $W_{Fin}=40\text{nm}$ $d(\mu_n/\mu_{n,300K})/dT = -2,2 \times 10^{-3} \text{ 1/K}$. Como em dispositivos mais largos a condução lateral, que ocorre no plano 110, tem menos influência na corrente total do que em dispositivos estreitos, essas variações se tornam mais evidentes, já que a condução na faixa central que ocorre no plano 100, tem maior participação relativa na condução total. Quanto aos parâmetros analógicos nota-se uma fraca dependência de A_V com a temperatura, com variação de até 2,5dB ao longo da faixa de temperatura estudada, entre 95K e 400K. No trabalho também é utilizado um modelo analítico que estima a tensão de limiar para diversos transistores tridimensionais que ajudou na compreensão e análise dos dados.

Palavras-chave: Transistores MOS, SOI, Nanofios empilhado, Baixa temperatura, Caracterização elétrica, Metodologia

ABSTRACT

This paper presents a study of the electrical characteristics of nanowire and nanosheet MOS transistors with temperature variation. Devices with different channel widths and lengths were compared in the range between 95K and 400K. The analyzed parameters were threshold voltage, subthreshold slope, maximum transconductance, low-field mobility, and also analog parameters such as output conductance and voltage gain. Before presenting the results, the importance of the methodology used in the work and the various factors that impact the quality of the obtained data are discussed, such as ensuring a high vacuum in the sample chamber, the importance of thermal paste to ensure maximum contact area between the sample and the sample holder, and thus ensure the best thermal coupling, which in turn ensures that the sample remains in thermal equilibrium throughout the measurement procedure.

Regarding the results, it was observed that the threshold voltage, for the same device, varies linearly with temperature and that for wider devices, the reduction in threshold voltage is more abrupt with increasing temperature. For devices with $W_{fin}=10\text{nm}$, $d(V_{TH}/V_{300})/dT = -0.65 \times 10^{-3} \text{ 1/K}$ and for $W_{fin}=40\text{nm}$, $d(V_{TH}/V_{300})/dT=-0.77 \times 10^{-3} \text{ 1/K}$. The obtained subthreshold slope for these devices remained always close to the expected theoretical minimum, defined by the equation $S=(kT/q)\ln 10$ (at 300K 60mV/dec), indicating a body factor close to unity regardless of the device geometry. The carrier mobility increases with decreasing temperature, and this variation is also accentuated in wider devices, for $W_{fin}=10\text{nm}$, $d(\mu_n/\mu_{n,300K})/dT=-1.71 \times 10^{-3} \text{ 1/K}$ and for $W_{fin}=40\text{nm}$, $d(\mu_n/\mu_{n,300K})/dT=-2.2 \times 10^{-3} \text{ 1/K}$. As lateral conduction, which occurs in the 110 plane, has less influence on the total current in wider devices than in narrow devices, these variations become more evident, since the central band conduction, which occurs in the 100 plane, has a greater relative participation in the total conduction. Regarding the analog parameters, a weak dependence of A_V on temperature was observed, with a variation of up to 2.5dB over the temperature range studied, between 95K and 400K. An analytical model is also used in the work to estimate the threshold voltage for various three-dimensional transistors, which helped in the understanding and analysis of the data.

Keywords: Transistors, MOS, SOI, Stacked nanowire, Low temperature, Electrical characterization, Metodology

LISTA DE ILUSTRAÇÕES

Figura 1 – Ilustração que compara as geometrias de transistores: planar, porta-tripla (FinFET), porta por toda a volta ou circundante (GAA) ou nanofio e porta circundante nanofolha.	13
Figura 2 – Esquemático de um transistor FDSOI.....	15
Figura 3- Imagem do tipo TEM de um transistor FDSOI tecnologia de 28 nm.....	16
Figura 4 - Imagem do tipo TEM de um transistor FinFET da INTEL© de nó tecnológico de 14nm.....	17
Figura 5 - Imagem do tipo TEM de um transistor do tipo nanofolha de silício empilhado da IBM.....	19
Figura 6 - Imagem do tipo TEM de um transistor do tipo nanofolha de silício empilhado da Intel.....	19
Figura 7 – Gráfico da corrente de dreno em função da tensão de porta para baixa tensão de dreno de um transistor SOI nMOSFET (SOI nMOSFET) para temperaturas entre 4,16K e 380K.	21
Figura 8 – Gráfico da tensão de limiar em função da temperatura de um transistor FinFET <i>multi-fin</i> com diferentes comprimentos de canal.	22
Figura 9 – Gráfico da tensão de limiar em função da temperatura de transistores do tipo nanofio nanofolha de silício MOSFETs para variadas larguras de canal.	23
Figura 10 – Gráfico da inclinação de sublimiar em função da temperatura para dispositivos FinFETs com variados comprimentos de canal.....	26
Figura 11 – Gráfico da mobilidade dividido pela mobilidade em 300K em função da temperatura para dispositivos SOI e GC SOI de diferentes comprimentos de canal	30
Figura 12 – Gráfico da transcondutância em função da tensão de porta para dispositivos SOI e GC SOI.	31
Figura 13 – Gráfico da transcondutância máxima em função da temperatura para transistores FinFETs com variados comprimentos de canal.....	32
Figura 14 -Gráfico do ganho de tensão intrínseco pela temperatura para dispositivos SOI e GC SOI para diferentes comprimentos de canal.	33
Figura 15 – Esquemático do transistor do tipo 2 níveis de nanofio/nanofolha de silício empilhados em lâmina SOI.	37
Figura 16- Secção transversal do transistor MOS do tipo nanofio empilhado, imagem do tipo TEM.(BARRAUD et al., 2016).....	39

Figura 17 - Imagem dos equipamentos utilizados nas medições.....	40
Figura 18 - Imagem dos equipamentos: Cilindro de gás refrigerante, LTMP e microscópio. .	41
Figura 19 – Imagem do porta-amostra do LTMP.....	42
Figura 20 – (a): Gráfico de I_{DS} por V_G para um transistor MOS do tipo nanofio de silício empilhado obtido com o transistor em 95K, utilizando o equipamento B1500. (b): Curva da 2ª derivada da curva da figura (a).	44
Figura 21 – (a): Gráfico da curva $I_{DS} \times V_G$ de um transistor do tipo nanofio de silício empilhado em 95K. (b): Gráfico da transcondutância pela tensão de porta, 1ª derivada da curva (a), deste transistor.	48
Figura 22 – Gráfico de I_{DS} por V_G , em escala linear e logarítmica, em temperatura ambiente de um transistor do tipo nanofio de Si empilhado de múltiplas aletas em temperatura ambiente.	49
Figura 23 – (a): Gráfico de $\log(I_{DS})$ por V_G de NW em 95K. (b): Gráfico do inverso da derivada da curva apresentada em (a).	50
Figura 24 – Gráfico de I_{DS} por V_G para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (<i>multi-fin</i>), em escala linear e logarítmica, em 95K.	51
Figura 25– Gráfico de I_{DS} por V_G para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (<i>multi-fin</i>), em escala linear e logarítmica, em 120K.	51
Figura 26– Gráfico de I_{DS} por V_G para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (<i>multi-fin</i>), em escala linear e logarítmica, em 200K.	52
Figura 27– Gráfico de I_{DS} por V_G para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (<i>multi-fin</i>), em escala linear e logarítmica, em 250K.	52
Figura 28– Gráfico de I_{DS} por V_G para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (<i>multi-fin</i>), em escala linear e logarítmica, em 300K.	53
Figura 29– Gráfico de I_{DS} por V_G para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (<i>multi-fin</i>), em escala linear e logarítmica, em 350K.	53
Figura 30– Gráfico de I_{DS} por V_G para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (<i>multi-fin</i>), em escala linear e logarítmica, em 95K.	54
Figura 31 - Corrente de dreno por tensão de porta com tensão de dreno de 25 mV, em dispositivo single-fin. Em 160 K e 400 K. (RODRIGUES et al., 2021).	55
Figura 32– Gráfico de I_{DS} por V_{DS} para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (<i>multi-fin</i>), em escala linear, em 95K.	56
Figura 33– Gráfico de I_{DS} por V_{DS} para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (<i>multi-fin</i>), em escala linear, em 120K.	56

Figura 34– Gráfico de I_{DS} por V_{DS} para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (<i>multi-fin</i>), em escala linear, em 200K.	57
Figura 35– Gráfico de I_{DS} por V_{DS} para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (<i>multi-fin</i>), em escala linear, em 250K.	57
Figura 36– Gráfico de I_{DS} por V_{DS} para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (<i>multi-fin</i>), em escala linear, em 300K.	58
Figura 37– Gráfico de I_{DS} por V_{DS} para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (<i>multi-fin</i>), em escala linear, em 350K.	58
Figura 38– Gráfico de I_{DS} por V_{DS} para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (<i>multi-fin</i>), em escala linear, em 400K.	59
Figura 39– Gráfico de I_{DS} por V_{GT} ($V_G - V_{TH}$) para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (<i>multi-fin</i>), em escala linear, em 95K.	60
Figura 40 - Gráfico de I_{DS} por V_{GT} ($V_G - V_{TH}$) para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (<i>multi-fin</i>), em escala linear, em 120K.	60
Figura 41 - Gráfico de I_{DS} por V_{GT} ($V_G - V_{TH}$) para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (<i>multi-fin</i>), em escala linear, em 200K.	61
Figura 42 - Gráfico de I_{DS} por V_{GT} ($V_G - V_{TH}$) para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (<i>multi-fin</i>), em escala linear, em 250K.	61
Figura 43 - Gráfico de I_{DS} por V_{GT} ($V_G - V_{TH}$) para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (<i>multi-fin</i>), em escala linear, em 300K.	62
Figura 44 - Gráfico de I_{DS} por V_{GT} ($V_G - V_{TH}$) para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (<i>multi-fin</i>), em escala linear, em 350K.	62
Figura 45 - Gráfico de I_{DS} por V_{GT} ($V_G - V_{TH}$) para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (<i>multi-fin</i>), em escala linear, em 400K.	63
Figura 46 - Tensão de limiar dividida pela tensão de limiar à 300K em função da temperatura para dispositivos com diferentes geometrias.(RODRIGUES et al., 2022).....	64
Figura 47 - Tensão de limiar em função da temperatura, para diversas larguras de canal. Dispositivo multi-fin, valores absolutos.(RODRIGUES et al., 2021)	65
Figura 48 - Inclinação de sublimiar em função da temperatura para diversas larguras de canal, dispositivo multi-fin, $V_{DS} = 40$ mV.(RODRIGUES et al., 2022)	66
Figura 49 - Inclinação de sublimiar em função da temperatura, dispositivo single-fin. $V_{DS} = 40$ mV.(RODRIGUES et al., 2021).....	67
Figura 50 - Transcondutância máxima em função da temperatura, $V_{DS} = 40$ mV. Dispositivo <i>multi-fin</i> .(RODRIGUES et al., 2022)	68

Figura 51 - Mobilidade dos portadores dividida pela mobilidade à 300 K em função da temperatura, $V_{DS} = 40\text{mV}$. Dispositivos <i>multi-fin</i> .(RODRIGUES et al., 2022).....	68
Figura 52 - Valores calculados de (a) g_m e (b) g_{DS} em função da temperatura para diferentes larguras de canal com tensão $V_{DS} = 700\text{mV}$	71
Figura 53 - A_V calculado em função da temperatura com $V_{DS} = 700\text{ mV}$ e $V_{GT} = 150\text{ mV}$	72

LISTA DE ABREVIATURAS

CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
DG	<i>Double Gate</i>
FD SOI	<i>Fully Depleted Silicon-On-Insulator</i>
FINFET	<i>Fin Field Effect Transistor</i>
GAA	<i>Gate-all-around</i>
GC SOI	<i>Graded-Channel Silicon-On-Insulator</i>
GeOI	<i>Germanium-On-Insulator</i>
IOT	<i>Internet of Things</i>
LDD	<i>Low Doped Drain</i>
LTMP	<i>Low Temperature Micro-Probe</i>
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
NMOS	<i>type N Metal Oxide Semiconductor Field Effect Transistor</i>
NWFET	<i>Nanowire or Nanosheet Transistor MOS</i>
PMOS	<i>type P Metal Oxide Semiconductor Field Effect Transistor</i>
SCE	<i>Short-Channel-Effect</i>
SOI	<i>Silicon-On-Insulator</i>
SOS	<i>Silicon-On-Sapphire</i>
TEM	<i>Transmission electron microscopy</i>
TG	<i>Triple Gate</i>

LISTA DE TABELAS

Tabela 1 - Dimensões dos dispositivos <i>single-fin</i> estudados.....	37
Tabela 2 - Dimensões dos dispositivos multi-fins estudados	38
Tabela 3 – Tabela com a razão entre a tensão de limiar extraída utilizando o método do Y-function e a extraída utilizando o método da 2ª derivada em dispositivos multi-fin de diversas geometrias e submetidos a diversas temperaturas.	47
Tabela 4 - Inclinações das retas extrapoladas da curva de tensão de limiar por temperatura.(RODRIGUES et al., 2022).....	65
Tabela 5 – Inclinações das variações da mobilidade, normalizada pela mobilidade à 300K, em função da temperatura indicadas na Figura 50.	68
Tabela 6 - Percentual calculado do aumento de mobilidade dos portadores, em relação a variação de W_{fin} .(RODRIGUES et al., 2022).....	69

SUMÁRIO

1	Introdução.....	11
2	Fundamentos Teóricos.....	13
2.1	TRANSISTORES SOI E 3D.....	13
2.1.1	Tecnologia SOI	14
2.1.1.1	<i>Tecnologia FDSOI.....</i>	<i>15</i>
2.1.2	Transistores tridimensionais	17
2.1.3	Transistores MOS do tipo nanofio e nanofolha de silício empilhado.....	18
2.2	CARACTERÍSTICAS ELÉTRICAS DOS TRANSISTORES.....	20
2.2.1	Tensão de limiar	21
2.2.2	Inclinação de sublimiar.....	26
2.2.3	Mobilidade	27
2.2.4	Transcondutância.....	30
2.2.5	Ganha de tensão (A_v).....	32
2.2.6	Efeito de canal curto	34
2.2.7	Efeito de resistência série.....	35
3	Resultados e Discussão.....	36
3.1	CARACTERÍSTICAS DOS TRANSISTORES ESTUDADOS	36
3.2	METODOLOGIA APLICADA DURANTE OS EXPERIMENTOS	39
3.2.1	Operação em ambiente criogênico.....	40
3.2.2	Fatores que impactam na qualidade dos dados obtidos	42
3.3	METODOLOGIA UTILIZADA NA EXTRAÇÃO DOS PARÂMETROS ELÉTRICOS DIGITAIS A PARTIR DOS DADOS EXPERIMENTAIS.....	43
3.3.1	Extração da tensão de limiar.....	44
3.3.2	Extração da transcondutância máxima.....	47
3.3.3	Extração da inclinação de sublimiar	48
3.4	RESULTADOS OBTIDOS EM FUNÇÃO DA TEMPERATURA.....	50
3.4.1	Tensão de limiar em função da temperatura para diferentes larguras de canal	

3.4.2	Inclinação de sublimar em função da temperatura para diferentes larguras de canal	66
3.4.3	Mobilidade e transcondutância em função da temperatura	67
3.4.4	Parâmetros analógicos em função da temperatura.....	70
4	Conclusão e trabalhos futuros.....	73
5	REFERÊNCIAS	75
6	Anexos: ARTIGOS PUBLICADOS	83

1 INTRODUÇÃO

A diminuição do tamanho de transistores CMOS (Metal-óxido-semicondutor complementar) planares está chegando ao seu limite (KNOBLOCH *et al.*, 2022) (BOHR; YOUNG, 2017). Com isso, novas tecnologia tem surgido para seguir com a redução das dimensões dos transistores, alcançando uma escala nanométrica, e assim, aumentar a quantidade de transistores por circuito integrado. A partir dos anos 2000, surgiram os transistores FinFETs, o que significou um enorme avanço para a indústria de semicondutores e atualmente estão entre os dispositivos mais utilizados na indústria. Neste trabalho estudamos os resultados com variação de temperatura com enfoque nos resultados em baixas temperaturas de um dos dispositivos mais promissores, os transistores MOS do tipo nanofio e nanofolha empilhado (BARRAUD *et al.*, 2012)(COQUAND *et al.*, 2012). Este tipo de transistor surge como uma opção viável para a substituição dos já estabelecidos transistores FinFET.

O estudo dos transistores MOS do tipo nanofio e nanofolha empilhados em baixa temperatura é motivado por diversas razões. A primeira é o fato de que essa tecnologia tem um grande potencial para substituir os FinFETs atuais, que são amplamente utilizados na indústria de semicondutores. Os FinFETs têm sido a tecnologia dominante para a produção de transistores em larga escala nos últimos anos, mas eles têm apresentado limitações em termos de escalabilidade e desempenho (RAZAVIEH *et al.*, 2019). Entretanto, as propriedades elétricas desses transistores nessa faixa de temperaturas são ainda pouco conhecidas. Adicionalmente, com o advento da computação quântica, e a sua operação em baixíssimas temperaturas (na ordem dos milikelvins), o estudo da eletrônica em baixas temperaturas ganhou importância, já que os circuitos de controle dos computadores quânticos também operam em temperaturas criogênicas e são compostos por transistores MOS do estado da arte (ALMUDEVER *et al.*, 2017).

No capítulo 2 discorre-se sobre os conceitos fundamentais para a compreensão do que se segue na dissertação. Nele são expostas as tecnologias utilizadas nos transistores, tanto dos nanofios e nanofolhas empilhados, objetos desse estudo, quanto as correlatas e predecessoras. Ainda neste capítulo, trata-se das características elétricas dos transistores que serão analisadas, como: tensão de limiar, inclinação de sublimiar, mobilidade de baixo campo elétrico, transcondutância e ganho de tensão. Ao final do capítulo, expõem-se sobre alguns dos efeitos indesejáveis que podem acontecer nestes dispositivos e de maneiras de contorná-los.

No capítulo 3, estão os resultados da pesquisa. O capítulo começa por explicar a operação em ambiente criogênico e todos os cuidados e procedimentos que devem ser seguidos.

A seguir, são explicados os procedimentos de extração dos parâmetros elétricos estudados. Após os detalhes sobre as extrações dos parâmetros digitais apresentam-se os dados coletados. As seções finais do capítulo são dedicadas a análise dos parâmetros e a sua relação com a geometria do dispositivo e a temperatura.

O objetivo deste trabalho é a apresentação das características elétricas desses transistores e na metodologia adequada para a obtenção destes dados em ambientes criogênicos. Nas experiências realizadas nota-se um comportamento linear da tensão de limiar com a variação da temperatura, com o V_{TH} diminuindo conforme a temperatura aumenta. O comportamento da curva de V_{TH} é pouco influenciado pelo comprimento de canal, porém, o índice de variação de V_{TH} com a temperatura é acentuado com o aumento da largura de canal, W_{fin} . A inclinação de sublimiar é fortemente influenciada pela temperatura, e este comportamento é similar para todas as geometrias analisadas. A transcondutância máxima e a mobilidade dos portadores também foram estudadas e apresentam um comportamento linear com a variação da temperatura. A variação da mobilidade também é impactada pelo aumento da largura do canal, sendo mais acentuada para W_{fin} maiores. Esse impacto nesses parâmetros é explicado em grande parte pelo menor impacto relativo da condução elétrica pelas paredes laterais na condução total de dispositivos mais largos, onde, a condução pela parte superior, com maior mobilidade, é a principal responsável pela corrente total. Foram analisados também os parâmetros analógicos como condutância de saída e ganho intrínseco de tensão, que apresentam uma relação mais fraca com a variação de temperatura. Os resultados obtidos da tensão de limiar são comparados com o modelo analítico para dispositivos 3D (DUARTE *et al.*, 2013a, 2013b) com objetivo de aprofundar as explicações físicas do impacto da variação de temperatura nos parâmetros elétricos.

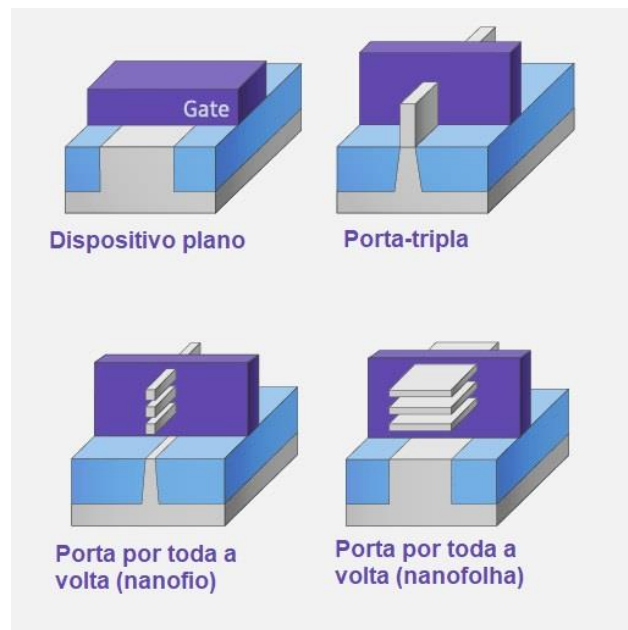
2 FUNDAMENTOS TEÓRICOS

Nesta seção são explorados os conceitos fundamentais para a correta interpretação dos dados experimentais. Passando desde o panorama da tecnologia SOI e todo o seu potencial até definições dos parâmetros elétricos estudados e comparados em diversas temperaturas.

2.1 TRANSISTORES SOI E 3D

A tecnologia CMOS convencional tem apresentado sinais de estar chegando ao seu limite na miniaturização de seus transistores. Com a crescente demanda de processamento de dados, crescendo tanto na velocidade em que as informações precisam ser processadas quanto nas mais variadas aplicações em que microprocessadores e controladores estão sendo empregados na vida cotidiana, há uma constante demanda pela melhora dessas tecnologias. Com grande potencial para suplantiar essa tecnologia os dispositivos de múltipla-portas têm apresentados os resultados mais promissores (RAZAVIEH *et al.*, 2019)(COLINGE; COLINGE, 2005).

Figura 1 – Ilustração que compara as geometrias de transistores: planar, porta-tripla (FinFET), porta por toda a volta ou circundante (GAA) ou nanofio e porta circundante nanofolha.



Fonte: adaptado da Samsung (SAMSUNG ANNOUNCES 3NM GAA MBCFET PDK, VERSION 0.1, [s. d.])

Na Figura 1 tem-se a ilustração de diversas geometrias dos transistores postas lado-a-lado. Os dispositivos planos são os precursores da tecnologia CMOS, os FinFETs são os mais

difundidos na indústria de hoje (PETROSYANTS *et al.*, 2022a) e os dispositivos de porta circundante surgindo como os mais promissores para substituir os FinFETs.(PETROSYANTS *et al.*, 2022a)

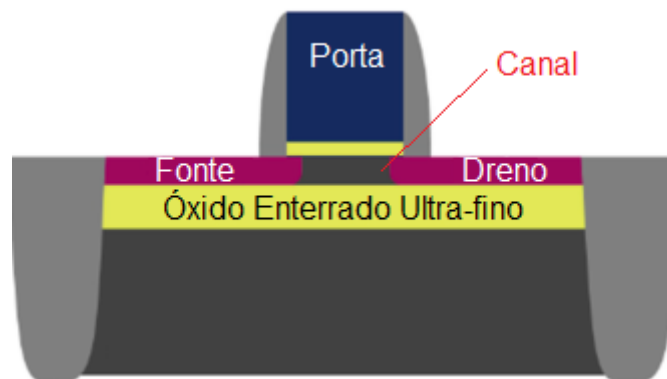
2.1.1 Tecnologia SOI

O interesse no uso da tecnologia SOI começou no final dos anos 70 e nesse período ela era vista como uma alternativa para o silício sobre safira (SOS). Entretanto a tecnologia SOS era usada para aplicações em operação de elevada temperatura na indústria automotiva e conversores A/D rápido, seu uso primário foi militar e aeroespacial devido a sua grande resistência a radiação (GUTIERREZ-D *et al.*, 2000). O que motivou o uso da tecnologia SOI foi o seu desempenho e sua vantagem em custo, que começou a ser mais evidente entre 1993 e 1995. Como grandes vantagens dessa tecnologia podem-se citar: desempenho em alta velocidade, baixo consumo de energia, baixa corrente de fuga, operação em uma gama variada de tensões, redução dos efeitos de canal-curto, e grande potencial para aplicações criogênicas e em altas temperaturas além, de baixo custo de processamento. Como efeitos indesejáveis tem-se: efeito do corpo flutuante, efeitos parasitários, disponibilidade e custo do substrato e dificuldade na produção de lâminas de substratos finos. Como ponto de inflexão na popularização dessa tecnologia está o desenvolvimento do processo de *smart-cut* na produção de lâminas de alta qualidade. A técnica *smart-cut* é um processo de transferência de camadas, ela permite uma variada produção de materiais com uma camada de um material colocada sobre um material diferente. Como exemplo podemos citar: uma camada de Si tensionado e uma lâmina de SiGe ser colocado por cima com uma camada SiO₂ entre eles. Até mesmo estruturas multicamadas que combinam lâminas SOI e GeOI(NGUYEN *et al.*, 2009). As aplicações da tecnologia SOI tem sido as mais vastas desde microprocessadores de alta performance, passando por microprocessadores de arquitetura x86 da AMD (single-core Opteron), microprocessadores da arquitetura POWER produzidos pela IBM e com aplicações em sistemas embarcados em televisores e vídeo games e uma gama de tantos outros processadores gráficos.

2.1.1.1 Tecnologia FDSOI

Como dito anteriormente, dado os sinais de que a tecnologia CMOS planar pode ter chegado ao seu ápice, uma série de tecnologias tem disputado o posto de principal alternativa a essa tecnologia.

Figura 2 – Esquemático de um transistor FDSOI.



Fonte: autor

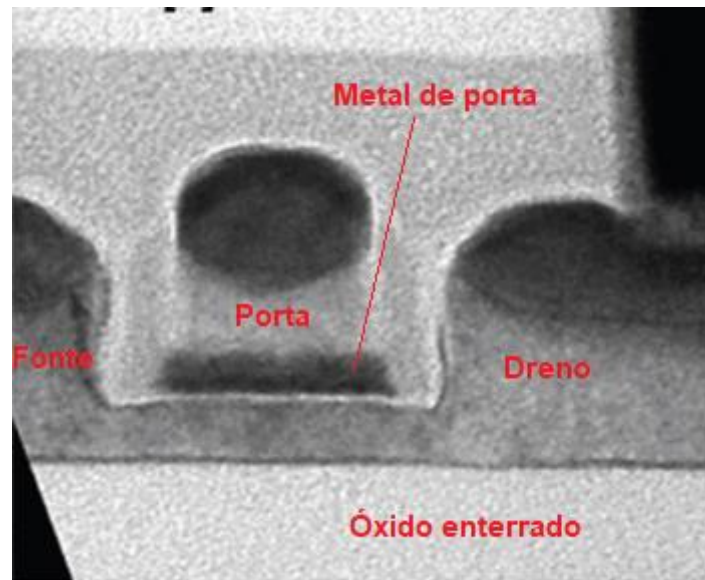
Entre essas tecnologias tem-se os transistores FDSOI. O acrônimo FDSOI significa: *Fully depleted Silicon on Insulator*, o que em tradução direta é silício sobre isolante completamente depletado. O substrato, nessa tecnologia, é composto por duas camadas de silício intercaladas por uma fina camada de óxido de silício, sendo a camada superior de silício mais fina do que a de base e onde o transistor é construído.

A camada de óxido que intercala as placas de silício é conhecido como óxido enterrado. O transistor é construído nessa camada acima do óxido e o nome completamente depletado vem do fato do corpo do transistor, a região entre fonte e dreno, estar completamente depletada, ou seja, a espessura do canal que se forma quando aplicada tensão na porta é a mesma espessura do silício acima do óxido(VITALE *et al.*, 2010).

O óxido enterrado auxilia na baixa presença de ruído nos sinais desses transistores (PETROSYANTS *et al.*, 2022b). Apesar das inúmeras vantagens dessa tecnologia ela possui algumas desvantagens. Dentre essas, a que se destaca é o auto aquecimento, já que o óxido possui uma menor capacidade de dissipar o calor gerado pelo chaveamento dos transistores (MAKOVEJEV *et al.*, 2015).

Na Figura 3 há a imagem da seção transversal de um transistor do tipo FDSOI fabricado de nó tecnológico de 28 nm e na Figura 2 um esquemático ilustrativo de um transistor FDSOI.

Figura 3- Imagem do tipo TEM de um transistor FDSOI tecnologia de 28 nm



Fonte: Adaptado de (WEBER, 2017)

Na Figura 3 é possível observar que as regiões de fonte e dreno possuem espessura maior do que a região do canal, abaixo da porta, para diminuição da resistência série (ou resistência de acesso) do transistor. O eletrodo de porta desta tecnologia é composto por uma camada fina (1 nm) de SiO₂, seguida pela camada de dielétrico de alto k (2,3nm) e pelo metal de porta (5nm). Sobre estas camadas, é depositado si policristalino. Completam os eletrodos de porta, fonte e dreno as regiões de silício, para redução da resistência de contato com os metais de interconexão.

Como grandes vantagens dessa tecnologia têm-se: a diminuição das capacitâncias parasitárias, menor interferência de sinais externos, maior eficiência energética e maior resistência a radiação (SEILER *et al.*, 2019). Todas essas características justificam a sua flexibilidade e aplicabilidade em situações em que a robustez do equipamento é necessária.

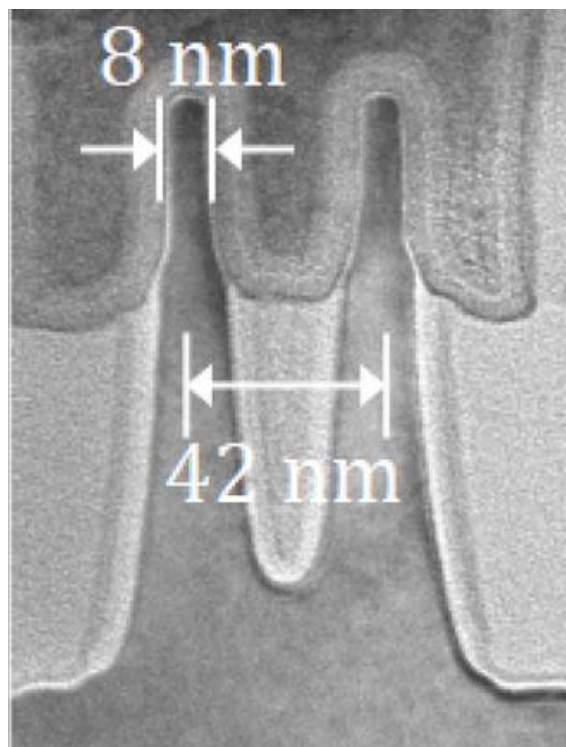
Em aplicações IOT (*Internet of things* – Internet das coisas) a tecnologia FDSOI também se destaca, muito devido a seu bom desempenho tanto em circuitos analógicos quanto em digitais. Em circuitos IOT outra grande preocupação é com o consumo de energia, o que coloca a tecnologia FDSOI também em destaque, já que ela desempenha funções complexas com um baixíssimo consumo de energia (SEILER *et al.*, 2019).

2.1.2 Transistores tridimensionais

Na Figura 4 há a imagem, do tipo TEM, de um transistor FinFET da Intel produzido em 2015. Um dos pontos que tornou essa tecnologia tão aplicada é a sua flexibilidade. Esses transistores são encontrados em microprocessadores de notebooks, servidores e smartphones. O que atesta a capacidade dessa tecnologia em atuar desde aplicações de baixo consumo de energia até aplicações robustas e de alto consumo de energia.

O FinFET ilustrado na Figura 4 é um dos representantes da tecnologia mais presente atualmente, presente em microprocessadores das mais variadas aplicações. Usado por indústrias como Intel e Samsung na produção de chips de larga escala e com grande densidade de transistores por chip (PETROSYANTS *et al.*, 2022a).

Figura 4 - Imagem do tipo TEM de um transistor FinFET da INTEL© de nó tecnológico de 14nm



Fonte: Intel, adaptado do artigo: (PETROSYANTS *et al.*, 2022a)

Dentre os aspectos interessantes de se observar nas novas tecnologias de transistores, dois são muito importantes na escalada do desempenho dos transistores: o controle eletrostático da porta e a densidade de corrente. Transistores tridimensionais, diferentemente dos transistores tradicionais planares, possuem mais de um plano em que a corrente é conduzida. Em dispositivos de porta dupla normalmente os planos de condução são paralelos, sendo o superior

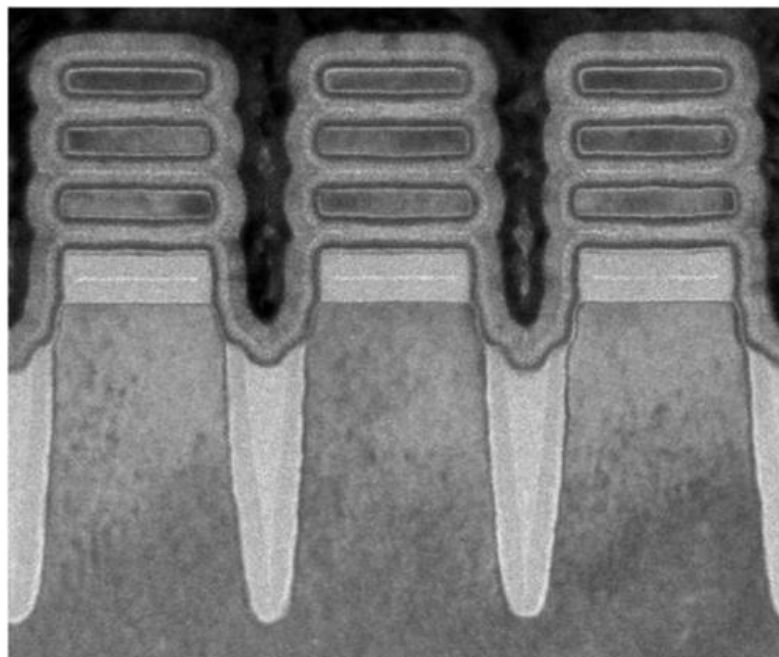
e inferior responsáveis pela condução, em dispositivos de porta tripla ou com porta em formato- Ω há três planos principais de condução sendo um superior e dois laterais e em dispositivos do tipo porta por toda a volta (GAA) a condução ocorre por toda a volta da porta (DUPRÉ *et al.*, 2008).

2.1.3 Transistores MOS do tipo nanofio e nanofolha de silício empilhado

Nesta seção introduziremos os transistores MOS do tipo nanofio e nanofolha de silício empilhado (NWFET) que são o tipo de dispositivo foco do estudo. As seções anteriores trataram de dispositivos planos, tanto o CMOS quanto o FDSOI, e dos FinFETs, estruturas tridimensionais e largamente utilizadas na indústria. Os transistores NWFETs são estruturas tridimensionais que possuem vários planos de condução. A estrutura mais simples de nanofio é constituída por um fio de silício que atravessa a porta, dessa forma esse fio é envolto no óxido e este envolto no metal da porta. Assim, quando aplicada tensão elétrica na porta há a formação de quatro planos de condução, um superior, um inferior e dois laterais. Dessa forma há uma maior densidade de corrente no transistor e um melhor controle eletrostático da porta (BARRAUD *et al.*, 2016). Os nanofios e as nanofolhas são similares, entre eles a diferença está na largura do canal, canais mais largos ($W_{fin} \gg H_{fin}$) são considerados nanofolhas e canais mais estreitos ou de geometria circular são vistos como nanofios. Porém, não há na literatura um limiar que defina a nomenclatura correta de acordo com a largura de canal.

Na Figura 5 há a imagem de um transistor do tipo nanofolha da IBM. Nele percebemos três aletas em paralelo e cada aleta possuindo três níveis.

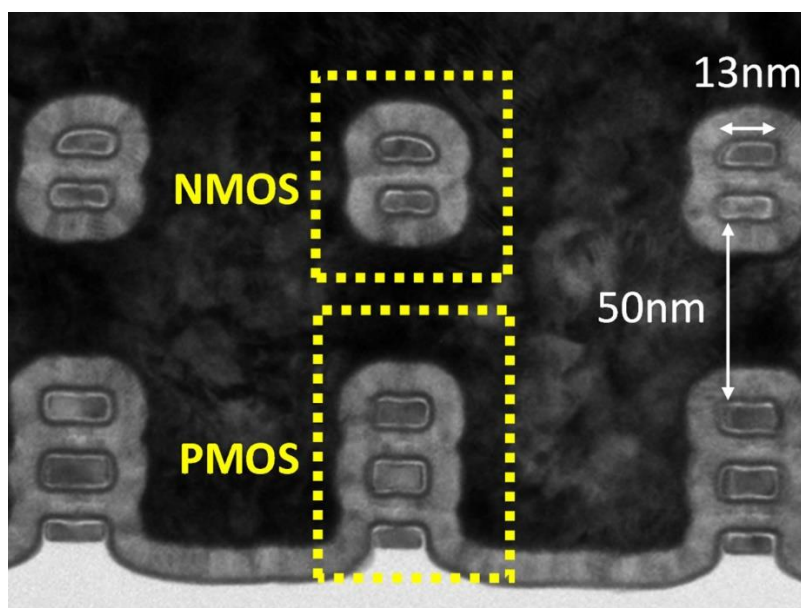
Figura 5 - Imagem do tipo TEM de um transistor do tipo nanofolha de silício empilhado da IBM.



Fonte: IBM - (IBM ANNOUNCES 2NM GAA-FET TECHNOLOGY – THE SUM OF “AHA!” MOMENTS - SEMICONDUCTOR DIGEST, [s. d.])

Na Figura 6 tem-se a imagem TEM de uma estrutura CMOS empilhada, nela o transistor NMOS é colocado acima do transistor PMOS e cada transistor é composto por duas nanofolhas, também, empilhadas.

Figura 6 - Imagem do tipo TEM de um transistor do tipo nanofolha de silício empilhado da Intel.



Fonte: Intel - (INTEL'S STACKED NANOSHEET TRANSISTORS COULD BE THE NEXT STEP IN MOORE'S LAW - IEEE SPECTRUM, [s. d.])

O objetivo destas novas arquiteturas não está somente na melhora do dispositivo em si, mas também no aumento do número de dispositivos que alocamos por *chip*, a densidade de transistores.

A densidade de transistores em chips é uma medida do número de transistores que podem ser colocados em uma unidade de área de um chip. O aumento da densidade de transistores em chips é importante porque permite que mais funções sejam integradas em um único dispositivo, resultando em maiores capacidades e desempenhos mais elevados.(WONG, 2021)

Com o aumento da densidade de transistores, é possível desenvolver chips mais compactos e menores, sem comprometer as capacidades. Além disso, com mais transistores integrados em um chip, é possível obter uma melhor eficiência energética, uma vez que menos energia é necessária para realizar as mesmas tarefas.

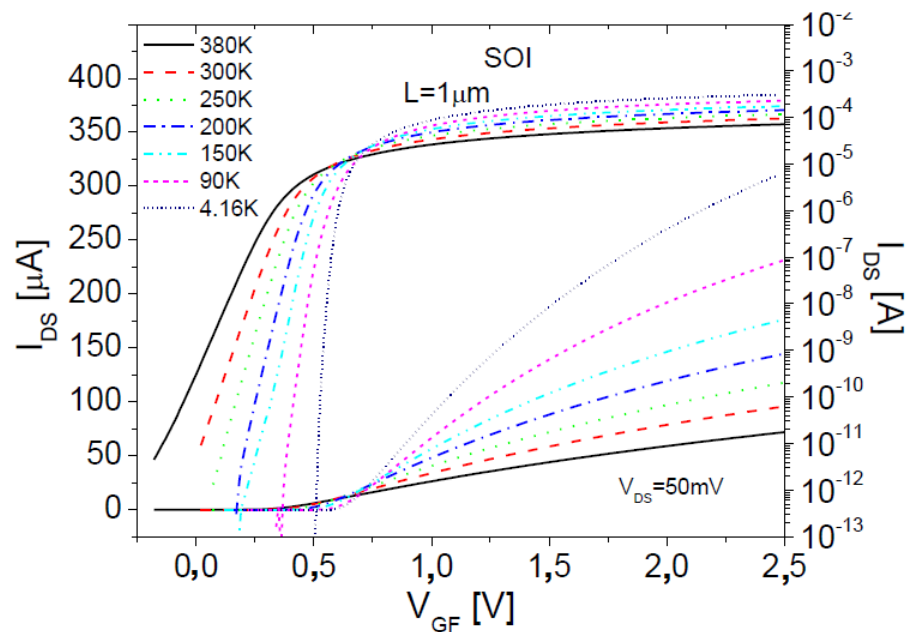
O aumento da densidade de transistores também permite que sejam desenvolvidos chips mais avançados (TANG *et al.*, 2016) para aplicações em inteligência artificial, computação em nuvem e tantas outras, aumentando a capacidade de processamento e a velocidade de processamento.

2.2 CARACTERÍSTICAS ELÉTRICAS DOS TRANSISTORES

Nesta seção são discutidos os parâmetros elétricos que caracterizam o comportamento do transistor, como a partir de dados experimentais pode-se chegar nestes parâmetros e o que estes implicam nas aplicações que estes transistores podem ser aplicados.

Na Figura 7 tem-se um gráfico da corrente de dreno pela tensão de porta de um transistor SOI em diversas temperaturas. A curva de corrente de dreno por tensão de porta está entre as principais curvas para se analisar o comportamento de transistor. É a partir dela que são extraídas as principais figuras de mérito de um transistor e os parâmetros digitais como tensão de limiar, inclinação de sublimiar e transcondutância.

Figura 7 – Gráfico da corrente de dreno em função da tensão de porta para baixa tensão de dreno de um transistor SOI nMOSFET (SOI nMOSFET) para temperaturas entre 4,16K e 380K.



Fonte: (PAVANELLO *et al.*, 2016)

Da Figura 7 pode-se perceber o efeito da temperatura no comportamento da corrente de dreno, quanto mais baixa a temperatura: maiores níveis de corrente são atingidos, há uma diminuição na inclinação de sublimiar e o transistor necessita de uma maior tensão para começar a conduzir.

Ao longo das próximas seções, em conjunto aos conceitos da literatura, também serão apresentados resultados dos parâmetros estudados em função da temperatura para diferentes dispositivos. Dessa forma, a comparação dos dados obtidos pode ser confrontada com os já estudados.

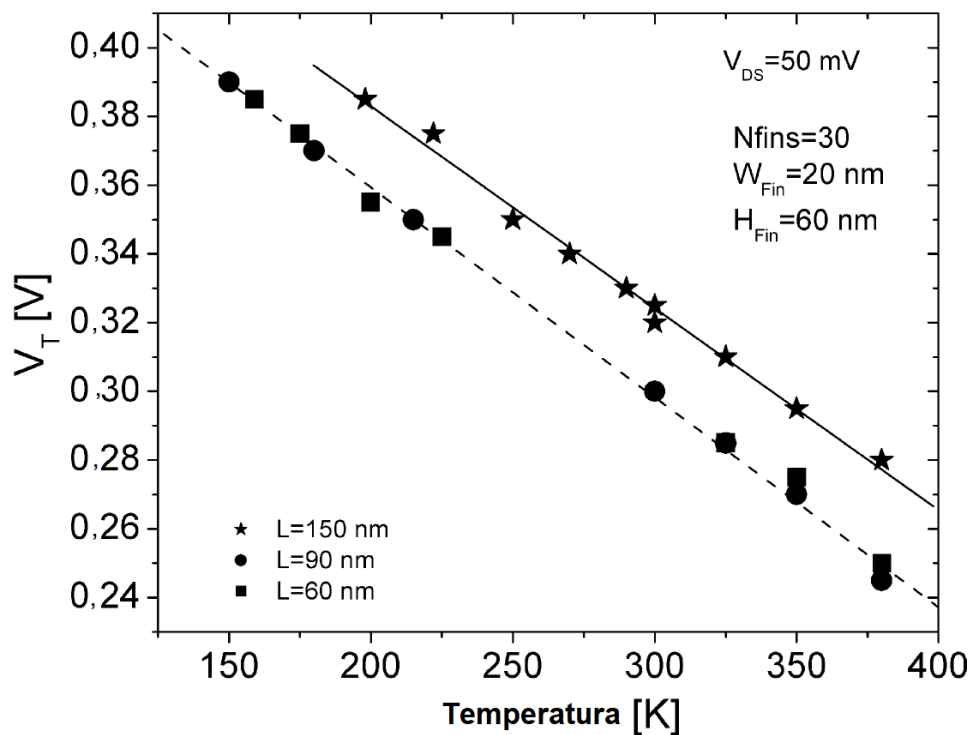
2.2.1 Tensão de limiar

A tensão de limiar é a tensão a partir da qual flui corrente no canal do transistor. Para o transistor começar a conduzir é necessário a formação de um canal de inversão que permita a condução de corrente entre fonte e dreno. Esse canal se forma gradualmente conforme a tensão entre porta e fonte (V_{GS}) vai aumentando. O que provoca uma concentração de portadores minoritários, que estavam presentes no substrato, logo abaixo do óxido de porta. Dessa forma, o que antes era uma região que não conduzia corrente, passa a conduzir. De maneira objetiva, define-se a tensão de limiar como a tensão que eleva o potencial na superfície para $2\Phi_F$ como exibido na equação (1) (COLINGE; COLINGE, 2005).

$$V_{TH} = V_{FB} + 2v_T \ln \frac{N_{si}}{n_i} + \frac{qNaX_{dmax}}{C_{OX}} \quad (1)$$

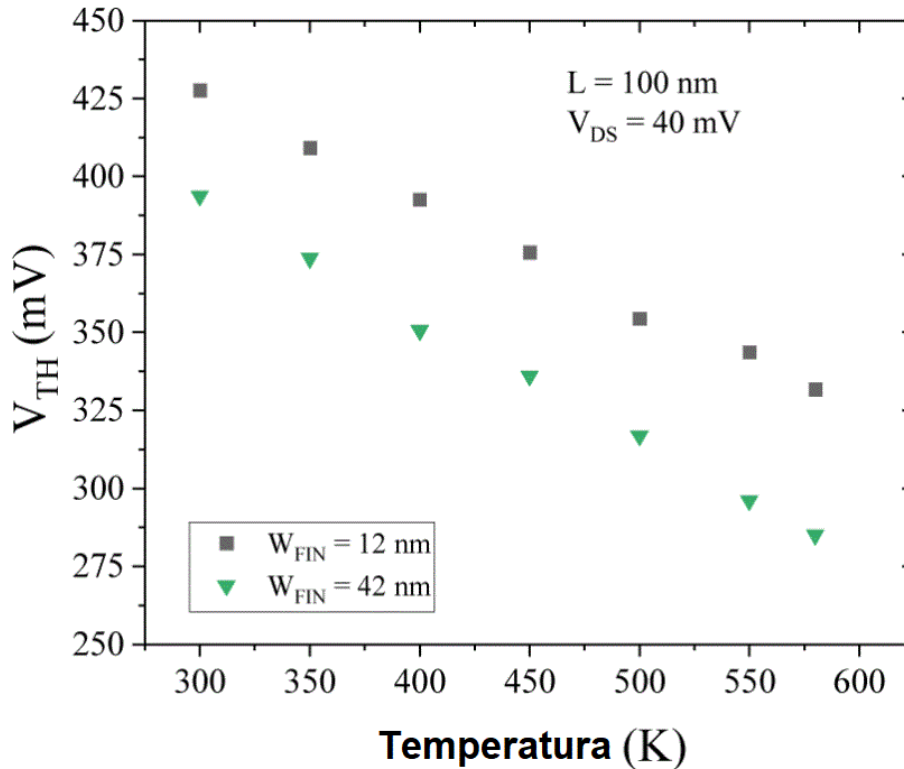
O termo V_{TH} se refere a tensão de limiar, o V_{FB} é a tensão de banda plana (*Flat-band voltage*), o $v_T \ln \frac{N_{si}}{n_i}$ é o potencial de Fermi (Φ_F), " q " é a carga elementar, Na é a dopagem do transistor, X_{dmax} é a espessura do canal depletado e o C_{OX} é a capacitância do óxido.

Figura 8 – Gráfico da tensão de limiar em função da temperatura de um transistor FinFET *multi-fin* com diferentes comprimentos de canal.



Fonte: (PAVANELLO *et al.*, 2009)

Figura 9 – Gráfico da tensão de limiar em função da temperatura de transistores do tipo nanofio nanofolha de silício MOSFETs para variadas larguras de canal.



Fonte: (DE SOUZA *et al.*, 2022)

Na Figura 8 e Figura 9 estão os gráficos de tensão de limiar por temperatura para dois dispositivos, um FinFET e um transistor do tipo nanofio nanofolha. Das figuras nota-se uma forte dependência desse parâmetro com a temperatura, independentemente do tipo ou geometria do transistor, e essa dependência é próxima do linear. Percebe-se, também, que o aumento de temperatura leva o transistor a condução a partir de tensões de porta menores.

Com o objetivo de ganhar uma perspectiva física analítica dos dados a serem analisados o modelo fornecido por Duarte et al se mostra útil, já que ele traz a análise da corrente no transistor tridimensional para diversas geometrias. (DUARTE *et al.*, 2013a, 2013b)

Neste modelo são apresentados uma série de equações que podem ser aplicadas para MuGFETs com uma grande variedade de geometrias como dispositivos de porta dupla (DG), de porta tripla (TG), de porta por toda a volta de formato cilíndrico (cy-GAA) e porta por toda a volta de formato retangular (Re-GAA). A tensão de limiar é expressa por este modelo na equação (2).

$$V_{TH,n} = V_{FB} - \frac{Q_{d,n}}{C_{g,n}} + 2v_T \ln \frac{N_{si}}{n_i} - v_T \ln \left[\frac{C_{ch,n}}{C_{g,n}} \left(1 - e^{\frac{Q_{d,n}}{v_T C_{ch,n}}} \right) \right] \quad (2)$$

O “n” subscrito nos termos da equação (2) faz referência as diferentes geometrias dos dispositivos, já que a depender da geometria do dispositivo a expressão que substitui o termo da equação pode diferir. No caso do transistor de dois níveis de nanofios empilhados utilizados neste trabalho, fizemos a aproximação do nanofio da parte inferior de formato- Ω como um transistor de porta-tripla e para o nanofio da parte superior como um transistor de porta por toda a volta de formato retangular. As equações (3), (4), (5) e (6) expressam os termos a serem substituídos em caso que o transistor analisado seja o de porta por toda a volta de formato retangular.

$$Q_{d,Re} = -qN_{si}H_{si}W_{si} \quad (3)$$

$$C_{g,Re} = \frac{5\varepsilon_{ox}/2}{\ln(1 + 5t_{ox}/4W_{si})} + \frac{5\varepsilon_{ox}/2}{\ln(1 + 5t_{ox}/4H_{si})} \quad (4)$$

$$C_{ch,Re} = 4W_{si} \frac{\varepsilon_{si}}{H_{si}} + 4H_{si} \frac{\varepsilon_{si}}{W_{si}} \quad (5)$$

$$A_{ch,Re} = H_{si}W_{si} \quad (6)$$

As equações (7), (8), (9) e (10) indicam os termos quando a geometria do transistor é de porta-tripla.

$$Q_{d,TG} = -qN_{si}H_{si}W_{si} \quad (7)$$

$$C_{g,TG} = \frac{3.02 \times 3\varepsilon_{ox}/2}{\ln(1 + 3t_{ox}/2H_{si})} - \frac{5\varepsilon_{ox}/4}{\ln(1 + 5t_{ox}/4H_{si})} + \frac{5\varepsilon_{ox}/4}{\ln(1 + 5t_{ox}/4W_{si})} \quad (8)$$

$$C_{ch,TG} = W_{si} \frac{\varepsilon_{si}}{H_{si}} + 4H_{si} \frac{\varepsilon_{si}}{W_{si}} \quad (9)$$

$$A_{ch,TG} = H_{si}W_{si} \quad (10)$$

Nas equações de (2) até (10) Q_d indica a carga de depleção, C_g a capacitância da porta, C_{ch} a capacitância do canal, A_{ch} a área do canal, W_{si} a largura do canal e t_{ox} a espessura do óxido de porta.

Comparando a equação (1), fornecida pela literatura, com a equação (2), estabelecida pelo modelo analítico do (DUARTE *et al.*, 2013b), percebemos que a equação analítica corrige a equação fornecida pela literatura subtraindo os termos $\frac{Q_{d,n}}{C_{g,n}}$ e $v_T \ln \left[\frac{C_{ch,n}}{C_{g,n}} \left(1 - e^{\frac{Q_{d,n}}{v_T C_{ch,n}}} \right) \right]$ do que seria a equação original. O termo $v_T \ln \frac{N_{si}}{n_i}$ é o equivalente a Φ_F , que é o potencial de Fermi. O que condiz com a expectativa da tensão de limiar para dispositivos tridimensionais. Como estes dispositivos possuem melhor controle eletrostáticos e uma superfície de condução mais extensa (JEAN-PIERRE COLINGE, 2011) é esperado que com um potencial menor já haja portadores minoritários suficientes para a condução.

Na equação (2) para ilustrar com clareza a influência de cada termo da equação no V_{TH} com a variação da temperatura, estes foram separados da seguinte maneira:

$$1^\circ. V_{FB}$$

$$2^\circ. -\frac{Q_{d,n}}{C_{g,n}}$$

$$3^\circ. 2v_T \ln \frac{N_{si}}{n_i}$$

$$4^\circ. -v_T \ln \left[\frac{C_{ch,n}}{C_{g,n}} \left(1 - e^{\frac{Q_{d,n}}{v_T C_{ch,n}}} \right) \right]$$

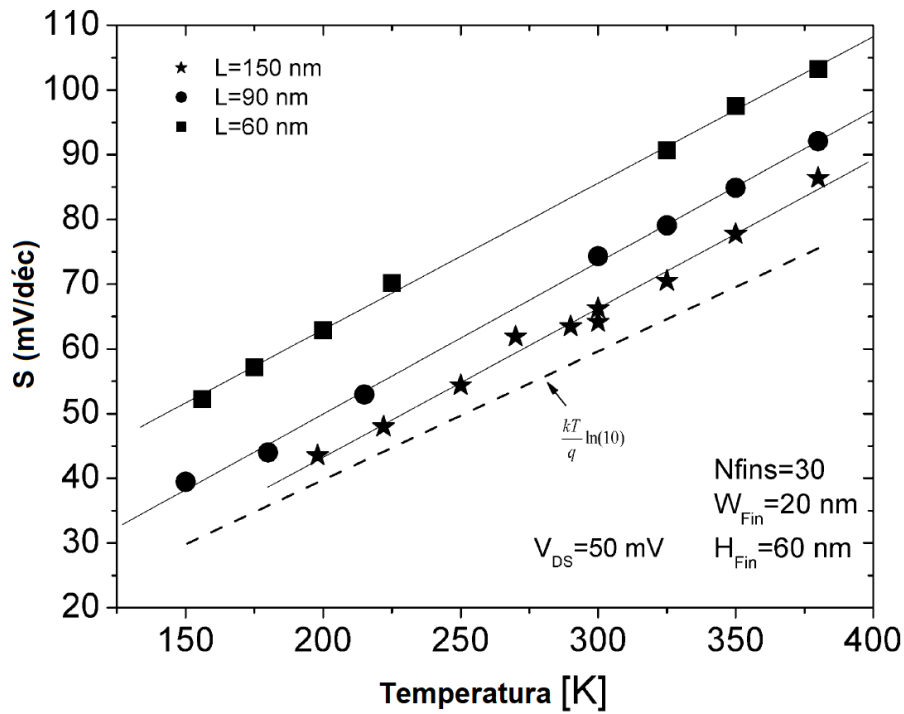
Da análise dos termos da equação colocados nota-se: que a variação da carga de depleção com temperatura é pouco significativa, que V_{FB} (Tensão de banda plana) aumenta com o aumento da temperatura. Entretanto o 3º termo da equação reduz de maneira acentuada com o aumento da temperatura, devido ao aumento de n_i em temperaturas elevadas. O quarto termo também reduz com o aumento da temperatura. Tanto o 3º quanto o 4º termo se comportam de maneira oposta a V_{FB} e são os principais responsáveis pela diminuição de V_{TH} com o aumento da temperatura.

2.2.2 Inclinação de sublimiar

A inclinação de sublimiar relaciona a variação da tensão de porta que provoca o aumento de uma década na corrente I_{DS} . Visualizamos mais facilmente a inclinação com a curva de I_{DS} x V_G na escala logarítmica e na região de sublimiar, como na Figura 7. A equação (11) relaciona essas grandezas. (COLINGE; COLINGE, 2005)

$$S = \frac{\partial V_{GS}}{\partial (\log(I_{DS}))} \quad (11)$$

Figura 10 – Gráfico da inclinação de sublimiar em função da temperatura para dispositivos FinFETs com variados comprimentos de canal.



Fonte: (PAVANELLO *et al.*, 2009)

Na Figura 10 tem-se a inclinação de sublimiar em função da temperatura para um FinFET. Neste gráfico é colocado, junto aos dados, a curva que indica o mínimo teórico da inclinação de sublimiar com a variação de temperatura. Dele, depreende-se que a inclinação de sublimiar varia de maneira próxima ao linear e que em dispositivos mais longos esses valores se distanciando do mínimo teórico.

A inclinação de sublimiar é um importante parâmetro do transistor, que está diretamente relacionado a sua qualidade e capacidade de chaveamento. Ela pode ser afetada por vários fatores, incluindo a dopagem do material semiconductor, as condições de operação do dispositivo, como temperatura e tensão, e a presença de impurezas no material. Quando a

inclinação de sublimiar é baixa, a eficiência de amplificação do dispositivo é melhorada, resultando em uma resposta mais rápida e uma menor distorção de sinal. É um indicativo de qualidade ter a sua inclinação de sublimiar próxima ao mínimo teórico (GUTIERREZ-D *et al.*, 2000), dado por:

$$S = \frac{kT}{q} \ln(10) \quad (12)$$

Por essa razão, a otimização da inclinação de sublimiar é uma parte importante do projeto de dispositivos MOS, a fim de alcançar melhores desempenhos e aplicações mais eficientes. A seleção cuidadosa de materiais semicondutores, bem como a melhora dos parâmetros de processo e das condições de operação, pode ser usada para melhorar a inclinação de sublimiar em dispositivos MOS (BREWS, 1979).

2.2.3 Mobilidade

A mobilidade é a grandeza física que dimensiona a capacidade dos portadores de se deslocarem no material quando aplicado um campo elétrico. Portanto, uma alta mobilidade está diretamente relacionada a corrente elétrica de um transistor. O movimento dos portadores pode ser descrito por diversos efeitos, como:

- Espalhamento de rede ou por fônons:

O espalhamento de rede, também conhecido como espalhamento por fônons, é um fenômeno que ocorre em transistores MOS (Metal-Oxide-Semiconductor). É uma forma de dissipação de energia que acontece quando há movimento de cargas elétricas ao longo de uma camada de material semicondutor.(GUTIERREZ-D *et al.*, 2000)

Em um transistor MOS, o espalhamento de rede pode ocorrer quando os elétrons ou as lacunas se movem através da camada de material semicondutor. Isso resulta em uma transferência de energia para as partículas acústicas no material, conhecidas como fônons.

O espalhamento de rede tem um impacto significativo na performance de dispositivos MOS, como transistores, pois a dissipação de energia pode limitar a corrente que pode ser conduzida pelo dispositivo. Além disso, o espalhamento de rede pode contribuir para o aumento da temperatura do dispositivo, o que pode afetar negativamente sua estabilidade e confiabilidade.

Por isso, estudam-se maneiras de minimizar o espalhamento de rede em transistores MOS, por meio da escolha de materiais com propriedades óticas e acústicas específicas ou da otimização da geometria do dispositivo ou até mesmo pela redução da temperatura.(JEAN-PIERRE COLINGE, 2011)

- Espalhamento por impurezas ionizadas:

O espalhamento por impurezas ionizadas é um fenômeno que ocorre em transistores MOS. É uma forma de dissipação de energia que acontece quando as cargas elétricas se movem ao longo de uma camada de material semiconductor que contém impurezas ionizadas(CAUGHEY; THOMAS, 1967).

Em um transistor MOS, as impurezas ionizadas são adicionadas propositalmente ao material semiconductor para controlar sua condução elétrica. Quando as cargas elétricas se movem ao longo da camada, elas colidem com as impurezas ionizadas, causando a ionização dessas impurezas e a dissolução de energia térmica.

O espalhamento por impurezas ionizadas pode limitar a corrente que pode ser conduzida pelo dispositivo, o que pode afetar negativamente sua performance. Além disso, a dissipação de energia térmica pode aumentar a temperatura do dispositivo, o que pode afetar sua estabilidade e confiabilidade.

Por meio da seleção de impurezas com características específicas ou da otimização da concentração dessas impurezas no material estuda-se maneiras de minimizar o espalhamento por impurezas ionizadas em transistores MOS.

- Espalhamento por impurezas neutras:

O espalhamento por impurezas neutras em transistores MOS é um processo no qual as correntes elétricas são obstruídas ou desviadas por impurezas no material semiconductor que não têm cargas elétricas associadas. Essas impurezas são chamadas de "impurezas neutras"(LI; THURBER, 1977).

A variação de temperatura pode afetar o espalhamento por impurezas neutras em transistores MOS, pois a concentração de impurezas neutras pode mudar com a mudança de temperatura. Quando a temperatura aumenta, a concentração de impurezas neutras pode aumentar, resultando em uma maior obstrução da corrente elétrica pelas impurezas e, conseqüentemente, uma diminuição da transcondutância.

Além disso, a variação de temperatura pode afetar a mobilidade dos portadores de carga no material semiconductor, o que pode levar a uma diminuição da transcondutância.

Por essas razões, é importante controlar e monitorar a temperatura em dispositivos elétricos, incluindo transistores MOS, para garantir sua estabilidade e confiabilidade. Além

disso, a seleção cuidadosa de materiais semicondutores e a otimização dos parâmetros de processo podem ser usadas para minimizar o impacto da temperatura e do espalhamento por impurezas neutras na transcondutância do dispositivo.(DORKEL; LETURCQ, 1981)

- Espalhamento portador-portador:

O espalhamento portador-portador é um processo no qual os portadores de carga, como elétrons e lacunas, colidem uns com os outros, resultando na transferência de energia entre eles. Esse processo pode afetar a condução de corrente em dispositivos elétricos, incluindo transistores MOS.

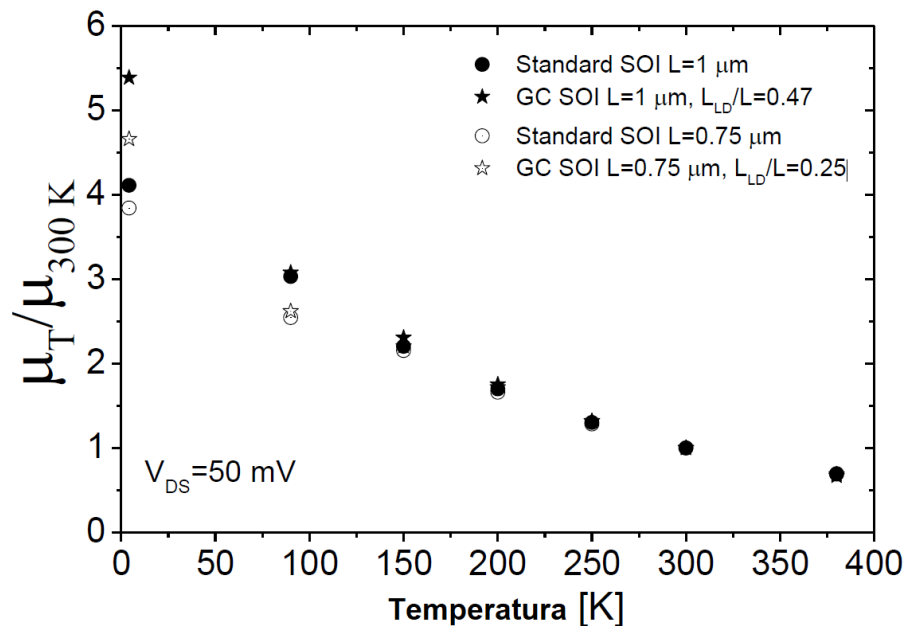
A temperatura pode afetar o espalhamento portador-portador em transistores MOS, pois aumenta a energia cinética dos portadores de carga. Com o aumento da temperatura, as colisões entre os portadores de carga podem se tornar mais frequentes e mais energéticas, resultando em uma diminuição da eficiência de condução de corrente.

Além disso, a variação de temperatura pode afetar a concentração de portadores de carga no material semicondutor, o que pode levar a variações na transcondutância.(CAUGHEY; THOMAS, 1967)

A dopagem do dispositivo também é importante para controlar o espalhamento portador-portador. A dopagem é o processo de adição de impurezas ao material semicondutor para controlar a concentração de portadores de carga. Dopagem correta pode ajudar a minimizar o impacto do espalhamento portador-portador na transcondutância, resultando em dispositivos mais confiáveis e estáveis.

Por essas razões, é importante controlar e monitorar a temperatura e a dopagem em dispositivos elétricos, incluindo transistores MOS, para garantir sua estabilidade e confiabilidade. Além disso, a seleção cuidadosa de materiais semicondutores e a otimização dos parâmetros de processo podem ser usadas para minimizar o impacto da temperatura, dopagem e espalhamento portador-portador na transcondutância do dispositivo.(DORKEL; LETURCQ, 1981)

Figura 11 – Gráfico da mobilidade dividido pela mobilidade em 300K em função da temperatura para dispositivos SOI e GC SOI de diferentes comprimentos de canal



Fonte:(PAVANELLO *et al.*, 2016)

Na Figura 11, observa-se a variação da mobilidade com a temperatura. Da figura percebe-se o aumento da mobilidade com o decréscimo da temperatura, tanto para dispositivos uniformemente dopados (SOI) quanto para dispositivos dopados gradualmente (GC SOI), e de forma independente do comprimento de canal (PAVANELLO *et al.*, 2016).

2.2.4 Transcondutância

A transcondutância é uma medida da eficiência de um dispositivo elétrico em converter uma variação de tensão em uma variação de corrente elétrica. Em transistores MOS, a transcondutância é definida como a variação da corrente de saída com relação à variação da tensão de entrada (COLINGE; COLINGE, 2005).

A transcondutância é uma medida importante da performance de um transistor MOS, pois determina sua capacidade de amplificar sinais elétricos. Quanto maior for a transcondutância de um dispositivo, mais sensível ele será às variações de tensão de entrada e, portanto, mais capaz de amplificar sinais fracos.

A transcondutância, g_m , como mostrado na equação (13)(COLINGE; COLINGE, 2005), relaciona a corrente no dreno com a tensão na porta, e dessa forma a qualidade do controle da corrente pela porta.

$$g_m = \frac{\partial I_D}{\partial V_G} \quad (13)$$

A equação (14)(COLINGE; COLINGE, 2005) ilustra a transcondutância quando o transistor opera em triodo.

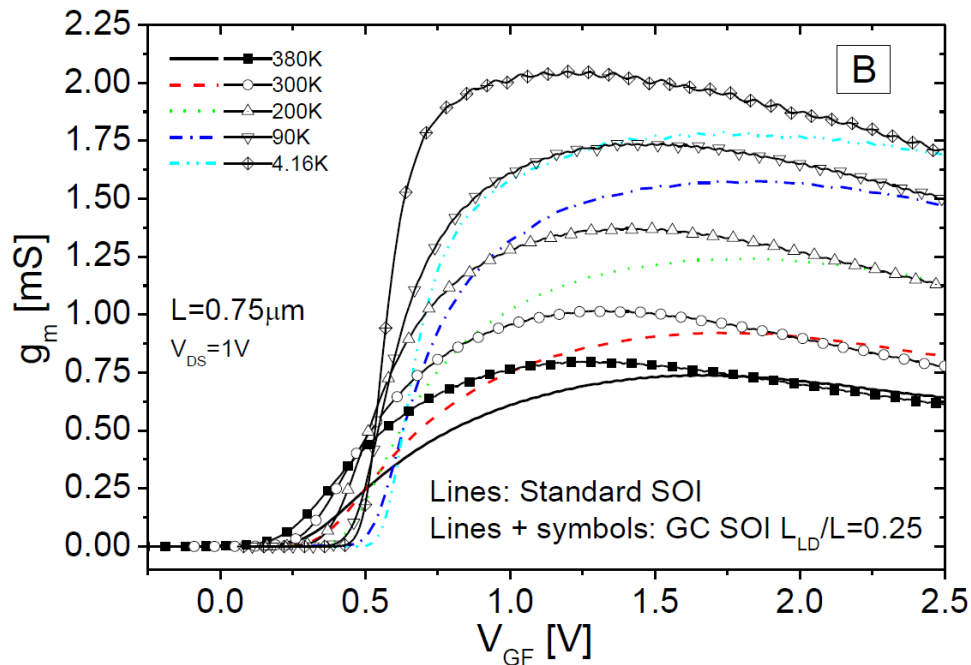
$$g_m = \mu_n C_{ox} \frac{W}{L} V_{DS} \quad (14)$$

E a equação (15)(COLINGE; COLINGE, 2005) quando opera em saturação.

$$g_m = \frac{\mu_n C_{ox}}{n} \frac{W}{L} (V_{GS} - V_{TH}) \quad (15)$$

O “n” no denominador da equação é o fator de corpo do transistor, que nos transistores estudados é geralmente próximo da unidade.

Figura 12 – Gráfico da transcondutância em função da tensão de porta para dispositivos SOI e GC SOI.

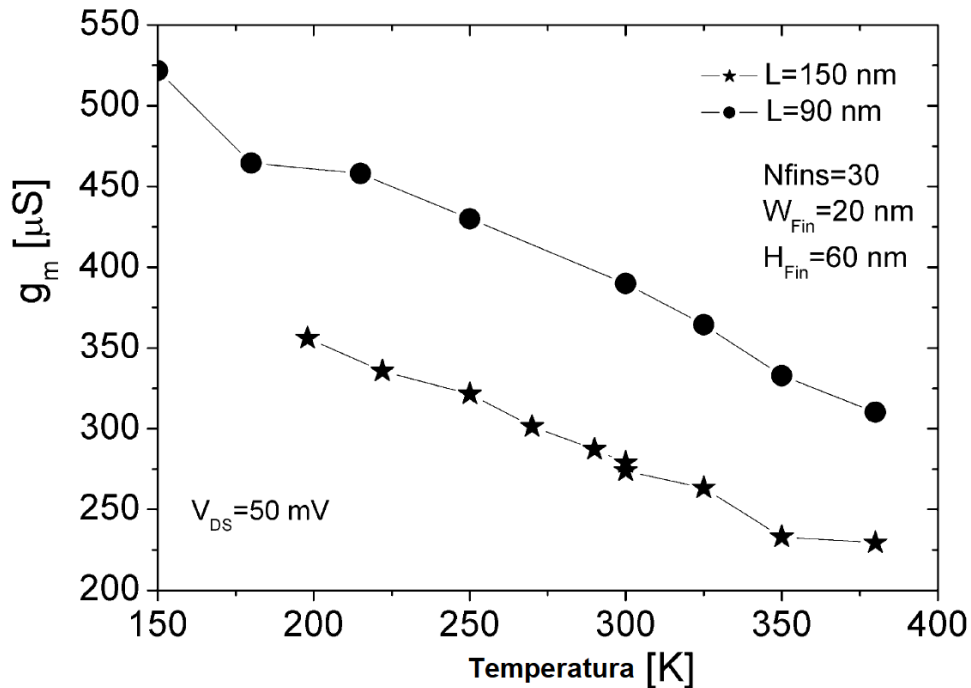


Fonte: (PAVANELLO *et al.*, 2016)

A Figura 12 ilustra a curva da transcondutância em função da temperatura para dispositivos SOI e GC SOI. O uso de canais graduais, ou assimétricos, é conhecido por promover um aumento da corrente de dreno. Como consequência, na Figura 12 notamos um

aumento na transcondutância desses dispositivos em relação aos SOI padrão (PAVANELLO *et al.*, 2016).

Figura 13 – Gráfico da transcondutância máxima em função da temperatura para transistores FinFETs com variados comprimentos de canal.



Fonte:(PAVANELLO *et al.*, 2009)

Na Figura 13 tem-se a transcondutância máxima em função da temperatura, em dispositivos FinFETs. Nota-se que há uma diminuição da transcondutância máxima com o aumento da temperatura, decorrente da diminuição da mobilidade anteriormente apresentada.

2.2.5 Ganha de tensão (A_V)

O ganho de tensão intrínseco (A_V) de um MOSFET é uma medida da amplificação que o dispositivo pode fornecer para uma tensão de entrada dada. O ganho de tensão intrínseco é uma propriedade fundamental do MOSFET e está relacionado à sua transcondutância, que é uma medida da sensibilidade da corrente de saída a uma mudança na tensão de entrada.

O ganho de tensão intrínseco pode ser expresso como (COLINGE, 2014):

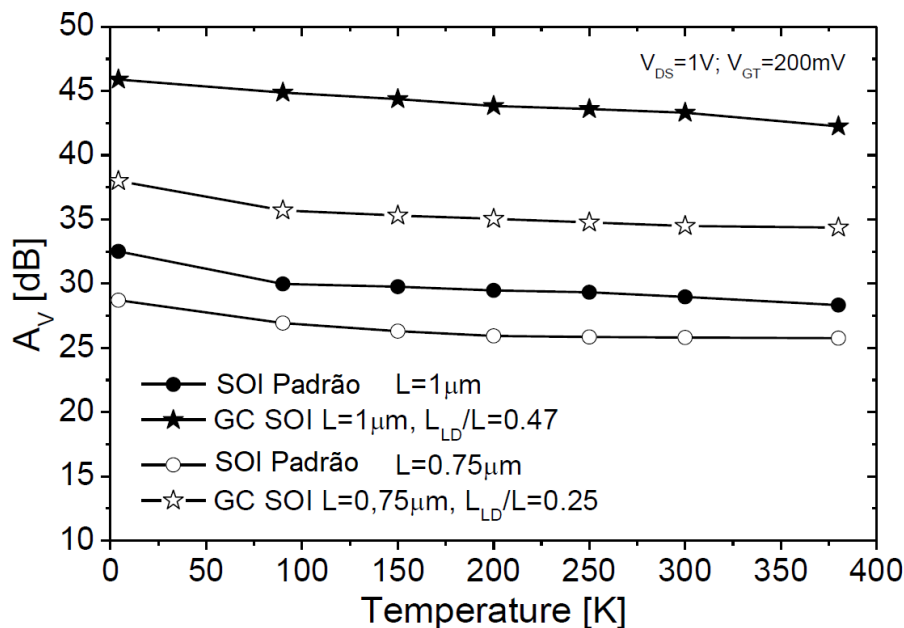
$$A_V = \frac{g_m}{g_{DS}} \quad (16)$$

Com g_m como a transcondutância, g_{DS} como a condutância de saída e A_V é o ganho intrínseco de tensão.

O ganho de tensão intrínseco é importante no projeto e análise de circuitos que usam MOSFETs. Ele fornece uma medida da amplificação fornecida pelo dispositivo, que pode ser usada para estimar o desempenho do circuito. O ganho de tensão intrínseco também pode ser usado para comparar diferentes tipos de MOSFETs e escolher o dispositivo mais adequado para uma determinada aplicação.

Em geral, o ganho de tensão intrínseco é afetado por vários fatores, incluindo o comprimento e a largura do canal, a concentração de dopagem, as tensões de dreno e fonte e a frequência do sinal de entrada. Para garantir o melhor desempenho, é importante considerar todos esses fatores ao projetar circuitos que usam MOSFETs.

Figura 14 -Gráfico do ganho de tensão intrínseco pela temperatura para dispositivos SOI e GC SOI para diferentes comprimentos de canal.



Fonte: (PAVANELLO *et al.*, 2009)

A Figura 14 ilustra a variação do ganho de tensão intrínseco em função da temperatura para dispositivos SOI e GC SOI. Dela percebe-se que esse parâmetro tem fraca dependência com a temperatura, apesar de apresentar uma diminuição constante, com a variação de ganho de tensão variando entre 2,5 e 6,0 dB para as temperaturas analisadas.

2.2.6 Efeito de canal curto

O efeito de canal curto (SCE) é um fenômeno em MOSFETs que ocorre quando o comprimento do canal do dispositivo se torna tão pequeno que a tensão dreno-fonte começa a afetar a tensão de limiar do dispositivo. Uma maneira simples de compreender esse efeito é através das regiões de depleção. Em um transistor ideal somente a tensão aplicada a porta geraria uma região de depleção no canal, abaixo do óxido. Porém, a tensão aplicada ao dreno e a fonte também criam uma região de depleção. O que leva a uma diminuição do comprimento efetivo do canal e consequentemente a uma menor tensão de limiar. Isso pode levar a uma redução no desempenho do dispositivo e aumento de correntes de fuga.(GILL *et al.*, 2015; YOUNG, 1989)

Para reduzir o efeito de canal curto, várias técnicas podem ser usadas:

1. Dopagem de canal: Aumentar a concentração de dopagem da região do canal pode reduzir o SCE. Isso aumenta a resistência do canal, reduzindo o impacto da tensão dreno-fonte na tensão de limiar.
2. Engenharia de fonte / dreno: Modificar as regiões de fonte e dreno também pode ajudar a reduzir o SCE. Por exemplo, usar estruturas de dreno levemente dopadas (LDD) pode reduzir o efeito. Diminuir a dopagem das regiões de fonte e dreno fronteiriças ao canal também diminui o SCE.
3. Dielétricos de alto-k: Substituir o isolante de porta de dióxido de silício com um material dielétrico de alto-k (constante dielétrica), como dióxido de háfnio, pode reduzir o SCE reduzindo a capacitância da porta e aumentando o controle da porta sobre o canal.
4. Tensão: Aplicar tensão mecânica à região do canal também pode reduzir o SCE aumentando a mobilidade do canal.(HARAFUJI *et al.*, 2008)
5. MOSFETs de múltiplas portas: Essas estruturas fornecem um melhor controle eletrostático o que reduz o SCE.

Cada uma dessas técnicas tem suas próprias vantagens e desvantagens, e a mais adequada para uma aplicação específica depende de vários fatores, como requisitos do dispositivo, processo de fabricação e custo.

2.2.7 Efeito de resistência série

A resistência série se refere à resistência presente no canal de um MOSFET causada pela resistência das regiões de fonte e dreno e do próprio canal. A resistência série pode ter um impacto significativo no desempenho de MOSFETs, particularmente em aplicações de alta frequência.

Os efeitos da resistência série em MOSFETs podem ser resumidos como segue:

- Impedância de saída reduzida: A presença da resistência série reduz a impedância de saída do MOSFET, o que pode levar a perda de potência e redução da eficiência.
- Ganho reduzido: A resistência série pode reduzir o ganho do MOSFET, especialmente em altas frequências, levando a uma redução do desempenho.
- Capacitância entre fonte-porta aumentada: A resistência série pode aumentar a capacitância de fonte-porta, o que pode levar a aumento das perdas de comutação e redução da eficiência (NG; LYNCH, 1987).

Para reduzir os efeitos da resistência série, várias técnicas podem ser usadas, como reduzir a resistência das regiões de fonte e dreno, usar materiais de baixa resistividade e otimizar o projeto do dispositivo. A escolha da técnica dependerá dos requisitos específicos da aplicação e das consequências em desempenho e custo.

Neste estudo o enfoque não está na extração do valor resistência série, mas sim, em como ela pode impactar na extração dos parâmetros estudados.

A presença de resistência série parasita nas regiões de dreno e fonte e a degradação da mobilidade dos portadores em MOSFETs podem afetar negativamente seu desempenho. Esses dois fenômenos devem ser considerados nos modelos de MOSFETs. As medições DC são comumente usadas para extrair todos os parâmetros dos modelos de MOSFETs, mas a presença de resistência série e degradação da mobilidade torna difícil separar seus efeitos durante a extração de parâmetros. Vários métodos de extração foram propostos, incluindo técnicas de otimização não-linear, um método para extrair a resistência série total, um método para manter a mobilidade dos portadores constante durante a extração, ajuste indireto da resistência de fonte a dreno e um método baseado em capacitância(ORTIZ-CONDE *et al.*, 2017).

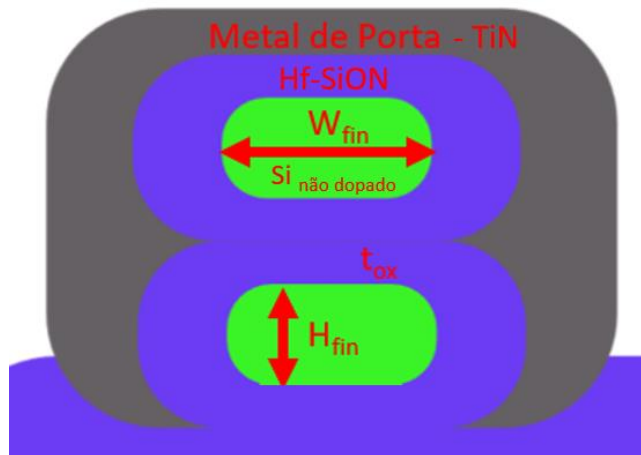
3 RESULTADOS E DISCUSSÃO

Os transistores MOS do tipo nanofio e nanofolha empilhados estão entre os dispositivos com mais potencial para substituir a tecnologia atual dos FinFETs, na indústria já há movimentos indicando o investimento da produção em larga escala destes dispositivos (THE NANOSHEET TRANSISTOR IS THE NEXT (AND MAYBE LAST) STEP IN MOORE'S LAW - IEEE SPECTRUM, [s. d.]). Junto a isso, a computação quântica tem se mostrado cada vez mais viável e é alvo de estudos dos mais importantes campos de tecnologia. Inclusive, o surgimento dessa tecnologia que motiva grande parte dos estudos em baixa temperatura e temperatura criogênica, uma vez que esses dispositivos operam nessas temperaturas. Já que esses dispositivos operam nessas temperaturas. O estudo que se segue, tendo essas motivações como guia, apresenta os resultados do comportamento dos NWs em baixas temperatura.

3.1 CARACTERÍSTICAS DOS TRANSISTORES ESTUDADOS

As experiências foram realizadas em transistores MOS do tipo nanofio empilhado, tanto em estruturas *single-fins* (aleta única) quanto em estruturas *multi-fins* (várias aletas). Os dispositivos *single-fins* experimentados variam a sua dimensão tanto em comprimento de canal (L_{fin}) quanto em largura de canal (W_{fin}) e os dispositivos multi-fins possuem o mesmo comprimento de canal e variam na sua largura de canal. Todos os dispositivos estudados são originários de um mesmo *wafér* SOI, fabricado no CEA-Leti, França, e, portanto partilham das seguintes características: todos os fins (aletas) são compostos de dois níveis de nanofio de silício do tipo-n, com um nível em cima do outro (empilhado), o nível inferior com formato Ω (ômega) e o superior do tipo GAA (porta por toda a volta), os dois nanofios possuem a mesma altura (H_{fin}) de 9 nm e a distância vertical entre eles, também, de 9 nm. A região do corpo é formada por silício não dopado (ou não intencionalmente dopado silício do tipo-p). O óxido enterrado da lâmina SOI tem espessura de 145 nm. A pilha da porta é composta por Hf-SiON e o metal da porta é TiN, com a espessura efetiva do óxido de porta (t_{ox}) de 1,3 nm.

Figura 15 – Esquemático do transistor do tipo 2 níveis de nanofio/nanofolha de silício empilhados em lâmina SOI.



Fonte: autor

Na Figura 15 ilustra-se um corte da secção transversal de uma aleta de um desses transistores. Em caso de transistores de múltiplas aletas esse padrão se repetiria para cada uma delas em paralelo.

Tabela 1 - Dimensões dos dispositivos *single-fin* estudados

Single-fin	
L (nm)	W (nm)
200	10
	15
	20
	25
	40
400	10
	15
	20
	25
	40

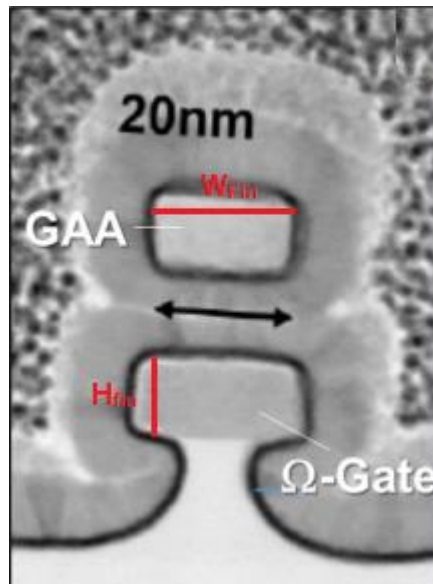
Tabela 2 - Dimensões dos dispositivos multi-fins estudados

Multi-fins	
L (nm)	W (nm)
80	10
	15
	20
	25
100	10
	15
	20
	25
	40

A Tabela 1 e a Tabela 2 elencam todos os transistores do tipo nanofio de Si empilhados que foram estudados. Nos dispositivos de multi-fin, ou de várias aletas, o estudo se aprofundou mais e deles conseguimos extrair mais parâmetros elétricos do que dos dispositivos single-fin, ou de aleta única. Isso se deve, em grande parte, a qualidade superior do sinal obtido em dispositivos de várias aletas. Nestes dispositivos, a corrente possui vários canais em paralelo para percorrer o que acaba por aumentar a densidade de corrente nestes dispositivos e também por tornar o sinal obtido menos ruído e mais consistente entre os variados dispositivos experimentados.

Na Figura 16 temos a imagem TEM da secção transversal de um transistor como o estudado. Nela percebemos com clareza os dois nanofios, tanto o com formato Ω quanto o GAA, a dimensão horizontal é a largura do canal (W_{fin}), a dimensão vertical é altura do nanofio (H_{fin}) e perpendicular à imagem estaria o comprimento do canal (L_{fin}).

Figura 16- Secção transversal do transistor MOS do tipo nanofio empilhado, imagem do tipo TEM.(BARRAUD *et al.*, 2016)



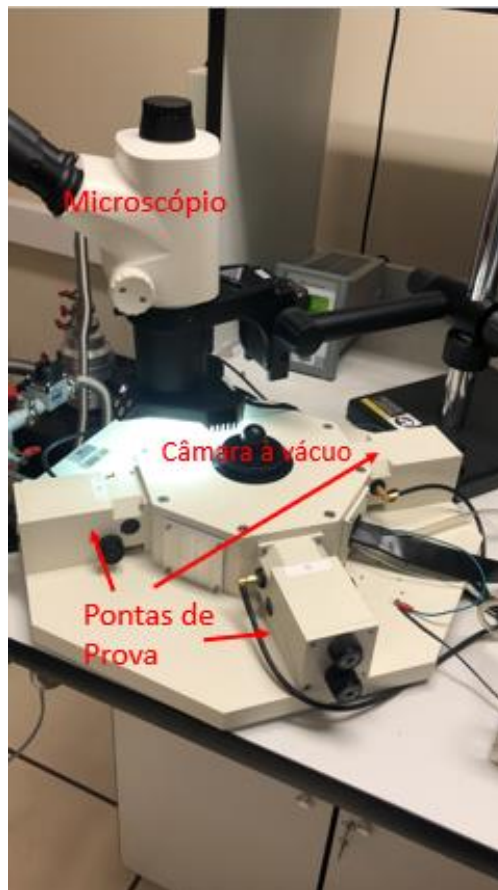
3.2 METODOLOGIA APLICADA DURANTE OS EXPERIMENTOS

Cada transistor foi submetido a temperaturas que variaram entre 95 K e 400 K. Com o *chip* inserido na câmara interna do equipamento define-se a temperatura em que os dados serão colhidos. Quando a temperatura é atingida baixam-se as pontas de prova, responsáveis pelo contato elétrico, e aguardam-se 20 minutos, visando o equilíbrio térmico da amostra e de todo sistema, para a realização do experimento. O tempo para a estabilização térmica, os vinte minutos de espera mencionados, foi obtido a partir de testes com os mesmos *chips*. Nesses testes monitorava-se a resistência (V_{DS}/I_{DS}) para diferentes momentos após a indicação no equipamento, que é aferida por um sensor de temperatura na base do porta-amostra, que a temperatura mais baixa foi atingida, assim que o valor da resistência indicou estabilização, indicando estabilização térmica, obteve-se esse tempo. Atingido o tempo estimado, obtém-se as curvas $I_{DS} \times V_{GS}$ (corrente de dreno por tensão de porta) com V_{DS} (tensão entre dreno e fonte) de 25 mV e 40 mV, $I_{DS} \times V_{DS}$ (corrente de dreno por tensão de dreno) com V_{GT} de 150 mV. No decorrer do experimento observa-se os resultados conforme estes são obtidos, e caso o sinal apresente indícios de mal contato elétrico interrompe-se o experimento e procura-se a causa dos resultados incoerentes.

3.2.1 Operação em ambiente criogênico

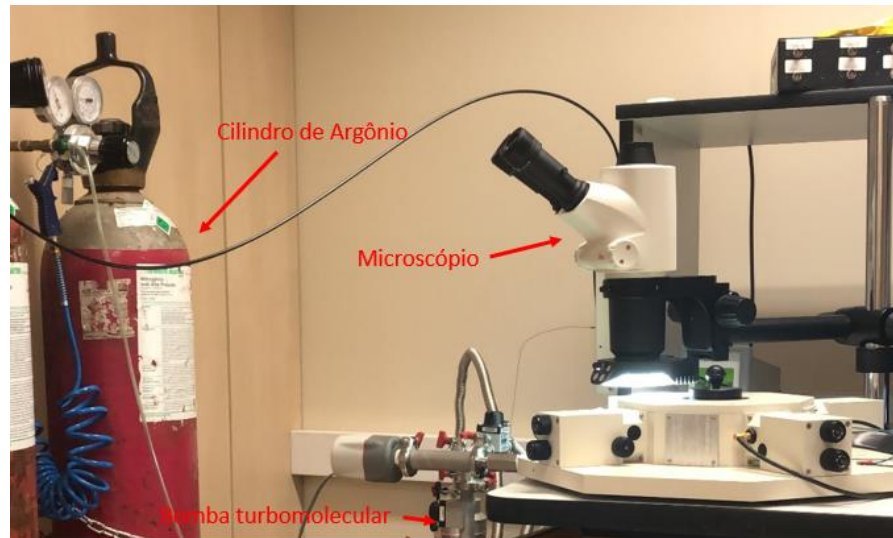
Há diversas formas de realizar experiências com o dispositivo operando em temperaturas baixas. A mais simples consiste em mergulhar o *chip* em líquido refrigerante, seja N_2 ou He líquido e a outra é realizar a experiência em um ambiente criogênico. Os dois métodos têm as suas vantagens e desvantagens. No caso da submersão em líquido refrigerante garantimos que o chip atingiu a temperatura do líquido, e com isso, atingimos temperaturas muito baixas. No caso de colocar o *chip* em uma câmara que baixará a temperatura temos mais controle da temperatura a que o *chip* ficará exposto. No caso dos dados analisados nesse trabalho utilizamos o 2º método.

Figura 17 - Imagem dos equipamentos utilizados nas medições.



Fonte: Autor

Figura 18 - Imagem dos equipamentos: Cilindro de gás refrigerante, LTMP e microscópio.



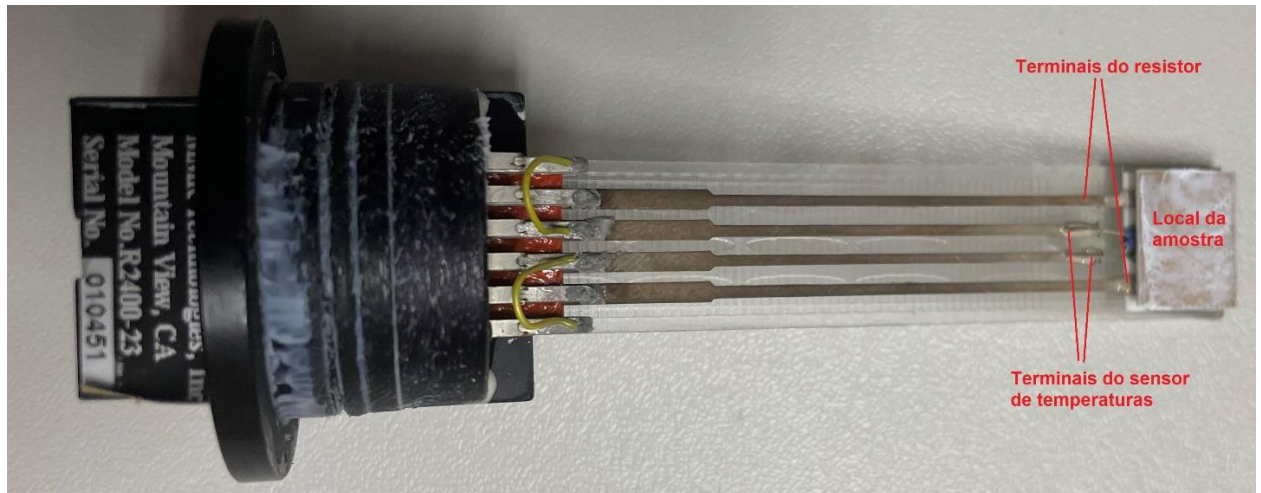
Fonte: Autor

O *chip* é inserido em uma câmara, capaz de suportar um vácuo da ordem de 10^{-5} torr, e então a temperatura é diminuída. Dentro da câmara o *chip* é colocado sobre um porta-amostra e entre eles é colocada uma pasta térmica. O fenômeno responsável pela queda da temperatura é o efeito Joule-Thomson (THOMPSON; HANRAHAN, 1977).

O efeito Joule-Thomson é um fenômeno termodinâmico que ocorre quando um gás é expandido. Durante a expansão, a pressão e a temperatura do gás diminuem. (ROEBUCK; OSTERBERG, 1934, 1935) (SCHOEN, 1999)

Este efeito é usado em câmaras de resfriamento para refrigerar materiais a baixas temperaturas. O processo consiste em comprimir o gás refrigerante até uma pressão alta, e depois liberá-lo através de uma válvula de expansão adiabática para a câmara de resfriamento. Ao se expandir, o gás esfria, retirando calor do material a ser refrigerado. Além disso, o processo não utiliza líquidos ou gases perigosos, o que o torna seguro e fácil de usar.

Figura 19 – Imagem do porta-amostra do LTMP.



Fonte: Autor

É um efeito observado na maioria dos gases e a sua amplitude de diminuição é influenciada, entre outros fatores, pela capacidade térmica do gás utilizado. No caso do LTMP (*Low temperature Micro Probe*) da *MMR Technologies*, equipamento utilizado nas experiências, a expansão do gás refrigerante ocorre embaixo do porta-amostra, no caso das experiências expostas aqui o Argônio, e dessa maneira o fluxo de calor ocorre da base da amostra, passando pela pasta térmica até o porta-amostra que foi refrigerado.

3.2.2 Fatores que impactam na qualidade dos dados obtidos

Para uma melhor compreensão do procedimento experimental em baixas temperaturas, é necessário a apresentação de alguns conceitos e como eles se relacionam, são eles: transferência de calor, acoplamento térmico e os fatores que contribuem para que eles ocorram adequadamente.

A transferência de calor é o processo pelo qual o calor é transferido de uma região de alta temperatura para uma região de baixa temperatura. O calor pode ser transferido de uma variedade de maneiras, incluindo condução, convecção e radiação (FUCHS, 2010; MORAN *et al.*, 2002).

O acoplamento térmico é a capacidade de dois materiais ou superfícies para transferir calor entre si. O acoplamento térmico é importante em muitas aplicações, incluindo o resfriamento de dispositivos eletrônicos, a dissipação de calor em processos industriais, entre outros.

A superfície de contato é a interface entre dois materiais que estão sendo usados para transferir calor. A superfície de contato é importante porque é onde ocorre a transferência de

calor. Quanto maior a superfície de contato, maior será a transferência de calor. Além disso, a superfície de contato também é importante porque é onde ocorre o acoplamento térmico entre os materiais (MORAN *et al.*, 2002).

Por isso, a superfície de contato e o acoplamento térmico são fatores críticos para a transferência de calor. É importante garantir que a superfície de contato seja o mais plana e lisa possível para maximizar a transferência de calor. Além disso, é importante usar materiais que tenham boa condutividade térmica para maximizar o acoplamento térmico entre as superfícies.

A pasta térmica é um material intercalado entre a superfície quente e a superfície fria, usado para melhorar a transferência de calor. A pasta térmica é composta por material condutor de calor, como metal ou material cerâmico, e é aplicada em uma camada fina para maximizar o contato entre as superfícies. A pasta térmica ajuda a melhorar o acoplamento térmico e aumenta a superfície de contato, resultando em uma transferência de calor mais eficiente. Além disso, a pasta térmica também pode ser usada para preencher irregularidades na superfície, melhorando a planicidade e a lisura da superfície de contato (YU *et al.*, 2012).

Para garantir a qualidade dos dados analisados alguns cuidados devem ser tomados para garantir o mínimo de ruído no sinal obtido e para garantir que a amostra esteja na mesma temperatura do porta-amostra.

- 1º. Qualidade do vácuo: Nestes experimentos é muito importante que tenhamos um vácuo da ordem de 10^{-5} Torr. Dessa maneira o fluxo de calor se concentra da base da amostra ao porta-amostra, sofrendo o mínimo possível de interferências externas como da umidade e garantindo o isolamento da amostra.
- 2º. Limpeza do porta-amostra e uso da pasta térmica: Para garantir que a amostra e o porta-amostra estejam na mesma temperatura, é imperativo garantir um bom acoplamento térmico entre amostra e porta-amostra. Para isso tanto um quanto outro devem estar bem limpos, com uso de álcool isopropílico, e a pasta térmica deve ser sempre renovada a cada ciclo térmico, já que após o ciclo térmico a pasta apresenta ressecamento e rachaduras, o que acaba aumentando a sua resistência térmica (YU *et al.*, 2012).

3.3 METODOLOGIA UTILIZADA NA EXTRAÇÃO DOS PARÂMETROS ELÉTRICOS DIGITAIS A PARTIR DOS DADOS EXPERIMENTAIS

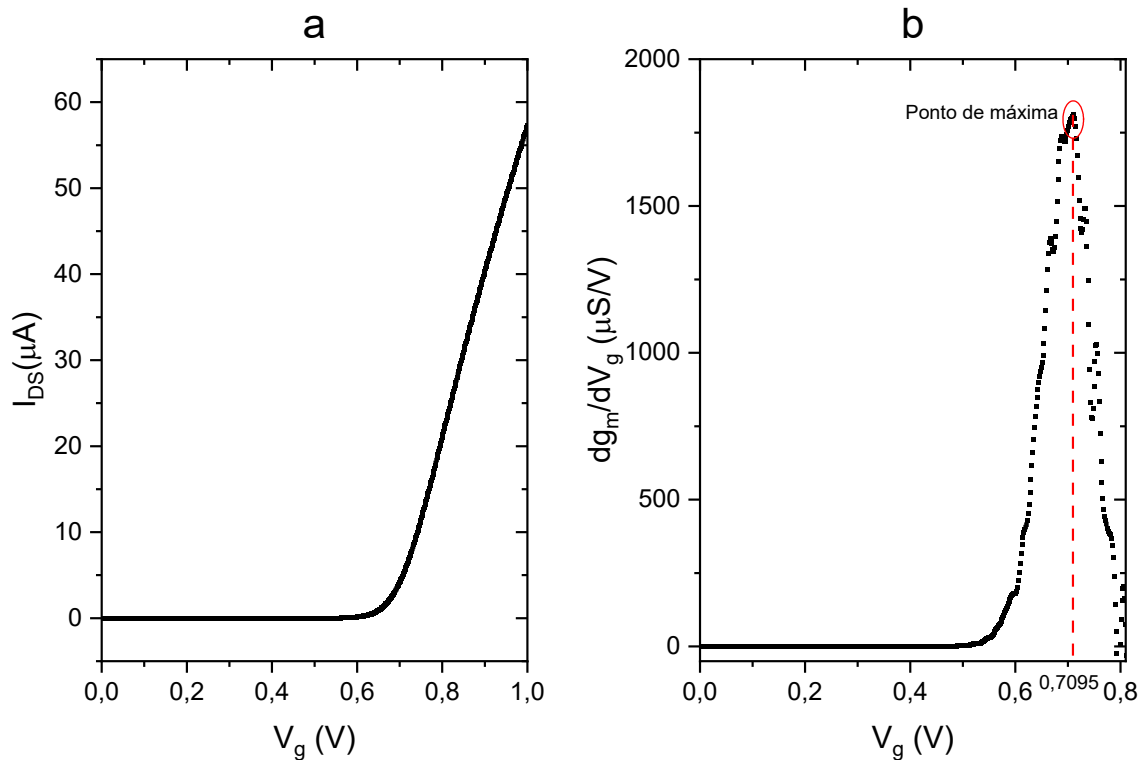
A extração de parâmetros elétricos de transistores é importante para a caracterização de dispositivos e o projeto de circuitos. Um método comum para extrair parâmetros elétricos é a análise da curva de corrente de dreno pela tensão de porta do dispositivo. A partir dessa curva,

é possível obter informações importantes sobre o comportamento do dispositivo, incluindo: tensão de limiar, transcondutância máxima e inclinação de sublimiar.

3.3.1 Extração da tensão de limiar

A tensão de limiar é um parâmetro importante para a caracterização dos transistores MOS. Ela determina a tensão de porta necessária para iniciar a condução de corrente no canal do dispositivo.

Figura 20 – (a): Gráfico de I_{DS} por V_G para um transistor MOS do tipo nanofio de silício empilhado obtido com o transistor em 95K, utilizando o equipamento B1500. (b): Curva da 2ª derivada da curva da figura (a).



Fonte: Autor

Na Figura 20 ilustramos o processo de obtenção da tensão de limiar do dispositivo em dada temperatura. Seguindo os procedimentos já expostos em seções anteriores, utilizamos o equipamento Keysight B1500 para polarizar o dispositivo e coletar os dados gerados. No caso da tensão de limiar utilizamos a curva $I_D \times V_G$, com um V_G variável de 0 a 1,1 V e um V_{DS} fixo. Para cada dispositivo em determinada temperatura eram obtidas duas curvas com dois V_{DS} distintos, de 25mV e 40mV.

De posse das curvas, o trabalho de obtenção dos parâmetros elétricos vem da análise e da manipulação desses dados, no caso da tensão de limiar o método empregado é o da 2ª derivada. Neste método deriva-se numericamente a curva obtida por 2 vezes e da abscissa do ponto máximo da curva resultante obtemos a tensão de limiar. A curva gerada pelo equipamento (B1500) não é contínua, ou seja, a curva gerada possui passos (*steps*) e no caso dos dados obtidos este passo é de 10mV.

No caso de dados experimentais, de maneira oposta aos dados simulados, os sinais obtidos possuem ruídos provenientes de uma série de fatores. Buscando mitigar que o erro gerado por esses ruídos se propague de maneira acentuada algumas técnicas são empregadas, como: interpolação e suavização.

A interpolação e a suavização de curvas são técnicas comuns em análise de dados experimentais que visam ajustar uma curva aos dados medidos.

Interpolação é o processo de estimar valores de uma variável dependente (y) a partir de valores conhecidos de uma variável independente (x). Isso é feito construindo uma função matemática que "passe" pelos pontos de dados conhecidos e, em seguida, usando essa função para estimar valores de y para valores intermediários de x .

A suavização de curvas é o processo de suavizar ou "amortecer" as flutuações nos dados experimentais para obter uma representação mais suave da tendência subjacente dos dados. Isso é útil quando os dados têm ruído ou flutuações aleatórias que obscurecem a tendência geral dos dados. Existem vários métodos de suavização de curvas.

Em ambos os casos, a escolha do método de interpolação ou suavização de curvas adequado depende do tipo de dados experimentais que se analisa, bem como do objetivo da análise. É importante avaliar cuidadosamente os resultados da interpolação ou suavização e considerar fontes de erro e incerteza nos dados experimentais.

No caso da obtenção da curva da 2ª derivada o roteiro adotado foi: interpolação da curva obtida pelo B1500, deriva-se a curva obtida, aplica-se a suavização da curva obtida e deriva-se a curva suavizada. Da identificação da abscissa que corresponde ao ponto máximo obtemos a tensão de limiar.

Importante observar que a curva segue sendo uma curva discreta, mesmo após as operações efetuadas. Portanto, as operações aplicadas como a derivada, por exemplo, são todas numéricas.

Outro ponto a se enfatizar é a consistência dos dados experimentais. A consistência é uma característica importante em dados experimentais, pois permite que você confie nos resultados de suas medições e análises. Sem consistência, os dados podem ser imprecisos ou

não confiáveis, o que pode levar a conclusões erradas ou a uma avaliação incorreta da incerteza dos resultados.

Há vários aspectos da consistência em dados experimentais, incluindo:

1. Consistência de métodos: As medições devem ser realizadas de maneira consistente, usando o mesmo equipamento e métodos ao longo do tempo. Isso ajuda a garantir que os resultados sejam comparáveis e que os erros sejam consistentes.
2. Consistência de protocolos: Os protocolos de medição devem ser claros, documentados e seguidos de maneira consistente. Isso ajuda a garantir que os resultados sejam comparáveis e que seja possível reproduzir as medições.
3. Consistência de fontes de erro: As fontes de erro devem ser identificadas e avaliadas de maneira consistente, ajudando a garantir que os erros sejam quantificados e levados em consideração ao avaliar a incerteza dos resultados.

A consistência em dados experimentais é importante para garantir que as conclusões sejam válidas e que os resultados possam ser confiáveis. Quando os dados são consistentes, é mais fácil comparar resultados ao longo do tempo, avaliar a incerteza dos resultados e, em última análise, tomar decisões informadas baseadas nos dados experimentais.

Dada a importância de manter os dados confiáveis, a rotina de obtenção dos parâmetros elétricos deve ser tão rígida quanto a da obtenção dos dados.

Existem diversos métodos para a extração da tensão de limiar. No processo de escolha do método a ser empregado também foi utilizado o método do *Y-function* (FLEURY *et al.*, 2008; GHIBAUDO, G., 1988), método amplamente utilizado para extração de diversos parâmetros elétricos em transistores por ser capaz de contornar os efeitos de resistência série que poderiam impactar nos dados analisados.

Com o objetivo de evidenciar a qualidade do método empregado extraímos a tensão de limiar pelos dois métodos e as comparamos na Tabela 3.

Tabela 3 – Tabela com a razão entre a tensão de limiar extraída utilizando o método do *Y-function* e a extraída utilizando o método da 2ª derivada em dispositivos multi-fin de diversas geometrias e submetidos a diversas temperaturas.

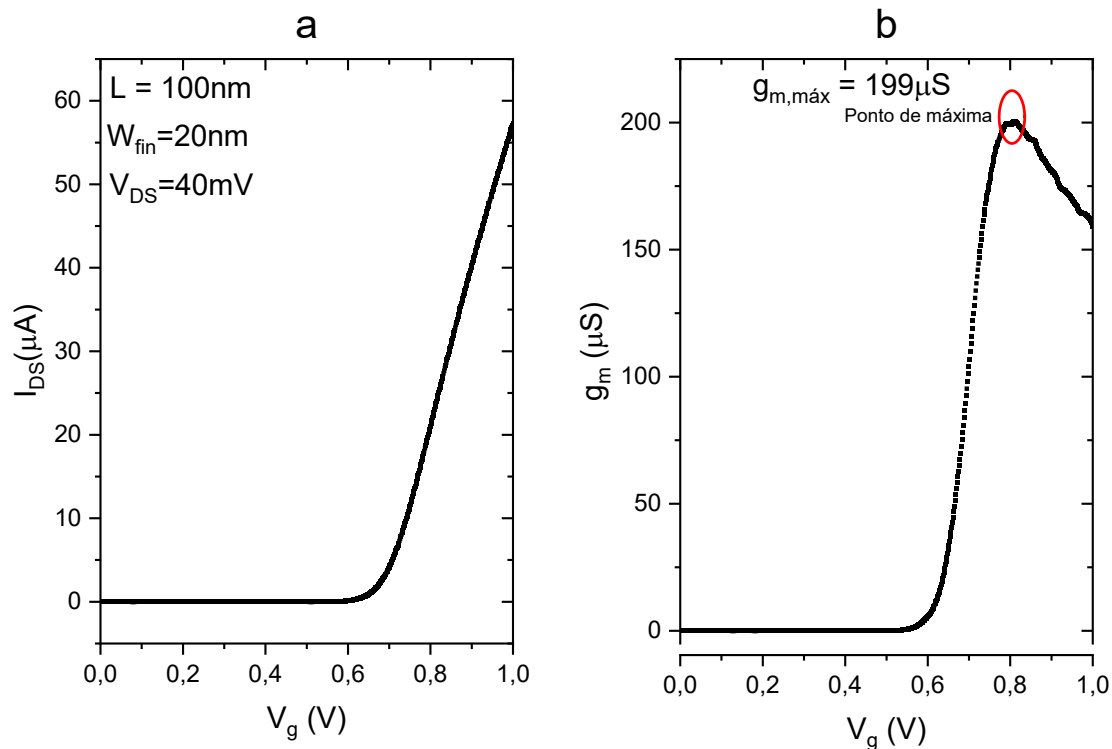
Temperatura (K)	Tensão de limiar (<i>Y-function</i> / Segunda derivada)				
	10nm	15nm	20nm	25nm	40nm
95	0,99	0,97	0,97	0,98	0,98
120	0,97	0,98	0,98	0,99	0,99
200	0,98	0,98	0,98	0,97	0,97
250	0,97	0,98	0,98	0,98	0,98
300	0,98	0,98	0,99	0,99	0,98
350	0,99	0,99	0,97	0,97	0,97
400	0,97	0,99	0,99	0,98	0,99

Analisando a Tabela 3 nota-se que os resultados obtidos são muito próximos e que o erro obtido está abaixo dos 3%. Considerando que o erro neste patamar está abaixo do nosso passo de medida pode-se considerá-lo irrelevante. O método *Y-function* é profusamente utilizado na extração dos parâmetros elétricos por ser capaz de desconsiderar os efeitos de resistência serie. Ou seja, da similaridade dos resultados obtidos pelos dois métodos também pode-se inferir que o efeito de resistência serie não esteve presente nos resultados observados.

3.3.2 Extração da transcondutância máxima

Na Figura 21 ilustra-se em (a) a curva $I_{DS} \times V_{GS}$ e em (b) a derivada dessa curva. A partir dos dados obtidos no experimento, no caso da extração da transcondutância máxima a curva de corrente de dreno por tensão de porta, e aplicamos uma rotina similar ao exposto na seção anterior sobre a tensão de limiar. Interpolamos a curva original e aplicamos a derivada na curva obtida. Suavizamos a curva, em busca de atenuar os ruídos que são intensificados por essa operação numérica, e achamos o seu ponto de máximo. No caso desse parâmetro a ordenada das coordenadas do ponto de máximo que nos fornece o seu valor.

Figura 21 – (a): Gráfico da curva $I_{DS} \times V_G$ de um transistor do tipo nanofio de silício empilhado em 95K. (b): Gráfico da transcondutância pela tensão de porta, 1ª derivada da curva (a), deste transistor.



Apesar de sua extração ser mais simples do que a extração da tensão de limiar, a metodologia deve ser seguida de maneira rígida e constante ao longo de todas as medidas. Afinal, esse é um parâmetro de grande relevância do transistor e é utilizado para calcular outros parâmetros, como o ganho de tensão de intrínseco.

3.3.3 Extração da inclinação de sublimiar

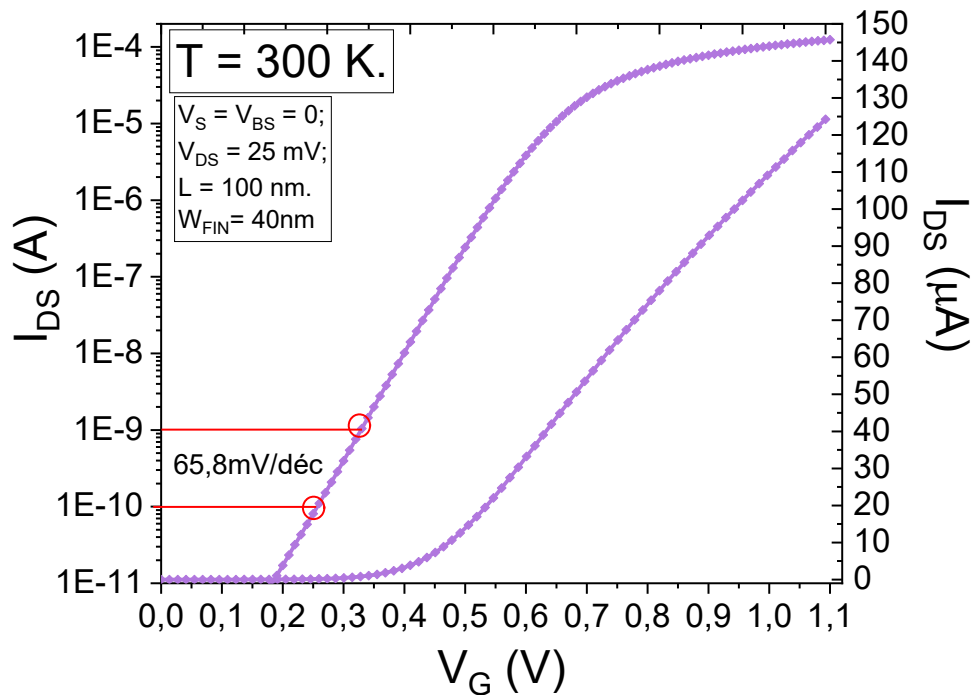
A inclinação de sublimiar é um importante fator de caracterização elétrica de um transistor, e, seguindo a metodologia proposta, a fim de garantir a confiabilidade dos dados e a possibilidade de compará-los entre si, foi adotado um método padrão para obtenção da inclinação de sublimiar.

Porém, a inclinação de sublimiar é um parâmetro de sensibilidade da variação da corrente de dreno com a variação da tensão de porta na região de sublimiar e pode ser percebido a partir do gráfico de I_{DS} por V_G em escala logarítmica e, dessa observação, pode-se tirar conclusões significativas para a análise do dispositivo.

Na Figura 22 tem-se a curva de um transistor, em temperatura ambiente, nas duas escalas. Nela destacamos 2 pontos distintos na região de sublimiar, com uma década de diferença

entre eles, ou seja, a corrente no ponto superior é dez vezes superior ao inferior. Da subtração das abscissas desses pontos se obtém quanto em mV (milivolts) por década a tensão variou na região de sublimiar.

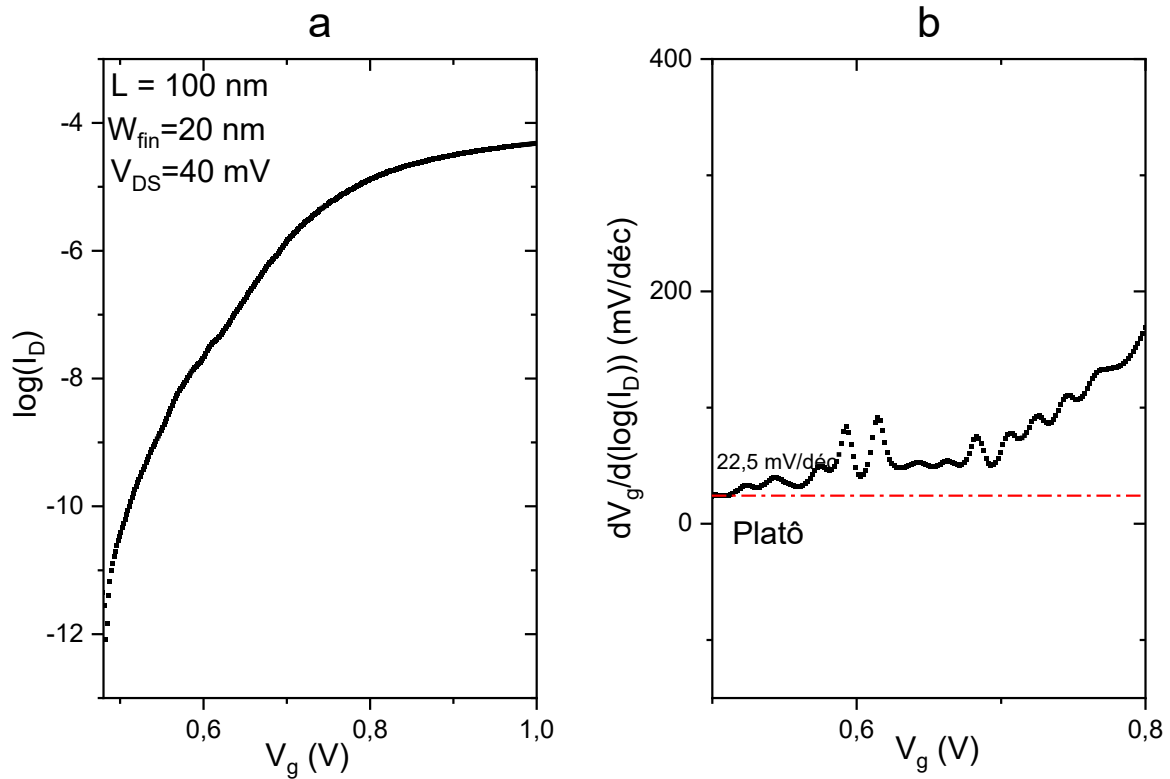
Figura 22 – Gráfico de I_{DS} por V_G , em escala linear e logarítmica, em temperatura ambiente de um transistor do tipo nanofio de Si empilhado de múltiplas aletas em temperatura ambiente.



Esse método exposto de extração da inclinação de sublimiar não foi o utilizado neste trabalho para obter os dados de inclinação de sublimiar dos diferentes dispositivos. Isso porque, este método é mais difícil de padronizar e, assim, introduziria mais uma fonte de erros aos dados calculados. Como tanto a região de sublimiar quanto a densidade de corrente diferem de dispositivo para dispositivo e da temperatura exposta, adotar um padrão de extração seria difícil e errático. Porém, a exposição desse método de extração contribui com uma noção física e gráfica desse parâmetro, e, por isso, foi exposto.

Da Figura 22 nota-se que a região de sublimiar, na curva em escala logarítmica, podemos aproximá-la a uma reta. Porém, em alguns dispositivos essa região apresentou mais de uma reta e com inclinações diferentes. O que pode ser um indício de problemas na fabricação do dispositivo em questão e é um indício rapidamente perceptível e que pode ajudar nos procedimentos experimentais. Auxiliando, assim, na agilidade e qualidade do processo de coleta e extração dos parâmetros elétricos.

Figura 23 – (a): Gráfico de $\log(I_{DS})$ por V_G de NW em 95K. (b): Gráfico do inverso da derivada da curva apresentada em (a).



Na Figura 23 ilustramos os gráficos utilizados na extração da inclinação de sublimiar. Em (a) tem o $\log(I_{DS})$ por V_G e em (b) a função inversa da derivada da curva apresentada em (a). Como já mencionado em seções anteriores, essas operações intensificam os ruídos da curva original, por essa razão cortamos os eixos das abscissas para uma região próxima da de sublimiar. Nessa região buscamos por um platô na curva (b) e dele obtemos o valor da inclinação de sublimiar.

3.4 RESULTADOS OBTIDOS EM FUNÇÃO DA TEMPERATURA

Os resultados obtidos dos experimentos advêm das análises das curvas obtidas durante o experimento. Da Figura 24 à Figura 30 temos os gráficos de I_{DS} x V_{GS} para as diferentes geometrias estudadas em variadas temperaturas dos dispositivos multi-fins (10 fins em paralelo), o gráfico possui tanto uma escala linear quanto logarítmica.

Figura 24 – Gráfico de I_{DS} por V_G para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (*multi-fin*), em escala linear e logarítmica, em 95K.

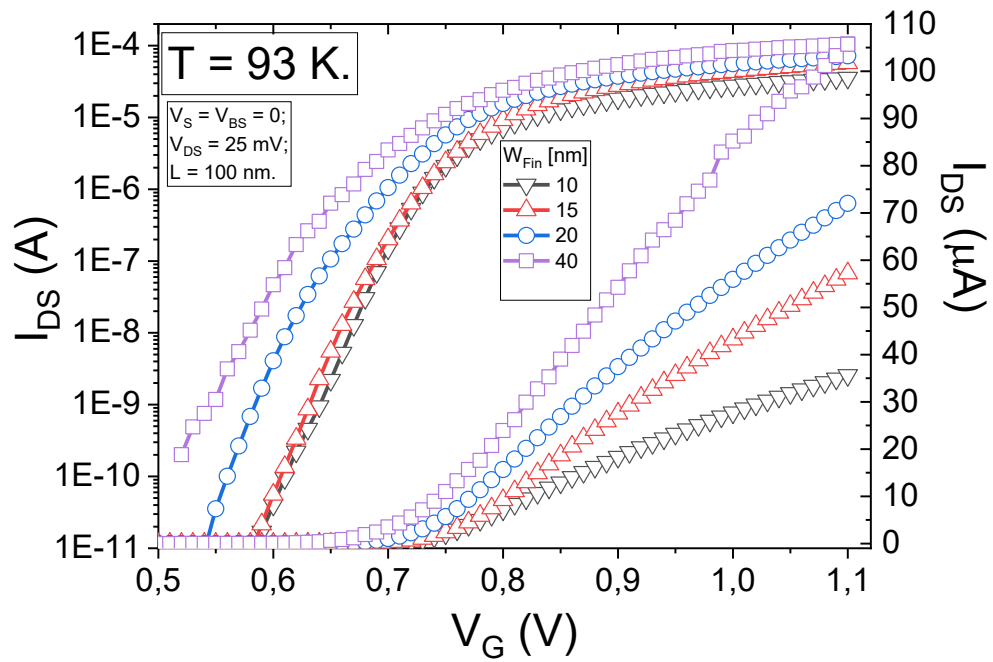


Figura 25 – Gráfico de I_{DS} por V_G para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (*multi-fin*), em escala linear e logarítmica, em 120K.

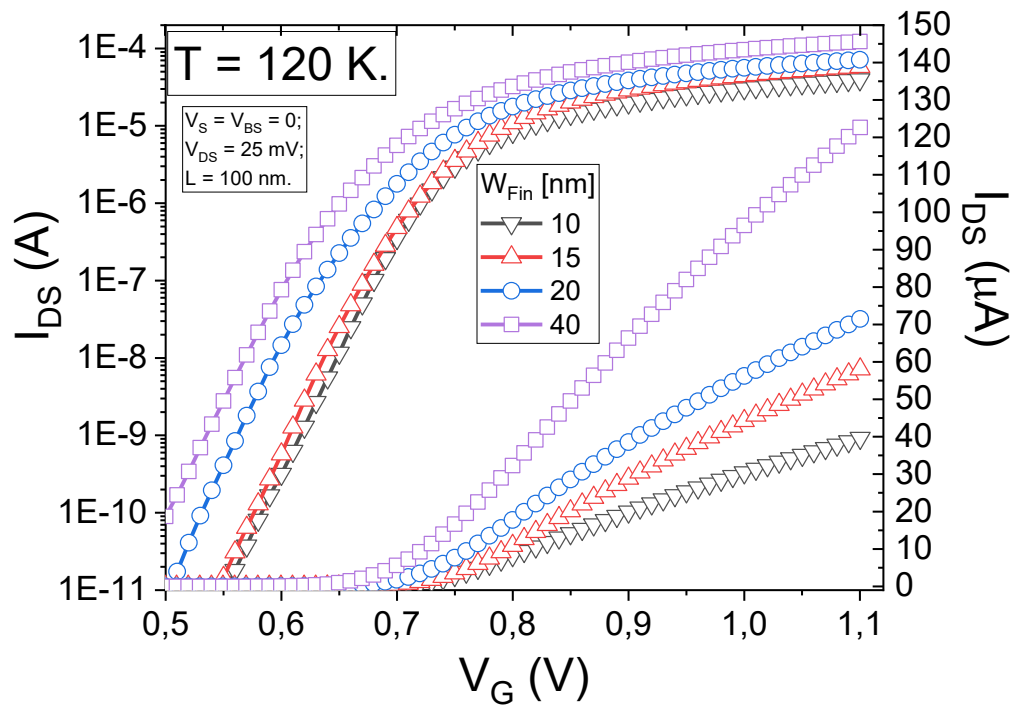


Figura 26– Gráfico de I_{DS} por V_G para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (*multi-fin*), em escala linear e logarítmica, em 200K.

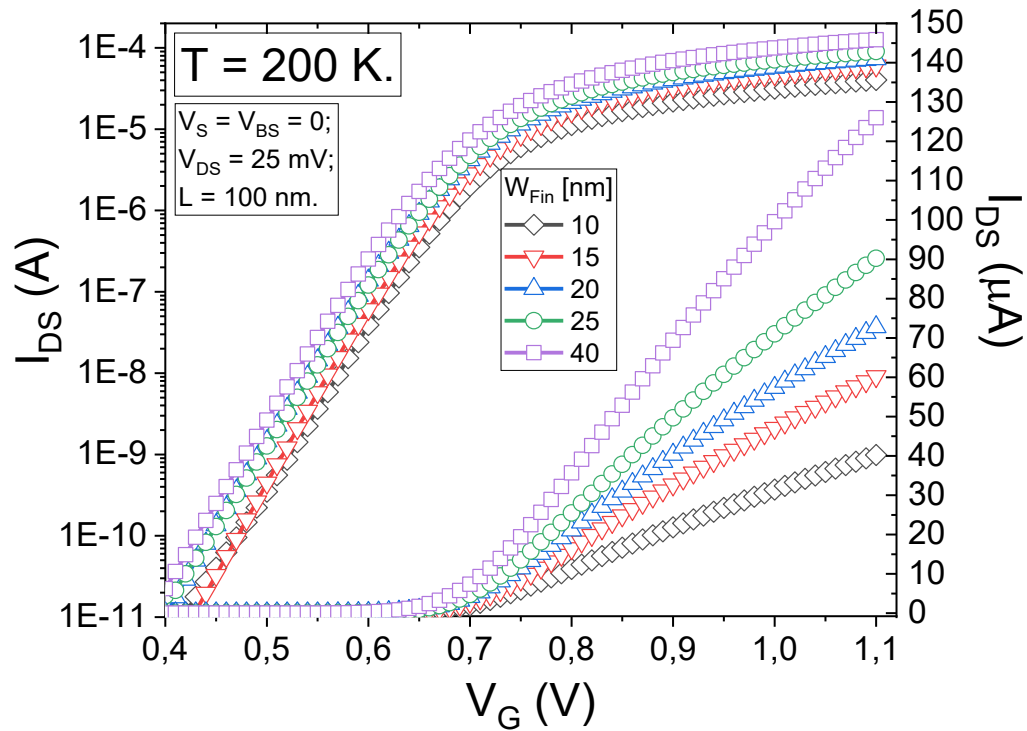


Figura 27– Gráfico de I_{DS} por V_G para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (*multi-fin*), em escala linear e logarítmica, em 250K.

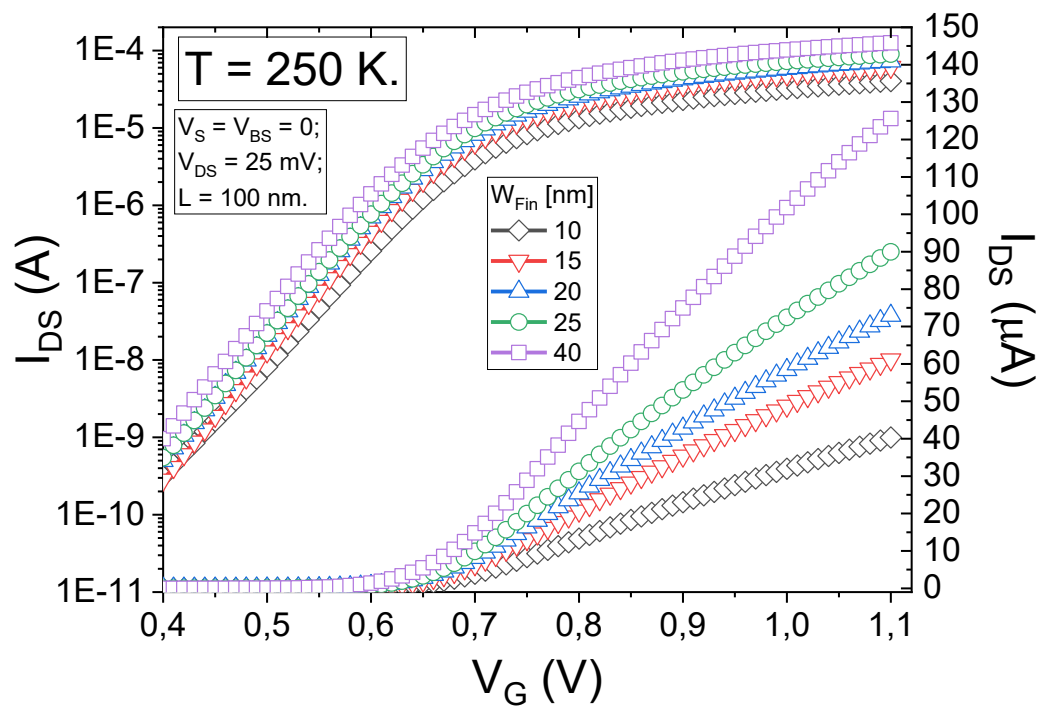


Figura 28– Gráfico de I_{DS} por V_G para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (*multi-fin*), em escala linear e logarítmica, em 300K.

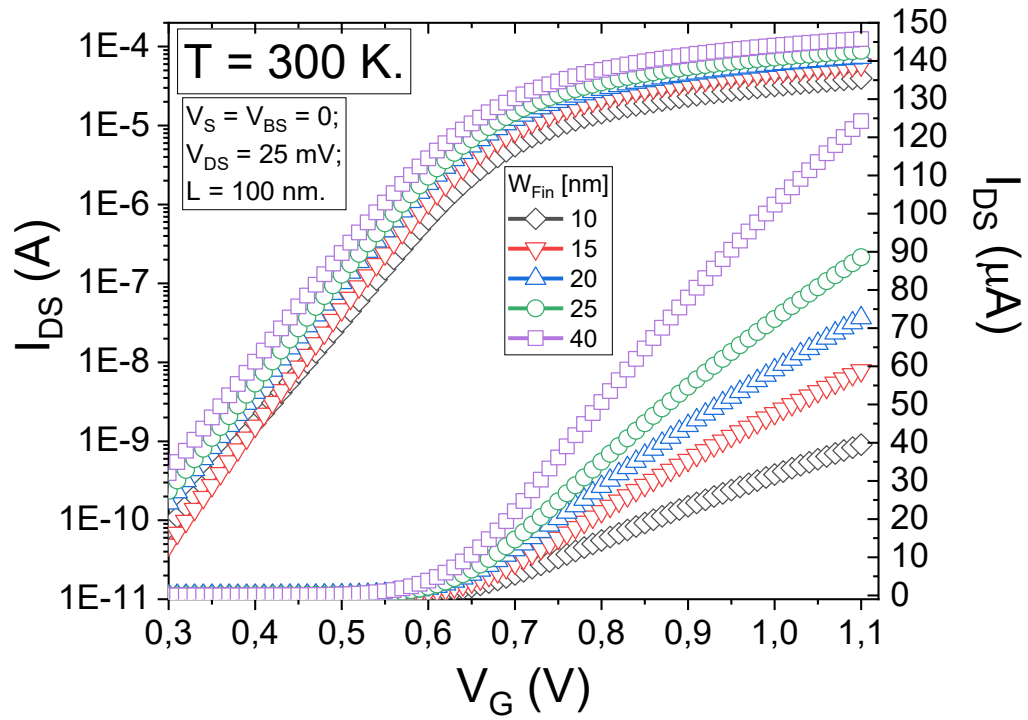


Figura 29– Gráfico de I_{DS} por V_G para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (*multi-fin*), em escala linear e logarítmica, em 350K.

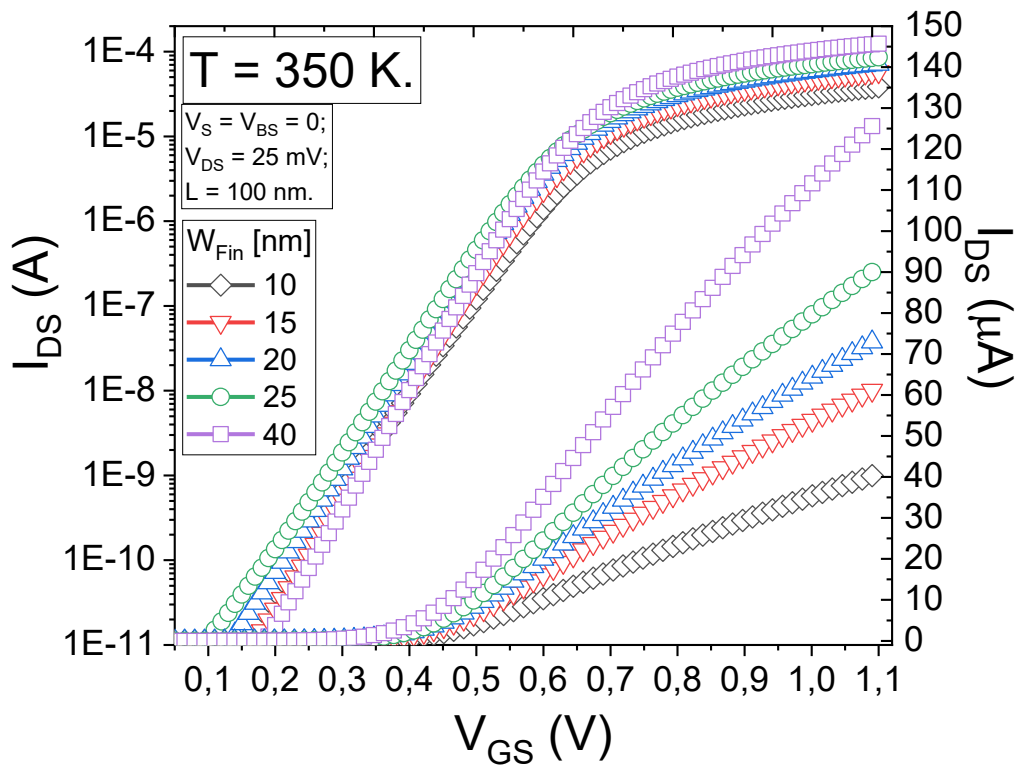
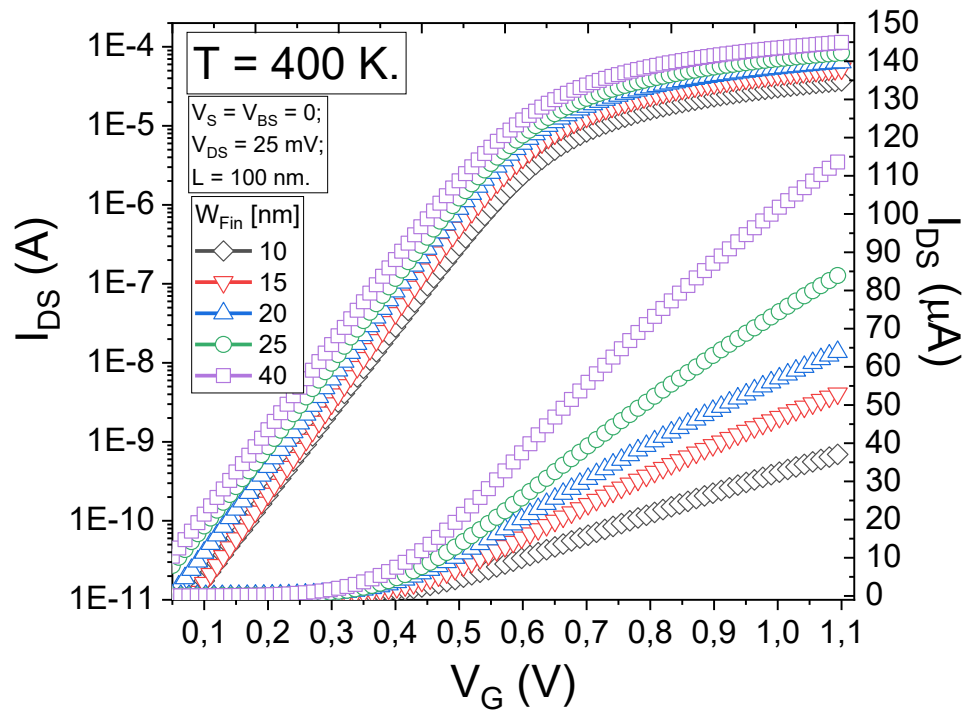
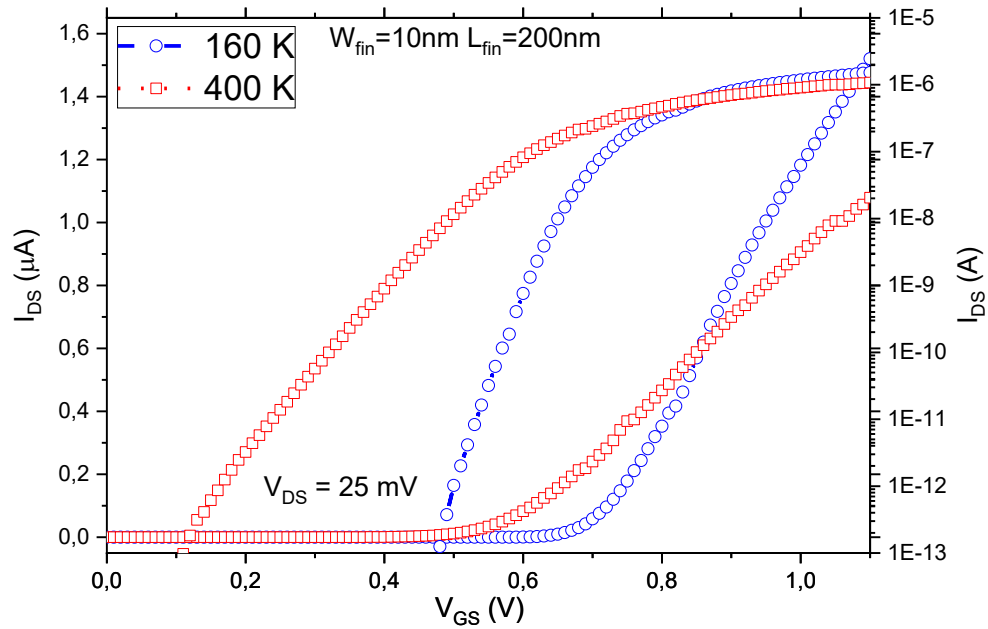


Figura 30— Gráfico de I_{DS} por V_G para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (*multi-fin*), em escala linear e logarítmica, em 95K.



Como esperado, em dispositivos mais largos observa-se maiores valores de corrente máxima. Mesmo antes da extração da tensão de limiar, percebe-se que há alteração na tensão que o transistor começa a sua condução a depender da temperatura em que foi exposto. Para destacar esse comportamento na Figura 31 ilustram-se duas curvas de corrente de dreno por tensão de porta em diferentes temperaturas.

Figura 31 - Corrente de dreno por tensão de porta com tensão de dreno de 25 mV, em dispositivo single-fin. Em 160 K e 400 K. (RODRIGUES et al., 2021).



Além da tensão de limiar que se pode perceber que aumenta com o decréscimo da temperatura nota-se, a partir da Figura 31, que a inclinação de sublimiar é alterada, sendo maior conforme a temperatura aumenta, ou seja, na região de sublimiar, a corrente aumenta de maneira mais abrupta para temperaturas mais baixas.

Da Figura 32 à Figura 38 são apresentados os resultados das curvas de I_{DS} por V_{DS} para um V_{GT} ($V_{GS}-V_{TH}$) fixo de 150mV. Cada figura ilustra a curva em determinada temperatura, como feito em secções anteriores.

Figura 32– Gráfico de I_{DS} por V_{DS} para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (*multi-fin*), em escala linear, em 95K.

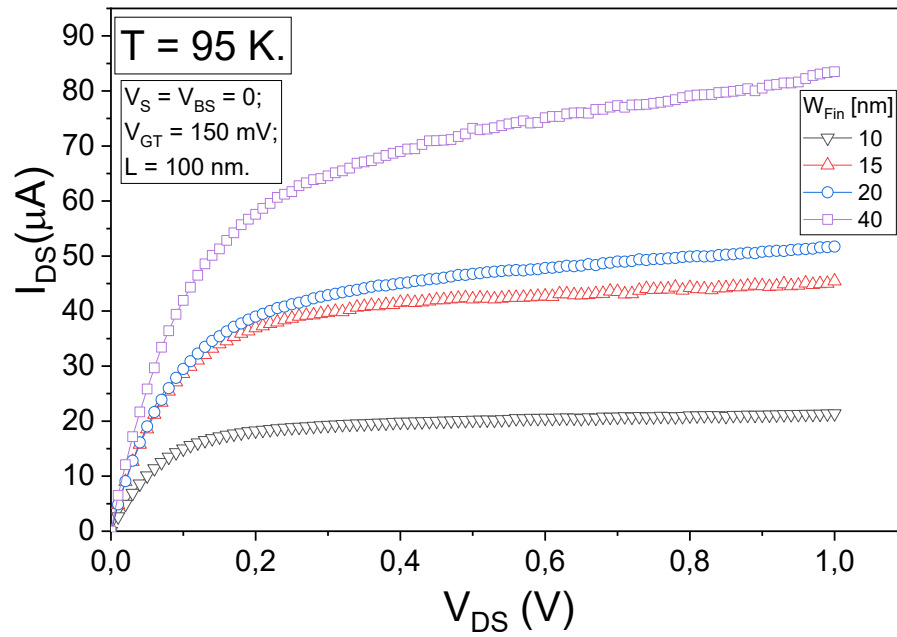


Figura 33– Gráfico de I_{DS} por V_{DS} para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (*multi-fin*), em escala linear, em 120K.

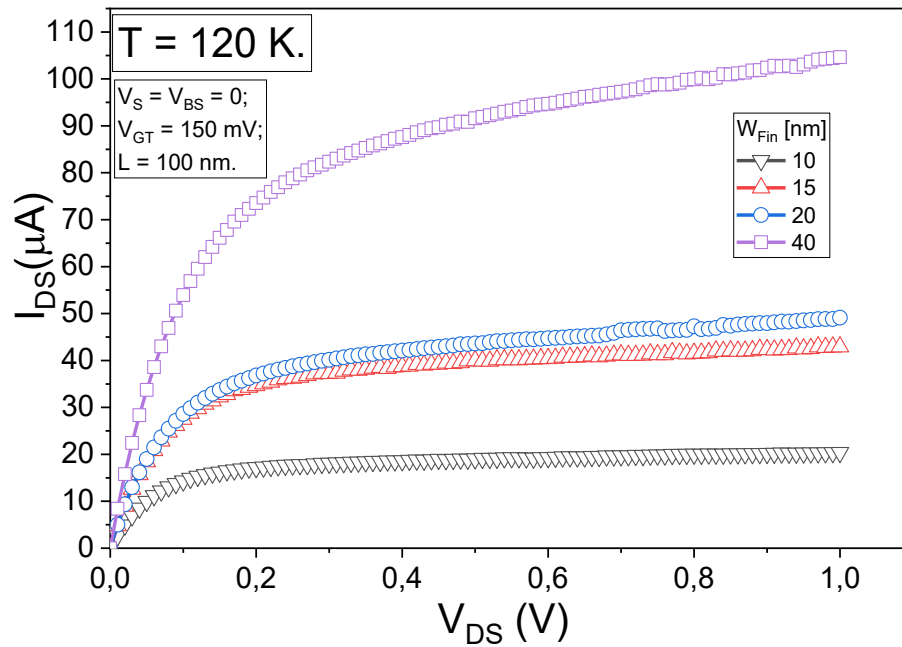


Figura 34— Gráfico de I_{DS} por V_{DS} para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (*multi-fin*), em escala linear, em 200K.

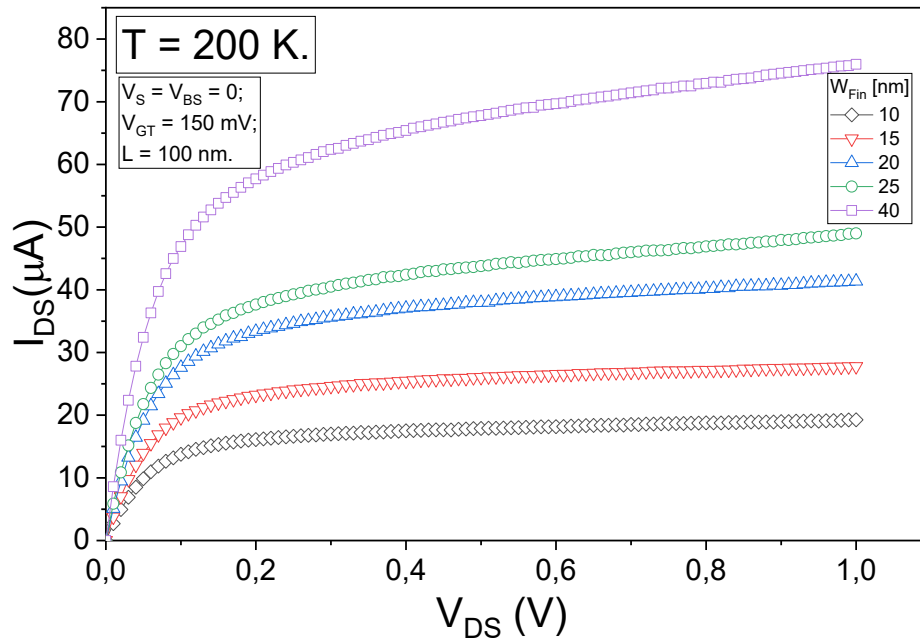


Figura 35— Gráfico de I_{DS} por V_{DS} para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (*multi-fin*), em escala linear, em 250K.

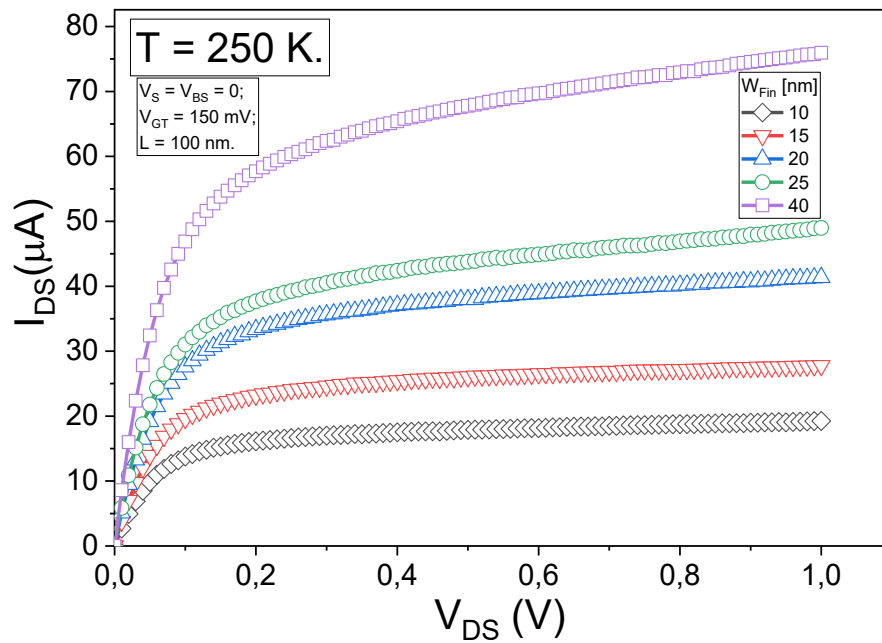


Figura 36– Gráfico de I_{DS} por V_{DS} para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (*multi-fin*), em escala linear, em 300K.

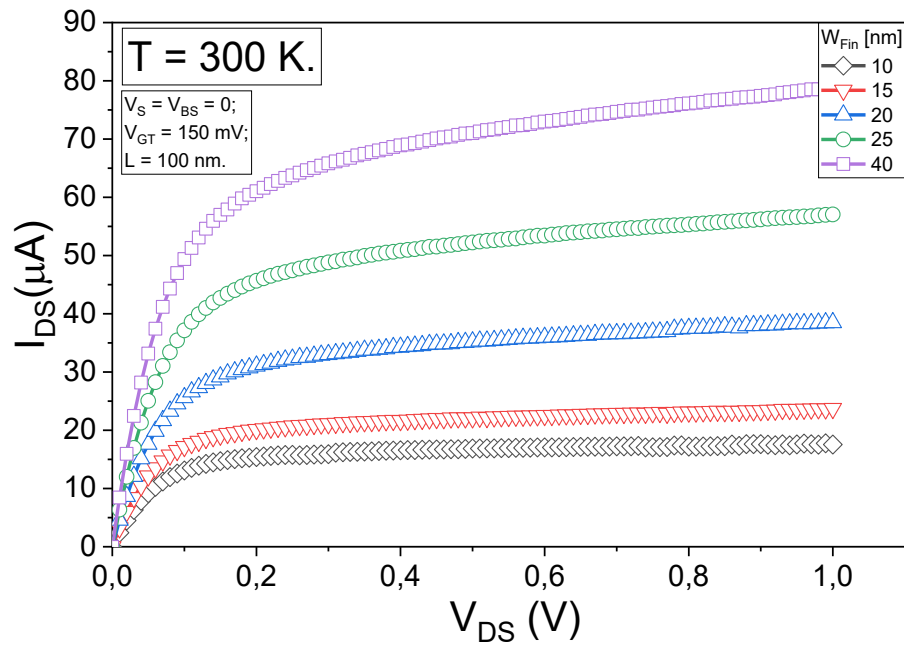


Figura 37– Gráfico de I_{DS} por V_{DS} para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (*multi-fin*), em escala linear, em 350K.

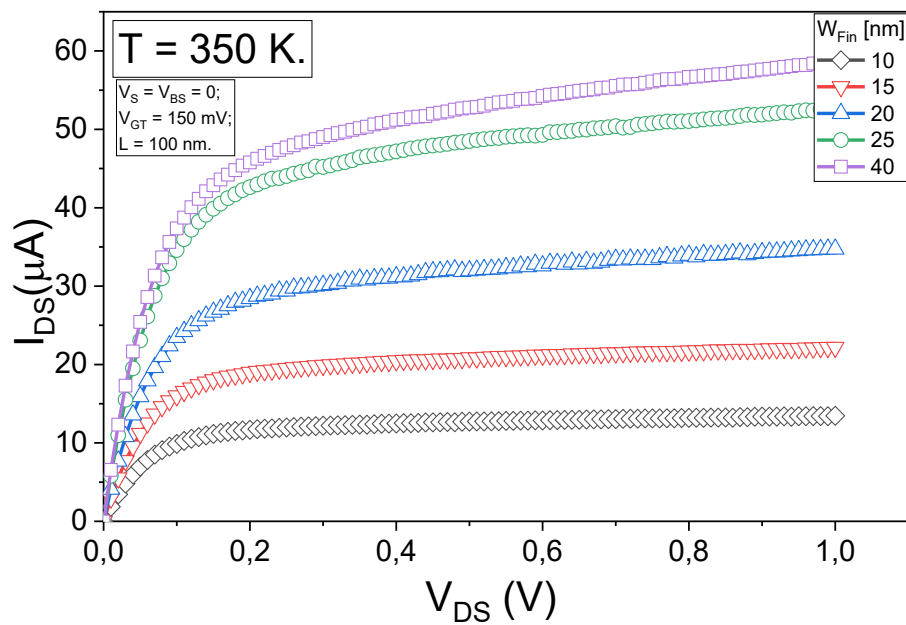
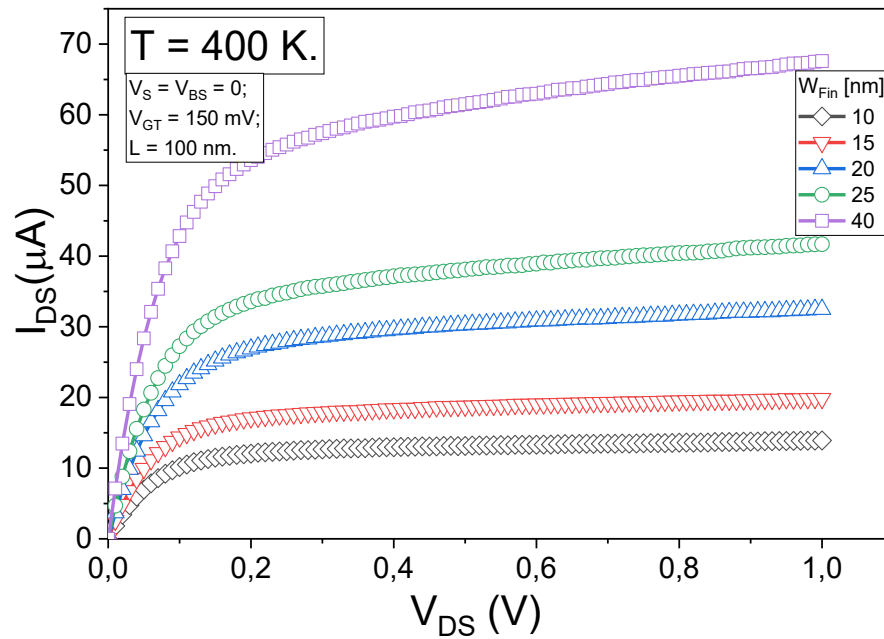


Figura 38– Gráfico de I_{DS} por V_{DS} para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (*multi-fin*), em escala linear, em 400K.



Independente da temperatura, o nível de corrente é sempre maior em dispositivos mais largos ($>W_{fin}$) e quando comparamos o mesmo dispositivo, com as mesmas dimensões, em variadas temperaturas (95K à 400K), percebemos que obtemos maiores níveis de corrente quanto mais baixa a temperatura.

Da Figura 39 à Figura 45 estão colocados os resultados de I_{DS} por V_{GT} ($V_{GS}-V_{TH}$) para um V_{DS} fixo, de 700mV.

Figura 39– Gráfico de I_{DS} por V_{GT} ($V_G - V_{TH}$) para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (*multi-fin*), em escala linear, em 95K.

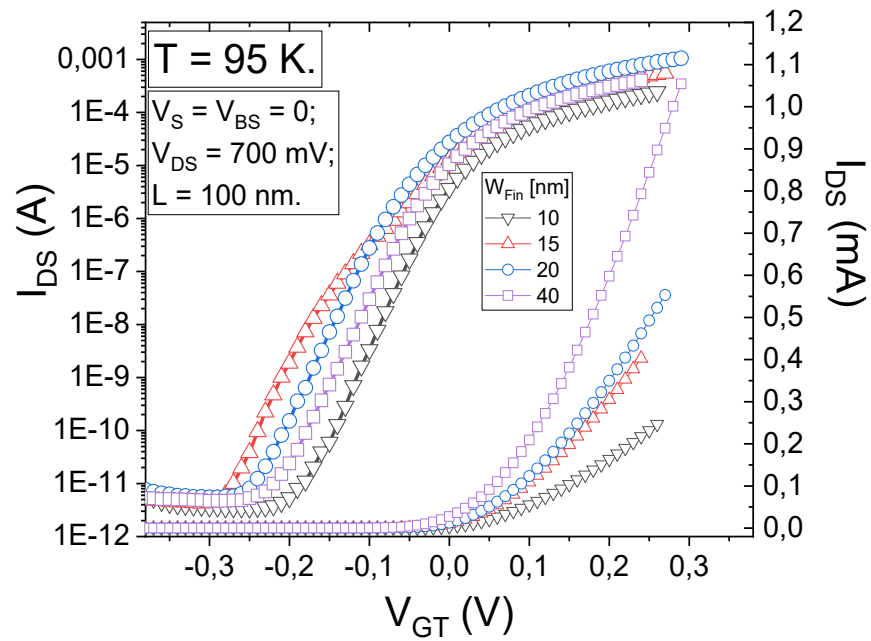


Figura 40 - Gráfico de I_{DS} por V_{GT} ($V_G - V_{TH}$) para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (*multi-fin*), em escala linear, em 120K.

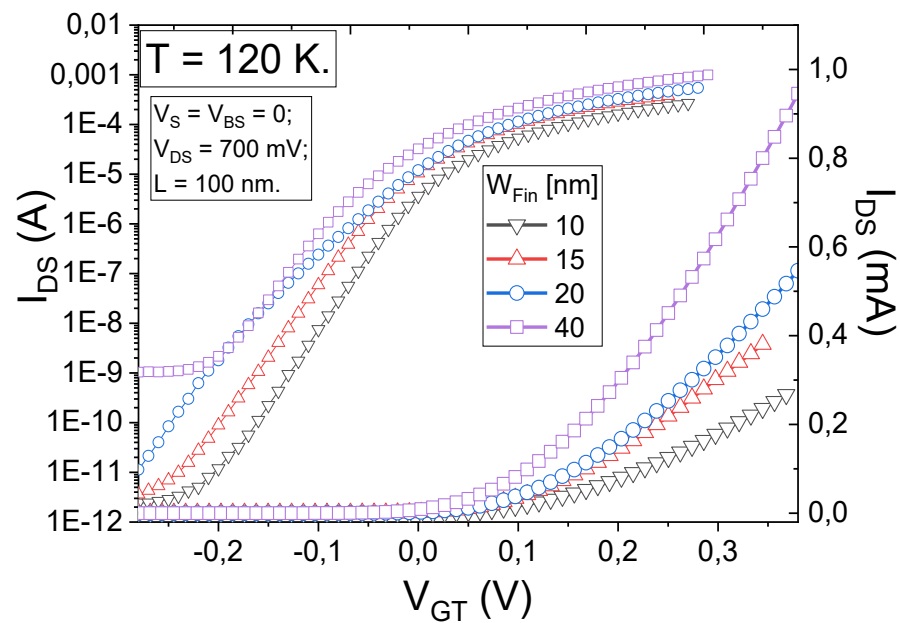


Figura 41 - Gráfico de I_{DS} por V_{GT} ($V_G - V_{TH}$) para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (*multi-fin*), em escala linear, em 200K.

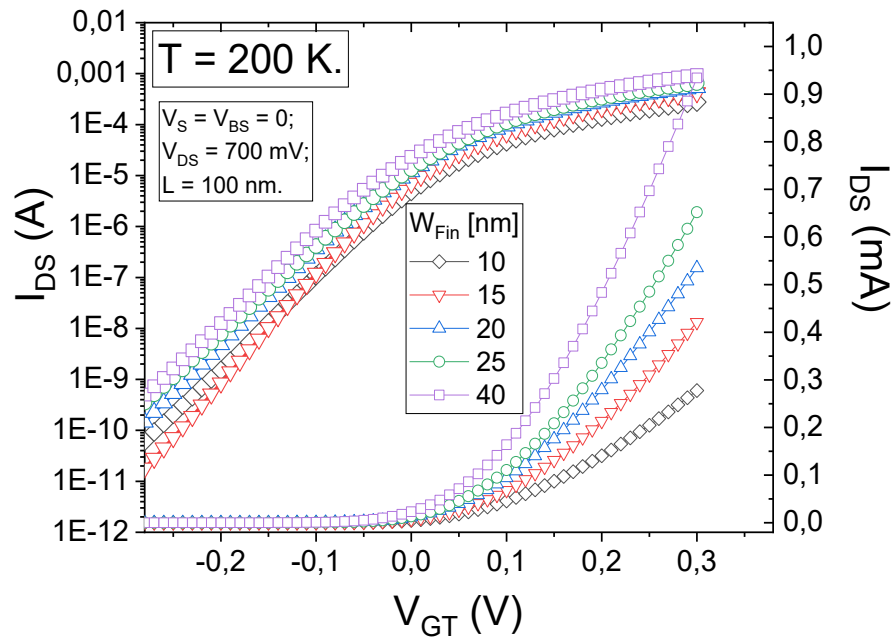


Figura 42 - Gráfico de I_{DS} por V_{GT} ($V_G - V_{TH}$) para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (*multi-fin*), em escala linear, em 250K.

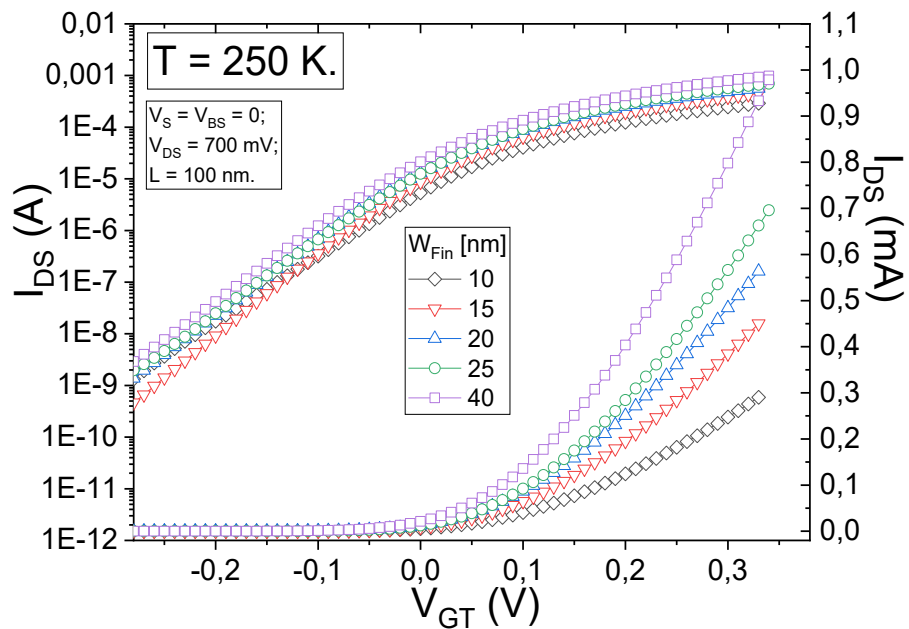


Figura 43 - Gráfico de I_{DS} por V_{GT} ($V_G - V_{TH}$) para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (*multi-fin*), em escala linear, em 300K.

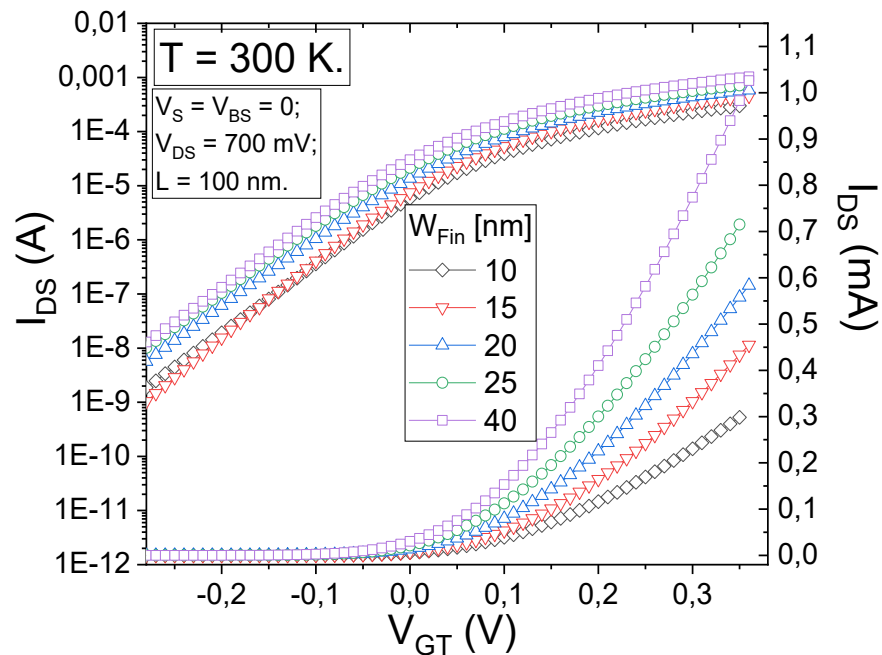


Figura 44 - Gráfico de I_{DS} por V_{GT} ($V_G - V_{TH}$) para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (*multi-fin*), em escala linear, em 350K.

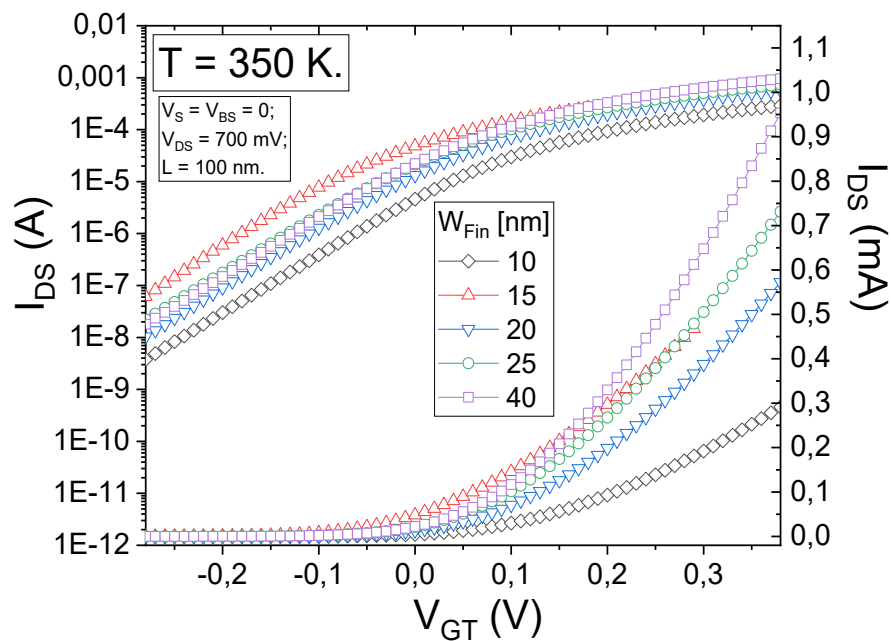
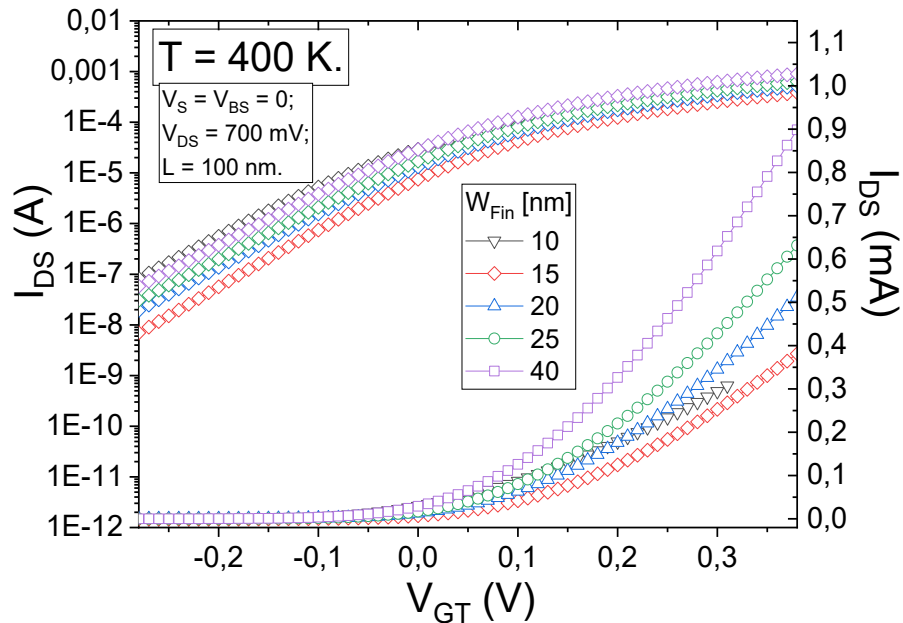


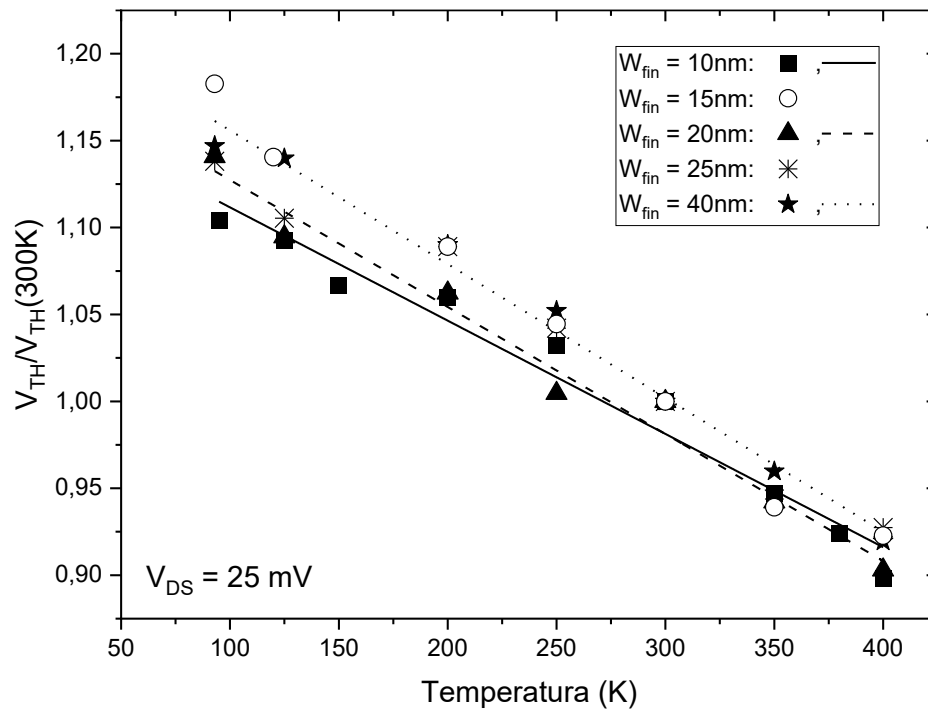
Figura 45 - Gráfico de I_{DS} por V_{GT} ($V_G - V_{TH}$) para um transistor do tipo nanofio de Si empilhado de múltiplas aletas (*multi-fin*), em escala linear, em 400K.



3.4.1 Tensão de limiar em função da temperatura para diferentes larguras de canal

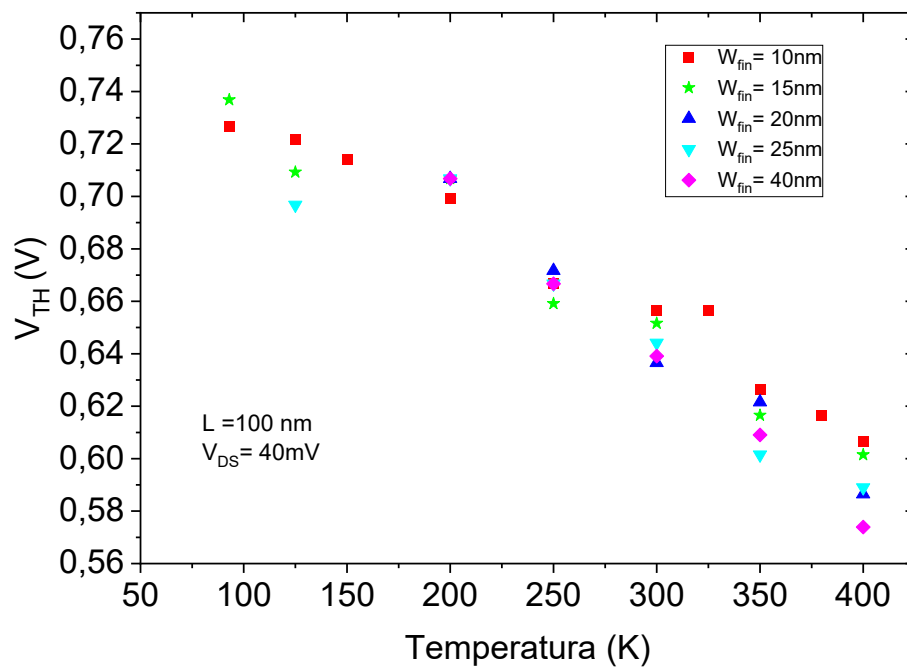
A tensão de limiar (V_{TH}) foi calculada utilizando o método da segunda derivada (d^2g_m/dV_{GS}^2) (ORTIZ-CONDE *et al.*, 2002) para todos os dados obtidos, *single* e *multi-fins*. Para assegurar a qualidade dos dados expostos, a tensão de limiar também foi extraída pelo método *Y-Function* (GHIBAUDO, Gérard, 1988), como o erro apresentado entre os dois métodos foi de 3%, o que implica em um erro absoluta menor que o nosso passo de medida, que é de 10 mV, somente os dados obtidos pelo método da segunda derivada são expostos.

Figura 46 - Tensão de limiar dividida pela tensão de limiar à 300K em função da temperatura para dispositivos com diferentes geometrias.(RODRIGUES *et al.*, 2022)



Na Figura 46 tem-se a tensão de limiar dividida pela tensão de limiar à 300K em função da temperatura para diversas larguras de canal. Na figura também há a extrapolação linear dos dados para $W_{fin} = 10nm$, $20nm$ e $40nm$. Da análise da Figura 46, percebe-se que a tensão de limiar diminui com o aumento da temperatura de maneira quase linear para todas as geometrias, comportamento também observado nas referências PAVANELLO *et al.* (2009) e BECKERS *et al.* (2020). Porém, em dispositivos mais largos a variação com a temperatura é mais acentuada. Na Figura 47 são apresentados os valores absolutos de tensão de limiar por temperatura e, também, pelos valores absolutos nota-se uma maior variação para dispositivos mais largos.

Figura 47 - Tensão de limiar em função da temperatura, para diversas larguras de canal. Dispositivo multi-fín, valores absolutos.(RODRIGUES *et al.*, 2021)



Para reafirmar o comportamento observado, na Tabela 4 são mostrados os coeficientes lineares das curvas extrapoladas da Figura 46.

Tabela 4 - Inclinações das retas extrapoladas da curva de tensão de limiar por temperatura.(RODRIGUES *et al.*, 2022)

W_{fin} [nm]	$d(V_{TH}/V_{300})/dT$ [1/K]. 10^{-3} Experimental
10	-0.65
20	-0.73
40	-0.77

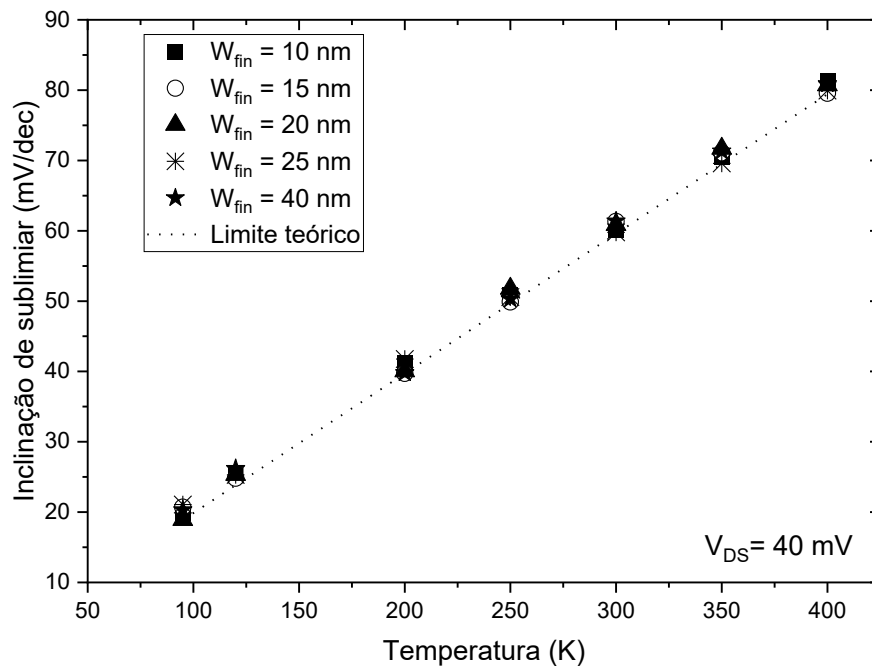
3.4.2 Inclinação de sublimiar em função da temperatura para diferentes larguras de canal

O comportamento da inclinação de sublimiar apresentou pouca dependência com a geometria do dispositivo, sendo similar para dispositivos com largura de canal diferente, seja *single* ou *multi-fin*, ou com diferentes comprimentos de canal. A equação apresentada a seguir, relaciona a inclinação de sublimiar com a temperatura. Esta equação nos diz o valor mínimo esperado para inclinação de sublimiar na temperatura determinada.

$$S = \frac{kT}{q} \ln 10 \quad (17)$$

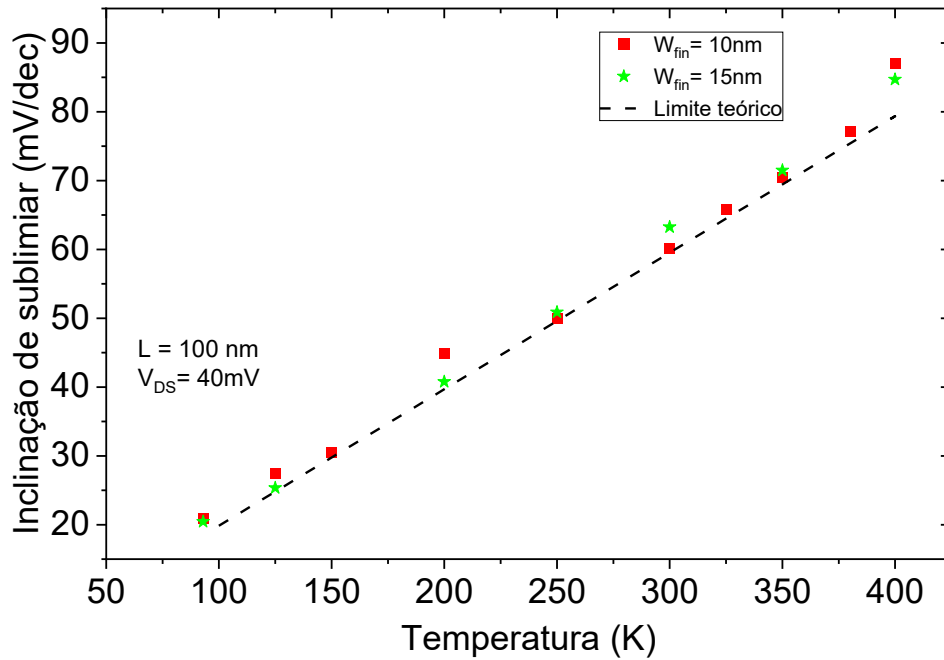
Na equação : S é a inclinação de sublimiar, k é a constante de Boltzman, T é a temperatura em kelvin e q é a carga fundamental do elétron.

Figura 48 - Inclinação de sublimiar em função da temperatura para diversas larguras de canal, dispositivo multi-fin, $V_{DS} = 40$ mV. (RODRIGUES *et al.*, 2022)



Na Figura 48 é exibida inclinação de sublimiar em função da temperatura para diferentes larguras de canal de um dispositivo *multi-fin*. Também é destacado o limite teórico obtido pela equação .

Figura 49 - Inclinação de sublimiar em função da temperatura, dispositivo single-fin. $V_{DS} = 40$ mV.(RODRIGUES *et al.*, 2021)



Na Figura 49, de maneira análoga à Figura 48, são apresentados os dados da inclinação de sublimiar em função da temperatura em dispositivos *single-fins*. E o comportamento dos dados é similar, nos dois tipos de dispositivo e para variadas geometrias o dado se concentra próximo ao limite teórico, o que indica um fator de corpo próximo a unidade (TSIARA *et al.*, 2017).

3.4.3 Mobilidade e transcondutância em função da temperatura

A Figura 50 ilustra a transcondutância máxima, $g_{m,máx}$, e a Figura 51 a mobilidade dos portadores μ_n dividida pela mobilidade à 300K. Ambas paras os dispositivos *multi-fin* e com tensão de dreno de 40mV.

Figura 50 - Transcondutância máxima em função da temperatura, $V_{DS} = 40$ mV. Dispositivo *multi-fin*.(RODRIGUES *et al.*, 2022)

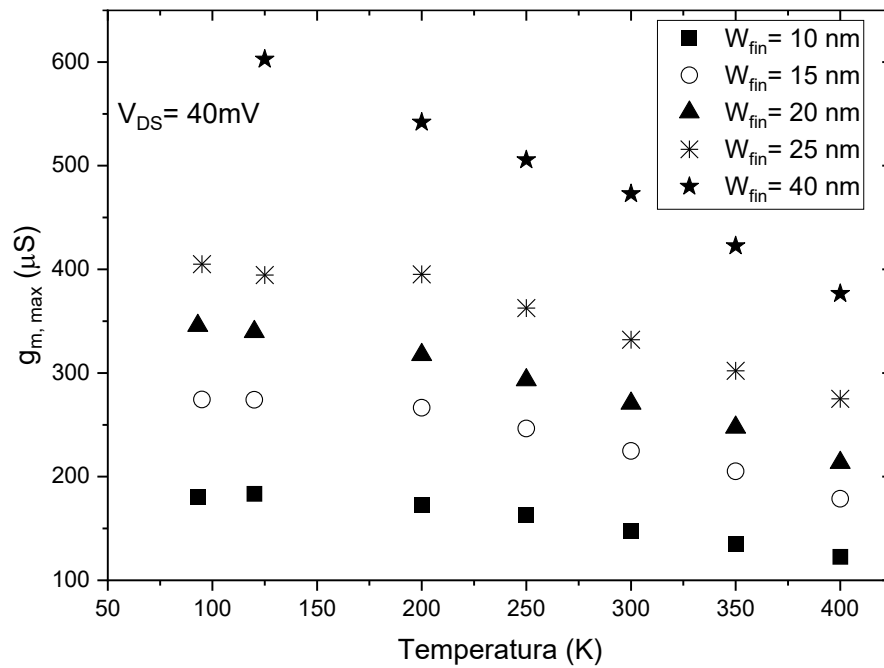


Figura 51 - Mobilidade dos portadores dividida pela mobilidade à 300 K em função da temperatura, $V_{DS} = 40$ mV. Dispositivos *multi-fin*.(RODRIGUES *et al.*, 2022)

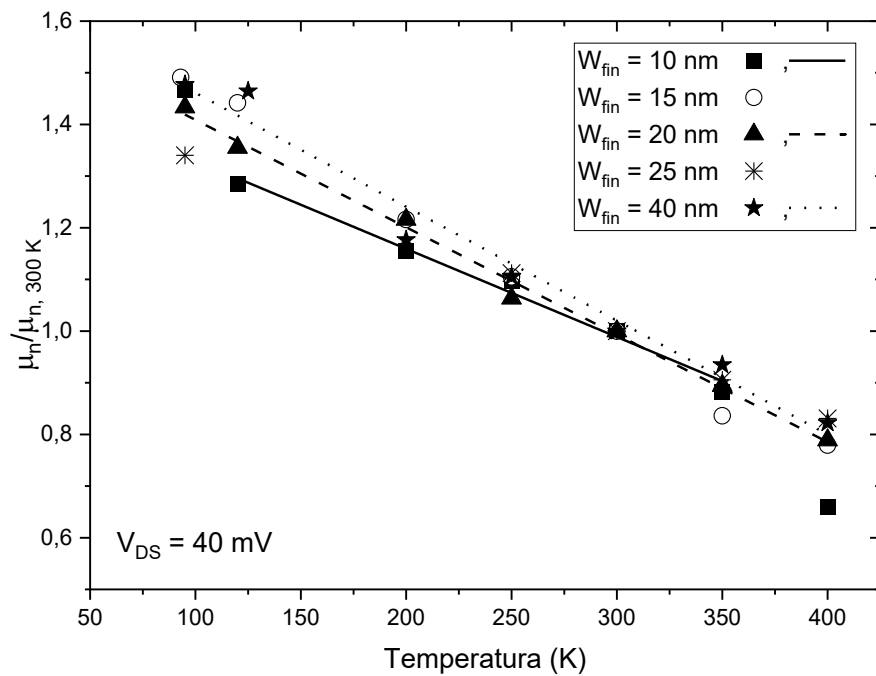


Tabela 5 – Inclinações das variações da mobilidade, normalizada pela mobilidade à 300K, em função da temperatura indicadas na Figura 51.

$$W_{FIN}(NM) \quad D(\mu_N/\mu_{N,300K})/DT \text{ (1/K)}10^{-3}$$

40	-2,20
20	-2,08
10	-1,71

Fonte: Autor

Tanto a transcondutância máxima quanto a mobilidade exibem uma variação praticamente linear em todo o intervalo de temperatura analisado. Este aumento linear de $\mu_n/\mu_{n,300K}$ em baixas temperaturas é coerente com a redução do espalhamento de fônons já observado em FinFETs de porta tripla.(BARRAUD *et al.*, 2016)

As linhas na Figura 51 representam a regressão linear de $\mu_n/\mu_{n,300K}$ para dispositivos com W_{fin} de 10 nm, 20nm e 40nm, e as inclinações dessas regressões estão tabeladas na Tabela 5. Nota-se que a variação ao longo da temperatura para dispositivos mais largos é mais significativa do que em dispositivos estreitos. Isso é causado em grande parte pelo aumento, em relação a condução total, da condução na parte superior da corrente de dreno quando há um maior W_{fin} . É sabido que a corrente de dreno flui tanto nos planos (100) quanto em (110) em dispositivos MuGFETs. No caso destes dispositivos, o comprimento de canal efetivo é $W_{eff} = 4W_{fin} + 3H_{fin}$, o que corresponde a condução nas superfícies controladas pelo eletrodo de porta. A corrente que flui nas paredes laterais está no plano (110), que possui uma menor mobilidade para os elétrons. Por outro lado, a corrente que flui na parte superior e inferior do nanofio flui pelo plano (100) que possui uma maior mobilidade para os elétrons devido a menor massa efetiva do elétron nesse plano. Dessa maneira, a aumento em W_{fin} aumenta a contribuição da corrente que flui pelo plano com maior mobilidade de elétrons.

Esse efeito pode ser bem observado na Tabela 6, que calcula o aumento percentual da mobilidade de portadores conforme o W_{fin} aumenta.

Tabela 6 - Percentual calculado do aumento de mobilidade dos portadores, em relação a variação de W_{fin} .(RODRIGUES *et al.*, 2022)

W_{fin} (nm)	Temperatura (K)							Média
	93	120	200	250	300	350	400	
10 para 15	10	23	32	26	26	19	10	21
15 para 20	37	31	1	-3	1	8	2	11

20 para 25	-3	0	-4	8	3	5	9	2
25 para 40	7	9	2	-3	-3	0	-4	1

Entretanto há alguma dispersão nos dados para algumas larguras de canal em determinadas temperaturas, entretanto a variação média nas diversas temperaturas mostra que o aumento na mobilidade apresenta uma saturação. Como pode ser visto na Tabela 6, o aumento de 10nm para 15nm na largura do canal tem um efeito significativo na mobilidade, com um aumento médio de 21%. De maneira similar, o aumento de 15nm para 20nm possui um valor médio de 11%. Já para os aumentos de 20 nm em diante, percebemos que não há aumento significativo na mobilidade, o que significa que em dispositivos menores que 20nm a condução nas paredes laterais tem uma maior significância para a condução total. Também se nota que o impacto na mobilidade do aumento da largura de canal é mais acentuado em baixas temperaturas.

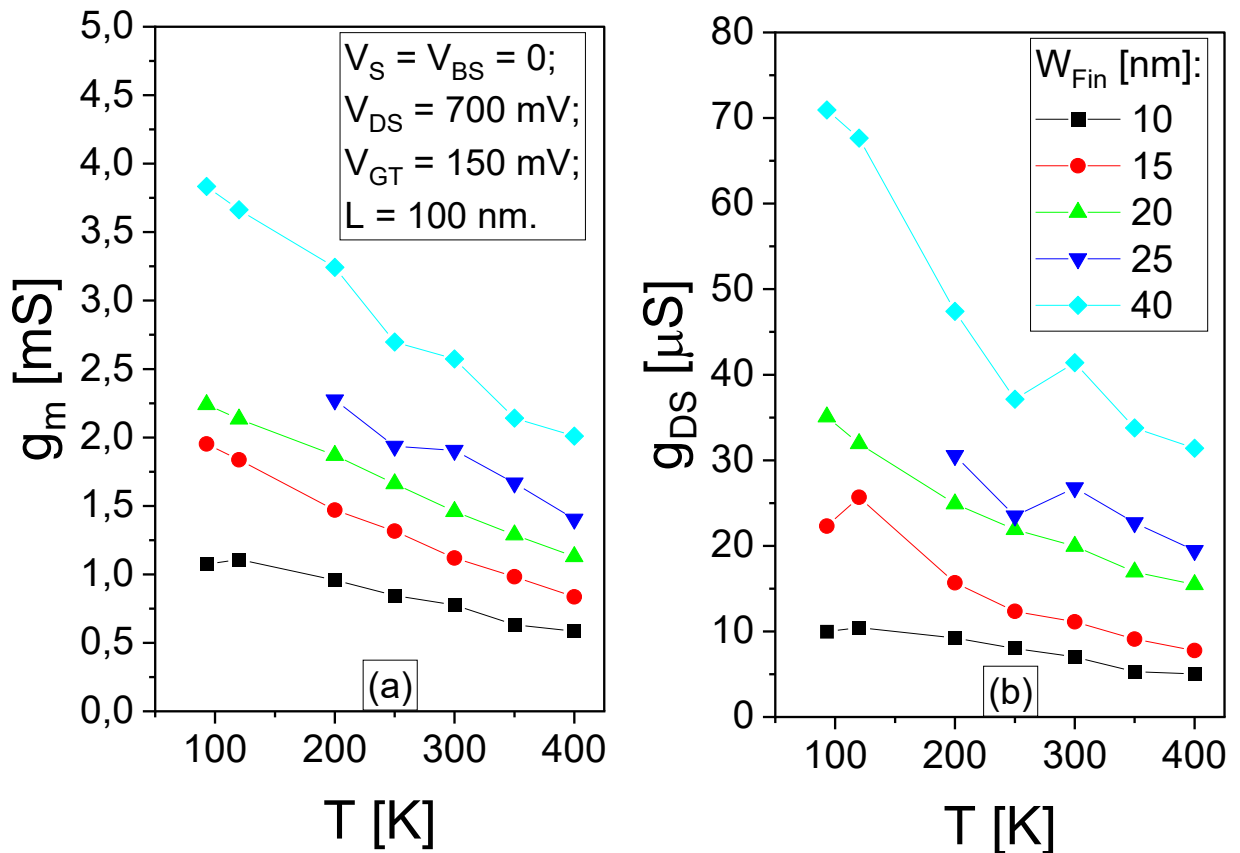
3.4.4 Parâmetros analógicos em função da temperatura

Os parâmetros analógicos dos transistores MOS do tipo nanofio empilhado foram investigados utilizando dispositivos funcionando em saturação mantendo V_{GT} fixo, $V_{GT} = V_{GS} - V_{TH}$. Nas figuras, da Figura 39 até a Figura 45, são mostrados gráficos de I_{DS} em função de V_{DS} , com V_{GT} de 150 mV para diversas larguras de canal em diferentes temperaturas.

Nas figuras, da Figura 32 a Figura 38, tem-se I_{DS} em função de V_{GT} para um V_{DS} fixo de 700mV para transistores de diversas larguras de canal e em diferentes temperaturas.

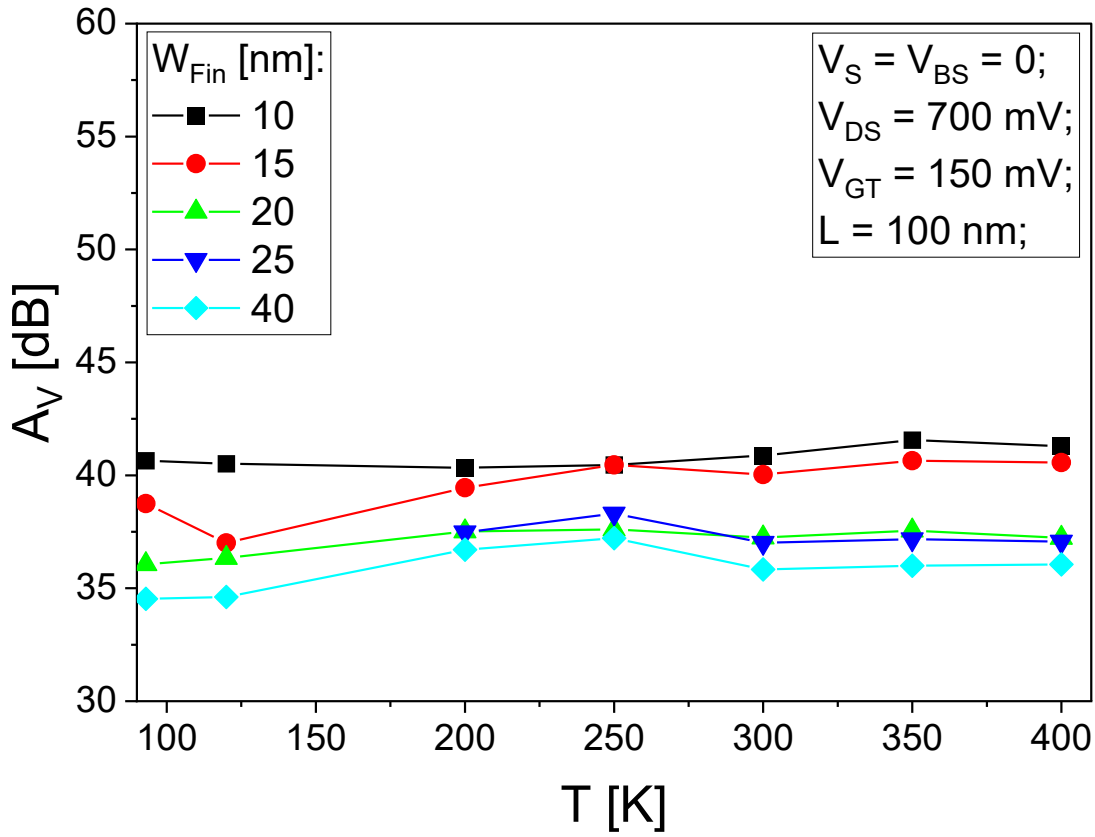
É possível notar um aumento monotônico no I_{DS} com W_{fin} em todas as temperaturas.(CUERDO *et al.*, 2009)(PRAGER *et al.*, 2008)(PARK; SHIN, 2017)

Figura 52 - Valores calculados de (a) g_m e (b) g_{DS} em função da temperatura para diferentes larguras de canal com tensão $V_{DS} = 700\text{mV}$.



O g_m e a condutância de saída ($g_{DS} = dI_{DS}/dV_{DS}$) em função da temperatura para os nanofios empilhados com diferentes W_{fin} com $V_{GT} = 150\text{mV}$ e $V_{DS} = 700\text{mV}$ são mostrados na Figura 52. Constata-se da Figura 52 que há um aumento em g_m e g_{DS} para W_{fin} mais largos, independente da temperatura. Quando a temperatura aumenta, de 95 K até 400 K, tanto g_m quando g_{DS} são reduzidos por causa da redução da mobilidade em temperaturas altas. A degradação de g_{DS} para dispositivos mais largos ($>W_{fin}$) é associada com a maior modulação de comprimento de canal devido a tensão de dreno em qualquer temperatura. Quanto mais largo o canal maior o g_{DS} . O aumento em W_{fin} reduz o acoplamento entre as portas laterais, permitindo a penetração de um campo elétrico lateral do dreno para o canal. Degradação similar de g_{DS} quando do aumento de W_{fin} também foi notada em SUBRAMANIAN et al. (2007). Em acréscimo a isso, a redução de temperatura também piorou a modulação do comprimento de canal, degradando g_{DS} à baixas temperaturas, como apontado em BARRAUD et al. (2016) para dispositivos FinFETs de porta tripla.

Figura 53 - A_V calculado em função da temperatura com $V_{DS} = 700$ mV e $V_{GT} = 150$ mV.



A partir dos dados da Figura 52, o ganho intrínseco de tensão $A_V = g_m/g_{DS}$ foi calculado, e os resultados apresentados na Figura 53, que apresenta A_V em função da temperatura para os nanofios empilhados com $V_{DS} = 700$ mV e $V_{GT} = 150$ mV.

A qualquer temperatura, o ganho é reduzido para dispositivos mais largos como consequência do g_{DS} deteriorado. Quando operando a temperaturas abaixo dos 250 K, o ganho tensão reduz para dispositivos com W_{fin} maior que 10 nm. Essa redução alcança seu máximo com 2.5 dB quando comparada entre dispositivos com $W_{fin} = 10$ nm e $W_{fin} = 40$ nm. Entretanto há um aumento em g_m em função da temperatura, porém, não é suficiente para compensar a redução em g_{DS} , resultando em decréscimo no ganho de tensão à baixas temperaturas.

O A_V para dispositivos estreitos com $W_{fin} = 10$ nm é pouco dependente da temperatura, com uma redução máxima de 1,5 dB a 93 K. A baixa deterioração de A_V a 93 K quando comparada com dispositivos mais largos é devido a melhora na eletrostática, o que diminui a degradação de g_{DS} como resultado. Esses dados concordam com aqueles publicados por SILVA et al. (2021) para nanofolhas empilhadas com $L = 200$ nm operando desde temperatura ambiente até 473 K, e apresentou pouca variação no ganho de tensão com a temperatura.

4 CONCLUSÃO E TRABALHOS FUTUROS

Este estudo investigou o desempenho de transistores MOS do tipo nanofios e nanofolhas de Si empilhados em 2 níveis, em um intervalo de temperatura de 95K até 400K. A tecnologia estudada está entre as mais promissoras para substituir os FinFETs, tecnologia que atualmente é a mais difundida. Submeter equipamentos a baixas temperaturas e analisar o seu comportamento é uma técnica já conhecida e amplamente utilizada, quando expostos a baixas temperaturas os dispositivos eletrônicos apresentam melhoras significativas em seus parâmetros elétricos. Com o advento da computação quântica esses estudos ganharam uma outra dimensão, já que nessa tecnologia a temperatura criogênica é a temperatura de operação. Os parâmetros estudados são centrais na avaliação da qualidade dos transistores. Parâmetros como a tensão de limiar, a inclinação de sublimiar e a transcondutância estão diretamente relacionados com a capacidade de “chaveamento” (ligar e desligar) do transistor.

Foi dada especial atenção aos procedimentos do experimento, tanto nos cuidados operacionais para garantir a consistência dos dados quanto no trabalho de manipulação dos dados para obtenção dos parâmetros elétricos. Do trabalho constatamos: importância do uso da pasta térmica para garantir um bom acoplamento térmico, adoção de um tempo de espera para coleta dos dados (no caso do *chip* estudado 20 minutos) e utilização de uma metodologia constante durante toda a coleta de dados.

Com relação a tensão a tensão de limiar observamos uma consistência nos seus valores, com pouca dependência no número de aletas do transistor e ao comprimento de canal. Observou-se valores entre 0,72V e 0,74V nos transistores estudados expostos a 95K e valores entre 0,58V e 0,62V quando expostos a 400K. Quando observada a variação da tensão de limiar com a temperatura notou-se uma considerável dependência com a largura do canal. A inclinação da curva da tensão de limiar normalizada pela tensão de limiar em 300K, $d(V_{TH}/V_{300})/dT$, apresentou valores de $-0,65 (1/K) 10^{-3}$ para dispositivos com 10nm de largura e inclinação de $-0,77 (1/K) 10^{-3}$ para dispositivos com 40nm de largura.

Da análise da inclinação de sublimiar notou-se que independentemente da geometria do dispositivo, ou do seu número de aletas, os valores ficaram sempre muito próximos ao limite teórico, o que indica um fator de corpo próximo a unidade e é um forte indicativo de qualidade do dispositivo.

Do estudo da transcondutância, percebeu-se um aumento significativo nesse parâmetro com a diminuição da temperatura até por volta dos 120K e uma aparente saturação no aumento dessa transcondutância para valores de temperatura mais baixos.

Utilizando o método do Y-function e as curvas obtidas do experimento, se analisou o comportamento da mobilidade de baixo campo elétrico desses transistores. Desse estudo notou-se um aumento linear da mobilidade com decréscimo da temperatura, para o intervalo estudado. De maneira similar a tensão de limiar, o aumento da largura do canal tem impacto significativo na taxa de variação da mobilidade com a temperatura. Porém, a variação da largura de canal apresentou uma tendência de saturação, quando variada de 10nm para 15nm temos um aumento significativo na mobilidade para todas as temperaturas estudadas, com média de 21%, porém, o aumento de 25nm para 40nm não apresenta melhora significativa, tendo uma média de 1% e, portanto, sem grande impacto.

Quanto aos parâmetros analógicos, tanto a transcondutância máxima (g_m) quanto a condutância de saída (g_{DS}) aumentaram com a diminuição da temperatura, enquanto o ganho de tensão (A_v) mostrou pouca dependência da temperatura, com uma flutuação máxima de 2,5 dB, que diminuiu para dispositivos mais estreitos.

A continuação deste trabalho visa estender o estudo em baixa temperatura e buscar maneiras viáveis de expor os dispositivos a temperaturas ainda mais baixas. Isso permitirá estender o estudo para efeitos quânticos e compreender o papel que essa tecnologia pode desempenhar nos novos ramos estudados, como a computação quântica. Esse esforço pode contribuir para o desenvolvimento de tecnologias mais avançadas e para a ampliação do conhecimento científico.

5 REFERÊNCIAS

- ALMUDEVER, C. G.; LAO, L.; FU, X.; KHAMMASSI, N.; ASHRAF, I.; IORGA, D.; VARSAMOPOULOS, S.; EICHLER, C.; WALLRAFF, A.; GECK, L.; KRUTH, A.; KNOCH, J.; BLUHM, H.; BERTELS, K. The engineering challenges in quantum computing. **Proceedings of the 2017 Design, Automation and Test in Europe, DATE 2017**, [s. l.], p. 836–845, 2017. Disponível em: Acesso em: 3 abr. 2023.
- BARRAUD, S.; COQUAND, R.; CASSE, M.; KOYAMA, M.; HARTMANN, J.-M.; MAFFINI-ALVARO, V.; COMBOROURE, C.; VIZIOZ, C.; AUSSÉNAC, F.; FAYNOT, O.; POIROUX, T. Performance of Omega-Shaped-Gate Silicon Nanowire MOSFET With Diameter Down to 8 nm. **IEEE Electron Device Letters**, [s. l.], v. 33, n. 11, p. 1526–1528, 2012. Disponível em: <http://ieeexplore.ieee.org/document/6303830/>.
- BARRAUD, S.; LAPRAS, V.; SAMSON, M. P.; GABEN, L.; GRENOUILLET, L.; MAFFINI-ALVARO, V.; MORAND, Y.; DARANLOT, J.; RAMBAL, N.; PREVITALLI, B.; REBOH, S.; TABONE, C.; COQUAND, R.; AUGENDRE, E.; ROZEAU, O.; HARTMANN, J. M.; VIZIOZ, C.; ARVET, C.; PIMENTA-BARROS, P.; POSSEME, N.; LOUP, V.; COMBOROURE, C.; EUVRARD, C.; BALAN, V.; TINTI, I.; AUDOIT, G.; BERNIER, N.; COOPER, D.; SAGHI, Z.; ALLAIN, F.; TOFFOLI, A.; FAYNOT, O.; VINET, M. Vertically stacked-NanoWires MOSFETs in a replacement metal gate process with inner spacer and SiGe source/drain. *Em: 2016 IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM)*, 2016, [s. l.], . **Anais [...]**. [S. l.]: IEEE, 2016. p. 17.6.1-17.6.4. Disponível em: <http://ieeexplore.ieee.org/document/7838441/>.
- BECKERS, A.; JAZAERI, F.; GRILL, A.; NARASIMHAMOORTHY, S.; PARVAIS, B.; ENZ, C. Physical Model of Low-Temperature to Cryogenic Threshold Voltage in MOSFETs. **IEEE Journal of the Electron Devices Society**, [s. l.], v. 8, n. August, p. 780–788, 2020. Disponível em: <https://ieeexplore.ieee.org/document/9076206/>.
- BOHR, M. T.; YOUNG, I. A. CMOS Scaling Trends and Beyond. **IEEE Micro**, [s. l.], v. 37, n. 6, p. 20–29, 2017. Disponível em: <http://ieeexplore.ieee.org/document/8119702/>. Acesso em: 19 fev. 2023.
- BREWS, J. R. Subthreshold behavior of uniformly and nonuniformly doped long-channel MOSFET. **IEEE Transactions on Electron Devices**, [s. l.], v. 26, n. 9, p. 1282–1291, 1979. Disponível em: <http://ieeexplore.ieee.org/document/1480172/>.

- CAUGHEY, D.; THOMAS, R. Carrier mobilities in silicon empirically related to doping and field. **Proceedings of the IEEE**, [s. l.], v. 55, n. 12, p. 2192–2193, 1967. Disponível em: <http://ieeexplore.ieee.org/document/1448053/>.
- COLINGE, J. P. Silicon-on-insulator (SOI) junctionless transistors. *Em*: KONONCHUK, Oleg; NGUYEN, Bich-Yen (org.). **Silicon-On-Insulator (SOI) Technology**. [S. l.]: Elsevier, 2014. p. 167–194. Disponível em: <https://www.sciencedirect.com/science/article/pii/B9780857095268500069>.
- COLINGE, J.-P.; COLINGE, C. A. **Physics of semiconductor devices**. [S. l.]: Springer Science & Business Media, 2005. 2005.
- COQUAND, R.; BARRAUD, S.; CASSE, M.; LEROUX, P.; VIZIOZ, C.; COMBOROURE, C.; PERREAU, P.; ERNST, E.; SAMSON, M.-P.; MAFFINI-ALVARO, V.; TABONE, C.; BARNOLA, S.; MUNTEANU, D.; GHIBAUDO, G.; MONFRAY, S.; BOEUF, F.; POIROUX, T. Scaling of high-k/metal-gate Trigate SOI nanowire transistors down to 10nm width. *Em*: 2012 13TH INTERNATIONAL CONFERENCE ON ULTIMATE INTEGRATION ON SILICON (ULIS), 2012, [s. l.], . **Anais [...]**. [S. l.]: IEEE, 2012. p. 37–40. Disponível em: <http://ieeexplore.ieee.org/document/6193351/>.
- CUERDO, R.; PEI, Y.; CHEN, Z.; KELLER, S.; DENBAARS, S. P.; CALLE, F.; MISHRA, U. K. The Kink Effect at Cryogenic Temperatures in Deep Submicron AlGaIn/GaN HEMTs. **IEEE Electron Device Letters**, [s. l.], v. 30, n. 3, p. 209–212, 2009. Disponível em: <http://ieeexplore.ieee.org/document/4776482/>.
- DE SOUZA, M.; CERDEIRA, A.; ESTRADA, M.; BARRAUD, S.; CASSE, M.; VINET, M.; FAYNOT, O.; PAVANELLO, M. A. Analysis of the Gate-Induced Drain Leakage of SOI Nanowire and Nanosheet MOS Transistors at High Temperatures. *Em*: 2022 IEEE LATIN AMERICAN ELECTRON DEVICES CONFERENCE (LAEDC), 2022, [s. l.], . **Anais [...]**. [S. l.]: IEEE, 2022. p. 1–4. Disponível em: <https://ieeexplore.ieee.org/document/9908212/>. Acesso em: 17 fev. 2023.
- DORKEL, J. M.; LETURCQ, P. Carrier mobilities in silicon semi-empirically related to temperature, doping and injection level. **Solid-State Electronics**, [s. l.], v. 24, n. 9, p. 821–825, 1981. Disponível em: <https://linkinghub.elsevier.com/retrieve/pii/0038110181900976>. Acesso em: 9 dez. 2022.
- DUARTE, J. P.; CHOI, S.-J.; MOON, D.-I.; AHN, J.-H.; KIM, J.-Y.; KIM, S.; CHOI, Y.-K. A Universal Core Model for Multiple-Gate Field-Effect Transistors. Part I: Charge Model. **IEEE Transactions on Electron Devices**, [s. l.], v. 60, n. 2, p. 840–847, 2013a. Disponível em: <http://ieeexplore.ieee.org/document/6397597/>.

- DUARTE, J. P.; CHOI, S.-J.; MOON, D.-I.; AHN, J.-H.; KIM, J.-Y.; KIM, S.; CHOI, Y.-K. A Universal Core Model for Multiple-Gate Field-Effect Transistors. Part II: Drain Current Model. **IEEE Transactions on Electron Devices**, [s. l.], v. 60, n. 2, p. 848–855, 2013b. Disponível em: <http://ieeexplore.ieee.org/document/6403538/>.
- DUPRÉ, C.; ERNST, T.; MAFFINI-ALVARO, V.; DELAYE, V.; HARTMANN, J.-M.; BOREL, S.; VIZIOZ, C.; FAYNOT, O.; GHIBAUDO, G.; DELEONIBUS, S. 3D nanowire gate-all-around transistors: Specific integration and electrical features. **Solid-State Electronics**, [s. l.], v. 52, n. 4, p. 519–525, 2008. Disponível em: <https://linkinghub.elsevier.com/retrieve/pii/S0038110107003942>.
- FLEURY, D.; CROS, A.; BRUT, H.; GHIBAUDOT, G. New Y-function-based methodology for accurate extraction of electrical parameters on nano-scaled MOSFETs. **IEEE International Conference on Microelectronic Test Structures**, [s. l.], p. 160–165, 2008. Disponível em: Acesso em: 4 abr. 2023.
- FUCHS, H. The dynamics of heat: a unified approach to thermodynamics and heat transfer. [s. l.], 2010. Disponível em: <https://link.springer.com/book/10.1007/978-1-4419-7604-8>. Acesso em: 9 fev. 2023.
- GHIBAUDO, G. New method for the extraction of MOSFET parameters. **Electronics Letters**, [s. l.], v. 24, n. 9, p. 543–545, 1988. Disponível em: Acesso em: 4 abr. 2023.
- GHIBAUDO, Gérard. New method for the extraction of MOSFET parameters. **Electronics Letters**, [s. l.], v. 24, n. 9, p. 543, 1988. Disponível em: https://digital-library.theiet.org/content/journals/10.1049/el_19880369.
- GILL, A.; MADHU, C.; KAUR, P. Investigation of short channel effects in Bulk MOSFET and SOI FinFET at 20nm node technology. *Em: 2015 ANNUAL IEEE INDIA CONFERENCE (INDICON)*, 2015, [s. l.], . **Anais [...]**. [S. l.]: IEEE, 2015. p. 1–4. Disponível em: <http://ieeexplore.ieee.org/document/7443263/>. Acesso em: 10 fev. 2023.
- GUTIERREZ-D, E. A.; DEEN, J.; CLAEYS, C. **Low Temperature Electronics : Physics, Devices, Circuits, and Applications**. [S. l.]: Elsevier, 2000. 2000.
- HARAFUJI, K.; YAMASAKI, Y.; ISHIKAWA, K.; KUWABARA, K. Effect of Three Normal Mechanical Stresses on Electrical Characteristics of Short-Channel Metal–Oxide–Semiconductor Field Effect Transistor. **Japanese Journal of Applied Physics**, [s. l.], v. 47, n. 2, p. 824–832, 2008. Disponível em: <https://iopscience.iop.org/article/10.1143/JJAP.47.824>. Acesso em: 10 fev. 2023.
- IBM ANNOUNCES 2NM GAA-FET TECHNOLOGY – THE SUM OF “AHA!” MOMENTS - SEMICONDUCTOR DIGEST. [S. l.: s. n.], [s. d.]. Disponível em:

<https://www.semiconductor-digest.com/ibm-announces-2nm-gaa-fet-technology-the-sum-of-aha-moments/>. Acesso em: 14 dez. 2022.

INTEL'S STACKED NANOSHEET TRANSISTORS COULD BE THE NEXT STEP IN MOORE'S LAW - IEEE SPECTRUM. [S. l.: s. n.], [s. d.]. Disponível em: <https://spectrum.ieee.org/intels-stacked-nanosheet-transistors-could-be-the-next-step-in-moores-law>. Acesso em: 14 dez. 2022.

JEAN-PIERRE COLINGE, J. C. G. is. **Nanowire Transistors Physics**. [S. l.: s. n.], 2011. 2011.

KNOBLOCH, T.; SELBERHERR, S.; GRASSER, T. Challenges for Nanoscale CMOS Logic Based on Two-Dimensional Materials. **Nanomaterials** **2022**, Vol. 12, Page 3548, [s. l.], v. 12, n. 20, p. 3548, 2022. Disponível em: <https://www.mdpi.com/2079-4991/12/20/3548/htm>. Acesso em: 4 abr. 2023.

LI, S. S.; THURBER, W. R. The dopant density and temperature dependence of electron mobility and resistivity in n-type silicon. **Solid-State Electronics**, [s. l.], v. 20, n. 7, p. 609–616, 1977. Disponível em: <https://linkinghub.elsevier.com/retrieve/pii/0038110177901009>. Acesso em: 10 dez. 2022.

MAKOVEJEV, S.; PLANES, N.; HAOND, M.; FLANDRE, D.; RASKIN, J.-P.; KILCHYTSKA, V. Self-heating in 28 nm bulk and FDSOI. *Em: EUROSIOI-ULIS 2015: 2015 JOINT INTERNATIONAL EUROSIOI WORKSHOP AND INTERNATIONAL CONFERENCE ON ULTIMATE INTEGRATION ON SILICON, 2015*, [s. l.], . **Anais [...]**. [S. l.]: IEEE, 2015. p. 41–44. Disponível em: <http://ieeexplore.ieee.org/document/7063768/>.

MORAN, M.; SHAPIRO, H.; MUNSON, B.; DEWITT, D. Introduction to thermal systems engineering: thermodynamics, fluid mechanics, and heat transfer. [s. l.], 2002. Disponível em: [https://books.google.com.br/books?hl=pt-](https://books.google.com.br/books?hl=pt-BR&lr=&id=IW0OEAAAQBAJ&oi=fnd&pg=PA12&dq=thermodynamics+heat+transfer&ots=A6cicMLFNp&sig=OoaEVFH1BX4W3GfgOi9-WkXg_1Q)

[BR&lr=&id=IW0OEAAAQBAJ&oi=fnd&pg=PA12&dq=thermodynamics+heat+transfer&ots=A6cicMLFNp&sig=OoaEVFH1BX4W3GfgOi9-WkXg_1Q](https://books.google.com.br/books?hl=pt-BR&lr=&id=IW0OEAAAQBAJ&oi=fnd&pg=PA12&dq=thermodynamics+heat+transfer&ots=A6cicMLFNp&sig=OoaEVFH1BX4W3GfgOi9-WkXg_1Q). Acesso em: 9 fev. 2023.

NG, K. K.; LYNCH, W. T. The impact of intrinsic series resistance on MOSFET scaling. **IEEE Transactions on Electron Devices**, [s. l.], v. 34, n. 3, p. 503–511, 1987. Disponível em: <https://ieeexplore.ieee.org/document/1486667/>. Acesso em: 10 fev. 2023.

NGUYEN, B.-Y.; CELLER, G.; MAZURÉ, C. A Review of SOI Technology and its Applications. **Journal of Integrated Circuits and Systems**, [s. l.], v. 4, n. 2, p. 51–54, 2009.

ORTIZ-CONDE, A.; GARC A SÁNCHEZ, F. J.; LIOU, J. J.; CERDEIRA, A.; ESTRADA, M.; YUE, Y. A review of recent MOSFET threshold voltage extraction methods.

- Microelectronics Reliability**, [s. l.], v. 42, n. 4–5, p. 583–596, 2002. Disponível em: <https://linkinghub.elsevier.com/retrieve/pii/S0026271402000276>. Acesso em: 1 fev. 2022.
- ORTIZ-CONDE, A.; SUCRE-GONZÁLEZ, A.; ZÁRATE-RINCÓN, F.; TORRES-TORRES, R.; MURPHY-ARTEAGA, R. S.; LIOU, J. J.; GARCÍA-SÁNCHEZ, F. J. A review of DC extraction methods for MOSFET series resistance and mobility degradation model parameters. **Microelectronics Reliability**, [s. l.], v. 69, p. 1–16, 2017. Disponível em: <https://linkinghub.elsevier.com/retrieve/pii/S0026271416304632>. Acesso em: 10 fev. 2023.
- PARK, J.; SHIN, C. Impact of Interface Traps and Surface Roughness on the Device Performance of Stacked-Nanowire FETs. **IEEE Transactions on Electron Devices**, [s. l.], v. 64, n. 10, p. 4025–4030, 2017. Disponível em: <http://ieeexplore.ieee.org/document/8019840/>.
- PAVANELLO, M. A.; DE SOUZA, M.; RIBEIRO, T. A.; MARTINO, J. A.; FLANDRE, D. Improved operation of graded-channel SOI nMOSFETs down to liquid helium temperature. **Semiconductor Science and Technology**, [s. l.], v. 31, n. 11, p. 114005, 2016. Disponível em: <https://iopscience.iop.org/article/10.1088/0268-1242/31/11/114005>.
- PAVANELLO, M. A.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. Cryogenic operation of FinFETs aiming at analog applications. **Cryogenics**, [s. l.], v. 49, n. 11, p. 590–594, 2009. Disponível em: <https://linkinghub.elsevier.com/retrieve/pii/S0011227508002191>.
- PETROSYANTS, K. O.; SILKIN, D. S.; POPOV, D. A. Comparative Characterization of NWFET and FinFET Transistor Structures Using TCAD Modeling. **Micromachines**, [s. l.], v. 13, n. 8, p. 1293, 2022a. Disponível em: <https://www.mdpi.com/2072-666X/13/8/1293>.
- PETROSYANTS, K. O.; SILKIN, D. S.; POPOV, D. A. Comparative Characterization of NWFET and FinFET Transistor Structures Using TCAD Modeling. **Micromachines**, [s. l.], v. 13, n. 8, p. 1293, 2022b. Disponível em: <https://www.mdpi.com/2072-666X/13/8/1293>.
- PRAGER, A. A.; GEORGE, H. C.; ORLOV, A. O.; SNIDER, G. L. Cryogenic MOSFET kink effect abatement. *Em: 2008 IEEE SILICON NANOELECTRONICS WORKSHOP*, 2008, [s. l.], . **Anais** [...]. [S. l.]: IEEE, 2008. p. 1–2. Disponível em: <http://ieeexplore.ieee.org/document/5418490/>.
- RAZAVIEH, A.; ZEITZOFF, P.; NOWAK, E. J. Challenges and Limitations of CMOS Scaling for FinFET and beyond Architectures. **IEEE Transactions on Nanotechnology**, [s. l.], v. 18, p. 999–1004, 2019. Disponível em: Acesso em: 3 abr. 2023.
- RODRIGUES, J. C.; MARINIELLO, G.; CASSÉ, M.; BARRAUD, S.; VINET, M.; FAYNOT, O.; PAVANELLO, M. A. Electrical characterization of stacked SOI nanowires at low temperatures. **Solid-State Electronics**, [s. l.], v. 191, p. 108260, 2022. Disponível em: <https://linkinghub.elsevier.com/retrieve/pii/S0038110122000326>. Acesso em: 27 fev. 2022.

- RODRIGUES, J. C.; MARINIELLO, G.; CASSE, M.; BARRAUD, S.; VINET, M.; FAYNOT, O.; PAVANELLO, M. A. Temperature Influence on the Electrical Properties of Vertically Stacked Nanowire MOSFETs. *Em: 2021 35TH SYMPOSIUM ON MICROELECTRONICS TECHNOLOGY AND DEVICES (SBMICRO)*, 2021, [s. l.], . **Anais [...]**. [S. l.]: IEEE, 2021. p. 1–4. Disponível em: <https://ieeexplore.ieee.org/document/9585748/>.
- ROEBUCK, J. R.; OSTERBERG, H. The Joule-Thomson Effect in Argon. **Physical Review**, [s. l.], v. 46, n. 9, p. 785–790, 1934. Disponível em: <https://journals.aps.org/pr/abstract/10.1103/PhysRev.46.785>. Acesso em: 8 fev. 2023.
- ROEBUCK, J. R.; OSTERBERG, H. The Joule-Thomson Effect in Nitrogen. **Physical Review**, [s. l.], v. 48, n. 5, p. 450–457, 1935. Disponível em: <https://journals.aps.org/pr/abstract/10.1103/PhysRev.48.450>. Acesso em: 8 fev. 2023.
- SAMSUNG ANNOUNCES 3NM GAA MBCFET PDK, VERSION 0.1. [S. l.: s. n.], [s. d.]. Disponível em: <https://www.anandtech.com/show/14333/samsung-announces-3nm-gaa-mbcfet-pdk-version-01>. Acesso em: 3 abr. 2023.
- SCHOEN, M. The Joule–Thomson effect in confined fluids. **Physica A: Statistical Mechanics and its Applications**, [s. l.], v. 270, n. 3–4, p. 353–379, 1999. Disponível em: <https://linkinghub.elsevier.com/retrieve/pii/S0378437199001892>.
- SEILER, T.; JUTTNER, M.; HERRMANN, T.; ZAKA, A.; PIRRO, L.; HOENTSCHEL, J.; KLIX, W.; STENZEL, R. Investigation of advanced FDSOI CMOS devices for analog/mixed signal applications. *Em: 2019 JOINT INTERNATIONAL EUROSOI WORKSHOP AND INTERNATIONAL CONFERENCE ON ULTIMATE INTEGRATION ON SILICON (EUROSOI-ULIS)*, 2019, [s. l.], . **Anais [...]**. [S. l.]: IEEE, 2019. p. 1–3. Disponível em: <https://ieeexplore.ieee.org/document/9041889/>.
- SILVA, V. C. P.; PERINA, W. F.; MARTINO, J. A.; SIMOEN, E.; VELOSO, A.; AGOPIAN, P. G. D. Analog Figures of Merit of Vertically Stacked Silicon Nanosheets nMOSFETs with Two Different Metal Gates for the Sub-7 nm Technology Node Operating at High Temperatures. **IEEE Transactions on Electron Devices**, [s. l.], v. 68, n. 7, p. 3630–3635, 2021.
- SUBRAMANIAN, V.; MERCHA, A.; PARVAIS, B.; LOO, J.; GUSTIN, C.; DEHAN, M.; COLLAERT, N.; JURCZAK, M.; GROESENEKEN, G.; SANSEN, W.; DECOUTERE, S. Impact of fin width on digital and analog performances of n-FinFETs. **Solid-State Electronics**, [s. l.], v. 51, n. 4, p. 551–559, 2007. Disponível em: <https://linkinghub.elsevier.com/retrieve/pii/S0038110107000548>.

TANG, A.; RECK, T.; CHATTOPADHYAY, G. CMOS system-on-chip techniques in millimeter-wave/THz instruments and communications for planetary exploration. **IEEE Communications Magazine**, [s. l.], v. 54, n. 10, p. 176–182, 2016. Disponível em: Acesso em: 4 abr. 2023.

THE NANOSHEET TRANSISTOR IS THE NEXT (AND MAYBE LAST) STEP IN MOORE’S LAW - IEEE SPECTRUM. [S. l.: s. n.], [s. d.]. Disponível em: <https://spectrum.ieee.org/the-nanosheet-transistor-is-the-next-and-maybe-last-step-in-moores-law>. Acesso em: 19 fev. 2023.

THOMPSON, W.; HANRAHAN, S. Characteristics of a cryogenic extreme high-vacuum chamber. **Journal of Vacuum Science and Technology**, [s. l.], v. 14, n. 1, p. 643–645, 1977. Disponível em: <https://avs.scitation.org/doi/abs/10.1116/1.569168>. Acesso em: 20 mar. 2022.

TSIARA, A.; GARROS, X.; LU, C.-M. v.; FENOUILLET-BERANGER, C.; BATUDE, P.; GASSILLOU, R.; MARTIN, F.; FAYNOT, O.; GHIBAUDO, G.; REIMBOLD, G. Reliability analysis on low temperature gate stack process steps for 3D sequential integration. *Em: 2017 IEEE SOI-3D-SUBTHRESHOLD MICROELECTRONICS TECHNOLOGY UNIFIED CONFERENCE (S3S), 2017*, [s. l.], . **Anais [...]**. [S. l.]: IEEE, 2017. p. 1–3. Disponível em: <http://ieeexplore.ieee.org/document/8309219/>.

VITALE, S. A.; WYATT, P. W.; CHECKA, N.; KEDZIERSKI, J.; KEAST, C. L. FDSOI Process Technology for Subthreshold-Operation Ultralow-Power Electronics. **Proceedings of the IEEE**, [s. l.], v. 98, n. 2, p. 333–342, 2010. Disponível em: <http://ieeexplore.ieee.org/document/5395759/>.

WEBER, O. FDSOI vs FinFET: differentiating device features for ultra low power & IoT applications. *Em: 2017 IEEE INTERNATIONAL CONFERENCE ON IC DESIGN AND TECHNOLOGY (ICICDT), 2017*, [s. l.], . **Anais [...]**. [S. l.]: IEEE, 2017. p. 1–3. Disponível em: <http://ieeexplore.ieee.org/document/7993513/>.

WONG, H. On the CMOS Device Downsizing, More Moore, More than Moore, and More-than-Moore for More Moore. *Em: 2021 IEEE 32ND INTERNATIONAL CONFERENCE ON MICROELECTRONICS (MIEL), 2021*, [s. l.], . **Anais [...]**. [S. l.]: IEEE, 2021. p. 9–15. Disponível em: <https://ieeexplore.ieee.org/document/9569101/>. Acesso em: 7 dez. 2022.

YOUNG, K. K. Short-channel effect in fully depleted SOI MOSFETs. **IEEE Transactions on Electron Devices**, [s. l.], v. 36, n. 2, p. 399–402, 1989. Disponível em: <http://ieeexplore.ieee.org/document/19942/>. Acesso em: 10 fev. 2023.

YU, H.; ZHANG, R.; LI, L.; MAO, X.; DU, H. Silver-based thermal interface materials with low thermal resistance. *Em: 2012 13TH INTERNATIONAL CONFERENCE ON*

ELECTRONIC PACKAGING TECHNOLOGY & HIGH DENSITY PACKAGING, 2012, [s. l.], . **Anais** [...]. [S. l.]: IEEE, 2012. p. 410–413. Disponível em: <http://ieeexplore.ieee.org/document/6474646/>.

6 ANEXOS: ARTIGOS PUBLICADOS



Electrical characterization of stacked SOI nanowires at low temperatures

Jaime C. Rodrigues^{a,*}, Genaro Mariniello^a, Mikael Cassé^b, Sylvain Barraud^b, Maud Vinet^b, Olivier Faynot^b, Marcelo A. Pavanello^a

^a Department of Electrical Engineering, Centro Universitário FEI, São Bernardo do Campo, SP CEP 09850-901, Brazil

^b CEA-Leti, Université Grenoble Alpes, MINATEC Campus, 38054 Grenoble, France

ARTICLE INFO

The review of this paper was arranged by "Bogdan Cretu"

Keywords:

CMOS
MuGFETs
Low temperature
Electrical characterization
Stacked nanowires
GAA
Analog parameters

ABSTRACT

This work presents the electrical characterization of 2-level vertically stacked nanowire MOSFETs with variable fin widths in the temperature range from 93 K to 400 K. The basic electrical properties, such as threshold voltage, subthreshold slope, and carrier mobility are examined in the linear region with low V_{DS} . In sequence, certain analog figures of merit such as the transconductance, the output conductance, and the voltage gain are assessed in saturation.

The threshold voltage variation with temperature is linear and slightly increases for wider devices, which was satisfactorily validated by an analytical model for 3D devices. Additionally, the subthreshold slope remains close to the theoretical limit in the whole range of temperatures.

The intrinsic voltage gain is weakly temperature-sensitive in the studied range regardless of the fin width. On the other hand, it increases for narrow devices in all temperatures.

1. Introduction

Multiple-gate field-effect transistors (MuGFETs) are among the most reliable devices, driving the downscaling of MOSFETs further into the nanometer range [1,2].

Vertically stacked nanowire MOSFETs, or simply stacked nanowires, are potential devices for future technological nodes because they increase the current density of nanometer-long MOSFETs without increasing the occupied silicon area while demonstrating good performance and scalability [1,3,4].

These MOSFETs are composed of two or more levels of superposed narrow and thin silicon layers (also referred to as nanosheets) surrounded by the gate stack, which ensures good electrostatic control of the channel charges thereby reducing the occurrence of short-channel effects.

In the case of stacked nanowires fabricated on a Silicon-On-Insulator (SOI) substrate, the bottom nanowire is formed over the buried oxide and has an Omega-FET shape, whereas the upper nanowires have a Gate-All-Around (GAA) design [5].

In addition to technological scaling, it is known that operating MOSFETs at low temperatures improves several device electrical properties, such as carrier mobility and subthreshold slope [6,7]. Because of the advent of quantum computing and the requirement for CMOS circuits to connect electrical circuits running at higher temperatures with

Qubits functioning in the deep-cryogenic milli-Kelvin temperature range, the operation of MOSFETs in the cryogenic regime has recently regained interest [8].

Therefore, in this manuscript, the electrical properties of 2-level vertically stacked nanowires in the temperature range of 93 K to 400 K are described. The study is conducted looking at some basic device electrical parameters at low drain bias, such as threshold voltage, subthreshold slope, maximum transconductance, and carrier mobility. Also, some analog figures of merit such as the transconductance, the output conductance, and the voltage gain are studied in saturation.

The presented results complement the previously reported ones for MuGFETs operating at low temperatures [7,9,10].

The paper is organized as follows: Section 2 presents the characteristics of the measured devices. Section 3 presents the results of the electrical characterization in two subsections: the first one deals with the results at low drain bias whereas the second one shows some analog figures of merit in saturation. The discussion on the measured results is also carried out in Section 3. Finally, the conclusions of this study are summarized in Section 4.

2. Device description

The devices used in this study were fabricated at CEA-Leti using the process outlined in ref. [5]. They are made up of two-levels n-type

* Corresponding author.

<https://doi.org/10.1016/j.sse.2022.108260>

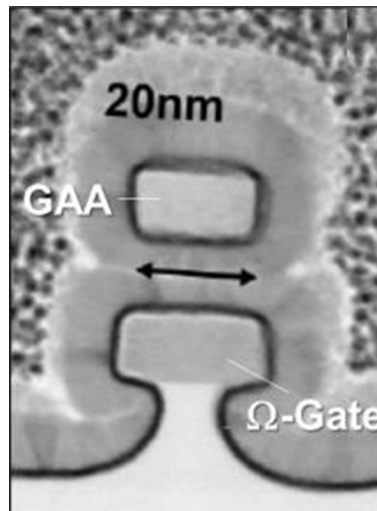


Fig. 1. TEM image of the cross section of Stacked Nanowire MOSFETs fabricated with similar process than those studied in this work [5].

silicon stacked nanowire MOSFETs on SOI wafers with a buried oxide thickness of 145 nm.

The gate stack, composed of an interfacial SiO₂ layer followed by HfSiON dielectrics and TiN gate metal, surrounds the Si body region, which is undoped (or not intentionally doped p-type material). Devices with ten parallel fingers and fixed channel length (L) of 100 nm, fin height (H_{fin}) of 9 nm, and variable fin width (W_{fin}) of 10 nm, 15 nm, 20 nm, 25 nm, and 40 nm were measured. Fig. 1 presents the TEM view of the two-level stacked nanowires similar to those studied in this work [5].

3. Results and discussion

3.1. Basic electrical characteristics

The measurements were performed in a MMR Technologies' Low-Temperature Microprobe equipment using a Keysight B-1500 Semiconductor Parameter Analyzer. The samples were cooled from room temperature to 93 K and biased after the temperature stabilization time. This is ensured by monitoring the resistance (V_{DS}/I_{DS} , where V_{DS} is the drain voltage and I_{DS} is the drain current) of a reference long-channel MOSFET biased with low V_{DS} of 25 mV and high gate voltage (V_{GS}) over time until it stabilizes. Once the stable target temperature is achieved, all set of devices is measured. The temperature is then increased to the next setting, the temperature stabilization procedure is repeated until the chip returns to room temperature.

Fig. 2 shows the measured drain current as a function of gate voltage for all examined stacked nanowires biased with a drain bias of $V_{DS} = 40$ mV at various temperatures, both in linear and logarithmic scales.

The threshold voltage (V_{TH}) was calculated using the data in Fig. 2 using the dg_m/dV_{GS} technique, also known as the double derivative method [11], and the results are shown in Fig. 3, which plots the relative V_{TH} variation with respect to the threshold voltage extracted at room temperature ($V_{TH}(300\text{ K})$) over temperature. The threshold voltage was also extracted with the Y-Function method [12], which allows for the device parameter extraction without being affected by the series resistance effects. The resulting V_{TH} was quite similar between the two methods with a difference of up to 3%. As this error is within our measurement bias steps, only one of them was presented. Also, in Fig. 3 the linear regression of measured data for stacked nanowires with W_{fin} of 10 nm, 20 nm, and 40 nm are presented.

The V_{TH} increases linearly with a temperature decrease in the examined temperature range, which is comparable to previously published data for FinFETs and single-level nanowires [7,13] at low temperatures. In addition, the effect of temperature on V_{TH} is more

significant for wider stacked nanowires (also referred as nanosheets) [14], as seen in Fig. 3. The slopes of the linear regressions presented in Fig. 3 are shown in Table 1.

To get a physical insight into the obtained results, the analytical model for the threshold voltage of MuGFETs presented by Duarte *et al.* is used [15,16]. This model presents a set of universal equations that are applicable for MuGFETs with a variety of geometries, including double-gate, triple-gate, cylindrical Gate-All-Around, and rectangular Gate-All-Around. The V_{TH} is described by Equation (1).

$$V_{TH} = V_{FB} + 2 \cdot v_t \cdot \ln \left(\frac{N_{si}}{n_i} \right) - \frac{Q_{d,n}}{C_{g,n}} - v_t \cdot \ln \left(\frac{C_{ch,n}}{C_{g,n}} \left(1 - e^{\frac{Q_{d,n}}{q \cdot C_{ch,n}}} \right) \right) \quad (1)$$

where V_{FB} is the flat band voltage, $Q_{d,n}$ is the depletion charge per unit length, $C_{g,n}$ is the gate oxide capacitance per unit length, $C_{ch,n}$ is the channel capacitance per unit length, $A_{ch,n}$ is the channel area, v_t is the thermal voltage, N_{si} is the channel doping concentration, q is the electron charge, and n_i represents the intrinsic carrier concentration.

When applied to the temperature range under consideration, the $Q_{d,n}$ factor of Equation (1) is only slightly temperature-dependent and has a negligible effect on V_{TH} . At lower temperatures, the exponential reduction of n_i results in a rise in the Fermi potential (Φ_F). On the other hand, the increase of Φ_F at lower temperatures promotes an increase in the workfunction difference between the gate metal and semiconductor (Φ_{MS}), leading to smaller V_{FB} , contributing to reducing V_{TH} . Although an increase in the interface trap density may occur in smaller temperatures and compensate partially the Φ_{MS} , this effect has been marginally seen in the measured range of temperatures. Therefore, the rise in V_{TH} with temperature decrease occurs because the increase in Fermi potential at lower temperatures is not compensated by the V_{FB} reduction. The third term of the equation is the main responsible for this behavior with temperature due to the increase of n_i at higher temperatures.

The third and fourth terms of Eq. (1) are proportional to the channel cross-section, which increases with W_{fin} . Table 1 shows that the dV_{TH}/dT is slightly higher for wider transistors, which is associated with the terms proportional to W_{fin} on Eq. (1).

The inverse subthreshold slope vs temperature curves for devices with $W_{fin} = 10$ nm, 15 nm, 20 nm, 25 nm, and 40 nm are shown in Fig. 4.

The inverse subthreshold slope was extracted from the measured $I_{DS} \times V_{GS}$ curves at minimum value on the plateau region of the $\frac{dV_{GS}}{d \log I_D} \times V_{GS}$ curve in subthreshold regime.

The inverse subthreshold slope remains close to the theoretical limit, which was attained for $S = \frac{kT}{q} \ln 10$ [5], over the whole temperature range studied regardless of W_{fin} . All the devices under investigation

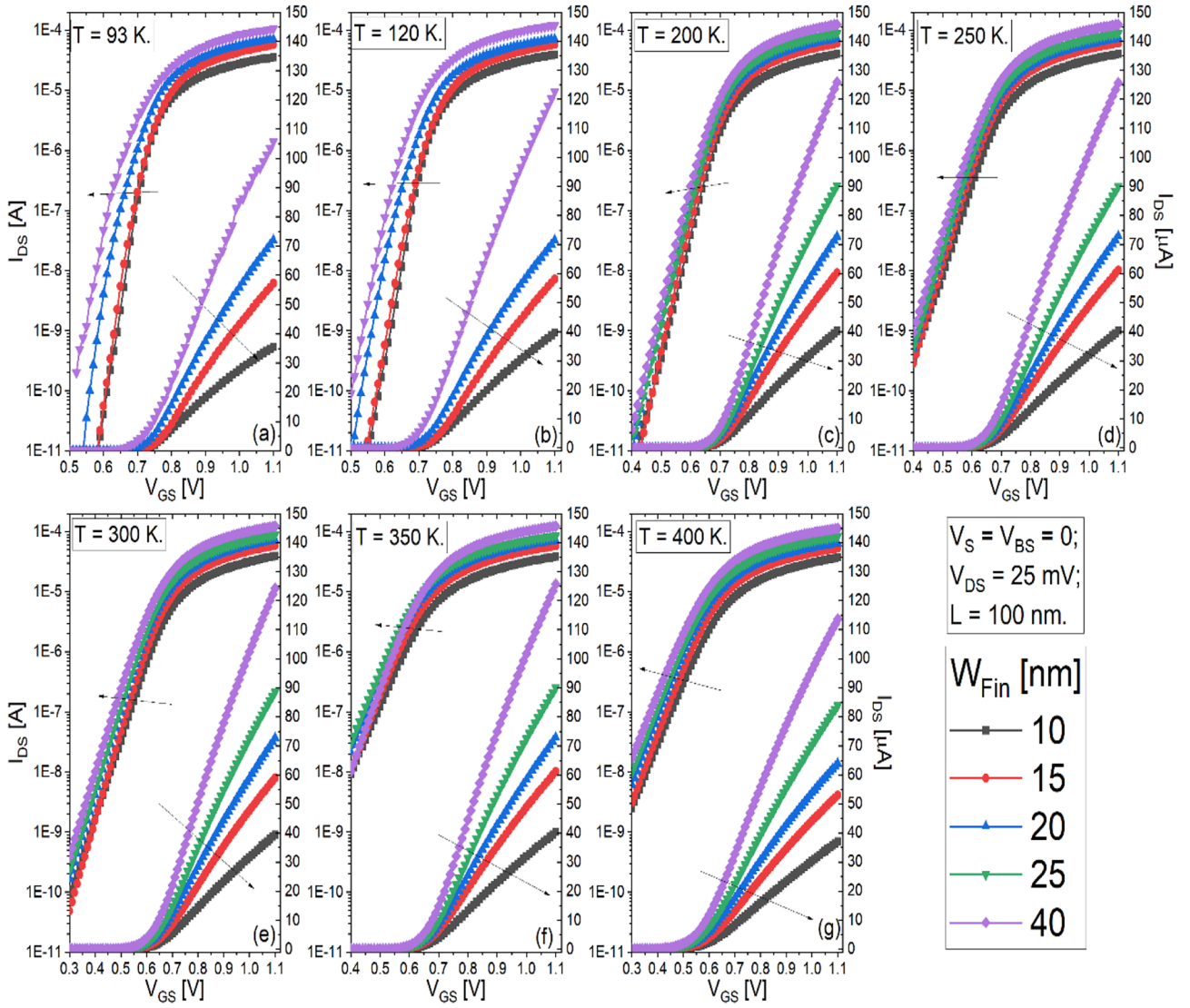


Fig. 2. Measured I_{DS} as a function of V_{GS} for stacked nanowires with fin widths of 10 nm, 15 nm, 20 nm, 25 nm, and 40 nm, with $V_{DS} = 40$ mV, for different temperatures: (a) 93 K, (b) 120 K, (c) 200 K, (d) 250 K, (e) 300 K, (f) 350 K, and (g) 400 K.

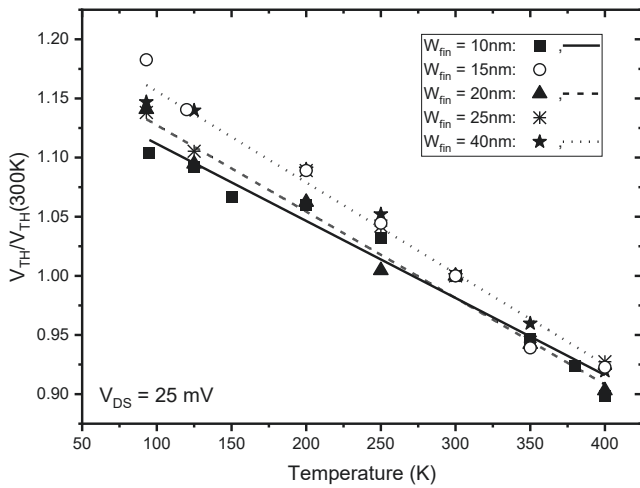


Fig. 3. Threshold voltage divided by the threshold voltage at 300 K plotted as a function of temperature for different geometries.

Table 1

Calculated slope for the threshold voltage decrease with temperature from experimental data for different W_{fin} .

W_{fin} [nm]	dV_{TH}/dT [1/K] 0.10^{-3} experimental
10	-0.65
20	-0.73
40	-0.77

showed inverse subthreshold slope *versus* temperature behavior that was similar to each other, indicating a body factor that was near to unity for all W_{fin} [17].

Figs. 5 and 6 illustrate the maximum transconductance $g_{m,max}$ and the carrier mobility μ_n as a function of temperature for all studied stacked nanowires biased with $V_{DS} = 40$ mV, respectively. To avoid the impact of series resistance on the μ_n extraction, the Y-Function method [18] was used. Fig. 6 shows the μ_n variation on temperature taking the value at 300 K ($\mu_{n,300K}$) as reference.

Both the $g_{m,max}$ and $\mu_n/\mu_{n,300K}$ exhibit an almost linear rise over the whole temperature range. This linear $\mu_n/\mu_{n,300K}$ increase on lower temperatures is coherent with the reduction of phonon scattering as previously observed for tall triple gate FinFETs [5].

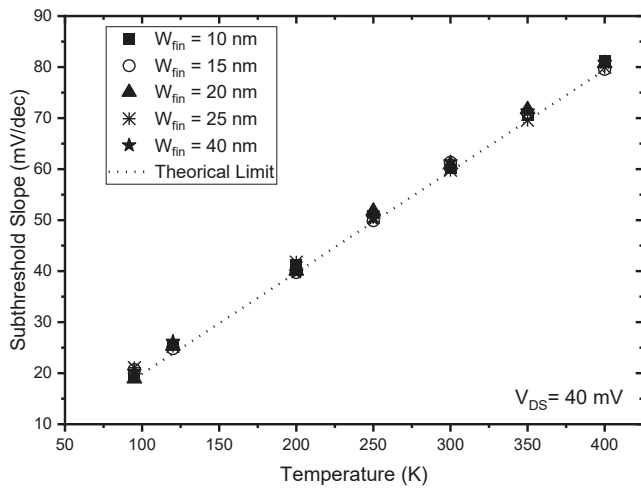


Fig. 4. Extracted inverse subthreshold slope as a function of the temperature for the measured stacked nanowires with several W_{fin} biased with $V_{DS} = 40$ mV.

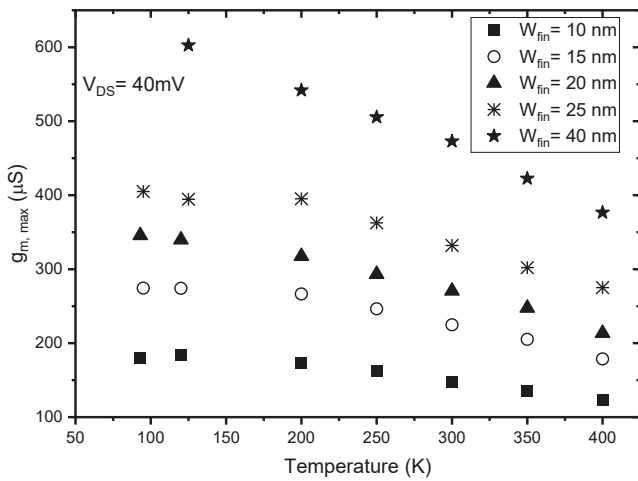


Fig. 5. Maximum transconductance as a function of temperature for all measured stacked nanowires, biased with $V_{DS} = 40$ mV.

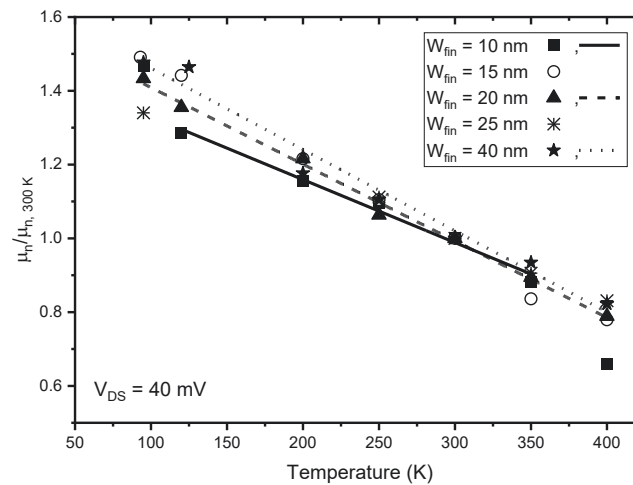


Fig. 6. Extracted carrier mobility divided by the carrier mobility at 300 K a function of the temperature for all studied stacked nanowires biased at $V_{DS} = 40$ mV.

The lines in Fig. 6 represent the linear regression of the $\mu_n/\mu_{n,300K}$ devices with W_{fin} of 10 nm, 20 nm, and 40 nm. One can see that the rate of the $\mu_n/\mu_{n,300K}$ increase with the temperature lowering is higher for wider devices. It is caused by the increase in the relative contribution of the conduction in the top surface to the overall drain current when W_{fin} increases. It is known that the overall drain current flows in both (100) and (110) planes in MuGFETs. In the case of these stacked nanowires, the effective channel width is $W_{eff} = 4W_{fin} + 3H_{fin}$, which corresponds to the conduction surfaces controlled by the gate electrode. The current flowing in the sidewalls is in the (110) plane, with smaller electron mobility. On the other hand, the current flowing in the top and bottom of the silicon fin is in the (100) plane with higher carrier mobility because of the smaller electron effective mass. Therefore, the increase of W_{fin} favors the preferable conduction plane for the electrons.

This effect is better seen in Table 2, which calculates the percentage increase of carrier mobility while changing W_{fin} in all studied temperatures.

Although there is some data dispersion in some temperatures and W_{fin} , the cumulative variation reveals that the W_{fin} impact on the carrier mobility increase presents a saturation. As can be seen in Table 2, increasing W_{fin} from 10 nm to 15 nm has a considerable effect on the carrier mobility at any temperature, with an average change of 21%. Similarly, taking the devices with W_{fin} of 15 nm to 20 nm, the carrier mobility increases with an average value of 11%. From 20 nm onward, there is no considerable increase in mobility, implying that for W_{fin} smaller than 20 nm, sidewall conduction has a significant influence on the general conduction. It is also noted that the impact of increasing W_{fin} is more pronounced at low temperatures on carrier mobility.

3.2. Analog parameters

The analog properties of stacked nanowires have been investigated using devices biased in saturation and with a fixed $V_{GT} = V_{GS} - V_{TH}$ voltage difference. Fig. 7 shows the observed I_{DS} as a function of V_{DS} , biased with $V_{GT} = 150$ mV for the stacked nanowires with several W_{fin} at various temperatures. Fig. 7 shows the measured I_{DS} versus V_{GT} curves for all studied devices in several temperatures, biased with $V_{DS} = 700$ mV.

Because of the increased channel width, it is possible to see a monotonic rise in I_{DS} with W_{fin} in Figs. 7 and 8 at every temperature [19,20,21].

The g_m and the output conductance ($g_{DS} = dI_{DS}/dV_{DS}$) as a function

Table 2

Calculated percentage increase of carrier mobility in all studied temperatures, in relation to W_{fin} variation.

W_{fin} (nm)	Temperature (K)							Average
	93	120	200	250	300	350	400	
10–15	10	23	32	26	26	19	10	21
15–20	37	31	1	–3	1	8	2	11
20–25	–3	0	–4	8	3	5	9	2
25–40	7	9	2	–3	–3	0	–4	1

of temperature for nanowires with multiple W_{fin} biased at $V_{GT} = 150$ mV and $V_{DS} = 700$ mV are shown in Fig. 9.

One can see an increase in g_m and g_{DS} for wider W_{fin} regardless of the temperature. Additionally, when the temperature is increased from 93 K to 400 K, both g_m and g_{DS} reduce because of the mobility decrease at higher temperatures. The g_{DS} degradation for wider W_{fin} is associated with the larger channel length modulation due to the drain bias in any temperature. The wider the W_{fin} the larger is g_{DS} . The W_{fin} increase

weakens the coupling between the lateral gates, allowing the penetration of the lateral electric field from the drain to the channel. Similar degradation of g_{DS} while widening W_{fin} has been reported for FinFETs in [22]. Additionally, the temperature reduction worsens the channel length modulation, degrading g_{DS} at lower temperatures, as pointed out in [5] for triple gate FinFETs. These are the reasons for the larger variation of g_D with temperature reduction for wider W_{fin} .

Using the data of Fig. 9, the intrinsic voltage gain $A_V = g_m/g_{DS}$ has been calculated, and the results are presented in Fig. 10, which plots the A_V versus temperature for all studied stacked nanowires biased at $V_{DS} = 700$ mV and $V_{GT} = 150$ mV.

At any temperature, the voltage gain reduces for wider W_{fin} as a result of the deteriorated g_{DS} . When operating at temperatures lower than 250 K, the voltage gain reduces for devices with W_{fin} wider than 10 nm. This reduction reaches a maximum of 2.5 dB when comparing the devices with $W_{fin} = 10$ nm and $W_{fin} = 40$ nm. Although there is a rise in g_m as a function of temperature, it is insufficient to compensate for the reduction in g_{DS} , resulting in a decrease in overall voltage gain at lower temperatures.

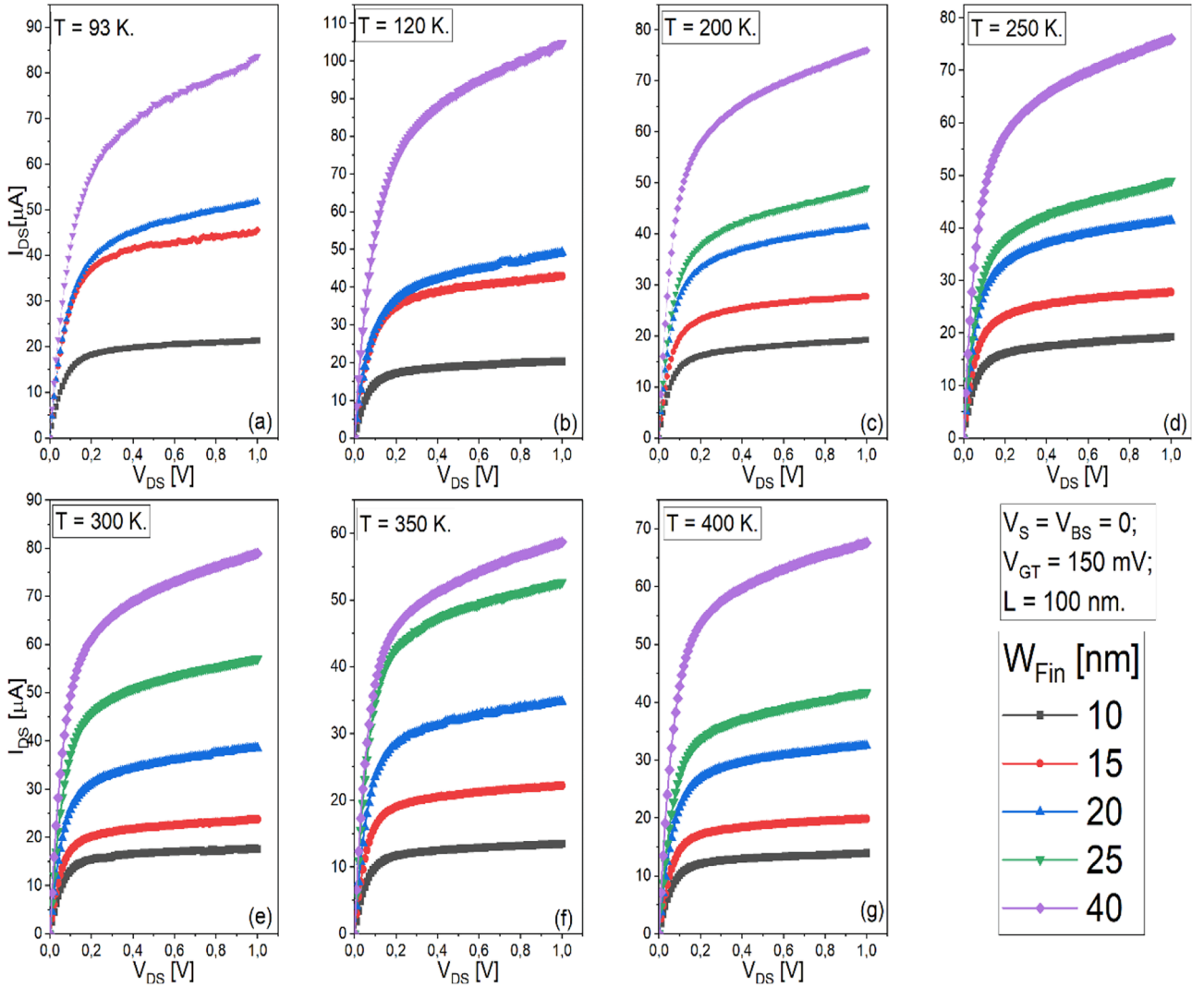


Fig. 7. Measured I_{DS} as a function of V_{DS} ($V_{GT} = 150$ mV) for transistors with fin widths of 10 nm, 15 nm, 20 nm, 25 nm, and 40 nm, with different temperatures: (a) 93 K, (b) 120 K, (c) 200 K, (d) 250 K, (e) 300 K, (f) 350 K, and (g) 400 K.

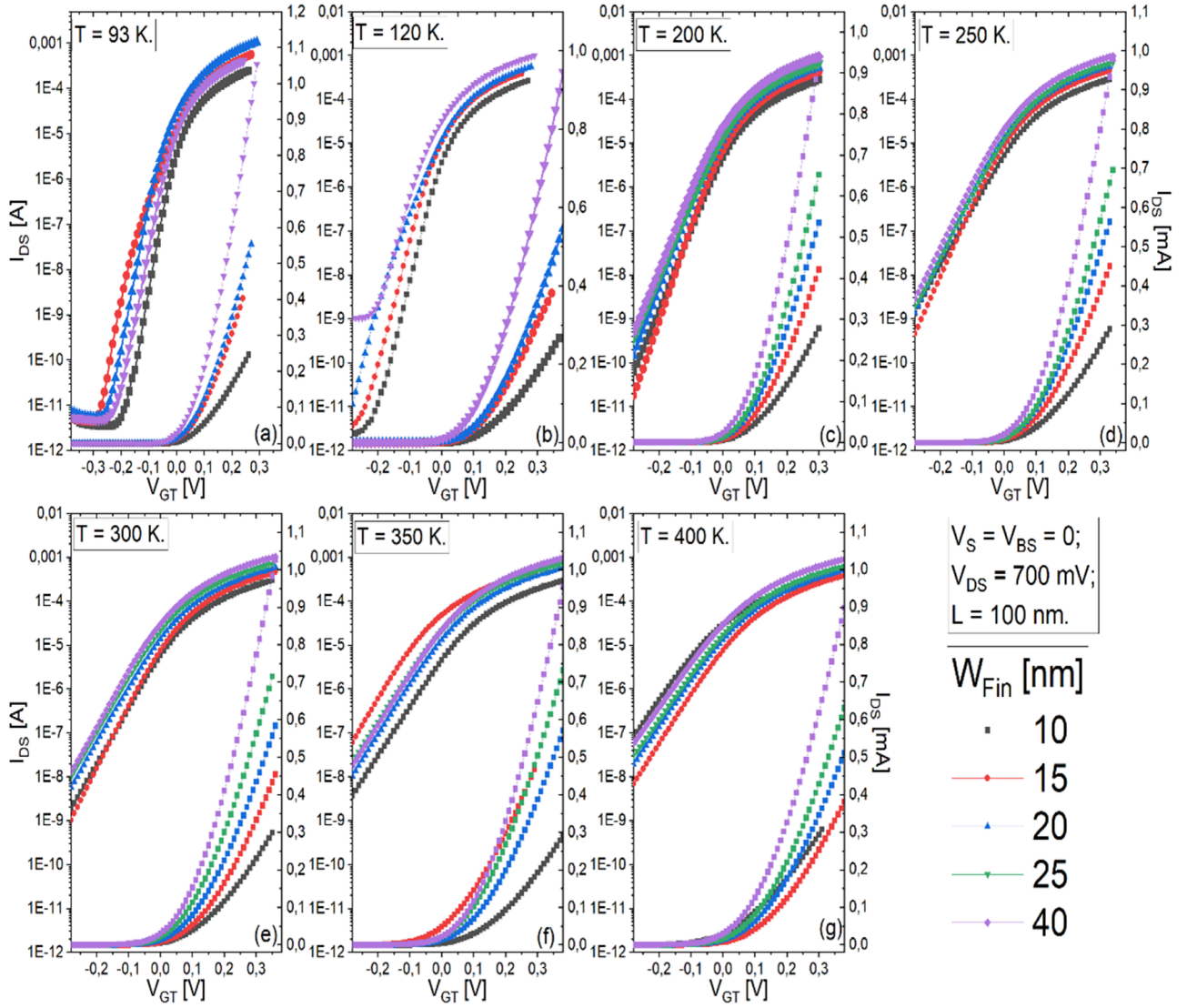


Fig. 8. Measured I_{DS} as a function of V_{GT} ($V_{DS} = 700$ mV) for transistors with fin widths of 10 nm, 15 nm, 20 nm, 25 nm, and 40 nm, with different temperatures (a) 93 K, (b) 120 K, (c) 200 K, (d) 250 K, (e) 300 K, (f) 350 K, and (g) 400 K.

The A_V of the narrow device with $W_{fin} = 10$ nm is weakly temperature-dependent, with a maximum reduction of about 1.5 dB at 93 K. The lower deterioration of A_V at 93 K as compared to wider devices is attributed to enhanced device electrostatics, which lowers the degradation of g_{DS} as a result. These data agree with those published in [23] for stacked nanosheets with $L = 200$ nm operating from room temperature up to 473 K, which presented a small variation of the voltage gain on temperature.

4. Conclusion

The performance of vertically stacked nanowires with varying fin widths was investigated in this study throughout a temperature range ranging from 93 K to 400 K. A linear reduction in threshold voltage with temperature was seen for the various stacked nanowires under investigation. Wider stacked nanowires presented slightly higher threshold voltage on temperature. When tested at any temperature except 400 K,

the subthreshold slope is near to the theoretical limit, showing that all devices have a body factor that is close to unity regardless of the fin width. The carrier mobility linearly rises as the temperature decreases, and the rate of increase is higher for wider fins. When analyzing the effect of temperature reduction on some analog figures of merit, both g_m and g_{DS} rise when the temperature is lowered. The A_V is only slightly temperature-dependent in the examined temperature range regardless of the fin width. For the wider stacked nanowires, the voltage gain presented a maximum fluctuation of 2.5 dB over the whole temperature range. This variation on the voltage gain is reduced to 1.5 dB for narrow stacked nanowire while operating at lower temperatures.

Declaration of Competing Interest

The authors declare that they have no known competing financial interests or personal relationships that could have appeared to influence the work reported in this paper.

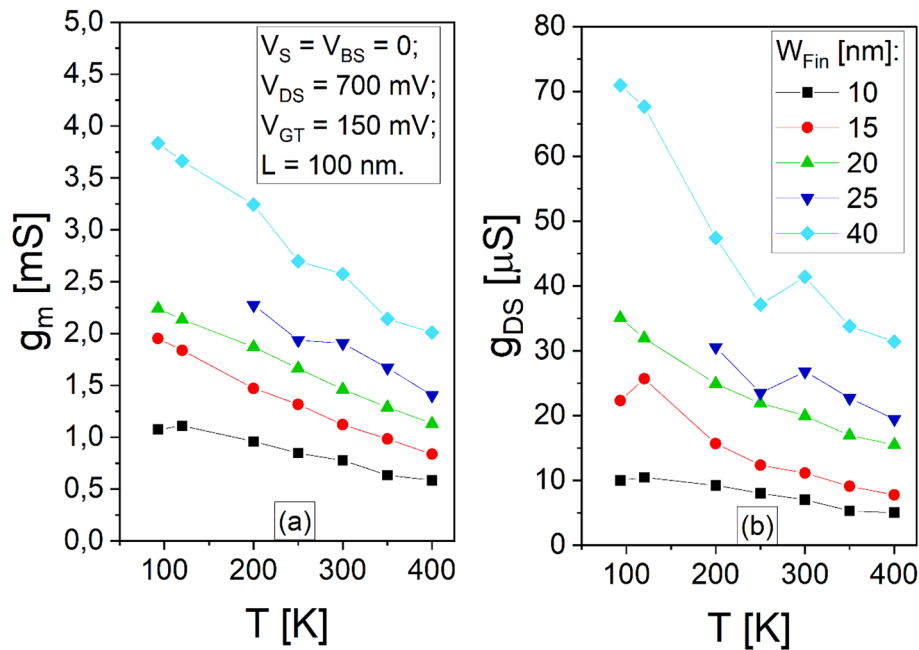


Fig. 9. Calculated (a) g_m and (b) g_{DS} as a function of temperature for several W_{fin} biased at $V_{DS} = 700$ mV.

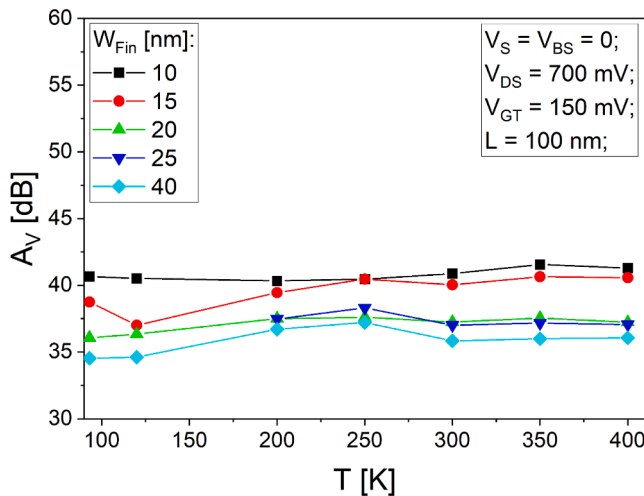


Fig. 10. Calculated A_V by temperature biased at $V_{DS} = 700$ mV and $V_{GT} = 150$ mV.

Acknowledgments

This work was supported by Coordenacao de Aperfeicoamento de Pessoal de Nivel Superior – Brazil (CAPES) – Finance Code 001, CNPq and Sao Paulo Research Foundation (FAPESP grant # 2019/15500-5). Also, this paper has been supported by the French Public Authorities from NANO 2017 program. This work is also partially funded by the SUPERAID7 (grant N° 688101) project.

References

- [1] Barraud S, Coquand R, Casse M, Koyama M, Hartmann J-M, Maffini-Alvaro V, et al. Performance of omega-shaped-gate silicon nanowire MOSFET with diameter down to 8 nm. *IEEE Electron Dev Lett* 2012;33(11):1526–8. <https://doi.org/10.1109/LED.2012.2212691>.
- [2] Colinge J-P, Colinge CA. *Physics of semiconductor devices*. Springer Science & Business Media; 2005.
- [3] R. Coquand et al., “Scaling of high-k/metal-gate Trigate SOI nanowire transistors down to 10nm width,” in *2012 13th International Conference on Ultimate Integration on Silicon (ULIS)*, Mar. 2012, vol. 1, pp. 37–40, doi: 10.1109/ULIS.2012.6193351.
- [4] Cretu B, Veloso A, Simoen E. Low temperature investigation of n-channel GAA vertically stacked silicon nanosheets. In: *2021 Joint International EUROSIO Workshop and International Conference on Ultimate Integration on Silicon (EuroSIO-ULIS)*, Sep; 2021. p. 1–4. <https://doi.org/10.1109/EuroSIO-ULIS53016.2021.9560692>.
- [5] S. Barraud et al., “Vertically stacked-NanoWires MOSFETs in a replacement metal gate process with inner spacer and SiGe source/drain,” in *2016 IEEE International Electron Devices Meeting (IEDM)*, Dec. 2016, pp. 17.6.1-17.6.4, doi: 10.1109/IEDM.2016.7838441.
- [6] Trevisoli R, De Souza M, Doria RT, Kilchyska V, Flandre D, Pavanella MA. Junctionless nanowire transistors operation at temperatures down to 4.2 K. *Semicond Sci Technol* 2016;31(11):1–9. <https://doi.org/10.1088/0268-1242/31/11/114001>.
- [7] Pavanella MA, Martino JA, Simoen E, Claeys C. Cryogenic operation of FinFETs aiming at analog applications. *Cryogenics (Guildf)* 2009;49(11):590–4. <https://doi.org/10.1016/j.cryogenics.2008.12.012>.
- [8] H.-C. Han, F. Jazaeri, A. D’Amico, A. Baschiroto, E. Charbon, and C. Enz, “Cryogenic Characterization of 16 nm FinFET Technology for Quantum Computing,” in *ESSCIRC 2021 - IEEE 47th European Solid State Circuits Conference (ESSCIRC)*, Sep. 2021, pp. 71–74, doi: 10.1109/ESSCIRC53450.2021.9567747.
- [9] Pavanella MA, de Souza M, Ribeiro TA, Martino JA, Flandre D. Improved operation of graded-channel SOI nMOSFETs down to liquid helium temperature. *Semicond Sci Technol* 2016;31(11):114005. <https://doi.org/10.1088/0268-1242/31/11/114005>.
- [10] Woodend LJ, Gammon PM, Shah VA, Pérez-Tomás A, Li F, Hamilton DP, et al. Cryogenic characterisation and modelling of commercial SiC MOSFETs. *Mater Sci Forum* 2017;897:557–60. <https://doi.org/10.4028/www.scientific.net/MSF.897.557>.
- [11] Ortiz-Conde A, García Sánchez FJ, Liou JJ, Cerdeira A, Estrada M, Yue Y. A review of recent MOSFET threshold voltage extraction methods. *Microelectron Reliab* 2002;42(4-5):583–96. <https://doi.org/10.1049/el:19880369>.
- [12] Ghibaudo G. New method for the extraction of MOSFET parameters. *Electron Lett* 1988;24(9):543. <https://doi.org/10.1049/el:19880369>.
- [13] Beckers A, Jazaeri F, Grill A, Narasimhamoorthy S, Parvais B, Enz C. Physical model of low-temperature to cryogenic threshold voltage in MOSFETs. *IEEE J Electron Dev Soc* 2020;8:780–8. <https://doi.org/10.1109/JEDS.2020.2989629>.
- [14] B. C. Paz et al., “New method for individual electrical characterization of stacked SOI nanowire MOSFETs,” in *2017 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S)*, Oct. 2017, vol. 2018-March, no. V, pp. 1–3, doi: 10.1109/S3S.2017.8309237.
- [15] Duarte JP, Choi S-J, Moon D-I, Ahn J-H, Kim J-Y, Kim S, et al. A universal core model for multiple-gate field-effect transistors. part I: charge model. *IEEE Trans Electron Dev* 2013;60(2):840–7. <https://doi.org/10.1109/TED.2012.2233478>.
- [16] Duarte JP, Choi S-J, Moon D-I, Ahn J-H, Kim J-Y, Kim S, et al. A universal core model for multiple-gate field-effect transistors. Part II: drain current model. *IEEE Trans Electron Dev* 2013;60(2):848–55. <https://doi.org/10.1109/TED.2012.2233863>.

- [17] A. Tsiara et al., "Reliability analysis on low temperature gate stack process steps for 3D sequential integration," in *2017 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S)*, Oct. 2017, vol. 2018-March, pp. 1–3, doi: 10.1109/S3S.2017.8309219.
- [18] Henry JB, Rafhay Q, Cros A, Ghibaudo G. New Y -function based MOSFET parameter extraction method from weak to strong inversion range. *Solid State Electron* 2016;123:84–8. <https://doi.org/10.1016/j.sse.2016.06.004>.
- [19] Cuervo R, Pei Y, Chen Z, Keller S, DenBaars SP, Calle F, et al. The kink effect at cryogenic temperatures in deep submicron AlGaIn/GaN HEMTs. *IEEE Electron Dev Lett* 2009;30(3):209–12. <https://doi.org/10.1109/LED.2008.2011289>.
- [20] A. A. Prager, H. C. George, A. O. Orlov, and G. L. Snider, "Cryogenic MOSFET kink effect abatement," in *2008 IEEE Silicon Nanoelectronics Workshop*, Jun. 2008, pp. 1–2, doi: 10.1109/SNW.2008.5418490.
- [21] Park J, Shin C. Impact of interface traps and surface roughness on the device performance of stacked-nanowire FETs. *IEEE Trans Electron Dev* 2017;64(10): 4025–30. <https://doi.org/10.1109/TED.2017.2741979>.
- [22] Subramanian V, Mercha A, Parvais B, Loo J, Gustin C, Dehan M, et al. Impact of fin width on digital and analog performances of n-FinFETs. *Solid State Electron* 2007; 51(4):551–9. <https://doi.org/10.1016/j.sse.2007.02.003>.
- [23] Silva VCP, Perina WF, Martino JA, Simoen E, Veloso A, Agopian PGD. Analog figures of merit of vertically stacked silicon nanosheets nMOSFETs with two different metal gates for the sub-7 nm technology node operating at high temperatures. *IEEE Trans Electron Dev* 2021;68(7):3630–5. <https://doi.org/10.1109/TED.2021.3077349>.

Performance of Stacked SOI Nanowires in a Wide Temperature Range

Jaime C. Rodrigues^a, Genaro Mariniello^a, Mikael Cassé^b, Sylvain Barraud^b, Maud Vinet^b, Olivier Faynot^b and Marcelo A. Pavanello^a

^aDepartment of Electrical Engineering, Centro Universitário FEI, São Bernardo do Campo, Brazil ^bCEA-Leti, Grenoble, France

E-mail: jaimear@fei.edu.br

Abstract—This paper investigates the basic electrical characteristics and some analog figures of merit for 2-level vertically stacked nanowire MOSFETs with different fin widths in the temperature range of 93K up to 400 K. Basic electrical parameters such as threshold voltage, subthreshold slope and carrier mobility are evaluated in linear region. On the other hand, analog figures of merit as transconductance, output conductance and voltage gain are evaluated in saturation.

Index Terms—Vertically Stacked Nanowires, Low temperature, Electrical characterization, transconductance, threshold voltage, subthreshold slope, Multigate transistors

I. INTRODUCTION

The multiple-gate field-effect transistors (MuGFETs) are among the most reliable devices to keep pushing the MOSFET downscaling further into the nanometer size dimensions.[1]

Vertically stacked nanowire MOSFETs, or simply stacked nanowires, are promising devices for future technological nodes that would allow the continuity of the CMOS roadmap, increasing the current density of nanometer-long MOSFETs without increasing the occupied silicon area, exhibiting excellent performance and scalability[1][2].

These MOSFETs consist of two levels of narrow and thin silicon layers (sometimes referred as nanosheets) surrounded by the gate electrode, ensuring excellent electrostatic control of the charges in the channel, leading to reduced the short-channel effects. In case of stacked nanowires fabricated in Silicon-On-Insulator (SOI) substrate, the bottom level is built over the buried oxide and has a Omega-FET shape, whereas the top-level has a Gate-All-Around (GAA) architecture[3]. A TEM image of the cross-section of SOI stacked nanowire MOSFETs fabricated with similar process than those studied in this work is presented in Figure 1[3].

The operation of MOSFETs at low temperatures is known to improve some device electrical characteristics, such as the carrier mobility and subthreshold slope, additionally to the technology scaling[4]. Recently, the operation of MOSFETs in cryogenic regime gained interest because the advent of quantum computing and the need of CMOS circuits to interface electronic circuits operating in higher temperatures with the qubits, which operate in deep-cryogenic mili-Kelvin temperature range.

In this study, the electrical characteristics of 2-level vertically stacked nanowires are presented, in the temperature range

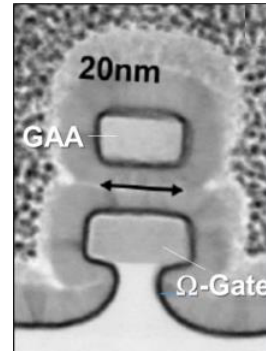


Fig. 1. TEM image of the cross section of Stacked Nanowire MOSFETs fabricated with similar process than those studied in this work[3].

from 93 K up to 400 K. Basic device electrical characteristics at low drain bias as well as some analog figures of merit in saturation are evaluated.

II. DEVICE DESCRIPTION

The devices measured in the work were fabricated in the CEA-Leti, following the process described in ref. [3]. They consist of 2-level n-type silicon stacked nanowire MOSFETs made in SOI wafers with buried oxide thickness of 145nm. Devices with 10 parallel fingers with fixed channel length (L) of 100 nm, fin height (H_{fin}) of 9 nm, and variable fin width (W_{fin}) of 10 nm, 15 nm, 20 nm, 25 nm and 40nm were measured. The body region is undoped (or not intentionally doped p-type material) surrounded by the gate stack, composed of SiO_2 -HfSiON and TiN gate metal. The equivalent oxide thickness is about 1.3 nm.

III. RESULTS AND DISCUSSION

A. Basic Electrical Characteristics

The measurements were performed using a Low Temperature Microprobe system from MMR Technologies and a Keysight B-1500 Semiconductor Parameter Analyzer. For the measurements at temperatures lower than 300 K the samples were cooled down to 93 K and biased after the temperature stabilization interval. Then, the temperature is raised to the next temperature until it reaches room temperature again.

Figure 2 presents the measured drain current I_{DS} as a function of gate voltage V_{GS} , both in linear and logarithmic scales, of all studied stacked nanowires biased with a drain bias of $V_{DS}=40$ mV at different temperatures.

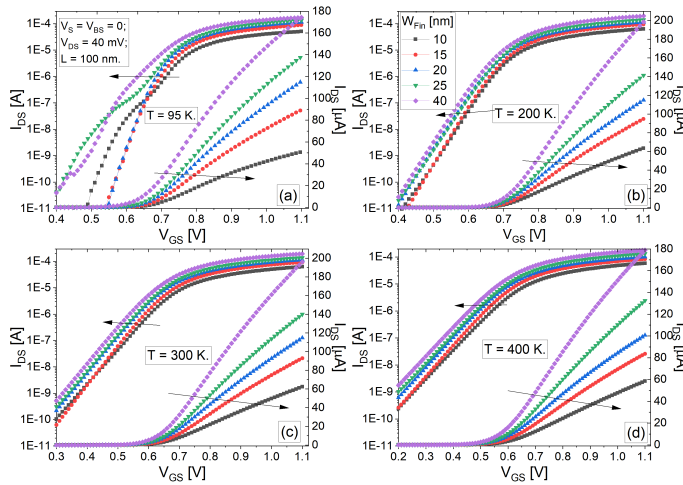


Fig. 2. Measured I_{DS} as a function of V_{GS} for stacked nanowires with fin widths of 10 nm, 15 nm, 20 nm, 25 nm and 40 nm, with $V_{DS} = 40$ mV, for different temperatures: a) 93 K, b) 200 K, c) 300 K, d) 400 K.

Using the data of Figure 2 the threshold voltage (V_{TH}) obtained by dgm/dV_{GS} method [5]. Figure 3 illustrates V_{TH} for the several stacked nanowires at different temperatures. The straight lines presented in Figure 3 represent the linear regression of the measured data for the stacked nanowires with W_{fin} of 10 nm, 20 nm and 40 nm.

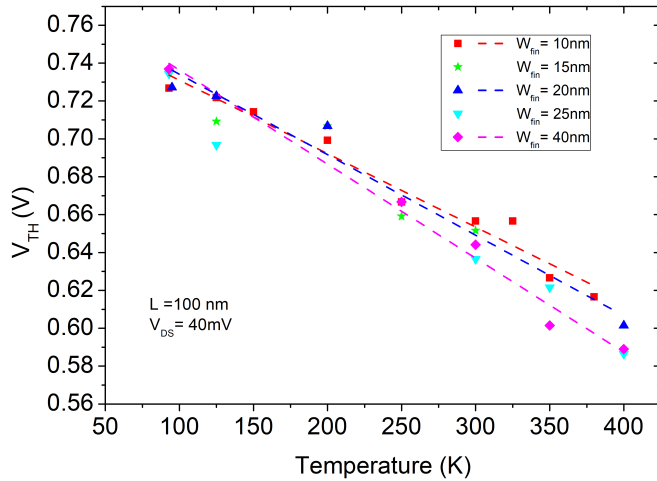


Fig. 3. Threshold voltage as a function of the temperature for transistors with W_{fin} of 10 nm, 15 nm, 20 nm, 25 nm and 40 nm.

In the studied temperature range, the V_{TH} increases practically linearly with the temperature reduction, similarly to previously observed for FinFETs[4] and single-level nanowires[4]. Also, it can be noticed in the Figure 3 that the reduction of V_{TH} on temperature is more pronounced for wider stacked nanowires. Table I shows the slopes of the linear regressions

included in Figure 3.[6]

TABLE I
THE THRESHOLD VOLTAGE SLOPE BY TEMPERATURE

$W_{fin}[nm]$	$\delta V_{TH}/\delta T[V/K].10^{-4}$
10	-3,876
20	-4,251
40	-4,966

To get some insight on the obtained results, the analytical model for the threshold voltage and drain current of MuGFETs proposed by Duarte et al. [7][8] has been used. This model proposes a set of universal equations valid for MuGFETs with different geometries such as double-gate, triple-gate, cylindrical Gate-All-Around and rectangular Gate-All-Around. Equation 1 describes the V_{TH} .

$$V_{TH} = V_{FB} - \frac{Q_{d,n}}{C_{g,n}} + 2v_T \ln \frac{N_{Si}}{n_i} - v_T \ln \left[\frac{C_{ch,n}}{C_{g,n}} \left(1 - e^{-\frac{Q_{d,n}}{v_T C_{ch,n}}} \right) \right]. \quad (1)$$

where V_{FB} is the flat band voltage, $Q_{d,n}$ is the depletion charge per unit length, $C_{g,n}$ is the gate oxide capacitance per unit length, $C_{ch,n}$ is the channel capacitance per unit length, $A_{ch,n}$ is the area of the channel, v_T stands for the thermal voltage (kT/q), N_{Si} is the channel doping concentration, q is the electron charge and n_i is the intrinsic carrier concentration.

The $Q_{d,n}$ term of Equation 1 is weakly temperature-dependent in the studied range and has negligible influence on V_{TH} . The reduction of n_i at lower temperatures increases the Fermi potential. The V_{TH} increase with temperature reduction is caused by the Fermi potential increase at lower temperatures. The terms proportional to the channel cross-section of Equation 1 increase with W_{fin} . This increase causes the slight larger variation of V_{TH} for wider transistors observed in Table I.

Figure 4 presents the inverse subthreshold slope *versus* temperature curves for the devices $W_{fin}=10$ nm, 15 nm, 20 nm, 25 nm and 40 nm.

The inverse subthreshold slope remained close to theoretical limit, obtained for $S = (kT/q) \cdot \ln(10)$ [3], in the whole range of temperatures except at $T=400$ K. Similar inverse subthreshold slope *vs.* temperature behavior has been obtained for all studied devices, which indicates a body factor close to the unity.

The maximum transconductance ($g_{m,max}$) and the carrier mobility (μ_n) as a function of temperature for stacked nanowires with $W_{fin}=10$ nm, 15 nm and 20 nm are presented in Figure 5. For the (μ_n) extraction the Y-Function method has been employed[9] to avoid the series resistance influence.

One can see an almost linear increase of $g_{m,max}$ in the entire temperature range, which is caused by the μ_n increase at lower temperatures. The rate of $g_{m,max}$ increase with temperature is slightly larger for wider W_{fin} , which is also transferred to μ_n . The μ_n is larger for wider devices at any temperature,

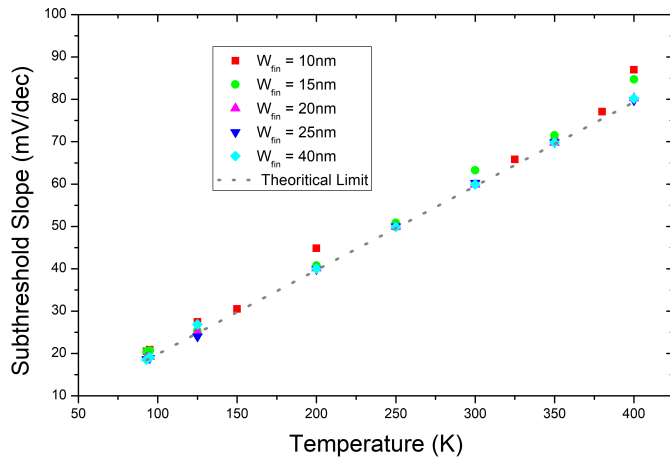


Fig. 4. Inverse subthreshold slope as a function of the temperature for transistors with several W_{fin} .

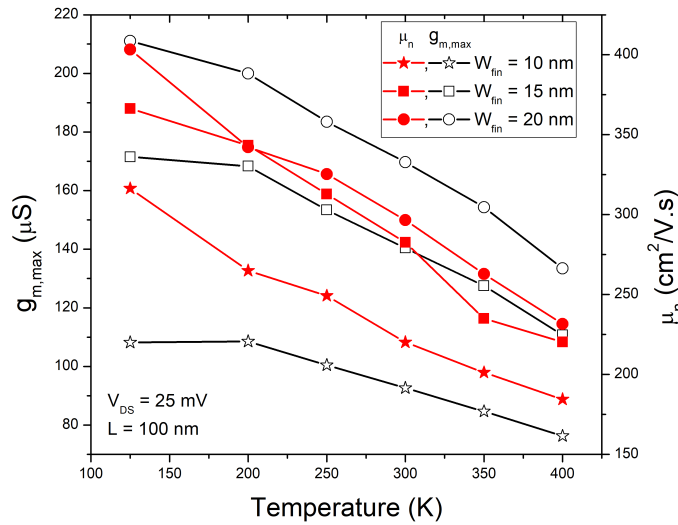


Fig. 5. Maximum transconductance and carrier mobility as a function of the temperature for transistors with W_{fin} =10nm, 15nm and 20 nm

which is associated with the smaller relative conduction in the sidewalls, which have smaller electron mobility due to the crystal orientation, compared with the whole drain current. The influence of W_{fin} on the electron mobility is clarified in Figure 6, where are presented the results of μ_n as a function of W_{fin} extracted at 300 K, 125 K and 95 K.

B. Analog Parameters

The analog parameters of stacked nanowires have been evaluated with the devices biased in saturation and fixed $V_{GT}=V_{GS}-V_{TH}$.

Figure 7 presents the measured I_{DS} as a function of V_{DS} for the stacked nanowires with several W_{fin} at different temperatures.

One can see the monotonous increase of I_{DS} with W_{fin}

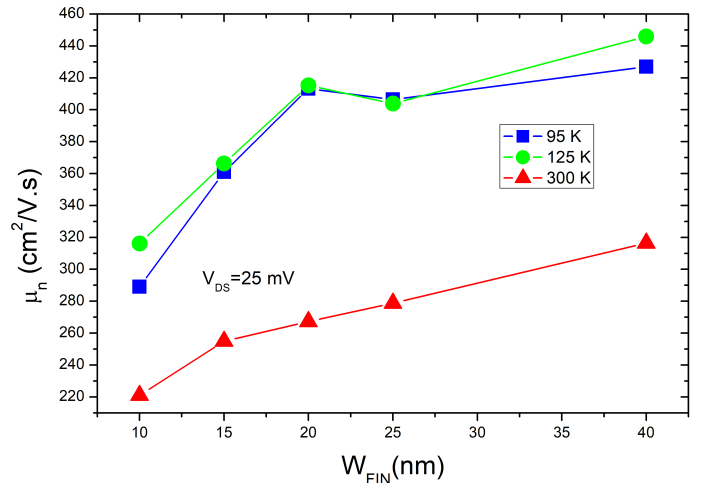


Fig. 6. Carrier mobility at different temperatures as a function of W_{FIN}

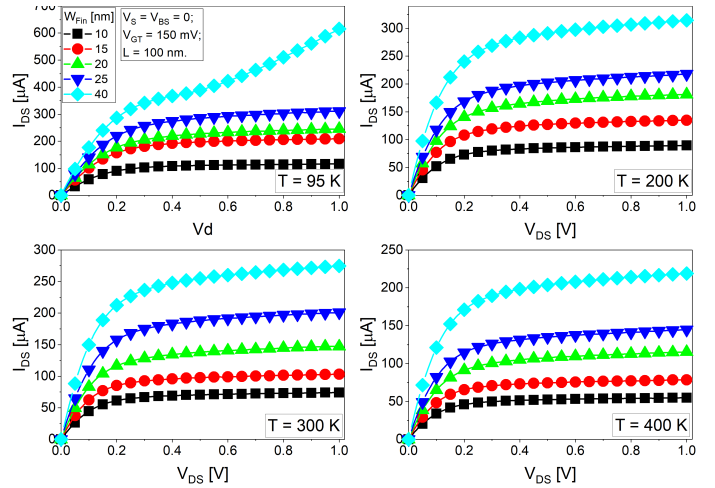


Fig. 7. I_{DS} as a function of V_{DS} for transistors with channel widths of 10 nm, 15 nm, 20 nm, 25 nm and 40 nm, with $V_{GT} = 150$ mV, with different temperatures: a) 93 K, b) 200 K, c) 300 K and d) 400K.

due to the larger channel width. At cryogenic temperature the wider device suffers an abnormal increase of I_{DS} at higher V_{DS} in the saturation region, which is consistent with some impact ionization effect at lower temperatures[10].

Figure 8 shows the g_m and output conductance (g_{DS}) as a function of temperature for nanowires with several W_{fin} , biased with $V_{GT}=150$ mV and $V_{DS}=700$ mV. It is possible to notice an increase of g_m and g_{DS} with the increase of W_{fin} . Furthermore, both g_m and g_{DS} decrease when temperature rises from 93 K to 400 K. With the data of Figure 8 the intrinsic voltage gain $A_V=g_m/g_{DS}$ was calculated.

The calculated voltage gain *versus* temperature for the stacked nanowires of several W_{fin} , biased at $V_{DS} = 700$ mV and $V_{GT} = 150$ mV, is presented on Figure 9.

The voltage gain decreases for wider W_{fin} in any temperature due to the worsened g_{DS} . For the devices with W_{fin} wider than 10 nm the voltage gain decreases at lower temperatures than 250 K. This decrease is in the order of 2.5 dB. In The

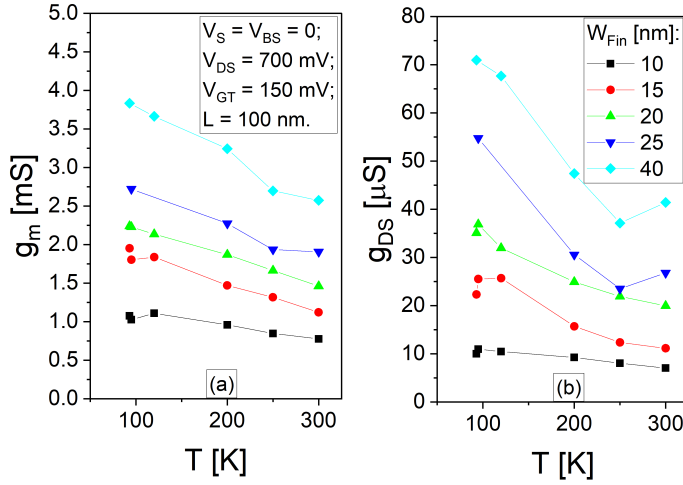


Fig. 8. Calculated g_m and g_{DS} versus temperature for the Stacked NWs of several W_{fin} biased at $V_{DS} = 700\text{mV}$ and $V_{GT} = 150\text{mV}$.

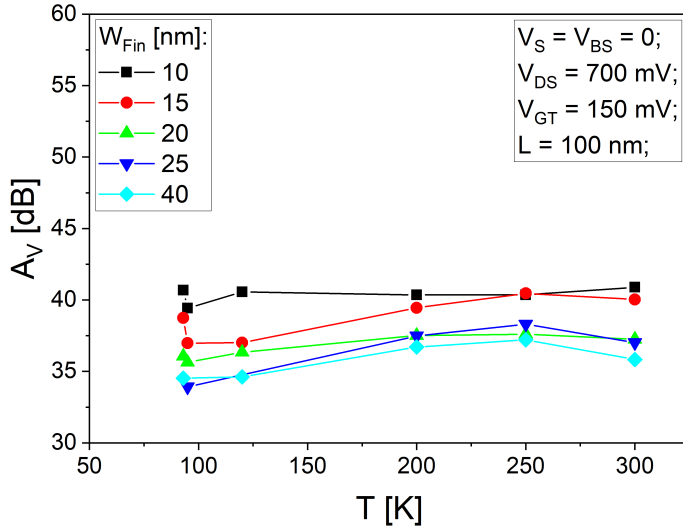


Fig. 9. Calculated A_V versus temperature for the Stacked NWs of several W_{fin} biased at $V_{DS} = 700\text{mV}$ and $V_{GT} = 150\text{mV}$.

increase of g_m with temperature is not enough to compensate the degradation of g_{DS} leading to a degradation in the voltage gain.

For the narrow device with $W_{fin} = 10\text{ nm}$, the A_V is slight temperature-dependent and decreases about 1.5 dB at 93 K. The smaller degradation of A_V at 93 K with respect to wider devices is associated with the improved device electrostatics that reduces the degradation of g_{DS} .

IV. CONCLUSION

This work studied the performance of vertically stacked nanowires of various fin widths in the temperature range of 93 K up to 400 K. The presented results demonstrated a linear decrease of threshold voltage with temperature for the several investigated stacked nanowires. The threshold voltage

reduction on temperature is larger for wider devices. The subthreshold slope is close to the theoretical limit in any temperature except at 400 K, indicating that all devices present a body factor close to the unity regardless the fin width. The carrier mobility increases with temperature decrease and the rate of increase is larger for wider fin widths. This For the analog figures of merit, both g_m and g_{DS} increase at lower temperatures and for wider stacked nanowires. The A_v is weakly temperature dependent in for the stacked nanowires in the investigated temperature range. A maximum variation of 2.5 dB has been found for wider stacked nanowires. For the narrower device, the voltage gain degradation at lower temperatures reduces to 1.5 dB.

REFERENCES

- [1] S. Barraud, R. Coquand, M. Casse, M. Koyama, J.-M. Hartmann, V. Maffini-Alvaro, C. Comboroure, C. Vizoz, F. Aussenac, O. Faynot *et al.*, "Performance of omega-shaped-gate silicon nanowire mosfet with diameter down to 8 nm," *IEEE Electron Device Letters*, vol. 33, no. 11, pp. 1526–1528, 2012.
- [2] R. Coquand, S. Barraud, M. Casse, P. Leroux, C. Vizoz, C. Comboroure, P. Perreau, E. Ernst, M.-P. Samson, V. Maffini-Alvaro, C. Tabone, S. Barnola, D. Munteanu, G. Ghibaudo, S. Monfray, F. Boeuf, and T. Poiroux, "Scaling of high-k/metal-gate trigate soi nanowire transistors down to 10nm width," in *2012 13th International Conference on Ultimate Integration on Silicon (ULIS)*, 2012, pp. 37–40.
- [3] S. Barraud, V. Lapras, M. Samson, L. Gaben, L. Grenouillet, V. Maffini-Alvaro, Y. Morand, J. Daranlot, N. Rambal, B. Previtali *et al.*, "Vertically stacked-nanowires mosfets in a replacement metal gate process with inner spacer and sige source/drain," in *2016 IEEE International Electron Devices Meeting (IEDM)*. IEEE, 2016, pp. 17–6.
- [4] M. A. Pavanello, J. A. Martino, E. Simoen, and C. Claeys, "Cryogenic operation of finfets aiming at analog applications," *Cryogenics*, vol. 49, no. 11, pp. 590–594, 2009.
- [5] A. Ortiz-Conde, F. J. Garcíá Sánchez, J. J. Liou, A. Cerdeira, M. Estrada, and Y. Yue, "A review of recent mosfet threshold voltage extraction methods," *Microelectronics Reliability*, vol. 42, no. 4-5, pp. 583–596, 2002.
- [6] B. C. Paz, M. A. Pavanello, M. Cassé, S. Barraud, G. Reimbold, M. Vinet, and O. Faynot, "Cryogenic operation of ω -gate p-type sige-on-insulator nanowire mosfets," in *2018 Joint International EUROSOL Workshop and International Conference on Ultimate Integration on Silicon (EUROSOL-ULIS)*. IEEE, 2018, pp. 1–4.
- [7] J. P. Duarte, S.-J. Choi, D.-I. Moon, J.-H. Ahn, J.-Y. Kim, S. Kim, and Y.-K. Choi, "A universal core model for multiple-gate field-effect transistors. part i: Charge model," *IEEE Transactions on Electron Devices*, vol. 60, no. 2, pp. 840–847, 2012.
- [8] J. P. Duarte, S.-J. Choi, D.-I. Moon, J.-H. Ahn, J.-Y. Kim, S. Kim, and Y. K. Choi, "A universal core model for multiple-gate field-effect transistors. part ii: Drain current model," *IEEE Transactions on Electron Devices*, vol. 60, no. 2, pp. 848–855, 2013.
- [9] J. Henry, Q. Raffay, A. Cros, and G. Ghibaudo, "New y-function based mosfet parameter extraction method from weak to strong inversion range," *Solid-State Electronics*, vol. 123, pp. 84–88, 2016.
- [10] R. Cuervo, Y. Pei, Z. Chen, S. Keller, S. P. DenBaars, F. Calle, and U. K. Mishra, "The kink effect at cryogenic temperatures in deep submicron algan/gan hems," *IEEE Electron Device Letters*, vol. 30, no. 3, pp. 209–212, 2009.

Temperature Influence on the Electrical Properties of Vertically Stacked Nanowire MOSFETs

Jaime C. Rodrigues^a, Genaro Mariniello^a, Mikael Cassé^b, Sylvain Barraud^b, Maud Vinet^b, Olivier Faynot^b and Marcelo A. Pavanello^a

^aDepartment of Electrical Engineering, Centro Universitário FEI, São Bernardo do Campo, Brazil ^bCEA-Leti, Grenoble, France
E-mail: jaimear@fei.edu.br

Abstract—This paper aims at analyzing the electrical characteristics of 2-level Stacked Nanowire MOSFETs at low temperatures. Fundamental device parameters such as threshold voltage, subthreshold slope and transconductance are evaluated in the temperature range of 160K to 400K. The influence of fin width variation is also studied. An analytical model of multiple-gate nanowire MOSFETs is employed to explain the experimentally observed data. It is demonstrated that the threshold voltage increases linearly with the temperature reduction. Stacked nanowires with wider fin width presents larger threshold variation with temperature.

Index Terms—Stacked Nanowires, Low temperature, Electrical characterization, transconductance, threshold voltage, subthreshold slope, Multigate transistors

I. INTRODUCTION

The downscaling of CMOS technology using planar devices has almost reached its physical limits. To continue with the scaling of device dimensions, reaching the nanometer-long MOSFETs, the adoption of multiple-gate transistors (or MuGFETs) appeared as a reliable technological solution. Nowadays, double-gate devices reached the mainstream production. The capability of MuGFETs to postpone the degradation in the MOSFET electrical properties due to short-channel effects for shorter channel lengths is associated with the improvement in the gate electrode control on the channel charges. Amongst the alternatives for the evolution of MuGFETs to shorter channel lengths, the use stacked nanowires (NWs) made in SOI (Silicon-On-Insulator) substrates is highly considered [1]. These devices consist of two or more levels of narrow and thin layers of silicon (sometimes called nanosheets) surrounded by the gate electrode, ensuring excellent electrostatic control of the charges in the channel, consequently, reducing the short channel effects. Also, stacked structures increase the current density without penalties in consumed device area. [2]. The studied stacked nanowire MOSFETs in this work are composed of two levels. The bottom level is a nanowire with Ω -FET shape and the top-level a Gate-All-Around (GAA) nanowire [3]. Stacked nanowire MOSFETs without the bottom Ω -FET are also under study.

Besides the improvement of the technology, the reduction of the temperature is a technique to enhance the electrical performance of MOSFETs due to the increase of carrier mobility, reduced subthreshold slope and reduced short-channel effects occurrence at lower temperatures [4].

This paper studies the performance of 2-level stacked nanowires in the temperature range between 160K to 400K. Experimental data and modeling are used to explain the observed characteristics. The fin width influence is also studied.

II. DEVICE DESCRIPTION

The measured devices were fabricated at CEA-Leti, France, and consists of 2-level n-type silicon stacked nanowire MOSFETs made in SOI wafers with buried oxide thickness of 145nm. The body region is undoped (or not intentionally doped p-type material) surrounded by the gate stack of Hf-SiON and TiN gate metal. The equivalent oxide thickness (t_{ox}) is about 1.3 nm. The geometry of the devices varies both in channel length (L_{fin}) and fin width (W_{fin}). Devices with W_{fin} ranging from 10nm to 25nm and L_{fin} of 200nm and 400nm were measured. Both the silicon thickness (H_{fin}) of each nanowire level and the vertical distance between both channels is 9 nm.

III. RESULTS AND DISCUSSION

Each transistor was submitted to temperatures of 160 K, 220 K, 300 K, 350 K, and 400 K using the LTMP (Low-Temperature Micro-Probe) System from MMR Technologies. After the temperature stabilization, the drain current (I_{DS}) versus gate voltage (V_{GS}) curves were obtained using a Keysight B1500 Semiconductor Characterization System. The applied drain voltage (V_{DS}) is 40 mV and the V_{GS} varied from 0 V to 1.1 V with steps of 10 mV. Figure 1 presents the $I_{DS} \times V_{GS}$ curves for the device with $L_{fin}=200$ nm and $W_{fin}=10$ nm obtained at 160 K and 400 K in both linear and logarithmic scales, illustrating the typical behavior of the current with the temperature. Because of the carrier mobility increase with temperature reduction, the I_{DS} increases as the temperature is reduced.

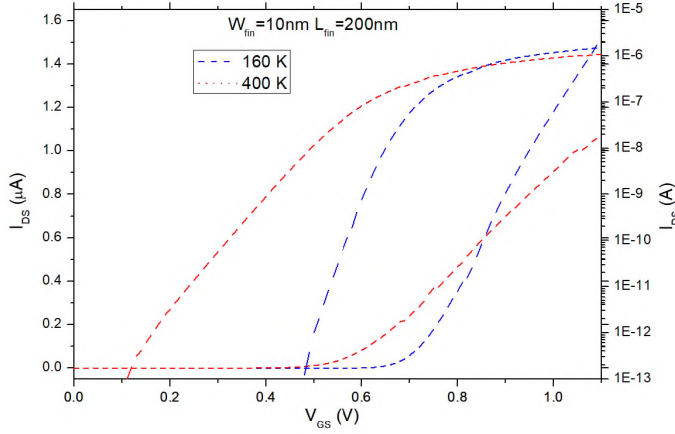


Fig. 1. Drain current as a function of gate voltage for the stacked NW with $L_{fin}=200$ nm and $W_{fin}=10$ nm at 160K and 400K

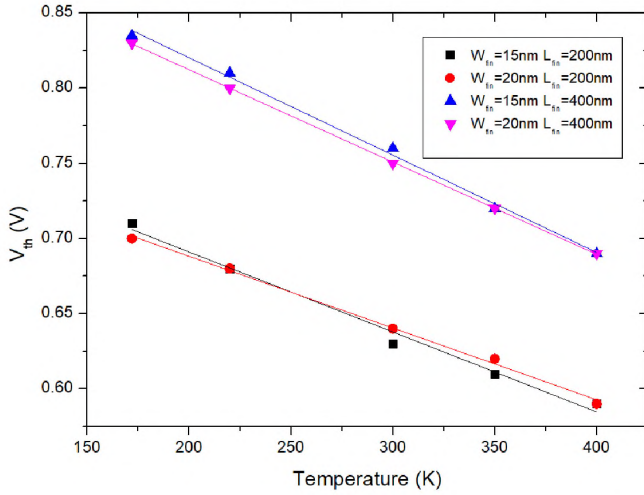


Fig. 2. Threshold voltage as a function of the temperature for transistor with $W_{fin} = 20$ nm and $L_{fin} = 200$ nm and 400nm

A. Threshold Voltage Analysis

The threshold voltage (V_{th}) was extracted using the second derivative method. The obtained results are presented in Figure 2, where the extracted V_{th} as a function of temperature for devices with W_{fin} of 15 nm and 20 nm, and L_{fin} of 200 nm and 400 nm.

The threshold voltage decreases almost linearly with the temperature, as shown in Fig. 2. Also, the increase in W_{fin} slightly increases the V_{th} variation on temperature. The experimental $\delta V_{th}/\delta T$ are presented in Table I

In order to get some insight on the results of Figure 2, the analytical model proposed by J. P. Duarte *et al.* [5] [6] has been employed. This proposed model presents a "universal" set of equations valid for Multiple-Gate Field-Effect Transistors with

TABLE I
EXPERIMENTAL THRESHOLD VOLTAGE *versus* TEMPERATURE SLOPE

L_{fin} [nm]	W_{fin} [nm]	$\delta V_{th}/\delta T$ [V/K]
200	15	-5.32E-4
200	20	-4.77E-4
400	15	-6.47E-4
400	20	-6.14E-4

different geometries, from cylindrical to planar double gate devices. This model covers the vast majority of the electrical parameters including those studied in this article.

The threshold voltage of MuGFETs with different geometries can be described by equation (1) [6]:

$$V_{TH,n} = V_{FB} - \frac{Q_{d,n}}{C_{g,n}} + 2v_T \ln \frac{N_{si}}{n_i} - v_T \ln \left[\frac{C_{ch,n}}{C_{g,n}} \left(1 - e^{\frac{Q_{d,n}}{v_T C_{ch,n}}} \right) \right] \quad (1)$$

where V_{FB} is the flat band voltage, $Q_{d,n}$ is the depletion charge per unit length, $C_{g,n}$ is the gate oxide capacitance per unit length, $C_{ch,n}$ is the channel capacitance per unit length, $A_{ch,n}$ is the area of the channel, v_T stands for the thermal voltage (kT/q), N_{si} is the channel doping concentration, q is the electron charge and n_i is the intrinsic carrier concentration.

The "n" subscribed in each term corresponds to the geometry of the MuGFET, assuming TG for triple-gate or Re-GAA for rectangular Gate-All-Around nanowires, respectively. The bottom Ω -shape nanowire MOSFET was treated as a triple-gate structure and the top nanowire as a rectangular Gate-All-Around structure. For the use of the equation (1) the terms for each structure were calculated using the equations (2) to (9).

$$Q_{d,Re} = -qN_{si}H_{fin}W_{fin} \quad (2)$$

$$C_{g,Re} = \frac{5\varepsilon_{ox}/2}{\ln(1 + 5t_{ox}/4W_{fin})} + \frac{5\varepsilon_{ox}/2}{\ln(1 + 5t_{ox}/4H_{fin})} \quad (3)$$

$$C_{ch,Re} = 4W_{fin} \frac{\varepsilon_{si}}{H_{fin}} + 4H_{fin} \frac{\varepsilon_{si}}{W_{fin}} \quad (4)$$

$$A_{ch,Re} = H_{fin}W_{fin} \quad (5)$$

$$Q_{d,TG} = -qN_{si}H_{fin}W_{fin} \quad (6)$$

$$C_{g,TG} = \frac{3.02 \times 3\varepsilon_{ox}/2}{\ln(1 + 3t_{ox}/2H_{fin})} - \frac{5\varepsilon_{ox}/4}{\ln(1 + 5t_{ox}/4H_{fin})} + \frac{5\varepsilon_{ox}/4}{\ln(1 + 5t_{ox}/4W_{fin})} \quad (7)$$

$$C_{ch,TG} = W_{fin} \frac{\varepsilon_{si}}{H_{fin}} + 4H_{fin} \frac{\varepsilon_{si}}{W_{fin}} \quad (8)$$

$$A_{ch,TG} = H_{fin} W_{fin} \quad (9)$$

Using equation (1), the V_{th} versus temperature was calculated for each level of the stacked nanowire individually. The proper corrections for the temperature-dependent terms in equations (1) to (9) were made according to proposed in [7].

In figure 3 it was plotted the results for the calculated V_{th} as a function of temperature curves for both triple-gate and GAA nanowires with $W_{fin} = 20$ nm. Also in this figure, the four terms of equation (1) have been separated and are plotted in the right y-axis. The first, second and third terms are the same for both geometries (GAA and TG). Therefore the 1st, 2nd and 3rd terms referring to TG were plotted and the 4th term for both geometries.

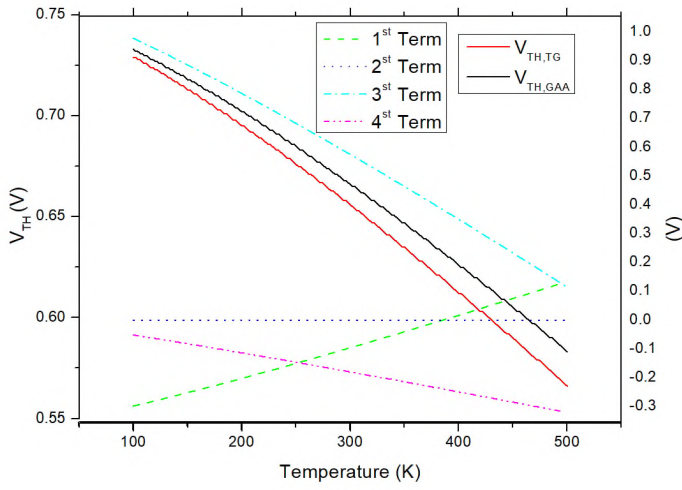


Fig. 3. Calculated threshold voltage as a function of temperature for triple-gate and GAA nanowires with $W_{fin} = 20$ nm [6]

As can be seen, the results predicted by the model are close to those obtained experimentally. For the TG-curve it was obtained $-4.77E-4$ V/K and for the Re-GAA-curve it was obtained $-4.37E-4$ V/K. The V_{th} of GAA is higher than for the TG nanowire because of the capacitance term, that is higher in the GAA nanowire.

To analyze the temperature influence on equation (1), its four terms were separated as:

$$1) V_{FB}$$

$$2) -\frac{Q_{d,n}}{C_{g,n}}$$

$$3) 2v_T \ln \frac{N_{si}}{n_i}$$

$$4) -v_T \ln \left[\frac{C_{ch,n}}{C_{g,n}} \left(1 - e^{\frac{Q_{d,n}}{v_T C_{ch,n}}} \right) \right]$$

The analysis of each term of equation (1) reveals that the depletion charge (term 2) is negligible in any temperature.

The V_{FB} increases with temperature increase. However, the third term strongly reduces with temperature increase, due to the increase of n_i at higher temperatures. Also, the fourth term decreases with temperature increase. Both the second and fourth terms are opposite to the V_{FB} term and are responsible for the V_{th} decrease on temperature.

Also, as expected, for the same channel width the variation of the threshold voltage with temperature ($\delta V_{th}/\delta T$) is weakly dependent on L_{fin} [7]. It can also be observed that the longer L_{fin} presents higher threshold voltage for the same temperature.

The increase in W_{fin} slightly reduces the $\delta V_{th}/\delta T$. This change in W_{fin} is also well described by the model and confirms that narrow devices have smaller $\delta V_{th}/\delta T$.

B. Subthreshold Slope Analysis

Figure 4 shows the extracted subthreshold slope with temperature for devices with $L_{fin} = 200$ nm and variable W_{fin} . As a reference, is highlighted the expected theoretical limit calculated using the equation (10) [1].

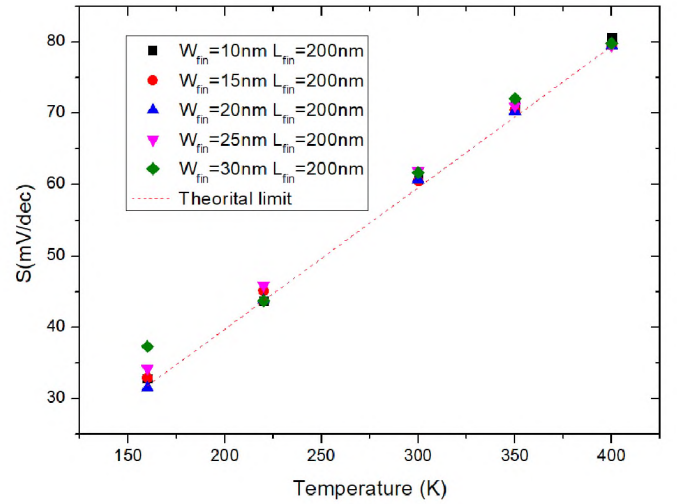


Fig. 4. Subthreshold Slope as a function of the temperature for stacked nanowires with $L_{fin} = 200$ nm and variable W_{fin}

$$S = \frac{kT}{q} \ln(10) \quad (10)$$

where k is the Boltzmann constant, T is the absolute temperature and q is the electron charge.

As can be seen in Figure 4 the subthreshold slope is close to the theoretical limit in all studied range of temperatures, indicating the body factor of the stacked nanowires is close to the unity.

C. Maximum Transconductance Analysis

Figure 5 presents the maximum transconductance ($g_{m,max}$) divided by W as a function of temperature for devices with $L_{fin} = 400$ nm and variable W_{fin} .

The W stands for $4H_{fin} + 3W_{fin}$. This division is necessary to normalize the maximum transconductance by the device geometry. As the W_{fin} increases is expected, also, the increase of the transconductance. With this artifice we managed to isolate the temperature influence.

The results of Figure 5 show that the maximum transconductance decreases linearly with temperature increase, due to the carrier mobility reduction. Also, narrow W_{fin} are more prone to the temperature variation, which agrees with the observations of [4]. The W_{fin} influence on the transconductance variation with T is highlighted in Table II, where are presented the derivatives of the maximum transconductance normalized by W as function of the temperature ($\delta g_{m,max}/\delta T$) for each W_{fin} .

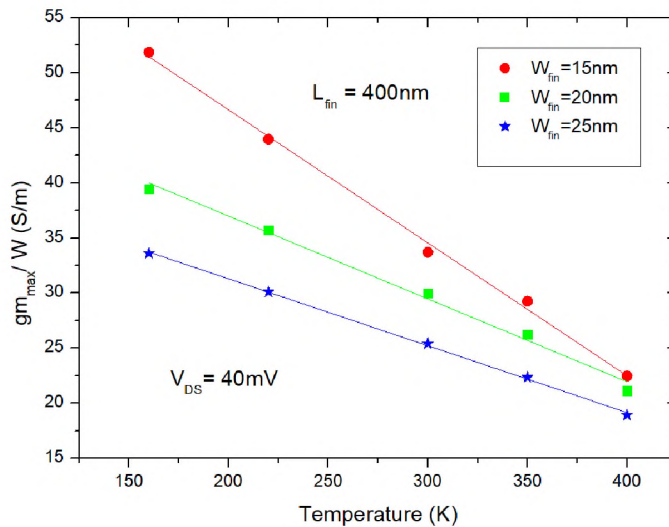


Fig. 5. Maximum transconductance normalized by the device channel width as function of the temperature

TABLE II
THE TRANSCONDUTANCE SLOPE BY TEMPERATURE

W_{fin} [nm]	$\delta g_{m,max}/\delta T$ [S/m.K]
15	-0,120
20	-0,075
25	-0,060

IV. CONCLUSION

This paper studied the electrical characteristics of 2-level stacked nanowire MOSFETs biased in linear region in the temperature range from 160 K to 400 K. The threshold voltage varies linearly with the temperature and this variation increases for wide stacked nanowires. The subthreshold slope is close to the theoretical limit in the whole temperature range and is weakly dependent on the fin width. On the other hand,

the maximum transconductance variation with temperature increases as the fin width is reduced.

V. ACKNOWLEDGMENT

This work was supported by Coordenação de Aperfeiçoamento de Pessoal de Nível Superior – Brazil (CAPES) – Finance Code 001, CNPq and Sao Paulo Research Foundation (FAPESP grant # 2019/15500-5). Also, this paper has been supported by the French Public Authorities from NANO 2017 program. This work is also partially funded by the SUPERAID7 (grant N° 688101) project.

REFERENCES

- [1] J. . Colinge, “Multigate transistors: Pushing moore’s law to the limit,” in *2014 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD)*, 2014, pp. 313–316.
- [2] S. Barraud, R. Coquand, M. Casse, M. Koyama, J.-M. Hartmann, V. Maffini-Alvaro, C. Comboroure, C. Vizios, F. Aussenac, O. Faynot *et al.*, “Performance of omega-shaped-gate silicon nanowire mosfet with diameter down to 8 nm,” *IEEE Electron Device Letters*, vol. 33, no. 11, pp. 1526–1528, 2012.
- [3] S. Barraud, V. Lapras, M. Samson, L. Gaben, L. Grenouillet, V. Maffini-Alvaro, Y. Morand, J. Daranlot, N. Rambal, B. Previtali *et al.*, “Vertically stacked-nanowires mosfets in a replacement metal gate process with inner spacer and sige source/drain,” in *2016 IEEE International Electron Devices Meeting (IEDM)*. IEEE, 2016, pp. 17–6.
- [4] M. A. Pavanello, J. A. Martino, E. Simoen, and C. Claeys, “Cryogenic operation of finfets aiming at analog applications,” *Cryogenics*, vol. 49, no. 11, pp. 590–594, 2009.
- [5] J. P. Duarte, S.-J. Choi, D.-I. Moon, J.-H. Ahn, J.-Y. Kim, S. Kim, and Y.-K. Choi, “A universal core model for multiple-gate field-effect transistors. part i: Charge model,” *IEEE Transactions on Electron Devices*, vol. 60, no. 2, pp. 840–847, 2012.
- [6] —, “A universal core model for multiple-gate field-effect transistors. part ii: Drain current model,” *IEEE Transactions on Electron Devices*, vol. 60, no. 2, pp. 848–855, 2013.
- [7] M. A. Pavanello, M. De Souza, T. A. Ribeiro, J. A. Martino, and D. Flandre, “Improved operation of graded-channel soi nmosfets down to liquid helium temperature,” *Semiconductor Science and Technology*, vol. 31, no. 11, p. 114005, 2016.