

CENTRO UNIVERSITÁRIO DA FEI

JOÃO FELIPE FERNANDES COGHI

**CARACTERIZAÇÃO ELÉTRICA DE AMPLIFICADORES OPERACIONAIS DE
TRANSCONDUTÂNCIA IMPLEMENTADO COM GC SOI MOSFETs**

São Bernardo do Campo

2012

JOÃO FELIPE FERNANDES COGHI

**CARACTERIZAÇÃO ELÉTRICA DE AMPLIFICADORES OPERACIONAIS DE
TRANSCONDUTÂNCIA IMPLEMENTADO COM GC SOI MOSFETs**

São Bernardo do Campo

2012

Coghi, João Felipe Fernandes

Caracterização elétrica de amplificadores operacionais de trans-
condutância implementado com GC SOI MOSFETs / João Felipe
Fernandes Coghi. São Bernardo do Campo, 2012.

113 f. : il.

Dissertação - Centro Universitário da FEI.

Orientador: Prof. Marcelo Antonio Pavanello

1. Transistores. 2. Graded-Channel. 3. MOSFET. 4. SPICE. 5.
Amplificador. 6. OTA. I. Pavanello, Marcelo Antonio, orient. II.
Título.

CDU 621.382.3



Centro Universitário da FEI

APRESENTAÇÃO DE DISSERTAÇÃO ATA DA BANCA JULGADORA

PGE-10

Programa de Mestrado de Engenharia Elétrica

Aluno: João Felipe Fernandes Coghi

Matrícula: 1101062

Título do Trabalho: **CARACTERIZAÇÃO ELÉTRICA DE AMPLIFICADORES OPERACIONAIS DE TRANSCONDUTÂNCIA UTILIZANDO GC SOI MOSFETS.**

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof. Dr. Marcelo Antonio Pavanello

ORIGINAL ASSINADA

Data da realização da defesa: 13 / Junho / 2012

A Banca Julgadora abaixo-assinada atribuiu ao candidato o seguinte:

APROVADO ☒

REPROVADO ☐

São Bernardo do Campo, 13 / Junho / 2012.

MEMBROS DA BANCA JULGADORA

Prof. Dr. Marcelo Antonio Pavanello

Ass.: _____

Prof. Dr. Salvador Pinillos Gimenez

Ass.: _____

Prof. Dr. Antonio Luis Pacheco Rotondaro

Ass.: _____

VERSÃO FINAL DA DISSERTAÇÃO

ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS
RECOMENDAÇÕES DA BANCA EXAMINADORA

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz

AGRADECIMENTOS

Agradeço a Deus pela oportunidade de estudar, por me ajudar a transpor as dificuldades ao longo do trabalho e por todo o conhecimento adquirido para a conclusão de mais esta etapa da minha vida.

Ao Prof. Dr. Marcelo Antonio Pavanello pela orientação dedicada, pela confiança, paciência e apoio que permitiram a conclusão deste trabalho.

Aos professores Dr. Salvador Pinillos Gimenez e Dr. Renato Giacomini pelos conselhos advindos da apresentação de minha qualificação.

Aos professores Dr. Salvador Pinillos Gimenez e Dr. Antonio Luis Pacheco Rotondaro pelos conselhos advindos da apresentação de minha defesa.

Aos professores Dra. Michelly de Souza e Dr. Rodrigo Doria pela contribuição no decorrer do trabalho.

Aos professores do curso de mestrado Dra. Paula Agoupian e Dr. Marcello Bellodi pela dedicação e pelos conhecimentos compartilhados ao longo das aulas.

Ao Centro Universitário da FEI, que gentilmente nos disponibilizou seu laboratório para a realização de medidas experimentais.

Ao Conselho Nacional de Pesquisa (CNPq) pelo suporte financeiro durante os anos de mestrado.

Aos meus pais Marco Fabio e Rosely e minha irmã Priscila por todo o suporte, amor, paciência e dedicação ao longo destes anos.

A minha avó Diná e minha tia Rejane por todo o suporte, amor, paciência e dedicação ao longo destes anos.

A minha namorada Sureya pela compreensão, apoio e todo carinho ao longo destes anos.

Aos amigos Ariane, Bruna, Ingrid, Juliana, Cristiano, Daniel, Eduardo, Genaro, Marcio e Renan, que sempre estiveram presentes e dispostos a me ajudar nos momentos de necessidade.

A tantas outras pessoas, que de alguma forma colaboraram para a realização deste trabalho e que, de forma involuntária, foram aqui omitidas.

RESUMO

Neste trabalho é apresentado um estudo da caracterização elétrica de amplificadores operacionais de transcondutância (OTA) implementados com transistores SOI de canal gradual (GC SOI) e, também fazer a validação do modelo específico para a simulação de transistores desta tecnologia. Este modelo é denominado "LEVEL 25" e está implementado no programa SPICE ELDO da Mentor Graphics, na versão 6.0/32-bits. Na literatura há a descrição de resultados da caracterização elétrica e simulações de amplificadores operacionais de transcondutância, as quais foram feitas no simulador SPICE ICAP/4 da Intulsoft, na versão de 2004. Neste trabalho foi utilizado o simulador ICAP/4 na versão 8.0.11 de 2007 para reproduzir os resultados da literatura. O programa ICAP/4 não possui modelo específico para simulação de transistores SOI de canal gradual, portanto foi utilizada uma associação série assimétrica de dois transistores SOI convencionais. Nesta associação série, o primeiro transistor possui dopagem de $1 \cdot 10^{17} \text{ cm}^{-3}$ e, este é responsável pelas características elétricas do transistor da associação. O segundo transistor possui uma dopagem de $1 \cdot 10^{15} \text{ cm}^{-3}$ e possui uma tensão de limiar negativa, portanto, há a formação de canal mesmo sem aplicar tensão à porta. Em todos os OTAs há a presença de transistores SOI convencionais do tipo P, portanto foram realizadas simulações comparativas com os programas SPICE ICAP/4 e ELDO para verificar a existência de diferenças entre seus modelos. Das simulações dos transistores, foi constatado que há diferença entre os modelos quando operam na região de saturação. Nas curvas de I_{DS} em função de V_{DS} houve uma diferença de 20 % no valor de I_{DS} obtido nas simulações do ELDO em comparação ao valor das simulações no programa ICAP/4. Para minimizar estas diferenças entre as correntes entre dreno e fonte, foi alterado o parâmetro da degradação da mobilidade. Após a alteração da degradação da mobilidade, a diferença entre as correntes foi de 4,10 %. Foram simulados oito OTAs divididos em dois grupos. Em um grupo estão os amplificadores operacionais de transcondutância de alto ganho. Este grupo possui cinco OTAs sendo que três são constituídos apenas por transistores SOI convencionais e dois são constituídos por transistores GC SOI do tipo N. Os OTAs constituídos apenas por transistores SOI convencionais foram utilizados como referência para comparações entre as tecnologias. Os resultados das simulações realizadas no programa SPICE ELDO apresentaram os mesmos valores de ganho de tensão de malha aberta do que as simulações do programa SPICE ICAP/4. Para a frequência de corte, o simulador SPICE ELDO apresentou um erro de 5 % em comparação com o resultado obtido no simulador SPICE ICAP/4. Para a frequência de ganho unitário, o erro máximo obtido foi de 13 % na comparação entre os resultados obtidos nas simulações dos programas SPICE ELDO e ICAP/4. No outro grupo analisado, estão os amplificadores operacionais de alta frequência de ganho unitário. Foram realizadas duas comparações para este grupo: entre medidas experimentais e simulações e entre medidas experimentais de OTAs com razões L_{LD}/L distintas. Os ganhos de malha aberta foram obtidos à frequência de 1 kHz e, para esta frequência, os ganho de malha aberta simulado no programa SPICE ELDO foi de 35 dB e para o OTA medido experimentalmente foi de 36 dB. Portanto, não houve diferença entre os valores de ganho de malha aberta. Na comparação da diferença entre as razões de L_{LD}/L , o OTA cuja razão L_{LD}/L é igual a 0,45 obteve um ganho de malha aberta de 36 dB, o OTA com razão L_{LD}/L é igual a 0,64 obteve um ganho de malha aberta de 35 dB e o OTA com razão L_{LD}/L é igual a 0,68 obteve um ganho de malha aberta de 32 dB. O modelo do programa SPICE ELDO mostrou-se capaz de simular o comportamento real dos OTAs estudados neste trabalho. A tecnologia SOI de canal gradual mostrou-se melhor para utilização em aplicações analógicas "low-power low-voltage".

Palavras chave: Transistor, OTA, GC SOI, ELDO, Mobilidade, Transcondutância, MOSFET, SOI.

ABSTRACT

This paper presents a study of the electrical characterization of operational transconductance amplifiers (OTA) implemented with gradual channel SOI transistors, and also to validate specific model for the simulation of transistors of this technology. This model is called "LEVEL 25" and is implemented in SPICE program ELDO from Mentor Graphics, version 6.0/32-bits. In the literature there is a description of the results of electrical characterization and simulation of operational transconductance amplifiers. The simulations of this literature were made in the simulator SPICE ICAP/4 Intulsoft, the 2004 version. In this study we used the simulator ICAP/4 version 8.0.11, 2007 to replicate the results of the literature. The program ICAP/4 does not have any specific model for the simulation of graded-channel SOI transistor, so it was used an asymmetric series association of two transistors SOI. The first transistor of this association has doping of $1 \cdot 10^{17} \text{ cm}^{-3}$, and this is responsible for the electrical characteristics. The second transistor has a doping of $1 \cdot 10^{15} \text{ cm}^{-3}$ and has a negative threshold voltage, so there is the formation of channels in itself there is no voltage applied to the gate. Comparative simulations were performed with the SPICE programs ICAP/4 and ELDO to verify the existence of differences between their models to conventional SOI transistors, because in all the circuits of operational transconductance amplifiers for the presence of conventional SOI transistors of type P. Simulations of transistors, it was found that no difference between the models when they operate in the saturation region. In the curves of I_{DS} as a function of a V_{DS} , the difference of 20% in value obtained from simulations of I_{DS} ELDO in comparison to the value obtained in the I_{DS} ICAP/4. To minimize the differences between the currents between drain and source, the parameter changed was the mobility degradation. After changing the mobility degradation, the difference between the current was 4.10%. Were simulated eight operational transconductance amplifiers divided into two groups. In one group are operational transconductance amplifiers with high gain. This group has five amplifiers: three are made only by standard SOI transistors and two consist of graded-channel SOI transistors of N-type. The OTAs consisting solely of standard SOI transistors were used as reference for comparisons between technologies. The results of simulations in ELDO SPICE program had the same values of open-loop gain voltage of the simulations that the program's ICAP/4. For the cut-off frequency, the SPICE simulator ELDO introduced an error of 5% compared with the results obtained in the SPICE simulator ICAP/4. For the unity gain frequency, the maximum error of 13% was obtained when comparing the simulation results of the programs ELDO SPICE and ICAP/4. In another group examined, the operational amplifiers are high unity gain frequency. There were two comparisons for this group: between experimental measurements and simulations and experimental measurements of the OTAs with reasons L_{LD}/L distinct. The open loop gains are obtained at a frequency of 1 kHz, in which the gain region is more stable. For this frequency, the open-loop gain for the high frequency OTA simulated unity gain was 35dB and for an OTA experimentally measured was 36 dB. So there was no difference between the values of open loop gain. Comparing the difference between the reasons for L_{LD}/L , OTA whose reason L_{LD}/L is equal to 0.45 obtained an open-loop gain of 36 dB, the OTA rightly L_{LD}/L is equal to 0.64 obtained a open loop gain of 35 dB and OTA rightly L_{LD}/L is equal to 0.68 obtained an open-loop gain of 32 dB. This difference is due to the increase ratio L_{LD}/L , the transconductance of the transistors is reduced, less mobile near the drain region due to the increased vertical electric field. The ELDO SPICE program model was capable of simulating the actual behavior of OTAs studied. The gradual channel SOI technology proved to be better for use in analog applications "low-power low-voltage".

Keywords: Transistor, OTA, GC SOI, ELDO, Mobility, Transconductance, MOSFET, SOI.

LISTA DE FIGURAS

Figura 2.1 – Corte transversal de um SOI nMOSFET convencional.....	24
Figura 2.2 – Diagrama de faixas de energia: a) PD SOI MOSFET b) FD SOI MOSFET.....	26
Figura 2.3 – Esquema de uma curva I_{DS} em função de V_{GF} em escala logarítmica, indicando a inclinação de sub-limiar.....	29
Figura 2.4 - Relação g_m/I_{DS} em função de $I_{DS}/(W/L)$ para transistores SOI totalmente depletados com $L=0,5 \mu m$, operando em saturação ($V_{DS}=1,2 V$), em diferentes temperaturas [6].....	35
Figura 2.5 – Transistor Bipolar Parasitário em uma estrutura FD SOI MOSFET	36
Figura 2.6 – Seção transversal do transistor GC SOI MOS canal P.....	37
Figura 2.7 – Comparação entre as curvas da transcondutância em função da tensão de porta para os transistores GC SOI MOSFET e um SOI MOSFET convencional [4].....	38
Figura 2.8 - Condutância de saída experimental extraída para $V_{DD}=1,5 V$ (símbolos abertos) e $2,5 V$ (símbolos fechados), com $V_S=0 V$ [6].	39
Figura 2.9 - Tensão Early dos transistores SOI MOSFET convencionais (com e sem estrutura LDD) e dos GC SOI com várias relações $(L_{LD}/L)_{eff}$, todos com $L_{eff}=0,8 \mu m$ [4].	40
Figura 2.10 – Comparação entre as curvas da corrente de dreno em função da tensão de porta para os transistores GC SOI MOSFET e um SOI MOSFET convencional [4].....	40
Figura 2.11 - Amplificador de transcondutância de um único transistor	41
Figura 2.12 – Exemplo de um gráfico de g_m/I_{DS} em função de $I_{DS}/(W/L)$ para um SOI nMOSFET convencional e um GC SOI nMOSFET [3].....	43
Figura 2.13 - Arquitetura utilizada no amplificador operacional de transcondutância (OTA).....	44
Figura 2.14 - Espelho de corrente.....	45
Figura 2.15 - Modelo de Pequenos sinais do estágio de saída do OTA [3].....	51
Figura 2.16 - Diagrama de Bode para um OTA [12].....	54
Figura 2.17 - Diagrama de blocos de um amplificador realimentado [3].....	54
Figura 2.18 - Estabilidade e Instabilidade de circuitos [28].....	55
Figura 3.1 - Representação elétrica do dispositivo GC SOI MOSFET através da associação de dois transistores SOI MOS convencional totalmente depletado [32].....	59
Figura 4.1 – Curvas de I_{DS} e g_m em função de V_{GF} para o FD SOI MOSFET de comparação entre ICAP/4 e ELDO para $N_A = 1 \cdot 10^{15} cm^{-3}$ no regime de operação de triodo.	67
Figura 4.2 – Curvas do logaritmo de I_{DS} em função de V_{GS} para o transistor com $N_A = 1 \cdot 10^{15} cm^{-3}$	67

Figura 4.3 – Curvas de I_{DS} e transcondutância em função de V_{GF} para o FD SOI MOSFET de comparação entre ICAP/4 e ELDO para $N_A = 1 \cdot 10^{15} \text{ cm}^{-3}$ no regime de operação de saturação.	68
Figura 4.4 – Curvas de I_{DS} em função de V_{DS} para o FD SOI MOSFET de comparação entre ICAP/4 e ELDO para $N_A = 1 \cdot 10^{15} \text{ cm}^{-3}$	69
Figura 4.5 - Curva I_{DS} em função de V_{GF} para o FD SOI MOSFET de comparação entre ICAP/4 e ELDO para $N_A = 1 \cdot 10^{17} \text{ cm}^{-3}$ no regime de operação de triodo.	70
Figura 4.6 – Curvas do logaritmo de I_{DS} em função de V_{GS} para o transistor com $N_A = 1 \cdot 10^{17} \text{ cm}^{-3}$	70
Figura 4.7 - Curvas de I_{DS} e transcondutância em função de V_{GF} para o FD SOI MOSFET de comparação entre ICAP/4 e ELDO para $N_A = 1 \cdot 10^{17} \text{ cm}^{-3}$ no regime de operação de saturação.	71
Figura 4.8 - Curva I_{DS} em função de V_{DS} para o FD SOI MOSFET de comparação entre ICAP/4 e ELDO para $N_A = 1 \cdot 10^{17} \text{ cm}^{-3}$	72
Figura 4.9 - Curvas de I_{DS} e transcondutância em função de V_{GF} para o FD SOI MOSFET de comparação entre ICAP/4 e ELDO para $N_A = 4 \cdot 10^{16} \text{ cm}^{-3}$ no regime de operação de triodo.....	73
Figura 4.10 – Curvas do logaritmo de I_{DS} em função de V_{GS} para o transistor com $N_A = 4 \cdot 10^{16} \text{ cm}^{-3}$	74
Figura 4.11 - Curva I_{DS} em função de V_{GF} para o FD SOI MOSFET de comparação entre ICAP/4 e ELDO para $N_A = 4 \cdot 10^{16} \text{ cm}^{-3}$ no regime de operação de saturação.	75
Figura 4.12 - Curva $I_{DS} \times V_{DS}$ transistor FD SOI MOSFET de comparação entre ICAP/4 e ELDO para $N_A = 4 \cdot 10^{16} \text{ cm}^{-3}$	75
Figura 4.13 – Curvas simuladas do ganho de tensão e fase em função da frequência para o OTA 1.....	77
Figura 4.14 – Curvas simuladas do ganho de tensão e fase em função da frequência para o OTA 2.....	78
Figura 4.15 – Curvas simuladas do ganho de tensão e fase em função da frequência para o OTA 3.....	79
Figura 4.16 – Curvas simuladas do ganho de tensão e da fase em função da frequência para o OTA 4.....	81
Figura 4.17 – Curvas simuladas do ganho de tensão e da fase em função da frequência para o OTA 5.....	82

Figura 5.1 – Esquema elétrico do circuito utilizado para caracterização elétrica experimental dos OTAs.....	86
Figura 5.2 – Adaptador para conectar os Amplificadores Operacionais de Transcondutância no circuito de medida.	87
Figura 5.3 - Esquema do Agilent 4395 adaptado [34].....	88
Figura 5.4 - Ligação do OTA no Agilent 4395.	89
Figura 5.5 - Foto de um OTA.	90
Figura 5.6 – Descrição dos contatos do OTA.....	91
Figura 5.7 – Esquema do espelho de Corrente de Polarização.....	91
Figura 5.8 - Curva I_{DS} em função de V_{GF} para os transistores M9 e M10.	92
Figura 5.9 - Curva I_{DS10} em função de I_{DS9}	93
Figura 5.10 – Curva da razão entre I_{DS10} e I_{DS9} em função de I_{DS9}	93
Figura 5.11 – Curva da razão entre I_{DS} em função de V_{DS} para os transistores SOI e GC SOI MOS.	94
Figura 5.12 – Curva para obtenção da razão L_{LD}/L	95
Figura 5.13 – Esquema das ligações para medição do OTA.....	96
Figura 5.14 - Curva de Ganho de tensão em função da frequência para o OTA com razão L_{LD}/L de 0,45.....	96
Figura 5.15 - Curva de Ganho de tensão em função da frequência para o OTA 6.....	97

LISTA DE TABELAS

Tabela 3.1 – Parâmetros do modelo “LEVEL 25”.....	63
Tabela 4.1 - Conjunto de amplificadores OTA de alto ganho de tensão.....	64
Tabela 4.2 - Conjunto de amplificadores OTA de alta frequência de ganho unitário.....	64
Tabela 4.3 – Amplificadores de alto ganho OTA constituídos somente por SOI MOSFET. ..	76
Tabela 4.4 - Comparação das simulações para amplificadores OTA constituídos apenas por transistores FD SOI MOSFET.....	79
Tabela 4.5 - Circuitos amplificadores OTA compostos por GC SOI nMOSFET e SOI pMOSFET convencional.	80
Tabela 4.6 - Comparação das simulações para amplificadores OTA de alto ganho constituídos por GC SOI MOEST e FD SOI MOSFET.	83
Tabela 4.7 - Comparação entre os ganhos de tensão obtidos nas simulações com os programas SPICE ICAP/4 e ELDO e a referência [3].	83
Tabela 4.8 - Comparação entre as frequências de corte obtidas nas simulações com os programas SPICE ICAP/4 e ELDO e a referência [3].....	84
Tabela 4.9 - Comparação entre as frequências de ganho unitário obtidas nas simulações com os programas SPICE ICAP/4 e ELDO e a referência [3].	84
Tabela 5.1 - Configuração inicial do Agilent	89
Tabela 5.2 - Diferenças entre os OTAs projetados e os construídos.....	95
Tabela 5.3 - Comparação dos resultados entre Medidas experimentais e simulação.....	97
Tabela 5.4 - Comparação dos resultados entre medidas experimentais extraído em $f = 1$ kHz	98

LISTA DE SÍMBOLOS

(W/L)	Razão da largura do canal pelo comprimento do canal
α	Acoplamento capacitivo
A_f	Ganho de Tensão de um sistema realimentado
α_s	Constante de espalhamento [cm/V]
A_{TS}	Parâmetro que controla a transição entre as regiões de triodo e saturação
A_v	Ganho de Tensão
A_{v0}	Ganho de Tensão de malha aberta de baixa frequência do OTA
β	Ganho de tensão da realimentação negativa de um sistema realimentado
Bias	Contato de injeção da corrente de polarização
B_{TS}	Parâmetro de ajuste que controla a transição entre as regiões de triodo e saturação
C_D	Capacitância da região de depleção por unidade de área [F/cm ²]
C_{itf}	Capacitância das armadilhas de interface da primeira interface por unidade de área [F/cm ²]
C_L	Capacitância de carga [F]
C_{ox}	Capacitância do óxido de porta do transistor MOS por unidade de área [F/cm ²]
C_{ox1}	Capacitância do óxido de porta do transistor SOI por unidade de área [F/cm ²]
C_{oxb}	Capacitância do óxido enterrado por unidade de área [F/cm ²]
C_{Si}	Capacitância da camada de silício por unidade de área [F/cm ²]
DUT	Amplificador a ser medido
E	Campo elétrico [V/cm]
E_C	Nível de energia inferior da faixa de condução [eV]
E_{eff}	Campo elétrico normal médio no canal nas direções vertical e lateral [V/cm]
E_F	Nível de Fermi do semiconductor [eV]
E_g	Largura da faixa proibida [eV]
E_i	Nível de energia intrínseca [eV]
ϵ_{ox}	Permissividade do óxido de silício [$3,45 \times 10^{-13}$ F/cm]
ϵ_{Si}	Permissividade do silício [$1,06 \times 10^{-12}$ F/cm]
E_v	Nível de energia da faixa de valência [eV]
f_0	Frequência de corte a -3 dB do ganho de tensão de malha aberta de baixa frequência [Hz].
ϕ_F	Potencial de Fermi [V]
ϕ_{MS1}	Função trabalho do metal-silício da primeira interface [V]
ϕ_{MS2}	Função trabalho do metal-silício da segunda interface [V]
ϕ_s	Potencial de superfície do transistor [V]
ϕ_{S1}	Potencial de superfície da primeira interface [V]
ϕ_{S2}	Potencial de superfície da segunda interface [V]

f_T	Frequência de ganho unitário [Hz].
GBW	Produto ganho de tensão-largura de banda [Hz]
g_D	condutância de dreno [S]
g_m	Transcondutância do transistor [S]
G_M	Margem de Ganho [Hz]
$g_{m.máx}$	Transcondutância máxima do transistor [S]
g_m/I_{DS}	Relação entre a transcondutância e a corrente de dreno do transistor MOS [V^{-1}]
h	Constante de Planck [$6,63 \times 10^{-34}$ J.s]
$I_{\square}$	Corrente normalizada [A]
I_0	Corrente de saída do espelho de corrente [A]
i_{ds}	Componente alternada da corrente diferencial entre dreno e fonte [A]
i_{DS}	Corrente alternada e contínua entre dreno e fonte [A]
I_{DS}	Corrente contínua entre dreno e fonte [A]
$I_{DS.sat}$	Corrente de saturação entre dreno e fonte [A]
$I_{DS}/(W/L)$	Corrente normalizada entre dreno e fonte [A]
i_{ds1}	Componente alternada da corrente diferencial entre dreno e fonte para M1 do OTA [A]
i_{DS1}	Corrente alternada e contínua entre dreno e fonte para M1 do OTA [A]
i_{ds2}	Componente alternada da corrente diferencial entre dreno e fonte para M2 do OTA [A]
i_{DS2}	Corrente alternada e contínua entre dreno e fonte para M2 do OTA [A]
i_{ds5}	Componente alternada da corrente diferencial entre dreno e fonte para M5 do OTA [A]
i_{ds6}	Componente alternada da corrente diferencial entre dreno e fonte para M6 do OTA [A]
i_{DS6}	Corrente alternada e contínua entre dreno e fonte para M6 do OTA [A]
i_{ds8}	Componente alternada da corrente diferencial entre dreno e fonte para M8 do OTA [A]
i_{DS8}	Corrente alternada e contínua entre dreno e fonte para M8 do OTA [A]
I_{pol}	Corrente de polarização do OTA [A]
k	Constante de Boltzmann [$1,38066 \times 10^{-23}$ J/K]
K_n	Fator de ganho para transistores MOS [A/V^2]
L	Comprimento de máscara do canal do transistor [μm]
L_{eff}	Comprimento efetivo de canal [μm]
L_{HD}	Comprimento da região de canal fortemente dopada do GC SOI MOSFET [μm]
L_{LD}	Comprimento da região de canal fracamente dopada [μm]
L_{LD}/L	Razão entre o comprimento da região do canal fracamente dopada e o comprimento de máscara do canal do transistor GC SOI [μm]
L_{sat}	Comprimento do canal da região saturada [μm]
μ_0	Mobilidade dos elétrons na camada de inversão do canal para campo elétrico

	transversal baixo [$\text{cm}^2/\text{V.s}$]
μ_{0H}	Mobilidade dos elétrons na camada de inversão do canal para campo elétrico transversal baixo da região do canal fortemente dopada [$\text{cm}^2/\text{V.s}$]
μ_{0L}	Mobilidade dos elétrons na camada de inversão do canal para campo elétrico transversal baixo da região do canal fracamente dopada [$\text{cm}^2/\text{V.s}$]
m_n	Massa relativa do portador do tipo N
μ_n	Mobilidade dos elétrons
μ_n	Mobilidade dos elétrons na região do canal [$\text{cm}^2/\text{V.s}$]
μ_{ni}	Mobilidade dos portadores devido ao espalhamento por impurezas neutras [$\text{cm}^2/\text{V.s}$]
m_p	Massa relativa do portador do tipo P
μ_p	Mobilidade das lacunas na região do canal [$\text{cm}^2/\text{V.s}$]
μ_{pos}	Mobilidade dos elétrons em função da posição [$\text{cm}^2/\text{V.s}$]
μ_{psii}	Mobilidade dos portadores devido aos espalhamentos de rede e por impurezas ionizadas [$\text{cm}^2/\text{V.s}$]
μ_s	Mobilidade dos elétrons na interface do silício com dielétrico [$\text{cm}^2/\text{V.s}$]
n	Fator de corpo [μm]
N_A	Concentração de impurezas aceitadoras em um semiconductor [cm^{-3}]
N_A^-	Concentração de impurezas aceitadoras ionizadas em um semiconductor [cm^{-3}]
N_{afHD}	Concentração de dopantes para o transistor fortemente dopado da associação série assimétrica [cm^{-3}]
N_{afLD}	Concentração de dopantes para o transistor fracamente dopado da associação série assimétrica [cm^{-3}]
N_{AH}	Concentração de impurezas aceitadoras da região de canal fortemente dopada
N_{AL}	Concentração de impurezas aceitadoras da região de canal fracamente dopada
N_D	Concentração de impurezas doadoras em um semiconductor [cm^{-3}]
n_i	Concentração intrínseca de portadores [cm^{-3}]
q	Carga elementar do elétron [$1,6 \times 10^{-19} \text{ C}$]
Q_0	Carga de inversão para
$Q_{D,HD}$	Densidade de carga na inversão por unidade de área no dreno da região fortemente dopada [C/cm^2]
Q_{depl}	Carga de depleção na camada de silício [C/cm^2]
Q_{nf}	Densidade de cargas de inversão na primeira interface do transistor SOI [C/cm^2]
Q_{nf}	Carga de inversão da primeira interface
Q_{ox1}	Carga fixa no óxido de porta por unidade de área [C/cm^2]
Q_s	Carga do silício no substrato por unidade de área [C/cm^2]
$Q_{S,HD}$	Densidade de carga na inversão por unidade de área na fonte da região fortemente dopada [C/cm^2]
r_{06}	Resistencia diferencial de saída do transistor M6 do OTA
r_{08}	Resistencia diferencial de saída do transistor M8 do OTA
R_{th}	Resistencia de Thévenin equivalente [Ω]
S	Inclinação de sublimar [$\text{mV}/\text{déc}$]

S_{NT}	Parâmetro de ajuste que controla a transição entre os regimes de inversão forte e fraca
S_{NT}	Parâmetro de ajuste que controla a transição entre os regimes de inversão forte e fraca
T	Temperatura absoluta [K]
t_{oxb}	Espessura do óxido enterrado [m]
t_{oxf}	Espessura do óxido de porta [m]
t_{Si}	Espessura da camada de silício [m]
V_0	Tensão de saída [V]
V_{CM}	Tensão de modo comum do amplificador diferencial do OTA [V]
V_D	Tensão de dreno [V]
$V_{D,HD}$	Tensão de dreno da região fortemente dopada do canal [V]
V_{DD}	Tensão de alimentação do OTA [V]
V_{DD}	Contato para tensão de alimentação
$-V_{DD}$	Contato para tensão de referência
V_{DE}	Tensão efetiva de entre fonte e dreno [V]
V_{DS}	Tensão entre dreno e fonte [V]
$V_{DS,HD}$	Tensão entre fonte e dreno para o transistor fortemente dopado da associação série assimétrica [V]
$V_{DS,LD}$	Tensão entre fonte e dreno para o transistor fracamente dopado da associação série assimétrica [V]
$V_{DS,SAT}$	Tensão entre dreno e fonte na saturação [V]
V_{EA}	Tensão de Early [V]
V_{FB}	Tensão de faixa plana da estrutura MOS [V]
V_G	Tensão de porta [V]
V_{GB}	Tensão aplicada ao substrato do transistor SOI [V]
V_{GF}	Tensão aplicada entre da primeira porta e fonte do transistor SOI [V]
V_{GS}	Tensão alternada aplicada entre porta e fonte do transistor [V]
V_{GT}	Sobre-tensão de condução [V]
v_{id}	Tensão diferencial de entrada do estagio amplificador diferencial do OTA [V]
v_{in-}	Tensão da entrada positiva do estagio amplificador diferencial do OTA [V]
v_{in+}	Tensão da entrada positiva do estagio amplificador diferencial do OTA [V]
V_{OS}	Tensão de equilíbrio do amplificador operacional [V]
V_S	Tensão de fonte [V]
V_T	Potencial térmico [V]
V_{thf}	Tensão de limiar de porta do transistor SOI MOSFET [V]
$V_{thf1,acc2}$	Tensão de limiar de porta do transistor SOI MOSFET com a segunda interface acumulada [V]
$V_{thf1,depl2}$	Tensão de limiar de porta do transistor SOI MOSFET com a segunda interface depletada [V]
$V_{thf1,inv2}$	Tensão de limiar de porta do transistor SOI MOSFET com a segunda interface

	invertida [V]
V_{thfi}	Tensão de limiar em inversão fraca
W	Largura de máscara do canal do transistor [μm]
X_0	Tensão de saída num sistema realimentado [V]
$x_{d,m\acute{a}x}$	Profundidade máxima da região de depleção [m]
X_f	Tensão de realimentação num sistema realimentado [V]
X_i	Tensão de entrada num sistema realimentado [V]
X_S	Tensão de uma fonte de sinais [V]
ΔL	Variação do comprimento do canal [μm]
μ_n	Mobilidade na camada de inversão dependente do campo elétrico vertical e horizontal

LISTA DE ABREVIATURAS

CMOS	Complementary Metal-Oxide-Semiconductor
FD	Fully depleted
GC SOI	Graded-Channel Silicon-On-Insulator
HD	Highly Doped
LD	Lightly Doped
LLD	Lightly Doped Drain
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor
NFD	Quase Totalmente Depletados
OTA	Operational Transconductance Amplifier
PD	Partially Depleted
SOI	Silicon-On-Insulator
UCL	Université Catholique de Louvain
UDM	User Definable Models

SUMÁRIO

1 INTRODUÇÃO E MOTIVAÇÃO.....	21
1.1 Objetivos do Trabalho	22
1.2 Apresentação do Trabalho	23
 2 CONCEITOS BÁSICOS	24
2.1 Tecnologia SOI MOSFET	24
2.1.1 Características dos transistores SOI totalmente e parcialmente depletados	25
2.1.2 Vantagens do FD SOI MOSFET em comparação ao PD SOI MOSFET.....	27
2.1.3 Tensão de Limiar	27
2.1.4 Inclinação de Sub-limiar.....	28
2.1.5 Mobilidade.....	30
2.1.6 Transcondutância.....	32
2.1.7 Características Analógicas.....	33
2.2 Tecnologia GC SOI MOSFET	35
2.3 Ganho de Tensão de um Amplificador de Transcondutância de um único transistor..	41
2.4 Razão da Transcondutância pela corrente de Dreno e Fonte em função da corrente normalizada por W/L	42
2.5 Amplificador operacional de transcondutância (OTA) de um único estágio e uma saída	44
2.5.1 Espelho de corrente de polarização	45
2.5.2 Estágio amplificador diferencial com carga ativa	46
2.5.3 Estágio de saída em espelho de corrente	51
2.6 Ganho de tensão de pequenos sinais de malha aberta do OTA.....	52
2.7 Frequência de ganho unitário do OTA	53
2.8 Margem de Ganho e Fase do Amplificador OTA	54
2.9 Cálculo da Potência Dissipada no OTA	55
 3 MODELOS DE SIMULAÇÕES SPICE EM ICAP/4 E ELDO.....	57
3.1 Simulação no programa ICAP/4.....	57
3.1.1 Modelo analítico contínuo para SOI MOSFET	58

3.2	Simulação em ELDO.....	59
3.2.1	Modelo analítico contínuo para GC SOI MOSFET	60
4	RESULTADOS E COMPARAÇÕES DAS SIMULAÇÕES SPICE	64
4.1	Introdução	64
4.2	Simulação de um FD SOI nMOSFET convencional para estudo do comportamento das curvas I_{DS} em função de V_{GF}	65
4.2.1	Simulação de um FD SOI nMOSFET convencional com concentração de dopantes de $1 \cdot 10^{15} \text{ cm}^{-3}$	66
4.2.2	Simulação de um FD SOI nMOSFET convencional com concentração de dopantes de $1 \cdot 10^{17} \text{ cm}^{-3}$	69
4.3	Simulação de um FD SOI pMOSFET convencional para estudo do comportamento das curvas I_{DS} em função de V_{GF}	72
4.4	Simulação dos circuitos amplificadores de alto ganho de tensão OTA compostos apenas por FD SOI MOSFET convencionais.....	76
4.4.1	Simulação dos circuitos amplificadores OTA compostos apenas por GC SOI nMOSFET e SOI pMOSFET	80
4.4.2	Comparação entre as simulações dos circuitos amplificadores OTA.....	83
5	MEDIDAS EXPERIMENTAIS	86
5.1	Circuito básico e adaptador para medições experimentais dos amplificadores operacionais OTA.....	86
5.2	Resultados das medições experimentais dos espelhos de corrente de polarização e comparação da razão L_{LD}/L fabricado em comparação com o projetado.....	91
5.3	Resultados das medições experimentais em comparação com resultados de simulação para os amplificadores operacionais OTA de alta frequência	96
6	CONCLUSÕES E TRABALHOS FUTUROS.....	99
7	REFERÊNCIAS.....	102

APÊNDICE A - ARQUIVO DE SIMULAÇÃO DO TRANSISTOR SOI MOS DO TIPO N NO ICAP/4	106
APÊNDICE B - ARQUIVO DE SIMULAÇÃO DO TRANSISTOR SOI MOS DO TIPO N NO ELDO	107
APÊNDICE C – ARQUIVO DE SIMULAÇÃO DO OTA NO ICAP/4	108
APÊNDICE D - ARQUIVO DE SIMULAÇÃO DO OTA COM FD SOI MOSFET NO ELDO	110
APÊNDICE E - ARQUIVO DE SIMULAÇÃO DO OTA COM ASSOCIAÇÃO SÉRIE DE FD SOI MOSFET NO ICAP/4.....	111
APÊNDICE F - ARQUIVO DE SIMULAÇÃO DO OTA COM GC FD SOI MOSFET NO ELDO.....	113

1 INTRODUÇÃO E MOTIVAÇÃO

Os dispositivos da tecnologia SOI MOSFET são construídos sobre uma camada de material isolante (Silicon-on-Insulator) [1]. Esta arquitetura proporciona alguns benefícios em relação ao MOSFET convencional e, dentre eles há a diminuição das capacitâncias de junção, efeito de corpo, que permitem melhores resultados na razão da transcondutância em relação à corrente de dreno [1].

Devido à redução do campo elétrico na região de canal, das capacitâncias de fonte de dreno, o aumento da mobilidade dos portadores, o aumento da transcondutância, os transistores SOI MOS apresentam um melhor desempenho em aplicações analógicas do que os transistores da tecnologia MOS convencional, principalmente em circuitos com baixa potência, também chamadas de aplicações “low-power low-voltage” [2].

Com a diminuição das dimensões dos transistores, foram detectadas algumas limitações na tecnologia SOI MOSFET. Algumas limitações que podem ser destacadas são: o efeito de canal entre dreno e fonte flutuante, a redução da tensão de ruptura e a maior influência do efeito bipolar parasitário [3].

Como alternativa para amenizar os problemas presentes nos SOI MOSFETs, criou-se o GC SOI MOSFET (Graded-Channel Fully Depleted SOI MOSFET), que apresenta uma dopagem assimétrica na região do canal [3]. A região do canal é dividida em duas partes. A primeira parte (perto da fonte) possui maior concentração de dopantes, enquanto a segunda parte (perto do dreno) possui concentração de dopantes semelhante à do substrato [3].

A menor concentração de dopantes da região do canal próxima ao dreno, nos transistores da tecnologia GC SOI MOS, propiciam uma redução no campo elétrico nesta região, portanto há um aumento da transcondutância, redução da incidência de efeitos bipolares parasitários e menor condutância de saída [4]. A diminuição da condutância de saída e o aumento da transcondutância produzem um aumento do ganho intrínseco do transistor GC SOI MOS [4].

As melhores características elétricas apresentadas pelo GC SOI MOSFET mostram que este transistor pode apresentar melhoras em aplicações analógicas em comparação aos SOI convencionais. Um dos circuitos mais simples a ser estudado é o Amplificador Operacional de Transcondutância (OTA) de estágio simples [4].

O OTA apresenta uma configuração com dez transistores (quatro pMOSFET e seis nMOSFET) acoplados em quatro espelhos de corrente. A partir de uma corrente de

polarização, os transistores do circuito são induzidos a operar na região de saturação. Nesta região, há uma linearização entre os sinais de entrada e saída [3].

A partir das melhores características apresentadas pelos transistores GC SOI MOS em aplicações analógicas “low-power low-voltage”, foram realizados estudos comparativos para verificar a melhora dos circuitos implementados com GC SOI MOSFET em relação aos implementados com SOI MOSFET convencionais [3]. Estes estudos comprovam o melhor desempenho dos circuitos implementados com a tecnologia GC SOI MOSFET em relação aos implementados com SOI MOSFET convencionais [3].

Foi proposto um modelo analítico contínuo para os transistores da tecnologia GC SOI MOSFET [5]. Este modelo transcrever o comportamento destes transistores. Primeiramente este modelo foi implementado no Matlab e, suas simulações foram comparadas com medidas experimentais para sua validação. Após a validação, o modelo foi implementado no simulador SPICE ELDO, da Mentor Graphics [6].

1.1 Objetivos do Trabalho

Este trabalho tem por objetivos realizar simulações comparativas e fazer a caracterização elétrica de amplificadores operacionais de transcondutância (OTA) constituídos por transistores GC SOI nMOS e transistores pMOS.

Para as simulações realizadas foram utilizados dois simuladores PSPICE: o ELDO da Mentor Graphics [7] e o ICAP/4 da Intulsoft [8].

As simulações realizadas no ICAP/4 visam reproduzir os resultados obtidos em medidas experimentais [3].

As simulações realizadas no ELDO visam reproduzir os resultados obtidos nas simulações do ICAP/4 para um estudo comparativo entre os modelos implementados nos dois programas. Visam, também, validar o modelo específico para transistores GC SOI MOS.

Outro objetivo deste trabalho é fazer a caracterização elétrica experimental destes amplificadores OTA na tecnologia GC SOI MOSFET e comparar com simulações realizadas no simulador PSPICE ELDO utilizando o modelo específico para transistores GC SOI MOS.

Esta comparação foi feita para verificar se o modelo é capaz de reproduzir o comportamento destes transistores em circuitos.

1.2 Apresentação do Trabalho

Este trabalho está dividido em seis capítulos.

No capítulo 2 é feita uma introdução sobre as características básicas do SOI MOSFET convencional e do GC SOI MOSFET. Também é feita uma introdução para compreender o funcionamento dos amplificadores operacionais de transcondutância (OTA) e suas características.

No capítulo 3 estão descritos os programas utilizados para realizar as simulações e, também, uma breve descrição dos modelos utilizados em cada programa.

No capítulo 4 são feitas as comparações dos resultados obtidos nos simuladores SPICE ELDO e ICAP/4 utilizados neste trabalho. Também estão descritas as comparações entre os resultados do simulador SPICE ELDO com medidas experimentais.

No capítulo 5 está descrita a metodologia para a obtenção das medidas experimentais, a comparação entre a simulação e medida experimental e, também, a comparação dos resultados de medidas experimentais com razões L_{LD}/L diferentes.

No capítulo 6 são feitas as conclusões deste trabalho juntamente com as perspectivas futuras de trabalho.

2 CONCEITOS BÁSICOS

Neste capítulo serão conceituados fundamentos sobre transistores nas tecnologias SOI MOS e GC SOI MOS que suportam este trabalho. Também serão apresentadas algumas características e funcionamento do amplificador operacional OTA.

2.1 Tecnologia SOI MOSFET

Com a diminuição das dimensões dos dispositivos, algumas limitações da tecnologia MOSFET convencional começaram a surgir. Uma das alternativas de transpassar essas limitações foi à tecnologia SOI MOSFET [4].

Na tecnologia SOI MOSFET há uma camada de isolante entre a região ativa do dispositivo e o restante da lâmina, como mostra a Figura 2.1.

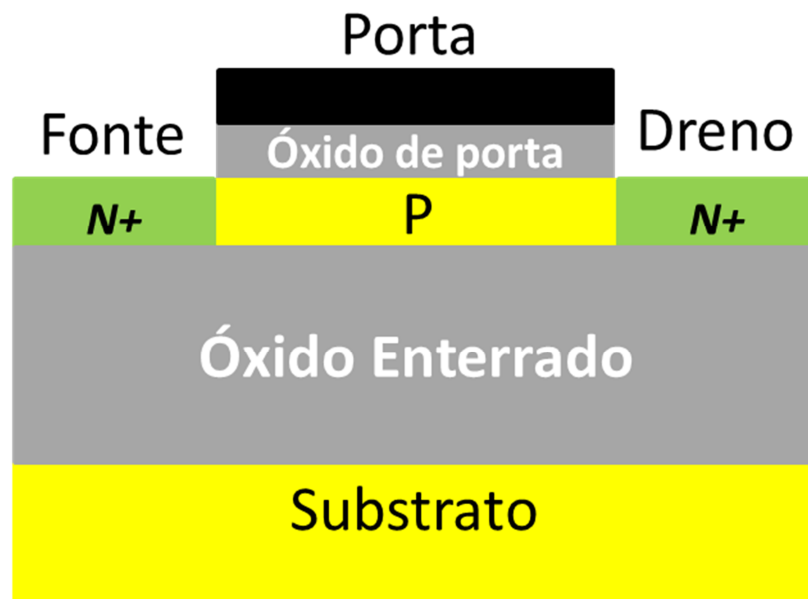


Figura 2.1 – Corte transversal de um SOI nMOSFET convencional.

A Figura 2.1 mostra o corte transversal de um dispositivo SOI nMOSFET, na qual estão representados os eletrodos de Porta (V_G), Fonte (V_S), Dreno (V_D) e Substrato (V_{GB}), as espessuras do óxido de porta (t_{oxf}), da camada do filme de Silício (t_{Si}) e do óxido enterrado (t_{oxb}), as interfaces de contato entre o óxido de Silício e o Silício e o comprimento do canal (L).

Estes transistores apresentam melhores características quando comparados aos transistores MOS convencionais, tais como: redução do campo elétrico horizontal, a maior mobilidade dos portadores na região do canal, a diminuição nos efeitos de canal curto, menor fator de corpo e, portanto menores capacitâncias parasitas em relação aos transistores MOS convencionais [4].

Um problema apresentado por esta tecnologia é a região ativa de silício não estar em contato com nenhum tipo de eletrodo [9]. Este efeito é chamado de efeito de corpo flutuante (Floating Body Effect) e ocasiona o aparecimento de efeitos bipolares parasitários. Estes efeitos provocam instabilidade na aplicação em circuitos analógicos [9].

Os transistores SOI MOS apresentam maior problema de auto aquecimento, pois o óxido de Silício apresenta menor condutividade térmica do que a do Silício. A colisão entre os elétrons provoca um aumento na temperatura do dispositivo durante seu funcionamento. À medida que a temperatura aumenta, a agitação dos elétrons aumenta, dificultando a passagem dos elétrons. Essa dificuldade de passagem pode ser percebida com a redução da mobilidade e, conseqüentemente, diminui a corrente entre dreno e fonte I_{DS} [10].

2.1.1 Características dos transistores SOI totalmente e parcialmente depletados

As características de funcionamento dos transistores SOI MOS, são dependentes da espessura da camada de Silício na região de canal. Nesta região, a máxima profundidade da região de depleção (x_{dMAX}) é dada por [11]:

$$x_{dMAX} = \sqrt{\frac{2\varepsilon_{Si} \cdot 2\Phi_F}{q \cdot N_A}} \quad (2.1)$$

Onde ε_{Si} é a permissividade do Silício, q é a carga do elétron, N_A é a concentração de impurezas aceitadoras para nMOSFET do substrato por unidade de volume e Φ_F é o Potencial de Fermi [11]:

$$\Phi_F = \frac{k \cdot T}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (2.2)$$

Onde k é a constante de Boltzman, T é a temperatura absoluta e n_i é a concentração de portadores intrínsecos [6].

Os dispositivos SOI MOSFET de filme fino podem ser caracterizados como: Parcialmente Depletados (PD), Totalmente Depletados (FD) e Quase Totalmente Depletados (NFD) [11].

Nos SOI MOSFET parcialmente depletados (PD), a camada de Silício na região ativa do transistor é maior do que duas vezes do que o valor de x_{dMAX} , portanto as regiões de depleção da primeira e da segunda interfaces não interagem. Há a formação de uma região neutra dentro da estrutura. Essa região neutra faz este transistor se comportar como um MOSFET convencional sem contato de substrato [1].

Nos Quase Totalmente Depletados (NFD), a camada de Silício na região ativa do transistor é menor do que duas vezes x_{dMAX} , mas é maior do que x_{dMAX} . Estes transistores podem se comportar com PD ou FD dependendo da tensão aplicada à porta [11].

Nos transistores Totalmente Depletados (FD), a camada de Silício na região ativa do transistor é menor do que x_{dMAX} [12], portanto não apresentam região neutra em sua camada de Silício da região de canal. Nestes transistores há interação entre as regiões de depleção da primeira e da segunda interfaces [12].

Os diagramas de faixas de energia para os transistores PD SOI MOS e FD SOI MOS estão representados na Figura 2.2. Nesta figura, nota-se que E_C é o nível de energia inferior da faixa de condução, E_V é o nível de energia da faixa de valência, E_i é o nível de energia intrínseca e E_F é o nível de Fermi do semiconductor [11].

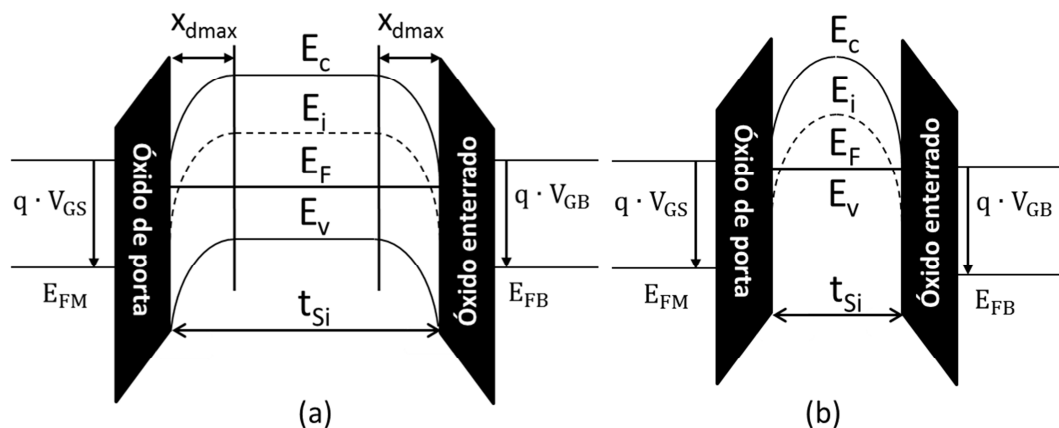


Figura 2.2 – Diagrama de faixas de energia: a) PD SOI MOSFET b) FD SOI MOSFET.

2.1.2 Vantagens do FD SOI MOSFET em comparação ao PD SOI MOSFET

Os FD SOI MOSFET apresentam redução do campo elétrico horizontal, maior mobilidade de portadores na região de canal, menor variação de tensão de limiar com a temperatura e menor ocorrência de efeitos de canal curto [13]. Sua inclinação de sub-limiar aproxima-se do valor mínimo teórico de 60 mV/década na temperatura ambiente [13].

2.1.3 Tensão de Limiar

O PD SOI nMOSFET apresenta um comportamento semelhante ao nMOSFET convencional e sua tensão de limiar (V_{thf}) segue a seguinte expressão [1]:

$$V_{thf} = V_{FB} + 2\Phi_F + \frac{q \cdot N_A \cdot x_{dMAX}}{C_{OX}} \quad (2.3)$$

A tensão de limiar depende da tensão de faixa plana (V_{FB}), da capacitância do óxido (C_{OX}), espessura máxima da região de depleção (x_{dMAX}), da concentração de impurezas aceitadoras (N_A), da carga do elétron (q) e do potencial de Fermi (Φ_F) [1].

Para o dispositivo FD SOI MOSFET, a tensão de limiar sofre interferência da segunda interface. A segunda interface pode estar em [1]:

2.1.3.1 Acumulação ($\Phi_{S2} = 0$, $Q_{NF} = 0$ e $\Phi_{S1} = 2 \cdot \Phi_F$):

$$V_{thf1,acc2} = \Phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + \left(1 + \frac{C_{Si}}{C_{OX1}}\right) 2\Phi_F - \frac{Q_{depl}}{2C_{OX1}} \quad (2.4)$$

Onde Φ_{S2} é o potencial de superfície da segunda interface, Q_{NF} é a densidade de cargas de inversão na primeira interface do transistor SOI, Φ_{S1} o potencial de superfície da primeira interface.

A tensão de limiar ($V_{thf1,acc2}$) para este caso depende da função trabalho entre o Silício e o material de porta para a primeira interface (Φ_{MS1}), da quantidade de carga na região de depleção da primeira interface (Q_{depl}), as capacitâncias do Silício (C_{Si}) e do óxido de porta (C_{OX1}) e da quantidade de cargas no óxido de porta (Q_{OX1}) [1].

2.1.3.2 Inversão ($\Phi_{S2} = 2 \cdot \Phi_F$, $Q_{NF} = 0$ e $\Phi_{S1} = 2 \cdot \Phi_F$):

$$V_{thf1,inv2} = \Phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + 2\Phi_F - \frac{Q_{depl}}{2C_{OX1}} \quad (2.5)$$

A tensão de limiar ($V_{thf1,inv2}$) para este caso depende da função trabalho entre o Silício e o material de porta para a primeira interface (Φ_{MS1}) e da quantidade de carga na região de depleção da primeira interface (Q_{depl}), da capacitância do óxido de porta (C_{OX1}) e da quantidade de cargas no óxido de porta (Q_{OX1}) [1].

2.1.3.3 Depleção ($0 < \Phi_{S2} < 2 \cdot \Phi_F$, $Q_{NF} = 0$ e $\Phi_{S1} < 2 \cdot \Phi_F$):

$$V_{thf1,depl2} = V_{Th1,acc2} - \frac{C_{Si} \cdot C_{OX2}}{C_{OX1} \cdot (C_{Si} + C_{OX2})} (V_{G2} - V_{G2,acc}) \quad (2.6)$$

A tensão de limiar ($V_{thf1,depl2}$) para este caso depende da tensão de limiar com a segunda interface em acumulação ($V_{Th1,acc2}$) subtraída pela interação entre as capacitâncias e tensões do óxido enterrado [1].

As equações (2.4), (2.5) e (2.6) são válidas apenas se as camadas de inversão e acumulação forem desprezíveis em relação à espessura do filme de Silício [6].

2.1.4 Inclinação de Sub-limiar

A inclinação de sub-limiar (S) pode ser entendida como sendo a variação da tensão de porta (V_{GF}) necessária para que a corrente entre dreno e fonte (I_{DS}) aumente 10 vezes quando o transistor está operando com tensão de porta abaixo da tensão de limiar [4]. A inclinação de sub-limiar pode ser definida pela expressão [6]:

$$S = \frac{1}{\frac{\partial [\log(I_{DS})]}{\partial V_{GF}}} \quad (2.7)$$

A partir da curva I_{DS} em função de V_{GF} pode-se obter a curva de inclinação de sub-limiar, como mostra a Figura 2.3.

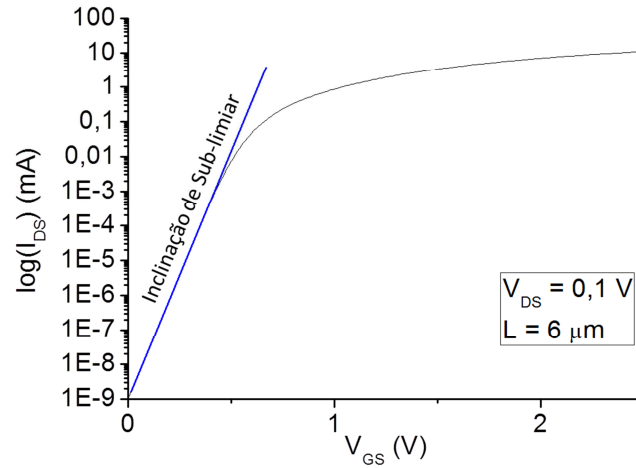


Figura 2.3 – Esquema de uma curva I_{DS} em função de V_{GF} em escala logarítmica, indicando a inclinação de sub-limiar.

Ao substituir a equação da corrente entre dreno e fonte na equação (2.7) e fazer algumas simplificações, a equação da inclinação de sub-limiar [1]:

$$S = \frac{k \cdot T}{q} \cdot \log(10) \cdot (1 + \alpha) = n \cdot \frac{k \cdot T}{q} \quad (2.8)$$

Onde k é a constante de Boltzman, T é a temperatura absoluta, q é a carga do elétron, α corresponde ao acoplamento capacitivo do SOI MOSFET e n é o fator de corpo. Os transistores FD SOI MOSFET apresentam um menor fator de corpo em comparação aos transistores MOSFET convencionais.

Para MOSFET convencionais pode-se considerar o acoplamento capacitivo:

$$\alpha = \frac{C_D}{C_{OX}} \quad (2.9)$$

Onde C_D corresponde à capacitância da região de depleção, C_{itf} corresponde à capacitância de interface na primeira interface e C_{OX} corresponde à capacitância do óxido de porta do transistor MOSFET convencional [6].

Para os FD SOI MOSFET com a segunda interface acumulada, pode-se considerar o acoplamento capacitivo:

$$\alpha = \frac{C_{Si}}{C_{OX1}} \quad (2.10)$$

Onde α corresponde ao acoplamento capacitivo, C_{Si} corresponde à capacitância da camada de Silício e C_{OX1} corresponde à capacitância do óxido de porta do transistor SOI MOSFET [3].

Para dispositivos FD SOI MOSFET com a segunda interface depletada, pode-se considerar o acoplamento capacitivo:

$$\alpha = \frac{C_{Si} \cdot C_{OX1}}{C_{OX1} \cdot (C_{Si} + C_{OX1})} \quad (2.11)$$

Onde α corresponde ao acoplamento capacitivo, C_{Si} corresponde à capacitância da camada de Silício e C_{OX1} corresponde à capacitância do óxido de porta do transistor SOI MOSFET [3].

A comparação entre as tecnologias MOSFET convencional e SOI MOSFET revela que o acoplamento capacitivo dos FD SOI MOSFETs com a segunda interface depletada é menor do que o acoplamento capacitivo dos MOSFETs convencionais. Os dispositivos MOSFET convencionais possuem um acoplamento capacitivo menor do que o acoplamento capacitivo dos transistores FD SOI MOSFET com a segunda interface acumulada e, portanto [1]:

$$\alpha_{FD\ SOI,\ 2^{a}\ interface\ depletada} < \alpha_{MOSFET\ convencional} < \alpha_{FD\ SOI,\ 2^{a}\ interface\ acumulada}$$

2.1.5 Mobilidade

Os portadores de carga estão em constante movimento dentro de um material, mesmo que em equilíbrio térmico. A concentração de portadores de cargas livres em um material varia com a temperatura, como mostra a equação (2.12) [14].

$$n_i(T) = 2 \cdot \left(\frac{2 \cdot \pi \cdot k \cdot T}{h^2} \right)^{\frac{3}{2}} \cdot (m_n \cdot m_p)^{\frac{3}{4}} \cdot e^{\frac{-E_g}{2 \cdot k \cdot T}} \quad (2.12)$$

Onde $n_i(T)$ é concentração intrínseca dos portadores em função da temperatura, h é a constante de Planck, m_n é a massa relativa do portador do tipo N, m_p é a massa relativa do portador do tipo P e E_g é a energia da faixa proibida.

Mobilidade é a facilidade com que estes portadores se movem dentro do material. Esta característica é muito importante para a determinação da capacidade de corrente de um material semiconductor [14].

O movimento dos portadores em um material semiconductor é limitado por vários mecanismos de espalhamento. Alguns desses espalhamentos apresentam forte dependência com a temperatura [6]. Podem ser classificados como: espalhamento de rede ou por fônons, por impurezas ionizadas, portador-portador e por impurezas neutras [11].

2.1.5.1 Espalhamento dos portadores independentes de campo elétrico

Os espalhamentos apresentados não dependem da tensão aplicada. Podem ser combinados pela regra de Mathiessen e definem a mobilidade independente ao campo elétrico μ_0 .

$$\mu_0 = \left(\frac{1}{\frac{1}{\mu_{psii}} + \frac{1}{\mu_{cc}} + \frac{1}{\mu_{ni}}} \right) \quad (2.13)$$

Onde μ_0 é a mobilidade independente ao campo elétrico, μ_{psii} é a mobilidade dos portadores devido aos espalhamentos de rede e por impurezas ionizadas e μ_{ni} é a mobilidade dos portadores devido ao espalhamento por impurezas neutras [6].

O campo elétrico vertical (produzido pela tensão aplicada à porta) atrai os portadores para a interface entre o semiconductor e o óxido de porta. A rugosidade superficial causa uma redução da mobilidade. Além disso, quando os portadores são submetidos a um campo elétrico lateral, sua mobilidade também é reduzida, devido à saturação de sua velocidade. Para

um transistor FD SOI MOSFET, o campo elétrico é menor em relação a um MOSFET convencional. O menor campo elétrico lateral reduz a degradação da mobilidade [15].

A mobilidade degradada pode ser expressa pela seguinte equação [15]:

$$\mu_{n,eff} = \frac{\mu_0}{1 + \alpha_S \cdot |E_{eff}|} \quad (2.14)$$

Onde α_S é o coeficiente de espalhamento e E_{eff} é o campo elétrico efetivo nas direções vertical e horizontal que pode ser descrito por [6].

$$E_{eff} = \frac{2 \cdot \Phi_F + \frac{(V_S + V_{DE})}{2}}{t_{Si}} + B - \frac{\frac{(Q_S + Q_D)}{2}}{2 \cdot \epsilon_{Si}} \quad (2.15)$$

Onde $B = \frac{Q_{depl}}{2 \cdot C_{oxb} \cdot t_{Si}} \cdot \left(\frac{1}{1 + C_{Si} \cdot C_{oxb}} + 1 \right) - \frac{V_{GB}}{\left(1 + \frac{C_{Si}}{C_{oxb}} \right) \cdot t_{oxb}}$, V_{DE} é a tensão de dreno efetiva, e

Q_S e Q_D são as densidades de carga de inversão por unidade de área na fronteira do canal com as regiões de fonte e dreno, respectivamente [6].

A mobilidade dependente de campo ($\mu_{n,eff}$) apresenta uma dependência com a temperatura através do potencial de Fermi Φ_F . A redução da temperatura causa um aumento no potencial de Fermi que aumenta o campo elétrico efetivo e, conseqüentemente, aumenta a degradação da mobilidade [16].

2.1.6 Transcondutância

A transcondutância de um transistor da tecnologia MOSFET (g_m), é a medida da eficácia do controle da tensão de porta (V_{GF}) sobre a corrente de dreno (I_{DS}), é dada por:

$$g_m = \frac{\partial I_{DS}}{\partial V_{GF}} \quad (2.16)$$

Para o transistor da tecnologia SOI MOS de camada fina, ao considerar o modelo de primeira ordem, desprezar a modulação do comprimento do canal pela tensão de dreno,

considerar a segunda interface depletada e com o transistor operando em triodo e saturação, a corrente de dreno (I_{DS}) pode ser descrita por [17]:

a. Região de Triodo:

$$I_{DS} = \mu_n \cdot C_{oxf} \cdot \frac{W}{L} \cdot \left[(V_{GF} - V_{thf}) \cdot V_{DS} - \frac{(1 + \alpha) \cdot V_{DS}^2}{2} \right] \quad (2.17)$$

b. Região de Saturação:

$$I_{DS} = \frac{\mu_n \cdot C_{oxf}}{2 \cdot (1 + \alpha)} \cdot \frac{W}{L} \cdot (V_{GF} - V_{thf})^2 \quad (2.18)$$

Onde μ_n é a mobilidade dos elétrons.

Ao substituir as equações (2.17) e (2.18) na equação (2.16) tem-se:

c. Região de Triodo [6]:

$$g_m = \frac{\partial I_{DS}}{\partial V_{GF}} = \mu_n \cdot C_{oxf} \cdot \frac{W}{L} \cdot V_{DS} \quad (2.19)$$

d. Região de Saturação [6]:

$$g_m = \frac{\partial I_{DS}}{\partial V_{GF}} = \frac{\mu_n \cdot C_{oxf}}{(1 + \alpha)} \cdot \frac{W}{L} \cdot (V_{GF} - V_{thf}) \quad (2.20)$$

Onde α é o fator de acoplamento capacitivo. A partir das relações do fator de corpo (n). Portanto g_m é maior nos transistores FD SOI MOSFET segunda interface depletada do que nos transistores MOSFET convencionais e, também, é maior do que nos SOI com a segunda interface acumulada e, como possui dependência direta com a mobilidade, sofre influência da variação de temperatura [15].

2.1.7 Características Analógicas

2.1.7.1 Tensão Early

A tensão Early (V_{EA}) pode ser extraída pela extrapolação em uma reta tangente à curva da corrente entre fonte e dreno (I_{DS}) em função da tensão entre fonte e dreno (V_{DS}), a partir de

região de saturação até a intersecção com o eixo V_{DS} . Nesta intersecção a I_{DS} é igual a zero. Este parâmetro é usado para qualificar a inclinação da curva (I_{DS} em função de V_{DS}) na região de saturação [18].

$$|V_{EA}| = \frac{I_{DS}}{g_D} \quad (2.21)$$

Onde g_D é condutância de saída do transistor e é dada por:

$$g_D = \frac{\partial I_{DS}}{\partial V_{DS}} \quad (2.22)$$

Se a tensão de dreno for maior que a tensão de dreno, a região de depleção perto do dreno aumenta. Portanto, o comprimento efetivo de canal diminui. Esta diminuição provoca um acréscimo na corrente de dreno na região de saturação ($I_{DS_{SAT}}$). Este acréscimo aumenta a inclinação da curva I_{DS} em função de V_{DS} na região de saturação [15]. Portanto, a equação de I_{DS} pode ser escrita por:

$$I_{DS_{SAT}} \cong \frac{W \cdot \mu_n \cdot C_{oxf}}{2 \cdot L} \cdot (V_{GF} - V_{thf})^2 \cdot (1 + \lambda \cdot V_{DS}) \quad (2.23)$$

Onde λ é um parâmetro dependente do processo de fabricação. O parâmetro λ relaciona a modulação do comprimento de canal com a tensão de dreno [15].

Como a tensão Early varia com V_{GT} e sua extração é feita em função de V_{DS} , na região de saturação [18].

2.1.7.2 Razão g_m/I_{DS}

A razão g_m/I_{DS} é um parâmetro de medida direta de eficiência do dispositivo em transformar corrente entre dreno e fonte em transcondutância. A transcondutância está diretamente relacionada à capacidade de amplificação do dispositivo [19].

O valor máximo da razão g_m/I_{DS} acontece quando o transistor opera em regime de inversão fraca, e é expresso por [20]:

$$\frac{g_m}{I_{DS}} \cong \frac{q}{(1 + \alpha) \cdot k \cdot T} \quad (2.24)$$

A Figura 2.4 apresenta as curvas da razão de g_m/I_{DS} em função de $I_{DS}/(W/L)$ parametrizada em função da temperatura para SOI MOSFET convencionais totalmente depletados com comprimento de canal de $0,5\mu\text{m}$ operando em saturação [6].

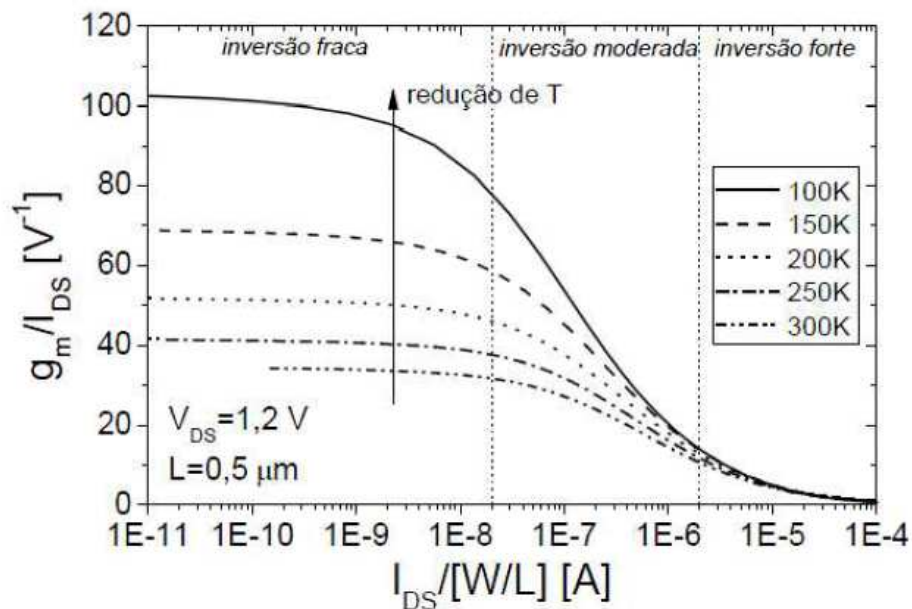


Figura 2.4 - Relação g_m/I_{DS} em função de $I_{DS}/(W/L)$ para transistores SOI totalmente depletados com $L=0,5\mu\text{m}$, operando em saturação ($V_{DS}=1,2\text{ V}$), em diferentes temperaturas [6].

Pode-se observar na Figura 2.4 que, no regime de inversão fraca, existe uma dependência direta de g_m/I_{DS} com a temperatura. No regime de inversão forte a variação da temperatura tem uma menor influência.

2.2 Tecnologia GC SOI MOSFET

Os FD SOI MOSFETs apresentam tensão de ruptura de dreno reduzida em relação aos MOS convencionais. Esta redução é consequência do efeito de corpo flutuante que, por sua vez, é decorrente da presença da estrutura bipolar parasitária intrínseca ao MOSFET [1]. Esta

estrutura bipolar parasitária é constituída por: Emissor (Fonte), Base (Canal) e Coletor (Dreno), como mostra a Figura 2.5.

O alto campo elétrico próximo à região de dreno aumenta a velocidade dos elétrons oriundos da corrente entre dreno e fonte. Os elétrons livres se chocam com elétrons da lâmina de Silício, produzindo a injeção de novos elétrons na corrente. Esta ionização por impacto também gera novas lacunas. Estas lacunas migram para a região de menor potencial próximo à fonte [1]. O acúmulo das lacunas próximas à fonte produz um aumento do potencial na camada de Silício abaixo da região do canal. A junção canal-fonte torna-se diretamente polarizada, havendo passagem de corrente [21].

Portanto a estrutura bipolar parasitária intrínseca é influenciada pela quantidade de lacunas geradas pelo mecanismo de ionização por impacto junto ao dreno. Esta concentração de lacunas, por sua vez, é dependente da tensão aplicada à porta e inversamente proporcional à concentração de dopantes na região do canal [1].

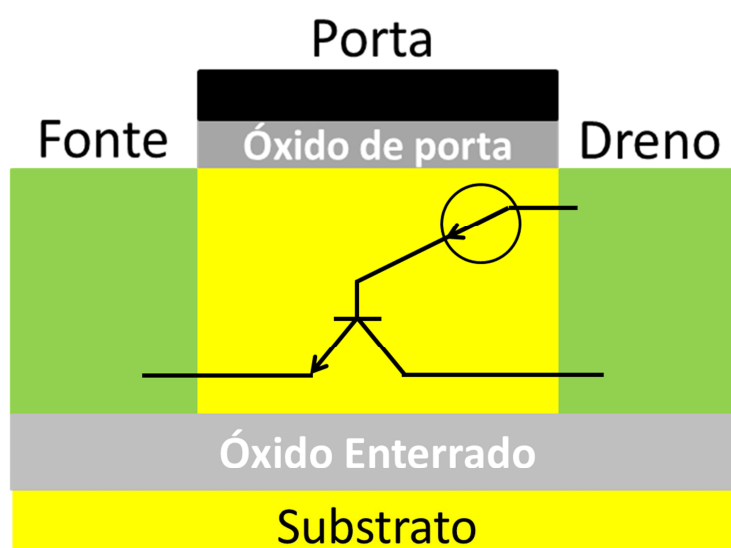


Figura 2.5 – Transistor Bipolar Parasitário em uma estrutura FD SOI MOSFET
(Adaptado de COLINGE, 2004).

Uma medida adotada para reduzir o efeito bipolar parasitário é a diminuição da concentração de dopantes nos dois lados da junção. Ao reduzir essas concentrações, a barreira de potencial e o campo elétrico são reduzidos. A redução do campo elétrico diminui o número de portadores gerados pela ionização por impacto. Portanto a corrente de polarização do transistor bipolar parasitário. Esta técnica é chamada de LDD (Lightly Doped Drain) [22], entretanto esta técnica causa um aumento da resistência série associada ao transistor. Os

transistores SOI já possuem um valor elevado, devido à redução da espessura da camada de silício da região ativa [6].

Foi proposta uma alteração na concepção do FD SOI MOSFET. Esta estrutura possui um perfil de assimétrico de dopantes na região de canal e foi chamada de transistor GC SOI (SOI MOSFET de canal gradual ou *Graded-Channel* SOI MOSFET) [11].

A região de canal deste transistor possui duas regiões: a região junto à Fonte é fortemente dopada (N_{AH}) e é responsável pela tensão de limiar do transistor e a região junto ao Dreno é fracamente dopada (N_{AL}), como mostra a Figura 2.6.

A região fracamente dopada apresenta tensão de limiar negativa e encontra-se em inversão forte com tensão de porta nula. Os transistores GC SOI comportam-se de forma semelhante aos transistores SOI convencionais com comprimento de canal $L = L_{HD}$ para valores de tensão de porta inferiores à tensão de limiar. Ao aumentar a tensão V_{GF} , a concentração de elétrons nas duas regiões do canal torna-se semelhante e o transistor tende a ter um comportamento similar ao de um transistor SOI convencional de mesmo comprimento total de canal, mas com maior corrente dreno e fonte [6].

Portanto, ao reduzir o comprimento de canal efetivo ($L_{eff} = L - L_{LD}$) onde L é o comprimento do canal e L_{LD} é o comprimento da região fracamente dopada. A região próxima à fonte é fortemente dopada (N_{AH}) e tem tensão de limiar positiva. [23].

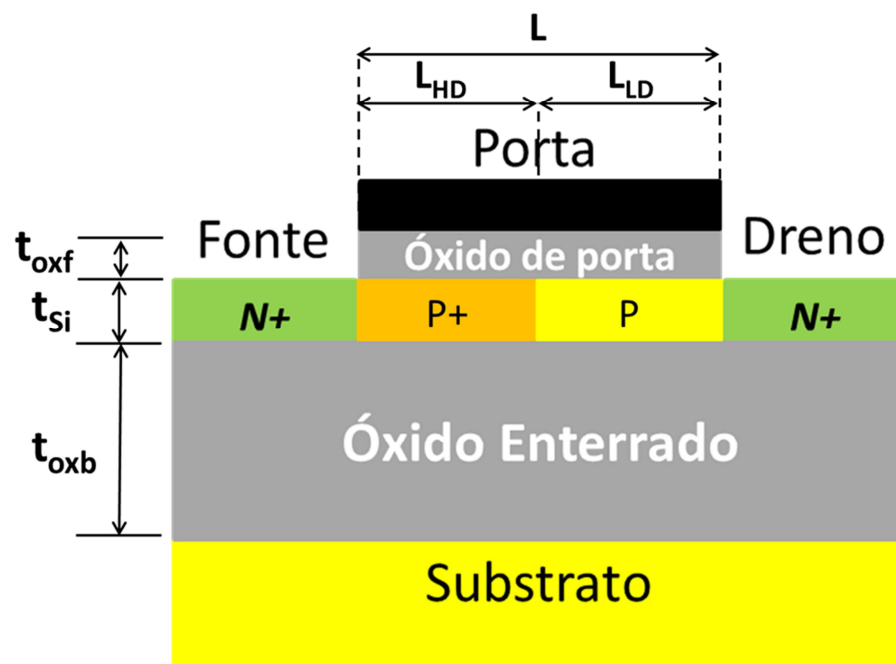


Figura 2.6 – Seção transversal do transistor GC SOI MOS canal P.

Da Figura 2.6 pode-se notar que t_{oxf} é a espessura do óxido de porta, t_{Si} é a espessura da camada de Silício, t_{oxb} é a espessura da camada de óxido enterrado, P^+ é a concentração de dopantes no lado fortemente da região de canal, N^+ é a concentração de dopantes nas junções de dreno e fonte, P é a concentração intrínseca da camada de Silício, L é o comprimento de máscara do canal, L_{HD} é o comprimento do canal no lado fortemente dopado e L_{LD} é o comprimento do canal do lado fracamente dopado.

Ao comparar os transistores GC SOI MOS e FD SOI MOS, observa-se que o GC SOI MOSFET apresenta:

- Aumento da transcondutância máxima em função da tensão aplicada à porta (V_{GF}), devido à modulação do comprimento do canal efetivo, mas, ao aumentar a tensão de porta, a degradação da mobilidade da região fracamente dopada provoca uma queda na transcondutância, como mostra a Figura 2.7 [6];

A Figura 2.7 apresenta uma comparação entre o comportamento da transcondutância dos transistores SOI convencional e GC SOI com diferentes razões de L_{LD}/L [4].

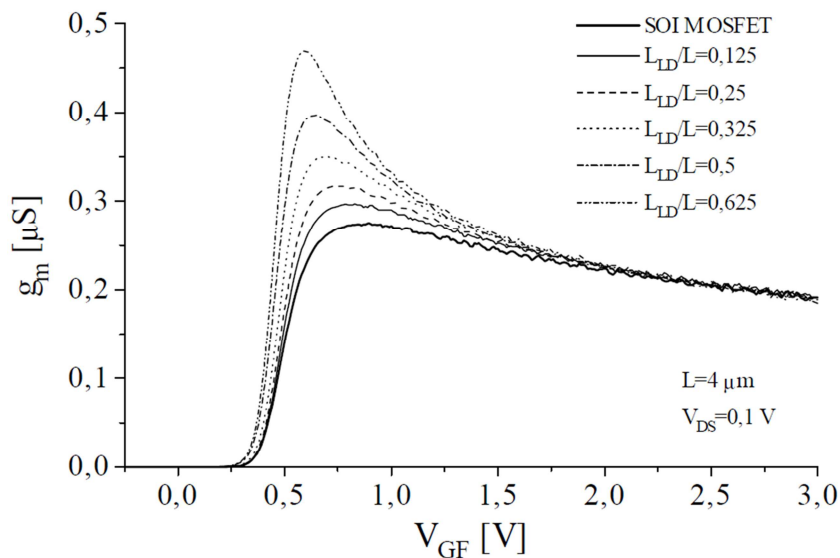


Figura 2.7 – Comparação entre as curvas da transcondutância em função da tensão de porta para os transistores GC SOI MOSFET e um SOI MOSFET convencional [4].

Da Figura 2.7 pode-se notar que há um aumento da transcondutância para os transistores GC SOI em relação ao SOI convencional de mesmo comprimento de canal de máscara (L), pois há uma redução no comprimento efetivo do canal ($L_{\text{eff}} = L - L_{\text{LD}}$).

- Menor condutância de saída, a elevação da tensão de dreno provoca o deslocamento do ponto de pinçamento para interior do canal, tornando maior a região de depleção junto ao dreno, isso significa uma modulação do comprimento de canal induzida pela variação de

V_{DS} . Essa diminuição do comprimento efetivo do canal eleva a corrente de dreno e degrada a condutância de saída [4], como mostra a Figura 2.8 [6];

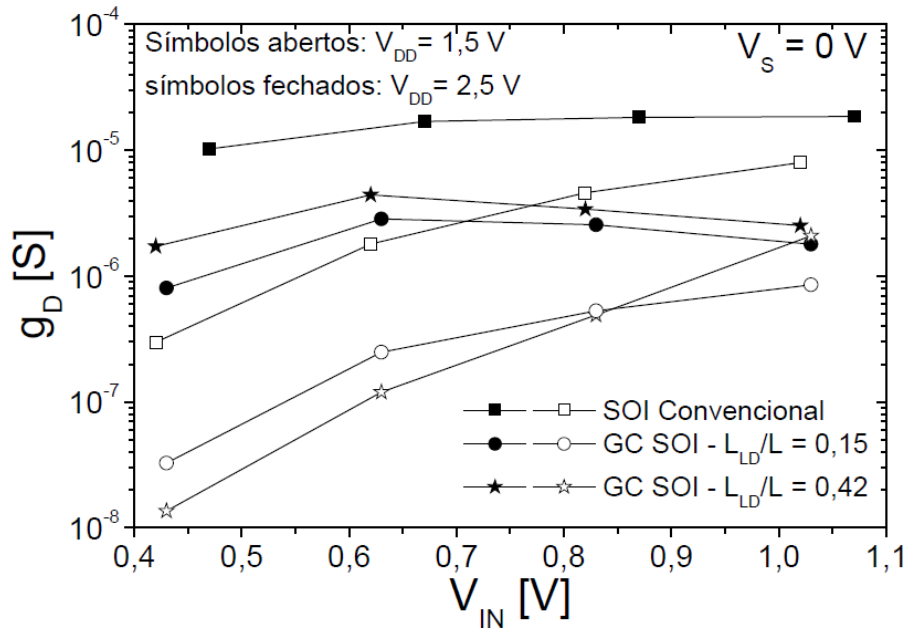


Figura 2.8 - Condutância de saída experimental extraída para $V_{DD}=1,5 \text{ V}$ (símbolos abertos) e $2,5 \text{ V}$ (símbolos fechados), com $V_S=0 \text{ V}$ [6].

- c. Maior na tensão Early, devido à diminuição da condutância de dreno. A região fracamente dopada permanece invertida sem a presença da tensão de porta, portanto, a transição entre as regiões com dopagem p e n é deslocada para dentro do canal. Este dreno virtual está a uma distância L_{LD} da junção. Com a elevação da tensão de dreno, a concentração de dopantes no dreno virtual continua praticamente constante, produzindo um aumento na tensão Early e na tensão de ruptura do dispositivo [8], como mostra a Figura 2.9 [4].

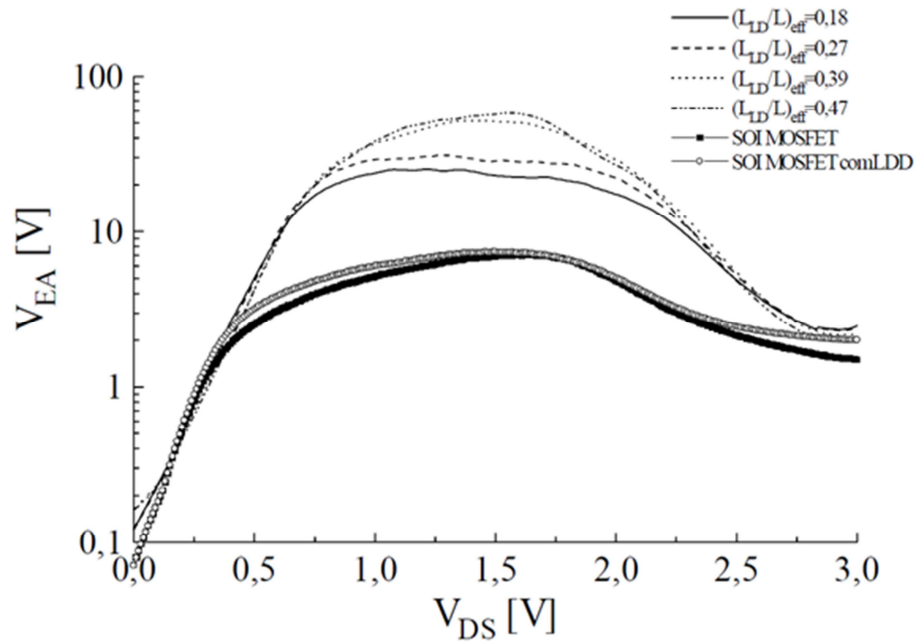


Figura 2.9 - Tensão Early dos transistores SOI MOSFET convencionais (com e sem estrutura LDD) e dos GC SOI com várias relações $(L_{LD}/L)_{eff}$, todos com $L_{eff}=0,8 \mu m$ [4].

A Figura 2.10 apresenta o comportamento da corrente entre dreno e fonte em relação à tensão de porta referente aos transistores SOI convencional e GC SOI com diferentes razões de L_{LD}/L [4].

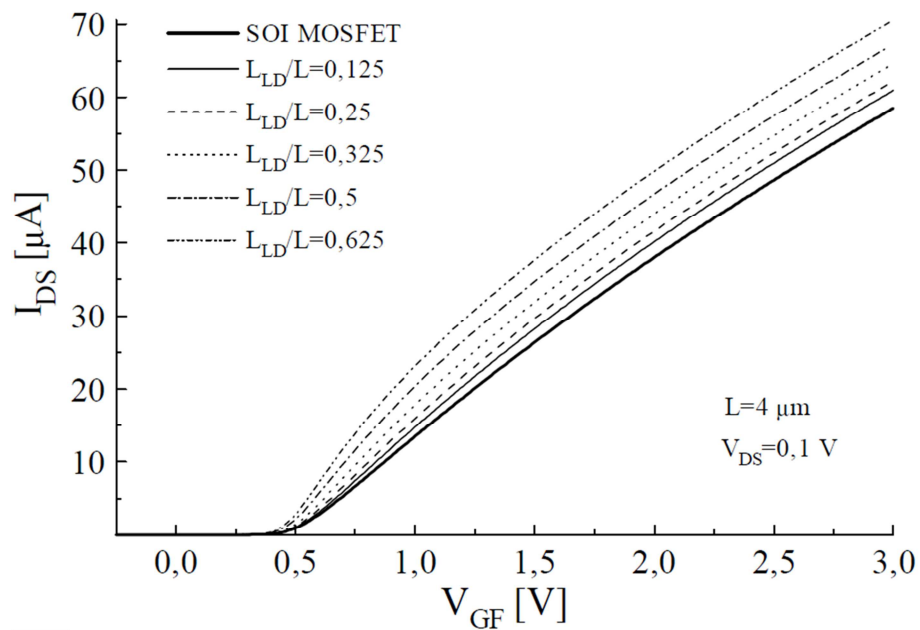


Figura 2.10 – Comparação entre as curvas da corrente de dreno em função da tensão de porta para os transistores GC SOI MOSFET e um SOI MOSFET convencional [4].

A partir da Figura 2.10 pode-se notar que há um aumento de corrente para os transistores GC SOI em relação ao SOI convencional de mesmo comprimento de canal de máscara (L), pois há uma redução no comprimento efetivo do canal ($L_{eff} = L - L_{LD}$) [4].

2.3 Ganho de Tensão de um Amplificador de Transcondutância de um único transistor

Define-se um amplificador de transcondutância, de um único transistor, que está ligado a uma carga capacitiva (C_L), como indicado esquematicamente na Figura 2.11 [24].

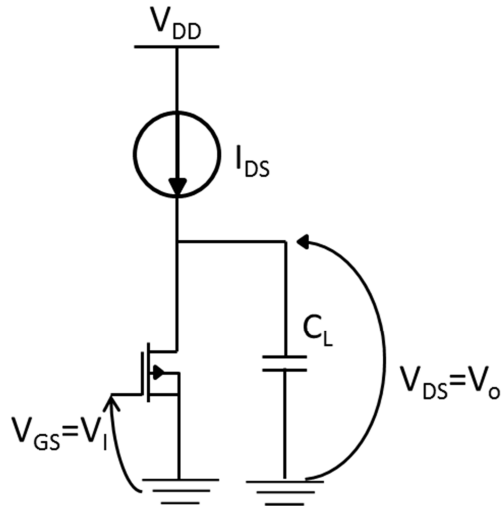


Figura 2.11 - Amplificador de transcondutância de um único transistor

Na Figura 2.11, V_{DD} é a tensão de alimentação, V_I é a tensão de entrada, V_O é a tensão de saída, V_{GF} é a tensão entre porta e fonte e V_{DS} é a tensão entre dreno e fonte de corrente de valor I_{DS} [25].

Pode-se definir o ganho de tensão (A_V) deste amplificador de transcondutância pela equação [26]:

$$A_V = \frac{\Delta V_O}{\Delta V_I} = \frac{\Delta V_{DS}}{\Delta V_{GF}} = r_{DS} \cdot \Delta I_{DS} \cdot \frac{1}{\Delta V_{GS}} = \frac{g_m}{I_{DS}} \cdot V_{EA} \quad (2.25)$$

Onde ΔV_O é a variação da tensão de saída, ΔV_I é a variação da tensão da entrada, ΔV_{DS} é a variação da tensão entre dreno e fonte ($\Delta V_{DS} = r_{DS} \cdot \Delta I_{DS}$), r_{DS} é a resistência de saída entre dreno e fonte, ΔV_{GF} é a variação de tensão entre porta e fonte, g_m é a transcondutância e V_{EA} é a tensão Early.

A tensão Early representa o efeito da modulação do comprimento de canal devido à polarização entre dreno e fonte do transistor.

Quanto maior for a razão g_m/I_{DS} e quanto maior for V_{EA} , maior será o ganho de tensão. Os maiores valores da razão g_m/I_{DS} ocorrem quando o transistor opera em regime de inversão fraca. Neste ponto de operação a razão g_m/I_{DS} é inversamente proporcional à inclinação de sub-limiar [3].

Na inversão forte, g_m/I_{DS} apresenta um comportamento hiperbólico em função da corrente entre dreno e fonte, e é dado pela equação (2.26) [3]:

$$\frac{g_m}{I_{DS}} = \sqrt{\frac{2 \cdot \mu_n \cdot C_{oxf} \cdot \frac{W}{L}}{n \cdot I_{DS}}} \quad (2.26)$$

2.4 Razão da Transcondutância pela corrente de Dreno e Fonte em função da corrente normalizada por W/L

Este método considera a razão da transcondutância (g_m) pela corrente entre dreno e fonte (I_{DS}) relacionados com uma corrente normalizada ($I_{\square} = \frac{I_{DS} \cdot L}{W}$) como uma metodologia fundamental de projeto. A escolha por $\frac{g_m}{I_{DS}}$ está baseada na relevância de três fatores [25]:

- Fortemente relacionada com o desempenho dos circuitos analógicos;
- Fornece uma indicação da região de operação do transistor;
- Fornece ferramentas para o cálculo das dimensões dos transistores.

Esta metodologia aplica-se principalmente em circuitos de baixa tensão e baixa potência (low power - low voltage) [3].

A curva de $\frac{g_m}{I_{DS}}$ em função de $\frac{I_{DS}}{\frac{W}{L}}$ não depende das dimensões dos transistores do circuito, portanto pode ser utilizada em projetos enquanto a razão $\frac{W}{L}$ for desconhecida [3].

Nesta metodologia deve-se primeiramente adotar um valor de I_{DS} . Desta corrente obtém-se o par de valores da curva $\frac{g_m}{I_{DS}}$ em função de $\frac{I_{DS}}{\frac{W}{L}}$. Adota-se um valor para o comprimento do canal (L) para a determinação da tensão Early. A partir do ganho em malha aberta desejado, pode-se calcular o valor da largura do canal (W) [3].

A Figura 2.12 apresenta um gráfico de $\frac{g_m}{I_{DS}}$ em função de $\frac{I_{DS}}{\frac{W}{L}}$ de um transistor FD SOI MOSFET e um GC SOI MOSFET [3].

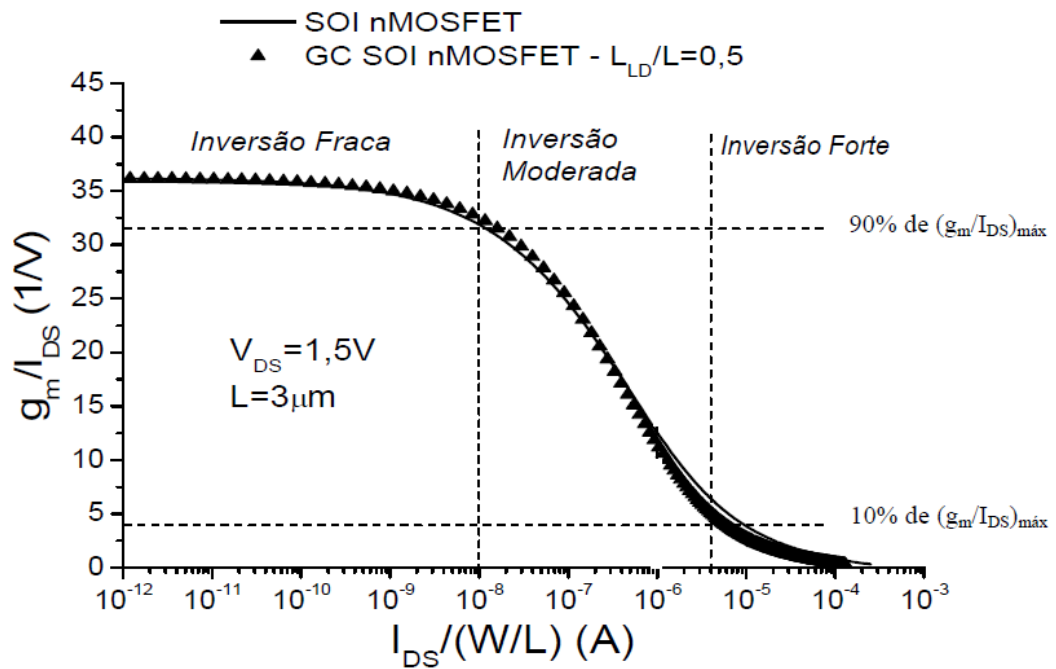


Figura 2.12 – Exemplo de um gráfico de g_m/I_{DS} em função de $I_{DS}/(W/L)$ para um SOI nMOSFET convencional e um GC SOI nMOSFET [3].

Da Figura 2.12, nota-se que o comportamento da curva $\frac{g_m}{I_{DS}}$ em função de $\frac{I_{DS}}{W/L}$ é praticamente o mesmo para o FD SOI MOSFET convencional e para o GC SOI MOSFET [3].

A derivada da Equação (2.31) é máxima quando o transistor está na região de inversão fraca onde a relação entre I_{DS} e V_{GF} é exponencial. Com o transistor na região de inversão forte esta relação é quadrática e, torna-se quase linear caso o transistor se encontre na região de inversão muito forte por causa da velocidade da saturação [2].

$$\frac{g_m}{I_D} = \frac{1}{I_D} \frac{\partial I_D}{\partial V_G} = \frac{\partial(\ln I_D)}{\partial V_G} = \frac{\partial \left\{ \ln \left[\frac{I_D}{\left(\frac{W}{L} \right)} \right] \right\}}{\partial V_G} \quad (2.27)$$

De acordo com a Equação (2.27) a relação g_m/I_{DS} também depende do fator de forma do transistor. Portanto a relação entre g_m/I_{DS} e I_D é a única característica para todos os mesmo tipos de transistor e de uma mesma fornada. Esta afirmação deve ser revista quando se trata de transistor de canal curto [2].

2.5 Amplificador operacional de transcondutância (OTA) de um único estágio e uma saída

O amplificador operacional de transcondutância (OTA) possui um par diferencial composto pelos transistores M1 e M2 cujas entradas são V_{IN+} e V_{IN-} .

A Figura 2.13 mostra a arquitetura de um OTA de estágio simples.

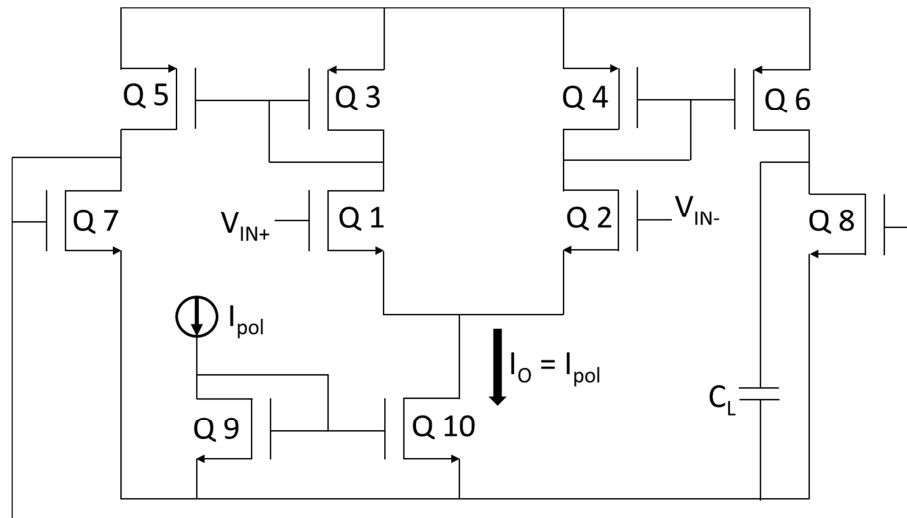


Figura 2.13 - Arquitetura utilizada no amplificador operacional de transcondutância (OTA).

Onde I_{POL} é a corrente de polarização do circuito, V_{DD} é a tensão de alimentação, I_0 é a corrente de saída do espelho de corrente de polarização, I_{DS1} e I_{DS2} são as tensões de entrada do par diferencial, GND é a tensão de referência e C_L é a capacitância de carga.

O amplificador operacional de transcondutância (OTA) de estágio simples é composto por dez transistores (6 nMOSFETs e 4 pMOSFETs).

A corrente de dreno do transistor M1 (I_{DS1}) é uma parcela da corrente I_0 . A corrente do transistor M3 (I_{DS3}) é igual à I_{DS1} . O transistor M3 forma um espelho de corrente com o transistor M5, portanto a corrente dos transistores M5 (I_{DS5}) e M7 (I_{DS7}) são $I_{DS1} \cdot K$ (K é o ganho do espelho de corrente) [27]. A corrente do transistor M2 (I_{DS2}) também é uma parcela da corrente I_0 . A corrente do transistor M4 (I_{DS4}) é igual à I_{DS2} . O transistor M4 forma um espelho de corrente com o transistor M6, portanto a corrente dos transistores M6 (I_{DS6}) e M8 (I_{DS8}) são $I_{DS2} \cdot K$. Os transistores M7 e M8 também formam um espelho de corrente, mas com ganho (K) igual 1, portanto a corrente $I_{DS1} \cdot K = I_{DS2} \cdot K$ [27].

O circuito do OTA pode ser dividido em três partes:

- Circuito de polarização por corrente;

- b. Estágio amplificador diferencial com carga ativa;
- c. Estágio de saída em espelho de corrente.

2.5.1 Espelho de corrente de polarização

A Figura 2.14 mostra o esquema elétrico do espelho de corrente utilizado no OTA. Este espelho é formado pelos transistores M9 e M10 com corrente de entrada I_{POL} e corrente de saída I_O . Os transistores M9 e M10 devem ser casados para garantir a correta polarização do estágio amplificador diferencial por corrente elétrica. O transistor M9 deve operar na região de saturação ($V_{DS} \geq V_{GS} - V_{thf}$), portanto a porta deve ser ligada ao dreno [27].

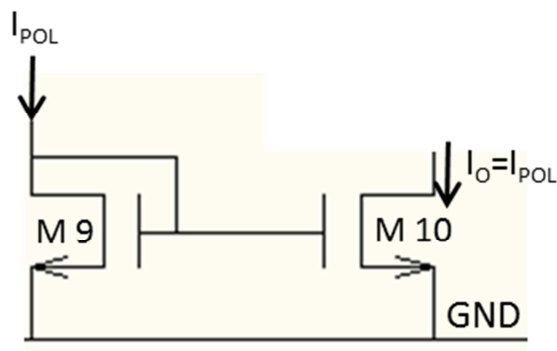


Figura 2.14 - Espelho de corrente

O espelho de corrente ligado ao estágio amplificador diferencial é projetado para fazer com que o transistor M10 também opere na região da saturação.

Ao Desprezar os efeitos da modulação de canal, I_O é dada pela Equação (2.28) [27].

$$I_O = \frac{1}{2} \cdot K_n \cdot \left(\frac{W}{L}\right)_{10} \cdot (V_{GS} - V_{th})^2 \quad (2.28)$$

Ao Desprezar os efeitos da modulação de canal, I_{POL} é dada pela Equação (2.29)(2.28) [27].

$$I_{POL} = \frac{1}{2} \cdot K_n \cdot \left(\frac{W}{L}\right)_9 \cdot (V_{GS} - V_{th})^2 \quad (2.29)$$

Onde K_n é o fator de ganho do transistor MOSFET.

Da equação (2.31) deriva-se a corrente entre dreno e fonte do transistor M10 (I_0) em relação à corrente entre dreno e fonte do transistor M9 (I_{pol}).

$$I_0 = \frac{\left(\frac{W}{L}\right)_{10}}{\left(\frac{W}{L}\right)_9} \cdot I_{pol} \quad (2.30)$$

Da equação (2.30) pode-se concluir que a corrente entre dreno e fonte do transistor M10 (I_0) está diretamente relacionada com a corrente de referência (I_{pol}), através da razão entre as razões W/L dos transistores M10 e M9 [3].

Uma metodologia adotada para garantir que os dois transistores operem em saturação é projetá-los com as mesmas características e dimensões ($\frac{\left(\frac{W}{L}\right)_{10}}{\left(\frac{W}{L}\right)_9} = 1$).

2.5.2 Estágio amplificador diferencial com carga ativa

O estágio amplificador diferencial com carga ativa é formado pelos transistores M1, M2, M3 e M4 da Figura 2.13. Os transistores M1 e M2 formam o par diferencial e M3 e M4 são os transistores que formam o espelho de corrente. Os transistores M3 e M4 possuem os seus drenos ligados a suas respectivas portas, portanto esses transistores operam na região de saturação. Os transistores M3 e M4 também são casados, portanto suas dimensões e características elétricas são também similares [27].

2.5.2.1 Análise modo comum

Se as entradas do par diferencial são dadas por V_{in-} e V_{in+} são iguais a uma tensão V_{CM} (tensão de modo comum), os transistores M1 e M2 são casados e os transistores M3 e M4 são casados, a corrente I_0 será dividida por dois. Os M1 e M3 estão ligados em série, a corrente que passa por M1 é a mesma que passa por M3 e equivale a $\frac{I_0}{2}$. O mesmo ocorre para os transistores M2 e M4 [27].

Se as correntes nos dois nós do par diferencial são iguais, as tensões de dreno dos transistores M1 e M2 tornam-se iguais e, conseqüentemente, a diferença de potencial entre esses drenos também se tornam igual à zero [27].

O processo de fabricação dos transistores introduz um descasamento intrínseco ao circuito. Este descasamento pode ser compensado por uma tensão diferencial na entrada, chamada de tensão de desequilíbrio, ou mais conhecida como tensão de offset (V_{OS}).

Se variar a mesma proporção às tensões de entrada V_{in-} e V_{in+} , a corrente do espelho de corrente continua se dividindo igualmente e as tensões dos drenos dos transistores M1 e M2 continuam similares. Portanto, o par diferencial não responde às tensões de entrada em modo comum (V_{CM}) [3] [27].

2.5.2.2 Análise do modo diferencial

Considere que os transistores M1 e M2 estão polarizados na região de saturação. Nota-se que os transistores M3 e M4 estão também operando na região de saturação, pois suas portas estão ligadas a seus drenos. Desprezando-se as resistências de saída do amplificador e o efeito de corpo, é possível expressar as correntes entre dreno e fonte dos transistores M1 e M2, de acordo com as equações (2.31) e (2.32) [28]:

$$I_{DS1} = \frac{1}{2} \cdot K_n \cdot \frac{W}{L} \cdot (V_{GS1} - V_{th})^2 \quad (2.31)$$

$$I_{DS2} = \frac{1}{2} \cdot K_n \cdot \frac{W}{L} \cdot (V_{GS2} - V_{th})^2 \quad (2.32)$$

Onde I_{DS1} e I_{DS2} são as correntes entre dreno e fonte dos transistores M1 e M2 respectivamente, V_{GS1} e V_{GS2} são as tensões entre porta e fonte dos transistores M1 e M2 [26].

As equações podem ser reescritas por:

$$\sqrt{I_{DS1}} = \sqrt{\frac{1}{2} \cdot K_n \cdot \frac{W}{L} \cdot (V_{GS1} - V_{th})^2} \quad (2.33)$$

$$\sqrt{I_{DS2}} = \sqrt{\frac{1}{2} \cdot K_n \cdot \frac{W}{L} \cdot (V_{GS2} - V_{th})} \quad (2.34)$$

Subtraem-se as equações (2.34) de (2.33) e, também $V_{id} = V_{GS1} = V_{GS2}$, tem-se que [28]:

$$\sqrt{I_{DS1}} - \sqrt{I_{DS2}} = \sqrt{\frac{1}{2} \cdot K_n \cdot \frac{W}{L} \cdot V_{id}} \quad (2.35)$$

Onde V_{id} é a tensão diferencial de entrada do amplificador diferencial.

Sabe-se que:

$$I_O = I_{DS1} + I_{DS2} \quad (2.36)$$

Portanto:

$$I_{DS1} = \frac{I_O}{2} + \sqrt{\frac{1}{2} \cdot K_n \cdot I_O \cdot \frac{V_{id}}{2}} \cdot \sqrt{1 - \frac{\left(\frac{V_{id}}{2}\right)^2}{\frac{I_O}{K_n \cdot \frac{W}{L}}}} \quad (2.37)$$

$$I_{DS2} = \frac{I_O}{2} - \sqrt{\frac{1}{2} \cdot K_n \cdot I_O \cdot \frac{V_{id}}{2}} \cdot \sqrt{1 - \frac{\left(\frac{V_{id}}{2}\right)^2}{\frac{I_O}{K_n \cdot \frac{W}{L}}}} \quad (2.38)$$

No ponto de polarização quiescente $V_{id} = 0$, portanto:

$$I_{DS1} = I_{DS2} = \frac{I_O}{2} \quad (2.39)$$

Os transistores M1 e M2 são casados e, suas correntes entre fonte e dreno são iguais, portanto tem-se:

$$V_{GS1} = V_{GS2} = V_{GS} \quad (2.40)$$

Ao considerar que $V_{id} \ll V_{GS} - V_{thf}$, tem-se:

$$I_{DS1} = \frac{I_O}{2} + \left(\frac{I_O}{V_{GS} - V_{thf}} \right) \cdot \left(\frac{V_{id}}{2} \right) = \frac{I_O}{2} + i_{ds1} \quad (2.41)$$

$$I_{DS2} = \frac{I_O}{2} - \left(\frac{I_O}{V_{GS} - V_{thf}} \right) \cdot \left(\frac{V_{id}}{2} \right) = \frac{I_O}{2} - i_{ds2} \quad (2.42)$$

Onde i_{ds1} e i_{ds2} são, respectivamente, as correntes diferenciais entre fonte e dreno dos transistores M1 e M2 devido à aplicação de um sinal diferencial de tensão na entrada do amplificador diferencial. Sabe-se que i_{ds1} e i_{ds2} apresentam os mesmos valores ($i_{ds1} = i_{ds2} = i_{ds}$). Logo a corrente i_{ds} dada pela equação [28]:

$$i_{ds} = \left(\frac{I_O}{V_{GS} - V_{thf}} \right) \cdot \left(\frac{V_{id}}{2} \right) \quad (2.43)$$

Caso o transistor seja polarizado na região de saturação, pode-se afirmar que a transcondutância é dada por:

$$g_m = \left(\frac{\partial i_{ds}}{\partial V_{GS}} \right) = K_n \cdot \frac{W}{L} \cdot (V_{GS} - V_{th}) = \sqrt{K_n \cdot \frac{W}{L} \cdot I_{DS}} = \frac{2 \cdot I_{DS}}{(V_{GS} - V_{thf})} \quad (2.44)$$

A transcondutância de cada transistor do par diferencial pode ser escrita por [3]:

$$g_m = \frac{I_O}{(V_{GS} - V_{thf})} \quad (2.45)$$

Logo é possível afirmar que a corrente entre dreno e fonte do transistor M1 (I_{DS1}) é acrescida da corrente diferencial i_{ds} . A corrente entre dreno e fonte do transistor M2 (I_{DS2}) é subtraída da corrente diferencial i_{ds1} para os sinais de entrada diferenciais em que $V_{id} \ll V_{GS} - V_{thf}$.

A corrente diferencial entre dreno e fonte em cada transistor do par diferencial é diretamente proporcional a sua transcondutância e a metade da tensão diferencial que é aplicada na entrada do amplificador.

$$i_{ds} = g_m \cdot \left(\frac{V_{id}}{2} \right) \quad (2.46)$$

Onde i_{ds} é a componente alternada da corrente diferencial entre dreno e fonte para o transistor M1.

Os transistores M3 e M4 do estágio amplificador diferencial compõem dois espelhos de corrente. Um espelho entre M3 e M5 e outro entre M4 e M6. As correntes diferenciais são espelhadas através dos transistores M5 e M6, ou seja, i_{ds5} e i_{ds6} , respectivamente:

$$i_{ds5} = i_{ds6} = g_m \cdot \frac{\left(\frac{W}{L} \right)_5}{\left(\frac{W}{L} \right)_3} \cdot \left(\frac{V_{id}}{2} \right) = g_m \cdot \frac{\left(\frac{W}{L} \right)_6}{\left(\frac{W}{L} \right)_4} \cdot \left(\frac{V_{id}}{2} \right) \quad (2.47)$$

Os transistores M7 e M8 também compõem um espelho de corrente. A corrente diferencial é espelhada através do transistor M7 e dada por:

$$i_{ds8} = g_m \cdot \frac{\left(\frac{W}{L} \right)_8 \cdot \left(\frac{W}{L} \right)_6}{\left(\frac{W}{L} \right)_7 \cdot \left(\frac{W}{L} \right)_5} \cdot \left(\frac{V_{id}}{2} \right) \quad (2.48)$$

2.5.3 Estágio de saída em espelho de corrente

2.5.3.1 Análise DC

Este estágio é composto pelos transistores M6 e M8. A corrente destes transistores é oriunda do espelho de corrente formado pelos transistores M4 e M6. As razões W/L dos transistores devem ser ajustadas para que o nó de saída tenha uma tensão $\frac{V_{DD}}{2}$. Neste ponto de operação, o amplificador terá a maior excursão de sinal de saída [27].

2.5.3.2 Análise AC

Pode-se utilizar o modelo de pequenos sinais para calcular a tensão de saída diferencial V_O dos transistores M6 e M8, onde r_{o6} e r_{o8} são as resistências diferenciais do modelo de pequenos sinais do MOSFET, mostrado na Figura 2.15 [3]:

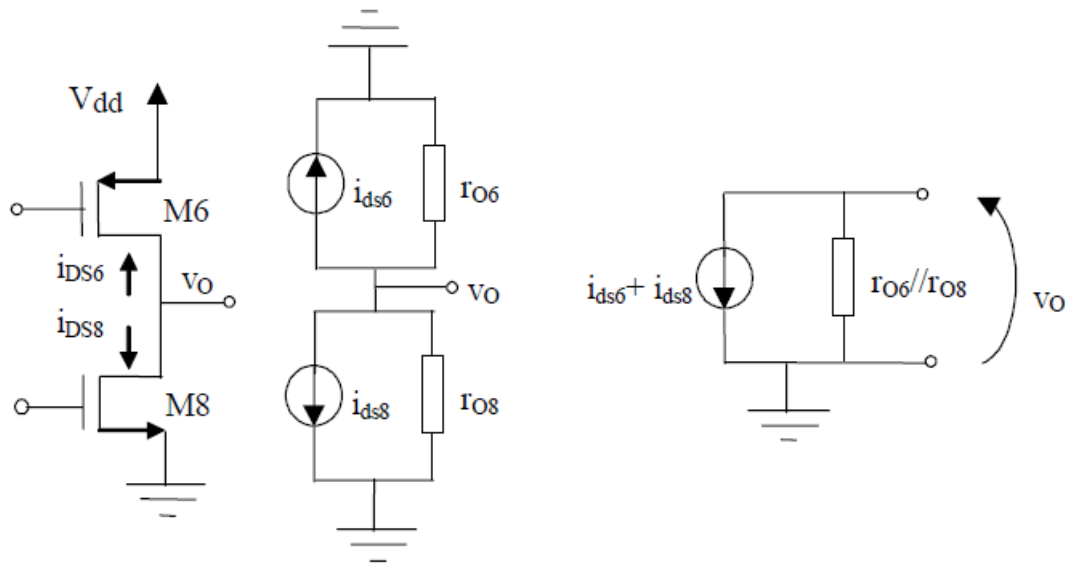


Figura 2.15 - Modelo de Pequenos sinais do estágio de saída do OTA [3].

Onde i_{d6} é a componente alternada da corrente diferencial entre dreno e fonte para o transistor M6, i_{d8} é a componente alternada da corrente diferencial entre dreno e fonte para o transistor M8, r_{o6} é a resistência diferencial de saída de transistor M6 e r_{o8} é a resistência diferencial de saída de transistor M8.

Da Figura 2.15, pode-se escrever a equação de pequenos sinais:

$$V_0 = -(i_{ds6} + i_{ds8}) \cdot \left(\frac{r_{08} \cdot r_{06}}{r_{08} + r_{06}} \right) = -g_m \cdot \frac{\left(\frac{W}{L} \right)_6}{\left(\frac{W}{L} \right)_4} \cdot V_{id} \cdot \left(\frac{r_{08} \cdot r_{06}}{r_{08} + r_{06}} \right) \quad (2.49)$$

A resistência diferencial de um transistor MOSFET é dada pela equação abaixo:

$$r_0 = \frac{V_{EA}}{I_{DS}} \quad (2.50)$$

Portanto, da equação (2.49), tem-se:

$$V_0 = -\frac{g_m}{I_{DS}} \cdot \frac{\left(\frac{W}{L} \right)_6}{\left(\frac{W}{L} \right)_4} \cdot V_{id} \cdot \left(\frac{V_{EA6} \cdot V_{EA8}}{V_{EA6} + V_{EA8}} \right) \quad (2.51)$$

2.6 Ganho de tensão de pequenos sinais de malha aberta do OTA

Através do modelo de pequenos sinais, após a definição da tensão de saída, é possível definir o ganho de tensão de malha aberta de pequenos sinais de baixas frequências (A_{V0}) do OTA [21], de acordo com a equação abaixo:

$$A_{V0} = \frac{V_0}{V_{id}} = -\frac{g_m}{I_{DS}} \cdot \frac{\left(\frac{W}{L} \right)_6}{\left(\frac{W}{L} \right)_4} \cdot \left(\frac{V_{EA6} \cdot V_{EA8}}{V_{EA6} + V_{EA8}} \right) \quad (2.52)$$

Onde $\left(\frac{W}{L} \right)_6$ é a razão da largura pelo comprimento do canal para o transistor M6, $\left(\frac{W}{L} \right)_8$ é a razão da largura pelo comprimento do canal para o transistor M8, V_{EA6} é a tensão Early para o transistor M6 e V_{EA8} é a tensão Early para o transistor M8.

O ganho de tensão de malha aberta de pequenos sinais do OTA (A_{V0}) é diretamente proporcional à razão entre as razões W/L dos transistores M6 e M4 ou dos transistores M5 e

M3. Também é diretamente proporcional à razão entre a transcondutância e a corrente entre dreno e fonte quiescente de um dos transistores que formam o par diferencial e da razão entre o produto e a soma das tensões Early dos transistores do estágio de saída [12].

2.7 Frequência de ganho unitário do OTA

A frequência de ganho unitário (f_T) ou produto ganho de tensão pela largura de banda (GBW) do OTA pode ser definida em função da tensão Early e é dado pela equação [12]:

$$GBW = f_T = A_{VO} \cdot f_0 = \frac{g_m}{I_{DS}} \cdot \frac{\left(\frac{W}{L}\right)_6}{\left(\frac{W}{L}\right)_4} \cdot \left(\frac{I_{DS}}{2 \cdot \pi \cdot C_L}\right) \quad (2.53)$$

Onde C_L é a carga capacitiva é colocada em sua saída e f_0 é a frequência de corte a -3 dB do ganho de tensão de malha aberta de baixas frequências. A frequência de corte f_0 pode ser definida como:

$$f_0 = \frac{1}{R_{th} \cdot C_L} = \frac{I_{DS}}{2 \cdot \pi \cdot C_L \cdot \left(\frac{V_{EA6} \cdot V_{EA8}}{V_{EA6} + V_{EA8}}\right)} \quad (2.54)$$

Onde R_{th} é a resistência de Thevenin equivalente do OTA.

A Figura 2.16 apresenta um Diagrama de Bode de magnitude. Neste diagrama obtém-se o comportamento do amplificador em função da sua frequência de operação. A_{VO} é o ganho de tensão em malha aberta de baixa frequência do amplificador e pode ser expresso em V/V ou Decibéis. f_0 é a frequência de corte a -3dB do ganho de tensão de malha aberta de baixa frequência. f_T é a frequência de ganho unitário, ou seja, nesta frequência o ganho do amplificador é de 0dB.

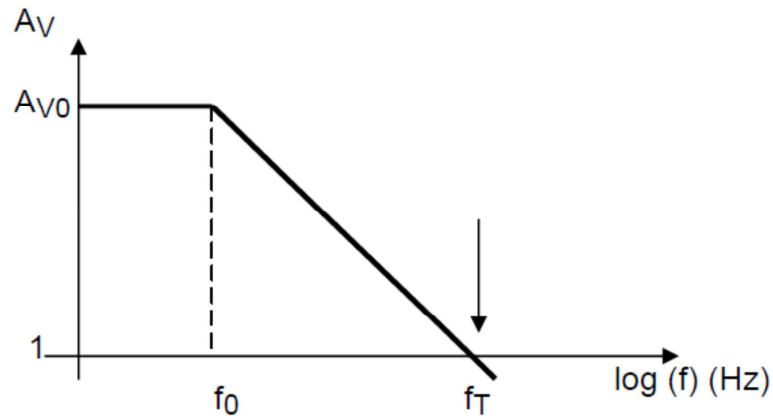


Figura 2.16 - Diagrama de Bode para um OTA [12].

2.8 Margem de Ganho e Fase do Amplificador OTA

É possível verificar a estabilidade ou instabilidade no funcionamento de um amplificador operacional. A estabilidade pode determinada através da investigação do ganho de malha fechada ($A_{V0} \cdot \beta$) em função da frequência (f), onde A_{V0} é o ganho de tensão de malha aberta e β é o ganho da realimentação negativa do circuito. Uma maneira simples e eficaz de caracterizar a estabilidade do circuito é através do diagrama de Bode de $A_{V0} \cdot \beta$ como é mostrado na referência [28].

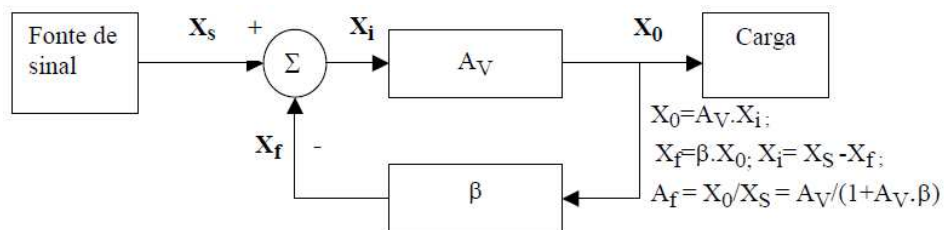


Figura 2.17 - Diagrama de blocos de um amplificador realimentado [3].

Onde X_S é a fonte do sinal de entrada, X_f é o sinal amplificado da realimentação negativa, X_i é a diferença entre os sinais X_S e X_f , X_0 é o sinal de saída, A_f é o ganho do amplificador realimentado.

A Figura 2.18 apresenta os gráficos do diagrama Bode de magnitude e fase. O gráfico de magnitude do diagrama de Bode é composto pelo ganho em malha fecha do sistema em função das frequências. O gráfico de fase do diagrama de Bode é composto pela defasagem do sistema em função das frequências [29].

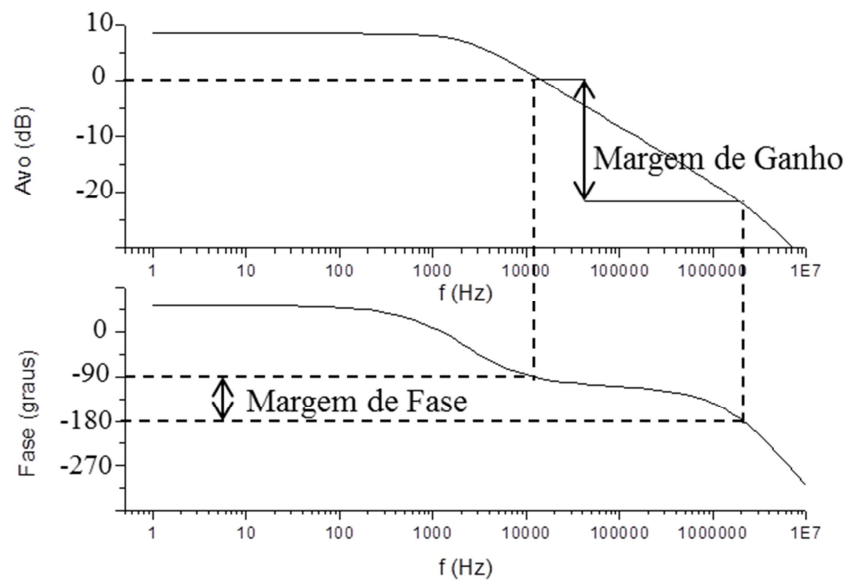


Figura 2.18 - Estabilidade e Instabilidade de circuitos [28].

Dois critérios são utilizados para caracterizar a estabilidade de um sistema pelo diagrama de Bode: Margem de Ganho (G_M) e Margem de Fase (Φ_M) [29].

A partir do gráfico de fase pode-se encontrar a frequência (ω_{MG}) em que a defasagem do sistema é igual a 180° . A Margem de Ganho pode ser entendida como o ganho necessário para elevar a curva da magnitude se eleve à 0 dB. Se a Margem de Ganho for negativa ($\omega_{MG} < \omega_0$), o sistema está estável, mas se for positiva o sistema está instável [30].

A Margem de Fase é a variação entre ω_{MG} e ω_0 . Normalmente os amplificadores são projetados para uma Margem de Fase de 45° .

2.9 Cálculo da Potência Dissipada no OTA

A potência elétrica do circuito do OTA pode ser calculada pela Equação 2.57 [28]:

$$P = V_{DD} \cdot I \quad (2.55)$$

O OTA possui quatro nós de corrente elétrica, portanto:

$$P = V_{DD} \cdot (I_{DS1} + I_{DS2} + I_{DS5} + I_{DS6} + I_{POL}) \quad (2.56)$$

Mas I_{DS5} e I_{DS6} podem ser expressos por:

$$I_{DS5} = I_{DS1} \cdot \frac{\left(\frac{W}{L}\right)_5}{\left(\frac{W}{L}\right)_3} \quad (2.57)$$

$$I_{DS6} = I_{DS2} \cdot \frac{\left(\frac{W}{L}\right)_6}{\left(\frac{W}{L}\right)_4} \quad (2.58)$$

Se os transistores M3 – M5, M4 – M6, M1 - M2 e M3 - M4 possuírem as mesmas características elétricas e as mesmas dimensões então:

$$I_{DS1} = I_{DS2} = I_{DS5} = I_{DS6} \quad (2.59)$$

Ao substituir a Equação (2.59) na Equação(2.61):

$$P = V_{DD} \cdot (I_{DS1} + I_{DS1} + I_{DS1} + I_{DS1} + I_{POL}) = V_{DD} \cdot (4 \cdot I_{DS1} + I_{POL}) \quad (2.60)$$

Se os transistores do par diferencial forem casados, a corrente I_0 que passa pelo transistor M10 é dividida por dois.

$$I_{DS1} = \frac{I_0}{2} \quad (2.61)$$

Ao substituir a Equação (2.61) na Equação (2.60):

$$P = V_{DD} \cdot (2 \cdot I_0 + I_{POL}) \quad (2.62)$$

Se os transistores M9 – M10 possuírem as mesmas características elétricas e as mesmas dimensões então:

$$P = V_{DD} \cdot 3 \cdot I_{pol} \quad (2.63)$$

3 MODELOS DE SIMULAÇÕES SPICE EM ICAP/4 E ELDO

3.1 Simulação no programa ICAP/4

O programa ICAP/4(Intusoft) [8] é um simulador do tipo SPICE. Este programa possui um modelo para simulações do FD SOI MOSFET, chamado de FDSOIN. Este modelo é baseado no modelo analítico contínuo [2].

Este programa foi utilizado na referência [3] para realizar as simulações dos circuitos dos amplificadores operacionais de transcondutância (OTA) utilizando dados experimentais de calibração.

As simulações SPICE realizadas no ICAP/4 foram calibradas com base em medidas experimentais realizadas com os amplificadores operacionais de transcondutância (OTA) à temperatura ambiente da referência [3]. O resultado dessas simulações foi utilizado como parâmetro de comparação para o resultado das simulações do programa SPICE ELDO (Mentor Graphics) [7].

O modelo FDSOIN do programa ICAP/4 é baseado no modelo analítico contínuo para transistores FD SOI MOSFET [31]. Para este modelo, o transistor possui quatro terminais: Porta (V_{GF}), Subtrato (V_{GB}), fonte (V_S) e dreno (V_D). A polarização do transistor para o cálculo da corrente entre fonte e dreno é dada pelos quatro terminais [8].

O efeito da resistência dreno-fonte parasitária é incluída neste modelo e a expressão da carga total é obtida por aproximação quasi-estática [31]. As capacitâncias intrínsecas são obtidas através das derivadas das cargas totais em função às polarizações aplicadas em cada terminal [31]. As correntes transitórias que fluem para os terminais são expressas como derivadas das cargas de terminal cada terminal no tempo. A parte extrínseca do modelo consiste na sobreposição e capacitâncias de junção [8].

Para a simulação dos circuitos com a tecnologia GC SOI MOSFET foram utilizados dois transistores SOI MOSFET convencionais em série, pois o programa não possui modelo específico de GC SOI MOSFET. Cada um dos transistores representa uma parte do canal do transistor GC SOI MOSFET [3].

3.1.1 Modelo analítico contínuo para SOI MOSFET

O modelo analítico contínuo do dispositivo FD SOI MOSFET convencional foi proposto pela referência [31]. A corrente entre dreno e fonte do FD transistor SOI MOSFET convencional pode ser descrita pela equação (3.1).

$$I_{DS} = -W \cdot \mu_n \left(Q_{nf} \cdot \frac{\partial \Phi_{S1}}{\partial x} - v_T \cdot \frac{\partial Q_{nf}}{\partial x} \right) \quad (3.1)$$

Onde Q_{nf} é a carga de inversão da primeira interface, Φ_{S1} é o potencial de superfície da primeira interface, μ_n é a mobilidade dos elétrons, W é a largura do canal e v_T é o potencial térmico que pode ser descrito por [13]:

$$v_T = \frac{k \cdot T}{q} \quad (3.2)$$

Da relação linear entre potencial de superfície e carga de inversão:

$$\frac{\partial \Phi_{SF}}{\partial y} = \frac{1}{n \cdot C_{oxf}} \cdot \frac{\partial Q_{nf}}{\partial y} \quad (3.3)$$

Tem-se [13]:

$$I_{DS} = \frac{W \cdot \mu_n}{L} \cdot \left[v_T \cdot (Q_{nf,d} - Q_{nf,s}) - \frac{Q_{nf,d}^2 - Q_{nf,s}^2}{2 \cdot n \cdot C_{oxf}} \right] \quad (3.4)$$

Nota-se, a partir da equação (3.4) que a corrente entre dreno e fonte é função da densidade de carga de inversão nas fronteiras do canal com as regiões de fonte e dreno ($Q_{nf,s}$ e $Q_{nf,d}$) [31].

Se desprezar os efeitos de canal curto, a carga de inversão pode ser expressa em função das tensões aplicadas ao dispositivo. Com isso, o modelo torna-se válido para todos os regimes de operação através da equação da carga de inversão, descrita na equação (2.35) [31]:

$$Q_{nf} = -C_{oxf} \cdot n \cdot v_T \cdot S_{NT} \cdot \log \left[1 + \frac{\frac{-Q_0}{C_{oxf}}}{n \cdot v_T \cdot S_{NT}} \cdot e^{\frac{V_{GF} - n \cdot V_{thfi} - n \cdot V_C}{n \cdot v_T}} + e^{\frac{V_{GF} - n \cdot V_{thf} - n \cdot V_C}{n \cdot v_T \cdot S_{NT}}} \right] \quad (3.5)$$

Onde V_{thfi} é a tensão de limiar em inversão fraca, V_{thf} é a tensão de limiar em inversão forte, Q_0 é a carga de inversão para $V_{GF} = V_{thfi}$, S_{NT} é o parâmetro de ajuste que controla a transição entre os regimes de inversão forte e fraca e V_C é o potencial ao longo do canal ($V_C = 0$ do lado da fonte e $V_C = V_{DS}$ do lado do dreno) [31].

O programa ICAP/4 não possui um modelo específico para simular o comportamento de um transistor GC SOI. Portanto foi utilizada uma associação série assimétrica de dois transistores, como mostra a Figura 3.1.

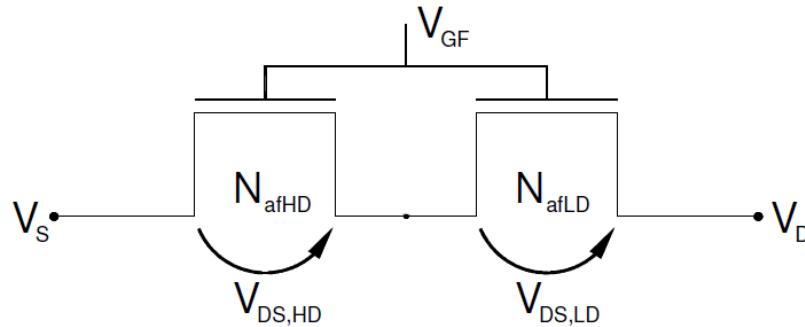


Figura 3.1 - Representação elétrica do dispositivo GC SOI MOSFET através da associação de dois transistores SOI MOS convencional totalmente depletado [32].

A Figura 3.1 representa uma associação série com a porta curto-circuitada de dois transistores SOI convencionais, na qual o transistor perto da fonte (V_S) possui uma maior concentração de dopantes (N_{afHD}) e o transistor perto do dreno (V_D) possui uma maior concentração de dopantes fracamente dopado (N_{afLD}) [15].

3.2 Simulação em ELDO

O programa ELDO (Mentor Graphics) é um simulador SPICE. Foi desenvolvido para este programa um modelo de simulação específico para transistores da tecnologia GS SOI

MOS. Este programa foi escolhido para este desenvolvimento, pois a Mentor Graphics disponibiliza as ferramentas necessárias para a criação e implantação de novos modelos.

As simulações realizadas no programa SPICE ELDO se baseiam em dois modelos principais: LEVEL 22 e LEVEL 25.

O modelo “LEVEL 22” foi desenvolvido pela UCL (*Université Catholique de Louvain*) para realizar simulações de FD SOI MOSFET convencionais em temperaturas ambiente e altas temperaturas [7].

O estudo do modelo “LEVEL 22” se mostrou importante por que em todos os circuitos dos amplificadores operacionais de transcondutância os transistores do tipo P são da tecnologia SOI convencional.

O modelo “LEVEL 25” é baseado no modelo analítico contínuo para dispositivos GC SOI MOSFET [7].

3.2.1 Modelo analítico contínuo para GC SOI MOSFET

A corrente (I_{DS}) pode ser obtida ao considerar o transistor de canal gradual um transistor SOI convencional. Neste, a tensão de limiar depende da característica das duas regiões do canal [6].

A Equação (3.6) define a corrente de dreno:

$$I_{DS} = \frac{W}{L_{eff}} \cdot \frac{\mu_n}{1 + V_{DE} \cdot \frac{\mu_n}{L_{eff} \cdot V_{sat}}} \cdot \left[V_T \cdot (Q_{D,HD} - Q_{S,HD}) - \frac{Q_{D,HD}^2 - Q_{S,HD}^2}{2 \cdot n \cdot C_{oxf}} \right] \quad (3.6)$$

Onde μ_n é a mobilidade na camada de inversão dependente do campo elétrico vertical e horizontal, V_T é o potencial térmico, $L_{eff} = L - L_{LD} - \Delta L - L_{sat}$, ΔL é a redução do comprimento do canal, V_{DE} é a diferença de entre fonte e dreno, L_{sat} é o comprimento do canal da região saturada, $Q_{D,HD}$ e $Q_{S,HD}$ são as densidades de carga na inversão por unidade de área no dreno e na fonte da região fortemente dopada.

A tensão efetiva entre dreno e fonte para a região de canal fortemente dopada (V_{DSE}) pode ser calculada pela Equação (3.7) [5].

$$V_{DSE} = V_{DS,SAT} - V_{DS,SAT} \cdot \frac{\ln \left[1 + e^{A_{TS} \cdot \left(1 - \frac{V_{D,HD}}{V_{DS,SAT}} \right)} \right]}{\ln[1 + e^{A_{TS}}]} \quad (3.7)$$

Onde A_{TS} é o parâmetro que controla a transição entre as regiões de triodo e saturação, $V_{DS,SAT}$ é a tensão de saturação e $V_{D,HD}$ é a tensão de dreno da região fortemente dopada do canal.

$$V_{D,HD} = V_{D,HD,SAT} - V_{D,HD,SAT} \cdot \frac{\ln \left[1 + e^{B_{TS} \cdot \left(1 - \frac{V_{D,HD,LIN}}{V_{D,HD,SAT}} \right)} \right]}{\ln[1 + e^{B_{TS}}]} \quad (3.8)$$

Onde B_{TS} é o parâmetro de ajuste que controla a transição entre as regiões de triodo e saturação, $V_{D,HD,SAT}$ e $V_{D,HD,LIN}$ são as tensões de dreno nestas regiões, respectivamente.

$$V_{D,HD,LIN} = \frac{-B_T + \sqrt{B_T^2 - 4 \cdot A_T \cdot C_T}}{2 \cdot A_T} \quad (3.9)$$

Onde:

$$A_T = -\frac{\mu_n \cdot n}{2 \cdot (L - L_{LD})} + \frac{\mu_{nLD}}{L_{LD}} \cdot \left(\frac{n}{2} - 1 \right) \quad (3.10)$$

$$B_T = \frac{\mu_{nHD} \cdot V_{GT,HD}}{L - L_{LD}} + \frac{\mu_{nLD} \cdot [V_{GT,LD} + V_D \cdot (1 - n)]}{L_{LD}} \quad (3.11)$$

$$C_T = -\frac{\mu_{nLD}}{L_{LD}} \cdot \left[V_{GT,LD} \cdot V_D - \frac{n \cdot V_D^2}{2} \right] \quad (3.12)$$

A diferença de potencial na região de dreno do lado fortemente dopado na região de saturação é dada por:

$$V_{D,HD,SAT} = V_{INTERM,SAT} + V_{D,HD0} \quad (3.13)$$

onde

$$V_{INTERM,SAT} = \frac{1}{n} \cdot \left(\frac{V_{satLD}}{V_{satHD}} \cdot \frac{Q_{D,LD}}{C_{oxf}} + V_{GT,HD} \right) \quad (3.14)$$

No modelo do GC SOI MOSFET proposto à carga de inversão varia ao longo do canal, não apenas pela variação do potencial de superfície, mas também pelas diferentes concentrações de dopantes presentes no canal e não considera os efeitos de canal curto [33].

Com as considerações e cálculos, podem-se obter equações (3.15) e (3.16). Estas equações garantem a continuidade da corrente elétrica no transistor GC SOI.

$$I_{DS} = \frac{W \cdot \mu_{nHD}}{L - L_{LD}} \cdot \left[v_T \cdot (Q_{nf,HD_{L-L_{LD}}} - Q_{nf,HD_0}) - \frac{Q_{nf,HD_{L-L_{LD}}}^2 - Q_{nf,HD_0}^2}{2 \cdot n \cdot C_{oxf}} \right] \quad (3.15)$$

$$I_{DS} = \frac{W \cdot \mu_{nLD}}{L_{LD}} \cdot \left[v_T \cdot (Q_{nf,LD_L} - Q_{nf,LD_{L-L_{LD}}}) - \frac{Q_{nf,LD_L}^2 - Q_{nf,LD_{L-L_{LD}}}^2}{2 \cdot n \cdot C_{oxf}} \right] \quad (3.16)$$

Ao comparar as equações (3.15) e (3.16) dos transistores GC SOI, com a equação (3.4) dos transistores FD SOI convencionais, pode-se notar que há a associação de dois transistores FD SOI convencionais em série como modelo equivalente ao modelo dos transistores GC SOI.

A Tabela 3.1 mostra os parâmetros necessários para realizar calibrar das simulações.

Tabela 3.1 – Parâmetros do modelo “LEVEL 25”.

Nome	Parâmetro	Unidade
ATS	Parâmetro que controla a transição entre as regiões de triodo e saturação	-
BTS	Parâmetro que controla a transição entre as regiões de triodo e saturação	-
ALPHAH	Degradação da mobilidade para o lado fortemente dopado	m/V
ALPHAL	Degradação da mobilidade para o lado fracamente dopado	m/V
LCH	Comprimento característico da região fortemente dopada	m
U0H	Mobilidade dos portadores independente de campo elétrico para o lado fortemente dopado	m ² /V.s
U0L	Mobilidade dos portadores independente de campo elétrico para o lado fracamente dopado	m ² /V.s
NAH	Concentração de dopantes do lado fortemente dopado	m ⁻³
NSUB	Concentração de dopantes do substrato	m ⁻³
Q0H	Carga de inversão para VGS = Vthfi para a região fortemente dopada	C/m ²
Q0L	Carga de inversão para VGS = Vthfi para a região fracamente dopada	C/m ²
TOF	Espessura do Óxido de Porta	M
VSATH	Velocidade de saturação para o lado fortemente dopado	m/s
VT0H	Tensão de limiar da região de inversão para o lado fortemente dopado	V
VT0L	Lightly doped region zero-bias strong inversion front threshold voltage	V
TOB	Espessura do Óxido enterrado	m
TSI	Espessura da Camada de Silício	m
T	Temperatura	°C
R	Razão LLD/L	-
NAL	Concentração de dopantes do lado fracamente dopado	m ⁻³
ALPHAL	Degradação da mobilidade para o lado fracamente dopado	m/V
VSATL	Velocidade de saturação para o lado fracamente dopado	m/s
SNT	Parâmetro de ajuste que controla a transição entre os regimes de inversão fraca e forte	-
SIGMA	Parâmetro que considera o efeito de DIBL	-
ENE	Fator de corpo	-
LCL	Comprimento característico da região fracamente dopada	m
QOF	Densidade de cargas fixas no óxido de porta na primeira interface	C/m ²
QOB	Densidade de cargas fixas no óxido enterrado na segunda interface	C/m ²

4 RESULTADOS E COMPARAÇÕES DAS SIMULAÇÕES SPICE

4.1 Introdução

Este capítulo apresenta os resultados das simulações de transistores e circuitos integrados de amplificadores operacionais de transcondutância realizadas nos simuladores SPICE ICAP/4, ELDO.

Nas comparações entre as simulações serão apresentadas algumas dificuldades de simulação decorrentes das diferenças entre os modelos.

Os circuitos do OTA foram divididos em dois grupos, os de alto ganho de tensão (HG) e os de alta frequência ganho unitário (HF).

Foram simulados cinco amplificadores OTA de alto ganho, constituídos apenas por transistores FD SOI convencionais e, também circuitos constituídos por GC SOI nMOSFET e SOI pMOSFET, conforme a Tabela 4.1 [3]:

Tabela 4.1 - Conjunto de amplificadores OTA de alto ganho de tensão.

	SOI			GC SOI	
	1	2	3	4	5
L_{LD}/L	-	-	-	0,25	0,25
M1 - M2	300/6	300/4,5	300/3	300/6	225/6
M3 - M4	150/6	150/6	150/6	150/6	150/6
M5 - M6	100/12	100/12	100/12	100/12	100/12
M7 - M8	100/20	100/15	100/10	100/20	75/20
M9 - M10	300/6	300/4,5	300/3	300/6	225/6

Tabela 4.2 - Conjunto de amplificadores OTA de alta frequência de ganho unitário.

	GC SOI		
	6	7	8
L_{LD}/L	0,33	0,5	0,5
M1 - M2	400/3	600/3	600/3
M3 - M4	300/6	300/6	300/6
M5 - M6	300/6	300/6	300/6
M7 - M8	133/5	200/5	200/5
M9 - M10	400/3	600/3	600/3

As simulações SPICE destes circuitos objetivam quatro comparações principais:

- a. A primeira comparação analisa o desempenho elétrico dos OTAs implementados em SOI nMOSFET convencionais e em GC SOI nMOSFET em função da área de Silício e da razão g_m/I_{DS} dos transistores do par diferencial desses OTAs.
- b. A segunda comparação é realizada em função da área de silício e da potência elétrica consumida. Neste caso, a razão g_m/I_{DS} não é mantida constante.
- c. A terceira comparação é realizadas em função de dois OTAs, fabricados com SOI nMOSFETs convencionais com outros dois OTAs implementados com GC SOI nMOSFETs, com duas razões L_{LD}/L diferentes em função da razão g_m/I_{DS} e da potência elétrica consumida. A terceira comparação objetiva estudar o comportamento de OTAs com o mesmo comprimento efetivo de canal (L_{eff}).
- d. A quarta comparação é realizada entre os OTAs fabricados com SOI nMOSFETs convencionais e com dois outros OTAs implementados com GC SOI nMOSFETs de duas diferentes razões L_{LD}/L em função da razão de g_m/I_{DS} dos transistores do par diferencial e do consumo de potência elétrica. A razão g_m/I_{DS} foi mantida através da redução da largura do cana (W) dos OTAs implementados com GC SOI nMOSFETs.

A metodologia de validação do simulador SPICE ELDO da Mentor Graphics é composta pelas etapas:

- a. Simulação de um FD SOI nMOSFET convencional para estudo do comportamento das curvas I_{DS} em função de V_{GF} ;
- b. Simulação de um FD SOI pMOSFET convencional para estudo do comportamento das curvas I_{DS} em função de V_{GF} ;
- c. Simulação dos circuitos amplificadores OTA compostos apenas por FD SOI MOSFET convencionais;
- d. Simulação dos circuitos amplificadores OTA compostos apenas por GC SOI nMOSFET e SOI pMOSFET.

4.2 Simulação de um FD SOI nMOSFET convencional para estudo do comportamento das curvas I_{DS} em função de V_{GF}

Foram realizadas comparações entre as curvas I_{DS} em função de V_{GF} nas regiões de triodo e saturação e I_{DS} em função de V_{DS} na região de saturação. A partir destas curvas foram

realizados estudos comparativos entre os resultados de cada modelo para verificar se há diferenças entre os modelos e quais os ajustes necessários para corrigi-los.

A comparação destas simulações faz-se importante, pois em todos os circuitos há a presença de transistores SOI MOS do tipo P.

As simulações dos transistores do tipo N foram realizadas para entendimento do funcionamento dos modelos dos programas SPICE ICAP/4 e ELDO e, também, para fazer um ajuste do comportamento dos transistores para as simulações dos circuitos constituídos apenas por transistores SOI MOS.

4.2.1 Simulação de um FD SOI nMOSFET convencional com concentração de dopantes de $1 \cdot 10^{15} \text{ cm}^{-3}$

Primeiramente foram realizadas simulações com regime de operação em triodo do FD SOI nMOSFET com concentração de dopantes no substrato de $1 \cdot 10^{15} \text{ cm}^{-3}$, $W = 1 \text{ }\mu\text{m}$ e $L = 6 \text{ }\mu\text{m}$, espessura de óxido de porta 30 nm, espessura do óxido enterrado de 390 nm, espessura da camada do filme de Silício de 80 nm, T igual a 300 K e uma tensão de dreno de 100 mV. A concentração de dopantes de $1 \cdot 10^{15} \text{ cm}^{-3}$ refere-se ao lado fortemente dopado do GC SOI MOSFET.

Para realizar as simulações deste transistor, foram utilizados os modelos FDSOIN para o ICAP/4 e o “LEVEL 22” para o ELDO. Estas simulações foram realizadas para o melhor entendimento das funções do simulador ELDO.

A calibração feita nos modelos foi baseada nas medidas experimentais realizadas pela referência [3].

A Figura 4.1 mostra as curvas de I_{DS} e transcondutância em função de V_{GF} para o transistor FD SOI simulados pelos programas SPICE ICAP/4 e ELDO com N_A igual a $1 \cdot 10^{15} \text{ cm}^{-3}$, com V_{DS} igual a 0,1 V.

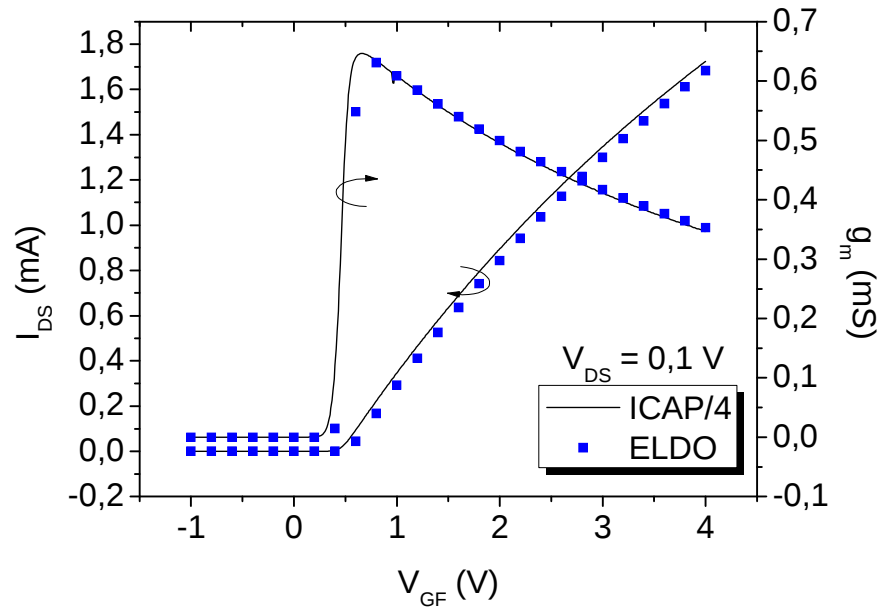


Figura 4.1 – Curvas de I_{DS} e g_m em função de V_{GF} para o FD SOI MOSFET de comparação entre ICAP/4 e ELDO para $N_A = 1 \cdot 10^{15} \text{ cm}^{-3}$ no regime de operação de triodo.

Da Figura 4.1 pode-se notar que os modelos FDSOIN (ICAP/4) e “LEVEL 22” (ELDO) apresentam o mesmo comportamento para o transistor operando na região de triodo.

A partir da curva de I_{DS} em função de V_{GF} da Figura 4.1, pode-se obter a Figura 4.2.

A Figura 4.2 mostra a curva do logaritmo de I_{DS} em função de V_{GF} . Esta curva mostra a inclinação de sub-limiar do transistor.

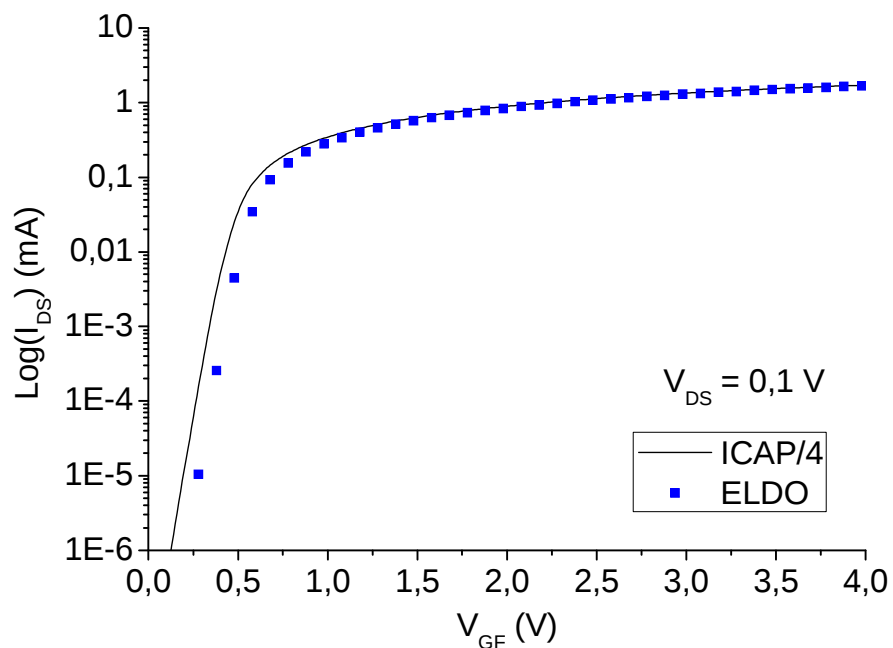


Figura 4.2 – Curvas do logaritmo de I_{DS} em função de V_{GS} para o transistor com $N_A = 1 \cdot 10^{15} \text{ cm}^{-3}$.

Da Figura 4.2 é possível extrair o valor das inclinações de sub-limiar. Para o transistor simulado pelo programa ICAP/4, a inclinação de sub-limiar extraída foi de 68 mV/déc e para o transistor simulado pelo programa ELDO, a inclinação de sub-limiar extraída foi de 69,5 mV/déc.

Também foram realizadas simulações com regime de operação na região de saturação do FD SOI nMOSFET com concentração de dopantes no substrato de $1 \cdot 10^{15} \text{ cm}^{-3}$, com V_{DS} igual a 1,5 V.

A Figura 4.3 mostra as curvas de I_{DS} e transcondutância em função de V_{GF} para o transistor FD SOI simulados pelos programas SPICE ICAP/4 e ELDO com N_A igual a $1 \cdot 10^{15} \text{ cm}^{-3}$, com V_{DS} igual a 1,5 V.

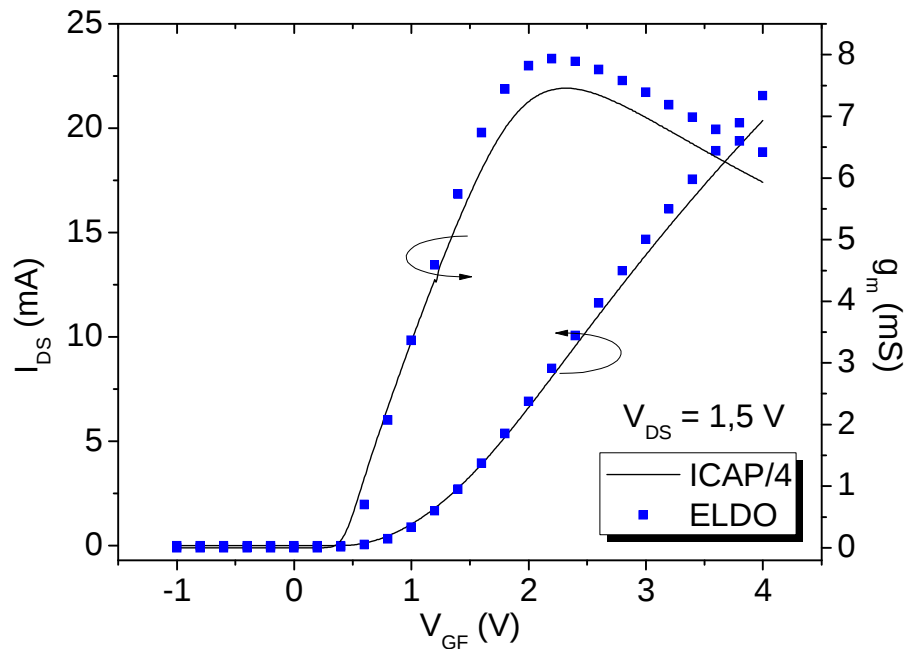


Figura 4.3 – Curvas de I_{DS} e transcondutância em função de V_{GF} para o FD SOI MOSFET de comparação entre ICAP/4 e ELDO para $N_A = 1 \cdot 10^{15} \text{ cm}^{-3}$ no regime de operação de saturação.

A partir da Figura 4.3 pode-se notar que há diferenças nas correntes simuladas. A simulação do programa SPICE ELDO apresenta um aumento de corrente de aproximadamente 4,5% para uma tensão de porta de 2 V e de aproximadamente 6% para uma tensão de porta de 4 V. Pode-se notar, também, que a transcondutância máxima para a simulação do programa SPICE ELDO é maior do que para a simulação do SPICE ICAP/4.

A Figura 4.4 mostra a curva I_{DS} em função de V_{DS} com V_{GF} igual a 1,0 V à temperatura ambiente.

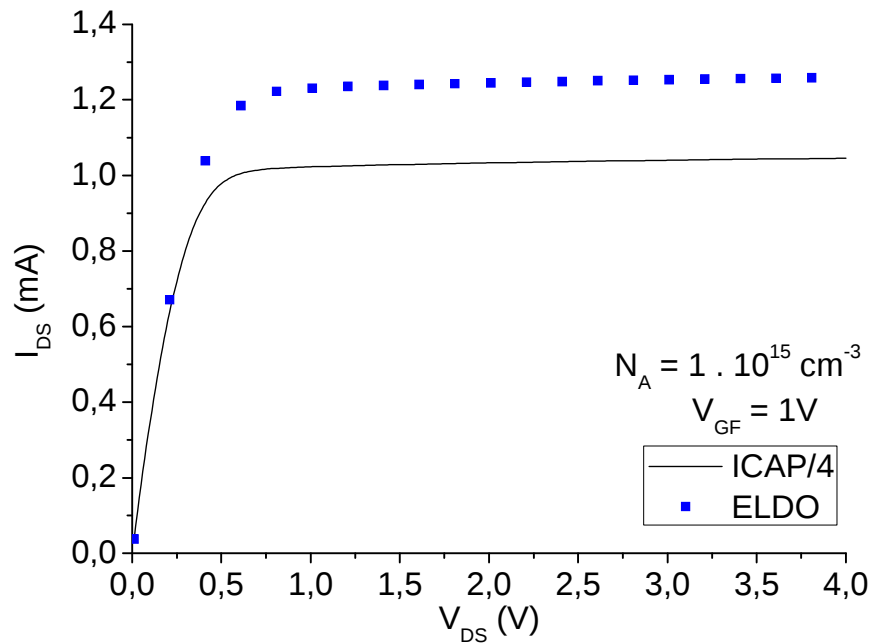


Figura 4.4 – Curvas de I_{DS} em função de V_{DS} para o FD SOI MOSFET de comparação entre ICAP/4 e ELDO para $N_A = 1 \cdot 10^{15} \text{ cm}^{-3}$.

Da Figura 4.4 nota-se que há uma diferença entre os níveis de corrente I_{DS} de aproximadamente 20%.

4.2.2 Simulação de um FD SOI nMOSFET convencional com concentração de dopantes de $1 \cdot 10^{17} \text{ cm}^{-3}$

Foram realizadas simulações do FD SOI nMOSFET com concentração de dopantes no substrato de $1 \cdot 10^{17} \text{ cm}^{-3}$, $W = 300 \mu\text{m}$ e $L = 6 \mu\text{m}$, espessura de óxido de porta 30 nm, espessura do óxido enterrado de 390 nm, espessura da camada do filme de Silício de 80 nm, T igual a 300 K e tensão de dreno de 10 mV nos programas ICAP/4 e ELDO. A concentração de dopantes de $1 \cdot 10^{17} \text{ cm}^{-3}$ refere-se ao lado fortemente dopado do transistor GC SOI MOSFET. O Apêndice A apresenta um exemplo de arquivo utilizado para a simulação SPICE para o programa ICAP/4. O Apêndice B apresenta um exemplo de arquivo utilizado para a simulação numérica para o programa ELDO.

Foram realizadas comparações entre as curvas I_{DS} em função de V_{GF} nas regiões de triodo e saturação e I_{DS} em função de V_{DS} na região de saturação. A partir destas curvas foram realizados estudos comparativos entre os resultados de cada modelo para verificar se há diferenças entre os modelos e quais os ajustes necessários para corrigi-los.

A Figura 4.5 mostra as curvas de I_{DS} e transcondutância em função de V_{GF} para o transistor FD SOI simulado pelos programas ICAP/4 e ELDO com N_A igual a $1 \cdot 10^{17} \text{ cm}^{-3}$, com V_{DS} igual a 0,1 V.

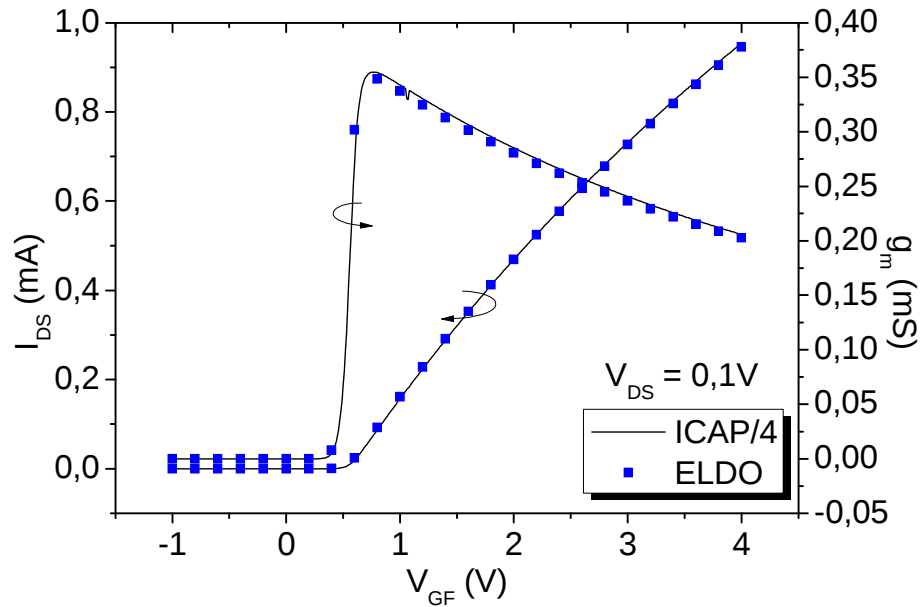


Figura 4.5 - Curva I_{DS} em função de V_{GF} para o FD SOI MOSFET de comparação entre ICAP/4 e ELDO para $N_A = 1 \cdot 10^{17} \text{ cm}^{-3}$ no regime de operação de triodo.

A partir das curvas da Figura 4.5, pode-se obter a curva da inclinação de sub-limiar, como mostra a Figura 4.6.

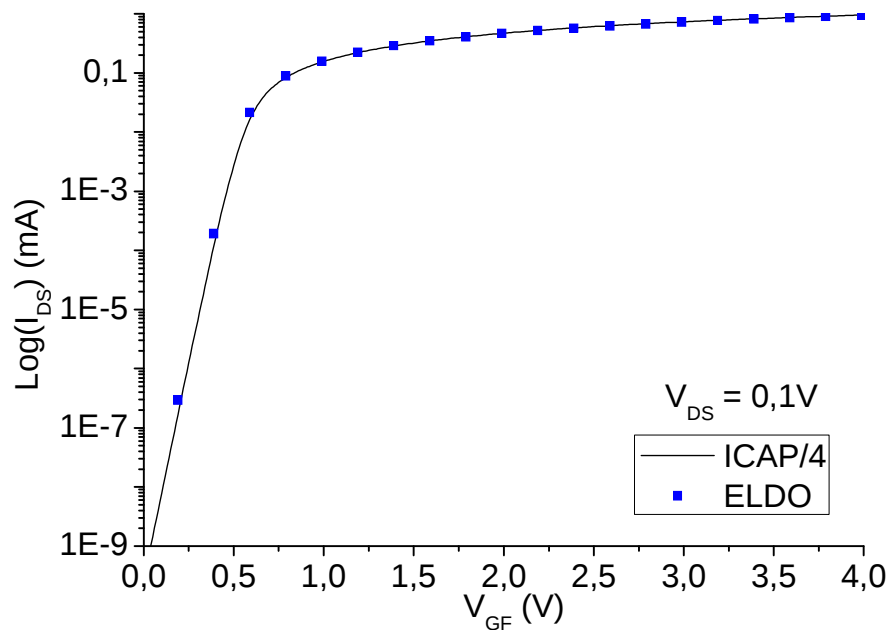


Figura 4.6 – Curvas do logaritmo de I_{DS} em função de V_{GS} para o transistor com $N_A = 1 \cdot 10^{17} \text{ cm}^{-3}$.

Da Figura 4.6 é possível extrair o valor das inclinações de sub-limiar. Para o transistor simulado pelo programa ICAP/4, a inclinação de sub-limiar extraída foi de 68 mV/déc e para o transistor simulado pelo programa ELDO, a inclinação de sub-limiar extraída foi de 69 mV/déc.

Também foram realizadas simulações com regime de operação em saturação do FD SOI nMOSFET com concentração de dopantes no substrato de $1 \cdot 10^{17} \text{ cm}^{-3}$, com V_{DS} igual a 1,5 V.

A Figura 4.7 apresenta a curva de I_{DS} em função de V_{GF} para o transistor FD nSOI com N_A igual a $1 \cdot 10^{17} \text{ cm}^{-3}$, com V_{DS} igual a 1,5 V e transcondutância.

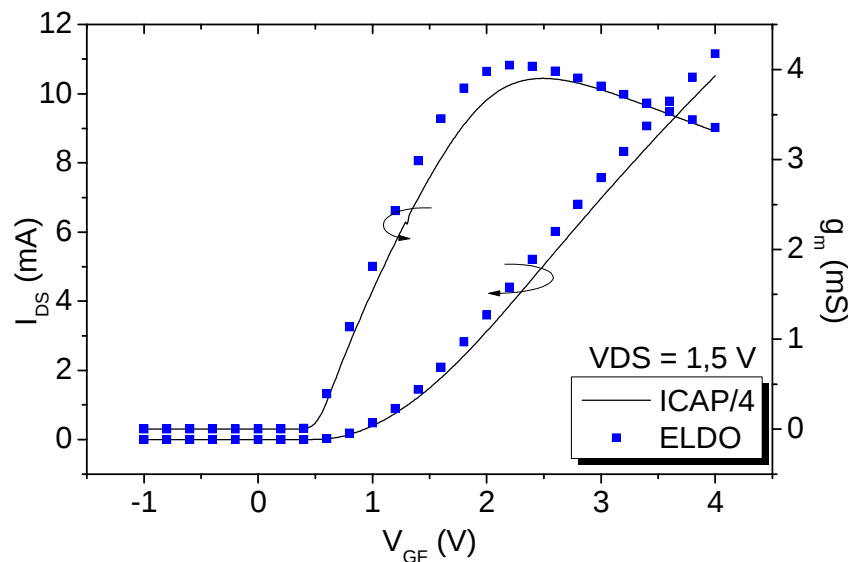


Figura 4.7 - Curvas de I_{DS} e transcondutância em função de V_{GF} para o FD SOI MOSFET de comparação entre ICAP/4 e ELDO para $N_A = 1 \cdot 10^{17} \text{ cm}^{-3}$ no regime de operação de saturação.

Também foram realizadas simulações com regime de operação em saturação do FD SOI nMOSFET com concentração de dopantes no substrato de $1 \cdot 10^{17} \text{ cm}^{-3}$, com V_{DS} igual a 1,5 V.

A Figura 4.8 apresenta a curva de I_{DS} em função de V_{DS} para o transistor FD nSOI com N_A igual a $1 \cdot 10^{17} \text{ cm}^{-3}$, com V_{GF} igual a 1 V.

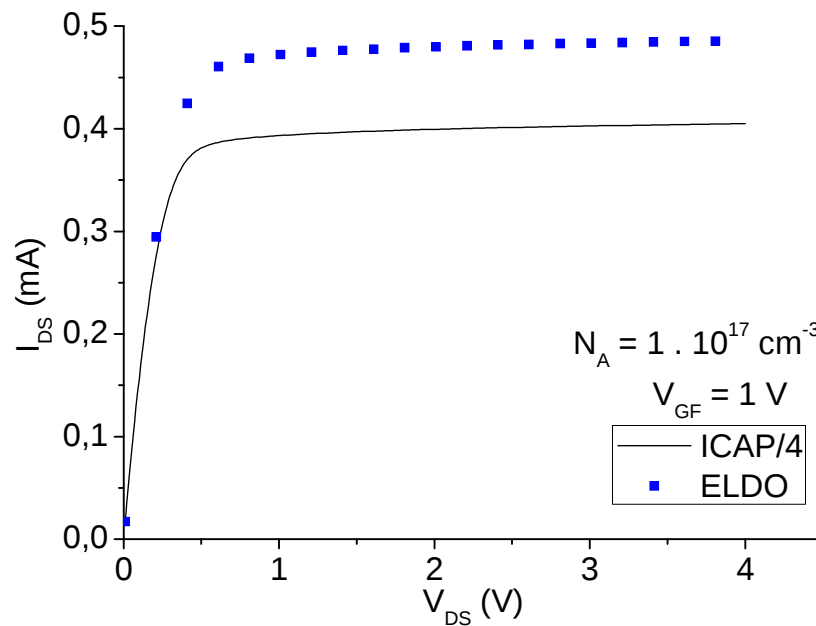


Figura 4.8 - Curva I_{DS} em função de V_{DS} para o FD SOI MOSFET de comparação entre ICAP/4 e ELDO para $N_A = 1 \cdot 10^{17} \text{ cm}^{-3}$.

Da Figura 4.8 nota-se que há uma diferença entre os níveis de corrente I_{DS} . A corrente da simulação do programa SPICE ELDO é aproximadamente 20% maior do que a corrente do simulador SPICE ICAP/4.

Pode-se concluir que há uma diferença no modelo de degradação de mobilidade entre os simuladores ICAP/4 e ELDO.

A degradação da mobilidade depende da região de operação em que o transistor opera, da espessura da camada de Silício e de suas dimensões.

4.3 Simulação de um FD SOI pMOSFET convencional para estudo do comportamento das curvas I_{DS} em função de V_{GF}

Foram realizadas simulações do transistor FD SOI pMOSFET com concentração de dopantes no substrato de $4 \cdot 10^{16} \text{ cm}^{-3}$, $W = 150 \text{ } \mu\text{m}$ e $L = 6 \text{ } \mu\text{m}$, espessura de óxido de porta 30 nm, espessura do óxido enterrado de 390 nm, espessura da camada do filme de Silício de 80 nm e T igual a 300 K nos programas ICAP/4 e ELDO. A tensão de dreno é de 25 mV.

Ao analisar os circuitos, nota-se que todos os amplificadores operacionais OTA simulados apresentam apenas FD SOI pMOSFET, portanto não foram realizadas simulações do GC SOI pMOSFET.

Para realizar as simulações foi alterado o parâmetro de degradação de mobilidade. Para esta alteração foi considerado que os novos valores da degradação de mobilidade devem ser fisicamente possíveis. Para a simulação deste transistor, a degradação da mobilidade variou de $1,65 \cdot 10^{-8}$ m/V para $3 \cdot 10^{-8}$ m/V.

Foram realizadas comparações entre as curvas I_{DS} em função de V_{GF} nas regiões de triodo e saturação e I_{DS} em função de V_{DS} na região de saturação. A partir destas curvas foram realizados estudos comparativos entre os resultados de cada modelo para verificar se há diferenças entre os modelos e quais os ajustes necessários para corrigi-los.

A Figura 4.9 apresenta as curvas de I_{DS} em função de V_{GF} para o transistor FD pSOI com $N_A = 4 \cdot 10^{16} \text{ cm}^{-3}$, com $V_{DF} = 0,1 \text{ V}$ e transcondutância.

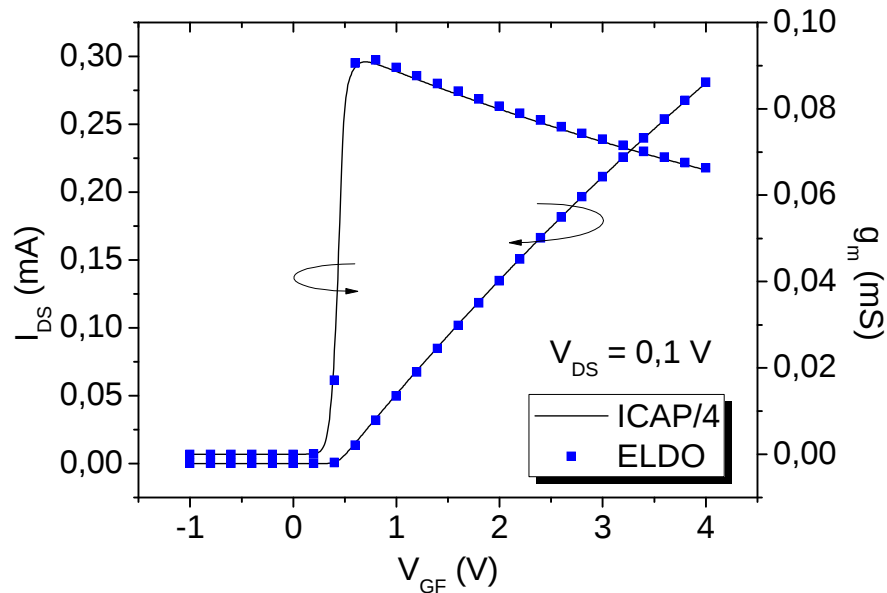


Figura 4.9 - Curvas de I_{DS} e transcondutância em função de V_{GF} para o FD SOI MOSFET de comparação entre ICAP/4 e ELDO para $N_A = 4 \cdot 10^{16} \text{ cm}^{-3}$ no regime de operação de triodo.

A partir da curva da Figura 4.9, pode-se obter a curva da inclinação de sub-limiar, como mostra a Figura 4.10.

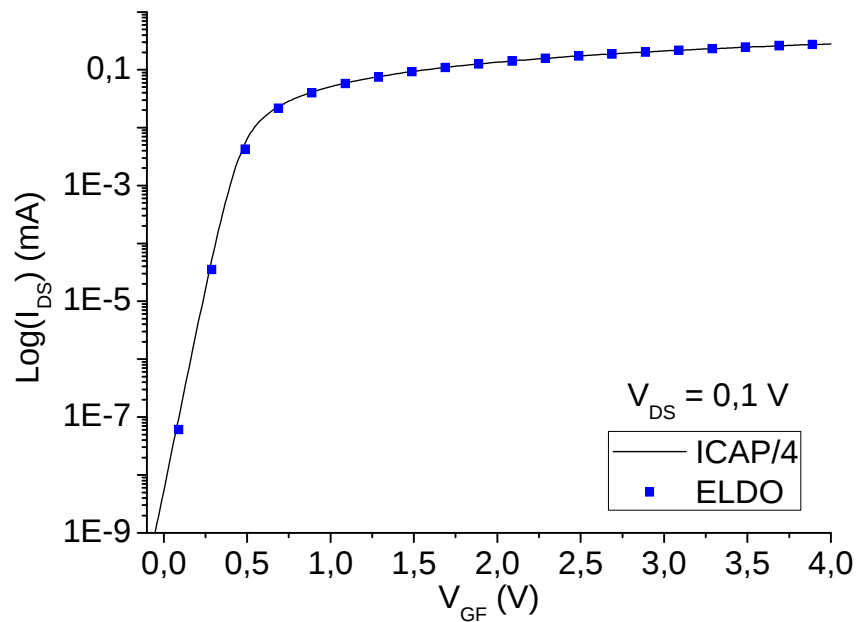


Figura 4.10 – Curvas do logaritmo de I_{DS} em função de V_{GS} para o transistor com $N_A = 4 \cdot 10^{16} \text{ cm}^{-3}$.

Da Figura 4.10 é possível obter o valor das inclinações de sub-limiar. Para o transistor simulado no programa ICAP/4, $S = 68 \text{ mV/dec}$ e para o transistor simulado no programa ELDO, $S = 69 \text{ mV/dec}$.

Pode-se concluir que há uma diferença no modelo de degradação de mobilidade entre os simuladores ICAP/4 e ELDO. Apesar desta pequena diferença na corrente entre fonte e dreno nestas simulações, o comportamento dos transistores mostrou-se praticamente igual.

A Figura 4.11 apresenta as curvas de I_{DS} em função de V_{GF} para o transistor FD pSOI com $N_A = 4 \cdot 10^{16} \text{ cm}^{-3}$, com $V_{DF} = -1,5 \text{ V}$ e transcondutância.

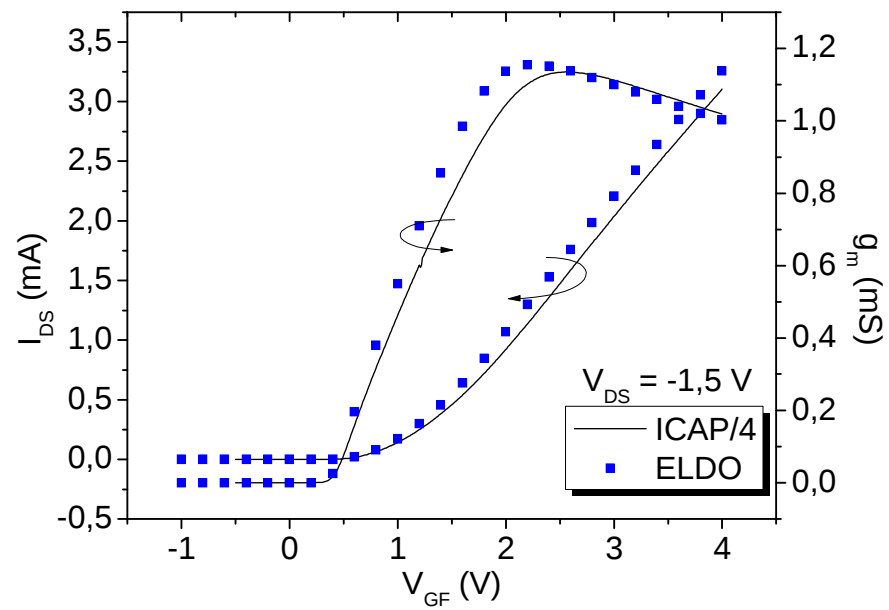


Figura 4.11 - Curva I_{DS} em função de V_{GF} para o FD SOI MOSFET de comparação entre ICAP/4 e ELDO para $N_A = 4 \cdot 10^{16} \text{ cm}^{-3}$ no regime de operação de saturação.

A Figura 4.12 mostra a curva da corrente entre dreno e fonte em função da tensão de dreno para uma tensão de porta de -1 V.

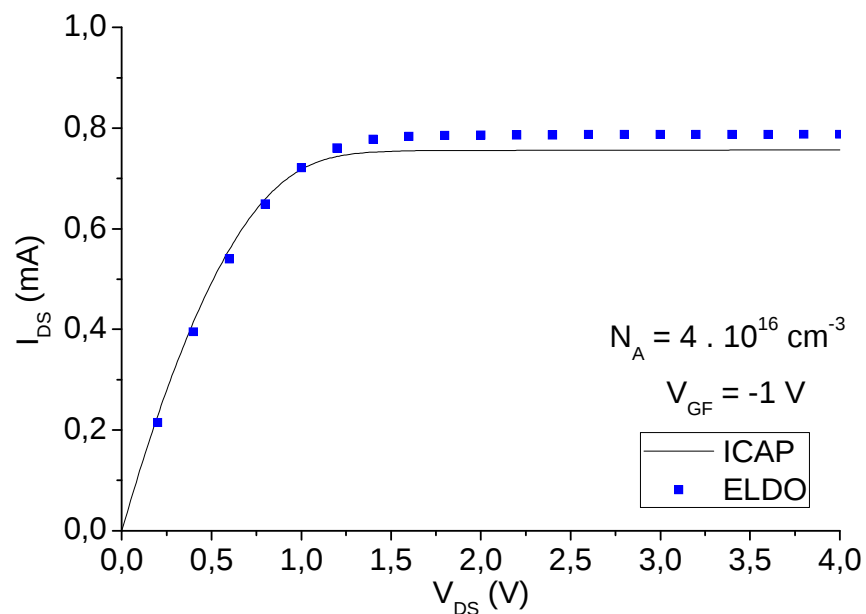


Figura 4.12 - Curva $I_{DS} \times V_{DS}$ transistor FD SOI MOSFET de comparação entre ICAP/4 e ELDO para $N_A = 4 \cdot 10^{16} \text{ cm}^{-3}$.

Da Figura 4.12 nota-se que há diferenças entre os modelos dos programas ICAP/4 e ELDO se intensificam quando os transistores estão operando em saturação.

A partir da Figura 4,12, a corrente da simulação do programa SPICE ELDO é 4,1% maior do que a corrente da simulação do programa SPICE ICAP/4.

4.4 Simulação dos circuitos amplificadores de alto ganho de tensão OTA compostos apenas por FD SOI MOSFET convencionais

Os circuitos dos OTAs de alto ganho que apresentam apenas transistores SOI estão relacionados na Tabela 4.3

Tabela 4.3 – Amplificadores de alto ganho OTA constituídos somente por SOI MOSFET.

	SOI		
	OTA 1	OTA 2	OTA 3
M1 – M2	300 / 6	300 / 4,5	300 / 3
M3 – M4	150 / 6	150 / 6	150 / 6
M5 – M6	100 / 12	100 / 12	100 / 12
M7 – M8	100 / 20	100 / 15	100 / 10
M9 – M10	300 / 6	300 / 4,5	300 / 3

Todas as simulações foram realizadas com potência dissipada de 360 μ W, com corrente de polarização (I_{pol}) de 60 μ A e tensão (V_{DD}) de 2 V.

Foram realizadas simulações nos programas SPICE ICAP/4 e ELDO para os OTAs. Devido às diferenças de modelos já descritas anteriormente, foram feitos um ajustes na degradação da mobilidade no programa utilizado no simulador ELDO. Para cada OTA foi realizado um ajuste diferente, pois há diferença nas dimensões dos transistores e em suas regiões de operação.

Os modelos utilizados para realizar estas simulações foram o FDSOIN para o ICAP/4 e LEVEL 22 para o ELDO.

O Apêndice C apresenta um exemplo de arquivo utilizado para a simulação numérica para o programa SPICE ICAP/4.

O Apêndice D apresenta um exemplo de arquivo utilizado para a simulação numérica para o programa SPICE ELDO.

Os circuitos simulados apresentaram os seguintes resultados:

a. Primeiro OTA:

O primeiro OTA é composto apenas por dispositivos da tecnologia SOI MOSFET convencional.

A degradação da mobilidade é igual a $1,65 \cdot 10^{-8}$ m/V para a simulação do programa SPICE ICAP/4 e foi alterada para $4 \cdot 10^{-8}$ m/V para a simulação no programa SPICE ELDO. Esta alteração da degradação da mobilidade foi feita para ajustar o ganho de tensão de malha aberta.

Para obter as frequências de corte e de ganho unitário foi utilizado um capacitor de carga de 12 pF.

Os resultados da Figura 4.13 foram obtidos das simulações realizadas com os programas SPICE ICAP/4 e ELDO, respectivamente.

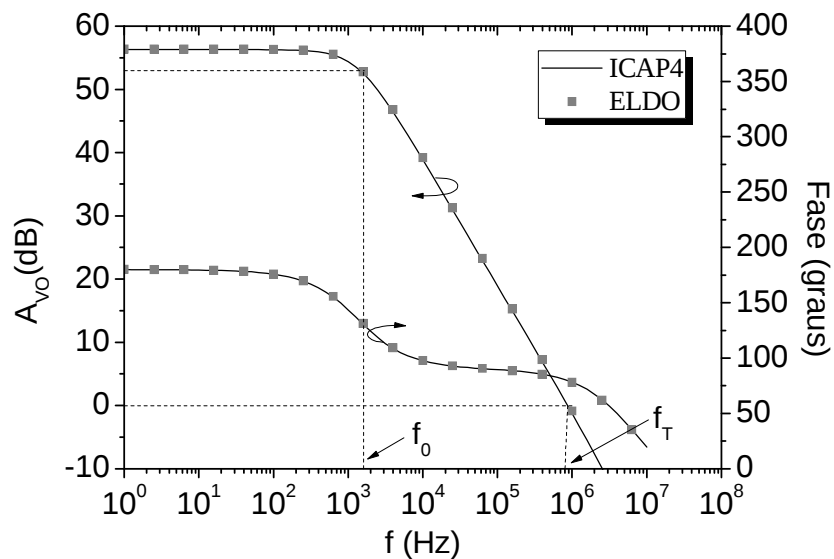


Figura 4.13 – Curvas simuladas do ganho de tensão e fase em função da frequência para o OTA 1.

b. Segundo OTA:

O segundo OTA é composto apenas por transistores da tecnologia SOI MOS convencional.

A degradação da mobilidade é igual a $1,65 \cdot 10^{-8}$ m/V para a simulação do programa SPICE ICAP/4 e foi alterada para $2 \cdot 10^{-8}$ m/V para a simulação no programa SPICE ELDO. Esta alteração da degradação da mobilidade foi feita para ajustar o ganho de tensão de malha aberta.

Para obter as frequências de corte e de ganho unitário foi utilizado um capacitor de carga de 12 pF.

Os resultados da Figura 4.14 foram obtidos das simulações realizadas com os programas ICAP/4 e ELDO.

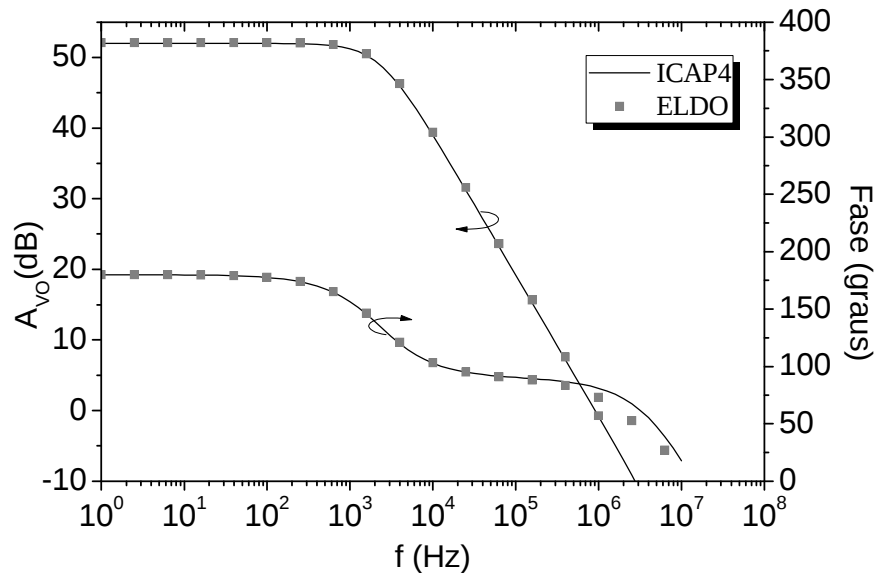


Figura 4.14 – Curvas simuladas do ganho de tensão e fase em função da frequência para o OTA 2.

c. Terceiro OTA:

O terceiro circuito é composto apenas por transistores da tecnologia SOI MOSFET convencional.

A degradação da mobilidade é igual a $1,65 \cdot 10^{-8}$ m/V para a simulação do programa SPICE ICAP/4 e foi alterada para $2 \cdot 10^{-8}$ m/V para a simulação no programa SPICE ELDO. Esta alteração da degradação da mobilidade foi feita para ajustar o ganho de tensão de malha aberta.

Para obter as frequências de corte e de ganho unitário foi utilizado um capacitor de carga de 12 pF.

Os resultados da Figura 4.15 foram obtidos das simulações realizadas com os programas ICAP/4 e ELDO.

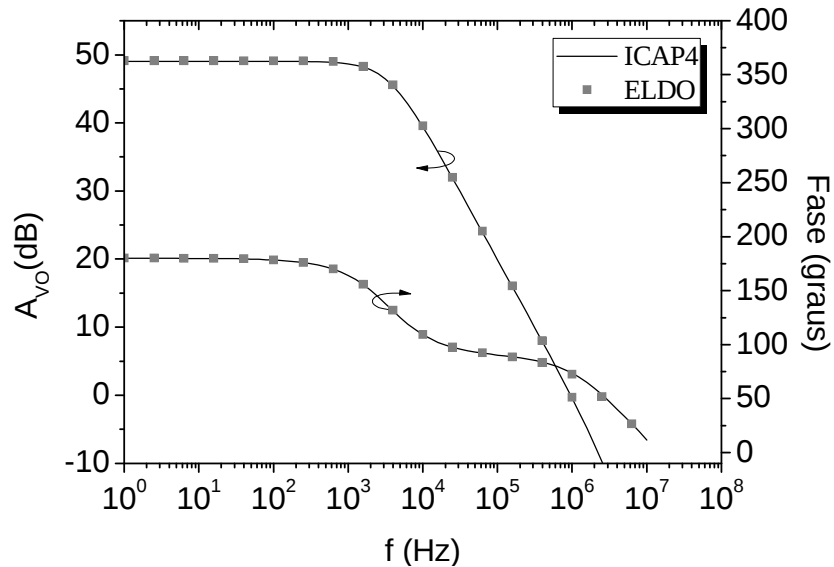


Figura 4.15 – Curvas simuladas do ganho de tensão e fase em função da frequência para o OTA 3.

Os valores da Tabela 4.4 são provenientes das curvas das Figuras 4.13, 4.14 e 4.15.

As frequências de corte mostradas na Tabela 4.4 foram obtidas no ponto em que o ganho de tensão é 3 dB menor do que o ganho de malha aberta e as frequências de ganho unitário foram obtidas no ponto em que o ganho é igual a 0 dB.

Tabela 4.4 - Comparação das simulações para amplificadores OTA constituídos apenas por transistores FD SOI MOSFET

OT A	ICAP/4			ELDO			Referência [3]		
	A_v (dB)	f_0 (kHz)	f_T (MHz)	A_v (dB)	f_0 (kHz)	f_T (MHz)	A_v (dB)	f_0 (kHz)	f_T (MHz)
1	56	1,300	0,800	56	1,300	0,870	56	1,300	0,856
2	52	2,290	0,910	52	2,290	0,912	52	2,320	1,050
3	49	3,480	0,930	49	3,480	0,912	49	3,520	0,810

Da Tabela 4.4 pode-se notar que as simulações do programa ELDO estão os mesmo valores para o ganho de tensão, mas apresenta discrepâncias para a frequência de corte e para a frequência de ganho unitário. Posteriormente serão discutidos os resultados aqui apresentados,

4.4.1 Simulação dos circuitos amplificadores OTA compostos apenas por GC SOI nMOSFET e SOI pMOSFET

Para realizar estas simulações foram necessárias algumas alterações nos parâmetros do modelo do “LEVEL 25” do ELDO, pois este modelo assume que os parâmetros do transistor estejam no Sistema Internacional de Unidades.

O “LEVEL 25” não apresenta modelo de capacitâncias intrínsecas, portanto houve modificações em no valor da capacitância de carga.

Os circuitos simulados compostos por GS SOI nMOSFET e FD SOI pMOSFET convencional são:

Tabela 4.5 - Circuitos amplificadores OTA compostos por GC SOI nMOSFET e SOI pMOSFET convencional.

	GC SOI	
	OTA 4	OTA 5
L_{LD}/L	0,25	0,25
M1 - M2	300/6	225/6
M3 - M4	150/6	150/6
M5 - M6	100/12	100/12
M7 - M8	100/20	75/20
M9 - M10	300/6	225/6

Todas as simulações foram realizadas com potência de consumo de 360 μ W, com corrente de polarização (I_{pol}) de 60 μ A e tensão (V_{DD}) de 2 V.

As simulações dos OTAs 4 e 5 realizadas no programa SPICE ICAP/4 possuem a associação série assimétrica de dois transistores SOI MOS convencionais do tipo n. O primeiro transistor da associação possui a dopagem de $1 \cdot 10^{17} \text{cm}^{-3}$ para comportar-se como o lado fortemente dopado do transistor GC SOI MOS e o segundo transistor da associação possui a dopagem de $1 \cdot 10^{15} \text{cm}^{-3}$ para comportar-se como o lado fracamente dopado do transistor GC SOI MOS.

O modelo utilizado no programa SPICE ICAP/4 acrescenta à associação série uma maior resistência série. Portanto os transistores GC SOI MOS simulados no programa SPICE ICAP/4 apresentam menores níveis de I_{DS} em relação às simulações realizadas no programa SPICE ELDO. Para reduzir esta diferença de corrente, foi alterado o parâmetro da degradação da mobilidade para ajustar os níveis de corrente das simulações do programa SPICE ELDO.

Este ajuste foi realizado considerando que os novos valores da degradação de mobilidade devem ser fisicamente possíveis.

O Apêndice E apresenta um exemplo de arquivo utilizado para a simulação numérica para o programa ICAP/4.

O Apêndice F apresenta um exemplo de arquivo utilizado para a simulação numérica para o programa ELDO.

Os circuitos simulados apresentaram os seguintes resultados:

a. Quarto OTA:

O quarto circuito é composto por transistores das tecnologias GC SOI MOSFET e SOI MOSFET convencional.

A degradação da mobilidade é igual a $1,65 \cdot 10^{-8}$ m/V para a simulação do programa SPICE ICAP/4 e foi alterada para $7 \cdot 10^{-8}$ m/V para a simulação no programa SPICE ELDO. Esta alteração da degradação da mobilidade foi feita para ajustar o ganho de tensão de malha aberta.

Para obter as frequências de corte e de ganho unitário foi utilizado um capacitor de carga de 12 pF.

Os resultados da Figura 4.16 foram obtidos das simulações realizadas com os programas ICAP/4 e ELDO.

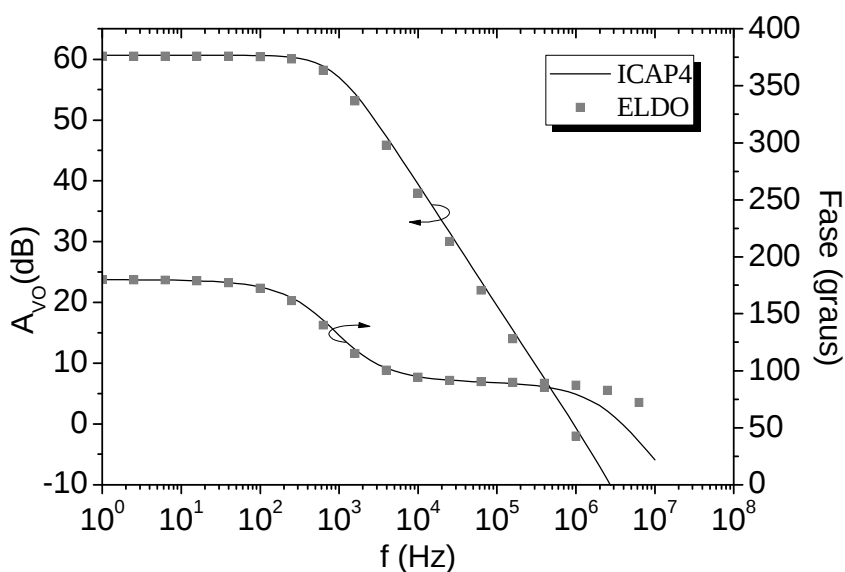


Figura 4.16 – Curvas simuladas do ganho de tensão e da fase em função da frequência para o OTA 4.

b. Quinto OTA:

O quinto circuito é composto por transistores das tecnologias GC SOI MOSFET e SOI MOSFET convencional.

A degradação da mobilidade é igual a $1,65 \cdot 10^{-8}$ m/V para a simulação do programa SPICE ICAP/4 e foi alterada para $4 \cdot 10^{-8}$ m/V para a simulação no programa SPICE ELDO. Esta alteração da degradação da mobilidade foi feita para ajustar o ganho de tensão de malha aberta.

Para obter as frequências de corte e de ganho unitário foi utilizado um capacitor de carga de 12 pF.

Os resultados da Figura 4.17 foram obtidos das simulações realizadas com os programas ICAP/4 e ELDO.

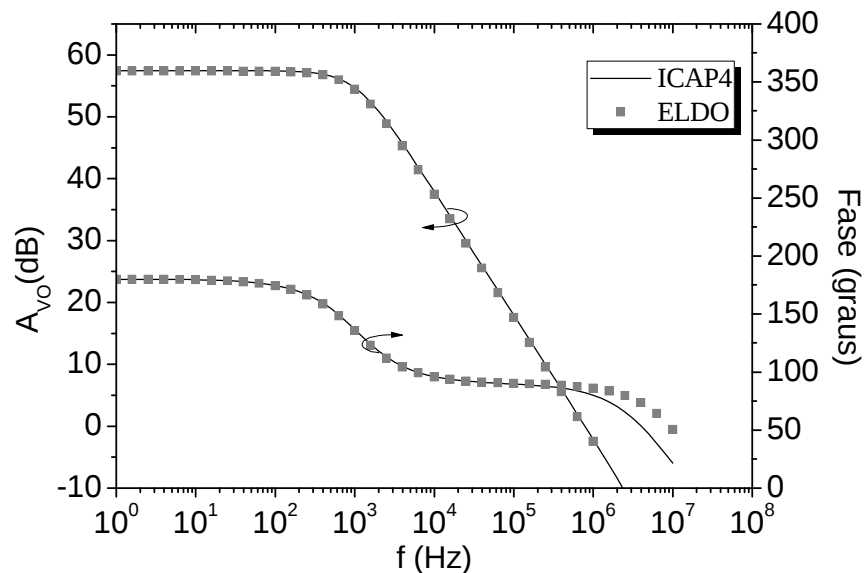


Figura 4.17 – Curvas simuladas do ganho de tensão e da fase em função da frequência para o OTA 5.

Os valores da Tabela 4.6 são provenientes das curvas das Figuras 4.16 e 4.17.

As frequências de corte mostradas na Tabela 4.6 foram obtidas no ponto em que o ganho de tensão é 3 dB menor do que o ganho de malha aberta e as frequências de ganho unitário foram obtidas no ponto em que o ganho é igual a 0 dB.

Tabela 4.6 - Comparação das simulações para amplificadores OTA de alto ganho constituídos por GC SOI MOEST e FD SOI MOSFET.

	ICAP/4			ELDO			Referência [3]		
OT A	A_V (dB)	f_0 (kHz)	f_T (MHz)	A_V (dB)	f_0 (kHz)	f_T (MHz)	A_V (dB)	f_0 (kHz)	f_T (MHz)
4	61	0,800	0,920	60	0,760	0,800	60	0,780	0,828
5	57	1,000	0,780	57	1,000	0,800	57	0,920	0,867

Da Tabela 4.6 pode-se perceber que não há um erro significativo entre as simulações.

4.4.2 Comparação entre as simulações dos circuitos amplificadores OTA

Para uma melhor comparação entre os resultados obtidos nas simulações dos programas ICAP/4 e ELDO, os resultados serão divididos em três partes: do ganho de tensão, da frequência de corte e da frequência de ganho unitário.

a. Ganho de tensão (A_V):

Ao comparar os resultados das simulações, pode-se obter a Tabela 4.7.

Tabela 4.7 - Comparação entre os ganhos de tensão obtidos nas simulações com os programas SPICE ICAP/4 e ELDO e a referência [3].

	ICAP/4	ELDO	Referência [3]
OTA	A_{VO} (dB)	A_{VO} (dB)	A_{VO} (dB)
1	56	56	56
2	52	52	52
3	49	49	49
4	61	60	60
5	57	57	57

A partir da Tabela 4.7 pode-se notar que o ganho de malha aberta obtido nas simulações dos programas SPICE ICAP/4 e ELDO diferem-se da referência [3] apenas para o OTA 4 em que o erro para a simulação do programa SPICE ICAP/4 é de 1 dB. Portanto, o simulador SPICE ELDO mostrou-se capaz de reproduzir os valores de ganho de tensão da referência [3].

b. Frequência de corte (f_0):

A Tabela 4.8 mostra os erros obtidos nas simulações de cada circuito.

Tabela 4.8 - Comparação entre as frequências de corte obtidas nas simulações com os programas SPICE ICAP/4 e ELDO e a referência [3].

	Referência [3]	ICAP/4		ELDO	
OTA	f_0 (kHz)	f_0 (kHz)	ERRO	f_0 (kHz)	ERRO
1	1,30	1,30	0,00%	1,30	0,00%
2	2,32	2,29	1,29%	2,29	1,29%
3	3,52	3,48	1,14%	3,48	1,14%
4	0,78	0,80	2,56%	0,76	2,56%
5	0,92	1,00	8,70%	1,00	8,70%

A partir da Tabela 4.8 nota-se que o simulador SPICE ELDO reproduziu com erros inferiores a 10% os valores de frequência de ganho unitário da referência [3].

c. Frequência de corte (f_T):

A Tabela 4.8 mostra os erros obtidos nas simulações de cada circuito.

Tabela 4.9 - Comparação entre as frequências de ganho unitário obtidas nas simulações com os programas SPICE ICAP/4 e ELDO e a referência [3].

	Referência [3]	ICAP/4		ELDO	
OTA	f_T (MHz)	f_T (MHz)	ERRO	f_T (MHz)	ERRO
1	0,856	0,800	6,54%	0,856	1,64%
2	1,050	0,910	13,33%	1,050	13,14%
3	0,810	0,930	14,81%	0,810	12,59%
4	0,828	0,920	11,11%	0,828	3,38%
5	0,867	0,780	10,03%	0,800	7,73%

A partir da Tabela 4.9 nota-se que o simulador SPICE ELDO reproduziu com erros inferiores a 15% os valores de frequência de ganho unitário da referência [3].

A partir dos resultados mostrados anteriormente, nota-se que o modelo “LEVEL 25” do programa SPICE ELDO foi capaz de reproduzir o funcionamento do OTA.

As diferenças nos modelos acrescentaram aos resultados das simulações realizadas no ICAP/4 divergências nas frequências de ganho unitário. O modelo “LEVEL 25” não possui métodos de cálculos de capacitâncias para os transistores e o “LEVEL 22” apresenta divergências nas quantidades de cargas dos transistores.

Apesar da utilização do capacitor de carga, as capacitâncias intrínsecas dos transistores interferem na resposta do OTA para altas frequências.

5 MEDIDAS EXPERIMENTAIS

5.1 Circuito básico e adaptador para medições experimentais dos amplificadores operacionais OTA

Nesta etapa serão medidos os amplificadores operacionais fabricados no laboratório de Microeletrônica da UCL. Inicialmente, serão consideradas as estruturas submetidas para fabricação com comprimentos de canal idênticos. As características A_{V0} em função da frequência, além de resultados da distorção harmônica e ruído de baixa frequência serão obtidas. Uma análise comparativa do desempenho dos amplificadores operacionais feitos com transistores GC SOI e SOI convencionais será realizada para identificar as vantagens e as desvantagens desta nova estrutura.

Para realizar estas medições será necessário utilizar um adaptador para ligar o equipamento Agilent modelo 4395 ao amplificador operacional.

A Figura 5.1 mostra um esquema elétrico do circuito utilizado para fazer a placa de circuito impresso que constitui o adaptador para realizar as medidas necessárias no analisador de rede equipamento Agilent modelo 4395.

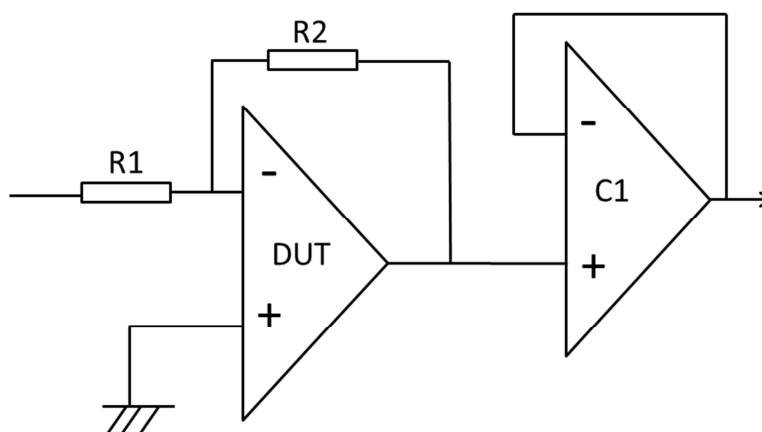


Figura 5.1 – Esquema elétrico do circuito utilizado para caracterização elétrica experimental dos OTAs.

Da Figura 5.1, nota-se que o circuito integrado C1 funciona como um Buffer de corrente para o amplificador que se deseja medir (DUT).

Os amplificadores operacionais de transcondutância apresentam um ganho de malha aberta instável e difícil de medir, portanto foram utilizados os resistores R1 e R2. O resistor R1 possui uma resistência de 10 k Ω e o R2 possui uma resistência de 10 M Ω . Ao calcular o ganho de malha fechada do amplificador na configuração inversora, tem-se:

$$A_V = -\frac{R_2}{R_1} \quad (5.1)$$

Nota-se, a partir da Equação (5.1), que o sinal de saída possui uma defasagem de 180°. Ao calcular o valor de A_V , tem-se que:

$$A_V = -\frac{10 \cdot 10^6}{10 \cdot 10^3} = 1000 \frac{V}{V} \quad (5.2)$$

Para fazer o cálculo em Decibéis, tem-se:

$$A_{V0} = 20 \cdot \log A_V = 20 \cdot \log 1000 = 60\text{dB} \quad (5.3)$$

O circuito integrado (C1) foi ligado ao OTA como um seguidor de tensão. O seguidor de tensão possui a saída realimentada para a entrada inversora. Foi utilizado o circuito integrado CA 7161 como seguidor de tensão, pois suas características elétricas ($A_{V0} = 90 \text{ dB}$ e $f_t = 300 \text{ MHz}$) são superiores do que as do OTA.

A Figura 5.2 mostra o adaptador para conectar o CI dos amplificadores operacionais OTA à placa de circuito impresso.

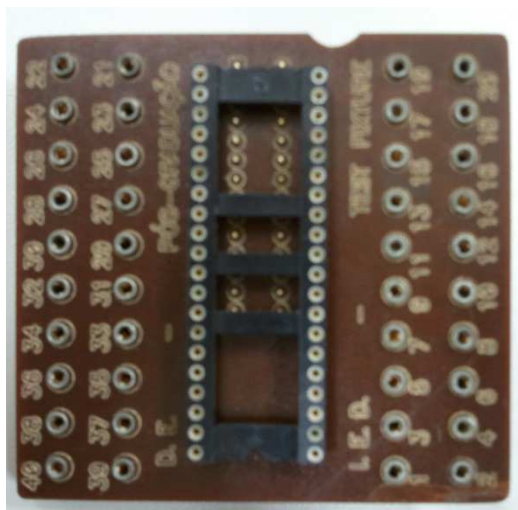


Figura 5.2 – Adaptador para conectar os Amplificadores Operacionais de Transcondutância no circuito de medida.

Um adaptador foi confeccionado para realizar as medições de A_{VO} em função da frequência utilizando o Analisador de Impedâncias, Rede e Espectro módulo 4395 da Agilent, disponível na Sala de Caracterização Elétrica do Centro Universitário da FEI.

Para realizar as medidas no analisador de rede do Agilent 4395 foram utilizados os seguintes equipamentos: uma fonte simétrica DC da Minipa, modelo MPC-2003D, uma fonte simples DC da Minipa, modelo MPS-30060, um osciloscópio da Agilent, modelo DSO 3062A.

A fonte DC simétrica foi utilizada para a alimentação do OTA com -2V e 2V e, também pela alimentação do CA 6171 com +5 V e 0 V. A fonte DC simples foi utilizada para ajuste de offset do OTA. E o osciloscópio da Agilent foi utilizado para observar se a tensão de offset foi ajustada corretamente.

Um desenho do analisador de rede da Agilent 4395 está mostrado na Figura 5.3 [34]

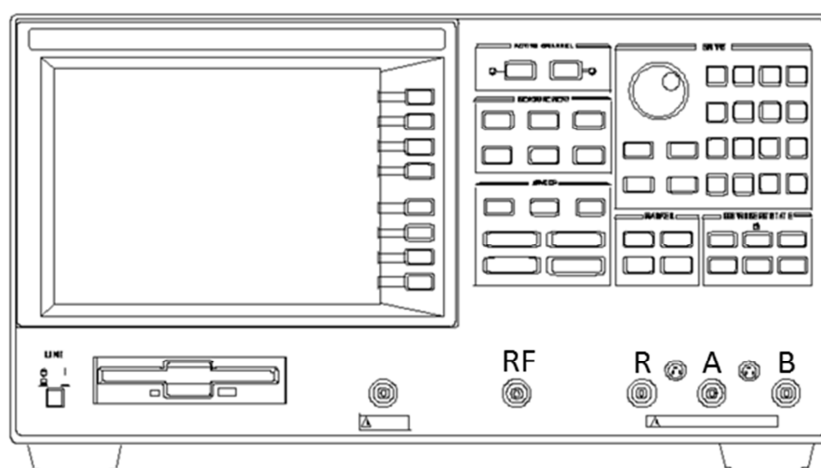


Figura 5.3 - Esquema do Agilent 4395 adaptado [34].

A partir do esquema apresentado na Figura 5.3, nota-se a saída RF e as entradas R, A e B. Para fazer as medidas, um divisor de tensão é colocado na saída RF. Uma das saídas deste divisor é acoplada à entrada R (referência do Agilent) e a outra saída é acoplada à entrada inversora do OTA, como mostra Figura 5.4.

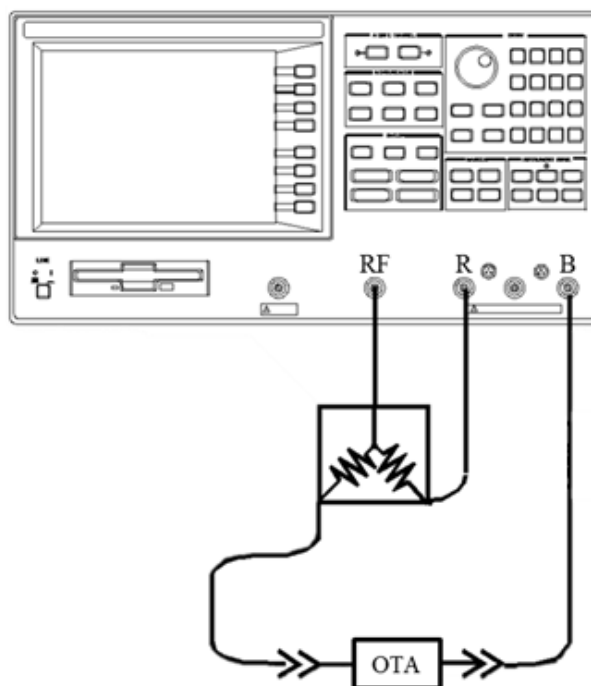


Figura 5.4 - Ligação do OTA no Agilent 4395.

Para fazer as conexões da Figura 5.4, faz-se necessário utilizar um adaptador e cabos BNC.

Para fazer a configuração do Agilent, deve-se:

Tabela 5.1 - Configuração inicial do Agilent

Parâmetros de ajuste de medida	Botão de acesso	Menu	Parâmetro
Selecionar Analisador de Rede	Meas	Analyser Type	Network analyser
Medida comparativa entre as entradas R e B	Meas	S-Parameters	Trans: FWD S21 [B/R]
Magnitude em logaritmo	Format	Format	LOG MAG
Banda de amostragem	Bw/Avg	IF BW	De 2Hz à 1kHz
Varredura	Sweep	Sweep type	Log freq.
Tensão do sinal	Source	Power	De -50dBm à 50dBm
Frequência	Start		10Hz
	Stop		Até 500MHz

O Agilent possui uma limitação em suas entradas de 7 V. Para atender esta limitação, foi escolhida a tensão do sinal de 1 mV. A frequência máxima de varredura é de 200 MHz.

Para fazer a varredura do sinal, o Agilent 4395 varia a frequência do sinal para uma mesma potência. Através da comparação das entradas R e B, o equipamento faz os cálculos para mostrar em sua tela a curva de ganho de tensão em função da frequência.

Para salvar os dados, foi utilizado um notebook da HP cujo sistema operacional é Windows XP. Este computador é conectado ao Agilent 4395 utilizando um adaptador em uma de suas portas traseiras.

Há um módulo (Easy Expert) da Agilent para exportar seus dados para o programa Microsoft Excel.

A Figura 5.5 mostra uma foto de um Amplificador Operacional de Transcondutância medido experimentalmente.

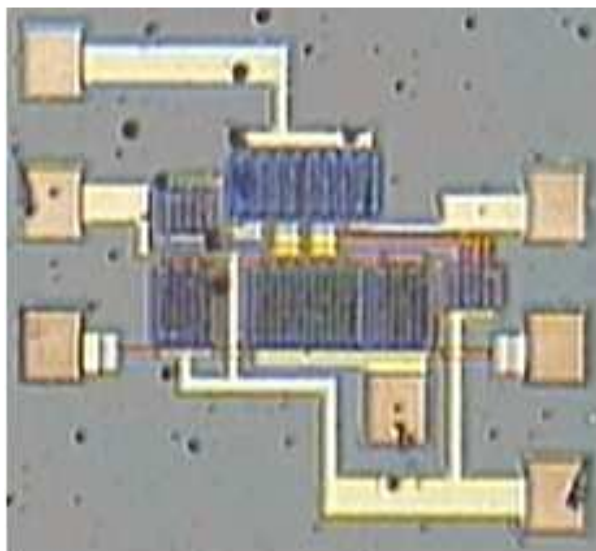


Figura 5.5 - Foto de um OTA.

A partir da Figura 5.5, pode-se notar os contatos do OTA. Estes contatos estão descritos na Figura 5.6, onde V_{DD} é o contato cuja tensão de alimentação é de +2 V, $-V_{DD}$ é o contato cuja tensão de alimentação é de -2 V, Bias é o contato pelo qual é injetada a corrente de polarização, V_{IN+} é o contato da entrada não inversora do par diferencial, V_{IN-} é o contato da entrada inversora do par diferencial e V_O é a saída do OTA.

Pelas medidas experimentais, verificou-se que o espelho de corrente (composto pelos transistores M9 e M10) possui uma corrente de saída (para o transistor M10) menor do que a de entrada (para o transistor M9), como mostra a Figura 5.8.

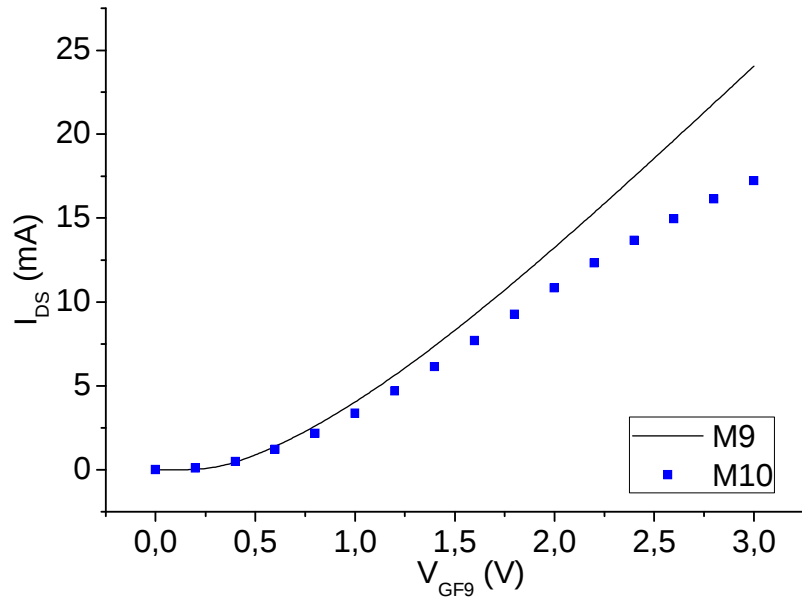


Figura 5.8 - Curva I_{DS} em função de V_{GF} para os transistores M9 e M10.

A tensão de alimentação do circuito é de 4 V. Como o nó de entrada do circuito possui 3 transistores (M1, M3 e M10 ou M2, M4 e M10), a tensão V_{DS} dos três transistores é a mesma e igual à 1,33 V.

A Figura 5.9Figura 5.14 mostra a relação entre as correntes I_{DS} dos transistores M9 e M10. Nesta Figura, a linha em vermelho representa a relação ideal entre os dois transistores. Para este caso, a corrente I_{DS} de saída é igual à de entrada.

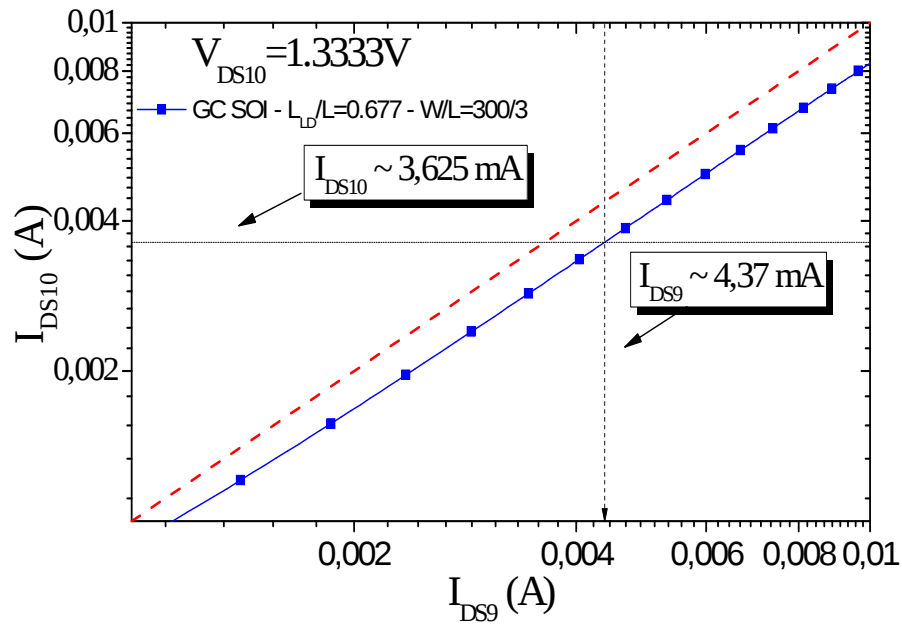


Figura 5.9 - Curva I_{DS10} em função de I_{DS9} .

Da Figura 5.9 nota-se que para uma corrente I_{DS} de saída (I_{DS10}) de 3,625 mA, é preciso uma corrente I_{DS} de entrada (I_{DS9}) de 4,37 mA.

Para obter o valor desta diferença, faz-se a curva da razão entre I_{DS10} e I_{DS9} em função de I_{DS9} , como mostra a Figura 5.10.

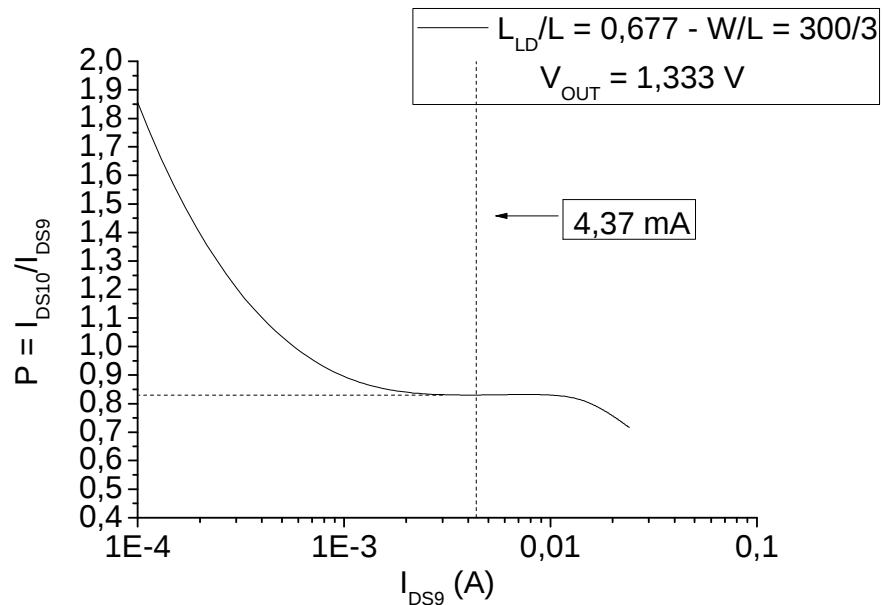


Figura 5.10 – Curva da razão entre I_{DS10} e I_{DS9} em função de I_{DS9} .

Da Figura 5.10, nota-se que para uma corrente I_{DS9} de 4,37 mA, há uma redução de aproximadamente 17% na corrente de saída.

Foram feitas as medidas para a confirmação da razão L_{LD}/L dos transistores fabricados. Para fazer esta confirmação, foram medidas as curvas I_{DS} em função de V_{DS} dos transistores das tecnologias SOI e GC SOI MOS com a mesma sobretensão de condução (V_{GT}), como mostra a Figura 5.11.

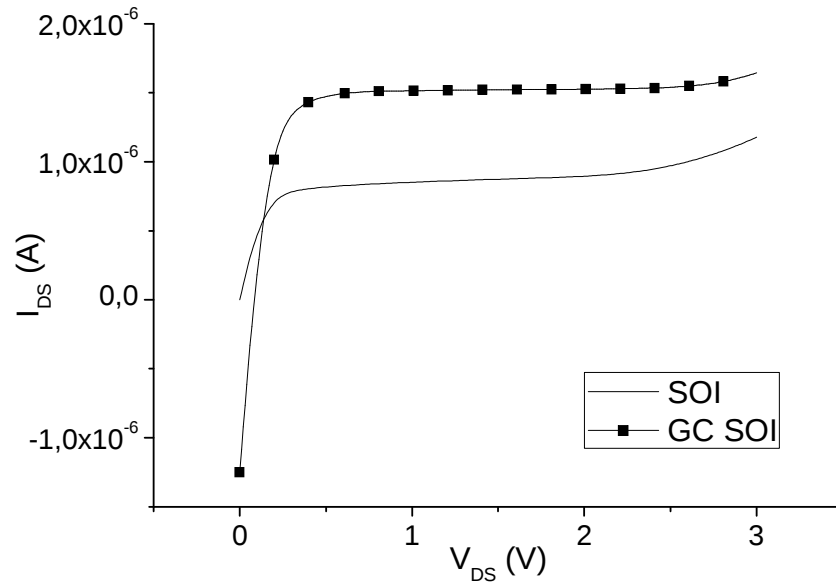


Figura 5.11 – Curva da razão entre I_{DS} em função de V_{DS} para os transistores SOI e GC SOI MOS.

Utiliza-se a Equação 5.6 para obter a curva da Figura 5.12.

$$\frac{L_{LD}}{L} = 1 - \frac{I_{D, SOI \text{ conv}}}{I_{D, GC \text{ SOI}}} \quad (5.6)$$

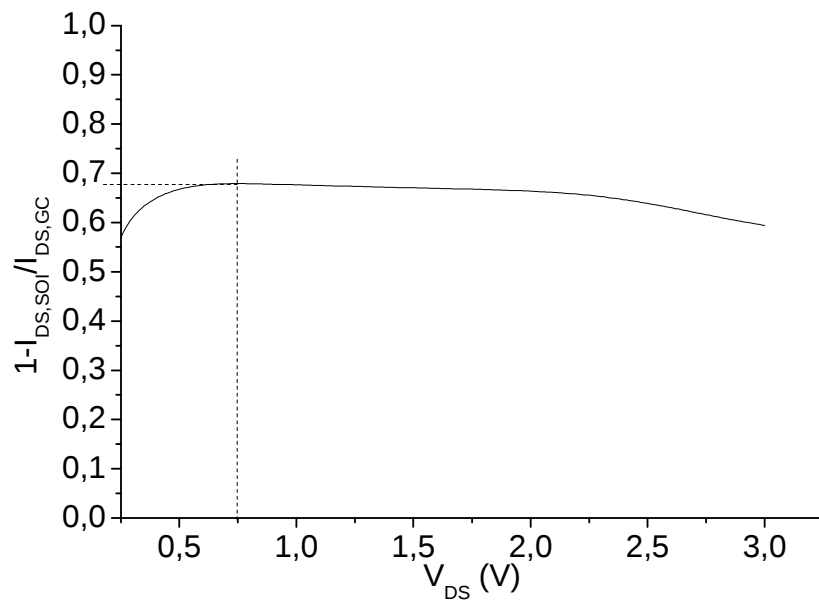


Figura 5.12 – Curva para obtenção da razão L_{LD}/L .

Para obter a razão L_{LD}/L , deve-se obter o valor de V_{DS} no começo da região de saturação na Figura 5.11 e utilizar este valor na Figura 5.12. O valor obtido a partir da Figura 5.12 será a razão L_{LD}/L .

A Tabela 5.2 mostra quais os OTAs utilizados nas medidas e suas características teóricas e reais.

Tabela 5.2 - Diferenças entre os OTAs projetados e os construídos.

OTA	W/L (μm)	Teórico		Real	
		L_{LD}/L	I_{pol} (mA)	L_{LD}/L	I_{pol} (mA)
6	400/3	0,33	3,625	0,45	4,30
7	300/3	0,50	3,625	0,68	4,37
8	300/3	0,50	3,625	0,64	4,37

5.3 Resultados das medições experimentais em comparação com resultados de simulação para os amplificadores operacionais OTA de alta frequência

Para realizar as medidas, foi feito o ajuste de offset do buffer de corrente, o ajuste de offset do OTA e, posteriormente, foi inserido o sinal que sai do divisor de tensão na entrada não inversora do OTA e, sua saída ligada ao Agilent, como mostra a Figura 5.13.

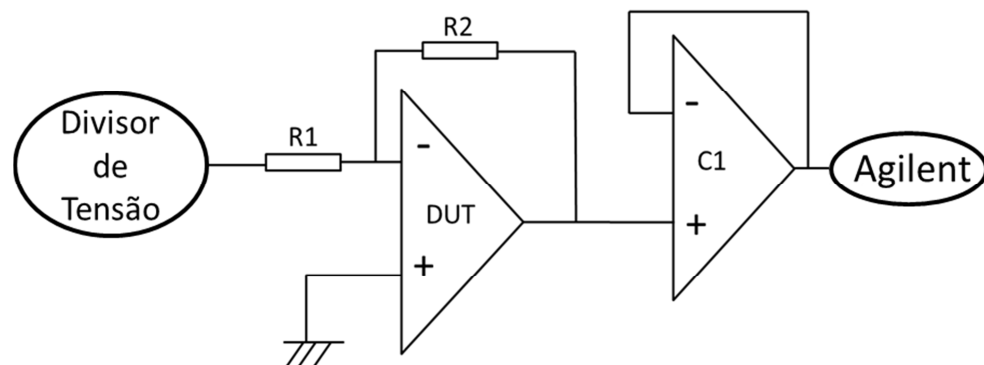


Figura 5.13 – Esquema das ligações para medição do OTA.

Para realizar as medidas, foi inserido o sinal que sai do divisor de tensão na entrada não inversora do OTA e, sua saída ligada ao Agilent, como mostra a Figura 5.13.

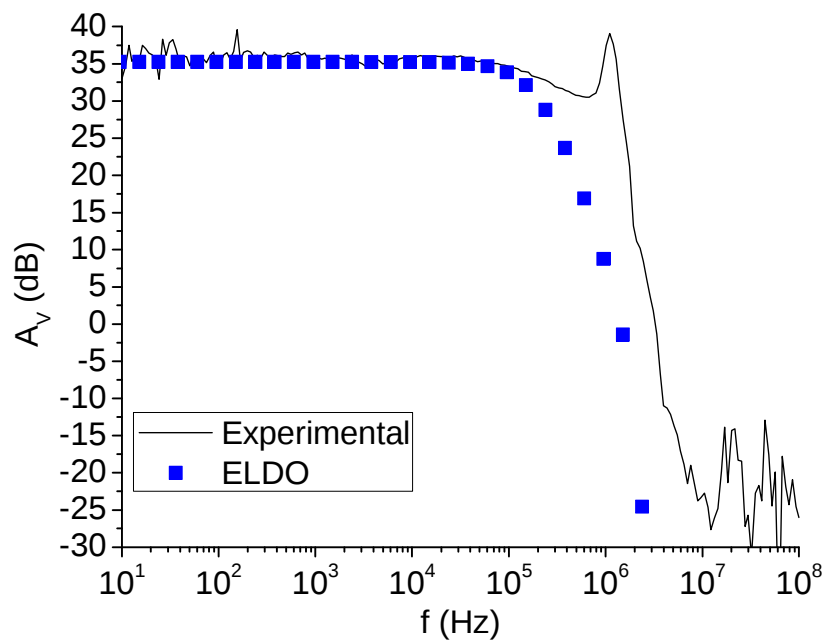


Figura 5.14 - Curva de Ganho de tensão em função da frequência para o OTA com razão L_{LD}/L de 0,45.

Devido ao número de cabos de ligação utilizados para estas medidas, as capacitâncias parasitas interferem nos valores de ganho para altos ganhos, o que reduz o valor das frequências de corte e ganho unitário. Para reproduzir este comportamento foi alterado o valor da capacitância de carga na simulação.

O ganho de malha aberta foi considerado a 1 kHz, pois neste ponto, o ganho torna-se constante. A tabela abaixo mostra o ganho obtido a partir da Figura 5.14.

Tabela 5.3 - Comparação dos resultados entre Medidas experimentais e simulação

A_{VO} experimental (dB)	A_{VO} simulado (dB)
36	35

Foi realizada uma comparação entre os ganhos dos OTAs para analisar o ganho dependente da razão L_{LD}/L .

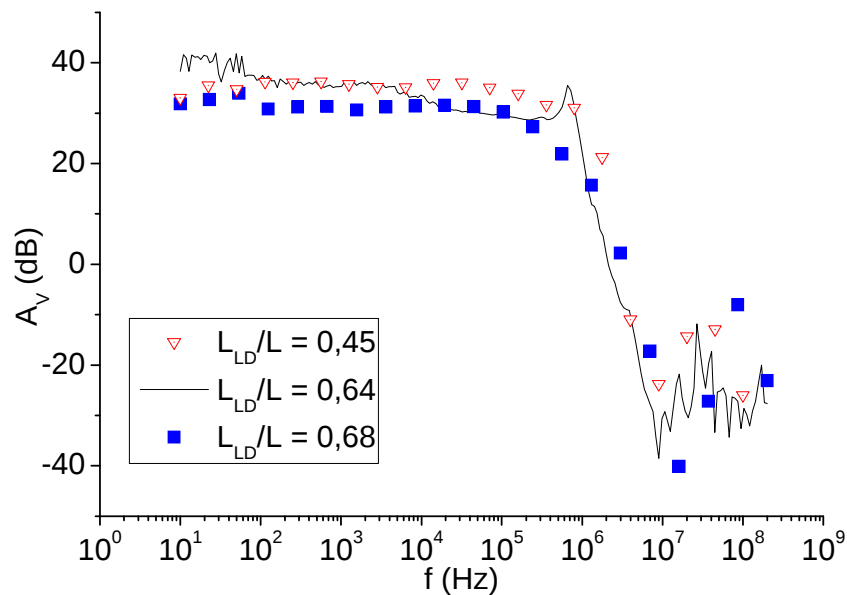


Figura 5.15 - Curva de Ganho de tensão em função da frequência para o OTA 6.

Os resultados experimentais se mostraram muito compatíveis com os simulados no programa SPICE ELDO, apresentando erros pequenos, como mostra a tabela 5.3:

Tabela 5.4 - Comparação dos resultados entre medidas experimentais extraído em $f = 1 \text{ kHz}$

$A_{VO} \text{ } L_{LD}/L = 0,45 \text{ (DB)}$	$A_{VO} \text{ } L_{LD}/L = 0,64 \text{ (DB)}$	$A_{VO} \text{ } L_{LD}/L = 0,68 \text{ (DB)}$
36	35	32

Para o OTA cuja razão L_{LD}/L é igual a 0,68 apresenta o menor ganho, pois ao aumentar a razão L_{LD}/L , a transcondutância dos transistores é reduzida.

6 CONCLUSÕES E TRABALHOS FUTUROS

Este trabalho apresentou o estudo do comportamento dos amplificadores operacionais de transcondutância nas simulações realizadas nos programas SPICE ICAP/4 e ELDO. Foram apresentadas simulações de três circuitos integrados constituídos apenas por transistores FD SOI MOS e dois circuitos integrados constituídos por transistores FD SOI do tipo P e transistores GC SOI do tipo N.

As simulações apresentaram algumas discordâncias das medidas realizadas em temperatura ambiente da referência [3]. As diferenças entre os resultados das simulações do programa ICAP/4 e dos resultados da referência [3] (2004) se dão por causa de alterações no modelo adotado na versão de 2005/2006 do programa.

Os programas ICAP/4 e ELDO utilizados para a realização das simulações apresentam modelos diferentes para parâmetros como mobilidade, degradação da mobilidade e acoplamento capacitivo e resistência de dreno para simulações de transistores da tecnologia GC SOI MOS. Essas diferenças acrescentam às simulações alterações nos resultados. Foram feitas alterações nos parâmetros de velocidade de saturação (v_{sat}).

Para realizar as simulações dos OTAs constituídos por transistores GC SOI MOS no simulador SPICE ICAP/4, foi feita uma associação série entre dois transistores SOI MOS convencionais. O primeiro transistor da associação é o fortemente dopado ($N_A = 1 \cdot 10^{17} \text{ cm}^{-3}$) e o segundo transistor da associação é o fracamente dopado ($N_A = 1 \cdot 10^{15} \text{ cm}^{-3}$). O transistor fortemente dopado refere-se ao comprimento de canal $L_{HD} = (L - L_{LD})$ e o transistor fracamente dopado referem-se ao comprimento de canal L_{LD} , como proposto pela referência [33].

As simulações SPICE realizadas no programa ELDO apresentaram excelentes resultados para o ganho e a frequência de corte dos amplificadores operacionais (OTA). Não apresentou erro para o A_{VO} , para a frequência de corte apresentou erro máximo de 2,56%, com valores variando de 0,78 kHz para a referência [3] para 0,76 kHz para o ELDO e para a frequência de ganho unitário apresentou erro máximo de 13,14%, com valores variando de 1,05 MHz para a referência [3] para 0,912 MHz para o ELDO.

Os resultados das simulações do programa SPICE ICAP/4 apresentaram um polo em frequências altas. Este polo é causado pelas capacitâncias intrínsecas do transistor. O modelo “LEVEL 25” não apresenta modelo de capacitâncias intrínsecas.

Com as medidas experimentais, pode-se também, comparar de maneira mais eficiente o desempenho do modelo analítico contínuo para transistores GC SOI MOS implementado no simulador SPICE ELDO.

Em comparação da simulação e medida experimental, o simulador mostrou-se capaz de reproduzir o comportamento do OTA medido. Esta medida não considera as respostas em frequência do OTA, pois os cabos para a confecção do circuito adicionaram capacitâncias parasitárias às medidas.

Foi realizada a alteração da capacitância de carga do simulador para comprovar a eficiência do modelo em realizar as simulações. Como resultado, o simulador mostrou-se capaz de reproduzir esta situação.

Apesar das diferenças conseguidas nas frequências de operação dos amplificadores operacionais (OTA), o modelo analítico contínuo [5] mostrou-se eficiente na simulação de circuitos.

O modelo “LEVEL 25” apresentou um bom desempenho para simular os circuitos dos amplificadores operacionais de transcondutância, visto que os erros obtidos entre as simulações e as medidas experimentais são pequenos.

Ao comparar os resultados obtidos com os OTAs 1 e 4, pode-se notar que há um aumento do ganho de malha aberta de 56 dB (OTA 1) para 60 dB (OTA 4). Os dois OTAs possuem a mesma área, potência e g_m/I_{DS} . Portanto, para o OTA 4, constituído por transistores da tecnologia é GC SOI MOS, pode-se obter o mesmo ganho do OTA 1 ao diminuir a potência dissipada ou a área do circuito.

Dos resultados obtidos com os OTAs 2 e 4, pode-se notar que há um aumento do ganho de malha aberta de 52 dB (OTA 1) para 60 dB (OTA 4). Os dois OTAs possuem o mesmo comprimento efetivo de canal e a mesma potência. Portanto, para o OTA 4, pode-se obter o mesmo ganho do OTA 2 ao diminuir a potência dissipada.

Dos resultados obtidos com os OTAs 1 e 5, pode-se notar que o ganho de malha aberta varia de 56 dB (OTA 1) para 57 dB (OTA 5). Os dois OTAs possuem a mesma potência e g_m/I_{DS} , mas varia a área de Silício construída ao variar a largura do canal (W). Portanto, os OTAs são menores para a tecnologia GC SOI MOSFET do que para a tecnologia SOI MOSFET convencional para obter o mesmo ganho de malha aberta.

Este trabalho tem como continuação a realização do estudo das características elétricas dos OTAs em função da temperatura. Após realizar as simulações e medidas experimentais, comparar os resultados para verificar o comportamento do modelo “LEVEL 25” do simulador SPICE ELDO. O circuito utilizado neste trabalho mostrou-se ineficiente para mensurar as

frequências de operação dos OTAs. Portanto, faz-se necessária a confecção de uma placa de circuito impresso específica para estas medidas. Esta placa tem a finalidade de melhorar os contatos entre os componentes e reduzir a quantidade de cabos e fios e, assim, reduzir as capacitâncias parasitas.

7 REFERÊNCIAS

1. COLINGE, J. P. **Silicon-On-Insulator Technology: Materials to VLSI**. 3rd. ed. Massachusetts: Kluwer Academic Pblish, 2004.
2. FLANDRE, D. et al. Modeling and Application of Fully Depleted SOI MOSFET for Low Voltage, Low Power Analogue CMOS Circuits. **Solid-State Electronics**, 39, n. 4, pp. 455-460, 1996. 455-460.
3. GIMENEZ, S. P. **Estudo do GC SOI nMOSFET e aplicações em Amplificadores Operacionais de Transcondutância**. Escola Politécnica da Universidade de São Paulo. São Paulo, p. (Tese de Doutorado). 2004.
4. PAVANELLO, M. A. **Projeto, Fabricação e Caracterização elétrica de uma nova estrutura para o SOI MOSFET**. Escola Politécnica da Universidade de São Paulo. São Paulo, p. (Tese de Doutorado). 2000.
5. SOUZA, M. et al. A charge-based continuous model for submicron graded-channel nMOSFET for analog circuit simulation. **Solid-State Electronics**, 2005. 1683-1692.
6. SOUZA, M. **Modelagem, Simulação, e Fabricação de circuitos analógicos com transistores SOI convencionais e de canal gradual operando em temperaturas criogênicas**. Escola Politécnica da Universidade de São Paulo. São Paulo, p. (Tese de Doutorado). 2008.
7. CORPORATION, M. G. **Eldo User's Manual**. Wilsonville: www.mentor.com, 2004.
8. ICAP/4. **Interactive Circuit Analysis Program**. www.intusoft.com. ed. Carson: [s.n.], v. 8.0.9, 2011.
9. GAUTIER, J.; PALELLA, M. M.; FOSSUM, J. G. SOI floating-body, devices and circuit issues. **Electron Devices Meeting, 1997. IEDM '97. Technical Digest., International**, 6 August 2002. 407-410.
10. ALMEIDA, L. M.; BELLODI, M. Study of the Drain Leakage Current Behavior in Circular Gate SOI nMOSFET Using 0.13 μ m SOI CMOS Technology at High Temperatures. **SBMicro 2007 – 22nd International Symposium on Microelectronics Technology and Devices**, Rio de Janeiro, 2007.
11. TREVISOLI, R. D. **EFEITO DA TENSÃO MECÂNICA EM TRANSISTORES DE MÚLTIPLAS PORTAS OPERANDO EM TEMPERATURAS CRIOGÊNICAS**.

- FEI. São Bernardo do Campo, p. (Tese de Mestrado). 2010.
12. GENTINNE, B. **A Study of the Potential of SOI Technology for Analog Applications.** Université Catholique de Louvain. [S.l.], p. (Tese de Doutorado). 1996.
 13. SANTOS, A. D. A. **IMPACTO DA UTILIZAÇÃO DE TRANSISTORES GC SOI MOSFET COMO ESPELHOS DE CORRENTE PARA A OBTENÇÃO DE FONTES DE CORRENTE ESPELHOS DE CORRENTE PARA A OBTENÇÃO DE FONTES DE CORRENTE.** FEI. São Bernardo do Campo, p. (Tese de Mestrado). 2007.
 14. STREETMAN, B. G.; BANERJEE, S. **Solid State Electronic Devices.** 5th. ed. New jersey: Prentice Hall, 2000.
 15. SANTOS, I. C. B. et al. **ASSOCIAÇÃO SÉRIE E ANÁLISE DE DESCASAMENTO EM TRANSISTORES SOI MOSFET DE CANAL GRADUAL OPERANDO EM SATURAÇÃO.** FEI. São Bernardo do Campo, p. (tese de Mestrado). 2011.
 16. GUTIERREZ, E. A.; DEEN, J.; CLAEYS, C. L. **Low Temperature Electronics: Physics, Devices, Circuits and Applications.** Academic Press. [S.l.], p. 964. 1991.
 17. LIM, H. K.; FOSSUM, J. G. Current-voltage characteristics of thin-film SOI MOSFET's in strong inversion. **IEEE Transactions on Electron Devices**, v. 31, p. 401-408, 1984.
 18. COLINGE, J. P.; COLINGE, C. A. **physics of Semiconductor Devices.** 2ª. ed. Norwell: kluwer Academic Publishers, 2003.
 19. FLANDRE, D. et al. Comparison of SOI versus bulk performances of CMOS micropower single-stage OTAs. **Electronics Letters**, v. 30, n. 23, p. 1933-1934, 1994.
 20. VITTOZ, E. A. Low power design: ways to approach the limits. **Digest of Technical Papers**, n. 41st, p. 14-18, 1994.
 21. COLINGE, J. P. Thin-film SOI technology: the solution to many submicron MOS problems. **Techn. Digest of International Electron Devices Meeting**, 1989. 817.
 22. SANCHEZ, J. J.; HSUEH, K. K.; DEMASSA, T. A. Drain-engineered hot-electron-resistant device structures. **IEEE Transactions on Electron Devices**, v. 36, n. 6, p. 1125-1132, 1989.
 23. LIM, H. K.; FOSSUM, J. G. Threshold voltage of thin-film silicon-on-insulator (SOI) MOSFET's. **IEEE Transaction on Electron Devices**, v. 30, p. 1244-1251, 1983.
 24. SANTOS, A. D. A.; FLANDRE, D.; PAVANELLO, M. A. Impact of Graded-Channel SOI MOSFET Application on the Performance of Cascode and Wilson Current Mirrors.

- Microelectronics Technology and Devices - SBMICRO 2007**, Rio de Janeiro, v. 9, p. 323-332, 2007.
25. SILVEIRA, F.; FLANDRE, D.; JESPER, P. G. A. A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. **IEEE Journal of Solid-State Circuits**, v. 31, n. 9, p. 1314-1319, September 1996.
 26. EGGERMONT, J. P. et al. Design of SOI CMOS Operational Amplifiers for Applications up to 300 °C. **IEEE Journal of Solid-State Circuits**, v. 31, n. 2, p. 179-186, February 1996.
 27. GOMES, R. L. **Estudo Comparativo do Ruído Flicker (1/f) entre Amplificadores Operacionais de Transcondutância utilizando Tecnologia Convencional e de Canal Gradual (GC) SOI nMOSFET**. FEI. São Bernardo do Campo, p. (Tese de Mestrado). 2008.
 28. SEDRA, A. S.; SMITH, K. C. **Microelectronics Circuits: Theory and Applications**. 5th. ed. New York: Oxford University Press, 2009.
 29. NISE, N. S. **Engenharia de Sistemas de Controle**. 3th. ed. Rio de Janeiro: LTC - Livros Técnicos e Científicos Editora S. A., 2002.
 30. MILLMAN, J.; GRABEL, A. **MICROELECTRONICS**. 2nd. ed. New York: Tata McGraw-Hill, 1999.
 31. IÑIGUEZ, B. et al. A Physically-Based C - Continuous Fully-Depleted SOI MOSFET Model for Analog Applications. **IEEE Transaction On Electron Devices**, v. 43, n. 4, p. 568-575, 1996.
 32. SANTOS, A. A. **IMPACTO DA UTILIZAÇÃO DE TRANSISTORES GC SOI MOSFET COMO ESPELHOS DE CORRENTE PARA A OBTENÇÃO DE FONTES DE CORRENTE DE ALTO DESEMPENHO EM CIRCUITOS INTEGRADOS**. FEI. São Bernardo do Campo, p. (Tese de Mestrado). 2007.
 33. PAVANELLO, M. A. et al. Physically-Based Continuous analytical graded-channel SOI nMOSFET model for analog applications. **Proceedings of the Fourth IEEE International Caracas Conference on Devices, Circuit and Systems**, 7th August 2002. D030-1 – D030-5.
 34. TECHNOLOGIES, A. **Agilent 4395A Network/Spectrum/Impedance Analyzer Operation Manual**. [S.l.]: <http://www.agilent.com/>, 2008.

35. CAUGHEY, D. M.; THOMAS, R. E. Carrier mobilities in silicon empirically related to doping and field. **Proceedings of the IEEE** , v. 55, n. 12, p. 2192-2193, 1967.
36. DORKEL, J. M.; LETURCQ, P. Carrier mobilities in silicon semi-empirically related to temperature, doping and injection. **Solid-State Electronics**, v. 24, n. 9, p. 821-825, 1981.
37. LI, S. S.; THURBER, W. R. The dopant density and temperature dependence of electron mobility and resistivity in n-type silicon. **Solid-State Electronics**, v. 20, p. 609-616, 1977.
38. SAH, C. T. et al. Effect of zinc impurity on silicon solar-cell efficiency. **IEEE Transactions on Electron Devices**, v. 28, n. 3, p. 304-313, March 1981.
39. YOUNG, K. K. Short-Channel effect in fully depleted SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 36, n. 2, p. 399-402, February 1989. ISSN 10.1109/16.19942.
40. VEERARAGHAVAN, S.; FOSSUM, J. G. A physical short-channel model for the thin-film SOI MOSFET applicable to device and circuit CAD. **IEEE Transactions on Electron Devices**, v. 35, n. 11, p. 1866-1875, 1988.

APÊNDICE A - ARQUIVO DE SIMULAÇÃO DO TRANSISTOR SOI MOS DO TIPO

N NO ICAP/4

* FONTES DE TENSÃO

VDS 1 0 0.1

V0 1 2 0V

* FONTE DC

VGS 3 0 DC

* TRANSISTOR

M1 2 3 0 0 nsoi W=300u L=6u

* MODELO

.MODEL nsoi fdsoin (TOF=30E-9 TOB=300E-9 TB=80E-9 NSUB=1E17 U0=6.6E-2

+ TEMP=298 RD=2 NIT=2E10 VTHF=0.4 VTHFI=0.4 AF=1E-8 SNT=0.99 Q0=0

+ IGMA=0 KAPPA=1.072 LD=0.98E-9 QOF=8E-9 QOB=8E-9 ATS=4 VSAT=1.65E5

+ LDIFF=4E-9 LLAT=0.3E-9 WD=0.1E-9 ICGF=4 VFBB=-1.027 VFBB=-1.023 ICS=0

+ ICGB=0)

.CONTROL

OP

SHOW ALL

.ENDC

.DC VGS -0.5 4 0.01

.PRINT DC I(V0) V(VGS)

.PLOT DC I(V0) V(VGS)

.END

APÊNDICE B - ARQUIVO DE SIMULAÇÃO DO TRANSISTOR SOI MOS DO TIPO N NO ELDO

* Model definitions

```
.model n1 nmos LEVEL=22 tof=30e-9 tob=390e-9 tb=80e-9 nsub=1e15 u0=12e-2 tmod=298
+ rud=2 nit=2e10 vthf=-0.5 vthfi=-0.5 af=1.85e-8 snt=0.97 q0=0 sigma=0 kappa=1.072
+ ld=0.98e-7 qof=8e-9 qob=8e-9 ats=4 vsat=1.6e6 ldiff=4e-9 llat=0.3e-9 wd=0.1e-9 vfbf=
+ 0.9 vfbb=-0.9 ENE=1.19
```

```
m1 2 3 0 0 n1 W=300u L=6u
```

```
vds 1 0 0.1
```

```
v0 1 2 0v
```

```
vg 3 0 DC
```

```
.DC vg -1 4 0.01
```

```
.plot DC v(1) id(m1)
```

```
.print DC v(1) id(m1)
```

```
.end
```

APÊNDICE C – ARQUIVO DE SIMULAÇÃO DO OTA NO ICAP/4

```

* Bias Voltage
Vdd 1 0 2V
* Differential Mode Voltage
Vinneg 8 0 DC 1 AC 1
Vinnpos 13 0 DC 1
* Current source
Icc 2 3 60uA
* Charge Capacitor
CL 15 0 12p
* Current source transistors
AM09 3 3 0 0 nsoi
AM10 10 3 0 0 nsoi
* Active Charge of Differential Stage
AM03 6 6 1 0 psoi
AM04 11 11 1 0 psoi
AM05 4 6 1 0 psoi1
AM06 14 11 1 0 psoi1
AM07 5 5 0 0 nsoi1
AM08 15 5 0 0 nsoi1
* Differential Pair
AM01 7 8 9 0 nsoi
AM02 12 13 9 0 nsoi
***** Amperemeter
V1 1 2 0
V2 4 5 0
V3 6 7 0
V4 9 10 0
V5 11 12 0
V6 14 15 0
***** Transistors Models
* n-channel
.model nsoi fdsoin(w=300e-6 l=6e-6 tof=30e-9 tob=390e-9 tb=80e-9 nsub=1e17 u0=6.6e-2
+ temp=25 rd=2 nit=2e10 vthf=0.4 vthfi=0.4 af=1.65e-8 snt=.97 q0=0 sigma=0 kappa=1.072
+ ld=0.98e-7 qof=8e-9 qob=8e-9 ats=4 vsat=1.65e5 af=1.65e-8 ldiff=4e-9 llat=3e-10
+ wd=0.1e-10 vbf=-1.02 vbb=-1.03 ics=0 icgb=0 icgf=4)

.model nsoi1 fdsoin(w=100e-6 l=20e-6 tof=30e-9 tob=390e-9 tb=80e-9 nsub=1e17 u0=6.6e-2
+ temp=25 rd=2 nit=2e10 vthf=0.4 vthfi=0.4 af=1.65e-8 snt=.97 q0=0 sigma=0 kappa=1.072
+ ld=0.98e-7 qof=8e-9 qob=8e-9 ats=4 vsat=1.65e5 af=1.65e-8 ldiff=4e-9 llat=3e-10
+ wd=0.1e-10 vbf=-1.02 vbb=-1.03 ics=0 icgb=0 icgf=4)

.model psoi fdsoip(w=150e-6 l=6e-6 tof=30e-9 tob=390e-9 tb=80e-9 icd=1 nsub=4e16
+ u0=3.3e-2 temp=27 rd=0 nit=10 vthf=-0.4 vthfi=-0.4 af=1e-8 snt=.99 q0=-.2 sigma=2e-3
+ kappa=6.4e-2 ld=1.7e-12 qof=0 qob=0 ats=6 vsat=1e6 af=1.5e-8 ldiff=1e-9 llat=0.1e-9
+ wd=0.1e-9 icgf=0.1 vbf=-0.9 vbb=-0.9 ics=0 icgb=0)

```

```
.model psoi1 fdsoip(w=100e-6 l=12e-6 tof=30e-9 tob=390e-9 tb=80e-9 icd=1 nsub=4e16
+ u0=3.3e-2 temp=27 rd=0 nit=10 vthf=-0.4 vthfi=-0.4 af=1e-8 snt=.99 q0=-.2 sigma=2e-3
+ kappa=6.4e-2 ld=1.7e-12 qof=0 qob=0 ats=6 vsat=1e6 af=1.5e-8 ldiff=1e-9 llat=0.1e-9
+ wd=0.1e-9 icgf=0.1 vfbf=-0.9 vfbb=-0.9 ics=0 icgb=0)
.CONTROL
OP
SHOW ALL
.ENDC
.AC DEC 10 1 1e10
.PRINT AC V(15) VP(15)
.PLOT
```

APÊNDICE D - ARQUIVO DE SIMULAÇÃO DO OTA COM FD SOI MOSFET NO ELDO

```

* Transistors Models*****
.model nsoi nmos LEVEL=22 tof=30e-9 tob=390e-9 tb=80e-9 nsub=1e17
+ u0=6.6e-2 tmod=25 rud=2 nit=2e10 vthf=0.4 vthfi=0.4 af=1.6e-8 snt=0.97
+ q0=0 sigma=0 kappa=1.072 ld=0.98e-7 qof=8e-9 qob=8e-9 ats=4 vsat=1.65e5
+ ldiff=4e-9 llat=0.3e-9 wd=0.1e-9 vfbf=-1.023 vfbb=-1.027

.model psoi pmos LEVEL=22 tof=30e-9 tob=390e-9 tb=80e-9 nsub=4e16 tmod=25
+ u0=3.3e-2 rud=2 nit=0 vthf=0.4 vthfi=0.4 af=1e-8 snt=1
+ q0=0 sigma=0 kappa=3.2e-2 ld=0.98e-7 qof=0 qob=0 ats=6 vsat=1e5 ldiff=4e-9
+ llat=0.3e-9 wd=0.5e-9 vfbf=-0.9 vfbb=-0.9 ENE=1.19
* CURRENT SOURCE RESISTOR*****
Icc 2 3 60uA
* DIFFERENTIAL MODE VOLTAGE
Vdd 1 0 2V
Vinneg 8 0 DC 1 AC 1
Vinnpos 13 0 DC 1
* AMPEREMETERS (VOLTAGE SOURCE = 0)*****
V1 1 2 0
V2 4 5 0
V3 6 7 0
V4 9 10 0
V5 11 12 0
V6 14 15 0
* DIFFERENTIAL PAIR *****
m1 7 8 9 0 nsoi w=300e-6 l=6e-6
m2 12 13 9 0 nsoi w=300e-6 l=6e-6
* ACTIVE CHARGE OF DIFFERENTIAL STAGE*****
m3 6 6 1 1 psoi w=150e-6 l=6e-6
m4 11 11 1 1 psoi w=150e-6 l=6e-6

m5 4 6 1 1 psoi w=100e-6 l=12e-6
m6 14 11 1 1 psoi w=100e-6 l=12e-6
* ACTIVE CHARGE'S CURRENT MIRROR*****
m7 5 5 0 0 nsoi w=100e-6 l=20e-6
m8 15 5 0 0 nsoi w=100e-6 l=20e-6
* CURRENT SOURCE TRANSISTOR*****
m9 3 3 0 0 nsoi w=300u l=6u
m10 10 3 0 0 nsoi w=300u l=6u
* CHARGE CAPACITOR*****
c1 15 0 20p
*****

.AC DEC 50 1 1e7
.PLOT AC V(15)
.PRINT AC V(15)
.END

```

APÊNDICE E - ARQUIVO DE SIMULAÇÃO DO OTA COM ASSOCIAÇÃO SÉRIE DE FD SOI MOSFET NO ICAP/4

BIAS VOLTAGE

VDD 1 0 2V

DIFFERENTIAL MODE VOLTAGE

VINNEG 11 0 DC 1 AC 1

VINPOS 18 0 DC 1

* CURRENT SOURCE RESISTOR

ICC 1 2 60uA

* CHARGE CAPACITOR

CL 20 0 20P

* CURRENT SOURCE TRANSISTORS

* LLD/L=0.25

AM09L 2 2 4 0 NSOIL W=300E-6 L=1.5E-6

AM09H 4 2 0 0 NSOIH W=300E-6 L=4.5E-6

AM10L 13 2 14 0 NSOIL W=300E-6 L=1.5E-6

AM10H 14 2 0 0 NSOIH W=300E-6 L=4.5E-6

* ACTIVE CHARGE OF DIFFERENTIAL STAGE

AM03 1 8 8 0 PSOI W=150E-6 L=1.5E-6

AM04 1 15 15 0 PSOI W=150E-6 L=4.5E-6

AM05 1 8 5 0 PSOI W=100E-6 L=3E-6

AM06 1 15 19 0 PSOI W=100E-6 L=9E-6

* CURRENT MIRROR

AM07L 5 5 7 0 NSOIL W=100E-6 L=5E-6

AM07H 7 5 0 0 NSOIH W=100E-6 L=15E-6

AM08L 20 5 21 0 NSOIL W=100E-6 L=5E-6

AM08H 21 5 0 0 NSOIH W=100E-6 L=15E-6

* DIFFERENTIAL PAIR

AM01L 8 11 10 0 NSOIL W=300E-6 L=1.5E-6

AM01H 10 11 12 0 NSOIH W=300E-6 L=4.5E-6

AM02L 15 18 17 0 NSOIL W=300E-6 L=1.5E-6

AM02H 17 18 12 0 NSOIH W=300E-6 L=4.5E-6

* VOLTAGE SOURCE @ 0V (AMPEREMETER)

V1 1 2 0

V2 5 6 0

V3 8 9 0

V4 12 13 0

V5 15 16 0

V6 19 20 0

* TRANSISTORS MODELS

* N-CHANNEL

.model NSOIH FDSOIN(w=300e-6 l=4.5e-6 tof=30e-9 tob=390e-9 tb=80e-9 nsub=1e17
+ u0=6.6e-2 temp=298 rd=2 nit=2e10 vthf=0.4 vthfi=0.4 af=1.65e-8 snt=.97

```
+ q0=0 sigma=0 kappa=1.072 ld=0.98e-7 qof=8e-9 qob=8e-9 ats=4 vsat=1.65e5
+ ldiff=4e-9 llat=0.3e-9 wd=0.1e-9 icgf=4 vbf=-1.027 vbb=-1.023 ics=0 icgb=0)
```

```
.model NSOIL FDSOIN(w=300e-6 l=1.5e-6 tof=30e-9 tob=390e-9 tb=80e-9 nsub=1e15
+ u0=12e-2 temp=298 rd=2 nit=2e10 vthf=-0.4 vthfi=-0.4 af=1.65e-8 snt=.97
+ q0=0 sigma=0 kappa=1.072 ld=0.98e-7 qof=8e-9 qob=8e-9 ats=4 vsat=1.65e5
+ ldiff=4e-9 llat=0.3e-9 wd=0.1e-9 icgf=4 vbf=-0.9 vbb=-0.9 ics=0 icgb=0)
```

```
.model PSOI FDSOIP(w=150e-6 l=6e-6 tof=30e-9 tob=390e-9 tb=80e-9 nsub=4e16
+ u0=3.3e-2 temp=298 rd=2 nit=0 vthf=-0.4 vthfi=-0.4 af=1e-8 snt=1
+ q0=0 sigma=0 kappa=3.2e-2 ld=0.98e-7 qof=0 qob=0 ats=6 vsat=1e5 ldiff=4e-9
+ llat=0.3e-9 wd=0.5e-9 icgf=4 vbf=-0.9 vbb=-0.9 ics=0 icgb=0)
```

```
.CONTROL
```

```
OP
```

```
SHOW ALL
```

```
.ENDC
```

```
.AC DEC 10 1 1e7
```

```
.PRINT AC V(20) VP(20)
```

```
.PLOT AC V(20) VP(20)
```

```
.END
```

APÊNDICE F - ARQUIVO DE SIMULAÇÃO DO OTA COM GC FD SOI MOSFET NO ELDO

```

* Transistors Models*****
.model nsoi nmos LEVEL=25 TMOD=25 R=0.25 ALPHAH=1.65e-10 ALPHAL=1.65e-10
+ NAH=1e17 NAL=1e15 NSUB=1e15 VT0H=0.4 VT0L=-0.4 U0H=660 U0L=1200
+ LCH=9.8e-10 LCL=9.8e-10 SIGMA=0.013 SNT=0.99 ATS=4 BTS=4 ENE=1.2
+VSATH=1.6e7 VSATL=1.6e7 Q0=0

.model psoi pmos LEVEL=22 tof=30e-9 tob=390e-9 tb=80e-9 nsub=4e16 tmod=298
u0=3.3e-2
+ rud=2 vthf=0.4 vthfi=0.4 af=1e-8 snt=1 kappa=3.2e-2 ld=0.98e-7 ats=6 vsat=1e5 ldif=4e-9
+llat=0.3e-9 wd=0.5e-9 vfbf=-0.9 vfbb=-0.9 ENE=1.19
* CURRENT SOURCE RESISTOR*****
Icc 2 3 60uA
* DIFFERENTIAL MODE VOLTAGE
Vdd 1 0 2V
Vinneg 8 0 DC 1 AC 1
Vinnpos 13 0 DC 1
* AMPEREMETERS (VOLTAGE SOURCE = 0)*****
V1 1 2 0
V2 4 5 0
V3 6 7 0
V4 9 10 0
V5 11 12 0
V6 14 15 0
* DIFFERENTIAL PAIR *****
m1 7 8 9 0 nsoi w=300e-6 l=6e-6
m2 12 13 9 0 nsoi w=300e-6 l=6e-6
* ACTIVE CHARGE OF DIFFERENTIAL STAGE*****
m3 6 6 1 1 psoi w=150e-6 l=6e-6
m4 11 11 1 1 psoi w=150e-6 l=6e-6
m5 4 6 1 1 psoi w=100e-6 l=12e-6
m6 14 11 1 1 psoi w=100e-6 l=12e-6
* ACTIVE CHARGE'S CURRENT MIRROR*****
m7 5 5 0 0 nsoi w=100e-6 l=20e-6
m8 15 5 0 0 nsoi w=100e-6 l=20e-6
* CURRENT SOURCE TRANSISTOR*****
m9 3 3 0 0 nsoi w=300u l=6u
m10 10 3 0 0 nsoi w=300u l=6u
* CHARGE CAPACITOR*****
c1 15 0 20p
*****
.AC DEC 50 1 1e7
.PLOT AC V(15) VP(15)
.PRINT AC V(15) VP(15)
.END

```