CENTRO UNIVERSITÁRIO FEI
COCO URBANO CUTIPA CCOTO

APLICAÇÃO DO MÉTODO SPLIT-CV PARA OBTENÇÃO DA MOBILIDADE EM NANOFIOS TRANSISTORES MOS

São Bernardo do Campo
2022

COCO URBANO CUTIPA CCOTO

APLICAÇÃO DO MÉTODO SPLIT-CV PARA OBTENÇÃO DA MOBILIDADE EM NANOFIOS TRANSISTORES MOS

Dissertação apresentado ao Centro Universitário FEI, como parte dos requisitos necessários para obtenção do título de Mestre em Engenharia Elétrica. Orientado pelo Prof. Dr. Marcelo Antonio Pavanello.

São Bernardo do Campo

2022

Cutipa Ccoto, Coco Urbano.
Aplicação do Método Split-CV para Obtenção da Mobilidade em Nanofios Transistores MOS / Coco Urbano Cutipa Ccoto. São Bernardo do Campo, 2022.
115 p. : il.

Dissertação - Centro Universitário FEI.
Orientador: Prof. Dr. Marcelo Antonio Pavanello.

1. Nanofios transistores MOS. 2. Extração da mobilidade. 3. Polarização do Substrato. 4. Split C-V. 5. Orientação Cristalográfica . I. Pavanello, Marcelo Antonio , orient. II. Título.

Elaborada pelo sistema de geração automática de ficha catalográfica da FEI com os dados fornecidos pelo(a) autor(a).

centro universitário FEI

APRESENTAÇÃO DE DISSERTAÇÃO
ATA DA BANCA EXAMINADORA

Mestrado

Programa de Pós-Graduação Stricto Sensu em Engenharia Elétrica

PGE-10

Aluno(a): Coco Urbano Cutipa Ccoto **Matrícula:** 120105-2

Título do Trabalho: Aplicação do método SPLIT-CV para obtenção da mobilidade em nanofios transistores MOS

Área de Concentração: Nanoeletrônica e Circuitos Integrados

Orientador(a): Prof. Dr. Marcelo Antonio Pavanello

Data da realização da defesa: 30/08/2022

ORIGINAL ASSINADA

Avaliação da Banca Examinadora:

A defesa pública da dissertação de mestrado foi realizada por videoconferência, com a presença de todas os membro da banca examinadora. Iniciou-se pela apresentação da dissertação por parte do candidato. Em seguida, foi realizada a arguição por parte de todos os membros da banca examinadora. O candidato respondeu e argumentou sobre as perguntas realizadas satisfatoriamente. Por fim, em sessão fechada, a banca examinadora decidiu pela aprovação unânime da dissertação. Os comentários realizados pelos membros da banca examinadora serão incluídos na versão final da dissertação.

A Banca Julgadora acima-assinada atribuiu ao aluno o seguinte resultado:

APROVADO ☒ REPROVADO ☐

MEMBROS DA BANCA EXAMINADORA

Prof. Dr. Marcelo Antonio Pavanello

Prof. Dr. Cleiton Fidelix Pereira

Prof. Dr. Felipe de Aguiar Neves

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz

A Deus por guiar meus passos, a minha família, por me apoiarem, a minha avó, minha mãe e minha esposa por estarem sempre presentes nas melhores etapas da minha vida.

AGRADECIMENTOS

Em primeiro lugar, agradecer imensamente a Deus por todas as oportunidades que me surgiram, por toda saúde minha e da minha família e por estar presente em todos meus passos

Ao Prof. Dr. Marcelo Antonio Pavanello, que tive o prazer de conhecer no Centro Universitário FEI e que se tornou um grande amigo e inspiração para continuar minha vida profissional. Agradeço imensamente por sua ajuda, paciência e por me transmitir seus conhecimentos, criando em mim uma grande admiração pela eletrônica e paixão pela pesquisa.

A minha avó Paulina, que está sempre ao meu lado, a minha mãe Elisa, que é parte da minha inspiração, por me ensinar a nunca desistir e sempre trabalhar por meus objetivos. Meu irmão José que, com seus conselhos, soube me guiar pelo caminho correto, e a minha irmã Katherin, que me apoiou incondicionalmente.

A minha irmã Milena e meu pai Lucio, que completam essa alegria da união familiar, e minha noiva Tatiana, por todo o carinho e motivação que me deu para continuar melhorando cada dia.

Para finalizar, muito obrigado ao Centro Universitário FEI pela confiança e investimento em minha formação, na realização do meu Mestrado.

“O futuro vai mostrar os resultados e julgar cada um segundo as suas realizações”
Nikola Tesla

RESUMO

Este trabalho tem por objetivo analisar a mobilidade dos nanofios transistores MOS, com diferentes larguras de aleta de Si que foi extraído usando a técnica de SPLIT-CV. Para realização deste trabalho de dissertação, foram utilizadas medidas experimentais de nanofios transistores MOS de porta tripla, fabricados em tecnologia de SOI (Silicon-On-Insulator).

Na introdução teórica foram explicados os fatores que influenciam a mobilidade total dos portadores como: tensão de substrato e largura da aleta. Foi comprovado, através dos resultados das extrações, uma melhora significativa na mobilidade, por exemplo para o dispositivo de 12nm, com aplicação da tensão de substrato de 20V, obteve uma melhoria da de aproximadamente 12%, e para o transistor de 82nm obteve uma melhora de 30%. Outro ganho importante a ser mencionado, foi da mobilidade total entre o transistor de 12nm e de 82nm , de aproximadamente 24%, para tensão de substrato de 0V. Com polarização do substrato de 20V foi de aproximadamente 39%. Considerando o fator da influência da largura de aleta, os transistores obtiveram um ganho médio de 19% a cada variação da largura de aleta.

Isso comprova claramente que ao combinar a variação da tensão de substrato com a variação da largura de aleta, é possível atingir melhores valores de mobilidade, onde o deslocamento do centroide do canal, que é uma região do canal, onde os portadores atingem maiores velocidades, e são menos influenciados por mecanismos de espalhamento, como rugosidade da superfície μSi, que degradam a mobilidade.

Este último fator, está fortemente relacionado com a orientação cristalográfica das portas do canal, que foi explicado em uma seção dedicada ao estudo e extração das mobilidades nas regiões do canal, chamadas de *front channel*, que é uma região composta entre o óxido de porta e o semicondutor; e a região do *back-channel*, região inferior do canal composta entre o óxido enterrado e o semicondutor, que é controlada pela tensão de substrato.

Para extração da mobilidade, sem tensão de substrato, na região do *front channel*, no plano superior e laterais dos transistores, foi usado a técnica de separação por corrente de superfície, juntamente com as equações de SPLIT-CV. Os resultados obtidos, demonstraram o ganho da mobilidade, entre o primeiro nanofio de 12nm e o último de 82nm, de 10% no plano superior, comprovando que a mobilidade de elétrons é maior no plano superior que nas laterais para todas as amostras. Para confirmar os resultados obtidos, as somatórias das mobilidades foram comparadas com os valores da mobilidade efetiva total, gerando uma efetividade do método de 88%, indicando que a técnica de extração condiz com a teoria da mobilidade dos portadores.

Adicionalmente, ao aplicar uma polarização de substrato de 20V, foi possível observar uma região inversão na estrutura dos nanofios na região do *back-channel*, atuando como uma quarta porta em volta do canal. O método de extração anteriormente mencionado, não gerou resultados confiáveis. A fim de obter a mobilidade na região controlada pela porta do substrato, foi usado um método, extraído da literatura, que também aplica o uso das equações do SPLIT-CV.

Comprovando que a mobilidade na região de *back-channel* é maior para todas as amostras os nanofios, em comparação a mobilidade total, isso indica que a condução começa primeiro na região do *back channel* e a partir de um valor de tensão de porta, as cargas na região do *back-channel* perdem representatividade na mobilidade total, reduzindo seu valor devido a mecanismos de espalhamento como rugosidade de superfície que degrada a mobilidade. Em contrapartida, a porta superior do *front channel* começa a ter maior controle eletrostático das cargas e a mobilidade total passa a ser uma combinação das mobilidades nas regiões do *back-channel* e *front channel.*

Para avaliar os resultados, os mesmos processos de extração foram aplicados para simulações numéricas feitas no computador onde foi possível validar o comportamento das cargas nos transistores, onde método de separação por corrente de superfície obteve uma efetividade de 97%.

Palavras-chave: SOI. Nanofios transistores MOS. Extração da Mobilidade . Polarização do substrato. SPLIT-CV. Orientação cristalográfica.

ABSTRACT

This work aims to analyze the mobility of MOS transistor nanowires, with different fin widths of Si that was extracted using the SPLIT-CV technique. To carry out this dissertation work, experimental measurements of triple gate MOS transistor nanowires were used, manufactured using SOI (Silicon-On-Insulator) technology.

In the theoretical introduction, factors that influence the total mobility of carriers were explained, such as: substrate voltage and fin width. It was proven, through the results of the extractions, a significant improvement in mobility, for example for the 12nm device, with application of the substrate voltage of 20V, it obtained an improvement of approximately 12%, and for the 82nm transistor it obtained an improvement of 30%. Another important gain to be mentioned was the total mobility between the 12nm and 82nm transistors, of approximately 24%, for a substrate voltage of 0V. With substrate bias of 20V it was approximately 39%. Considering the influence of the fin width factor, the transistors obtained an average gain of 19% for each variation of the fin width.

This clearly proves that by combining the substrate voltage variation with the fin width variation, it is possible to achieve better mobility values, where the displacement of the channel centroid, which is a region of the channel, where the carriers reach higher speeds, and are less influenced by scattering mechanisms, such as surface roughness μSi, which degrade mobility.

This last factor is strongly related to the crystallographic orientation of the channel gates, which was explained in a section dedicated to the study and extraction of mobilities in the channel regions, called the front channel, which is a region composed between the gate oxide and the semiconductor; and the back-channel region, the lower region of the channel composed between the buried oxide and the semiconductor, which is controlled by the substrate voltage.

To extract the mobility, without substrate voltage, in the front channel region, in the upper and lateral planes of the transistors, the surface current separation technique was used, together with the SPLIT-CV equations. The results obtained demonstrated that the mobility gain, between the first 12nm nanowire and the last one of 82nm, was 10% in the upper plane, proving that the mobility is greater in the upper plane than on the sides for all samples. To confirm the results obtained, the summations of the mobilities were compared with the values of the total effective mobility, generating an effectiveness of the method of 88%, indicating that the extraction technique is consistent with the theory of carrier mobility.

Additionally, by applying a substrate polarization of 20V, it was possible to observe an inversion region in the structure of the nanowires in the back-channel region, acting as a fourth

gate around the channel. The previously mentioned extraction method did not generate reliable results. In order to obtain mobility in the region controlled by the substrate gate, a method extracted from the literature was used, which also applies the use of SPLIT-CV equations.

Proving that the mobility in the back-channel region is higher for all samples the nanowires, compared to the total mobility, this indicates that the conduction starts first in the back-channel region and from a gate voltage value, the charges in the back-channel region, they lose representation in total mobility, reducing their value due to scattering mechanisms such as surface roughness that degrades mobility. On the other hand, the upper door of the front channel begins to have greater electrostatic control of the loads and the total mobility becomes a combination of the mobility in the regions of the back-channel and front channel.

To evaluate the results, the same extraction processes were applied to numerical simulations made on the computer where it was possible to validate the behavior of the loads on the transistors, where the surface current separation method obtained an effectiveness of 97%.

Keywords: SOI. MOS nanowire transistors. Mobility Extraction. polarization to take place SPLIT-CV substrate. Crystallographic orientation.

LISTA DE ILUSTRAÇÕES

Figura 1 - Perspectiva (A) e vista frontal (B) de um transistor SOI nMOS 24
Figura 2 - Vista frontal de capacitâncias parasitas para 26
Figura 3 – Vista frontal transversal do transistor MOS 27
Figura 4 - Ilustração do transistor completamente depletado FD SOI 29
Figura 5 - Diagrama de faixas de energia do transistor FD SOI 30
Figura 6 - Evolução dos dispositivos MOS 31
Figura 7 - Ilustração de transistores de duas portas DELTA (A), ... 32
Figura 8 - Ilustração da vista frontal de um transistor de porta tripla 33
Figura 9 - Vista transversal de estrutura multi-dedos de porta tripla 34
Figura 10 - Vista frontal de transistores MOS de três 35
Figura 11 - Representação da vista frontal de transistores em 36
Figura 12 – Exemplo de curva IDS x VGS de um transistor 37
Figura 13 – Vista superior em perspectiva de layout MOS 38
Figura 14 - Exemplo de extração da tensão de limiar 41
Figura 15 - Curvas de extração da tensão de limiar 42
Figura 16 – Comparação dependência da tensão de limiar(V_{TH}) 43
Figura 17 - Gráfico da inclinação de sublimiar de um transistor genérico 44
Figura 18 - Mobilidade de baixo campo elétrico e suas 49
Figura 19 - Curvas das velocidades em função do campo 51
Figura 20 - Gráfico de extração da mobilidade 53
Figura 21 - Gráfico de extração de parâmetros a partir da função Y 54
Figura 22 - Exemplo de um gráfico da mobilidade μ_N em 55
Figura 23 - Vista de um nanofio transistor obtida 56
Figura 24 - Estrutura de um nanofio de porta 57
Figura 25 - Desenho esquemático dos tipos de condução de 58
Figura 26 - Principais planos cristalográficos de um semicondutor 59
Figura 27 - Representação da vista isométrica de um nanofio 59
Figura 28 – Gráficos da mobilidade efetiva para elétrons (A) 60
Figura 29 - Diagrama de conexão para obtenção da capacitância de porta 61
Figura 30 - Exemplo de um gráfico da mobilidade μ_N 62
Figura 31 - Gráfico da mobilidade u_N em função da concentração de portadores 62
Figura 32 - Gráfico da mobilidade μN em função de largura de fin W_{FIN} 63

Figura 33- Curvas da tensão de limiar e inclinação de sublimiar em função 64
Figura 34 - Variação de mobilidade efetiva 65
Figura 35 - Representação esquemática da seção 65
Figura 36 - Vista esquemática das portas de um 66
Figura 37 Gráficos da capacitância (C_{GC}) e corrente de dreno (I_{DS}) 67
Figura 38 - Exemplo de extração da curva de mobilidade lateral 68
Figura 39 – Gráfico de curvas de limiar e tensão 69
Figura 40 – Exemplo de extração das curvas de mobilidade 70
Figura 41 - Foto do equipamento Keysight B1500A do laboratório da FEI 72
Figura 42 - Curvas de capacitância em função de tensão 73
Figura 43 - Curvas de capacitância em função de tensão 74
Figura 44 - Variação da tensão de limiar V_{TH} 75
Figura 45 - Extração da mobilidade pelo método de Split C-V 76
Figura 46 - Curvas de mobilidade em transistores com tensão 78
Figura 47 - Capacitância de porta C_{GC} 79
Figura 48 - Capacitância de porta CGC com tensão de substrato 80
Figura 49 - Mobilidade no plano lateral para 81
Figura 50 - Curvas de capacitância e corrente superior 81
Figura 51 - Curvas da extração de mobilidade 82
Figura 52 - Exemplo de extrapolação da capacitância 84
Figura 53 – Curvas das mobilidades efetivas extraídas 86
Figura 54 - Derivada da capacitância C_{GC} 87
Figura 55 - Curvas de capacitância C_G 88
Figura 56 – Curvas de corrente I_{DS} em função 88
Figura 57 - Curvas de mobilidade efetiva μ_{eff} em 89
Figura 58 - Curvas da densidade de cargas N_{INV} 90
Figura 59 - Capacitância de porta C_{GC} com tensão de substrato 91
Figura 60 - Extração da mobilidade pelo método de SPLIT-CV 92
Figura 61 - Gráfico das curvas de mobilidade lateral 93
Figura 64 - Curvas de extração da mobilidade do topo 94
Figura 63 - Curvas das mobilidades efetivas extraídas 95
Figura 64 - Curvas de capacitância C_G em função 96
Figura 65 - Curvas de corrente I_{DS} em função 96
Figura 66 - Curvas de mobilidade efetiva μ_{eff} em função da 97

LISTA DE TABELAS

Tabela 1 - Parâmetros geométricos dos transistores.....71
Tabela 2 - Número de fins para cada conjunto de transistores com W_{FIN} diferentes 72
Tabela 3 - Tabela de comparação dos valores de 77
Tabela 4 – Resultados da extração da mobilidade no topo e lateral em função de W_{FIN} para dados experimentais com tensão de substrato de 0V 85
Tabela 5 - Resultados da extração da mobilidade 95

LISTA DE ABREVIATURAS E SIGLAS

BC	*Back - Channel* – Canal entre o óxido enterrado e o semicondutor
BOX	*Buried Oxide* – Óxido enterrado
CMOS	*Complementary Metal-Oxide-Semicondutor* – Metal-Óxido-Semicondutor Complementar
CEA	*Commissariat à l'Énergie Atomique et aux Énergies Alternatives* – Comissão de Energia Atômica e Energias Alternativas
CLM	*Channel Length Modulation* – Modulação do comprimento de canal
DIBL	*Drain Induced Barrier Lowering* – Redução de barreira induzida pelo dreno
ELO	E*pitaxial Lateral Overgrowth* – Epitaxial Lateral Overgrowth
FBE	*Floatting Body Effect* – Efeito de corpo flutuante
FC	*Front Channel* – Canal entre o oxido de porta e o semicondutor
FD	*Fully Depleted* – Totalmente depletado
FinFET	*Fin Field-Effect Transistor* – Transistor de efeito de campo *fin*
FIPOS	O*xidation of Porous Silicon* – Oxidação do Silício Poroso
GAA	*Nano-Beam Stacked Channels* – Canais empilhados de nanofeixes
Leti	*Laboratoire d'Electronique des Technologies de l'Information* – Laboratório de eletrônica das tecnologias da informação
LSPE	*Lateral Solid Phase Epitaxy* – Epitaxia Lateral em Fase Sólida
MOS	*Metal Oxide Semiconductor Field-Effect Transistor* – Transistor de efeito de campo metal-óxido-semicondutor
MuGFET	*Multiple-Gate Field-Effect Transistor* – Transistor de efeito de campo de múltiplas portas
MBCFET	*Multi-Bridge Channel MOS* – MOS de canal multi-ponte
NFD	*Near Fully Depleted* – Quase totalmente depletado
nMOS	*n-type Metal-Oxide-Semiconductor* – Metal-Óxido-Semicondutor tipo n
NPN	Transistor bipolar composto por junções com materiais do tipo n, p e n
PD	*Partially Depleted* – Parcialmente depletado
pMOS	*Metal-Oxide-Semiconductor p-type* – Metal-Óxido-Semicondutor tipo p
QNR	Quase-*Neutral Regions* – Região quase neutral
SCE	*Short Channel Effects* – Efeitos de canal curto
SIMOX	*Separation by Implanted Oxygen* – Separação por oxigênio implantado
SOI	*Silicon-On-Insulator* – Silício sobre isolante

SOS	*Silicon-On-Sapphire*– Silício sobre Safira
SH	*Shelf-Heating effect* – Efeitos de auto aquecimento
TEM	Transmission Electron Microscopy – Microscópio eletrônico de transmissão
TSNANOFIOFET	*Twin-Silicon-Nanowire MOS* –Nanofio MOS duplo de silício
ULSI	*Ultra Large Scale of Integration* – Altíssima escala de integração
XMOS	Transistor MOS denominado com esse nome por conta que a estrutura se assemelhava com a letra grega Ξ, X no alfabeto latino

LISTA DE SÍMBOLOS

C_D	Capacitância do dreno [F]
C_{GC}	Capacitância entre a porta e o canal [F]
C_S	Capacitância da fonte [F]
C_{GCfin}	Capacitância de porta com vários números de *fins* [F]
C_{ox1}	Capacitância de óxido de porta por unidade de área [F/cm²]
C_{ox2}	Capacitância do óxido enterrado por unidade de área [F/cm^2]
d	Espessura de depleção induzida por um potencial [cm]
$d_{máx}$	Espessura máxima de depleção [cm]
E_C	Primeiro nível de energia de condução do semicondutor [eV]
E_{eff}	Campo elétrico efetivo [V/cm]
E_F	Nível de energia de Fermi do semicondutor [eV]
E_G	Largura da banda proibida [eV]
E_i	Nível intrínseco de energia do semicondutor [eV]
E_V	Nível de banda de valência [eV]
E_y	Campo eléctrico lateral [V/cm]
f	Frequência [Hz]
g_m	Transcondutância [S]
h	Constante de Planck [6,63x10-34 J.s]
H_{FIN}	Altura do fin do transistor de múltiplas portas [nm]
I_{Dfin}	Corrente de um transistor de múltiplas portas em uma estrutura multi-dedos [A]
I_{DS0}	Corrente de um transistor planar de porta única com área correspondente a de uma estrutura multi-dedos [A]
I_{DS}	Corrente de dreno [A]
I_{Dtotal}	Corrente de dreno total em um transistor *trigate* [A]
I_{OFF}	Corrente de estado desligado [A]
I_{ON}	Corrente de estado ligado [A]
I_{pol}	Corrente elétrica de polarização [A]
k	Constante de Boltzmann [1,38x10-23J/K]
L	Comprimento do canal do transistor [nm]
L_{el}	Comprimento elétrico efetivo do canal do transistor [nm]
m*	Massa efetiva de confinamento do portador na direção transversal [kg]

m_0	Massa do elétron [9,11x10-31 kg]
m_{ce*}	Massa efetiva de condução para elétrons
m_{ch*}	Massa efetiva de condução para lacunas
n	Fator de corpo
N_A	Concentração de impurezas aceitadoras [cm^{-3}]
N_A^-	Concentração de impurezas aceitadoras ionizadas da camada de silício [cm^{-3}]
N_D	Concentração de impurezas doadoras [cm^{-3}]
N_{D+}	Concentração de impurezas doadoras ionizadas da camada de silício [cm^{-3}]
n_i	Concentração intrínseca de portadores [cm^{-3}]
N_{inv}	Concentração de portadores na camada de inversão [cm^{-2}]
N_{refe}	Parâmetro relacionado à concentração de elétrons de referência utilizado para o cálculo da mobilidade devido ao espalhamento por fônons e por impurezas ionizadas [cm^{-3}]
N_{refh}	Parâmetro relacionado à concentração de lacunas de referência utilizado para o cálculo da mobilidade devido ao espalhamento por fônons e por impurezas ionizadas [cm^{-3}]
P	Período da estrutura multi-dedos [nm]
q	Carga elementar do elétron [$1,6x10^{-19}C$]
Q_{inv}	Densidade de cargas na camada de inversão [C/cm^{-2}]
Q_{ox}	Carga efetiva do óxido de porta [C/cm^{-2}]
r	Razão entre as derivadas da resistência total de dois transistores distintos
R_S	Resistência série associada ao transistor [Ω]
R_T	Resistência total associada ao transistor [Ω]
S	Inclinação de sublimiar [mV/década]
T	Temperatura absoluta [K]
t	Tempo [s]
t_{BOX}	Espessura da camada de óxido enterrado [nm]
t_{ox}	Espessura do óxido de porta [nm]
$t_{ox,lat}$	Espessura do óxido das portas laterais do transistor de porta dupla [nm]
$t_{ox,top}$	Espessura do óxido de porta no topo do transistor de porta dupla [nm]
t_{Si}	Espessura da camada de silício [nm]
v	Velocidade de deriva dos portadores [cm/s]
V_A	Amplitude da componente alternada do sinal de entrada do circuito [V]

V_{bi}	Potencial interno da junção dreno-canal [V]
V_D	Tensão de dreno [V]
V_{DS}	Diferença de potencial entre dreno e fonte [V]
V_G	Tensão de porta [V]
V_{GS}	Tensão aplicada entre a porta e a fonte [V]
V_S	Tensão da fonte [V]
v_{sat}	Velocidade de saturação [cm/s]
V_{TH}	Tensão de limiar [V]
$V_{TH,1}$	Tensão de limiar obtida quando aplicada baixa tensão de dreno [V]
$V_{TH,2}$	Tensão de limiar obtida quando aplicada alta tensão de dreno [V]
$V_{\mu peak}$	Tensão de pico da mobilidade [V]
W_{eff}	Largura efetiva de canal do transistor de múltiplas portas [nm]
W_{FIN}	Largura do *fin* do transistor de múltiplas portas [nm]
W_{FINB}	Largura do *fin* no substrato [nm]
α_e	Parâmetro utilizado para o cálculo da mobilidade dos elétrons devido ao espalhamento por fônons e por impurezas ionizadas
α_{ea}	Constante utilizada para o cálculo da mobilidade dos elétrons devido ao espalhamento por fônons
α_h	Parâmetro utilizado para o cálculo da mobilidade das lacunas devido ao espalhamento por fônons e por impurezas ionizadas
α_{ha}	Constante utilizada para o cálculo da mobilidade das lacunas devido ao espalhamento por fônons
β	Parâmetro constante associado a influência da velocidade de saturação na mobilidade
β_{ea}	Constante utilizada para o cálculo da mobilidade dos elétrons devido ao espalhamento por fônons
β_{ha}	Constante utilizada para o cálculo da mobilidade das lacunas devido ao espalhamento por fônons
γ	Coeficiente de dependência com a temperatura
θ_1	Coeficiente de degradação da mobilidade pelo campo elétrico vertical de primeira ordem [V-1]
θ_2	Coeficiente de degradação da mobilidade pelo campo elétrico vertical de segunda ordem [V-1]

λ_D	Parâmetro que inclui a dependência da corrente de dreno em saturação pela tensão de dreno [V-1]
ω	Frequência angular [rad]
$\hbar$	Constante de Planck normalizada [1,055x10-34J.s]
ε_0	Permissividade elétrica do vácuo [8,85x10-14 F/cm]
ε_{ox}	Permissividade elétrica do óxido de silício [3,45x10-13F/cm]
ε_{Si}	Permissividade elétrica do silício [1,06x10-12F/cm]
Φ_F	Potencial de Fermi [V]
ΦSiB	Função trabalho do substrato [V]
ϕ_{mi}	Diferença de função trabalho entre a porta e o silício intrínseco [V]
ϕ_M	Função trabalho do metal
ϕ_{OX}	Função trabalho óxido
φ_t	Potencial térmico [V]
λ	Comprimento natural [nm]
μ	Mobilidade [cm²/V.s]
μ_0	Mobilidade de baixo campo [cm²/V.s]
μ_{0e}	Mobilidade de baixo campo para os elétrons [cm²/V.s]
μ_{0h}	Mobilidade de baixo campo para as lacunas [cm²/V.s]
μ_{cce}	Mobilidade dos elétrons devido ao espalhamento portador-portador [cm^2/V.s]
μ_{cch}	Mobilidade das lacunas devido ao espalhamento portador-portador [cm^2/V.s]
$\mu_{Coulomb}$	Mobilidade devido ao mecanismo de espalhamento Coulomb [cm^2/V.s]
μ_{eff}	Mobilidade efetiva considerando a degradação devido ao campo elétrico efetivo [cm²/V.s]
μ_{max}	Máxima mobilidade efetiva [cm^2/V.s]
μ_{mine}	Parâmetro relacionado à mobilidade mínima dos elétrons utilizado para o cálculo da mobilidade devido ao espalhamento por fônons e por impurezas ionizadas [cm^2/V.s]
μ_{minh}	Parâmetro relacionado à mobilidade mínima das lacunas utilizado para o cálculo da mobilidade devido ao espalhamento por fônons e por impurezas ionizadas [cm^2/V.s]
μ_{nie}	Mobilidade dos elétrons devido ao espalhamento por impurezas neutras [cm^2/V.s]

μ_{nih}	Mobilidade das lacunas devido ao espalhamento por impurezas neutras [cm2/V.s]
μ_{oea}	Constante utilizada para o cálculo da mobilidade dos elétrons devido ao espalhamento por fônons [cm^2/V.s]
μ_{oeb}	Constante utilizada para o cálculo da mobilidade dos elétrons devido ao espalhamento por fônons [cm^2/V.s]
μ_{oha}	Constante utilizada para o cálculo da mobilidade das lacunas devido ao espalhamento por fônons [cm^2/V.s]
μ_{ohb}	Constante utilizada para o cálculo da mobilidade das lacunas devido ao espalhamento por fônons [cm^2/V.s]
μ_{ps}	Mobilidade devido ao mecanismo de espalhamento por fônons [cm^2/V.s]
μ_{pse}	Mobilidade dos elétrons devido ao espalhamento de fônons [cm^2/V.s]
μ_{psh}	Mobilidade das lacunas devido ao espalhamento de fônons [cm^2/V.s]
μ_{psiie}	Mobilidade dos elétrons devido aos espalhamentos de fônons e por impurezas ionizadas [cm^2/V.s]
μ_{psiih}	Mobilidade das lacunas devido aos espalhamentos de fônons e por impurezas ionizadas [cm^2/V.s]
μ_{Si}	Mobilidade devido ao mecanismo de espalhamento por rugosidade de superfície [cm^2/V.s]
μ_{top}	Mobilidade da interface de topo do transistor de porta tripla [cm2/V.s]
μ_{lat}	Mobilidade da interface lateral do transistor de porta tripla [cm2/V.s]
ξ	Parâmetro de cálculo no método Y-Function de extração da mobilidade [S/A2]

SUMÁRIO

1 INTRODUÇÃO 20
2 CONCEITOS FUNDAMENTAIS 23
2.1 TECNOLOGIA SOI 23
2.1.1. Estrutura física dos transistores MOS fabricados em tecnologia SOI 24
2.1.2. Vantagens da Tecnologia SOI 25
2.1.1.1 Menor capacitância de junção *25*
2.1.1.2 Maior densidade de integração *26*
2.1.1.3 Melhor inclinação de sublimiar *26*
2.1.1.4 Menores efeitos de canal curto *27*
2.1.3 Desvantagens da tecnologia SOI 28
2.1.4. Modo de funcionamento do transistor MOS 28
2.1.4.1 Modo de Inversão *28*
2.2 TRANSISTORES DE MÚLTIPLAS PORTAS 30
2.2.1 Transistores FinFET de Porta Dupla 31
2.2.2 Transistores FinFET de Porta Tripla 32
2.2.3 Transistores "triple-plus gate" 34
2.2.4 Transistores em Torno da Porta ("Surrounding Gate") 35
2.3 PROPRIEDADES ELÉTRICAS BÁSICAS 36
2.3.1 Corrente de Dreno 36
2.3.2 Tensão de Limiar (V_{TH}) 38
2.3.2.1 Extração da tensão de limiar para dispositivos SOI FD e para transistores de múltiplas portas *39*
2.3.2.2 Dependência da tensão de limiar com a tensão de substrato para dispositivos SOI FD e para transistores de múltiplas portas *42*
2.3.3 Inclinação de sublimiar 43
2.3.4 Transcondutância 45
2.3.5 Mobilidade 45

2.3.5.1 Mobilidade de baixo campo (μ_0) e mecanismos de espalhamentos 45

2.3.5.2 Mobilidade dependente do campo elétrico e mecanismos de espalhamento 49

2.3.6 Velocidade de Saturação 51

2.4 TÉCNICAS DE EXTRAÇÃO DA MOBILIDADE 52

2.4.1 Transcondutância máxima ($g_{m,máx}$) 52

2.4.2 Função Y 53

2.4.3 SPLIT-CV 54

3. MOBILIDADE EM NANOFIOS MOS 56

3.1 NANOFIOS TRANSISTORES MOS DE PORTA TRIPLA. 56

3.1.1 Estrutura do transistor e estudos dos planos cristalográficos 57

3.1.1.1 Principais conceitos sobre rede cristalina e planos cristalográficos 58

3.1.2 Extração da mobilidade 60

3.1.2.1 Extração da mobilidade total 61

3.1.2.1.1 Impacto na mobilidade total com a modificação da largura de fin 62

3.1.2.1.2 Impacto na mobilidade total com a modificação da tensão de substrato 63

3.1.2.2 Extração da mobilidade em planos cristalográficos 66

3.1.2.2.1 Método de separação por corrente de superfície 67

3.1.2.3 Extração da mobilidade com aplicação da polarização do substrato. 68

4 CARACTERIZAÇÃO ELÉTRICA DOS NANOFIOS MOS 71

4.1 CARACTERÍSTICAS FÍSICAS E ELÉTRICAS DAS AMOSTRAS EXPERIMENTAIS 71

4.2 APRESENTAÇÃO DOS DADOS DA EXTRAÇÃO DA MOBILIDADE TOTAL ATRAVÉS DA APLICAÇÃO DA TÉCNICA DE SPLIT-CV 76

4.3 EXTRAÇÃO DA MOBILIDADE SUPERIOR E LATERAL 78

4.3.1 Extração mobilidade lateral μ_{lat} 79

4.3.2 Extração mobilidade no plano superior μ_{top} 81

4.3.3 Validação da extração de mobilidade a partir da mobilidade total 85

4.4 EXTRAÇÃO DA MOBILIDADE CONTROLADA PELA TENSÃO DE SUBSTRATO 86

5 SIMULAÇÕES 91
5.1 EXTRAÇÃO DA MOBILIDADE TOTAL 92
5.2 EXTRAÇÃO DA MOBILIDADE LATERAL E SUPERIOR 93
5.3 EXTRAÇÃO DA MOBILIDADE CONTROLADA PELA TENSÃO DE SUBSTRATO 96
6 CONCLUÇÕES 98
7 ARTIGOS PUBLICADO 101
REFERÊNCIAS 102
APÊNDICE A- CÓDIGO DE EXEMPLO PARA Geração de estrutura de nanofio transistor NO SIMULADOR SENTAURUS 107
APÊNDICE B – EXEMPLO DE simulação de PROCESSO PARA GERAÇÃO DE UM nanofio transistor SOI NO SIMULADOR SENTAURUS 113
APÊNDICE C – CÓDIGO DE EXEMPLO DE PARÂMETROS DE SIMULAÇÃO DE NANOFIOS TRANSISTOR NO SIMULADOR SENTAURUS 115

1 INTRODUÇÃO

Com o presente avanço tecnológico que estamos vivenciando dia a dia, cada vez mais é possível conhecer as maravilhas tecnológicas que vem acontecendo neste mundo em constante evolução. Passando desde a criação do primeiro transistor de contato pontual em 1947 até as tecnologias atuais, como os transistores por efeito de campo de múltiplas portas.

A evolução dos FETs tipo Metal-Óxido-Semicondutor levou ao desenvolvimento dos circuitos com altíssima escala de integração, com bilhões de transistores (ULSI – Ultra Large Scale Integration). Esta demanda da indústria de semicondutores que busca maior poder de processamento e melhores propriedades elétricas dos transistores, visando atender o princípio da lei de Moore, que diz que a quantidade de transistores em um “chip” dobra a cada dois anos (GORDON E. MOORE, 1965).

Embora esta lei até os dias atuas tenha validade, sua manutenção para o futuro é incerta devido às limitações físicas dos transistores MOS. Com isto, os desenvolvimentos de novas tecnologias foram impulsionados.

Um claro exemplo do processo de evolução dos transistores é o grande avanço que trouxe a adoção da tecnologia de silício sobre isolante (Silicon-On-Insulator – SOI), que acarretou múltiplas vantagens em comparação com as tecnologias CMOS clássicas predecessoras, como a redução dos efeitos de canal curto (YOUNG, 1989) e de efeitos parasitários, a maior densidade de integração, a diminuição das capacitâncias de junção, a eliminação do efeito do tiristor parasitário (latch-up), a maior resistência à radiação e a menor inclinação de subliminar (COLINGE, Jean Pierre; CHANDRAKASAN, 2008a), conceitos que serão explicados nos próximos capítulos.

A fim de continuar a evolução dos transistores, surgiram os transistores de múltiplas portas, desde o primeiro transistor de duas portas XMOS em 1984, seguidamente do transistor DELTA em 1989 e posteriormente migrando para portas triplas FET trigate ou FinFET, que ao possuir uma estrutura de portas envolta do canal melhora o controle eletrostático de cargas.

Para melhorar ainda mais o controle do canal a partir das três portas, a espessura (altura) da região do canal deve ser diminuída, o que produz dispositivos semelhantes a fios. (COLINGE, J.-P., 2016), sendo assim denominado pela comunidade cientifica como nanofios. Dispositivos que são de grande interesse pela comunidade cientifica pelos seus tamanhos reduzidos chegando atingir valores menores do que uma dezena de nanômetros, possibilitando uma maior densidade de integração e pelas suas propriedades elétricas que serão descritas no decorrer dos seguintes capítulos.

Este trabalho tem por objetivo analisar a mobilidade de portadores em nanofios transistores MOS, com diferentes larguras de aleta de Si. Utilizando medidas experimentais, de nanofios MOS de porta tripla, fabricados em tecnologia SOI, Silicon-On-Insulator, e simulações feitas em computador, a mobilidade será extraída usando a técnica SPLIT-CV.

Para melhor entendimento, os tópicos abordados serão organizados em capítulos ordenados da seguinte forma:

No capítulo 2, é apresentado a revisão bibliográfica e abordados temas como a tecnologia SOI, vantagens e desvantagens em comparação com tecnologia CMOS convencional, tipos de estruturas dos dispositivos FinFET como porta dupla, tripla e "*triple plus gate"*, seu funcionamento, modos de operação, acumulação e inversão.

Serão abordados temas das propriedades elétricas básicas dos transistores, dependência da tensão de limiar com a tensão de substrato para dispositivos SOI e para transistores de múltiplas portas. A inclinação de subliminar, transcondutância, mobilidade e mecanismos de espalhamento relacionando à velocidade de deriva (v) com fluxo de portadores no canal. Assim, como os modelos matemáticos que descrevem as propriedades anteriormente descritas. O capítulo 2 também apresenta formas de extração da mobilidade total para dispositivos SOI de múltiplas portas como: o método da transcondutância máxima, função Y e SPLIT-CV.

O capítulo 3 foi dedicado aos dispositivos nanofios transistores MOS, que foram objeto de estudo deste trabalho. Partindo da introdução teórica da estrutura, conceitos sobre rede cristalina e planos cristalográficos, para dar sequência na extração total da mobilidade para nanofios. Nesta parte do trabalho é feito o estudo do impacto da mobilidade com a modificação de parâmetros como largura de *fin* e os efeitos da polarização do substrato.

Para a divisão da mobilidade em planos cristalográficos foi apresentado o método de separação por corrente de superfície.

O capítulo 4, foi dividido em 4 partes: na primeira parte são apresentadas as amostras experimentais usadas para a elaboração deste trabalho, mencionando suas características físicas e elétricas. A segunda parte mostra os resultados da extração da mobilidade total pelo método do SPLIT-CV. A terceira parte, enfoca na demonstração do método de extração da mobilidade por corrente de superfície, apresentando e comparando os resultados das extrações nos planos cristalográficos. Por último, a quarta parte está relacionado à extração da mobilidade na região entre o oxido enterrado e o semicondutor chamado também de *back-channel*, esta parte do capítulo explica o uso do método de extração da mobilidade, a partir de uma substração das capacitâncias e correntes de drenos dos transistores, expostos a tensões de substrato de 20V e 0V, obtendo assim as curvas de capacitância e corrente da região controlada pelo substrato e

por último foi aplicado a técnica do SPLIT-CV gerando os dados de mobilidade de cada transistor.

Para comprovar os dados obtidos, o capítulo 5 é centrado nas simulações numéricas tridimensionais TCAD feitas no simulador Sentaurus (SYNOPSYS INC., 2009), que através de diversos parâmetros previamente configurados, resultam na simulação de efeitos físicos que geram resultados do comportamento elétrico da estrutura do dispositivo.

No caso das simulações, foram levadas em consideração as mesmas características dos dispositivos experimentais, que foram fabricados em tecnologia SOI no CEA-Leti (*Comissão de Energia Atômica e Energias Alternativas – Laboratorio de Eletrônica de Tecnologias da Informação*) que situa-se na cidade de Grenoble, França.

As simulações seguiram os mesmos passos de extração da mobilidade utilizados nas medidas experimentais. O capitulo foi dividido em três partes. A primeira foi feita a demostração da extração da mobildade total, a segunda a extração das laterais e superior e por ultimo a extração da mobilidade controlada pela tensão de substrato.

Por último, o capitulo 6 apresenta as concluções finais deste trabalho além das sugestões para sua continuidade.

2 CONCEITOS FUNDAMENTAIS

No capítulo a seguir, serão apresentados os conceitos fundamentais para o entendimento deste trabalho, envolvendo a tecnologia SOI (Silicon-on-Insulator), e transistores com múltiplas portas, abordando o funcionamento e modos de operação, como as fórmulas matemáticas que descrevem o comportamento e algumas características em comparação com antigas tecnologias MOS clássicas. São também apresentados os conceitos focados nos dispositivos FinFETs de porta tripla e nanofios transistores MOS, que são os objetos de estudo deste trabalho. Além disso, é apresentada uma parte exclusiva, que trata sobre a mobilidade de portadores, desde conceitos teóricos, métodos de extração, mecanismos de espalhamento, estudo das vantagens e desvantagens da polarização do substrato, variação da mobilidade quando o dispositivo é submetido a variações de temperatura, impurezas do material, orientação cristalográfica.

2.1 TECNOLOGIA SOI

Com a constante demanda da indústria de microeletrônica, a corrida das empresas de semicondutores para criar dispositivos e processadores com melhores propriedades, foi de grande prioridade e o uso de novas tecnologias permitiu o avanço do mesmo. Sendo assim, na década dos 1990 surgiu a tecnologia SOI, que se tornou um importante aliado para manter o contínuo escalamento das dimensões dos transistores CMOS, apresentando melhorias na velocidade do circuito e consumo de energia, comparado com suas antigas predecessoras *"bulk"*. No início dos anos 2000, empresas de semicondutores como IBM, AMD e Freescale, começaram a fabricar microprocessadores com uso desta tecnologia (COLINGE, Jean Pierre; CHANDRAKASAN, 2008a).

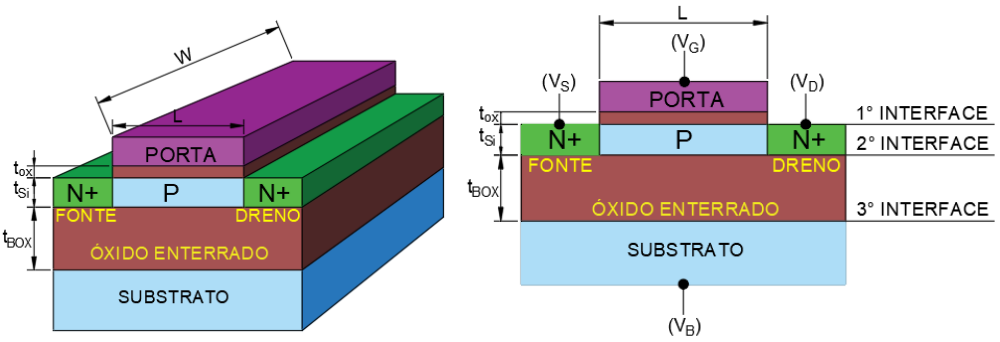
A tecnologia SOI surgiu como uma forma de separar ou isolar a região ativa do dispositivo da influência prejudicial do substrato de silício. Em outras palavras, em um transistor MOS, apenas a região superficial da lâmina de Si, (somente 0,1-0,2 μm de espessura) é usado para o transporte de elétrons e a parte restante do volume serve apenas como suporte mecânico. Isso ocasiona efeitos parasitas indesejáveis, como a capacitância parasita formada entre fonte, dreno e substrato, que aumenta proporcionalmente à dopagem do substrato e se torna maior em dispositivos menores.(CRISTOLOVEANU, Sorin; LI, 1995).

2.1.1. Estrutura física dos transistores MOS fabricados em tecnologia SOI

A estrutura básica dos transistores do tipo MOS, Metal-Óxido-Semicondutor de efeito de campo (*Metal-Oxide-Semiconductor Field-Effect Transistor*), criados com tecnologia SOI consiste em uma sequência de camadas composta pela região do silício acima de uma camada de óxido enterrado (BOX) e ambas sobre a região do substrato espesso. Todo o conjunto se assemelha à estrutura de dois capacitores em série formados um entre a porta, o óxido isolante e a região do canal e outra entre o substrato, o óxido enterrado e a região de canal.

Representações da estrutura física em vistas de perspectiva (A) e frontal (B) são apresentados na Figura 1, onde é possível observar que a estrutura possui em três interfaces sendo: a primeira composta entre o silício e o óxido de porta, sendo a interface onde ocorre a maior parte da condução dos portadores, a segunda entre o silício e o óxido enterrado e, por último, a terceira entre o óxido enterrado e o substrato. O comprimento do canal é definido pela letra L, a largura do transistor pela letra W, a espessura do óxido de porta t_{ox} e t_{Si} é a espessura da camada de silício e tbox a largura do óxido enterrado.

Figura 1 - Perspectiva (A) e vista frontal (B) de um transistor SOI NMOS



(A) (B)

Fonte: Autor

O funcionamento do transistor SOI é semelhante ao do transistor MOS convencional. Ele possui quatro eletrodos de contato: porta (V_G), fonte (V_S), dreno (V_D) e substrato (V_B). Os transistores podem ser divididos conforme sua estrutura do tipo de dopagem nas regiões de fonte e dreno. Quando a concentração de elétrons é maior, é do tipo N e quando tem maior concentração de lacunas, é do tipo pMOS. Ao polarizar o contato de porta (V_G) com tensão negativa para transistores tipo P ou tensão positiva para transistores tipo N, se cria um campo elétrico vertical que, no caso do transistor tipo N, afasta lacunas e atrai elétrons para a interface,

criando assim uma região de depleção que interliga os contatos de fonte (V_S) de dreno (V_D) e que varia conforme à tensão aplicada à porta. Quando o valor máximo de espessura de depleção é alcançado, o dispositivo atingiu a tensão limiar (V_{TH}), ou seja, $V_{GS} = V_{TH}$

Nessa região, ocorre o fluxo de portadores por causa da diferença de potencial existente entre fonte (V_S) e dreno (V_D), que relaciona a velocidade de deriva (v) com o campo elétrico aplicado. O caso inverso ocorre nos transistores tipo P.

Além da divisão pela estrutura física, os transistores SOI podem ser divididos de acordo com seu funcionamento em modo de inversão, chamado também modo de enriquecimento, e em modo de acumulação.

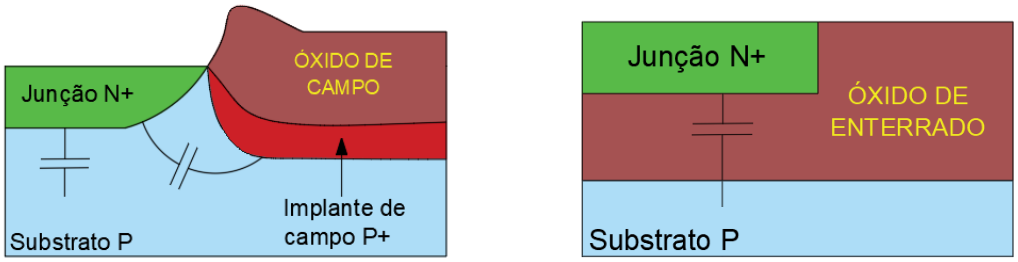
2.1.2. Vantagens da Tecnologia SOI

No seguinte capítulo serão mencionadas algumas vantagens que levaram a adoção da tecnologia SOI em comparação a tecnologia convencional MOS. Tais vantagens possibilitaram o aprimoramento das características elétricas e otimização da estrutura física para atingir maiores resultados em velocidade e integração. Sendo algumas delas:

2.1.1.1 Menor capacitância de junção

Como mostra a Figura 2, na tecnologia MOS convencional existem duas capacitâncias parasitas: entre a junção/substrato e junção/implante de campo (A). Por outro lado, quando se tem uma camada de óxido enterrado (B) a largura da região de depleção tem uma capacitância muito menor. Essa redução de capacitâncias parasitas fornece um aumento de desempenho em termos de velocidade nos transistores (COLINGE, J.-P., 2004). Além disso, a permissividade do óxido de Si é menor do que a do Si, também reduzindo a capacitância na parte inferior da junção.

Figura 2 - Vista frontal de capacitâncias parasitas para
transistor MOS convencional (A) e transistor com tecnologia SOI



(A) (B)

Fonte: Autor “adaptado de ” Colinge, 2004, p. 152

2.1.1.2 Maior densidade de integração

Por se tratar de uma estrutura que tem menos etapas de fabricação e não possui região de contato de corpo, as regiões de fonte e dreno são bem simplificadas e não existe necessidade de uso de implantações de campo. Além disso, o óxido enterrado não é necessariamente reduzido quando os dispositivos são reduzidos, podendo ter a mesma espessura para dispositivos com alta densidade de integração. Em outras palavras, em uma mesma área de silício podem ser alocados mais transistores, aumentando o desempenho de processadores e circuitos integrados. (COLINGE, J.-P., 2004).

2.1.1.3 Melhor inclinação de sublimiar

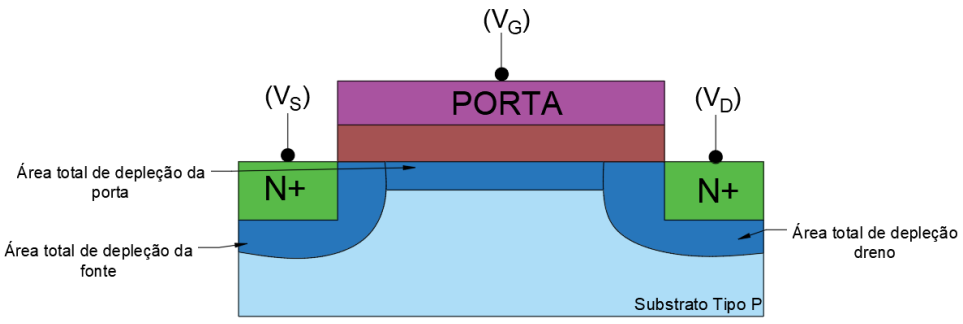
A inclinação de sublimiar é um parâmetro que demonstra a velocidade do MOS ao chavear entre o estado ligado e o desligado (COLINGE, J.-P., 2004). Quanto menor é esse valor, mais rápido é o dispositivo. Os dispositivos SOI tem uma grande vantagem porque possuem capacitâncias de fonte e dreno (C_S e C_D) que são 10 vezes menores, além da corrente de dreno I_{DS} que chega a ser 30% maior em comparação ao MOS convencionais com as mesmas dimensões. Esses detalhes serão aprofundados no item que trata da tensão de Limiar 2.2.3.

2.1.1.4 Menores efeitos de canal curto

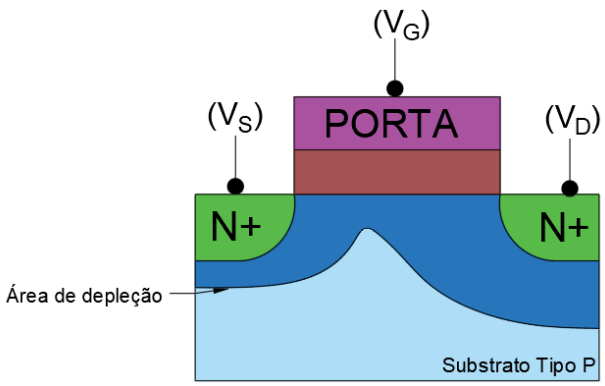
Os efeitos decorrentes do canal curto (SCE – *Short Channel Effects*) são uma série de fenômenos que ocorrem quando o comprimento do canal do MOS é menor, ocasionado pela aproximação da depleção do canal e das regiões de fonte e dreno (KHANNA, 2016).

As principais razões são: o escalamento do dispositivo, devido ao objetivo de atingir dispositivos com tamanhos bastante reduzidos, a estrutura do transistor é alterada diminuindo o comprimento do canal. Áreas de depleção de fonte e dreno maiores, por causa do campo elétrico criado a partir da tensão aplicada entre fonte e dreno cria um campo elétrico maior, e consequentemente atrai mais portadores aumentando a área de depleção. Conforme mostra a Figura 3 (B), quando o comprimento do canal é muito reduzido tem uma maior probabilidade das áreas de depleção interagirem formando uma redução da barreira de potencial.

Figura 3 – Vista frontal transversal do transistor MOS convencional de canal longo (A) e de canal curto



(A)



(B)

Fonte: Autor

Sobre as consequências decorrentes do canal curto, quando a tensão entre fonte e dreno aumenta, a área de depleção penetra na estrutura e essa penetração interliga os terminais, resultando na perda do controle dos elétrons ou lacunas, que não são mais controlados apenas pelo eletrodo de porta, e sim, influenciados por essas regiões de depleção e a diferença de potencial entre fonte e dreno (COLINGE, J.-P., 2016). Essa perda de controle deriva outros problemas como: aumento da inclinação de sublimiar, redução da tensão de limiar, redução da velocidade de saturação e degradação por elétrons quentes.

Para solucionar este problema, a estrutura do transistor SOI possui uma camada de oxido enterrado na estrutura mostrado no capítulo 2.1.1, que serve para reduzir a área de depleção dos terminais de fonte e dreno evitando uma conexão entre os terminais.

2.1.3 Desvantagens da tecnologia SOI

Com a redução das dimensões, vem aparecendo algumas dificuldades encontradas na tecnologia SOI, que representam um grande desafio para os cientistas e engenheiros, como: maior susceptibilidade ao efeito de auto-aquecimento (*SH - Shelf-Heating effect*) que ocorre basicamente por conta do calor (fônons) gerado pela passagem de corrente no canal (efeito Joule). A camada de óxido (SiO2) enterrado impede a dissipação do calor, atuando como isolante térmico (OLIVEIRA, 2007). Outro efeito indesejável é o efeito de corpo flutuante que é, dependendo da espessura do canal, uma região que não fica depletado e não possui alguma conexão com terra nem nenhum conector. O potencial nessa região está flutuando e isso pode ocasionar problemas como funcionamento inadequado do dispositivo (CATTANEO, 2009).

2.1.4. Modo de funcionamento do transistor MOS

2.1.4.1 Modo de Inversão

O modo inversão é o estado de funcionamento do transistor onde os portadores de carga da região do canal precisam ser invertidos para formar um canal que conecta os terminais de fonte e de dreno. Tomando como exemplo o transistor tipo N, os portadores positivos da região do canal, são afastados pelo campo elétrico decorrente da tensão aplicada à porta, caso a tensão de porta seja suficiente, ocorrerá o fenômeno de inversão dos portadores de carga na superfície, passando a formar um canal de elétrons entre fonte e dreno. O caso contrário acontece no

transistor tipo P. Esse fenômeno está fortemente ligado à espessura do óxido de Si, da camada de Si, da concentração de portadores e da temperatura.

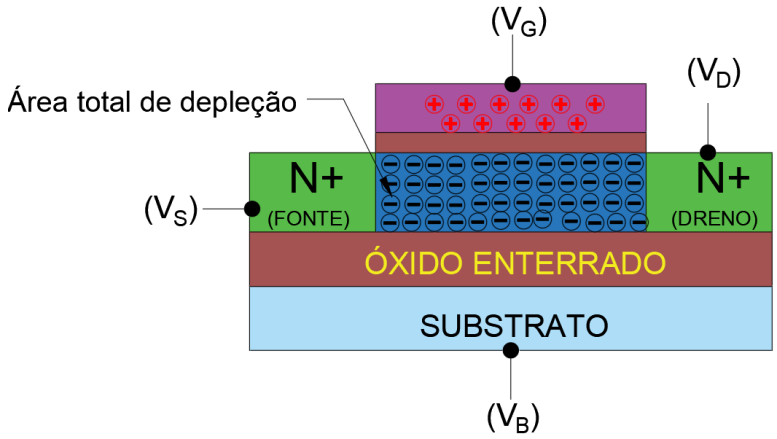
A camada de depleção é uma área onde as cargas são atraídas pelo campo elétrico e se agrupam formando uma região, onde d_{max} é a espessura máxima da região depleção. Dependendo da relação entre a região máxima de depleção e a espessura da camada de silício: parcialmente depletado (*Partially Depleted - PD*), totalmente depletado (*Fully Depleted - FD*) e quase totalmente depletado (*Near Fully Depleted – NFD SOI*).

Para realização deste trabalho, será focado somente no uso de nanofios transistores MOS totalmente depletados.

a) Transistor Totalmente Depletado (Full Depleted - FD)

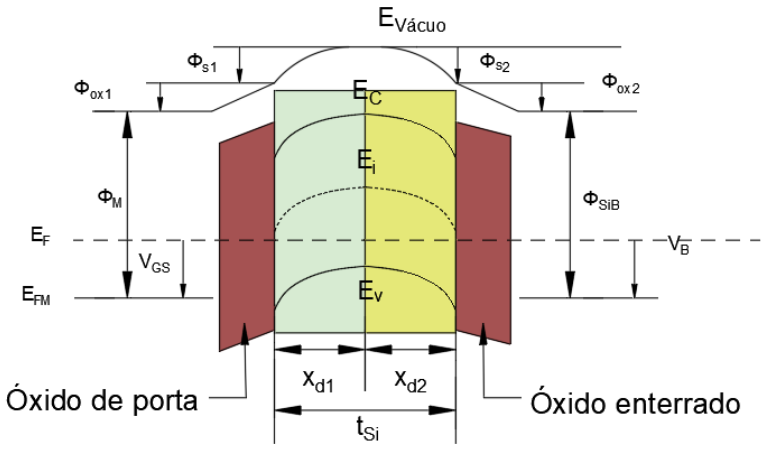
Transistores neste modo de funcionamento têm região de depleção que ocupa toda a camada de silício, ou seja, $t_{Si} < d_{máx}$. Não depende necessariamente da tensão de substrato. Este tipo de transistor SOI apresenta as melhores características elétricas como: maior mobilidade, menor inclinação de subliminar, maior corrente de saturação menor efeito de canal curto etc. A Figura 4 mostra uma representação do transistor FD e a Figura 5 mostra o diagrama de faixas de energia.

Figura 4 - Ilustração do transistor completamente depletado FD SOI



Fonte: Autor “adaptado de Lee, et al., 2012. P 15

Figura 5 - Diagrama de faixas de energia do transistor FD SOI



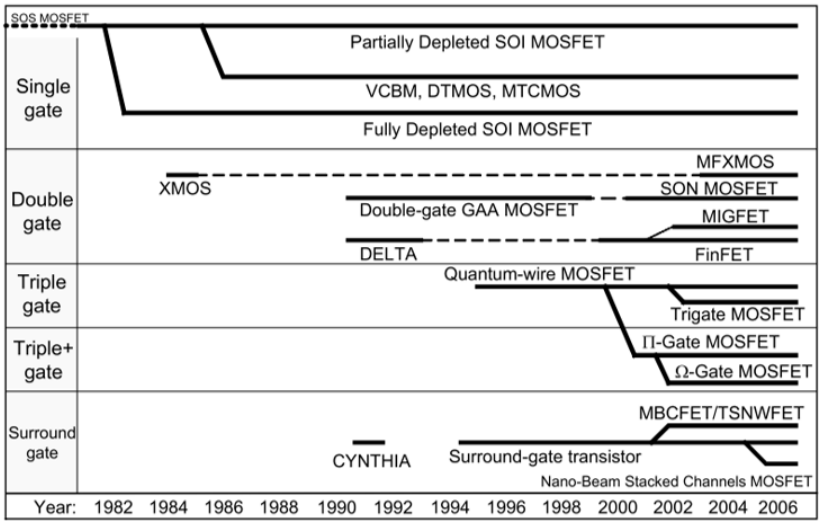
Fonte: Autor

O diagrama de faixas de energia da Figura 5, mostra que existem duas regiões de depleção: xd1(região verde), onde existe uma variação de potencial de superfície $\phi s1$ relacionado entre o óxido de porta e a interface de silício chamado de *front channel*, no x_{d2} (região amarela) se encontra a outra variação de potencial de superfície $\phi s2$ relacionado na interface do silício com o oxido enterrado também chamado de *back channel*. E_C é o primeiro nível de energia da banda de condução, E_F é o nível de Fermi, E_i é o nível intrínseco, E_V banda de valência, ϕ_M e Φ_{SiB} são as funções trabalho do metal e do substrato, ϕ_{ox1} e ϕ_{ox2} funções de trabalho dos óxidos e V_G e V_B tensões aplicadas na porta e no substrato. Como indicado no diagrama, não há uma região neutra ou quase neutra (QNR) no semicondutor já que o potencial aplicado nas duas interfaces cria regiões de depleção que completam toda a camada do silício. Desse modo, os potenciais de superfície ϕ_{S1} e ϕ_{S2} estão acoplados eletrostaticamente e serão influenciados pelos potenciais aplicados à porta e ao substrato.

2.2 TRANSISTORES DE MÚLTIPLAS PORTAS

Afim de conhecer sobre os avanços dos transistores, de forma introdutória, é a apresentado os transistores de portas múltiplas que foram desenvolvidos com o intuito de diminuir os efeitos do canal curto, discutidos na seção 2.1.1.4, aumentando a corrente e diminuindo efeitos parasitários, (COLINGE, Jean Pierre; CHANDRAKASAN, 2008a). Esses dispositivos são denominados também de transistores MuGFETs. Consequentemente foram aparecendo vários tipos de estruturas e formatos de transistores. A Figura 6, apresenta uma linha temporal da evolução dos transistores de múltiplas portas em substratos SOI.

Figura 6 - Evolução dos dispositivos MOS



Fonte: Colinge; Chandrakasan, 2008, p 10

2.2.1 Transistores FinFET de Porta Dupla

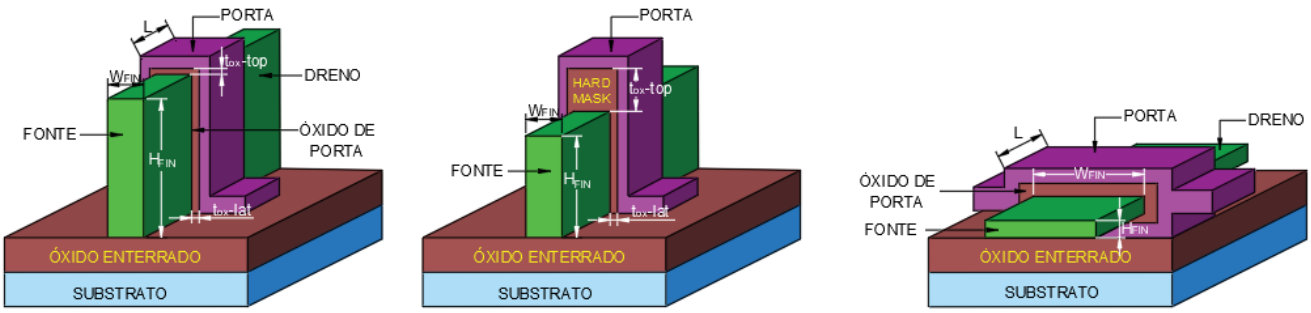
Em 1984, foi proposto a estrutura do XMOS, que foi o pioneiro desse tipo de estrutura, onde o canal é posicionado no meio de duas portas e recebeu esse nome por conta que a estrutura se assemelhava com a letra grega Ξ (Xi) (SEKIGAWA; HAYASHI, 1984). Os cálculos do XMOS apresentaram melhores resultados nos efeitos de canal curto, conseguindo melhor controle do potencial na região do canal em comparação com os dispositivos convencionais.

Assim no ano de 1989, foi construído o primeiro transistor de duas portas verticais finos ("*fully Depleted Lean-channel TrAnsistor DELTA*") (HISAMOTO *et al.*, 1990), que apresentava uma aleta de silício na posição vertical e totalmente depletada (FD), chamada de "*finge*r" "*leg*", ou "*fin*". Além do dispositivo DELTA, surgiram outros modelos como o FinFET, MFXMOS (TAKASHIMA; SUZUKI, [s.d.]) , SOI MOS condutor triangular ("triangular-wired") (HIRAMOTO, 2001).

Na Figura 7, são apresentadas as ilustrações de dispositivos de duas portas, como o DELTA (A) e o FinFET (B). A diferença mais significativa entre esses dois tipos de transistores DELTA e FinFET é a presença de uma camada dielétrica chamada de máscara dura ("hard mask") que serve principalmente para evitar a formação de canais de inversão parasita nos cantos superiores do dispositivo.

Outro exemplo é o transistor de porta circundante (“gate-all-arround” - GAA) (C). Mesmo que a estrutura seja composta por várias portas em volta do canal de silício, são considerados de duas portas devido à largura do dispositivo ser muito maior que a espessura da camada de silício, o que faz que as outras portas laterais não influenciem no funcionamento do dispositivo (COLINGE, Jean Pierre; CHANDRAKASAN, 2008a).

Figura 7 - Ilustração de transistores de duas portas DELTA (A), FinFET (B) e GAA (C)



(A) (B) (C)

Fonte: Autor “adaptado de ” Colinge, Chandrakasan, 2008, p 25 (A) (B), Autor (C)

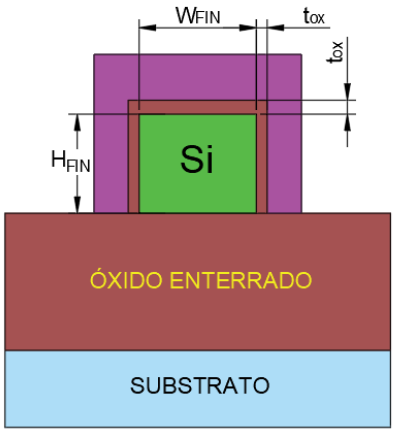
Devido ao melhor acoplamento capacitivo entre canal e porta, o efeito de corpo, que é a dependência da tensão de limiar com relação à polarização de porta inferior (substrato), é próximo a 1. Outra vantagem é que ao possuir duas portas fazem um melhor controle da corrente de condução pela formação de canais de inversão em toda a região do canal e não somente na região da porta como no MOS convencional (COLINGE, J.-P., 2016).

2.2.2 Transistores FinFET de Porta Tripla

Com a constante demanda da indústria e desafios de escalamento, a pesquisa e aprimoramento dos dispositivos de duas portas levaram ao surgimento dos transistores de três portas. Dentre estes dispositivos, a comunidade científica centrou suas pesquisas nos dispositivos FinFET (SUBRAMANIAN, Vaidyanathan, 2010), que foram desenvolvidos para substituir dispositivos planares em tecnologias muito pequenas (L<30nm). Sendo que a topologia é muito parecida com o FinFET de duas portas, mas com algumas diferenças como a adoção de estrutura quântica com fios quânticos “quantum-wire”.

São sistemas eletrônicos onde os elétrons estão confinados em duas direções espaciais (poço infinito), o que discretiza as funções de onda ao longo dessas duas direções e dá origem a: uma divisão de sub-banda (COLINGE, J. P. *et al.*, 1996), redução do óxido de porta para o mesmo valor em todos os lados e redução da altura do H_{FIN} melhorando a depleção em todos os lados da ilha de silício.

Figura 8 - Ilustração da vista frontal de um transistor de porta tripla

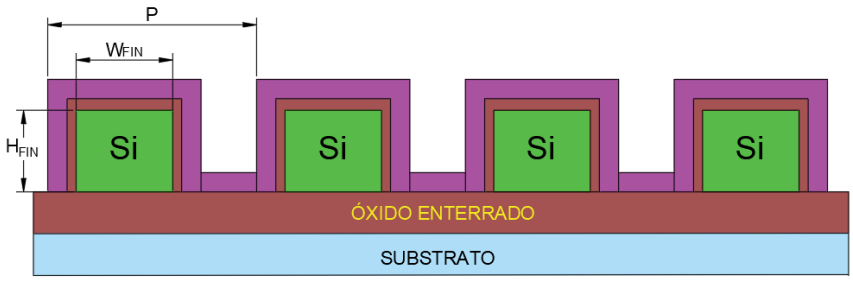


Fonte: Autor

Outra vantagem do uso do FinFET de três portas em comparação com MOS planares é a possibilidade de associação de vários transistores em paralelo, chamados de estruturas multi-dedos (multi-*fingered* ou multi-*fins)*. O intuito desta associação é a possibilidade de incrementar o nível de corrente elétrica, já que normalmente os transistores FinFET individuais oferecem um nível muito baixo de corrente elétrica, devido às dimensões nanométricas de fabricação. Para resolver esse problema, são criadas as estruturas dos multi-dedos que fazem uma multiplicação da corrente de saída do dispositivo e devido ao agrupamento de vários dedos em uma única estrutura. A área de fabricação é menor, permitindo uma densidade maior de transistores (COLINGE, Jean Pierre; CHANDRAKASAN, 2008b).

Na Figura 9, é apresentado uma vista transversal de uma estrutura MOS multi-dedos, onde W_{FIN} é a largura e H_{FIN} altura do transistor. A largura P, chamada também de *fin pitch,* é a medida que delimita o espaço do início do próximo transistor.

Figura 9 - Vista transversal de estrutura multi-dedos de porta tripla



Fonte: Autor “adaptado de ” Colinge, Chandrakasan, 2008, p 25

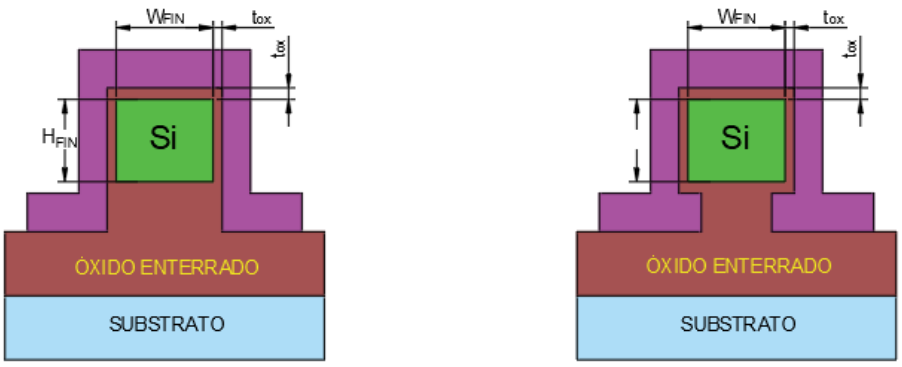
2.2.3 Transistores “triple-plus gate”

Para aumentar ainda mais o controle eletrostático da porta além de obter melhor nível de corrente elétrica que passa no canal, foram propostas outros tipos de transistores chamados de “triple-plus gate” sendo: os transistores de porta Π (PARK, J.; COLINGE, J.; DIAZ, 2001), e porta Ω, este último é possui essa forma devido ao processo de corrosão do Si e parte do óxido enterrado durante a fabricação e isso ocasiona que uma parte do metal de porta seja depositado na parte inferior, (YANG, F. L. *et al.*, 2002).

A estrutura possui várias vantagens como melhor controle de cargas no canal, bloqueio das linhas de campo elétrico que invadem a região do canal. Além de melhorar os efeitos de canal curto.

A Figura 10, apresenta a vista frontal dos tipos de transistores de três portas: transistor com porta π (A) e transistor com porta Ω (B).

Figura 10 - Vista frontal de transistores MOS de três portas, tipo π (A) e tipo Ω (B)



(A) **(B)**

Fonte: Autor

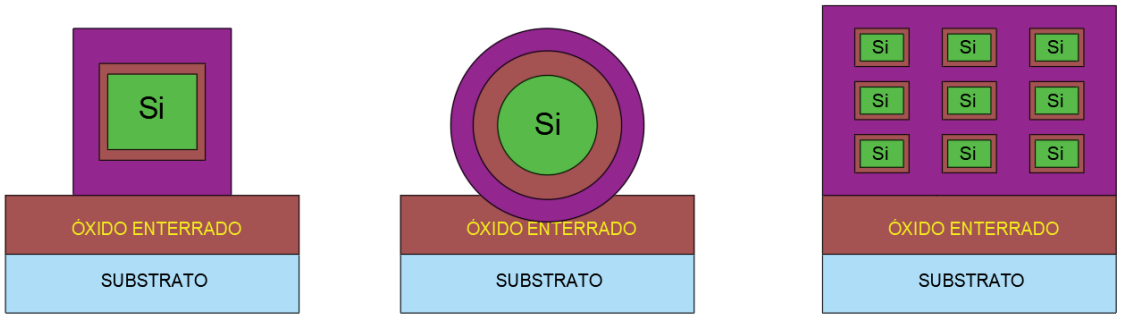
Esses tipos de transistores possuem múltiplas vantagens como maior campo elétrico nos cantos inferiores fazendo um melhor controle eletrostático de cargas, menor efeito de canal curto (SCE), melhor relação entre corrente de estado ligado e estado desligado I_{ON}/I_{OFF}, pequena corrente de fuga e uma inclinação de sublimiar próxima do limite teórico de 60 mV/dec em temperatura ambiente, conceitos que serão explicados nos seguintes capítulos.

2.2.4 Transistores em Torno da Porta ("Surrounding Gate")

Teoricamente, quando o dispositivo possui a porta em volta do canal oferece melhor controle de cargas. Em base a esse conceito foram propostos transistores com estruturas de porta que abraçam o canal de silício, como no caso do transistor CYNTHIA, que possui uma forma cilíndrica em torno de um pilar de silício vertical, onde a fonte e o dreno são situados em diferentes profundidades e são assimétricos (MIYANO; HIROSE; MASUOKA, 1992) e o transistor de quatro portas (NITAYAMA *et al.*, 1991).

Como a integração de vários transistores compartilham terminais comuns de portas, fontes e drenos, surgiram algumas estruturas que empilham transistores um em cima do outro. Tais dispositivos são chamados de multi-*brige.* Alguns exemplos desses tipos de dispositivos são o multi-*bridge* canal MOS ("*Multi-Bridge Channel MOS" - MBCFET),*(LEE, S. Y. *et al.*, 2004), Nanofio de silício gêmeo *("Twin-Silicon-Nanowire MOS"- TSNANOFIOFET),* (PARK, D., 2006) e o *"Nano-Beam Stacked Channels" - GAA* (AUTH; PLUMMER, 1997). Na seguinte Figura 11, vemos uma representação da sessão dos tipos de transistores.

Figura 11 - Representação da vista frontal de transistores em torno da porta, MOS quatro portas (A), CYNTHIA (B) e estrutura multi-bridge (C)



(A) **(B)** **(C)**

Fonte: Autor “adaptado de ” Colinge, Chandrakasan, 2008, p 28 (A) (B) (C)

2.3 PROPRIEDADES ELÉTRICAS BÁSICAS

Nesta seção, serão apresentados os conceitos sobre os principais parâmetros elétricos que determinam o funcionamento de um transistor MOS, como: corrente de dreno, tensão de limiar, inclinação de sublimiar. Será dada ênfase na mobilidade, dos portadores de carga, seus mecanismos de degradação da mobilidade, orientação cristalográfica e formas de extração.

2.3.1 Corrente de Dreno

A corrente de dreno no canal, ocorre devido à deriva de elétrons entre os terminais fonte e dreno.(COLINGE, J.-P., 2002). O I_{DS} de um dispositivo pode operar em dois estágios de funcionamento: tríodo e saturação. Quando o dispositivo funciona em tríodo, a camada de inversão está formada em todo o canal, ou seja, quando a tensão de dreno é igual a tensão de porta menos a tensão de limiar. ($V_{DS} = V_{GS} - V_{TH}$) e pode ser descrita por: (1), (COLINGE, J.-P., 2002).

$$I_{DS} = \mu . C_{OX} \frac{W}{L} \left[(V_{GS} - V_{TH}) V_{DS} - \frac{{V_{DS}}^2}{2} \right] \quad (1)$$

Onde μ é a mobilidade dos portadores, Cox é a capacitância de porta por unidade de área, W e L parâmetros geométricos do dispositivo, V_{GS} tensão de porta do dispositivo, e V_{TH}

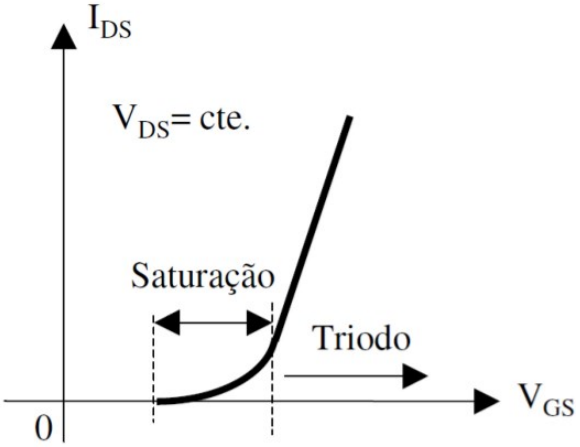
é a tensão de limiar, conceito que será explicado no seguinte item, 2.3.2. e por último a tensão de dreno V_{DS}.

Quando o dispositivo opera em estágio de saturação, o campo elétrico horizontal é muito intenso, ocasionando assim que os portadores atinjam sua velocidade limite. A partir deste ponto a corrente se mantem estável e constante, e pode ser descrita pela seguinte equação (2) (COLINGE, J.-P., 2002).

$$I_{DS} = \mu . C_{OX} \frac{W}{L} \frac{(V_{GS}-V_{TH})^2}{2} \quad (2)$$

A Figura 12, mostra o exemplo uma curva I_{DS} x V_{GS} de um transistor genérico onde mostra os estágios de operação do transistor.

Figura 12 – Exemplo de curva IDS x VGS de um transistor



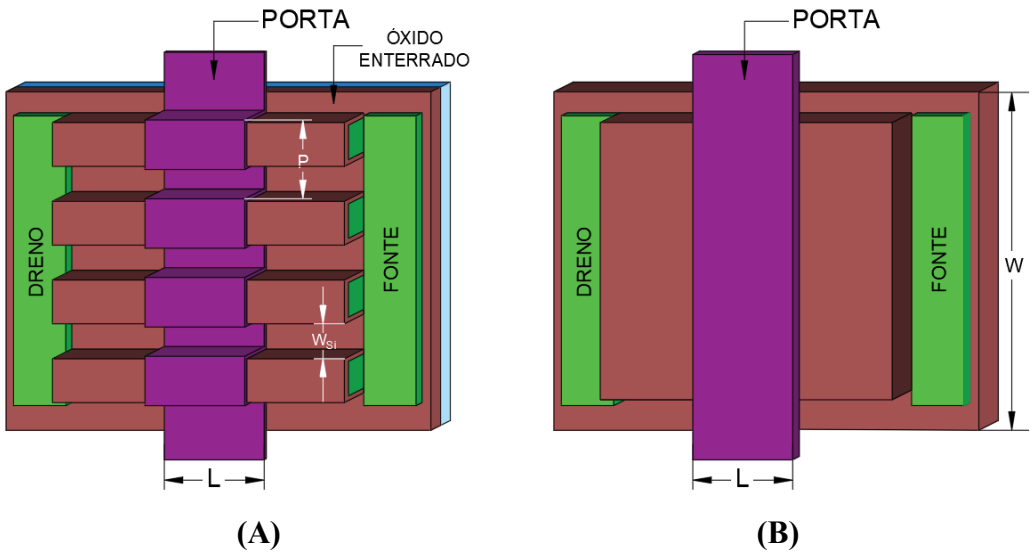
Fonte: Autor

Para o cálculo da corrente da estrutura multi-dedos, é considerado os valores de um *fin* único e depois multiplicado pelo número de fins. É muito importante considerar se o uso desta estrutura é vantajoso para um projeto em comparação com estruturas planares, levando em consideração a mesma área de *layout.* A Figura 13 mostra uma comparação entre a estrutura multi-dedos (A) e uma estrutura de porta única (B). Um cálculo básico é feito através da equação (3) onde é possível verificar a eficiência do transistor FinFET.

$$I_{DS} \geq \frac{I_{DS0} W_{eff}}{P} \quad (3)$$

Considerando o parâmetro de corrente I_{DS}, que representa a corrente de um único *fin* da estrutura, maior ou igual à divisão corrente do transistor planar I_{DS0} multiplicado pela largura efetiva do *fin* ($2H_{FIN} + W_{FIN}$) divididas pelo período P (COLINGE, Jean Pierre; CHANDRAKASAN, 2008a).

Figura 13 – Vista superior em perspectiva de layout MOS multi-dedos (A) e layout MOS planar de única porta (B)



(A) **(B)**

Fonte: Autor “adaptado de ” Colinge, Chandrakasan, 2008, p 24 (A) (B)

2.3.2 Tensão de Limiar (V_{TH})

A tensão de limiar é um parâmetro que define o valor da diferença de potencial entre porta e fonte V_{GS}, para que um dispositivo transite da inversão fraca até a inversão forte. No caso do transistor tipo N é criada uma camada superficial de elétrons livres (lacunas no caso do transistor tipo P), que possibilita a condução de corrente entre fonte de dreno (I_{DS}).

Esse conceito foi amplamente utilizado para dispositivos MOS convencionais onde, teoricamente, o potencial de superfície é igual a duas vezes o potencial de Fermi 2ϕF (COLINGE, J.-P., 2002).

Conhecer o parâmetro da tensão de limiar é importante para determinar algumas características do dispositivo como a confiabilidade (DAMRONGPLASIT; ZAMUDIO; BALASUBRAMANIAN, 2012), quantização dos danos por radiação, influência do calor no

estresse dos portadores, instabilidade e degradação do envelhecimento, entre outros (ORTIZ-CONDE *et al.*, 2013).

2.3.2.1 Extração da tensão de limiar para dispositivos SOI FD e para transistores de múltiplas portas

No seguinte capítulo são mostradas as diferentes formas de extração da tensão de limiar para dispositivos SOI completamente depletados e múltiplas portas:

a) Transistores MOS tipo SOI

a.1) Transistores SOI completamente depletados – FD

A tensão de limiar de transistores SOI completamente depletados depende do potencial aplicado ao substato, V_B. Conforme às condições de carga na segunda interface é utilizada uma equação diferente para cada estado, sendo:

Se a região das cargas controladas pelo substrato estiver em acumulação, Φ_{S2} está fixado em aproximadamente 0V, a tensão de limiar na primeira interface resulta na equação (4)

$$V_{TH,acc2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{si}}{C_{ox1}}\right) 2\Phi_F - \frac{Q_{depl}}{2C_{ox1}} \quad (4)$$

Onde Φ_{MS1} é a diferença entre as funções de trabalho do metal e do semiconductor, $\frac{Q_{ox1}}{C_{ox1}}$ são as cargas divididas pela capacitância do óxido da primeira interface, $\frac{C_{si}}{C_{ox1}}$ capacitância do silício dividido pela capacitância do óxido da primeira interface e $\frac{Q_{depl}}{2C_{ox1}}$ são as cargas de depleção dividido pelo dobro da capacitância do óxido.

Se a segunda interface está em inversão Φ_{S2} é igual a $2\Phi_F$ e a tensão de limiar na primeira interface resulta em:

$$V_{TH,inv2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + 2\Phi_F - \frac{Q_{depl}}{2C_{ox1}} \quad (5)$$

Se a segunda interface está depletada Φ_{S2} depende da tensão da segunda porta V_B e este valor pode variar entre 0 e $2\Phi_F$. A tensão de limiar da 1° interface é calculado por:

$$V_{TH,depl2} = V_{TH,acc2} - \frac{C_{si}C_{ox2}}{C_{ox1}(C_{si}+C_{ox2})}(V_B - V_{B,acc}) \quad (6)$$

As equações mostradas são válidas somente para espessuras de camada de inversão ou acumulação muito menores que t_{Si}.

b) Tensão de limiar para transistores de múltiplas portas.

A tensão de limiar pode ser obtida a partir de varios métodos, mas para fins de estudo será concentrado na utilização do método da segunda derivada (ORTIZ-CONDE *et al.*, 2013)

O calculo do potencial de supeficie no limiar ($\emptyset_s^*$) pode ser obtido por:

$$\emptyset_S^* = 2\emptyset_F + \frac{kT}{q} ln\left[\delta \frac{1}{1-e^{-\alpha}}\right] \quad (7)$$

Onde $\delta = \frac{C_{OX}}{4C_{SI}}$, $\alpha = \frac{q \cdot Q_D}{kT \cdot 8C_{si}}$, $\emptyset_F$ é o potencial de Fermi, $\frac{q}{kT}$ é o potencial térmico, Q_D é a carga de depelção e C_{si} é a capacitância do silicio e C_{OX} capacitância do óxido de porta.

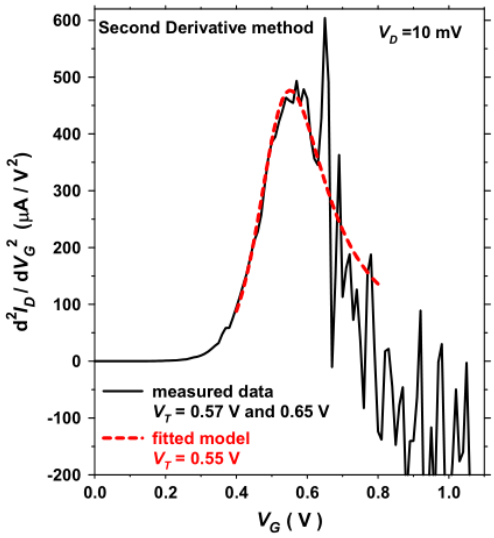
Matemáticamente, a tensão de limiar pode ser obtida substituindo os valores de α e δ, obtendo assim, o potencial de superficie no limiar negativo menor que $2\emptyset_F$ variando entre 10 e 90mV resultando na equação (8) (NICOLETTI, 2009).

$$V_{TH} = \emptyset_S^* + V_{FB} + \frac{kT}{q}\frac{\alpha}{\delta}\sqrt{1+\frac{\delta}{\alpha}} \quad (8)$$

Experimentalmente a tensão de limiar pode ser obtido aplicando a segunda derivada da corrente de dreno. Através da curva I_{DS} x V_{GS} extraida experimentalmente é localizado o pico da curva da segunda derivada fornecendo o valor da tensão de limiar. Conforme mostra a figura 14 extraida de (ORTIZ-CONDE *et al.*, 2013) apresenta uma curva de extração da tensão de limiar.

$$V_{TH} = max\left(\frac{\partial^2 I_D}{\partial^2 V_G}\right) \quad (9)$$

Figura 14 - Exemplo de extração da tensão de limiar
através da segunda derivada de I_D x V_G de um transistor genérico



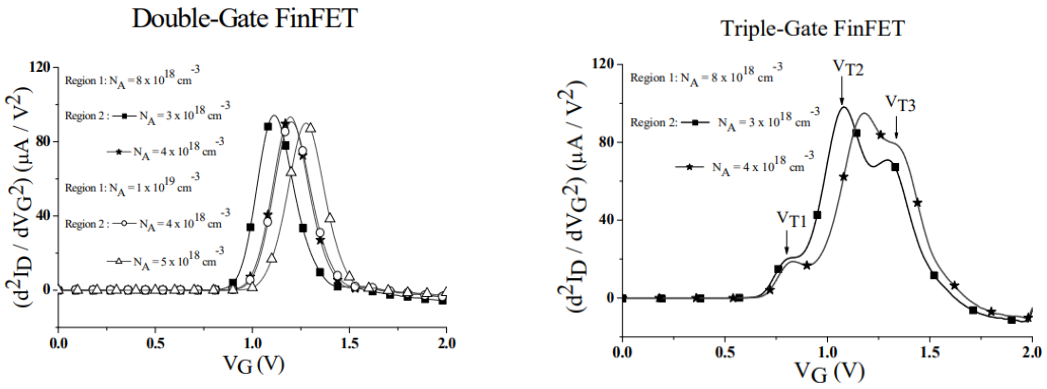
Fonte: Ortiz Conde et al., 2013

No gráfico é possível observar vários picos de da segunda derivada, que são alguns picos de interferência ou ruido na medida. Esses pontos são desconsiderados, um método que pode ser aplicado é de suavizar a curva afim de reduzir os picos dos ruídos e obter uma curva para extração da tensão de limiar.

Nos dispositivos atuais como os MOS de múltiplas portas, o conceito classico sobre a tensão de limiar não é muito apropriado. Por exemplo, em portas duplas o início da condução acontece no estado de inversão fraca e em dispositivos com três ou quatro portas a inversão pode ser alcançada em diferentes partes das regiões do canal para diferentes tensões aplicadas. (NICOLETTI, 2009)

Como mostrado nas figuras 15 (A) e (B), extraídas de (MARTINO *et al.*, [s.d.])

Figura 15 - Curvas de extração da tensão de limiar
para transistores de dois portas (A) e três portas (B)



(A) (B)

Para dispositivos com porta dupla, apresentam um único pico na segunda derivada da corrente de dreno em função da tensão de porta o que significa que possui uma única tensão de limiar independente da concentração de dopantes no canal.

No caso dos FinFETs de porta tripla, podem apresentar várias tensões de limiar, devido à sua estrutura de três portas, que influenciam as cargas, podendo ocasionar um campo elétrico em várias partes, fazendo que os cantos topo e laterais tenham diferentes valores de V_{TH} (MARTINO *et al.*, [s.d.]).

2.3.2.2 Dependência da tensão de limiar com a tensão de substrato para dispositivos SOI FD e para transistores de múltiplas portas

O controle eletrostático das cargas através de tensão de substrato ocorre devido ao efeito de corpo, que é a dependência da tensão de limiar com relação a tensão de substrato, esse conceito serve tanto para dispositivos planares como para estruturas tipo SOI. Ao polarizar o substrato, a tensão de limiar é dada pela equação (10).

$$V_{TH}(V_{BS}) = \pm \frac{\sqrt{2\varepsilon_{Si} q N_{A,D}(2\Phi_F + |V_{BS}|)}}{C_{ox}} + 2\Phi_F + V_{FB} \qquad (10)$$

Onde γ é a constante de efeito de corpo dada pela equação (11)

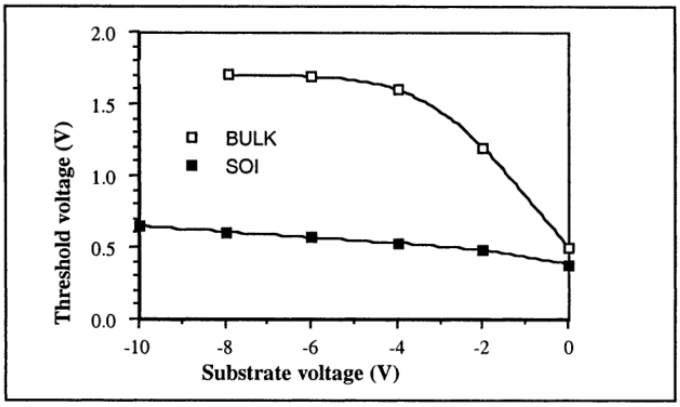
$$\gamma = \frac{\sqrt{2 \cdot \varepsilon_{Si} \cdot N_{A,D}}}{C_{ox}} \quad (11)$$

Quando γ é menor, menor será a dependência de V_{TH} com V_{BS}. Assim, juntando as duas equações se resulta na equação (12) que descreve a dependência da tensão de limiar com relação à polarização de substrato (COLINGE, J.-P., 2004).

$$V_{TH} = V_{FB} + 2\Phi_F + \gamma \cdot \sqrt{2\Phi_F} + \gamma(\sqrt{(2\Phi_F - V_B)} - \sqrt{2\Phi_F}) \quad (12).$$

A Figura 16 mostra uma comparação da dependência da tensão de limiar com a polarização de substrato para dispositivos SOI e tecnologia convencional *bulk.* Onde a curva com tecnologia SOI segue uma curva quase linear onde à medida que a tensão de substrato aumenta, a tensão de limiar diminui. Por outro lado, a curva com tecnologia *bulk* a tensão de limiar sobre bruscamente uma queda com aumento da tensão de substrato.

Figura 16 – Comparação dependência da tensão de limiar(V_{TH}) com a polarização de substrato (V_B) para substrato convencional e SOI MOS totalmente depletado



Fonte: Colinge, 2004, p. 165

2.3.3 Inclinação de sublimiar

A inclinação de sublimiar é um parâmetro que demonstra a velocidade de um transistor ao quantificar a transição entre os estados desligado e ligado. Quanto menor é esse valor, mais

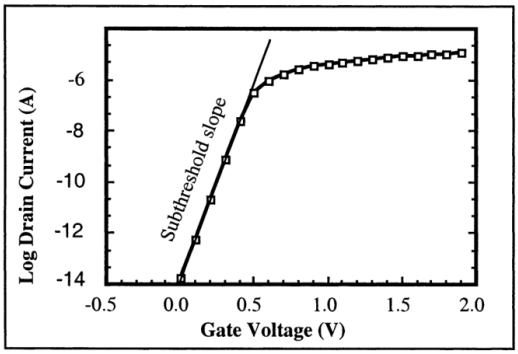
rápido é a transição. A inclinação de sublimiar é em milivolt/decada. Matematicamente é definida como o inverso da inclinação da curva de I_D x V_G apresentada em escala logarítmica e pode ser descrita:

$$S = \frac{\partial V_G}{\partial (log I_D)} \tag{13}$$

Essa fórmula se aplica para transistores planares, assim como também para transistores de múltiplas portas.

A Figura 17 mostra um gráfico I_D x V_G representado em escala logarítmica, onde é possível observar a inclinação de sublimiar.

Figura 17 - Gráfico da inclinação de sublimiar de um transistor genérico plotado em um gráfico I_{DS} x V_{GS} com escala logarítmica



Autor: Colinge, 2004, p. 191

O valor do limite teórico é 59,8 mV/dec, pode ser obtido quando o fator de corpo (n) é unitário e a temperatura ambiente de funcionamento é 300k. Sendo assim, os transistores de múltiplas portas possuem essa vantagem e podem chegar a atingir a inclinação de limiar teórica pelo alto acoplamento capacitivo que possuem (AKARVARDAR *et al.*, 2007). Quando os circuitos integrados CIs são usados na região de sublimiar, tendem a reduzir o consumo de energia. No entanto, se tornam mais sensíveis a ruídos e interferências.

2.3.4 Transcondutância

A transcondutância é um parâmetro elétrico que serve para avaliar a efetividade da porta para controlar a corrente de dreno. Pode ser calculada através da derivada da corrente de dreno dividida pela tensão de porta, como mostra a equação (14) (KILCHYTSKA *et al.*, 2005)

$$gm = \frac{\partial I_{DS}}{\partial V_{GS}} \tag{14}$$

2.3.5 Mobilidade

Um tema muito importante e que será abordado com maior profundidade é o transporte de cargas, principalmente a mobilidade. Serão abordados conceitos teóricos descritos na literatura como: mecanismos de espalhamentos, influência do campo elétrico, métodos de extração, efeitos da aplicação de tensão no substrato e uma seção específica sobre como a orientação cristalográfica influência na mobilidade e a extração da mobilidade em diferentes planos cristalográficos.

A mobilidade é um parâmetro que quantifica o movimento dos portadores dentro de um determinado material relacionado à velocidade de deriva (v), que é a velocidade média que uma partícula alcança com o campo elétrico ("Ohm's Law, Microscopic View", [s.d.]). O deslocamento das cargas depende de vários fatores como dopagem do material, orientação cristalográfica do canal, das interações entre partículas, fônons (temperatura) e impurezas do material, massa efetiva do portador, entre outros, (COLINGE, Jean-Pierre; CHANDRAKASAN, 2008b; FERAIN; COLINGE, C. A.; COLINGE, Jean Pierre, 2011).

Assim, a mobilidade será dividida em duas partes para melhor compreensão, a primeira parte trata da mobilidade de baixo campo, onde não é levado em consideração o campo elétrico. A segunda parte mostra tipos de espalhamento dependentes do campo elétrico.

2.3.5.1 Mobilidade de baixo campo (μ_0) e mecanismos de espalhamentos

A mobilidade de baixo campo é o valor máximo de mobilidade que os portadores podem chegar a alcançar sem contabilizar o campo elétrico e pode ser definido por quatro mecanismos

de espalhamento. Estes mecanismos de espalhamento ocorrem concomitantemente e são combinados, resultando na mobilidade de baixo campo (μ_0).

a) Espalhamento por fônons

Também chamado espalhamento de rede, é a resultante da interação dos portadores com a rede cristalina. Em termos físicos, os fônons são partículas que são originadas a partir de um movimento oscilatório. Em uma rede cristalina, os átomos estão ordenados de maneira uniforme. Quando o material é influenciado pela temperatura, os átomos podem oscilar a frequências específicas. Esse movimento gera uma onda ou fônons.

Essa interação entre portadores e a vibração da rede cristalina é bastante influenciada pela temperatura (T). Quanto maior a temperatura, maior é o movimento oscilatório e os portadores fluem com menor mobilidade. Caso contrário, quanto menor a temperatura, menor a vibração da rede cristalina e maior a mobilidade. Essa interação pode ser calculada a partir da equação (15) para lacunas (μ_{psh}) e equação (16) para elétrons (μ_{pse}) (MARK LUNDSTROM, 1990).

$$\mu_{psh} = \frac{1}{\frac{1}{2502\left(\frac{T}{300}\right)^{-1,5}} + \frac{1}{591\left(\frac{T}{300}\right)^{-3,25}}} \tag{15}$$

$$\mu_{pse} = \frac{1}{\frac{1}{4195\left(\frac{T}{300}\right)^{-1,5}} + \frac{1}{2153\left(\frac{T}{300}\right)^{-3,13}}} \tag{16}$$

b) Espalhamento por impurezas ionizadas

Este mecanismo de espalhamento descreve a influência da concentração de dopantes em um material. As impurezas ionizadas são encontradas comumente em materiais dopados, o que gera uma degradação da mobilidade, dependente do nível de dopagem do material. Sendo assim, canais sem dopagem tendem a ser melhores e permitem que os portadores atinjam maiores velocidades e mobilidades que os canais com dopagem. As seguintes equações descrevem o funcionamento deste mecanismo para lacunas (17) e elétrons (18) (CAUGHEY;

THOMAS, 1967), onde N_A^- e N_D^+ estão relacionados às impurezas aceitadoras e doadoras que obedecem à uma função de Fermi-Dirac.

$$\mu_{psiih} = \mu_{minh} + \frac{\mu_{psh} - \mu_{minh}}{1 + \left(\frac{N_A^-}{N_{refh}}\right)^{\alpha_h}} \tag{17}$$

$$\mu_{psiie} = \mu_{mine} + \frac{\mu_{pse} - \mu_{mine}}{1 + \left(\frac{N_D^+}{N_{refe}}\right)^{\alpha_e}} \tag{18}$$

Sendo que : μ_{minh}=110,90 - 25,597.log(T); μ_{mine}=197,17 - 45,505.log(T); N_{refh} = $2{,}23.10^{17}.(T/300)^{3,2}$; N_{refe}=$1{,}12.10^{17}.(T/300)^{3,2}$; α_h=$0{,}72.(T/300)^{0,065}$; α_e=$0{,}72.(T/300)^{0,065}$

c) Espalhamento por impurezas neutras

Mecanismo que ocorre devido à variação de impurezas não ionizadas considerando a variação da temperatura, sendo que podem ser descritos conforme as equações (19) para lacunas e (20) para elétrons (SHENG S. LI, [s.d.])

$$\mu_{nih} = \left(\frac{2\pi^3 \cdot q^3 \cdot m_{ch}^*}{5 \cdot \varepsilon_{Si} \cdot h^3 \cdot (N_A - N_A^-)}\right) \cdot 10^{-2} \cdot \left[\frac{2}{3} \cdot \sqrt{\frac{k \cdot T}{E_{nih}}} + \frac{1}{3} \cdot \sqrt{\frac{E_{nih}}{k \cdot T}}\right] \tag{19}$$

$$\mu_{nie} = \left(\frac{2\pi^3 \cdot q^3 \cdot m_{ce}^*}{5 \cdot \varepsilon_{Si} \cdot h^3 \cdot (N_D - N_D^+)}\right) \cdot 10^{-2} \cdot \left[\frac{2}{3} \cdot \sqrt{\frac{k \cdot T}{E_{nie}}} + \frac{1}{3} \cdot \sqrt{\frac{E_{nie}}{k \cdot T}}\right] \tag{20}$$

Onde: $E_{nih} = 1{,}136 \cdot 10^{-19} \left(\frac{m_{ch}^*}{m_0}\right) \cdot \left(\frac{\varepsilon_0}{\varepsilon_{Si}}\right)^2$; $E_{nie} = 1{,}136 \cdot 10^{-19} \left(\frac{m_{ce}^*}{m_0}\right) \cdot \left(\frac{\varepsilon_0}{\varepsilon_{Si}}\right)^2$; h é constante de Planck, m_{ch}^* é a massa efetiva de condução das lacunas e m_{ce}^* é a massa efetiva de condução para os elétrons, ε_0 é a permissividade elétrica do vácuo.

d) Espalhamento portador-portador

O funcionamento deste mecanismo de espalhamento ocorre quando o número de portadores é maior que o número de dopantes do canal, onde existe interação de atração e repulsão entre partículas, o que causa um aumento para valores maiores quando existe uma variação de temperatura. Isso gera uma degradação da mobilidade descrita pelas equações (21) para lacunas, e (22) para elétrons. Os termos de N_A e N_D representam a vinculação com os portadores livres para este tipo de espalhamento (SHENG S. LI, [s.d.]).

$$\mu_{cch} = \frac{2 \cdot 10^{17}}{\sqrt{N_A} \cdot ln\left[1+8{,}28 \cdot 10^{8} T^{2} (N_A)^{-1/3}\right]} \tag{21}$$

$$\mu_{cce} = \frac{2 \cdot 10^{17}}{\sqrt{N_D} \cdot ln\left[1+8{,}28 \cdot 10^{8} T^{2} (N_D)^{-1/3}\right]} \tag{22}$$

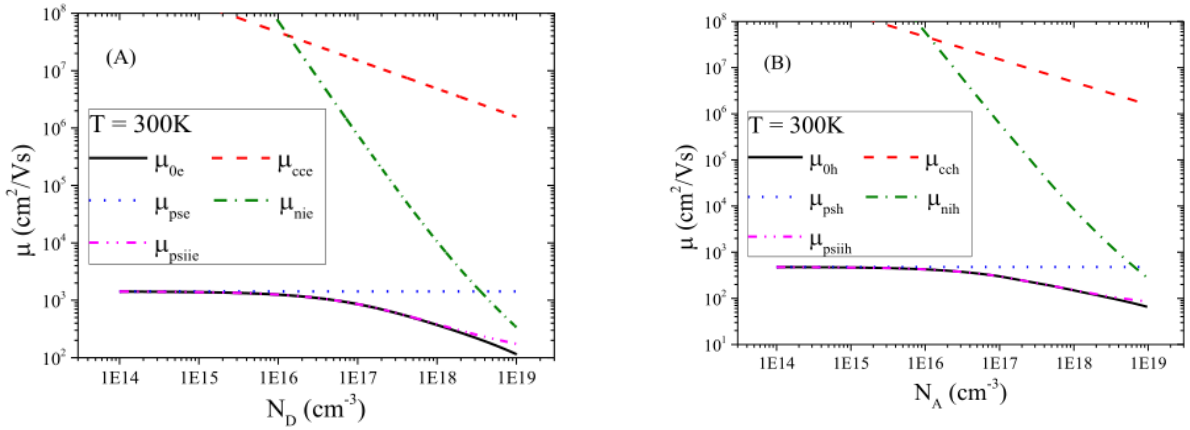
Assim, é possível unificar a mobilidade de baixo campo elétrico (μ_0), considerando todos os tipos de espalhamento mostrados anteriormente, através da regra de Matthiessen (GUTIÉRREZ-D *et al.*, 2002) que consiste na equação (23) para lacunas e (24) para elétrons

$$\mu_{0h} = \frac{1}{\frac{1}{\mu_{psiih}} + \frac{1}{\mu_{cch}} + \frac{1}{\mu_{nih}}} \tag{23}$$

$$\mu_{0e} = \frac{1}{\frac{1}{\mu_{psiie}} + \frac{1}{\mu_{cce}} + \frac{1}{\mu_{nie}}} \tag{24}$$

Na Figura 18 são apresentados os resultados de cada tipo de espalhamento descrito anteriormente (A) para lacunas e (B) para elétrons, variando a concentração de dopantes, em temperatura ambiente

Figura 18 - Mobilidade de baixo campo elétrico e suas componentes em função da concentração de dopantes



(A) **(B)**

Fonte: Cardozo Paz, 2018, p. 50 (A) 51 (B)

2.3.5.2 Mobilidade dependente do campo elétrico e mecanismos de espalhamento

Quando os portadores transitam na camada de inversão, desde a fonte até o dreno pela aplicação de tensões na porta e no dreno, sofrem uma alteração na mobilidade devido à ação do campo elétrico. A partir desse campo elétrico, ocorrem os mecanismos de espelhamento como espalhamento de Coulomb ($\mu_{Coulomb}$), espalhamento por fônons (μ_{ps}) e espalhamento por rugosidade de superfície (μ_{Si}) (TORIUMI; IWASE; TANGO, 1994).

a) Espalhamento por efeito de Coulomb ($\mu_{Coulomb}$)

Os espalhamentos de Coulomb causam degradação na mobilidade devido às impurezas do substrato, armadilhas no óxido de porta e cargas nos estados de interface e está associado com os mecanismos de espalhamento de impurezas neutras e ionizadas. É dominante nas camadas de inversão e na acumulação e a principal diferença é que na acumulação os elétrons se espalham pelos átomos positivamente carregados, enquanto que na camada de inversão se espalham pelos átomos com carga negativa aceitadores (SYED AON MUJTABA, 1995)

b) Espalhamento fônon 2D e 3D

O fônon, quando a tensão de porta é alta e o campo elétrico maior, se comporta de duas formas. Quando a tensão é maior os fônons são fortemente atraídos para a interface e é

considerado o espalhamento 2D, pois este espalhamento se assemelha uma camada de fina de portadores. No caso do 3D, quando a temperatura é maior, os portadores são conduzidos e se espalham em uma distância na interface, criando uma espécie de volume.

As seguintes equações (25) para lacunas e (26) para elétrons foram obtidas a partir de um modelo semiempírico. São divididos em duas partes uma 2D e outra 3D (SYED AON MUJTABA, 1995)

$$\mu_{psh}\left[\frac{A}{E_{ef}}+\frac{B\cdot N_A}{E_{eff}^{\frac{1}{3}}\cdot T}\mu_{maxh}\left(\frac{300}{T}\right)^{\theta}\right] \tag{25}$$

$$\mu_{pse}\left[\frac{A}{E_{ef}}+\frac{B\cdot N_D}{E_{eff}^{\frac{1}{3}}\cdot T}\mu_{maxe}\left(\frac{300}{T}\right)^{\theta}\right] \tag{26}$$

Onde: $A=3.10^8 cm/s$, $B=3.10^7 cm^{5/3}V^{-2/3}s^{-1}$, $\mu_{maxe}=1417 cm^2/V.s$, $\mu_{maxh}=470{,}5 cm^2/V.s$, $\theta=2{,}285$ e E_{ef} é o campo elétrico médio no canal.

c) Espalhamento por rugosidade de superfície (μ_{Si})

Este fenômeno ocorre por causa da influência do campo elétrico vertical da porta, que atrai portadores para a interface junto ao óxido. Por causa da rugosidade existente, os portadores sofrem esse tipo de degradação da mobilidade. Isso ocorre somente quando a tensão é suficientemente alta, que resulta em um campo elétrico intenso (RIBEIRO, 2020).

As seguintes equações descrevem a mobilidade através deste tipo de espalhamento para lacunas (27) e elétrons (28)

$$\mu_{SRh}=\frac{\mu_{0h}}{1+\alpha_S|E_{ef}|} \tag{27}$$

$$\mu_{SRe}=\frac{\mu_{0e}}{1+\alpha_S|E_{ef}|} \tag{28}$$

Onde α_S é a constante de espalhamento e μ_0 é a mobilidade de baixo campo elétrico resultante mostrado nas equações (23) e (24). Assim, para a união dos espalhamentos mostrados

em uma única equação que considera cada um dos mecanismos usa-se novamente a regra de Matthiessen, equação (29) para lacunas e (30) para elétrons:

$$\mu_{efh} = \frac{1}{\frac{1}{\mu_{CSh}} + \frac{1}{\mu_{psh}} + \frac{1}{\mu_{SRh}}} \tag{29}$$

$$\mu_{efe} = \frac{1}{\frac{1}{\mu_{CSe}} + \frac{1}{\mu_{pse}} + \frac{1}{\mu_{SRe}}} \tag{30}$$

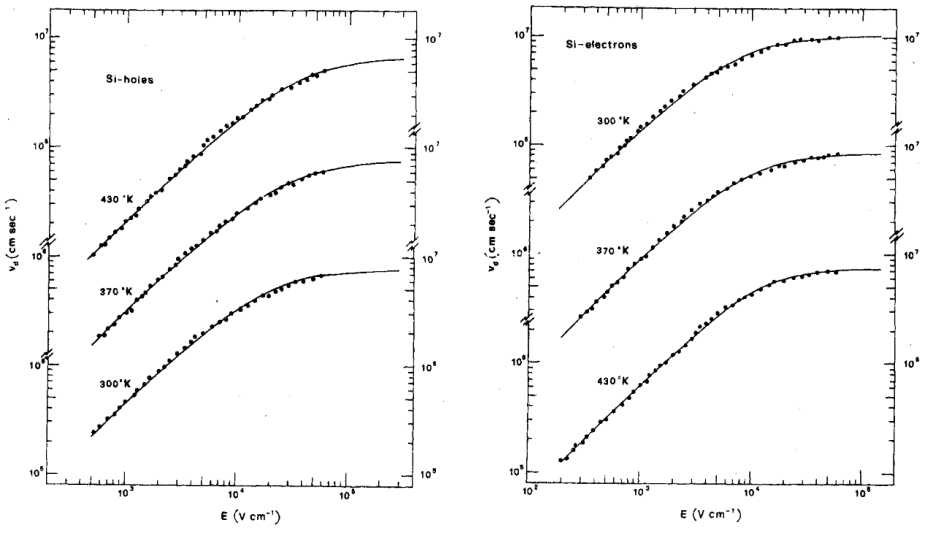
2.3.6 Velocidade de Saturação

Para entender melhor o conceito de velocidade de saturação, temos o gráfico da Figura 19 extraída de (CANALI, 1976) que indica que a velocidade de saturação é a máxima velocidade que um portador pode atingir pela influência do alto campo elétrico, sendo definida pela seguinte equação:

$$\mu = \frac{V_m}{E_Y} \tag{31}$$

Onde v_m é a velocidade média e E_y é o campo elétrico lateral em temperatura de 300 K Assim, é possível ver nos gráficos da Figura 19, as curvas das velocidades em função do campo elétrico lateral para lacunas (A) e (B) elétrons.

Figura 19 - Curvas das velocidades em função do campo elétrico lateral para lacunas (A) e elétrons (B) com valores de temperaturas de silício de 300K, 370K e 430K



(A) **(B)**

Fonte: Canali, 1976, p. 2

É possível observar que, quando o campo elétrico é baixo, existe um aumento da velocidade linear de portadores (v_m), mas se o campo elétrico é maior chega a um ponto de velocidade constante. Essa velocidade máxima é chamada de velocidade de saturação (v_{sat}).

2.4 TÉCNICAS DE EXTRAÇÃO DA MOBILIDADE

Nesta seção, serão apresentadas três formas de extração da mobilidade de portadores, a primeira é o método da transcondutância máxima ($g_{m,máx}$) a segunda é a Função-Y (BALESTRA; HAFEZ; GHIBAUDO, G., 1988; FLEURY *et al.*, 2008) e finalmente o Split-CV (OHATA; CASSÉ; CRISTOLOVEANU, S., 2007; ROMANJEK *et al.*, 2004). Serão realizados também análises dos impactos na mobilidade a partir de variações de diferentes parâmetros, sendo analisados a partir da extração da variação da mobilidade.

2.4.1 Transcondutância máxima ($g_{m,máx}$)

Essa técnica de extração da mobilidade consiste no uso da transcondutância máxima para calcular a mobilidade de baixo campo elétrico, explicado anteriormente no item 2.3.4. Para isso é usado a equação da corrente de dreno em estado de triodo (1) em função da variação de tensão de porta (V_{GS}) tendo como resultado a equação (32)

Onde, μ_0 é a mobilidade de baixo campo, C_{ox} é a capacitância do óxido por unidade de área $C_{ox} = \varepsilon_{ox}/t_{ox}$, W é a largura do transistor, L é o comprimento de canal, V_{GS} é a tensão na porta, V_{TH} é a tensão de limiar e V_{DS} é a tensão de dreno.

$$g_m = \mu_0 \cdot C_{ox} \frac{W}{L} V_{DS} \tag{32}$$

Ao isolar o valor da mobilidade de campo resulta na equação (33)

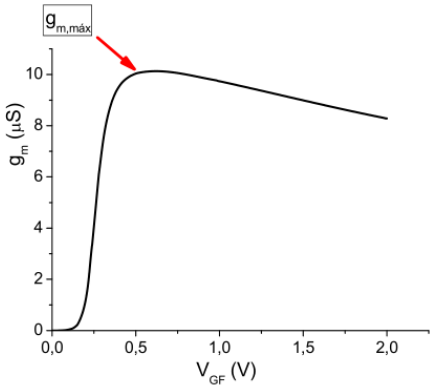
$$\mu_0 = \frac{g_m}{C_{ox} \frac{W}{L} V_{DS}} \tag{33}$$

O método apresentado é útil para dispositivos planares, nos quais a resistência série parasitária é desprezível em comparação com a resistência do canal. Mesmo com o surgimento da técnica de Mc Larty (MCLARTY *et al.*, 1995), que tenta remover o efeito da resistência, o método é sujeito a erros de medição e sensibilidade a ruídos. Para outros tipos de dispositivos

o método é pouco confiável, já que o valor da mobilidade é variado com variação de valores da geometria e arquitetura dos dispositivos (BERGAMASCHI, 2021).

A Figura 20, extraída de (DAVANZZO, 2010), mostra o exemplo da extração da mobilidade através da transcondutância máxima.

Figura 20 - Gráfico de extração da mobilidade
através do método de transcondutância máxima



Fonte: Davanzzo, 2010, p 116

2.4.2 Função Y

A técnica de extração da mobilidade pelo método da função Y consiste no uso das curvas de corrente de dreno (I_{DS}) e transcondutância g_m, usando a equação de corrente de dreno (34) e a equação transcondutância (35), que é resultado da derivada da equação de corrente de dreno em função da tensão de porta.

$$I_{DS} = \frac{W_{eff}}{L} \frac{\mu_0}{[1+\theta(V_{GS}-V_{TH})]} C_{OX}(V_{GS} - V_{TH})V_{DS} \tag{34}$$

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = \frac{W_{eff}}{L} \frac{\mu_0}{[1+\theta(V_{GS}-V_{TH})]^2} C_{OX} V_{DS} \tag{35}$$

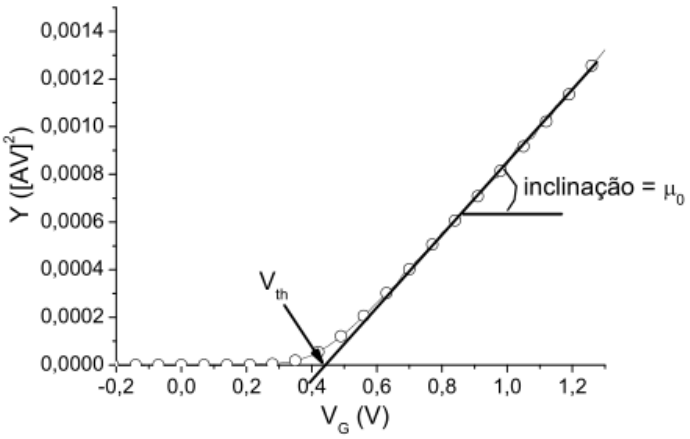
O intuito da função Y é eliminar o coeficiente θ que representa a degradação da mobilidade. Para isso é necessário a combinação das equações (34) e (35), aplicando uma raiz quadrada na transcondutância resultando na equação da função Y (36) (DAVANZZO, 2010).

$$Y = \frac{I_{DS}}{\sqrt{g_m}} = \sqrt{\frac{W_{eff}}{L} C_{OX} \mu_0 V_{DS}} (V_{GS} - V_{TH}) \quad (36)$$

No gráfico da Figura 21 é mostrado um exemplo de extração da mobilidade a partir do método da função Y extraído de (DAVANZZO, 2010). A partir dessa curva, pode se extrair parâmetros de mobilidade de baixo campo elétrico μ_0 e tensão de limiar $V_{TH.}$, usando a fórmula (37) e o cruzamento da curva de inclinação com o eixo x.

$$\mu_0 = \frac{inclinção^2 L}{W C_{ox} V_{DS}} \quad (37)$$

Figura 21 - Gráfico de extração de parâmetros a partir da função Y



Fonte: Davanzzo, 2010, p 116

2.4.3 SPLIT-CV

A técnica do SPLIT-CV é uma das técnicas mais confiáveis para a extração da mobilidade. Não depende do valor da espessura do óxido de porta, sendo muito útil para dispositivos tridimensionais. Para isso, combina a curva de capacitância de porta (C_{GC}) em função da tensão de porta (V_{GS}) com a curva de corrente de dreno (I_{DS}) em função da tensão de porta (V_{GS}).

Para obter a mobilidade a partir da técnica de SPLIT-CV, é usada a equação de densidade de cargas na camada de inversão obtida pela integral da curva C-V, mostrada na equação (38) e a equação da curva de corrente de dreno (I_{DS}) em função da tensão de porta (V_{GS}), equação (39).

$$Q_{inv} = \frac{1}{W_{eff}L} \int_{-\infty}^{V_{GS}} C_{GC}(V_{GS})\, dV_{GS} \tag{38}$$

$$I_{DS} = \mu_{ef} \frac{W_{eff}}{L} Q_{inv} V_{DS} \tag{39}$$

Assim, fazendo uma substituição da equação de Q_{inv} na equação de corrente de dreno, obtém-se a equação (40).

$$I_{DS} = \mu_{eff} \frac{V_{DS}}{L^2} \int_{-\infty}^{V_{GS}} C_{GC}(V_{GS})\, dV_{GS} \tag{40}$$

Por último, a equação (41) é o resultado do isolamento do termo da mobilidade efetiva (μ_{eff}).

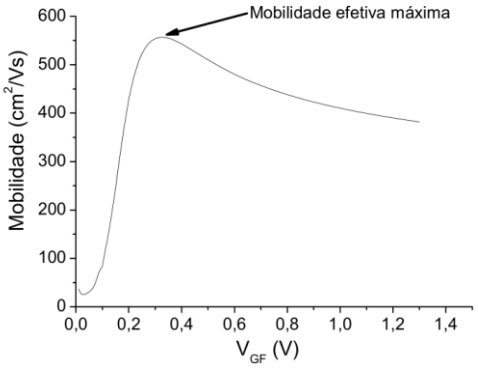
$$\mu_{eff} = \frac{L^2 I_{DS}}{V_{DS} \int_{-\infty}^{V_{GS}} C_{GC}(V_{GS}) dV_{GS}} \tag{41}$$

O parâmetro da concentração de portadores de inversão (N_{inv}), pode ser extraída mediante o uso da equação (42), e é muito útil ao se comparar vários dispositivos com diferentes tensões de porta que podem ter cargas de inversão diferentes. Assim, a mobilidade é calculada em função da concentração de portadores:

$$N_{inv} = \frac{1}{qW_{eff}L} \int_{-\infty}^{V_{GS}} C_{GC}(V_{GS})\, dV_{GS} \tag{42}$$

A Figura 22 mostra um exemplo da extração da mobilidade, extraída de (DAVANZZO, 2010), de um transistor genérico através da técnica SPLIT-CV.

Figura 22 - Exemplo de um gráfico da mobilidade μ_N em função da concentração da tensão de porta (V_{GF})



Fonte: Davanzzo, 2010, p 116

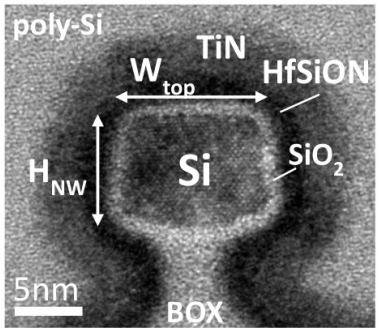
3. MOBILIDADE EM NANOFIOS MOS

Nesta seção, serão detalhados os conceitos sobre os nanofios MOS de porta tripla, dispositivos que foram utilizados experimentalmente para realização deste trabalho de dissertação. Abordaremos temas como: estudo da estrutura do transistor, variação da mobilidade em planos cristalográficos, processo de divisão da mobilidade nos planos laterais superior e inferior. Além da análise do impacto da mobilidade com variação de parâmetros como: a variação da largura do canal do transistor e aplicação de tensão de substrato.

3.1 NANOFIOS TRANSISTORES MOS DE PORTA TRIPLA.

Com a diminuição das medidas de W_{FIN} e H_{FIN}, surgiram as estruturas de transistores FinFET de porta tripla que alcançaram tamanhos de *fin* da ordem de uma dezena de nanômetros e passaram a ser denominadas pela comunidade científica como nanofios transistores MOS (COLINGE, J.-P., 2016) . A Figura 23 mostra uma vista microscópica da secção transversal de um nanofio transistor ampliada no microscópio eletrônico de transmissão (TEM) (“Leti (english)”, [s.d.]). (COQUAND, Remi et al., 2013).

Figura 23 - Vista de um nanofio transistor obtida no microscópio eletrônico de transmissão



Fonte: Coquand, Remi, 2013

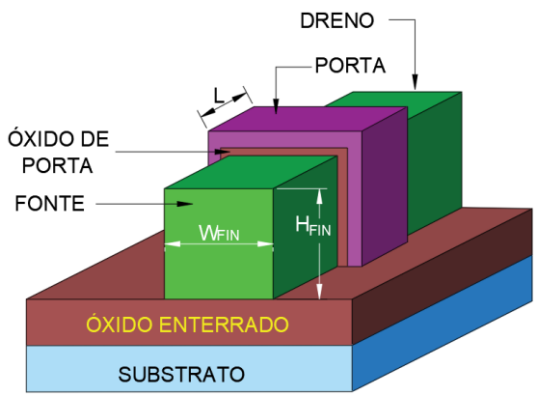
Os nanofios possuem múltiplas vantagens a comparação dos dispositivos anteriormente apresentados. Possuem uma alta imunidade ao efeito de canal curto, melhor controle eletrostático das cargas devido ao número de portas envolta do canal. Assim como a possibilidade alto escalamento devido às suas dimensões reduzidas (COLINGE, J.-P., 2016).

Outra vantagem dos nanofios é o uso tecnologia SOI que, ao aplicar uma tensão de substrato, consegue variar os valores de V_{TH} melhorando ainda mais as características para diferentes aplicações. Conceitos que serão melhor apresentados nos capítulos seguintes.

3.1.1 Estrutura do transistor e estudos dos planos cristalográficos

Os nanofios MOS deste estudo, possuem uma estrutura similar aos transistores MOS de porta tripla, porém com tamanhos reduzidos.
A seguinte Figura mostra uma a estrutura de um nanofio de porta tripla.

Figura 24 - Estrutura de um nanofio de porta tripla vista isométrica

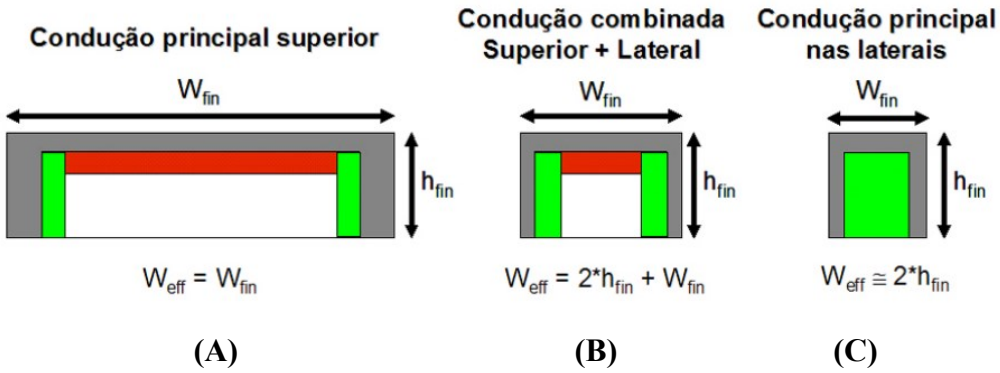


Fonte: Autor

Um parâmetro bastante importante é a largura efetiva da porta W_{eff}, que permite conhecer o nível de corrente elétrica que o transistor será capaz de conduzir. No caso dos transistores de porta tripla, a largura efetiva é $W_{eff} = 2H_{FIN} + W_{FIN}$. Ou seja, o dobro da altura do *fin*, mais a largura da interface do topo,

A condução de corrente pode acontecer de três formas dependendo da largura de W_{FIN}, como explicado em (DAVANZZO, 2010). A Figura 25 que mostra que se o W_{FIN} é maior que as medidas das laterais, a condução ocorre principalmente na interface superior, então considera-se $W_{eff} = W_{FIN}$ (A), se o dispositivo não é tão largo e nem tão estreito, a condução de corrente é o resultado da combinação das influências das portas laterais e superiores, então considera-se $W_{eff} = 2H_{FIN} + W_{FIN}$, e por último, se o W_{FIN} é muito estreito, a condução acontece pelas laterais, então considera-se $W_{eff} \cong 2.H_{FIN}$ (C) e por último.

Figura 25 - Desenho esquemático dos tipos de condução de corrente que podem acontecer em uma estrutura FinFET



Fonte: "Adaptado de" DAVANZZO, 2010

Embora o número de portas não seja uma referência de comparação de proporção com a corrente elétrica, permite estimar o ganho de corrente que pode ser obtido como resultado. Na prática, o cálculo de corrente depende de mais fatores como mobilidade dos portadores, temperatura e orientação cristalográfica. Ou seja, o fluxo de portadores ocorre de melhor forma com um tipo determinado de orientação para cada tipo de portador. Conceitos que serão melhor abordados no seguinte capitulo.

3.1.1.1 Principais conceitos sobre rede cristalina e planos cristalográficos

Em um semicondutor, um sólido cristalino pode ser distinguido por apresentar uma estrutura atômica periódica (também chamada de rede cristalina). No estudo dos cristais é muito importante referenciar planos e direções os quais são determinados por um vetor e pelo conjunto de três números inteiros denominados índices de Miller. No caso, o silício apresenta uma estrutura de rede cristalina como a do diamante e pode ser obtida a partir da adição de quatro átomos à rede cúbica de face centrada (STREETMAN; BANERJEE, 2000).

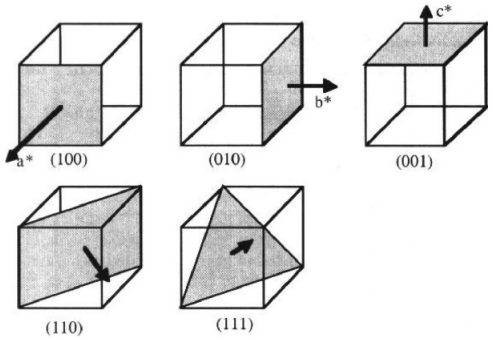
Uma forma de conhecer a orientação cristalográfica do silício é por técnicas clássicas, como: difração de raios-X e difração de elétrons em um microscópio eletrônico de transmissão TEM, onde a reflexão dos elétrons depende da orientação do cristal. De tal modo, os elétrons refletidos formam um padrão como uma cruz e a direção dos braços indica uma rotação espacial dos eixos do cristal (COLINGE, J.-P., 2004).

Em dispositivos SOI, a técnica de fabricação é usualmente projetada para serem produzidas em lâminas de silício com orientação cristalográfica de (100), sendo que é a mais comum. De tal modo, a orientação é automaticamente obtida quando o filme de silício é

produzido pela separação de uma camada superficial de silício de um substrato de silício (100), pela formação de um isolante enterrado (SIMOX, FIPOS ou ligação de wafer) ou quando o filme de silício é epitaxialmente desenvolvido a partir de um único substrato de cristal com rede normal e parâmetros iguais ou próximos aos do silício (100) (SOS, ELO, LSPE) (COLINGE, J.-P., 2004).

A Figura 26 mostra os principais planos cristalográficos de um semicondutor com rede cúbica.

Figura 26 - Principais planos cristalográficos de um semicondutor

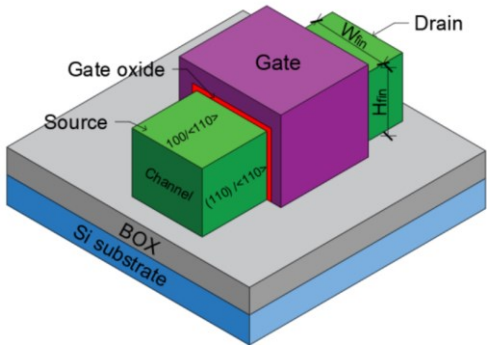


Fonte: Stretman; Banerjee, 2000, p. 62

Em MOS de três portas, são usualmente fabricados em superfícies de Si (100)/<110>, (110)/<110>.

A Figura 27, mostra uma vista isométrica do transistor com as orientações cristalográficas mencionadas, a parte superior possui o plano de (100)/<110> e nas laterais os planos de (110)/<110>. O fluxo dos elétrons na orientação (100)/<110> é superior em comparação ao plano (110)/<110> e, de forma contrária, o fluxo de lacunas é melhor no plano (110)/<110> que no plano (100)/<110> (IYENGAR *et al.*, 2007). (LANDGRAF *et al.*, 2006)

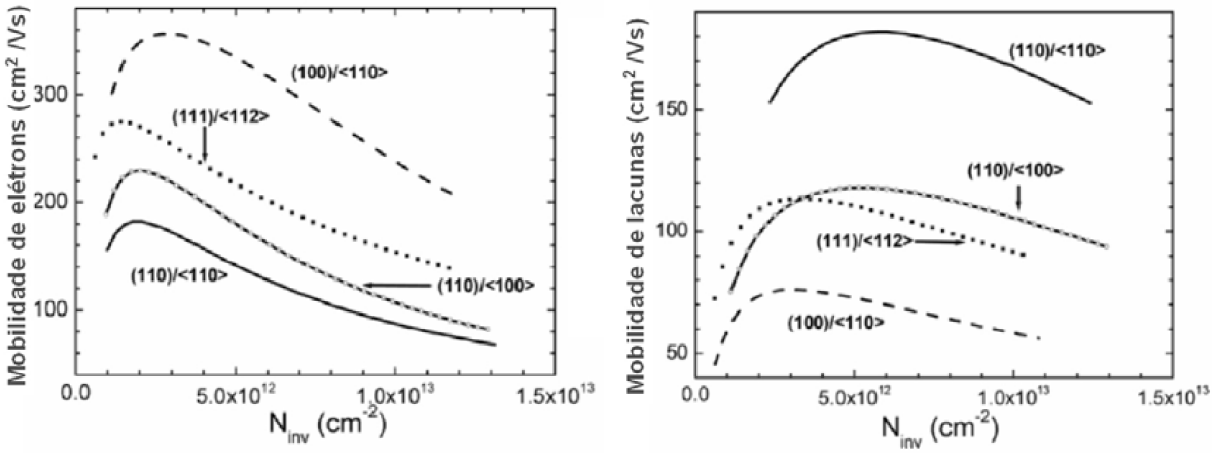
Figura 27 - Representação da vista isométrica de um nanofio de três portas, indicando os diferentes planos cristalográficos



Fonte: Autor

Essa diferença na orientação cristalográfica, ocasiona valores de ganho e degradação da mobilidade devido à anisotropia das massas efetivas dos portadores e espalhamento de superfície, que foi amplamente explicado em (YANG, M. *et al.*, 2003) e que também é demostrado através da Figura 28

Figura 28 – Gráficos da mobilidade efetiva para elétrons (A) e lacunas (B),com variação da orientação cristalográfica em função da inversão de cargas



(A) **(B)**

Fonte: YANG, M. et al., 2003

Além disso, o processo de fabricação para obter os *fins* estreitos degrada a estrutura das paredes laterais e, consequentemente, a mobilidade dos elétrons.(CCOTO; BERGAMASCHI; PAVANELLO, 2021a), esse conceito será melhor demostrado no capitulo 3.1.2.1.1.

3.1.2 Extração da mobilidade

Neste capítulo será detalhado o processo de extração da mobilidade em nanofios, para melhor compreensão será dividido em duas partes: a primeira será dedicada a explicar a extração da mobilidade total, assim como analisar os impactos da mobilidade com a variação de parâmetros como largura de *fin* W_{FIN} e aplicação de tensão de substrato.

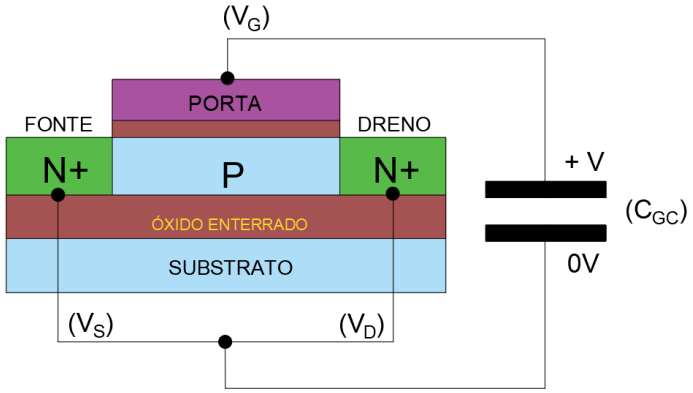
A segunda parte será focado no método de extração da mobilidade em planos cristalográficos com e sem aplicação de tensão de substrato.

3.1.2.1 Extração da mobilidade total

Para extração da mobilidade total será utilizado o método do SPLIT-CV, conforme foi explicado no capitulo 2.4.3, será necessário obter as curvas capacitância (C_{GC}) e corrente (I_{DS}).

Com ajuda de um equipamento analisador de dispositivos semicondutores é obtido a medida da capacitância entre porta e canal com terminais de dreno e fonte polarizados com tensão de 0V, variando a tensão de porta conforme mostra a Figura 29.

Figura 29 - Diagrama de conexão para obtenção da capacitância de porta



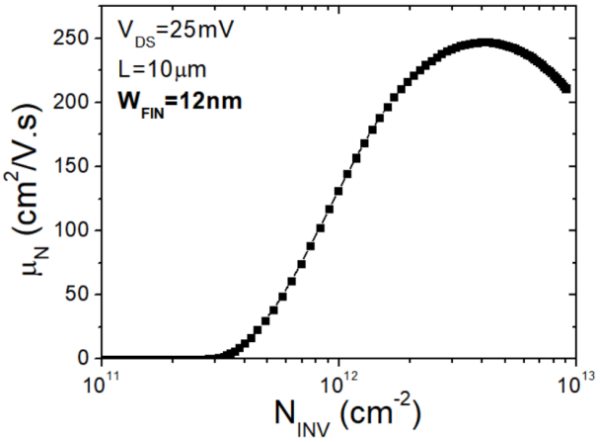
Fonte: Autor

Para que a capacitância de porta tenha uma boa precisão é requerido que o dispositivo tenha uma área grande o suficiente para extração da curva. Alguns equipamentos não conseguem medir capacitâncias muito baixas uma vez que os dados podem ser confundidos com ruído de medida (DAVANZZO, 2010). Para resolver este problema é feita a soma de áreas dos dispositivos de *multi-fins* com vários transistores em paralelo. Conhecendo a área de porta de um transistor individual, é multiplicado pelo número de *fins* da estrutura, obtendo, assim, um valor de capacitância total. O mesmo processo é feito considerando comprimento efetivo do canal, onde o comprimento de um *fin* individual é multiplicado pelo número de fins da estrutura ($L_{eff} = L \cdot número\ de\ fins$), com essas informações, é possível a modificação da equação da concentração de portadores (41) pela equação (43).

$$N_{inv} = \frac{1}{qW_{eff} \cdot L_{eff}} \int_{-\infty}^{V_{GS}} C_{GS}(V_{GS})\, dV_{GS} \qquad (43)$$

A Figura 30 mostra um exemplo da extração da mobilidade total, de um nanofio transistor através da técnica SPLIT-CV.

Figura 30 - Exemplo de um gráfico da mobilidade μ_N em função da concentração da tensão de porta (V_{GF})

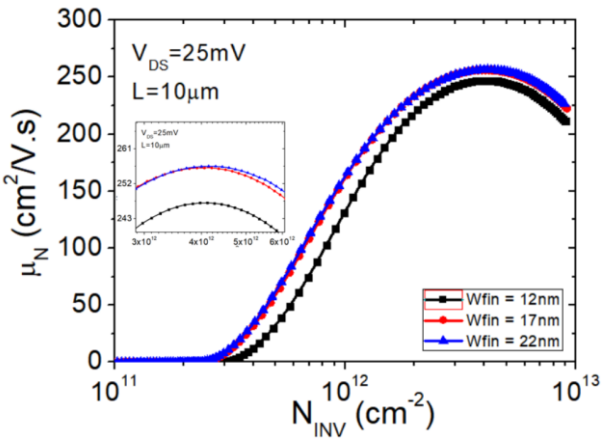


Fonte: Autor

3.1.2.1.1 Impacto na mobilidade total com a modificação da largura de fin

Em dispositivos nanofios MOS, a mobilidade é diferente para cada transistor com variação de largura de canal. No seguinte gráfico, é mostrado alguns exemplos de extração de medidas com diferentes larguras de *fin*.

Figura 31 - Gráfico da mobilidade u_N em função da concentração de portadores N_{inv} para larguras de *fin* de 12nm 17nm e 22nm



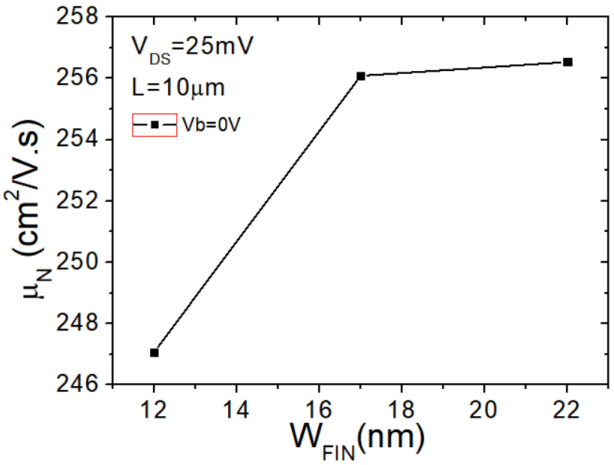
Fonte: Autor

Como é possível observar no gráfico, quanto maior a largura de *fin* (W_{FIN}) ocorre uma significante variação na mobilidade. Para os valores de W_{FIN} de 17 nm e 22 nm que são muito próximos, é aproximadamente 256 $cm^2/V.s$, já o valor de 12nm tem uma mobilidade menor 247 $cm^2/V.s$. Isso está fortemente relacionado com a condução de corrente que está acontecendo nos planos laterais e superior, como explicado anteriormente, quando se tem uma largura de W_{FIN} menor a condução acontece principalmente nas laterais, como no caso da mobilidade no transistor de 12nm, as cargas transitam pelo plano cristalográfico das laterais, o que não é favorável para elétron.

Já no caso do transistor de 22nm a mobilidade acontece preferencialmente na parte superior o que melhora o valor da mobilidade devido ao plano cristalográfico favorável para elétrons. (CCOTO; BERGAMASCHI; PAVANELLO, 2021b). (TORIUMI; IWASE; TANGO, 1994).

Olhando de outra perspectiva, a Figura 32 mostra a curva da mobilidade em função da largura do canal (W_{FIN}), e mais uma vez observa-se um leve aumento da mobilidade conforme aumenta a largura do transistor. Esses conceitos serão melhor presenciados na secção de apresentação dos resultados.

Figura 32 - Gráfico da mobilidade μN em função de largura de *fin* W_{FIN}



Fonte: Autor

3.1.2.1.2 Impacto na mobilidade total com a modificação da tensão de substrato

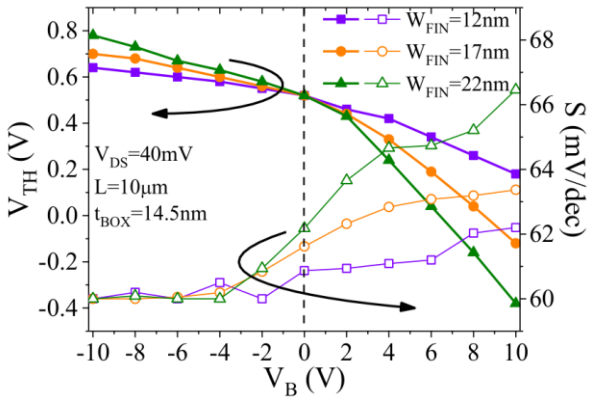
A aplicação da tensão de substrato tornou-se uma ferramenta para ampliar as possibilidades do transistor e possui algumas vantagens como: o aumento da mobilidade e a transcondutância, redução do efeito de modulação do comprimento de canal (CLM) em

transistores curtos, assim como parâmetros como condutância de saída e ganho de tensão intrínseco (SZELAG; BALESTRA, 1998).

Além disso, é usado como ajuste de tensão de limiar V_{TH} (KURODA,T, 1996), por exemplo, se em transistores tipo N o dispositivo é alimentado com polarização reversa ($V_{BS} < 0V$), o potencial na região do canal será menor, fazendo com que seja necessário aumentar a tensão da porta V_{GS} para atingir a tensão de limiar. Caso contrário ocorre quando o substrato é alimentado com polarização direta ($V_{BS} > 0V$), o potencial na região do canal será maior, fazendo com que o dispositivo chegue no tesão de limiar facilmente com pouca tensão de porta.

A Figura 33 , extraída de (BERGAMASCHI; PAVANELLO, 2022), exemplifica melhor o anteriormente descrito, onde a tensão de substrato também influencia na tensão de sublimiar.

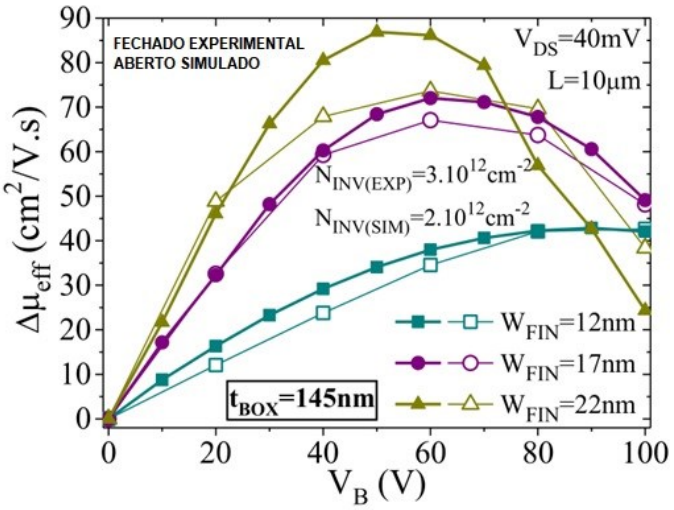
Figura 33- Curvas da tensão de limiar e inclinação de sublimiar em função de polarização de substrato para nanofios SOI de porta Ω tipo N, simulados com BOX fina e largura da fin de 12, 17 e 22nm.



Fonte: Extraído de BERGAMASCHI; PAVANELLO, 2022

Em termos de mobilidade, a aplicação da tensão de substrato melhora consideravelmente os valores de mobilidade, conforme mostra a Figura 34 extraída de (BERGAMASCHI; PAVANELLO, 2022).

Figura 34 - Variação de mobilidade efetiva experimental e simulada em função de V_B para nanofios SOI de porta Ω tipo n com t_{BOX} de 145nm e W_{FIN} de 12, 17 e 22nm.

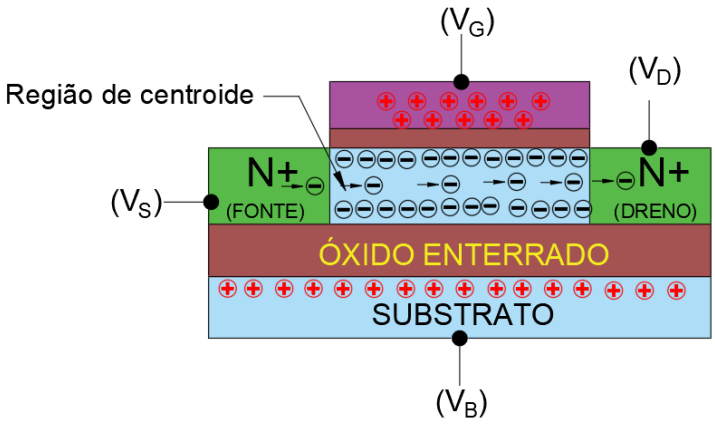


Fonte: Extraído de BERGAMASCHI; PAVANELLO, 2022

Fazendo uma analise dos resultados, experimentais e simulados, mostrados na Figura 34, é possível observar um incremento na mobilidade para as três amostras de nanofios, independente da largura de W_{FIN}.

Este fenômeno está fortemente associado com a tensão de limiar como foi anteriormente mencionado. Com a aplicação de tensão do substrato, o V_{TH} reduz, passando da inversão fraca para inversão forte com uma tensão menor de porta V_{GS}, o que ocasiona uma mudança no centróide no canal que é uma região do canal onde os portadores atingem a maior velocidade e são menos propensos a mecanismos de espalhamento que degradam a mobilidade. Ilustrado na Figura 35. (CCOTO; BERGAMASCHI; PAVANELLO, 2021a).

Figura 35 - Representação esquemática da seção transversal de um nanofio com polarização no substrato



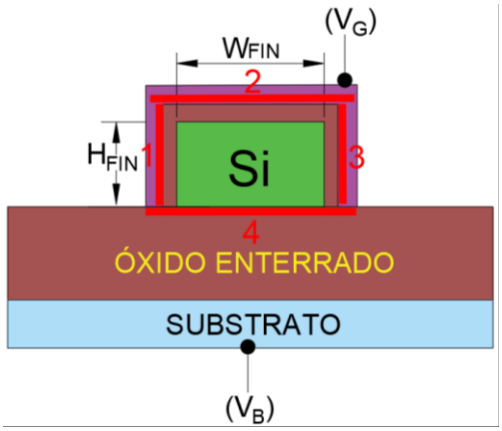
Fonte: Autor

Além da tensão de limiar, outro fator importante para polarização de substrato é o estado da segunda interface ou *back channel* (BC), em inversão ou acumulação, que dependendo das cargas existentes no canal influênciam nos valores da mobilidade.

Em outras palavras, a tensão no substrato V_B atua como uma quarta porta inferior no nanofio, como ilustrado na Figura 36. Isto significa que quando a mobilidade dos portadores inicia, o *back-channel* (BC) controla uma porcentagem das cargas no canal e outra região *front channel* (FC) que é controlada pelas portas superiores, controla a outra porcentagem das cargas.

Sendo assim a geometria do dispositivo é outro fator que interfere nos resultados, já mencionado anteriormente quando existe um canal menor, maior será o acoplamento eletrostático de cargas e o controle dos portadores, nos dispositivos com canal menor sofrem maior influência da tensão de substrato. Esses conceitos serão melhor demostrados no capitulo 4.

Figura 36 - Vista esquemática das portas de um transistor nMOS com tensão de substrato



Entretanto, o aumento forte da tensão de substrato (V_B) pode ocasionar uma degradação da mobilidade devido ao aumento de concentração de cargas, no *back-channel,* fazendo com que os portadores fiquem muito próximos ao substrato, onde a rugosidade do material provoca essa redução.

3.1.2.2 Extração da mobilidade em planos cristalográficos

Nesta seção, será apresentado a extração da mobilidade pelo método de separação por corrente de superfície.

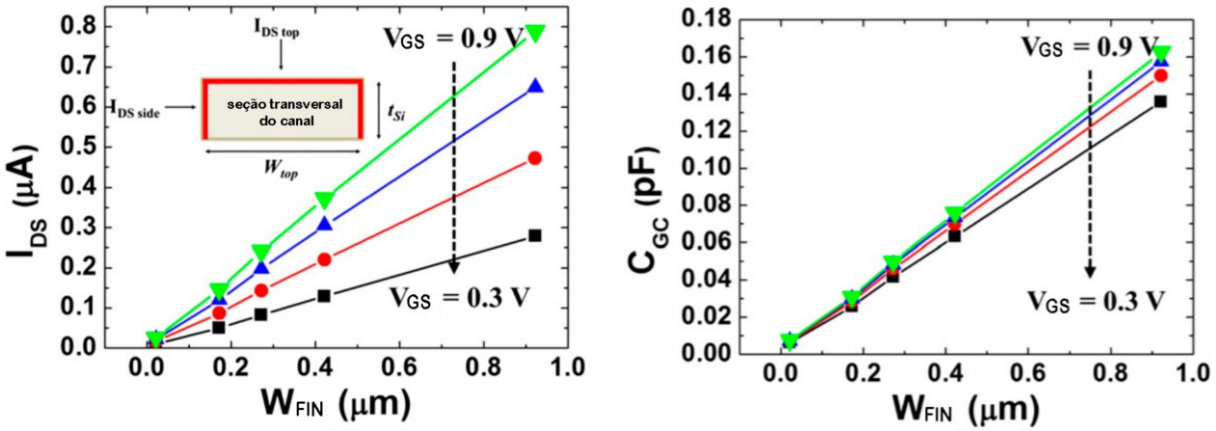
3.1.2.2.1 Método de separação por corrente de superfície

Esse método foi usado para realização deste trabalho e foi extraído de (PARK, S. J. *et al.*, 2013). O processo usa a técnica de extração de SPLIT-CV para fazer a extração da mobilidade total e, a partir dos resultados obtidos, são feitas equações para extração da mobilidade lateral e superior. O método funciona perfeitamente para amostras com tensão de substrato de $V_B = 0V$. Inicialmente, são usadas as curvas de capacitância (C_{GC}) em função da tensão de porta (V_{GS}) e corrente de dreno (I_{DS}) em função da tensão de porta (V_{GS}).

Para extração da mobilidade lateral e superior por este método, também é necessário trabalhar com várias amostras de dispositivos com larguras diferentes de *fin* (W_{FIN}) e com transistores individuais, no caso de dispositivos com vários números de *fins,* a capacitância (C_{GC}) e corrente de dreno (I_D) são divididos pela quantidade de *fins* da estrutura.

Para obtenção da mobilidade lateral as curvas de I_{DS} e C_{GC} são plotadas em função da largura de *fin* $W_{FIN,}$ obtendo assim uma regressão linear, conforme mostra a Figura 37 extraída de (PARK, S. J. *et al.*, 2013).

Figura 37 Gráficos da capacitância (C_{GC}) e corrente de dreno (I_{DS})
em função da largura de *fin* (W_{FIN}) para aplicação da extrapolação linear de pontos

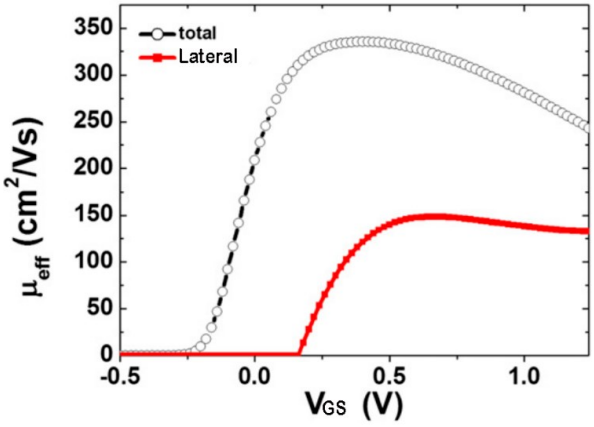


Fonte: “Adaptado de” PARK, S. J. et al., 2013

O intuito deste procedimento é fazer uma extrapolação linear de pontos a fim de obter as curvas de capacitância (C_{GClat}) e corrente (I_{DSlat}) quando $W_{FIN} = 0$, assim, o valor da largura efetiva ($W_{eff} = 2H_{FIN} + W_{FIN}$). Será $W_{eff} = 2H_{FIN}$ e aplicando as equações de Split-CV com a nova largura efetiva terá como resultado o valor da mobilidade lateral. A Figura 38 extraída de

(PARK, S. J. *et al.*, 2013) mostra o exemplo da curva da lateral em comparação com a curva total de mobilidade.

Figura 38 - Exemplo de extração da curva de mobilidade lateral em comparação com a curva da mobilidade total.



Fonte: "Adaptado de" PARK, S. J. et al., 2013

Para extrair a mobilidade superior, as curvas de capacitância (C_{GClat}) e correntes laterais (I_{DSlat}) são subtraídos da capacitância e corrente total do dispositivo:

$$I_{DS_{top}} = I_{DS} - I_{DS_{lat}} \tag{44}$$

$$C_{GC_{top}} = C_{GC} - C_{GC_{lat}} \tag{45}$$

Assim, aplicando as equações de Split-CV (41) e (42) com as novas curvas de capacitância de fonte e dreno é obtido a mobilidade do plano superior.

3.1.2.3 Extração da mobilidade com aplicação da polarização do substrato.

Como o método de separação por corrente de superfície não funciona para dispositivos com tensão de substrato, devido que ao polarizar o substrato cria-se uma quarta porta embaixo do canal, como foi explicado no capítulo 3.1.2.1.2. Detalhes que serão explicados a profundidade no capítulo 4.2

A fim de obter a mobilidade neste tipo de aplicações, foi proposto um método de extração quando aplicado uma tensão de substrato. Partindo da teoria explicada no capítulo

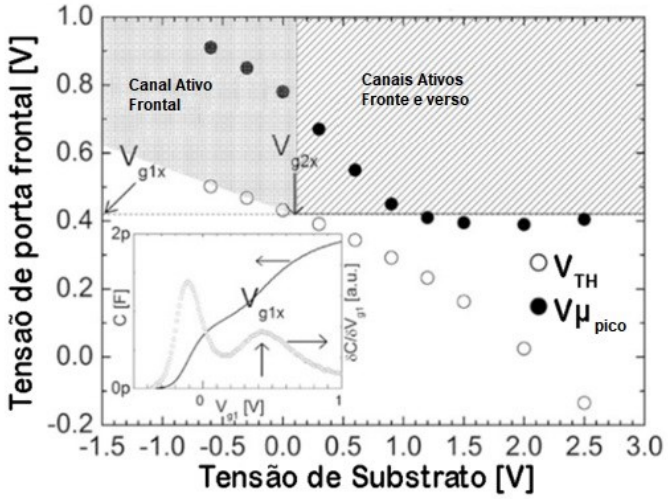
3.1.2.1.2 o transistor ao ser submetido a uma tensão de substrato opera em duas regiões FC e BC. Como foi amplamente explicado no artigo, (OHATA., 2012)

A tensão de substrato está estreitamente ligada com a tensão de limiar (V_{TH}), o que pode indicar se um canal está ativo ou não. Na Figura 41, os círculos abertos mostram a variação da V_{TH} ao aplicar uma tensão de substrato.

A imagem de inserção, mostra um gráfico da capacitância em função da $\delta C/\delta V_{GS}$, e mostra dois picos de capacitância no qual mostra que o FC começa a ser formado depois que o BC foi ativado. O parâmetro de Vg1x é mostrado no segundo pico da capacitância, que indica ativação do FC. A partir desse ponto em diante (V_{GS}>Vg1x) a condução ocorre tanto no BC quanto no FC ao mesmo tempo.

Outra informação importante que vale ser mencionada, é a tensão de pico da mobilidade $V_{\mu peak}$, que indica que quando aplicado uma tensão negativa no substrato a mobilidade máxima se encontra na região do FC. Por outra parte, quando aplicado uma tensão positiva a mobilidade máxima se encontra nas regiões de FC e BC simultaneamente.

Figura 39 – Gráfico de curvas de limiar e tensão
de mobilidade pico em função das tensões de FC e BC,
com imagem de inserção da capacitância em função de δC/δVGS.



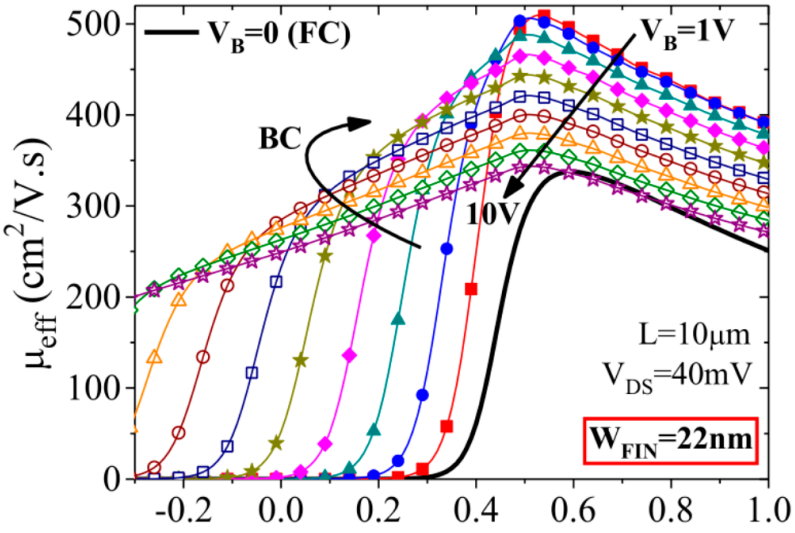
Fonte: “Adaptado de” OHATA., 2012

O método a continuação foi extraído de (BERGAMASCHI; PAVANELLO, 2022) que basicamente usa as curvas de corrente de dreno (I_{DS}) e capacitância de porta (C_{GC}) da região do BC, juntamente com as equações de SPLIT-CV para obter as curvas de mobilidade.

Para isolar os valores das curvas em BC, as curvas de C_{GC} I_{DS} que foram aplicados diferentes tensões de substrato é subtraído menos as curvas do FC. Como foi explicado as curvas que possuem somente o componente do canal frontal, é aquele quando $V_B = 0V$.

Ao fazer a subtração se obtém somente valores das curvas de BC, e posteriormente é aplicado as equações do SPLIT-CV. A Figura 40 mostra a extração das curvas de mobilidade na região de BC em comparação da curva da mobilidade em FC para um nanofio de W_{FIN} 22nm

Figura 40 – Exemplo de extração das curvas de mobilidade na região de BC e FC para um nanofio de WFIN = 22nm com aplicação de várias tensões de substrato.



Fonte: BERGAMASCHI; PAVANELLO, 2022

4 CARACTERIZAÇÃO ELÉTRICA DOS NANOFIOS MOS

Neste capítulo serão apresentados os resultados das medidas realizadas para a extração da mobilidade dos transistores nanofios MOS de porta tripla, pela técnica de SPLIT-CV em conjunto com a técnica de separação por corrente de superfície explicado no capítulo 3.1.2.2.5.

A fim de comprovar o anteriormente descrito, que o método não é indicado para transistores com tensão de substrato, o método será aplicado em amostras experimentais com tensão de 0V e 20V. Será dividido em quatro seções: a primeira é a descrição das amostras experimentais, a segunda é a apresentação da mobilidade total através da aplicação da técnica de split-CV, a terceira parte é focado nos resultados da mobilidade superior e laterais e por último, a extração da mobilidade em BC.

4.1 CARACTERÍSTICAS FÍSICAS E ELÉTRICAS DAS AMOSTRAS EXPERIMENTAIS

Os nanofios transistores MOS utilizadas para realização das medições foram fabricados no CEA-Leti, em Grenoble na França, em lâminas com tecnologia SOI. As tabelas 1 e 2 mostram os dados das estruturas dos dispositivos fabricados considerando a geometria do dispositivo e o número de *fins*.

Tabela 1 - Parâmetros geométricos dos transistores

Parâmetros	Dimensões
t_{ox}	1.4nm
t_{BOX}	145nm
W_{FIN}	12nm,17nm,22nm,32nm,42nm e 82nm
H_{FIN}	10nm
L	1µm

Fonte: Autor

A porta do nanofio é composto por uma camada isolante feita de HfSiON e TiN como metal.(COQUAND, R. *et al.*, 2012)

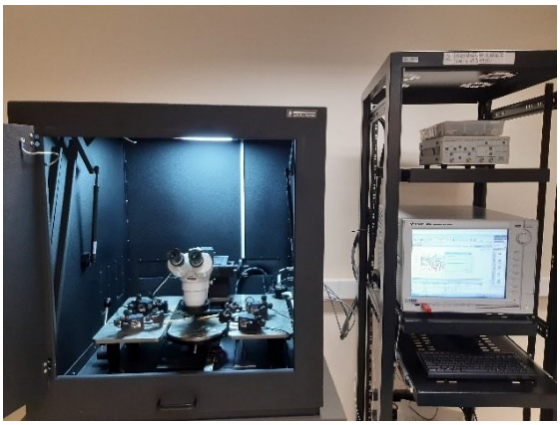
Tabela 2 - Número de fins para cada conjunto de transistores com W_{FIN} diferentes

W_{FIN}	**Número de dedos em paralelo**
12nm	60 dedos
17nm	60 dedos
22nm	60 dedos
32nm	30 dedos
42nm	30 dedos
82nm	30 dedos

Fonte: Autor

As medidas elétricas de capacitância (C_{GC}) e corrente (I_{DS}) foram realizadas no equipamento analisador de dispositivos semicondutores *Keysight Technologies* B1500A *Semicondutor Device Analyzer* (KEYSIGHT, 2015) a uma temperatura de 300 K, aplicando um sinal senoidal de tensão alternada com uma amplitude de 30 mV a uma frequência de 1 MHz. O intervalo de tensão de porta para extração da capacitância e corrente varia desde -0,4 V a 1,2 V com passos de 10mV. Amostras com tensão de substrato de V_B = 0 V e V_B=20 V também foram extraídas para observar o comportamento da mobilidade no topo e lateral com tensão de substrato.

Figura 41 - Foto do equipamento Keysight B1500A do laboratório da FEI

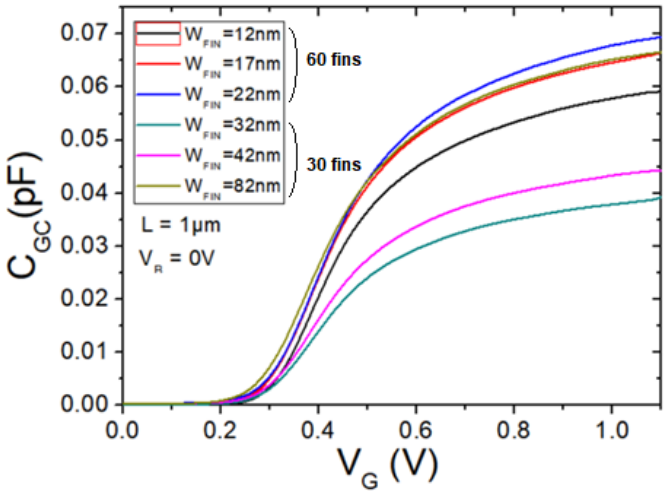


Fonte: Foto obtida do laboratório da FEI

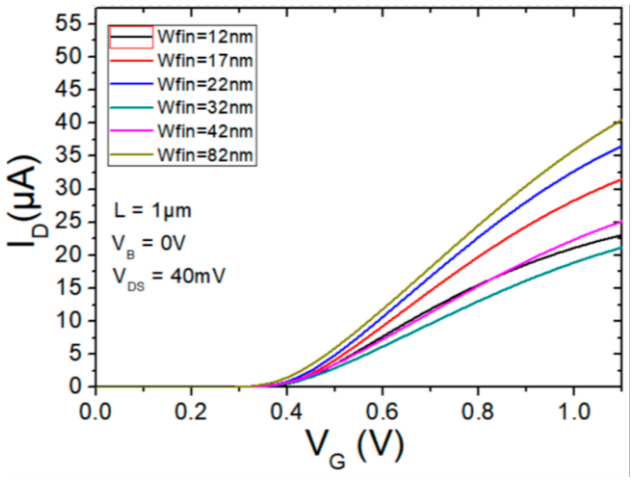
A fim de compensar as capacitâncias parasitas, o equipamento possui uma ferramenta de compensação, em primeiro momento é necessário fazer uma calibração enviando uma medição sem amostras, o intuito deste processo é fazer com que o equipamento armazene as informações de capacitâncias dos conectores e terminais e demais capacitâncias paracitas.

Assim, ao fazer a medição com as amostras experimentais, o equipamento faz uma subtração do que foi medido anteriormente com o que está sendo medido, resultando em capacitâncias originais das amostras. A Figura 42 (A) mostra as curvas de capacitância extraídas para os diferentes nanofios seguindo a configuração de extração conforme explicado na seção 3.1.2, submetidos a uma tensão de dreno V_{DS} de 40mV e tensão de substrato $V_B = 0V$.

Figura 42 - Curvas de capacitância em função de tensão de porta (A) corrente de dreno (B), para dispositivos com várias larguras de *fin* W_{FIN}



(A)



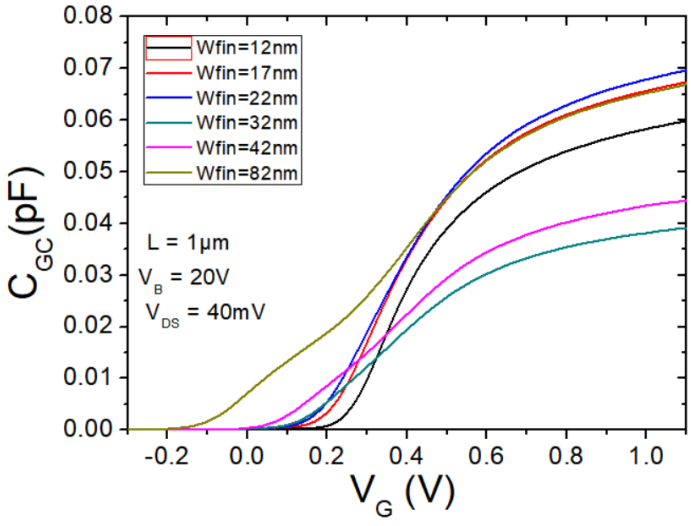
(B)

Fonte: Autor

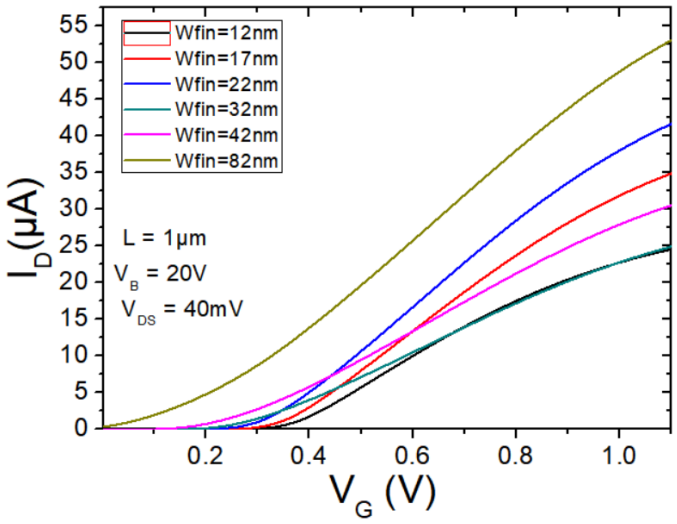
Como é possível observar nas curvas da capacitância, da Figura (42 A), os dispositivos apresentam o típico comportamento de uma curva de capacitância, variando somente os valores de capacitância máxima devido à variação nas dimensões dos dispositivos. Para dimensões com maior largura de *fin,* a capacitância é maior, mas no caso da medida de 32 nm, 42 nm e 82 nm ficam por baixo do transistor de 22 nm. Isso é devido à capacitância de um único transistor que é multiplicado pelo número de *fins* da estrutura que no caso das amostras de 12 nm, 17 nm e 22 nm são multiplicados por 60 fins e para 32 nm, 42nm, e 82 nm são multiplicados por 30 fins o que resulta em uma capacitância menor para 30 *fins*. Por outro lado, as curvas de corrente de dreno I_{DS} (B) seguem o mesmo padrão de uma curva comum, variando somente os valores de corrente de dreno.

Fazendo a extração de capacitância e corrente dos mesmos dispositivos, mas submetidos a uma tensão de substrato de $V_B = 20V$ obtém-se como resultado a Figura 43:

Figura 43 - Curvas de capacitância em função de tensão de porta para dispositivos com várias larguras de *fin* W_{FIN} para tensão de substrato de $V_B = 20V$



(A)

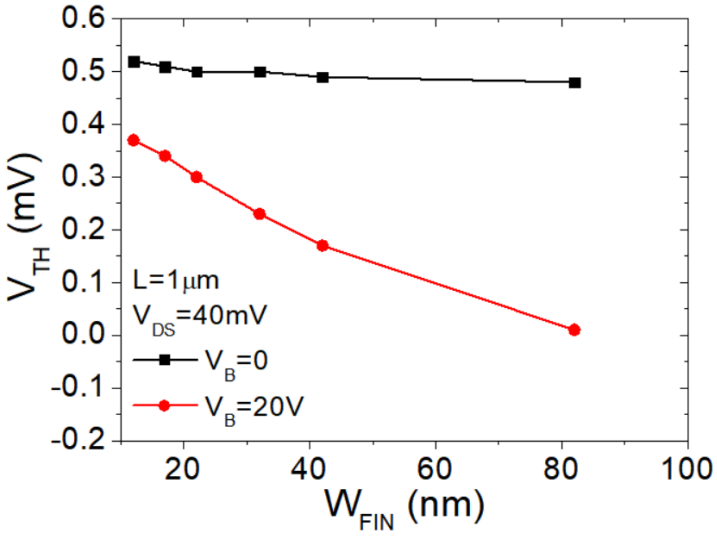


(B)

Fonte: Autor

Conforme o potencial do substrato foi aumentado, os valores das capacitâncias e correntes tiveram um aumento, como foi explicado anteriormente no capítulo 3.1.2.1.2 , esse resultado está estreitamente ligado com a tensão no substrato que a partir da acumulação de cargas perto do óxido enterrado ocasiona uma diminuição da tensão de limiar V_{TH} conforme aumenta o valor de W_{FIN}. A tensão de limiar para dispositivos experimentais foi extraída usando o método da segunda derivada que foi explicado no capítulo 2.3.3.

Figura 44 - Variação da tensão de limiar V_{TH} em função da largura de *fin* em nanofios submetidos a uma tensão de substrato de $V_B = 0V$ e $V_B = 20V$



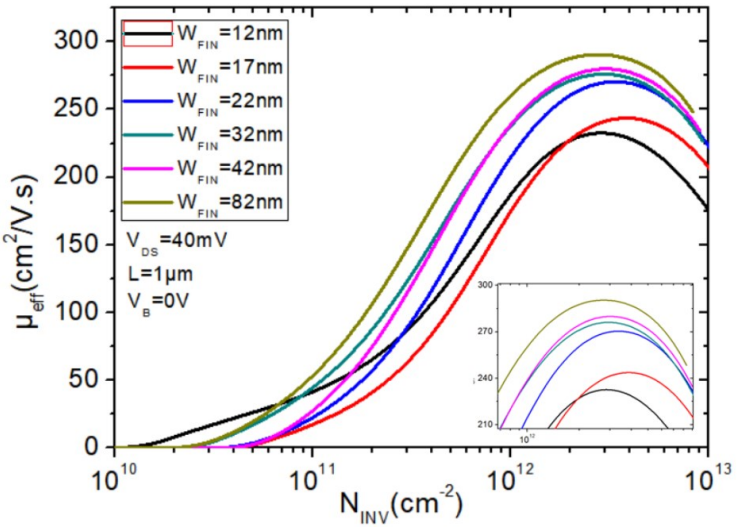
Fonte: Autor

Observa-se que, na curva onde a tensão de substrato é $V_B = 0$ V, o V_{TH} não sofre uma alteração significativa. Porém, quando foi aplicado a tensão de substrato de 20 V, os valores de V_{TH} são alterados com maior facilidade e reduzem conforme a largura de *fin* aumenta comprovando o anteriormente descrito no capítulo 3.1.2.1.2 . Isso é claramente observado no transistor de 82 nm, onde a curva de capacitância da Figura 43 A, adquire uma forma menos inclinada, devido a uma rápida passagem para inversão forte e isso ocasiona uma alteração na mobilidade. O mesmo conceito pode ser aplicado para as curvas de corrente da Figura 43 B, onde a tensão de substrato altera os valores de I_D devido a facilidade que os elétrons têm para transitar no canal atingindo valores maiores de I_D.

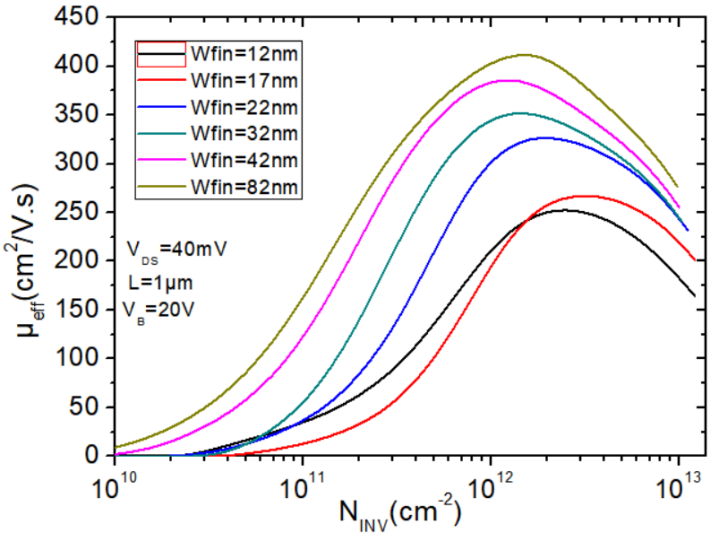
4.2 APRESENTAÇÃO DOS DADOS DA EXTRAÇÃO DA MOBILIDADE TOTAL ATRAVÉS DA APLICAÇÃO DA TÉCNICA DE SPLIT-CV

Usando como base as equações (41) e (42) a mobilidade total em função da concentração de cargas é mostrada na Figura 45 em escala logarítmica, extraída usando o método de SPLIT-CV para os nanofios com tensão de substrato de 0 V (A) e 20 V (B).

Figura 45 - Extração da mobilidade pelo método de Split C-V para nanofios com tensão de substrato de 0 V (A) e 20 V (B)



(A)



(B)

Fonte: Autor

Analisando os resultados com os nanofios, observa-se que a mobilidade é maior quando aplicado uma tensão de substrato e após atingir a máxima velocidade, a curva de mobilidade apresenta um declive como foi anteriormente mencionado. Onde os portadores sofrem uma degradação e velocidade de deriva que reduz a partir do seu máximo valor (CANALI, 1976). Os resultados de mobilidade máxima para cada transistor são mostrados na seguinte tabela.

Tabela 3 - Tabela de comparação dos valores de mobilidade em transistores com tensão de V_B=0V e V_B=20V

W_{FIN}	**V_B = 0V**	**V_B = 20V**
12nm	222.62 $cm^2/V.s$	252.36 $cm^2/V.s$
17nm	243.71 $cm^2/V.s$	267.13 $cm^2/V.s$
22nm	270.44 $cm^2/V.s$	326.42 $cm^2/V.s$
32nm	276.13 $cm^2/V.s$	351.52 $cm^2/V.s$
42nm	279.96 $cm^2/V.s$	385.63 $cm^2/V.s$
82nm	290.46 $cm^2/V.s$	411.58 $cm^2/V.s$

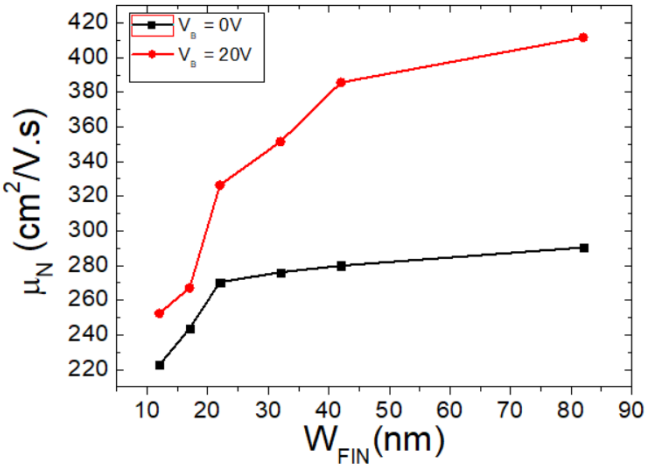
Fonte Autor

O maior valor de mobilidade se encontra nos dispositivos com tensão de substrato de 20 V, por exemplo para o dispositivo de 12nm, com aplicação da tensão de substrato, obteve uma

melhoria da mobilidade de aproximadamente 12%, e para o transistor de 82nm obteve uma melhora de 30% .

Olhando de outra perspectiva os dados da Tabela 3, são mostrados graficamente na Figura 46.

Figura 46 - Curvas de mobilidade em transistores com tensão de substrato de $V_B = 0V$ e $V_B = 20V$ em função da largura de fin W_{FIN}



Fonte: Autor

Considerando o fator da influência da largura de *fin,* os transistores obtiveram um ganho de mobilidade a cada variação da largura de *fin*. Por outro lado, o ganho da mobilidade total entre o transistor de 12nm e de 82nm foi de aproximadamente 24% para tensão de substrato de 0V, mas com aplicação de tensão de substrato foi de aproximadamente 39%.

Isso comprova claramente que ao combinar a variação da largura de *fin* e tensão de substrato é possível atingir melhores valores de mobilidade, o que foi explicado na seção 3.1.2.1.2 onde o deslocamento do centroide do canal facilita a mobilidade dos elétrons e são menos influenciados por mecanismos de espalhamento como rugosidade da superfície $\mu_{Si.}$

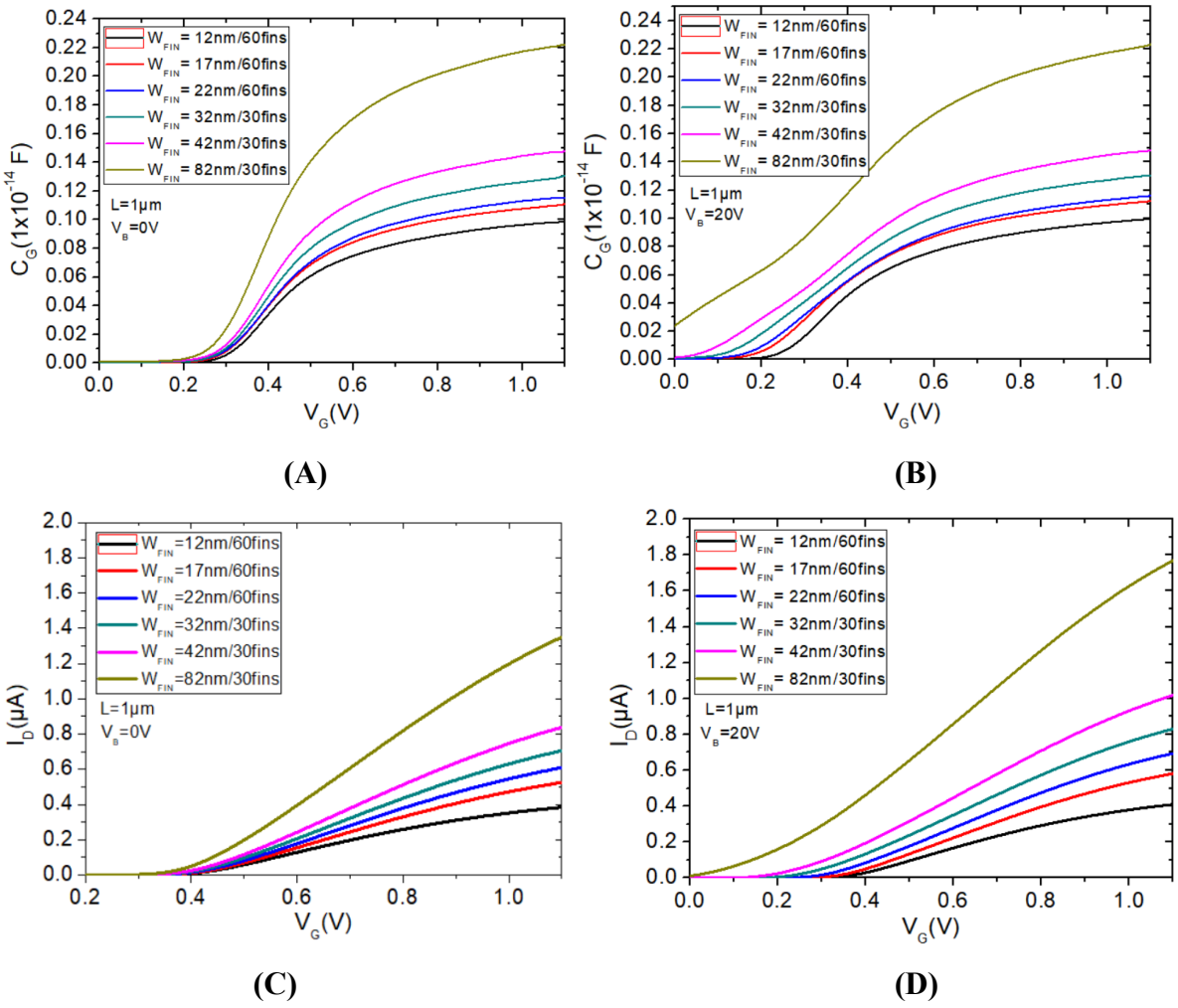
4.3 EXTRAÇÃO DA MOBILIDADE SUPERIOR E LATERAL

Neste capítulo, serão apresentados os resultados da mobilidade nos planos cristalográficos para medidas experimentais.

4.3.1 Extração mobilidade lateral μ_{lat}

Como já explicado no capítulo 2.4.4.3.5 o primeiro passo para extração da mobilidade em cada plano cristalográfico é obter os valores de corrente de dreno e capacitância de porta de um *fin* individual da estrutura, ambos em função da tensão de porta. Assim, tomando os valores da Tabela 2, as curvas totais de I_D e C_{GC} são divididas pelo número de fins da estrutura, resultando na Figura 47.

Figura 47 - Capacitância de porta C_{GC} com tensão de substrato de 0 V (A) e 20 V (B) e corrente de dreno I_D V_B =0 V (C) e V_B = 20 V (D) para nanofios individuais em função da largura de *fin*.

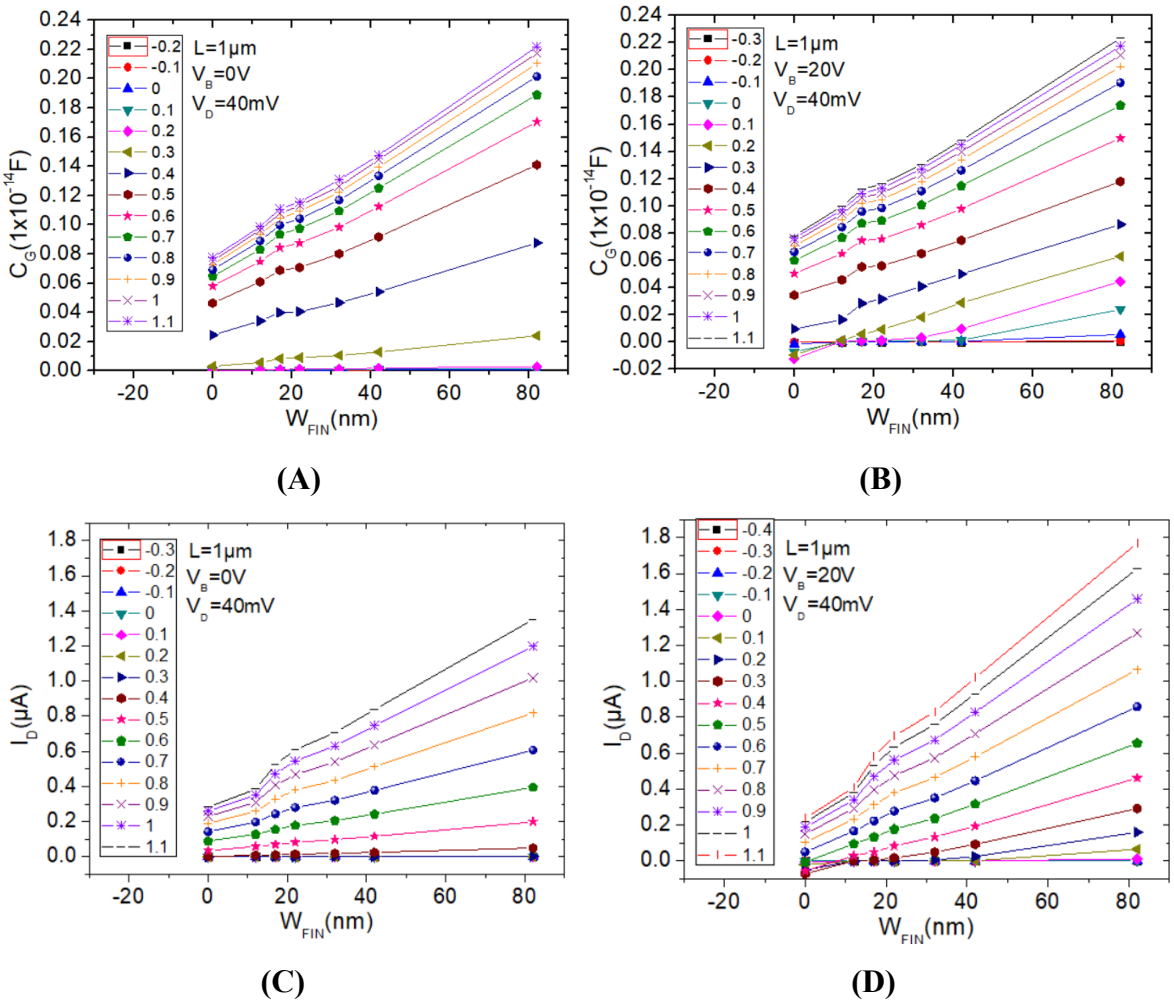


Fonte: Autor

Visivelmente, as curvas de capacitância e corrente de dreno variam conforme aumenta a largura do *fin*. Como já foi mencionado, o parâmetro de capacitância é dependente da área de

porta por e por causa disso, quanto maior a medida de área, maior é a capacitância. A Figura 48 mostra as curvas de I_D e C_{GC} em função da largura de *fin* W_{FIN} sendo possível a extrapolação dos pontos para obter a C_{GC} e I_D quando $W_{FIN} = 0$ nm.

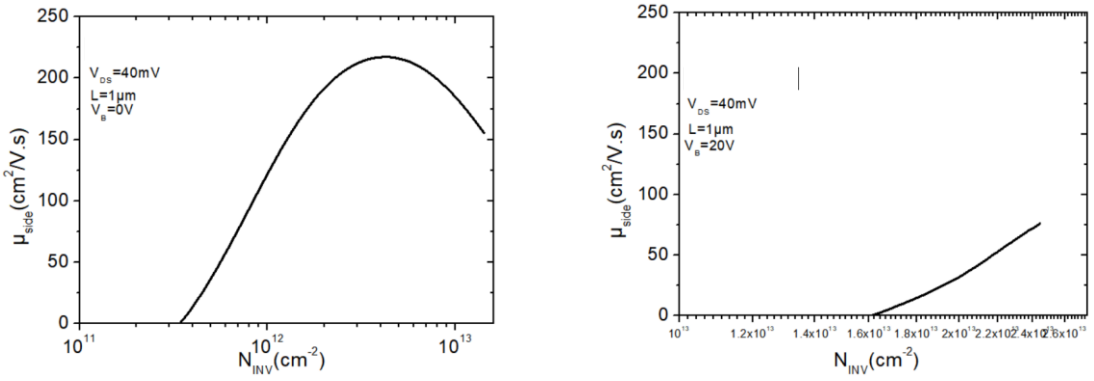
Figura 48 - Capacitância de porta CGC com tensão de substrato de 0 V (A) e 20 V (B) e corrente de dreno I_D V_B =0 V (C) e V_B = 20 V (D) para nanofios individuais em função da largura de *fin*



Fonte: Autor

Com as curvas de I_D e C_{GC}, é possível obter a mobilidade no plano lateral usando as fórmulas de SPLIT-CV (41) (42) e substituindo a largura efetiva W_{eff} por $2H_{FIN}$ resulta na Figura 49.

Figura 49 - Mobilidade no plano lateral para tensão VB = 0 V (A) e VB = 20 V (B)



(A) **(B)**

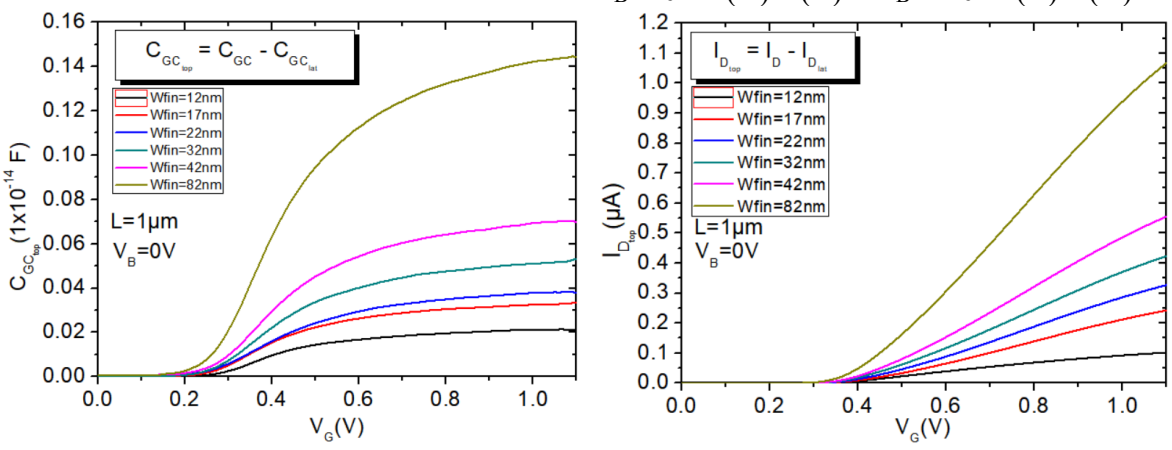
Fonte: Autor

É possível ver que para a mobilidade na lateral, quando o $V_B = 0$ V resulta em uma curva condizente com uma curva de mobilidade comum atingindo um valor de aproximadamente 217cm^2/Vs. Caso contrário ocorre quando existe uma tensão positiva no substrato (49 B), que gera resultados pouco confiáveis e que escapam da realidade física de condução. Isso será explicado com mais profundidade no próximo capítulo.

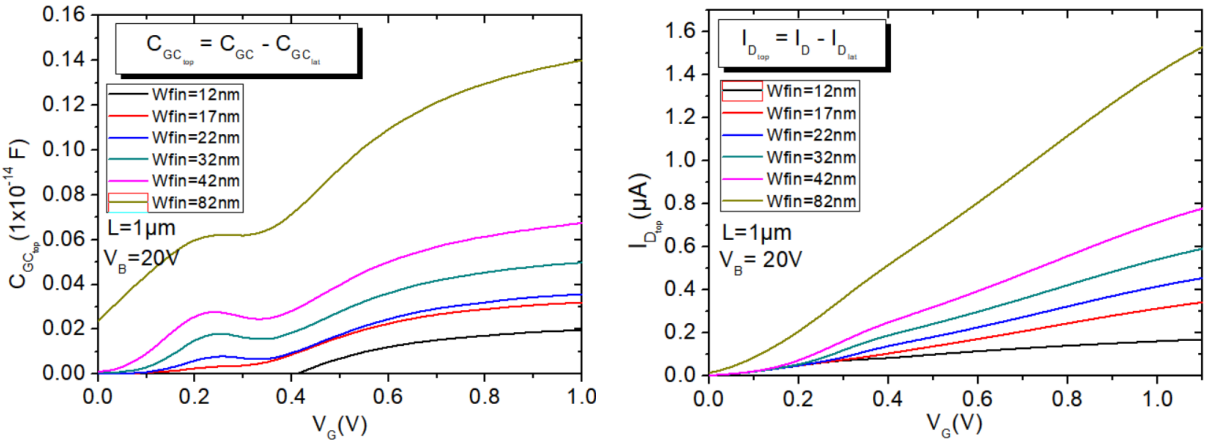
4.3.2 Extração mobilidade no plano superior μ_{top}

Para extração da mobilidade superior, usando as equações (44) e (45) são obtidas as curvas de capacitância e corrente para o plano superior, como mostrado na Figura 50.

Figura 50 - Curvas de capacitância e corrente superior em função da tensão de porta para transistores com tensão de substrato de $V_B = 0$ V (A) e (B) e $V_B = 20$ V (C) e (D)



(A) **(B)**

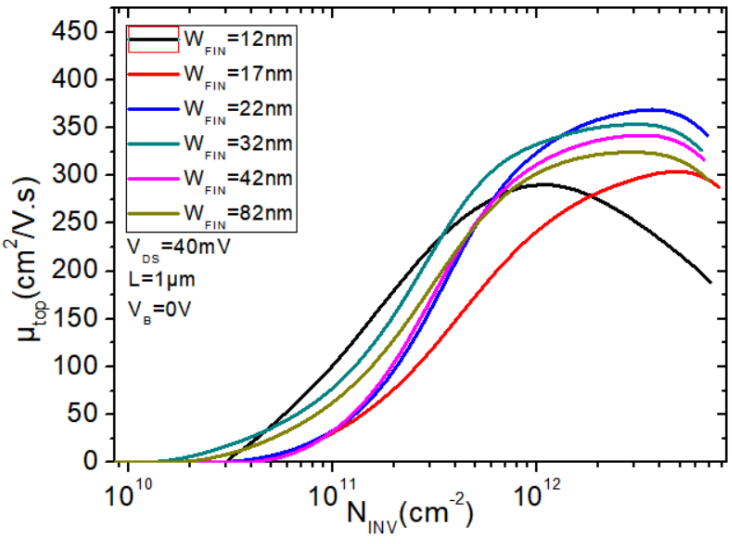


(C) **(D)**

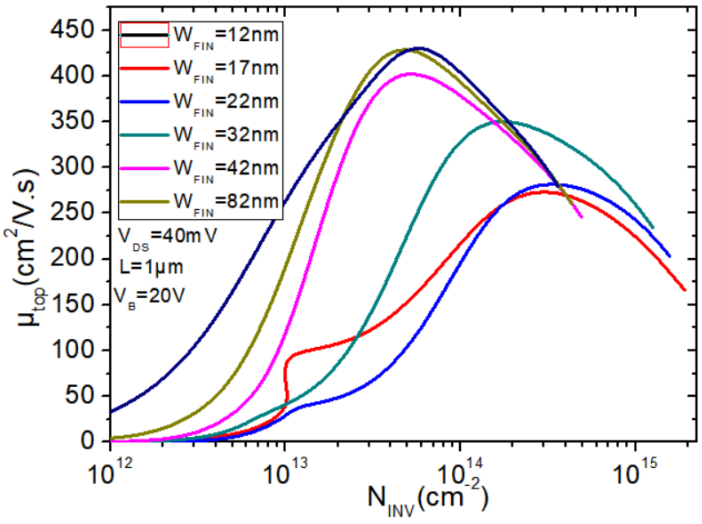
Fonte: Autor

Assim, aplicando novamente as equações de SPLIT-CV obtém-se como resultado a mobilidade no topo para ambas as tensões de substrato em função da concentração de portadores na camada de inversão, apresentado na Figura 51.

Figura 51 - Curvas da extração de mobilidade do topo para nanofios com tensão de substrato de $V_B = 0$ V (A) e $V_B = 20$ V (B)



(A)



(B)

Fonte: Autor

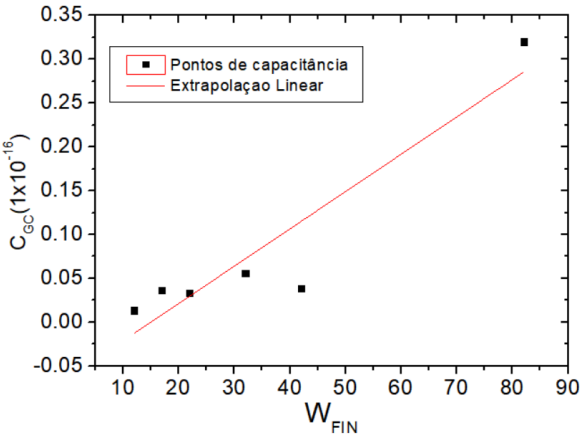
Para o caso do gráfico com tensão $V_B = 0$ V os resultados saíram como o esperado. Isso indica que as mobilidades dos elétrons aumentam conforme aumenta o tamanho de largura de *fin* como explicado no ítem 3.1.2.1.1.

Como foi anteriormente mencionado, para casos em que a tensão de substrato $V_B = 20$ V o método de separação por corrente de superfície mostrou resultados pouco confiáveis. Por exemplo, o valor de mobilidade para 12nm resultou em um valor de mobilidade maior superando até o transistor quase planar de 82nm, o que não condiz com a teoria da mobilidade nos planos cristalográficos anteriormente explicado. Os motivos deste fenômeno podem ser devidos a:

a) Processo de extrapolação

Devido ao recurso matemático de extrapolação para achar o valor de C_{GC} e I_D quando $W_{FIN} = 0$, quando os pontos não se alinham em uma reta constante, a extrapolação cria uma aproximação que resulta em um erro muito grande. A Figura 52 mostra um exemplo de extrapolação da capacitância em função da variação de $W_{FIN} = 0$ V.

Figura 52 - Exemplo de extrapolação da capacitância
em função da largura de *fin* W_{FIN} para transistores com $V_B = 20$ V



Fonte: Autor

Quando os pontos não formam uma linha reta, a extrapolação resulta em um erro bastante considerável que pode chegar a atingir valores negativos quando $W_{FIN} = 0V$ sendo completamente fora da realidade do sentido físico, porque não pode existir capacitância nem corrente negativa nos transistores experimentais. Tais erros invalidam as equações de SPLIT-CV.

b) Criação de um novo eletrodo de porta no canal

Como foi explicado no item 3.1.2.1.2, ao polarizar o substrato, simula-se um eletrodo de porta, que cria uma região de inversão na região BC no dispositivo, formando assim, um meio de transporte para as cargas. Saindo do padrão de largura efetiva W_{eff} duas portas laterais e uma porta superior ($W_{FIN} + 2H_{FIN}$), passando para duas portas laterais, uma porta inferior e outra porta superior ($W_{FIN} + 2H_{FIN} + W_{FINB}$), como mostrado na Figura 36, assim invalidando o processo de extração através do método de SPLIT-CV.

Para obter a mobilidade do transistor na porta do substrato, foi proposto um novo método de extração já explicado anteriormente no capítulo 3.1.2.3**.** No capítulo 4.4 serão mostrados os resultados da extração da mobilidade.

4.3.3 Validação da extração de mobilidade a partir da mobilidade total

Para verificar os dados alcançados para as mobilidades com tensão de substrato de 0V é usado a equação apresentada por (RUDENKO *et al.*, 2008) que descreve a mobilidade efetiva através da mobilidade superior e lateral em função dos valores da geometria do dispositivo (45). Sendo assim, podemos reescrever a equação resultando na equação (46). Aplicando a equação com os valores obtidos é possível fazer uma comparação dos valores apresentados na Tabela 4.

$$\mu_{eff}(W_{FIN}) = \mu_{lat} + (\mu_{top} + \mu_{lat})\frac{W_{FIN}}{(2H_{FIN}+W_{FIN})} \tag{45}$$

$$\mu_{eff}(W_{FIN}) = \frac{\mu_{top}\cdot W_{FIN}}{(2H_{FIN}+W_{FIN})} + \frac{\mu_{lat}\cdot 2H_{FIN}}{(2H_{FIN}+W_{FIN})} \tag{46}$$

Tabela 4 – Resultados da extração da mobilidade no topo e lateral em função de W_{FIN} para dados experimentais com tensão de substrato de 0V

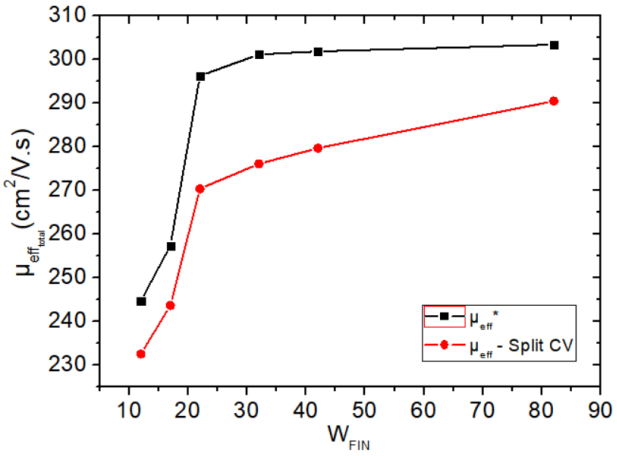
W_{FIN}	μ_{top}	μ_{lat}	$(2H_{FIN}+W_{FIN})$	μ_{eff} *	μ_{eff} SPLIT-CV
nm	cm^2/Vs	cm^2/Vs	nm	cm^2/Vs	cm^2/Vs
12	290.51	217.29	32	244.75	232.62
17	304.62	217.29	37	257.42	243.71
22	368.84	217.29	42	296.26	270.44
32	353.57	217.29	52	301.16	276.13
42	342.14	217.29	62	301.87	279.70
82	324.43	217.29	102	303.42	290.50

Fonte: Autor

Onde μ_{eff} * é a mobilidade obtida a partir da equação (46) e a μ_{eff} -SPLIT-CV é a mobilidade total obtida pela técnica de SPLIT-CV, os dados são muito próximos. Olhando de outra perspectiva, as curvas do gráfico da Figura 55 mostra as duas mobilidades efetivas em função da largura de *fin,* indicando que a técnica de extração da mobilidade condiz com a teoria explicada, onde a mobilidade é maior no topo que nas laterais para todos os casos de curvas com larguras de *fin* diferentes e que é um método confiável para extração das mobilidades nos

planos cristalográficos já que obteve uma relação aproximada de 12% de diferença entre as curvas.

Figura 53 – Curvas das mobilidades efetivas extraídas
pelos planos cristalográficos (μeff*) e pela técnica de SPLIT-CV (μeff)
em função da largura de *fin* para dispositivos experimentais



Fonte: Autor

Para fazer a comparação dos resultados, foram criadas simulações de transistores com as mesmas características para validar os resultados obtidos de forma experimental. Tal é o caso, que será explicado no capítulo de simulações.

4.4 EXTRAÇÃO DA MOBILIDADE CONTROLADA PELA TENSÃO DE SUBSTRATO

Devido a extração da mobilidade através do método de divisão por corrente de superfície não funcionar para tensões de substrato diferentes de 0V. Foi proposto uma forma de extração da mobilidade na região controlada pela tensão de porta do substrato, explicado no capítulo 3.1.2.3, quando os transistores são submetidos a um valor de tensão de V_B de 20V.

Partindo da teoria do processo de extração da mobilidade, como já foi explicado anteriormente no capítulo 3.1.2.3, a tensão no substrato V_B atua como uma porta inferior no nanofio como ilustrado na Figura 36. Isto significa que quando a mobilidade dos portadores inicia, uma região chamada *back-channel* (BC) é controlada pela tensão do substrato e outra região *front channel* (FC) é controlada pelas portas superiores.

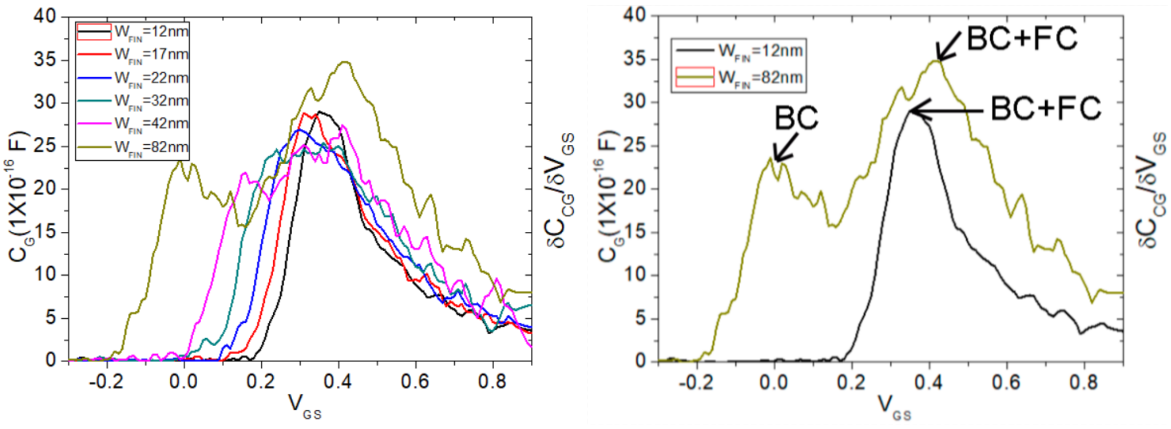
Sendo assim, com a curva de derivada em função da tensão de porta $\delta C_{CG}/\delta V_{GS}$ é possível observar quando a mobilidade em BC começa e quando a mobilidade em FC e BC estão ativos simultaneamente (OHATA., 2012).

Na Figura 54 A, é mostrado as derivadas das curvas de capacitâncias em função de tensão de porta V_{GS} para os transistores de 12nm, 17nm 22nm, 32nm, 42nm e 82nm respectivamente. A fim de entender melhor o conceito de mobilidade em BC e FC e a Figura 54 B mostra as curvas isoladas de 12nm e 82nm.

No transistor com W_{FIN}=12 nm é mostrado um pico de capacitância que determina que o transistor está ativo na região de BC+FC. A mesma característica pode ser observada nos transistores de 17nm e 22nm. O motivo desse comportamento é devido à estrutura do nanofio, que ao ser muito estreito as portas laterais e superior criam um acoplamento eletrostático forte na região do FC que não permite o surgimento de uma camada de inversão na porta inferior, não sendo possível dissociar quando começa a tensão de limiar na parte do BC.

Já no caso dos transistores mais longos como 82nm, 42nm e 32nm é possível observar claramente dois picos na curva, indicando que a região do BC é ativada antes, e depois a região do FC atuando simultaneamente com BC. O motivo desse comportamento é devido à largura da porta superior e inferior que ao serem polarizados criam camadas de inversão nas regiões de FC e BC.

Figura 54 - Derivada da capacitância C_{GC}
em função da tensão de porta V_G para transistores 12nm, 17nm 22nm,
32nm, 42nm e 82nm (A). Isolamento das da curva de 12nm e 82nm (B).

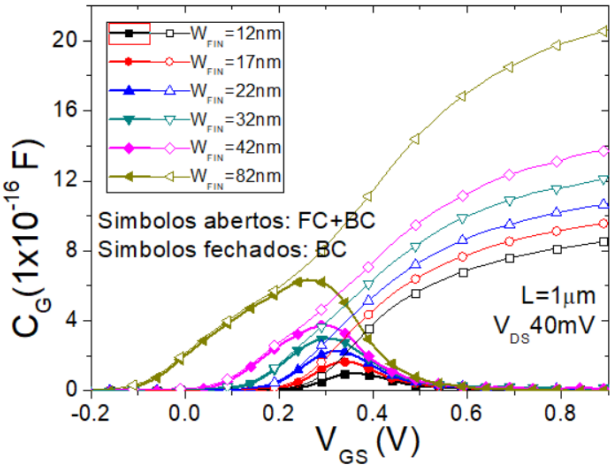


(A) (B)

Fonte: Autor

A partir dessa divisão de regiões de transição dos portadores, é possível fazer a isolação da mobilidade na região de BC. Como já dito, o intuito desse método é isolar a parte do BC da curva total (BC+FC) que é dada pela capacitância de V_B=20V, a parte do FC é dada pela curva de V_B = 0V, assim, uma subtração das curvas de capacitância de V_B = 20V - 0V é feita, resultando nas curvas da região de BC mostrados na Figura 55.

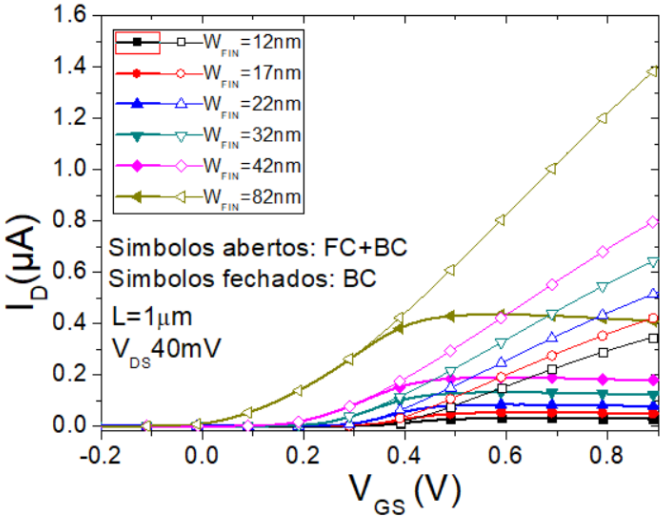
Figura 55 - Curvas de capacitância C_G
em função da tensão de porta V_{GS} na região de BC e FC+BC



Fonte: Autor

Mesmo processo pode ser aplicado para corrente I_{DS} = 20V-0V, resultando na Figura 56

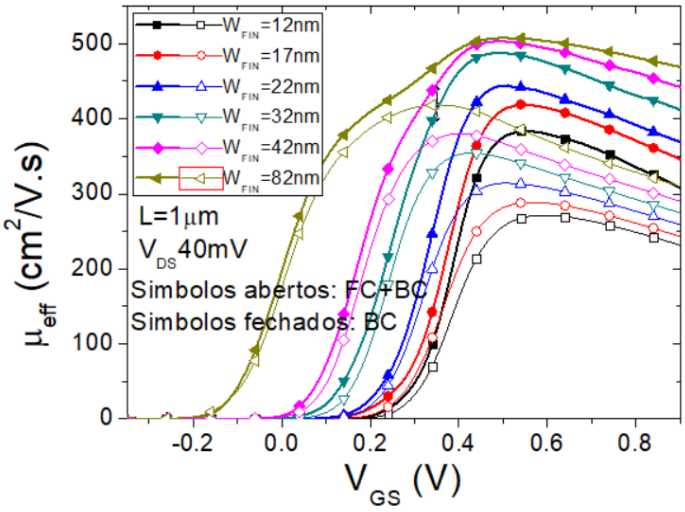
Figura 56 – Curvas de corrente I_{DS} em função
de V_{GS} na região de BC e FC+BC



Fonte: Autor

Com as informações de capacitância e corrente de dreno é possível obter as curvas de mobilidade em BC com aplicação do método do SPLIT-CV. A Figura 57, mostra as curvas da mobilidade em BC apresentadas em símbolos fechados, no mesmo gráfico em comparação as curvas de FC+BC plotados em símbolos abertos.

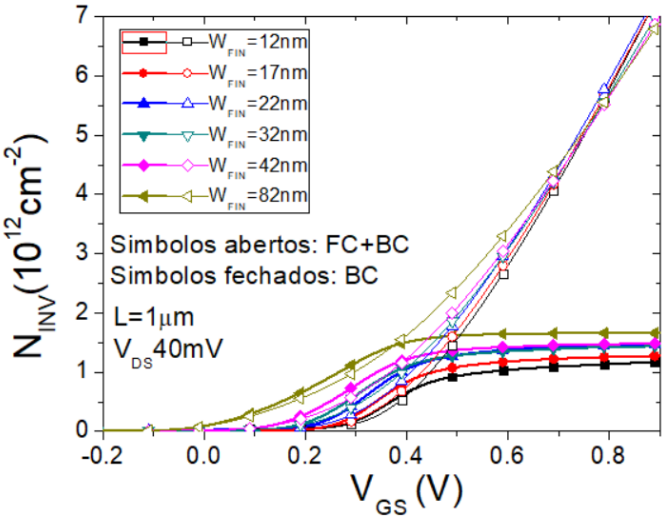
Figura 57 - Curvas de mobilidade efetiva μ_{eff} em função da tensão de porta V_{GS} para BC e FC + BC



Fonte: Autor

Sendo assim, comprovamos que a mobilidade na região de BC é maior para todos os nanofios indiferente da largura de W_{FIN}, mudando somente os valores máximos de mobilidade de cada curva. Olhando de outra perspectiva, as curvas de N_{INV} em função de V_{GS}, mostram que a partir de um certo ponto de tensão de porta, as densidades de cargas ficam aproximadamente constantes, em contrapartida as densidades de cargas de FC+BC sobrepassam as cargas de BC devido a que a porta superior V_{GS} começa a ter mais controle eletrostático nas cargas e existe um maior acúmulo de cargas.

Figura 58 - Curvas da densidade de cargas N_{INV}
em função da tensão de porta V_{GS} para BC e FC + BC



Fonte: Autor

Ao observar os dados de mobilidade, podemos assumir que a mobilidade em BC tem um pico de mobilidade maior, mas passa a ter menos destaque após o início da mobilidade em FC, quando a tensão de porta V_{GS} começa a ter um maior controle eletrostático das cargas que no BC.

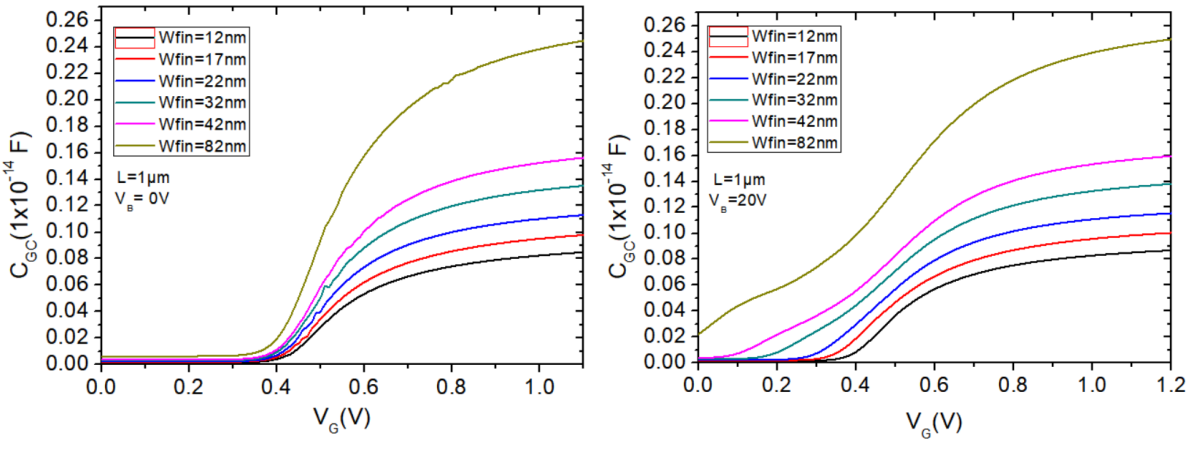
5 SIMULAÇÕES

Para validar os dados obtidos, foram feitas simulações numéricas tridimensionais com o programa Sentaurus (SENTAURUS, 2009). Foram utilizados modelos que consideram degradação da mobilidade, por campos elétricos perpendicular e paralelo assim como, velocidade de saturação, estreitamento de bandgap, orientação cristalográfica e o modelo de quantização de gradiente de densidade para contabilizar o confinamento quântico (CCOTO; BERGAMASCHI; PAVANELLO, 2021a). Características físicas geométricas foram incluídas conforme as medidas experimentais, assim como as condições de polarização de substrato previamente especificadas.

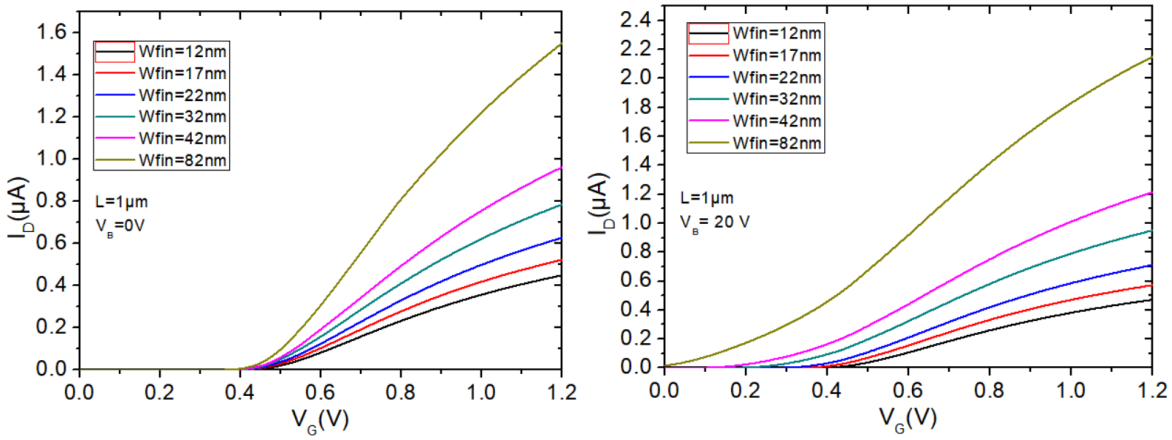
Este capítulo segue o mesmo procedimento da extração da mobilidade para amostras experimentais e será dividido em três partes: a primeira será a extração da mobilidade total, a segunda parte a extração da mobilidade nas laterais e superior, e por último a extração da mobilidade controlada pela tensão de substrato.

Para iniciar, é feito a extração das curvas de capacitância e corrente para dispositivos simulados, conforme mostra Figura 59.

Figura 59 - Capacitância de porta C_{GC} com tensão de substrato de 0 V (A) e 20 V (B) e corrente de dreno I_D VB =0 V (C) e V_B = 20 V (D) para nanofios individuais em função da tensão de porta V_G .



(A) **(B)**



(C) **(D)**

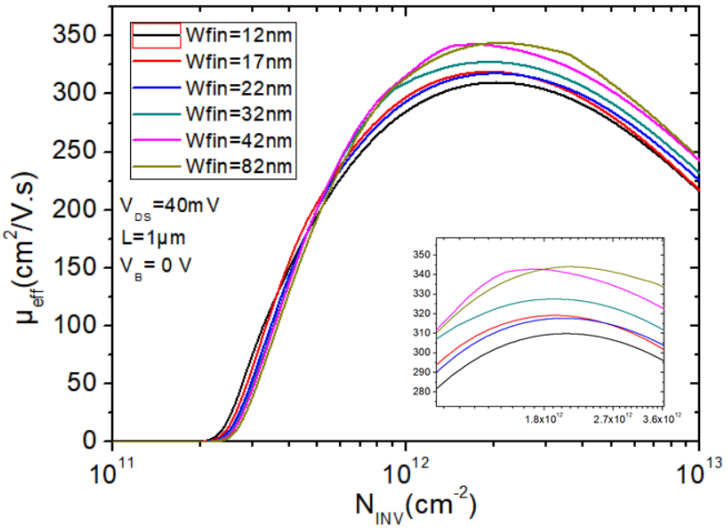
Fonte: Autor

Como a simulação gera resultados para um *fin* individual não é necessário fazer a divisão pelo número de *fins* como foi necessário nas medidas experimentais. Os resultados mostram que as curvas têm uma forma perfeita sem alterações fortes.

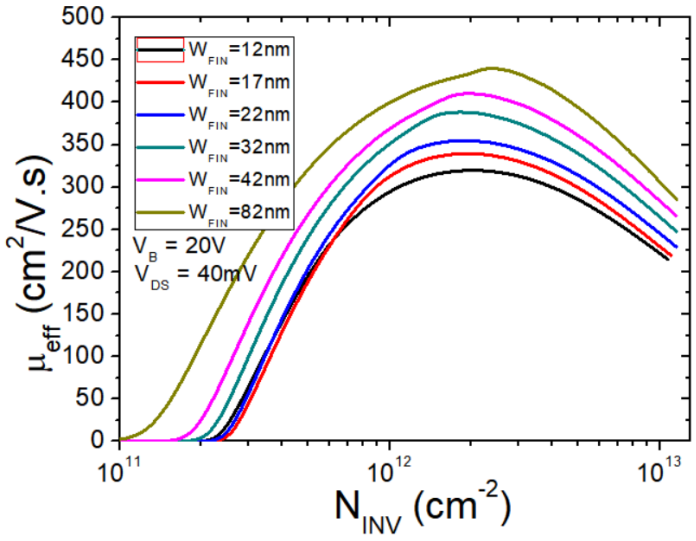
5.1 EXTRAÇÃO DA MOBILIDADE TOTAL

Repetindo o processo de extração, a mobilidade total é mostrada na Figura 60

Figura 60 - Extração da mobilidade pelo método de SPLIT-CV para nanofios simulados com tensão de substrato de 0 V (A) e 20 V (B)



(A)



(B)

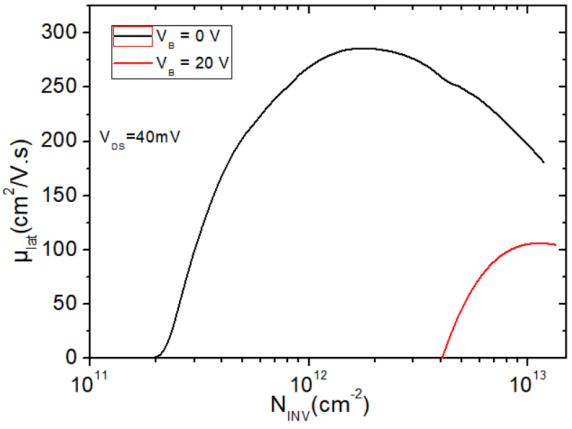
Fonte: Autor

As curvas apresentaram um comportamento como esperado, chegando atingir valores um pouco maiores do que os transistores experimentais, isso devido a que ao não estar sujeito a fatores externos que degradam a mobilidade e mais ainda quando a tensão de substrato é 20 V (B) por exemplo o transistor quase planar de 82 nm atingiu um valor de mobilidade de 440 $cm^2/V.s$.

5.2 EXTRAÇÃO DA MOBILIDADE LATERAL E SUPERIOR

Seguindo o processo anteriormente explicado as curvas da mobilidade lateral são mostradas no gráfico da Figura 61.

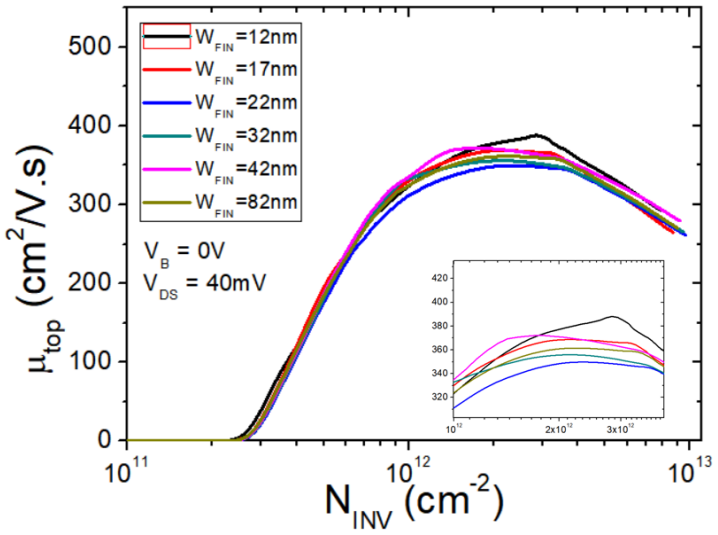
Figura 61 - Gráfico das curvas de mobilidade lateral
para tensão de substrato de 0 V e 20V



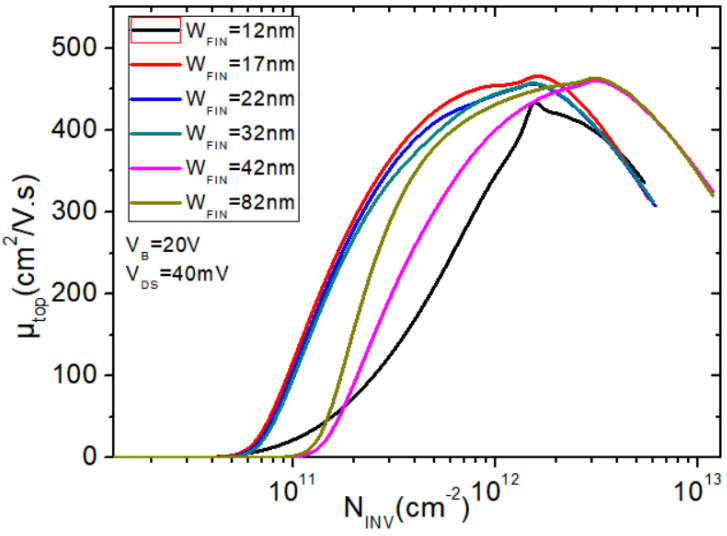
Fonte: Autor

Para tensão de substrato de 0 V, a extração ocorre perfeitamente, mostrando um valor aceitável. Mas, para o caso da tensão de 20V, novamente é mostrado que a mobilidade atinge um valor fora da realidade que não condiz com a teoria anteriormente explicada. Para o caso da mobilidade no plano superior, a Figura 64 mostra os resultados obtidos para ambas as tensões de substrato.

Figura 624 - Curvas de extração da mobilidade do topo para nanofios simulados com tensão de substrato de V_B = 0V (A) e V_B = 20 V



(A)



(B)

Fonte: Autor

Como mostram as curvas de mobilidades para tensão de substrato de 0 V apresentam um valor completamente diferente ao mostrado nas medidas experimentais. Por exemplo, a

largura de 12nm atingiu um valor acima do 82nm. Conforme foi aplicado nas curvas experimentais, as curvas de mobilidade nos planos cristalográficos foram comprovadas usando a equação (46) resultando na Tabela 5.

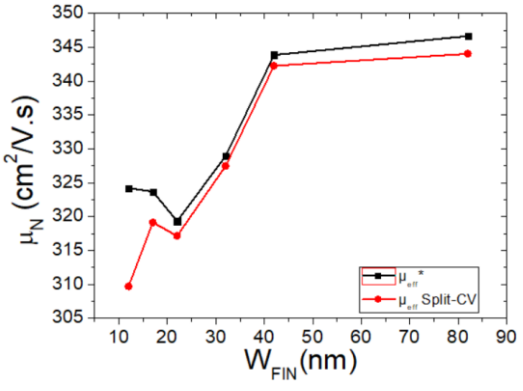
Tabela 5 - Resultados da extração da mobilidade
no topo e lateral em função de W_{FIN} para dados simulados
com tensão de substrato de 0V

W_{FIN}	μ_{top}	μ_{side}	$(2H_{FIN}+W_{FIN})$	μ_{eff}* eqn. (46)	μ_{eff} SPLIT-CV
nm	***cm²/Vs***	***cm²/Vs***	**nm**	***cm²/Vs***	***cm²/Vs***
12	388.06	285.88	32	324.20	309.71
17	368.2	285.88	37	323.70	319.14
22	349.75	285.88	42	319.33	317.14
32	355.86	285.88	52	328.94	327.48
42	371.48	285.88	62	343.86	342.27
82	361.47	285.88	102	346.64	344.03

Fonte: Autor

Similar à Tabela 4, o μ_{eff}* é a mobilidade obtida a partir da equação (46) e a μ_{eff}-SPLIT-CV é a mobilidade total obtida pela técnica de SPLIT-CV. A Figura 63 mostra os resultados obtidos. As curvas apresentadas são bastante próximas resultando em uma efetividade de 97% indicando novamente que a técnica de extração da mobilidade através da separação por superfícies é confiável e que a variação da mobilidade está estreitamente relacionada com a largura do *fin* e a orientação cristalográfica.

Figura 63 - Curvas das mobilidades efetivas extraídas
pelos planos cristalográficos (μeff*) e pela técnica de SPLIT-CV (μ_{eff})
em função da largura de *fin* para dispositivos simulados.



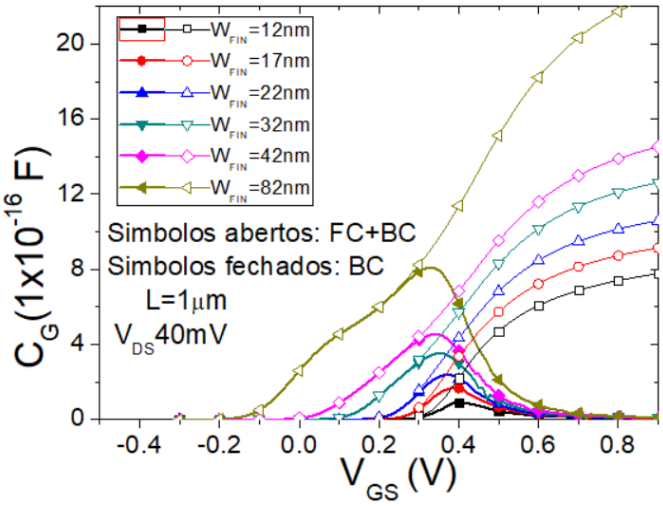
Fonte: Autor

5.3 EXTRAÇÃO DA MOBILIDADE CONTROLADA PELA TENSÃO DE SUBSTRATO

Seguindo o mesmo processo de extração para dispositivos experimentais, as Figuras 64 mostra as curvas de capacitância e a Figura 65 mostra as curvas de corrente, ambas em função da tensão de porta para BC e FC+BC.

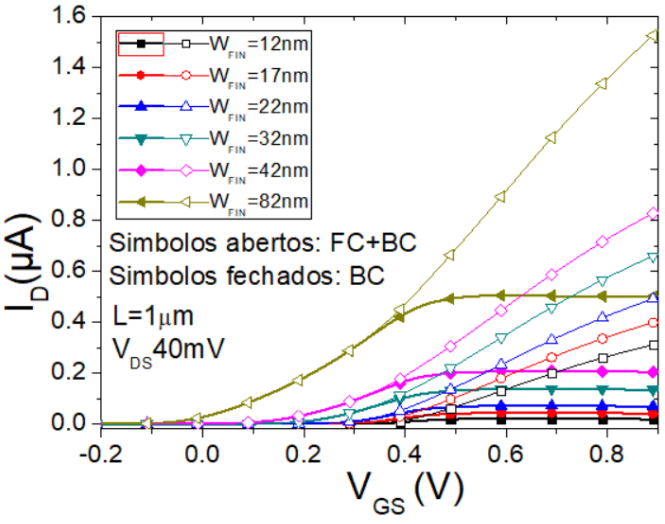
Por último a Figura 66 mostra as curvas de mobilidade efetiva em função da tensão de porta para para BC e FC + BC

Figura 64 - Curvas de capacitância C_G em função da tensão de porta V_{GS} na região de BC e FC+BC



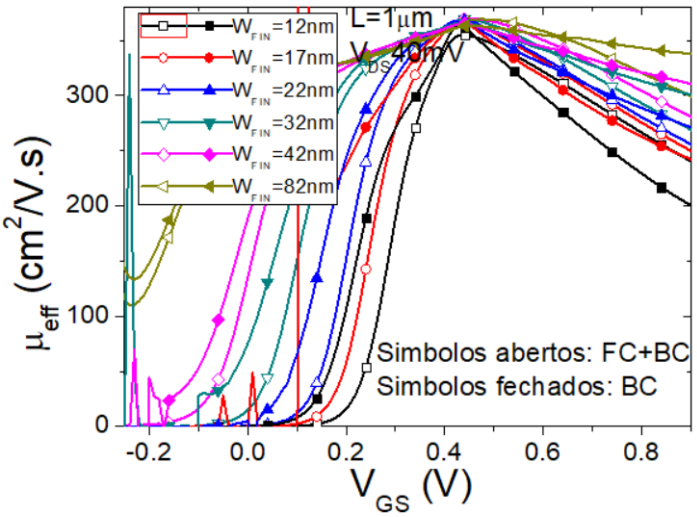
Fonte: Autor

Figura 65 - Curvas de corrente I_{DS} em função de V_{GS} na região de BC e FC+BC



Fonte: Autor

Figura 66 - Curvas de mobilidade efetiva μ_{eff} em função da tensão de porta V_{GS} para BC e FC + BC



Fonte: Autor

No caso para as simulações os resultados mostram uma pequena diferença entre o pico da mobilidade em FC e BC+FC. O motivo desse resultado pode estar relacionado aos parâmetros das mobilidades dos portadores utilizados na simulação, ou seja, os mesmos parâmetros foram utilizados para o canal de cima e baixo, resultando em mobilidades bastante parecidas.

6 CONCLUSÕES

O trabalho desenvolvido, apresentou o estudo da mobilidade em nanofios transistores MOS utilizando o método Split-CV para extração das propriedades de transporte de cargas dos nanofios de porta tripla, através da comparação dos resultados experimentais e simulações.

Gerando assim um extenso conjunto de dados, possibilitando análise da extração da mobilidade total de várias amostras de dispositivos, submetidos a variações de larguras de *fin* e alteração da polarização de substrato, que alteram os valores da velocidade da mobilidade dos elétrons no canal em um dispositivo nMOS. É importante mencionar que os dispositivos experimentais podem sofrer algumas alterações por fatores externos como capacitâncias parasitas que alteram o valor dos valores extraídos da mobilidade efetiva total e, consequentemente, alteram a extração da mobilidade nos planos cristalográficos.

Considerando os dados obtidos sob a influência da polarização do substrato de 20 V, os portadores reagem positivamente quando é aplicada uma tensão de substrato, por exemplo para o dispositivo de 12nm, com aplicação da tensão de substrato, obteve uma melhoria da mobilidade de aproximadamente 12%, e para o transistor de 82nm obteve uma melhora de 30%, permitindo atingir maiores valores de mobilidade devido à estreita relação com a tensão de limiar V_{TH} e a deslocação do centroide no canal.

Considerando o fator da influência da largura de *fin,* os transistores obtiveram um ganho médio de 19% a cada variação da largura de *fin*. Outro ganho importante a ser mencionado foi o ganho da mobilidade total entre o transistor de 12nm e de 82nm foi de aproximadamente 24% para tensão de substrato de 0V, mas com aplicação de tensão de substrato foi de aproximadamente 39%. Isso comprova claramente que ao combinar a variação da largura de *fin* e tensão de substrato é possível atingir melhores valores de mobilidade, o que foi explicado na seção 3.1.2.1.2 onde o deslocamento do centroide do canal facilita a mobilidade dos elétrons e são menos influenciados por mecanismos de espalhamento como rugosidade da superfície μ_{Si}. Após atingir o valor máximo de mobilidade, eles reduzem, conforme aumenta a tensão de porta, devido efeitos de espalhamento como degradação por superfície entre o oxido de porta e o canal.

Posteriormente, usando as curvas de capacitância C_{GC} e corrente de dreno I_D em função da tensão de porta V_G, possibilitaram a fragmentação da mobilidade efetiva total μ_{eff} em diferentes planos cristalográficos através da técnica de extração da mobilidade por corrente de superfície, juntamente com as equações da técnica de Split-CV. Os resultados obtidos para os

transistores sem tensão de substrato foram satisfatórios, comprovando que as mobilidades atingem melhores resultados para largura de *fins* mais largos, por exemplo o ganho da mobilidade no plano superior entre o primeiro transistor de 12nm e o último transistor foi de 10%. Indicando que a área do plano superior é maior, possibilitando maior fluxo de elétrons em comparação com a mobilidade no plano lateral.

Para o caso dos dados com polarização de substrato de 20 V, a técnica de divisão por corrente de superfícies não resulta como esperado, gerando valores fora da realidade física e pouco confiáveis. Isso pode ser relacionado a vários motivos, ao recurso matemático de extrapolação de pontos que basicamente usa os dados C_{GC} e I_D em função de W_{FIN} para criar uma reta e encontrar um valor de C_{GC} e I_D quando $W_{FIN} = 0$. Os pontos ao não formarem uma reta constante, criam uma aproximação que resulta em um erro bastante considerável afetando todos os passos consequentes de extração. Outro motivo é a tensão de substrato que simula uma quarta porta no dispositivo, invalidando as equações de largura efetiva ($W_{eff} = W_{FIN} + 2H_{FIN}$) e, consequentemente, o método de extração através do Split-CV impossibilitando a fragmentação da mobilidade em planos cristalográficos.

Adicionalmente, para obter a mobilidade na região inferior do canal foi proposto o uso de um método que consiste na subtração das capacitâncias e correntes dos dispositivos quando estão polarizados em $V_B = 0V$ e $V_B=20V$ a fim de obter os dados de V_{GS} e I_{DS} da região controlada pela tensão de substrato chamada de *back-channel*. Ao observar os resultados podemos assumir que a mobilidade mostra um pico maior para dispositivo com maior largura de *fin,* o que realmente tem muito sentido já que a maior largura de *fin* maior área de circulação da portadores no plano cristalográfico 100/(110). Outro detalhe importante é a demonstração que a região do BC mostra maiores resultados da mobilidade em comparação com a extração total de FC+BC, mas que depois de um certo ponto a mobilidade FC+BC passa a ser maior

Para fazer a comparação dos resultados, foram criadas simulações de transistores com as mesmas características para validar os resultados obtidos de forma experimental. Mesmo sendo os dados finais dos transistores totalmente diferentes, devido a fatores externos como capacitâncias parasitas e/ou a capacidade das simulações não reproduzirem com fidelidade o comportamento real das cargas, impossibilitando uma comparação direta dos dados. Os resultados de simulação comprovam que, para $V_B = 0$ V, os valores da mobilidade efetiva pela extração por SPLIT-CV e a mobilidade efetiva das mobilidades dos planos cristalográficos em função da geometria do dispositivo são muito próximos com uma taxa de efetividade de 97%. Comprovando novamente que os elétrons fluem com maior afinidade no plano superior que na

lateral, e que ao ser reduzida a largura de *fin*, reduz a velocidade de mobilidade devido a uma maior degradação por espalhamento de rugosidade de superfície.

Para concluir, o trabalho foi demonstrar que existe uma estreita ligação entre o parâmetro da mobilidade e fatores físicos e elétricos dos dispositivos como, tensão de substrato e largura de *fin*, assim como foi possível a desfragmentação da mobilidade nas portas superiores e inferiores do canal nos transistores fazendo visível para análise individual em cada região.

Para continuidade dessa dissertação poderia ser proposto o estudo da aplicação da polarização de substrato com valores maiores que 20V e aplicação em larguras de *fin* mais largas a fim de comprovar o comportamento da mobilidade nesses casos. Outro tema de bastante interesse de estudo seria a utilização de variações da temperatura e como este fator afeta a mobilidade.

7 ARTIGOS PUBLICADOS

As atividades desenvolvidas até o momento da defesa de dissertação geraram as seguintes publicações:

CCOTO, C. U. C.; BERGAMASCHI, F. E.; PAVANELLO, M. A. Application of the Split-CV Technique for Analyzing the Mobility of Nanowire MOS as a function of Fin Width and Substrate Bias. **Workshop on Semiconductors and Micro & Nano-Technology**, 2021a. p. 0–2.

CCOTO, C. U. C.; BERGAMASCHI, F. E.; PAVANELLO, M. A. Analysis of Fin Width Influence on the Carrier's Mobility of Nanowire MOS. **SBMicro 2021 - 35th Symposium on Microelectronics Technology and Devices**, 2021. p. 0–3.

CCOTO, C. U. C.; BERGAMASCHI, F. E.; PAVANELLO, M. A. Application of the Surface Current Separation Technique to Obtain Mobility in Crystallographic Planes of Nanowires MOS. **Workshop on Semiconductors and Micro & Nano-Technology**, 2022a. p. 0–2.

REFERÊNCIAS

AKARVARDAR, K. *et al.* A two-dimensional model for interface coupling in triple-gate transistors. **IEEE Transactions on Electron Devices**, 2007. v. 54, n. 4, p. 767–775.

AUTH, C. P.; PLUMMER, J. D. Scaling theory for cylindrical, fully-depleted, surrounding-gate MOSFET's. **IEEE Electron Device Letters**, 1997. v. 18, n. 2, p. 74–76.

BALESTRA, F.; HAFEZ, I.; GHIBAUDO, G. A new method for the extraction of MOSFET parameters at ambient and liquid helium temperatures. **European Solid-State Device Research Conference**, 1988. v. 8, p. C4817–C4820.

BERGAMASCHI, F. E. ESTUDO DO TRANSPORTE DE CARGAS DE NANOFIOS TRANSISTORES SOI MOSFET DE PORTA-ÔMEGA SOB INFLUÊNCIA DA POLARIZAÇÃO DE SUBSTRATO. 2021. v. 44, n. 8, p. 1–9. Disponível em: <https://doi.org/10.1016/j.tmaid.2020.101607%0Ahttps://doi.org/10.1016/j.ijsu.2020.02.034%0Ahttps://onlinelibrary.wiley.com/doi/abs/10.1111/cjag.12228%0Ahttps://doi.org/10.1016/j.ssci.2020.104773%0Ahttps://doi.org/10.1016/j.jinf.2020.04.011%0Ahttps://doi.o>.

BERGAMASCHI, F. E.; PAVANELLO, M. A. **TCAD Evaluation of the Active Substrate Bias Effect on the Charge Transport of omega-Gate Nanowire MOS Transistors with Ultra-Thin BOX**. **IEEE Journal of the Electron Devices Society**.

BRUNA CARDOSO PAZ. **Avaliação da Influência da Evoluçaõ das Tecnologias de Fabricação de Nanofios Transistores MOS sobre suas Características Elétricas**. [S.l.]: [s.n.], 2018.

CANALI, C. Correction to "Electron and Hole Drift Velocity Measurements in Silicon and their Empirical Relation to Electric Field and Temperatures". **IEEE Transactions on Electron Devices**, 1976. v. 23, n. 9, p. 1113.

CAUGHEY, D. M.; THOMAS, R. E. Carrier Mobilities in Silicon Empirically Related to Doping and Field. **Proceedings of the IEEE**, 1967. v. 55, n. 12, p. 2192–2193.

CCOTO, C. U. C.; BERGAMASCHI, F. E.; PAVANELLO, M. A. Analysis of Fin Width Influence on the Carrier's Mobility of Nanowire MOSFETs. **SBMicro 2021 - 35th Symposium on Microelectronics Technology and Devices**, 2021a. p. 0–3.

CCOTO, C. U. C.; BERGAMASCHI, F. E.; PAVANELLO, M. A. Application of the Split-CV Technique for Analyzing the Mobility of Nanowire MOSFETs as a function of Fin Width and Substrate Bias. **Workshop on Semiconductors and Micro & Nano-Technology**, 2021b. p. 0–2.

COLINGE, J.-P. **Physics of Semiconductor Devices**. 1° Edition ed. United States of America: Kluwer Academic Publishers, 2002. V. 148.

COLINGE, J.-P. **Silicon-on-Insulator Technology: Materials to VLSI**. 3rd. ed. New York: Kluwer Academic Publishers, 2004. V. 148.

COLINGE, J.-P. **Nanowire Transistors**. 1ª edition ed. United Kingdom Cambridge: University, Cambridge, 2016.

COLINGE, J. P. *et al.* A silicon-on-insulator quantum wire. **Solid-State Electronics**, 1 jan. 1996. v. 39, n. 1, p. 49–51.

COLINGE, Jean Pierre; CHANDRAKASAN, A. **FinFETs and other multi-gate transistors**. [S.l.]: [s.n.], 2008a.

COLINGE, Jean Pierre; CHANDRAKASAN, A. **FinFETs and other multi-gate transistors**. 1° Edition ed. Ireland: Springer Science, 2008b.

COQUAND, R. *et al.* Scaling of high-κ/metal-gate trigate SOI nanowire transistors down to 10nm width. **2012 13th International Conference on Ultimate Integration on Silicon, ULIS 2012**, 2012. p. 37–40.

COQUAND, Remi *et al.* Strain-induced performance enhancement of trigate and omega-gate nanowire FETs scaled down to 10-nm width. **IEEE Transactions on Electron Devices**, 2013. v. 60, n. 2, p. 727–732.

CRISTOLOVEANU, Sorin; LI, S. S. **Electrical Characterization of Silicon-on-Insulator Materials and Devices**. [S.l.]: [s.n.], 1995.

DAMRONGPLASIT, N.; ZAMUDIO, L.; BALASUBRAMANIAN, S. Threshold voltage and DIBL variability modeling for SRAM and analog MOSFETs. **Digest of Technical Papers - Symposium on VLSI Technology**, 2012. v. 58, n. 8, p. 187–188.

DAVANZZO, C. **Estudo da Mobilidade em dispositivos SOI planares e de Multiplas Portas**. [S.l.]: [s.n.], 2010.

FERAIN, I.; COLINGE, C. A.; COLINGE, Jean Pierre. **Multigate transistors as the future of classical metal-oxide-semiconductor field-effect transistors**. **Nature**.

FLEURY, D. *et al.* New Y-function-based methodology for accurate extraction of electrical parameters on nano-scaled MOSFETs. **IEEE International Conference on Microelectronic Test Structures**, 2008. p. 160–165.

GORDON E. MOORE, C. I. C. Cramming more components onto integrated circuits. maio. 1965. v. 57, n. 5, p. 114–117. Disponível em: <https://ieeexplore.ieee.org/abstract/document/4785860/authors#authors>.

GUTIÉRREZ-D, E. A. *et al.* **Low temperature electronics: Physics, devices, circuits, and applications**. [S.l.]: [s.n.], 2002. V. 55.

HIRAMOTO, T. Nano-Scale Silicon MOSFET Towards Non-Traditional and Quantum Devices. 2001. Disponível em: <http://vlsi.iis.u-tokyo.ac.jp/>. Acesso em: 16 set. 2021.

HISAMOTO, D. *et al.* A Fully Depleted Lean-Channel Transistor (DELTA)—A Novel Vertical Ultrathin SOI MOSFET. **IEEE Electron Device Letters**, 1990. v. 11, n. 1, p. 36–38.

IYENGAR, V. V. *et al.* Extraction of the top and sidewall mobility in FinFETs and the impact of fin-patterning processes and gate dielectrics on mobility. **IEEE Transactions on Electron Devices**, 2007. v. 54, n. 5, p. 1177–1184.

KEYSIGHT. Keysight Technologies B1500A Semiconductor Device Analyzer. 2015. p. 1–20. Disponível em: <2017-04-20%0Awww.keysight.com/find/b1500a>.

KHANNA, V. K. Integrated Nanoelectronics: Nanoscale CMOS, Post-CMOS and Allied Nanotechnologies. The Institution of Engineering and Technology, Michael Faraday House, Six Hills Way, Stevenage SG1 2AY, UK: IET, 2016, p. 471.

KILCHYTSKA, V. *et al.* Accurate effective mobility extraction by split C-V technique in SOI MOSFETs: Suppression of the influence of floating-body effects. **IEEE Electron Device Letters**, 2005. v. 26, n. 10, p. 749–751.

KURODA, T. A O.9-V, ISO-MHz, IO-mW, 4 mm2, 2-D Discrete Cosine Transform Core Processor with Variable Threshold-Voltage (VT) Scheme. 1996. v. 9200, n. 11, p. 1770–1779.

LANDGRAF, E. *et al.* Influence of crystal orientation and body doping on trigate transistor performance. **Solid-State Electronics**, 1 jan. 2006. v. 50, n. 1, p. 38–43.

LEE, S. Y. *et al.* Three-dimensional MBCFET as an ultimate transistor. **IEEE Electron Device Letters**, 2004. v. 25, n. 4, p. 217–219.

Leti (english) - About Leti. [s.d.]. Disponível em: <https://www.leti-cea.com/cea-tech/leti/english/Pages/Leti/About-Leti/about-leti.aspx>. Acesso em: 25 ago. 2021.

MARK LUNDSTROM. **Fundamentals of carrier transport**.

MARTINO, M. G. C. A. J. A. *et al.* Threshold voltage of double and triple gate soi finfet. **Simulation**, [s.d.]. p. 5–7.

MCLARTY, P. K. *et al.* A simple parameter extraction method for ultra-thin oxide MOSFETs. **Solid-State Electronics**, 1 jun. 1995. v. 38, n. 6, p. 1175–1177.

MIYANO, S.; HIROSE, M.; MASUOKA, F. Numerical Analysis of a Cylindrical Thin-Pillar Transistor (CYNTHIA). **IEEE Transactions on Electron Devices**, 1992. v. 39, n. 8, p. 1876–1881.

NICOLETTI, T. **ESTUDO DA RESISTÊNCIA SÉRIE DE FONTE E DRENO DE TRANSISTORES SOI FinFETs DE PORTA TRIPLA E COM CANAL TENSIONADO**. [S.l.]: Escola Politécnica da Universidade de São Paulo USP, 2009.

NITAYAMA, A. *et al.* Multi-Pillar Surrounding Gate Transistor (M-SGT) for Compact and High-Speed Circuits. **IEEE Transactions on Electron Devices**, 1991. v. 38, n. 3, p. 579–583.

OHATA, A. *et al.* Mobility enhancement by back-gate biasing in ultrathin SOI MOSFETs with thin box. **IEEE Electron Device Letters**, 2012. v. 33, n. 3, p. 348–350.

OHATA, A; CASSÉ, M.; CRISTOLOVEANU, S. Front- and back-channel mobility in ultrathin SOI-MOSFETs by front-gate split CV method. **Solid-State Electronics**, 1 fev. 2007. v. 51, n. 2, p. 245–251.

Ohm's Law, Microscopic View. [s.d.]. Disponível em: <http://230nsc1.phy-astr.gsu.edu/hbase/electric/ohmmic.html>. Acesso em: 3 out. 2021.

ORTIZ-CONDE, A. *et al.* Revisiting MOSFET threshold voltage extraction methods. **Microelectronics Reliability**, 1 jan. 2013. v. 53, n. 1, p. 90–104.

PARK, D. 3 Dimensional GAA transitors: Twin silicon nanowire MOSFET and multi-bridge-channel MOSFET. **Proceedings - IEEE International SOI Conference**, 2006. p. 131–134.

PARK, J.; COLINGE, J.; DIAZ, C. H. Pi-Gate SOI MOSFET. 2001. v. 22, n. 8, p. 405–406.

PARK, S. J. *et al.* Sidewall mobility and series resistance in a multichannel tri-gate MOSFET. **Semiconductor Science and Technology**, 2013. v. 28, n. 6.

RIBEIRO, T. A. AVALIAÇÃO DO DESEMPENHO DO TRANSISTOR MOS SEM JUNÇÕES CONFIGURADO COMO NANOFIO OU FINFET. 2020. v. 3, n. 2017, p. 54–67. Disponível em: <http://repositorio.unan.edu.ni/2986/1/5624.pdf>.

ROMANJEK, K. *et al.* Improved split C-V method for effective mobility extraction in sub-0.1-μm Si MOSFETs. **IEEE Electron Device Letters**, 2004. v. 25, n. 8, p. 583–585.

RUDENKO, T. *et al.* Carrier mobility in undoped triple-gate FinFET structures and limitations of its description in terms of top and sidewall channel mobilities. **IEEE Transactions on Electron Devices**, 2008. v. 55, n. 12, p. 3532–3541.

SEKIGAWA, T.; HAYASHI, Y. Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate. **Solid State Electronics**, 1984. v. 27, n. 8–9, p. 827–828.

SENTAURUS. Sentaurus sDevice 2015. **Simulation**, 2009. n. June, p. 2015.

SHENG S. LI. The Dopant Density and Temperature Dependence of Electron Mobility and Resistivity in N-Type Silicon. [s.d.].

STREETMAN, B. G.; BANERJEE, S. **Solid state electronic devices**. [S.l.]: [s.n.], 2000.

SUBRAMANIAN, Vaidyanathan. Multiple gate field-effect transistors for future cmos technologies. **IETE Technical Review (Institution of Electronics and Telecommunication Engineers, India)**, 2010. v. 27, n. 6, p. 446–454.

SYED AON MUJTABA. Advanced Mobility Models for Design and Simulation of Deep Submicrometer Mosfets. **Thesis**, 1995. n. December.

SYNOPSYS INC. Sentaurus Device User Guide. **Simulation**, 2009. n. June, p. 2009.

SZELAG, B.; BALESTRA, F. Substrate bias dependence of the transconductance of deep sunmicron Si n-MOSFETs. 1998. v. 42, n. 10, p. 1827–1829.

TAKASHIMA, H.; SUZUKI, E. Fig. 1. 3-D schematic diagram of the proposed multi-Fin XMOSFET structure. [s.d.]. n. 110, p. 110.

TORIUMI, A.; IWASE, M.; TANGO, H. On the Universality of Inversion Layer Mobility in Si MOSFET's: Part I—Effects of Substrate Impurity Concentration. **IEEE Transactions on Electron Devices**, 1994. v. 41, n. 12, p. 2357–2362.

YANG, F. L. *et al.* 25 nm CMOS omega FETs. **Technical Digest - International Electron Devices Meeting**, 2002. n. 6, p. 255–258.

YANG, M. *et al.* High Performance CMOS Fabricated on Hybrid Substrate with Different Crystal Orientations. **Technical Digest - International Electron Devices Meeting**, 2003. n. 100, p. 453–456.

YOUNG, K. K. Short-Channel Effect in Fully Depleted SOI MOSFET's. **IEEE Transactions on Electron Devices**, 1989. v. 36, n. 2, p. 399–402.

APÊNDICE A- CÓDIGO DE EXEMPLO PARA GERAÇÃO DE ESTRUTURA DE NANOFIO TRANSISTOR NO SIMULADOR SENTAURUS

Arquivo para geração da estrututura dos nanofios de porta-ômega no Sentaurus

```
; OMEGA-GATE NANOWIRE


(sde:clear)
(sdegeo:set-default-boolean "BAB")


;__________PARAMETROS_____________________________________________________
_____________________________________________________________________


(define L      (/ @L@ 2000))
(define W      (/ @Wfin@ 2000))
(define H      0.01)
(define Lsd    0.05)
(define tox    0.001)
(define thf    0.0023)
(define ttin   0.0005)
(define spacer 0.01)
(define box    0.145)

(define canto  0.002)

(define Womega 0.003)
(define Homega 0.001)

(define dopagemcanal      1E15)
(define dopagemfontedreno 5E20)


;__________BOX____________________________________________________________
_____________________________________________________________________


(sdegeo:create-cuboid
(position (- (- L) Lsd) (- (- W) tox thf ttin) (- box) )
(position (+ L Lsd) (+ W tox thf ttin) (- (+ tox (* 1 thf) Homega)) )
"Oxide" "box")


;__________CANAL__________________________________________________________
_____________________________________________________________________


(sdegeo:create-cuboid
(position (- L) (- W) 0 )
(position L W H )
"Silicon" "canal")

(sdegeo:fillet (list
```

```
(car (find-edge-id (position 0 (- W) H)))
(car (find-edge-id (position 0 (- W) 0)))
(car (find-edge-id (position 0 W H)))
(car (find-edge-id (position 0 W 0))) ) canto)


;__________FONTE E
DRENO_____________________________________________________________________
_____________________________________________


(sdegeo:create-cuboid
(position (- (- L) Lsd) (- W) 0 )
(position (- L) W H )
"Silicon" "fonte")

(sdegeo:create-cuboid
(position L (- W) 0 )
(position (+ L Lsd) W H )
"Silicon" "dreno")


;__________OXIDO DE
PORTA_____________________________________________________________________
_____________________________________________


(sdegeo:create-cuboid
(position (- (- L) spacer) (- (- W) tox) (- tox) )
(position (+ L spacer) (+ W tox) (+ H tox) )
"Oxide" "oxidodeporta")

(sdegeo:fillet (list
(car (find-edge-id (position 0 (- (+ W tox)) (+ H tox))))
(car (find-edge-id (position 0 (- (+ W tox)) (- tox))))
(car (find-edge-id (position 0 (+ W tox) (+ H tox))))
(car (find-edge-id (position 0 (+ W tox) (- tox)))) ) (+ canto tox) )


;__________HAFINIUM_____________________________________________________
_____________________________________


(sdegeo:create-cuboid
(position (- L) (- (- W) tox thf) (- (+ tox thf)) )
(position L (+ W tox thf) (+ H tox thf) )
"HfO2" "hafnium")

(sdegeo:fillet (list
(car (find-edge-id (position 0 (- (+ W tox thf)) (+ H tox thf))))
(car (find-edge-id (position 0 (- (+ W tox thf)) (- (+ tox thf)))))
(car (find-edge-id (position 0 (+ W tox thf) (+ H tox thf))))
(car (find-edge-id (position 0 (+ W tox thf) (- (+ tox thf))))) ) (+
canto tox thf) )

(sdegeo:create-cuboid
(position (- L) (- (- W) tox thf ttin) (+ (- (+ tox (* 1 thf) Homega))
thf) )
```

```
(position L (+ W tox thf ttin) (- (+ tox (* 1 thf) Homega)) )
"HfO2" "hafnium_bot")


;__________BOX_OMEGA_____________________________________________________
_____________________________________________________________________


(sdegeo:set-default-boolean "ABA")

(sdegeo:create-cuboid
(position (- (- L) Lsd) (+ (- W) Womega) (- (+ tox (* 1 thf) Homega)) )
(position (+ L Lsd) (- W Womega) 0 )
"Oxide" "box_omega")

(sdegeo:set-default-boolean "BAB")


;__________TIN___________________________________________________________
_____________________________________________________________________


(sdegeo:create-cuboid
(position (- L) (- (- W) tox thf ttin) (- (+ tox (* 1 thf))) )
(position L (+ W tox thf ttin) (+ H tox thf ttin) )
"TiN" "tin")


;__________SPACER________________________________________________________
_____


(sdegeo:create-cuboid
(position (- (- L) spacer) (- (- W) tox thf ttin) (- (+ tox (* 1 thf)
Homega)) )
(position (- L) (+ W tox thf ttin) (+ H tox thf ttin) )
"Si3N4" "spacerfonte")

(sdegeo:create-cuboid
(position L (- (- W) tox thf ttin) (- (+ tox (* 1 thf) Homega)) )
(position (+ L spacer) (+ W tox thf ttin) (+ H tox thf ttin) )
"Si3N4" "spacerdreno")


;__________CONTATOS_____________________________________________________
_____________________________________________________________________


(sdegeo:set-current-contact-set "gate")
(sdegeo:set-contact-faces (find-face-id (position 0 0 (+ H tox thf
ttin)) ) "gate")
(sdegeo:set-contact-faces (find-face-id (position 0 (+ W tox thf ttin)
(/ H 2)) ) "gate")
(sdegeo:set-contact-faces (find-face-id (position 0 (- (- W) tox thf
ttin) (/ H 2)) ) "gate")

(sdegeo:set-current-contact-set "source")
```

```
(sdegeo:set-contact-faces (find-face-id (position (- (- L) Lsd) 0 (/ H
2)) ) "source")
(sdegeo:set-contact-faces (find-face-id (position (- (- L) (/ Lsd 2)) 0
H) ) "source")

(sdegeo:set-current-contact-set "drain")
(sdegeo:set-contact-faces (find-face-id (position (+ L Lsd) 0 (/ H 2))
) "drain")
(sdegeo:set-contact-faces (find-face-id (position (+ L (/ Lsd 2)) 0 H)
) "drain")

(sdegeo:set-current-contact-set "substrate")
(sdegeo:set-contact-faces (find-face-id (position 0 0 (- box)) )
"substrate")


;__________REFINO_____________________________________________________
_____________________________________________________________________


;JANELAS

(sdedr:define-refinement-window "janela_fonte" "Cuboid"
(position (- (- L) 0.001) (- W) 0 )
(position (+ (- L) 0.001) W H )
)

(sdedr:define-refinement-window "janela_dreno" "Cuboid"
(position (- L 0.001) (- W) 0 )
(position (+ L 0.001) W H )
)

(sdedr:define-refinement-window "janela_interface_cima" "Cuboid"
(position (- L) (- W) (- H 0.0001) )
(position L W H )
)

(sdedr:define-refinement-window "janela_interface_baixo" "Cuboid"
(position (- L) (- W) 0 )
(position L W 0.0001 )
)

(sdedr:define-refinement-window "janela_interface_esq" "Cuboid"
(position (- L) (- (- W) 0) 0 )
(position L (+ (- W) 0.0001) H )
)

(sdedr:define-refinement-window "janela_interface_dir" "Cuboid"
(position (- L) (- W 0.0001) 0 )
(position L (+ W 0) H )
)


;TAMANHO

(sdedr:define-refinement-size "tamanho_box"
(* L 2) 0.005 0.03
(* L 2) 0.005 0.03
```

```
)

(sdedr:define-refinement-size "tamanho_box_omega"
(* L 2) 0.005 0.005
(* L 2) 0.005 0.005
)

(sdedr:define-refinement-size "tamanho_porta"
(* L 2) 0.005 0.003
(* L 2) 0.005 0.003
)

(sdedr:define-refinement-size "tamanho_oxidodeporta"
(* L 2) 0.005 0.001
(* L 2) 0.005 0.001
)

(sdedr:define-refinement-size "tamanho_canal"
(* L 2) 0.005 0.001
(* L 2) 0.005 0.001
)

(sdedr:define-refinement-size "tamanho_fontedreno"
0.02 0.005 0.001
0.02 0.005 0.001
)

(sdedr:define-refinement-size "tamanho_interface_fontedreno"
0.001 0.005 0.001
0.001 0.005 0.001
)

(sdedr:define-refinement-size "tamanho_interface_cimabaixo"
(* L 2) 0.005 0.0005
(* L 2) 0.005 0.0005
)

(sdedr:define-refinement-size "tamanho_interface_esqdir"
(* L 2) 0.0005 0.001
(* L 2) 0.0005 0.001
)


;APLICACAO
(sdedr:define-refinement-region    "aplicacao_box" "tamanho_box" "box")
(sdedr:define-refinement-region    "aplicacao_box2" "tamanho_box_omega"
"box_omega")
(sdedr:define-refinement-region    "aplicacao_tox"
"tamanho_oxidodeporta" "oxidodeporta")
(sdedr:define-refinement-region    "aplicacao_canal" "tamanho_canal"
"canal")
(sdedr:define-refinement-region    "aplicacao_fonte"
"tamanho_fontedreno" "fonte")
(sdedr:define-refinement-region    "aplicacao_dreno"
"tamanho_fontedreno" "dreno")
(sdedr:define-refinement-material  "aplicacao_tin" "tamanho_porta"
"TiN")
```

```
(sdedr:define-refinement-material  "aplicacao_thf" "tamanho_porta"
"HfO2")
(sdedr:define-refinement-placement "aplicacao_interface_fonte"
"tamanho_interface_fontedreno" "janela_fonte")
(sdedr:define-refinement-placement "aplicacao_interface_dreno"
"tamanho_interface_fontedreno" "janela_dreno")
(sdedr:define-refinement-placement "aplicacao_interface_cima"
"tamanho_interface_cimabaixo" "janela_interface_cima")
(sdedr:define-refinement-placement "aplicacao_interface_esq"
"tamanho_interface_esqdir" "janela_interface_esq")
(sdedr:define-refinement-placement "aplicacao_interface_dir"
"tamanho_interface_esqdir" "janela_interface_dir")


;__________DOPAGEM_____________________________________________________
_____________________________________________________________________


#if [string match @Type@ "n"]
(define Na dopagemcanal)
(define Nd dopagemfontedreno)
(sdedr:define-constant-profile "dopagemcanal"
"BoronActiveConcentration" Na)
(sdedr:define-constant-profile "dopagemfontedreno"
"PhosphorusActiveConcentration" Nd)
#endif

#if [string match @Type@ "p"]
(define Na dopagemfontedreno)
(define Nd dopagemcanal)
(sdedr:define-constant-profile "dopagemcanal"
"PhosphorusActiveConcentration" Nd)
(sdedr:define-constant-profile "dopagemfontedreno"
"BoronActiveConcentration" Na)
#endif

(sdedr:define-constant-profile-region "placement_dopagemcanal"
"dopagemcanal" "canal")
(sdedr:define-constant-profile-region "placement_dopagemfonte"
"dopagemfontedreno" "fonte")
(sdedr:define-constant-profile-region "placement_dopagemdreno"
"dopagemfontedreno" "dreno")


;_____________________________________________________________________
_____________________________________________________________________


(sde:build-mesh "snmesh" ""
"OMEGA_NANOWIRE_@Type@MOS_L@L@nm_Wfin@Wfin@nm_n@node@")
```

APÊNDICE B – EXEMPLO DE SIMULAÇÃO DE PROCESSO PARA GERAÇÃO DE UM NANOFIO TRANSISTOR SOI NO SIMULADOR SENTAURUS

```
##################################
#   OMEGA-GATE NANOWIRE - IDVG   #
##################################


Math {
Extrapolate
ExitOnFailure
NumberOfThreads=8
Iterations=15
Method=ILS (set=6)
Submethod=Blocked
CoordinateSystem {AsIs}
WallClock
AutoOrientation=(100,110)
}


Physics {
Mobility (Enormal(IALMob(AutoOrientation)) HighFieldSaturation)
Recombination (Auger SRH(DopingDep))
EffectiveIntrinsicDensity (BandGapNarrowing(OldSlotboom))
eQuantumPotential
}


Plot {
eCurrent     hCurrent
eDensity     hDensity
eMobility    hMobility
eVelocity    hVelocity
eEparallel   hEparallel
eENormal     hENormal
eTemperature hTemperature
TotalCurrent
ElectricField
Potential
SpaceCharge
Temperature
Doping DonorConcentration AcceptorConcentration
SRHRecombination Auger Band2Band
BandGap BandGapNarrowing ConductionBand ValenceBand Affinity
NearestInterfaceOrientation
InterfaceOrientation
}


Device MOS {

File {
Grid      = "OMEGA_NANOWIRE_@Type@MOS_L@L@nm_Wfin@Wfin@nm_@tdr@"
```

```
Current   =
"IDVG_OMEGA_NANOWIRE_@Type@MOS_L@L@nm_Wfin@Wfin@nm_Vb@Vb@V_n@node@_des.
plt"
Plot      =
"IDVG_OMEGA_NANOWIRE_@Type@MOS_L@L@nm_Wfin@Wfin@nm_Vb@Vb@V_n@node@_des.
tdr"
Parameter = "sdevice.par"
}

Electrode {
{Name="gate"      Voltage=0}
{Name="source"    Voltage=0}
{Name="drain"     Voltage=0}
{Name="substrate" Voltage=0 workfunction=4.95}
}

}


#_____________________________________________________________________
_____________________________________________________________________


System {
MOS trans (gate=g source=s drain=d substrate=b)
Vsource_pset vg (g 0) {dc=0}
Vsource_pset vs (s 0) {dc=0}
Vsource_pset vd (d 0) {dc=0}
Vsource_pset vb (b 0) {dc=0}
plot
"IDVG_OMEGA_NANOWIRE_@Type@MOS_L@L@nm_Wfin@Wfin@nm_Vb@Vb@V_n@node@.txt"
(v(g s) i(trans s) v(d s) v(b s))
}


Solve {

Coupled {Poisson} CurrentPlot(time=(-1))
Coupled(LineSearchDamping=1E-4) {Poisson eQuantumPotential}
CurrentPlot(time=(-1))
Coupled(LineSearchDamping=1E-4) {Poisson eQuantumPotential Electron}
CurrentPlot(time=(-1))
Coupled(LineSearchDamping=1E-4) {Poisson eQuantumPotential Electron
Hole} CurrentPlot(time=(-1))

Quasistationary (MinStep=1e-4 Goal{Parameter=vd.dc Value=0.04})
{Coupled{Poisson eQuantumPotential Electron Hole} CurrentPlot(time=(-
1))}

Quasistationary (MinStep=1e-4 Goal{Parameter=vg.dc Value=1.2})
{Coupled{Poisson eQuantumPotential Electron Hole} CurrentPlot(time=(-
1))}

Quasistationary (MinStep=1e-4 Goal{Parameter=vg.dc Value=-0.3})
{Coupled{Poisson eQuantumPotential Electron Hole}
CurrentPlot(time=(range=(0 1) intervals=150))}

}
```

APÊNDICE C – CÓDIGO DE EXEMPLO DE PARÂMETROS DE SIMULAÇÃO DE NANOFIOS TRANSISTOR NO SIMULADOR SENTAURUS

```
LatticeParameters{
X=(1,-1,0)
Y=(1,1,0)
}

Material = "TiN" {
Bandgap {WorkFunction=4.56}
}

IALMob "100":
{
mumax=550   , 160
C=    10000 , 10000
delta=5.8E13  , 2.2E13
}

IALMob "110":
{
mumax=370   , 220
C=    10000 , 10000
delta=1.7E13  , 2.5
```