

CENTRO UNIVERSITÁRIO DA FEI
FRANCISCO ANTONIO LUNALVO PORFIDA FERREIRA

**MODELAGEM ANALÍTICA DE TRANSISTORES SOI DE CANAL GRADUAL
COM PORTA DUPLA**

São Bernardo do Campo

2008

FRANCISCO ANTONIO LUNALVO PORFIDA FERREIRA

**MODELAGEM ANALÍTICA DE TRANSISTORES SOI DE CANAL GRADUAL
COM PORTA DUPLA**

Dissertação apresentada ao Centro Universitário da FEI como parte dos requisitos necessários para a obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Marcelo Antonio Pavanello

São Bernardo do Campo

2008

Ferreira, Francisco Antonio Lunalvo Porfida
Modelagem analítica de transistores SOI de canal gradual com
porta dupla / Francisco Antonio Lunalvo Porfida Ferreira. São
Bernardo do Campo, 2008.

122 f. : il.

Dissertação - Centro Universitário da FEI.

Orientador: Prof. Marcelo Antonio Pavanello

1. Porta Dupla. 2. Canal Gradual. 3. Modelo Analítico. I. Pava-
nello, Marcelo Antonio, orient. II. Título.

CDU 621.382.3



Centro Universitário da FEI

APRESENTAÇÃO DE DISSERTAÇÃO ATA DA BANCA JULGADORA

PGE- 10

Programa de Mestrado de Engenharia Elétrica

Candidato: Francisco Antonio Lunalvo Porfida Ferreira

Matrícula: 1061050

Título do Trabalho: Modelagem Analítica de Transistores SOI de Canal Gradual com Porta Dupla

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof. Dr. Marcelo Antonio Pavanello

Data da realização da prova: 10 / setembro / 2008

A Banca Julgadora abaixo-assinada, atribuiu ao candidato o seguinte:

APROVADO

REPROVADO

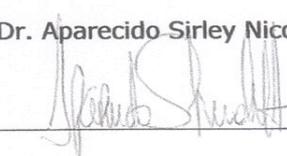
São Bernardo do Campo, 10 / 09 / 2008.

MEMBROS DA BANCA JULGADORA

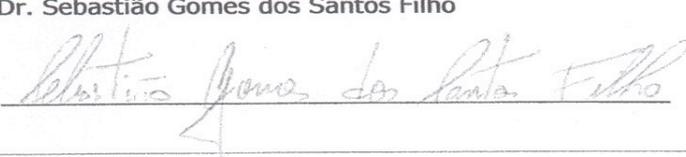
Prof. Dr. Marcelo Antonio Pavanello

Ass.: 

Prof. Dr. Aparecido Sirley Nicolett

Ass.: 

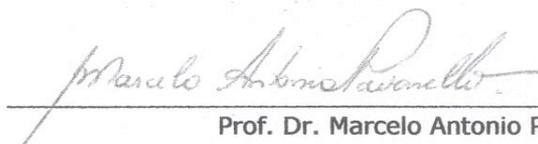
Prof. Dr. Sebastião Gomes dos Santos Filho

Ass.: 

VERSÃO FINAL DA DISSERTAÇÃO

**ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS
RECOMENDAÇÕES DA BANCA EXAMINADORA**

Aprovação do Coordenador do Programa de Pós-graduação



Prof. Dr. Marcelo Antonio Pavanello

Dedico este trabalho

Aos meus pais,

Antonio Lunalvo Ferreira

Ednéia Vânia Porfida Ferreira

Às minhas irmãs,

Julia Gabriela Porfida Ferreira

Thaís S. Porfida Ferreira

À Pequena,

Clarissa F. Campacci

AGRADECIMENTOS

Ao Prof. Dr. Marcelo Antonio Pavanello, por toda ajuda, dedicação e contribuição empregada neste trabalho, sua orientação e amizade.

Aos meus pais e irmãs por todo o amor, carinho, incentivo e suporte dado ao longo de minha jornada.

À minha Clarissa F. Campacci, por me acompanhar com todo o amor, paciência e compreensão, sem os quais este trabalho não seria possível.

Aos colegas de trabalho e estudo, pelas sugestões, críticas, apoio e colaborações durante o curso.

Ao amigo José Maria da Silva Júnior, que me acompanha desde o início do estudo de SOI CMOS, pelas diversas ajudas, colaborações e incentivos.

Aos pesquisadores Michelly de Souza e Rodrigo T. Doria, por toda colaboração e suporte dado a este trabalho.

Ao Centro Universitário da FEI, pela infra-estrutura e por ter proporcionado os recursos necessários para a realização deste trabalho.

Aos colaboradores Prof. Dr. Salvador P. Gimenez e Prof. Dr. Renato C. Giacomini, pela excelente ajuda durante o processo de qualificação.

Ao pesquisador Prof. Dr. Antonio Cerdeira, pela colaboração e estudos previamente realizados.

A todos os professores do Curso de Mestrado em Engenharia Elétrica do Centro Universitário da FEI que ajudaram na minha formação e aprendizado.

A todos os professores de minha vida, graduados ou não, aqui omitidos de forma involuntária.

O mensageiro não é importante...

RESUMO

Ferreira, F. A. L. P. **Modelagem Analítica de Transistores SOI de Canal Gradual com Porta Dupla**. 2008. 122 f., Dissertação (Mestrado) – Centro Universitário da FEI, São Bernardo do Campo, 2008.

Apresenta-se neste trabalho o desenvolvimento de um modelo analítico para transistores nMOSFET de porta dupla (*Double-Gate* - DG) com canal gradual (*Graded-Channel* - GC) fabricados em tecnologia Silício sobre Isolante (*Silicon-On-Insulator* – SOI), válido desde o regime de inversão fraca até a inversão forte. A estrutura de porta dupla permite o melhor controle das cargas no canal, resultando em menor ocorrência de efeitos de canal curto, inclinação de sublimiar próxima do ideal, maior corrente de dreno e maior transcondutância. A estrutura de canal gradual consiste na utilização de uma concentração de dopantes assimétrica na região de canal, ou seja, o canal é dividido em duas regiões com concentrações de dopantes distintas, cada qual com seu comprimento, sendo que a região próxima ao dreno possui a concentração de dopantes menor, o que minimiza o campo elétrico perto do dreno. Unidas, estas estruturas apresentam uma série de características desejáveis a circuitos analógicos, como uma significativa melhora na condutância de dreno o que leva a uma maior tensão Early, proporcionando um maior ganho intrínseco.

Através do uso de modelos analíticos disponíveis na literatura para transistores de porta dupla, considerando uma estrutura equivalente representada por dois transistores de diferentes concentrações de dopantes ligados em série com portas curto-circuitadas, cada dispositivo simulando uma região do canal do transistor DG GC SOI nMOSFET, obteve-se um primeiro modelo da estrutura completa, de forma iterativa. Comparações entre este modelo iterativo e simulações numéricas bidimensionais demonstraram um excelente ajuste, com erro máximo de 11 %, obtido na curva de transcondutância em função da tensão de porta. Observou-se também que este modelo equivalente ofereceu ótimo ajuste quando comparado a resultados experimentais, com erro máximo de 7 %, novamente na curva de transcondutância. A partir da validação do modelo equivalente frente a resultados de simulação e experimentais, este modelo foi utilizado como base para o desenvolvimento de um modelo analítico.

O modelo analítico desenvolvido foi também comparado a simulações bidimensionais e resultados experimentais, apresentando um ótimo ajuste nas características de corrente de dreno *versus* tensão aplicada e suas derivadas, em todos os regimes de operação.

Palavras-chave: porta dupla, canal gradual, modelo analítico.

ABSTRACT

Ferreira, F. A. L. P. **Analytical modeling of Graded Channel SOI Transistors with Double Gate**. 2008. 122 p., Dissertation (Master) – Centro Universitário da FEI, São Bernardo do Campo, 2008.

This work presents the development of an analytical model for double gate (DG) nMOSFET transistors with graded channel (GC) Silicon-on-insulator (SOI) technology manufactured, valid from weak inversion to strong inversion. The double gate structure allows optimum charge control in the channel, resulting in lower occurrence of short-channel effects, subthreshold slope close to ideal, greater drain current and greater transconductance. The graded channel structure consists in the use of the asymmetrical doping in the channel region, the channel is divided into two regions with distinct doping concentrations, each one with its channel length, and the area near the drain has the lowest doping concentration, what minimizes the electric field close to the drain. Joined these structures presents a series of desirable characteristics for analog circuits, as a significant improvement in the drain conductance that leads to greater Early voltage, providing greater intrinsic gain.

Through the use of double gate analytical models available in the literature, considering an equivalent structure represented by two transistors with different doping concentration in series with short-circuited gates, each device simulating a DG GC SOI nMOSFET transistor channel region, one obtains a first model of the complete structure, in an iterative form. Comparisons between this model and iterative two-dimensional numerical simulations showed an excellent adjustment, with a maximum error of 11%, obtained in the transconductance as a function of the gate voltage curve. It was also observed that this model offered great equivalent adjustment when compared to experimental results, with a maximum error of 7%, again in the transconductance curve. From the validation of the model equivalent front of the simulation results and experimental, this model was used as a basis for the development of an analytical model.

The developed analytical model was compared with bidimensional simulations and experimental results presenting an excellent adjustment in the characteristics drain current versus applied voltage and its derivatives, in all regimes of operation.

Keywords: double-gate, graded-channel, analytical modeling.

LISTA DE FIGURAS

Figura 2.1 – Dispositivo GAA: vista frontal (A) e lateral (B).....	25
Figura 2.2 - Perspectiva da lâmina: após a definição da região ativa (A), e após o arredondamento dos cantos (B).	26
Figura 2.3 - Perspectiva da lâmina: após a corrosão da cavidade (A), e após definição de fonte e dreno (B).	27
Figura 2.4 - Transcondutância em função da tensão de porta com $V_{DS}=100\text{mV}$ para um transistor SOI de porta simples e um GAA [5].	27
Figura 2.5 - Perfil do transistor SOI MOSFET canal n totalmente depletado com perfil de dopantes assimétrico na região de canal (GC SOI nMOSFET).	30
Figura 2.6 - Perfil transversal do transistor GAA SOI MOSFET canal n totalmente depletado com perfil de dopantes assimétrico na região de canal (GC GAA SOI nMOSFET).	31
Figura 2.8 - Representação esquemática para relação g_m/I_{DS} para transistores SOI MOS.....	34
Figura 2.9 - Determinação da tensão Early através da extrapolação da curva $I_{DS} \times V_{DS}$	35
Figura 2.10 - Diagrama de faixas de energia do transistor DG.	37
Figura 3.1 - Circuito equivalente ao transistor GC GAA	44
Figura 3.2 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=100 \text{ mV}$	50
Figura 3.3 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=1,5 \text{ V}$	50
Figura 3.4 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS}=100 \text{ mV}$	51
Figura 3.5 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS}=1,5 \text{ V}$	51
Figura 3.6 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=200 \text{ mV}$	52
Figura 3.7 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=1 \text{ V}$	53
Figura 3.8 - Transcondutância $g_m \times V_{GS}$ com $V_{DS}=100 \text{ mV}$	54
Figura 3.9 - Transcondutância $g_m \times V_{GS}$ com $V_{DS}=1,5 \text{ V}$	54
Figura 4.1 – Comparação da característica $I_{DS} \times V_{DS}$ para simplificação na equação de $I_{DS,HD}$	58
Figura 4.3 - Tensão de transição pela tensão de porta com $V_{DS}=1,5 \text{ V}$	63
Figura 4.4 - Tensão de transição pela tensão de dreno com $V_{GT}=1 \text{ V}$	64
Figura 4.5 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=100 \text{ mV}$, para $L = 10 \mu\text{m}$	65
Figura 4.6 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=100 \text{ mV}$, para $L = 3 \mu\text{m}$	65
Figura 4.7 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=100 \text{ mV}$, para $L = 2 \mu\text{m}$	66
Figura 4.8 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS}=100 \text{ mV}$, para $L = 10 \mu\text{m}$	66
Figura 4.9 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS}=100 \text{ mV}$, para $L = 3 \mu\text{m}$	67
Figura 4.10 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS}=100 \text{ mV}$, para $L = 2 \mu\text{m}$	67

Figura 4.11 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=1,5$ V, para $L = 10$ μm .	68
Figura 4.12 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=1,5$ V, para $L = 3$ μm .	68
Figura 4.13 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=1,5$ V, para $L = 2$ μm .	69
Figura 4.14 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS}=1,5$ V, para $L = 10$ μm .	69
Figura 4.15 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS}=1,5$ V, para $L = 3$ μm .	70
Figura 4.16 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS}=1,5$ V, para $L = 2$ μm .	70
Figura 4.17 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=200$ mV, para $L = 10$ μm .	71
Figura 4.18 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=200$ mV, para $L = 3$ μm .	71
Figura 4.19 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=200$ mV, para $L = 2$ μm .	72
Figura 4.20 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=1$ V, para $L = 10$ μm .	73
Figura 4.21 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=1$ V, para $L = 3$ μm .	73
Figura 4.22 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=1$ V, para $L = 2$ μm .	74
Figura 4.23 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=100$ mV, para $L = 10$ μm .	75
Figura 4.24 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=100$ mV, para $L = 3$ μm .	75
Figura 4.25 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=100$ mV, para $L = 2$ μm .	76
Figura 4.26 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS}=100$ mV, para $L = 10$ μm .	76
Figura 4.27 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS}=100$ mV, para $L = 3$ μm .	77
Figura 4.28 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS}=100$ mV, para $L = 2$ μm .	77
Figura 4.29 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=1,5$ V, para $L = 10$ μm .	78
Figura 4.30 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=1,5$ V, para $L = 3$ μm .	78
Figura 4.31 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=1,5$ V, para $L = 3$ μm .	79
Figura 4.32 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS}=1,5$ V, para $L = 10$ μm .	79
Figura 4.33 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS}=1,5$ V, para $L = 3$ μm .	80
Figura 4.34 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS}=1,5$ V, para $L = 2$ μm .	80
Figura 4.35 - Transcondutância $g_m \times V_{GS}$ com $V_{DS}=100$ mV, para $L = 10$ μm .	81
Figura 4.36 - Transcondutância $g_m \times V_{GS}$ com $V_{DS}=100$ mV, para $L = 3$ μm .	81
Figura 4.37 - Transcondutância $g_m \times V_{GS}$ com $V_{DS}=100$ mV, para $L = 2$ μm .	82
Figura 4.38 - Transcondutância $g_m \times V_{GS}$ com $V_{DS}=1,5$ V, para $L = 10$ μm .	82
Figura 4.39 - Transcondutância $g_m \times V_{GS}$ com $V_{DS}=1,5$ V, para $L = 3$ μm .	83
Figura 4.40 - Transcondutância $g_m \times V_{GS}$ com $V_{DS}=1,5$ V, para $L = 2$ μm .	83
Figura 4.41 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=200$ mV, para $L = 10$ μm .	84
Figura 4.42 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=200$ mV, para $L = 3$ μm .	84
Figura 4.43 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=200$ mV, para $L = 2$ μm .	85
Figura 4.44 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=1$ V, para $L = 10$ μm .	85

Figura 4.45 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=1$ V, para $L = 3 \mu\text{m}$.	86
Figura 4.46 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=1$ V, para $L = 2 \mu\text{m}$.	86
Figura 4.47 - Condutância $g_d \times V_{DS}$ com $V_{GT}=200$ mV, para $L = 10 \mu\text{m}$.	87
Figura 4.48 - Condutância $g_d \times V_{DS}$ com $V_{GT}=200$ mV, para $L = 3 \mu\text{m}$.	87
Figura 4.49 - Condutância $g_d \times V_{DS}$ com $V_{GT}=200$ mV, para $L = 2 \mu\text{m}$.	88
Figura 4.50 - Condutância $g_d \times V_{DS}$ com $V_{GT}=1$ V, para $L = 10 \mu\text{m}$.	88
Figura 4.51 - Condutância $g_d \times V_{DS}$ com $V_{GT}=1$ V, para $L = 3 \mu\text{m}$.	89
Figura 4.52 - Condutância $g_d \times V_{DS}$ com $V_{GT}=1$ V, para $L = 2 \mu\text{m}$.	89
Figura 4.53 - Relação g_m/I_{DS} pela corrente de dreno normalizada para transistores GC GAA.	90
.....	90
Figura 4.54 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=100$ mV.	91
Figura 4.55 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=1,5$ V.	91
Figura 4.56 - Transcondutância $g_m \times V_{GS}$ com $V_{DS}=100$ mV.	92
Figura 4.57 - Transcondutância $g_m \times V_{GS}$ com $V_{DS}=1,5$ V.	92
Figura 4.58 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=200$ mV.	93

LISTA DE SÍMBOLOS

A_{TS}	Parâmetro que controla a transição entre as regiões de inversão fraca e inversão forte
A_V	Ganho de tensão de malha aberta em baixa frequência
B_{TS}	Parâmetro que controla a transição entre as regiões de inversão fraca e inversão forte
C_{ox}	Capacitância do óxido de porta do transistor MOS por unidade de área [F/cm^2]
C_{oxb}	Capacitância do óxido enterrado por unidade de área [F/cm^2]
C_{oxf}	Capacitância do óxido de porta do transistor SOI por unidade de área [F/cm^2]
C_{Si}	Capacitância da camada de silício por unidade de área [F/cm^2]
E	Campo elétrico [V/cm]
E_F	Nível de Fermi do semicondutor [eV]
E_{FM}	Nível de Fermi do metal [eV]
E_{Fn}	Nível de Fermi para elétrons [eV]
E_{Fp}	Nível de Fermi para lacunas [eV]
E_g	Largura da faixa proibida [eV]
E_i	Nível de Fermi intrínseco [eV]
E_{eff}	Campo elétrico normal médio no canal nas direções vertical e lateral [V/cm]
E_V	Nível de energia superior da faixa de valência [eV]
g_D	Condutância de dreno [S]
g_m	Transcondutância do transistor [S]
$g_{m,max}$	Transcondutância máxima do transistor [S]
g_m/I_{DS}	Relação entre a transcondutância e a corrente de dreno do transistor MOS [V^{-1}]
I_D	Corrente de dreno [A]
I_{DS}	Corrente entre dreno e fonte [A]
$I_{DS}/(W/L_{eff})$	Corrente normalizada entre dreno e fonte [A]

I_G	Corrente de porta [A]
k	Constante de Boltzmann [$1,38066 \times 10^{-23}$ J/K]
L	Comprimento de máscara do canal do transistor [μm]
λ	Comprimento característico [μm]
L_{eff}	Comprimento efetivo do canal do transistor [μm]
L_{HD}	Comprimento da região fortemente dopada no transistor GC SOI [μm]
L_{LD}	Comprimento da região fracamente dopada no transistor GC SOI [μm]
L_{LD}/L	Relação entre o comprimento da região fracamente dopada e o comprimento de canal, no transistor GC SOI
n	Fator de corpo
N_a	Concentração de impurezas aceitadoras do substrato [cm^{-3}]
N_A	Concentração de impurezas aceitadoras em um semiconductor [cm^{-3}]
N_{AHD}	Concentração de dopantes da camada de silício do transistor GC SOI na região fortemente dopada do canal [cm^{-3}]
N_{ALD}	Concentração de dopantes da camada de silício do transistor GC SOI na região fracamente dopada do canal [cm^{-3}]
n_i	Concentração intrínseca de portadores [cm^{-3}]
q	Carga elementar do elétron [$1,6 \times 10^{-19}$ C]
Q_0	Carga de inversão para $V_{\text{GF}} = V_{\text{thfi}}$ [C/cm^2]
Q_D	Densidade de carga de inversão na fronteira do canal com a região de dreno do transistor SOI [C/cm^2]
Q_{dep}	Carga de depleção na camada de silício [C/cm^2]
$Q_{\text{D,HD}}$	Densidade de carga de inversão na fronteira do canal com a região de dreno do transistor SOI fortemente dopado [C/cm^2]
$Q_{\text{D,LD}}$	Densidade de carga de inversão na fronteira do canal com a região de dreno do transistor SOI fracamente dopado [C/cm^2]
Q_{ox}	Densidade de cargas fixas no óxido de porta do transistor MOS [C/cm^2]
Q_{oxf}	Densidade de cargas fixas no óxido de porta na primeira interface [C/cm^2]
Q_{oxb}	Densidade de cargas fixas no óxido enterrado na segunda interface [C/cm^2]

Q_S	Densidade de carga de inversão na fronteira do canal com a região de fonte do transistor SOI [C/cm^2]
$Q_{S,HD}$	Densidade de carga de inversão na fronteira do canal com a região de fonte do transistor SOI fortemente dopado [C/cm^2]
$Q_{S,LD}$	Densidade de carga de inversão na fronteira do canal com a região de fonte do transistor SOI fracamente dopado [C/cm^2]
S	Inclinação de sublimiar [mV/dec]
T	Temperatura absoluta [K]
t_{oxb}	Espessura do óxido enterrado [nm]
t_{ox}	Espessura do óxido de porta [nm]
t_{Si}	Espessura da camada de silício [nm]
V_D	Tensão aplicada ao dreno do transistor SOI [V]
V_{DS}	Tensão entre dreno e fonte [V]
V_{EA}	Tensão Early [V]
V_{FB}	Tensão de faixa plana da estrutura MOS [V]
V_{GB}	Tensão aplicada ao substrato do transistor SOI [V]
V_G	Tensão aplicada à porta do transistor SOI [V]
V_{GS}	Tensão entre porta e fonte do transistor MOS [V]
V_{GT}	Sobretensão de limiar [V]
V_S	Tensão aplicada à fonte do transistor SOI [V]
v_{sat}	Velocidade de saturação dos portadores na camada de silício [cm/s]
v_T	Potencial térmico [V]
V_{th}	Tensão de limiar da primeira interface em inversão forte [V]
$V_{th,HD}$	Tensão de limiar da primeira interface da região fortemente dopada do transistor GC SOI em inversão forte [V]
$V_{th,LD}$	Tensão de limiar da primeira interface da região fracamente dopada do transistor GC SOI em inversão forte [V]
W	Largura do canal do transistor [μm]
x	Eixo na direção da profundidade da camada de silício

x_{dmax}	Profundidade máxima da região de depleção [μm]
y	Eixo na direção do comprimento de canal do transistor SOI
α	Parâmetro resultante da associação das capacitâncias do transistor MOS
β	Potencial térmico [V]
β'	Fator de ganho do transistor bipolar parasitário
ϵ_{ox}	Permissividade do óxido de silício [$3,45 \times 10^{-13}$ F/cm]
ϵ_{Si}	Permissividade do silício [$1,06 \times 10^{-12}$ F/cm]
ΔL	Redução do comprimento efetivo de canal devido à difusão lateral [μm]
ϕ	Potencial [V]
ϕ_F	Potencial de Fermi [V]
ϕ_{MS}	Diferença da função de trabalho entre metal e silício [V]
ϕ_{ox}	Queda de potencial no óxido de porta do transistor SOI [V]
μ_{max}	Mobilidade máxima dos elétrons na camada de silício [$\text{cm}^2/\text{V}\cdot\text{s}$]
μ_n	Mobilidade efetiva dos elétrons na região do canal [$\text{cm}^2/\text{V}\cdot\text{s}$]
μ_{n0}	Mobilidade intrínseca dos elétrons na superfície [$\text{cm}^2/\text{V}\cdot\text{s}$]
μ_{nHD}	Mobilidade efetiva dos elétrons na região fortemente dopada do canal do transistor GC SOI [$\text{cm}^2/\text{V}\cdot\text{s}$]
μ_{nLD}	Mobilidade efetiva dos elétrons na região fracamente dopada do canal do transistor GC SOI [$\text{cm}^2/\text{V}\cdot\text{s}$]

LISTA DE ABREVIATURAS

CESL	Contact-Etch Stop Layer
CMOS	Complementary Metal-Oxide-Semiconductor
DIBL	Drain-Induced Barrier Lowering
FD	Fully depleted
GAA	Gate-All-Around
GC	Graded-Channel
HD	Highly doped
LD	Lightly doped
LDD	Lightly Doped Drain
LPLV	Low-power Low-voltage
MOS	Metal-Oxide-Semiconductor
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor
PBE	Parasite Bipolar Effect
PD	Partially Depleted
SCEs	Short Channel Effects
sCESL	strained Contact-Etch Stop Layer
SOI	Silicon-On-Insular
sSOI	strained Silicon-On-Insulator
UCL	Université catholique de Louvain
ULSI	Ultra Large Scale Integration

SUMÁRIO

1	INTRODUÇÃO	18
1.1	Objetivo e Estrutura do trabalho.....	21
2	CONCEITOS FUNDAMENTAIS.....	22
2.1	Transistor de Porta Dupla SOI.....	22
2.1.1	Transistor GAA SOI (<i>Gate-All-Around</i>).....	24
2.2	Transistor SOI com Canal Gradual (<i>Graded-Channel</i> SOI nMOSFET)	28
2.3	Transistor GC GAA SOI nMOSFET (<i>Graded-Channel Gate-All-Around</i>).....	30
2.4	Propriedades analógicas	33
2.5	Modelos analíticos para dispositivos de porta dupla.....	35
2.5.1	Modelo para transistores com corpo dopado.....	36
2.5.2	Modelo para transistores com corpo não dopado	40
3	FORMULAÇÃO DO MODELO ITERATIVO DOS GC GAA nMOSFET	44
3.1	Proposta de Modelo Iterativo Associação Série [79]	44
3.2	Resultados.....	48
4	FORMULAÇÃO DO MODELO ANALÍTICO DOS GC GAA nMOSFET	56
4.1	Proposta de modelo Analítico.....	56
4.1.1	V_{TRAN} – Região de Triodo	56
4.1.2	V_{TRAN} – Região de Saturação	57
4.1.3	Modelo analítico de V_{TRAN}	61
4.2	Resultados – Simulações e Comparações.....	62
4.2.1	Comparações com resultados do modelo iterativo	62
4.2.2	Comparações com resultados de simulações bidimensionais.....	74
4.2.3	Comparações com resultados experimentais	90
5	CONCLUSÕES E TRABALHOS FUTUROS.....	94
	REFERÊNCIAS BIBLIOGRÁFICAS	96
	APÊNDICE A – SIMULAÇÃO ITERATIVA MATLAB	102
	APÊNDICE B – ALGORITMO ITERATIVO ADOTADO NO MATLAB.....	110
	APÊNDICE C – SIMULAÇÃO ATLAS	111
	APÊNDICE D – SIMULAÇÃO ANALÍTICA MATLAB.....	114

1 INTRODUÇÃO

O primeiro transistor da história era conceitualmente uma estrutura “semicondutor-sobre-isolante”, na época chamado de dispositivo de efeito de campo (*Insulated-Gate Field-Effect Transistor - IGFET*), patenteado por Lilienfield [1],[2], o qual era descrito por um dispositivo de três terminais com uma região ativa formada por uma fina camada de semicondutor sobre um isolante de porta. Entretanto, naquela época, não havia tecnologia suficiente para a construção de tal estrutura. Anos depois foi fabricado o primeiro transistor de efeito de campo, o MOSFET (*Metal-Oxide-Silicon Field-Effect Transistor*) [3], o qual vem sendo usado e aprimorado até hoje. Porém, estas estruturas estão longe do conceito ideal, pois são fabricadas em lâminas de silício, onde apenas os primeiros micrometros de profundidade do substrato servem como região ativa. Todo o restante apenas fornece sustentação mecânica para fabricação do dispositivo e trazem consigo uma série de efeitos parasitários indesejáveis, tais como efeito tiristor parasitário (*Latchup*) [4] e as elevadas capacitâncias de junção, inerentes à estrutura MOS convencional (*Bulk MOS*) [5]. A crescente evolução dos circuitos integrados exige uma constante miniaturização dos transistores e elevação da concentração de dopantes do substrato, tornando sua fabricação extremamente complexa, pois estes efeitos parasitários tornam-se cada vez mais pronunciados [5].

Uma nova tecnologia tem demonstrado grande potencial para ser utilizada como substrato para a fabricação de circuitos integrados com altíssima escala de integração (*Ultra Large Scale Integration - ULSI*), a tecnologia “silício-sobre-isolante” (*Silicon-on-insulator - SOI*) [6],[7]. Esta tecnologia consiste em implementar os transistores MOS em lâminas de silício sobre isolante, ou seja, refere-se a obter uma fina camada de silício em cima de um isolante, como o óxido de silício, e com esta lâmina resultante implementar os circuitos, de forma similar à adotada para tecnologia MOS convencional. A idéia básica é que a camada de SOI permita uma isolamento dielétrica intrínseca entre a região ativa, na qual são construídos os transistores e o substrato, reduzindo ou até mesmo eliminando os efeitos parasitários decorrentes do substrato, obtendo-se assim uma estrutura próxima da ideal proposta por Lilienfield [1],[2].

A redução da camada de silício sobre o isolante, decorrente da evolução tecnológica, deu origem aos dispositivos SOI de camada fina (*Thin film SOI MOSFET*), que além dos benefícios decorrentes do óxido enterrado, quando está totalmente depletado (*Fully Depleted - FD*) apresenta ainda vantagens adicionais, como o aumento da mobilidade [9], baixos campos

elétricos [8], a diminuição das capacitâncias de fonte e dreno [8],[10], da sensibilidade com a variação da temperatura [11] e do efeito de canal curto [12], o aumento da transcondutância e da densidade de integração [7], a eliminação do efeito tiristor parasitário e do efeito de elevação de corrente (*Kink effect*) [13]. Estas características demonstram a potencialidade da tecnologia SOI, em especial para transistores completamente depletados, para aplicações de baixo consumo de potência e baixa tensão de alimentação (*Low-Power Low-Voltage – LPLV*) [14].

Transistores de porta dupla vêm sendo considerados como uma opção atrativa para melhorar o desempenho dos dispositivos CMOS, superando algumas das dificuldades devidas aos efeitos de canal curto (*Short Channel Effects - SCEs*) [27], na redução das dimensões dos transistores para escalas nanométricas. MOSFETs de porta dupla apresentam melhor controle do canal pela porta do que nos transistores de porta simples, o que leva a redução dos efeitos de canal curto. Devido a tais vantagens, estes dispositivos são promissores para circuitos nanométricos [28],[29]. Outra vantagem se dá quando se aplica um potencial na porta suficiente para ocorrer a inversão de toda a camada de silício, que aumenta a transcondutância, resultando no acréscimo do ganho de malha aberta [30]. Algumas das alternativas recentemente consideradas para a obtenção de transistores de porta dupla são a estrutura FinFET [24],[25], e o transistor de porta circundante (*Gate-All-Around - GAA*). Este último pode ser considerado como um transistor de porta dupla, já que as correntes das regiões laterais do canal podem ser desprezadas [26].

Adicionalmente à menor susceptibilidade a efeitos de canal curto, os transistores de porta dupla proporcionam melhoras significativas para circuitos analógicos, tais como o aumento da corrente de dreno proporcionado pela segunda porta do transistor, a redução da condutância de dreno e o aumento da transcondutância. A união destas vantagens permite a obtenção de amplificadores com maior ganho de malha aberta e frequência de transição unitária.

Apesar das vantagens apresentadas pela tecnologia SOI, esta apresenta alguns problemas intrínsecos, como o Efeito Auto Aquecimento [15], devido à isolamento térmica provinda do óxido enterrado, e uma maior densidade de armadilhas de interface [8], devido ao maior número de interfaces Si-SiO₂, além da reduzida tensão de ruptura de dreno, devido ao efeito de corpo flutuante, que leva à ativação do transistor bipolar parasitário [16].

Como uma das possíveis soluções para a reduzida tensão de ruptura, recentemente foi proposta uma nova estrutura para o transistor SOI, o transistor de canal gradual (*Graded-Channel SOI nMOSFET - GC SOI nMOSFET*) [17],[18],[19].

Esta estrutura é baseada em um perfil assimétrico de dopantes na região de canal do transistor, necessitando apenas de uma pequena modificação no processo de fabricação dos transistores SOI-MOS convencionais, o que permite significativas melhorias na corrente de saturação, reduzida condutância de dreno, que implica em maior tensão Early, aumento da transcondutância, maior tensão de ruptura, minimiza a ocorrência de efeitos bipolares parasitários. Estas características associadas são especialmente importantes para circuitos analógicos [20], nas quais a redução das dimensões é secundária em relação à estabilidade e a redução da condutância de dreno. As potencialidades dos transistores GC SOI em circuitos analógicos já foram demonstradas em espelhos de corrente [21], amplificadores operacionais [22] e *buffers* [23].

O dispositivo estudado neste trabalho consiste na união das estruturas GC e GAA, o qual apresenta a combinação dos efeitos benéficos para circuitos analógicos de ambas as estruturas, assim sendo melhor que cada estrutura individualmente. Estudos mostram excelentes características do GC GAA para tais circuitos [30],[31], como uma significativa melhora na condutância de dreno o que leva a uma maior tensão Early, proporcionando um maior ganho intrínseco.

Considerando a aplicação analógica dos dispositivos GC GAA, percebe-se a necessidade de um modelo analítico válido desde o regime de inversão fraca até a inversão forte, pois se sabe que o melhor compromisso entre a potência dissipada e o ganho/frequência é obtido quando os dispositivos operam em regime de inversão moderada [32].

Devido à falta de um modelo analítico que permita a simulação de dispositivos GC GAA SOI nMOSFETs, de forma confiável, neste trabalho apresenta-se o desenvolvimento de um modelo analítico para tal estrutura, que seja válido para inversão fraca, moderada e forte. Parâmetros como a característica corrente versus tensão, transcondutância, condutância de dreno serão estudados.

Utilizando modelos analíticos de transistores de porta dupla disponíveis na literatura [33],[34],[35], inicialmente propõem-se uma associação série equivalente de transistores representando a estrutura de canal gradual, composta por dois transistores de diferentes concentrações de dopantes (um fortemente dopado e outro fracamente dopado) ligados em série e com portas curto-circuitadas. As equações destes dois transistores serão resolvidas iterativamente, através de um algoritmo simples de convergência, resultando na corrente de dreno da estrutura GC de porta dupla. A partir da corrente de dreno, será possível obter as derivadas da corrente de dreno.

Este modelo iterativo serviu como base para a obtenção do modelo analítico, resultante de uma série de estudos de simplificações nos potenciais internos da estrutura, a fim de se obter a tensão de transição entre os dois lados do canal analiticamente, para que este modelo inicial se transformasse num modelo analítico.

Os resultados obtidos foram comparados com resultados de simulações numéricas bidimensionais e com dados experimentais.

1.1 Objetivo e Estrutura do trabalho

O objetivo deste trabalho é desenvolver um modelo analítico para transistores SOI nMOSFETs implementados com a estrutura de porta dupla com canal gradual (DG GC SOI), válido em todas as regiões de operação, visando a sua utilização na simulação de circuitos analógicos.

Para atingir os objetivos propostos, este trabalho foi dividido em cinco capítulos, conforme seguem:

No **Capítulo 2** apresentam-se os conceitos fundamentais que sustentam o desenvolvimento do trabalho. Neste capítulo é apresentada uma revisão bibliográfica sobre as propriedades analógicas dos transistores, e sobre os transistores de porta dupla, especificamente os de porta circundante. Também se discute o transistor de canal gradual e suas vantagens sobre uma estrutura convencional. Logo após, é discutida a junção das estruturas GC e GAA. Por fim, são apresentados os diversos modelos utilizados, suas equações, características e aplicações no trabalho.

O **Capítulo 3** descreve o desenvolvimento do modelo iterativo para transistores GC GAA SOI nMOSFET, tendo como base os modelos apresentados no capítulo anterior, e por fim, apresenta os resultados do modelo iterativo comparados com simulações numéricas bidimensionais.

O **Capítulo 4** apresenta o desenvolvimento do modelo analítico, onde os resultados do capítulo 3, comparações com simulações numéricas bidimensionais e com dados experimentais são confrontados com o modelo analítico desenvolvido, permitindo sua validação.

As conclusões deste trabalho são apresentadas no **Capítulo 5**, onde são também discutidas as possibilidades para a sua seqüência.

2 CONCEITOS FUNDAMENTAIS

Neste capítulo será apresentada uma revisão sobre os conceitos fundamentais necessários ao desenvolvimento do trabalho. Será feita uma análise dos transistores de porta dupla, apresentando suas principais características e vantagens, dando ênfase aos transistores de porta circundante, seu processo de fabricação e peculiaridades. Também será apresentado o transistor de canal gradual, e a sua aplicação juntamente à estrutura de porta dupla. Por fim, serão apresentados os modelos utilizados, suas formulações e análises.

2.1 Transistor de Porta Dupla SOI

Nas duas últimas décadas a tecnologia CMOS vem sendo largamente estudada a fim de se conseguir circuitos com maior escala de integração e mais rápidos. Iniciativas como a mudança de materiais, tais como o germânio, e redução das dimensões foram as primeiras alternativas, porém, problemas associados a esta diminuição, chamados efeitos de canal curto (*Short Channel Effects – SCEs*), como degradação da tensão de limiar, degradação da inclinação de sublimiar e o efeito da redução da barreira de potencial induzida pelo dreno (*Drain Induced Barrier Lowering – DIBL*), levaram às pesquisas de transistores que possibilitassem um melhor controle das cargas na região de canal e, como consequência, reduzissem significativamente os efeitos de canal curto.

Em 1984 foi publicado o primeiro artigo sobre transistores de porta dupla [36]. Nele foi apresentado o funcionamento do transistor XMOS, o qual permitia um maior escalamento das dimensões, pois a presença da segunda porta evitava a influência das regiões de dreno e fonte no potencial do canal [37], o que acarretava em um maior controle das cargas neste, o que por sua vez reduzia consideravelmente os efeitos de canal curto.

Diversos dispositivos de múltiplas portas foram desenvolvidos ao longo da evolução da tecnologia MOS, visando à obtenção de melhores características elétricas, como a redução dos efeitos de canal curto e a maior intensidade de corrente. Estão entre os dispositivos de porta dupla (*Double Gate - DG*): XMOS [36], primeiro dispositivo de porta dupla a ser pesquisado, conforme mencionado anteriormente; Transistor de porta circundante (*Gate-All-Around - GAA*) [26], dispositivo que possui a região de canal envolta por isolante e material de porta; DELTA [40] e FinFET [41], MFXMOS (*Multi-Fin XMOS*) [38],[39], entre outros mais recentes. Destes, o primeiro fabricado usando lâminas SOI foi o DELTA (*fully DEpleted Lean-channel TrAnsistor*) em 1989, o qual quebrava o paradigma de transistores planares e

era implementado verticalmente sobre a camada de silício. Nesta linha de pesquisa, mais tarde vieram os FinFETs e os MFXMOS.

Efeitos de canal curto causam a dependência da tensão de limiar com o comprimento do canal, o aumento da corrente de fuga e a degradação da inclinação de sublimiar [47]. Estes efeitos são provocados, pois ao se diminuir o canal do transistor, as regiões de depleção entre dreno e canal, e fonte e canal passam a deixar de ser desprezíveis e, assim, concorrer com a porta sobre o controle das cargas do canal. Nos dispositivos de porta dupla, a segunda porta diminui esta influência e aumenta o controle das cargas na região de canal. Porém, estes efeitos não são eliminados para canais extremamente curtos. Assim, torna-se necessário um parâmetro pelo qual se possa qualificar a partir de quais dimensões o dispositivo será susceptível aos efeitos de canal curto. O comprimento natural da estrutura, o qual representa a distância de penetração das linhas de campo elétrico do dreno para o interior do corpo do dispositivo permite esta definição. A equação (2.1) apresenta a expressão para o cálculo do comprimento natural da estrutura (λ), onde ϵ_{Si} corresponde à permissividade do silício, ϵ_{Ox} a permissividade do óxido, t_{ox} a espessura do óxido de porta e t_{Si} a espessura da camada de silício [5].

$$\lambda = \sqrt{\frac{\epsilon_{Si}}{2\epsilon_{Ox}} \cdot t_{ox} \cdot t_{Si}} \quad (2.1)$$

Para comprimentos de canal 5 a 10 vezes maiores que o comprimento natural da estrutura, o dispositivo pode ser considerado livre dos efeitos de canal curto [48].

A inclinação de sublimiar ($S = \delta V_{GF} / \delta \log(I_{DS})$) apresenta uma melhora provocada também pelo melhor acoplamento do dispositivo, provocado pela presença da segunda porta. Em condições de temperatura ambiente este valor de S é aproximadamente 59,6 mV/década, ou seja, chega-se ao o limite teórico da inclinação de sublimiar, $\ln(10)kT/q$, onde k é a constante de Boltzman, T a temperatura absoluta e q a carga do elétron. O efeito da redução da barreira de potencial induzida pelo dreno (DIBL), pode levar a valores de S superiores ao limite teórico, e em transistores de canal curto, a corrente proveniente da ionização por impacto, por outro lado, pode levar a valores de S inferiores ao limite teórico [31].

A ionização por impacto, supracitada, é o efeito que ocorre quando pares elétron-lacunas são formados pelo alto campo elétrico na região de dreno [31]. Para a tecnologia SOI estas lacunas representam um dos maiores problemas, principalmente em dispositivos de

porta simples, pois pela ausência de um contato com o substrato, estas lacunas têm apenas dois destinos, ou ficam no interior do canal, o que provoca o acréscimo do potencial deste, diminuindo a tensão de limiar que por sua vez aumenta a corrente I_{DS} para mesma polarização de dreno e de porta (efeito *kink*), ou migram para região de fonte fortemente dopada, o que introduz uma grande quantidade de elétrons no canal, os quais são recolhidos pelo dreno, num efeito bipolar, aumentando drasticamente a corrente I_{DS} , fazendo com que a porta perca o controle da estrutura, o que pode levar a uma ruptura prematura da junção. Tal fenômeno é chamado de efeito bipolar parasitário (*Parasitic Bipolar Effect – PBE*) [16], e está associado ao transistor bipolar parasita intrínseco ao transistor MOS, onde a fonte corresponde ao emissor, o corpo corresponde à base, a qual fica flutuante, e o dreno ao coletor.

A terceira e última vantagem do uso de porta dupla é o acréscimo da corrente de dreno, que, de um modo simplificado, é proporcional ao número de portas efetivas do dispositivo, considerando que a corrente apenas percorre a superfície do canal, interface Si-SiO₂. Porém, em 1987 [43] descobriu-se que em transistores totalmente depletados com fina camada de silício, a camada de inversão pode passar a ocupar parte do interior da camada, criando assim a chamada inversão volumétrica, ou seja, a corrente flui também pelo interior do canal, onde a mobilidade também é maior, o que leva ao aumento da transcondutância. O efeito da inversão volumétrica foi primeiramente observado no transistor de porta circundante (GAA) em 1990, e posteriormente, percebido também em dispositivos de porta tripla [44],[45].

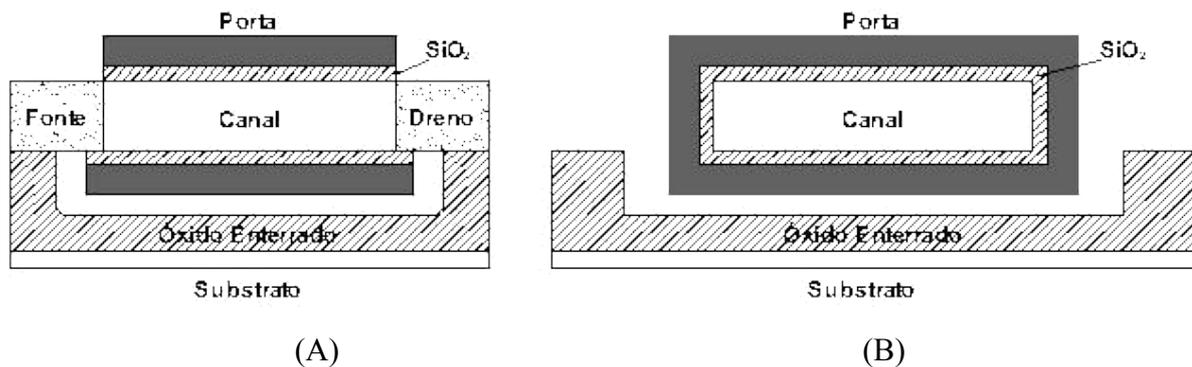
2.1.1 Transistor GAA SOI (*Gate-All-Around*)

O transistor GAA (*Gate-All-Around*) SOI MOSFET foi desenvolvido em 1990 por J. P. Colinge *et al.* [26], como alternativa aos transistores de porta dupla de canal vertical, pois apresentava uma estrutura planar similar aos transistores SOI convencionais, porém, com o canal envolto por um isolante e um material de porta [26], sendo que sua fabricação apenas inseria uma etapa de máscara e uma etapa corrosiva ao processo CMOS-SOI de fabricação. Apesar de sua porta circundar todo o canal, o GAA pode ser considerado um transistor de porta dupla, por ter a largura do canal muito maior do que a espessura da camada de silício. Sendo assim, o efeito das portas laterais pode ser desprezado.

Devido às suas características elétricas superiores, tais como a maior intensidade de corrente, maior transcondutância e maior imunidade a efeitos de canal curto, e devido ao seu processo de fabricação relativamente simples, o transistor GAA torna-se uma alternativa

interessante entre os dispositivos de porta dupla, especialmente para aplicações de baixa tensão e baixa potência e para circuitos analógicos [26].

Na Figura 2.1, parte A, é apresentada a secção transversal do dispositivo GAA, paralela ao fluxo da corrente, onde se pode notar a presença da porta em ambas as interfaces do canal. Na parte B é apresentada a vista perpendicular à corrente, onde se vê a porta circundando o canal.



(A) (B)
Figura 2.1 – Dispositivo GAA: vista frontal (A) e lateral (B).

De forma simplificada, o processo de fabricação deste dispositivo é descrito a seguir. Conforme mencionado anteriormente, para a fabricação desta estrutura somente são necessárias algumas pequenas modificações no processo padrão do SOI MOSFET de porta simples. No processo atual, disponível no Laboratório de Microeletrônica da Universidade Católica de Louvain, Bélgica, os transistores GAA são fabricados a partir de uma lâmina SOI do tipo UNIBOND [46], com espessura do óxido enterrado de 390nm. Esta possui a espessura da camada de silício de dimensão superior à desejada, assim, são necessárias algumas etapas de oxidação seguidas da remoção do óxido a fim de se obter espessuras da ordem de 100nm.

Após se obter a espessura desejada, se cresce uma fina camada de óxido de silício sobre a lâmina, e nitreto de silício é depositado sobre este óxido. Usando uma etapa fotolitográfica, tanto o nitreto de silício quanto o óxido de silício são corroídos para a definição da região ativa, formando assim as mesas de silício, sendo que todo o silício da região passiva da lâmina é totalmente removido, como mostra a Figura 2.2 (A). Então, ocorre mais uma etapa de oxidação local com o intuito de se arredondar as bordas das ilhas de silício, para garantir que não haja cantos vivos, regiões que deixariam o óxido de porta não uniforme [5]. Depois disto, o nitreto de silício e o óxido de silício são removidos, resultando na estrutura apresentada na Figura 2.2 (B).

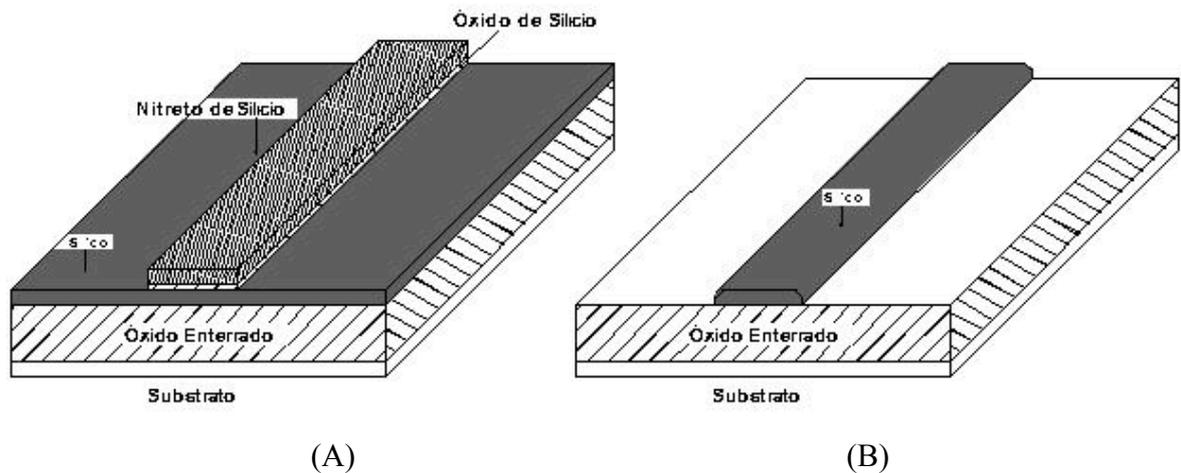


Figura 2.2 - Perspectiva da lâmina: após a definição da região ativa (A), e após o arredondamento dos cantos (B).

Com as mesas definidas, uma nova etapa fotolitográfica é usada para proteger toda a lâmina, exceto as áreas que correspondem à intersecção entre a região ativa e a camada de silício policristalino de porta. A lâmina então é imersa em uma solução de ácido fluorídrico (HF), que faz com que o óxido nas laterais da mesa de silício e o óxido enterrado sejam corroídos, e uma cavidade seja criada abaixo da parte central das ilhas de silício, conforme apresentado na Figura 2.3 (A). Neste ponto, o dispositivo assemelha-se a uma ponte de silício sustentada por suas extremidades (regiões que se tornarão a fonte e dreno), sobre uma cavidade vazia.

A oxidação de porta é a próxima etapa, na qual é crescido termicamente um óxido de 30nm de espessura sobre toda a área de silício exposta, inclusive dentro da cavidade criada, formando assim a porta circundante. Implanta-se boro para ajustar a tensão de limiar e então se deposita o silício policristalino de porta, dopado com impurezas tipo n. A seguir, uma etapa comum de litografia define o padrão do polisilício, seguido por uma corrosão por plasma. As regiões de dreno e fonte são então fabricadas, através de uma implantação iônica de fósforo, seguida por uma etapa de recozimento, resultando a estrutura da Figura 2.3 (B). Seguem-se então as etapas convencionais de definições de contatos e metalização. Devido ao processo de corrosão utilizado para a formação da cavidade, a porta inferior do dispositivo é maior que a superior, o que traz uma maior capacitância parasita [46], conforme observa-se na Figura 2.1 (A).

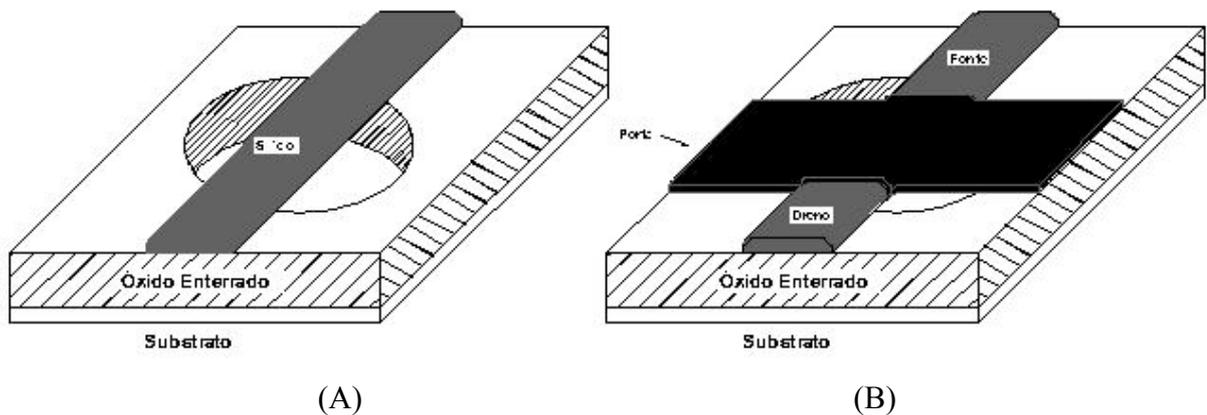


Figura 2.3 - Perspectiva da lâmina: após a corrosão da cavidade (A), e após definição de fonte e dreno (B).

O dispositivo GAA resultante deste processo, devido ao melhor controle das cargas no canal provindo da segunda porta, possui diversas características elétricas superiores às apresentadas pelos dispositivos de porta simples (*Single Gate - SG*) de mesmas dimensões, tais como inclinação de sublimiar (S) próxima do limite teórico, redução dos efeitos de canal curto e maior intensidade de corrente de dreno (I_{DS}).

Outra importante característica do transistor GAA é um aumento relevante da transcondutância (g_m), a qual é definida pela derivada da corrente I_{DS} em função da tensão de porta V_{GF} , o que, pela referência [26], é superior ao dobro de um transistor SG SOI com mesmas dimensões, como visto na Figura 2.4, que apresenta a curva da transcondutância em função da tensão aplicada à porta (V_{GF}) para transistores de porta simples e GAA.

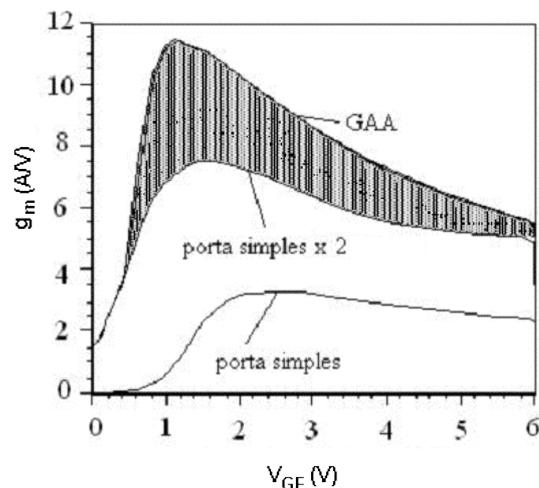


Figura 2.4 - Transcondutância em função da tensão de porta com $V_{DS}=100\text{mV}$ para um transistor SOI de porta simples e um GAA [5].

Pela Figura 2.4 se nota que a transcondutância é maior que o dobro de um transistor de porta simples, este fato pode ser atribuído à inversão volumétrica. A contribuição da inversão

volumétrica é mais pronunciada para tensões de porta nas vizinhanças da tensão de limiar, onde a camada de inversão é distribuída por toda a camada de silício, com maior mobilidade do que na interface Si-SiO₂. Para valores superiores de polarização de porta, ainda há inversão na camada de silício, porém a maioria dos portadores está localizada nas interfaces. Como resultado, percebe-se uma transcondutância próxima do dobro de um dispositivo convencional com as mesmas razões de W/L, onde W é a largura do canal e L o comprimento do canal, e mesma polarização [26].

A tensão Early (V_{EA}) no transistor GAA também apresenta uma significativa melhora em relação aos dispositivos SG. Devido ao melhor acoplamento da estrutura GAA, a condutância de dreno é menor, ou seja, menor a influência da tensão de dreno na corrente I_{DS} , assim a tensão Early é maior [30]. Como o ganho intrínseco do transistor é proporcional a V_{EA} [32], tem-se uma estrutura com maior ganho.

Dispositivos GAA são menos suscetíveis ao efeito de auto-aquecimento (*self-heating*) do que os transistores SOI convencionais de porta simples [51]. No caso de dispositivos de porta simples, estes são separados do substrato por uma camada de óxido espessa, e são separados entre si pela presença do óxido de isolamento da região ativa. O SiO₂ possui condutividade térmica da ordem de 100 vezes menor do que o Si, o que dificulta a dispersão do calor gerado pela passagem de I_{DS} , finalmente provocando o acúmulo de calor na camada de Si. Já nos dispositivos GAA, a região de canal é separada do substrato por uma camada de silício policristalino e uma camada óxido bem fina, o que representa uma condutividade térmica melhor para o substrato do que o óxido enterrado.

Além dos benefícios citados, os dispositivos GAA apresentam resultados interessantes em relação a altas temperaturas e em ambientes de alta radiação [5], e recentemente descobriu-se que em baixas temperaturas o GC GAA também oferece alternativas interessantes [52]. Novamente estas vantagens se dão devido à presença da segunda porta e a completa isolamento do canal do restante da estrutura.

2.2 Transistor SOI com Canal Gradual (*Graded-Channel* SOI nMOSFET)

Como descrito anteriormente, o efeito bipolar parasitário inerente à estrutura SOI convencional, devido ao corpo flutuante, é um dos maiores problemas da tecnologia SOI [16]. Uma solução para este problema seria a diminuição da concentração em um dos lados da junção canal-dreno, o que reduziria a barreira de potencial e, por conseqüência, o campo elétrico associado. Com um menor campo elétrico, uma menor quantidade de portadores seria

gerada pelo mecanismo de ionização por impacto, diminuindo assim o fator de multiplicação do transistor bipolar parasita, responsável pela injeção de lacunas na fonte [16].

Com este intuito, algumas alternativas foram propostas, entre elas a estrutura com o dreno fracamente dopado (*Lightly Doped Drain - LDD*) [53], que possui uma região com concentração reduzida de dopante tipo n entre a região de canal (tipo p) e a região de dreno fortemente dopada (tipo n). Entretanto, esta estrutura apresenta, como maior inconveniente, a elevação da resistência série associada ao transistor, já elevada em transistores SOI pela redução da espessura da camada de silício [54],[55]. Com o mesmo objetivo, pode-se também diminuir a concentração do canal, porém tal prática causa a redução da tensão de limiar e o incremento do ganho do transistor bipolar parasitário.

A fim de se reduzir o efeito bipolar, porém sem prejudicar as características do transistor, foi proposta uma nova estrutura chamada SOI MOSFET com canal gradual (*Graded-Channel SOI MOSFET - GC SOI MOSFET*) [56]. Esta estrutura apresenta um perfil de dopantes assimétrico na região de canal, que o divide em duas regiões: a primeira com a concentração de dopantes usual, e a segunda com a concentração de dopantes original da lâmina, com a intenção de preservar a tensão de limiar e diminuir o efeito da ionização por impacto, respectivamente. A fabricação da estrutura de canal gradual (GC) não necessita de etapas adicionais ao processo de fabricação, apenas sendo necessária uma modificação na máscara que protege os transistores pMOSFET da implantação iônica para ajuste da tensão de limiar dos nMOS. Esta mesma máscara é utilizada para proteger a região fracamente dopada da implantação iônica de ajuste da tensão de limiar, permitindo que a fabricação dos GC SOI seja facilmente adaptada ao processo SOI CMOS padrão. A Figura 2.5 apresenta o perfil da estrutura proposta, onde L é o comprimento do canal e L_{LD} o comprimento da região fracamente dopada.

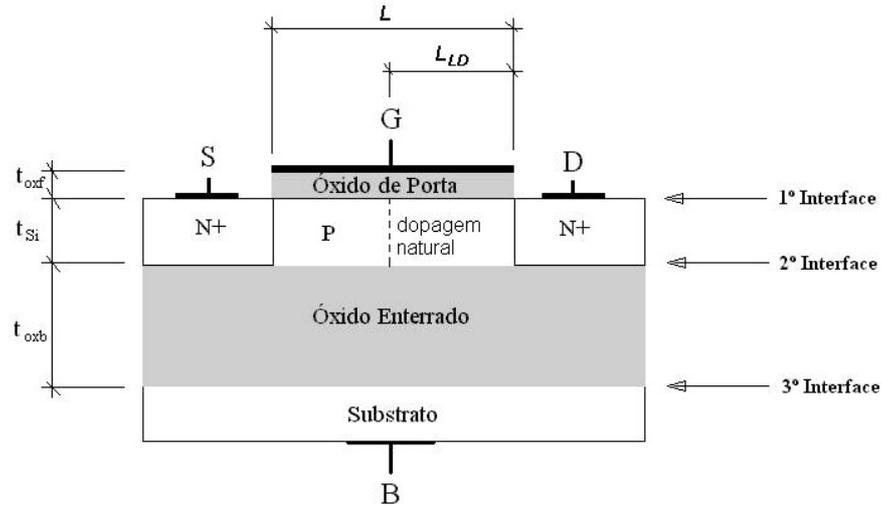


Figura 2.5 - Perfil do transistor SOI MOSFET canal n totalmente depletado com perfil de dopantes assimétrico na região de canal (GC SOI nMOSFET).

A região que preserva a dopagem natural da lâmina possui uma tensão de limiar muito inferior à tensão de limiar da região fortemente dopada, em geral negativa. Assim, permanece invertida mesmo quando o potencial aplicado à porta é nulo [60]. Desta forma, pode-se concluir que o comprimento efetivo do canal deste transistor (L_{eff}) corresponda aproximadamente à diferença entre o comprimento de máscara do canal (L) e o comprimento da região fracamente dopada (L_{LD}), $L_{eff} \approx L - L_{LD}$. Assim, para dispositivos com o mesmo comprimento de máscara e maior razão L_{LD}/L é observado um aumento na intensidade de corrente [19].

Além de melhorar o problema da estrutura SOI proveniente da ionização por impacto, e aumentar da tensão de ruptura de dreno [58], a estrutura GC traz mais alguns benefícios, como o aumento da corrente de dreno e da transcondutância máxima, uma significativa melhora na condutância de dreno e, conseqüentemente, elevação da tensão Early [57]. Tais características são desejáveis para aplicações analógicas, pois, como visto anteriormente, levam a um maior ganho intrínseco.

2.3 Transistor GC GAA SOI nMOSFET (*Graded-Channel Gate-All-Around*)

Até este ponto foram apresentadas duas estruturas de dispositivos distintas, a de porta circundante e de canal gradual. A estrutura resultante da junção de ambas as idéias é o GC GAA (*Graded-Channel Gate-All-Around*). Suas características ainda foram pouco estudadas, porém, algumas das características já estudadas confirmam as boas expectativas, como na

utilização para aplicações analógicas [59] e em dispositivos de baixa tensão e baixa potência (*Low-Power Low-Voltage* - LPLV) [30],[31],[60].

O GC GAA é facilmente obtido usando o mesmo método proposto na fabricação em porta simples, conforme descrito no item 2.2, porém utilizam-se as etapas de fabricação do transistor GAA, ou seja, no processo onde se fabrica dispositivos GAA adiciona-se uma modificação na máscara que protege os transistores pMOSFET, para proteger parte do canal dos transistores nMOSFET da implantação iônica que faz o ajuste da tensão de limiar do mesmo, mantendo a concentração natural da lâmina perto do dreno, assim gerando o canal gradual também para o dispositivo de porta circundante, como apresentado na Figura 2.6, na qual é mostrado o perfil transversal do transistor GC GAA. Este procedimento permite que sejam fabricados transistores GAA convencionais e GC GAA na mesma lâmina [61].

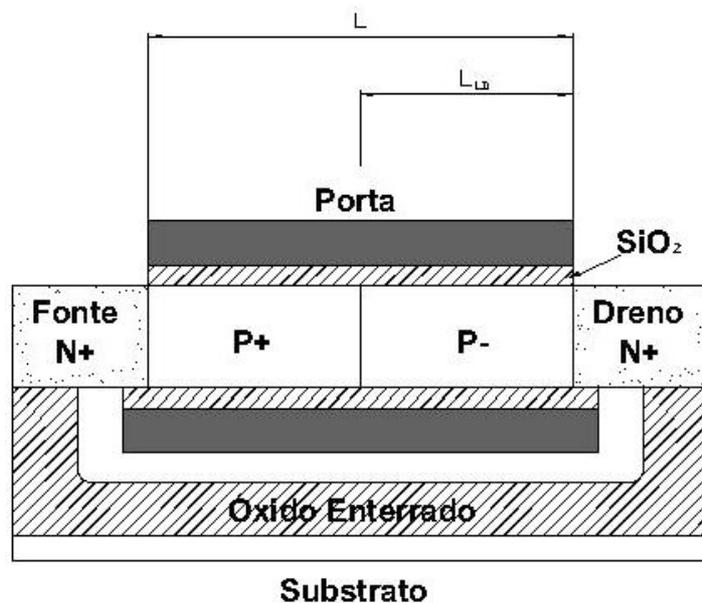


Figura 2.6 - Perfil transversal do transistor GAA SOI MOSFET canal n totalmente depletado com perfil de dopantes assimétrico na região de canal (GC GAA SOI nMOSFET).

Devido à diminuição do comprimento efetivo de canal (L_{eff}), conforme a razão L_{LD}/L é aumentada, o dispositivo GC GAA tem um aumento da corrente de dreno (I_{DS}) em relação ao transistor GAA convencional, assim como acontece no dispositivo GC SG em comparação ao SG convencional. Da mesma forma, ao compararmos dispositivos GC SG e GC GAA de mesmas dimensões, se percebe que a corrente do que possui a segunda porta é maior, tende ao dobro do dispositivo de porta simples, devido à formação de um segundo canal pela porta inferior, e se a inversão volumétrica for considerável esta corrente passa a ser maior que o dobro do SG [30].

O mesmo fenômeno que acontece com I_{DS} , ocorre também ao se analisar a transcondutância entre dispositivos de porta dupla dotados ou não de estrutura de canal gradual, isto é, uma transcondutância muito maior é observada em dispositivos GC, que em alguns casos pode atingir valores próximos ao dobro daquela obtida em transistores uniformemente dopados para mesma corrente de dreno [31]. Como visto na referência [30], o valor de g_m para um mesmo nível de corrente é 1,4 vezes maior em dispositivos GAA uniformemente dopados em relação aos dispositivos convencionais de porta simples e em torno de 2,8 vezes maior em dispositivos GC GAA quando comparado à transistores GC SG de razões L_{LD}/L semelhantes. Este efeito apresentado pelos dispositivos GC GAA se deve ao fato do melhor controle das cargas no interior do canal provindo da porta adicional, somado ao efeito provocado pela diminuição do comprimento efetivo de canal causado pela estrutura de canal gradual [31].

Em relação à tensão Early, os dispositivos GC GAA chegam a apresentar valores superiores a 1600 V (em valor absoluto), enquanto dispositivos GAA convencionais valores próximos a 60 V, para transistores com comprimento de canal de 2,2 μm [30]. Esta ótima melhora também pode ser notada em relação a dispositivos GC de porta simples, o que demonstra a eficácia da superposição da estrutura GC com a estrutura de porta circundante. Devido ao acoplamento vertical e ao melhor controle do potencial no interior do canal proporcionado pela presença de duas portas [30], é obtido um primeiro aumento em V_{EA} , e devido à presença da estrutura de canal gradual, a maior parte do potencial aplicado ao dreno é absorvido na região fracamente dopada, o que ocasiona uma redução na condutância de dreno e um aumento adicional na tensão Early [17].

Como o ganho de malha aberta é diretamente proporcional à tensão Early, também nota-se um aumento deste para dispositivos GC GAA devido à influência mútua dos efeitos de porta circundante e de canal gradual. Transistores GAA uniformemente dopados apresentam valores de ganho de malha aberta inferiores a 50 dB, enquanto transistores GC GAA apresentam ganhos superiores a 75 dB, segundo as referências [30],[31]. Esta característica é muito interessante para confecção de amplificadores operacionais de transcondutância (*Operational Transconductance Amplifiers – OTAs*) de alto ganho, pois até então para se conseguir um OTA com ganho alto, precisava-se de transistores de alta ocupação de área, estruturas em cascata, associações série-paralelo, gerando limitações de frequência e área para os projetistas de circuito [32].

2.4 Propriedades analógicas

A medida da eficácia do controle da corrente de dreno pela tensão de porta em um transistor MOS é denominada transcondutância, g_m , a qual é descrita como sendo a derivada da corrente de dreno pela tensão de porta e é dada pela equação (2.2).

$$g_m = \frac{dI_{DS}}{dV_{GS}} \quad (2.2)$$

A célula analógica mais simples que se pode construir com um transistor MOS é o amplificador de tensão de único transistor, o qual é apresentado na Figura 2.7.

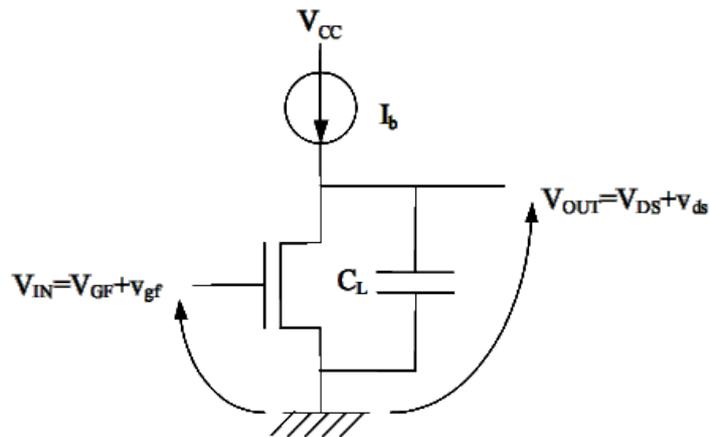


Figura 2.7 - Amplificador de tensão com um único transistor MOS.

Este circuito é constituído por um único transistor e uma carga capacitiva (C_L), sendo o transistor em uma configuração de fonte comum com uma fonte de corrente constante de polarização (I_b), que fixa o ponto de operação, fazendo assim que a parcela alternada (v_{gf}) da tensão de entrada (V_{IN}) seja amplificada na tensão de saída (V_{OUT}) através da parcela v_{ds} . O ganho de tensão de malha aberta deste amplificador em baixa frequência é dado pela razão entre a parte alternada da tensão de saída pela parte alternada da tensão de entrada, $A_{V0} = v_{ds}/v_{gf}$, ou derivando, é a razão entre a transcondutância pela condutância, $A_{V0} = g_m/g_D$ [32]. Sabendo que na região de saturação a condutância pode ser aproximada pela razão da corrente de dreno pelo modulo da tensão Early, $g_D \cong I_{DS}/|V_{EA}|$, pode-se aproximar o ganho para, $A_{V0} = (g_m/I_{DS}) \cdot |V_{EA}|$. Ambos os multiplicadores desta última equação, a relação g_m/I_{DS} e a tensão Early (V_{EA}), são propriedades analógicas importantes e serão discutidas a seguir.

A medida direta da eficiência do transistor em converter uma determinada corrente de polarização em transcondutância é expressa pela relação g_m/I_{DS} . Esta relação é pouco dependente das dimensões dos transistores e indica em que região de inversão o transistor está operando: inversão fraca, moderada ou forte. O máximo valor ocorre quando o dispositivo está operando em inversão fraca. À medida que a corrente de dreno é aumentada o dispositivo passa a operar em inversão moderada, e finalmente, atinge a inversão forte. Tipicamente o valor máximo de g_m/I_{DS} em um transistor SOI MOSFET é de $35V^{-1}$ [5], em inversão fraca. A curva que relaciona g_m/I_{DS} com a corrente de dreno normalizada pelas dimensões, $g_m/I_{DS} \times I_{DS}/(W/L)$, é uma poderosa ferramenta de projeto de circuitos analógicos [32]. A Figura 2.8 apresenta um exemplo de curva $g_m/I_{DS} \times I_{DS}/(W/L)$ para tecnologia SOI nMOSFET, indicando as três regiões de inversão mencionadas.

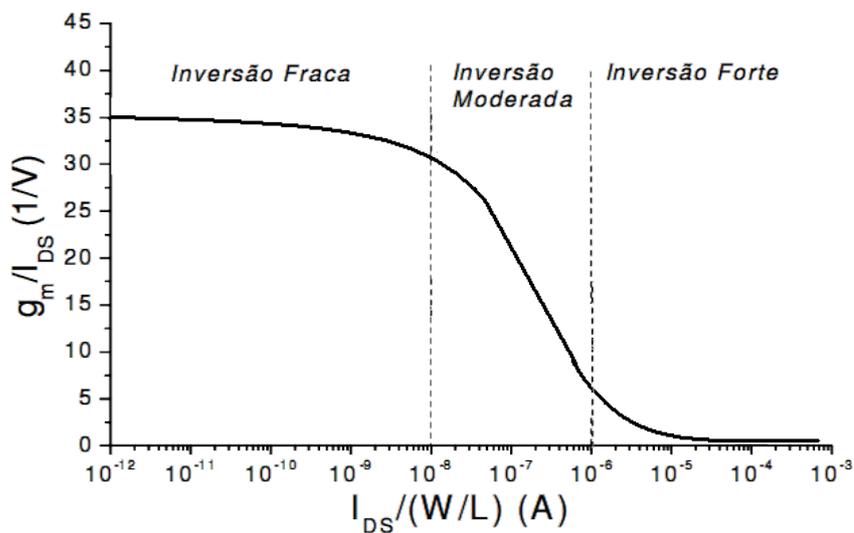


Figura 2.8 - Representação esquemática para relação g_m/I_{DS} para transistores SOI MOS.

A outra propriedade analógica importante aqui discutida é a tensão Early. No transistor MOS. Quando a tensão aplicada no dreno é maior do que a tensão de saturação, há um acréscimo da região de depleção próxima ao dreno, o que ocasiona a modulação do comprimento de canal, reduzindo assim seu comprimento efetivo, o que provoca um acréscimo da corrente de dreno, aumentando a inclinação da curva $I_{DS} \times V_{DS}$ na região de saturação [5]. De forma simples, desprezando-se a tensão de saturação, esta tensão é obtida através da extrapolação da curva $I_{DS} \times V_{DS}$ na região de saturação no ponto onde a corrente é nula, conforme Figura 2.9.

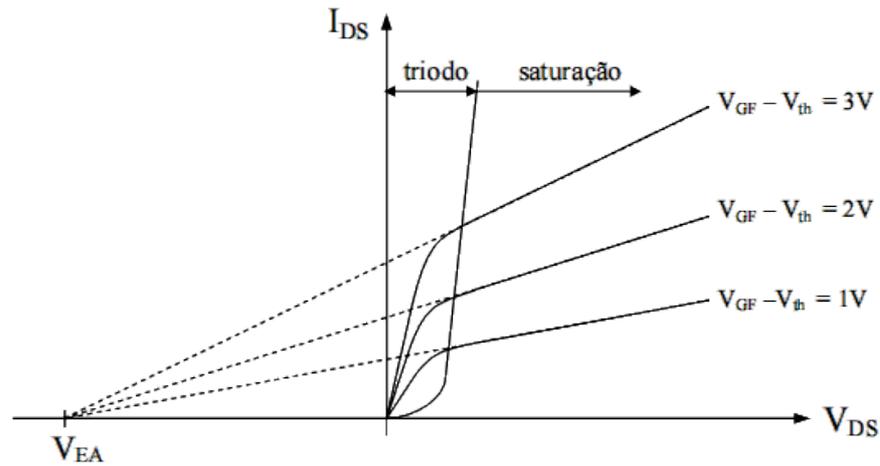


Figura 2.9 - Determinação da tensão Early através da extrapolação da curva $I_{DS} \times V_{DS}$.

2.5 Modelos analíticos para dispositivos de porta dupla

O desenvolvimento do modelo iterativo do transistor GC GAA, assim como o desenvolvimento do modelo analítico, é suportado pelo estudo dos modelos para transistores de porta dupla já publicados. Seguindo a mesma estratégia adotada para modelar analiticamente transistores GC SOI de porta simples [49], o modelo desenvolvido para os GC GAA baseia-se na associação série de dois transistores GAA convencionais, um fortemente dopado e outro fracamente dopado, a fim de se obter uma estrutura equivalente. Assim, foi necessário o estudo de diversos modelos analíticos para dispositivos DG e GAA.

A maioria dos modelos propostos para transistores de porta dupla até hoje tratam de dispositivos não dopados [35],[63],[64],[65],[66],[67],[68],[69], e outros poucos de dispositivos dopados [33],[34],[70],[71],[75]. Estes modelos são baseados na solução unidimensional da equação de Poisson na direção perpendicular à porta, o que despreza os efeitos de canal curto, para adicioná-los futuramente como correções de segunda ordem provindas de parâmetros de ajuste. A referência [73] apresenta uma ampla revisão dos métodos usados para obtenção dos modelos para transistores de porta dupla propostos, discutindo suas vantagens, desvantagens e aplicações em altas frequências.

Entre todos os modelos estudados, foram escolhidos para este trabalho os modelos que funcionassem em todos os regimes de operação, da inversão fraca a forte e da região triódo à saturação e que fossem analíticos, explícitos, contínuos e que apresentassem um bom resultado na tecnologia que usamos. Tendo em vista estes critérios, para o transistor fortemente dopado foi utilizado o modelo proposto na referência [33], o qual será descrito no

item 2.5.1, e para o dispositivo não dopado foi utilizado o modelo proposto na referência [35], o qual será descrito no capítulo 2.5.2.

2.5.1 Modelo para transistores com corpo dopado

Neste item será apresentado o modelo proposto por B. Iñiguez na ref. [33]. Esta publicação apresenta um modelo analítico para dispositivos DG MOSFET, contínuo em todos os regimes de operação (triódo, saturação e sublimiar), não sendo necessário nenhum parâmetro de ajuste. Inclui expressões para a corrente de dreno, baseada no modelo de cargas, descrita em termos da densidade de cargas de inversão na fonte e no dreno e sua polarização, cargas e capacitâncias, resultando em um modelo de pequenos sinais completo.

Usando a aproximação de distribuição uniforme de dopantes no canal e negligenciando a concentração de lacunas, a equação de Poisson para um dispositivo DG nMOSFET pode ser escrita da seguinte maneira:

$$\frac{d^2\phi(x,y)}{dy^2} = \frac{q}{\epsilon_{Si}} \cdot \left[N_A + \frac{n_i^2}{N_A} \cdot e^{\frac{q}{kT}(\phi(x,y)-V(x))} \right] \quad (2.3)$$

onde o eixo y é perpendicular à superfície, e o eixo x começa na fonte e termina na região de dreno, N_A representa a concentração de lacunas da camada de silício, n_i é a concentração intrínseca de portadores, o potencial $\phi(x,y)$ faz referência à região neutra de um transistor MOS convencional equivalente, e por fim, $V(x)$ é o potencial de quasi-Fermi, que depende da tensão aplicada no canal entre dreno e fonte.

O campo elétrico superficial pode ser escrito em termos da densidade de cargas na camada de inversão por unidade de área (Q), e a densidade de cargas de depleção por unidade de área $Q_{Dep}=q \cdot N_A \cdot t_{Si}$, onde t_{Si} é a espessura da camada de silício, conforme equação (2.4).

$$E_S(x) = \frac{Q + \frac{Q_{Dep}}{2}}{\epsilon_{Si}} \quad (2.4)$$

onde ϵ_{Si} representa a permissividade do silício.

Integrando-se a equação (2.3) entre o centro e a superfície do filme de silício, tem-se a equação (2.5).

$$E_S(x) = \sqrt{\frac{2qN_A}{\epsilon_{Si}}} \sqrt{(\phi_S - \phi_0) + \frac{kT}{q} \frac{n_i^2}{N_A^2} e^{\frac{q}{kT}[\phi_S - V(x)]} \left(1 - e^{-\frac{q}{kT}[\phi_S - \phi_0]}\right)} \quad (2.5)$$

onde $\phi_S = \phi(x, -t_{Si}/2)$ é o potencial de superfície e $\phi_0 = \phi(x, 0)$ é o potencial no centro da camada de silício. Esta equação de campo elétrico não pode ser integrada analiticamente para se obter o potencial, mas como veremos no capítulo 2.6, a diferença $(\phi_S - \phi_0)$ mantém um valor constante desde o sublimiar até bem além da tensão de limiar, sendo este valor dado pela equação (2.6):

$$(\phi_S - \phi_0) = \frac{Q_{Dep}}{8 \cdot C_{Si}} \quad (2.6)$$

onde $C_{Si} = (\epsilon_{Si} / t_{Si})$ representa a capacitância da camada de silício por unidade de área. Esta aproximação foi profundamente estudada na referência [62].

A Figura 2.10 apresenta o diagrama de faixas de energia do transistor DG com tensão de porta, V_{GS} , aplicada.

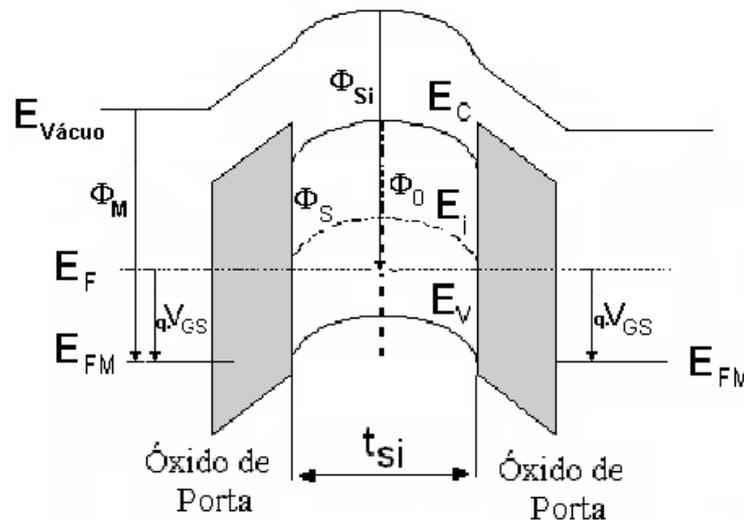


Figura 2.10 - Diagrama de faixas de energia do transistor DG.

Igualando as equações (2.4) e (2.5), e aplicando a lei de Kirchoff nos potenciais do diagrama apresentado na figura 2.11, se obtém o seguinte modelo de cargas:

$$V_{GS} - V_{FB} - V_{(x)} - \left(\frac{Q_{Dep}}{2 \cdot C_{Ox}} + \frac{kT}{q} \ln \left[\frac{q^2 N_A^3 t_{Si}^2}{kT \cdot n_i^2 2 \epsilon_{Si}} \right] \right) = \frac{Q}{C_{Ox}} + \frac{kT}{q} \ln \left[\frac{Q}{Q_{Dep}} \right] + \frac{kT}{q} \ln \left[\frac{Q + Q_{Dep}}{Q_{Dep}} \right] \quad (2.7)$$

Nesta equação $V_{(x)}$ varia da fonte até o dreno, sendo $V_{(0)}=0$ na fonte e $V_{(L)}=V_{DS}$ no dreno. V_{FB} é a tensão de faixa plana e C_{ox} representa a capacitância do óxido por unidade de área. Derivando a expressão (2.7), com respeito à Q tem-se:

$$dV = -\frac{dQ}{C_{ox}} - \frac{kT}{q} \left(\frac{dQ}{Q} + \frac{dQ}{Q + Q_{Dep}} \right) \quad (2.8)$$

A equação de corrente de dreno é calculada a partir de (2.9).

$$I_{DS} = \frac{2W\mu}{L} \cdot \int_0^{V_{DS}} Q(V) dV \quad (2.9)$$

onde W é a largura do canal, L o comprimento do canal e μ a mobilidade dos elétrons.

Pode-se também expressar I_{DS} em termos das densidades de carga de inversão por unidade de área. Integrando nas extremidades do canal, as equações (2.8) e (2.9), entre Q_s , densidade de carga na fonte por unidade de área, e Q_d , densidade de carga no dreno por unidade de área, temos a expressão da corrente de dreno:

$$I_{DS} = \frac{2W\mu}{L} \left[2 \frac{kT}{q} (Q_s - Q_d) + \frac{Q_s^2 - Q_d^2}{2C_{ox}} + \left(\frac{kT}{q} \right) Q_{Dep} \ln \left[\frac{Q_d + Q_{Dep}}{Q_s + Q_{Dep}} \right] \right] \quad (2.10)$$

Para se calcular a densidade de cargas de inversão, a partir de uma expressão explícita em função da polarização aplicada, usamos a equação (2.11) [33].

$$Q = C_{ox} \left(-\frac{2C_{ox}\beta^2}{Q_{Dep}} + \sqrt{\left(\frac{2C_{ox}\beta^2}{Q_{Dep}} \right)^2 + 4\beta^2 \ln^2 \left[1 + \exp \left[\frac{V_{GS} - V_{th} + \Delta V_{th} - V}{2\beta} \right] \right]} \right) \quad (2.11)$$

onde $\beta=kT/q$ e V_{th} representa a tensão de limiar, dada pela equação (2.12).

$$V_{th} = V_0 + 2\beta \ln \left(1 + \frac{Q'}{Q_{Dep}} \right) \quad (2.12)$$

A solução da equação (2.11) requer o valor de V_{th} , o qual, por sua vez, é dependente de Q (equação (2.7)). Assim, para solucionar este sistema de equações, utilizou-se a equação (2.12), na qual Q' corresponde à primeira iteração da equação (2.7) com valores de Q obtidos da equação (2.11), resultando na expressão (2.13).

$$Q' = C_{ox} \left(-\frac{2C_{ox}\beta^2}{Q_{Dep}} + \sqrt{\left(\frac{2C_{ox}\beta^2}{Q_{Dep}} \right)^2 + 4\beta^2 \ln^2 \left[1 + \exp \left[\frac{V_{GS} - V_0 - V}{2\beta} \right] \right]} \right) \quad (2.13)$$

O termo V_0 desta equação é dado por (2.14).

$$V_0 = V_{FB} + \left(\frac{Q_{Dep}}{2C_{ox}} + \frac{kT}{q} \cdot \ln \left(\frac{q^2 N_A^3 t_{Si}^2}{kT \cdot n_i^2 2\epsilon_{Si}} \right) \right) \quad (2.14)$$

Na equação (2.11) o termo ΔV_{th} garante o comportamento correto de Q abaixo da tensão de limiar, sendo dado pela equação (2.15).

$$\Delta V_{th} = \frac{\left(\frac{2C_{ox}\beta^2}{Q_{Dep}} \right) Q'}{Q_{Dep} + Q'} \quad (2.15)$$

Nas expressões (2.11) a (2.13), assim como na equação (2.7), calcula-se Q_S aplicando $V_{(0)}=0$ e Q_d com $V_{(L)}=V_{DS}$, para então obter-se a corrente I_{DS} através da equação (2.10).

Este modelo foi comparado com simulações numéricas de dispositivos na referência [33], considerando um transistor dopado com $N_A=6.10^{17} \text{cm}^{-3}$, e apresentando resultados satisfatórios para tensões de porta até 1,5V e tensões de dreno de 0,05V e 1V. Sendo assim, uma boa opção para modelar o transistor dopado do circuito equivalente proposto para o GC GAA.

2.5.2 Modelo para transistores com corpo não dopado

Apesar do grande número de publicações sobre modelos para dispositivos DG com corpo não dopado, poucos destes são analíticos, dependendo de iterações, como o modelo apresentado na referência [69]. A referência [35] apresenta um modelo analítico para corrente de dreno baseado no trabalho anterior de Sallese et al [72]. Este modelo é obtido a partir da solução unidimensional da equação de Poisson, na direção vertical ao canal, resultando em modelo completo para pequenos sinais, e assim como o modelo apresentado anteriormente, contínuo em todos os regimes de operação e também baseado em um modelo de cargas.

Considerando um dispositivo DG nMOSFET com o corpo não dopado (intrínseco), ignorando os efeitos quânticos e a depleção do silício policristalino de porta, e negligenciando a densidade de lacunas, a equação de Poisson pode ser descrita pela equação (2.16).

$$\frac{d^2\phi(x)}{dx^2} = \frac{d^2(\phi(x) - V)}{dx^2} = \frac{q}{\epsilon_{Si}} \cdot n_i \cdot e^{\frac{q(\phi(x) - V)}{kT}} \quad (2.16)$$

onde $\phi(x)$ é o potencial no interior do silício, e V é o potencial dos níveis de quasi-Fermi. Solucionando esta equação com as condições de contorno apropriadas e com algumas pequenas aproximações que não afetam o significativamente a precisão do modelo, o seguinte modelos unificado de cargas é obtido:

$$(V_{gs} - \Delta\varphi - V) + \frac{kT}{q} \ln \left(\frac{qn_i t_{Si}}{8C_{ox} \frac{kT}{q}} \right) - \frac{kT}{q} \ln \left(\frac{C_{ox}}{C_{Si}} \right) = \frac{Q}{2C_{ox}} + \frac{kT}{q} \left(\ln \left(\frac{Q}{8C_{ox} \frac{kT}{q}} \right) + \ln \left(\frac{C_{Si}}{C_{ox}} + \frac{Q}{8C_{ox} \frac{kT}{q}} \right) \right) \quad (2.17)$$

onde Q é novamente a densidade de cargas móveis por unidade de área, e $\Delta\varphi$ é a função trabalho entre o eletrodo de porta e o silício intrínseco. Desta equação se obtém (2.18).

$$dV = -\frac{dQ}{2C_{ox}} - \frac{kT}{q} \left(\frac{dQ}{Q} + \frac{dQ}{Q + 2Q_0} \right) \quad (2.18)$$

onde Q_0 é dado por (2.19) [72].

$$Q_0 = 4 \frac{kT}{q} C_{ox} \quad (2.19)$$

Integrando a equação (2.9) usando (2.18), entre Q_s e Q_d ($Q=Q_s$ na fonte e $Q=Q_d$ no dreno), chega-se à expressão (2.20), I_{DS} em termos da densidade de carga de inversão.

$$I_{DS} = \frac{W\mu}{L} \left[2 \frac{kT}{q} (Q_s - Q_d) + \frac{Q_s^2 - Q_d^2}{4C_{ox}} + 8 \left(\frac{kT}{q} \right)^2 C_{Si} \ln \left[\frac{Q_d + 2Q_0}{Q_s + 2Q_0} \right] \right] \quad (2.20)$$

Para se calcular a densidade de cargas de inversão em função da polarização aplicada é utilizada a equação (2.21) [35].

$$Q = 2C_{ox} \left(-\frac{2C_{ox}\beta^2}{Q_0} + \sqrt{\left(\frac{2C_{ox}\beta^2}{Q_0} \right)^2 + 4\beta^2 \ln^2 \left[1 + \exp \left[\frac{V_{GS} - V_{th} + \Delta V_{th} - V}{2\beta} \right] \right]} \right) \quad (2.21)$$

O termo V_{th} é dado pela equação (2.22).

$$V_{th} = V_0 + 2\beta \ln \left(1 + \frac{Q'}{2Q_0} \right) \quad (2.22)$$

Similarmente ao modelo de corpo dopado, Q' é a primeira iteração de quando resolvendo a equação (2.17) com valores de Q oriundos de (2.21), dado por (2.23).

$$Q' = C_{ox} \left(-\frac{2C_{ox}\beta^2}{Q_0} + \sqrt{\left(\frac{2C_{ox}\beta^2}{Q_0} \right)^2 + 4\beta^2 \ln^2 \left[1 + \exp \left[\frac{V_{GS} - V_0 - V}{2\beta} \right] \right]} \right) \quad (2.23)$$

O termo V_0 desta equação é dado pela equação (2.24).

$$V_0 = \Delta\varphi - \beta \cdot \ln \left(\frac{qn_i t_{Si}}{2Q_0} \right) \quad (2.24)$$

Na equação (2.21) o termo ΔV_{th} garante o comportamento correto de Q abaixo da tensão de limiar, sendo dado pela equação (2.25).

$$\Delta V_{th} = \frac{\left(\frac{C_{ox} \beta^2}{Q_0} \right) Q'}{Q_0 + \frac{Q'}{2}} \quad (2.25)$$

Nas expressões (2.21) a (2.23), calcula-se Q_s aplicando $V_{(0)}=0$ e Q_d com $V_{(L)}=V_{DS}$, para então calcular-se a corrente de dreno I_{DS} de (2.20).

Este modelo foi testado a partir de simulações numérica bidimensionais na referência [35]. O casamento entre o modelo e a simulação foi muito bom, sendo que o modelo apresenta uma transição suave entre os regimes de operação (triodo, saturação e sublimiar) sem a necessidade de parâmetros de ajuste. Devido a sua similaridade com o modelo de corpo dopado, e suas características positivas já apresentadas, este modelo foi escolhido para representar a região não dopada do canal do dispositivo GC GAA neste estudo. Assim como em outros modelos disponíveis na literatura [35],[72], para transistores de porta dupla com canal não-dopado, a concentração de dopantes de 10^{15} cm^{-3} é tratada como sendo um material intrínseco, ou seja, a dopagem natural da lâmina é considerada desprezível.

Tanto para o modelo de corpo dopado quanto para o modelo de corpo não dopado, utilizou-se o modelo de mobilidade proposto por Yamaguchi [76], o qual pode ser descrito pela equação (2.26).

$$\mu_0 = \frac{\mu_i}{\sqrt{1 + \frac{N_A}{N_{ref} + \frac{N_A}{SN}}}} \quad (2.26)$$

onde μ_i é a mobilidade em função da concentração de dopantes, N_{ref} é a concentração de referência, e SN é uma constante do modelo [76].

A partir da mobilidade inicial calcula-se a degradação da mobilidade, sendo inserida pela equação (2.27).

$$\mu_n = \frac{\mu_0}{1 + \theta_0(V_{GS} - V_{th}) + \theta_1(V_{GS} - V_{th})^2} \quad (2.27)$$

onde θ_0 e θ_1 são os termos de ajuste para degradação linear e quadrática, respectivamente.

3 FORMULAÇÃO DO MODELO ITERATIVO DOS GC GAA nMOSFET

Este capítulo apresenta as propostas para desenvolvimento do modelo para o transistor GC GAA nMOSFET. Inicialmente é descrito o modelo iterativo associação série, que foi desenvolvido para auxiliar no estudo do dispositivo. Nesta parte serão apresentadas sua formulação, suas características e a estratégia utilizada para obtenção do mesmo. Em seguida, são apresentados os resultados do modelo comparados a simulações numéricas bidimensionais.

3.1 Proposta de Modelo Iterativo Associação Série [79]

Neste capítulo será apresentado o modelo iterativo para o dispositivo GC GAA SOI nMOSFET. Como o próprio nome do modelo sugere, este não se trata do objetivo final do trabalho, pois não é analítico, porém, será de grande valia ao desenvolvimento do modelo analítico.

Conforme proposto na referência [74], o transistor GC GAA será representado por um circuito equivalente que possua o mesmo comportamento e características elétricas. Tal circuito é apresentado na Figura 3.1, sendo composto por dois transistores GAA convencionais com concentrações de dopantes diferentes, N_{aHD} para a região fortemente dopada e N_{aLD} para a região fracamente dopada, cada um representando uma região do canal do transistor GC GAA ligados em série. O dreno do transistor fortemente dopado é conectado à fonte do transistor fracamente dopado, e as portas dos dois transistores curto-circuitadas. Assim, a corrente que passa pelo primeiro transistor é a mesma que passa pelo segundo, gerando uma queda de potencial entre dreno e fonte de cada transistor (V_{DS}), o que resulta em uma tensão específica no nó de conexão entre eles, a tensão V_{TRAN} .

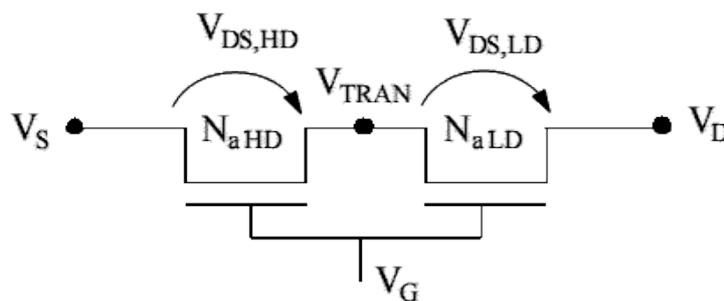


Figura 3.1 - Circuito equivalente ao transistor GC GAA

Este circuito foi inicialmente proposto na referência [74], para transistores GC SOI de porta simples, onde se obteve um ótimo ajuste entre seu funcionamento e a simulação numérica bidimensional. Valendo-se deste dado, se aplica o mesmo circuito para o transistor GC GAA, apenas substituindo os transistores usados por transistores de porta dupla.

Baseando nos modelos para cada tipo de transistor do circuito equivalente e o conhecimento do funcionamento do mesmo, foi necessária uma estratégia de cálculo para agrupar ambos os modelos. A estratégia consiste, fundamentalmente, em achar a tensão no nó de transição (V_{TRAN}), pois, sendo a corrente que passa pelo transistor HD a mesma que passa pelo transistor LD, para uma determinada polarização, ao encontrar a tensão de transição encontra-se a polarização individual dos transistores, podendo assim calcular a corrente desejada. A estimativa inicial de V_{TRAN} é V_{DS} . Em seguida, o valor de V_{TRAN} é diminuído por um passo constante de tensão e, a cada nova solução, compara-se as correntes dos dois transistores e o erro máximo tolerável. Esta estratégia é sustentada até a convergência do sistema.

Sabendo que o valor da tensão de transição do circuito equivalente está entre o valor da tensão do nó de dreno e no nó de fonte do transistor GC GAA, atribui-se um valor inicial para V_{TRAN} e calcula-se a corrente em cada um dos transistores. Então se compara as correntes e verifica-se o erro obtido, fazendo uma nova iteração até que se encontre o menor erro para polarização do circuito e assim chegando ao valor da corrente desejado. Como se trata de um método matemático, para efetuar a comparação das correntes é definido um valor de erro tolerado, entre o qual ainda se assume como verdadeira a igualdade. E assim, para cada polarização desejada é feita a iteração até que se ache a corrente e a tensão de transição.

Para o cálculo das correntes dos transistores se utilizou os modelos apresentados no capítulo 2, porém algumas alterações foram necessárias para contemplar a polarização de fonte diferente de zero no transistor que representa o lado fracamente dopado. As cargas de inversão no dreno do transistor fortemente dopado devem levar em conta a tensão de transição, assim seu equacionamento é mudado conforme a equação (3.1).

$$Q_{D,HD} = C_{ox} \left(-\frac{2C_{ox}\beta^2}{Q_{Dep}} + \sqrt{\left(\frac{2C_{ox}\beta^2}{Q_{Dep}}\right)^2 + 4\beta^2 \ln^2 \left[1 + \exp\left[\frac{V_{GS} - V_{th} + \Delta V_{th} - V_{TRAN}}{2\beta}\right]} \right]} \right) \quad (3.1)$$

Q' no dreno, a primeira iteração de Q_D , também deve ser alterada, conforme (3.2).

$$Q_{D,HD}' = C_{ox} \left(-\frac{2C_{ox}\beta^2}{Q_{Dep}} + \sqrt{\left(\frac{2C_{ox}\beta^2}{Q_{Dep}}\right)^2 + 4\beta^2 \ln^2 \left[1 + \exp\left[\frac{V_{GS} - V_0 - V_{TRAN}}{2\beta}\right] \right]} \right) \quad (3.2)$$

A partir destas mudanças efetua-se todo o cálculo seguindo o modelo descrito no item 2.5.1. Da mesma forma, para o dispositivo fracamente dopado, deve-se alterar o equacionamento das densidades de cargas, porém desta vez na fonte, ponto onde os transistores são conectados. Assim, as cargas de inversão na fonte são dadas pela equação (3.3).

$$Q_{S,LD} = 2C_{ox} \left(-\frac{2C_{ox}\beta^2}{Q_0} + \sqrt{\left(\frac{2C_{ox}\beta^2}{Q_0}\right)^2 + 4\beta^2 \ln^2 \left[1 + \exp\left[\frac{V_{GS} - V_{th} + \Delta V_{th} - V_{TRAN}}{2\beta}\right] \right]} \right) \quad (3.3)$$

Aqui também, Q' na fonte, que é a primeira iteração de Q_S , deve ser alterada, conforme (3.4).

$$Q_{S,LD}' = C_{ox} \left(-\frac{2C_{ox}\beta^2}{Q_0} + \sqrt{\left(\frac{2C_{ox}\beta^2}{Q_0}\right)^2 + 4\beta^2 \ln^2 \left[1 + \exp\left[\frac{V_{GS} - V_0 - V_{TRAN}}{2\beta}\right] \right]} \right) \quad (3.4)$$

Novamente, aplicam-se as equações originadas do modelo do item 2.5.2, segundo estas alterações, para o cálculo da corrente de dreno do dispositivo.

Por se tratar de uma associação série de transistores, dependendo do valor da relação L_{LD}/L do dispositivo em estudo, pode-se ter transistores com comprimento de canal muito curto para a tecnologia considerada. Neste caso, a fim de incluir os efeitos de canal curto atrelados à variação da tensão de limiar, o DIBL, o encurtamento do canal decorrente da região saturada e a velocidade de saturação, presentes nos transistores da associação série, incluí-se um fator de ajuste de segunda ordem no cálculo da corrente. Este fator é representado como uma variação do comprimento de canal do dispositivo (ΔL), que se subtrai do comprimento total do transistor. A partir da referência [34] e utilizando das densidades de cargas já apresentadas, modelamos este fator, como sendo dado pela equação (3.5).

$$\Delta L = \Lambda \cdot \lambda \left(\log\left(\frac{L}{\lambda}\right) - 1 \right) \cdot \ln \left(1 + \frac{\mu_0 |V_D - V_{efs}|}{v_{sat} \cdot \lambda} \right) \quad (3.5)$$

onde Λ é um parâmetro de ajuste, $v_{sat}=1.43 \times 10^7$ cm/s sendo a velocidade de saturação e V_{efs} é a tensão efetiva no canal no fim do canal, eliminando os efeitos da tensão de dreno na região saturada, dada pela equação (3.6).

$$V_{efs} = \frac{V}{2} \left[1 - \tanh \left[3 \cdot \left(1 - \frac{V_G}{V_T} \right) \right] \right] + \frac{V_{ef}}{2} \left[1 + \tanh \left[3 \cdot \left(1 - \frac{V_G}{V_T} \right) \right] \right] \quad (3.6)$$

onde, V_{ef} se refere à tensão efetiva no fim do canal dada pela equação (3.7).

$$V_{ef} = V_{sat} + \frac{1}{2} \left[V - V_{sat} + \frac{\beta}{3} - \sqrt{\left(V - V_{sat} + \frac{\beta}{3} \right)^2 + 4 \cdot \frac{\beta}{3} \cdot V_{sat}} \right] \quad (3.7)$$

O termo V varia entre os transistores, para o transistor HD $V=V_{TRAN}$ e para o transistor LD $V=V_D-V_{TRAN}$. O termo V_{sat} é a tensão de saturação dada por (3.8).

$$V_{sat} = \beta \cdot \left[q_s - q_{dsat} + 2 \ln \left(\frac{q_s + q_{Dep}/2}{q_{dsat} + q_{Dep}/2} \right) \right] \quad (3.8)$$

Onde os termos começados por q representam as cargas Q normalizadas por $q=Q/\beta C_{OX}$. Sendo q_{dsat} dado pela equação (3.9).

$$q_{dsat} = - \left(\frac{v_{sat} L}{\mu_0 \beta} \chi \right) + \sqrt{\left(\frac{v_{sat} L}{\mu_0 \beta} \chi \right)^2 + (q_s^2 + 4q_s)} \quad (3.9)$$

Finalmente, o único termo desconhecido restante χ , é um fator de correção descrito na equação (3.10).

$$\chi = 1 + \frac{2.6Lm}{L} \left(1.54e^{-\frac{L}{7Lm}} - 1 \right) \quad (3.10)$$

L_m é o comprimento de referência embutido no fator de correção. Assim, com as equações de (3.5) a (3.10) pode-se incluir os efeitos de canal curto no modelo apresentado neste trabalho.

No apêndice A é apresentado o arquivo desenvolvido na ferramenta Matlab [78] que executa o algoritmo proposto, a partir do equacionamento apresentado. Inicia-se fazendo para cada ponto de polarização o valor de V_{TRAN} igual à V_{DS} , decrementando-o de uma fração de V_{DS} até se atingir o menor erro. As dificuldades presentes no cálculo iterativo são devidas à precisão numérica, principalmente para baixas correntes de dreno. Assim, para cada região de operação, é definido um erro máximo tolerado. Outra dificuldade se dá na escolha de decremento de passo da tensão de transição, pois para passos muito grandes perdem-se valores intermediários que apresentariam melhores resultados e para passos muito pequenos, o tempo para a simulação chega a ser inviável. A solução adotada novamente foi a de variar os passos conforme a região de operação. O Apêndice B apresenta o algoritmo de solução para o modelo iterativo associação série adotado no Matlab.

Este modelo resultante foi comparado a simulações numéricas bidimensionais (apresentadas no Apêndice C) e apresentou excelentes resultados, com um ótimo ajuste para diversos valores da razão L/L_{LD} . Os resultados destas simulações serão apresentados a seguir.

3.2 Resultados

Neste item são apresentados os resultados obtidos a partir do modelo iterativo de associação série, comparando diversas razões L_{LD}/L com resultados de simulações numéricas bidimensionais, e também com os transistores GAA convencionais para a mesma tecnologia.

Para a realização das simulações numéricas bidimensionais utilizou-se o programa ATLAS. No Apêndice C é apresentado o arquivo de simulação utilizado, neste a estrutura GC GAA é definida, seguida de etapas de polarização para obtenção das características corrente *versus* tensão e dos potenciais.

Os modelos de mobilidade escolhidos foram o CONMOB para determinação da mobilidade inicial, e o YAMAGUCHI [76] para a sua degradação. Estes modelos físicos são implementados pelo simulador ATLAS a fim de se representar com fidelidade os valores

obtidos em caracterizações experimentais. A seguir será apresentada uma breve descrição destes modelos que foram utilizados nas simulações numéricas bidimensionais [77].

O modelo CONMOB (*Concentration-Dependent Low Field Mobility*) relaciona empiricamente a concentração de dopantes no silício com a mobilidade dos portadores, elétrons e lacunas, para baixos campos elétricos. Estes valores são relacionados através de uma tabela, válidos apenas para temperatura ambiente.

O modelo YAMAGUCHI [76] calcula a degradação da mobilidade através do cálculo da mobilidade inicial, baixo campo elétrico, e posteriormente a degradação de superfície é levada em conta através da dependência com os efeitos do campo elétrico lateral e paralelo.

Utilizando o programa MATLAB (apêndice A), foi implementado o modelo de associação série proposto no capítulo 3, o qual foi usado para gerar as características de corrente-tensão e suas derivadas. Todos os resultados que serão apresentados neste item foram obtidos segundo uma tecnologia com 2 nanômetros de espessura do óxido de porta (t_{ox}), 50 nanômetros de espessura da camada de silício (t_{Si}), 10 micrometros de comprimento de canal total (L) e concentração de dopantes de 10^{17} cm^{-3} e 10^{15} cm^{-3} para as regiões fortemente (N_{HD}) e fracamente dopadas (N_{LD}), respectivamente. Esta tecnologia foi escolhida, pois os modelos-base (vide capítulo 2 itens 2.5.1 e 2.5.2) de nossa associação série foram testados segundo a mesma. Para todas as figuras deste item que possuem comparações, as linhas representam os dados do simulador ATLAS, e os símbolos, os dados do modelo iterativo, utilizando-se transistores GC GAA com razões $L_{LD}/L=0,2; 0,3$ e $0,5$.

Inicialmente foi analisado o comportamento da corrente de dreno pela tensão de porta, para duas polarizações de dreno, 100 mV e 1,5 V, o qual esta apresentado na Figura 3.2 e na Figura 3.3, respectivamente.

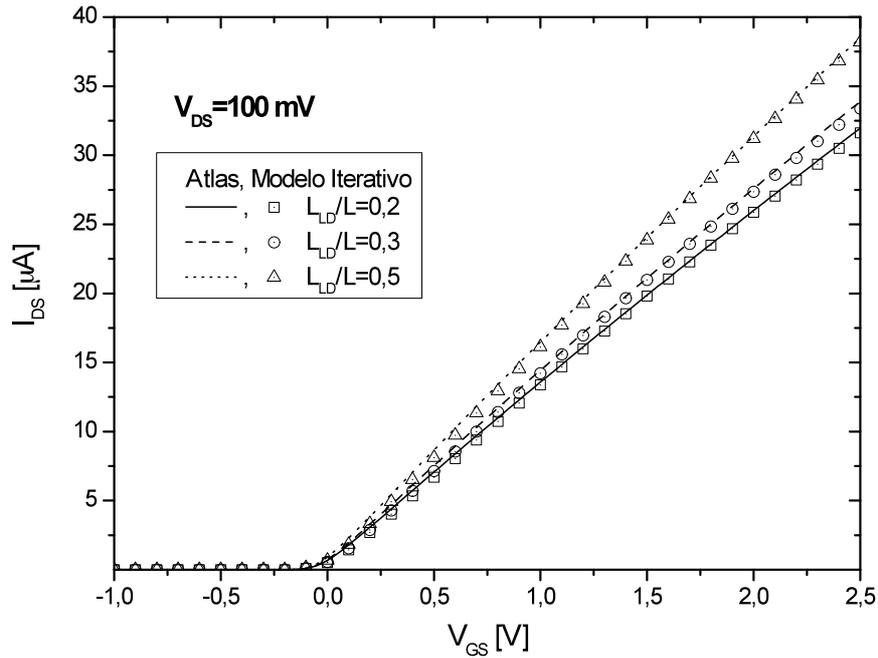


Figura 3.2 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=100$ mV

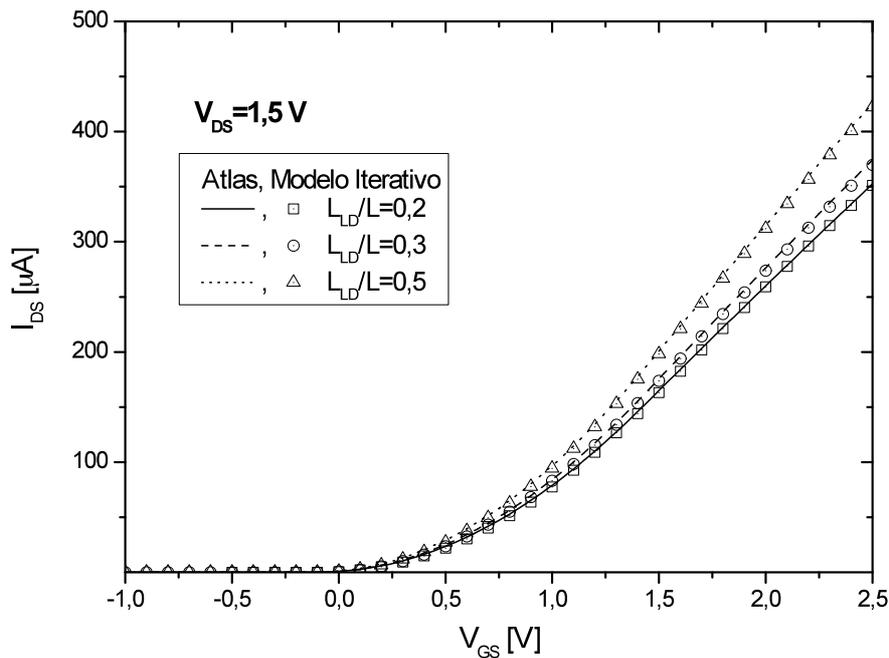


Figura 3.3 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=1,5$ V

Pode-se notar o ótimo ajuste entre o modelo de associação série e as simulações ATLAS em ambas as tensões V_{DS} e em todas as razões L_{LD}/L estudadas, com erro máximo inferior a 8%. Porém, estas figuras não apresentam o comportamento em sublimiar da estrutura. Assim, na Figura 3.4 e na Figura 3.5, são apresentadas as mesmas curvas $I_{DS} \times V_{GS}$, porém em escala logarítmica, novamente para polarizações de dreno de 100 mV e 1,5 V, respectivamente.

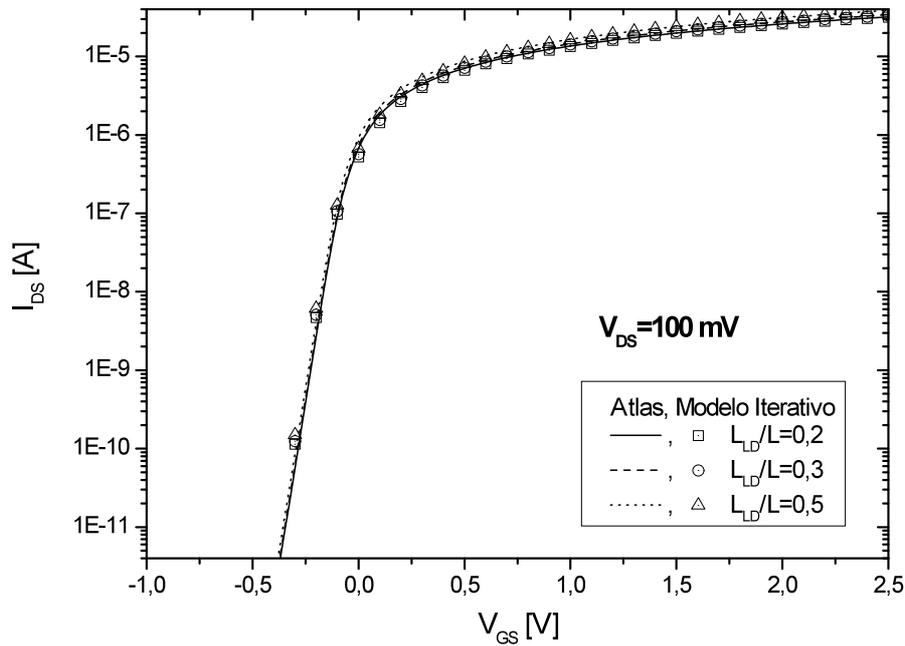


Figura 3.4 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS} = 100 \text{ mV}$

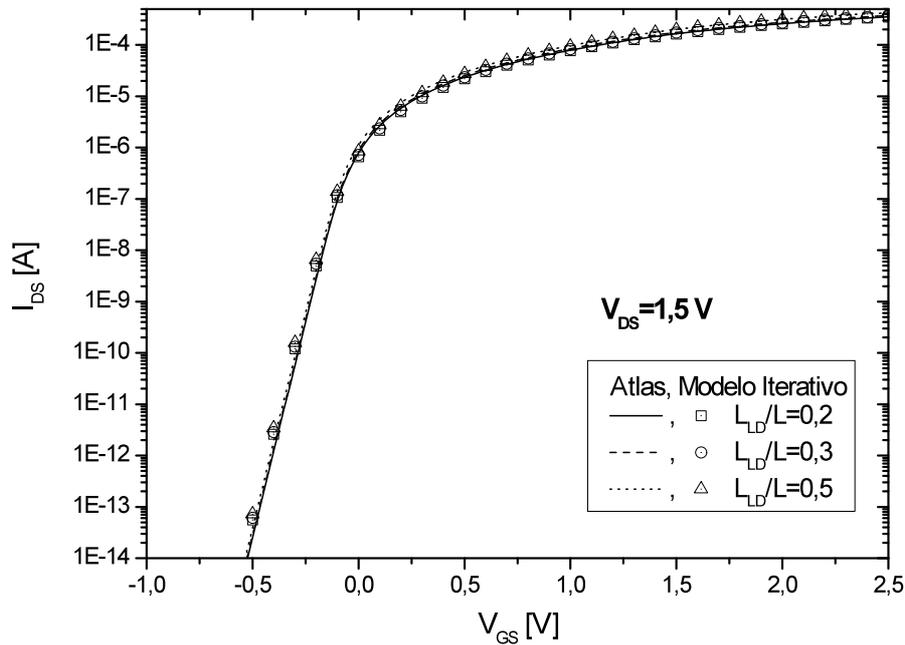


Figura 3.5 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS} = 1,5 \text{ V}$

Novamente, se pode notar um excelente ajuste entre modelo e a simulação bidimensional. Nestas figuras apresentadas até agora se pode perceber que a corrente de dreno dos dispositivos com maior razão L_{LD}/L é maior. Isto acontece devido à redução do comprimento efetivo de canal decorrente do aumento da razão L_{LD}/L . Logo, tanto as

características de sublimar quanto o aumento de I_{DS} causado pela variação de L_{LD}/L são bem descritos pelo modelo.

A Figura 3.6 e a Figura 3.7 mostram a corrente de dreno pela tensão de dreno, obtidas com sobre-tensão de limiar de $V_{GT}=200$ mV e 1 V ($V_{GT}=V_{GS}-V_{Th}$), nos dispositivos GC GAA com diferentes relações L_{LD}/L . Para efeito de comparação, nelas foram também incluídas as correntes dos dispositivos GAA convencionais com concentrações uniformes de dopantes iguais às das regiões fortemente e fracamente dopadas. Para o caso dos GC GAA são também apresentados os resultados do modelo iterativo proposto.

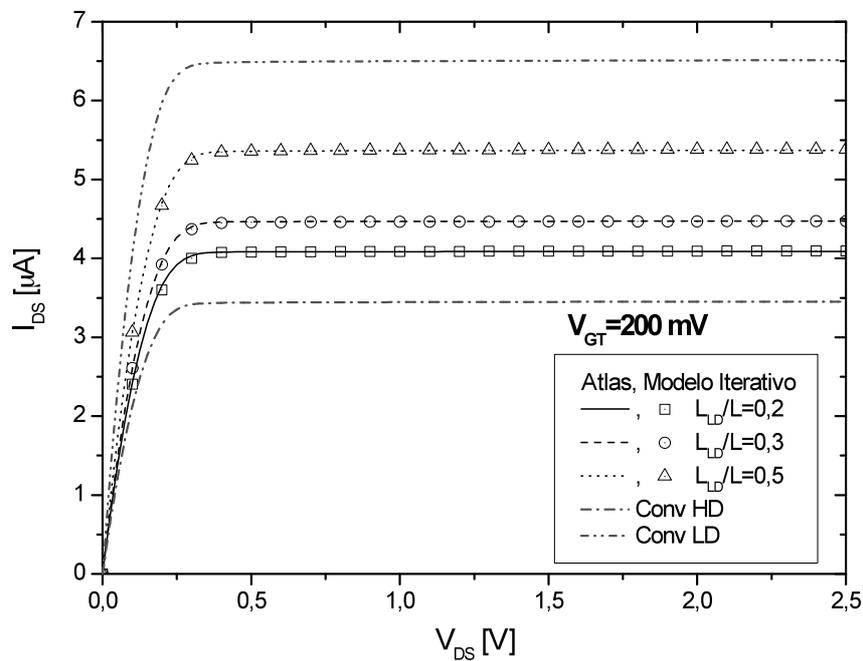


Figura 3.6 - Característica $I_{DS} \times V_{DS}$ com sobre-tensão $V_{GT}=200$ mV

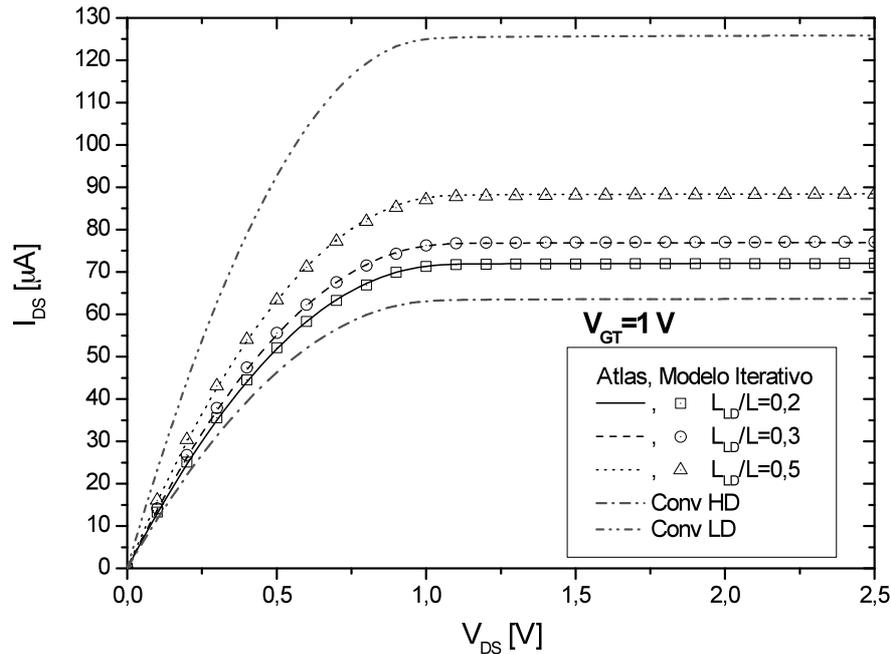


Figura 3.7 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=1$ V

A corrente no dispositivo LD é maior que no dispositivo HD devido à maior mobilidade dos portadores na estrutura com menor concentração de dopantes [77]. Assim, para o transistor GC a corrente é aumentada conforme aumentamos a porção de canal LD. Novamente, temos o modelo e a simulação numérica em completa concordância, com erro máximo inferior a 2%, independente do valor de V_{GT} aplicado.

Utilizando-se as curvas $I_{DS} \times V_{GS}$ simuladas e obtidas pelo modelo, nas duas situações de V_{DS} apresentadas, calcula-se a transcondutância. A Figura 3.8 e a Figura 3.9 apresentam as curvas $g_m \times V_{GS}$ para $V_{DS}=100$ mV e $V_{DS}=1,5$ V, respectivamente, para os transistores GC GAA estudados.

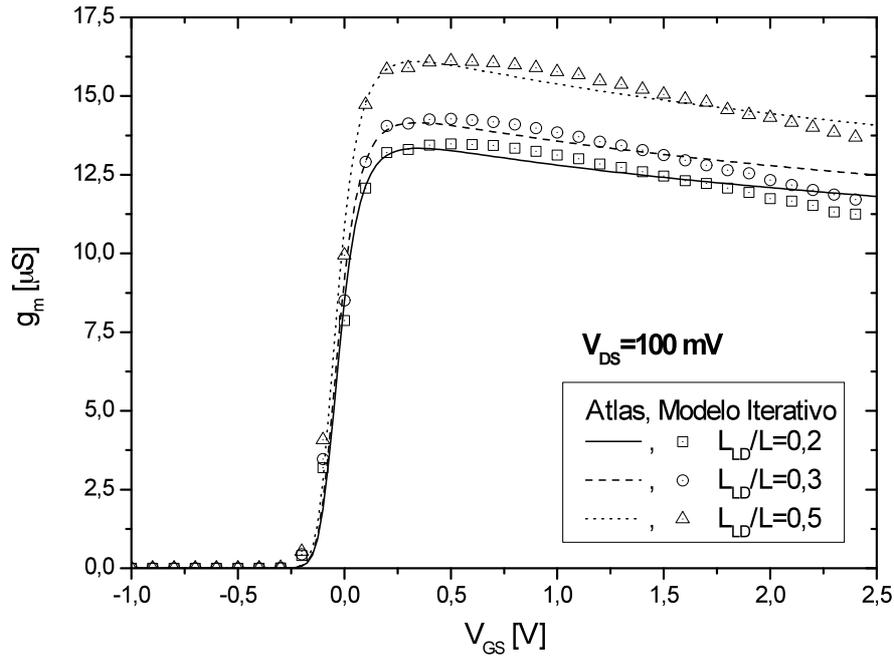


Figura 3.8 - Transcondutância $g_m \times V_{GS}$ com $V_{DS}=100 \text{ mV}$

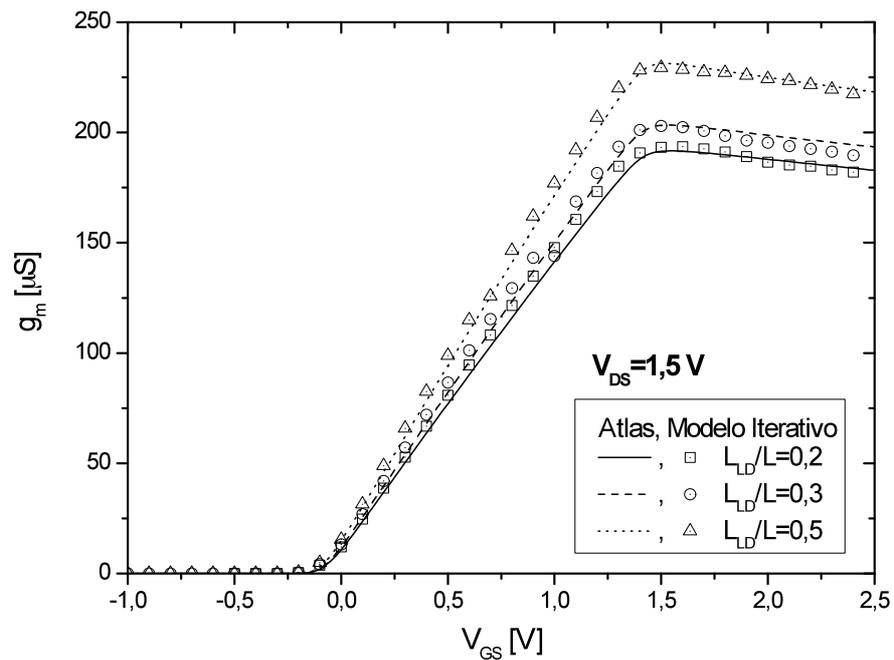


Figura 3.9 - Transcondutância $g_m \times V_{GS}$ com $V_{DS}=1,5 \text{ V}$

As figuras acima apresentam um bom ajuste também, com erro máximo de 11% para altos valores de V_{GS} , porém, pode-se notar que ainda há um pequeno problema na degradação da mobilidade, mais pronunciado com baixa tensão de dreno. Este problema não afetou diretamente a característica $I_{DS} \times V_{GS}$ da estrutura.

As comparações apresentadas neste item validam o modelo iterativo como uma boa representação do comportamento do transistor GC GAA, desta forma, tal modelo faz o intermédio para o modelo analítico.

4 FORMULAÇÃO DO MODELO ANALÍTICO DOS GC GAA nMOSFET

Este capítulo dá sequência ao desenvolvimento do modelo para o transistor GC GAA nMOSFET, onde é proposto o modelo analítico para o transistor GC GAA, obtido através de simplificações do modelo iterativo.

4.1 Proposta de modelo Analítico

Como já foi citado, para que o modelo iterativo apresentado se torne analítico é necessário que a tensão de transição (V_{TRAN}) seja obtida. Similarmente ao realizado em transistores GC SOI de porta simples, a obtenção do valor de V_{TRAN} analiticamente permitira a utilização do modelo analítico disponível na literatura para transistores DG de canal dopado, tornando a solução da estrutura GC GAA analítica. Deste modo, o transistores GC GAA seria representado por um transistor de porta dupla uniformemente dopado e com comprimento L_{HD} , para o qual a tensão de dreno seria expressa por V_{TRAN} . A estratégia para solução analítica aqui apresentada consiste em separar em duas regiões de operação, triodo e saturação, resolvê-las utilizando a análise do modelo iterativo e a conservação de corrente na estrutura equivalente, soluções disponíveis na literatura e simplificações, e por fim, integrá-las através de uma função de ajuste.

4.1.1 V_{TRAN} – Região de Triodo

Para solução da região de triodo adotou-se o método disponível na referência [49], onde as correntes de cada parte do canal são igualadas com o intuito de manter a continuidade da corrente de dreno, usando para isso a equação clássica de triodo, conforme equação (4.1).

$$\frac{\mu_{n\text{HD}}}{L - L_{\text{LD}}} \left[(V_{\text{GS,HD}} - V_{\text{th,HD}}) V_{\text{DS,HD}} - \frac{n}{2} V_{\text{DS,HD}}^2 \right] = \frac{\mu_{n\text{LD}}}{L_{\text{LD}}} \left[(V_{\text{GS,LD}} - V_{\text{th,LD}}) V_{\text{DS,LD}} - \frac{n}{2} V_{\text{DS,LD}}^2 \right] \quad (4.1)$$

Sabendo-se que a tensão de dreno para a região fortemente dopada é exatamente a tensão de transição, $V_{\text{TRAN,Triodo}} = V_{\text{DS,HD}}$, e desprezando-se os termos quadráticos da equação devido a sua amplitude em relação aos outros termos, através de um tratamento algébrico se obtém a equação (4.2).

$$V_{TRAN,TRIODO} = \frac{V_{DS}}{1 + \left[\frac{\mu_{nHD}}{\mu_{nLD}} \cdot \frac{L_{LD}}{L - L_{LD}} \cdot \frac{(V_{GS} - V_{th,HD})}{(V_{GS} - V_{th,LD})} \right]} \quad (4.2)$$

Este modelo, apesar de simples, mostrou-se fiel aos resultados obtidos no modelo iterativo, conforme será apresentado nos próximos itens.

4.1.2 V_{TRAN} – Região de Saturação

Novamente a fim de se manter a continuidade da corrente de dreno, igualam-se as equações (2.10) e (2.20) para se extrair V_{TRAN} . Porém, a solução desta igualdade não é direta, pois o termo desejado se encontra encapsulado em funções logarítmicas, conforme apresentado nas equações (3.1) e (3.3). Assim, partiu-se para uma série de simplificações nas equações de corrente e cargas, valendo-se do modelo iterativo para realizar a análise do erro inserido pelas simplificações propostas. Para tal, foram comparadas as soluções das equações, considerando ou não as simplificações adotadas. Partindo da equação de corrente do transistor HD (2.10), realizou-se a primeira simplificação, onde foi removido o termo responsável pela carga no dreno da terceira parcela da corrente resultando na equação (4.3):

$$I_{DS,HD} = \frac{2W\mu_{nHD}}{L_{HD}} \left[2 \frac{kT}{q} (Q_{s,HD} - Q_{d,HD}) + \frac{Q_{s,HD}^2 - Q_{d,HD}^2}{2C_{ox}} + \left(\frac{kT}{q} \right) Q_{Dep} \ln \left[\frac{Q_{Dep}}{Q_{s,HD} + Q_{Dep}} \right] \right] \quad (4.3)$$

Este termo foi removido pois a carga no dreno do transistor HD quando este está em saturação é desprezível em relação a carga Q_{Dep} .

A Figura 4.1 apresenta a curva $I_{DS} \times V_{DS}$ de um transistor GC GAA com $L=3 \mu\text{m}$ e $L_{LD}/L=0,5$, polarizado com $V_{GT}=200 \text{ mV}$. Nesta curva pode notar que tal simplificação insere um erro máximo de 5% com o transistor operando em saturação, e ainda, que o erro é aproximadamente constante nesta região.

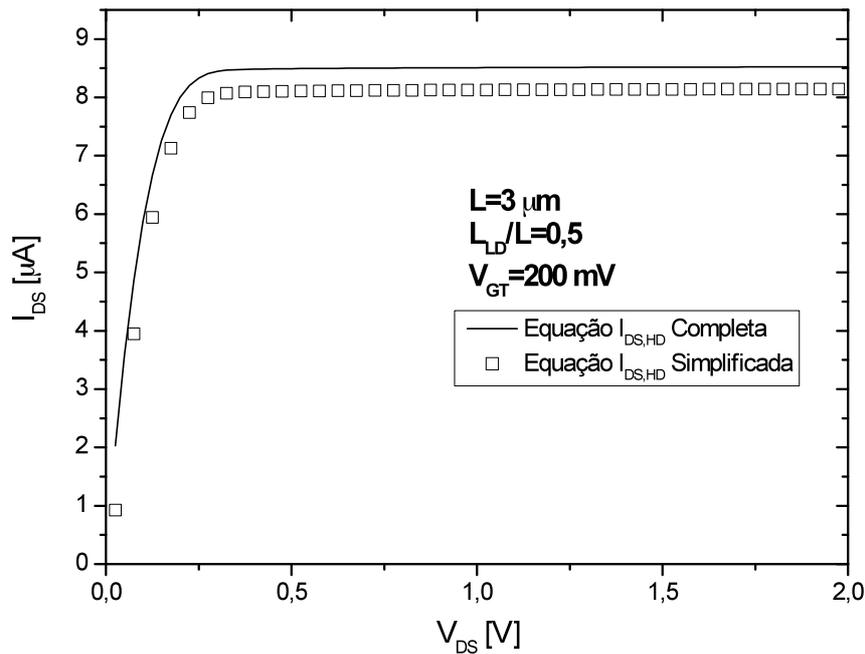


Figura 4.1 – Comparação da característica $I_{DS} \times V_{DS}$ para simplificação na equação de $I_{DS,HD}$

Em seguida, simplificou-se a equação da carga no dreno do transistor HD (3.1), a fim de se obter uma equação linear, para isso se removeu o termo unitário da função logarítmica, pois tal termo é preponderante apenas na região de sublimiar, e removeu-se o termo ΔV_{th} , apenas importante abaixo da tensão de limiar, e o termo dependente da carga de depleção da raiz, o que resultou na equação (4.4):

$$Q_{D,HD} = C_{ox} \left(-\frac{2C_{ox}\beta^2}{Q_{Dep}} + (V_{GS} - V_{th,HD} - V_{TRAN}) \right) \quad (4.4)$$

A Figura 4.2 apresenta a curva $I_{DS} \times V_{DS}$ de um transistor GC GAA com $L=3 \mu\text{m}$ e $L_{LD}/L=0,5$, polarizado com $V_{GT}=200 \text{ mV}$. Nesta curva se pode notar a inserção de um erro máximo de 16%, porém a característica mais relevante desta figura é que tal erro permanece constante na região de saturação. Assim, como todos os erros inseridos pelas simplificações foram constantes, admitiram-se os erros para uma futura correção empírica na equação final.

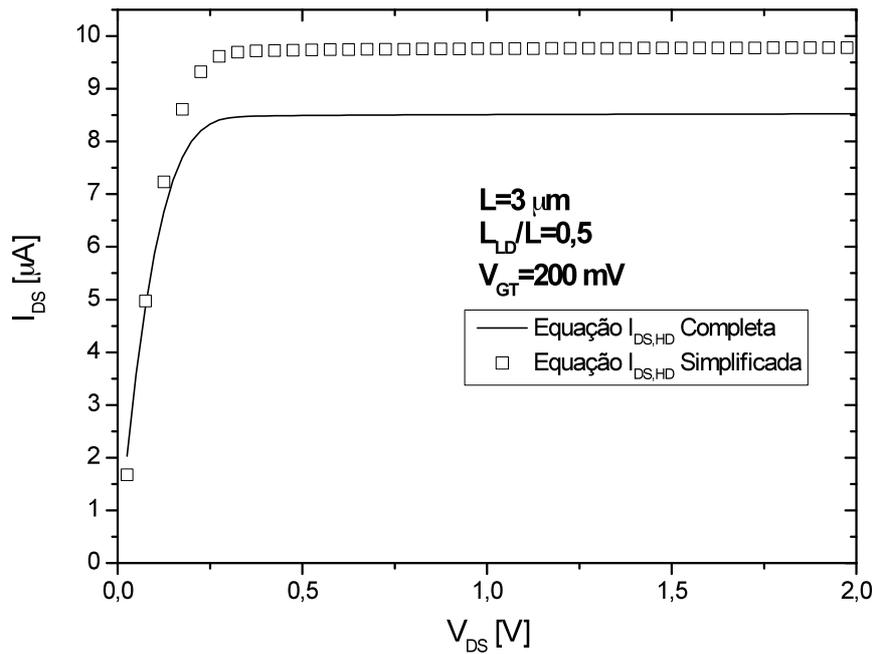


Figura 4.2 - Comparação da característica $I_{DS} \times V_{DS}$ para simplificação na equação de $Q_{D,HD}$

Utilizando a mesma estratégia para o transistor LD, valendo-se das comparações das simplificações realizadas no transistor HD como base, faz-se a simplificação da equação da corrente de dreno (2.20), onde apenas o segundo termo é mantido, pois este transistor representará apenas uma carga ao transistor HD, resultando na equação (4.5):

$$I_{DS,LD} = \frac{W\mu_{nLD}}{L_{LD}} \left[\frac{Q_{s,LD}^2 - Q_{d,LD}^2}{4C_{ox}} \right] \quad (4.5)$$

Trabalhando na equação de cargas, com as mesmas simplificações adotadas para o lado HD, através da equação (3.3) obtemos a equação simplificada (4.6):

$$Q_{s,LD} = 2C_{ox} \left(-\frac{2C_{ox}\beta^2}{Q_0} + (V_{GS} - V_{th,LD} - V_{TRAN}) \right) \quad (4.6)$$

Igualando (4.3) e (4.5) e fazendo uso das equações (4.4) e (4.6), é possível se resolver $V_{TRAN,SATURAÇÃO}$ analiticamente, solução quadrática, conforme equação (4.7):

$$V_{TRAN,SATURAÇÃO} = V_{GS} - CA \times \left(\frac{CB + \sqrt{CC}}{C_{ox}} \right) \quad (4.7)$$

onde o termo CA é dado pela equação (4.8):

$$CA = \frac{1}{2(2x + a)} \quad (4.8)$$

o termo CB é dado pela equação (4.9):

$$CB = 2C_{ox} \left[a \times (V_{th,HD} - 2\beta - d) + 2x \times (V_{th,LD} - z) \right] \quad (4.9)$$

o termo CC é dado pela equação (4.10):

$$CC = 4x^2y^2 + 8a \times \left\{ \begin{array}{l} a \times (2\beta C_{ox}b + 2C_{ox}^2\beta^2 + C_{ox} \cdot c + \frac{b^2}{2}) \\ + x \times (2C_{ox}c + b^2 + 4\beta C_{ox}b + \frac{y^2}{4}) \\ + C_{ox}^2x \times \left[\begin{array}{l} 2z \times (V_{th,LD} - V_{th,HD} + d) \\ + 4\beta(V_{th,HD} - d + z - V_{th,LD}) \\ + 2d(V_{th,HD} - V_{th,LD}) \\ - V_{th,LD}^2 - z^2 - V_{th,HD}^2 - d^2 \end{array} \right] \end{array} \right\} \quad (4.10)$$

e finalmente, as constantes a, b, c, d, x, y e z, são dadas por:

$$\begin{aligned}
a &= 2\mu_{nHD} \frac{W}{L_{HD}} \\
b &= Q_{S,HD} \\
c &= \beta Q_{Dep} \ln\left(\frac{Q_{Dep}}{Q_{Dep} + Q_{S,HD}}\right) \\
d &= \frac{-2C_{ox}\beta^2}{Q_{Dep}} \\
x &= \mu_{nLD} \frac{W}{L_{LD}} \\
y &= Q_{D,LD} \\
z &= \frac{-2C_{ox}\beta^2}{Q_0}
\end{aligned} \tag{4.11}$$

Utilizando as equações de (4.7) a (4.11), obtém-se um modelo para V_{TRAN} válido na região de saturação. As diversas simplificações que foram inseridas neste desenvolvimento inseriram consigo um erro constante, conforme discutido anteriormente, assim, para se efetuar a correção deste erro adicionou-se uma constante empírica C_{emp} na equação de $V_{TRAN,SATURAÇÃO}$, chegando a equação final para saturação:

$$V_{TRAN,SATURAÇÃO} = V_{GS} - CA \times \left(\frac{CB + \sqrt{CC}}{C_{ox}} \right) + C_{emp} \tag{4.12}$$

Este modelo foi comparado com os resultados do modelo iterativo e apresentou um bom casamento para região proposta, conforme será apresentado nos próximos itens.

4.1.3 Modelo analítico de V_{TRAN}

O modelo analítico completo para V_{TRAN} é obtido a partir da junção entre os resultados da região de triodo e da região de saturação, itens 4.1.1 e 4.1.2, a partir do uso de uma função de ajuste, conforme equação (4.13).

$$V_{TRAN} = V_{TRAN,SATURAÇÃO} - V_{TRAN,SATURAÇÃO} \cdot \left(\frac{\ln \left[1 + \exp \left(A_{TS} \cdot \left(1 - \frac{V_{TRAN,TRIODO}}{V_{TRAN,SATURAÇÃO}} \right) \right) \right]}{\ln \left[1 + \exp(B_{TS}) \right]} \right) \quad (4.13)$$

onde os parâmetros A_{TS} e B_{TS} da equação controlam a transição entre as regiões de triodo e de saturação.

Através do uso da equação (4.13) pode-se calcular a corrente de dreno do transistor HD, considerando a tensão de dreno deste transistor modulada pelo transistor LD, e, desta forma, chegando ao objetivo deste trabalho. Os resultados da comparação do modelo analítico com o modelo iterativo, previamente desenvolvido, utilizados para o desenvolvimento e validação do modelo analítico serão apresentados no próximo item, bem como os dados de comparação com os resultados de simulações numéricas bidimensionais e dados experimentais.

4.2 Resultados – Simulações e Comparações

Os itens a seguir apresentam os resultados do modelo proposto no item anterior comparados aos resultados do modelo iterativo apresentados no capítulo 3, previamente estudado, aos resultados das simulações numéricas bidimensionais ATLAS, e por fim, aos dados experimentais.

Novamente para implementação do modelo analítico utilizou-se o programa MATLAB (apêndice D).

4.2.1 Comparações com resultados do modelo iterativo

Para o desenvolvimento do modelo analítico foi utilizado como base o modelo iterativo, desta forma, este item apresenta os resultados obtidos neste desenvolvimento, analisando o comportamento da tensão de transição V_{TRAN} e da corrente de dreno para diversas polarizações.

Os resultados apresentados foram obtidos segundo uma tecnologia de $t_{ox}=2$ nm, $t_{Si}=50$ nm, $N_{aHD}=10^{17}$ cm⁻³, $N_{aLD}=10^{15}$ cm⁻³, para comprimentos de canal (L) de 10; 3 e 2 μm, e razões $L_{LD}/L=0,2; 0,3$ e $0,5$, com os parâmetros de ajuste $A_{TS}=8$ e $B_{TS}=7,9$, e a constante

$C_{emp}=0,07925$ V. Para a seleção destes valores utilizou-se o critério do menor erro obtido em V_{TRAN} , comparado com o modelo iterativo.

Inicialmente, apresenta-se a comparação dos resultados de V_{TRAN} obtidos através do modelo iterativo com os resultados obtidos através do modelo analítico. Como a tensão de transição é apenas o meio pelo qual se chega ao modelo analítico, e não o resultado esperado deste trabalho, a seguir será apresentado apenas dois exemplos desta análise que resultou no modelo desejado. A Figura 4.3 descreve V_{TRAN} pela tensão de porta (V_{GS}) para polarização de dreno $V_{DS}=1,5$ V; para um transistor GC GAA com $L=10\mu m$.

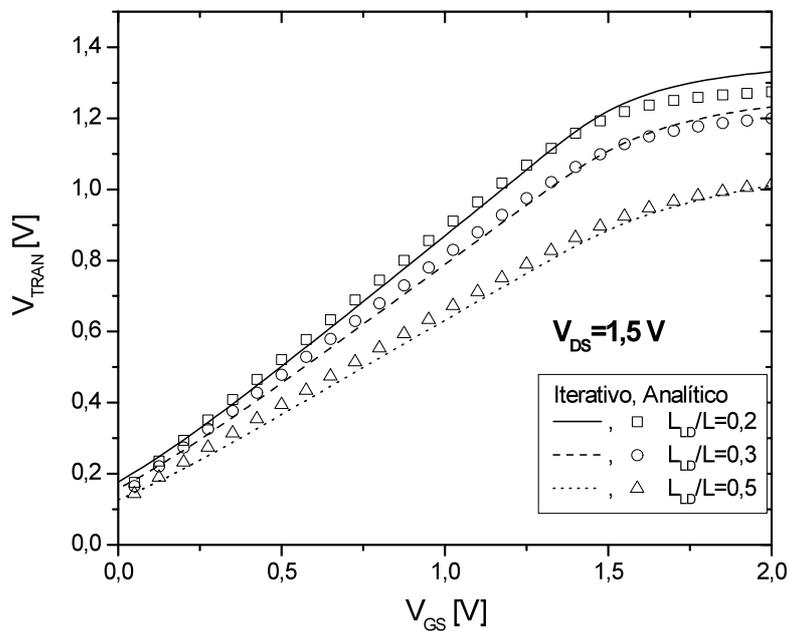


Figura 4.3 - Tensão de transição pela tensão de porta com $V_{DS}=1,5$ V.

Com o transistor em saturação, boa parte de V_{DS} cai na região saturada, no lado LD. À medida que o transistor LD se aproxima da região triodo, a queda nele diminui, elevando V_{TRAN} . Neste exemplo verifica-se que a proposta analítica tem um bom ajuste com o modelo iterativo, com erro máximo de 4%.

A Figura 4.4 descreve V_{TRAN} pela tensão de dreno (V_{DS}) para $V_{GT}=1$ V; para um transistor GC GAA com $L=10\mu m$.

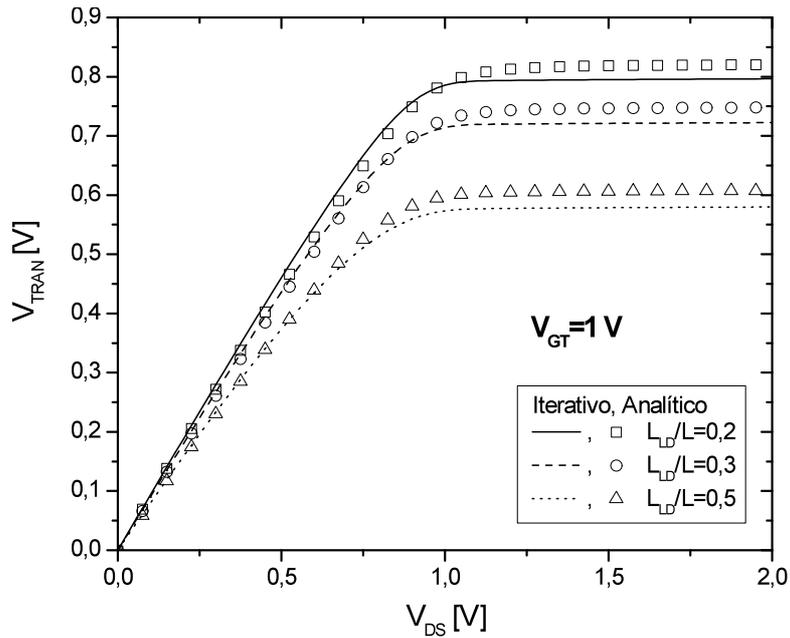


Figura 4.4 - Tensão de transição pela tensão de dreno com $V_{GT}=1$ V.

Nesta figura nota-se o bom funcionamento da função de ajuste proposta no item 4.1.3, onde $V_{TRAN,TRIODO}$, subida linear até $V_{DS}=1$ V aproximadamente, e $V_{TRAN,SATURAÇÃO}$, $V_{DS}>1$ V, são mesclados, apresentando um erro máximo inferior a 5%. Assim, o modelo da transição é validado, e a partir deste ponto, descreve-se o comportamento da corrente de dreno.

A seguir é analisado o comportamento da corrente de dreno pela tensão de porta entre o modelo iterativo e o modelo analítico para $V_{DS}=100$ mV, $L=10$ μ m, $L=3$ μ m e $L=2$ μ m, os quais estão apresentados na Figura 4.5, Figura 4.6 e na Figura 4.7, respectivamente.

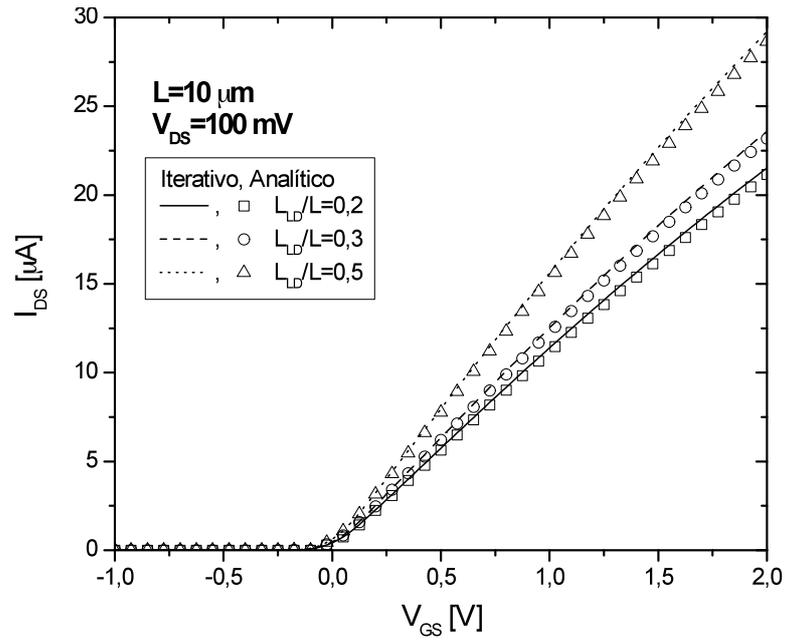


Figura 4.5 - Característica I_{DS}xV_{GS} com V_{DS}=100 mV, para L = 10 μm .

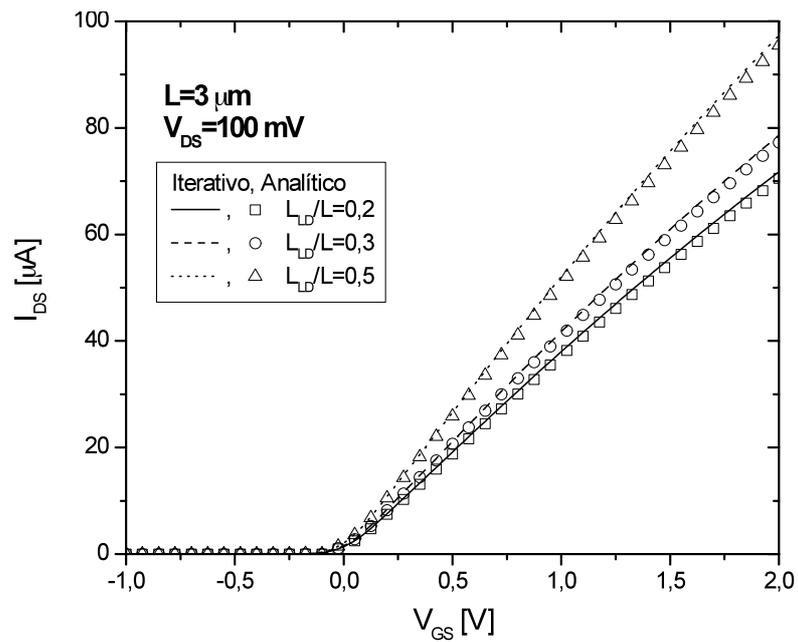


Figura 4.6 - Característica I_{DS}xV_{GS} com V_{DS}=100 mV, para L = 3 μm .

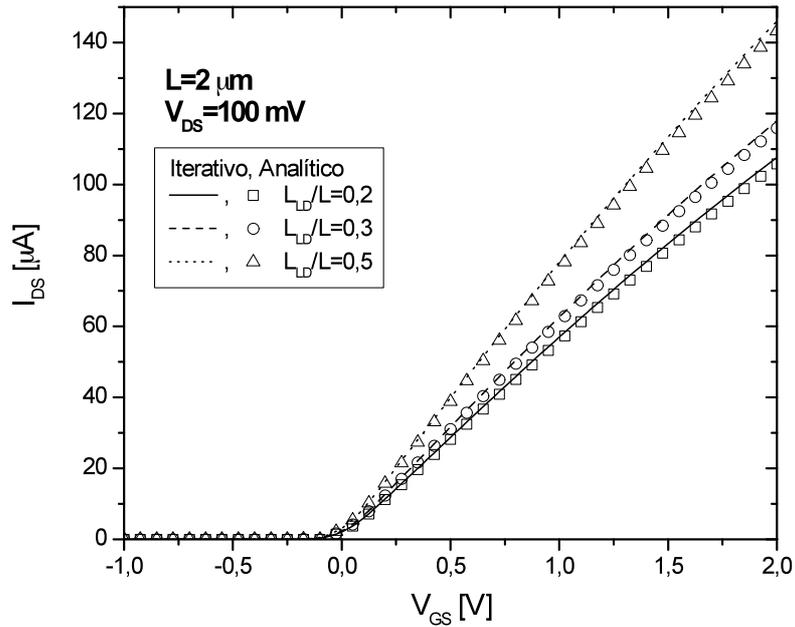


Figura 4.7 - Característica $I_{DS} \times V_{GS}$ com $V_{DS} = 100 \text{ mV}$, para $L = 2 \mu\text{m}$.

Pode-se notar o ótimo ajuste entre o modelo iterativo e o modelo analítico em todos os comprimentos de canal e todas as razões L_{LD}/L estudadas, com erro máximo inferior a 5%. Na Figura 4.8, Figura 4.9 e na Figura 4.10, são apresentadas as mesmas curvas $I_{DS} \times V_{GS}$, porém em escala logarítmica, para se possibilitar o estudo em sublimiar, novamente com as mesmas características.

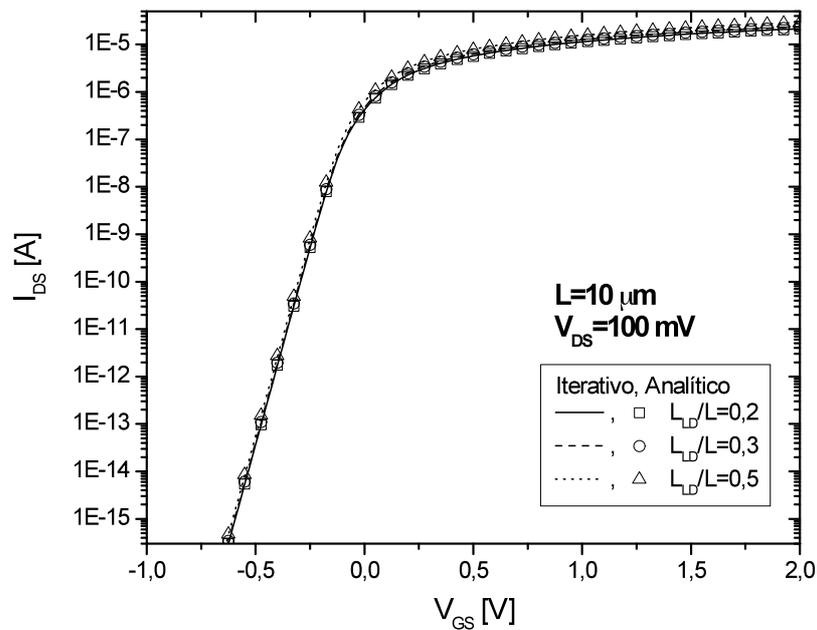


Figura 4.8 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS} = 100 \text{ mV}$, para $L = 10 \mu\text{m}$.

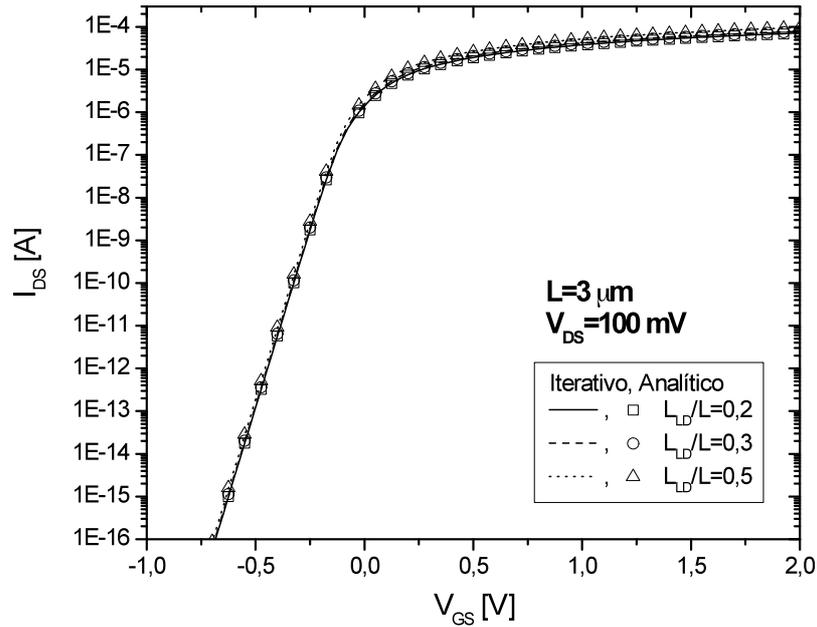


Figura 4.9 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS}=100$ mV, para $L = 3$ μm.

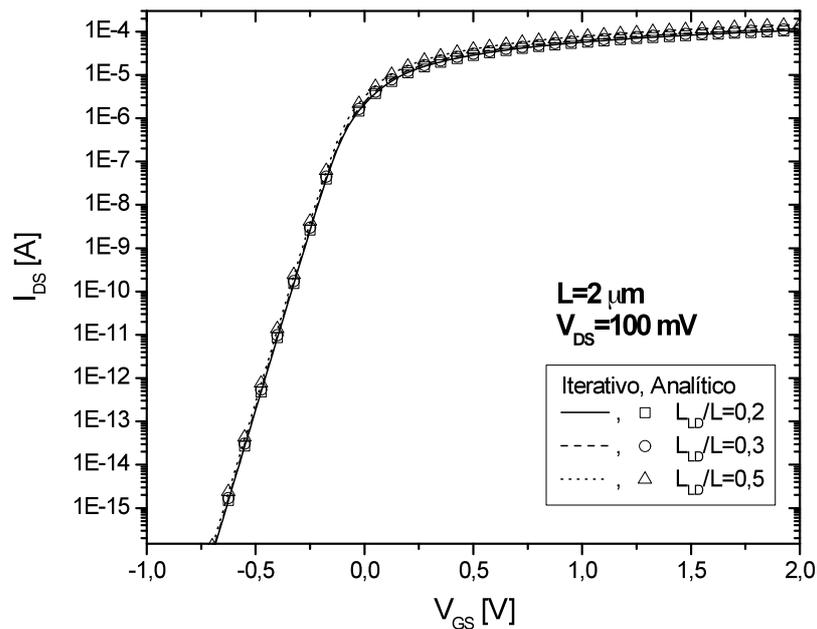


Figura 4.10 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS}=100$ mV, para $L = 2$ μm.

Pode-se notar um excelente ajuste entre modelo analítico e iterativo em sublimiar para todas as condições estudadas. Continuando, será analisado o comportamento da corrente de dreno pela tensão de porta entre o modelo iterativo e o modelo analítico para $V_{DS}=1,5$ V, $L=10$ μm, $L=3$ μm e $L=2$ μm, os quais serão apresentados na Figura 4.11, Figura 4.12 e na Figura 4.13, respectivamente.

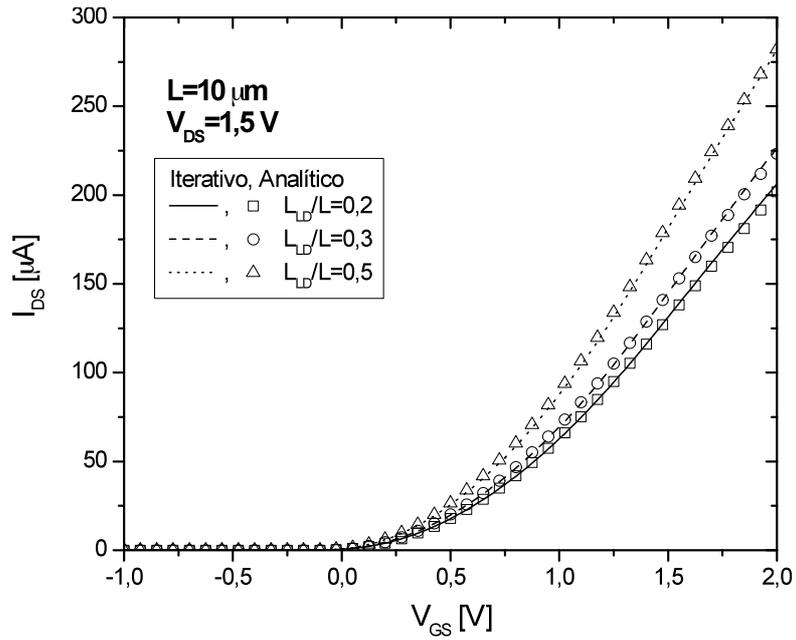


Figura 4.11 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=1,5$ V, para $L = 10 \mu\text{m}$.

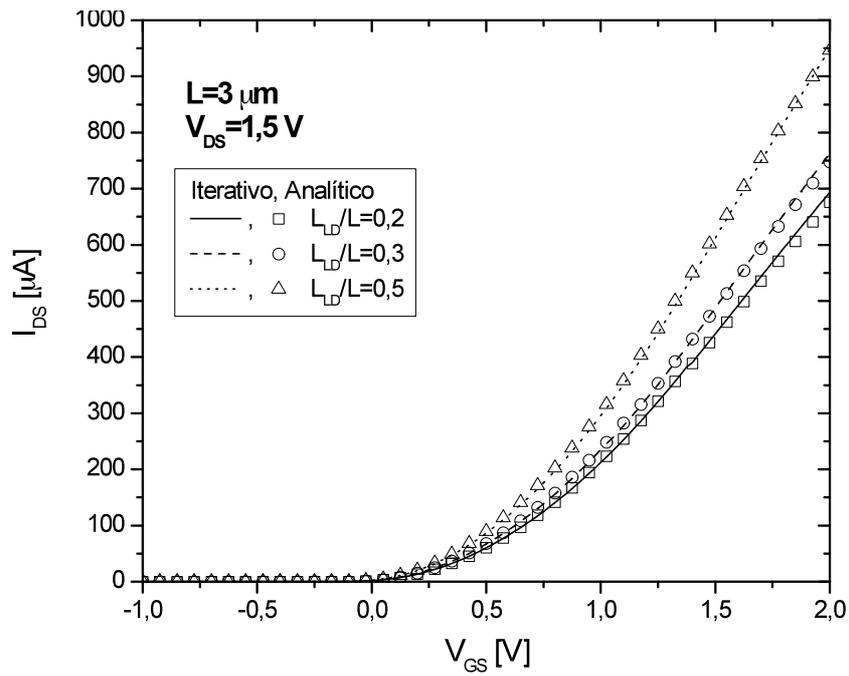


Figura 4.12 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=1,5$ V, para $L = 3 \mu\text{m}$.

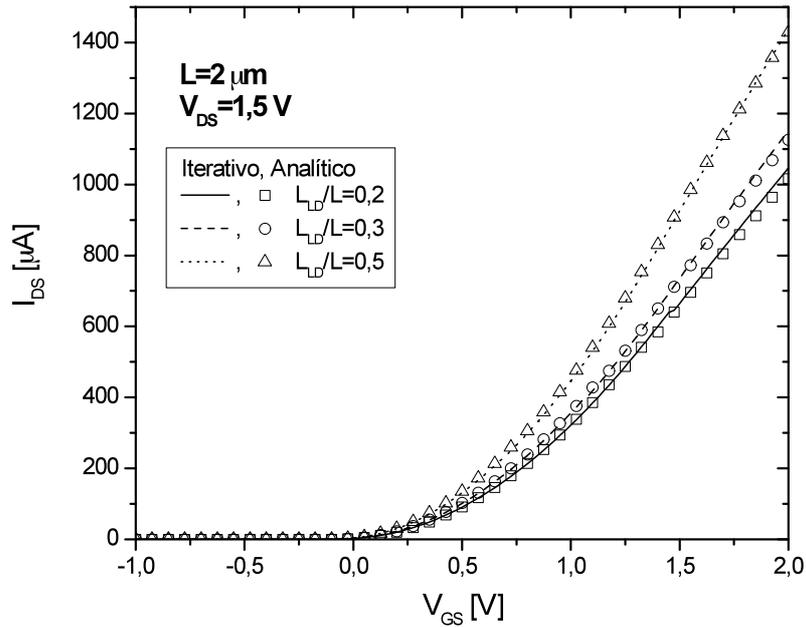


Figura 4.13 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=1,5$ V, para $L = 2 \mu\text{m}$.

Pode-se notar o ótimo ajuste novamente entre o modelo iterativo e o modelo analítico em todos os comprimentos de canal e todas as razões L_{LD}/L estudadas, com erro máximo inferior a 3%. Na Figura 4.14, Figura 4.15 e na Figura 4.16, são apresentadas as mesmas curvas $I_{DS} \times V_{GS}$, porém em escala logarítmica, para se possibilitar o estudo em sublimiar, novamente com as mesmas características.

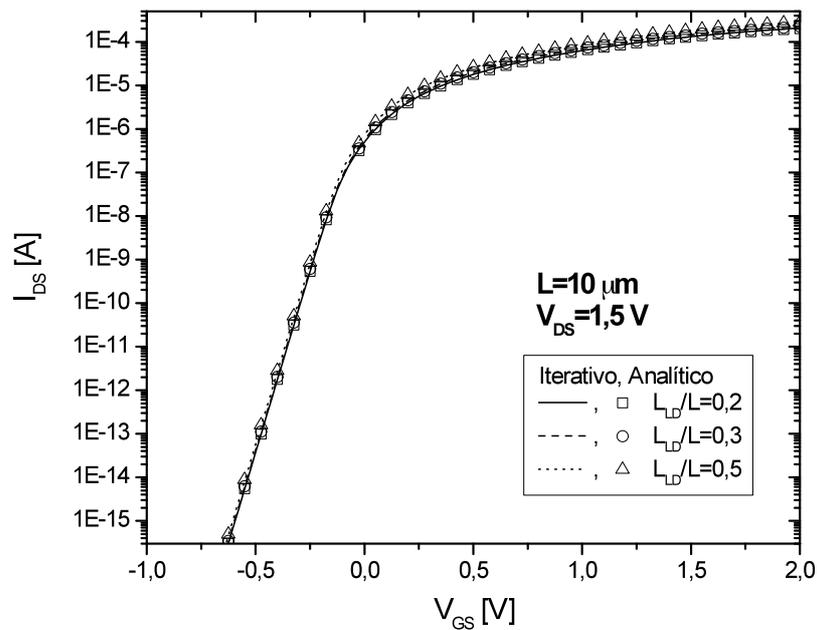


Figura 4.14 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS}=1,5$ V, para $L = 10 \mu\text{m}$.

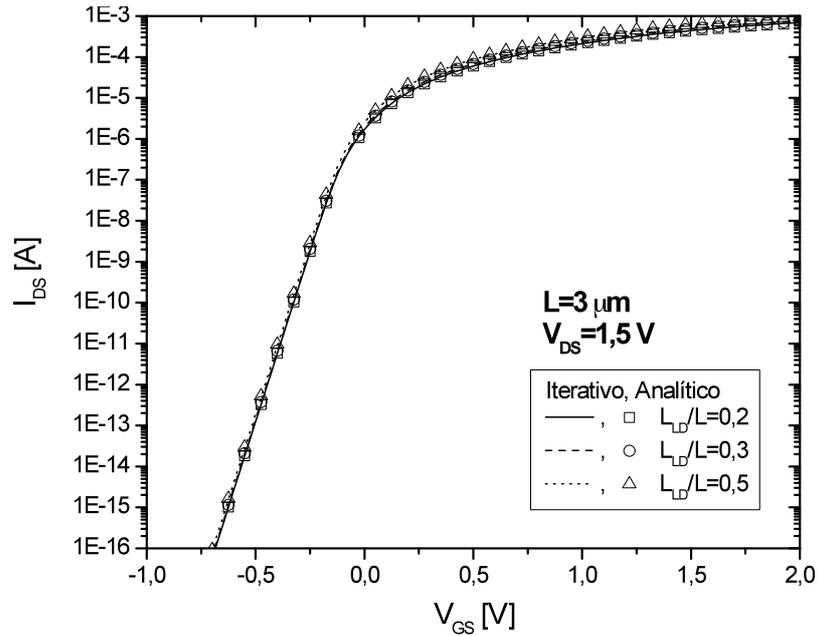


Figura 4.15 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS} = 1,5 \text{ V}$, para $L = 3 \mu\text{m}$.

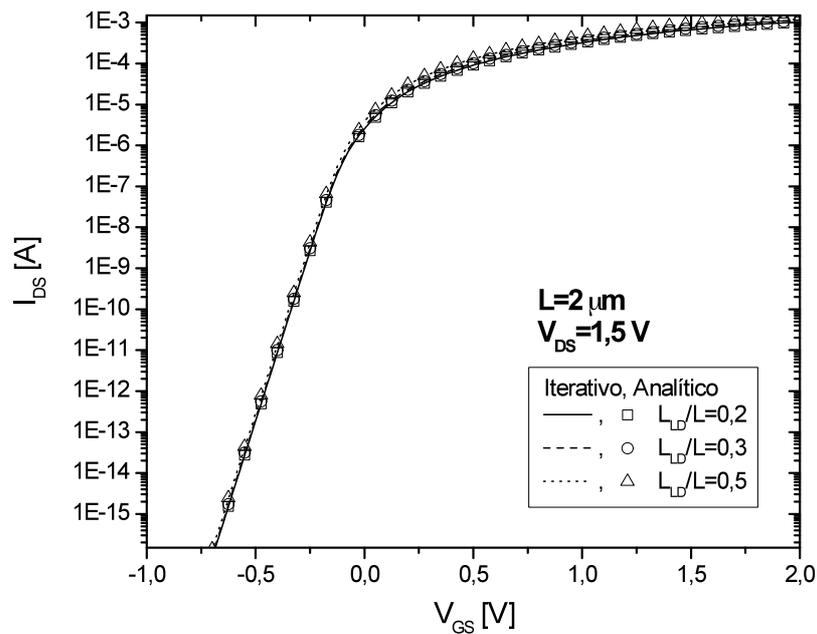


Figura 4.16 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS} = 1,5 \text{ V}$, para $L = 2 \mu\text{m}$.

Pode-se notar um excelente ajuste entre modelo analítico e iterativo em sublimiar para todas as condições estudadas.

A seguir será analisado o comportamento da corrente de dreno pela tensão de dreno entre o modelo iterativo e o modelo analítico para $V_{GT} = 200 \text{ mV}$, $L = 10 \mu\text{m}$, $L = 3 \mu\text{m}$ e $L = 2 \mu\text{m}$, os quais serão apresentados na Figura 4.17, Figura 4.18 e na Figura 4.19, respectivamente.

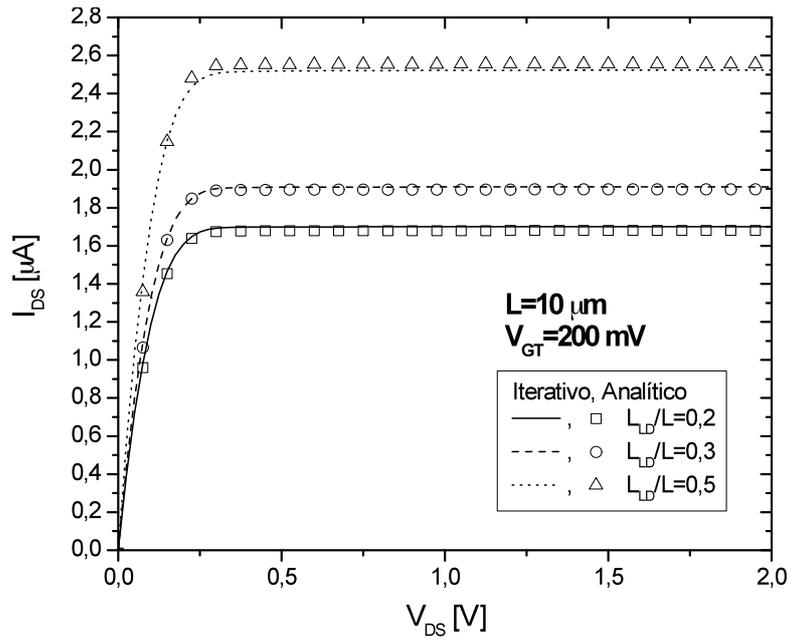


Figura 4.17 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=200 \text{ mV}$, para $L = 10 \mu\text{m}$.

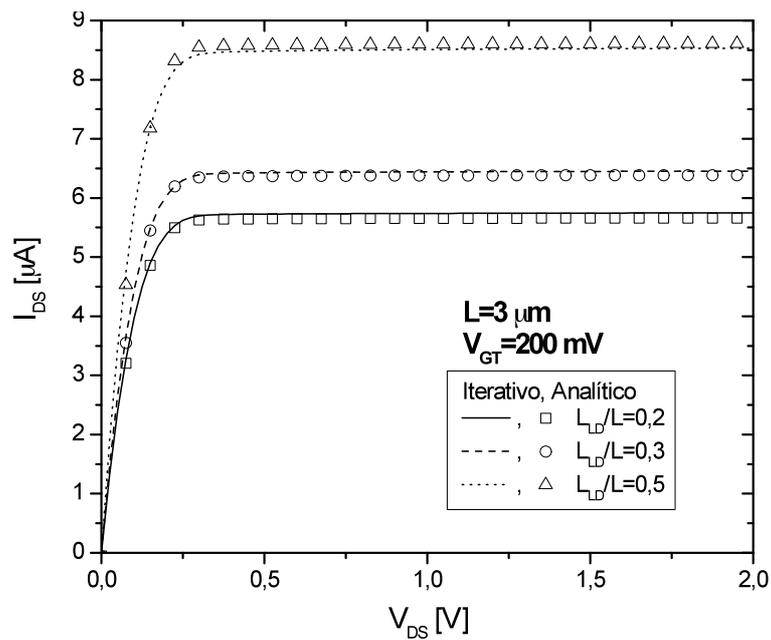


Figura 4.18 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=200 \text{ mV}$, para $L = 3 \mu\text{m}$.

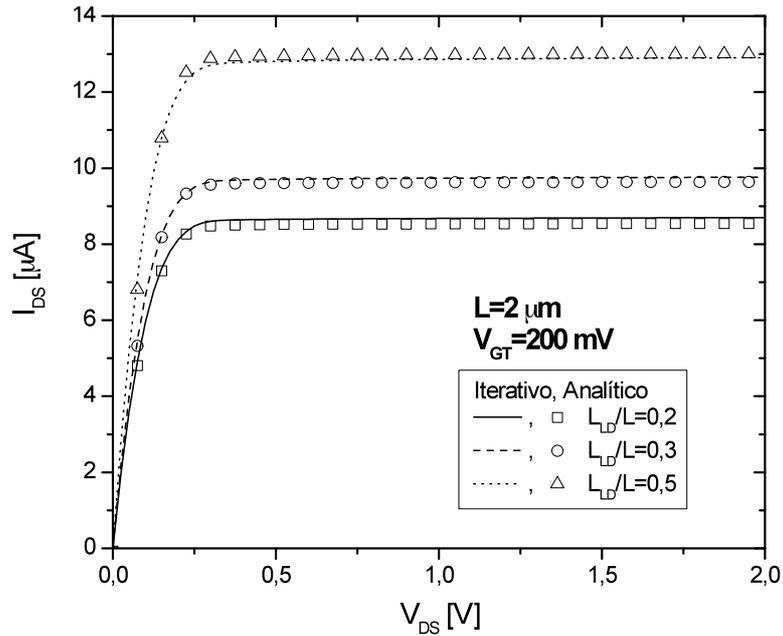


Figura 4.19 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=200 \text{ mV}$, para $L = 2 \mu\text{m}$.

Estes resultados apresentam um bom ajuste entre modelo iterativo e modelo analítico para todas as condições de L e L_{LD}/L estudadas, chegando a um erro máximo inferior a 2% para pior condição. Tanto o aumento da corrente de dreno como a variação na tensão de saturação, decorrentes da variação do comprimento L_{LD} , são adequadamente descritos pelo modelo analítico proposto.

A seguir será analisado o comportamento da corrente de dreno pela tensão de dreno entre o modelo iterativo e o modelo analítico para $V_{GT}=1 \text{ V}$, $L=10 \mu\text{m}$, $L=3 \mu\text{m}$ e $L=2 \mu\text{m}$, os quais serão apresentados na Figura 4.20, Figura 4.21 e na Figura 4.22, respectivamente.

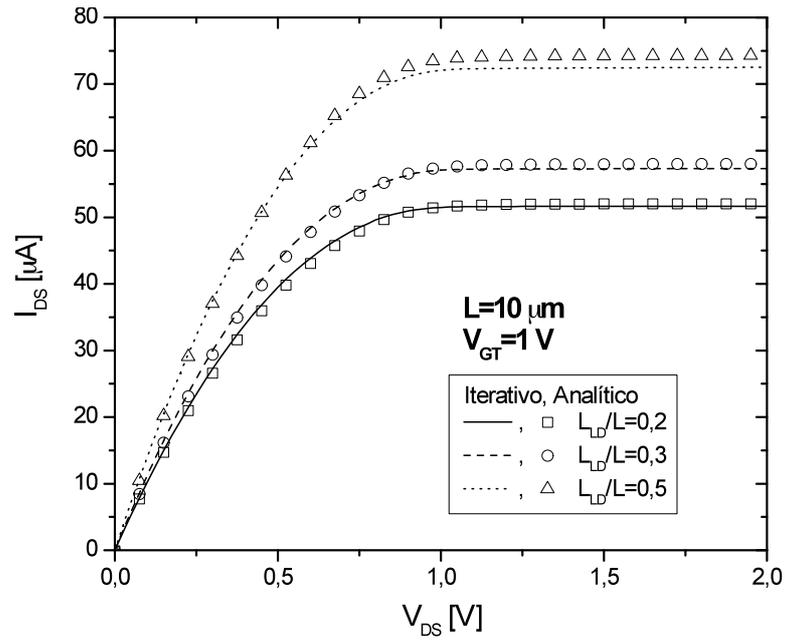


Figura 4.20 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=1$ V, para $L = 10 \mu\text{m}$.

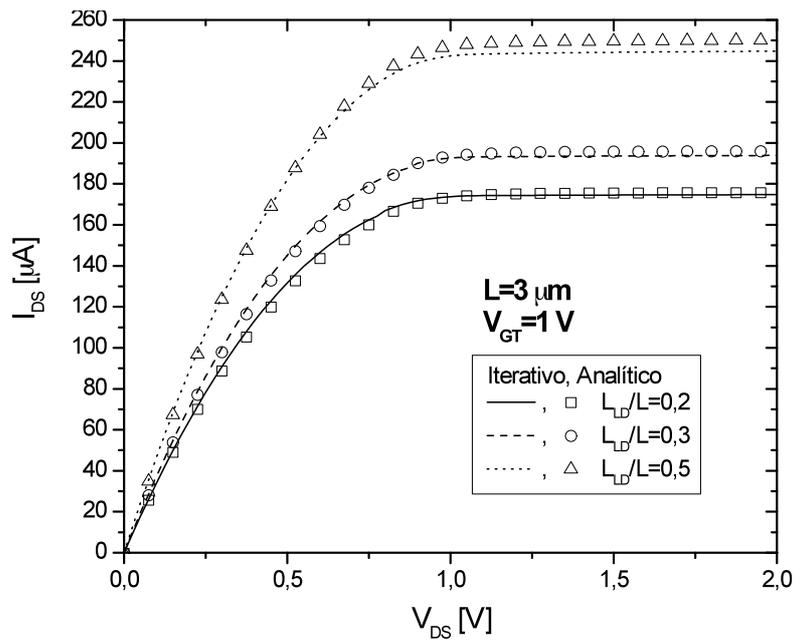


Figura 4.21 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=1$ V, para $L = 3 \mu\text{m}$.

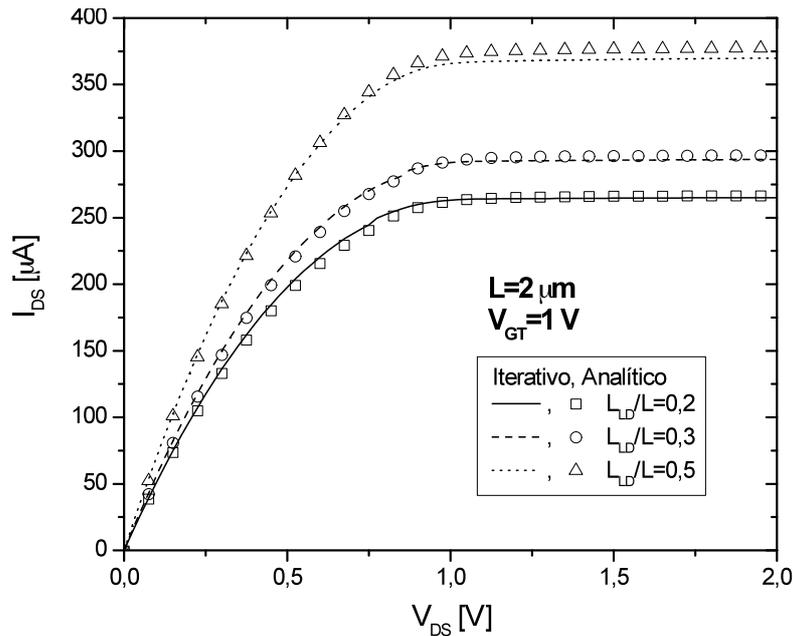


Figura 4.22 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=1$ V, para $L = 2 \mu\text{m}$.

Por fim, estes resultados apresentam também um bom ajuste entre modelo iterativo e modelo analítico para todas as condições de L e L_{LD}/L estudadas, chegando a um erro máximo inferior a 3% para pior condição, um pouco maior do que o erro para baixa sobretensão.

4.2.2 Comparações com resultados de simulações bidimensionais

Após a validação do modelo analítico através da comparação com o modelo iterativo, previamente validado, o próximo passo deste estudo foi comparar modelo analítico proposto com resultados das simulações numéricas bidimensionais obtidas através do simulador ATLAS, valendo-se dos mesmos modelos físicos utilizados anteriormente, CONMOB e YAMAGUCHI. Neste item, além da corrente de dreno, suas derivadas são estudadas, pois, desta forma é possível validar e continuidade do modelo e sua precisão.

Novamente, os resultados apresentados foram obtidos segundo uma tecnologia de $t_{ox}=2$ nm, $t_{Si}=50$ nm, $N_{aHD}=10^{17}$ cm⁻³, $N_{aLD}=10^{15}$ cm⁻³, para comprimentos de canal (L) de 10; 3 e 2 μm , e razões $L_{LD}/L=0,2$; 0,3 e 0,5, com os parâmetros de ajuste $A_{TS}=8$ e $B_{TS}=7,9$, e a constante $C_{emp}=0,07925$ V.

A seguir é analisado o comportamento da corrente de dreno pela tensão de porta entre os resultados da simulação ATLAS e os resultados do modelo analítico para $V_{DS}=100$ mV, $L=10 \mu\text{m}$, $L=3 \mu\text{m}$ e $L=2 \mu\text{m}$, os quais estão apresentados na Figura 4.23, Figura 4.24 e na Figura 4.25, respectivamente.

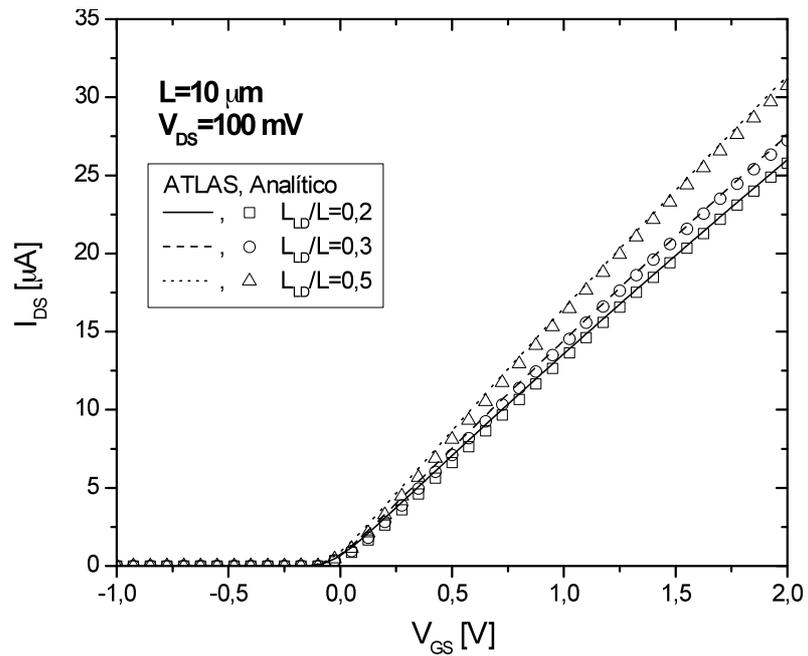


Figura 4.23 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=100$ mV, para $L = 10$ μm .

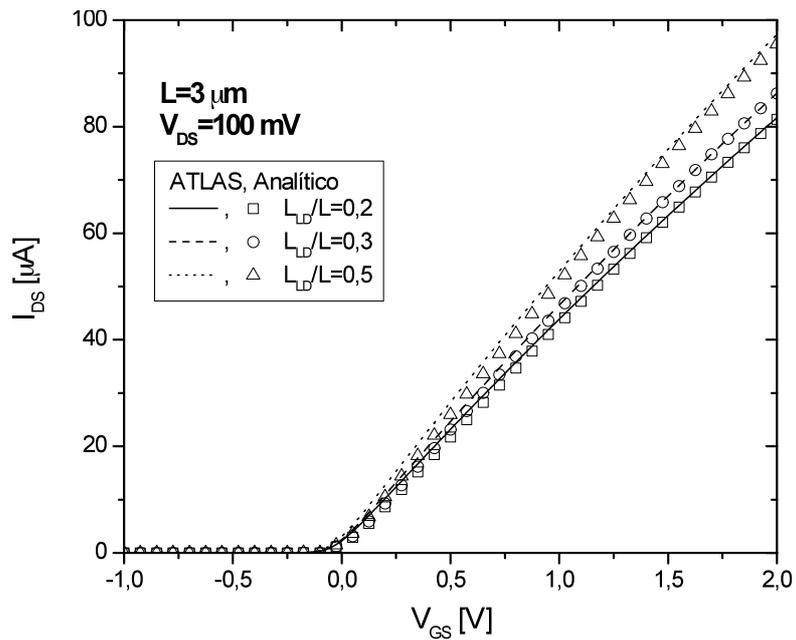


Figura 4.24 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=100$ mV, para $L = 3$ μm .

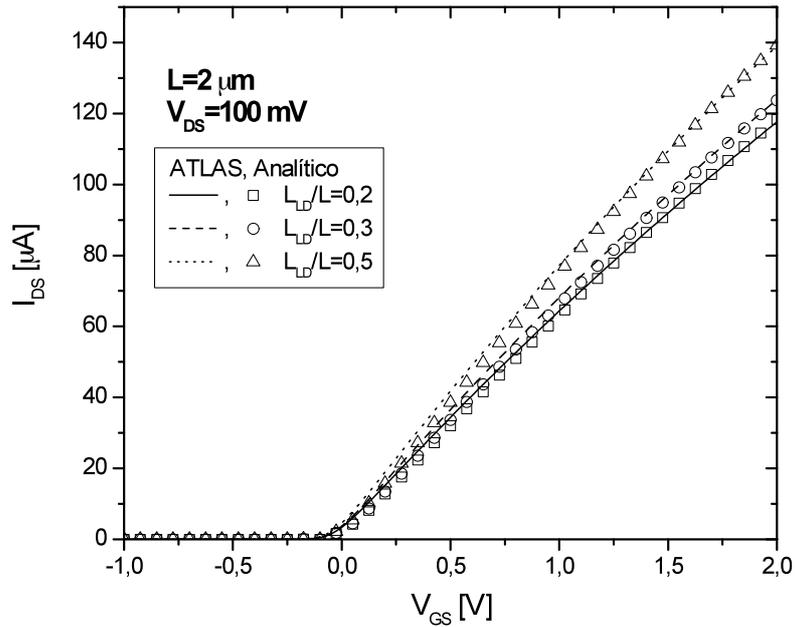


Figura 4.25 - Característica $I_{DS} \times V_{GS}$ com $V_{DS} = 100 \text{ mV}$, para $L = 2 \mu\text{m}$.

Pode-se notar o ótimo ajuste entre a simulação ATLAS e o modelo analítico em todos os comprimentos de canal e todas as razões L_{LD}/L estudadas, com erro máximo inferior a 7%. Na Figura 4.26, Figura 4.27 e na Figura 4.28, são apresentadas as mesmas curvas $I_{DS} \times V_{GS}$, porém em escala logarítmica, para se possibilitar o estudo em sublimiar.

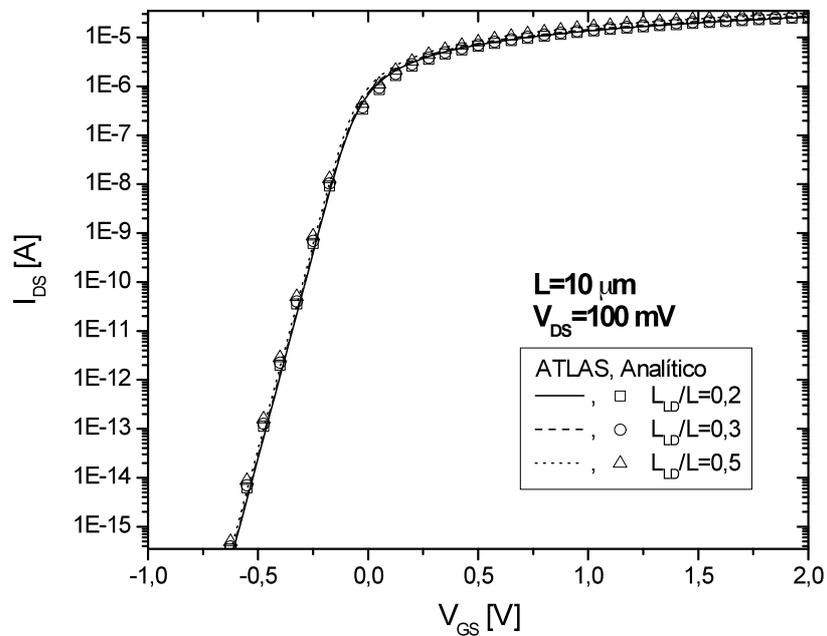


Figura 4.26 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS} = 100 \text{ mV}$, para $L = 10 \mu\text{m}$.

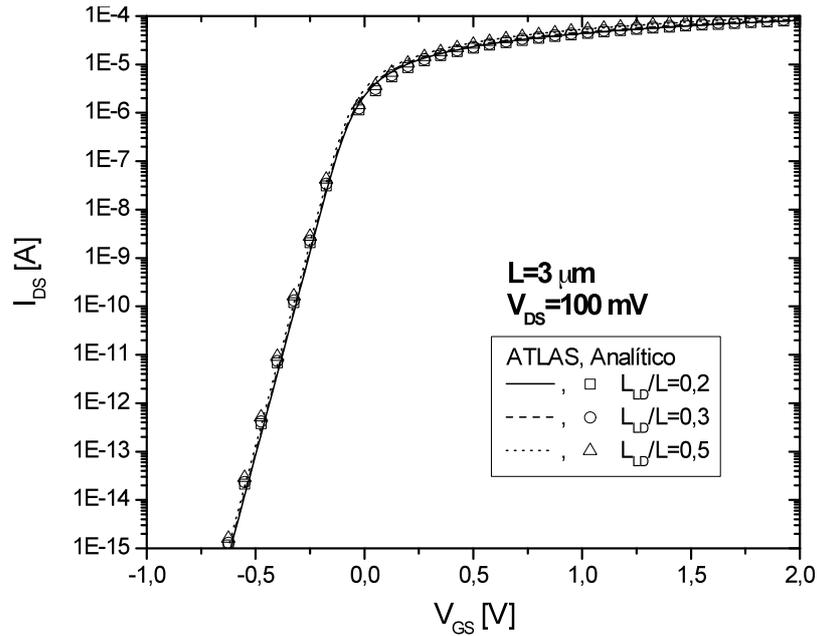


Figura 4.27 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS}=100$ mV, para $L = 3$ μm .

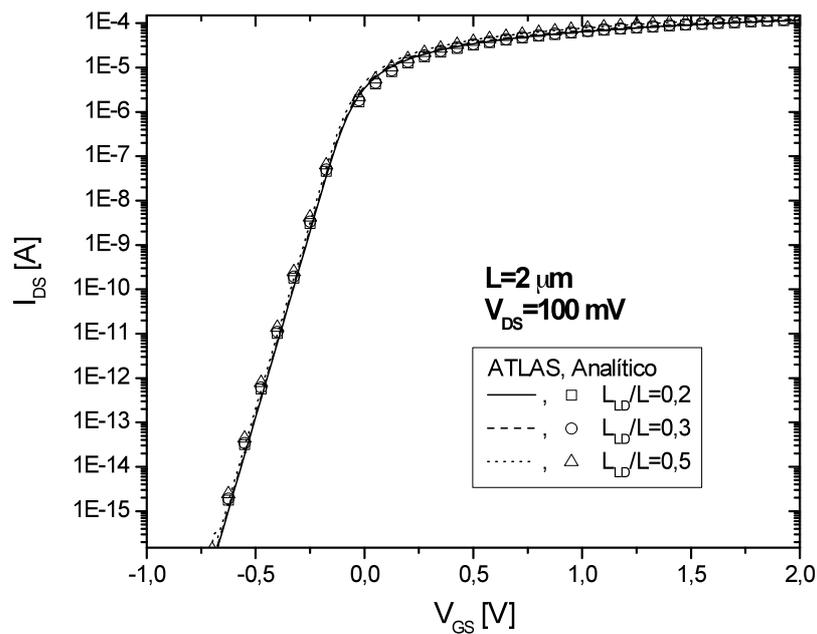


Figura 4.28 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS}=100$ mV, para $L = 2$ μm .

Como se pode observar, o bom ajuste entre a simulação ATLAS e o modelo analítico permanece em sublimiar para todas as condições estudadas. Seguindo a mesma estratégia adotada no item anterior, será analisado o comportamento da corrente de dreno pela tensão de porta para $V_{DS}=1,5$ V, $L=10$ μm , $L=3$ μm e $L=2$ μm , os quais serão apresentados na Figura 4.29, Figura 4.30 e na Figura 4.31, respectivamente.

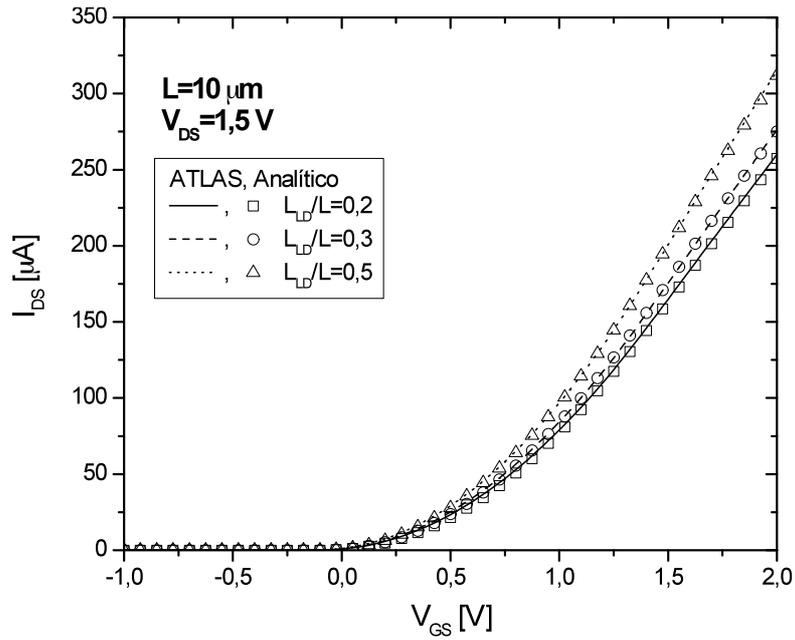


Figura 4.29 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=1,5$ V, para $L = 10 \mu\text{m}$.

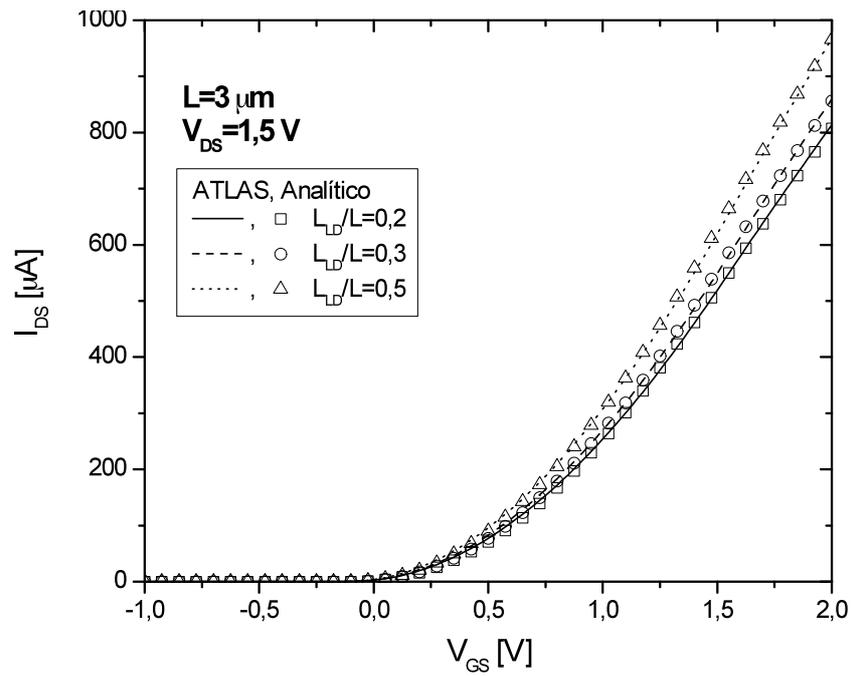


Figura 4.30 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=1,5$ V, para $L = 3 \mu\text{m}$.

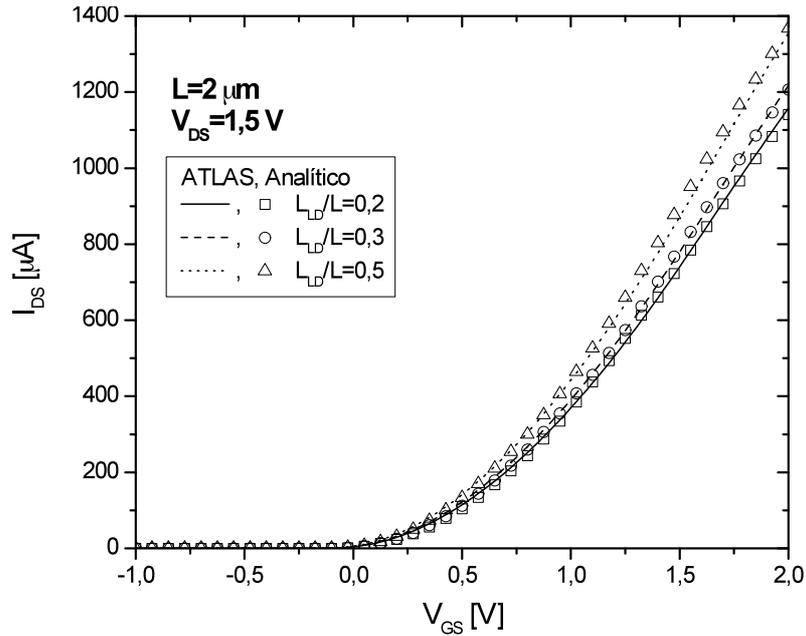


Figura 4.31 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=1,5$ V, para $L = 3 \mu\text{m}$.

Pode-se notar o ótimo ajuste entre a simulação ATLAS e o modelo analítico em todos os comprimentos de canal e todas as razões L_{LD}/L estudadas, com erro máximo novamente inferior a 7%. Na Figura 4.32, Figura 4.33 e na Figura 4.34, são apresentadas as mesmas curvas $I_{DS} \times V_{GS}$, porém em escala logarítmica, para se possibilitar o estudo em sublimiar.

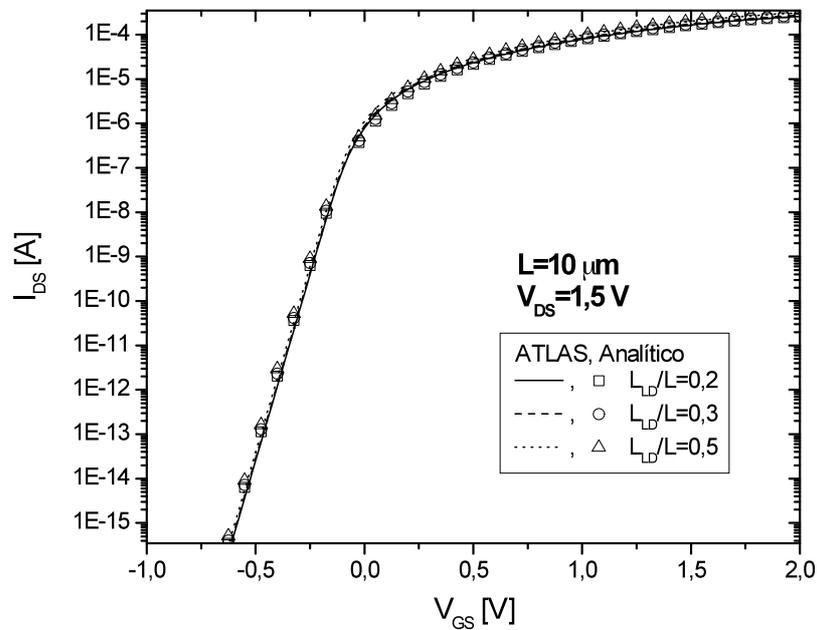


Figura 4.32 - Característica $I_{DS} \times V_{GS}$ em sublimiar com $V_{DS}=1,5$ V, para $L = 10 \mu\text{m}$.

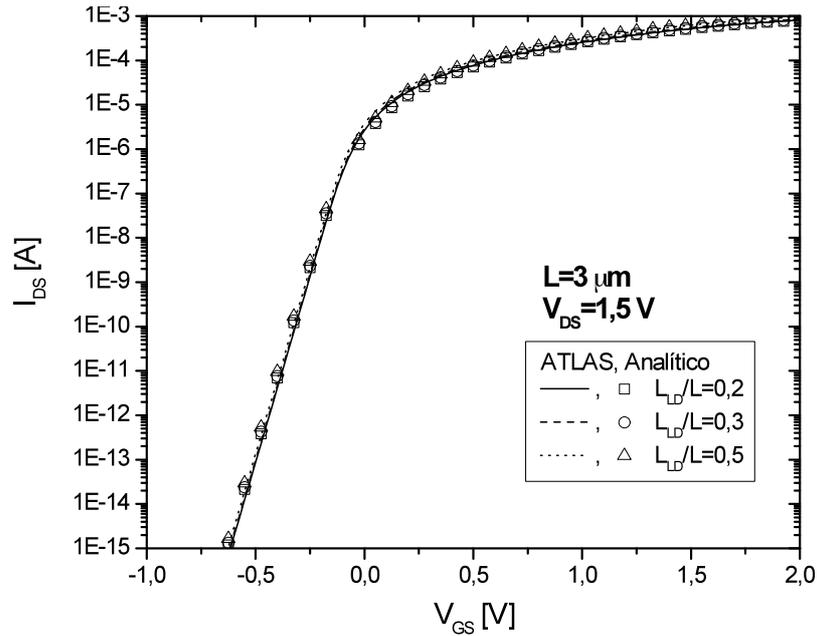


Figura 4.33 - Característica $I_{DS} \times V_{GS}$ em sublimar com $V_{DS}=1,5$ V, para $L = 3 \mu\text{m}$.

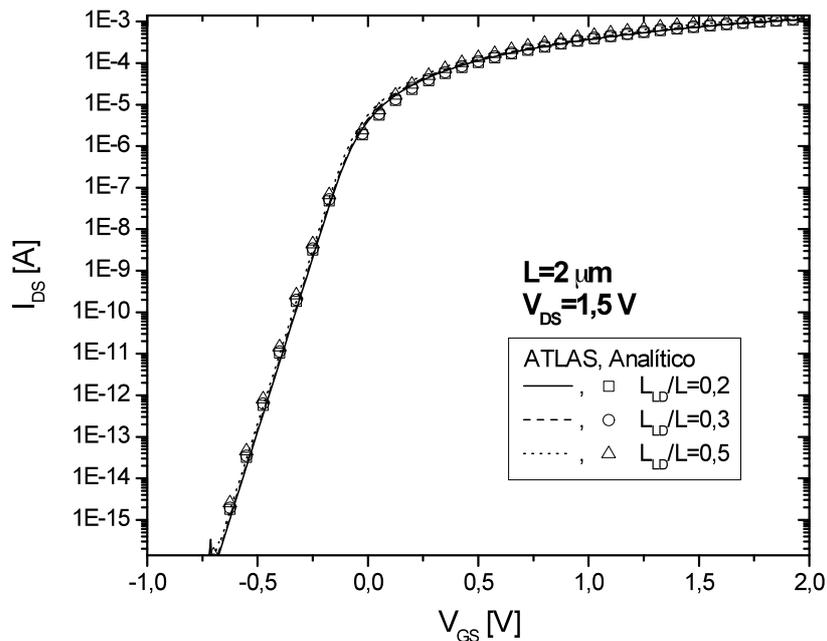


Figura 4.34 - Característica $I_{DS} \times V_{GS}$ em sublimar com $V_{DS}=1,5$ V, para $L = 2 \mu\text{m}$.

Como se pode observar, o bom ajuste entre a simulação ATLAS e o modelo analítico permanece em sublimar para todas as condições estudadas novamente.

Utilizando-se as curvas $I_{DS} \times V_{GS}$ apresentadas acima, através de derivadas numéricas nas duas situações de V_{DS} , calcula-se a transcondutância. A seguir serão verificadas as curvas $g_m \times V_{GS}$ para $V_{DS}=100\text{mV}$, $L=10 \mu\text{m}$, $L=3 \mu\text{m}$ e $L=2 \mu\text{m}$, os quais serão apresentados na Figura 4.35, Figura 4.36 e na Figura 4.37, respectivamente.

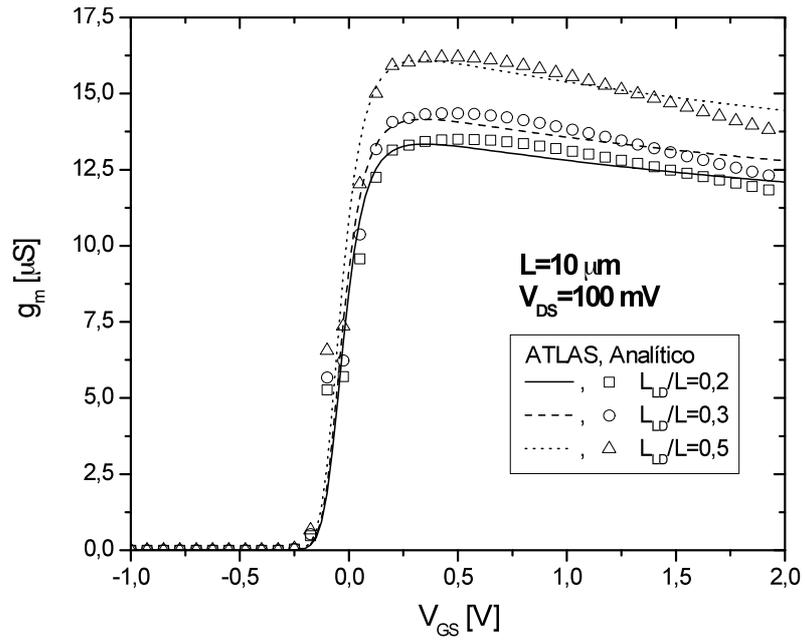


Figura 4.35 - Transcondutância $g_m \times V_{GS}$ com $V_{DS}=100 \text{ mV}$, para $L = 10 \mu\text{m}$.

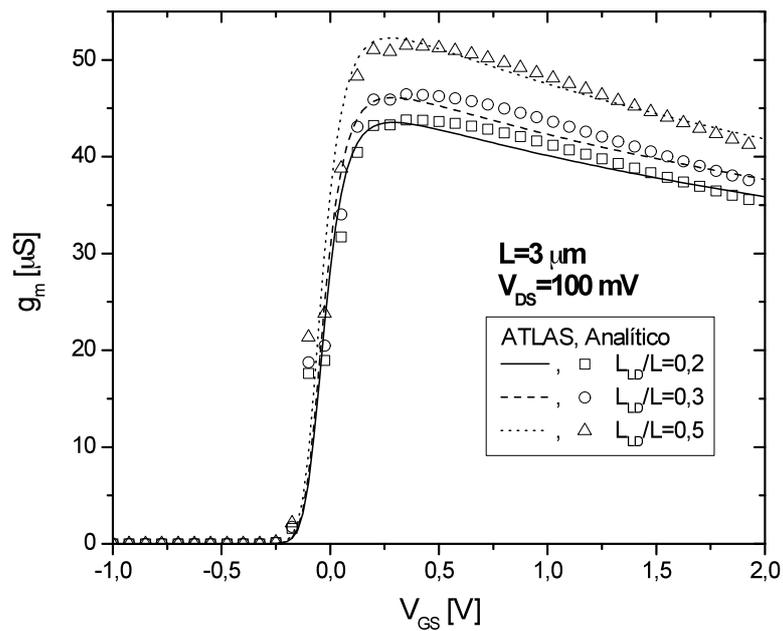


Figura 4.36 - Transcondutância $g_m \times V_{GS}$ com $V_{DS}=100 \text{ mV}$, para $L = 3 \mu\text{m}$.

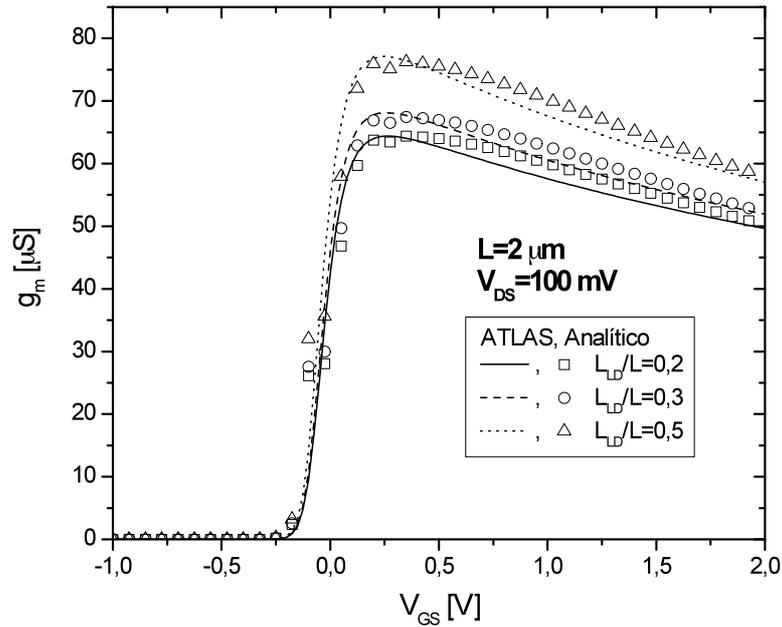


Figura 4.37 - Transcondutância $g_m \times V_{GS}$ com $V_{DS}=100$ mV, para $L = 2$ μm .

Da mesma forma que no item anterior, onde se estudou o modelo iterativo, aqui, as figuras acima apresentam um bom ajuste, com erro máximo de 5,5%, e pode-se notar que ainda há um pequeno problema na degradação da mobilidade, devido a utilização do mesmo modelo de mobilidade, o que não afeta diretamente a característica $I_{DS} \times V_{GS}$ da estrutura. As curvas $g_m \times V_{GS}$ para alta tensão de dreno, $V_{DS}=1,5$ V, $L=10$ μm , $L=3$ μm e $L=2$ μm , serão apresentadas na Figura 4.38, Figura 4.39 e na Figura 4.40, respectivamente.

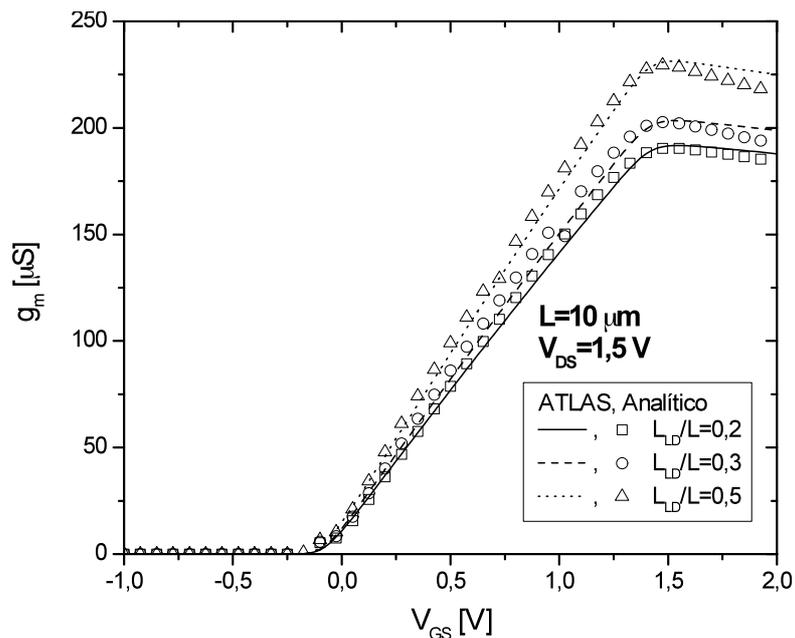


Figura 4.38 - Transcondutância $g_m \times V_{GS}$ com $V_{DS}=1,5$ V, para $L = 10$ μm .

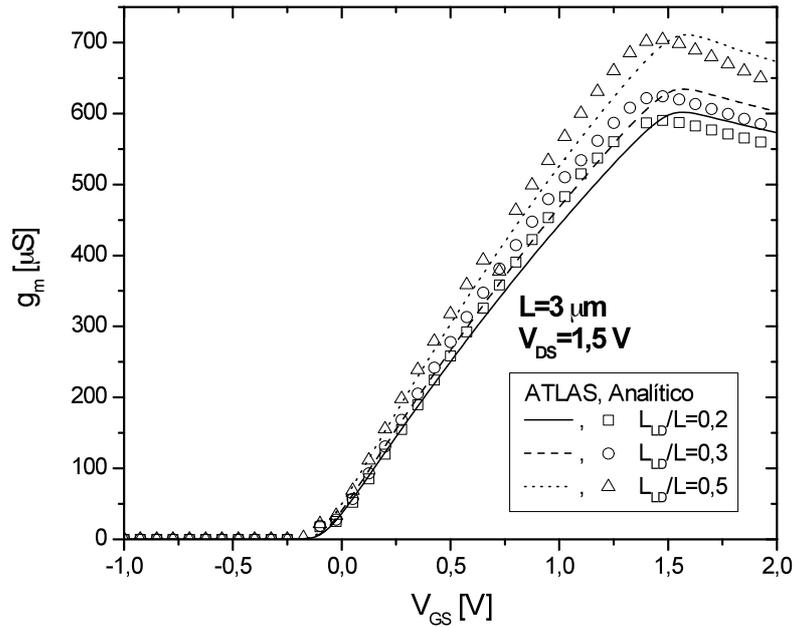


Figura 4.39 - Transcondutância $g_m \times V_{GS}$ com $V_{DS}=1,5$ V, para $L = 3$ μm .

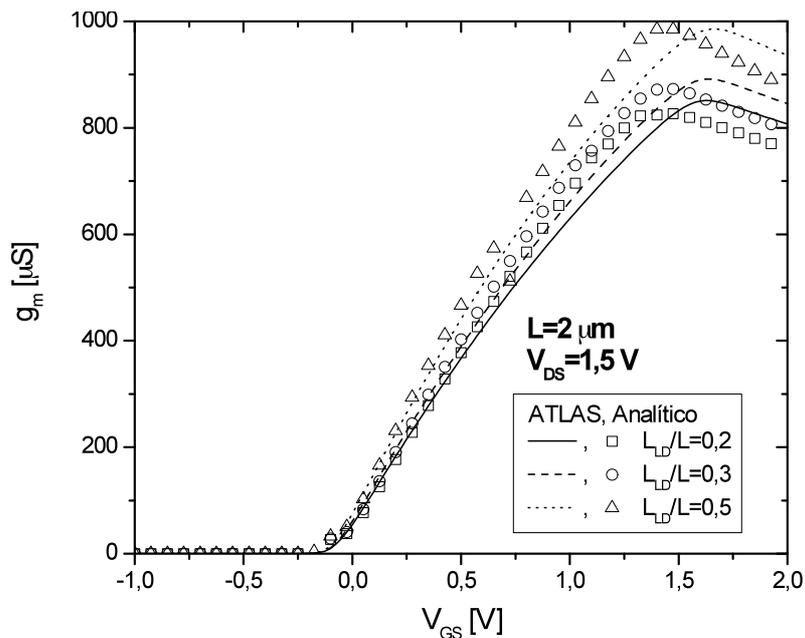


Figura 4.40 - Transcondutância $g_m \times V_{GS}$ com $V_{DS}=1,5$ V, para $L = 2$ μm .

Com alta tensão aplicada ao dreno o erro máximo passa a ser de 8,5%, porém ainda pode ser considerado um bom ajuste, e nota-se que neste caso o modelo analítico possui menor erro comparado aos resultados obtidos pelo modelo iterativo. Através das figuras até aqui apresentadas também é possível verificar a dependência com o comprimento de canal (L), onde nota-se o aumento da corrente de dreno, e por consequência, da transcondutância, com a diminuição de L , ambos os efeitos são bem descritos pelo modelo proposto.

Após a análise da corrente de dreno a partir da tensão de porta será verificado o comportamento da corrente de dreno pela tensão de dreno entre os resultados das simulações

atlas e o modelo analítico para $V_{GT}=200$ mV, $L=10$ μm , $L=3$ μm e $L=2$ μm , os quais serão apresentados na Figura 4.41, Figura 4.42 e na Figura 4.43, respectivamente.

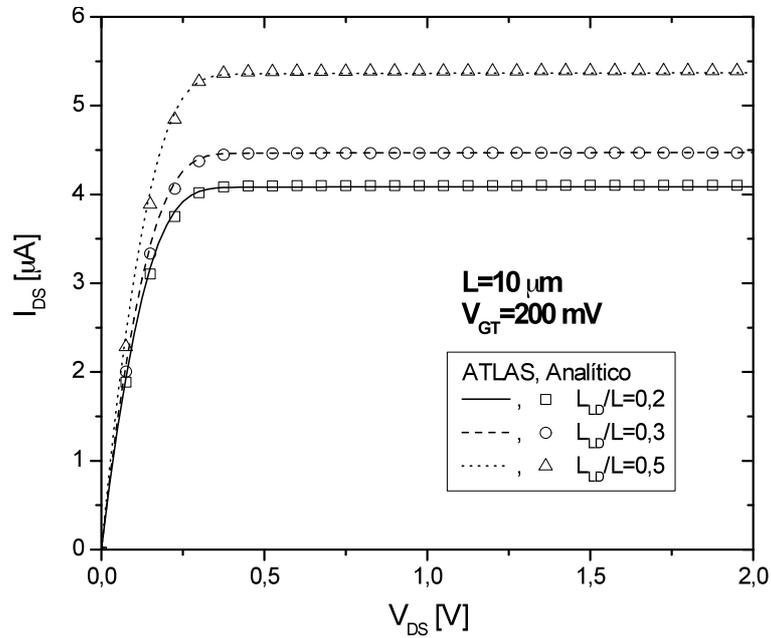


Figura 4.41 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=200$ mV, para $L = 10$ μm .

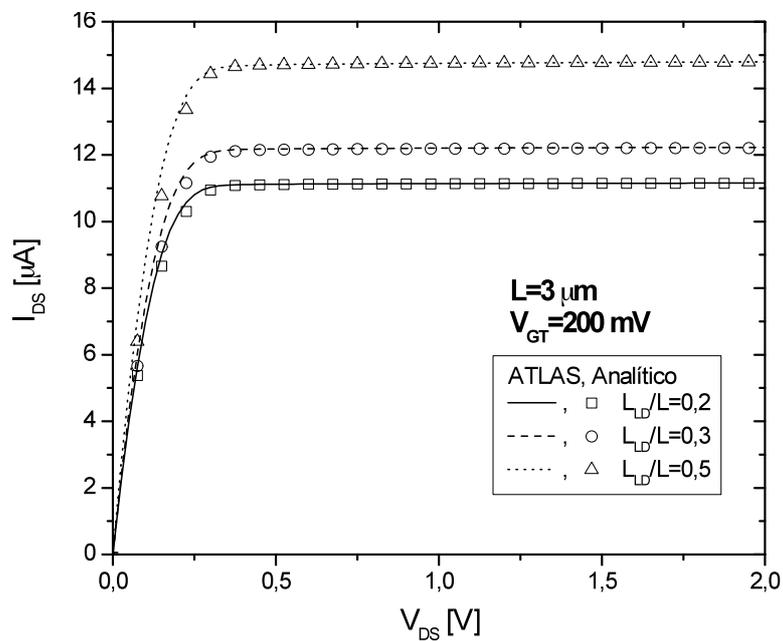


Figura 4.42 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=200$ mV, para $L = 3$ μm .

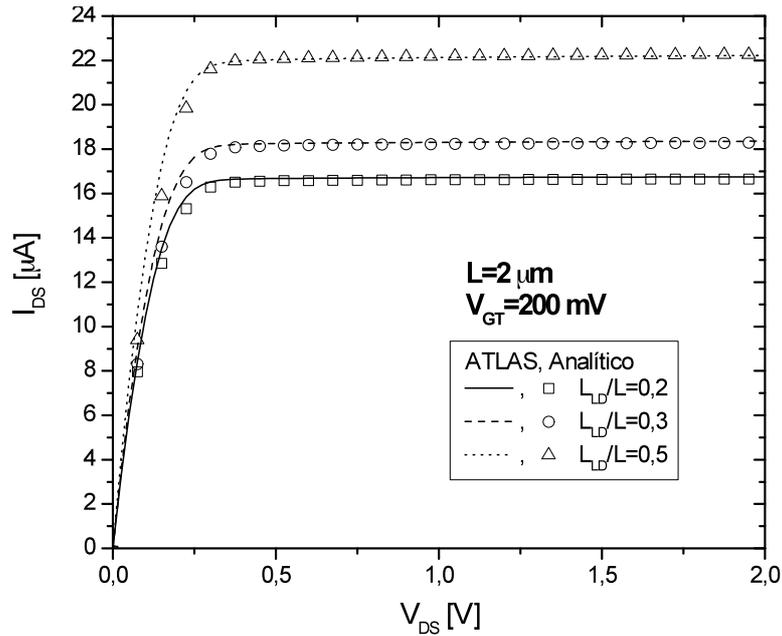


Figura 4.43 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=200$ mV, para $L = 2$ μm .

Estes resultados apresentam um bom ajuste entre as simulações numéricas e modelo analítico proposto, para todas as condições de L e L_{LD}/L estudadas, chegando a um erro máximo inferior a 1,5% para pior condição. Em seguida realizou-se o estudo para $V_{GT}=1$ V, $L=10$ μm , $L=3$ μm e $L=2$ μm , os quais serão apresentados na Figura 4.44, Figura 4.45 e na Figura 4.46, respectivamente.

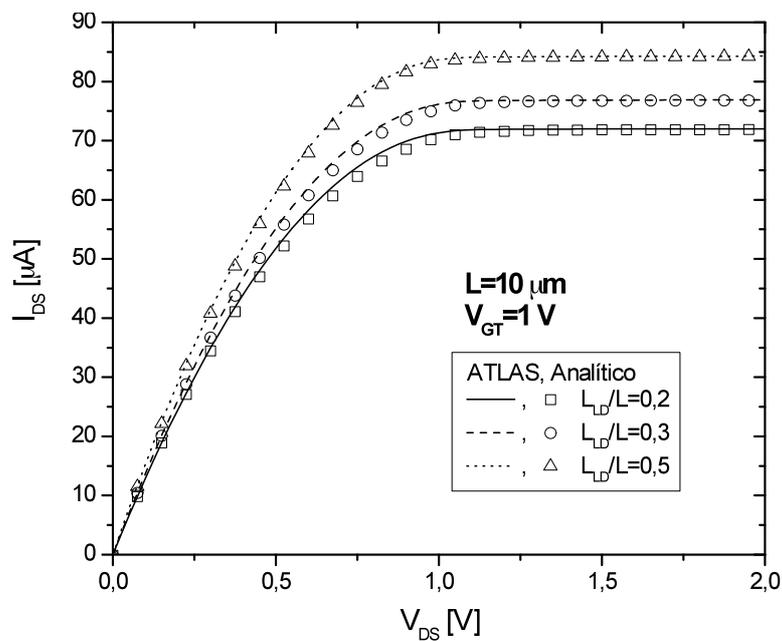


Figura 4.44 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=1$ V, para $L = 10$ μm .

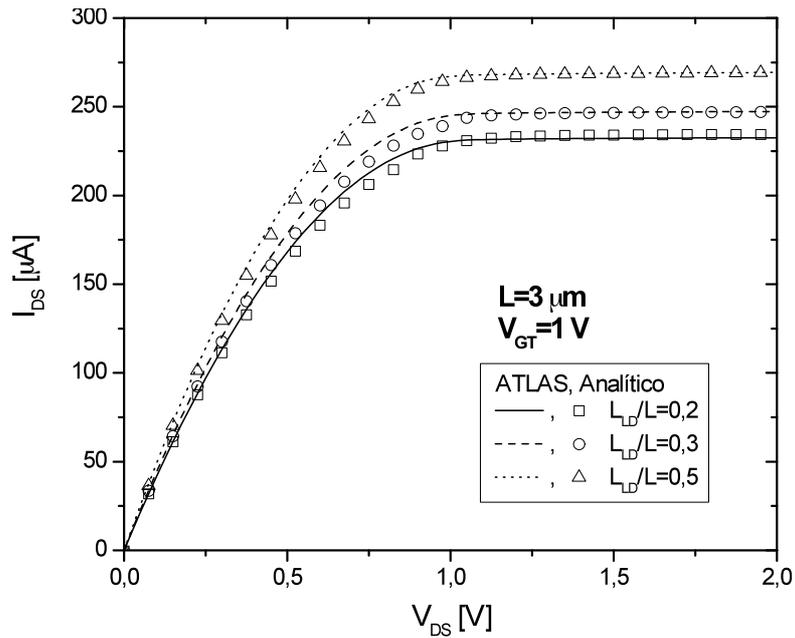


Figura 4.45 - Característica $I_{DS} \times V_{DS}$ com sobre-tensão $V_{GT}=1$ V, para $L = 3 \mu\text{m}$.

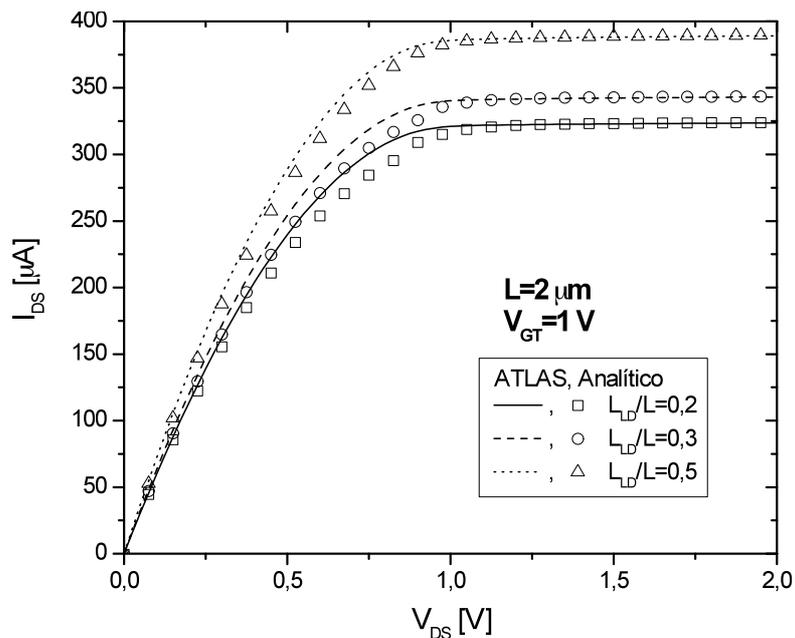


Figura 4.46 - Característica $I_{DS} \times V_{DS}$ com sobre-tensão $V_{GT}=1$ V, para $L = 2 \mu\text{m}$.

Similarmente, as comparações apresentadas apresentaram um bom ajuste para todas as condições estudadas e todos os comprimentos de canal, chegando a um erro máximo inferior a 4,5% para pior condição. A partir destes dados consolidados foi possível o estudo da condutância de dreno. A Figura 4.47, a Figura 4.48 e a Figura 4.49 apresentam a característica $g_d \times V_{DS}$ para sobre-tensões de 200 mV, para $L=10 \mu\text{m}$, $L=3 \mu\text{m}$ e $L=2 \mu\text{m}$, respectivamente.

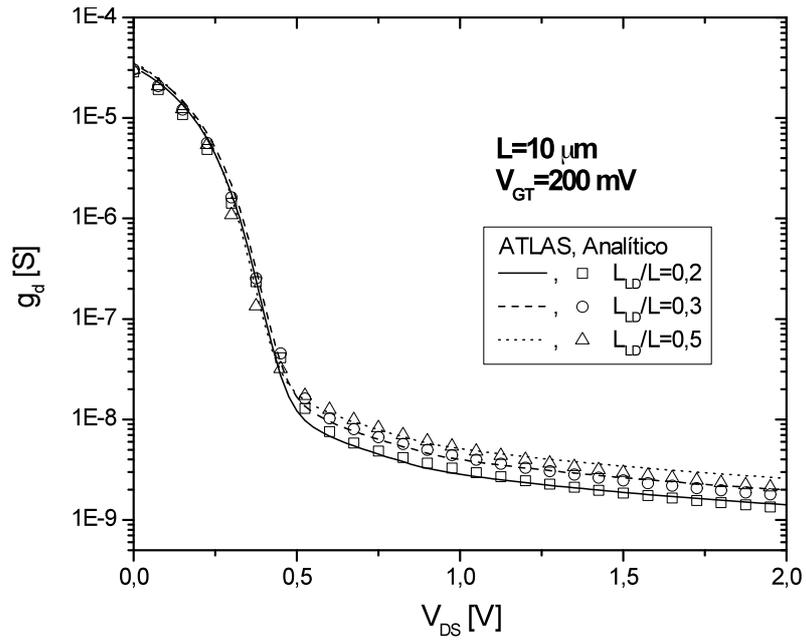


Figura 4.47 - Condutância $g_d \times V_{DS}$ com $V_{GT}=200$ mV, para $L = 10 \mu\text{m}$.

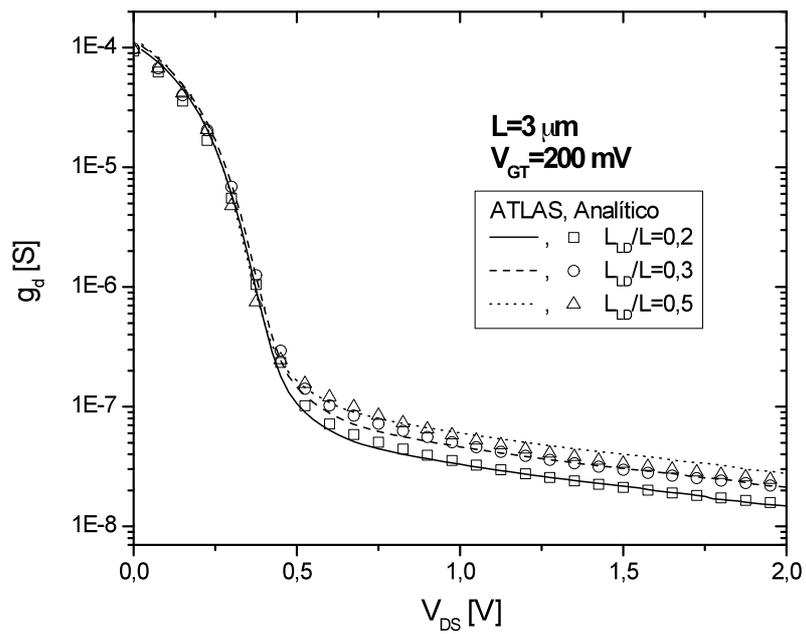


Figura 4.48 - Condutância $g_d \times V_{DS}$ com $V_{GT}=200$ mV, para $L = 3 \mu\text{m}$.

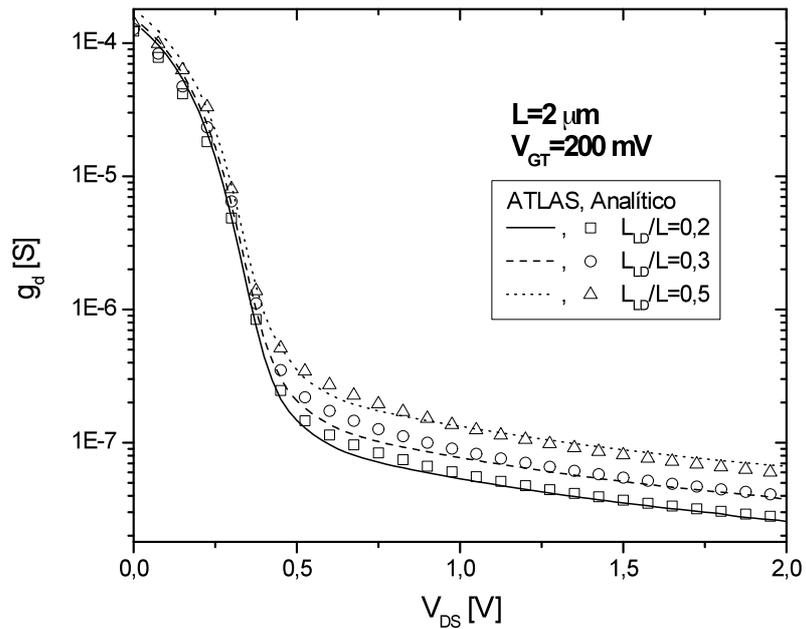


Figura 4.49 - Condutância $g_d \times V_{DS}$ com $V_{GT}=200 \text{ mV}$, para $L = 2 \mu\text{m}$.

Devido à pequena diferença de amplitude das curvas apresentadas, fato que exige sua apresentação em escala logarítmica, a apresentação do erro é maximizada, chegando a 17,5% no pior caso, sendo na saturação inferior a 9%. Porém, conforme se pode observar pelas figuras tal erro é desprezível. A Figura 4.50, a Figura 4.51 e a Figura 4.52 apresentam a característica $g_d \times V_{DS}$ para sobretensões de 1 V, para $L=10 \mu\text{m}$, $L=3 \mu\text{m}$ e $L=2 \mu\text{m}$, respectivamente.

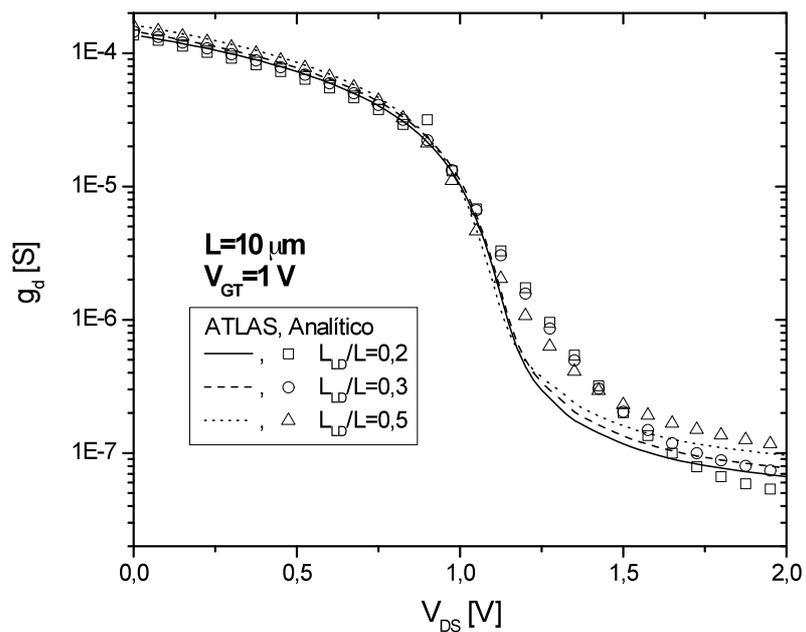


Figura 4.50 - Condutância $g_d \times V_{DS}$ com $V_{GT}=1 \text{ V}$, para $L = 10 \mu\text{m}$.

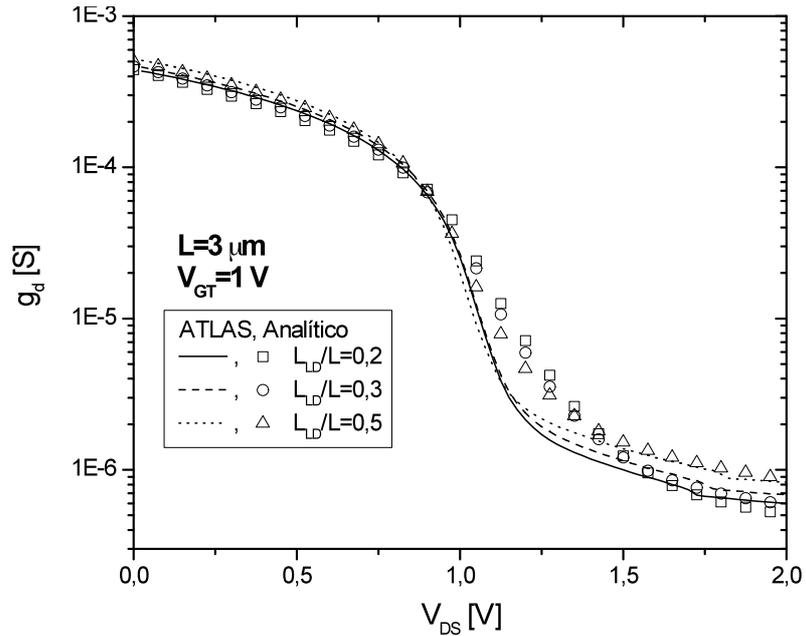


Figura 4.51 - Condutância $g_d \times V_{DS}$ com $V_{GT}=1$ V, para $L = 3$ μm .

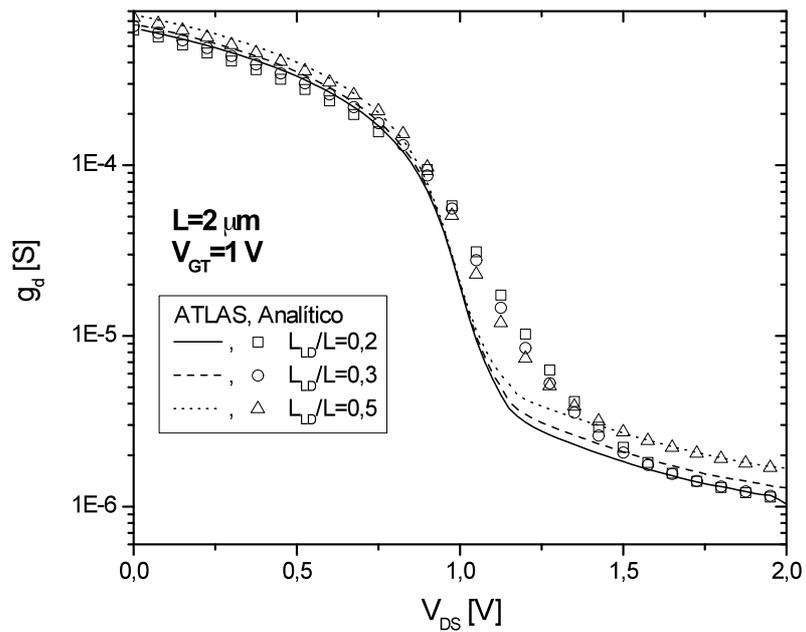


Figura 4.52 - Condutância $g_d \times V_{DS}$ com $V_{GT}=1$ V, para $L = 2$ μm .

De acordo com estas figuras acima, observa-se que o maior erro se encontra na região de transição entre triodo e saturação, a qual tem pouco interesse para aplicações analógicas. Porém na saturação obtém-se um bom ajuste, com erro máximo inferior a 20% para $L=3$ μm .

A partir dos resultados da transcondutância e da corrente de dreno, também foi possível obter-se a curva que relaciona g_m/I_{DS} com a corrente de dreno normalizada, $g_m/I_{DS} \times I_{DS}/(W/L)$, conforme apresentado na Figura 4.53.

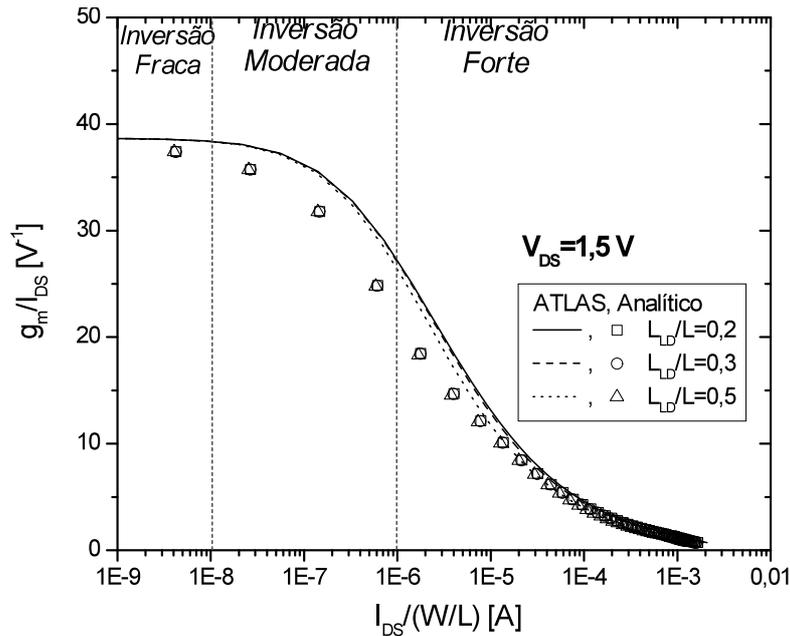


Figura 4.53 - Relação g_m/I_{DS} pela corrente de dreno normalizada para transistores GC GAA.

Pode-se observar que a curva resultante dos dados do modelo analítico representa muito bem o funcionamento do transistor GC GAA para inversão fraca e forte e com um erro na inversão moderada na ordem de 12%.

4.2.3 Comparações com resultados experimentais

A última análise deste trabalho foi a comparação do modelo analítico proposto com resultados de dados experimentais. Devido à limitação de dispositivos disponíveis para medição, apenas foi avaliado uma tecnologia, esta que difere da previamente usada.

Os dispositivos disponíveis para medição aqui apresentada foram fabricados segundo uma tecnologia de $t_{ox}=30$ nm, $t_{Si}=80$ nm, $N_{HD}=10^{17}$ cm⁻³, $N_{LD}=10^{15}$ cm⁻³ disponível no laboratório de microeletrônica da UCL, conforme descrito no item 2.1.1. Os transistores GC GAA medidos foram compostos a partir de uma estrutura de três dedos conectados em paralelo, com comprimento e largura de canal, ambos de 3 μ m, e razões $L_{LD}/L=0,2$; 0,35 e 0,5.

Os valores das tensões de limiar foram extraídos a partir do ponto máximo da segunda derivada da curva $I_{DS} \times V_{GS}$ com baixa tensão aplicada ao dreno, em dispositivos uniformemente dopados com concentrações idênticas às dos lados fortemente e fracamente dopados. Os parâmetros de mobilidade e degradação de mobilidade e foram extraídas da referência [78].

A seguir é analisado o comportamento da corrente de dreno pela tensão de porta entre os resultados experimentais e os resultados do modelo analítico para $V_{DS}=100$ mV e para $V_{DS}=1,5$ V, apresentados na Figura 4.54 e na Figura 4.55, respectivamente.

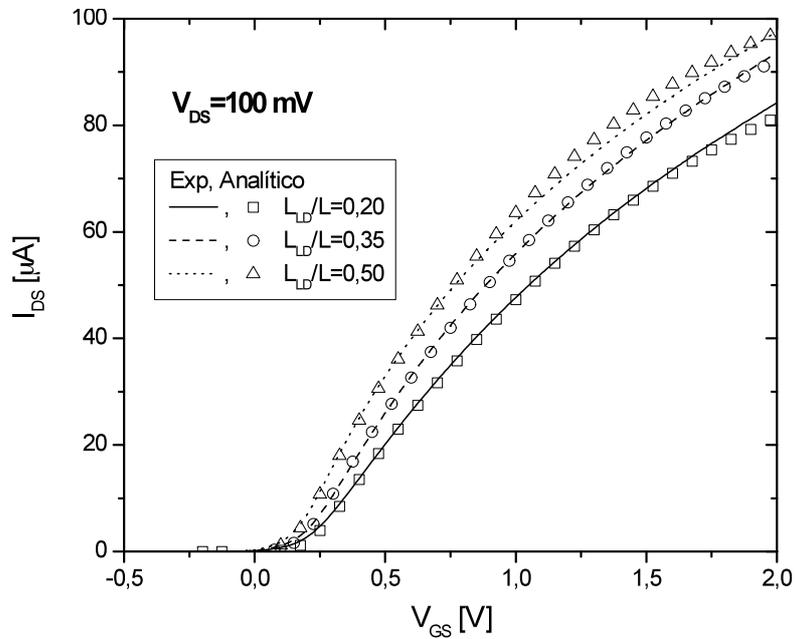


Figura 4.54 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=100$ mV.

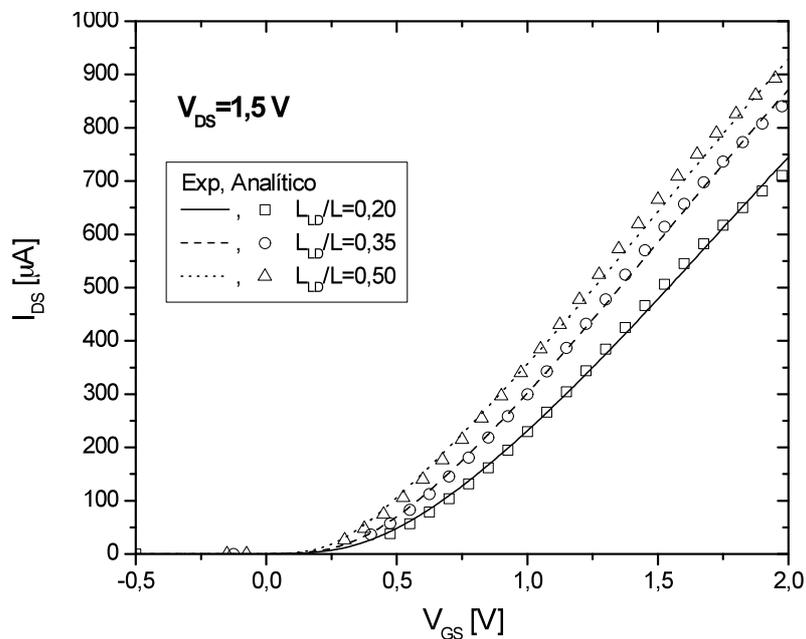


Figura 4.55 - Característica $I_{DS} \times V_{GS}$ com $V_{DS}=1,5$ V.

Pode-se observar um bom ajuste entre o modelo analítico e os resultados experimentais, com erro máximo inferior a 5%, mesmo se tratando de dados de uma tecnologia diferente da tecnologia usada como base nos modelos que foram utilizados para o desenvolvimento deste trabalho.

Novamente, a partir das curvas $I_{DS} \times V_{GS}$ apresentadas acima, nas duas situações de V_{DS} , calcula-se a transcondutância. A seguir será analisado as curvas $g_m \times V_{GS}$ para $V_{DS}=100\text{mV}$ e para $V_{DS}=1,5\text{ V}$, apresentados na Figura 4.56 e na Figura 4.57, respectivamente.

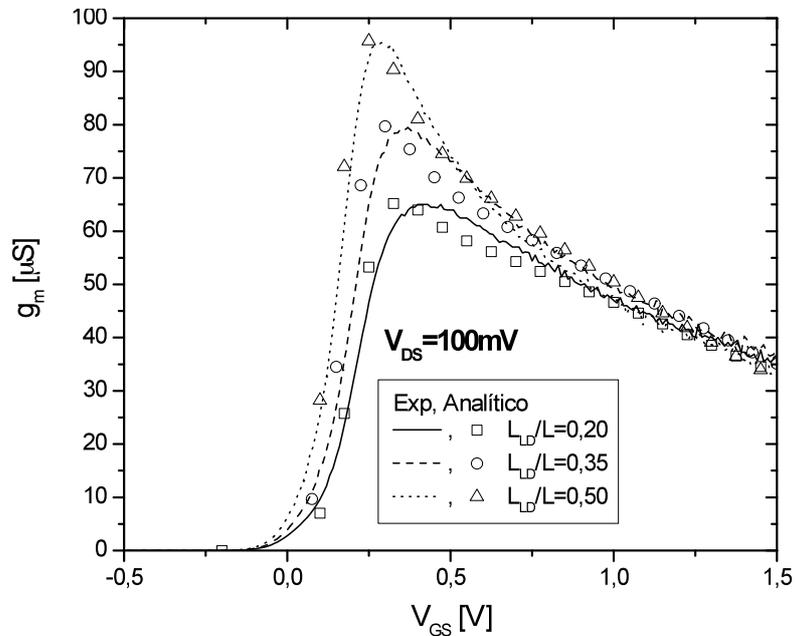


Figura 4.56 - Transcondutância $g_m \times V_{GS}$ com $V_{DS}=100\text{ mV}$.

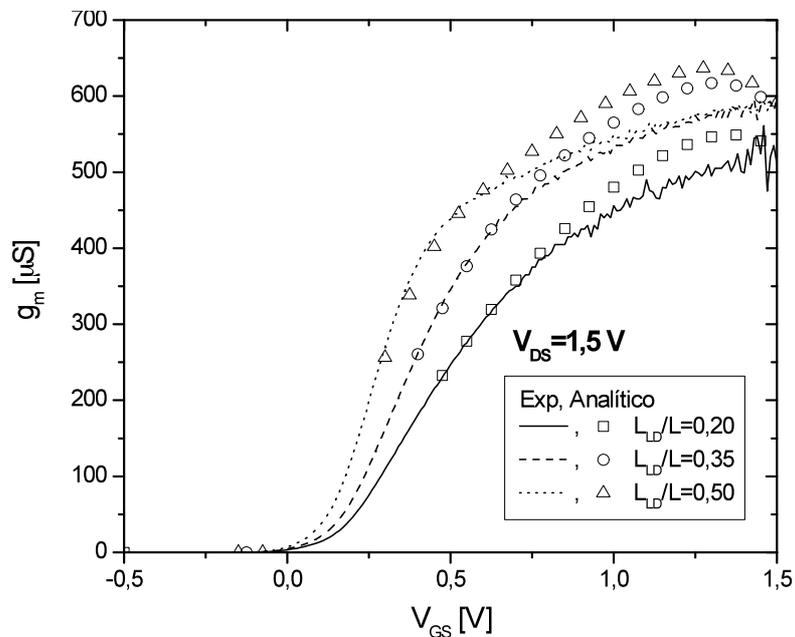


Figura 4.57 - Transcondutância $g_m \times V_{GS}$ com $V_{DS}=1,5\text{ V}$.

Para baixo V_{DS} a modelo de mobilidade utilizado apresentou um bom ajuste, com erro máximo na ordem de 7%, porém para alta V_{DS} e alto V_{GS} o modelo de mobilidade não

apresentou o mesmo bom resultado, o que é compreensível pela simplicidade do modelo utilizado.

Por fim, foi verificado o comportamento da corrente de dreno pela tensão de dreno entre os resultados experimentais e o modelo analítico para $V_{GT}=200$ mV, apresentado na Figura 4.58.

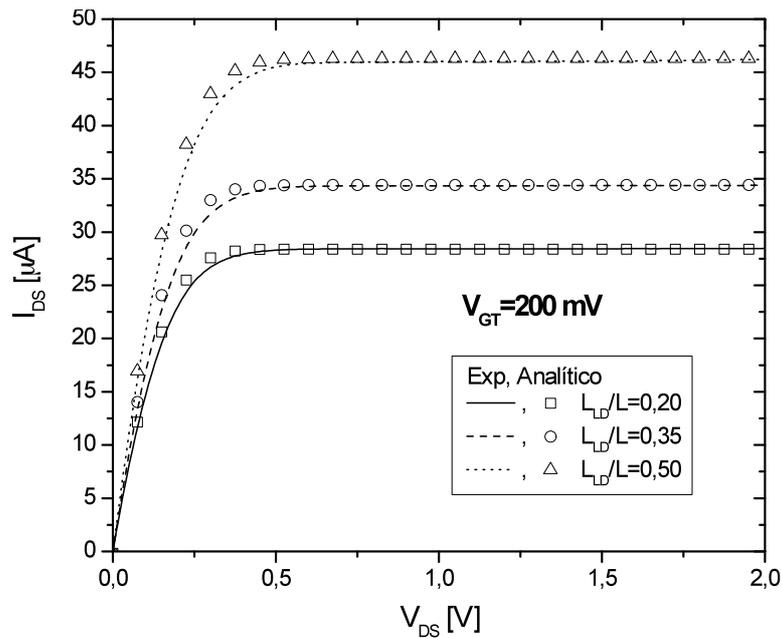


Figura 4.58 - Característica $I_{DS} \times V_{DS}$ com sobretensão $V_{GT}=200$ mV.

Os resultados obtidos na figura acima demonstram mais uma vez um bom ajuste, com erro máximo inferior a 2%.

Infelizmente os transistores disponíveis para medição sofriam do efeito transistor lateral parasitário, desta forma, impossibilitando a medição da condutância de dreno.

5 CONCLUSÕES E TRABALHOS FUTUROS

Este trabalho apresentou o desenvolvimento de um modelo analítico para corrente de dreno de transistores de porta dupla com estrutura de canal gradual. Inicialmente foram explicadas as diversas tecnologias de porta dupla e a escolha do dispositivo de porta circundante (GAA). Logo após, foi descrito o funcionamento do dispositivo de canal gradual (GC), assim como suas características elétricas. Na seqüência, foram apresentados os modelos de dispositivos de porta dupla para canais fortemente e fracamente dopados. Através destas informações, foi proposto um modelo iterativo composto por uma associação série de dois transistores que representa um único transistor GC GAA. Na seqüência do trabalho, foi proposto um modelo analítico, desenvolvido com base no modelo iterativo. Os modelos propostos foram então confrontados, entre si, com simulações bidimensionais e resultados experimentais.

O modelo associação série mostrou-se de grande valia, pois em todas as comparações com as simulações numéricas bidimensionais, apresentou um excelente ajuste para as diversas razões de comprimento da região fracamente dopada do canal pelo comprimento do canal (L_{LD}/L), com erro inferior a 11%. A estrutura GC GAA também provou sua eficácia através do incremento de corrente de dreno em relação ao dispositivo convencional conforme se aumenta a razão L_{LD}/L . Os efeitos de canal curto, neste primeiro estudo, foram negligenciados, através do estudo de um dispositivo com canal longo, pois se considerou que inicialmente, tais efeitos iriam atrapalhar no desenvolvimento do modelo iterativo.

A estratégia para obtenção de um modelo analítico foi a de adoção de um transistor fortemente dopado cuja tensão de dreno corresponde à tensão de transição entre os dois transistores do modelo equivalente. Assim desenvolveu-se uma equação analítica para esta tensão, tornando o modelo resultante capaz de descrever o funcionamento do transistor GC GAA. Para isto foram necessárias algumas simplificações das equações de cada região do canal, onde alguns termos das cargas e da corrente de dreno puderam ser desprezados.

O modelo analítico apresentou um excelente ajuste para as diversas razões de L_{LD}/L em comparações com o modelo iterativo, comparações com as simulações numéricas bidimensionais, e finalmente, comparações com os dados experimentais, com erro da ordem de 7%. Nesta segunda etapa os efeitos de canal curto foram incluídos, através do estudo de dispositivos com comprimento de canal de até dois micrometros. Tal estudo validou o uso do

modelo para canais curtos, onde também foram obtidos ótimos ajustes para as diversas condições propostas.

As comparações das características de condutância e transcondutância extraídas do modelo analítico apresentaram também um bom ajuste, validando os bons resultados obtidos nas características tensão-corrente do dispositivo, com erro máximo de 20%.

Também foram apresentados os resultados da curva que relaciona g_m/I_{DS} com a corrente de dreno normalizada, $g_m/I_{DS} \times I_{DS}/(W/L)$, que caracterizou a tecnologia empregada, podendo assim ser utilizada para desenvolvimento de circuitos analógicos. Estes resultados demonstraram a validade e a continuidade do modelo proposto.

O modelo resultante poderá ser empregado na simulação de circuitos analógicos, área onde este transistor possui inúmeras vantagens de aplicação.

Como sugestão de trabalhos futuros que poderão ser desenvolvidos com base neste, temos: A inclusão de efeitos de temperatura neste modelo, onde pode ser estudado tanto em altas quanto em baixas temperaturas; A redução do comprimento de canal a escalas nanométricas, podendo assim modelar outros transistores de porta dupla, tais como FinFETs; A inclusão do modelo proposto em simuladores de circuitos SPICE; E o projeto de amplificadores operacionais de transcondutância com transistores GC GAA modelados através da proposta aqui apresentada.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] LILIENFELD, J.E. **Method and apparatus for controlling electric currents.** US Patents 1.745.175 (escrito em 1926, publicado em 1930).
- [2] LILIENFELD, J.E. **Device for controlling electric current.** US Patents, 1.900.018 (escrito em 1928, publicado em 1933).
- [3] KAHNG, D. A historical perspective on the development of MOS transistors and related devices. **IEEE Transactions on Electron Devices**, v.23, n.7, p.655, 1976.
- [4] EL-KAREH, B. et al; Silicon on insulator-an emerging high-leverage technology. **IEEE Transactions on Components, Packaging, and Manufacturing Technology**, vol.18, n. 1, p. 187-194, 1995.
- [5] COLINGE, J.P., **Silicon-On-Insulator Technology: Materials to VLSI.** 3rd Ed. Massachusetts: Kluwer Academic Publishers, 2004.
- [6] KATSUTOSHI IZUMI, **Proceeding of the Fourth International Symposium on Silicon On Insulator Technology and Advices**, Vol. 90-6, p.3, 1990.
- [7] COLINGE, J. P., **IEDM**, p.817, 1989.
- [8] COLINGE, J. P., **Silicon-On-Insulator Technology: Materials to VLSI**, 2nd Edition, Kluwer Academic Publishers, 1997.
- [9] YOSHIMI, M. et al, **Electronics Letters**, Vol. 24, p.1078, 1988.
- [10] AUBERTON-HERVÉ, A. J. et al, **Digest of Symposium on VLSI Technology**, p.65, 1988.
- [11] CHEN, H. S. AND LI, S. S., **Solid State Electronics**, Vol.35, N.9, p.1233, 1992.
- [12] YOUNG, K. K., **IEEE Trans. El Devices**, Vol. ED-36, p. 399, 1989.
- [13] DAVIS, J. R. et al, **IEEE Electron Devices Letters**, Vol. 8, p. 291, 1987.
- [14] FLANDRE, D.; FERREIRA, L. F.; JESPERS, P. G. A.; COLINGE, J. P.; Modeling and Application of Fully Depleted SOI MOSFETs for Low Voltage, Low Power Analog CMOS Circuits, **Solid-State Electronics**, v. 39, no. 4, p. 455-460, 1996.
- [15] KIM, C. S. (Semiconductors Ásia/Pacific), **Dataquest-Korea**, Maio, 1997.
- [16] CHOI, J. Y.; FOSSUM, J. G. Analysis and control of floating-body bipolar effects in fully depleted submicrometer SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 38, n. 6, p.1384-1391, 1991.
- [17] PAVANELLO, M. A.; MARTINO, J. A.; AND FLANDRE, D., Analog Performance and Application of Graded-Channel Fully Depleted SOI MOSFETS, **Solid-State Electronics**, vol. 44, n. 7, p. 1219-1222, 2000.

- [18] PAVANELLO, M. A.; MARTINO, J. A. AND FLANDRE, D.; Graded-Channel Fully Depleted Silicon-On-Insulator nMOSFET for Reducing the Parasitic Bipolar Effects, **Solid-State Electronics**, vol. 44, n. 6, p. 917-922, 2000.
- [19] PAVANELLO, M. A.; MARTINO, J. A.; DESSARD, V. AND FLANDRE, D.; An Asymmetric Channel SOI nMOSFET for Reducing Parasitic Effects and Improving Output Characteristics, **Electrochemical and Solid-State Letters**, vol. 1, p. 50-52, 2000.
- [20] PAVANELLO, M.A.; MARTINO, J.A.; DESSARD, V.; FLANDRE, D. . Analog performance and application of graded-channel fully depleted SOI MOSFETs. **Solid-State Electronics**, v.44, n.7, p.1219-1222, 2000.
- [21] SANTOS, ANDRÉ DE ALMEIDA; FLANDRE, D.; PAVANELLO, M. A. . Impact of Graded-Channel SOI MOSFET Application on the Performance of Cascode and Wilson Current Mirrors. **Microelectronics Technology and Devices - SBMICRO 2007, ECS Transactions**, v. 9. p. 441-450, 2007.
- [22] GIMENEZ, SALVADOR P. ; PAVANELLO, M. A. ; MARTINO, J. A. ; FLANDRE, D. . Improved Gain Operational Transconductance Amplifiers Using Graded-Channel SOI nMOSFETS. **Microelectronics Journal**, v. 37, n. 1, p. 31-37, 2006.
- [23] SOUZA, MICHELLY DE ; FLANDRE, D. ; PAVANELLO, M. A. . Improved Source-Follower Buffer Implementation by Using Graded-Channel SOI nMOSFETS. **EUROSOI 2008 - Conference Proceedings**, v. 1. p. 35-36, 2008.
- [24] DOUSEKI, T.; SHIGEMATSU, S.; YAMADA, J.; HARADA, M.; INOKAWA, H.; TSUCHIYA, T.; A 0.5-V MTCMOS/SIMOX Logic Gate, **IEEE Journal of Solid-State Circuits**, vol. 32, no. 10, p.1604-1609, 1997.
- [25] ASSADERAGHI, F.; SINITSKY, D.; PARKE, S. A.; BOKOR, J.; KO, P. K.; HU, C.; A Dynamic Threshold Voltage MOSFET (DTMOS) for Ultra-Low Voltage Operation, **Technical Digest of IEDM**, p. 809-812, 1994.
- [26] COLINGE, J.-P.; GAO, M. H.; ROMANO, A.; MAES, H.; CLAEYS, C.; Silicon-on-Insulator "Gate-All-Around Device", **Technical Digest of IEDM**, p. 595-598, 1990.
- [27] MASAHARA, M.; et al., Demonstration, analysis, and device design considerations for independent DG MOSFETs, **IEEE Transactions on Electron Devices**, vol.52, no.9, 09-2005.
- [28] LI, Y. AND CHOU, H. M, Investigation of electrical characteristics on surrounding-gate and omega-shaped-gate nanowire FinFETs, **IEEE Transactions on Nanotechnology**, vol.4, no.5, 09-2005.
- [29] D. JIMÉNEZ, B. IÑIGUEZ, J. SUÑÉ E J. J. SÁENZ, Analog performance of the nanoscale double-gate metal-oxide-semiconductor Field-effect-transistor near the ultimate scaling limits **Journal of Applied Physics**, vol.96, no.9, 11-2004.
- [30] KRANTI, A.; CHUNG, T. M.; FLANDRE, D.; RASKIN, J.- P.; Laterally Asymmetric Channel Engineering in Fully Depleted Double Gate SOI MOSFETs for

- High Performance Analog Applications, **Solid-State Electronics**, v. 48, no. 6, p. 947-959, 2004.
- [31] PAVANELLO, M. A.; MARTINO J. A.; RASKIN, J. P., FLANDRE, D.; High Performance Analog Operation of Double Gate Transistors with the Graded-Channel Architecture at Low Temperatures, **Solid-State Electronics**, v. 49, no. 10, p. 1569-1575, 2005.
- [32] SILVEIRA, F.; FLANDRE, D.; JESPERS, P.G.A. A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. **IEEE Journal of Solid-State Circuits**, v.31, n.9, p.1314-1319, 1996.
- [33] B. IÑIGUEZ, et al., DC to RF Small-Signal Compact DG MOSFET model, **NSI-Nanotech 2006**, vol.3, p. 680-685, 2006.
- [34] A. CERDEIRA, B. IÑIGUEZ; M. ESTRADA, Improved Compact Model for Symmetric Doped Double-Gate MOSFETs, **Microelectronics Technology and Devices SBMICRO 2007, ECS Transactions**, n. 1, v. 9, p. 47, 2007.
- [35] OANA MOLDOVAN, DAVID JIMÉNEZ, JAUME ROIG, FERNEY A.CHAVES E BENJAMIN IÑIGUEZ, Explicit Analytical Charge and Capacitance Models of Undoped Double-Gate MOSFETs, **IEEE Transactions on Electron Devices**, vol.54, n. 7, p.1718-1724, 07-2007.
- [36] SEKIGAWA, T.; HAYASHI, Y.; Calculated Threshold Voltage Characteristic of an X MOS Transistor Having an Additional Bottom Gate, **Solid-State Electronics**, v. 27, no. 8/9, p. 827-828, 1984.
- [37] AGRAWAL, B.; DE, V. K.; MEINDL, J. D.; Opportunities for Scaling FET's for Gigascale Integration (GSI), **Proceedings of 23rd ESSDERC**, Ed. por BOREL, J.; GENTIL, P.; NOBLANC, J. P.; NOUHAILLAT, A.; VERDONE M.; Editions Frontières, p. 919-926, 1993.
- [38] LIU, Y. K.; ISHII, K.; TSUTSUMI, T., MASAHARA, M.; TAKAMISHA, H.; SUZUKI, E.; Multi-Fin Double-Gate MOSFET Fabricated by Using (110)-Oriented SOI Wafers and Orientation-Dependent Etching, **Electrochemical Society Proceedings 2003-05**, v. PV2003-05, p. 255-261, 2003.
- [39] LIU, Y. K.; ISHII, K.; TSUTSUMI, T., MASAHARA, M; SUZUKI, E.; Ideal Rectangular Cross-Section Si-Fin Channel Double-Gate MOSFETs Fabricated Using Orientation-Dependent Wet Etching, **IEEE Electron Device Letters**, v. 24, no. 7, p. 484-486, 2003.
- [40] HISAMOTO, D.; KAGA, T.; KAWAMOTO, Y.; TAKEDA, E.; A Fully Depleted Lean-Channel Transistor (DELTA)-A Novel Vertical Ultra Thin SOI MOSFET, **Technical Digest of IEDM**, p. 833-836, 1989.
- [41] HUANG, X.; LEE, W. C.; KUO, C.; HISAMOTO, D.; CHANG, L.; KEDZIERSKI, J.; ANDERSON, E.; TAKEUCHI, H.; CHOI, Y. K.; ASANO, K.; SUBRAMANIAN, V.; KING, T. J.; BOKOR, J.; HU, C.; Sub 50-nm FinFET: PMOS, **Technical Digest of IEDM**, p. 67-70, 1999.

- [42] TAKATO H, SUNOUCHI K, OKABE N, NITAYAMA A, HIEDA K, HORIGUCHI F, et al., Impact of Surrounding Gate Transistor (SGT) for Ultra-High-density LSI's, **IEEE Trans. Electron Devices**, 38:573-78, 1991.
- [43] BALESTRA, F.; CRISTOLOVEANU, S.; BENACHIR, M.; BRINI, J.; ELEWA, T.; Double-Gate Silicon-on-Insulator Transistor with Volume Inversion: A New Device with Greatly Performance, **IEEE Electron Device Letters**, v. 8, no. 9, p. 410-412, 1987.
- [44] BAIE, X.; COLINGE, J.- P.; BAYOT, V.; GRIVEI, E; Quantum-Wire Effects in Thin and Narrow SOI MOSFETs, **Proceedings of the IEEE International SOI Conference**, p. 66- 67, 1995.
- [45] COLINGE, J.- P.; BAIE, X.; BAYOT, V.; GRIVEI, E; A Silicon-On-Insulator Quantum Wire, **Solid-State Electronics**, v. 39, no. 1, p. 49-51, 1996.
- [46] VANDOOREN, A.; COLINGE, J. P.; FLANDRE, D.; Gate-All-Around OTA's for Rad-Hard and High-Temperature Analog Applications, **IEEE Transactions on Nuclear Science**, v.46, no. 4, p. 1242-1249, 1999.
- [47] TSUCHIYA, T.; SATO, Y.; TOMIZAWA, M.; Three Mechanisms Determining Short Channel Effects in Fully-Depleted SOI MOSFETs, **IEEE Transactions on Electron Devices**, v.45, no.5, p.1116-1121, 1998.
- [48] YAN, R.- H.; OURMAZD, A.; LEE, K. F.; Scaling the Si MOSFET: From Bulk to SOI to Bulk, **IEEE Transactions on Electron Devices**, v. 39, no. 7, p. 1704-1710, 1992.
- [49] SOUZA, MICHELLY DE, Desenvolvimento de um modelo analítico contínuo para transistores GC SOI nMOSFETs, **Dissertação (Mestrado) – Escola Politécnica da universidade de São Paulo**, 2005, 143p.
- [50] LANGEVELDE, RONALD VAN; KLAASSEN, FRANÇOIS M., An explicit surface-potential-based MOSFET model for circuit simulation, **Solid-State Electronics**, v.44, p. 409-418, 2000.
- [51] FRANCIS, P.; FLANDRE, D.; COLINGE, J.- P.; VAN DE WIELE, F.; Comparison of Self-Heating Effects in GAA and SOI Devices, **Proceedings of ESSDERC'95**, Editions Frontières, p. 225-228, Den Haag, 1995.
- [52] SOUZA, MICHELLY DE ; MARTINO, J. A. ; SIMOEN, E. ; CLAEYS, C. ; PAVANELLO, M. A. . Analog Operation of Uniaxially and Biaxially Strained FD SOI nMOSFETs at Cryogenics Temperatures. **EUROSOI 2008 - Conference Proceedings**, v. 1. p. 77-78, 2008.
- [53] SANCHEZ, J.J.; HSUEH, K.K.; DEMASSA, T.A. Drain-engineered hot-electron-resistant device structures: a review. **IEEE Transactions Electron Devices**, v.36, n.6, p.1125-1132, 1989.
- [54] KISTLER, N.; PLOEG, E.V.; WOO, J.; PLUMMER, J. Sub-quarter-micrometer CMOS on ultrathin (400 Å) SOI. **IEEE Electron Devices Letters**, v.13, n.5, p.235-237, 1992.

- [55] JENG, M.-C.; CHUNG, J.E.; KO, P.-K.; HU, C. The effects of source/drain on deep submicrometer device performance. **IEEE Transactions on Electron Devices**, v.37, n.11, p.2408-2410, 1990.
- [56] PAVANELLO, M.A.; MARTINO, J.A.; DESSARD, V.; FLANDRE, D. The graded channel SOI MOSFET to alleviate the parasitic bipolar effects and improve the output characteristics. In: **Silicon-on-Insulator Technology and Devices 1999**, Pennington: The Electrochemical Society, p.293-298, 1999.
- [57] PAVANELLO, M.A.; MARTINO, J.A.; DESSARD, V.; FLANDRE, D. Na asymmetric channel SOI nMOSFET for reducing parasitic effects and improving output characteristics. **Electrochemical and Solid-State Letters**, v.1, p.50-52, 2000.
- [58] PAVANELLO, M.A.; MARTINO, J.A.; FLANDRE, D. Graded-channel Fully Depleted Silicon-On-Insulator nMOSFET for Reducing the Parasitic Bipolar Effects. **Solid-State Electronics**, v.44, n.6, p.917-922, 2000.
- [59] DORIA, RODRIGO TREVISOLI, Estudo da linearidade em transistores SOI de porta dupla com estrutura de canal gradual, **Dissertação (Mestrado) – Centro Universitário da FEI**, 144f., 2007.
- [60] PAVANELLO, M. A.; MARTINO, J. A.; CHUNG, T. M.; KRANTI, A.; RASKIN, J. P.; FLANDRE, D.; Impact of Graded-Channel Architecture on Double Gate Transistors for High-Performance Analog Applications. In: 11th international symposium on SOI technology and devices, **203rd Electrochemical Society Meeting**, p. 261-266, Paris, 2003.
- [61] SANTOS, C. D. G.; **Caracterização Elétrica de Transistores SOI de Porta Circundante com Estrutura de Canal Gradual em Alta Temperatura**, 2005. 138f. Tese Mestrado – Escola Politécnica da Universidade de São Paulo, São Paulo, 2005.
- [62] CHANDRASEKARAN, KARTRIK; et al., Compact Modeling of Doped Symmetric DG MOSFETs with Regional Approach, **NSTI-Nanotech 2006**, vol.3, p.792-795, 2006.
- [63] TAUR, YUAN, An Analytical Solution to a Double-Gate MOSFET with Undoped Body, **IEEE Electron device letters**, vol.21, no.5, 05-2000.
- [64] ADELMO ORTIZ-CONDE, FRANCISCO J. GARCIA SÁNCHEZ, JUAN MUCI E SLAVICA MALOBABIC, A General Analytical solution to the One-Dimensional Undoped Oxide-Silicon-Oxide System, **Proceedings of the 6th International Conference on Devices, Circuits and Systems**, México, 04-2006.
- [65] ADELMO ORTIZ-CONDE, FRANCISCO J. GARCIA SÁNCHEZ E SLAVICA MALOBABIC, Analytic Solution of the Channel Potential in Undoped Symmetric Dual-Gate MOSFETs, **IEEE Transactions on Electron devices**, vol.52, no.7, 06-2005.
- [66] REYBOZ, MARINA; ROZEAU, OLIVIER; POIROUX, THIERRY; MARTIN, PATRICK; JOMAAH, JALAL; An explicit analytical charge-based model of undoped independent double gate MOSFET, **Solid-State Electronics**, 50, 1276-1282, 2006.

- [67] A. S., ROY, SALLESE, J. M. AND ENZ, C. C.; A closed-form charge-based expression for drain current in symmetric and asymmetric double gate MOSFET, **Proceedings of ESSDERC**, Grenoble, France, p.149-152, 2005.
- [68] OANA MOLDOVAN, ANTONIO CERDEIRA, et al., Compact model for highly-doped double-gate SOI MOSFETs targeting baseband analog applications, **Solid-State Electronics**, 51, 655-661, 2007.
- [69] TAUR, YUAN; et al., A continuous, Analytic Drain-Current Model for DG MOSFETs, **IEEE Electron Device Letters**, vol.25, no.2, 02-2004.
- [70] FRANCIS, PASCALE; TERAQ, AKIRA; FLANDRE, DENIS; AND VAN DE WIELE, FERNAND; Modeling of ultrathin double-gate nMOS/SOI Transistors, **IEEE Tran. On Electron Devices**, vol.41, no.5, 05-1994.
- [71] FRANCIS, PASCALE; TERAQ, AKIRA; FLANDRE, DENIS; AND VAN DE WIELE, FERNAND; Moderate Inversion Model of Ultrathin double-gate nMOS/SOI Transistors, **Solid-State Electronics**, vol.38, no.1, p.171-176, 1995.
- [72] SALLESE, JEAN-MICHEL; KRUMMENACHER, FRANÇOIS; PRÉGALDINY, FABIEN; LALLEMENT, CHRISTOPHE; A. ROY, C. ENZ, A design oriented charge-based current model for symmetric DG MOSFET and its correlation with the EKV formalism, **Solid-State Electronics**, 49, p.485-489, 2005.
- [73] B. IÑIGUEZ, et al., Compact-Modeling Solutions For Nanoscale Double-Gate and Gate-All-Around MOSFETs, **IEEE Transactions on Electron Devices**, vol.53, no.9, 09-2006.
- [74] PAVANELLO, M. A.; MARTINO, J. A.; FLANDRE, D.; Analog Circuit Design Using Graded-Channel Silicon-On-Insulator NMOSFETS. **Solid-State Electronics**, v. 46, n. 8, p. 1215-1225, 2002.
- [75] A. CERDEIRA, B. IÑIGUEZ; et al, Compact model for highly-doped double-gate SOI MOSFETs targeting baseband analog applications, **Solid-State Electronics**, v. 51, p. 655-661, 2007.
- [76] YAMAGUCHI, K.; "A Mobility Model for Carriers in the MOS Inversion Layer", **IEEE Trans. Elect. Devices**, Vol. ED-30, 1983, p. 658-663.
- [77] ATLAS Users' Manual, Device simulation software, 9^a edição, 2004.
- [78] MATLAB (Version 7.0.0.19920 Release 14), **The MathWorks, Inc**, 2004.
- [79] FERREIRA, F. A. L. P.; CERDEIRA, A.; PAVANELLO, M. A. . A Series Association Model For Double Gate Graded-Channel SOI nMOSFET Analog Circuit Simulation. **Microelectronics Technology and Devices - SBMICRO 2008, ECS Transactions**, 2008.

APÊNDICE A – SIMULAÇÃO ITERATIVA MATLAB

```

% Implementação do modelo GC GAA
% Criado em 19/04/07

clc
clear all

% Mode = 0 -> Id x Vg
% Mode = 1 -> Id x Vd

Mode = 1;

%IncludeSChE = 0 -> No Short Channel Effects
%IncludeSChE = 1 -> Include Short Channel Effects

IncludeSChE = 1;

%=====
% Definição das variáveis globais
%=====
ESi = 1.06E-12; %Permissividade do Si [F/cm]
Eox = 3.4515E-13; %Permissividade do SiO2 [F/cm]
q = 1.6E-19; %Carga do eletron [C]
Nahd = 1E17; %Concentração da região normalmente dopada [cm^-3]
Nald = 1E15; %Concentração da região fracamente dopada [cm^-3]
Nrefhd = 3E16; %yama model
Nrefld = 3E16; %yama model
ni = 1.45E10; %Concentração intrínseca de portadores [cm^-3]
syhd = 350; %yama model
syld = 350; %yama model
Qox = 0; %densidade de carga fixa na 1a interface por ...
%unidade de area [C/cm^2]
T = 300; %Temperatura absoluta [K]
UT = 0.0259; %Potencial termico [V]
Beta = UT; %Model parameter
KT = UT*q; %Auxiliar KT
toxf = 2E-7; %espessura do oxido de porta [cm]
tSi = 50E-7; %espessura da camada de Si [cm]
L = 10E-4; %comprimento total de canal [cm]
Lld = 5E-4; %comprimento da região fracamente dopada do canal [cm]
Lhd = L-Lld; %comprimento de canal da região fortemente dopada [cm]
W = 1E-4; %largura de canal [cm]
u0nhd = 730; %mobilidade dos eletrons [cm^2/Vs]
u0nld = 1450; %mobilidade dos eletrons [cm^2/Vs]
invUT = 1/UT; %inverse thermal voltage [V^-1]

uinhd = u0nhd/sqrt(1 + (Nahd/(Nrefhd + (Nahd/syhd)))); %yama model
uinld = u0nld/sqrt(1 + (Nald/(Nrefld + (Nald/syld)))); %yama model

thetahd = 0.05; %coef de degradação da mobilidade
thetalhd = 0.00; %coef 2 de degradação da mobilidade
thetald = 0.15; %coef de degradação da mobilidade
thetalld = 0; %coef 2 de degradação da mobilidade

%Parâmetros para mod. comp. canal
sigma = 2.2;
Lm = 1E-5; %comprimento de canal de referencia [cm]
vsat = 1.43E7; %velocidade de saturação [cm/s]

VTREF = 0; % VT medido de referencia

%=====
% Equacoes iniciais
%=====
Cox=Eox/toxf; %capacitância de fonte
CSi=ESi/tSi; %capacitância do Si

```

```

tc = (tSi/(2*sqrt(2)))*sqrt(1+(4*CSi/Cox)); %Comprimento característico
Xex = 1+((2.6*Lm/L)*((1.54*exp(-L/(7*Lm)))-1));
Beta = UT ; %Model parameter

% HD *****
FiFhd=UT*log(Nahd/ni);      %Fi de fermi
Fibhd=2*FiFhd;             %2*Fi de Fermi
Fim=4.15;
Fishd=4.15+1.11/2+FiFhd;
Fimshd=Fim-Fishd;          %FiM - FiS = FiMS
Vfbhd=Fimshd-(Qox/Cox);    %Flat Band Potential
Qdephd=q*Nahd*tSi;        %Depletion charge
qbhd = Qdephd/(Cox*UT);
PhisPhiohd = Qdephd/(8*CSi);
alphahd = PhisPhiohd/UT;
% Tensao de limiar
V0hd=Vfbhd+((Qdephd)/(2*Cox))+ (UT*log(invUT*q*((Nahd^3)/(ni^2))*((tSi^2)/(2*ESi)))));

% LD *****
FiFld=UT*log(ni/ni);      %Fi de fermi
Fibld=2*FiFld;           %2*Fi de Fermi
Fisld=4.15+0.55+FiFld;
Fimsl=Fim-Fisld;         %FiM - FiS = FiMS
Vfbld=Fimsl-(Qox/Cox);   %Flat Band Potential
Qdepld=q*Nald*tSi;      %Depletion charge
qblld = Qdepld/(Cox*UT);
PhisPhiold = Qdepld/(8*CSi);
alphald = PhisPhiold/UT;
Q0=4*UT*Cox; % Visto em Sallese pag.487 (Usa Cox)
% Tensao de limiar
V0ld=Vfbld-(UT*log((q*ni*(ESi^2))/(2*Q0*(Cox^2)*tSi)));

%=====
%                               Bias
%=====
% Voltage range
initial = 0;
step = 50E-3;
final = 2.5;
npontos = 1 + ((final - initial)/step);

if(Mode == 0)
    %drain = 0.1;
    drain = 1.5;
    Vg=initial:step:final;
    Vd=(ones(size(Vg))).*drain;      % Ids x Vg
    VTR=(ones(size(Vg))).*drain;    % Ids x Vgf
elseif (Mode == 1)
    %vgt = 0.200;
    vgt = 1.00;
    gate = vgt + V0hd;
    Vd=initial:step:final;
    Vg=(ones(size(Vd))).*gate;      % Ids x Vd
    VTR=Vd;                          % Ids x Vgf
end

% Source and Substrate voltages
Vs=0;
VS=Vs;
Idshd = 1e-14;

%=====
%                               Loop
%=====
X = 1;
while X <= npontos;
    VG=Vg(X);

```

```

VD=Vd(X);
faltam = npontos - X
tic
%=====
%                               Subthreshold region
%=====
% Subthreshold slope factor
% Gate VGF
% Drain VD
% Source VS
VDS = VD - Vs;
VGS = VG - Vs;

Vtran = VDS;
x = 1E13;

if ((VGS > VTREF)|(Mode == 1))
    precisao = 1E-11;
else precisao = Idshd/1000;
end

Vaux = 0;
maior = 1;

teste = 0;
n=0;

while ((abs(x) > precisao)&(Vtran >= VS));

    Vtran = (1-teste)*VD;

    n = n+1;
    if ((VGS > VTREF)|(Mode == 1))
        teste = teste + 1E-5;
    else
        teste = teste + 1E-4;
    end

%[START]-----HD Transistor-----
QSlinhahd = Cox*( (-2*Cox*(Beta^2))/Qdephd) + ...
            sqrt( ((2*Cox*(Beta^2))/Qdephd)^2 + ...
            (4*(Beta^2)*(log( 1 + exp((VGS-V0hd-VS)/(2*Beta)) )^2)) );

DVthhd = ((2*Cox*(Beta^2))/Qdephd)*QSlinhahd/(Qdephd+QSlinhahd);

Vthhd = V0hd + (2*Beta*log(1+(QSlinhahd/Qdephd)));

QShd = Cox*( (-2*Cox*(Beta^2))/Qdephd) + ...
        sqrt( ((2*Cox*(Beta^2))/Qdephd)^2 + ...
        (4*(Beta^2)*(log( 1 + exp((VGS-Vthhd+DVthhd-VS)/(2*Beta)) )^2)) );

% Equations to obtain QD
QDlinhahd = Cox*( (-2*Cox*(Beta^2))/Qdephd) + ...
            sqrt( ((2*Cox*(Beta^2))/Qdephd)^2 + ...
            (4*(Beta^2)*(log( 1 + exp((VGS-V0hd-Vtran)/(2*Beta)) )^2)) );

DVthhd = ((2*Cox*(Beta^2))/Qdephd)*QDlinhahd/(Qdephd+QDlinhahd);

Vthhd = V0hd + (2*Beta*log(1+(QDlinhahd/Qdephd)));

QDhd = Cox*( (-2*Cox*(Beta^2))/Qdephd) + ...
        sqrt( ((2*Cox*(Beta^2))/Qdephd)^2 + ...
        (4*(Beta^2)*(log( 1 + exp((VGS-Vthhd+DVthhd-Vtran)/(2*Beta)) )^2)) );

unhd = uinhd / (1 + thetahd*(VGS-Vthhd+DVthhd)+thetalhd*(VGS-
Vthhd+DVthhd)^2);

% Modelo para modulação comp canal

```

```

qshd = QShd / (Cox*UT);

qdsathd = (-1*(vsat*L*Xex/(uinhd*UT))) +
sqrt(((vsat*L*Xex/(uinhd*UT))^2 + ((qshd^2) + (4*qshd))));

Vsathd = UT*(qshd - qdsathd + (2*log((qshd + (qbhd/2)) / (qdsathd + (qbhd/2))));

Vefhd = Vsathd + 0.5*(Vtran - Vsathd + (UT/3) - sqrt(((Vtran - Vsathd + (UT/3))^2 +
(4*UT*Vsathd/3)));

Vefshd = ((Vtran/2)*(1 - tanh(3*(1 - (VGS/Vthhd)))) + ((Vefhd/2)*(1 + tanh(3*(1 -
(VGS/Vthhd)))));

alphahd = 2.2;

DeltaLhd = alphahd*tc*(log(L/tc) - 1)*log(1 + (uinhd*abs(Vtran -
Vefshd)/(vsat*tc)));

DeltaLhd = IncludeSChE*DeltaLhd;

% Current Equation
IdshdA = ((2*W*unhd)/(Lhd - DeltaLhd))*(2*UT*(QShd - QDhd));

IdshdB = ((2*W*unhd)/(Lhd - DeltaLhd))*(((QShd^2) - (QDhd^2))/(2*Cox));

IdshdC = ((2*W*unhd)/(Lhd - DeltaLhd))*(
UT*Qdephd*log((QDhd + Qdephd)/(QShd + Qdephd)));

% Idshd = ((2*W*unhd)/(Lhd - DeltaLhd))*((2*UT*(QShd - QDhd)) + ...
%(((QShd^2) - (QDhd^2))/(2*Cox)) + ...
% (UT*Qdephd*log((QDhd + Qdephd)/(QShd + Qdephd))));

Idshd = IdshdA + IdshdB + IdshdC;

%[END]-----HD Transistor-----

%[START]-----LD Transistor-----
% Equations to obtain QS
QSlinhd = Cox*(((-2*Cox*(Beta^2))/Q0) + ...
sqrt(((2*Cox*(Beta^2))/Q0)^2 + ...
(4*(Beta^2)*(log(1 + exp((VGS - V0ld - Vtran)/(2*Beta))^2))));

DVthld = ((Cox*(Beta^2))/Q0)*QSlinhd/(Q0 + (QSlinhd/2));

Vthld = V0ld + (2*Beta*log(1 + (QSlinhd/(2*Q0))));

QSld = 2*Cox*(((-2*Cox*(Beta^2))/Q0) + ...
sqrt(((2*Cox*(Beta^2))/Q0)^2 + ...
(4*(Beta^2)*(log(1 + exp((VGS - Vthld + DVthld - Vtran)/(2*Beta))^2))));

% Equations to obtain QD
QDlinhd = Cox*(((-2*Cox*(Beta^2))/Q0) + ...
sqrt(((2*Cox*(Beta^2))/Q0)^2 + ...
(4*(Beta^2)*(log(1 + exp((VGS - V0ld - VD)/(2*Beta))^2))));

DVthld = ((Cox*(Beta^2))/Q0)*QDlinhd/(Q0 + (QDlinhd/2));

Vthld = V0ld + (2*Beta*log(1 + (QDlinhd/(2*Q0))));

QDld = 2*Cox*(((-2*Cox*(Beta^2))/Q0) + ...
sqrt(((2*Cox*(Beta^2))/Q0)^2 + ...
(4*(Beta^2)*(log(1 + exp((VGS - Vthld + DVthld - VD)/(2*Beta))^2))));

unld = uinld / (1 + thetald*(VGS - Vthld + DVthld) + thetalld*(VGS -
Vthld + DVthld)^2);

% Modelo para modulação comp canal
qsld = QSld / (Cox*UT);

```

```

    qdsatl = (-1*(vsat*L*Xex/(uinld*UT))) +
    sqrt(((vsat*L*Xex/(uinld*UT))^2+((qsl^2)+(4*qsl)));

    Vsatl = UT*(qsl-qdsatl+(2*log((qsl+(qbl/2))/(qdsatl+(qbl/2))));

    Vefl = Vsatl + 0.5*(VD-Vsatl+(UT/3)-sqrt(((VD-Vsatl+(UT/3))^2 +
    (4*UT*Vsatl/3)));

    Vefsl = ((VD/2)*(1-tanh(3*(1-(VGS/Vthl)))) + ((Vefl/2)*(1+tanh(3*(1-
    (VGS/Vthl)))));

    alphal = 0.7;

    DeltaLl = alphal*tc*(log(L/tc)-1)*log(1+(uinld*abs(VD-
    Vefsl)/(vsat*tc)));

    DeltaLl = IncludeSChE*DeltaLl;

    % Current Equation

    Idsl = ((W*unl)/(Ll-DeltaLl))*(2*UT*(Qsl-QDl) + ...
    (((Qsl^2)-(QDl^2))/(4*Cox)) + ...
    (8*(UT^2)*CSI*log((QDl+(2*Q0))/(Qsl+(2*Q0)))));

    IdslX = ((W*unl)/(Ll-DeltaLl))*(2*UT*(Qsl-QDl));

    IdslY = ((W*unl)/(Ll-DeltaLl)*(((Qsl^2)-(QDl^2))/(4*Cox));

    IdslZ = ((W*unl)/(Ll-DeltaLl)*(
    8*(UT^2)*CSI*log((QDl+(2*Q0))/(Qsl+(2*Q0)))));

    Idsl = IdslX + IdslY + IdslZ;

    %[END]-----LD Transistor-----

    x = (Idshd - Idsl);

    if abs(x) < maior;
        maior = abs(x);
        Vaux = Vtran;

        SaveIdsl = Idsl;
        SaveIdslX = IdslX;
        SaveIdslY = IdslY;
        SaveIdslZ = IdslZ;

        SaveIdshd = Idshd;
        SaveIdshdA = IdshdA;
        SaveIdshdB = IdshdB;
        SaveIdshdC = IdshdC;

    end

end

VTR(X) = Vaux;
erro(X) = maior;
IDSld(X) = SaveIdsl;
IDSldX(X) = SaveIdslX;
IDSldY(X) = SaveIdslY;
IDSldZ(X) = SaveIdslZ;

IDShd(X) = SaveIdshd;
IDShdA(X) = SaveIdshdA;
IDShdB(X) = SaveIdshdB;
IDShdC(X) = SaveIdshdC;

```

```

    X = X+1;
    toc
end

if (Mode == 0)
    if (drain == 0.1)
        [Vgarq,Idarq] = textread('atlas\IdVg100mV.txt','%f %f');
        dlmwrite('model\IDShdVg100mV.txt',[Vg;IDShd]','\t');
        dlmwrite('model\VTRVg100mV.txt',[Vg;VTR]','\t');

        plot(Vg,VTR)
        figure
        plot(Vg,IDSld,Vg,IDShd,Vgarq,Idarq)
        xlabel('Vg [V]')
        ylabel('Ids [A]')
        title(strcat('Vgf,IDS GC',num2str(Lld/L),' L=10um tSi=50nm tox=2nm
VDS=100mV'))

        figure
        semilogy(Vg,IDSld,Vg,IDShd,Vgarq,Idarq)
        xlabel('Vg [V]')
        ylabel('Log Ids [A]')
        title(strcat('Vgf,Log(IDS) GC',num2str(Lld/L),' L=10um tSi=50nm tox=2nm
VDS=100mV'))

        %gm
        %PLOT de Derivada*****
        figure
        Vg_temp = Vg;
        Vg_temp(size(Vg_temp,2)) = [];
        gmhd = diff(IDShd)./diff(Vg);

        Vgarq_temp = Vgarq;
        Vgarq_temp(size(Vgarq_temp,2)) = [];
        gmarq = [diff(Idarq)./diff(Vgarq)]';

        dlmwrite('model\gmhdVg100mV.txt',[Vg_temp;gmhd]','\t');
        dlmwrite('atlas\gmVg100mV.txt',[Vgarq_temp;gmarq]','\t');
        plot(Vg_temp,gmhd,Vgarq_temp,gmarq)
        legend('Matlab','Atlas')
        xlabel('Vg [V]')
        ylabel('gm [S]')
        title(strcat('Vgf,gm GC',num2str(Lld/L),' L=10um tSi=50nm tox=2nm
VDS=100mV'))
        %*****

    else
        [Vgarq,Idarq] = textread('atlas\IdVg15V.txt','%f %f');
        dlmwrite('model\IDShdVg15V.txt',[Vg;IDShd]','\t');
        dlmwrite('model\VTRVg15V.txt',[Vg;VTR]','\t');

        plot(Vg,VTR)
        figure
        plot(Vg,IDSld,Vg,IDShd,Vgarq,Idarq)
        xlabel('Vg [V]')
        ylabel('Ids [A]')
        title(strcat('Vgf,IDS GC',num2str(Lld/L),' L=10um tSi=50nm tox=2nm
VDS=1.5V'))

        figure
        semilogy(Vg,IDSld,Vg,IDShd,Vgarq,Idarq)
        xlabel('Vg [V]')
        ylabel('Log Ids [A]')
        title(strcat('Vgf,Log(IDS) GC',num2str(Lld/L),' L=10um tSi=50nm tox=2nm
VDS=1.5V'))

        %gm

```

```

%PLOT de Derivada*****
figure
Vg_temp = Vg;
Vg_temp(size(Vg_temp,2)) = [];
gmhd = diff(IDShd)./diff(Vg);

Vgarq_temp = Vgarq;
Vgarq_temp(size(Vgarq_temp,2)) = [];
gmarq = [diff(Idarq)./diff(Vgarq)]';

dlmwrite('model\gmhdVg15V.txt',[Vg_temp;gmhd]','\t');
dlmwrite('atlas\gmVg15V.txt',[Vgarq_temp';gmarq]','\t');
plot(Vg_temp,gmhd,Vgarq_temp,gmarq)
legend('Matlab','Atlas')
xlabel('Vg [V]')
ylabel('gm [S]')
title(strcat('Vgf,gm GC',num2str(Lld/L),' L=10um tSi=50nm tox=2nm
VDS=1.5V'))
%*****
end
elseif (Mode == 1)
if (vgt == 0.200)
[Vdarq,Idarq] = textread('atlas\IdVd200mV.txt','%f %f');
dlmwrite('model\IDShdVd200mV.txt',[Vd;IDShd]','\t');
dlmwrite('model\VTRVd200mV.txt',[Vd;VTR]','\t');

plot(Vd,VTR)
figure
plot(Vd,IDSld,Vd,IDShd,Vdarq,Idarq)
xlabel('Vd [V]')
ylabel('Ids [A]')
title(strcat('Vds,IDS GC',num2str(Lld/L),' Vgt=200mV'))

%gd
%PLOT de Derivada*****
figure
Vd_temp = Vd;
Vd_temp(size(Vd_temp,2)) = [];
gdhd = diff(IDShd)./diff(Vd);

Vdarq_temp = Vdarq;
Vdarq_temp(size(Vdarq_temp,2)) = [];
gdarq = [diff(Idarq)./diff(Vdarq)]';

dlmwrite('model\gdhdVd200mV.txt',[Vd_temp;gdhd]','\t');
dlmwrite('atlas\gdVd200mV.txt',[Vdarq_temp';gdarq]','\t');

semilogy(Vd_temp,gdhd,Vdarq_temp,gdarq)
legend('Matlab','Atlas')
xlabel('Vd [V]')
ylabel('gd [S]')
title(strcat('Vd,gd GC',num2str(Lld/L),' L=10um tSi=50nm tox=2nm
VGT=200mV'))
%*****
else
[Vdarq,Idarq] = textread('atlas\IdVd1V.txt','%f %f');
dlmwrite('model\IDShdVd1V.txt',[Vd;IDShd]','\t');
dlmwrite('model\VTRVd1V.txt',[Vd;VTR]','\t');

plot(Vd,VTR)
figure
plot(Vd,IDSld,Vd,IDShd,Vdarq,Idarq)
xlabel('Vd [V]')
ylabel('Ids [A]')
title(strcat('Vds,IDS GC',num2str(Lld/L),' Vgt=1V'))

%gd
%PLOT de Derivada*****

```

```

figure
Vd_temp = Vd;
Vd_temp(size(Vd_temp,2)) = [];
gdhd = diff(IDShd)./diff(Vd);

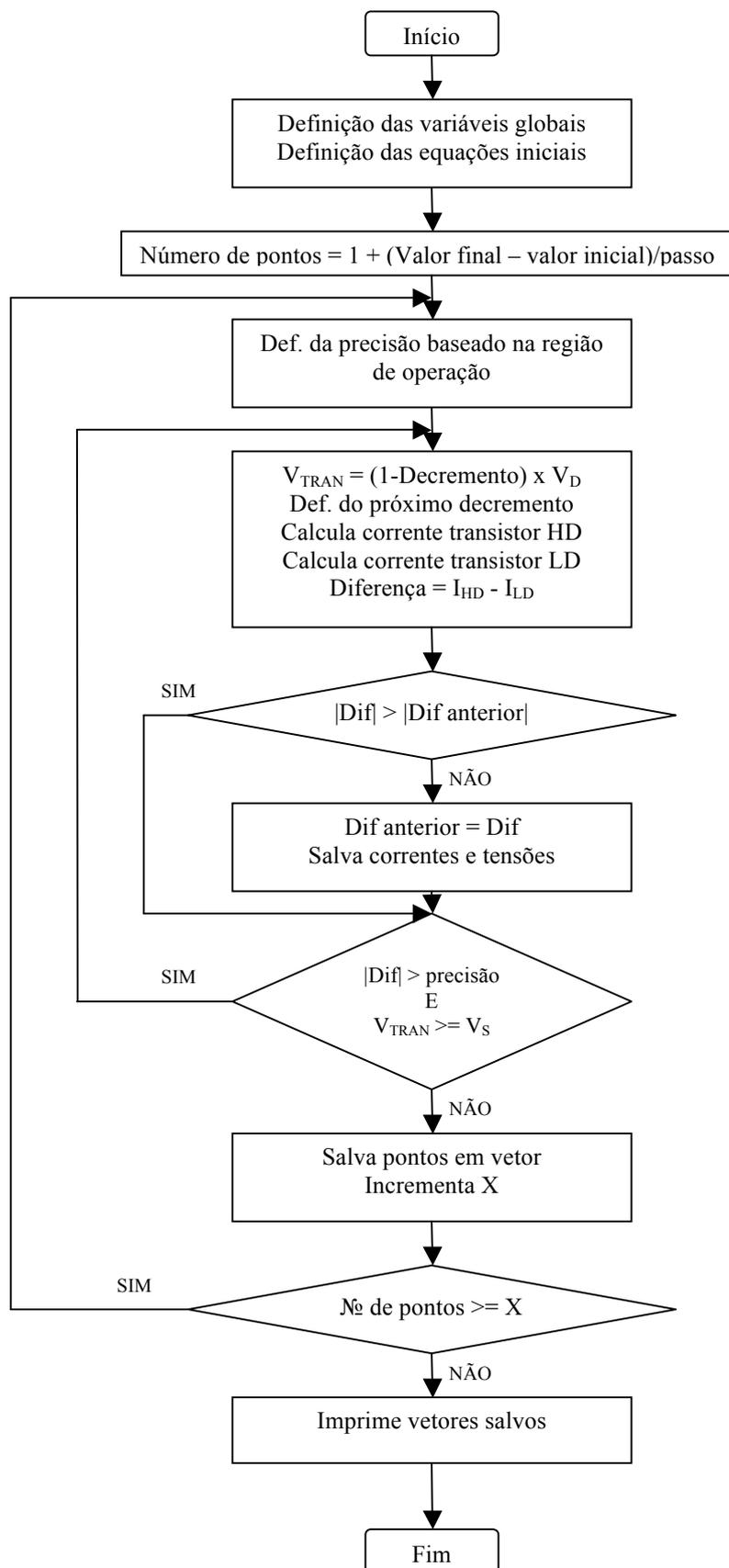
Vdarq_temp = Vdarq;
Vdarq_temp(size(Vdarq_temp,2)) = [];
gdarq = [diff(Idarq)./diff(Vdarq)]';

dlmwrite('model\gdhdVd1V.txt',[Vd_temp;gdhd]','\t');
dlmwrite('atlas\gdVd1V.txt',[Vdarq_temp';gdarq]','\t');

semilogy(Vd_temp,gdhd,Vdarq_temp,gdarq)
legend('Matlab','Atlas')
xlabel('Vd [V]')
ylabel('gd [S]')
title(strcat('Vd,gd GC',num2str(Lld/L),' L=10um tSi=50nm tox=2nm VGT=1V'))
%*****
end
end

```

APÊNDICE B – ALGORITMO ITERATIVO ADOTADO NO MATLAB



APÊNDICE C – SIMULAÇÃO ATLAS

```

go atlas
TITLE Transistor GC GAA SOI - L=10um Lld/L=0.5
# Operacao em T = 300 K
#tSi=50 nm - toxf=2nm - toxb=390nm

#Definição da grade
mesh space.mult=1.0
#
x.mesh loc=0.00 spac=0.2
x.mesh loc=2.0 spac=0.2
x.mesh loc=2.1 spac=0.05
x.mesh loc=2.25 spac=0.01

x.mesh loc=2.4 spac=0.05
x.mesh loc=4.0 spac=0.1
x.mesh loc=5.6 spac=0.1
x.mesh loc=7.25 spac=0.01
x.mesh loc=8.85 spac=0.1
x.mesh loc=10.4 spac=0.1
x.mesh loc=12.1 spac=0.05

x.mesh loc=12.25 spac=0.01
x.mesh loc=12.4 spac=0.05
x.mesh loc=12.5 spac=0.2
x.mesh loc=14.5 spac=0.2
#
y.mesh loc=-0.002 spac=0.01
y.mesh loc=0.00 spac=0.005
y.mesh loc=0.02 spac=0.01
y.mesh loc=0.04 spac=0.01
y.mesh loc=0.05 spac=0.005
y.mesh loc=0.05 spac=0.01
y.mesh loc=0.052 spac=0.01
#
#Definição das regiões
region num=1 y.max=0 oxide
region num=2 y.min=0 y.max=0.05 silicon
region num=3 y.min=0.05 oxide
#
#Definição dos eletrodos
# #1-GATE #2-SOURCE #3-DRAIN #4-gate2

electrode name=gate x.min=2.25 x.max=12.25 y.min=-0.002 y.max=-0.002
electrode name=source x.min=0 x.max=0 y.min=0 y.max=0.05
electrode name=drain x.min=14.5 x.max=14.5 y.min=0 y.max=0.05
electrode name=gate2 x.min=2.25 x.max=12.25 y.min=0.052 y.max=0.052

#Definição das dopagens na fonte, no dreno e no canal
#
doping uniform boron conc=1e17 reg=2 x.l=2.25 x.r=7.25
doping uniform boron conc=1e15 reg=2 x.l=7.25 x.r=12.25
doping gaussian arsenic conc=8e20 char=0.2 lat.char=0.00304 reg=2
x.r=2.25
doping gaussian arsenic conc=8e20 char=0.2 lat.char=0.00304 reg=2
x.l=12.25

#Geração da estrutura final
save outf=str\gaa-10um_gcLLD05_mod.str

```

```

# Definição da função trabalho dos contatos
contact      name=gate n.poly
contact      name=gate2 n.poly common=gate

output minset

# Seleção dos modelos
models conmob yama print temp=300

#Solução inicial
solve        init

#
method       newton autonr trap maxtrap=10
solve        prev

# Elevação de Vds até 0,1V
solve vdrain=1e-7
solve vdrain=1e-5
solve vdrain=1e-3
solve vdrain=0.01
solve vdrain=0.03
solve vdrain=0.06
solve vdrain=0.07
solve vdrain=0.08
solve vdrain=0.09
solve vdrain=0.095
solve vdrain=0.0975
solve vdrain=0.1

save outf=str\LLD05vds01gc10potmod.str

solve        vgate=0 vfinal=-1 vstep=-0.025 name=gate

# Geração da curva Ids x Vgf (Vds=0.1 V)
log          outf=LLD05-10um-IdsxVgs-Vds-100mV.log
solve        vgate=-1 vfinal=2.5 vstep=0.025 name=gate

log          outf=none

#Solução inicial
solve        init

#
method       newton autonr trap maxtrap=10
solve        prev

# Elevação de Vgs até 0,15V
solve vgate=1e-5
solve vgate=1e-3
solve vgate=1e-1
solve vgate=0.13
solve vgate=0.15

# Geração da curva Ids x Vgf (Vgs=0.15 V)
log          outf=LLD05-10um-IdsxVds-Vgt-200mV.log
solve        vdrain=0 vfinal=2.5 vstep=0.025 name=drain

log          outf=none

#Solução inicial

```

```
solve      init

#
method     newton autonr trap maxtrap=10
solve     prev

# Elevação de Vds até 1,5V
solve vdrain=1e-7
solve vdrain=1e-5
solve vdrain=1e-3
solve vdrain=0.01
solve vdrain=0.03
solve vdrain=0.06
solve vdrain=0.1
solve vdrain=0.5
solve vdrain=1.0
solve vdrain=1.5

save outf=str\LLD05vds15gc10pot.str

solve     vgate=0 vfinal=-1.0 vstep=-0.05 name=gate

# Geração da curva Ids x Vgf (Vds=1.5 V)
log       outf=LLD05-10um-IdsxVgs-Vds-15V.log
solve     vgate=-1 vfinal=2.5 vstep=0.025 name=gate

log       outf=none

#Solução inicial
solve     init

#
method     newton autonr trap maxtrap=10
solve     prev

# Elevação de Vgs até 0,95V
solve vgate=1e-5
solve vgate=1e-3
solve vgate=1e-1
solve vgate=2e-1
solve vgate=4e-1
solve vgate=0.5
solve vgate=0.7
solve vgate=0.9
solve vgate=0.95

# Geração da curva Ids x Vgf (Vgs=0.95 V)
log       outf=LLD05-10um-IdsxVds-Vgt-1V.log
solve     vdrain=0 vfinal=2.5 vstep=0.025 name=drain

quit
```

APÊNDICE D – SIMULAÇÃO ANALÍTICA MATLAB

```

% Implementacao do modelo GC GAA
% Criado em 06/05/08

clc
clear all

% Mode = 0 -> Id x Vg
% Mode = 1 -> Id x Vd

Mode = 0;

%IncludeSChE = 0 -> No Short Channel Effects
%IncludeSChE = 1 -> Include Short Channel Effects

IncludeSChE = 1;

%=====
% Definicao das variaveis globais
%=====
ESi = 1.06E-12; %Permissividade do Si [F/cm]
Eox = 3.4515E-13; %Permissividade do SiO2 [F/cm]
q = 1.6E-19; %Carga do eletron [C]
Nahd = 1E17; %Concentracao da regioo normalmente dopada [cm^-3]
Nald = 1E15; %Concentracao da regioo fracamente dopada [cm^-3]
Nrefhd = 3E16; %yama model
Nrefld = 3E16; %yama model
ni = 1.45E10; %Concentracao intrinseca de portadores [cm^-3]
syhd = 350; %yama model
syld = 350; %yama model
Qox = 0; %densidade de carga fixa na 1a interface por ...
%unidade de area [C/cm^2]
T = 300; %Temperatura absoluta [K]
UT = 0.0259; %Potencial termico [V]
Beta = UT; %Model parameter
KT = UT*q; %Auxiliar KT
toxf = 2E-7; %espessura do oxido de porta [cm]
tSi = 50E-7; %espessura da camada de Si [cm]
L = 3E-4; %comprimento total de canal [cm]
LldL = 0.5; %comprimento da regioo fracamente dopada do canal [cm]
Lld = LldL*L; %comprimento da regioo fracamente dopada do canal [cm]
Lhd = L-Lld; %comprimento de canal da regioo fortemente dopada [cm]
W = 1E-4; %largura de canal [cm]
u0nhd = 720; %mobilidade dos eletrons [cm^2/Vs]
u0nld = 1420; %mobilidade dos eletrons [cm^2/Vs]
invUT = 1/UT; %inverse thermal voltage [V^-1]

uinhd = u0nhd/sqrt(1 + (Nahd/(Nrefhd + (Nahd/syhd)))); %yama model
uinld = u0nld/sqrt(1 + (Nald/(Nrefld + (Nald/syld)))); %yama model

thetahd = 0.111; %coef de degradação da mobilidade
thetalhd = 0.00; %coef 2 de degradação da mobilidade
thetald = 0.15; %coef de degradação da mobilidade
thetalld = 0; %coef 2 de degradação da mobilidade

%Parametros para mod. comp. canal
sigma = 2.2;
Lm = 1E-5; %comprimento de canal de referencia [cm]
vsat = 1.43E7; %velocidade de saturação [cm/s]

%=====
% Equacoes iniciais
%=====
Cox=Eox/toxf; %capacitancia de fonte
CSi=ESi/tSi; %capacitancia do Si

tc = (tSi/(2*sqrt(2)))*sqrt(1+(4*CSi/Cox)); %Comprimento caracteristico

```

```

Xex = 1+((2.6*Lm/L)*(1.54*exp(-L/(7*Lm))-1));
%Beta = UT ; %Model parameter

% HD *****
FiFhd=UT*log(Nahd/ni);      %Fi de fermi
Fibhd=2*FiFhd;             %2*Fi de Fermi
Fim=4.15;
Fishd=4.15+1.11/2+FiFhd;
Fimshd=Fim-Fishd;          %FiM - FiS = FiMS
Vfbhd=Fimshd-(Qox/Cox);    %Flat Band Potential
Qdephd=q*Nahd*tSi;        %Depletion charge
qbhd = Qdephd/(Cox*UT);
PhisPhiohd = Qdephd/(8*CSi);
alphahd = PhisPhiohd/UT;
% Tensao de limiar
V0hd=Vfbhd+(((Qdephd)/(2*Cox))+ (UT*log(invUT*q*((Nahd^3)/(ni^2))*((tSi^2)/(2*ESi)))));
% LD *****
FiFld=UT*log(ni/ni);      %Fi de fermi
Fibld=2*FiFld;            %2*Fi de Fermi
Fisl=4.15+0.55+FiFld;
Fimsl=Fim-Fisl;           %FiM - FiS = FiMS
Vfbld=Fimsl-(Qox/Cox);    %Flat Band Potential
Qdepld=q*Nald*tSi;        %Depletion charge
qbld = Qdepld/(Cox*UT);
PhisPhiold = Qdepld/(8*CSi);
alphald = PhisPhiold/UT;
Q0=4*UT*Cox; % Visto em Sallese pag.487 (Usa Cox)
% Tensao de limiar
V0ld=Vfbld-(UT*log((q*ni*(ESi^2))/(2*Q0*(Cox^2)*tSi)));
%=====
%                               Bias
%=====
% Voltage range
if(Mode == 0)
    initial = -1;
else
    initial = 0;
end
step = 25E-3;
final = 2.0;
npontos = 1 + ((final - initial)/step);

if(Mode == 0)
    drain = 0.1;
    Vg=initial:step:final;
    Vd=(ones(size(Vg))).*drain;      % Ids x Vg
    VTR=(ones(size(Vg))).*drain;    % Ids x Vgf
    IDShd=(ones(size(Vg))).*0;
    IDShdA=(ones(size(Vg))).*0;
    IDShdB=(ones(size(Vg))).*0;
    IDShdC=(ones(size(Vg))).*0;
elseif (Mode == 1)
    vgt = 0.2000;
    gate = vgt + V0hd;
    Vd=initial:step:final;
    Vg=(ones(size(Vd))).*gate;      % Ids x Vd
    VTR=(ones(size(Vd))).*0;       % Ids x Vgf
    IDShd=(ones(size(Vd))).*0;
    IDShdA=(ones(size(Vd))).*0;
    IDShdB=(ones(size(Vd))).*0;
    IDShdC=(ones(size(Vd))).*0;
end

% Source and Substrate voltages
Vs=0;
VS=Vs;

```

```

=====
%
%                               Loop
=====
X = 1;
while X <= npontos;
    VG=Vg(X);
    VD=Vd(X);
    Faltam = npontos - X + 1;
    display(Faltam);
    %
    %                               Subthreshold region
    %
    % Subthreshold slope factor
    % Gate VGF
    % Drain VD
    % Source VS
    VDS = VD - Vs;
    VGS = VG - Vs;

    %[START]-----HD Transistor-----
    QSlinhahd = Cox*( (-2*Cox*(Beta^2))/Qdephd) + ...
        sqrt( ((2*Cox*(Beta^2))/Qdephd)^2 + ...
            (4*(Beta^2)*(log( 1 + exp((VGS-V0hd-VS)/(2*Beta)) )^2)) );

    DVthhd = ((2*Cox*(Beta^2))/Qdephd)*QSlinhahd/(Qdephd+QSlinhahd);

    Vthhd = V0hd + (2*Beta*log(1+(QSlinhahd/Qdephd)));

    QShd = Cox*( (-2*Cox*(Beta^2))/Qdephd) + ...
        sqrt( ((2*Cox*(Beta^2))/Qdephd)^2 + ...
            (4*(Beta^2)*(log( 1 + exp((VGS-Vthhd+DVthhd-VS)/(2*Beta)) )^2)) );

    unhd = uinhd / (1 + thetahd*(VGS-Vthhd+DVthhd)+thetalhd*(VGS-Vthhd+DVthhd)^2);

    %[START]-----LD Transistor-----
    % Equations to obtain QD LD
    QDlinhald = Cox*( (-2*Cox*(Beta^2))/Q0) + ...
        sqrt( ((2*Cox*(Beta^2))/Q0)^2 + ...
            (4*(Beta^2)*(log( 1 + exp((VGS-V0ld-VD)/(2*Beta)) )^2)) );

    DVthld = ((Cox*(Beta^2))/Q0)*QDlinhald/(Q0+(QDlinhald/2));

    Vthld = V0ld + (2*Beta*log(1+(QDlinhald/(2*Q0))));

    QDldA = ((-2*Cox*(Beta^2))/Q0);
    QDldB = ((2*Cox*(Beta^2))/Q0)^2;
    QDldC = (4*(Beta^2)*(log( 1 + exp((VGS-Vthld+DVthld-VD)/(2*Beta)) )^2));

    QDld = 2*Cox*( QDldA + sqrt( QDldB + QDldC ) );

    unld = uinld / (1 + thetald*(VGS-Vthld+DVthld)+thetalld*(VGS-Vthld+DVthld)^2);

    %*****First pass of Vtran *****
    %Constantes para Vtran
    %HD ones
    a = ((2*W*unhd)/(Lhd));
    b = QShd;
    c = (UT*Qdephd*log((Qdephd)/(QShd+Qdephd)));
    d = (-2*Cox*(Beta^2))/Qdephd;
    %LD ones
    x = (W*unld)/(Lld);
    y = QDld;
    z = ((-2*Cox*(Beta^2))/Q0);

    CA = 1/(2*((2*x)+a));

    CB = 2*Cox*( (a*(Vthhd-2*Beta-d) + (2*x*(Vthld-z)) );

```

```

CC = (4*(x^2)*(y^2)) + 8*a*( ...
(Cox*c) + ((b^2)/2))) + ...
((y^2)/4))) + ...
...
(d^2)) ...
) ...
);

Vtran = VGS - ( CA*((CB+sqrt(CC))/Cox) );

VtranOld = Vtran;

% Equations to obtain QD HD
QDlinhahd = Cox*( ((-2*Cox*(Beta^2))/Qdephd) + ...
sqrt( ((2*Cox*(Beta^2))/Qdephd)^2) + ...
(4*(Beta^2)*(log( 1 + exp((VGS-V0hd-Vtran)/(2*Beta)) )^2)) ) );

DVthhd = (((2*Cox*(Beta^2))/Qdephd)*QDlinhahd)/(Qdephd+QDlinhahd);

Vthhd = V0hd + (2*Beta*log(1+(QDlinhahd/Qdephd)));

QDhd = Cox*( ((-2*Cox*(Beta^2))/Qdephd) + ...
sqrt( ((2*Cox*(Beta^2))/Qdephd)^2) + ...
(4*(Beta^2)*(log( 1 + exp((VGS-Vthhd+DVthhd-Vtran)/(2*Beta)) )^2)) ) );

% Equations to obtain QS
QSlinhald = Cox*( ((-2*Cox*(Beta^2))/Q0) + ...
sqrt( ((2*Cox*(Beta^2))/Q0)^2) + ...
(4*(Beta^2)*(log( 1 + exp((VGS-V0ld-Vtran)/(2*Beta)) )^2)) ) );

DVthld = (((Cox*(Beta^2))/Q0)*QSlinhald)/(Q0+(QSlinhald/2));
Vthld = V0ld + (2*Beta*log(1+(QSlinhald/(2*Q0))));

QSldA = ((-2*Cox*(Beta^2))/Q0);
QSldB = (((2*Cox*(Beta^2))/Q0)^2);
QSldC = (4*(Beta^2)*(log( 1 + exp((VGS-Vthld+DVthld-Vtran)/(2*Beta)) )^2));

QSld = 2*Cox*( QSldA + sqrt( QSldB + QSldC ) );

% Modelo para modulação comp canal HD
qshd = QShd/(Cox*UT);
qdsathd = (-1*(vsat*L*Xex/(uinhd*UT))) +
sqrt(((vsat*L*Xex/(uinhd*UT))^2+((qshd^2)+(4*qshd)));
Vsathd = UT*(qshd-qdsathd+(2*log((qshd+(qbhd/2))/(qdsathd+(qbhd/2)))));
Vefhd = Vsathd + 0.5*(Vtran-Vsathd+(UT/3)-sqrt(((Vtran-Vsathd+(UT/3))^2) +
(4*UT*Vsathd/3)));
Vefshd = ((Vtran/2)*(1-tanh(3*(1-(VGS/Vthhd)))) + ((Vefhd/2)*(1+tanh(3*(1-
(VGS/Vthhd)))));
alphahd = 0.8;
DeltaLhd = alphahd*tc*(log(L/tc)-1)*log(1+(uinhd*abs(Vtran-Vefshd)/(vsat*tc));
DeltaLhd = IncludeSChE*DeltaLhd;

% Modelo para modulação comp canal LD
qsld = QSld/(Cox*UT);
qdsatld = (-1*(vsat*L*Xex/(uinld*UT))) +
sqrt(((vsat*L*Xex/(uinld*UT))^2+((qsld^2)+(4*qsld)));
Vsatld = UT*(qsld-qdsatld+(2*log((qsld+(qblld/2))/(qdsatld+(qblld/2)))));
Vefld = Vsatld + 0.5*(VD-Vsatld+(UT/3)-sqrt(((VD-Vsatld+(UT/3))^2) +
(4*UT*Vsatld/3)));

```

```

Vefslid = ((VD/2)*(1-tanh(3*(1-(VGS/Vthld)))) + ((Vefld/2)*(1+tanh(3*(1-
(VGS/Vthld)))));
alphald = 0.5;
DeltaLld = alphald*tc*(log(L/tc)-1)*log(1+(uinld*abs(VD-Vefslid)/(vsat*tc));
DeltaLld = IncludeSChE*DeltaLld;

%*****Second pass of Vtran *****
unhd = uinhd / (1 + thetahd*(VGS-Vthhd+DVthhd)+thetalhd*(VGS-Vthhd+DVthhd)^2);
unld = uinld / (1 + thetald*(VGS-Vthld+DVthld)+theta1ld*(VGS-Vthld+DVthld)^2);
%Constantes para Vtran
%HD ones
a = ((2*W*unhd)/(Lhd-DeltaLhd)); % Include Delta
b = QShd;
c = (UT*Qdephd*log((QDhd+Qdephd)/(QShd+Qdephd))); % Include QDhd
d = (-2*Cox*(Beta^2))/Qdephd;
%LD ones
x = ( (W*unld)/(Lld-DeltaLld)); % Include Delta
y = QDld;
z = ((-2*Cox*(Beta^2))/Q0);

CA = 1/(2*((2*x)+a));

CB = 2*Cox*( (a*(Vthhd-2*Beta-d) + (2*x*(Vthld-z)) );

CC = (4*(x^2)*(y^2)) + 8*a*( ...
(Cox*c) + ((b^2)/2)) + ...
((y^2)/4)) + ...
...
(d^2) ...
);

k = (unhd/unld)*(Lld/(L-Lld))*( (VGS-V0hd)/(VGS-V0ld));

VtranTriodo = (1/(1+k))*VDS;

VtranSat = VGS - ( CA*((CB+sqrt(CC))/Cox) ) + 0.07925; %Depois de Vsathd

ATS= 8;
ATS2=ATS-0.1;

Vtran = VtranSat - (VtranSat*(log(1+exp(ATS*(1-
(VtranTriodo/VtranSat)))/log(1+exp(ATS2)))));

% Equations to obtain QD HD
QSlinhahd = Cox*( ((-2*Cox*(Beta^2))/Qdephd) + ...
sqrt( (((2*Cox*(Beta^2))/Qdephd)^2) + ...
(4*(Beta^2)*(log( 1 + exp((VGS-V0hd-VS)/(2*Beta)) )^2) ) ) );

DVthhd = (((2*Cox*(Beta^2))/Qdephd)*QSlinhahd)/(Qdephd+QSlinhahd);

Vthhd = V0hd + (2*Beta*log(1+(QSlinhahd/Qdephd)));

QShd = Cox*( ((-2*Cox*(Beta^2))/Qdephd) + ...
sqrt( (((2*Cox*(Beta^2))/Qdephd)^2) + ...
(4*(Beta^2)*(log( 1 + exp((VGS-Vthhd+DVthhd-VS)/(2*Beta)) )^2) ) ) );

% Equations to obtain QD HD
QDlinhahd = Cox*( ((-2*Cox*(Beta^2))/Qdephd) + ...
sqrt( (((2*Cox*(Beta^2))/Qdephd)^2) + ...

```

```

(4*(Beta^2)*(log( 1 + exp((VGS-V0hd-Vtran)/(2*Beta)) )^2)) );
DVthhd = (((2*Cox*(Beta^2))/Qdephd)*QDlinhhd)/(Qdephd+QDlinhhd);
Vthhd = V0hd + (2*Beta*log(1+(QDlinhhd/Qdephd)));
QDhd = Cox*( ((-2*Cox*(Beta^2))/Qdephd) + ...
sqrt( ((2*Cox*(Beta^2))/Qdephd)^2 + ...
(4*(Beta^2)*(log( 1 + exp((VGS-Vthhd+DVthhd-Vtran)/(2*Beta)) )^2)) ) );
unhd = uinhd / (1 + thetahd*(VGS-Vthhd+DVthhd)+thetalhd*(VGS-Vthhd+DVthhd)^2);
% Modelo para modulação comp canal
qshd = QShd/(Cox*UT);
qdsathd = (-1*(vsat*L*Xex/(uinhd*UT))) +
sqrt(((vsat*L*Xex/(uinhd*UT))^2+(qshd^2)+(4*qshd)));
Vsathd = UT*(qshd-qdsathd+(2*log((qshd+(qbhd/2))/(qdsathd+(qbhd/2)))));
Vefhd = Vsathd + 0.5*(Vtran-Vsathd+(UT/3)-sqrt(((Vtran-Vsathd+(UT/3))^2 +
(4*UT*Vsathd/3))));
Vefshd = ((Vtran/2)*(1-tanh(3*(1-(VGS/Vthhd)))) + ((Vefhd/2)*(1+tanh(3*(1-
(VGS/Vthhd)))));
alphahd = 0.8;
DeltaLhd = alphahd*tc*(log(L/tc)-1)*log(1+(uinhd*abs(Vtran-Vefshd)/(vsat*tc));
DeltaLhd = IncludeSChE*DeltaLhd;
% Current Equation
IdshdA = ((2*W*unhd)/(Lhd-DeltaLhd))*(2*UT*(QShd-QDhd));
IdshdB = ((2*W*unhd)/(Lhd-DeltaLhd))*(((QShd^2)-(QDhd^2))/(2*Cox));
IdshdC = ((2*W*unhd)/(Lhd-DeltaLhd))*(
UT*Qdephd*log((QDhd+Qdephd)/(QShd+Qdephd)) );
%Idshd = ((2*W*unhd)/(Lhd-DeltaLhd))*( (2*UT*(QShd-QDhd)) + ...
%(((QShd^2)-(QDhd^2))/(2*Cox)) + ...
%( UT*Qdephd*log((QDhd+Qdephd)/(QShd+Qdephd)) ) );
Idshd = IdshdA + IdshdB + IdshdC;
%[END]-----HD Transistor-----
%[END]-----LD Transistor-----
VTR(X) = Vtran;
IDS hd(X) = Idshd;
IDS hdA(X) = IdshdA;
IDS hdB(X) = IdshdB;
IDS hdC(X) = IdshdC;
X = X+1;
end
if (Mode == 0)
if (drain == 0.1)
[Vgarq,Idarq] = textread('atlas\IdVg100mV.txt','%f %f');
dmlwrite('model\IDS hdVg100mV.txt',[Vg;IDS hd]','\t');
dmlwrite('model\VTRVg100mV.txt',[Vg;VTR]','\t');
plot(Vg,VTR)
legend('Vtran Model Analitico')
xlabel('Vg [V]')
ylabel('Vtran [V]')

```

```

    title(strcat('Vgf,Vtran GC',num2str(Lld/L),' L=3um tSi=50nm tox=2nm
VDS=100mV'))

    figure
    plot(Vg, IDShd, Vgarq, Idarq)
    legend('IDS Model Analitico','IDS Atlas')
    xlabel('Vg [V]')
    ylabel('Ids [A]')
    title(strcat('Vgf,IDS GC',num2str(Lld/L),' L=3um tSi=50nm tox=2nm
VDS=100mV'))

    figure
    semilogy(Vg, IDShd, Vgarq, Idarq)
    legend('IDS Model Analitico','IDS Atlas')
    xlabel('Vg [V]')
    ylabel('Log Ids [A]')
    title(strcat('Vgf,Log(IDS) GC',num2str(Lld/L),' L=3um tSi=50nm tox=2nm
VDS=100mV'))

    %gm
    %PLOT de Derivada*****
    figure
    Vg_temp = Vg;
    Vg_temp(size(Vg_temp,2)) = [];
    gmhd = diff(IDShd)./diff(Vg);

    Vgarq_temp = Vgarq;
    Vgarq_temp(size(Vgarq_temp,2)) = [];
    gmarq = (diff(Idarq)./diff(Vgarq));

    dlmwrite('model\gmhdVg100mV.txt',[Vg_temp;gmhd'],'\t');
    dlmwrite('atlas\gmVg100mV.txt',[Vgarq_temp;gmarq'],'\t');
    plot(Vg_temp, gmhd, Vgarq_temp, gmarq)
    legend('Analitico','Atlas')
    xlabel('Vg [V]')
    ylabel('gm [S]')
    title(strcat('Vgf,gm GC',num2str(Lld/L),' L=',num2str(L),'um tSi=50nm
tox=2nm VDS=100mV'))
    %*****
    else
    [Vgarq,Idarq] = textread('atlas\IdVg15V.txt','%f %f');
    dlmwrite('model\IDShdVg15V.txt',[Vg;IDShd'],'\t');
    dlmwrite('model\VTRVg15V.txt',[Vg;VTR]'\t');

    plot(Vg,VTR)
    legend('Vtran Model Analitico')
    xlabel('Vg [V]')
    ylabel('Vtran [V]')
    title(strcat('Vgf,Vtran GC',num2str(Lld/L),' L=3um tSi=50nm tox=2nm
VDS=1.5V'))

    figure
    plot(Vg, IDShd, Vgarq, Idarq)
    legend('IDS Model Analitico','IDShd Iterativo')
    xlabel('Vg [V]')
    ylabel('Ids [A]')
    title(strcat('Vgf,IDS GC',num2str(Lld/L),' L=3um tSi=50nm tox=2nm
VDS=1.5V'))

    figure
    semilogy(Vg, IDShd, Vgarq, Idarq)
    legend('IDS Model Analitico','IDShd Iterativo')
    xlabel('Vg [V]')
    ylabel('Log Ids [A]')
    title(strcat('Vgf,Log(IDS) GC',num2str(Lld/L),' L=3um tSi=50nm tox=2nm
VDS=1.5V'))

    %gm

```

```

%PLOT de Derivada*****
figure
Vg_temp = Vg;
Vg_temp(size(Vg_temp,2)) = [];
gmhd = diff(IDShd)./diff(Vg);

Vgarq_temp = Vgarq;
Vgarq_temp(size(Vgarq_temp,2)) = [];
gmarq = (diff(Idarq)./diff(Vgarq));

dlmwrite('model\gmhdVg15V.txt',[Vg_temp;gmhd'],'\t');
dlmwrite('atlas\gmVg15V.txt',[Vgarq_temp;gmarq'],'\t');
plot(Vg_temp, gmhd, Vgarq_temp, gmarq)
legend('Analitico', 'Atlas')
xlabel('Vg [V]')
ylabel('gm [S]')
title(strcat('Vgf, gm GC', num2str(Lld/L), ' L=', num2str(L), 'um tSi=50nm
tox=2nm VDS=1.5V'))
%*****
end
elseif (Mode == 1)
if (vgt == 0.20)
dmlwrite('model\IDShdVd200mV.txt', [Vd;IDShd]','\t');
dmlwrite('model\VTRVd200mV.txt', [Vd;VTR]','\t');

plot(Vd, VTR)
legend('VTR Model Analitico')
xlabel('Vd [V]')
ylabel('Vtran [V]')
title(strcat('Vds, Vtran GC', num2str(Lld/L), ' Vgt=200mV'))

[Vdarq, Idarq] = textread('atlas\IdVd200mV.txt', '%f %f');
figure
plot(Vd, IDShd, Vdarq, Idarq)
legend('IDS Model Analitico', 'IDS Atlas')
xlabel('Vd [V]')
ylabel('Ids [A]')
title(strcat('Vds, IDS GC', num2str(Lld/L), ' Vgt=200mV'))

%gd
%PLOT de Derivada*****
figure
Vd_temp = Vd;
Vd_temp(size(Vd_temp,2)) = [];
gdhd = diff(IDShd)./diff(Vd);

Vdarq_temp = Vdarq;
Vdarq_temp(size(Vdarq_temp,2)) = [];
gdarq = (diff(Idarq)./diff(Vdarq));

dmlwrite('model\gdhdVd200mV.txt', [Vd_temp;gdhd'],'\t');
dmlwrite('atlas\gdVd200mV.txt', [Vdarq_temp;gdarq'],'\t');

semilogy(Vd_temp, gdhd, Vdarq_temp, gdarq)
legend('Analitico', 'Atlas')
xlabel('Vd [V]')
ylabel('gd [S]')
title(strcat('Vd, gd GC', num2str(Lld/L), ' L=', num2str(L), 'um tSi=50nm
tox=2nm VGT=200mV'))
%*****
else
dmlwrite('model\IDShdVd1V.txt', [Vd;IDShd]','\t');
dmlwrite('model\VTRVd1V.txt', [Vd;VTR]','\t');

plot(Vd, VTR)
legend('VTR Model Analitico')
xlabel('Vd [V]')
ylabel('Vtran [V]')

```

```

title(strcat('Vds,Vtran GC',num2str(Lld/L),' Vgt=1V'))

[Vdarq,Idarq] = textread('atlas\IdVd1V.txt','%f %f');
figure
plot(Vd, IDShd,Vdarq,Idarq)
legend('IDS Model Analitico','IDS Atlas')
xlabel('Vd [V]')
ylabel('Ids [A]')
title(strcat('Vds,IDS GC',num2str(Lld/L),' Vgt=1V'))

%gd
%PLOT de Derivada*****
figure
Vd_temp = Vd;
Vd_temp(size(Vd_temp,2)) = [];
gdhd = diff(IDShd)./diff(Vd);

Vdarq_temp = Vdarq;
Vdarq_temp(size(Vdarq_temp,2)) = [];
gdarq = (diff(Idarq)./diff(Vdarq))';

dlmwrite('model\gdhdVd1V.txt',[Vd_temp;gdhd]','\t');
dlmwrite('atlas\gdVd1V.txt',[Vdarq_temp;gdarq]','\t');

semilogy(Vd_temp,gdhd,Vdarq_temp,gdarq)
legend('Analitico','Atlas')
xlabel('Vd [V]')
ylabel('gd [S]')
title(strcat('Vd,gd GC',num2str(Lld/L),' L=',num2str(L),'um tSi=50nm
tox=2nm VGT=1V'))
%*****
end
end

```