# CENTRO UNIVERSITÁRIO DA FEI Márcio Alves Sodré de Souza

# Márcio Alves Sodré de Souza

# OPERAÇÃO CRIOGÊNICA DE TRANSISTORES SOI-MOS SOB A AÇÃO DE TENSÃO MECÂNICA UNIAXIAL NO CANAL

Dissertação apresentada ao Centro Universitário da FEI como parte dos requisitos necessários para a obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Marcelo Antonio Pavanello

São Bernardo do Campo 2010

Souza, Márcio Alves Sodré de.

Operação criogênica de transistores SOI-MOS sob a ação de tensão mecânica uniaxial no canal / Márcio Alves Sodré de Souza. São Bernardo do Campo, 2010.

110 f.: il.

Dissertação - Centro Universitário da FEI.

Orientador: Prof. Dr. Marcelo Antonio Pavanello

1. SOI. 2. Tensão mecânica. 3. CESL. I. Pavanello, Marcelo Antonio, orient. II. Título.

CDU 681.32



# APRESENTAÇÃO DE DISSERTAÇÃO ATA DA BANCA JULGADORA

# Programa de Mestrado de Engenharia Elétrica

Aluno: Márcio Alves Sodré de Souza Matrícula: 1071182 Título do Trabalho: OPERAÇÃO CRIOGÊNICA DE TRANSISTORES SOI-MOS SOB A AÇÃO DE TENSÃO MECÂNICA UNIAXIAL NO CANAL. Área de Concentração: Dispositivos Eletrônicos Integrados Orientador: Prof. Dr. Marcelo Antonio Pavanello Data da realização da defesa: 1 / fevereiro / 2010 A Banca Julgadora abaixo-assinada atribuiu ao candidato o seguinte: APROVADO REPROVADO São Bernardo do Campo, Ol / Ol /2010 **MEMBROS DA BANCA JULGADORA** Prof. Dr. Marcelo Antonio Pavanello Profa. Dra. Milene, Galeti Prof. Dr. Ely Antonio Tadeu Dirani

# **VERSÃO FINAL DA DISSERTAÇÃO**

ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS RECOMENDAÇÕES DA BANCA EXAMINADORA

Aprovação do Coordenador do Programa de Pós-graduação

Marulo Ando

Prof. Dr. Marcelo Antonio Pavanello

Dedico este trabalho aos meus pais Tereza e Vanildo a quem devo tudo nessa vida.

Aos meus irmãos Fábio e Gislene e ao meu sobrinho Pedro.

# **AGRADECIMENTOS**

Ao prof. Dr. Marcelo Antonio Pavanello, ao qual serei grato eternamente, não somente pela dedicada orientação, mas por sua amizade e compreensão nos momentos de dificuldades ao longo destes anos.

Aos meus pais, irmãos e sobrinho pelo incentivo dado para a realização deste trabalho e compreensão nos momentos em que estive ausente.

Aos meus amigos Rudolf Theoderich Bühler e Michelly de Souza, pelo privilégio de tê-los conhecido nesta jornada, pelo companheirismo e amizade, mas sobretudo pelo auxílio nas dúvidas e sugestões dadas.

Aos amigos, Renan Trevisoli Dória, Rodrigo Trevisoli Dória e Felipe Neves, pela ajuda ao longo deste trabalho e pelos momentos de descontração.

Às amigas Ingrid Catherine e Paula Agopian, pela convivência e apoio ao longo do mestrado.

Aos professores do mestrado Dr. Renato Giacomini, Dr. Salvador Gimenez e Dr. Macelo Bellodi pelos ensinamentos passados em aula, e que contribuíram para o trabalho.

Ao CNPq pelo suporte financeiro, possibilitando a conclusão do mestrado.

Ao Centro Universitário da FEI, por ceder a infra-estrutura necessária para a realização do trabalho.

À todos que involuntariamente não foram citados, mas que de alguma forma mostraram interesse pelo trabalho.



### **RESUMO**

Souza, M. A. S de **Operação criogênica de transistores SOI-MOS sob a ação de tensão mecânica uniaxial no canal.** 2010 110 f., Dissertação (Mestrado) – Centro Universitário da FEI, São Bernardo do Campo, 2010.

Neste trabalho é apresentado um estudo da operação dos transistores SOI com canal tensionado operando em baixas temperaturas (100 K a 300 K) em comparação com dispositivos SOI convencionais realizados através de simulação numérica bidimensional. Através de uma série de simulações bidimensional do processo de fabricação, foram geradas estruturas com comprimentos de canal que variam de 65 nm a 1 µm e, pela técnica de deposição do nitreto de silício denominada de Contact Etch Stop Layer (CESL) diversas tensões mecânicas foram induzidas (500 MPa a 2200 MPa). Com as estruturas geradas pelo simulador de processos e através de simulação numérica bidimensional de dispositivos, foram geradas curvas da corrente de dreno pela tensão aplicada à porta com o transistor operando na região de triodo, e curvas da corrente de dreno pela tensão aplicada ao dreno nas regiões de triodo e saturação. A partir das curvas foram extraídas a tensão de limiar, máxima transcondutância e a inclinação de sublimiar e por fim realizado um estudo do autoaquecimento. Os resultados obtidos mostraram uma melhora significativa na máxima transcondutância, e consequentemente na mobilidade para comprimentos de canal abaixo de 250 nm, ultrapassando 100 % em 100 K. A máxima transcondutância também aumentou com o aumento da tensão mecânica aplicada, mas este ganho não foi proporcional. Na tensão de limiar, foi observada uma redução proporcionada pela tensão mecânica e em contrapartida um aumento proporcionado pela redução da temperatura, fazendo uma sobreposição de efeitos. Finalmente, na inclinação de sublimiar, não houve alterações provenientes da aplicação de tensão mecânica no canal, mas sim pela redução da temperatura, onde teve seu valor reduzido 62 mV/déc até 23 mV/déc em 100 K. No estudo do auto-aquecimento, houve na região de triodo, uma redução da corrente de dreno de 4 %, e na região de saturação esta redução foi superior a 15 %. Ao reduzir a temperatura de operação para 150 K, o efeito do autoaquecimento se tornou mais evidente, chegando a uma diminuição de corrente de dreno superior a 25 % para os comprimentos de canais estudados.

Palavras-chave: SOI, tensão mecânica, CESL.

# **ABSTRACT**

Souza, M. A. S de Cryogenic operation of SOI-MOS transistors under the action of uniaxial mechanical stress on the channel. 2010 110 f., Dissertation (Master) – Centro Universitário da FEI, São Bernardo do Campo, 2010.

In this work, a study of the operation of SOI transistors with strained channel operating at low temperatures (100K to 300K) in comparison to conventional SOI devices has been carried out by two-dimensional numerical simulation.

Based on a series of two-dimensional process simulation were generated structures with channel lengths ranging from 65 nm to 1 µm and by the technique of silicon nitride deposition called Contact Etch-Stop Layer (CESL) different mechanical stresses were induced (500 MPa to 2200 MPa). With the structures generated by the process through two-dimensional numerical simulation, we generated curves of drain current by the voltage applied to gate for the triode region and curves of drain current by the voltage applied to drain in the regions of triode and saturation. From the curves were extracted the threshold voltage, maximum transconductance, sub-threshold slope and finally a study of self-heating effects. The results showed a significant improvement in maximum transconductance and consequentially carrier mobility for channel lengths below 250 nm, exceeding 100% at 100K. The maximum transconductance also increased with more stress was applied, but this gain was not proportional. In the threshold voltage, a significant reduction provided by application of mechanical stress in the channel, in counterpart an increase proportionate by reduction in temperature, making a overlapping effects. Finally, in sub-threshold slope, no change from the mechanical stress, but by reduction of the temperature, where their value was reduced from 62 mV/déc to 23 mV/dec in 100 K. In the study of self-heating, the drain current loss 4% in the triode region, and in the saturation region the loss of drain current was 15%. Reducing the temperature at 150 K, the effect of self heating has become more evident, reaching a reduction of drain current of more than 25% for the channel lengths studied.

Keywords: SOI, mechanical stress, CESL.

# LISTA DE FIGURAS

Figura 2.1 - Perfil do transistor SOI nMOSFET.	25
Figura 2.2 – Diagrama de faixas de energia para o SOI parcialmente depletado	27
Figura 2.3 – Diagrama de faixas de energia para o SOI totalmente depletado	28
Figura 2.4 - Variação da tensão de limiar em função da tensão de substrato [1]	31
Figura 2.5 – Curva Log ( $I_{DS}$ ) x $V_{GF}$ um dispositivo SOI totalmente depletado	32
Figura 2.6 - Curva esquemática da tensão de limiar e inclinação de sublimiar em função de s	do
comprimento de canal.	35
Figura 2.7 - Distribuição das cargas de depleção para o SOI MOSFET totalmente depletado 3	35
Figura 2.8 - Concentração intrínseca de portadores (a) e largura de faixa proibida (b) para	0
silício em função da temperatura [29].	38
Figura 2.9 - Porcentagem de impurezas ionizadas em função da temperatura [29]	39
Figura 2.10 - Curva do potencial de Fermi em função da temperatura para Si dopado	do
$com N_A = 3x10^{16} cm^{-3}$ .	39
Figura 2.11 - Curvas Log ( $I_{DS}$ ) x $V_{GF}$ obtidas por simulação para um dispositivo SG	OI
totalmente depletado em função da temperatura	40
Figura 2.12 - Transistor SOI com tensão mecânica uniaxial [7]	46
Figura 2.13 - Definição das componentes da tensão mecânica.	47
Figura 2.14 – Curva esquemática stress x strain, mostrando os regimes elástico	e
plástico [36]	48
Figura 2.15 - Cristal cúbico de silício para tensão mecânica uniaxial compressiva [48]	50
Figura 2.16 - Faixas de energia para o silício (a) e silício com tensão mecânica (b) [49]	51
Figura 2.17 – Faixas de condução para o MOS com tensão mecânica uniaxial [51]	51
Figura 3.1 - Estrutura de Simulação de um SOI.	57
Figura 3.2 – Estrutura resultante do processo de fabricação para o transistor SOI com tensa	ão
mecânica uniaxial.	58
Figura 3.3 - Distribuição da tensão mecânica na estrutura do transistor SOI nMOSFET	59
Figura 4.1 - Curva da concentração de dopantes ao longo do transistor	60
Figura 4.2 - Distribuição da tensão mecânica para o transistor com L = 65 nm	61
Figura 4.3 - Distribuição da tensão mecânica para o L = 250 nm	62
Figura 4.4 - Curva stress <sub>efetivo</sub> x stress para diversos comprimentos de canal	62
Figura 4.5 – Curva de <i>stress</i> <sub>efetivo</sub> em função do comprimento de canal	63

Figura 4.6 - Curva da corrente de dreno em função da tensão de porta para o transistor
com L = 65 nm
Figura 4.7 - Curva da corrente de dreno em função da tensão de porta para o transistor
com L = 250  nm. 65
Figura 4.8 - Curva da corrente de dreno em função da tensão de porta para o transistor
com L = 500  nm. 66
Figura 4.9 - Curva da transcondutância em função da tensão de porta para o transistor
com L = 65  nm.
Figura 4.10 - Curva da transcondutância em função da tensão de porta para o transistor com L = 250 nm67
Figura 4.11 - Curva da transcondutância em função da tensão de porta para o transistor com L = 500 nm
Figura 4.12 - Curva de g <sub>m,max</sub> em função do s <i>tress</i> para diversos L
Figura 4.13 - Ganho percentual relativo de g <sub>m,máx</sub> em função da tensão mecânica aplicada para
diversos comprimentos de canal
Figura 4.14 - Curva de g <sub>m</sub> x L para diversas tensões mecânicas70
Figura 4.15 - Curva do ganho relativo da transcondutância máxima em função do
comprimento de canal para diversas tensões mecânicas
Figura 4.16 - Curva característica do logaritmo da corrente de dreno em função da tensão
aplicada a porta para o transistor com L de 65 nm71
Figura 4.17 - Curva de S x <i>stress</i> para vários comprimentos de canal72
Figura 4.18 - Curva de S x L para várias tensões mecânicas
Figura 4.19 - Curva da tensão de limiar em função do s <i>tres</i> s para vários comprimentos de canal
Figura 4.20 - Curva da tensão de limiar em função do comprimento de canal para várias
tensões mecânicas74
Figura 4.21 - Curva da corrente de dreno em função da tensão de porta para o transistor com L
= 65 nm nas temperaturas de 100 K e 300 K
Figura 4.22 - Transcondutância em função da tensão de porta para o transistor com
L = 65 nm nas temperaturas de 100 K e 300 K
Figura 4.23 - Máxima transcondutância em função do comprimento de canal para varias
temperaturas, com tensão mecânica fixa em 1200 MPa76
Figura 4.24 - Ganho percentual da máxima transcondutância proporcionado pela tensão
mecânica para vários comprimentos de canal em função da temperatura 76

Figura 4.25 - Ganho percentual de g <sub>m,max</sub> em função do stress aplicado para o L de 250nm, considerando diversas temperaturas
Figura 4.26 - Cuvas de S em função de L para um stress de 1200 MPa nas diversas temperaturas
Figura 4.27 - Inclinação de sublimiar em função da temperatura para diversos L e um stress de 1200 MPa
Figura 4.28 - Curva de V <sub>th</sub> em função do L para o <i>stress</i> de 1200 MPa em diversas temperaturas
Figura 4.29 - Curva da tensão de limiar em função da temperatura para diversos comprimentos de canal
Figura $4.30$ - Curva da tensão de limiar em função da tensão mecânica aplicada para o transistor com $L=120$ nm80
Figura 5.1 - Curva da corrente de dreno pela tensão de dreno $(I_{DS} \ x \ V_{DS})$ para L de 65nm com $V_{GT}$ de 100 mV
Figura $5.2$ – Curva da corrente de dreno no ponto $V_{DS}$ = $2~V~$ pela tensão mecânica aplicada para L de $65$ nm com $V_{GT}$ de $100~$ mV83
Figura 5.3- Curva da corrente de dreno pela tensão de dreno $(I_{DS} \times V_{DS})$ para L de 140 nm com $V_{GT}$ de 100 mV.
Figura 5.4 - Curva da corrente de dreno no ponto $V_{DS} = 2 \text{ V} $ pela tensão mecânica aplicada para L de 140 nm com $V_{GT}$ de 100 mV
Figura 5.5 - Curva da temperatura em função da tensão de dreno para o $L=65$ nm e $V_{GT}=100$ mV.
Figura $5.6$ – Curva da temperatura em função da tensão de dreno para o $L=140$ nm e $V_{GT}=100$ mV85
Figura 5.7 – Curva da temperatura em função da tensão de dreno para o $L=250$ nm e $V_{GT}=100$ mV.
Figura 5.8 - Curva da temperatura em função da tensão de dreno para o $L=400$ nm e $V_{GT}=100$ mV.
Figura $5.9$ – Curva da corrente de dreno pela tensão de dreno ( $I_{DS}$ x $V_{DS}$ ) para L de $65$ nm com $V_{GT}$ de $1$ V com auto-aquecimento (a) e sem auto-aquecimento (b)
Figura $5.10$ – Curva da corrente de dreno pela tensão de dreno $(I_{DS} \times V_{DS})$ para L de 140 nm com $V_{GT}$ de 1 V sem auto-aquecimento (a) e com auto-aquecimento (b)
Figura $5.11$ – Curva da corrente de dreno pela tensão de dreno $(I_{DS} \times V_{DS})$ para L de 250 nm com $V_{GT}$ de 1 V sem auto-aquecimento (a) e com auto-aquecimento (b)

Figura 5.12 - Curva da corrente de dreno pela $tensão de dreno (I_{DS} \times V_{DS})$ para L de 400 nm
com $V_{GT}$ de 1 $V$ com auto-aquecimento (a) e sem auto-aquecimento (b)
Figura $5.13$ – Curva da corrente de dreno no ponto $V_{DS}$ = 2 V pela tensão mecânica aplicada
para L de 65 nm (a) e L = 140 nm (b) com $V_{GT}$ de 1 V
Figura 5.14 - Curva da corrente de dreno no ponto $V_{DS} = 2\ V$ pela tensão mecânica aplicada
para L de 250 nm (a) e L = 400 nm (b) com $V_{GT}$ de 1 V
Figura $5.15$ – Curva da temperatura em função da tensão de dreno para o $L=65\mathrm{nm}$ (a) e $140\mathrm{mm}$
nm (b) para $V_{GT} = 1 \text{ V}$ 90
Figura $5.16$ - Curva da temperatura em função da tensão de dreno para o $L=250~\mathrm{nm}$ (a) e $400~\mathrm{cm}$
nm (b) para $V_{GT} = 1 \text{ V}$
Figura $5.17$ – Curva da corrente de dreno no ponto $V_{DS} = 2 \text{ V} $ pela tensão mecânica aplicada
para L de 65 nm e temperatura de 150 K (a) e 200 K (b) com $V_{GT}$ de 1 $V_{\rm com}$ 92
Figura 5.18 - Curva da corrente de dreno no ponto $V_{DS}=2\ V$ pela tensão mecânica aplicada
para L de 140 nm e temperatura de 150 K (a) e 200 K (b) com $V_{GT}$ de 1 V93
Figura 5.19 - Curva da corrente de dreno no ponto $V_{DS} = 2\ V$ pela tensão mecânica aplicada
para L de 250 nm e temperatura de 150 K (a) e 200 K (b) com $V_{GT}$ de 1 V94

# LISTA DE TABELAS

Tabela 2.	.1 -	Propriedades	mecânica	dos	principais	materiais	usados	em	microeletrônica
[39,4	40, 4	1, 42 ]							48

# LISTA DE SÍMBOLOS

A	Área da camada de inversão [cm <sup>2</sup> ]
C	Quarta ordem do modulo tensor de elasticidade
$C_b$	Capacitância entre o canal de inversão e o eletrodo da segunda interface por
	unidade de área [F/cm <sup>2</sup> ]
$C_{ox}$	Capacitância do óxido de porta do transistor MOS por unidade de área [F/cm²]
$C_{oxb}$	Capacitância do óxido enterrado do transistor SOI por unidade de área [F/cm²]
$C_{\text{oxf}}$	Capacitância do óxido da primeira interface do transistor SOI por unidade de
	área [F/cm <sup>2</sup> ]
$C_{itb}$	Capacitância das armadilhas de interface na segunda interface por unidade de
	área [F/cm <sup>2</sup> ]
$C_{itf}$	Capacitância das armadilhas de interface na primeira interface por unidade de
	área [F/cm <sup>2</sup> ]
$C_{Si}$	Capacitância da camada de silício por unidade de área [F/cm²]
d	Distância de parte do comprimento de canal do transistor [µm]
Dn	Constante de difusão para elétrons [cm²/s]
$E_A$	Nível de energia das impurezas aceitadoras [eV]
$E_{C}$	Nível de energia inferior da faixa de condução [eV]
$E_D$	Nível de energia das impurezas doadoras [eV]
$\mathrm{E}_{\mathrm{F}}$	Nível de Fermi do semicondutor [eV]
$\mathrm{E}_{\mathrm{Fn}}$	Nível de Fermi dos elétrons [eV]
$\mathrm{E}_{\mathrm{Fp}}$	Nível de Fermi das lacunas [eV]
$E_g$	Largura da faixa proibida [eV]
$E_i$	Nível intrínseco [eV]
$g_{\rm m}$	Transcondutância do transistor [S]

h Constante de Planck [6,63 x 10-34 J.s]

I<sub>DS</sub> Corrente entre dreno e fonte [A]

k Constante de Boltzmann [1,38066 x 10<sup>-23</sup> J/K]

L Comprimento de máscara do canal do transistor [µm]

L<sub>r</sub> Comprimento do material [m]

M Massa do elétron no vácuo

 $m_0$  Massa do elétron [9,11 x  $10^{-31}$  kg]

m<sub>de</sub> Massa efetiva de densidade de estados para elétrons

m<sub>dh</sub> Massa efetiva de densidade de estados para lacunas

N<sub>A</sub> Concentração de impurezas aceitadoras em um semicondutor [cm<sup>-3</sup>]

N<sub>A</sub> Concentração de impurezas aceitadoras ionizadas em um semicondutor [cm<sup>-3</sup>]

N<sub>D</sub> Concentração de impurezas doadoras em um semicondutor [cm<sup>-3</sup>]

N<sub>D</sub><sup>+</sup> Concentração de impurezas doadoras ionizadas em um semicondutor [cm<sup>-3</sup>]

n<sub>i</sub> Concentração intrínseca de portadores [cm<sup>-3</sup>]

N<sub>i,ref</sub> Concentração de dopantes referência [cm<sup>-3</sup>]

 $N_{i,SC}$  Concentração de dopantes considerando o espalhamento [cm $^{ extstyle 3}$ ]

N<sub>i,SC,eff</sub> Concentração de dopantes considerando o espalhamento efetivo [cm<sup>-3</sup>]

n(L) Concentrações de elétrons do lado do dreno [cm<sup>-3</sup>]

n(0) Concentrações de elétrons do lado da fonte [cm<sup>-3</sup>]

q Carga elementar do elétron [1,6 x 10<sup>-19</sup> C]

Q<sub>d1</sub> Carga de depleção efetiva da camada de silício por unidade de área nos

Transistores SOI [C/cm<sup>2</sup>]

Q<sub>depl</sub> Carga de depleção na camada de silício [C/cm<sup>2</sup>]

Q<sub>invf</sub> Densidade de cargas de inversão na primeira interface [C/cm<sup>2</sup>]

Q<sub>ox</sub> Densidade de cargas fixas no óxido de porta do transistor MOS [C/cm<sup>2</sup>]

Q<sub>SB</sub> Carga de acumulação (QSB>0) ou inversão (QSB<0) na segunda interface por

unidade de área [C/cm<sup>2</sup>]

R Resistência  $[\Omega]$ 

S Inclinação de sublimiar [mV/dec]

S<sub>a</sub> área da secção transversal [m<sup>2</sup>]

T Temperatura absoluta [K]

t<sub>oxb</sub> Espessura do óxido enterrado [nm]

t<sub>oxf</sub> Espessura do óxido de porta [nm]

t<sub>Si</sub> Espessura da camada de silício [nm]

V<sub>FB</sub> Tensão de faixa plana da estrutura MOS [V]

V<sub>GB</sub> Tensão aplicada ao substrato para que a segunda interface acumule [V]

V<sub>GB,acc</sub> Tensão aplicada ao substrato para que a segunda interface acumule [V]

V<sub>GF</sub> Tensão aplicada à primeira porta do transistor SOI [V]

V<sub>GS</sub> Tensão entre porta e fonte do transistor MOS [V]

V<sub>th</sub> Tensão de limiar da primeira interface em inversão forte [V]

V<sub>th.acc</sub> Tensão de limiar da primeira interface com a segunda interface acumulada [V]

V<sub>th,depl</sub> Tensão de limiar da primeira interface com a segunda interface depletada [V]

V<sub>th,inv</sub> Tensão de limiar da primeira interface com a segunda interface invertida [V]

W Largura do canal do transistor [µm]

x<sub>dmáx</sub> Profundidade máxima da região de depleção [μm]

α Parâmetro resultante da associação das capacitâncias do transistor MOS

ε Deformação mecânica (strain) [MPa]

 $\varepsilon_{Si}$  Permissividade do silício [1,06 x  $10^{-12}$  F/cm]

 $\Phi_{\rm F}$  Potencial de Fermi [V]

 $\Phi_{SB}$  Potencial de superfície da segunda interface do transistor SOI [V]

$\Phi_{ m SF}$	Potencial de superfície da primeira interface do transistor SOI [V]
----------------	---

 $\Phi_{MS}$  Diferença da função de trabalho entre metal e silício [V]

 $\Phi_{MSB}$  Diferença de função de trabalho entre o substrato e a camada de silício [V]

 $\Phi_{\text{MSF}}$  Diferença da função de trabalho entre metal de porta e semicondutor [V]

 $\mu_{ac}$  Mobilidade devido ao espalhamento por fônons [cm<sup>2</sup>/V.s]

 $\mu_{\rm B}$  Mobilidade do substrato [cm<sup>2</sup>/V.s]

 $\mu_{i,C}$  Mobilidade dos elétrons devido ao espalhamento de portador-portador

 $[cm^2/V.s]$ 

 $\mu_{i,L}$  Mobilidade devido ao espalhamento de rede [cm<sup>2</sup>/V.s]

 $\mu_{i,max}$  Mobilidade máxima [cm<sup>2</sup>/V.s]

 $\mu_{i,min}$  Mobilidade mínima [cm<sup>2</sup>/V.s]

 $\mu_{i,N}$  Mobilidade devido ao espalhamento de impurezas [cm<sup>2</sup>/V.s]

 $\mu_n$  Mobilidade efetiva dos elétrons na região do canal [cm<sup>2</sup>/V.s]

 $\mu_{sr}$  Mobilidade devido a rugosidade de superfície [cm<sup>2</sup>/V.s]

 $\mu_0$  Mobilidade dos portadores independente do campo elétrico [cm<sup>2</sup>/V.s]

ρ resistividade [Ω]

 $\rho_0$  resistividade inicial  $[\Omega]$ 

 $\pi$  Coeficiente piezoresistivo do silício

 $\sigma_{ij} \hspace{1cm} Tens\~{a}o \hspace{0.1cm} mec\^{a}nica \hspace{0.1cm} aplicada \hspace{0.1cm} [MPa]$ 

# LISTA ABREVIATURAS

CMOS – Complementar Metal Oxide Semiconductor

DRAM – Dynamic Ramdom Access Memory

IMEC – Interuniversity Microelectronics Center

ITRS – International Technology Roadmap for Semiconductor

MOS – Metal Oxide Semiconductor

MOSFET – Metal-Oxide-Semiconductor Field-Effect Transistor

PECVD – Plasma Enhanced Chemical Vapor Deposition

sCESL – strained Contact Etch Stop Layer

SOI - Silicon on Insulator

ULSI – Ultra Large Scale Integration

# **SUMÁRIO**

1	INTRODUÇAO	
2	FUNDAMENTOS TEÓRICOS	25
2.1	A TECNOLOGIA SILÍCIO-SOBRE-ISOLANTE	25
2.1.1	Classificação dos dispositivos SOI	26
2.2	Parâmetros elétricos do transistor SOI MOSFET	28
2.2.1	Tensão de limiar	28
2.2.2	Inclinação de Sublimiar	31
2.2.3	Transcondutância	33
2.2.4	Efeitos de canal curto	34
2.2.5	Efeito do Auto-aquecimento nos transistores SOI	36
2.3	EFEITOS DA REDUÇÃO DA TEMPERATURA NAS PROPRIEDADES ELÉTRICAS	36
2.3.1	Efeitos na tensão de limiar	36
2.3.2	Inclinação de sublimiar	40
2.3.3	Mobilidade	41
2.3.4	Efeitos na transcondutância	44
2.4	Transistor SOI nMOSFET com tensão mecânica uniaxial	44
2.4.1	Histórico da tensão mecânica	45
2.4.2	Formação da tensão mecânica uniaxial	45
2.4.3	Introdução ao silício tensionado	46
	2.4.3.1 Introdução a elasticidade	46
	2.4.3.2 Piezoresistência no silício.	49
	2.4.3.3 Faixas de energia do Silício com tensão mecânica	50
3	INTRODUÇÃO AO SIMULADOR DA SYNOPSYS E PROCESSO DE FABRICAÇÃ	O DAS
ESTR	UTURAS	53
3.1	O SIMULADOR NUMÉRICO	53
3.1.1	Simulador de dispositivos Sentaurus Device	53
3.1.2	Visualizador de estruturas	54
3.1.3	Visualizador de resultados	55
3.1.4	Modelos utilizados	55
3.1.5	Simulador de processo Sentaurus Process	56
3.1.6	Simulação bidimensional de processos	57
4	RESULTADOS DA SIMULAÇÃO NUMÉRICA	60
4.1	CARACTERÍSTICAS DOS DISPOSITIVOS	60
4.2	ESTUDO DA TENSÃO MECÂNICA NOS DISPOSITIVOS	61
4.3	MÉTODO DE EXTRAÇÃO DOS PARÂMETROS	64
4.4	RESULTADOS DA SIMULAÇÃO NUMÉRICA EM TEMPERATURA AMBIENTE	64
4.4.1	Efeito da tensão mecânica nas características elétricas	

4.5	EFEITO DA REDUÇÃO DA TEMPERATURA NOS TRANSISTORES SOI NMOSFETS COM TENSÃO MEC	ÂNICA
UNIAX	XIAL	74
5	ESTUDO DO AUTO-AQUECIMENTO NOS TRANSISTORES SOI COM TENSÃO	
MEC	ÂNICA UNIAXIAL	81
5.1	ÎNTRODUÇÃO A SIMULAÇÃO COM AUTO-AQUECIMENTO	81
5.2	EFEITO DO AUTO-AQUECIMENTO EM TEMPERATURA AMBIENTE	82
5.3	EFEITO DA REDUÇÃO DA TEMPERATURA SOBRE O AUTO-AQUECIMENTO	91
6	CONCLUSÕES E TRABALHOS FUTUROS	95
REFI	ERENCIAS BIBLIOGRÁFICAS	97
APÊ	NDICE A - ARQUIVO DE SIMULAÇÃO DO PROCESSO DE FABRICAÇÃO DO TRANS	ISTOR
SOI N	NMOSFET COM TENSÃO MECÂNICA UNIAXIAL	105
APÊ	NDICE B - ARQUIVO DE SIMULAÇÃO NUMÉRICA UTILIZADO	109

# 1 INTRODUÇÃO

Com a contínua redução nas dimensões nos transistores, a tecnologia Metal-Óxido-Semicondutor (*Metal-Oxide-Semiconductor* – MOS), amplamente utilizada na fabricação de circuitos integrados analógicos e digitais nas últimas décadas, vem enfrentando dificuldades, devido a altíssima escala de integração dos transistores (*Ultra Large Scale Integration* – ULSI) [1], em manter a evolução prevista pelo *International Technology Roadmap for Semiconductor* (ITRS) [2], em decorrência da presença de efeitos de canal curto.

Como uma alternativa para manter a evolução da tecnologia MOS, a tecnologia Silício Sobre Isolante (*Silicon on Insulator* – SOI) [3, 4] foi concebida. Esta tecnologia consiste, basicamente, em isolar a região ativa do transistor, compreendida pela camada de silício, e o substrato, através de um isolante como o óxido de silício, eliminado alguns efeitos parasitários decorrentes do substrato [1].

Entretanto, devido a redução do comprimento de canal houve a necessidade de minimizar a degradação da mobilidade causada pelo campo elétrico elevado e o aumento da concentração de dopantes [1]. Como alternativa, foi proposta a utilização da tensão mecânica sobre o canal do transistor, mantendo as características da tecnologia SOI como a diminuição das capacitâncias de fonte e dreno [5] e do campo elétrico transversal, e ainda proporcionando um aumento da corrente de dreno.

A tensão mecânica no transistor pode ser obtida depositando-se uma camada de nitreto de silício (Si<sub>3</sub>N<sub>4</sub>), denominado de sCESL ( *strained Contact Etch Stop Layer*) [6] ao fim do processo. Esta camada induz uma tensão mecânica não uniforme na direção do comprimento de canal (*uniaxial strain*), e assim, a mesma age de forma mais efetiva conforme se reduz o comprimento de canal [7].

Com a redução da temperatura, importantes melhorias são observadas nas características elétricas do transistor, quando comparado com a temperatura ambiente (300K) tais como menor inclinação de sublimiar e aumento de mobilidade [8], sem alterações na concentração de dopantes nem redução das dimensões. Vantagens estas que tem grande importância em aplicações digitais e analógicas.

Entretanto, pouca informação sobre a operação dos transistores SOI com tensão mecânica uniaxial em temperaturas criogênicas (100 K a 300 K) está disponível na literatura. Um dos poucos trabalhos em transistores SOI com tensão mecânica uniaxial em temperaturas criogênicas, foi desenvolvido na referência [9]. Este trabalho sugere, com base em resultados

experimentais que o efeito da tensão mecânica é "aumentado" com a redução da temperatura, isto é, a máxima transcondutância nos transistores SOI com tensão mecânica é relevantemente maior em 100 K do que em 300 K, se comparado com o transistor SOI sem o efeito da tensão mecânica no canal, para as mesmas temperaturas.

Assim, a partir deste trabalho da referência [9], houve a necessidade de se realizar um estudo mais aprofundado dos efeitos da tensão mecânica sobre os transistores SOI, em temperaturas criogênicas, com o intuito de se tentar comprovar e justificar as razões desse aumento.

Para a realização de tal estudo, primeiramente serão realizadas simulações bidimensional do processo de fabricação, onde serão geradas as estruturas de transistores SOI convencionais e SOI com tensão mecânica uniaxial, isto para comprimentos de canal (L) que vão de 65 nm até 1 μm, seguindo as características da referência [9]. Além disso, para cada comprimento de canal, será variada a tensão mecânica aplicada, desde 500 MPa até 2200 MPa.

Com as estruturas geradas pelo simulador de processos, será feita a simulação numérica bidimensional de dispositivos, e através dela serão extraídos os parâmetros elétricos como tensão de limiar (V<sub>th</sub>), inclinação de sublimiar (S) e transcondutância (g<sub>m</sub>), com o intuito de se verificar os efeitos da variação da tensão mecânica sobre os parâmetros elétricos citados. Posteriormente, será feita uma análise destes parâmetros, para os transistores SOI convencional e o SOI com tensão mecânica uniaxial em função da temperatura (100K até 300K), combinando as vantagens da tensão mecânica uniaxial com a redução da temperatura, para verificar os efeitos da redução da temperatura sobre a tensão mecânica, e compará-los com os transistores SOI convencionais.

Por fim, serão realizadas simulações da corrente de dreno pela tensão de dreno, considerando a redução da temperatura (150 K a 300 K) para a verificação do efeito da presença de tensão mecânica sobre o auto-aquecimento com as estruturas geradas pelo simulador bidimensional de processos.

Este trabalho está dividido em 6 capítulos como segue a seguir:

No capítulo 2 serão abordados os fundamentos teóricos necessários para o entendimento deste trabalho, apresentando uma introdução teórica sobre o transistor SOI convencional e ao transistor SOI com tensão mecânica uniaxial. Adicionalmente, serão

discutidos os parâmetros elétricos estudados, assim como os efeitos da redução da temperatura sobre eles.

No capítulo 3, será realizada uma breve descrição dos simuladores numéricos de processos e de dispositivos, a descrição dos modelos utilizados, bem como das características dos dispositivos a serem estudados. Posteriormente, será mostrada a descrição e a simulação do processo de fabricação adotado para a obtenção das estruturas utilizadas nas simulações numéricas bidimensionais.

No capítulo 4, com as estruturas oriundas da simulação do processo de fabricação descrito no capítulo anterior, serão apresentados os resultados da simulação numérica bidimensional, onde serão avaliados os efeitos da tensão mecânica sobre os parâmetros elétricos dos transistores SOI, considerando a redução da temperatura.

No cápitulo 5, são apresentados os resultados da simulação numérica bidimensional do efeito do auto-aquecimento nos transistores SOI com tensão mecânica, afim de se avaliar este efeito considerando também a redução da temperatura .

No capítulo 6, apresentam-se as conclusões deste trabalho, bem como as propostas para sua continuidade.

# 2 FUNDAMENTOS TEÓRICOS

Neste capítulo será realizada uma revisão bibliográfica sobre os transistores MOS fabricados com a tecnologia Silício sobre Isolante (SOI), bem como seus tipos. Após, será feita uma introdução sobre as propriedades elétricas estudadas. Posteriormente será feita uma descrição dos efeitos da redução da temperatura nos parâmetros elétricos estudados, e por fim será abordada uma introdução sobre tecnologia SOI com tensão mecânica uniaxial, enfatizando suas propriedades físicas.

# 2.1 A Tecnologia Silício-sobre-Isolante

A tecnologia Silício sobre Isolante apresenta diversas vantagens sobre a tecnologia MOS convencional, resultando em menores capacitâncias, menor inclinação de sublimiar para o SOI totalmente depletado, menor efeito de canal curto, entre outros [10, 11].

Tais benefícios são em decorrência do isolamento da região ativa do transistor da região do substrato, através de uma camada de óxido de silício. Devido a esta camada, há uma redução nas capacitâncias de junção entre fonte e dreno e substrato [12].

A figura 1 mostra o perfil do transistor SOI nMOSFET, indicando os respectivos eletrodos de porta ( $V_{GF}$ ), dreno ( $V_{D}$ ), fonte ( $V_{S}$ ) e substrato ( $V_{GB}$ ).

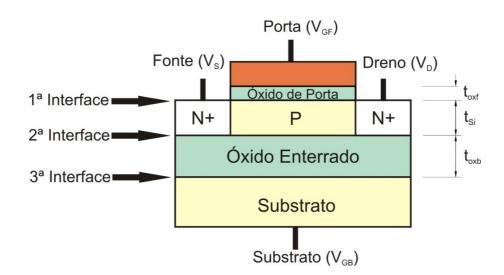


Figura 2.1 - Perfil do transistor SOI nMOSFET.

Onde  $t_{oxf}$  é a espessura do óxido de porta,  $t_{Si}$  é a espessura da camada de silício,  $t_{oxb}$  é a espessura do óxido enterrado.

# 2.1.1 Classificação dos dispositivos SOI

O modo de funcionamento dos dispositivos SOI depende fortemente da espessura da camada de silício  $(t_{Si})$ , da concentração de dopantes e da temperatura sendo que tais transistores podem ser classificados basicamente em dois tipos, parcialmente depletados e totalmente depletados.

Para um transistor MOS convencional, a região de depleção se estende a partir da interface Si-SiO<sub>2</sub> até sua espessura máxima, que é definida pela equação (2.1) [13].

$$x_{\text{dmáx}} = \sqrt{\frac{4\varepsilon_{Si}\Phi_F}{qN_A}}$$
 (2.1)

Onde  $\varepsilon_{Si}$  é a permissividade do silício, q é a carga elementar do elétron,  $N_A$  é a concentração de impurezas aceitadoras.

$$\Phi_F = \frac{kT}{q} ln \left( \frac{N_A}{n_i} \right) \tag{2.2}$$

Onde  $\Phi_F$  é o potencial de Fermi, dado pela equação (2.2), T é a temperatura absoluta,  $n_i$  é a concentração intrínseca e k é a constante de Boltzman.

No transistor SOI parcialmente depletado, a espessura da camada de silício é maior que duas vezes a largura máxima da camada de depleção ( $t_{\rm Si} > 2x_{\rm dmáx}$ ), fazendo com que exista uma região neutra entre as regiões de depleção da primeira e segunda interfaces .

Esta região neutra, se ligada a um contato elétrico, faz com que o transistor SOI nMOSFET se comporte de forma idêntica a um transistor MOS convencional. Caso esta região esteja eletricamente flutuando (*floating body*) [14], o transistor apresentará alguns efeitos indesejáveis, como a elevação abrupta de corrente (*Kink effect*) [15] e o efeito bipolar parasitário.

A figura 2.2 mostra o diagrama de faixas de energia do transistor SOI parcialmente depletado.

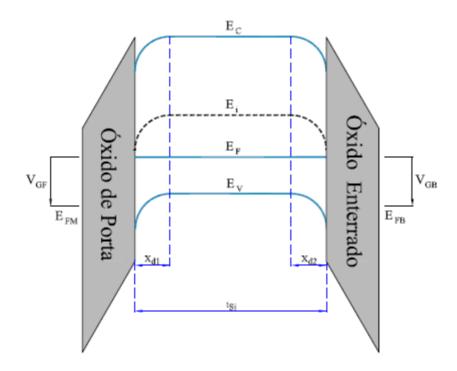


Figura 2.2 – Diagrama de faixas de energia para o SOI parcialmente depletado.

onde na figura 2.2  $E_C$  é o nível inferior de energia da faixa de condução,  $E_i$  o nível de energia intrínseco,  $E_F$  o nível de Fermi,  $E_V$  o nível de energia superior da faixa de valência,  $E_{FM}$  o nível de Fermi do eletrodo de porta,  $E_{FB}$  o nível de Fermi para o substrato,  $x_{d1}$  e  $x_{d2}$  são as larguras das camadas de depleção da primeira e segunda interfaces, respectivamente, e  $t_{Si}$  é a espessura da camada de silício.

Em dispositivos SOI totalmente depletados, a espessura da camada de silício é menor que a largura máxima da camada de depleção ( $t_{\rm Si} < x_{\rm dmáx}$ ) e, portanto, ele estará sempre totalmente depletado quando a tensão na porta for igual ou maior que a tensão de limiar, independente da tensão aplicada no substrato. Nestas condições, muitas vantagens surgem, tais como a redução do efeito de canal curto [16], melhor inclinação de sublimiar [17], menor campo elétrico horizontal e maior transcondutância [18]. A figura 2.3 mostra o diagrama de faixas de energia para o transistor SOI totalmente depletado.

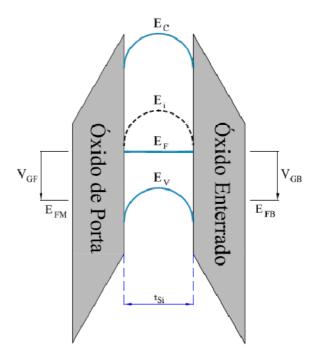


Figura 2.3 – Diagrama de faixas de energia para o SOI totalmente depletado.

Ainda existe outro tipo de operação do transistor SOI, denominado de SOI quase totalmente depletado, onde a espessura da camada de silício está entre a lagura máxima de depleção e duas vezes a largura máxima de depleção ( $x_{\rm dmáx} < t_{\rm Si} < 2x_{\rm dmáx}$ ). Dependendo da tensão aplicada ao substrato, há a interação entre a primeira e segunda interfaces, fazendo com que ele opere como um totalmente depletado, e caso esta interação não ocorra, se comportará como um parcialmente depletado.

# 2.2 Parâmetros elétricos do transistor SOI MOSFET

Nesta parte do trabalho é feita uma abordagem dos parâmetros elétricos de um transistor SOI convencional, os quais serão utilizados no decorrer deste trabalho.

# 2.2.1 Tensão de limiar

A tensão de limiar ( $V_{th}$ ) é definida como a tensão que aplicada à porta, faz com que isto atraia portadores minoritários para a interface  $S_i$ - $S_i$ O $_2$  na região de canal, elevando o potencial de superfície da camada de silício para  $2\Phi_F$  [19].

Esta tensão de limiar, em dispositivos MOS convencional é dada pela equação (2.3) [13].

$$V_{\text{th}} = V_{FB} + 2\Phi_F + \frac{q. N_A. x_{dm\acute{a}x}}{C_{OX}}$$
 (2.3)

Onde a tensão de faixa plana (V<sub>FB</sub>) é dada pela equação (2.4)

$$V_{FB} = \Phi_{MS} - \frac{Q_{OX}}{C_{OX}} \tag{2.4}$$

Onde  $C_{ox}$  é a capacitância do oxido da porta por unidade de área,  $Q_{ox}$  é a densidade de cargas fixas no óxido de porta por unidade de área para a primeira interface e  $\Phi_{MS}$  é a diferença da função trabalho entre metal e semicondutor.

Em transistores SOI parcialmente depletado, como dito anteriormente, não há interação entre as regiões de depleção das duas interfaces  $S_i$ - $S_i$ O<sub>2</sub>. Assim sendo, a equação (2.3) também é válida para este tipo de transistor.

Para os transistores SOI totalmente depletado, como há influência mútua entre a primeira e segunda interfaces, e consequentemente entre suas regiões depleção, as equações que descrevem o acoplamento entre os potenciais de superfície da primeira e segunda interfaces em função da tensão aplicada à porta  $(V_{GF})$  e ao substrato  $(V_{GB})$ , se desprezando as armadilhas de interface, podem ser descritas conforme o modelo proposto por Lim & Fossum [13].

$$V_{GF} = \Phi_{MSF} - \frac{Q_{OXf}}{C_{OXf}} + \left(1 + \frac{C_{Si}}{C_{OXf}}\right) \Phi_{SF} - \frac{C_{Si}}{C_{OXf}} \Phi_{SB} - \frac{\frac{1}{2}Q_{depl} + Q_{invf}}{C_{OXf}}$$
(2.5)

$$V_{GB} = \Phi_{MSB} - \frac{Q_{OXb}}{C_{OXb}} - \frac{C_{Si}}{C_{OXb}} \Phi_{SF} + \left(1 + \frac{C_{Si}}{C_{OXb}}\right) \Phi_{SB} - \frac{\frac{1}{2}Q_{depl} + Q_{SB}}{C_{OXb}}$$
(2.6)

Onde a carga de depleção na camada de silício por unidade de área é dada por:

$$Q_{depl} = -qN_A t_{Si} (2.7)$$

sendo  $C_{Si}$  a capacitância da camada de silício por unidade de área,  $\Phi_{MSF}$  a diferença de função trabalho entre a porta e a camada de silício,  $\Phi_{MSB}$  é a diferença de função trabalho entre o substrato e a camada de silício;  $\Phi_{SF}$  é o potencial de superfície da primeira interface,  $\Phi_{SB}$  é o potencial de superfície da segunda interface,  $Q_{invf}$  é a carga de inversão na primeira interface por unidade de área,  $Q_{SB}$  é a carga de inversão ( $Q_{SB}$  <0) ou de acumulação ( $Q_{SB}$  >0) na segunda interface por unidade de área e  $Q_{depl}$  é a densidade total de cargas na depleção na camada de silício por unidade de área.

Utilizando as equações (2.5) e (2.6) pode-se determinar as diversas tensões de limiar ( $\Phi_{SF} = 2\Phi_F$ ) para a primeira interface, dependendo da polarização de substrato, conforme descrito nos casos a, b e c a seguir:

a) Com a segunda interface em acumulação ( $V_{th,acc}$ ) ( $\Phi_{SB} = 0$ ):

$$V_{th,acc} = \Phi_{MSF} - \frac{Q_{OXf}}{C_{OXf}} + \left(1 + \frac{C_{Si}}{C_{OXf}}\right) 2\Phi_{F} - \frac{Q_{depl}}{2C_{OXf}}$$
(2.8)

b) Com a segunda interface invertida ( $V_{th,inv}$ ) ( $\Phi_{SB} = 2\Phi_F$ ):

$$V_{th,inv} = \Phi_{MSF} - \frac{Q_{OXf}}{C_{OXf}} + 2\Phi_{F} - \frac{Q_{depl}}{2C_{OXf}}$$
(2.9)

c) Com a segunda interface depletada ( $V_{th}$ ) (0 <  $\Phi_{SB}$  <  $2\Phi_{F}$ ):

$$V_{th,depl} = V_{th,acc} - \frac{C_{Si} \cdot C_{OXb}}{C_{OXf} (C_{Si} + C_{OXb})} \cdot (V_{GB} - V_{GB,acc})$$
(2.10)

Onde  $V_{GB,acc}$  é a tensão aplicada ao substrato levando a segunda interface ao regime de acumulação.

As equações (2.8), (2.9) e (2.10) são válidas somente quando a espessura da camada de inversão e acumulação for desprezível se comparada com a espessura da camada de silício.

A figura 2.4 apresenta a curva esquemática da tensão de limiar em função da tensão aplicada ao substrato para um transistor SOI totalmente depletado.

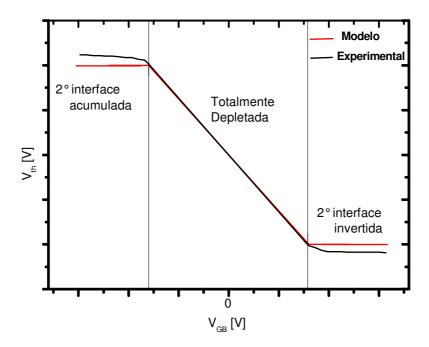


Figura 2.4 - Variação da tensão de limiar em função da tensão de substrato [1].

Na figura 2.4, fica evidente que, de acordo com a tensão aplicada ao substrato, a tensão de limiar da primeira interface pode ser incrementada, caso a segunda interface esteja em acumulação, e decrescida, caso a segunda interface esteja invertida.

# 2.2.2 Inclinação de Sublimiar

A inclinação de sublimiar (S) mede a variação da tensão de porta para que a corrente de dreno varie em uma década, como observado na figura 2.5. Sua expressão pode ser definida na equação (2.11).

$$S = \frac{dV_{GF}}{d[log(I_{DS})]} \tag{2.11}$$

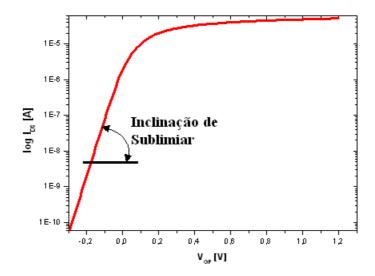


Figura 2.5 – Curva Log ( $I_{DS}$ ) x  $V_{GF}$  um dispositivo SOI totalmente depletado.

Verifica-se que a corrente de sublimiar em transistores MOS é independente da tensão de dreno, e isto é devido ao mecanismo de difusão ser dominante em comparação com o mecanismo de deriva [20, 21]. Logo, a corrente de dreno do transistor MOS na região de sublimiar pode ser expressa pela equação (2.12).

$$I_{DS} = -qAD_n \frac{dn}{dy} = qAD_n \frac{n(0) - n(L)}{L}$$
(2.12)

Onde A é a área da camada de inversão,  $D_n$  é o coeficiente de difusão dos elétrons, n(0) é a concentração de elétrons do lado da fonte e n(L) é a concentração de elétrons do lado do dreno.

A partir da equação (2.12), e após algumas simplificações considerando que as armadilhas de interface possam ser desprezadas, a equação de S pode ser simplificada conforme a equação (2.13).

$$S = \frac{kT}{q} \ln(10) (1 + \alpha)$$
 (2.13)

Onde o fator  $\alpha$ , é a relação entre  $C_b/C_{oxf}$ , ( $C_b$  é a capacitância entre o canal de inversão e o eletrodo de substrato,  $C_{oxf}$  é a capacitância de óxido de porta por unidade de área). Caso seja um transistor MOS convencional ou SOI totalmente depletado, o valor de  $\alpha$  irá variar de acordo com o tipo de polarização, conforme demonstra as equações (2.14), (2.15) e (2.16).

a) Para o transistor MOS convencional e transistor SOI parcialmente depletado.

$$\alpha = \frac{\varepsilon_{Si}}{x_{dm\acute{a}x}C_{OXf}} \tag{2.14}$$

b) Para o transistor SOI totalmente depletado com a segunda interface em acumulação

$$\alpha = \frac{C_{Si}}{C_{OXf}} \tag{2.15}$$

c) Para o transistor SOI totalmente depletado com a segunda interface depletada

$$\alpha = \frac{C_{Si} \cdot C_{OXb}}{C_{OXf} \cdot (C_{Si} + C_{OXb})}$$
(2.16)

Analisando as equações (2.14), (2.15) e (2.16), em conjunto com a equação (2.13), nota-se que a inclinação de sublimiar para o transistor SOI com a segunda interface depletada é menor que para o transistor MOS convencional e o transistor SOI com a segunda interface em acumulação. Já se comparando o transistor MOS convencional e o transistor SOI com a segunda interface em acumulação, obtém-se um menor valor para o transistor MOS, como observado na relação a seguir.

$$S_{SOI \ totalmente \ depletado} < S_{MOS} < S_{SOI \ acumulado}$$

### 2.2.3 Transcondutância

A transcondutância (g<sub>m</sub>) mede a eficiência do controle da tensão de porta sobre a corrente de dreno. Nas regiões de triodo e saturação são descritas nas equações (2.17) e (2.18), respectivamente.

$$g_m = \frac{dI_{DS}}{dV_{GF}} = \mu_n C_{OXf} \frac{W}{L} V_{DS}$$
(2.17)

$$g_m = \frac{dI_{DS}}{dV_{GF}} = \frac{W\mu_n C_{OXf}}{L(1+\alpha)} (V_{GF} - V_{Th})$$
 (2.18)

Onde  $\alpha$  é o acoplamento capacitivo, descrito no item 2.2.2.

Pode-se verificar na equação (2.18) que  $g_m$  na região de saturação é dependente de  $\alpha$ . Assim, como visto no item anterior, o transistor SOI totalmente depletado traz maiores valores de transcondutância se comparado com o transistor MOS e com o transistor SOI totalmente depletado com a segunda interface em acumulação.

### 2.2.4 Efeitos de canal curto

Em virtude da redução do comprimento de canal, acontecem diversos efeitos indesejáveis, como a redução da tensão de limiar e o aumento da inclinação de sublimar, conforme podemos verificar na figura 2.6. Esta figura apresenta a curva esquemática da tensão de limiar e da inclinação de sublimiar em função do comprimento de canal.

Como se pode observar, em transistores de canal curto, há uma redução de  $V_{th}$  e um aumento de S, como anteriormente mencionado, que são indesejados.

E isto ocorre devido a perda do controle da porta sobre as cargas de depleção do canal, que passam a ser controladas também pela fonte e dreno do transistor. Assim, não se pode mais expressar no caso do transistor MOS convencional, a carga de depleção por unidade de área de acordo com a equação (2.19).

$$Q_{denl} = -N_A x_{dm\acute{a}x} \cdot q \tag{2.19}$$

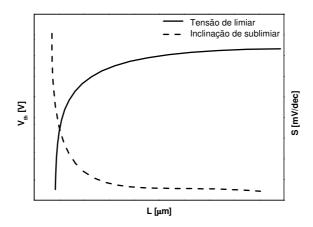


Figura 2.6 – Curva esquemática da tensão de limiar e inclinação de sublimiar em função do comprimento de canal.

Em se tratando de transistores SOI totalmente depletados, devido à fina camada de silício, apenas uma fração maior das cargas de depleção é controlada pela porta, como mostra a equação (2.20), onde  $Q_{depl}$  é a carga de depleção controlada pela porta e d a distância indicada pela figura 2.7.

$$Q_{d1} = Q_{depl} \left( 1 - \frac{d}{L} \right) \tag{2.20}$$

A figura 2.7 ilustra o efeito de canal curto, bem como sua distribuição de cargas de depleção ao longo do comprimento de canal.

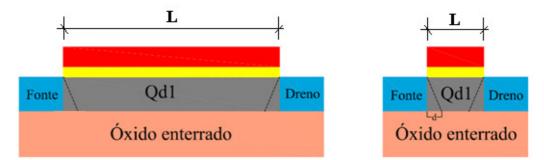


Figura 2.7 - Distribuição das cargas de depleção para o SOI MOSFET totalmente depletado

O fato do transistor SOI de camada fina, possuir menor efeito de canal curto se comparado ao transistor MOS, deve-se ao fato da carga a ser efetivamente controlada pela porta ser consideravelmente maior se comparado com dispositivos convencionais [22].

# 2.2.5 Efeito do Auto-aquecimento nos transistores SOI

Até o presente momento, viu-se que o transistor SOI possui inúmeras vantagens sobre o transistor MOS convencional. Entretanto, é preciso considerar também as propriedades térmicas, e neste contexto entra o efeito do auto-aquecimento (*self-heating*). O transistor SOI é termicamente isolado, devido à presença do óxido enterrado, onde sua condutividade térmica é cerca de 100 vezes menor que a condutividade térmica do substrato de silício [23]. Como resultado, o aquecimento gerado pela passagem de corrente elétrica não é dissipado com facilidade, fazendo com que a temperatura na região de canal aumente [24].

Como resultado do aumento da temperatura, há a redução da corrente de dreno devido à redução da mobilidade de portadores [25]. Na região de saturação, este efeito pode causar uma região de condutância negativa, devido à redução da mobilidade causada pelo aumento da temperatura [26].

O aquecimento gerado na região de canal do transistor SOI é dissipado pelos contatos de fonte e dreno, óxido de porta e eletrodo de porta. Consequentemente, considerando esta forma de dissipação, a elevação da temperatura no dispositivo é controlada por parâmetros geométricos como a espessura da camada de Si, distância entre o canal e as regiões de fonte e dreno e a espessura do óxido enterrado [27].

# 2.3 Efeitos da Redução da temperatura nas propriedades elétricas

Nesta parte do trabalho, serão discutidos alguns conceitos fundamentais sobre a influência da redução da temperatura nos parâmetros elétricos do transistor SOI. Como anteriormente mencionado, tal redução traz benefícios o aumento da mobilidade e conseqüentemente a transcondutância, redução da inclinação de sublimiar, isto sem a necessidade de escalamento de suas dimensões [28, 29].

### 2.3.1 Efeitos na tensão de limiar

Como visto na equação (2.3), a tensão de limiar é diretamente afetada pela temperatura através do potencial de Fermi ( $\Phi_F$ ). O potencial de Fermi é diretamente influenciado pela concentração intrínseca de portadores ( $n_i$ ), o qual pode ser descrito na equação (2.21) [30].

$$n_i = 2 \cdot \left[ \frac{2\pi m_0 k}{h^2} \right]^{1,5} \cdot (m_{de} \cdot m_{dh})^{\frac{3}{4}} \cdot T^{\frac{3}{2}} \cdot e^{\left( \frac{-Eg}{2kT} \right)}$$
(2.21)

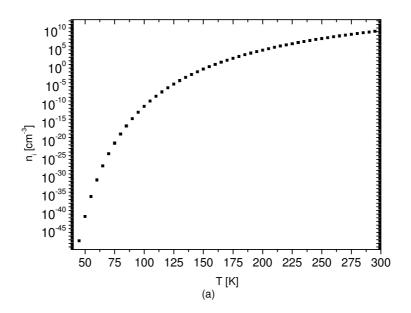
Onde  $m_o$  é a massa do elétron, h é a constante de Planck,  $m_{de}$  é a densidade de estados da massa efetiva para os elétrons,  $m_{dh}$  a densidade de estados da massa efetiva para as lacunas, Eg é a largura de faixa proibida e, finalmente, T é a temperatura absoluta.

Como podemos observar na equação (2.21), a concentração intrínseca de portadores está diretamente relacionada com a largura de faixa proibida (Eg). Essa apenas dependente do material e também da temperatura, conforme visto na equação (2.22) [30], que descreve a variação de Eg em função da temperatura para o silício.

$$Eg = E_{G0} + E_{G1}T + E_{G2}T^2 + E_{G3}T^3 + E_{G4}T^4$$
(2.22)

Onde, de acordo com a referência [31],  $E_{G0} = 1,1702$  eV,  $E_{G1} = 3,6277x10^{-6}$  eV,  $E_{G2} = 3,9703x10^{-7}$  eV,  $E_{G3} = 1,3207x10^{-9}$  eV e  $E_{G4} = 3,2798x10^{-12}$  eV, sendo estes valores válidos no intervalo entre 2 e 300K.

A figura 2.8(a) demonstra a concentração intrínseca de portadores para o silício em função da temperatura e a figura 2.8(b) a largura da faixa proibida, também em função da temperatura. Os valores apresentados foram calculados de acordo com as equações (2.21) e (2.22).



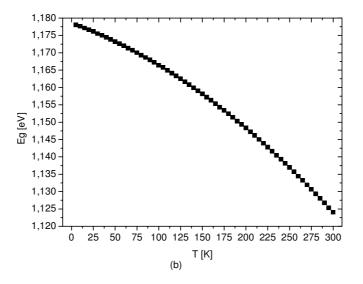


Figura 2.8 - Concentração intrínseca de portadores (a) e largura de faixa proibida (b) para o silício em função da temperatura [29].

Outro ponto a ser considerado na influência na tensão de limiar, é a quantidade de impurezas ionizadas. Em um semicondutor extrínseco não há energia térmica suficiente para a ionização completa de todas as impurezas disponíveis. As equações (2.23) e (2.24) mostram a concentração de impurezas ionizadas, tanto para impurezas aceitadoras ( $N_A^-$ ) como para as impurezas doadoras ( $N_D^+$ ), respectivamente [30].

$$N_A^- = \frac{N_A}{1 + 4. e^{\left(\frac{E_A - E_{Fp}}{kT}\right)}}$$
(2.23)

$$N_D^+ = \frac{N_D}{1 + 2 \cdot e^{\left(\frac{E_{Fn} - E_D}{kT}\right)}} \tag{2.24}$$

Onde  $N_A$  é a concentração de impurezas aceitadoras,  $N_D$  é a concentração de impurezas doadoras,  $E_{Fp}$  e  $E_{Fn}$  são os níveis de Fermi para as lacunas e elétrons, respectivamente, e  $E_A$  e  $E_D$  são os níveis de energia introduzidos pelas impurezas.

Através da equação (2.23) pode-se calcular a porcentagem de impurezas aceitadoras ionizadas, isto para uma concentração de dopantes de  $3x10^{16}$  cm<sup>-3</sup>, conforme apresentado na figura 2.9.

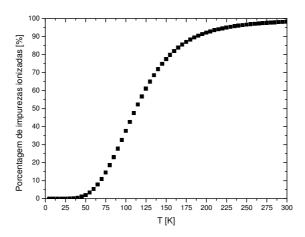


Figura 2.9 - Porcentagem de impurezas ionizadas em função da temperatura [29].

Pela figura 2.9 pode-se verificar que quanto menor a temperatura, menor será a percentagem de impurezas ionizadas. Exemplificando, para a temperatura de 100 K apenas 36% das impurezas são ionizadas.

Outro fator que influencia diretamente a tensão de limiar, conforme dito anteriormente, é o potencial de Fermi, pois este é fortemente dependente da temperatura e também da quantidade de impurezas ionizadas. O fator determinante para o aumento de  $\Phi_F$  com a redução da temperatura é a concentração intrínseca de portadores, pois este, com a redução da temperatura, diminuem diversas ordens de grandeza. Na figura 2.10 é possível observar a variação do potencial de Fermi em função da temperatura para o silício dopado com impurezas aceitadoras em  $N_A = 3x10^{16} \ cm^{-3}$ .

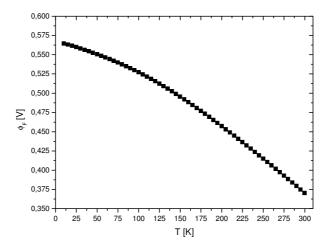


Figura 2.10 – Curva do potencial de Fermi em função da temperatura para Si dopado com  $N_A = 3x10^{16}$  cm<sup>-3</sup>.

Este aumento no potencial de Fermi com a redução da temperatura será responsável pelo aumento da tensão de limiar, que será descrito adiante neste trabalho.

# 2.3.2 Inclinação de sublimiar

Este parâmetro é fortemente dependente da temperatura, e sua redução provoca também uma queda em sua inclinação. Isto trás inúmeros benefícios para aplicações digitais, pois a transição entre os estados de corte e condução do transistor se tornam mais eficazes, conforme visto na figura 2.11, na qual é apresentada a curva da corrente de dreno em função da tensão da porta, para o transistor SOI totalmente depletado operando nas temperaturas 100K e 300K, obtidos por simulação numérica.

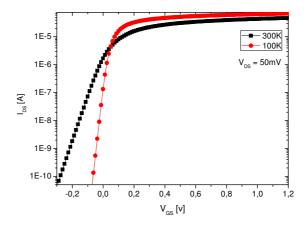


Figura 2.11 - Curvas Log ( $I_{DS}$ ) x  $V_{GF}$  obtidas por simulação para um dispositivo SOI totalmente depletado em função da temperatura.

A partir da figura 2.11, pode-se obter uma inclinação de sublimiar para 300K de 61,3 mV/déc e para 100K um valor de 20,3 mV/déc. Entretanto para temperaturas mais baixas a influência das armadilhas de interface fica pronunciada, refletindo no termo (1+α) da equação (2.13), que passa a incorporar as capacitâncias de armadilhas da primeira e segunda interfaces, conforme visto na equação (2.25) para um transistor SOI totalmente depletado.

$$\alpha = \frac{C_{itf}}{C_{oxf}} + \frac{C_{Si}}{C_{oxf}} - \frac{\frac{C_{Si}^2}{C_{oxf} \cdot C_{oxb}}}{1 + \frac{C_{itb}}{C_{oxb}} + \frac{C_{Si}}{C_{oxb}}}$$
(2.25)

Onde  $C_{itf}$  é a capacitância das armadilhas de interface da primeira interface por unidade de área e  $C_{itb}$  a capacitância das armadilhas da segunda interface por unidade de área.

#### 2.3.3 Mobilidade

Em um semicondutor, portadores não são livres para se movimentar, e sim limitados a vários mecanismos de degradação da mobilidade, que podem ser classificados como: espalhamento de rede, espalhamento portador-portador, espalhamento por impurezas neutras e espalhamento por impurezas ionizadas.

Estes mecanismos de espalhamento citados anteriormente são independentes do campo elétrico, podendo ser combinados através da regra de Mathiessen [31], fornecendo o valor da mobilidade resultante, conforme visto na equação (2.26).

$$\mu_0 = \frac{1}{\left(\frac{1}{\mu_{i,L}}\right) + \left(\frac{1}{\mu_{i,DAeh}}\right)} \tag{2.26}$$

Onde  $\mu_{i,L}$ , representa o mecanismo de espalhamento da rede e  $\mu_{i,DAeh}$ , representa os mecanismos de espalhamento por portador-portador e impurezas ionizadas.

O modelo de mobilidade unificado para baixos campos elétricos proposto por Klaassen [32, 33], considera os efeitos de espalhamento já mencionados, como a dependência com a temperatura e com a concentração de dopantes.

O mecanismo de espalhamento da rede está relacionado com as iterações entre os portadores e as vibrações da rede cristalina. Esta é altamente dependente da temperatura e, com sua redução, menor será a vibração da rede cristalina, fazendo com que aumente a mobilidade de portadores.

A equação (2.27) descreve o efeito do espalhamento da rede.

$$\mu_{i,L} = \mu_{i,max} \left(\frac{T}{300K}\right)^{-\theta i} \tag{2.27}$$

Onde  $\mu_{i,max}=1417~cm^2$  /Vs para elétrons e 470,5  $~cm^2$  /Vs para lacunas e  $\theta i=2,285$  para elétrons e 2,247 para lacunas.

Para os demais efeitos de espalhamento, Klaassen propôs uma equação unificada, conforme descrito na equação (2.28).

$$\mu_{i,DAeh} = \mu_{i,N} \left( \frac{N_{i,SC}}{N_{i,SC,eff}} \right) \left( \frac{N_{i,ref}}{N_{i,SC}} \right)^{\alpha i} + \mu_{i,C} \left( \frac{n+p}{N_{i,SC,eff}} \right)$$
(2.28)

Onde  $N_{i,ref}$  = 9,68 x  $10^{16}$  cm<sup>-3</sup> para elétrons e 2,23 x  $10^{17}$  cm<sup>-3</sup> para lacunas e  $\alpha_i$  = 0,68 para elétrons e 0.719 para lacunas.

O termo  $\mu_{i,N}$ , descreve o espalhamento de impurezas ionizadas, que considera a alta concentração de dopantes, fazendo com que se reduza a mobilidade de portadores, conforme observa-se na equação (2.29).

$$\mu_{i,N} = \frac{\mu_{i,max}^2}{\mu_{i,max} - \mu_{i,min}} \left(\frac{T}{300K}\right)^{3\alpha i - 1,5}$$
(2.29)

Onde  $\mu_{i,min}$  = 52,2 cm<sup>2</sup> /Vs para elétrons e 44,9 cm<sup>2</sup> /Vs para lacunas.

O mecanismo de espalhamento portador-portador ( $\mu_{i,C}$ ), possui uma grande influência na mobilidade de portadores, quando seu nível de injeção é elevado, superando a densidade de dopantes [34]. Este tipo de mecanismo de espalhamento pode ocorrer em dispositivos submicrométricos, onde a densidade de corrente é extremamente elevada.

Este mecanismo pode ser expresso pela equação (2.30).

$$\mu_{i,C} = \frac{\mu_{i,max}\mu_{i,min}}{\mu_{i,max} - \mu_{i,min}} \left(\frac{T}{300K}\right)^{0.5}$$
(2.30)

O termo i presente nas equações (2.26), (2.27), (2.28), (2.29), (2.30), pode assumir duas variáveis, 'e' para elétrons e 'h' para lacunas.

Até o presente momento, foi considerada a mobilidade independente da tensão aplicada na porta do transistor. Mas quando da aplicação de tensão, outros efeitos de espalhamento ocorrem devido ao campo elétrico transversal. Estes campos controlados pela tensão de porta, fazem com que exista uma maior quantidade de portadores para a interface entre o semicondutor e óxido de silício de porta, fazendo com que a mobilidade de portadores seja reduzida devido ao espalhamento por rugosidade de superfície ( $\mu_{sr}$ ).

Utilizando-se da regra de Mathiessen (equação 2.31), o modelo de mobilidade proposto por Lombardi [35], considera não apenas o espalhamento pela rugosidade de superfície, mas também para o efeito de espalhamento por fônons ( $\mu_{ac}$ ) e pela mobilidade do substrato ( $\mu_{B}$ ).

$$\frac{1}{\mu_{eff}} = \frac{1}{\mu_B} + \frac{1}{\mu_{ac}} + \frac{1}{\mu_{sr}} \tag{2.31}$$

A equação (2.32) descreve o efeito de espalhamento por rugosidade de superfície.

$$\mu_{sr} = \frac{\delta}{E_{\perp}^2} \tag{2.32}$$

Onde o  $\delta = 2x10^{15}$  V/s.

O espalhamento por fônons, dado pela expressão (2.33), considera a temperatura (T), o campo elétrico transversal ( $E_{\perp}$ ), a concentração total de dopantes (N<sub>A</sub>), B e C constituem de parâmetros de ajuste da espessura da camada de inversão.

$$\mu_{ac} = \left( B \frac{T}{E_{\perp}} + C \frac{1}{E_{\perp}^{1/3}} \right) \frac{1}{T} \tag{2.33}$$

A mobilidade do substrato ( $\mu_B$ ), é dado pela equação (2.34), é dependente da temperatura (T), da concentração de dopantes ( $N_A$ ), da mobilidade independente do campo elétrico ( $\mu_0$ ).

$$\mu_B = \mu_0 + \frac{\mu_{max}(T) - \mu_0}{1 + \left(\frac{N_A}{C_r}\right)^{\alpha}} - \frac{\mu_1}{1 + \left(\frac{C_s}{N_A}\right)^{\beta}}$$
(2.34)

Onde, C<sub>r</sub>, C<sub>s</sub> são parâmetros de ajuste.

#### 2.3.4 Efeitos na transcondutância

Este parâmetro está diretamente relacionado com a mobilidade, e esta influência causa efeitos na transcondutância. Assim como na mobilidade, com a redução da temperatura há também um aumento de  $g_m$ .

Pela equação (2.17), a transcondutância na região de triodo não há influência das armadilhas de interface, fazendo com que g<sub>m</sub> sempre aumentará de valor com a redução de temperatura. Na equação (2.18), as armadilhas de interface não são mais desprezadas, fazendo com que o aumento da transcondutância seja menor, mas ainda assim, g<sub>m</sub> sempre aumentará de valor com a redução de temperatura, mas em valores menores se comparado com o transistor operando na região de triodo.

Entretanto, com a redução da temperatura abaixo de 150 K e para concentrações de dopantes acima de 10<sup>17</sup> cm<sup>-3</sup>, a transcondutância sofre uma redução devido aos efeitos de degradação de mobilidade com o aumento do campo elétrico, através do espalhamento de superfície [30].

#### 2.4 Transistor SOI nMOSFET com tensão mecânica uniaxial

Um impressionante progresso aconteceu na indústria de semicondutores nas últimas décadas devido ao escalamento dos dispositivos. Entretanto, a velocidade de escalamento nas dimensões da tecnologia CMOS planar está reduzindo por diversos problemas que vão desde o custo de fabricação, limite de desempenho, entre outros. Para tanto, ainda não há uma alternativa tecnológica comercialmente viável que substitua a tecnologia CMOS planar e assim, novas alternativas de incrementar o desempenho dos dispositivos estão em desenvolvimento atualmente. Neste contexto, aparece a tecnologia do silício tensionado na

direção longitudinal (*uniaxial strain*), que é facilmente incorporada às atuais tecnologias como a MOS convencional e a SOI, permitindo que se estenda a atual tecnologia MOS por mais alguns anos.

Para um melhor entendimento do transistor SOI com tensão mecânica, é necessário que primeiro se discuta alguns conceitos, como o histórico da tensão mecânica e seus tipos, a formação da tensão mecânica uniaxial e para um entendimento do silício tensionado uma introdução à elasticidade, piezoresistências e faixas de energia do silício sob a ação de tensão mecânica.

#### 2.4.1 Histórico da tensão mecânica

A tensão mecânica foi inicialmente observada na década de 50 [36], mas seus estudos se mantiveram inativos até meados da década de 80, onde retornou ao centro das atenções por duas vertentes, que foram as ligas Silício Germânio (SiGe), comumente chamado de tensão mecânica biaxial. Esta forma, induz tensão em duas direções (x e y) para o aumento da mobilidade de portadores [37].

Mas ao longo dos anos 90, viu-se que a utilização das ligas Silício Germânio era dispendiosa, em se tratando de custo de fabricação, e também mais complexa, pois sua integração com as tecnologias SOI e MOS convencional é dificultada com a mudança do processo de fabricação.

Assim, devido aos problemas já citados, optou-se pela utilização de tensão mecânica uniaxial ou longitudinal, que traz inúmeras vantagens em relação à tensão mecânica biaxial, sendo que a principal delas é a fácil integração com as atuais tecnologias MOS convencional e SOI, e conseqüentemente não aumentando significativamente o custo de fabricação. Esta alternativa passou a ser adotada pelas principais indústrias de semicondutores.

# 2.4.2 Formação da tensão mecânica uniaxial

A indução intencional da tensão mecânica uniaxial é, principalmente, resultante da deposição de uma camada de nitreto de silício (Si<sub>3</sub>N<sub>4</sub>) sobre a estrutura, após praticamente todas as etapas de fabricação de um transistor SOI convencional (*strained Contact Etch Stop Layer* – sCESL). Esta técnica de deposição consiste em utilizar um vapor químico de plasma (*plasma enhanced chemical vapor deposition* – PECVD) a uma temperatura de aproximadamente de 650°C, que pode ser tensivo para os transistores nMOS ou compressivo

para os pMOS. Com esta técnica, a tensão efetiva na região do canal é diretamente relacionada com sua geometria, como o comprimento de canal, espessura do silício policristalino de porta e espessura da camada de nitreto de silício depositada [38]. A tensão mecânica é transmitida ao canal pelas regiões de fonte e dreno.

A figura 2.12 mostra o perfil de um transistor com tensão mecânica uniaxial.

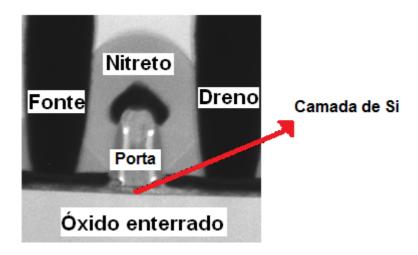


Figura 2.12 - Transistor SOI com tensão mecânica uniaxial [7].

Outra maneira de se formar a tensão mecânica uniaxial, é pela deposição da liga Silício Germânio (SiGe) na região de fonte e dreno do transistor, o que causará uma compressão na região de canal, fazendo com que a mobilidade nos transistores pMOS melhore. Entretanto devido a defeitos no processo de deposição da liga SiGe e sua proximidade com o canal, pode causar uma redução na corrente de dreno, além de ter custo maior em processos CMOS, se comparado com a técnica de deposição do nitreto de silício.

#### 2.4.3 Introdução ao silício tensionado

Nesta seção será feita uma breve introdução sobre a teoria da elasticidade, aos efeitos físicos da tensão mecânica na estrutura do silício, através das piezoresistências.

#### 2.4.3.1 Introdução a elasticidade

A tensão mecânica aplicada pode ser definida por uma força aplicada por unidade de área, que no sistema internacional é definida em Pascal e que, por definição, tem sinal positivo indicando que a força é tensora e sinal negativo indicando uma força de compressão. Sua representação é definida pelo símbolo  $\sigma_{ij}$ , sendo que o i e j representam as direções da força aplicada, conforme a figura 2.13 e como se pode se observar na matriz de coeficientes referente a sua distribuição cristalográfica.

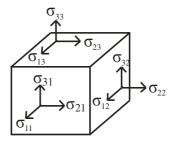


Figura 2.13 - Definição das componentes da tensão mecânica.

$$\begin{bmatrix} \sigma_{11} & \sigma_{12} & \sigma_{13} \\ \sigma_{21} & \sigma_{22} & \sigma_{23} \\ \sigma_{31} & \sigma_{32} & \sigma_{33} \end{bmatrix}$$

Em se tratando de um caso particular, que seria a aplicação de tensão mecânica uniaxial somente na direção 11 ou xx, onde esta apenas não seria nula, temos então a nova configuração da matriz de coeficientes:

$$\begin{bmatrix} \sigma_{11} & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$$

Toda tensão aplicada (*stress*) gera uma deformação chamada de *strain* (ε), e de modo análogo ao *stress* pode ser descrita de modo matricial:

$$\begin{bmatrix} \varepsilon_{11} & \varepsilon_{12} & \varepsilon_{13} \\ \varepsilon_{21} & \varepsilon_{22} & \varepsilon_{23} \\ \varepsilon_{31} & \varepsilon_{32} & \varepsilon_{33} \end{bmatrix}$$

Nos materiais comumente usados em microeletrônica, tais como o silício, óxido de silício, nitreto de silício, alumínio e silício policristalino, são considerados elásticos até um determinado nível de pressão, conforme mostra a tabela 2.1, onde o módulo de elasticidade, ou módulo de Young, representa a máxima pressão para a qual o material ainda é considerado elástico, sendo que a partir destes valores passam-se a ser considerados plásticos. Na figura

2.14 pode-se observar esquematicamente esta relação entre *stress* e *strain*, bem como seus regimes, para a temperatura ambiente.

Tabela 2.1 - Propriedades mecânica dos principais materiais usados em microeletrônica [39,40,41,42]

Material	Módulo de Elasticidade [ GPa]
Silício	130
Óxido de silício	70
Nitreto de silício	270
Alumínio	70
Silício Policristalino	160

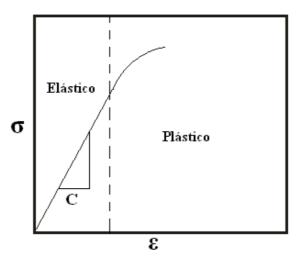


Figura 2.14 – Curva esquemática stress x strain, mostrando os regimes elástico e plástico [36].

Na figura 2.14, fica evidente que a relação entre *stress* e *strain* é linear em regime elástico. Esta é chamada de lei de Hooke, definida na equação (2.35), onde C é a quarta ordem do módulo tensor de elasticidade [36].

$$\sigma_{ij} = C_{ijkl} \, \varepsilon_{kl} \tag{2.35}$$

Estes tensores de quarta ordem podem ser representados por 36 coeficientes tensores, conforme a equação (2.36).

$$\begin{bmatrix}
\sigma_{1} \\
\sigma_{2} \\
\sigma_{3} \\
\sigma_{4} \\
\sigma_{5} \\
\sigma_{6}
\end{bmatrix} = \begin{bmatrix}
C_{11} & C_{12} & C_{13} & C_{14} & C_{15} & C_{16} \\
C_{21} & C_{22} & C_{23} & C_{24} & C_{25} & C_{26} \\
C_{31} & C_{32} & C_{33} & C_{34} & C_{35} & C_{36} \\
C_{41} & C_{42} & C_{43} & C_{44} & C_{45} & C_{46} \\
C_{51} & C_{52} & C_{53} & C_{54} & C_{55} & C_{56} \\
C_{61} & C_{62} & C_{63} & C_{64} & C_{65} & C_{66}
\end{bmatrix} \begin{bmatrix}
\varepsilon_{1} \\
\varepsilon_{2} \\
\varepsilon_{3} \\
\varepsilon_{4} \\
\varepsilon_{5} \\
\varepsilon_{6}
\end{bmatrix}$$
(2.36)

Para a tensão mecânica uniaxial, os coeficientes tensores, podem ser reduzidos a apenas três, o C<sub>11</sub>, C<sub>12</sub> e C<sub>44</sub> e seus valores são 167 GPa, 65 GPa e 80 GPa, respectivamente [43]. Entretanto, a tensão mecânica em uma das direções, produz duas componentes com tensão compressiva, o que é chamado de efeito de Poisson, e pode ser estimado pelo coeficiente de Poisson (γ), sendo que para o silício este valor é da ordem de 0,28 [44].

#### 2.4.3.2 Piezoresistência no silício.

Piezoresistência é a variação da resistividade de um material quando submetido a uma tensão mecânica. Esta variação nos permite verificar os efeitos desta tensão mecânica sobre as propriedades de mobilidade dos elétrons e lacunas.

De modo geral, a piezoresistência mede a variação na resistência R, que depois é descrita sobre a forma de resistividade, em função da relação descrita na equação (2.37) [45].

$$R = \frac{\rho L_r}{S_a} \tag{2.37}$$

Onde  $\rho$  é a resistividade,  $L_r$  é o comprimento do material e  $S_a$  a área da secção transversal.

As piezoresistências são representadas na forma de coeficientes e segue forma análoga a equação (2.36), sendo apresentados em 36 coeficientes e cada um deles descritos na relação da variação resistividade [45] da equação (2.38).

$$\frac{\Delta \rho_{ij}}{\rho_0} = \pi_{ij} \sigma_{nj} \tag{2.38}$$

Onde  $\Delta \rho_{ij}$  é a variação da resistividade no eixo ortogonal ij e  $\rho_0$  a resistividade inicial.

De acordo com a simetria da rede cristalina do silício [46], podem-se reduzir os coeficientes piezoresistivos a apenas três, conforme indicados na matriz  $\pi_{ij}$  a seguir:

$$\boldsymbol{\pi}_{ij} = \begin{bmatrix} \boldsymbol{\pi}_{11} & \boldsymbol{\pi}_{12} & \boldsymbol{\pi}_{12} & 0 & 0 & 0 \\ \boldsymbol{\pi}_{12} & \boldsymbol{\pi}_{11} & \boldsymbol{\pi}_{12} & 0 & 0 & 0 \\ \boldsymbol{\pi}_{12} & \boldsymbol{\pi}_{12} & \boldsymbol{\pi}_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & \boldsymbol{\pi}_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & \boldsymbol{\pi}_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & \boldsymbol{\pi}_{44} \end{bmatrix}$$

Pode-se ainda dizer que, de acordo com que se aumenta a concentração de dopantes, os coeficientes piezoresistivos diminuem. Em contrapartida, à medida que a temperatura é reduzida, seus coeficientes aumentam [47].

## 2.4.3.3 Faixas de energia do Silício com tensão mecânica

O diagrama de faixas de energia em um semicondutor com tensão mecânica é diferente se comparado ao silício sem este adicional. Isto ocorre, pois a simetria da estrutura cristalina do silício é alterada, conforme mostra a figura 2.15 [48]. Estas alterações provocam modificações nas faixas de valência e condução [49], o que causa uma redução nas massas efetivas, principalmente para a faixa de valência. A figura 2.16 ilustra o resultado da tensão mecânica na estrutura de faixas de energia do silício, utilizando para este cálculo o método k.p [50], observando que o vale  $\Delta_2$  é rebaixado se comparado ao vale  $\Delta_4$ .

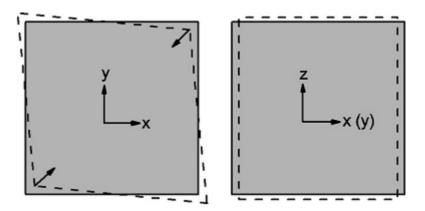


Figura 2.15 - Cristal cúbico de silício para tensão mecânica uniaxial compressiva [48].

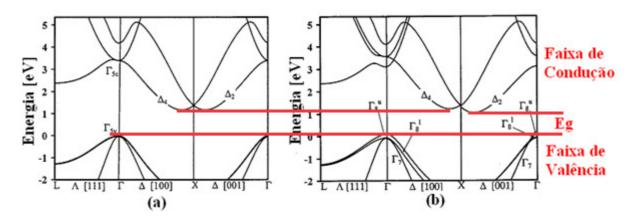


Figura 2.16 - Faixas de energia para o silício (a) e silício com tensão mecânica (b) [49].

Pela figura 2.16 (a), nota-se que devido à simetria do silício, as direções [100] e [001] são equivalentes, onde ainda pode-se verificar que a faixa proibida do silício se compreende entre as faixas  $\Gamma_{5v}$  e  $\Gamma_{5c}$ . Já para a figura 2.16 (b) para o silício tensionado, vimos que a faixa  $\Gamma_{5v}$  se dividiu em três ( $\Gamma_8^u$ ,  $\Gamma_8^1$ ,  $\Gamma_7$ ), e isto ocorreu através da tripla degeneração [49].

Por meio da matriz Hamiltonian [49], a faixa de condução foi dividida em quatro equivalentes no plano do vale  $\Delta_4$  e em duas ao longo do crescimento do vale  $\Delta_2$ . Sendo que esta divisão de faixas se dá por meio da deformação de potencial. Já para a faixa de valência, conforme visto anteriormente, há a divisão em três sub-faixas e está diretamente relacionada com a curvatura da faixa.

O aparecimento das sub-faixas também ocorre pelo fato de haver a quebra da simetria do silício. Para melhor exemplificar, a figura 2.17 mostra a divisão de níveis de energia no interior da faixa de condução para o silício com tensão mecânica uniaxial [50].

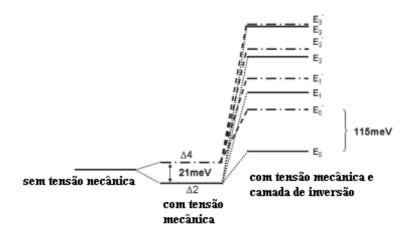


Figura 2.17 – Faixas de condução para o MOS com tensão mecânica uniaxial [51].

Em se tratando da mudança da massa efetiva, estudos reportaram [52] uma variação praticamente nula na massa efetiva para a orientação [100], sendo que para a orientação [110], há uma variação considerável na massa efetiva.

# 3 INTRODUÇÃO AO SIMULADOR DA SYNOPSYS E PROCESSO DE FABRICAÇÃO DAS ESTRUTURAS

Neste trabalho, foi utilizado o pacote de simulação da Synopsys, mais precisamente foram utilizados o *Sentaurus Process* [53], para a simulação do processo de fabricação, e do *Sentaurus Device* [54], para a simulação numérica bidimensional de dispositivos. Também foi utilizado o simulador Atlas da Silvaco [55], mas na parte inicial do trabalho, onde o utilizamos para a determinação da estrutura inicial e parte do processo de fabricação, que serão discutidos ao longo deste capítulo.

O fato de não utilizar o Athena [56] e o Atlas da Silvaco na totalidade das simulações, consiste que o mesmo tem problemas para a devida exportação da estrutura resultante do processo para o simulador de dispositivos, para a simulação transistores SOI com tensão mecânica uniaxial, o que também será discutido mais adequadamente ao longo deste capítulo.

#### 3.1 O simulador numérico

# 3.1.1 Simulador de dispositivos Sentaurus Device

O simulador de dispositivos da Synopsys [54] utiliza as leis fundamentais da física de semicondutores para a realização de suas simulações, pois calcula as características elétricas associadas a estrutura e suas condições de polarização. Isto é conseguido através da aproximação pelo método dos elementos finitos do dispositivo em duas ou três dimensões, com suas respectivas grades de pontos, sendo que tal aproximação será feita em cada um dos pontos de grade da estrutura.

Sua forma de disposição de comandos baseia-se de forma sequencial, obedecendo a uma ordem de declarações em partes, conforme definidas a seguir:

```
File{
}
Electrode {

Physics {

Plot {
```

O parâmetro *File*, define quais estruturas serão utilizadas nas simulações, já que o simulador de dispositivos não faz a geração de estruturas, ficando esta a cargo de outra ferramenta. Vale ressaltar que nesta seção, também são declarados os arquivos de saída, como os arquivos que contêm os dados simulados.

O parâmetro *Electrode*, define os eletrodos que foram definidos na estrutura, sendo que ainda nesta parte se adiciona outros parâmetros como a função trabalho, tensão inicial do eletrodo e barreira de potencial, ficando a cargo do usuário qual parâmetro colocar, com exceção da polarização.

No parâmetro *Physics*, se declara os modelos físicos a serem empregados na simulação. Particularmente, os modelos utilizados ao longo deste trabalho, serão discutidos brevemente no item 3.1.4.

Na seção *Plot*, se define as variáveis a serem extraídas da estrutura após a simulação numérica, tais como o campo elétrico total, a mobilidade de elétrons e de lacunas, potencial, densidade de elétrons e lacunas e assim para uma grande variedade de parâmetros.

O *math*, com se pode até perceber pelo nome, é a seção onde se declara quais métodos a serem empregados na resolução da simulação, e também se pode definir quantas iterações serão feitas. Por último a seção solve, onde se declara qual tipo de curva será simulado e também a quantidade de passos a serem usadas na simulação.

Finalmente, vale ressaltar que cada comando a ser empregado na simulação, deve estar disposto entre os colchetes para a referida seção.

#### 3.1.2 Visualizador de estruturas

O programa responsável pela tarefa de visualizar as estruturas geradas se chama Tecplot [57], e pode ser iniciado digitando tecplot\_sv na linha de comandos. Adicionalmente, podemos citar que diferentemente do seu correspondente no Atlas, este não serve também para a função de visualizar e extrair as curvas geradas nas simulações, sendo que esta parte é feita por outra aplicação a ser descrita no item 3.1.3.

#### 3.1.3 Visualizador de resultados

Para visualizar as curvas geradas na simulação, foi utilizado ao longo deste trabalho o programa denominado Inspect [58], que além de visualizar as curvas geradas pelo simulador de dispositivos (*Sentaurus Device*), também permite extrair parâmetros comumente usados, como tensão de limiar, inclinação de sublimiar, máxima transcondutância, dentre outros. Esta funcionalidade se deve ao fato deste programa possuir diversas funções matemáticas internamente. Nesta aplicação, também é possível exportar qualquer dado existente nele, a fim de serem utilizados com outras aplicações.

#### 3.1.4 Modelos utilizados

Nesta parte do trabalho será feita uma breve descrição dos modelos físicos utilizados no programa *Sentaurus Device*, descrito no item 3.1.1, pois nele há uma grande variedade de modelos disponíveis, sendo que após uma exaustiva pesquisa de quais melhor se adaptariam as simulações propostas, assim como suas variantes, foram selecionados os seguintes [54].

- IncompleteIonization: Como já mencionado no capítulo anterior, quando um semicondutor é exposto a uma redução da temperatura, nem todas as impurezas podem ser desprezadas e assim este modelo se torna necessário para que a simulação em baixa temperatura esteja correta. Este modelo usa em suas equações a distribuição de Fermi-Dirac, de forma semelhante ao item 2.3.1.
- Recombination: Esta parte tem fundamental importância nas simulações numéricas, pois ele é responsável pela troca de portadores entre a faixa de condução e faixa de valência do dispositivo.
  - DopingDep: Este sub modelo também considera a concentração de dopantes na recombinação de portadores, sendo de essencial necessidade já que todos os dispositivos simulados eram dopados.
  - TempDependence: Este modelo de recombinação considera a temperatura na recombinação e tempo de vida dos portadores quando submetido a temperaturas diferentes de 300K.

- Phumob: É o modelo de mobilidade unificado Philips, foi proposto por Klaasssen e descreve de forma unificada a mobilidade de portadores minoritários e majoritários, em adicional também considera dependência com a temperatura na mobilidade e o espalhamento de elétrons e lacunas [32].
- HighFieldsat: Modelo de mobilidade que considera o alto campo elétrico, pois nestas condições a mobilidade não é mais proporcional ao campo elétrico e tende a saturar a um valor finito [59].
- Enormal: Considera a degradação na mobilidade na interface semicondutor isolante do dispositivo, pois considera o campo elétrico transversal [35].
- EffectiveIntrinsicDensity (OldSlotboom): Modelo utilizado no estreitamento da banda proibida devido ao alto campo elétrico [60, 61].
- Piezo: É o modelo mais importante para a simulação da tensão mecânica, pois considera os efeitos das piezoresistências numa estrutura. Adicionalmente foi incluído neste modelo de deformação de potencial (DeformationPotential) e um modelo de mobilidade que considera as sub-faixas [62, 63, 64].
- Themodynamic: Modelo estendido de difusão-deriva com o intuito de adicionar os efeitos térmicos na simulação numérica [65].

# 3.1.5 Simulador de processo Sentaurus Process

O simulador de processos da Synopsys [53], é um simulador bi e tridimensional, em que baseia-se nas equações físicas e químicas, com o objetivo de reproduzir as etapas envolvidas na fabricação de um transistor. As etapas do processo de fabricação são descritas em comandos seqüenciais, como a corrosão, implantação iônica, difusão, entre outras. Para melhor exemplificar, consta no apêndice A um exemplo de processo de fabricação utilizado ao longo deste trabalho.

# 3.1.6 Simulação bidimensional de processos

O processo de fabricação do transistor SOI com tensão mecânica uniaxial, inicia-se a partir do processo proposto por Hans Van Meer [66] para um transistor SOI totalmente depletado da tecnologia de comprimento mínimo de canal de 100 nm, e assim obtendo um processo inicial para o transistor proposto.

Feito esta etapa, foi necessário acrescentar diversas etapas ao processo inicial, pois o mesmo não se adequava a tecnologia de 65 nm dos dispositivos estudados tampouco em questões geométricas [67]. Para tanto, os transistores devem ter as seguintes características;

- 100 nm de espessura de silício policristalino.
- 1,5 nm de óxido de porta.
- 150 nm de óxido enterrado.
- 15 nm de camada de silício.
- Fonte e dreno elevados em 25 nm.
- Espaçadores de 70 nm.

Antes de efetuarmos a simulação do processo propriamente dita, foi necessário determinar a concentração de dopantes para que a tensão de limiar ficasse próxima a do transistor medido na referência [9], e que para o transistor de 1 $\mu$ m é de -0,07 V para uma tensão de dreno (V<sub>DS</sub> = 50 mV). Para realizarmos esta determinação, foi criada uma estrutura de simulação no Atlas, com as características já citadas e um comprimento de canal de 1 $\mu$ m, conforme podemos verificar na figura 3.1.

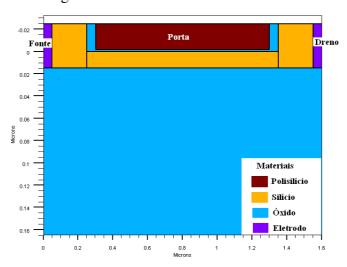


Figura 3.1 - Estrutura de Simulação de um SOI.

A partir da estrutura da figura 3.1 e após inúmeras simulações, chegamos ao valor de  $N_A = 3x10^{16} \ cm^{-3}$  para a concentração de dopantes necessária para a obtenção da tensão limiar desejada.

Inicialmente, procurou-se fazer com que se obtivesse a estrutura proposta pelo processo já discutido e assim ir acrescentando as etapas necessárias até a geração da estrutura final. O próximo passo, após a formação da região de porta com 100 nm de espessura de silício policristalino, foi adicionar os espaçadores, formados por óxido de silício e nitreto de silício, com espessuras de 10 nm e 60 nm respectivamente. Ainda nesta etapa, foi adicionado também o "cap-layer" de óxido de silício e nitreto de silício, sobre o silício policristalino de porta com espessuras de 10 nm e 40 nm respectivamente, com o intuito de proteger todo o silício policristalino de porta do transistor.

Posteriormente, foi executada a uma implantação de Arsênico, com dose de 1 x 10<sup>13</sup> e energia de 6 KeV, para a criação da região de LDD (*Lightly Doped Drain*). Em seguida o crescimento epitaxial de 25 nm a uma temperatura de 900 °C na região de fonte e dreno, com o intuito de se reduzir a resistência série associada e em seguida a difusão térmica com temperatura de 1050 °C e tempo de 0,1 minutos, para ativação das impurezas (*RTA – Rapid Thermal Annealing*) implementadas.

Ao fim do processo, foi depositado em toda a estrutura uma camada de 100 nm de nitreto de silício, que é responsável pela tensão mecânica uniaxial e, posteriormente, a definição dos contatos, conforme podemos visualizar na estrutura resultante da figura 3.2.

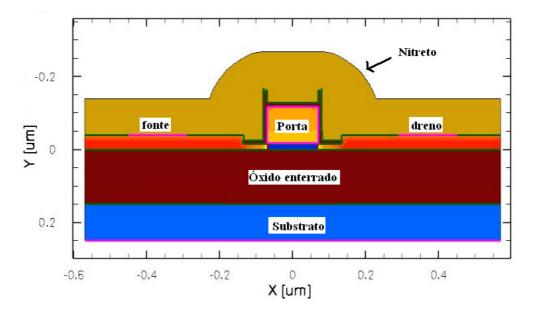


Figura 3.2 – Estrutura resultante do processo de fabricação para o transistor SOI com tensão mecânica uniaxial.

Conforme visto na estrutura da figura 3.2, os contatos foram feitos abaixo do nitreto depositado, garantindo a máxima transferência da tensão mecânica para a estrutura.

Em se tratando da tensão mecânica, a figura 3.3 apresenta o perfil transversal do transistor SOI com tensão mecânica uniaxial com comprimento de canal de 140 nm, onde é mostrada a distribuição bidimensional da tensão mecânica efetiva em toda a estrutura, considerando uma tensão mecânica aplicada no nitreto de silício de 2 GPa.

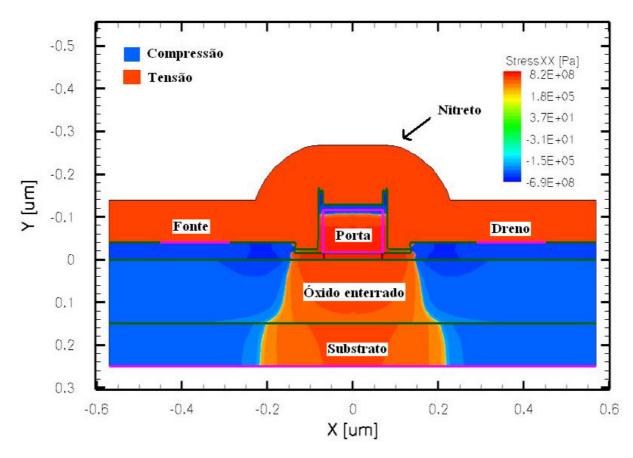


Figura 3.3 - Distribuição da tensão mecânica na estrutura do transistor SOI nMOSFET.

Na figura 3.3, as regiões com cores próximas a laranja significam que existe tensão mecânica do tipo tensora e a parte em azul, tensão mecânica do tipo compressiva. Ainda pode-se notar que, praticamente só a região compreendida pelo canal está tensionado, deixando as regiões de fonte e dreno sob compressão, o que está em acordo com estudos já publicados [38].

Finalmente, este processo foi replicado para outros comprimentos de canal. Os transistores SOI convencional foram obtidos por uma simulação de processo de fabricação idêntica a anteriormente descrita, exceto pela deposição da camada de nitreto de silício.

# 4 RESULTADOS DA SIMULAÇÃO NUMÉRICA

Este capítulo destina-se a apresentar e discutir os resultados obtidos através das simulações numéricas bidimensionais. Este é dividido em cinco partes: a primeira aborda as características dos dispositivos simulados, a segunda apresenta um estudo da tensão mecânica sobre os dispositivos, a terceira aborda os métodos de extração dos parâmetros elétricos, a quarta aborda os resultados considerando apenas a temperatura ambiente e a quinta passando a considerar a redução da temperatura.

# 4.1 Características dos dispositivos

Através do processo descrito no capítulo 3, foram geradas uma série de estruturas com comprimentos de canal que variam de 65 nm até 1 µm e tensões mecânicas aplicadas que vão de 500 MPa até 2200 MPa. Todas as estruturas seguem as mesmas características mostradas anteriormente, com 100 nm de espessura do silício policristalino, 1,5 nm de espessura do óxido de porta, 150 nm de óxido enterrado, 15 nm de espessura da camada de silício, e concentração de dopantes aceitadoras de  $3x10^{16}$  cm<sup>-3</sup>. A figura 4.1 apresenta um corte longitudinal a 1 nm abaixo do óxido de porta da concentração de dopantes nas as regiões de fonte, dreno, canal.

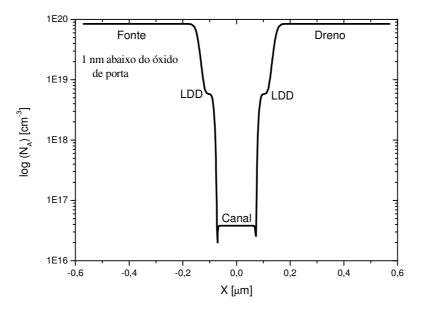


Figura 4.1 - Curva da concentração de dopantes ao longo do transistor.

## 4.2 Estudo da tensão mecânica nos dispositivos

Em todas as estruturas geradas através do simulador de processos, foi extraída a tensão mecânica efetiva na camada de silício do transistor, com o intuito de verificar o comportamento da tensão mecânica ao longo do canal do transistor, passando inclusive pelas regiões de fonte e dreno.

A figura 4.2, mostra a distribuição da tensão mecânica efetiva para o transistor de 65 nm de comprimento de canal para diversas tensões mecânicas aplicadas sobre o transistor, onde a mesma foi extraída a uma distância de 3 nm abaixo do óxido de porta.

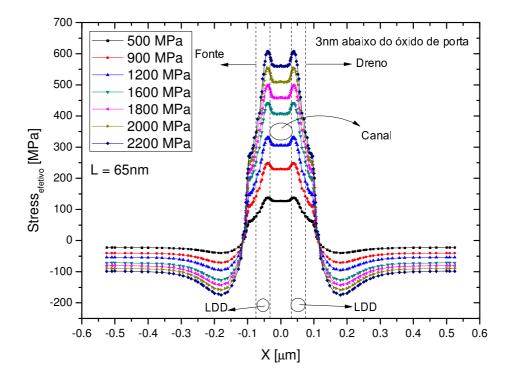


Figura 4.2 - Distribuição da tensão mecânica para o transistor com L = 65 nm.

Como podemos observar na figura 4.2, a medida que se aumenta a pressão aplicada a estrutura, maior tensão mecânica efetiva se pode observar no canal. Ainda nesta figura, podese salientar que as regiões de fonte e dreno se tornam compressivas (sinal negativo) e na região de canal a tensão mecânica é tensora (sinal positivo).

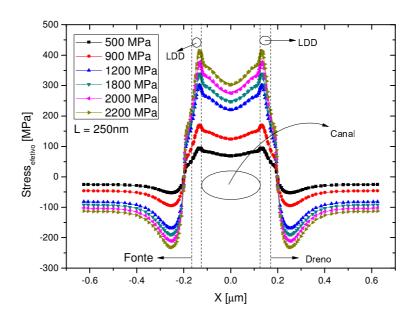


Figura 4.3 - Distribuição da tensão mecânica para o L = 250 nm.

A figura 4.3, mostra a distribuição da tensão mecânica para o comprimento de canal de 250 nm. A tensão mecânica efetiva no centro do canal transistor diminui se comparado ao de 65 nm, conforme já reportado em outros trabalhos [45].

Para sintetizar, a figura 4.4 mostra a curva *stress*<sub>efetivo</sub> por *stress* aplicado, isto é, a tensão mecânica efetiva no centro do canal do transistor a 3 nm abaixo do óxido de porta pela tensão mecânica aplicada na estrutura, para vários comprimentos de canal simulados.

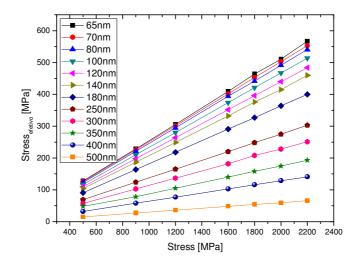


Figura 4.4 - Curva stress<sub>efetivo</sub> x stress para diversos comprimentos de canal.

Como se pode observar na figura 4.4, a distribuição mecânica se dá de forma linear, conforme já mencionado no capitulo 2, e esta dependência é exclusivamente dos materiais em regime elástico.

Ainda sobre a figura 4.4, observa-se que na medida em que o comprimento de canal aumenta, a inclinação da reta fica menor. Isto ocorre pois a distância entre o centro do canal e a região onde o nitreto de silício transmite a tensão mecânica para o canal é maior, diminuindo a eficácia da aplicação de tensão mecânica. Conforme anteriormente mencionado, a tensão mecânica é transferida pela camada de nitreto de silício depositada para a região de canal através do contato com as regiões de fonte e dreno.

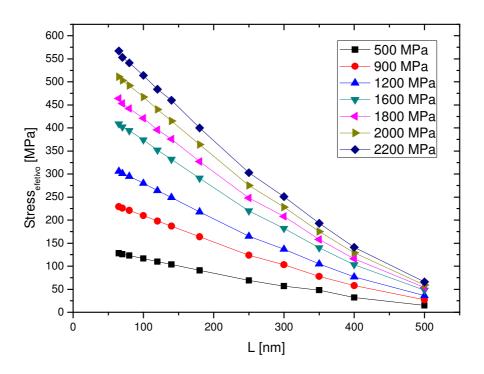


Figura 4.5 – Curva de *stress*<sub>efetivo</sub> em função do comprimento de canal.

A figura 4.5 mostra a variação da tensão mecânica efetiva em função do comprimento de canal, observando que conforme se aumenta L, a tensão mecânica efetiva diminui, ficando mais evidente a medida que se diminui o comprimento de canal.

# 4.3 Método de Extração dos parâmetros

Para os dispositivos com características determinadas no item 4.1 deste capítulo, foi simulada a curva característica de corrente de dreno pela tensão aplicada na porta ( $I_{DS} \times V_{GF}$ ). Estas simulações foram feitas com tensão aplicada no dreno de 50 mV ( $V_{DS}$ ). A partir destas simulações foram extraídas a tensão de limiar, a inclinação de sublimiar e a máxima transcondutância.

Para a tensão de limiar, foi adotado o método da segunda derivada. Neste método [68], [69] a tensão de limiar é obtida no ponto em que a segunda derivada da corrente de dreno têm seu valor máximo (quando temos  $d^3I_D/dV_G^3$  é igual a zero).

Para a inclinação de sublimiar, foi extraída através da curva  $I_{DS}$  x  $V_{GF}$  em escala monologarítimica, através do ponto de mínimo do inverso do coeficiente angular na região de sublimiar.

Finalizando, para a transcondutância foi adotado a metodologia descrita no item 2.2.2, onde é extraída a primeira derivada numérica da curva  $I_{DS}$  x  $V_{GF}$  e a partir da derivada, extraíse o valor onde a transcondutância atinge seu valor máximo.

# 4.4 Resultados da simulação numérica em temperatura ambiente.

#### 4.4.1 Efeito da tensão mecânica nas características elétricas

Nesta seção do trabalho, será estudada a influencia da tensão mecânica aplicada sobre as características elétricas do transistor, sempre tendo como referência o transistor SOI nMOSFET sem qualquer tipo de tensão mecânica.

A figura 4.6, mostra a curva característica da corrente de dreno pela tensão aplicada à porta ( $I_{DS} \times V_{GF}$ ) para o transistor de comprimento de canal de 65 nm, onde pode-se comprovar o aumento da corrente de dreno conforme se aplica a tensão mecânica. Mas ainda pode-se ainda verificar que, conforme se aplica um maior valor de tensão mecânica, não há um aumento substancial de corrente, o que leva a deduzir que há uma saturação decorrente da orientação cristalina do substrato adotado [100] [52], o que pode indicar que não há melhoria significativa no resultado para tensões mecânicas aplicadas que compreendem entre 900 MPa e 2200 MPa para este tipo de transistor.

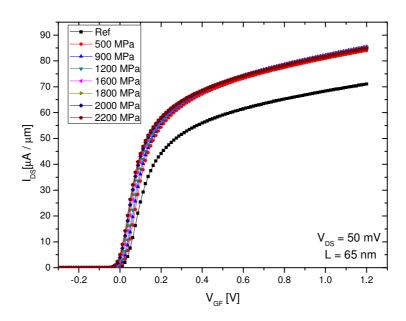


Figura 4.6 - Curva da corrente de dreno em função da tensão de porta para o transistor com L=65 nm.

Já nas figuras 4.7 e 4.8, as quais apresentamos as curvas  $I_{DS}$  x  $V_{GF}$  para os transistores com L=250 nm e 500 nm, respectivamente, observamos que o efeito visto no transistor de 65 nm ocorre em menor intensidade, fazendo que conforme há um aumento da tensão mecânica, também aumenta a corrente de dreno, mesmo que de forma não uniforme.

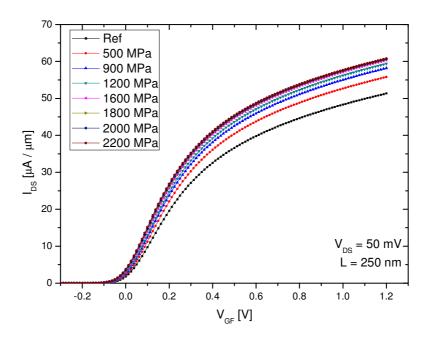


Figura 4.7 - Curva da corrente de dreno em função da tensão de porta para o transistor com L=250 nm.

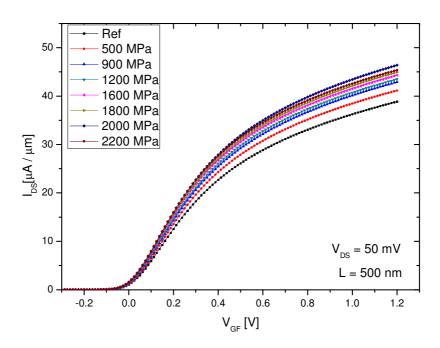


Figura 4.8 - Curva da corrente de dreno em função da tensão de porta para o transistor com L = 500 nm.

Analisando agora sob o ponto de vista da transcondutância, as figuras 4.9, 4.10 e 4.11 exibem a curva da  $g_m$  x  $V_{GF}$  para os transistores com L = 65 nm, 250 nm e 500 nm, respectivamente.

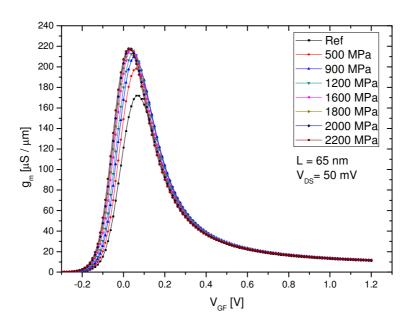


Figura 4.9 - Curva da transcondutância em função da tensão de porta para o transistor com L=65 nm.

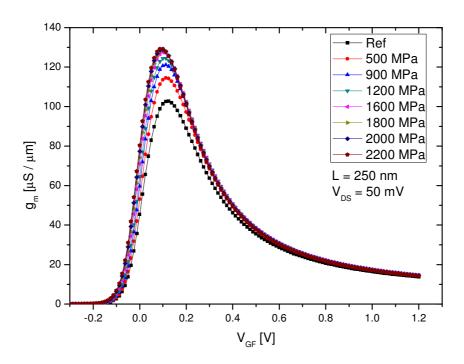


Figura 4.10 - Curva da transcondutância em função da tensão de porta para o transistor com  $L=250~\mathrm{nm}$ 

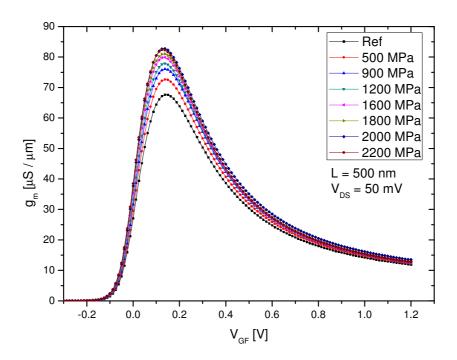


Figura 4.11 - Curva da transcondutância em função da tensão de porta para o transistor com  $\,L=500\,$  nm.

Conforme mostrado nas figuras 4.9, 4.10, 4.11, fica evidente o aumento da máxima transcondutância no transistor com canal tensionado, configurando um aumento de mobilidade dos portadores, como esperado. Contudo, no transistor com L=65 nm, ocorre que a partir de um certo aumento da tensão mecânica aplicada, não há uma melhora efetiva em  $g_m$ , o que pode ser melhor visualizado na figura 4.12, que apresenta a curva  $g_{m,máx}$  em função do stress para diversos comprimentos de canal..

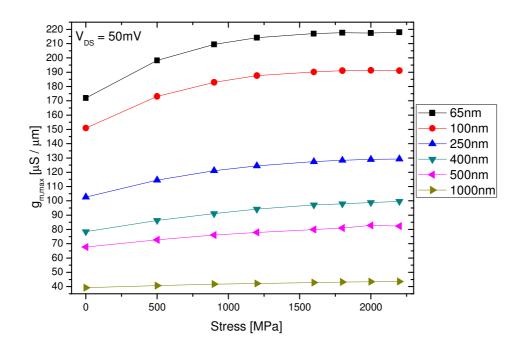


Figura 4.12 - Curva de  $g_{m,max}$  em função do stress para diversos L.

Pela figura 4.12, observa-se de forma mais clara o ocorrido nas figuras anteriores, onde pode-se ver que no caso dos transistores com L=65 nm e 100 nm, para tensões mecânicas maiores que 1200 MPa, não há um aumento significativo da máxima transcondutância. O mesmo ocorre para os demais L, mas de uma forma menos evidente. Também pode-se perceber que, para o transistor com L=1  $\mu$ m, quase não há aumento na transcondutância induzido pela tensão mecânica. A figura 4.13 mostra o ganho percentual relativo de  $g_{m,máx}$  extraído pelo método da equação (4.1), em referência ao transistor SOI convencional com mesmo L.

$$\Delta g_{m,m\acute{a}x} = \frac{g_{m,m\acute{a}x} - g_{m,m\acute{a}x} \operatorname{ref}}{g_{m,m\acute{a}x} \operatorname{ref}} \ 100 \tag{4.1}$$

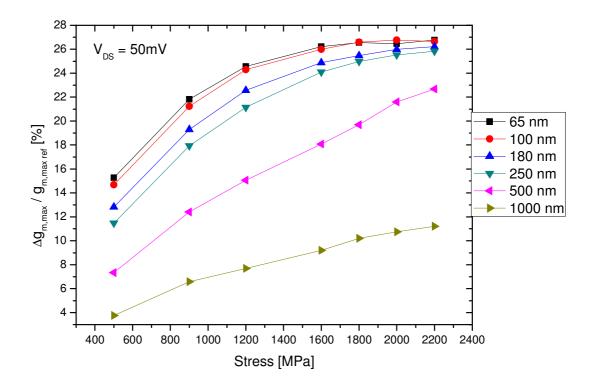


Figura 4.13 - Ganho percentual relativo de  $g_{m,m\acute{a}x}$  em função da tensão mecânica aplicada para diversos comprimentos de canal.

Reforça-se, através da figura 4.13, que maiores ganhos em g<sub>m</sub> se dão para transistores com menor comprimento de canal.

Analisando a transcondutância em função do comprimento de canal, pode-se observar na figura 4.14, a queda no valor de  $g_{m,max}$  a medida em que se aumenta L, o que corresponde com o esperado para esta tecnologia, pois conforme visto no capítulo 2 o  $g_m$  é fortemente dependente do L. Na figura 4.15, se pode ver a redução percentual da transcondutância máxima em função do comprimento de canal, e assim podem-se observar a dependência do comprimento de canal sobre a máxima transcondutância, para diversas tensões mecânicas. Elevando-se a tensão mecânica de 500 MPa para 1800 MPa há um aumento relativo de  $g_m$  variando de 15% para 27%, no caso do transistor com L = 65 nm

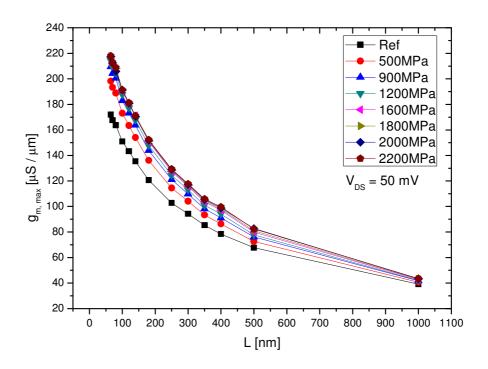


Figura 4.14 - Curva de  $g_{m} \, x \; L$  para diversas tensões mecânicas.

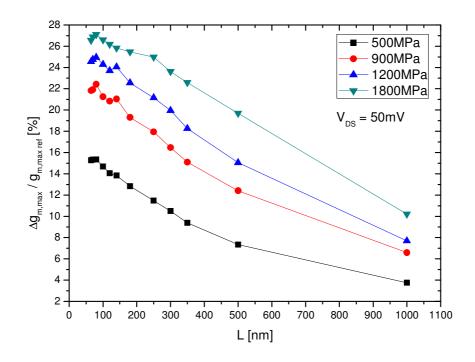


Figura 4.15 - Curva do ganho relativo da transcondutância máxima em função do comprimento de canal para diversas tensões mecânicas.

Considerando a inclinação de sublimiar (S), as curvas da figura 4.16, exibem a região de sublimiar através da curva  $\log(I_{DS})$  x  $V_{GF}$  para o transistor com L = 65 nm e para diversas tensões mecânicas aplicadas.

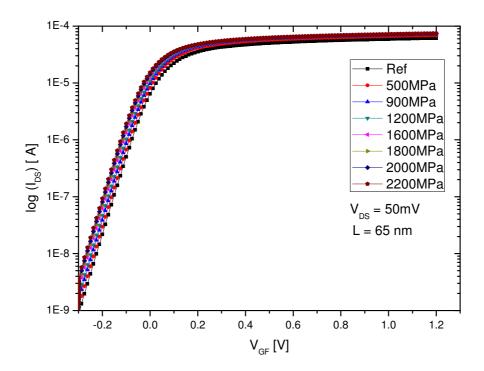


Figura 4.16 - Curva característica do logaritmo da corrente de dreno em função da tensão aplicada a porta para o transistor com L de 65 nm.

Afim de melhor sintetizar as informações e obter uma conclusão, as curvas da figura 4.17 mostram os valores das inclinações de sublimiar, extraído pelo método descrito no item 4.2, para diversos comprimentos de canal, onde se pode ver que S é pouco influenciado pela tensão mecânica.

Outro ponto a ser considerado, é variação da inclinação de sublimiar em função do comprimento de canal. Na figura 4.18 pode-se ver que ocorre o efeito de canal curto para comprimentos de canal abaixo de 180 nm, independentemente da tensão mecânica aplicada.

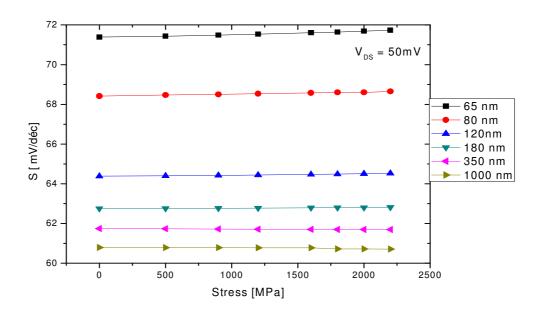


Figura 4.17 - Curva de S x stress para vários comprimentos de canal.

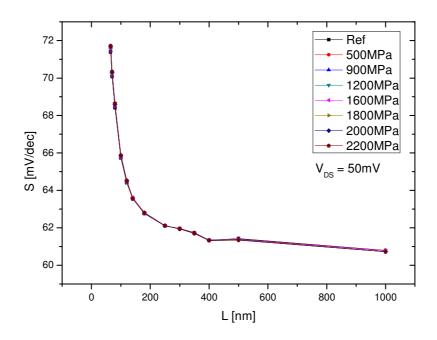


Figura 4.18 - Curva de S x L para várias tensões mecânicas.

Outra caracteristica importante nos transistores da tecnologia MOS, é a tensão de limiar  $(V_{th})$ , sobretudo quando se aplica a tensão mecânica através da técnica do sCESL. Através das curvas da figura 4.19 está mostrado a variação de  $V_{th}$  com a tensão mecânica.

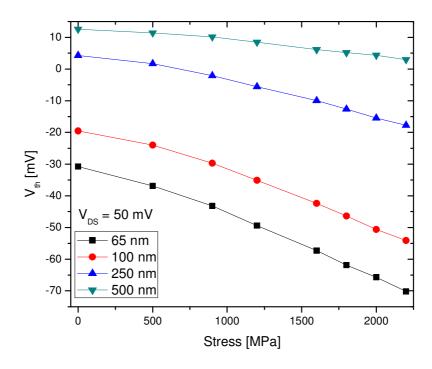


Figura 4.19 - Curva da tensão de limiar em função do stress para vários comprimentos de canal.

Como visto na figura 4.19, há uma redução significativa na tensão de limiar, principalmente para o transistor com  $L=65\,$  nm e 100 nm, quando submetido a uma tensão mecânica maior. Para os transistores com  $L=250\,$  nm e 500 nm a redução se dá de forma bem menor.

E este comportamento pode estar relacionado com a mudança da afinidade do elétron, o estreitamento da faixa proibida e a densidade de estados da faixa de valência [70].

Estas razões são reforçadas pelo fato de que, como exposto anteriormente, com o aumento do comprimento de canal, a tensão mecânica efetiva no canal do transistor é menor e, por consequência, há uma redução nos efeitos recorrentes a aplicação da tensão mecânica como o estreitamento da faixa proíbida.

A figura 4.20 apresenta a curva  $V_{\text{th}}$  versus L, para diversas tensões mecânicas aplicadas.

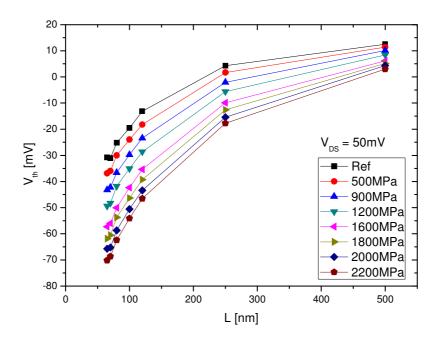


Figura 4.20 - Curva da tensão de limiar em função do comprimento de canal para várias tensões mecânicas.

Pelo que se pode observar nas curvas da figura 4.20, vê-se uma redução na tensão de limiar conforme se reduz o L, e isto ocorre pois os campos elétricos nas regiões de fonte e dreno penetram lateralmente no óxido enterrado, fazendo com que se reduza o V<sub>th</sub>. Percebese ainda que conforme se aumenta a tensão mecânica aplicada, menor é a tensão de limiar e ainda de forma mais pronunciada com a redução de L, devido a piora dos efeitos de canal curto previamente mostrados.

# 4.5 Efeito da redução da temperatura nos transistores SOI nMOSFETs com tensão mecânica uniaxial

Para iniciar os estudos do efeito da redução da temperatura nos transistores SOI convencional e com tensão mecânica, são apresentados nas curvas da figura 4.21, a corrente de dreno em função da tensão de porta tanto para o transistor SOI como o transistor SOI com tensão mecânica para o comprimento de canal de 65 nm. Na figura 4.22 são mostradas as curvas da transcondutância em função da tensão de porta. Ambas as figuras foram obtidas com tensão mecânica fixa de 1600 MPa.

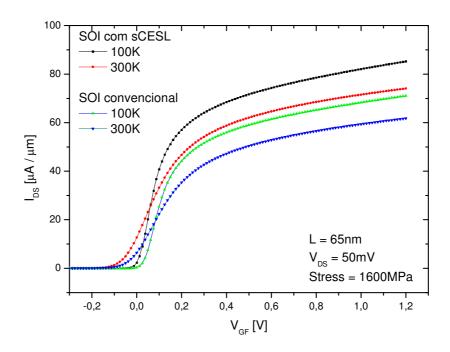


Figura 4.21 - Curva da corrente de dreno em função da tensão de porta para o transistor com  $L=65\,\mathrm{nm}$  nas temperaturas de 100 K e 300 K.

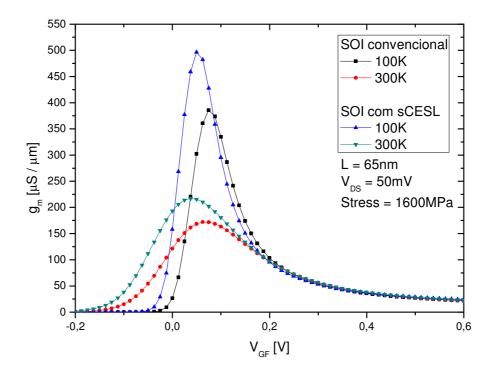


Figura 4.22 - Transcondutância em função da tensão de porta para o transistor com  $\,L=65\,$  nm nas temperaturas de 100 K e 300 K.

Pode-se verificar na figura 4.21 que há um aumento de corrente, oriundo da redução da temperatura, sendo de maneira mais pronunciada no transistor com canal tensionado. Através da figura 4.22 pode-se notar que a diferença citada na corrente fica em maior evidência na transcondutância, fazendo com que os benefícios da redução da temperatura se aliem ao efeito causado pela tensão mecânica aplicada ao transistor.

Para quantificar essas diferenças, a figura 4.23 mostra a máxima transcondutância em função do comprimento de canal e na figura 4.24 mostra o ganho percentual de  $g_{m,máx}$  ambas em função da temperatura e com tensão mecânica fixa em 1200 MPa.

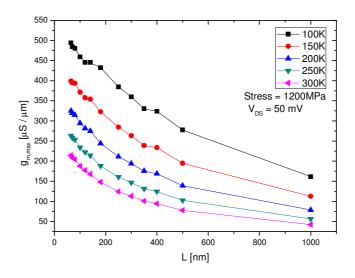


Figura 4.23 - Máxima transcondutância em função do comprimento de canal para varias temperaturas, com tensão mecânica fixa em 1200 MPa.

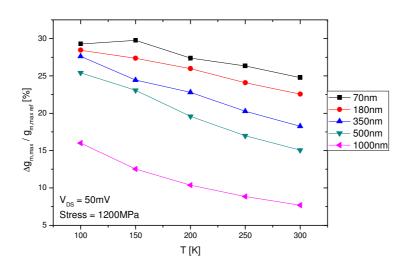


Figura 4.24 - Ganho percentual da máxima transcondutância proporcionado pela tensão mecânica para vários comprimentos de canal em função da temperatura.

Pela curva apresentada na figura 4.23, se verificou um ganho de transcondutância de aproximadamente de 130% maior em 100 K do que em 300 K, para o transistor com L = 65nm.

Fazendo-se uma comparação com referência ao SOI convencional (figura 4.24), para o L de 65 nm o ganho da máxima transcondutância e conseqüentemente a mobilidade subiu de 24% para 29%, apenas pela redução da temperatura. Para o transistor com L = 1  $\mu$ m, onde seu valor percentual aumentou de 8% para 15% considerando apenas a redução da temperatura.

Através da figura 4.25, onde podemos observar a evolução do ganho percentual da transcondutância em função da tensão mecânica aplicada para as temperaturas estudadas. Percentualmente para a tensão mecânica de 500 MPa temos um ganho relativo de 11% para a T = 300 K, já para T = 100 K este ganho sobe para 23,7%, em contrapartida para a tensão mecânica de 2200 MPa observamos um ganho relativo de 28,5% para T = 100 K e 25,5% para T = 300 K. Estes dados sugerem que o efeito do ganho percentual da máxima transcondutância proporcionados pela redução da temperatura seja reduzido conforme se aumenta a tensão mecânica aplicada ao transistor com comprimento de canal de 250 nm.

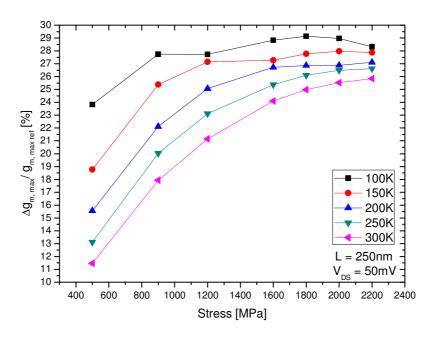


Figura 4.25 - Ganho percentual de  $g_{m,max}$  em função do stress aplicado para o L de 250nm, considerando diversas temperaturas.

Outro parâmetro influenciado pela redução da temperatura é a inclinação de sublimiar (S). Nas figuras 4.26 e 4.27 podemos ver a variação de S em função de L e a variação de L em função da temperatura, respectivamente, isto para uma tensão mecânica de 1200 MPa.

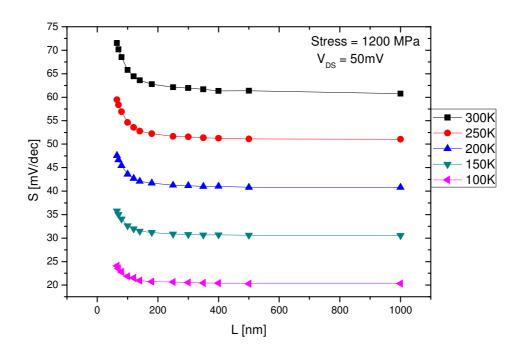


Figura 4.26 - Cuvas de S em função de L para um stress de 1200 MPa nas diversas temperaturas.

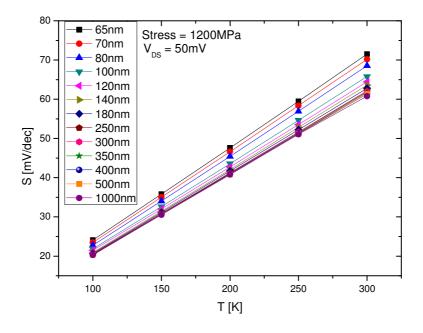


Figura 4.27 - Inclinação de sublimiar em função da temperatura para diversos L e um stress de  $1200~\mathrm{MPa}$ .

Pelas curvas das figuras 4.26 e 4.27, observa-se que a inclinação de sublimiar reduz na medida em que a temperatura é decrescida, o que é de se esperar, pois segundo a seção 2.2.2, a temperatura está diretamente presente na equação de obtenção do S. Também pela figura 4.26 pode-se verificar que a redução da temperatura não alterou a característica da curva em relação a temperatura de 300 K. Através das curvas da figura 4.27, a redução da temperatura não influenciou no valor de S do transistor com canal tensionado se comparado ao do transistor SOI convencional, resultando em valores muitos próximos ao obtido para o transistor SOI com tensão mecânica, e válido para todos os comprimentos de canal estudado.

A influência da redução da temperatura na tensão de limiar é apresentada e nas curvas da figura 4.28. Nota-se que a redução da temperatura aumenta o V<sub>th</sub>, motivos pelo qual está descrito na seção 2.3.1, mas ainda podemos salientar que este aumento se dá de forma menos acentuada quando se aumenta o L. Em outras palavras, a redução da temperatura diminui a ocorrência dos efeitos de canal curto.

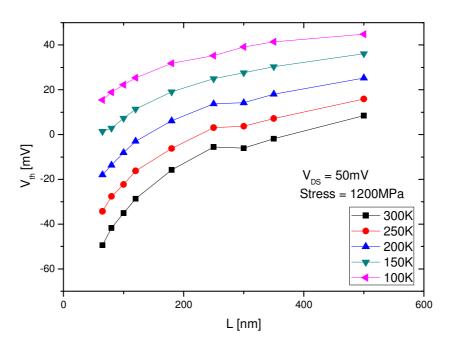


Figura 4.28 - Curva de V<sub>th</sub> em função do L para o *stress* de 1200 MPa em diversas temperaturas.

Para melhor exemplificar o efeito da temperatura sobre a tensão de limiar, as curvas da figura 4.29 mostram de forma mais evidente o aumento da tensão de limiar é menor em comprimentos de canal maiores. Para as demais pressões mecânicas estudadas, a mesma tendência é constatada com relação à redução da temperatura na tensão de limiar.

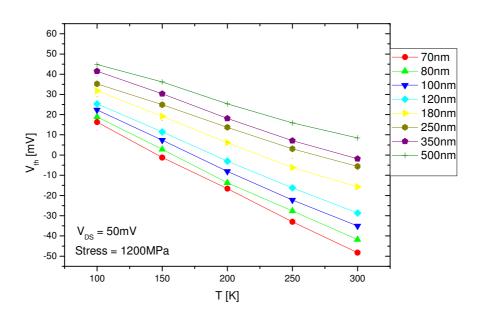


Figura 4.29 - Curva da tensão de limiar em função da temperatura para diversos comprimentos de canal.

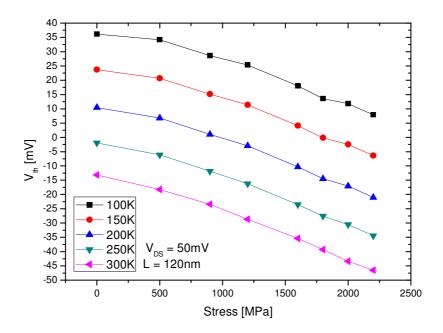


Figura 4.30 - Curva da tensão de limiar em função da tensão mecânica aplicada para o transistor com L = 120nm.

Analisando o efeito da temperatura sobre o  $V_{th}$  quando submetido a diferentes pressões mecânicas, vimos nas curvas da figura 4.30 que o efeito do aumento de  $V_{th}$  com a redução de  $V_{th}$  já visto na seção 4.4 se somam, ficando o  $V_{th}$  maior com a redução de  $V_{th}$  maior com a redução de  $V_{th}$  maior devido ao efeito da tensão mecânica.

# 5 ESTUDO DO AUTO-AQUECIMENTO NOS TRANSISTORES SOI COM TENSÃO MECÂNICA UNIAXIAL

Neste capítulo, apresentamos um estudo do auto-aquecimento (*SH* - *self-heating*) nos transistores SOI com tensão mecânica uniaxial. Para isso foram realizadas simulações numéricas bidimensionais da curva característica da corrente de dreno pela tensão aplicada ao dreno (I<sub>DS</sub> x V<sub>DS</sub>) com sobretensão de condução (V<sub>GT</sub>) de 100 mV e 1 V, para transistores com comprimentos de canal de 65 nm, 140 nm, 250 nm e 400nm. Para cada comprimento de canal foi variado a tensão mecânica de 0 MPa (referência) até 2000 MPa.

Este estudo está dividido em três partes a primeira será feito uma introdução de como o simulador numérico considera em suas simulações o efeito do auto-aquecimento, em seguida será estudado o efeito do auto-aquecimento em temperatura ambiente (300 K) e por fim analisaremos o efeito da redução da temperatura.

### 5.1 Introdução a simulação com auto-aquecimento

Para a realização das simulações numéricas com o efeito do auto-aquecimento, foram necessárias algumas modificações, com o intuito do simulador considerar o efeito em questão.

Primeiramente, foi necessária a inclusão de eletrodos térmicos na porta e substrato do transistor os quais definem as regiões de temperatura constante ao ambiente.

O simulador *Sentaurus Device* [54], utiliza o modelo termodinâmico (*thermodynamic*) [65] em sua simulação, e conforme dito no capítulo 3 ele é uma extensão do modelo de difusão-deriva com o intuito de se considerar os efeitos térmicos na simulação numérica.

O modelo simplificado de cálculo do auto-aquecimento considera o auto-aquecimento com uma temperatura uniforme com dependência na corrente. A temperatura global é computada a partir de uma equação de equilíbrio global de calor, onde a potencia dissipada é igual ao limite total de fluxo de calor no contato térmico, conforme podemos verificar na equação (5.1).

$$P_{diss} = \sum_{i} \frac{T - T_{thermode}^{i}}{R_{th}^{i}}$$
 (5.1)

Onde T é a temperatura global do dispositivo,  $T^i_{thermode}$  e  $R^i_{th}$  são as temperaturas e resistividade térmica do contato térmico i, respectivamente e  $P_{diss}$  é a potência dissipada.

## 5.2 Efeito do auto-aquecimento em temperatura ambiente

A figura 5.1 mostra a curva da corrente de dreno pela tensão de dreno ( $I_{DS} \times V_{DS}$ ) para uma tensão de sobretensão de condução de 100 mV.

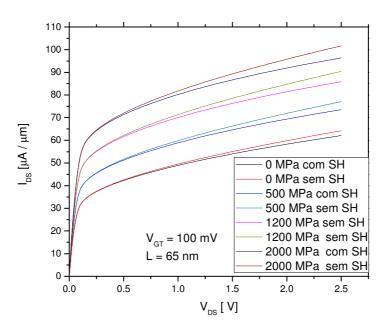


Figura 5.1 - Curva da corrente de dreno pela tensão de dreno  $(I_{DS} \ x \ V_{DS})$  para L de 65nm com  $V_{GT}$  de 100 mV.

Pela figura 5.1, podemos notar, que o efeito do auto-aquecimento ocorre mesmo com sobretensão de condução baixa (100 mV). Observa-se também que com o aumento da tensão mecânica aplicada, o efeito do auto-aquecimento se evidência. Na figura 5.2 é apresentada a corrente de dreno extraída no ponto onde  $V_{DS} = 2$  V em função tensão mecânica aplicada para o transistor com L = 65 nm.

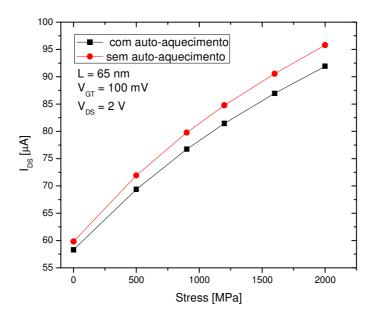


Figura 5.2 – Curva da corrente de dreno no ponto  $V_{DS}$  = 2~V~ pela tensão mecânica aplicada para L de 65nm com  $V_{GT}$  de 100~ mV.

Pela figura 5.2, quantitativamente, a redução de corrente para o transistor SOI de referencia foi de 2,7%, enquanto que para a tensão mecânica de 2000 MPa foi de 4,1%.

Elevando-se o comprimento de canal para 140 nm, pode-se verificar nas figuras 5.3 e 5.4, há uma pequena redução do ponto de vista quantitativo, ficando a diferença em 2,3% para o transistor SOI de referencia e de 3,6% para o transistor SOI com tensão mecânica de 2000 MPa.

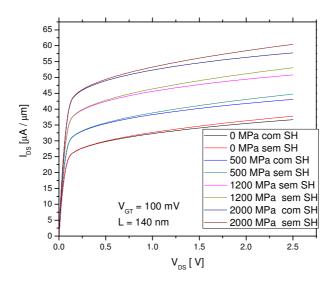


Figura 5.3- Curva da corrente de dreno pela tensão de dreno  $(I_{DS} \ x \ V_{DS})$  para L de 140 nm com  $V_{GT}$  de 100 mV.

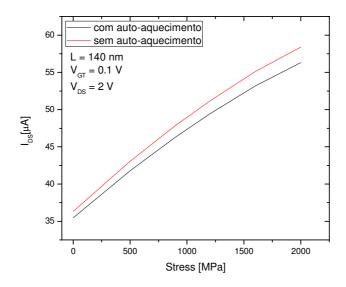


Figura 5.4 - Curva da corrente de dreno no ponto  $V_{DS}$  = 2 V pela tensão mecânica aplicada para L de 140 nm com  $V_{GT}$  de 100 mV.

Para os comprimentos de canal de 250 nm e 400 nm, o efeito do auto-aquecimento foi se reduzindo percentualmente, ficando em 1,1% e 0,7% respectivamente para o SOI referencia e de 2,1% e 2 % para a tensão mecânica de 2000 MPa.

Para um melhor entendimento, foi extraída para cada tensão mecânica, a evolução da temperatura do contato térmico com o aumento da tensão de dreno para cada comprimento de canal, conforme podemos verificar na figura 5.5 para o comprimento de canal de 65 nm.

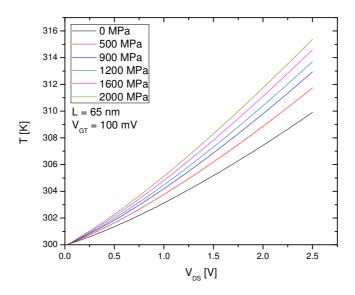


Figura 5.5 - Curva da temperatura em função da tensão de dreno para o L=65~nm e  $V_{GT}=100~\text{mV}$ .

A figura 5.5 indica que a temperatura no contato térmico aumenta conforme se aumenta a tensão de dreno, devido a maior potência dissipada pelo transistor, chegando para o transistor SOI de referencia a uma temperatura de 309,9 K, por outro lado, a temperatura também aumenta conforme a tensão mecânica evolui, chegando a uma temperatura de 315,4 K para a tensão mecânica de 2000 MPa.

Através das figuras 5.6, 5.7 e 5.8 podemos verificar a evolução da temperatura com a tensão de dreno para os comprimentos de canais de 140 nm, 250 nm e 400 nm.

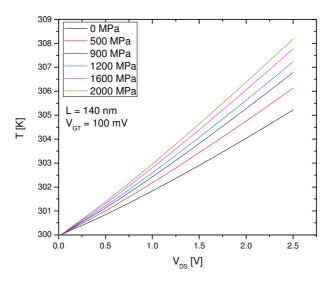


Figura 5.6 – Curva da temperatura em função da tensão de dreno para o L = 140 nm e  $V_{GT}$  = 100 mV.

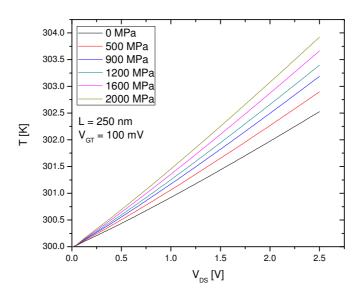


Figura 5.7 – Curva da temperatura em função da tensão de dreno para o L = 250 nm e  $V_{GT}$  = 100 mV.

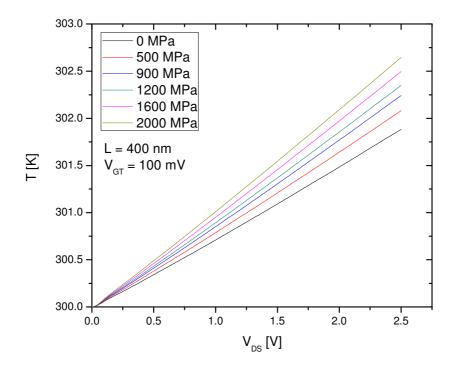


Figura 5.8 - Curva da temperatura em função da tensão de dreno para o L = 400 nm e  $V_{GT} = 100$  mV.

Pelas figuras 5.6, 5.7 e 5.8, pode-se verificar uma queda na temperatura da rede conforme se aumenta o comprimento de canal. Isto está de acordo com o exposto anteriormente onde a redução da corrente de dreno causada pelo auto-aquecimento era diminuída em maiores L.

Com o intuito de se obter de maneira mais expressiva o efeito do auto-aquecimento, foram realizada simulações com sobretensão de condução de 1 V, conforme se pode verificar nas figuras 5.9, 5.10, 5.11 e 5.12 para os comprimentos de canais 65 nm, 140 nm, 250 nm e 400 nm, respectivamente.

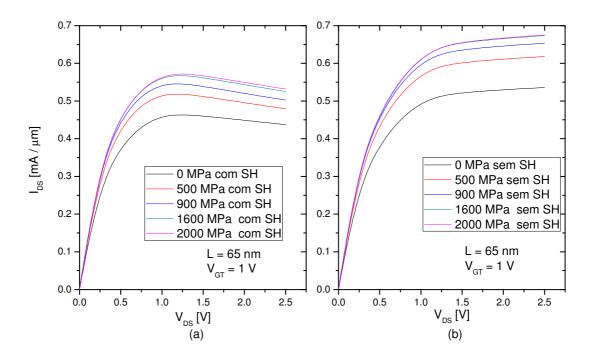


Figura 5.9 – Curva da corrente de dreno pela tensão de dreno  $(I_{DS} \times V_{DS})$  para L de 65 nm com  $V_{GT}$  de 1 V com auto-aquecimento (a) e sem auto-aquecimento (b).

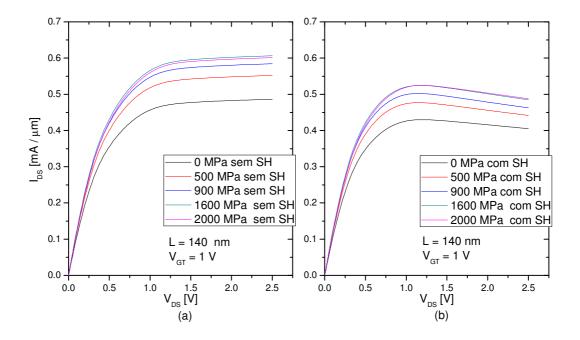


Figura 5.10 – Curva da corrente de dreno pela tensão de dreno ( $I_{DS}$  x  $V_{DS}$ ) para L de 140 nm com  $V_{GT}$  de 1 V sem auto-aquecimento (a) e com auto-aquecimento (b).

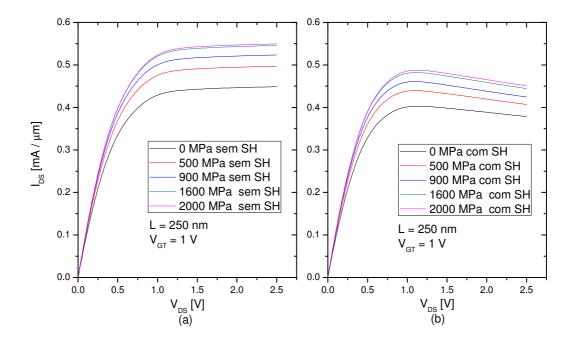


Figura 5.11 – Curva da corrente de dreno pela tensão de dreno ( $I_{DS}$  x  $V_{DS}$ ) para L de 250 nm com  $V_{GT}$  de 1 V sem auto-aquecimento (a) e com auto-aquecimento (b).

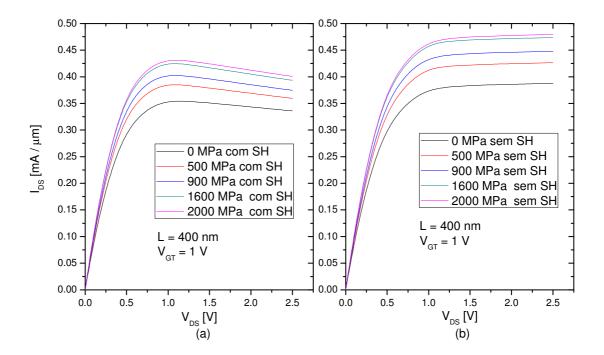


Figura 5.12 - Curva da corrente de dreno pela tensão de dreno  $(I_{DS} \times V_{DS})$  para L de 400 nm com  $V_{GT}$  de 1 V com auto-aquecimento (a) e sem auto-aquecimento (b).

Pelas figuras 5.9 a 5.12, pode-se comprovar que a perda de corrente de dreno para a sobretensão de condução de 1 V se evidencia, chegando a resultar uma região de condutância de saída negativa.

Com o intuito de quantificar a diminuição de corrente de dreno devido ao auto-aquecimento com o aumento da tensão mecânica aplicada, foi extraído a partir das curvas 5.9, 5.10, 5.11 e 5.12 o valor da corrente de dreno para a tensão de dreno de 2 V e traçadas as curvas da corrente de dreno pela tensão mecânica, conforme podemos verificar nas figuras 5.14 e 5.15.

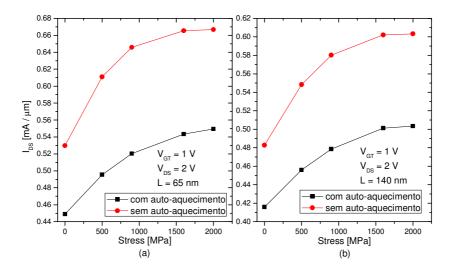


Figura 5.13 – Curva da corrente de dreno no ponto  $V_{DS}$  = 2~V~ pela tensão mecânica aplicada para L de 65~nm (a) e L = 140~nm (b) com  $V_{GT}$  de 1~V.

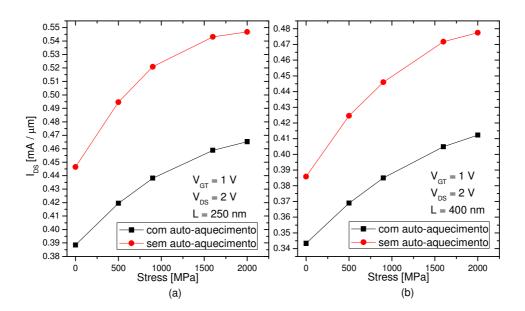


Figura 5.14 - Curva da corrente de dreno no ponto  $V_{DS}$  = 2 V pela tensão mecânica aplicada para L de 250 nm (a) e L = 400 nm (b) com  $V_{GT}$  de 1 V.

Pelas figuras 5.14 (a) pode-se verificar que a redução de corrente para a tensão mecânica de 2000 MPa foi ligeiramente maior (18 %) em comparação ao SOI de referencia (15,3 %). Já para o comprimento de canal de 140 nm (figura 5.14 (b)) a perda foi de 15,8 % e de 13,9 %.

Para o comprimento de canal de 250 nm (figura 5.15 (a)) e 400 nm (figura 5.15 (b)) as perdas de corrente de dreno para a tensão mecânica de 2000 MPa e para a referencia foram de 15 %, 12,8 %, 13,7 % e 11 % respectivamente.

A partir das percentagens extraídas anteriormente, pode-se constatar que conforme a tensão mecânica efetiva se reduz ao aumentar o comprimento de canal, a diminuição da corrente de dreno pelo auto-aquecimento também se reduz.

Do ponto de vista da elevação da temperatura no contato térmico, para a sobretensão de condução de 1 V, as figuras 5.16 e 5.17 mostram o quanto a temperatura se eleva aumentando-se a tensão mecânica para os comprimentos de canais de 65 nm, 140nm, 250 nm e 400 nm.

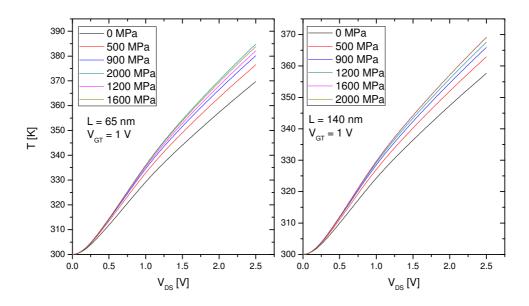


Figura 5.15 – Curva da temperatura em função da tensão de dreno para o L = 65 nm (a) e 140 nm (b) para  $V_{GT} = 1$  V.

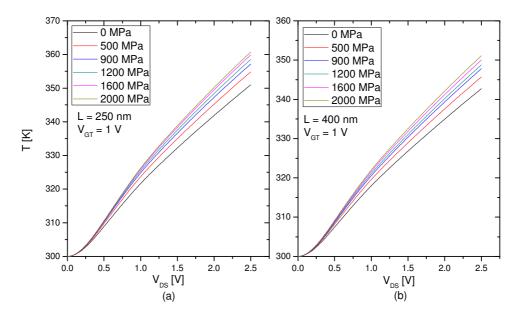


Figura 5.16 - Curva da temperatura em função da tensão de dreno para o L = 250 nm (a) e 400 nm (b) para  $V_{GT} = 1$  V.

Pelas figuras 5.16 e 5.17, fica claro que em relação a sobretensão de condução de 100 mV, a temperatura sofre uma grande elevação independentemente da tensão mecânica e comprimento de canal. Numericamente, a temperatura para a tensão mecânica de 2000 MPa chega a um valor máximo de 384 K e para a referencia (0 MPa) a 369 K, dando um aumento de 15 K apenas pelo fato de se aplicar tensão mecânica. Quando comparado percentualmente em relação a temperatura inicial (300 K), há um aumento de 28% para a tensão mecânica de 2000 MPa e de 23% para o transistor de referencia. Para os demais comprimentos de canais, seguem a mesma tendência, apenas reduzindo-se os valores de temperatura e conseqüentemente reduzindo a diferença percentual em relação a temperatura inicial.

# 5.3 Efeito da redução da temperatura sobre o auto-aquecimento

Até o presente momento, apenas foi considerado nesta análise a temperatura ambiente (300 K) nas simulações numéricas. Nesta seção será incluído na análise da redução da temperatura (150 K e 200 K) na operação do transistor SOI com tensão mecânica uniaxial, para assim verificar os efeitos sobre o auto-aquecimento.

Para iniciar a análise, a partir das curvas  $I_{DS}$  x  $V_{DS}$ , foram extraídas as correntes de dreno para a tensão de dreno de 2 V para cada tensão mecânica e temperatura, para por fim traçar a curva de corrente de dreno extraída pela tensão mecânica aplicada.

A figura 5.17, mostra a corrente de dreno no ponto onde  $V_{DS}$  igual a 2 V pela tensão mecânica aplicada para uma sobretensão de condução de 1 V para as temperaturas de 150 K e 200 K para o comprimento de canal de 65 nm.

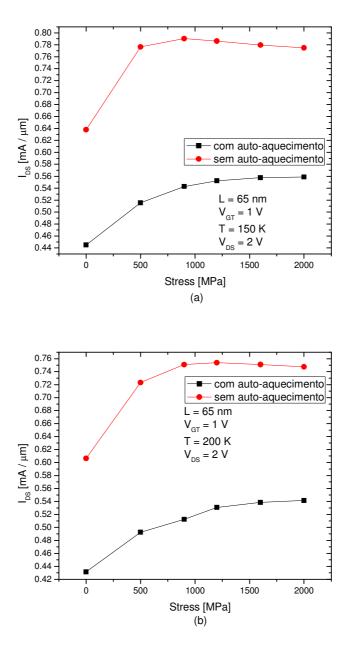


Figura 5.17 – Curva da corrente de dreno no ponto  $V_{DS}$  = 2 V pela tensão mecânica aplicada para L de 65 nm e temperatura de 150 K (a) e 200 K (b) com  $V_{GT}$  de 1 V.

Pela figura 5.17, nota-se que ao reduzir a temperatura, o efeito do auto-aquecimento é maior, em referencia a temperatura ambiente. Quantitativamente, o transistor com  $L=65~\mathrm{nm}$  sem tensão mecânica na temperatura de 150 K, houve uma redução de 31% na corrente de

dreno, enquanto para a temperatura ambiente (300 K) está redução foi de 15,3%, isto é dobrou a perda de corrente devido ao efeito do auto-aquecimento.

Através das figuras 5.18, 5.19, é mostrado a corrente de dreno no ponto onde a tensão de dreno vale 2 V pela tensão mecânica, para os comprimentos de canais de 140 nm e 250 nm.

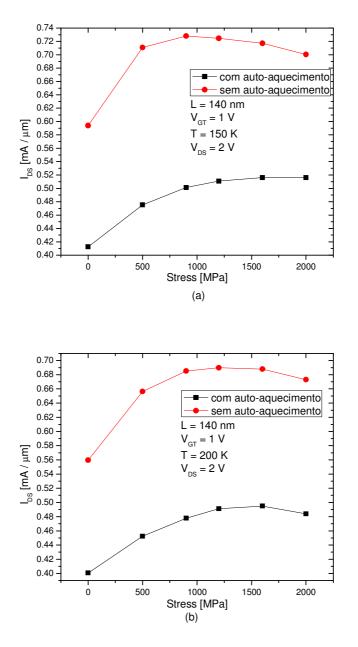


Figura 5.18 - Curva da corrente de dreno no ponto  $V_{DS}$  = 2 V pela tensão mecânica aplicada para L de 140 nm e temperatura de 150 K (a) e 200 K (b) com  $V_{GT}$  de 1 V.

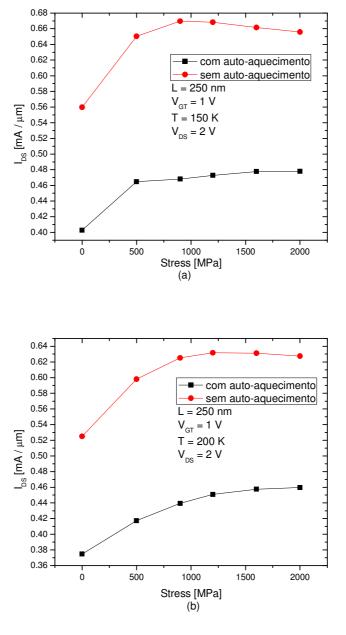


Figura 5.19 - Curva da corrente de dreno no ponto  $V_{DS}$  = 2 V pela tensão mecânica aplicada para L de 250 nm e temperatura de 150 K (a) e 200 K (b) com  $V_{GT}$  de 1 V.

Pelas figuras 5.18 e 5.19, podemos verificar que com o aumento do comprimento de canal, o efeito da saturação visto anteriormente continua, mas o efeito do auto-aquecimento continua sendo maior em temperaturas baixas (150 k) em comparação com a temperatura ambiente (300 K), ressaltando que em todas as simulações com redução da temperatura houve aumento da corrente de dreno se comparada a temperatura ambiente.

Quantitativamente para o transistor com L de 250 nm, a diferença percentual considerando a tensão mecânica de 2000 MPa, foi de 28 % para 150 K e 24 % para 200 K.

## 6 CONCLUSÕES E TRABALHOS FUTUROS

Este trabalho apresentou um estudo das características elétricas e seus principais parâmetros dos transistores SOI convencional e com tensão mecânica uniaxial, operando em baixas temperaturas. Para isto, inicialmente, foram explicados os princípios de funcionamento da tecnologia SOI e também uma introdução aos parâmetros elétricos estudados. Em sequência foi abordada uma introdução aos transistores SOI com tensão mecânica uniaxial.

Para a geração das estruturas de simulação foi necessária a utilização de simulação do processo de fabricação, capaz de retratar com maior fidelidade as estruturas. Foram feitas estruturas com e sem tensão mecânica e para comprimentos de canal que variaram de 65 nm até 1 µm.

Com as estruturas oriundas da simulação do processo, verificou-se que a distribuição da tensão mecânica não é uniforme ao longo do canal. À medida que se aumenta o comprimento de canal, menor será a tensão mecânica efetiva no centro do canal do transistor, e que a relação da tensão mecânica efetiva com a tensão aplicada varia linearmente, e isto ocorre pois os materiais empregados se encontram na região elástica.

Através da simulação numérica de dispositivos pode-se constatar que, em temperatura ambiente, houve um aumento na corrente de dreno e na máxima transcondutância, e consequentemente na mobilidade através do efeito da tensão mecânica. Este aumento na transcondutância foi na ordem de 25% para o transistor de 65 nm.

Quando variada a tensão mecânica para valores acima de 1600 MPa, notou-se que para comprimentos curtos de canal (65 nm), houve uma saturação no valor da máxima transcondutância, o que nos leva a concluir que não há vantagens em aplicar um valor muito alto de tensão mecânica. Na medida que se vai aumentando o comprimento de canal, este efeito ocorre com menor intensidade, fazendo com que haja algum tipo de ganho da máxima transcondutância mesmo que pequeno.

Analisando a inclinação de sublimiar, notou-se que não houve alteração significativa nas estruturas com tensão mecânica aplicada, se comparado com a mesma estrutura sem a tensão mecânica. O que pode ser observado foi o surgimento do efeito de canal curto, conforme se é reduzido o comprimento de canal, e isto independentemente de se ter ou não tensão mecânica na estrutura.

Verificou-se também que houve uma redução da tensão de limiar, conforme se aumenta a tensão mecânica aplicada, sendo que de forma mais pronunciada nos transistores

com comprimentos de canal curto como o de 65 nm, onde a variação foi de 37 mV entre o transistor SOI sem a presença da tensão mecânica e com uma de 2200 MPa. Analisando o comportamento da tensão de limiar em função do comprimento de canal, notou-se apenas diferenças no valor da tensão de limiar, mantendo a mesma tendência do transistor SOI referência.

Com a redução da temperatura (T) nas simulações, foi notado que houve o aumento da máxima transcondutância, fazendo com que os efeitos de aumento na mobilidade oriundos da tensão mecânica se unam ao efeito causado pela redução de temperatura. Foi notado que o ganho percentual da máxima transcondutância entre as tensões mecânicas aplicadas de 500 MPa e 2200 MPa na temperatura de 100 K foi de 5% se comparamos com a temperatura de 300 K que foi de 14%, o que nos leva a crer que há influência da temperatura na tensão mecânica , pois com o aumento da tensão mecânica, diminui a diferença na máxima transcondutância entre as temperaturas.

O efeito da redução da temperatura na inclinação de sublimiar ocorreu da mesma maneira nos transistores SOI convencionais e com tensão mecânica. Na tensão de limiar, com a redução da temperatura houve um aumento no valor de  $V_{th}$ , e este aumento foi proporcional, independente da tensão mecânica aplicada.

Foi também estudado, o efeito do auto-aquecimento nos transistores SOI com tensão mecânica, onde para a obtenção dos dados foram realizadas simulações numéricas bidimensionais da corrente de dreno pela tensão de dreno, tanto na região de triodo como na região de saturação.

Verificou-se que mesmo para baixas sobretensões de condução (100 mV), foi possível observar que há uma diminuição da corrente de dreno proveniente do auto-aquecimento. Na região de saturação (1 V), o efeito foi evidenciado, chegando a uma redução de corrente de dreno de aproximadamente 15 %. Aplicando-se tensão mecânica ao transistor, houve maior redução de corrente de dreno se comparado com o transistor SOI convencional, e quanto maior a tensão mecânica aplicada, maior a redução de corrente.

Reduzindo-se a temperatura, houve um aumento no efeito do auto-aquecimento, isto é a diminuição de corrente de dreno foi maior se comparado com a temperatura ambiente.

Sugere-se como continuidade deste trabalho, o estudo através de simulação numérica bidimensional, das propriedades analógicas do transistor SOI com tensão mecânica uniaxial, tanto para temperatura ambiente como para baixas temperaturas.

# REFERENCIAS BIBLIOGRÁFICAS

- [1] COLINGE, J.P. Silicon-On-Insulator Technology: Materials to VLSI. 3rd Ed. Massachusetts: Kluwer Academic Publishers, 2004.
- [2] ITRS roadmap: <a href="http://public.itrs.net">http://public.itrs.net</a>
- [3] KATSUTOSHI IZUMI, Proceeding of the Fourth International Symposium on Silicon On Insulator Technology and Advices, Vol. 90-6, p.3, 1990.
- [4] COLINGE, J. P., IEDM, p.817, 1989.
- [5] AUBERTON-HERVÉ, A. J. et al, **Digest of Symposium on VLSI Technology**, p.65, 1988.
- [6] LAUER, I.; ANTONIADIS, D.; Enhancement of electron mobility in ultrathin-body silicon-on-insulator MOSFETs with uniaxial strain, **IEEE Electron Device Letters**, v. 26, n. 5, p. 314-316, 2005.
- [7] GALLON, C. et al; Effect of Process Induced Strain in 35 nm FDSOI Devices with Ultra-Thin Silicon Channels, **SSDM**, 2005.
- [8] HAMMOUD, A. et al; Electronic Components and Circuits for Extreme Temperature Environments, **Proceedings of the 2003 10th IEEE International Conference on Electronics, Circuits and Systems,** vol. 1, p. 44-47, 2003.
- [9] SOUZA, M. de; PAVANELLO; M. A., MARTINO, J. A.; SIMOEN, E., CLAEYS, C; Low temperature influence on the uniaxially strained FD SOI nMOSFETs behavior. **Microelectronic Engineering**, v. 84, p. 2121-2124, 2007.
- [10] FOSSUM, J. G. Designing Reliable SOI CMOS Circuits with Floating-Body Effects.In:

- Proceedings of the 28th European of Solid-State Device Research Conference ESSDERC, p. 34–41, 1998.
- [11] HAMMAD, M. YOUSSEF; SCHRODER, DIETER K., Analytical Modeling of the Partially-Depleted SOI. MOSFET. **IEEE Transactions on Electron Devices**, v. 48, n. 2, p. 252-258, 2001.
- [12] STANIEY, T. D. The State-of-the art in SOI Technology. **IEEE Transactions on Nuclear Science**, v. 35, n. 6, p. 1346–1349, 1988.
- [13] LIM, H. K.; FOSSUM, J. G. Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's. **IEEE Transactions on Electron Devices**, v. 30, n. 10, p. 1244-1451, 1983.
- [14] FOSSUM, J. G. Designing Reliable SOI CMOS Circuits with Floating-Body Effects. Proceedings of the 28th European of Solid-State Device Research Conference ESSDERC, p. 34–41, 1998.
- [15] KATO, KOICHI; WADA, TETSUNORI; TANIGUCHI, ANDKENJI. Analysis of Kink Characteristics in Silicon-on-Insulator MOSFET'S Using Two-Carrier. **IEEE journal of Solid-State circuits**, v. sc-20, n. 1, p. 378-382, 1985.
- [16] YOUNG, K. K. Short-channel effect in fully depleted SOI MOSFETs. IEEE **Transactions on Electron Devices**, v. 36, n. 2, p. 399-402, 1989.
- [17] COLINGE, J. P. Subthreshold slope of thin-film SOI MOSFET's. **IEEE Transactions on Electron Devices letters**, v. 7, n. 4, p. 244-246, 1986.
- [18] COLINGE, J. P. Transconductance of Silicon-On-Insulator (SOI) MOSFET's. **IEEE Transactions on Electron Devices letters**, v. 6, n. 11, p. 573-574, 1985.
- [19] MARTINO, J. A.; PAVANELLO, M. A.; VERDONOCK, P. B. Caracterização Elétrica e Dispositivos MOS, São Paulo: **Pioneira Thomson Learning**, 2003. cap. 2, p. 45-46.

- [20] VAN OVERSTRAETEN, R.J.; DECLERK, G.J. and MULS, P.A.. Inadequacy of Classical Theory of the MOS Transistor Operating in Weak Inversion. **IEEE Transactions on Electron Devices**, vol. ED-20, PP.1150, 1973.
- [21] S.M. Sze, Physics of Semiconductor Devices, Wiley & Sons, p. 446, 1981.
- [22] COLINGE, J. P. and KAMINS, T. L., CMOS circuits made in thin (100 nm) SIMOX films, IEEE SOS/SOI Technology Workshop, 1987.
- [23] DING, Y.-F. et al; Numerical study of self-heating effects of small-size MOSFETs fabricated on silicon-on-aluminum nitride substrate. **Nuclear Science and Techniques**, v. 17, n. 1, p. 29-33, 2006.
- [24] MCDAID L. J., HALL S., ECCLESTON W., and ALDERMAN J. C., Negative Resistance in the Output Characteristics of SOI MOSFETs, **Proc. IEEE SOS/SOI Tech. Conf.**, pp. 33-34, 1989.
- [25] BERGER, M.; CHAI, Z., Estimation of heat transfer in SOI-MOSFETs, **IEEE Transactions On Electron Devices,** v.38, p. 871, 1991.
- [26] JOMAAH, J. et al; Analysis and modeling of self-heating effects in thin-film SOI MOSFETs as a function of temperature. **Solid-States Electronics**, v. 38, n.3. p. 615-618, 1995.
- [27] SU L., CHUNG J. E., ANTONIADIS D. A., GOODSON K. E., and FLIK M. I., Measurement and Modeling of Self-Heating in SOI NMOSFET's, **IEEE Trans. Electron Devices**, Vol. 41, No. 1, pp. 69-75, Jan. 1994.
- [28] SUN, J.Y.C; TAUR, Y; DENNARD, R. H.e KLEPNER; Submicrometer-Channel CMOS for Low Temperature Operation. **IEEE Trans. Electron Devices**, Vol. ED-34, n°1, p.19-27, 1987.

- [29] SOUZA M., Modelagem, simulação e fabricação de circuitos analógicos com transistores SOI convencionais e de canal gradual operando em temperaturas criogênicas, Tese de Doutorado, Escola Politécnica da Universidade de São Paulo, 2008.
- [30] GAENSSLEN, F.H., RIDEOUT, E.J.W e WALKER, j.j; Very small MOSFETS for Low Temperature Operation, **IEEE Trans. Electron Devices**, vol.ED-24, n°3, p. 218-229, 1977.
- [31] GUTIERREZ, E. A., DEEN, J.; CLAEYS, C. L.; Low Temperature Electronics: Physics, Devices, Circuits and Applications, **Academic Press**, 1991.
- [32] KLAASSEN, D. B. M.; A Unified Mobility Model for Device Simulation I. Model Equations and Concentration Dependence, **Solid-State Electronics**, v. 35, no. 7, p. 953-959, 1992.
- [33] KLAASSEN, D. B. M.; A Unified Mobility Model for Device Simulation II. Temperature Dependence of Carrier Mobility and Lifetime, **Solid-State Electronics**, v. 35, no. 7, p. 961-967, 1992.
- [34] DORKEL, J. M.; LETURCQ, Ph.; Carrier mobilities in silicon semi-empirically related to temperature, doping and injection level, **Solid-State Electronics**, v.24, n 9, p.821-825, 1981.
- [35] LOMBARDI, C., MANZINI, S., SAPORO, A. e VANZI, M., A Physically Based Mobility Model for Numerical Simulation of Nonplanar Devices, **IEEE trans on Computer Aided Design**, Vol 7, No 11, pp 1164-1171, 1988.
- [36] CHIDAMBARAM, P.R., et al., Fundamental of silicon material properties for successful exploitation of strain engineering in modern CMOS manufacturing, **IEEE Trans Electron Devices**, Vol 53, No 5, pp 944-964, 2006

- [37] WELSER, J., HOYT, J. L., GIBBONS, J. F., Electron mobility enhancement in strained-Si n-type metal-oxide-semiconductor field-effect transistors, **IEEE Electron Device** Letter, vol. 15, no. 3, pp. 100–102, Mar. 1994.
- [38] GALLON, C. et al; Mechanical and electrical analysis of strained liner effect in 35nm fully depleted silicon-on-insulator devices with ultra thin silicon channels, **Japanese Journal of Applied Physics**, v. 45, n. 4B, p. 3058-3063, 2006.
- [39] BRANTLEY, W. A., Calculated elastic constants for stress problems associated with semiconductor devices, **Journal of Applied Physics**, vol. 44, no. 1, pp. 534–535,1973
- [40] FRANA D. R., BLOUIN A., All-optical measurement of in-plane and out-of-plane Young's modulus and Poisson ratio in silicon wafers by means of vibration modes, **Measurement Science and Technology**, vol. 15, pp. 859–868, 2004.
- [41] OHRING M., Material Science of Thin Films, Deposition and Structure; Chapter 12: Mechanical Properties of Thin Film. USA: **Academic Press**, second ed., 2002.
- [42] HOSSAIN, N., JU J., WARNEKE B., PISTER K., Characterization of the Young's modulus of CMOS thin films, in Mechanical Properties of Structural Films (C. L. Muhlstein and S. B. Brown, eds.), **ASTM Special Technical Publication**, pp. 1–13, Julho 2001.
- [43] BULLIS, W. M., Silicon material properties, **Handbook of Semi-conductor Silicon Technology**, R.B.H.W.O'MaraandL.P.Hunt,Eds. Park Ridge, NJ: Noyes, 1990, pp. 347–450.
- [44] PETERSEN, K. E., Silicon as a mechanical material. **Proc. IEEE**, vol. 70, no. 5, pp. 420–457, Maio 1982.
- [45] TSANG Y. L. ET AL.., Using Piezoresistance Model With C–R Conversion for Modeling of Strain-Induced Mobility, **IEEE Trans Electron Devices**, Vol 29, No 9, Setembro 2008, PP. 1062-1064.

- [46] SMITH C.S., Piezoresistance effect in germanium and silicon, **Phys. Rev.**, vol. 94 n°1, 42-49, 1954.
- [47] KANDA Y., A graphical representation of the piezoresistance coefficients in silicon. **IEEE Trans Electron Devices**, vol. ED-29, n°1, p.64-70, Janeiro 1982.
- [48] SUN et al., Physics of process Induced Uniaxially Strained Si. **Material Science and Engineering**, B 135, pp-179-183, 2006.
- [49] RICHARD S. et al., Strained silicon on Ge: temperature dependence of carrier effective masses. **Journal of Appl Phy**, Vol 94, No 8, pp 5088-5094, Outubro 2003.
- [50]RICHARD S., ANIEL F., FISHMAN G., CAVASSILAS N., Energy-band structure in strained silicon: A 20- band k"p and BirPikus Hamiltonian model. **Journal of Applied Physics**, vol. 94, n°3, p. 1795-1799, 2003.
- [51] THOMPSON S. E. et al., Uni-axial process-induced strained Si: extending the CMOS roadmap, **IEEE Trans Electron Devices**, Vol 53, No 5, Maio 2006, pp1010-1020.
- [52] UCHIDA K., et al, Physical Mechanisms of Electron Mobility Enhancement in Uniaxial Stressed MOSFETs and Impact of Uniaxial Stress Engineering in Ballistic Regime., **IEEE IEDM Tech. Dig.**, p.129-132, 2005.
- [53] Sentaurus Process User guide, Versão A-2007.12, Dezembro 2007.
- [54] Sentaurus Device User guide, Versão Y-2006.06, Junho 2006.
- [55] ATLAS Users' Manual, Device simulation software, Junho, 2008.
- [56] Athena Users' Manual, Process simulation software, Junho, 2008.
- [57] Tecplot SV User guide, Versão A-2007.12, Dezembro 2007.

- [58] Inspect User guide, Versão A-2007.12, Dezembro 2007.
- [59] CANALI C. *et al.*, Electron and Hole Drift Velocity Measurements in Silicon and Their Empirical Relation to Electric Field and Temperature, **IEEE Transactions on Electron Devices**, vol. ED-22, no. 11, pp. 1045–1047, 1975.
- [60] SLOTBOOM J. W. and GRAAFF H. C. de, Measurements of Bandgap Narrowing in Si Bipolar Transistors, **Solid-State Electronics**, vol. 19, no. 10, pp. 857–862, 1976.
- [61] SLOTBOOM J. W. and GRAAFF H. C. de, Bandgap Narrowing in Silicon Bipolar Transistors, **IEEE Transactions on Electron Devices**, vol. ED-24, no. 8, pp. 1123–1125, 1977.
- [62] LADES M. *et al.*, Analysis of Piezoresistive Effects in Silicon Structures Using Multidimensional Process and Device Simulation, **Simulation of Semiconductor Devices and Processes (SISDEP)**, vol. 6, Erlangen, Germany, pp. 22–25, 1995.
- [63] WANG Z., Modélisation de la piézorésistivité du Silicium: Application à la simulation de dispositifs M.O.S, Tese de Doutorado, **Université des Sciences et Technologies de Lille**, França, 1994.
- [64] EGLEY L. and CHIDAMBARRAO D., Strain Effects on Device Characteristics: Implementation in Drift-Diffusion Simulators, **Solid-State Electronics**, vol. 36, no. 12, pp. 1653–1664, 1993.
- [65] WACHUTKA G., An Extended Thermodynamic Model for the Simultaneous Simulation of the Thermal and Electrical Behaviour of Semiconductor Devices, **Proceedings of the Sixth International Conference on the Numerical Analysis of Semiconductor Devices and Integrated Circuits (NASECODE VI)**, vol. 5, pp. 409–414, 1989.

- [66] MEER, H. V. Fully-Depleted SOI CMOS for the nanometer era, Tese de doutorado **Interuniversity Microelectronics Center**, Novembro 2002.
- [67] AUGENDRE, E. ENEMAN, G. DE KEERSGIETER, A. SIMONS, V. DE WOLF, I. RAMOS, J. BRUS, S. PAWLAK, B. SEVEN, S. LEYS, F. SLEECKX, E. LOCOROTONDO, S. ERCKEN, M. DE MARNEFFE, J.-F. FEI, L. SEACRIST, M. KELLERMAN, B. GOODWIN, M. DE MEYER, K. JURCZAK, M. BIESEMANS, S.; On the scalability of source/drain current enhancement in thin film sSOI. **Proceedings of the** 35th European of Solid-State Device Research Conference ESSDERC, 301-304, 2005.
- [68] TERAO, A.; FLANDRE, D.; TAMOYO, E. L.; WIELE, V. Measurement of threshold voltages of thin-film accumulation-mode PMOS/SOI transistors. **IEEE Electron Device Letters**, v. 12, n. 12, p. 682-684, 1991.
- [69] WONG, H. S.; WHITE, M. H.; KRUTSICK, T. J.; BOOTH, V. Modeling of transconductance degradation and extraction of threshold voltage in thin oxide MOSFET's. **Solid-State Electronics**, v. 30, n. 9, p. 953-958, 1987.
- [70] LIM J. S. et al., Comparison of Threshold-Voltage Shifts for Uniaxial and Biaxial Tensile-Stressed n-MOSFETs, **IEEE Electron Device Lett.**, vol. 25, no. 11, pp. 731–733, Nov. 2004.

# APÊNDICE A - ARQUIVO DE SIMULAÇÃO DO PROCESSO DE FABRICAÇÃO DO TRANSISTOR SOI NMOSFET COM TENSÃO MECÂNICA UNIAXIAL

#### pdbSet Grid MGoals UseLines 1

#### ################

#Grade em x

#### #################

line x location=-0.015<um> spac=0.0005<um> tag=top

line x location=-0.008<um> spac=0.001<um>

line x location=-0.002<um> spac=0.002<um>

line x location=0<um> spac=0.1<um> tag=topox

line x location=0.1<um> spac=0.5<um>

line x location=0.15<um> spac=0.5<um> tag=botox

line x location=0.25<um> spac=2<um> tag=bottom

#### ######################

#### #Grade em y

#### 

line y location=0.00<um> spac=0.01<um> tag=left

line y location=0.20<um> spac=0.01<um>

line y location=0.25<um> spac=0.01<um>

line y location=0.45<um> spac=0.025<um>

line y location=0.50<um> spac=0.025<um>

line y location=0.57<um> spac=0.025<um> tag=right

#### 

#### # Definindo a lamina

#### ####################################

region silicon xlo=top xhi=topox ylo=left yhi=right region oxide xlo=topox xhi=botox ylo=left yhi=right region silicon xlo=botox xhi=bottom ylo=left yhi=right

init concentration=1.0e15<cm-3> field=boron wafer.orient=100

implant boron dose=3.0E11<cm-2> energy=12<keV> tilt=7

struct tdr=ssoi\_140nm\_1

#Oxidadacao de porta

mgoals on min.normal.size=1<nm> max.lateral.size=2<um> \ normal.growth.ratio=3 accuracy=2e-5 diffuse temperature=800<C> time= 0.1<min> O2 grid remesh select z=boron layers

struct tdr=ssoi\_140nm\_2

# Deposicao do material de porta

deposit poly type=anisotropic thickness=0.1<um> mask name=gate\_mask left=-1 right=0.07<um> struct tdr=ssoi\_140nm\_3

#Definicao Si-poli

###################################

etch poly type=anisotropic thickness=0.2<um> mask=gate\_mask etch oxide type=anisotropic thickness=0.1<um> diffuse temperature=400<C> time=30<min> N2O \ mgoals.native struct tdr=ssoi\_140nm\_4

deposit oxide type=anisotropic thickness=10<nm>
mask name=cap\_ox left=-1 right=0.07<um>
struct tdr=ssoi\_140nm\_5
etch oxide type=anisotropic thickness=0.08<um> mask=cap\_ox

```
struct tdr=ssoi_140nm_6
deposit nitride type=anisotropic thickness=40<nm>
mask name=cap_nit left=-1 right=0.07<um>
struct tdr=ssoi_140nm_7
etch nitride type=anisotropic thickness=0.08<um> mask=cap_nit
struct tdr=ssoi_150nm_8
##############################
# formação dos espaçadores
##############################
deposit oxide type=isotropic thickness=10<nm>
struct tdr=ssoi_140nm_9
deposit nitride type=isotropic thickness=55<nm>
struct tdr=ssoi_140nm_10
etch nitride type=anisotropic thickness=60<nm> isotropic.overetch=0.01
struct tdr=ssoi_140nm_11
etch oxide type=anisotropic thickness=15<nm>
struct tdr=ssoi 140nm 12
#LDD
implant Arsenic dose=1e13<cm-2> energy=6<keV> tilt=7
#############################
# crescimeto epitaxial
###############################
diffuse temperature=900<C> time=5<min> Epi thick=25<nm>
struct tdr=ssoi_140nm_13
# Implantacao de fonte e dreno
implant Arsenic dose=5e14<cm-2> energy=50<keV> tilt=7
diffuse temp=1050 time=0.1
############
# Stress
###########
doping name=Pressure field=Pressure depths= {0 0.1} values= {-2E+9 -2E+9 }
deposit material= {nitride} doping= {Pressure} type=isotropic rate=1.0 time=0.1 steps=10
struct tdr=ssoi_140nm_14
```

struct tdr=ssoi\_140nm\_15 transform reflect left

contact name=source point silicon adjacent.material=nitride ylo=0.29 yhi=0.45 xlo=-0.035995 xhi=-0.042 contact x=0.0 y=0.0 name=gate poly contact name=drain box silicon adjacent.material=nitride ylo=-0.29 yhi=-0.45 xlo=-0.035995 xhi=-0.042 contact bottom name=substrate contact bottom name=thermal

struct smesh=soi\_140nm\_with\_strain\_with\_thermal\_2GPA\_2 FullD !Gas struct dfise=soi\_140nm\_with\_strain\_with\_thermal\_2GPA\_2 !Gas FullD exit

# APÊNDICE B - ARQUIVO DE SIMULAÇÃO NUMÉRICA UTILIZADO

```
File {
 * input files:
 Grid= "@l@nm_with_strain_@cesl@MPA_fps.grd"
 Doping= "@1@nm_with_strain_@cesl@MPA_fps.dat"
 Piezo= "@1@nm_with_strain_@ces1@MPA_fps.dat"
 Parameter = "Silicon incomplete.par"
 * output files:
 Plot= "@1@nm_with_strain_50mv_@temp@k_incomplete.tdr"
 Current="@1@nm_with_strain_50mv_@temp@k_incomplete.plt"
 Output= "@1@nm_with_strain_50mv_@temp@k_incomplete.log"
Electrode {
 { Name="source" Voltage=0.0 }
 { Name="drain"
                Voltage=0.0 }
                 Voltage=-0.3 Material = "PolySi"(N=1e21) }
{ Name="gate"
 { Name="substrate" Voltage=0.0 }
}
Physics {
 IncompleteIonization
 temperature=@temp@
 #Hydro( eTemperature )
 Recombination(SRH(DopingDep TempDependence))
 Mobility( Phumob HighFieldsat Enormal IncompleteIonization )
 EffectiveIntrinsicDensity(OldSlotboom)
 Piezo( Model(DeformationPotential Mobility(esubband(Egley))))
}
Physics
(MaterialInterface="Silicon/Oxide") {
charge(Conc=4.5e+10)
}
Plot {
 eDensity hDensity eCurrent hCurrent SRHRecombination
```

```
Potential SpaceCharge ElectricField
 eMobility hMobility eVelocity hVelocity
 Doping DonorConcentration AcceptorConcentration
 BandGap BandGapNarrowing Affinity ConductionBand ValenceBand
}
Math {
 Extrapolate
 RelErrControl
Iterations=100
TensorGridAniso
}
Solve {
 #-initial solution:
 Poisson
 Coupled { Poisson Electron hole }
      #-ramp drain:
      Quasistationary (
             InitialStep=0.02 Maxstep=0.02 MinStep=0.005
             Goal { name="drain" voltage=0.05 }
 {Coupled { Poisson Electron hole } }
 #-ramp gate:
 Quasistationary (InitialStep=0.00666 Maxstep=0.00666 Minstep=0.000666
           Goal { Name="gate" Voltage=1.2 } )
          { Coupled { Poisson Electron hole } }
}
```