

CENTRO UNIVERSITÁRIO DA FEI

RODRIGO D'ANGELO MATHIAS

**ESTUDO DO EFEITO DO AUTOAQUECIMENTO EM TRANSISTORES
MOSFETS FABRICADOS EM ESTRUTURAS FINFETS E ESTRUTURAS
FINFETS MODIFICADAS**

São Bernardo do Campo

2013

RODRIGO D'ANGELO MATHIAS

**ESTUDO DO EFEITO DO AUTOAQUECIMENTO EM TRANSISTORES
MOSFETS FABRICADOS EM ESTRUTURAS FINFETS E ESTRUTURAS
FINFETS MODIFICADAS**

Dissertação apresentada ao Centro Universitário
da FEI para a obtenção do título de Mestre em
Engenharia Elétrica, orientado pela Profa. Dra.
Paula Ghedini Der Agopian.

São Bernardo do Campo

2013

Mathias, Rodrigo D'Angelo.

Estudo do efeito do autoaquecimento em transistores MOSFETs fabricados em estruturas FinFETs e estruturas FinFETs modificadas / Rodrigo D'Angelo Mathias. São Bernardo do Campo, 2013.
100 f. : il.

Dissertação - Centro Universitário da FEI.
Orientador: Prof. Paula Ghedini Der Agopian.

1. FinFETs. 2. Tecnologia SOI. 3. Dispositivos de Múltiplas Portas. I. Der Agopian, Paula Ghedini, orient. II. Título.

CDU 621.381



Centro Universitário da FEI

APRESENTAÇÃO DE DISSERTAÇÃO ATA DA BANCA JULGADORA

PGE-10

Programa de Mestrado de Engenharia Elétrica

Aluno: Rodrigo D'Angelo Mathias

Matrícula: 111102-0

Título do Trabalho: Estudo do efeito do autoaquecimento em transistores MOSFETS fabricados em estruturas FINFETS e estruturas FINFETS modificadas.

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof.^a Dr.^a Paula Ghedini Der Agopian

Data da realização da defesa: 21/11/2013

ORIGINAL ASSINADA

A Banca Julgadora abaixo-assinada atribuiu ao aluno o seguinte:

APROVADO

REPROVADO

São Bernardo do Campo, 21 de Novembro de 2013.

MEMBROS DA BANCA JULGADORA

Prof.^a Dr.^a Paula Ghedini Der Agopian

Ass.: _____

Prof. Dr. Victor Sonnenberg

Ass.: _____

Prof. Dr. Maurício Massazumi Oka

Ass.: _____

VERSÃO FINAL DA DISSERTAÇÃO

ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS
RECOMENDAÇÕES DA BANCA EXAMINADORA

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz

Dedico este trabalho à minha família, em especial aos meus pais, ao meu irmão e aos meus avós (*in memoriam*), que nunca mediram esforços para satisfazerem os meus sonhos, pela contribuição inestimável, incentivo e carinho concedido ao longo desta jornada.

AGRADECIMENTOS

A amiga e orientadora professora Dra. Paula Ghedini Der Agopian, pela atenção e dedicação dispensadas e, também pelo voto de confiança depositado para a realização deste trabalho.

Ao grande amigo e professor Dr. Renato Giacomini, pela atenção, ajuda e apoio oferecidos durante a realização desse trabalho. E, sem dúvida, a todos os professores que me deram todo o embasamento técnico para escrever essa qualificação.

Aos amigos, colegas e alunos dos grupos de mestrado em engenharia elétrica, pelas inúmeras sugestões e diversos incentivos no decorrer deste trabalho.

Aos meus familiares pelo incentivo, apoio financeiro, compreensão e paciência.

E, as inúmeras outras pessoas que, de alguma forma, colaboraram para a realização deste trabalho.

Deixe que o futuro diga a verdade e avalie cada um de acordo com o seu trabalho e realizações.

O presente pertence a eles, mas o futuro pelo qual eu sempre trabalhei pertence a mim.

Nikola Tesla

RESUMO

Para tecnologias CMOS iguais ou menores que 22 nm, os dispositivos de efeito de campo verticais de múltiplas portas (*MuGFETs*) têm sido apontados como uma alternativa para substituir os dispositivos planares fabricados em lâminas de silício convencionais ou de Silício Sobre Isolante (SOI). No entanto, a escolha do melhor tipo de substrato é difícil devido a cada um apresentar vantagens diferentes em relação ao outro. Embora os dispositivos fabricados em substrato SOI apresentem algumas vantagens, como a excelente característica da inclinação de subliminar, valores de capacitâncias de fonte / dreno relativamente inferiores, e a eliminação do efeito de *latch-up*; quando o foco são os efeitos de autoaquecimento (*Self-Heating Effects*, SHE), este tipo de substrato apresenta uma pior dissipação térmica. A tecnologia FinFET fabricada em lâmina de silício (*Bulk* FinFET) apresenta uma elevada taxa de transferência de calor, e baixo custo. A fim de combinar as vantagens de ambos os tipos de substratos, o dispositivo com Fonte / Dreno em Silício sobre Isolante (SDSOI) e com Fonte / Dreno em Silício sobre Isolante Modificado (MSDSOI) foram estudados. Este trabalho apresenta um estudo comparativo da influência dos efeitos do autoaquecimento em estruturas *MuGFETs* sobre quatro diferentes tipos de substrato: silício, SOI, SDSOI e MSDSOI. Toda a análise foi realizada baseando-se em simulações numéricas tridimensionais geradas pelo programa Atlas da Silvaco. A comparação das estruturas está baseada no comportamento do SHE e a influência deste fenômeno indesejável nos principais parâmetros analógicos. Entre eles podemos citar: a tensão Early, o ganho de tensão intrínseco, a razão da transcondutância pela corrente elétrica de dreno, e a condutância de dreno. Enquanto o efeito de autoaquecimento muitas vezes resulta na melhoria do comportamento analógico, este efeito piora outras características, como por exemplo, a redução da corrente elétrica entre fonte e dreno. Através do estudo dos transistores de múltiplas portas, com especial atenção à estrutura MSDSOI, que permite o contato físico do canal com o substrato através de uma janela de acesso W_a (*Access Window*), é possível observar que os efeitos de autoaquecimento apresentam melhoria significativa à medida que a largura dessa janela é aumentada, enquanto a eficácia do controle exercido pela tensão de porta sobre a corrente elétrica de dreno é maior, à medida que a W_a torna-se menor. Assim, as estruturas FinFETs modificadas com janela de contato apresentam melhor desempenho, uma vez que combinam os benefícios do Convencional (menor SHE) com os benefícios do SOI (melhor acoplamento) e, um aumento considerável no ganho de tensão intrínseco pode ser obtido, resultando em um excelente comportamento analógico.

Palavras-chave: FinFETs. Tecnologia SOI. Dispositivos de Múltiplas Portas. Efeito de Autoaquecimento. Estrutura SOI Modificada.

ABSTRACT

For CMOS technologies equal to or less than 22 nm, the vertical multiple gate field-effect transistors (MuGFETs) have been hailed as an alternative to replace the planar devices manufactured in silicon or in Silicon-On-Insulator (SOI). However, the choice regarding the best type of substrate is difficult due to the fact that each of them has different advantages compared to the other one. Although the SOI substrates have some advantages, such as the excellent characteristic of the subthreshold swing, values of source / drain capacitances relatively lower, and eliminating the latch-up effect; when the focus is the effects of Self-Heating Effects (SHE), this type of substrate has worse thermal dissipation. The Bulk FinFET technology shows a high rate of heat transfer, as well as low cost. In order to combine the advantages of both types of substrates, the device with Source / Drain in Silicon-On-Insulator (SDSOI) and with Modified Source / Drain in Silicon-On-Insulator (MSDSOI) were studied. This assignment presents a comparative study about the influence of the effects of self-heating structures MuGFETs in four different types of substrate: silicon, SOI, SDSOI and MSDSOI. All the analysis was conducted based on tridimensional numeric simulators generated by Atlas software of Silvaco. The comparison among the structures is based on the behavior of SHE, and the influence of this undesirable phenomenon in the main analog parameters. Among them we can mention: the Early voltage, the intrinsic voltage gain, the reason of the transconductance by the electric current, the conductance of drain. While the self-heating effect often results in the improvement of the analog behavior, this effect makes other characteristics much worse, such as the electric current reduction between source and drain. Through the study of multiple gates transistors, with special attention to the MSDSOI structure, which allows the physical contact of the channel with the substrate through Wa Access Window, it is possible to notice that the effects of self-heating present significant improvement while the width of this window is extended, whereas the effectiveness of the control performed by the gate voltage on the electric current is bigger as the Wa gets smaller. This way, the modified FinFETs structures with contact window show a better performance, since they combine the Bulk benefits (lower SHE) with the SOI benefits (better coupling) and a significant increase of the intrinsic voltage gain can be obtained, resulting in an excellent analogic behavior.

Keywords: FinFETs. SOI Technology. Multiple Gate Devices. Self-heating Effect. Modified SOI structures.

LISTA DE FIGURAS

Figura 1 – Corte transversal de um SOI nMOSFET.	24
Figura 2 – Diagrama de faixas de energia de SOI MOSFETs (A) parcialmente depletados e (B) totalmente depletados.	26
Figura 3 – Estruturas de transistores FinFETs de porta (A) dupla e (B) tripla, com a descrição esquemática de suas dimensões.	28
Figura 4 – Exemplo de curva de I_{DS} em função de V_{GS} em escala logarítmica, para a obtenção da inclinação de sublimiar.	31
Figura 5 – Exemplo de uma curva da transcondutância g_m em função da tensão de porta, em um SOI convencional de porta simples e em um com múltiplas portas.	33
Figura 6 – Exemplo de curva das características I_{DS} em função de V_{DS} para vários V_{GTS} e a técnica de extrapolação das curvas para a obtenção da tensão Early.	35
Figura 7 – Exemplo de uma curva de g_m / I_{DS} em função de $I_{DS} / (W_{eff} / L_{eff})$ com as regiões de inversões de um FinFET.	36
Figura 8 – Curva genérica de I_{DS} em função de V_{DS} indicando a ocorrência de efeito do autoaquecimento.	37
Figura 9 – Exemplo de curvas da concentração intrínseca de portadores (n_i) e da largura de banda proibida (E_g) devido à variação da temperatura.	38
Figura 10 – Exemplo de um gráfico do potencial de Fermi e percentual de impurezas ionizadas devido à variação na temperatura.	39
Figura 11 – Corte transversal de um transistor (A) SDSOI e (B) MSDSOI, com o detalhe da janela de contato com comprimento W_a	41
Figura 12 – Estrutura esquemática representativa do dispositivo convencional em (A) 3D e (B) corte transversal.	49
Figura 13 – Estrutura esquemática representativa do dispositivo SDSOI em (A) 3D e (B) corte transversal.	49
Figura 14 – Estrutura esquemática representativa do dispositivo MSDSOI em (A) 3D e (B) corte transversal, com a janela de silício (W_a).	49
Figura 15 – Estrutura esquemática representativa do dispositivo SOI em (A) 3D e (B) corte transversal.	50

Figura 16 – Exemplo de curva de I_{DS} em função de V_{DS} para mostrar os efeitos dos parâmetros AN1, AN2, BN1 e BN2 nas simulações realizadas.....	51
Figura 17 – Curvas de I_{DS} em função de V_{DS} obtidas ao se modificar os parâmetros AN1, AN2, BN1 e BN2.	52
Figura 18 – Curvas de I_{DS} em função de V_{GS} para diferentes estruturas FinFETs com largura do <i>fin</i> de 120 nm.	54
Figura 19 – Curvas de I_{DS} em escala logarítmica em função de V_{GS} para diferentes estruturas FinFETs com larguras de <i>fin</i> de (A) 20 nm, (B) 60 nm e, (C) 120 nm, respectivamente, com $V_{DS} = 50$ mV e $V_{GB} = 0$ V.	55
Figura 20 – Concentração de elétrons para três diferentes estruturas FinFETs com largura de <i>fin</i> de 120 nm, sendo (A) Convencional, (B) SDSOI e (C) MSDSOI com W_a de 50 nm, com vista tridimensional, respectivamente.....	57
Figura 21 – Corte transversal entre fonte e dreno, da concentração de elétrons para três estruturas FinFETs com largura de <i>fin</i> de 120 nm, para (A) Convencional, (B) SDSOI e (C) MSDSOI com W_a de 50 nm, respectivamente.	57
Figura 22 – Exemplo da concentração de elétrons para duas estruturas e duas polarizações cada, respectivamente: (A) Bulk e $V_{GS} = 0,33$ V, (B) Bulk e $V_{GS} = 0,41$ V, (C) SDSOI e $V_{GS} = 0,33$ V, (D) SDSOI e $V_{GS} = 0,41$ V.	58
Figura 23 – Posições utilizadas para o corte e a extração da concentração de elétrons da primeira e da segunda interfaces nas estruturas FinFETs.....	59
Figura 24 – Curvas das concentrações de elétrons nas primeiras e segundas interfaces do canal, nos dispositivos FinFETs, para três larguras de <i>fin</i> e em dois pontos de polarização, respectivamente: (A) 20 nm e $V_{GS} = 0,33$ V, (B) 20 nm e $V_{GS} = 0,41$ V, (C) 60 nm e $V_{GS} = 0,33$ V, (D) 60 nm e $V_{GS} = 0,41$ V, (E) 120 nm e $V_{GS} = 0,33$ V, e (F) 120 nm e $V_{GS} = 0,41$ V.....	60
Figura 25 – Dispositivo convencional (<i>Bulk</i>) com: (A) Dopagem natural abaixo do canal / substrato ($1 \times 10^{15} \text{ cm}^{-3}$) e (B) Alta dopagem logo abaixo da região de canal.	61
Figura 26 – Curvas de I_{DS} em escala linear e de I_{DS} em escala logarítmica em funções de V_{GS} para estruturas FinFETs convencionais com diferentes dopagens logo abaixo da região de canal.....	61

Figura 27 – Exemplo do efeito do autoaquecimento para estruturas FinFETs com duas polarizações cada: (A) SOI e $V_{DS} = 1,2$ V, (B) SOI e $V_{DS} = 0,8$ V, (C) MSDSOI com $W_a = 15$ nm e $V_{DS} = 1,2$ V, (D) MSDSOI com W_a de 15nm e $V_{DS} = 0,8$ V, (E) MSDSOI com W_a de 50nm e V_{DS} de 1,2 V, (F) MSDSOI com W_a de 50nm e V_{DS} de 0,8 V, (G) SDSOI e $V_{DS} = 1,2$ V, (H) SDSOI e $V_{DS} = 0,8$ V, (I) Convencional e V_{DS} de 1,2 V, e (J) Convencional e V_{DS} de 0,8 V.	63
Figura 28 – Posições utilizadas para o corte e a extração da temperatura nas estruturas FinFETs em relação à profundidade.....	64
Figura 29 – Corte realizado na extensão do canal, entre fonte e dreno, para a extração da temperatura nas estruturas FinFETs.	64
Figura 30 – Temperatura ao longo da profundidade do dispositivo, a 30 nm da região de dreno, nas estruturas FinFETs com fin de largura de 120 nm, para V_{GT} igual a 1,0 V, e V_{DS} igual a 0,8 V e 1,2 V.....	65
Figura 31 – Temperaturas pela linha de corte ao longo da profundidade dos dispositivos, entre as regiões de fonte e dreno, nas estruturas FinFETs para V_{GT} igual a 1,0 V, e V_{DS} igual a 0,8 V e 1,2 V, para os fin s de (A) 20 nm, (B) 60 nm e (C) 120 nm.	66
Figura 32 – Temperaturas ao longo da extensão do canal entre as regiões de fonte e dreno, a 2 nm da primeira interface nas estruturas FinFETs, para V_{GT} igual a 1,0 V, e V_{DS} igual a 0,8 V e 1,2 V, para os fin s de largura de (A) 20 nm, (B) 60 nm e (C) 120 nm.	67
Figura 33 – Curvas $I_{DS} \times V_{GS}$ sem SHE e V_{DS} de 0,8 V e 1,2 V, para estruturas FinFETs com largura de canal de 120 nm.....	68
Figura 34 – Curvas de $g_m \times V_{GS}$ sem SHE, para duas polarizações de dreno, nos dispositivos FinFETs com fin de 120 nm.	68
Figura 35 – Curvas $I_{DS} \times V_{GS}$ em saturação com SHE e V_{DS} de 0,8 V e 1,2 V, para estruturas FinFETs com larguras de canal de (A) 20 nm, (B) 60 nm e (C) 120 nm.	69
Figura 36 – Curvas de $g_m \times V_{GS}$ em saturação e SHE, para duas polarizações de dreno, nos dispositivos FinFETs com fin de (A) 20 nm, (B) 60 nm e (C) 120 nm.	70
Figura 37 – Curvas de g_m / I_{DS} em função de $I_{DS} / (W_{eff} / L_{eff})$, normalizada em função da razão de aspecto, para diferentes estruturas FinFETs, com larguras iguais à (A) 20 nm, (B) 60 nm e (C) 120 nm.	72

- Figura 38 – Curvas da corrente elétrica entre fonte e dreno em função da tensão entre fonte e dreno e sem SHE, nos dispositivos FinFETs com largura de f_{in} de 120 nm e com dois pontos de polarização, respectivamente: (A) $V_{GT} = 0,75$ V e (B) $V_{GT} = 1,0$ V. 74
- Figura 39 – I_{DS} em função de V_{DS} com sobretensão de condução elevada (em saturação) e com SHE em FinFETs, para três larguras de canal e dois pontos de polarização, respectivamente: (A) 20 nm e $V_{GT} = 0,75$ V, (B) 20 nm e $V_{GT} = 1,0$ V, (C) 60 nm e $V_{GT} = 0,75$ V, (D) 60 nm e $V_{GT} = 1,0$ V, (E) 120 nm e $V_{GT} = 0,75$ V e (F) 120 nm e $V_{GT} = 1,0$ V..... 75
- Figura 40 – Condutância de dreno em FinFETs sem o efeito de autoaquecimento, para largura de canal igual a 120 nm e dois pontos de polarização, sendo: (A) $V_{GT} = 0,75$ V e (B) $V_{GT} = 1,0$ V..... 76
- Figura 41 – Curva de g_D com SHE em FinFETs com três larguras de canal e dois pontos de polarização, respectivamente: (A) 20 nm e $V_{GT} = 0,75$ V, (B) 20 nm e $V_{GT} = 1,0$ V, (C) 60 nm e $V_{GT} = 0,75$ V, (D) 60 nm e $V_{GT} = 1,0$ V, (E) 120 nm e $V_{GT} = 0,75$ V e (F) 120 nm e $V_{GT} = 1,0$ V..... 77
- Figura 42 – Condutância de dreno g_D e transcondutância g_m em função das estruturas FinFETs para V_{GT} igual a 0,75 V e 1,0 V, e V_{DS} igual a 0,8 V e 1,2 V, para as larguras dos f_{ins} de (A) 20 nm, (B) 60 nm e, (C) 120 nm..... 79
- Figura 43 – Ganhos de tensão intrínsecos aceitáveis, em função das estruturas FinFETs para V_{GT} igual a 0,75 V e 1,0 V, e V_{DS} igual a 0,8 V e 1,2 V, para os f_{ins} de largura de 120 nm. 83
- Figura 44 – Estrutura esquemática representativa do dispositivo MSDSOI, com área de contato do silício, do canal ao substrato, menor em relação à sua largura ($L_a < W_{fin}$), em (A) 3D, (B) corte transversal, ao longo das regiões de fonte / dreno e (C) corte transversal, ao longo da sua largura..... 87
- Figura 45 – Demonstração da coerente dissipação térmica e do baixo efeito de autoaquecimento para a estrutura FinFET MSDSOI, com W_{fin} de 120 nm, W_a de 50 nm e L_a de 60 nm, com polarização de V_{DS} de 1,2 V e V_{GT} de 1,4 V. 87

LISTA DE TABELAS

Tabela 1 – Inclinação de sublimiar para estruturas FinFETs com diferentes larguras do fin para $V_{GS} \cong 0,3 \text{ V}$	56
Tabela 2 – Valores de g_{m_sat} para as estruturas FinFETs de W_{fin} igual a 20 nm.....	71
Tabela 3 – Valores de g_{m_sat} para as estruturas FinFETs com fin de 60 nm.	71
Tabela 4 – Valores de g_{m_sat} para as estruturas FinFETs com larguras de 120 nm.	71
Tabela 5 – Valores de g_{D_sat} para as estruturas FinFETs de fin com 20 nm.	78
Tabela 6 – Valores de g_{D_sat} para as estruturas FinFETs com fin de 60 nm.	78
Tabela 7 – Valores de g_{D_sat} para as estruturas FinFETs com larguras de fin iguais a 120 nm.	78
Tabela 8 – $ V_{EA} $ para FinFETs com W igual a 120 nm.....	80
Tabela 9 – Ganho A_V para estruturas FinFETs com W_{fin} igual a 20 nm.....	81
Tabela 10 – Ganho de tensão intrínseco para estruturas FinFETs com largura igual a 60 nm.....	82
Tabela 11 – Ganho A_V para estruturas FinFETs com largura do fin igual a 120 nm.....	82
Tabela 12 – Relação da largura dos dispositivos W_{fin} com o comprimento mínimo de contato W_a , para a obtenção da área ideal para a eficiente dissipação térmica.	85
Tabela 13 – Exemplos para diferentes W_{fin} , do comprimento mínimo de contato W_a , com base na área mínima para a eficiente dissipação térmica.	86

LISTA DE SÍMBOLOS

A	Área da seção transversal da região do canal [cm^2]
A_V	Ganho de tensão intrínseco ou ganho de tensão em malha aberta [adimensional]
α	Fator de acoplamento capacitivo, resultante da associação das capacitâncias do MOSFET
C_{OX}	Capacitância do óxido de porta do transistor MOS convencional [F / cm^2]
C_{OXb}	Capacitância do óxido enterrado [F / cm^2]
C_{OXf}	Capacitância do óxido de porta do transistor SOI [F / cm^2]
C_{OX1}	Capacitância do óxido de porta [F / cm^2]
C_{Si}	Capacitância da camada de silício [F / cm^2]
E	Campo elétrico [V / cm]
E_C	Nível de energia inferior da faixa de condução [eV]
E_F	Nível de Fermi do semiconductor [eV]
E_{FM}	Nível de Fermi do metal/eletrodo de porta [eV]
E_{FB}	Nível de Fermi do metal/eletrodo de substrato [eV]
E_g	Largura da faixa proibida [eV]
E_i	Nível intrínseco [eV]
E_V	Nível de energia superior da faixa de valência [eV]
ϵ_{ox}	Permissividade do óxido de silício [$3,45 \times 10^{-13} \text{ F} / \text{cm}$]
ϵ_{Si}	Permissividade do silício [$1,06 \times 10^{-12} \text{ F} / \text{cm}$]
ϕ_F	Potencial de Fermi da camada de silício [V]
ϕ_{MS}	Função trabalho do metal-silício [V]
ϕ_{MS1}	Função trabalho entre silício e o material de porta na primeira interface [V]
ϕ_S	Potencial de superfície do transistor [V]
g_D	Condutância de dreno [S]
g_m	Transcondutância do transistor [S]
$g_{m_m\acute{a}x}$	Transcondutância máxima do transistor [S]
g_m/I_{DS}	Razão entre a transcondutância e a corrente elétrica de dreno do transistor MOS [V^{-1}]
H_{Fin}	Altura da aleta de silício em transistores FinFETs [m]
I_{DS}	Corrente elétrica entre dreno e fonte [A]
$I_{DS}/(W/L)$	Corrente elétrica entre dreno e fonte normalizada pela razão de aspecto [A]
k	Constante de Boltzmann [$1,38066 \times 10^{-23} \text{ J} / \text{K}$]
L	Comprimento de canal do transistor [m]

L_a	Largura do contato de silício do canal com o substrato do transistor [m]
L_{fin}	Comprimento de máscara do canal do transistor FinFET [m]
μ_b	Mobilidade dos elétrons no núcleo do dispositivo [$\text{cm}^2 / \text{V.s}$]
μ_n	Mobilidade dos elétrons na região do canal [$\text{cm}^2 / \text{V.s}$]
n	Concentração de elétrons [cm^{-3}]
N_A	Concentração de impurezas aceitadoras em um semiconductor [cm^{-3}]
N_C	Nível de energia inferior da faixa de condução [eV]
N_D	Concentração de impurezas doadoras em um semiconductor [cm^{-3}]
n_i	Concentração intrínseca de portadores [cm^{-3}]
N_V	Nível de energia superior da faixa de valência [eV]
q	Carga elementar do elétron [$1,6 \times 10^{-19} \text{ C}$]
Q_{depl}	Carga de depleção na camada de silício [C / cm^2]
Q_{depl1}	Carga na região de depleção da primeira interface [C / cm^2]
Q_{invf}	Carga de inversão no óxido de porta [C / cm^2]
Q_{oxf}	Carga fixa no óxido de porta [C / cm^2]
SS	Inclinação de sublimiar [mV / década]
T	Temperatura absoluta [K]
t_{oxb}	Espessura do óxido enterrado [m]
t_{oxf}	Espessura do óxido de porta [m]
t_{Si}	Espessura da camada de silício do canal [m]
V_B	Tensão aplicada ao substrato do transistor convencional [V]
V_{DS}	Tensão entre dreno e fonte [V]
V_{DSsat}	Tensão de polarização em saturação entre dreno e fonte [V]
V_{EA}	Tensão Early [V]
V_{FB}	Tensão de faixa plana da estrutura MOS da primeira interface [V]
V_{GB}	Tensão aplicada ao substrato do transistor SOI [V]
V_{GS}	Tensão aplicada entre porta e fonte do transistor [V]
V_{GT}	Sobretensão de condução [V]
V_{TH}	Tensão de limiar de porta do MOSFET convencional [V]
$V_{TH,acc2}$	Tensão de limiar do transistor SOI com a segunda interface em acumulação [V]
$V_{TH,inv2}$	Tensão de limiar do transistor SOI com a segunda interface em inversão [V]
$V_{TH,depl2}$	Tensão de limiar do transistor SOI com a segunda interface em depleção [V]
W	Largura de canal do transistor [m]
W_a	Comprimento da janela de contato de silício do canal com o substrato do transistor [m]

W_{fin}	Largura de máscara do canal do transistor FinFET [m]
W_{eff}/L_{eff}	Razão da largura efetiva do canal pelo comprimento efetivo do canal [adimensional]
$x_{dmáx}$	Profundidade máxima da região de depleção [m]

LISTA DE ABREVIATURAS

2D	Bidimensional
3D	Tridimensional
BOX	Buried Oxide
CMOS	Complementary Metal-Oxide-Semiconductor
DELTA	fully DEpleted Lean-channel TrAnsistor
DG	Double-Gate
DIBL	Drain Induced Barrier Lowering
FD	Fully depleted
fin	Finger
FinFET	Fin Field Effect Transistor
IMEC	Interuniversity Microelectronics Center
ln	Logaritmo Neperiano
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor
PD	Partially Depleted
SCEs	Short Channel Effects
SHE	Self-Heating Effects
SOI	Silicon-On-Insulator
SS	Subthreshold Slope
MOS	Metal-Oxide-Semiconductor
TG	Triple-Gate
Wa	Access Window

SUMÁRIO

1	INTRODUÇÃO	20
1.1	Estrutura do Trabalho	21
2	CONCEITOS FUNDAMENTAIS	23
2.1	Tecnologia SOI	23
2.1.1	Classificação dos transistores SOI quanto à espessura da camada de silício.....	25
2.1.2	Transistores SOI de Múltiplas Portas.....	26
2.1.2.1	Dispositivos FinFETs.....	27
2.2	Características Elétricas	28
2.2.1	Parâmetros Básicos	29
2.2.1.1	Tensão de Limiar (V_{TH})	29
2.2.1.2	Inclinação de Sublimiar (SS)	30
2.2.1.3	Transcondutância (g_m)	32
2.2.2	Características Analógicas	34
2.2.2.1	Tensão Early ($ V_{EA} $) e Condutância de Dreno (g_D)	34
2.2.2.2	Razão da Transcondutância pela Corrente Elétrica de Dreno (g_m / I_{DS}).....	36
2.2.2.3	Ganho de Tensão Intrínseco (A_V)	37
2.2.2.4	Efeito de Autoaquecimento (SHE)	37
3	ESTRUTURAS SOI MODIFICADAS	41
4	SIMULAÇÕES NUMÉRICAS TRIDIMENSIONAIS	45
4.1	O Simulador Atlas	45
4.2	Modelos Utilizados	45
4.3	Estruturas FinFETs Simuladas	48
4.4	Processo de Calibração	50
5	RESULTADOS OBTIDOS	53

5.1	Corrente Elétrica de Dreno em função da Tensão Aplicada à Porta ($I_{DS} \times V_{GS}$) e Tensão de Limiar (V_{TH}).....	53
5.2	Inclinação de Sublimiar (SS).....	55
5.3	Concentração de elétrons	58
5.4	Efeito de Autoaquecimento	62
5.5	Características da Corrente Elétrica de Dreno em função da Tensão Aplicada à Porta ($I_{DS} \times V_{GS}$) e da Transcondutância em Saturação (g_{m_Sat}).....	67
5.6	Razão da Transcondutância pela Corrente Elétrica de Dreno (g_m / I_{DS}).....	72
5.7	Características da Corrente Elétrica de Dreno em função da Tensão entre Fonte e Dreno ($I_{DS} \times V_{DS}$)	73
5.8	Condutância de Dreno (g_D)	76
5.9	Tensão Early ($ V_{EA} $).....	80
5.10	Ganho de Tensão Intrínseco (A_V).....	81
5.11	Otimização dos Resultados e das Estruturas.....	84
6	CONCLUSÕES E TRABALHOS FUTUROS	89
	PUBLICAÇÕES GERADAS.....	92
	REFERÊNCIAS	93
	APÊNDICE	98

1 INTRODUÇÃO

Com a evolução da microeletrônica, os Transistores de Efeito de Campo da tecnologia Metal-Óxido-Semicondutor (*Metal-Oxide-Semiconductor Field-Effect-Transistor*, MOSFET), amplamente utilizados em circuitos digitais e analógicos ao longo das últimas décadas, têm sua implementação em altíssima escala de integração dificultada devido à crescente miniaturização dos dispositivos. Tal miniaturização é responsável por diversos efeitos decorrentes da redução do comprimento de canal dos transistores, normalmente chamados de efeitos de canal curto [1]. Estes problemas presentes nos MOSFETs incentivaram o desenvolvimento de dispositivos em tecnologias mais avançadas, de modo a aumentar a longevidade da tecnologia MOSFET. A tecnologia Silício Sobre Isolante (*Silicon-On-Insulator*, SOI), inicialmente desenvolvida para dispositivos planares, surgiu como uma alternativa promissora para a melhoria das características elétricas dos transistores, como a redução das capacitâncias de junção de fonte e dreno, redução da dependência da tensão de limiar em relação ao comprimento de canal e a diminuição do efeito de corpo nos dispositivos totalmente depletados (*Fully depleted*, FD) [1].

A diferença apresentada pela tecnologia SOI em relação ao transistor da tecnologia MOSFET construído em lâmina de silício (MOSFET convencional), consiste na presença de uma camada de material isolante, chamada de óxido enterrado, constituída de dióxido de silício, que separa a região ativa da lâmina (onde os dispositivos são fabricados) do substrato. Esta tecnologia vem sendo utilizada amplamente na fabricação de dispositivos, permitindo o contínuo escalonamento dos transistores. Porém, para dimensões ainda menores é inevitável o surgimento do efeito de canal curto, onde o controle pela porta das cargas na região do canal se torna menos efetivo, pois as regiões de fonte e dreno do transistor estão mais próximas, afetando o controle das cargas exercido pela porta. Outra alternativa que tem sido estudada consiste em se utilizar transistores convencionais de múltiplas portas, onde é possível realizar um melhor controle destas cargas no canal [2].

Atualmente, uma das mais influentes empresas do ramo de processadores, a Intel, anunciou que passará a produzir seus chips em larga escala utilizando transistores tridimensionais (3D) de porta tripla com substrato do tipo *Bulk*, convencional (processadores *Ivy Bridge* de tecnologia de 22 nm), conhecidos como *Triple-Gate* [3], confirmando assim a necessidade do uso de transistores com múltiplas portas. Os dispositivos de múltiplas portas (*Multiple-Gate Field Effect Transistors*, MuGFETs) são dispositivos com duas (*double-gate*),

três (*triple-gate*) ou quatro portas (*quadruple-gate*) conectadas ao mesmo potencial em torno de uma reduzida área de silício.

O maior número de portas resulta em uma maior capacidade de corrente elétrica, porém, como a área por onde flui a corrente elétrica é bastante reduzida, muitas vezes, o transistor acaba sofrendo fortemente com os efeitos de autoaquecimento [2]. Este efeito é responsável pela degradação de algumas características dos *MuGFETs*, tais como a redução da corrente elétrica de dreno e, portanto, precisa ser mais explorado.

O autoaquecimento pode não ter grande impacto em circuitos digitais, onde a frequência de operação é muito alta quando comparada à constante de tempo do autoaquecimento, porém este efeito deve ser considerado em circuitos integrados analógicos que usualmente operam com polarização constante. Pensando nisso, estruturas planares com Fonte / Dreno em Silício sobre Isolante (SDSOI) foram criadas [4], e posteriormente, criaram estruturas com Fonte / Dreno em Silício sobre Isolante Modificado (MSDSOI) [5], onde o objetivo era acoplar o benefício do SOI com a dissipação térmica do convencional em dispositivos planares, e posteriormente, em estruturas de múltiplas portas [2]. Por não terem sido explorados no âmbito de aplicações analógicas, portanto, este trabalho tem como objetivo, estudar o efeito do autoaquecimento (*Self-Heating Effects*, SHE) em MOSFETs fabricados em estruturas FinFETs padrões e em estruturas FinFETs modificadas, focando a análise no comportamento analógico dos transistores, com vistas ao ganho de tensão intrínseco, transcondutância, condutância de dreno, razão da transcondutância pela corrente elétrica entre fonte e dreno, tensão Early, dentre outros.

O estudo é implementado através de simulador numérico tridimensional, com a utilização do interpretador de linguagem C disponível no programa Atlas [6]. O modelo utilizado combina mecanismos de degradação da mobilidade em função da temperatura e da concentração de elétrons, sendo que, a análise do modelo proposto foi realizada pela simulação tridimensional de transistores *triple-gate*.

1.1 Estrutura do Trabalho

Este trabalho está dividido em seis capítulos: No capítulo 1, foi feita uma breve introdução sobre a tecnologia SOI e sua evolução, bem como dos dispositivos de múltiplas portas, além dos objetivos e a forma de apresentação deste trabalho, como está sendo apresentado. O capítulo 2 apresenta uma revisão bibliográfica sobre os principais assuntos desenvolvidos, analisados e estudados nesse trabalho. No capítulo 3 é apresentada a

estrutura FinFET construída em substrato modificado, que origina o principal motivo de estudo desse trabalho, o qual visa um tipo de estrutura ideal que apresente as melhores características do *Bulk* e do SOI em um único dispositivo. No capítulo 4 são explanados os modelos utilizados durante as simulações numéricas tridimensionais, bem como o tipo de simulador utilizado para tal. No capítulo 5 são mostrados os resultados obtidos com a utilização dos modelos e estruturas propostas. Finalmente, no capítulo 6 apresentamos as conclusões obtidas no desenvolvimento deste trabalho.

2 CONCEITOS FUNDAMENTAIS

Neste capítulo é apresentada uma introdução teórica, onde são abordados os conceitos necessários para a compreensão desse trabalho. Será apresentada a tecnologia Silício Sobre Isolante (*Silicon-On-Insulator*, SOI) e suas características em dispositivos de porta única e de múltiplas portas, bem como suas estruturas e classificação. Na sequência, serão apresentadas também as curvas características de um transistor e os métodos de extração normalmente utilizados.

2.1 Tecnologia SOI

A tecnologia CMOS (*Complementary Metal-Oxide-Semiconductor*) é a principal tecnologia utilizada na fabricação de circuitos integrados. Porém, para que sua evolução continue obedecendo a Lei de Moore, esta tecnologia sofre contínua redução e como consequências aparecem efeitos indesejados como, por exemplo, os efeitos de canal curto (*Short Channel Effects*, SCEs) [7]. Para minimizar estes efeitos surge a tecnologia de Silício Sobre Isolante (*Silicon-on-Insulator*, SOI), onde os transistores são fabricados sobre uma camada fina de silício aplicada sobre uma camada de dióxido de silício (SiO_2) [1]. A tecnologia SOI consiste na fabricação de um dispositivo MOSFET (*Metal-Oxide-Semiconductor Field-Effect-Transistor*, Transistor de Efeito de Campo em Metal-Óxido-Semicondutor) sobre uma camada de dióxido de silício, denominada óxido enterrado (*Buried Oxide*, BOX), que por sua vez, isola a região ativa do transistor do contato com o substrato, como mostra a Figura 1 [8]. É possível observar pelo corte transversal do dispositivo SOI nMOSFET, os eletrodos de porta (V_G), de fonte (V_S), de dreno (V_D) e de substrato (V_{GB}), as espessuras do óxido de porta (t_{oxf}), da camada de filme de silício (t_{Si}) e do óxido enterrado (t_{oxb}), o comprimento do canal (L), as interfaces de contato entre o dielétrico de porta e o canal do transistor e ainda a interface entre o canal e o óxido enterrado [9].

O isolamento pelo óxido enterrado proporciona diversas melhorias nas características dos transistores, desde a redução de efeitos de canal curto, como também, a redução da dependência da tensão de limiar com o comprimento de canal devido ao maior controle da carga espacial, e inclusive, a redução nas capacitâncias de junção, uma vez que fonte e dreno são isolados do substrato através de uma camada de óxido, resultando em uma maior corrente elétrica. Além disso, se a camada de silício utilizada for suficientemente fina, o dispositivo torna-se totalmente depletado, ou seja, toda a camada de silício do canal pode estar em

depleção, o que proporciona grande redução do efeito de corpo flutuante, além de minimizar ou mesmo suprimir o efeito de canal curto, o efeito *kink*, entre outros problemas apresentados nos transistores SOI com camada de silício mais espessa, como a maior corrente elétrica de fuga [9]. Estas características demonstram a potencialidade da tecnologia SOI, em especial para transistores totalmente depletados, visando aplicações de baixo consumo de potência e baixa tensão de alimentação.

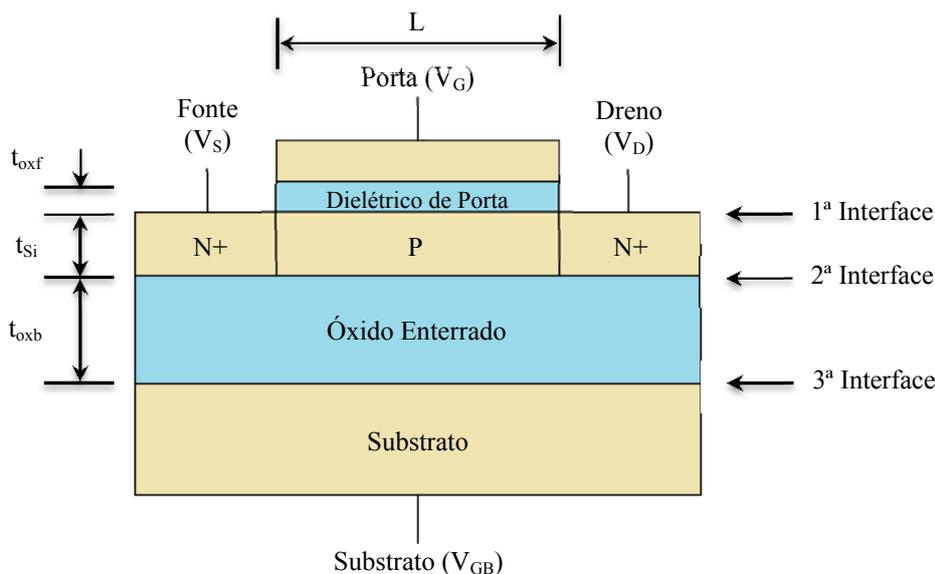


Figura 1 – Corte transversal de um SOI nMOSFET.

Fonte: Autor “adaptado de” Agopian, P.G.D., 2008, p. 28

Apesar de os transistores SOI apresentarem excelentes características, este tipo de transistor também apresenta algumas desvantagens, como por exemplo, o efeito de autoaquecimento (causado pelo óxido enterrado), e o efeito de corpo flutuante, no caso de transistores parcialmente depletados. Devido ao fato de a região ativa de silício não estar em contato com nenhum tipo de eletrodo, ocorre o efeito conhecido como efeito de corpo flutuante (*Floating Body Effect*), provocando instabilidade na aplicação em circuitos analógicos [10]. Como citado anteriormente, uma importante desvantagem dos dispositivos SOI em relação ao MOS convencional diz respeito ao efeito de autoaquecimento (*Self-Heating Effects*, SHE), pois a camada de óxido enterrado presente nos dispositivos SOI tem baixa condutividade térmica e, assim, não permite que toda a energia térmica gerada por efeito Joule no dispositivo seja dissipada. Esse problema de dissipação térmica é responsável por reduzir a mobilidade dos elétrons e, como consequência, por reduzir a corrente elétrica entre fonte e dreno [11].

2.1.1 Classificação dos transistores SOI quanto à espessura da camada de silício

Os SOI MOSFETs apresentam características de funcionamento dependentes da espessura da camada de silício na região do canal, podendo se comportar como parcialmente depletados (*Partially Depleted*, PD) ou totalmente depletados (*Fully depleted*, FD). No SOI parcialmente depletado, a camada de silício na região ativa do transistor é maior do que duas vezes o valor da profundidade máxima de depleção ($x_{dm\acute{a}x}$), portanto, as regiões de depleção da primeira e da segunda interfaces não interagem. Devido à existência de uma região neutra no meio da estrutura, este transistor se comporta como um MOSFET convencional sem o contato de substrato. Nos transistores totalmente depletados, a camada de silício na região ativa do transistor é menor que o $x_{dm\acute{a}x}$, assim, a região de depleção proveniente da primeira interface, quando esta interface atinge a inversão, é suficiente para depletar toda a região ativa do silício, de modo que, agora ocorre a interação entre as regiões de depleção da primeira e da segunda interfaces. A profundidade máxima da região de depleção ($x_{dm\acute{a}x}$) é dada pela equação (1).

$$x_{dm\acute{a}x} = \sqrt{\frac{4 \cdot \epsilon_{Si} \cdot \phi_F}{q \cdot N_A}} \quad (1)$$

Onde ϵ_{Si} é a permissividade do silício, ϕ_F é o potencial de Fermi, q é a carga dos elétrons e N_A é a concentração de impurezas aceitadoras da camada de silício. O potencial de Fermi é obtido pela equação (2), onde k é a constante de Boltzman, T é a temperatura absoluta e n_i é a concentração intrínseca de portadores [12].

$$\phi_F = \frac{k \cdot T}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (2)$$

Na Figura 2 [13] são apresentados os diagramas de faixa de energia para os transistores SOI parcialmente depletados (PD SOI) e SOI totalmente depletados (FD SOI), onde E_C representa o nível de energia inferior da faixa de condução; E_i , o nível de energia intrínseca; E_F , o nível de Fermi do semiconductor; E_V , o nível de energia da faixa de valência; E_{FM} representa o nível de Fermi do metal/eletrodo de porta; E_{FB} , o nível de Fermi do metal/eletrodo de substrato; V_{GB} representa a tensão aplicada ao substrato do transistor SOI e; V_{GS} , a tensão aplicada entre porta e fonte do transistor [14]. Os FD SOI MOSFETs apresentam redução do campo elétrico horizontal, maior mobilidade de portadores na região do canal, menor dependência de variação da tensão de limiar com a temperatura e menor ocorrência dos efeitos de canal curto [15].

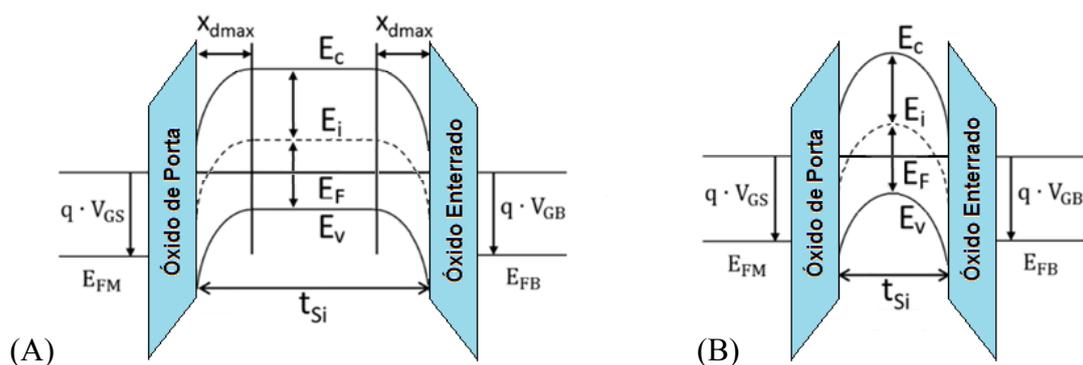


Figura 2 – Diagrama de faixas de energia de SOI MOSFETs (A) parcialmente depletados e (B) totalmente depletados.

Fonte: Autor “adaptado de” Coghi, J.F.F., 2012, p. 26

2.1.2 Transistores SOI de Múltiplas Portas

A tecnologia SOI trouxe benefícios em relação à tecnologia MOSFET convencional e permitiu a continuidade no escalonamento dos dispositivos, o que é reforçado com a adoção e fabricação em escala industrial de microprocessadores em tecnologia SOI por importantes indústrias de semicondutores pelo mundo [2,16]. Porém, com o avanço da tecnologia, mesmo os transistores fabricados em lâminas SOI também começam a apresentar diversos problemas decorrentes da redução das dimensões, como os efeitos de canal curto [16]. Os dispositivos com múltiplas portas estão sendo desenvolvidos, de modo a minimizar estes problemas, com foco na obtenção de melhores características elétricas, dentre as quais a inclinação de sublimar próxima do valor ideal (60 mV / década) [2] e a maior densidade de corrente elétrica entre fonte e dreno.

Para as tecnologias de 22 nm ou menores, os dispositivos verticais de múltiplas portas (*Vertical Multiple Gate Devices*, MuGFETs) tornaram-se uma alternativa para substituir os dispositivos planares [17,18]. No entanto, a escolha do melhor tipo de substrato é difícil, porque cada um apresenta vantagens diferentes em relação ao outro. Embora o substrato SOI apresente algumas vantagens, como a excelente característica de inclinação de sublimar, baixa capacitância nas regiões de fonte e de dreno e, supressão do efeito de *latch-up*, quando o foco são os efeitos de autoaquecimento esse tipo de substrato tem a pior dissipação de calor [19]. Por outro lado, a tecnologia convencional (*Bulk*) apresenta uma elevada taxa de transferência de calor e é fabricada em lâminas de menor custo.

A fim de combinar as vantagens de ambos os tipos de substratos, estruturas com as regiões de Fonte e Dreno em Silício Sobre Isolante (*Source / Drain Silicon-On-Insulator*,

SDSOI) [20] e as regiões de Fonte e Dreno Modificadas em Silício Sobre Isolante (*Modified Source / Drain Silicon-On-Insulator*, MSDSOI) [5] foram criadas.

2.1.2.1 Dispositivos FinFETs

Os dispositivos FinFETs são muito atraentes devido a fácil implementação do seu processo de fabricação com as técnicas já existentes. A partir da obtenção de uma aleta de silício estreita é possível crescer o óxido de porta e em seguida depositar o material que irá formar a porta. Desta forma, o alinhamento perfeito entre as portas se faz de maneira natural. Considerando o óxido de silício de porta crescido, fino, nos três lados do dispositivo, teremos um dispositivo de porta tripla, ou FinFET de porta tripla.

Caso a altura do silício (chamada de *finger*, ou simplesmente *fin* [2]) seja muito maior que a sua largura [21], o dispositivo FinFET poderá ser considerado um dispositivo de porta dupla, pois a corrente elétrica predominante passará próximo as portas laterais, e a parcela proveniente da porta superior será desprezível. No entanto, caso a largura seja significativa, o dispositivo será dito de porta tripla, e neste caso devemos considerar as diferentes mobilidades entre os planos de condução (diferentes orientações cristalinas).

Por se tratar do objeto de estudo desse trabalho, serão exploradas as principais características das estruturas FinFETs de porta dupla (*Double Gate*, DG) e de porta tripla (*Triple Gate*) [2]. Na Figura 3 é possível notar dois exemplos de estruturas esquemáticas de dispositivos FinFETs de porta dupla e tripla, onde, se a largura do canal deste dispositivo for estreita, a parcela de corrente elétrica que flui pelo topo do transistor (porta superior) é desprezível, fazendo com que o dispositivo possa ser considerado como um transistor de porta dupla.

A largura de *fin* um pouco maior transforma o dispositivo em três portas, já que a porta superior também se torna eficaz no controle da corrente elétrica que circula pelo dispositivo. Igualmente aos demais dispositivos de múltiplas portas, o dispositivo FinFET apresenta um bom controle eletrostático das cargas do canal, tornando-se mais eficaz à medida que a largura da aleta de máscara do canal (W_{fin}) fica menor, devido à aproximação das portas laterais [16].

O comprimento do canal do FinFET, visível na Figura 3, é representado por L_{fin} , a espessura do óxido de porta por t_{oxf} , a altura da aleta de silício H_{Fin} e, a espessura do óxido enterrado por t_{oxb} .

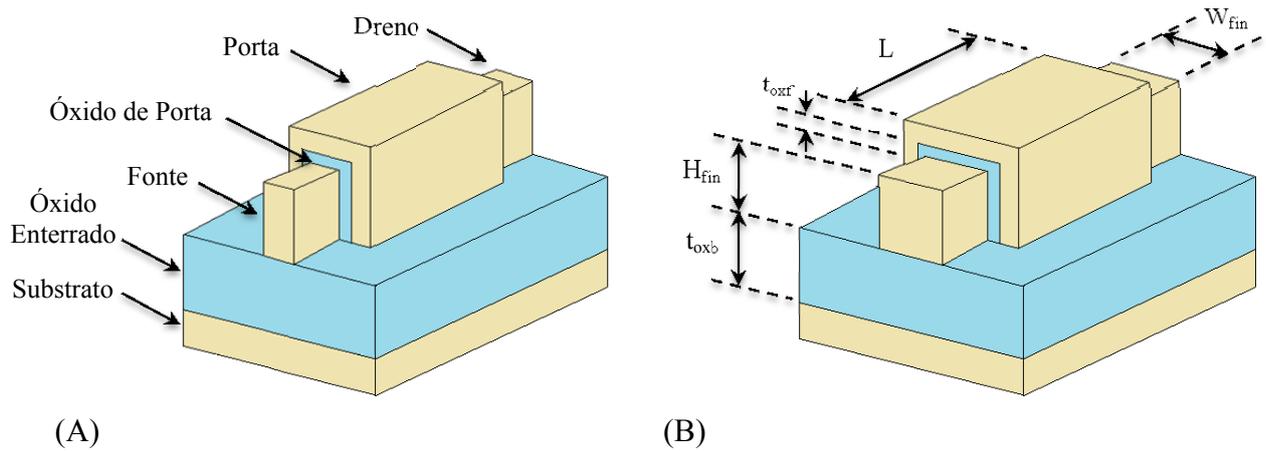


Figura 3 – Estruturas de transistores FinFETs de porta (A) dupla e (B) tripla, com a descrição esquemática de suas dimensões.

Fonte: Autor

O primeiro SOI MOSFET de porta dupla fabricado era alto e estreito construído sobre uma camada de isolante, conhecido como transistor DELTA [22]. Em seguida, outros dispositivos de porta dupla com canal vertical surgiram, dentre eles, o SOI FinFET. Os dispositivos de porta dupla FinFETs sofreram mais uma modificação ao longo do tempo e, através da oxidação térmica da porta de modo igual nos três lados do canal, fizeram com que a corrente elétrica agora flua pelas três regiões controladas pela porta, com melhor controle das cargas na região do canal.

Os dispositivos FinFETs de porta dupla e tripla possuem várias características que os tornam mais atrativos em relação aos dispositivos de porta simples, como uma melhoria nos resultados em termos de efeitos de canal curto, de inclinação de sublimiar (SS), de transcondutância (g_m), de corrente elétrica entre fonte e dreno (I_{DS}), entre outras.

2.2 Características Elétricas

As principais características elétricas dos transistores MOS (digitais e analógicas) são tratadas neste tópico. Os parâmetros abordados são: tensão de limiar (V_{TH}), inclinação de sublimiar (SS), transcondutância (g_m), tensão Early (V_{EA}), condutância de dreno (g_D), ganho de tensão intrínseco (A_V), razão g_m / I_{DS} e os efeitos de autoaquecimento.

2.2.1 Parâmetros Básicos

Os parâmetros básicos estudados são descritos a seguir, os quais são: a tensão de limiar, a inclinação de sublimiar, e a transcondutância.

2.2.1.1 Tensão de Limiar (V_{TH})

A determinação da tensão de limiar (V_{TH}) indica qual a tensão que aplicada à porta do dispositivo, induzirá no silício um potencial próximo de duas vezes o potencial de Fermi ($2 \cdot \phi_F$), ou seja, define qual a tensão que deve ser aplicada entre porta e fonte de modo a formar uma camada de inversão no canal abaixo do óxido de porta (elétrons ou lacunas livres, dependendo do tipo de dopagem) em MOSFETs [9].

A tensão de limiar terá valores inferiores ao dobro do potencial de Fermi (ϕ_F) oriundo do mecanismo de inversão fraca [23], e, para dispositivos extremamente estreitos (Figura 3.A, onde a porta superior é relativamente menor quando comparada as portas laterais), no entanto, a condução pode ocorrer com valores pouco maiores que duas vezes ϕ_F [2]. A determinação da tensão de limiar se torna impossível a partir da definição convencional, em que a inversão forte se dá quando o potencial se superfície (ϕ_S) atinge duas vezes o potencial de Fermi [12].

O SOI nMOSFET parcialmente depletado apresenta um comportamento semelhante ao nMOSFET convencional e sua tensão de limiar é dada pela equação (3), onde V_{TH} depende da tensão de faixa plana (V_{FB}), da capacitância do óxido de silício por unidade de área (C_{OX}), da espessura máxima da região de depleção ($x_{dmáx}$), da concentração de impurezas aceitadoras (N_A), da carga do elétron (q) e do potencial de Fermi (ϕ_F) [12].

$$V_{TH} = V_{FB} + 2 \cdot \phi_F + \frac{q \cdot N_A \cdot x_{dmáx}}{C_{OX}} \quad (3)$$

No caso do dispositivo SOI totalmente depletado, a tensão de limiar sofre influência do potencial da segunda interface [17]. Considerando as camadas de inversão e acumulação desprezíveis em relação à espessura do filme de silício, a tensão de limiar pode ser expressa pelas equações (4), (5) e (6) dependendo da condição da segunda interface. Com a segunda interface em acumulação, a tensão de limiar é dada pela equação (4), onde V_{TH} depende da função trabalho entre o silício e o material de porta para a primeira interface (ϕ_{MS1}), da quantidade de carga na região de depleção da primeira interface (Q_{depl1}), das capacitâncias do

silício por unidade de área (C_{Si}) e do óxido de silício de porta por unidade de área (C_{OX1}), e da quantidade de cargas no óxido de silício de porta (Q_{OX1}).

Quando a segunda interface estiver em inversão ($V_{TH,inv2}$), V_{TH} é obtido pela equação (5) e, em quando estiver em depleção ($V_{TH,depl2}$) pela equação (6), sendo que neste caso, depende da tensão de limiar com a segunda interface em acumulação ($V_{TH,acc2}$) subtraída pela interação entre as capacitâncias e tensões do óxido enterrado [17].

$$V_{TH,acc2} = \phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + \left(1 + \frac{C_{Si}}{C_{OX1}}\right) \cdot 2 \cdot \phi_F - \frac{Q_{depl1}}{2 \cdot C_{OX1}} \quad (4)$$

$$V_{TH,inv2} = \phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + 2 \cdot \phi_F - \frac{Q_{depl}}{2 \cdot C_{OX1}} \quad (5)$$

$$V_{TH,depl2} = V_{TH,acc2} - \frac{C_{Si} \cdot C_{OX2}}{C_{OX1} \cdot (C_{Si} + C_{OX2})} (V_{g2} - V_{g2,acc}) \quad (6)$$

Os efeitos de canal curto (*Short Channel Effects*, SCE) são provocados pela redução do controle da porta sobre as cargas no interior do canal e, são responsáveis pela dependência indesejada da tensão de limiar com o comprimento efetivo do canal dos dispositivos, que acabam provocando um aumento da corrente elétrica de fuga e uma degradação na inclinação de sublimiar [7]. Em transistores de canal curto, o campo elétrico resultante das regiões de depleção de fonte e dreno passa a exercer maior influência sobre as cargas da região do canal, controlando parte destas cargas no lugar da porta [7].

Esse efeito é menor em transistores de múltiplas portas em comparação aos dispositivos de porta simples, já que, ao aumentar a quantidade de portas o controle das cargas na região do canal também aumenta [2].

2.2.1.2 Inclinação de Sublimiar (SS)

Quando a tensão aplicada à porta de um transistor está abaixo da tensão de limiar e o semiconductor está na chamada inversão fraca, dizemos que a corrente elétrica de dreno correspondente é chamada de corrente elétrica de sublimiar [24]. Nessa região, a corrente elétrica de dreno varia exponencialmente com a tensão de porta, até que exista um canal formado e o transistor comece a conduzir. A melhoria na inclinação de sublimiar (*Subthreshold Slope*, SS) promovida pelos dispositivos de múltiplas portas, também se deve ao maior controle do potencial no interior do canal, devido ao acoplamento eletrostático decorrente da presença de mais portas [24]. Os transistores em questão apresentam valores de

inclinação de sublimiar próximos ao limite teórico dado por $\ln(10).k.T/q$, onde k é a constante de Boltzman, T a temperatura absoluta e q a carga elementar do elétron. Em temperatura ambiente, o limite teórico de SS é aproximadamente igual a 60 mV / década. Por outro lado, para dispositivos de canal curto, o efeito de redução da barreira induzida pelo dreno (*Drain Induced Barrier Lowering*, DIBL) pode degradar a inclinação de sublimiar, resultando em valores maiores que o limite teórico [25]. Valores baixos de inclinação de sublimiar são importantes para um chaveamento mais rápido e eficiente dos transistores.

No FinFET com duas ou três portas, a inclinação de sublimiar (SS), que pode ser obtida pela expressão (7) a seguir, apresenta grande melhoria quando comparada aos transistores convencionais, com valores tendendo ao limite teórico de 60mV / década em temperatura ambiente [9]. A melhoria na inclinação de sublimiar também se deve ao maior controle das cargas no interior do canal e, embora o efeito de canal curto altere as características da inclinação de sublimiar, esse fenômeno é sensivelmente menor nos dispositivos de múltiplas portas quando comparados aos dispositivos de porta simples parcialmente ou totalmente depletados (*Partially Depleted*, PD ou *Fully Depleted*, FD, respectivamente) [10].

$$SS = \frac{\partial V_{GS}}{\partial \log(I_{DS})} \quad (7)$$

A partir da curva de I_{DS} em função de V_{GS} é possível à obtenção da curva do $\log(I_{DS})$ e, então, do valor da inclinação de sublimiar ao se realizar a derivada desta (Figura 4) [26].

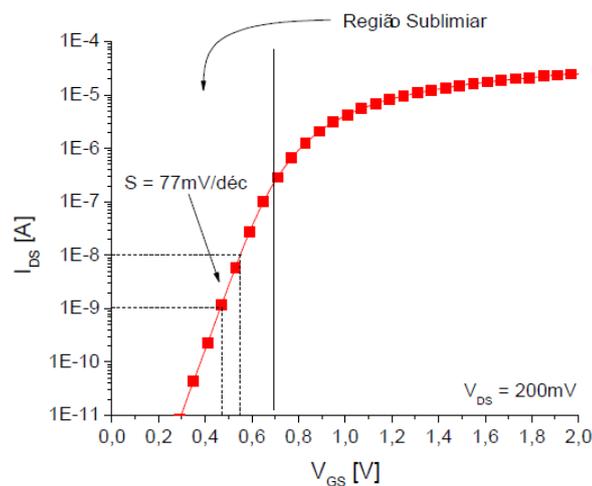


Figura 4 – Exemplo de curva de I_{DS} em função de V_{GS} em escala logarítmica, para a obtenção da inclinação de sublimiar.

Fonte: Alati, D.M., 2012, p. 53

2.2.1.3 Transcondutância (g_m)

A transcondutância (g_m) é definida como a derivada da corrente elétrica I_{DS} em função da tensão de porta (V_{GS}), e indica a eficiência do controle da corrente elétrica de dreno exercido pela tensão de porta. A transcondutância de um MOSFET é expressa pela equação (8) [9].

$$g_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_{DS} \text{ cte}} \quad (8)$$

Para os transistores da tecnologia SOI MOSFET de camada fina, ao se considerar o modelo de primeira ordem, desprezando a modulação do comprimento do canal pela tensão de dreno e considerando a segunda interface depletada, a corrente elétrica de dreno (I_{DS}) pode ser descrita para região de triodo pela equação (9) e para a região de saturação pela equação (10), onde μ_n é a mobilidade dos elétrons, α é o parâmetro resultante da associação das capacitâncias do MOSFET (fator de acoplamento capacitivo), V_{DS} é a tensão entre fonte e dreno, C_{OXf} é a capacitância do óxido de silício de porta por unidade de área do transistor SOI, W é a largura de canal do transistor e L é o comprimento de canal do transistor [9].

$$I_{DS} = \mu_n \cdot C_{OXf} \cdot \frac{W}{L} \cdot \left[(V_{GS} - V_{TH}) \cdot V_{DS} - \frac{(1-\alpha) \cdot V_{DS}^2}{2} \right] \quad (9)$$

$$I_{DS} = \frac{\mu_n \cdot C_{OXf}}{2 \cdot (1+\alpha)} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH})^2 \quad (10)$$

Mesmo a corrente elétrica entre fonte e dreno tendo relação direta com a mobilidade, I_{DS} normalmente é apresentada pela razão W sobre L efetiva, assim, a corrente elétrica de dreno será igual à soma de todas as correntes elétricas que fluem através das interfaces cobertas pelo óxido de porta do dispositivo [13].

Dessa forma, a corrente elétrica que circula pelo FinFET de porta dupla será aproximadamente igual ao dobro da corrente elétrica do dispositivo convencional de porta simples e, a corrente elétrica do FinFET de porta tripla (Figura 3.B, onde as três portas apresentam comprimentos de canal próximos) será igual ao triplo da corrente elétrica dos dispositivos convencionais [7], se considerarmos que as mobilidades nos planos laterais e superior são semelhantes. Porém, como a mobilidade dos portadores, que é proporcional à corrente elétrica, sofre alteração conforme a orientação cristalográfica do silício, a corrente elétrica final será proporcional às diferentes mobilidades [13].

Ao se substituir as equações anteriores na equação (8), é possível obter g_m para a região de triodo, dada pela equação (11), e para a região de saturação, pela equação (12) [8].

$$g_m = \mu_n \cdot C_{OXf} \cdot \frac{W}{L} \cdot V_{DS} \quad (11)$$

$$g_m = \frac{\mu_n \cdot C_{OXf}}{1+\alpha} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH}) \quad (12)$$

A transcondutância é maior nos FD SOI MOSFET com a segunda interface depletada do que nos MOSFETs convencionais e, também, é maior do que a dos transistores SOI com a segunda interface acumulada [8]. E, como a transcondutância possui dependência direta com a mobilidade, esta sofre influência com a variação da temperatura.

Nos dispositivos de múltiplas portas, o valor da transcondutância será maior em comparação aos dispositivos de porta simples, sendo que a transcondutância é obtida pela derivada da corrente elétrica entre fonte e dreno (I_{DS}) pela tensão de porta (V_{GS}), e nos diz o quanto à tensão de porta é eficaz no controle sobre a corrente elétrica entre fonte e dreno, podendo resultar em um valor que pode ultrapassar o dobro do valor de g_m em transistores SOI de porta simples [27], como pode ser visto na Figura 5.

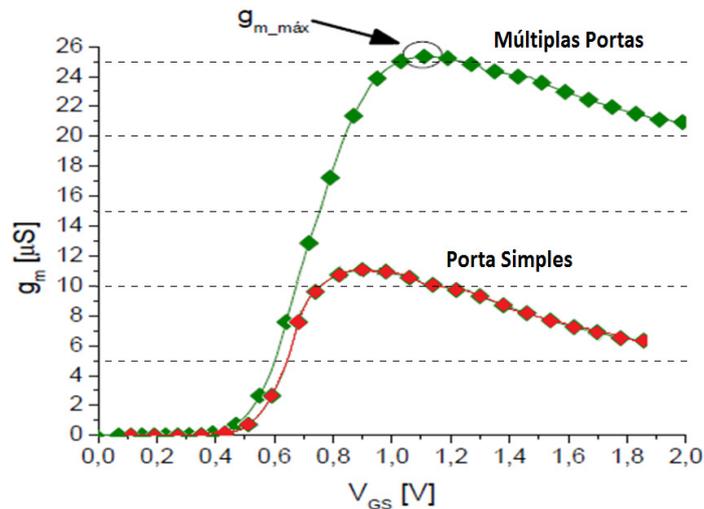


Figura 5 – Exemplo de uma curva da transcondutância g_m em função da tensão de porta, em um SOI convencional de porta simples e em um com múltiplas portas.

Fonte: Autor

Para dispositivos com W_{fin} extremamente pequenos, parte desta expressiva melhoria se deve ao fenômeno da inversão de volume e/ou pela melhoria do acoplamento eletrostático entre as portas, e não apenas às dimensões do transistor [10].

Enquanto para os transistores que não apresentam inversão de volume, para os quais os elétrons são confinados nas proximidades das interfaces $S_1 - SiO_2$, a maior transcondutância deve-se a melhoria do acoplamento eletrostático, e a melhoria em g_m obtida para os transistores que apresentam inversão de volume se deve ao aumento da concentração de elétrons no interior da camada de silício.

2.2.2 Características Analógicas

Os dispositivos FinFETs com múltiplas portas possuem diversas características que os tornam mais atrativos que os transistores de porta simples com mesmas dimensões, ou seja, a tecnologia de porta dupla ou tripla apresenta resultados melhores em termos de efeitos de canal curto, inclinação de sublimiar (SS), transcondutância (g_m) e intensidade de corrente elétrica (I_{DS}) [2]. Mostrou-se também atrativo para aplicações analógicas, onde são importantes a tensão Early (V_{EA}), condutância de dreno (g_D), razão g_m / I_{DS} , ganho de tensão intrínseco (A_V) e o efeito do autoaquecimento nas estruturas, também presente em aplicações digitais, como descritos a seguir [28].

2.2.2.1 Tensão Early ($|V_{EA}|$) e Condutância de Dreno (g_D)

Em circuitos integrados analógicos a tensão Early ($|V_{EA}|$) é uma característica muito importante, pois está relacionada com a variação da corrente elétrica de dreno (I_{DS}) em função da tensão de dreno aplicada (V_{DS}) e, conseqüentemente, com o ganho de tensão intrínseco [9].

O campo elétrico decorrente da região de depleção de dreno, fará com que ocorra o pinçamento no canal do dispositivo MOS (*pinch-off*) quando este estiver no regime de saturação ($V_{DS} = V_{GS} - V_{TH}$) e, ao aumentar V_{DS} , este pinçamento será ligeiramente deslocado para o interior do canal, reduzindo assim seu comprimento efetivo, fazendo com que a região de saturação da característica I_{DS} em função de V_{DS} do dispositivo adquira uma inclinação (efeito Early). A tensão Early pode ser obtida no ponto em que o prolongamento da característica I_{DS} em função de V_{DS} na região de saturação (tangente à curva de corrente de dreno) cruzar com o eixo “x” (V_{DS}), como mostrado na Figura 6 [29]. Este parâmetro é usado para qualificar a inclinação da curva (I_{DS} em função de V_{DS}) na região de saturação, podendo ser obtido pela equação (13), onde g_D é a condutância de saída do transistor.

$$|V_{EA}| \cong \frac{I_{DS}}{g_D} \quad (13)$$

A condutância de dreno, por sua vez, é expressa pela equação (14) [9].

$$g_D = \frac{\partial I_{DS}}{\partial V_{DS}} \quad (14)$$

E, também pode ser obtida pela aproximação dada na equação (15), uma vez que V_{DSsat} é muito pequeno quando comparado ao módulo da Tensão Early.

$$g_D \cong \text{tg}\alpha \cong \frac{I_{DS}}{V_{EA}} \quad (15)$$

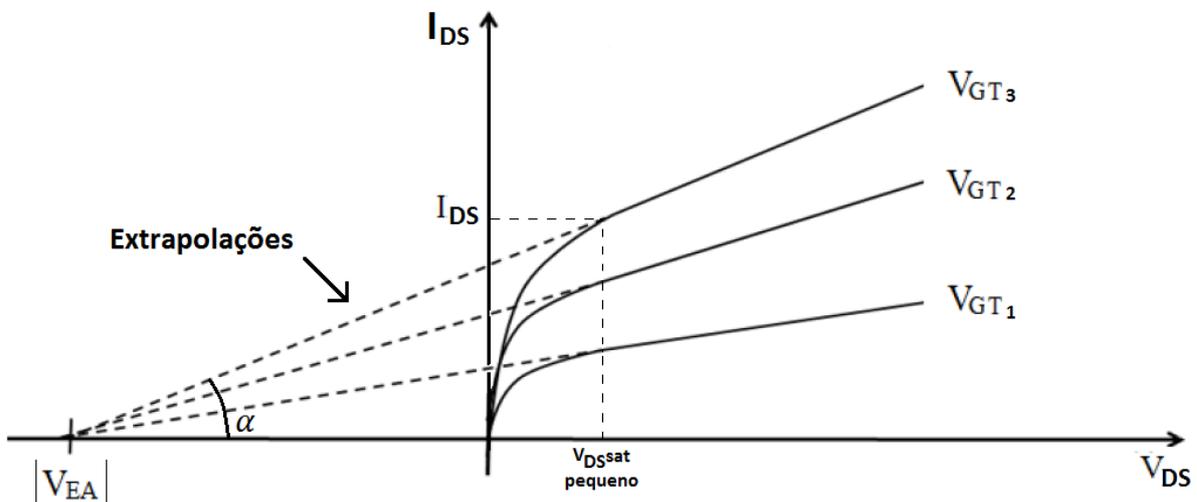


Figura 6 – Exemplo de curva das características I_{DS} em função de V_{DS} para vários V_{GTs} e a técnica de extrapolação das curvas para a obtenção da tensão Early.

Fonte: Autor “adaptado de” Andrade, M.G.C.D., 2012, p. 42

Para dispositivos de múltiplas portas, a tensão Early pode, também, ser melhorada quando observamos a razão I_{DS} / g_D quando o dispositivo opera em saturação, pois com o bom acoplamento vertical devido ao melhor controle do potencial no interior do canal destes dispositivos [15], existirá uma menor influência do potencial de dreno sobre a corrente elétrica de condução, fazendo com que a condutância de dreno seja menor, o que conseqüentemente, elevará a tensão Early. Ao se analisar as características analógicas dos FinFETs, é possível notar que $|V_{EA}|$ aumenta conforme se reduz a largura do *fin* [15], pois, quanto menor for a largura do canal, maior será o acoplamento das suas portas laterais, podendo inclusive, chegar à ordem de centenas de volts em dispositivos relativamente finos. E, mesmo em FinFET com *fin* mais largo, o valor obtido para $|V_{EA}|$ pode superar em até dez vezes quando comparado a um transistor de porta simples [30].

2.2.2.2 Razão da Transcondutância pela Corrente Elétrica de Dreno (g_m / I_{DS})

A eficiência de um dispositivo em converter corrente elétrica em transcondutância é representada pela razão g_m / I_{DS} , que é a medida de amplificação proporcionada por um transistor (g_m) dividida pela energia dissipada para tal (I_{DS}) [31]. A razão g_m / I_{DS} representa uma importante ferramenta para a determinação das dimensões dos transistores utilizados em circuitos amplificadores operacionais de baixa potência, uma vez que não depende nem do comprimento nem da largura dos dispositivos [31]. E, esta razão é comumente mostrada em função da corrente elétrica de dreno normalizada, ou seja, da corrente elétrica de dreno dividida pela razão entre a largura e o comprimento efetivos de canal dos dispositivos: $I_{DS} / (W_{eff} / L_{eff})$.

Para um FinFET com W_{fin} de 20nm e comprimento de canal igual à $10\mu\text{m}$, temos um exemplo na Figura 7 [28] um esboço da curva da razão g_m / I_{DS} em função de $I_{DS} / (W_{eff} / L_{eff})$ em saturação. Como essa razão se relaciona com o desempenho de circuitos analógicos através do ganho de tensão intrínseco, que será abordado no próximo subitem, à razão g_m / I_{DS} ajuda na identificação do regime de inversão dos dispositivos (inversão fraca, moderada ou forte), ou seja, a normalização $I_{DS} / (W_{eff} / L_{eff})$ nos permite definir qual será a região do regime de inversão, sendo que, se ele operar em inversão fraca, g_m / I_{DS} será maior e, conseqüentemente, o ganho de tensão intrínseco também será maior [28].

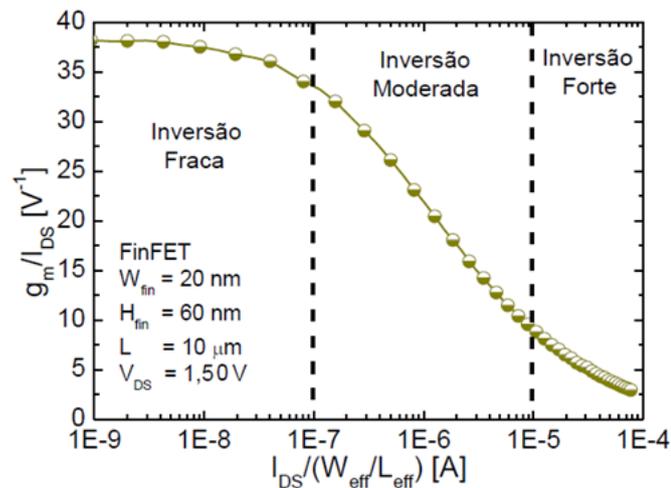


Figura 7 – Exemplo de uma curva de g_m / I_{DS} em função de $I_{DS} / (W_{eff} / L_{eff})$ com as regiões de inversões de um FinFET.

Fonte: Autor “adaptado de” Doria, Rodrigo T., 2010, p. 65

2.2.2.3 Ganho de Tensão Intrínseco (A_V)

O ganho de tensão intrínseco ou ganho de tensão em malha aberta (A_V), é um dos principais índices de mérito dos dispositivos que operam como amplificadores, podendo ser obtido pela equação (16). O primeiro caso mostra a dependência com a tensão Early, e como $|V_{EA}|$ é sensivelmente maior em FinFETs quando comparados aos transistores de porta simples (planares), ocorrerá um aumento considerável no ganho de tensão intrínseco, resultando em um melhor comportamento analógico [15]; e, a segunda forma utiliza a transcondutância dividida pela condutância de dreno (saturação) [31]. Os ganhos apresentados pelos FinFETs resultam em uma melhoria significativa quando comparados aos dispositivos planares de dimensões similares.

$$|A_V| \cong \left(\frac{g_m}{I_{DS}} \right) \cdot V_{EA} \cong \frac{g_m}{g_D} \quad (16)$$

2.2.2.4 Efeito de Autoaquecimento (SHE)

A estrutura dos dispositivos SOI infelizmente favorece o efeito do autoaquecimento, pois além da presença do óxido de porta, existe o óxido enterrado, que impede a dissipação de calor. Uma vez que a condutividade térmica do dióxido de silício é muito menor que a do silício [32], o calor gerado pela passagem de corrente elétrica eleva a temperatura reduzindo a mobilidade e alterando o valor de corrente elétrica de saída do dispositivo. Na Figura 8 é possível observar esquematicamente a influência do efeito de autoaquecimento nas curvas de corrente elétrica.

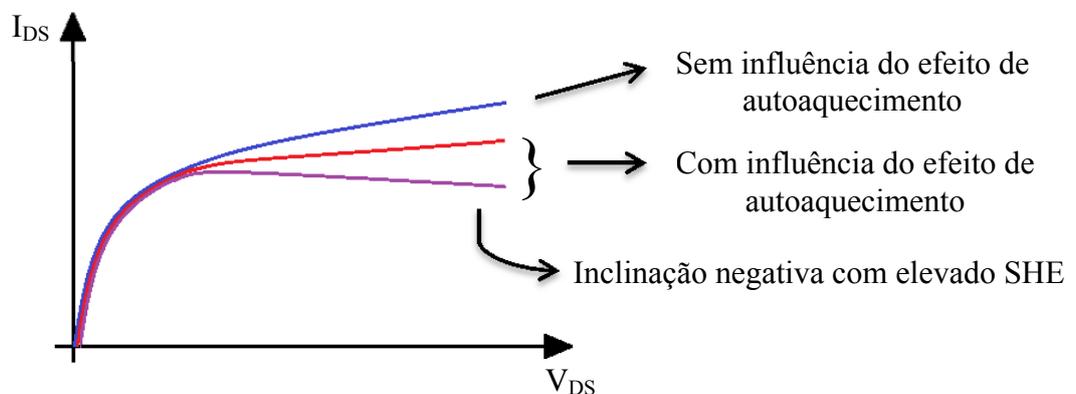


Figura 8 – Curva genérica de I_{DS} em função de V_{DS} indicando a ocorrência de efeito do autoaquecimento.

Fonte: Autor

Este efeito torna-se mais pronunciado em dispositivos de múltiplas portas, devido à maior densidade de corrente elétrica em uma menor área de silício. Assim maior é o aquecimento resultante e conseqüentemente maior a variação dos parâmetros do transistor.

Os principais parâmetros físicos e as principais características elétricas afetadas pela variação de temperatura serão brevemente discutidos a seguir, dentre eles: a concentração intrínseca de portadores (n_i), a tensão de limiar (V_{TH}), a inclinação de sublimiar (SS), a mobilidade, a transcondutância (g_m) e os efeitos de canal curto.

Dependente apenas do tipo de material e da temperatura, a concentração intrínseca de portadores (n_i) corresponde à quantidade de portadores livres presentes no material intrínseco (sem a adição de dopantes) [9]. Ao aumentar a temperatura, é possível notar um aumento da concentração intrínseca de portadores, devido sua dependência como mostrado pela equação (17), onde N_C e N_V são as densidades de estados nas bandas de condução e valência, respectivamente.

A largura de banda proibida (E_g) é definida como a região existente entre as faixas de valência e condução e, também tem relação com a variação de temperatura [descrita pela equação (18)], onde, em temperaturas mais altas ocorre uma diminuição da faixa proibida facilitando a formação do par elétron-lacuna [33]. Os efeitos da temperatura sobre a concentração intrínseca de portadores e sobre a largura de banda proibida podem ser observados na Figura 9 [34].

$$n_i = \sqrt{N_C \cdot N_V} \cdot e^{\left(\frac{-E_g}{2 \cdot k \cdot T}\right)} \quad (17)$$

$$E_g = 1,1785 - 9,025 \cdot 10^{-5} \cdot T - 3,05 \cdot 10^{-7} \cdot T^2 \quad (18)$$

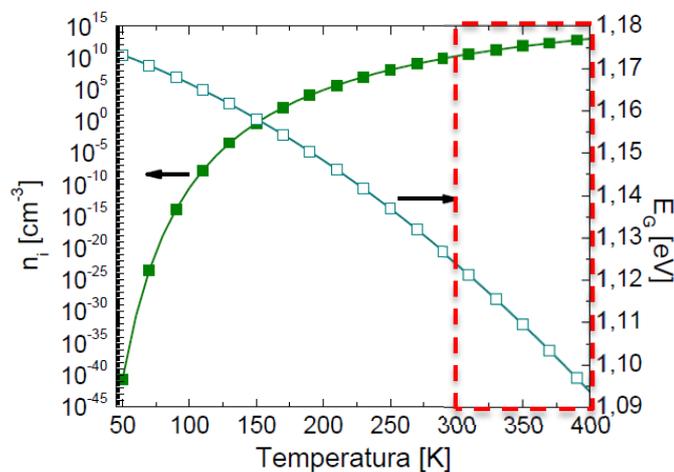


Figura 9 – Exemplo de curvas da concentração intrínseca de portadores (n_i) e da largura de banda proibida (E_g) devido à variação da temperatura.

Fonte: Autor “adaptado de” Doria, Renan T., 2010, p. 41

O aumento da temperatura é também responsável por uma variação do potencial de Fermi do semiconductor (ϕ_F), dado pela equação (2), em dispositivos nMOS [33].

$$\phi_F = \frac{k.T}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (19)$$

Na Figura 10 [28] é apresentado o comportamento no nível de Fermi e na porcentagem de impurezas ionizadas para um material com concentração de dopantes aceitadores $N_A = 10^{15} \text{ cm}^{-3}$, devido os efeitos do aumento de temperatura.

A tensão de limiar dos dispositivos (V_{TH}) normalmente é definida a partir do potencial de Fermi, assim, com a dependência inversamente proporcional à temperatura, se esta aumentar ocorrerá uma redução da tensão de limiar do dispositivo [24]. A inclinação de sublimiar (SS) por sua vez, é diretamente proporcional à temperatura de operação dos transistores, de modo que qualquer aumento de temperatura implicará em um aumento de SS [1].

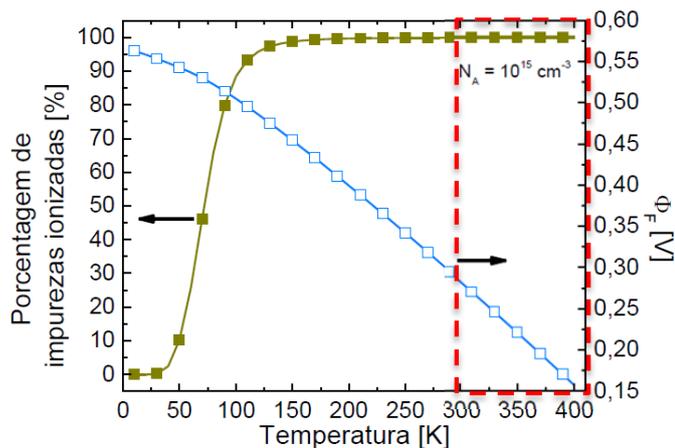


Figura 10 – Exemplo de um gráfico do potencial de Fermi e percentual de impurezas ionizadas devido à variação na temperatura.

Fonte: Autor “adaptado de” Doria, Rodrigo T., 2010, p. 76

Outro parâmetro bastante dependente da temperatura é a mobilidade dos portadores, e ao se aumentar a temperatura de operação dos dispositivos MOS, ocorre a degradação da mobilidade e, conseqüentemente, a degradação da intensidade de corrente elétrica, que estão relacionadas com a maior agitação da rede cristalina. Uma vez que a transcondutância (g_m) é proporcional à mobilidade, sua variação com o aumento da temperatura está diretamente vinculada à redução da mobilidade, de modo que, em altas temperaturas haverá uma diminuição da transcondutância [33].

A diminuição na mobilidade faz com que os portadores percam energia, resultando em uma menor geração de par elétron-lacuna, diminuindo a ionização por impacto e, portanto, reduzindo a condutância de dreno na região de saturação, responsável pelo aumento da tensão Early [31].

Por fim, relacionados com a competição do controle das cargas no interior do canal entre a porta e as regiões de depleção de fonte e dreno, os efeitos de canal curto tendem a aumentar com a elevação da temperatura, pois ocorre o aumento no percentual das cargas que sofrem a influência das regiões de depleção de fonte e dreno [7].

3 ESTRUTURAS SOI MODIFICADAS

As estruturas SOI modificadas diferem dos transistores SOI, pois o óxido enterrado (SiO_2) está presente apenas abaixo das regiões de fonte e dreno (vide Figura 11.A), deixando a região abaixo do canal igual à do transistor MOSFET convencional (silício) [35]. Este tipo de estrutura (SDSOI) foi desenvolvida em 1998 com o intuito de minimizar tanto as capacitâncias de fonte e de dreno, se comparada ao MOSFET convencional, quanto a ocorrência dos efeitos de autoaquecimento inerentes aos transistores SOI, devido a presença do óxido enterrado que dificulta a dissipação térmica. As estruturas SOI modificadas (SDSOI) são propostas como uma alternativa, pois apresentam as vantagens dos dispositivos convencionais (*Bulk*) e SOI ao mesmo tempo.

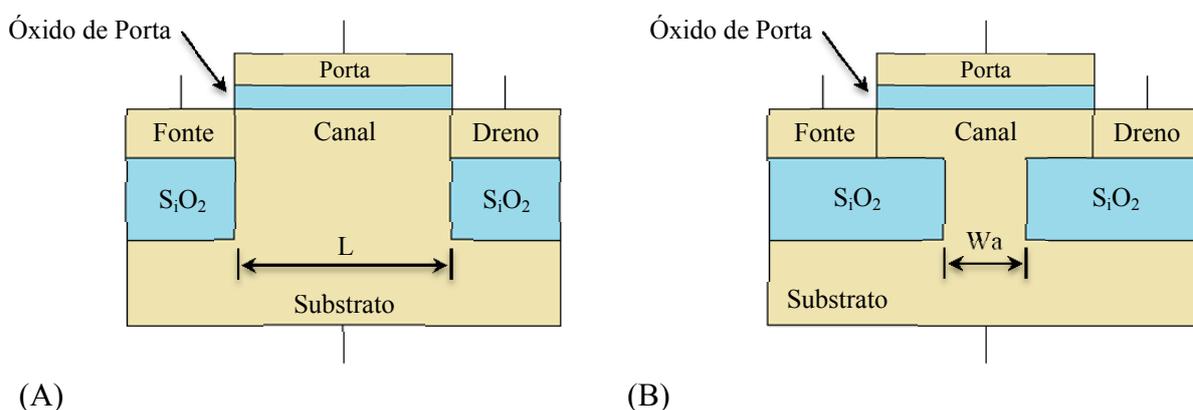


Figura 11 – Corte transversal de um transistor (A) SDSOI e (B) MSDSOI, com o detalhe da janela de contato com comprimento W_a .

Fonte: Autor

A estrutura SDSOI (*Source / Drain Silicon-On-Insulator*, regiões de Fonte e Dreno em Silício Sobre Isolante) apresenta uma redução da resistência térmica, melhorando a eficiência na transferência térmica e diminuindo os efeitos de autoaquecimento quando comparado ao dispositivo SOI [20].

Ao comparar a condução elétrica, autoaquecimento e velocidade de chaveamento nos dispositivos MOSFETs convencionais, SOI e SDSOI, em função da espessura do óxido enterrado para os dispositivos SOI e SDSOI, o dispositivo SDSOI apresenta resultados intermediários, pois existe a mescla de benefícios dos dispositivos convencionais e SOI ao mesmo tempo, tais como: melhoria da característica de inclinação de subliminar e redução nas capacitâncias nas regiões de fonte e de dreno, uma vez que essas regiões são isoladas do substrato através de uma camada de óxido de silício, resultando no aumento da corrente

elétrica, comparado ao MOSFET, e em uma elevada taxa de transferência de calor se compararmos ao SOI [19]. Assim, a melhoria na transferência térmica para o dispositivo SDSOI é significativa quando comparada à transferência térmica do dispositivo SOI [20].

Através da avaliação do processo de transporte de calor dos dispositivos planares SDSOI, em estruturas com diferentes espessuras de óxido enterrado e diferentes espessuras de silício, foi possível notar que a temperatura de trabalho no dispositivo SDSOI é próxima à do dispositivo convencional, que por sua vez, é muito inferior quando comparada à temperatura nos dispositivos SOI [4]. A resistência térmica efetiva no dispositivo SOI é a maior de todas, enquanto as dos dispositivos SDSOI e convencional são menores e quase iguais, melhorando assim a dissipação térmica nesses tipos de estruturas.

O desempenho em alta potência nos dispositivos SDSOI é muito maior, pois as capacitâncias parasitas nas regiões de fonte e dreno são menores, mesmo em tensões de alimentação elevadas [4].

No entanto, os dispositivos SDSOI e MOSFET convencional apresentam uma corrente elétrica de fuga importante para dispositivos de comprimento de canais menores, fenômeno conhecido como *punch through* [35]. Para evitar, ou minimizar este efeito usualmente é criada uma região fortemente dopada na região abaixo do canal, entre as regiões de BOX [36] em dispositivos SDSOI MOSFETs alterados. Esse tipo de dopagem evita / minimiza a desvantagem do efeito de *punch through*.

A fuga de corrente elétrica aumenta com a diminuição do comprimento da porta para todos os dispositivos, porém com a inserção de forte dopagem da região acima descrita, reduzimos a fuga em questão, deixando-a comparável à que ocorre no dispositivo SOI [35].

Além disso, a temperatura no dispositivo SOI MOSFET está em torno de 730K, enquanto no SDSOI MOSFET ela é reduzida à 350 K, comprovando o fato dessa estrutura não possuir o óxido enterrado abaixo da região do canal, facilitando, assim, a dissipação térmica dentro do dispositivo [35].

As vantagens do dispositivo SDSOI são similares às do dispositivo SOI, quando comparadas com os resultados das simulações dos dispositivos convencional (*Bulk*), SOI e SDSOI, todos em estruturas FinFETs [25]. Semelhantemente ao SOI, o SDSOI possui inclinação de sublimar excelente (de 70 mV / década à 60 mV / década) e apresenta baixa corrente elétrica de fuga. Os dispositivos SDSOI e SOI mantêm as características dos dispositivos excepcionais com relação à variação da concentração de dopantes e profundidade da implantação na fonte e no dreno [25].

Com a redução das dimensões, atualmente, os dispositivos tem sido fabricados com a região de canal com a dopagem natural da lâmina, assim, tanto a inclinação de sublimar quanto o efeito de redução da barreira induzida pelo dreno do MOSFET convencional, aumentam muito; mas, quando é realizada uma implantação de dopantes, cuja profundidade é maior do que a altura do *fin* nesses dispositivos, as estruturas SDSOI permanecem com as características de SS e de DIBL inalteradas [25], assim como a estrutura SOI.

A capacitância presente nas regiões de fonte/dreno do dispositivo SDSOI é praticamente igual à do dispositivo SOI, pois o óxido enterrado permanece sob essas regiões; e como o dispositivo SDSOI não apresenta óxido enterrado abaixo da região de canal, este permite que a transferência de calor seja muito melhor que na estrutura SOI [25]. Portanto, o dispositivo SDSOI cumpre o seu papel ao combinar os benefícios dos dispositivos SOI e convencional, e apresenta várias vantagens, tais como: excelente característica de sublimar, baixa capacitância de junção, baixa corrente elétrica de fuga e elevada condução térmica. Dessa forma, o dispositivo SDSOI apresenta grande potencial para substituir os dispositivos utilizados atualmente [25].

A partir da modificação do dispositivo SDSOI, a fim de se obter a melhor capacidade desses dispositivos com foco na localização do óxido enterrado, um novo dispositivo vem sendo desenvolvido a partir de 2002 [5]. Esse tipo de estrutura apresenta uma janela de contato de silício (*Access Window*, W_a) abaixo do canal em direção ao substrato que permite o contato físico do canal ao substrato, facilitando a dissipação térmica assim como nos dispositivos SDSOI, porém com uma área de silício menor. Esse tipo de dispositivo é conhecido como MSDSOI (*Modified Source / Drain Silicon-On-Insulator*, regiões de Fonte e Dreno Modificadas em Silício Sobre Isolante) [5], conforme apresentado na Figura 11.B.

Essa nova estrutura (MSDSOI) apresenta o efeito DIBL com a mesma vantagem que os dispositivos convencionais e o SDSOI apresentam em relação ao dispositivo SOI, que por sua vez é o pior deles [5]. O efeito de corpo no dispositivo MSDSOI tem pouca vantagem quando comparado aos dispositivos SDSOI e convencional, sendo que no dispositivo SOI este é muito melhor [5]. A corrente elétrica de saída no MSDSOI é maior do que as dos dispositivos SDSOI e convencional, porém, é igual a do dispositivo SOI [5]. O tempo de atraso no dispositivo MSDSOI é maior do que no dispositivo SOI, porém, é menor do que o das estruturas SDSOI e convencional [5]. E, com relação ao problema térmico, o dispositivo MSDSOI apresenta bom desempenho quando polarizado em saturação, como pode ser visto na comparação das temperaturas a seguir: SOI = 553 K, SDSOI = 371 K e MSDSOI = 409 K, de modo que o dispositivo MSDSOI apresenta excelente dissipação

térmica quando comparada à do dispositivo SOI. Portanto, a estrutura MSDSOI apresenta as melhores características, assim como o melhor desempenho elétrico e térmico, tornando-se uma escolha atrativa e promissora [5].

Todos os dispositivos aqui apresentados foram estudados principalmente em estrutura planar. Em estruturas FinFETs este estudo ainda é inicial e precisa ser melhor estudado, principalmente se focarmos no desempenho analógico deste dispositivo. Este trabalho visa estudar as diferentes estruturas FinFETs aqui apresentadas com foco principalmente na performance analógica destes dispositivos. Este estudo foi baseado em simulações numéricas tridimensionais usando o simulador de dispositivos Atlas como apresentado a seguir.

4 SIMULAÇÕES NUMÉRICAS TRIDIMENSIONAIS

Neste item será apresentada de forma geral, a ferramenta de simulação utilizada durante o trabalho e também às estruturas e modelos que foram descritos no simulador para a realização do mesmo. Para o estudo dos transistores FinFETs, foram realizadas simulações tridimensionais utilizando o simulador Atlas da Silvaco, que é executado pelo ambiente de trabalho Deckbuild.

4.1 O Simulador Atlas

As simulações realizadas para este trabalho foram obtidas utilizando o simulador de dispositivos Atlas [6], da empresa Silvaco, no ambiente Deckbuild, em ambiente de trabalho Windows[®]. A construção do arquivo de simulação pode ser feita apenas em um arquivo texto, onde são definidas a grade do dispositivo, a estrutura e as condições de polarização de maneira sequencial, porém, por facilidade e modo de definição da programação separada, foram utilizados dois arquivos texto, um para a geração da estrutura e outro para a simulação do dispositivo [6]. Um exemplo do arquivo de entrada para as simulações de FinFETs no Atlas é disposto no Apêndice do trabalho.

O simulador Atlas é baseado em equações físicas e possibilita a realização das simulações das características elétricas mencionadas anteriormente, em estruturas bi e tridimensionais nos regimes de corrente elétrica contínua, corrente elétrica alternada e em transitório [6]. Os dispositivos a serem simulados podem ser construídos em uma grade bi e /ou tridimensional, cujos pontos serão aplicados às equações derivadas das Leis de Maxwell, onde os modelos físicos e as condições de polarização são definidos para a simulação [6]. Todas as simulações desse trabalho foram realizadas em grades tridimensionais e polarizadas no regime de corrente elétrica contínua.

4.2 Modelos Utilizados

Uma série de modelos físicos deve ser utilizada para que as simulações gerem valores condizentes com aqueles obtidos em características experimentais. Estes modelos podem abranger o perfil de dopantes da superfície, os modelos específicos de mobilidade, a recombinação de portadores, a ionização por impacto, dentre outros. Uma breve descrição dos

modelos utilizados durante as simulações com o interpretador C do Atlas, ao longo do trabalho, envolvendo os FinFETs, são descritas a seguir:

- a) FERMI: Fermi-Dirac, responsável por uma aproximação estatística da diminuição da concentração de portadores em regiões altamente dopadas [6];
- b) NI.FERMI: especificando o parâmetro NI.FERMI na declaração de modelos no ATLAS, fará com que o cálculo da expressão para a concentração intrínseca de portadores utilize os efeitos de estatística de Fermi-Dirac para a recombinação SRH (*Shockley-Read-Hall*) [6];
- c) FLDMOB: *Parallel Electric Field Dependence*, modelo de degradação da mobilidade dependente do efeito de campo lateral, utilizado para estruturas de silício e arseneto de gálio, sendo necessário para a modelagem de qualquer efeito relacionado à velocidade de saturação dos portadores [6];
- d) PRINT: este parâmetro mostra os valores do tempo de execução e os modelos que são utilizados durante a simulação. É altamente recomendável a inclusão do parâmetro PRINT na declaração dos modelos, pois assim o detalhamento dos parâmetros dos materiais e as constantes e modelos de mobilidade serão especificados no início da execução [6];
- e) AUGER: modelo de recombinação através da transição direta de três partículas, onde um portador é capturado ou emitido. Muito importante em altas densidades de corrente elétrica [6];
- f) BGN: *Band Gap Narrowing*, modelo de estreitamento de banda muito importante em regiões com alta dopagem. Varia com a mudança de temperatura e é necessário para a correta modelagem do ganho do transistor bipolar parasita intrínseco ao transistor SOI, sendo necessária sua utilização sempre com o modelo KLA [6];
- g) CONSRH: *Concentration Dependent Lifetime SRH*, modelo de recombinação onde o tempo de vida dos portadores depende da concentração, sendo recomendado para estruturas de silício [6];
- h) SHI: Shirahata, modelo alternativo para a mobilidade da superfície que pode ser combinado com o KLA. O modelo de mobilidade Shirahata é um modelo de mobilidade MOS com propósito geral, que leva em conta os efeitos na camada de inversão, bem como, a dependência do campo elétrico perpendicular para os óxidos de silício de porta relativamente finos [6];

- i) KLA: Klaassen, modelo de mobilidade que inclui dependências com a concentração de portadores, a concentração intrínseca de portadores e a temperatura absoluta, e que aplica diferentes mobilidades para portadores majoritários e minoritários, muito recomendado para transistores SOI [6];
- j) TEMP: temperatura de operação dos dispositivos, em Kelvin, para ser utilizada durante as simulações. No caso, $TEMP = 300$ [6];
- k) LAT.TEMP: *Lattice Heating*, quando acionado, considera o efeito de autoaquecimento, que por sua vez utiliza o módulo GIGA. O módulo GIGA considera rigorosamente o modelo de autoaquecimento descrito por Wachutkas [37], utilizando aquecimento por efeito Joule e resfriamento devido à geração e recombinação de portadores, e efeito de Peltier e Thomson. Quando a densidade de corrente elétrica no silício é alta, poderá gerar uma quantidade significativa de calor nos transistores SOI MOSFETs, já que a camada de óxido enterrado retém o calor gerado [37]. Para os dispositivos SOI este calor pode ser significativo, vindo a afetar drasticamente a operação do dispositivo, assim, deve ser levado em consideração o uso desse modelo. Para utilização do modelo LAT.TEMP é necessário definir também, a configuração do parâmetro THERMCONTACT [6];
- l) THERMCONTACT: este parâmetro é utilizado para definir quantos contatos térmicos são utilizados nas estruturas e suas características [6]. Nas simulações com autoaquecimento apresentadas neste trabalho, foi utilizado um contato por dispositivo e com valor máximo possível na profundidade (y), de modo a garantir a equivalência / aproximação com os dispositivos reais que por sua vez apresentam várias camadas de materiais e com grandes espessuras, fazendo com que o substrato esteja muito distante da região do canal. Para a utilização desse parâmetro deve-se definir o modelo ALPHA [6];
- m) ALPHA: é definido pelo usuário na declaração do parâmetro THERMCONTACT e especifica o valor inverso da resistência térmica (para as simulações, $ALPHA = 2.5 \text{ W / cm}^2\text{K}$) [6]. Os modelos empíricos de alpha e beta foram ajustados e calibrados utilizando como base os resultados experimentais apresentados em [8], existentes para os dispositivos SOI FinFETs em triodo, e mantidos para as outras estruturas e simulações, incluindo as estruturas modificadas;

- n) SELB: Selberherr, este modelo de ionização por impacto dependente do campo elétrico horizontal em um ponto específico da estrutura, é recomendado para a maioria dos casos que incluir parâmetros dependentes do campo elétrico horizontal e da temperatura e, deve ser declarado após o comando IMPACT. Junto ao termo IMPACT SELB, é possível definir os valores das intensidades dos campos elétricos através dos parâmetros AP, BN e BP, onde o índice 1 corresponde aos valores de campos inferiores (AP1, BP1, AN1 e BN1) e o índice 2 corresponde aos valores de campos superiores (AP2, BP2, AN2, e BN2). A utilização do comando IMPACT SELB serve para quando a simulação não for realizada no tempo (Transitório, onde é gerado um pulso e se aguarda a estabilização do sinal). No caso desse trabalho, os valores das intensidades dos campos elétricos utilizados são iguais à BN1 e BN2 = 3.5E6, conforme será descrito na seção 4.4 [6].

4.3 Estruturas FinFETs Simuladas

Os dispositivos simulados apresentam as seguintes características: espessura efetiva do óxido de silício de porta (t_{oxf}) igual a 1,5 nm, comprimento de canal (L) de 150 nm, altura da aleta *fin* (H_{fin}) de 65 nm e a largura da aleta (W_{fin}) igual a 20 nm, 60 nm, 90 nm e 120 nm. A estrutura SOI tem o óxido enterrado com espessura (t_{oxb}) de 145 nm, e a SDSOI e a MSDSOI apresenta a camada de óxido de silício de acordo com as regiões de fonte e dreno, com a mesma espessura do óxido enterrado que o SOI. Uma variação na estrutura MSDSOI também é proposta com três diferentes janelas de acesso (W_a): MSDSOI 50 – MSDSOI com janela de acesso de 50 nm, MSDSOI 25 – com W_a de 25 nm, e MSDSOI 15 – com W_a de 15 nm.

As estruturas esquemáticas representativas de todos os dispositivos verticais com três portas simulados são descritas a seguir: a Figura 12 mostra a estrutura convencional FinFET, tanto em três dimensões quanto com o corte na transversal na extensão de fonte / dreno. Na Figura 13 temos a estrutura SDSOI FinFET, com detalhe para o óxido enterrado somente sob a fonte e o dreno do dispositivo. A Figura 14 apresenta a estrutura MSDSOI FinFET, onde o óxido enterrado, além de ficar abaixo da fonte e do dreno, adentra a região sob o canal do transistor, sendo que, para as simulações essa janela de acesso apresenta três medidas a saber: $W_a = 15$ nm, 25 nm e 50 nm (área sem óxido de silício abaixo do canal). Na Figura 15 temos o transistor SOI FinFET, onde o óxido enterrado isola toda a área de condução, da área do substrato.

A concentração de dopantes no substrato é uniforme de $1.10^{15} \text{ cm}^{-3}$ e nas regiões de fonte e dreno foi considerada uma dopagem uniforme de $8.10^{19} \text{ cm}^{-3}$, para considerar o efeito da resistência série [8].

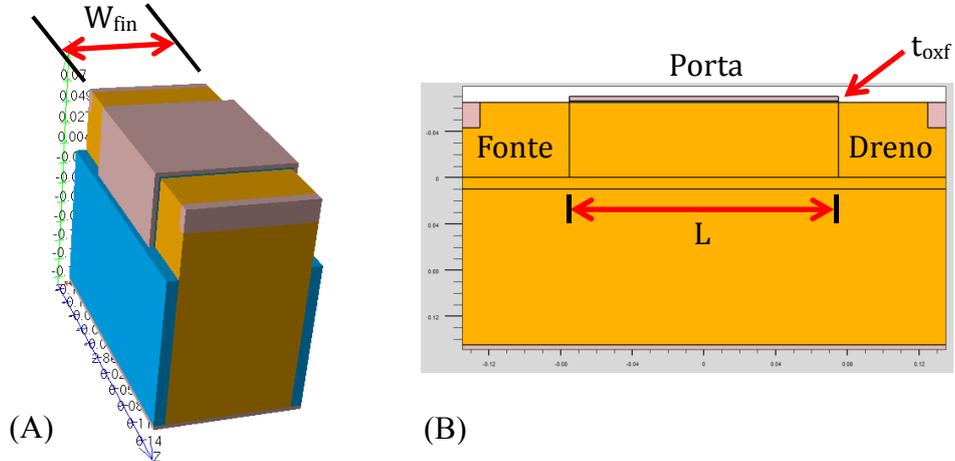


Figura 12 – Estrutura esquemática representativa do dispositivo convencional em (A) 3D e (B) corte transversal.

Fonte: Autor

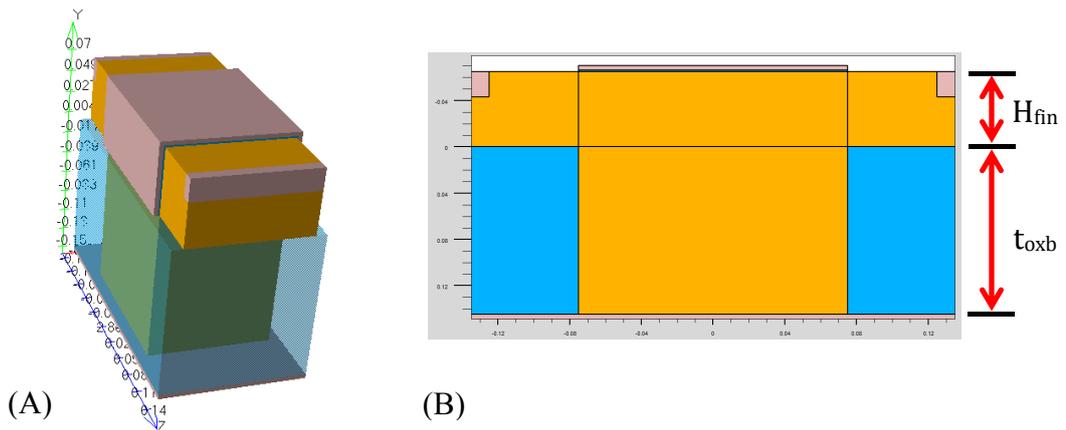


Figura 13 – Estrutura esquemática representativa do dispositivo SDSOI em (A) 3D e (B) corte transversal.

Fonte: Autor

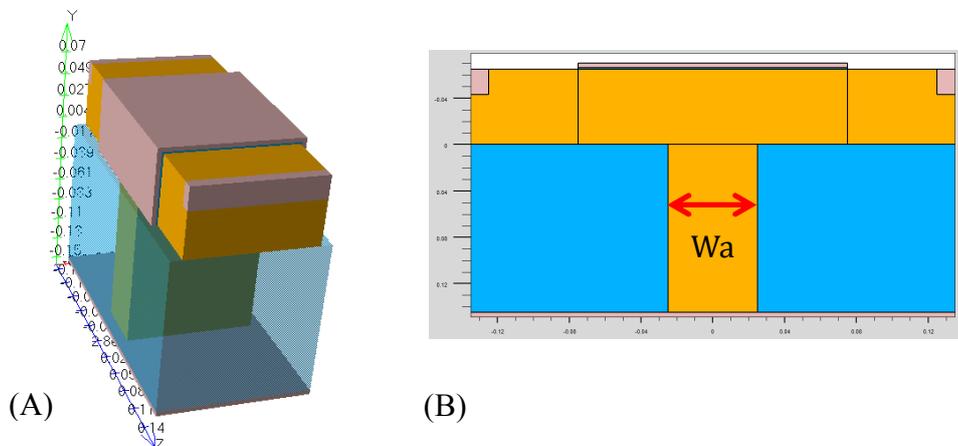


Figura 14 – Estrutura esquemática representativa do dispositivo MSDSOI em (A) 3D e (B) corte transversal, com a janela de silício (W_a).

Fonte: Autor

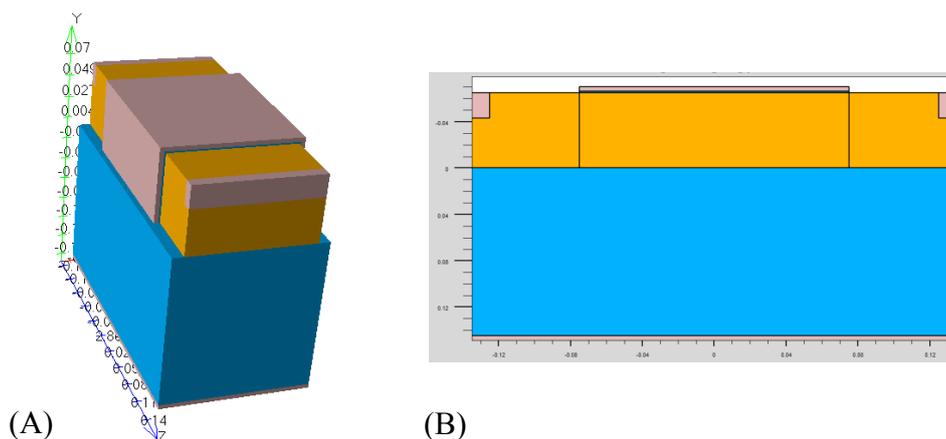


Figura 15 – Estrutura esquemática representativa do dispositivo SOI em (A) 3D e (B) corte transversal.

Fonte: Autor

4.4 Processo de Calibração

Uma das maiores dificuldades encontradas foi o ajuste do modelo de ionização por impacto (IMPACT SELB) para as simulações tridimensionais [6]. Este ajuste é necessário para que as curvas não apresentem uma ionização por impacto grande demais, que leve o dispositivo a uma ruptura precoce e, nem uma ionização por impacto pequena demais, que deixe a característica de saída irreal.

Para corrigir a ruptura precoce do dispositivo, foi necessário realizar o ajuste dos modelos e parâmetros inerentes ao IMPACT SELB. Para que a ruptura do dispositivo, devido à elevação da corrente elétrica, ocorra para uma tensão entre fonte e dreno maior, foi necessário realizar o ajuste dos parâmetros BN1 e BN2, que definem o ponto a partir do qual o dispositivo tende a ruptura (Figura 16), e dos parâmetros AN1 e AN2, que definem a curvatura da exponencial associada à tendência a ruptura [6], como apresentado a seguir:

De maneira análoga foram simuladas diversas combinações (Figura 17), até que a curva apresentasse uma característica próxima da real, para V_{GT} pequeno (0,25 V) garantindo que a curva não apresentasse inclinação negativa. Tomou-se como referência a curva apresentada em [8].

- a) AN1 e AN2 = $5,0 \times 10^5$: há pouca influência ao se utilizar esse parâmetro, e a curva de I_{DS} em função de V_{DS} apresenta uma inclinação um pouco menor quando comparada à curva sem a utilização desses parâmetros;
- b) BN1 e BN2 = $2,5 \times 10^6$: a curva de I_{DS} em função de V_{DS} apresenta uma tendência à ruptura mais forte, devido à ionização por impacto, de modo que esta não fica

- contínua (reta, paralela ao eixo de V_{DS}) e, o módulo da tensão Early fica muito baixo;
- c) $BN1$ e $BN2 = 3,5 \times 10^6$: a curva apresenta uma pequena quebra (descontinuidade) em V_{DS} igual a $0,9V$, sendo assim, a que melhor se assemelha ao tipo de curva ideal / real;
- d) $BN1$ e $BN2 = 4,0 \times 10^6$: a curva não apresenta descontinuidade tão forte como nas anteriores, tornando-se praticamente constante, quase sem inclinação e com $|V_{EA}|$ muito maior, ou seja, é praticamente ideal, e não representa a característica real das curvas de I_{DS} em função de V_{DS} ;
- e) $AN1$ e $AN2 = 5,0 \times 10^5$ e $BN1$ e $BN2 = 4,0 \times 10^6$: utilizando os dois parâmetros ao mesmo tempo, há pouca influência do $AN1$ e $AN2$, de modo que as curvas ficam praticamente iguais as que foram utilizados apenas o parâmetro $BN1$ e $BN2 = 4,0 \times 10^6$.

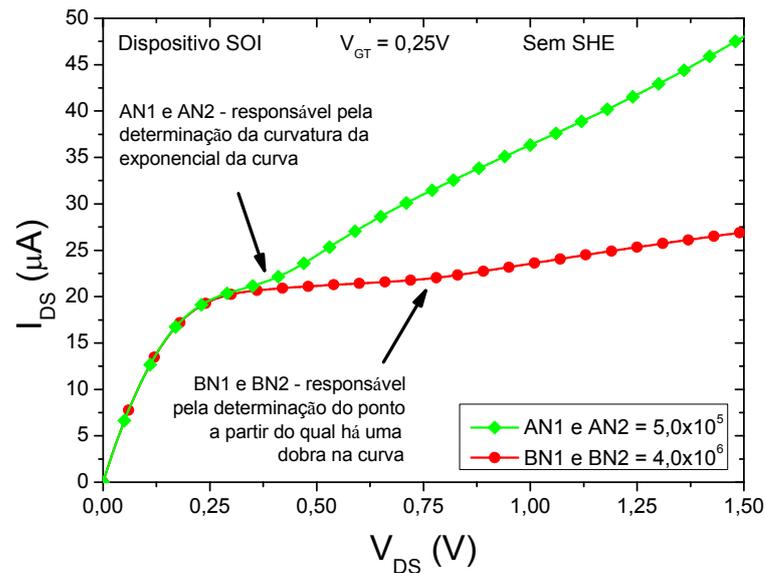


Figura 16 – Exemplo de curva de I_{DS} em função de V_{DS} para mostrar os efeitos dos parâmetros $AN1$, $AN2$, $BN1$ e $BN2$ nas simulações realizadas.

Fonte: Autor

Ao realizar essas simulações e ajustes com foco ao processo de calibração, para obtenção das curvas reais [8], o que demandou um tempo considerável, foi possível notar que ao se utilizar os parâmetros $AN1$ e $AN2$ houve pouca diferença nos resultados das curvas (curvas praticamente iguais às sem a utilização desse parâmetro), e, após algumas alterações e testes com os valores dos parâmetros $BN1$ e $BN2$, foi possível definir os que mais se

assemelham aos resultados das curvas ideais ($BN1$ e $BN2 = 3,5 \times 10^6$), estes parâmetros que então, são utilizados para todas as estruturas simuladas que operam na região de saturação.

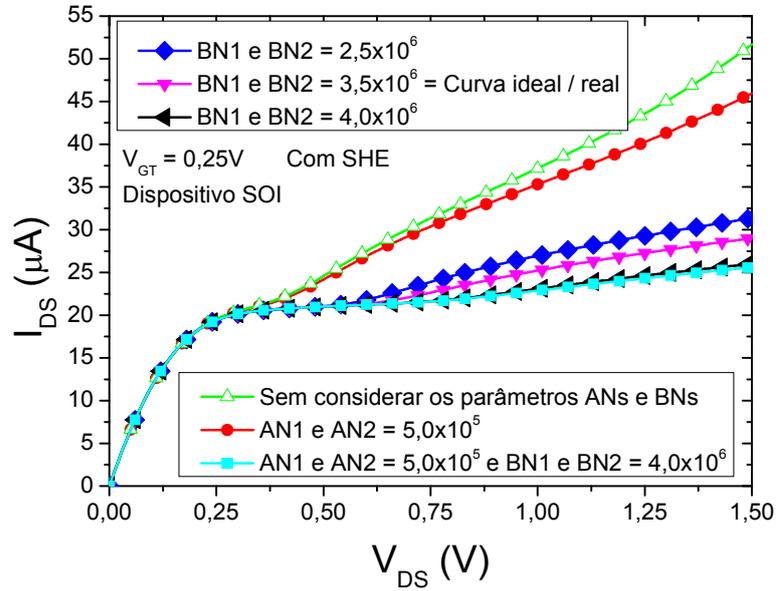


Figura 17 – Curvas de I_{DS} em função de V_{DS} obtidas ao se modificar os parâmetros AN1, AN2, BN1 e BN2.

Fonte: Autor

5 RESULTADOS OBTIDOS

Neste item são apresentados todos os resultados estudados e obtidos com base na fundamentação teórica, apresentada nos itens anteriores. Para a análise desses dispositivos, os resultados foram obtidos em triodo e em saturação, com atenção especial ao efeito do autoaquecimento. O estudo foi desenvolvido baseado em simulação numérica tridimensional para transistores com quatro diferentes larguras de canal / aleta (f_{in}), ou seja, para f_{in} de 20 nm, 60 nm, 90 nm e 120 nm.

Este trabalho consiste no estudo comparativo do comportamento elétrico / térmico de diferentes tipos de transistores fabricados em estruturas FinFETs. A comparação de algumas características, elétricas e térmicas, dos dispositivos convencional, SDSOI, MSDSOI e SOI, foi realizada visando à obtenção de uma estrutura que apresente um ponto ótimo com as melhores características de cada dispositivo. Deste modo, foram observadas as curvas da corrente elétrica de dreno e, então, avaliados diversos parâmetros analógicos como a razão de g_m / I_{DS} , a tensão Early, a condutância de saída, a transcondutância em saturação e o ganho de tensão intrínseco.

Todos os dispositivos analisados ao longo do estudo apresentam características de simulações semelhantes, como concentração de dopantes na aleta do tipo P de 10^{15} cm^{-3} e dielétrico de porta formado com 1,5 nm de SiO_2 , comprimento de canal fixo e igual a $L = 150 \text{ nm}$, e altura H_{fin} de 65 nm. No estudo foram considerados dispositivos de diversas larguras de f_{in} (W_{fin} de 120 nm, 90 nm, 60 nm e 20 nm). A largura efetiva dos dispositivos equivale a $W = 2.H_{fin} + W_{fin}$, pois se tratam de transistores de porta tripla. A espessura de óxido enterrado é de 145 nm para o SOI, SDSOI e MSDSOI, e os dispositivos convencionais não apresentam óxido enterrado, apenas uma camada fina de óxido de silício em sua lateral para isolar o eletrodo de porta, como esquematizado na Figura 12.

5.1 Corrente Elétrica de Dreno em função da Tensão Aplicada à Porta ($I_{DS} \times V_{GS}$) e Tensão de Limiar (V_{TH})

Na Figura 18 são apresentadas as curvas de I_{DS} em função de V_{GS} para o FinFET com largura de f_{in} de 120 nm. As simulações para os dispositivos contemplam todas as estruturas mencionadas: convencional, SDSOI, MSDSOI com W_a de 15 nm, 25 nm e 50 nm, e SOI.

Pode-se observar que o transistor SOI apresenta maior corrente elétrica de dreno quando comparado aos demais transistores simulados, enquanto o MOSFET convencional apresenta a menor corrente elétrica. É observado também que os dispositivos SDSOI

e MSDSOI com W_a de 50 nm, 25 nm e 15 nm, apresentam maior I_{DS} à medida que o dispositivo torna-se mais blindado, ou seja, à medida que W_a fica menor, como já observado na referência [5]. Para as simulações em triodo não foi considerado o efeito de autoaquecimento, pois os resultados das simulações que consideram o SHE são muito semelhantes aos sem esse efeito, para quando são utilizadas baixas tensões aplicadas ao dreno (50 mV), de modo que não há corrente suficiente para ocasionar o efeito de autoaquecimento.

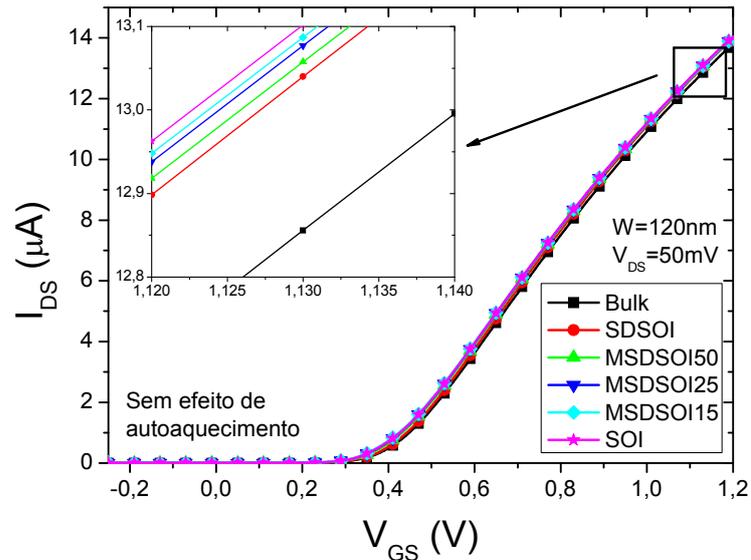


Figura 18 – Curvas de I_{DS} em função de V_{GS} para diferentes estruturas FinFETs com largura do *fin* de 120 nm.

Fonte: Autor

A extração da tensão de limiar é de fundamental importância, pois define qual a tensão necessária que deve ser aplicada entre a porta e a fonte para que haja a formação do canal de inversão abaixo do óxido de porta (elétrons ou lacunas livres), e pode ser realizada por diferentes métodos. Neste trabalho, o método utilizado foi o da segunda derivada da corrente elétrica de dreno pela tensão aplicada à porta [23], de onde se extrai o valor de V_{TH} a partir do ponto do pico da $\partial^2 I_{DS} / \partial^2 V_{GS}$.

As simulações das curvas da corrente elétrica de dreno em função de V_{GS} foram ajustadas, através da dopagem uniforme de $8.10^{19} \text{ cm}^{-3}$ nas regiões de fonte e dreno, para que os valores das tensões de limiar (V_{TH}) apresentem valores similares em todos os dispositivos simulados (convencional, SOI, SDSOI e MSDSOI com W_a de 15 nm, 25 nm e 50 nm), de modo que ocorra a formação do canal de inversão abaixo do óxido de porta para o mesmo valor de tensão de porta em todas as estruturas. As tensões de limiares extraídas conforme mencionado anteriormente, para as estruturas FinFETs e estruturas FinFETs modificadas para três diferentes larguras de aleta (W_{fin} de 20 nm, de 60 nm e de 120 nm), apresentam valores iguais à 0,41 V, com variação de 10 mV o que corresponde ao passo utilizado para as

simulações. Este ajuste de V_{TH} foi realizado com o intuito de facilitar a comparação entre o comportamento dos dispositivos.

5.2 Inclinação de Sublimiar (SS)

Na Figura 19 são apresentadas as curvas de I_{DS} em função de V_{GS} na escala logarítmica para três diferentes larguras de *fin*, a partir das quais é possível extrair os valores das inclinações de sublimiar, pelo inverso da derivada do logaritmo de I_{DS} em função de V_{GS} , para V_{GS} menor que V_{TH} , ou seja, $SS = \partial V_{GS} / \partial(\log I_{DS})$.

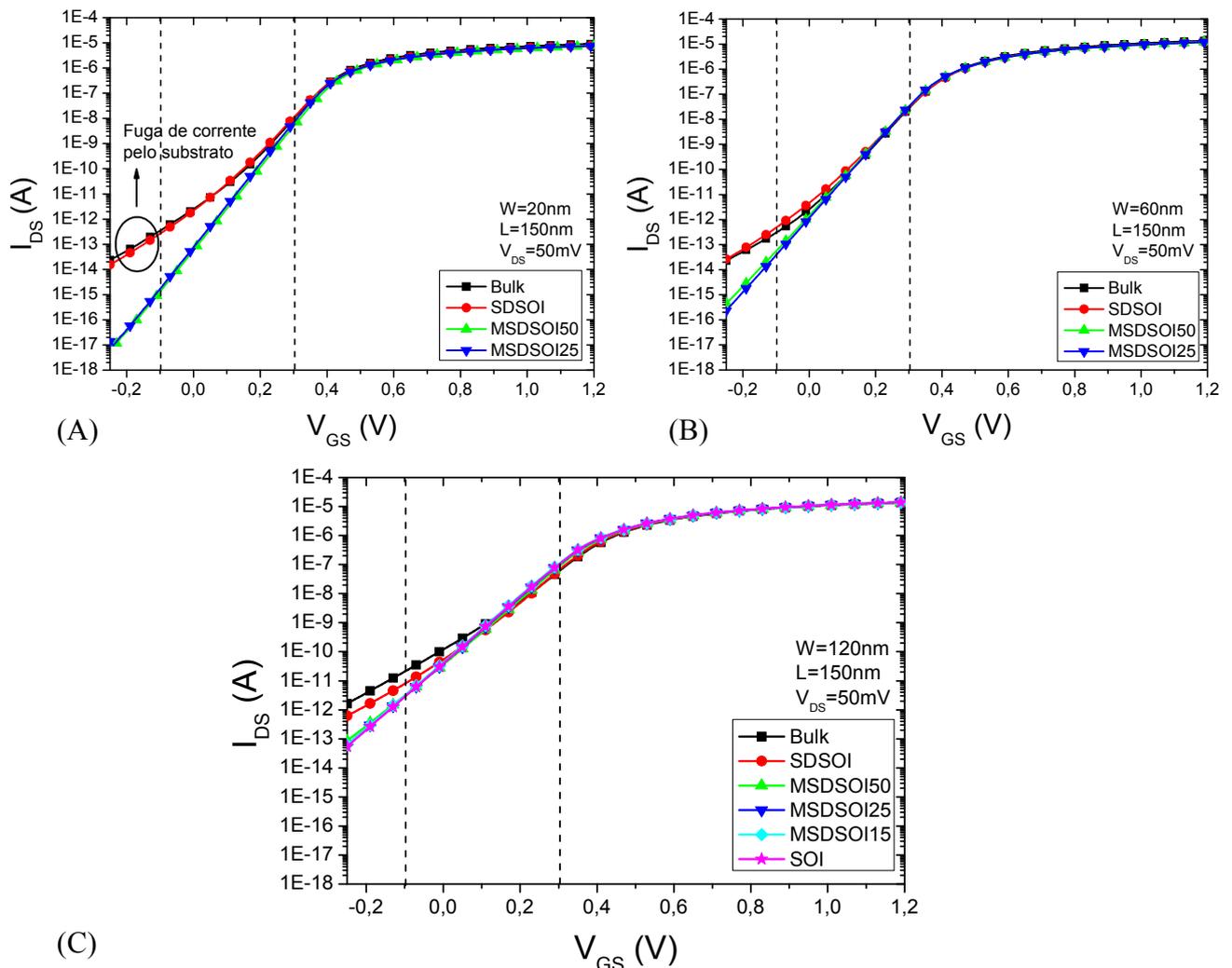


Figura 19 – Curvas de I_{DS} em escala logarítmica em função de V_{GS} para diferentes estruturas FinFETs com larguras de *fin* de (A) 20 nm, (B) 60 nm e, (C) 120 nm, respectivamente, com $V_{DS} = 50$ mV e $V_{GB} = 0$ V.

Fonte: Autor

Os dispositivos com larguras menores contemplam três estruturas (convencional, SDSOI e MSDSOI com W_a de 25 nm e de 50 nm), e para os dispositivos com largura do *fin* de 120 nm foram consideradas, também, a estrutura MSDSOI com W_a igual a 15 nm e a

estrutura SOI. As curvas de resposta do dispositivo MSDSOI com W_a de 15 nm e do dispositivo SOI não foram plotadas para os W_{fin} de 20 nm e de 60 nm somente por questão visual, pois devido ao bom acoplamento entre as portas desses dispositivos mais estreitos, essas curvas ficam sobrepostas às dos dispositivos MSDSOI com W_a de 25 nm e 50 nm.

A Tabela 1 apresenta os valores das inclinações de sublimiar (SS) extraídas conforme mencionado anteriormente, para as estruturas FinFETs e estruturas FinFETs modificadas para três diferentes larguras de W_{fin} , para V_{GS} logo abaixo de V_{TH} ($\cong 0,3$ V).

Tabela 1 – Inclinação de sublimiar para estruturas FinFETs com diferentes larguras do fin para $V_{GS} \cong 0,3$ V.

Estruturas	SS (mV / década)		
	$W_{fin} = 20$ nm	$W_{fin} = 60$ nm	$W_{fin} = 120$ nm
Convencional (<i>Bulk</i>)	67	69	94
SDSOI	70	73	88
MSDSOI $W_a = 50$ nm	60	68	87
MSDSOI $W_a = 25$ nm	60	67	87
MSDSOI $W_a = 15$ nm	-	-	87
SOI	-	-	87

Fonte: Autor

Analisando os valores das inclinações de sublimiar (SS), podemos ver que apesar do valor de SS aumentar com o aumento de W_{fin} devido à perda do acoplamento eletrostático entre as portas, os valores obtidos para W_{fin} estreitos (20 nm e 60 nm) são valores bastante próximos ao limite teórico em temperatura ambiente (60 mV / década) [9]. Isto ocorre devido ao excelente controle exercido pela porta sobre as cargas no canal.

No entanto, quando observamos as curvas de I_{DS} em função de V_{GS} (Figura 19), podemos observar uma forte degradação do comportamento da corrente na região de sublimiar para tensões de porta inferiores a aproximadamente 0,2 V tanto para os dispositivos MOSFETs convencionais quanto para os dispositivos SDSOI.

Para explicar este comportamento, são apresentadas a Figura 20 (vista tridimensional) e a Figura 21 (corte transversal) que mostram a distribuição das concentrações de elétrons para os três transistores na região para V_{GS} baixo, igual à - 0,1 V, convencional, SDSOI e MSDSOI com W_a de 50 nm. Este efeito é causado pela ausência do óxido enterrado e devido à uniformidade da concentração de portadores ($1.10^{15} \text{ cm}^{-3}$) em todo o fin e substrato, isto é, pela fuga de corrente elétrica que flui na região logo abaixo do canal.

Para evitar esta fuga de corrente elétrica, muitas vezes é feita uma implantação com dopagem P+ na região logo abaixo da região do canal. Porém, esta implantação extra é muito mais difícil de ser realizada durante o processo de fabricação do dispositivo [24].

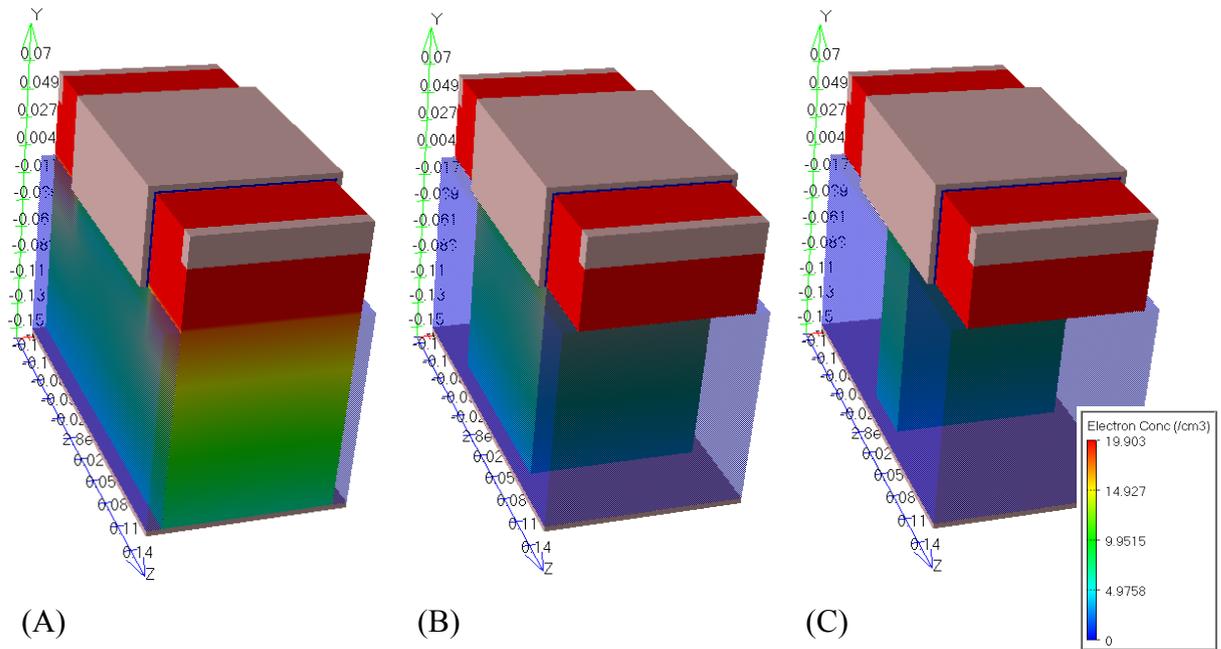


Figura 20 – Concentração de elétrons para três diferentes estruturas FinFETs com largura de fin de 120 nm, sendo (A) Convencional, (B) SDSOI e (C) MSDSOI com W_a de 50 nm, com vista tridimensional, respectivamente.

Fonte: Autor

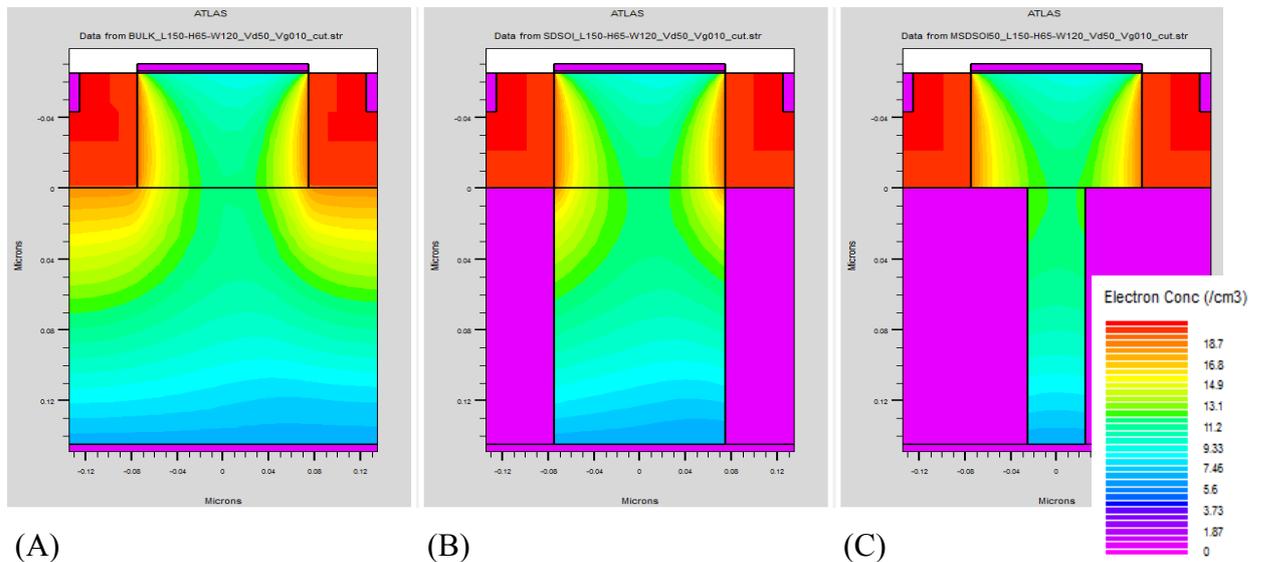


Figura 21 – Corte transversal entre fonte e dreno, da concentração de elétrons para três estruturas FinFETs com largura de fin de 120 nm, para (A) Convencional, (B) SDSOI e (C) MSDSOI com W_a de 50 nm, respectivamente.

Fonte: Autor

A partir dos cortes transversais das estruturas, é possível observar que no caso dos transistores MOSFET convencional e SDSOI, há uma grande concentração de elétrons controlados pela fonte e pelo dreno (depleção) e ainda que, existe uma concentração de elétrons na região de canal, maior na profundidade igual à de junção do que na superfície para esta polarização. Isto indica a ocorrência de uma corrente de fuga entre fonte e dreno nesta região.

Quando comparada à corrente de estado ligado (I_{on}), esta fuga não influencia a característica do transistor, porém quando o dispositivo está operando na região de estado desligado (I_{off}) esta fuga degrada muito as características do mesmo.

No caso do transistor MSDSOI, esta fuga é diminuída devido à presença do óxido enterrado e à medida que W_a é reduzido, a fuga também diminui. Desta maneira, sugere-se que o transistor SOI apresente melhor comportamento que os demais quando o foco é a corrente de fuga, por apresentar óxido enterrado ao longo da extensão de todo o dispositivo.

5.3 Concentração de elétrons

A concentração de elétrons, também foi obtida para $V_{GS} = 0,33$ V e $V_{GS} = 0,41$ V, com o intuito de avaliarmos o comportamento dos transistores fora da região afetada pela corrente de fuga. Na Figura 22 temos, a partir do corte da seção transversal entre fonte e dreno no meio do canal nos FinFETs, os exemplos das variações das concentrações dos elétrons com a variação do tipo de estrutura e de polarização.

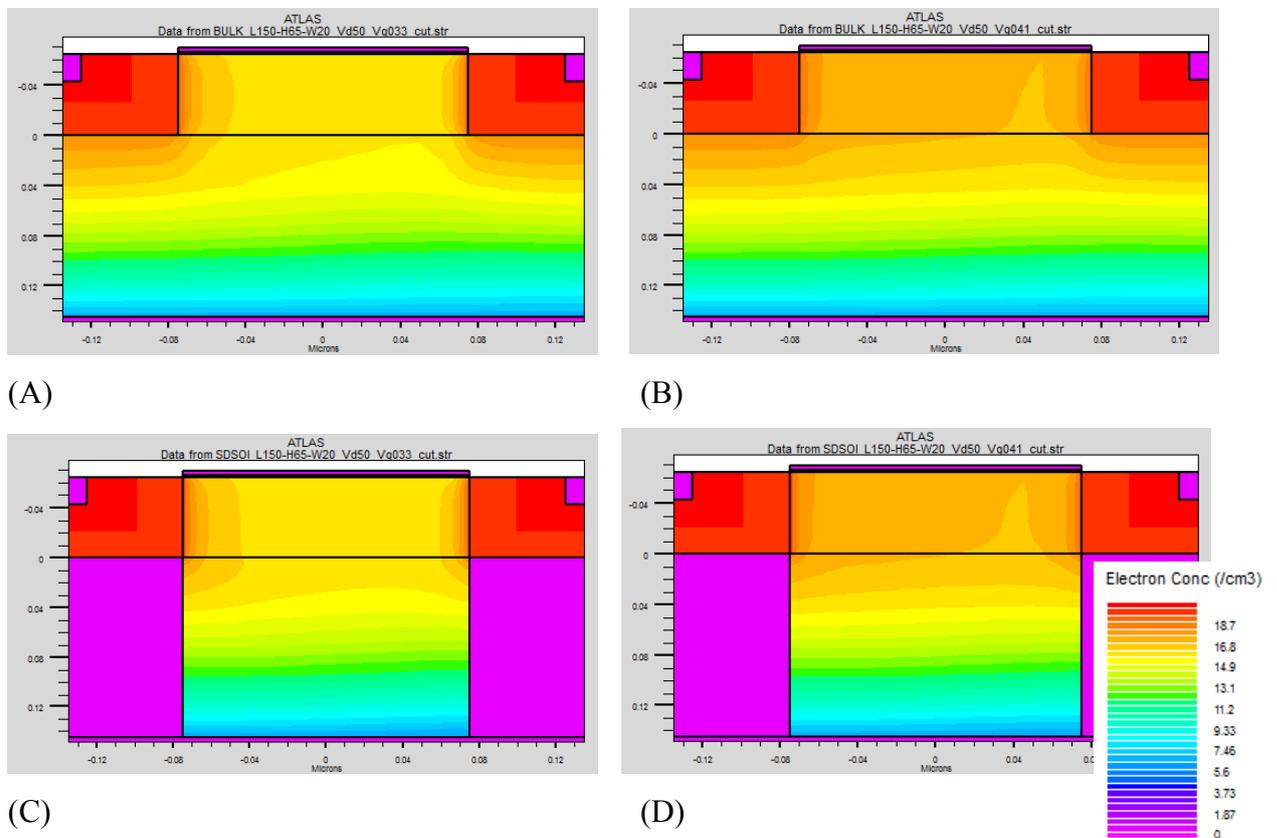


Figura 22 – Exemplo da concentração de elétrons para duas estruturas e duas polarizações cada, respectivamente: (A) Bulk e $V_{GS} = 0,33$ V, (B) Bulk e $V_{GS} = 0,41$ V, (C) SDSOI e $V_{GS} = 0,33$ V, (D) SDSOI e $V_{GS} = 0,41$ V.

Fonte: Autor

A extração da concentração de elétrons ao longo do comprimento do canal foi realizada tanto na primeira, quanto na segunda interfaces, a 2 nm de cada intersecção entre as superfícies / materiais, conforme esquematizado na Figura 23.

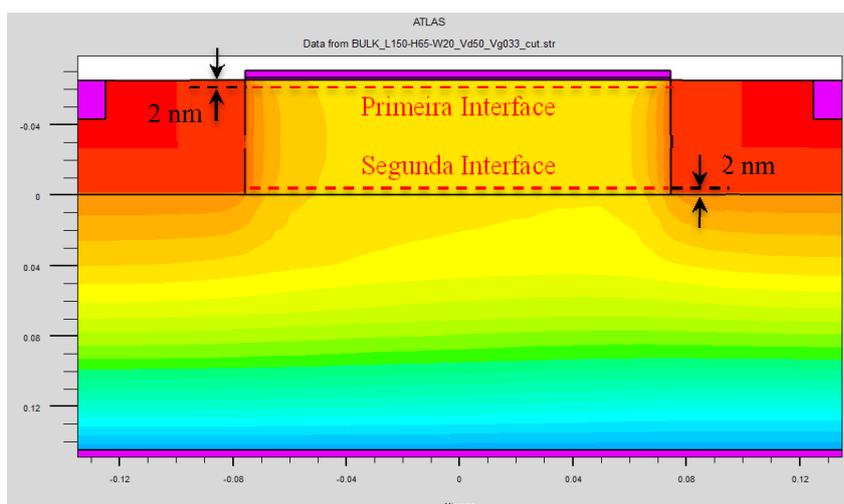


Figura 23 – Posições utilizadas para o corte e a extração da concentração de elétrons da primeira e da segunda interfaces nas estruturas FinFETs.

Fonte: Autor

O resultado da extração das concentrações de elétrons nas primeiras e segundas interfaces dos canais nos dispositivos FinFETs é apresentada na Figura 24. Foram consideradas larguras dos *fin*s descritas anteriormente, e em dois pontos de polarização, um para a região de sublimiar e outro igual a da tensão de limiar, $V_{GS} = 0,33$ V e 0,41 V, respectivamente.

Para ambas as tensões analisadas, quando é observada a concentração de elétrons junto à primeira interface (próximo ao topo do *fin*), o mesmo comportamento é obtido para todas as estruturas. Comparando-se quando é aplicado $V_{GS} = 0,33$ V (coluna da esquerda) com $V_{GS} = 0,41$ V (coluna da direita), pode-se observar um aumento da concentração de elétrons para $V_{GS} = 0,41$ V, pois o dispositivo atingiu a tensão de limiar.

No entanto quando o foco é a concentração de elétrons das regiões de fonte para dreno na profundidade de junção ou na segunda interface, observa-se que com o alargamento do *fin*, ocorre uma separação das linhas de concentração de elétrons devido à perda de acoplamento entre as portas e, assim, o dispositivo fica mais susceptível a influência do substrato.

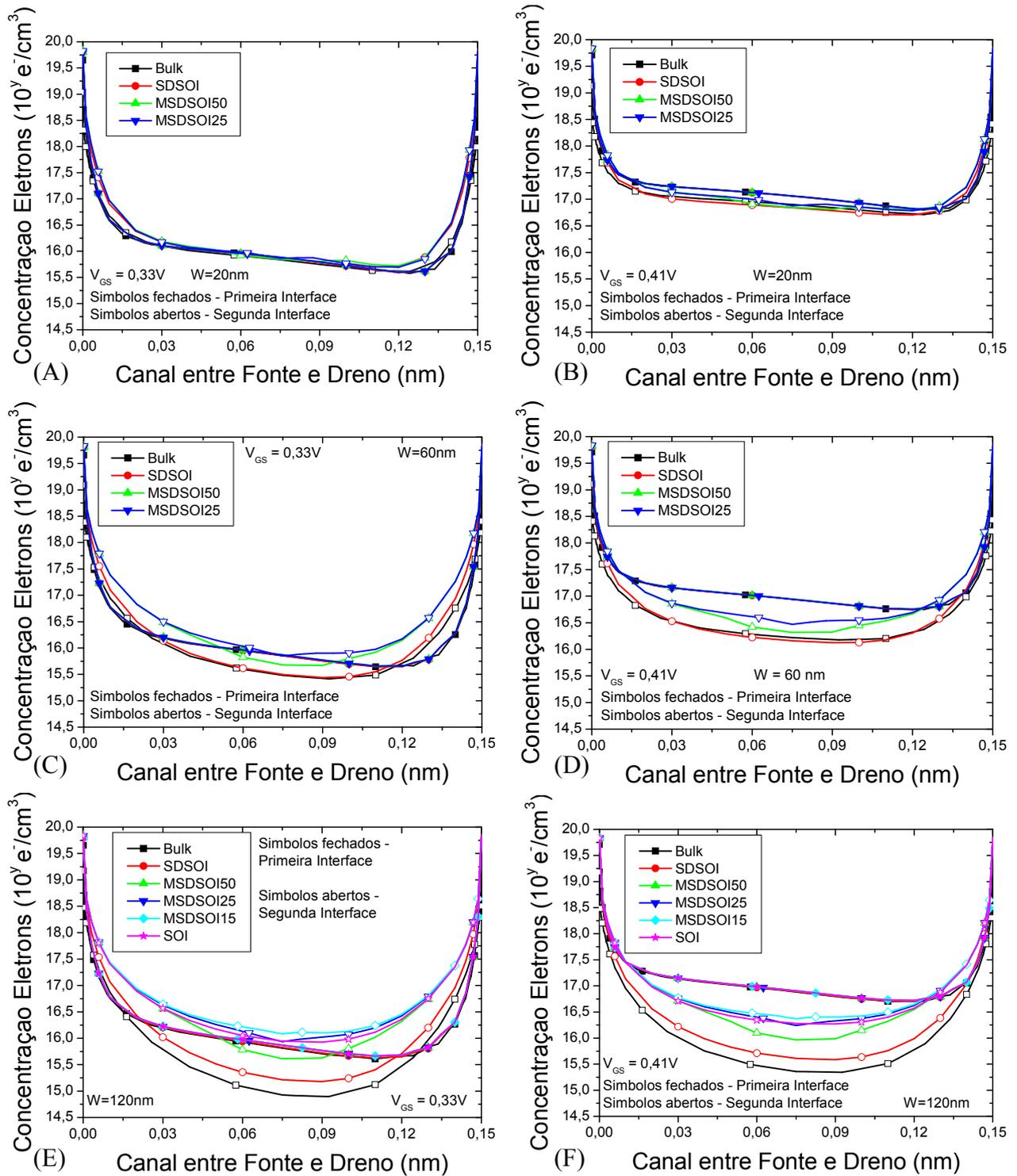


Figura 24 – Curvas das concentrações de elétrons nas primeiras e segundas interfaces do canal, nos dispositivos FinFETs, para três larguras de *fin* e em dois pontos de polarização, respectivamente: (A) 20 nm e $V_{GS} = 0,33 V$, (B) 20 nm e $V_{GS} = 0,41 V$, (C) 60 nm e $V_{GS} = 0,33 V$, (D) 60 nm e $V_{GS} = 0,41 V$, (E) 120 nm e $V_{GS} = 0,33 V$, e (F) 120 nm e $V_{GS} = 0,41 V$.

Fonte: Autor

Porém, visando diminuir a fuga de corrente elétrica pela segunda interface observada para os transistores convencionais, uma alta dopagem é realizada logo abaixo da região do canal (profundidade de junção), como mostra a Figura 25.B.

A Figura 26 apresenta as curvas de I_{DS} em escala linear e em escala logarítmica em funções de V_{GS} , para a estrutura FinFET convencional, com a dopagem natural da lâmina ($1 \times 10^{15} \text{ cm}^{-3}$) na região do substrato da estrutura e também com dopagens do tipo P com grandezas maiores, iguais à $1 \times 10^{17} \text{ cm}^{-3}$, $1 \times 10^{18} \text{ cm}^{-3}$ e $3 \times 10^{18} \text{ cm}^{-3}$, logo abaixo da região de canal. É possível notar nessas curvas, que essa alta dopagem evita a fuga de corrente elétrica pelo substrato, fazendo com que as características de correntes elétricas na região de sublimiar apresentem uma melhoria, e assim como no SOI FinFET não apresente a degradação de SS precocemente.

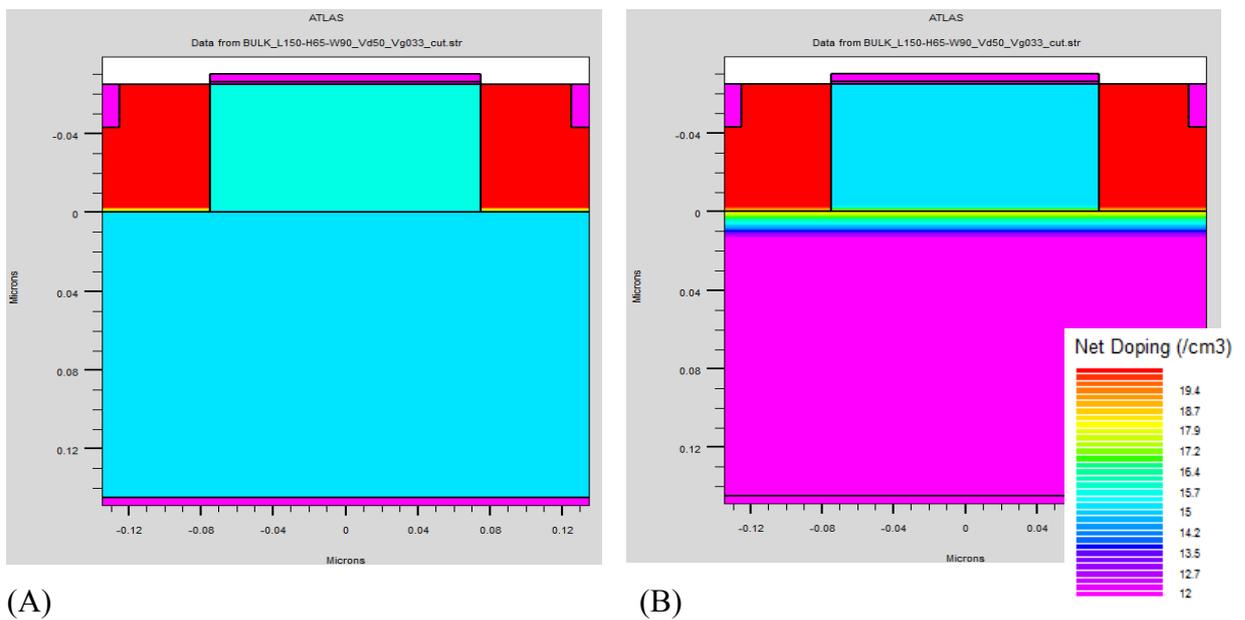


Figura 25 – Dispositivo convencional (*Bulk*) com: (A) Dopagem natural abaixo do canal / substrato ($1 \times 10^{15} \text{ cm}^{-3}$) e (B) Alta dopagem logo abaixo da região de canal.

Fonte: Autor

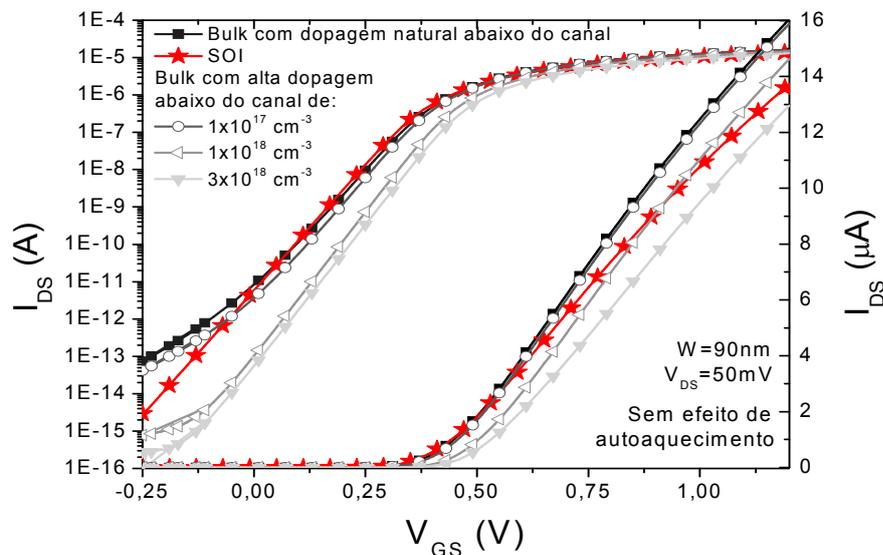


Figura 26 – Curvas de I_{DS} em escala linear e de I_{DS} em escala logarítmica em funções de V_{GS} para estruturas FinFETs convencionais com diferentes dopagens logo abaixo da região de canal.

Fonte: Autor

5.4 Efeito de Autoaquecimento

Como dito anteriormente, os SOI FinFETs sofrem do problema de autoaquecimento, assim, visando o desenvolvimento de uma nova estrutura que apresente as qualidades e vantagens da estrutura SOI e, ao mesmo tempo, a boa condutividade térmica dos dispositivos convencionais, os dispositivos MSDSOI FinFETs (*Modified Source / Drain Silicon-On-Insulator FinFETs*) foram projetados e analisados criteriosamente.

A extração da variação da temperatura foi realizada para todas as estruturas simuladas, ao longo da profundidade dos dispositivos, de modo a mostrar o quão importante é a contribuição da janela de contato (*Access Window, Wa*) aberta no meio do óxido enterrado.

O efeito de autoaquecimento obtido a partir das simulações das curvas de I_{DS} em função de V_{DS} em saturação, com o modelo *lat.temp* habilitado (vide seção 4.2), nos mostra justamente a dependência da temperatura com o tipo de estrutura utilizada. Nas simulações foram considerados altos valores de sobretensão da tensão de porta ($V_{GT} = 1,0$ V), que inclusive são utilizados na prática, pois assim os resultados devido ao efeito de autoaquecimento serão bastante elevados, de modo que, quando os dispositivos forem polarizados também com tensões menores (usualmente próximas a V_{GT} 's de 200 mV), as temperaturas recorrentes ao SHE consequentemente serão menores e, portanto, não haverá grande degradação na operação dos transistores. Na Figura 27 temos a variação da temperatura, variando-se o tipo de polarização e o tipo de estrutura (SOI, MSDSOI com W_a de 15 nm e de 50 nm, SDSOI e convencional), a partir do corte da seção transversal entre fonte e dreno no meio do canal dos FinFETs, com *fin*s de largura igual a 120 nm.

É possível notar que, à medida que a abertura da janela abaixo do canal aumenta, a temperatura diminui, uma vez que sem o óxido enterrado ou sem parte dele, a facilidade para a dissipação de calor pelo substrato é maior, já que as características dielétricas do S_iO_2 não são boas para a dissipação térmica (baixa condutividade térmica). É possível notar também que, quando as tensões de dreno são maiores ($V_{DS} = 1,2$ V), as temperaturas se elevam ainda mais (coluna da esquerda na Figura 27), devido à elevação da corrente elétrica, como será apresentado em 5.5.

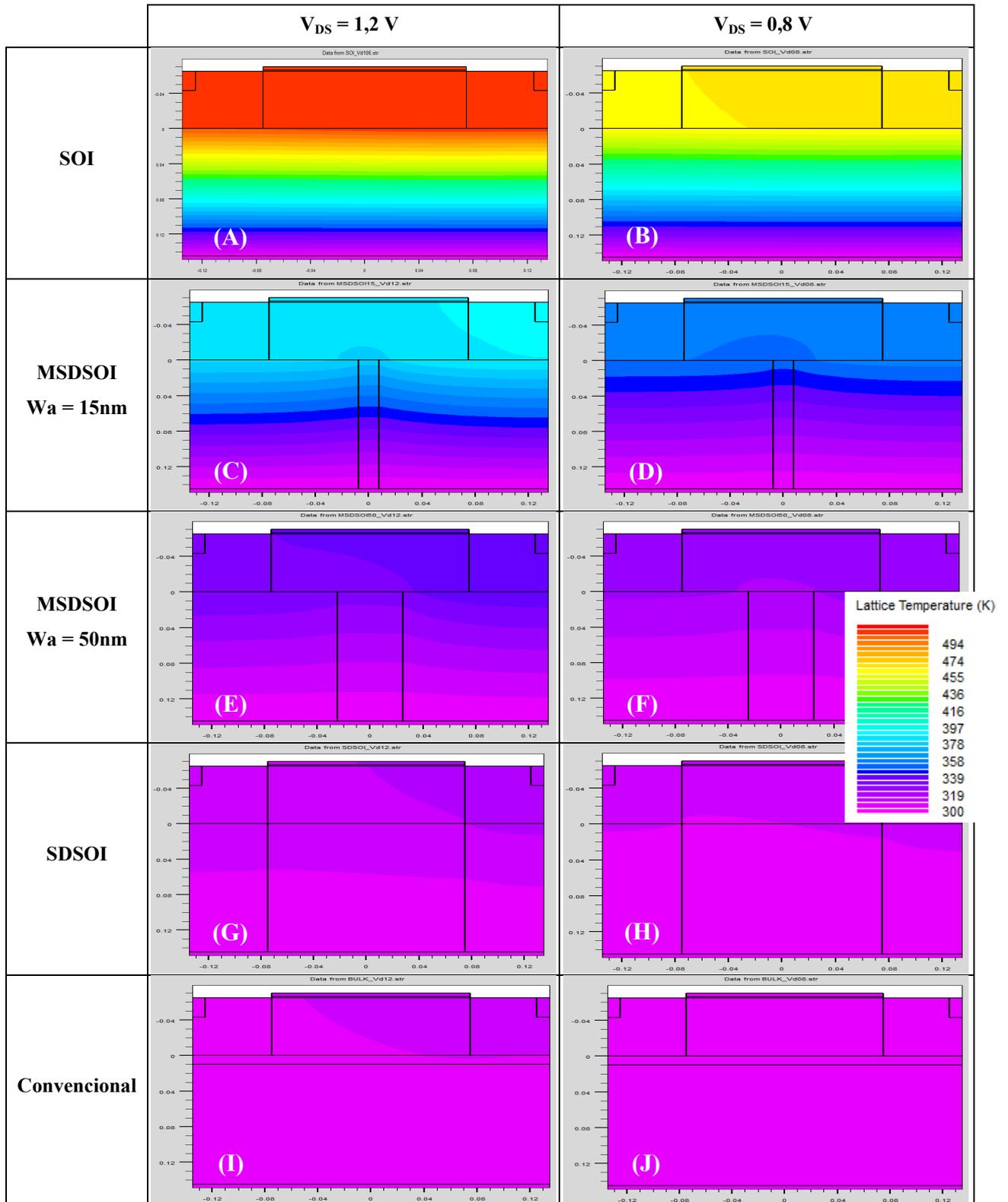


Figura 27 – Exemplo do efeito do autoaquecimento para estruturas FinFETs com duas polarizações cada: (A) SOI e $V_{DS} = 1,2\text{ V}$, (B) SOI e $V_{DS} = 0,8\text{ V}$, (C) MSDSOI com $W_a = 15\text{nm}$ e $V_{DS} = 1,2\text{ V}$, (D) MSDSOI com W_a de 15nm e $V_{DS} = 0,8\text{ V}$, (E) MSDSOI com W_a de 50nm e V_{DS} de $1,2\text{ V}$, (F) MSDSOI com W_a de 50nm e V_{DS} de $0,8\text{ V}$, (G) SDSOI e $V_{DS} = 1,2\text{ V}$, (H) SDSOI e $V_{DS} = 0,8\text{ V}$, (I) Convencional e V_{DS} de $1,2\text{ V}$, e (J) Convencional e V_{DS} de $0,8\text{ V}$.

Fonte: Autor

A distribuição da temperatura foi analisada tanto ao longo do canal, como na profundidade do mesmo. A primeira análise foi realizada na direção da profundidade do dispositivo, no meio do canal (75 nm), e próximo ao dreno, a 30 nm de distância deste, conforme é exemplificado na Figura 28. A Figura 29 mostra o corte realizado ao longo do comprimento de canal, sendo o corte próximo à primeira interface, a 2 nm da superfície, na extensão do canal entre as regiões de fonte e de dreno.

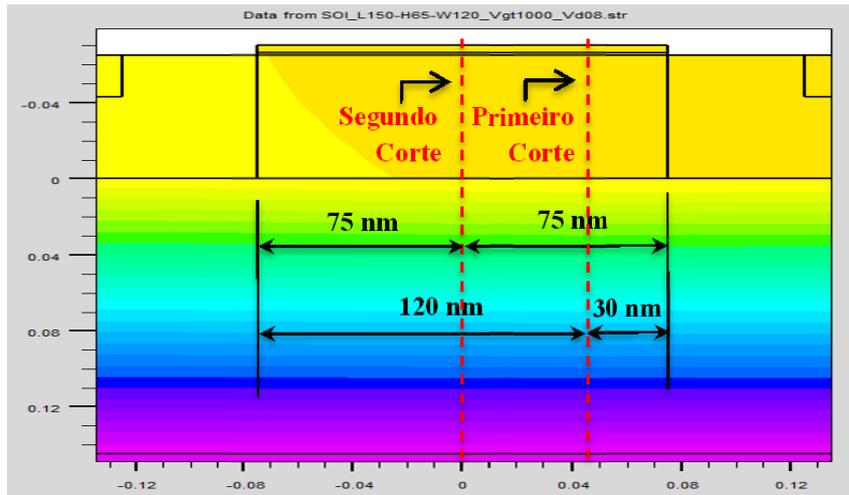


Figura 28 – Posições utilizadas para o corte e a extração da temperatura nas estruturas FinFETs em relação à profundidade.

Fonte: Autor

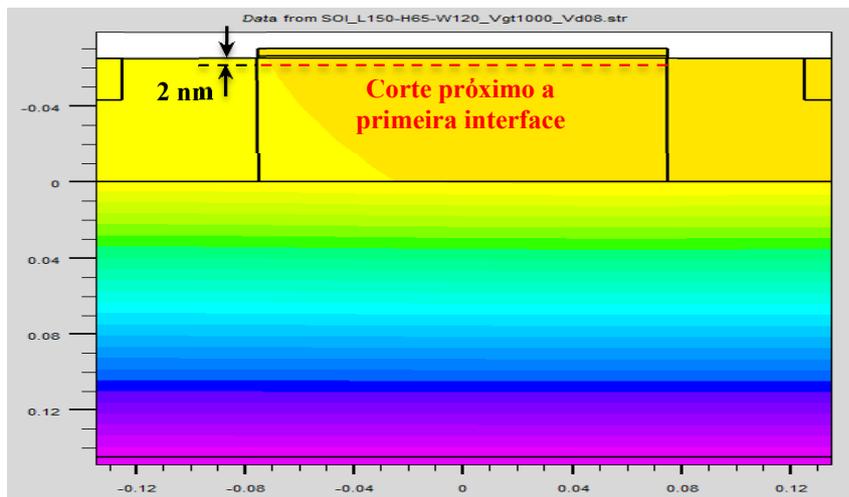


Figura 29 – Corte realizado na extensão do canal, entre fonte e dreno, para a extração da temperatura nas estruturas FinFETs.

Fonte: Autor

A Figura 30 apresenta a temperatura no canal dos dispositivos FinFETs, ao longo da profundidade até o substrato, a 30 nm de distância da junção canal / dreno (vide os pontos de corte na Figura 28). Como pode ser observado, à medida que o óxido enterrado prevalece nos

transistores, à temperatura tende a aumentar, pois esse óxido de silício não é um bom condutor térmico, e à medida que é acrescentado silício no lugar do SiO_2 a temperatura tende a diminuir, devido a melhor facilidade na dissipação térmica pelo silício.

Considerando que os transistores estão operando em temperatura externa ambiente de 300 K, o aumento da temperatura apresentada no canal deve-se ao efeito de autoaquecimento. Observando a Figura 30, que apresenta diferentes estruturas para um W_{fin} de 120 nm, podemos ver que os transistores SOI FinFET apresentam a temperatura no canal cerca de 200 K acima dos transistores convencionais (310 K). Abrindo-se uma janela de contato (W_a) de apenas 15 nm, foi o suficiente para que o transistor tridimensional operasse em condições mais razoáveis de temperatura: 380 K \approx 107°C (no pior caso com $V_{\text{DS}} = 1,2$ V), tomando-se como base para isso, o ponto crítico de temperatura onde ocorre o desligamento automático de segurança dos computadores, devido à elevação da temperatura interna nos processadores ($\approx 100^\circ\text{C}$).

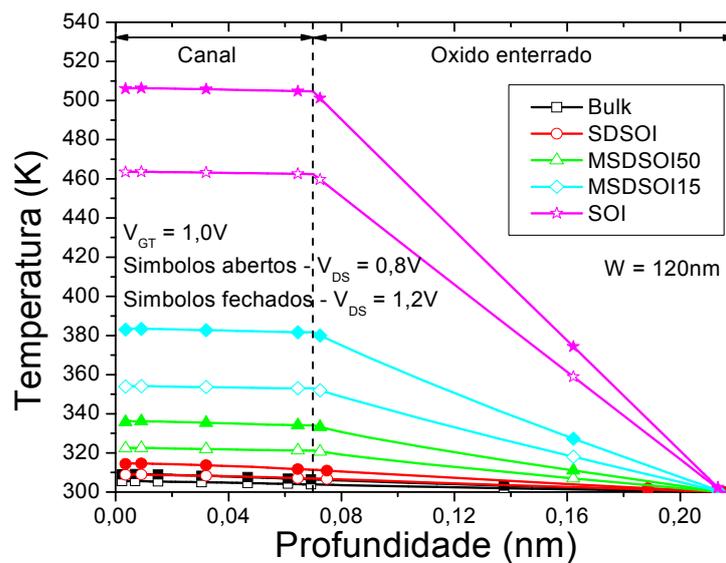


Figura 30 – Temperatura ao longo da profundidade do dispositivo, a 30 nm da região de dreno, nas estruturas FinFETs com fin de largura de 120 nm, para V_{GT} igual a 1,0 V, e V_{DS} igual a 0,8 V e 1,2 V.

Fonte: Autor

Com a redução da largura do fin (Figura 31), o volume de silício para dissipação de calor diminui, aumentando muito o efeito de autoaquecimento. Esta redução de W_{fin} faz com que para a largura de 60 nm, sejam necessários transistores com W_a de 25 nm, para a obtenção de aproximadamente o mesmo efeito de autoaquecimento, visto para os transistores de W_a igual a 15 nm com $W_{\text{fin}} = 120$ nm. Se reduzirmos ainda mais a largura do fin ($W_{\text{fin}} = 20$ nm), a janela de contato necessária é de 50 nm para a obtenção do mesmo efeito, ou seja, a largura da aleta de silício é um fator determinante para a escolha do melhor dispositivo a ser utilizado. Os transistores SOI apresentaram temperaturas absurdamente

elevadas para as estruturas com W_{fin} de 20 nm e de 60 nm, ficando acima de 700 K, e por isso foram omitidas propositalmente nos gráficos dessas estruturas.

Outro ponto de interesse é a obtenção da temperatura no corte ao longo do comprimento do canal. A Figura 32 apresenta a temperatura no canal dos dispositivos FinFETs ao longo do comprimento, a 2 nm da superfície da primeira interface. E como pode ser observado, quanto mais próximo da região de dreno, maior é a temperatura no canal do dispositivo. Porém, a variação dessa temperatura ao longo do canal é muito pequena quando comparada à variação da temperatura entre as diversas estruturas. Dessa forma, por simplificação, tomamos como referência sempre o corte do dispositivo no centro do canal ao longo da profundidade do dispositivo.

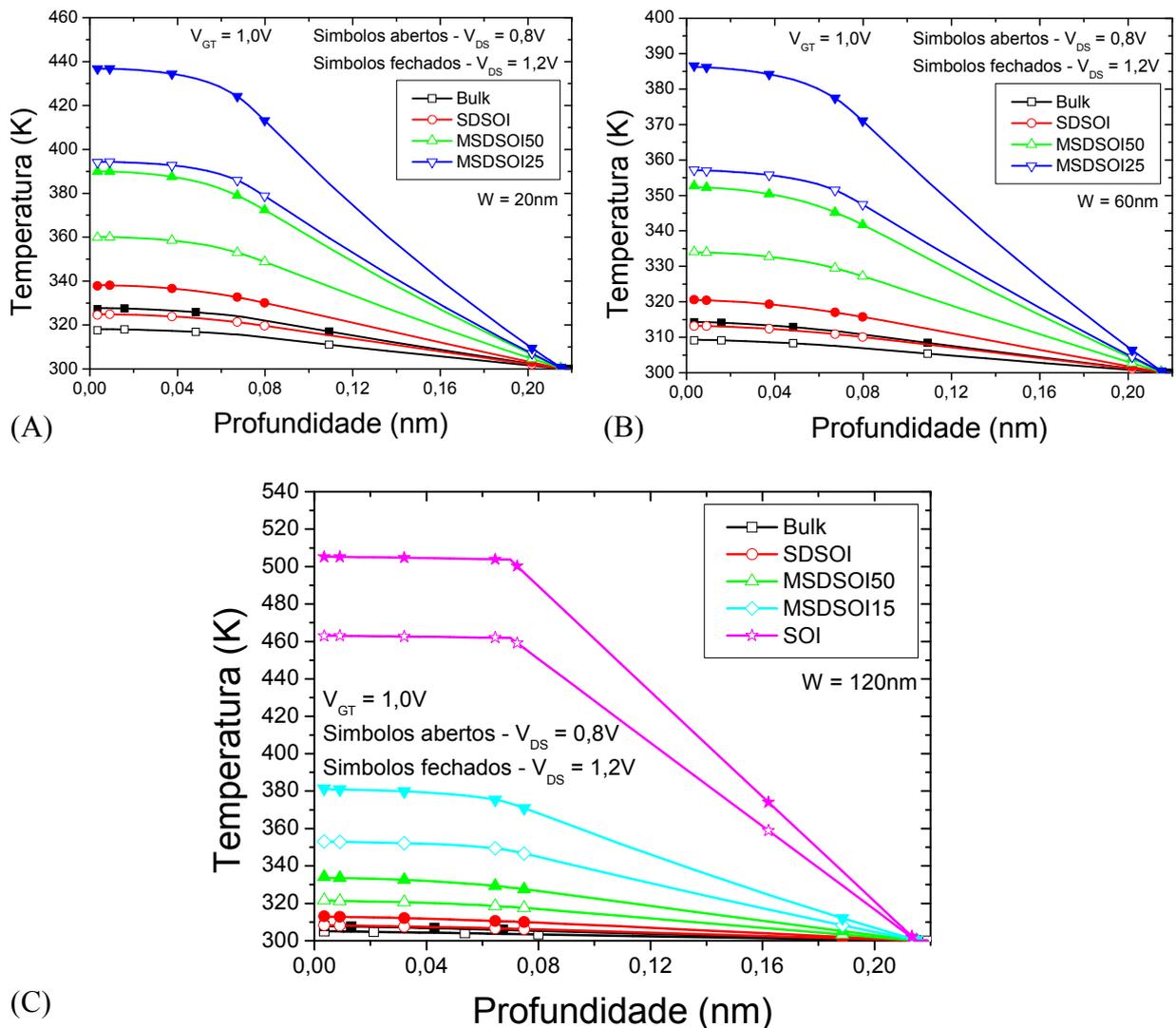


Figura 31 – Temperaturas pela linha de corte ao longo da profundidade dos dispositivos, entre as regiões de fonte e dreno, nas estruturas FinFETs para V_{GT} igual a 1,0 V, e V_{DS} igual a 0,8 V e 1,2 V, para os fins de (A) 20 nm, (B) 60 nm e (C) 120 nm.

Fonte: Autor

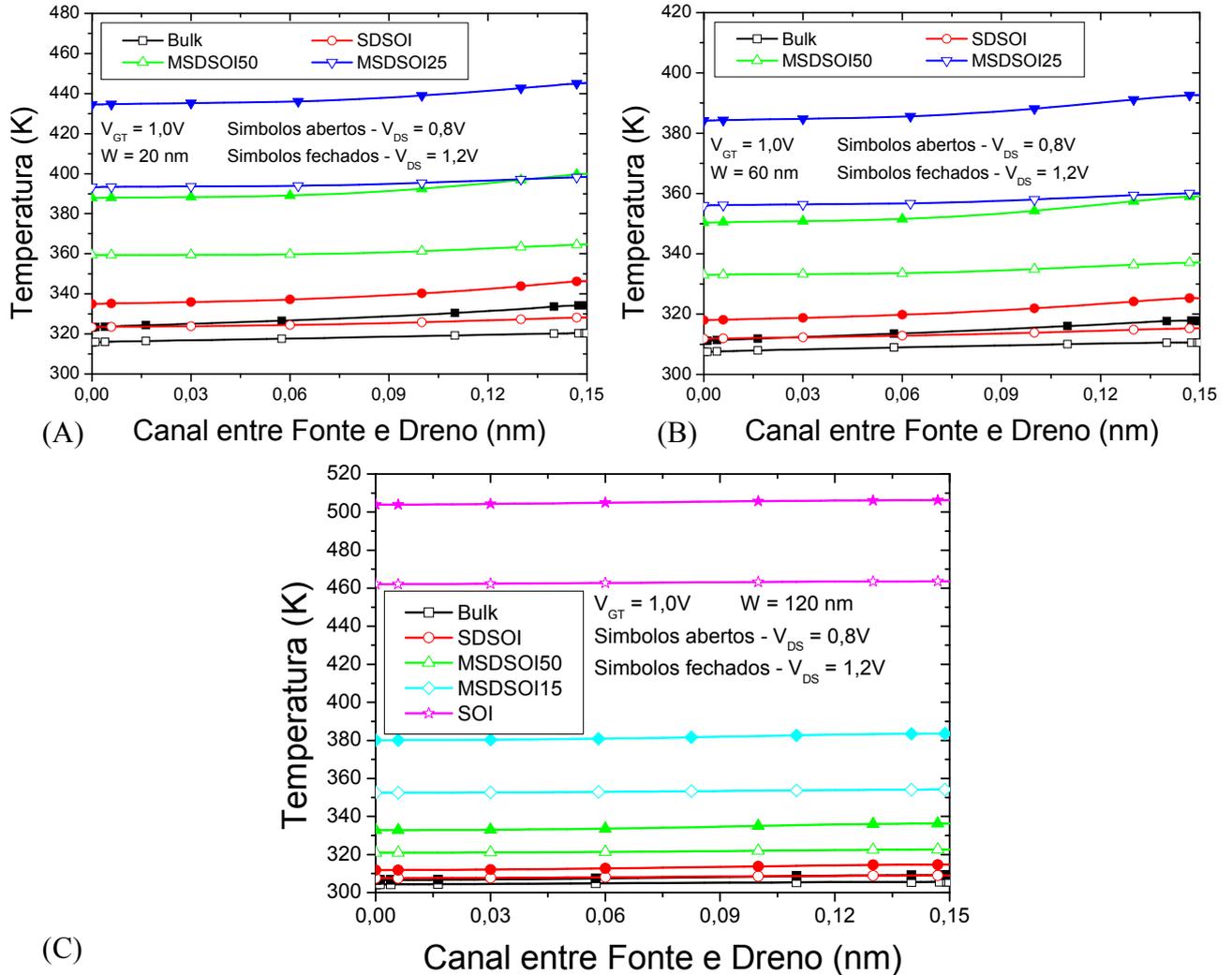


Figura 32 – Temperaturas ao longo da extensão do canal entre as regiões de fonte e dreno, a 2 nm da primeira interface nas estruturas FinFETs, para V_{GT} igual a 1,0 V, e V_{DS} igual a 0,8 V e 1,2 V, para os *fin*s de largura de (A) 20 nm, (B) 60 nm e (C) 120 nm.

Fonte: Autor

5.5 Características da Corrente Elétrica de Dreno em função da Tensão Aplicada à Porta ($I_{DS} \times V_{GS}$) e da Transcondutância em Saturação (g_{m_Sat})

Primeiramente, foram realizadas as simulações e as extrações das curvas de I_{DS} em função de V_{GS} sem o efeito de autoaquecimento, utilizando-se de duas polarizações de dreno ($V_{DS} = 0,8$ V e 1,2 V), para os dispositivos FinFETs estudados para largura de *fin* de 120 nm (Figura 33). E a partir das curvas de I_{DS} em função de V_{GS} , foi possível extrair a transcondutância, conseqüentemente sem o SHE, apresentada na Figura 34. É possível observar que tanto a corrente entre fonte e dreno, como a eficiência no controle dessa corrente (g_m), são maiores para o valor de polarização superior ($V_{DS} = 1,2$ V).

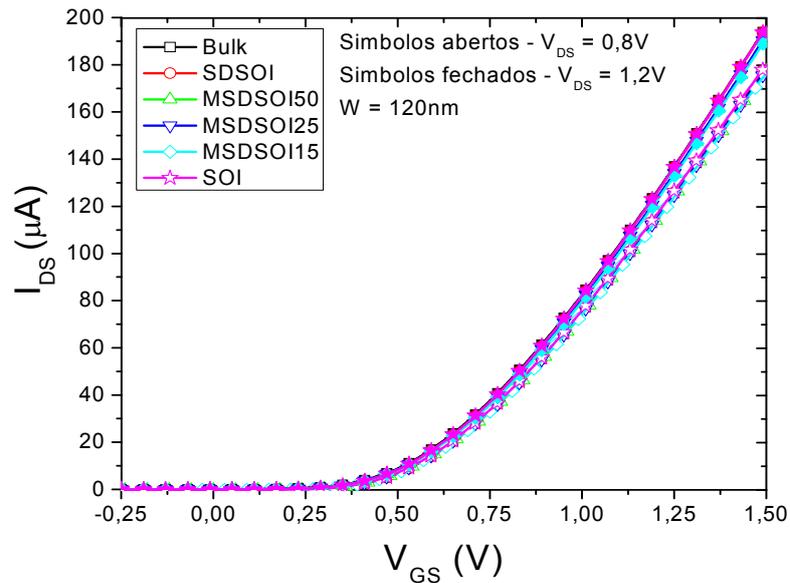


Figura 33 – Curvas I_{DS} x V_{GS} sem SHE e V_{DS} de 0,8 V e 1,2 V, para estruturas FinFETs com largura de canal de 120 nm.

Fonte: Autor

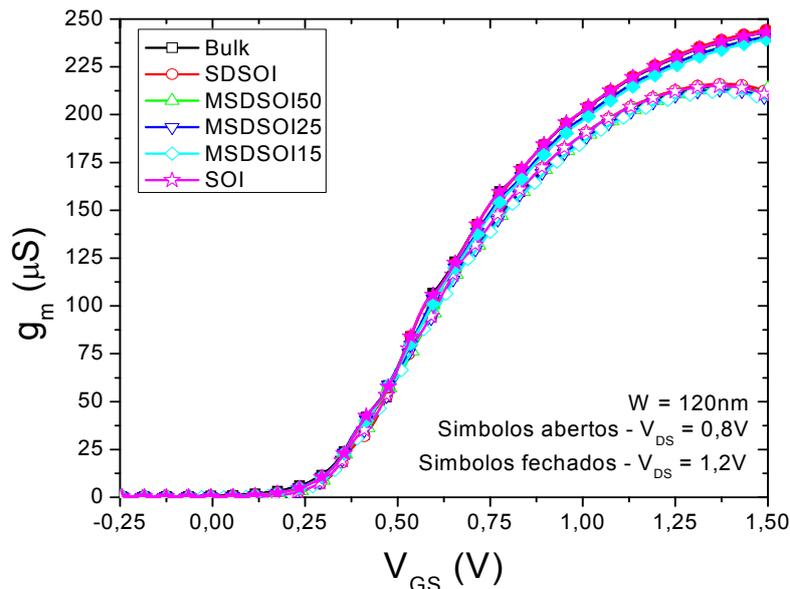


Figura 34 – Curvas de g_m x V_{GS} sem SHE, para duas polarizações de dreno, nos dispositivos FinFETs com fin de 120 nm.

Fonte: Autor

A Figura 35 apresenta as curvas de I_{DS} em função de V_{GS} em saturação, com o modelo de efeito de autoaquecimento (SHE) ativo, utilizando duas polarizações de dreno ($V_{DS} = 0,8$ V e 1,2 V), para os dispositivos FinFETs estudados com três larguras de fin , de onde é possível extrair a transcondutância em saturação com SHE, apresentada na Figura 36. As simulações para dispositivos com largura da aleta de 120 nm contemplam todas as estruturas: convencional, SDSOI, MSDSOI (com W_a de 15 nm, 25 nm e 50 nm) e a estrutura SOI. Uma vez que já foi visto que para W_{fin} menores com estas polarizações de

dreno, é necessária uma estrutura com W_a de pelo menos 25 nm para que o efeito de autoaquecimento não seja tão pronunciado, foram consideradas apenas as estruturas convencional, SDSOI e MSDSOI com W_a de 25 nm e 50 nm.

De acordo com a Figura 35, nota-se uma redução na corrente elétrica conforme o óxido enterrado avança abaixo do canal. Isto se deve à temperatura sensivelmente maior, a qual está associada à degradação da mobilidade, com a operação dos dispositivos em saturação (polarização de sobretensão de porta mais elevada). Este comportamento é observado para todos os valores de W_{fin} . No entanto, para o fin de 120 nm, onde o efeito de autoaquecimento é menos pronunciado, o estudo foi mais abrangente (desde o convencional até o SOI), e mostraram que uma pequena abertura de contato ($W_a = 15$ nm) pode causar uma grande melhoria no comportamento do dispositivo quanto ao autoaquecimento. Este comportamento fica ainda mais evidente quando avaliamos a transcondutância (Figura 36).

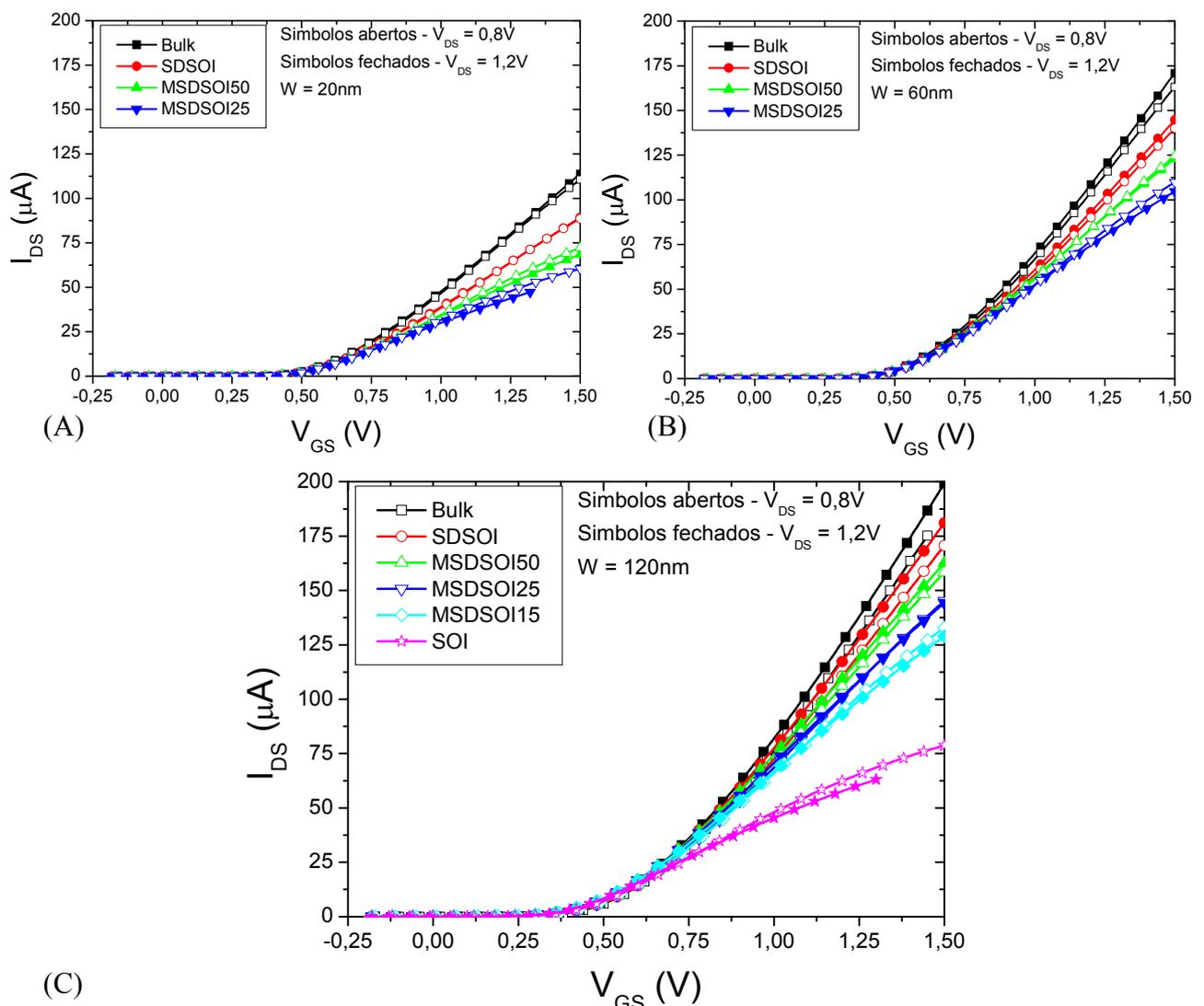


Figura 35 – Curvas I_{DS} x V_{GS} em saturação com SHE e V_{DS} de 0,8 V e 1,2 V, para estruturas FinFETs com larguras de canal de (A) 20 nm, (B) 60 nm e (C) 120 nm.

Fonte: Autor

O estudo da transcondutância (g_m) em função da dissipação de calor, ou seja, da temperatura, está diretamente ligado ao estudo da mobilidade. Assim, devido à influência direta da mobilidade na transcondutância, ocorre a redução da transcondutância com o aumento da temperatura devido à redução da mobilidade.

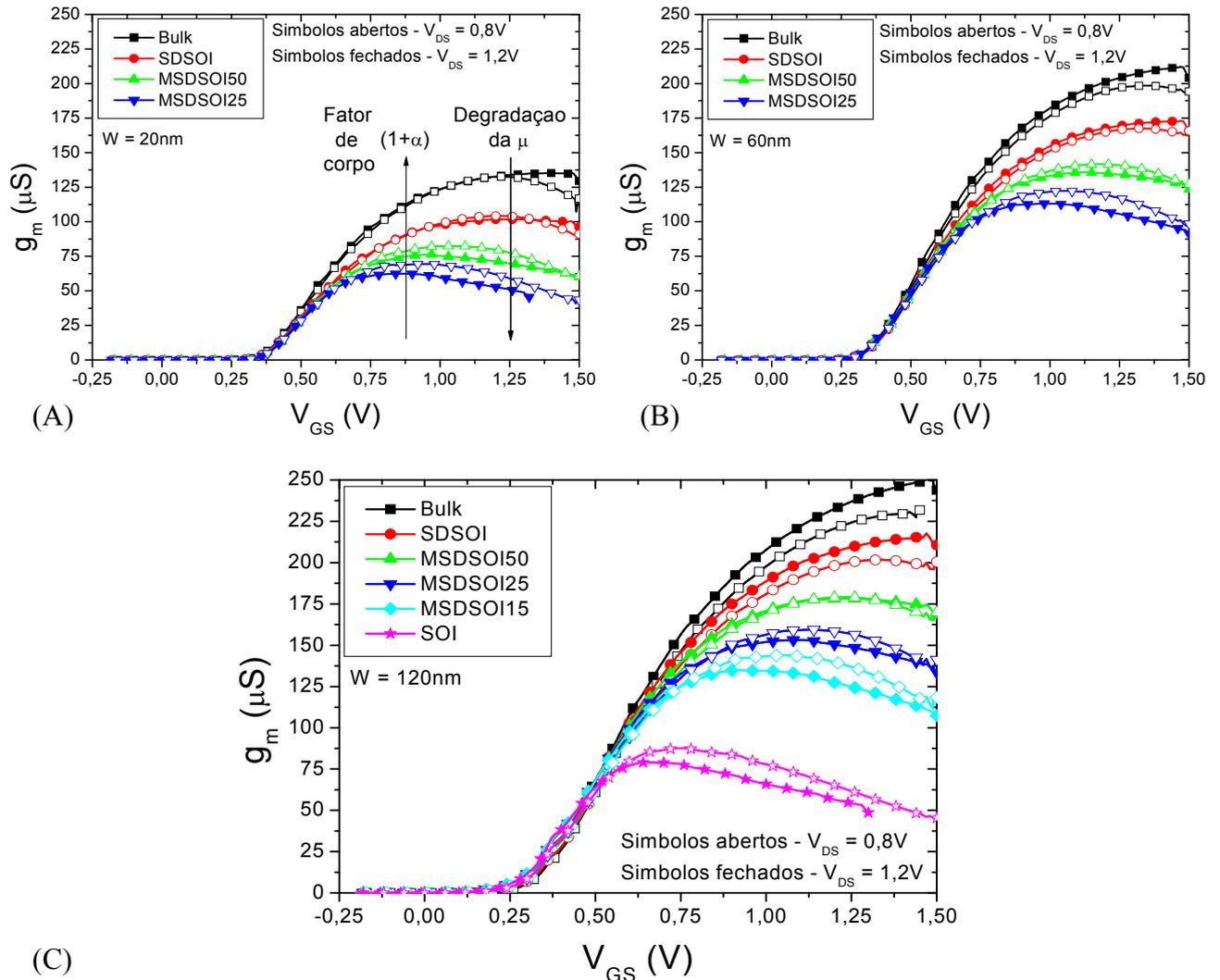


Figura 36 – Curvas de $g_m \times V_{GS}$ em saturação e SHE, para duas polarizações de dreno, nos dispositivos FinFETs com fin de (A) 20 nm, (B) 60 nm e (C) 120 nm.

Fonte: Autor

Focando na análise analógica dos dispositivos, a partir das curvas mostradas na Figura 36, é possível extrair os valores de g_{m_sat} para os pontos de interesse, considerando as curvas com polarização de dreno de $V_{DS} = 0,8\text{ V}$ e de $V_{DS} = 1,2\text{ V}$, e sobretensão da tensão de porta ($V_{GT} = V_{GS} - V_{TH}$), de $V_{GT} = 0,75\text{ V}$ e $1,0\text{ V}$ (V_{GS} igual a $1,16\text{ V}$ e $1,41\text{ V}$), conforme apresentados na Tabela 2, na Tabela 3 e na Tabela 4, respectivamente. As tensões de polarização relativamente altas para a sobretensão da tensão de porta garantem que, os resultados apresentem a maior dependência possível aos efeitos de autoaquecimento, de modo

que, quando os dispositivos forem polarizados com V_{GT} menores, o SHE certamente estará em um valor aceitável.

Sabendo-se que a transcondutância na região de saturação é inversamente proporcional ao fator de corpo ($1 + \alpha$), e que quanto mais próximo da estrutura convencional maior é este fator, poderíamos imaginar uma maior g_{m_sat} para os dispositivos SOI. No entanto, o autoaquecimento que age no sentido oposto, é mais forte para os dispositivos SOI devido ao óxido enterrado, então este efeito degrada a mobilidade e conseqüentemente a g_{m_sat} . Devido ao comportamento destes dois efeitos em sentidos opostos, aparentemente o fator de corpo ($1 + \alpha$) reduz a influência da mobilidade em g_{m_sat} , atenuando assim a redução da transcondutância para dispositivos que tendem ao SOI. Quando extraída na região de triodo esta atenuação não ocorre, pois g_m independe do fator de corpo ($1 + \alpha$), como mostra a equação (11) e a equação (12) [8].

Tabela 2 – Valores de g_{m_sat} para as estruturas FinFETs de W_{fin} igual a 20 nm.

V_{GT} (V)	$V_{GS} = V_{GT} + V_{TH}$ (V)	V_{DS} (V)	g_{m_sat} (μS)			
			<i>Bulk</i>	SDSOI	MSDSOI $W_a=50nm$	MSDSOI $W_a=25nm$
0,75	1,16	0,80	131,73	103,91	80,95	63,85
0,75	1,16	1,20	131,62	101,32	72,41	54,10
1,00	1,41	0,80	124,34	96,99	66,33	47,81
1,00	1,41	1,20	135,10	100,55	54,33	*

Fonte: Autor

Tabela 3 – Valores de g_{m_sat} para as estruturas FinFETs com fin de 60 nm.

V_{GT} (V)	$V_{GS} = V_{GT} + V_{TH}$ (V)	V_{DS} (V)	g_{m_sat} (μS)			
			<i>Bulk</i>	SDSOI	MSDSOI $W_a=50nm$	MSDSOI $W_a=25nm$
0,75	1,16	0,80	191,95	163,19	141,55	120,73
0,75	1,16	1,20	198,23	165,98	135,48	109,45
1,00	1,41	0,80	197,51	166,21	133,29	105,5
1,00	1,41	1,20	210,55	172,45	129,45	98,01

Fonte: Autor

Tabela 4 – Valores de g_{m_sat} para as estruturas FinFETs com larguras de 120 nm.

V_{GT} (V)	$V_{GS} = V_{GT} + V_{TH}$ (V)	V_{DS} (V)	g_{m_sat} (μS)					SOI
			<i>Bulk</i>	SDSOI	MSDSOI $W_a=50nm$	MSDSOI $W_a=25nm$	MSDSOI $W_a=15nm$	
0,75	1,16	0,80	217,18	195,90	178,19	159,18	141,49	67,93
0,75	1,16	1,20	228,63	204,06	177,59	151,61	129,73	59,06
1,00	1,41	0,80	229,51	200,35	172,28	145,28	122,59	50,39
1,00	1,41	1,20	247,20	214,61	175,57	141,42	115,23	*

Fonte: Autor

Os campos marcados com “*” na Tabela 2 e na Tabela 4 correspondem às simulações onde o autoaquecimento atingiu valores muito altos (próximos a 700 K), assim

gerando temperaturas de operação inaceitáveis, quando comparadas ao ponto crítico de temperatura onde ocorre o desligamento de segurança automático dos computadores (380 K). Devido a isso não foram considerados estes pontos, pois os mesmos não teriam uma aplicação prática.

5.6 Razão da Transcondutância pela Corrente Elétrica de Dreno (g_m / I_{DS})

Na Figura 37 são mostradas as curvas de g_m / I_{DS} extraídas a partir das características apresentadas na Figura 35 e na Figura 36. Normalmente apresentada em função da corrente elétrica de dreno normalizada, $I_{DS} / (W_{eff} / L_{eff})$, a razão g_m / I_{DS} representa a eficiência de um dispositivo em converter a corrente elétrica de dreno em transcondutância, ou seja, é um indicador do fator de qualidade do transistor [38], pois relaciona a amplificação que pode ser obtida dividida pela corrente elétrica que circula pelo transistor.

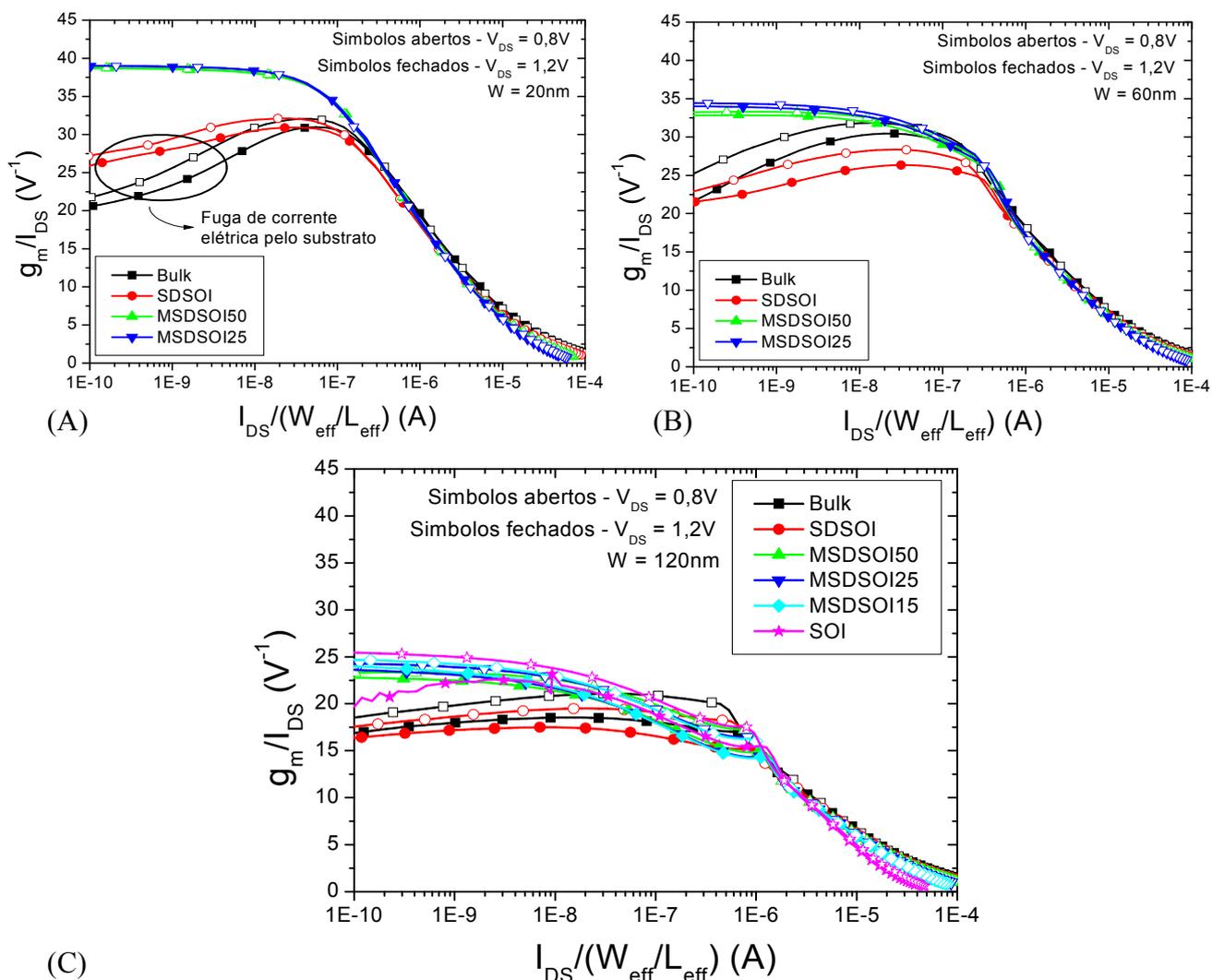


Figura 37 – Curvas de g_m / I_{DS} em função de $I_{DS} / (W_{eff} / L_{eff})$, normalizada em função da razão de aspecto, para diferentes estruturas FinFETs, com larguras iguais à (A) 20 nm, (B) 60 nm e (C) 120 nm.

Fonte: Autor

Em regime de inversão fraca (de 100% a 90% de $g_m / I_{DS_m\acute{a}x}$), g_m / I_{DS} é muito dependente do comportamento na região de sublimiar (inverso do sublimiar) e apresenta alguma dependência com o fator de corpo [31]. É possível observar que para os dispositivos convencional e SDSOI, os valores de g_m / I_{DS} são menores, devido ao maior fator de corpo ($1 + \alpha$). Além do valor máximo atingido pelos dispositivos MOSFET convencional e SDSOI ser menor que o atingido no SOI para W_{fin} estreito, é possível observar a degradação da característica de g_m / I_{DS} em inversão fraca devido à corrente elétrica de fuga. Porém, para W_{fin} mais largos, devido ao menor acoplamento entre as portas e, portanto, devido a maior degradação do sublimiar, este efeito causa também uma redução dos valores de g_m / I_{DS} quando comparados a W_{fin} menores.

Apesar dos comportamentos similares em altos g_m / I_{DS} , em inversão moderada (de 90% a 10% de $g_m / I_{DS_m\acute{a}x}$) há o cruzamento das curvas conforme o efeito de autoaquecimento aumenta, e ocorre uma redução na diferença apresentada em g_m / I_{DS} para as diferentes estruturas FinFETs estudadas. Este efeito está relacionado com a maior dependência da mobilidade com a temperatura nesses transistores quando operando em inversão forte (de 10% a 0% de $g_m / I_{DS_m\acute{a}x}$). Ao se aumentar $I_{DS} / (W_{eff} / L_{eff})$, as curvas tendem ao mesmo g_m / I_{DS} , pois nesta região g_m / I_{DS} é dado principalmente pelo efeito de corpo dos dispositivos, que é praticamente igual em FinFETs no modo inversão, levando a um g_m / I_{DS} parecido para os transistores com W_{fin} estreitos. Quando o foco é o W_{fin} de 120 nm, pode-se observar a influência do SHE em g_m / I_{DS} através da redução do mesmo devido a diminuição da mobilidade quando o transistor tende ao SOI.

De acordo com as curvas apresentadas, os dispositivos mais estreitos alcançam valores de g_m / I_{DS} superiores, quando comparados aos dispositivos mais largos, o que se deve ao excelente acoplamento apresentado por transistores com larguras menores, devido a maior contribuição das portas laterais na corrente elétrica total.

5.7 Características da Corrente Elétrica de Dreno em função da Tensão entre Fonte e Dreno (I_{DS} x V_{DS})

Com a obtenção das tensões de limiar na seção 5.1, é possível executar uma nova simulação através do simulador Atlas, porém, agora de forma a se obter as características de I_{DS} em função de V_{DS} em uma mesma sobretensão de porta ($V_{GT} = V_{GS} - V_{TH}$) dos transistores já mencionados. A Figura 38 apresenta a corrente elétrica de dreno (I_{DS}) em função da tensão de dreno (V_{DS}), para os dispositivos simulados com W_{fin} igual a 120 nm,

sem o efeito de autoaquecimento (o parâmetro responsável para tal não é habilitado) para FinFETs com duas sobretensões de porta (V_{GTs} de 0,75 V e 1,0 V).

Quando o efeito de autoaquecimento não é considerado, o transistor convencional apresenta uma maior inclinação de I_{DS} sugerindo uma menor tensão Early, pois esse tipo de dispositivo sofre mais do efeito Early devido ao aumento da região de depleção próximo ao dreno e, conseqüentemente, à diminuição do comprimento efetivo do canal, que provoca um acréscimo na corrente elétrica de dreno na região de saturação. Enquanto que, para os transistores que se tornam mais protegidos, isto é, que tendem ao substrato SOI, a característica de I_{DS} em função de V_{DS} é melhor.

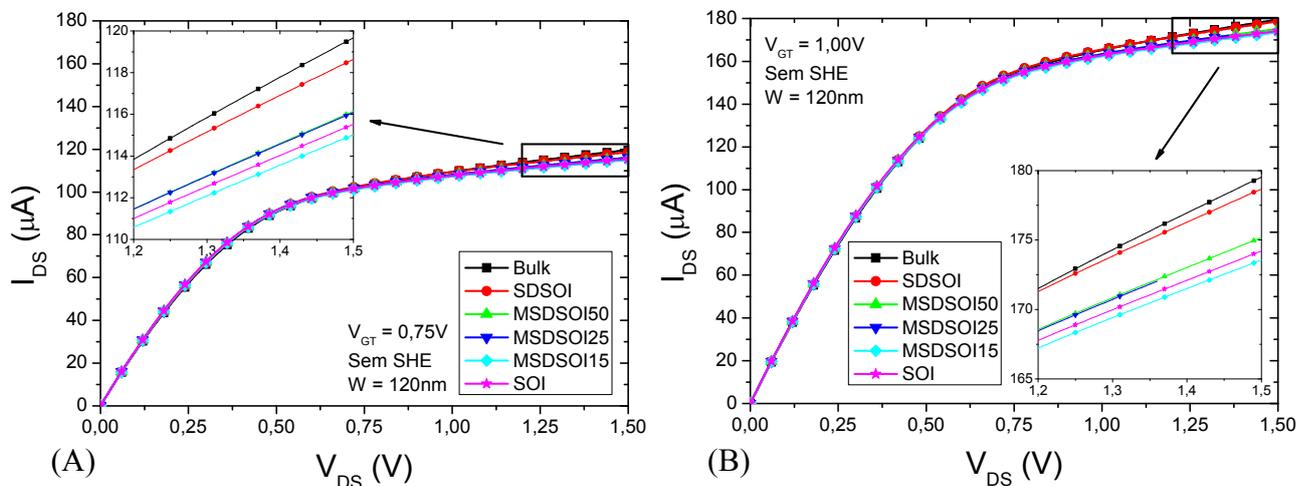


Figura 38 – Curvas da corrente elétrica entre fonte e dreno em função da tensão entre fonte e dreno e sem SHE, nos dispositivos FinFETs com largura de fin de 120 nm e com dois pontos de polarização, respectivamente: (A) $V_{GT} = 0,75 \text{ V}$ e (B) $V_{GT} = 1,0 \text{ V}$.

Fonte: Autor

A Figura 39 apresenta as curvas de I_{DS} em função de V_{DS} , porém, agora considerando o efeito de autoaquecimento (modelo *lat.temp* habilitado no simulador Atlas) para os FinFETs. No entanto, para a análise completa foram simuladas três larguras de fin ($W = 20 \text{ nm}$, 60 nm e 120 nm) em função de duas sobretensões de condução ($V_{GT} = 0,75 \text{ V}$ e $1,0 \text{ V}$).

A partir da Figura 39 é possível notar que independentemente da sobretensão de porta e do W_{fin} , quanto mais blindado for o dispositivo à medida que a janela de contato de silício (W_a) abaixo do canal diminui (tendendo ao transistor SOI FinFET), maior o efeito do autoaquecimento, pois a dificuldade para a dissipação de calor (energia térmica) aumenta. Também é possível dizer que a influência de V_{DS} é menor que a de W_{fin} . O estreitamento da aleta do silício, onde é construído o dispositivo, faz com que a abertura da janela de contato deva ser maior para que o dispositivo opere de maneira mais apropriada. Quanto menor W_{fin} , maior deve ser W_a , para poder atingir uma área suficiente de modo a dissipar a quantidade

excedente de calor. O efeito de autoaquecimento é muito grave para os dispositivos SOI FinFET, sendo que os mesmos chegam a apresentar uma inclinação negativa da curva I_{DS} na região de saturação para altas tensões de polarização.

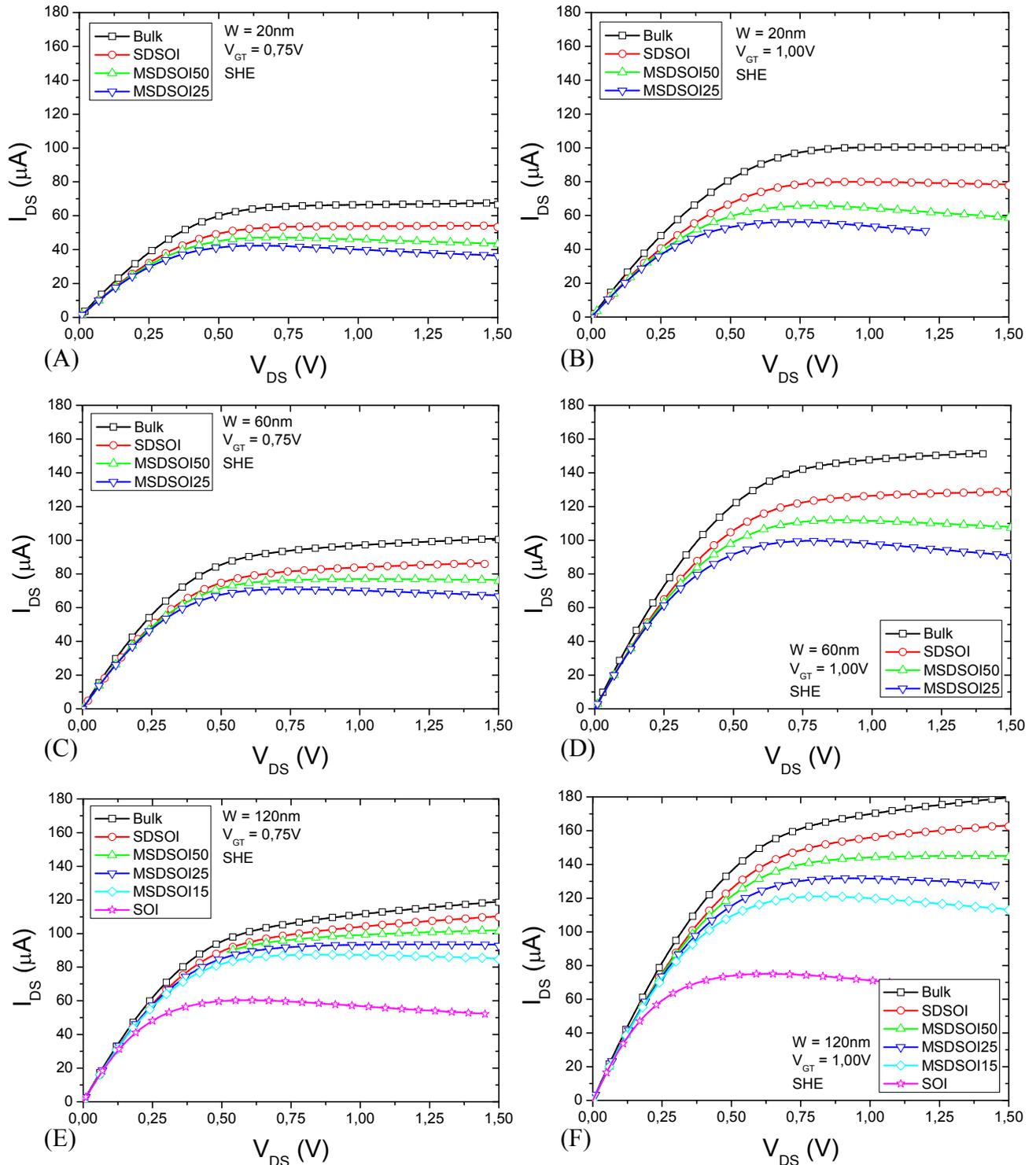


Figura 39 – I_{DS} em função de V_{DS} com sobretensão de condução elevada (em saturação) e com SHE em FinFETs, para três larguras de canal e dois pontos de polarização, respectivamente: (A) 20 nm e $V_{GT} = 0,75$ V, (B) 20 nm e $V_{GT} = 1,0$ V, (C) 60 nm e $V_{GT} = 0,75$ V, (D) 60 nm e $V_{GT} = 1,0$ V, (E) 120 nm e $V_{GT} = 0,75$ V e (F) 120 nm e $V_{GT} = 1,0$ V.

Fonte: Autor

A influência de W_{fin} faz com que I_{DS} seja menor à medida que a largura do *fin* seja menor, o que deveria fazer com que o efeito de autoaquecimento também diminuísse, porém, a concentração das linhas de corrente elétrica aumentam à medida que W_{fin} é menor, e como a área de silício para a dissipação de calor também é menor, isso faz com que o efeito de autoaquecimento (SHE) torne-se mais pronunciado, elevando assim a temperatura interna do dispositivo.

5.8 Condutância de Dreno (g_D)

A condutância de dreno de saída tem fundamental importância neste estudo, por apresentar estreita relação com o ganho de tensão intrínseco, conforme demonstrado pela equação (16), e que será apresentado em 5.10. Para tal, a partir das curvas de I_{DS} em função de V_{DS} anteriores, foram extraídas g_D para cada simulação, como mostrado na Figura 40 e na Figura 41, onde g_D depende das inclinações dessas curvas, e uma vez que o efeito de autoaquecimento esteja controlado, este pode ser benéfico quando pensamos em parâmetros analógicos.

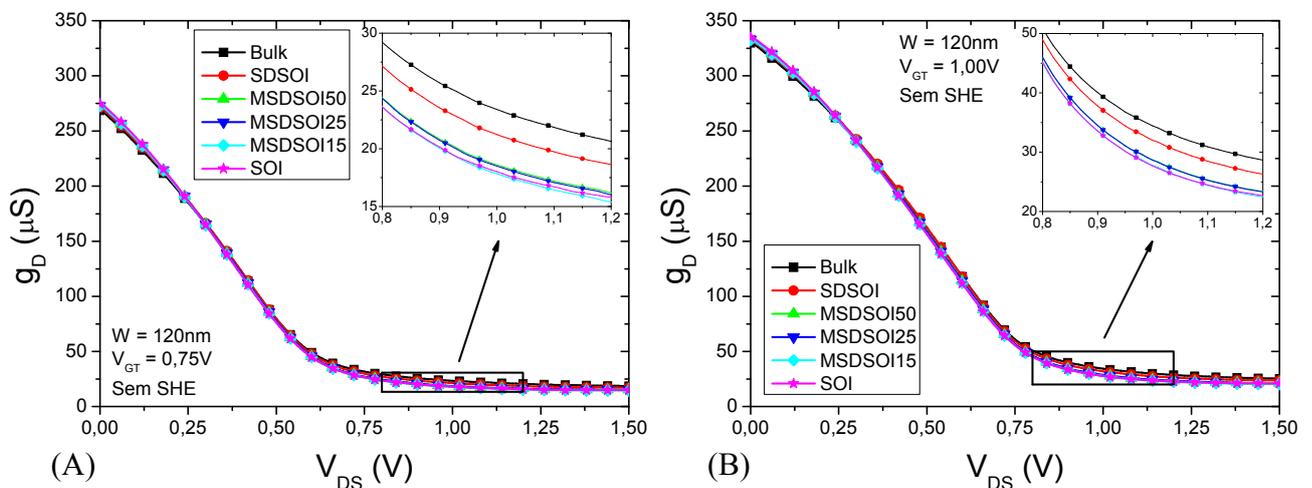


Figura 40 – Condutância de dreno em FinFETs sem o efeito de autoaquecimento, para largura de canal igual a 120 nm e dois pontos de polarização, sendo: (A) $V_{GT} = 0,75$ V e (B) $V_{GT} = 1,0$ V.

Fonte: Autor

A Figura 40 apresenta o resultado das simulações realizadas para W_{fin} de 120 nm, sem o efeito do autoaquecimento, e mostra a melhoria obtida para transistores mais próximos ao SOI, devido ao menor efeito Early. Quando o autoaquecimento é considerado (Figura 41), para os três W_{fin} analisados, é possível observar uma redução da condutância de saída mais acentuada para dispositivos mais blindados (óxido de silício abaixo do canal). No entanto, esta melhoria de g_D deve-se ao autoaquecimento que pode degradar outros parâmetros dos dispositivos. É possível notar que em alguns casos, g_D passa a valores negativos, o que

significa uma grande redução de I_{DS} e neste caso o dispositivo não pode mais ser considerado para esta aplicação.

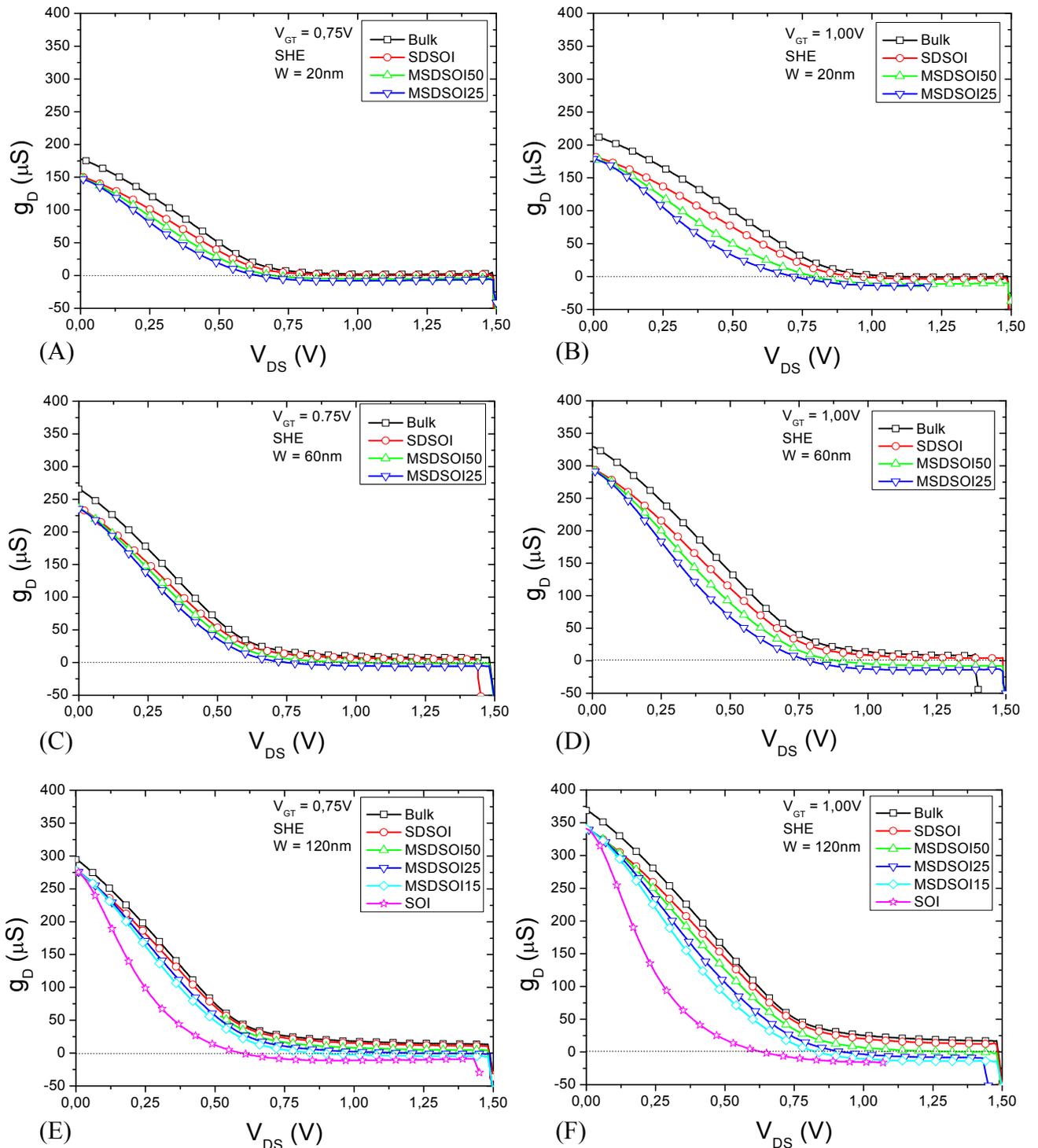


Figura 41 – Curva de g_D com SHE em FinFETs com três larguras de canal e dois pontos de polarização, respectivamente: (A) 20 nm e $V_{GT} = 0,75$ V, (B) 20 nm e $V_{GT} = 1,0$ V, (C) 60 nm e $V_{GT} = 0,75$ V, (D) 60 nm e $V_{GT} = 1,0$ V, (E) 120 nm e $V_{GT} = 0,75$ V e (F) 120 nm e $V_{GT} = 1,0$ V.

Fonte: Autor

Para cada curva de cada estrutura e para cada V_{GT} utilizado (0,75 V e 1,0 V), foi possível obter nos pontos da polarização de dreno (V_{DS}) iguais a 0,8 V e 1,2 V, os valores das

condutâncias de dreno, as quais são apresentadas na Tabela 5 para o W_{fin} de 20 nm, na Tabela 6 para o fin de 60 nm, e na Tabela 7 para o W_{fin} de 120 nm.

Tabela 5 – Valores de g_{D_sat} para as estruturas FinFETs de fin com 20 nm.

V_{GT} (V)	$V_{GS} = V_{GT} + V_{TH}$ (V)	V_{DS} (V)	g_{D_sat} (μS)			
			<i>Bulk</i>	SDSOI	MSDSOI Wa=50nm	MSDSOI Wa=25nm
0,75	1,16	0,80	5,02	2,68	3,65	-7,19
0,75	1,16	1,20	1,90	0,37	-5,07	-7,35
1,00	1,41	0,80	20,04	11,09	-0,53	-6,28
1,00	1,41	1,20	-0,76	-3,32	-11,50	-15,11

Fonte: Autor

Tabela 6 – Valores de g_{D_sat} para as estruturas FinFETs com fin de 60 nm.

V_{GT} (V)	$V_{GS} = V_{GT} + V_{TH}$ (V)	V_{DS} (V)	g_{D_sat} (μS)			
			<i>Bulk</i>	SDSOI	MSDSOI Wa=50nm	MSDSOI Wa=25nm
0,75	1,16	0,80	14,70	11,23	3,87	-1,86
0,75	1,16	1,20	8,05	5,71	-1,01	-5,69
1,00	1,41	0,80	30,40	21,50	8,19	-1,63
1,00	1,41	1,20	9,16	4,88	-7,57	-14,39

Fonte: Autor

Tabela 7 – Valores de g_{D_sat} para as estruturas FinFETs com larguras de fin iguais a 120 nm.

V_{GT} (V)	$V_{GS} = V_{GT} + V_{TH}$ (V)	V_{DS} (V)	g_{D_sat} (μS)					SOI
			<i>Bulk</i>	SDSOI	MSDSOI Wa=50nm	MSDSOI Wa=25nm	MSDSOI Wa=15nm	
0,75	1,16	0,80	23,81	20,77	13,83	7,78	2,37	-10,04
0,75	1,16	1,20	15,33	12,67	5,95	0,088	-4,42	-10,52
1,00	1,41	0,80	41,90	37,19	24,43	13,12	4,03	-11,02
1,00	1,41	1,20	19,83	14,75	1,77	-7,65	-13,59	*

Fonte: Autor

Como mencionado, os valores negativos das condutâncias de dreno (em vermelho nas tabelas) são provenientes do efeito de autoaquecimento da estrutura, predominantemente nas que possuem mais óxido enterrado, ou seja, quando a janela de acesso (W_a) é menor, tendendo ao dispositivo SOI, de modo que isso não permite que o dispositivo seja utilizado em aplicações analógicas. O campo marcado com “*” na Tabela 7, para o dispositivo SOI com $V_{GT} = 1,0$ V e $V_{DS} = 1,2$ V (pior caso), corresponde à simulação onde o autoaquecimento atingiu valor muito alto, gerando uma temperatura de operação inaceitável, assim, não foi considerado este ponto, pois o mesmo não teria uma aplicação prática.

Com base nos valores das condutâncias de dreno (g_D) obtidos e mencionados da Tabela 5 à Tabela 7, e nos valores das transcondutâncias (g_m) exibidos da Tabela 2 até

a Tabela 4, é possível plotar as curvas de g_D e g_m em função da estrutura, conforme a Figura 42. Através dessas curvas, pode-se notar uma diminuição da transcondutância (g_m) conforme os dispositivos tendam ao SOI e conseqüentemente sofram de SHE, e portanto, tem sua mobilidade reduzida. Os gráficos dos três diferentes W_{fin} foram plotados na mesma escala para facilitar a comparação entre eles. E uma vez que para W_{fin} de 120 nm, os resultados apresentam mais pontos acima de zero (valores positivos), esta largura de aleta é a melhor dentre as estudadas para as polarizações realizadas, e é o foco para a análise da tensão Early.

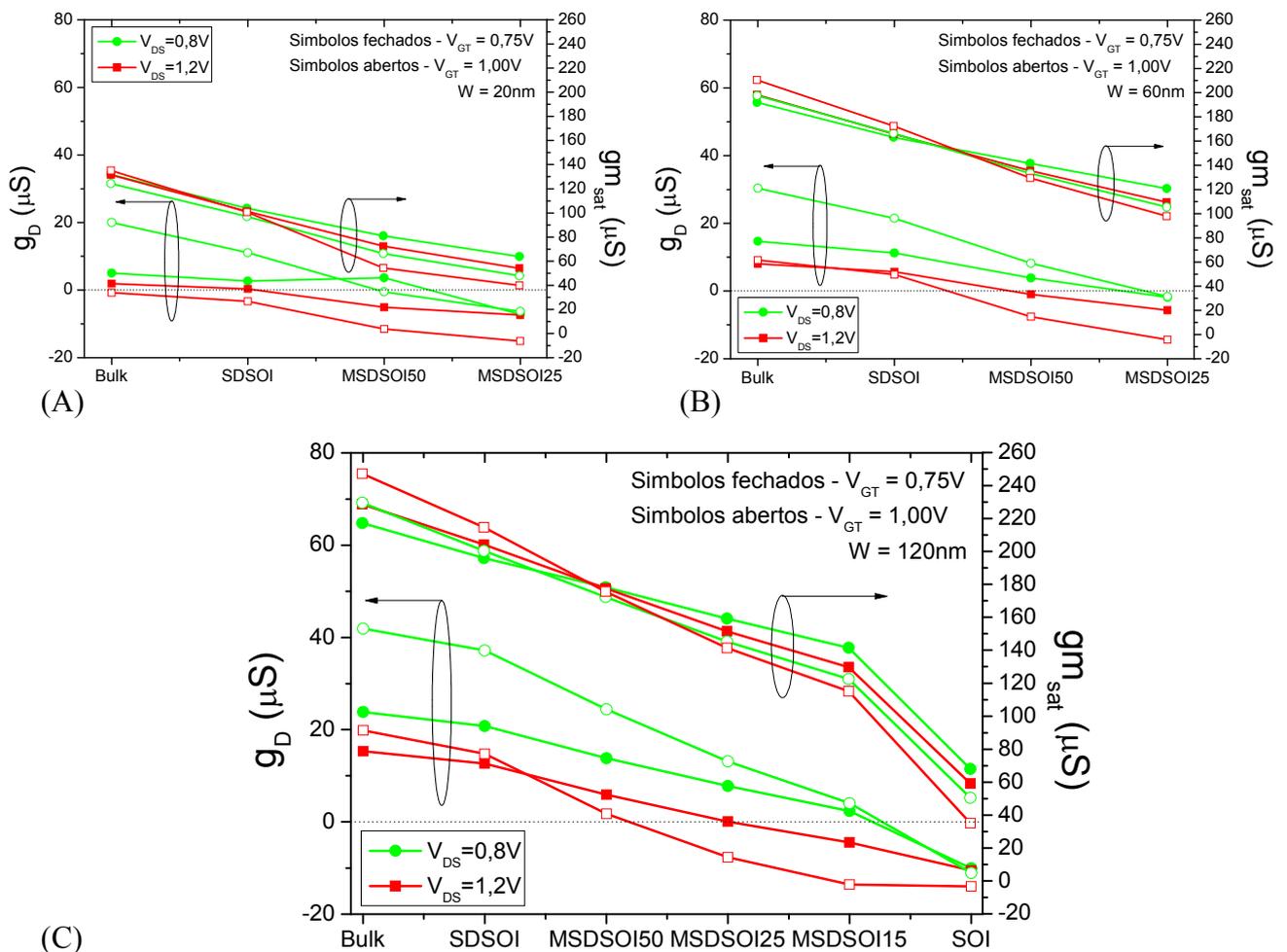


Figura 42 – Condutância de dreno g_D e transcondutância g_m em função das estruturas FinFETs para V_{GT} igual a 0,75 V e 1,0 V, e V_{DS} igual a 0,8 V e 1,2 V, para as larguras dos fins de (A) 20 nm, (B) 60 nm e, (C) 120 nm.

Fonte: Autor

A variação (queda) das condutâncias de dreno (g_D) para os dispositivos com W_{fin} de 20 nm ao se alterar o tipo de estrutura é da ordem de 20 μS , comparando-se a partir do dispositivo convencional (*Bulk*) até o SOI; para os com W_{fin} de 60 nm de aproximadamente 30 μS e para os de W_{fin} com 120 nm de 38 μS . E a variação das transcondutâncias (g_m), de 84 μS para os dispositivos com W_{fin} igual à 20 nm, de 93 μS para

os com W_{fin} de 60 nm e de 180 μ S para os dispositivos com largura de aleta W_{fin} igual à 120 nm.

5.9 Tensão Early ($|V_{EA}|$)

Comparando-se os dispositivos é possível observar ainda que a tensão Early constitui um parâmetro de extrema importância para circuitos analógicos, uma vez que sua interação com g_m / I_{DS} indica o ganho de tensão intrínseco dos transistores. A tensão Early foi obtida através do prolongamento do patamar (trecho linear) das curvas de I_{DS} em função de V_{DS} apresentadas na Figura 39, até o cruzamento com o eixo “x”, como explicado na seção 2.2.2.1, e são apresentadas na Tabela 8 para os FinFETs de W_{fin} igual a 120 nm.

A maior tensão Early obtida em dispositivos que são fortemente afetados pelo SHE, se deve ao aumento da degradação da mobilidade com a temperatura e conseqüentemente à redução de I_{DS} . A variação de W_{fin} foi realizada, e para larguras maiores, foi obtida uma redução de $|V_{EA}|$. Embora a tendência dos valores permaneça similar, o aumento de W_{fin} reduz $|V_{EA}|$, devido ao menor acoplamento entre as portas dos dispositivos. Devido os transistores com *fin*s estreitos serem muito afetados pelo autoaquecimento, para podermos comparar o comportamento de todos os tipos de estruturas, a obtenção da tensão Early foi realizada apenas para os dispositivos com W_{fin} de 120 nm.

Tabela 8 – $|V_{EA}|$ para FinFETs com W igual a 120 nm.

V_{GT} (V)	$V_{GS} = V_{GT} + V_{TH}$ (V)	V_{DS} (V)	$ V_{EA} $ (V)					SOI
			<i>Bulk</i>	SDSOI	MSDSOI Wa=50nm	MSDSOI Wa=25nm	MSDSOI Wa=15nm	
0,75	1,16	0,80	3,70	4,02	6,17	10,93	34,39	*
0,75	1,16	1,20	6,29	7,24	16,13	810,13	*	*
1,00	1,41	0,80	3,06	3,21	4,91	8,97	27,52	*
1,00	1,41	1,20	7,58	9,58	79,53	*	*	*

Fonte: Autor

Os valores em vermelho representam uma melhoria na tensão Early devido ao efeito de autoaquecimento, isto é, $|V_{EA}|$ torna-se relativamente maior, pois a curva de I_{DS} tende a uma inclinação negativa devido ao SHE (Figura 39). Os campos marcados com “*” correspondem às simulações onde o autoaquecimento atingiu valores muito alto, gerando temperaturas de operações inaceitáveis, e conseqüentemente, inclinações negativas nas curvas de I_{DS} em função de V_{DS} .

5.10 Ganho de Tensão Intrínseco (A_V)

O ganho de tensão intrínseco consiste no ganho de um único transistor operando como amplificador. O ganho de tensão intrínseco para todas as estruturas FinFETs e diversas larguras de W_{fin} , para $V_{GT} = 0,75$ V e 1,0 V, e em dB ($A_V(\text{dB}) = 20 \cdot \log(A_V)$) é apresentado na Tabela 9, na Tabela 10 e na Tabela 11. E como podem ser observados nas tabelas, os dispositivos mais largos (W_{fin} maior) exibem ganho menor.

A melhoria do ganho para larguras de fin menores deve-se a diferentes fatores, como o maior acoplamento das portas laterais e, conseqüentemente, o aumento de g_m e a redução de g_D , que resulta assim em um A_V maior ($|A_V| \cong \frac{g_m}{g_D} \cong \frac{g_m}{I_D} \cdot |V_{EA}|$). Dispositivos com W_{fin} mais estreitos apresentam também o efeito de autoaquecimento maior, o que causa um ganho aparente ainda maior. No entanto, quando SHE é muito pronunciado (resultando em I_{DS} com inclinação negativa), não é possível utilizar a estrutura em questão. Os ganhos de tensão intrínsecos apresentados mostram uma tendência semelhante com os valores de $|V_{EA}|$, analisados na seção 5.9.

É possível observar também que, a janela de acesso no meio do canal dos dispositivos MSDSOI faz com que o ganho A_V melhore, e à medida que se tende ao W_{fin} de 120 nm, um maior número de dispositivos podem ser estudados. Porém, os dispositivos com W_{fin} menores são melhores, pois apresentam maior densidade de corrente devido ao maior controle das cargas no interior do canal, entretanto, como a área de silício para a dissipação térmica é menor, estes sofrem mais do efeito de autoaquecimento, de modo que mais dispositivos apresentem condutância de saída negativo impossibilitando o cálculo do ganho de tensão em decibéis.

Tabela 9 – Ganho A_V para estruturas FinFETs com W_{fin} igual a 20 nm.

Estruturas	$A_V = g_{m_sat} / g_{D_sat}$				$A_V(\text{dB}) = 20 \cdot \log(A_V)$			
	$V_{GT} = 0,75V$		$V_{GT} = 1,00V$		$V_{GT} = 0,75V$		$V_{GT} = 1,00V$	
	$V_{DS} = 0,8V$	$V_{DS} = 1,2V$	$V_{DS} = 0,8V$	$V_{DS} = 1,2V$	$V_{DS} = 0,8V$	$V_{DS} = 1,2V$	$V_{DS} = 0,8V$	$V_{DS} = 1,2V$
<i>Bulk</i>	26,24	69,27	6,20	-177,76	28,38	36,81	15,85	--
SDSOI	38,77	273,84	8,75	-30,29	31,77	48,75	18,84	--
MSDSOI $W_a = 50$ nm	22,18	-14,28	-125,15	-4,72	26,92	--	--	--
MSDSOI $W_a = 25$ nm	-8,88	-7,36	-7,61	-2,65	--	--	--	--

Fonte: Autor

Tabela 10 – Ganho de tensão intrínseco para estruturas FinFETs com largura igual a 60 nm.

Estruturas	$A_v = g_{m_Sat} / g_{D_Sat}$				$A_v(\text{dB}) = 20.\log(A_v)$			
	$V_{GT} = 0,75\text{V}$		$V_{GT} = 1,00\text{V}$		$V_{GT} = 0,75\text{V}$		$V_{GT} = 1,00\text{V}$	
	$V_{DS} = 0,8\text{V}$	$V_{DS} = 1,2\text{V}$	$V_{DS} = 0,8\text{V}$	$V_{DS} = 1,2\text{V}$	$V_{DS} = 0,8\text{V}$	$V_{DS} = 1,2\text{V}$	$V_{DS} = 0,8\text{V}$	$V_{DS} = 1,2\text{V}$
<i>Bulk</i>	13,06	24,62	6,50	22,99	22,32	27,83	16,25	27,23
SDSOI	14,53	29,07	7,73	35,34	23,25	29,27	17,76	30,96
MSDSOI $W_a = 50\text{ nm}$	36,58	-134,14	16,27	-17,10	31,26	--	24,23	--
MSDSOI $W_a = 25\text{ nm}$	-64,91	-19,24	-64,72	-6,81	--	--	--	--

Fonte: Autor

Tabela 11 – Ganho A_v para estruturas FinFETs com largura do *fin* igual a 120 nm.

Estruturas	$A_v = g_{m_Sat} / g_{D_Sat}$				$A_v(\text{dB}) = 20.\log(A_v)$			
	$V_{GT} = 0,75\text{V}$		$V_{GT} = 1,00\text{V}$		$V_{GT} = 0,75\text{V}$		$V_{GT} = 1,00\text{V}$	
	$V_{DS} = 0,8\text{V}$	$V_{DS} = 1,2\text{V}$	$V_{DS} = 0,8\text{V}$	$V_{DS} = 1,2\text{V}$	$V_{DS} = 0,8\text{V}$	$V_{DS} = 1,2\text{V}$	$V_{DS} = 0,8\text{V}$	$V_{DS} = 1,2\text{V}$
<i>Bulk</i>	9,12	14,91	5,48	12,47	19,20	23,47	14,77	21,91
SDSOI	9,43	16,11	5,39	14,55	19,49	24,14	14,63	23,26
MSDSOI $W_a = 50\text{ nm}$	12,88	29,85	7,05	99,19	22,20	29,50	16,97	39,93
MSDSOI $W_a = 25\text{ nm}$	20,46	1722,84	11,07	-18,49	26,22	64,72	20,88	--
MSDSOI $W_a = 15\text{ nm}$	59,70	-29,35	30,42	-8,48	35,52	--	29,66	--
SOI	-6,77	-5,61	-4,57	*	--	--	--	*

Fonte: Autor

Os valores negativos dos ganhos de tensão intrínsecos são consequência do grande efeito de autoaquecimento, predominante nas estruturas que possuem mais óxido enterrado, ou seja, menor janela de acesso (W_a), tendendo aos dispositivos SOI. Os campos marcados com “--” para o ganho A_v em dB, correspondem à impossibilidade de obtenção da função logarítmica de valores negativos (em vermelho nas colunas da esquerda), ou seja, significa que os transistores não podem ser utilizados para esta aplicação.

A variação no ganho intrínseco dos dispositivos é salientada na Figura 43, onde um aumento considerável do ganho A_v pode ser observado para as estruturas MSDSOI, resultando em uma melhoria significativa que chega em 20 dB para as polarizações realizadas em relação aos dispositivos convencionais (*Bulk*). O maior ganho aparente leva a um

excelente comportamento analógico, com a redução da condutância de saída e com o aumento da transcondutância normalizada.

Observando a Figura 43 verifica-se que os dispositivos mais blindados, devido à existência do óxido enterrado, apresentam melhores ganhos de tensão intrínsecos. É importante salientar que as simulações foram realizadas sempre considerando os piores e extremos casos de polarizações, o que na prática pode inclusive ser realizado quando os dispositivos estiverem em operação / utilização usuais. As tensões de polarizações relativamente altas para as sobretensões de porta garantem que os resultados apresentem a maior dependência possível aos efeitos inerentes ao autoaquecimento, de modo que quando os dispositivos forem polarizados com V_{GT} menores, o SHE certamente afetará menos o funcionamento dos dispositivos, garantindo que a temperatura fique dentro de valores aceitáveis. Com o efeito de autoaquecimento controlado ao se utilizar os dispositivos MSDSOI, haverá vantagens quando os mesmos forem utilizados com foco para os parâmetros analógicos. Então, dessa forma é possível garantir que para polarizações menores, as estruturas MSDSOI com W_a de 25 nm são as melhores e mais eficientes, e apresentarão excelentes desempenhos e ótimas performances quando polarizadas com valores mais usuais de tensões.

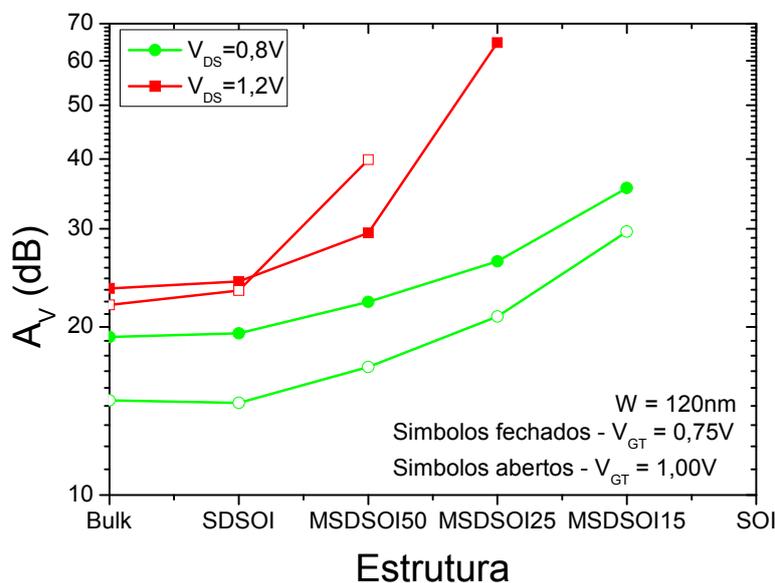


Figura 43 – Ganhos de tensão intrínsecos aceitáveis, em função das estruturas FinFETs para V_{GT} igual a 0,75 V e 1,0 V, e V_{DS} igual a 0,8 V e 1,2 V, para os *fin*s de largura de 120 nm.

Fonte: Autor

Os ganhos dos transistores apresentam dependência com a largura do *fin*, sendo que, dispositivos mais estreitos (W_{fin} menores) apresentam tendências similares ao se alterar o tipo de estrutura (convencional, SDSOI, MSDSOI).

5.11 Otimização dos Resultados e das Estruturas

A partir das análises realizadas até o momento, foi possível observar que o efeito de autoaquecimento nem sempre é prejudicial. Quando este efeito ocorre de maneira a tornar a corrente de dreno mais constante com V_{DS} (na saturação), as características da condutância de saída e do ganho de tensão intrínseco são melhoradas.

Visando uma melhor dissipação de calor das estruturas que tendem ao dispositivo SOI, e visando manter as características básicas excelentes, a otimização dos resultados utilizando estruturas MSDSOI foi estudada.

Ao longo deste trabalho foi possível notar que para obtermos a otimização da estrutura devemos considerar a largura da aleta de silício, a dimensão da janela de abertura e as condições de polarização do dispositivo.

Com base nas simulações realizadas e nos dados obtidos, é possível definir quais são as janelas de contato de silício necessárias para cada tipo de estrutura, para que ocorra a melhor dissipação térmica possível (tomando-se como base a temperatura crítica de 380 K que faz o desligamento de segurança automático dos computadores). Para o dispositivo com W_{fin} de 20 nm, o comprimento do contato de silício do canal com o substrato do transistor (W_a) dever ser igual ao da estrutura SDSOI (com óxido enterrado apenas abaixo das regiões de fonte e de dreno, onde L é igual a 150 nm); para o dispositivo com W_{fin} de 60 nm, o comprimento do contato com o substrato dever ser igual ao da estrutura MSDSOI com W_a de 50 nm; e, para o dispositivo com largura de aleta de 120 nm, o comprimento da janela de silício dever ser igual ao da estrutura MSDSOI de W_a igual a 25 nm, conforme apresentando na Tabela 12.

A partir destes resultados foi possível determinar a área ideal de contato de silício de cada estrutura, multiplicando a largura pelo comprimento de contato necessário em cada caso, chegando-se em todas elas à área de $3,0 \times 10^{-15} \text{ m}^2$, no caso mais crítico de polarização ($V_{GT} = 1,0 \text{ V}$ e $V_{DS} = 1,2 \text{ V}$), como pode ser visto na Tabela 12. Essa área é eficiente para uma boa dissipação térmica em aplicação analógica, com a obtenção do mesmo ganho de tensão intrínseco A_V e de modo que o efeito de autoaquecimento é controlado adequadamente. Ou seja, dependendo de cada nível de polarização utilizado, será necessário que os dispositivos apresentem uma determinada área mínima de contato para que a transferência térmica seja eficiente, para que se tenha o mesmo tipo de resposta para

temperatura de operação e para que os dispositivos tenham características semelhantes aos da estrutura SOI. Dessa forma, conclui-se que a otimização das estruturas depende do comprimento do contato de silício do canal com o substrato do transistor (W_a), da largura do contato de silício do canal com o substrato do transistor (L_a), da tensão de polarização entre dreno e fonte (V_{DS}) e da sobretensão de condução (V_{GT}).

Tabela 12 – Relação da largura dos dispositivos W_{fin} com o comprimento mínimo de contato W_a , para a obtenção da área ideal para a eficiente dissipação térmica.

W_{fin}	Comprimento do contato de silício ideal W_a	Área Mínima ($W_{fin} \times W_a$)
20 nm	SDSOI = 150 nm	$20 \times 10^{-9} \times 150 \times 10^{-9} = 3,0 \times 10^{-15} \text{ m}^2$
60 nm	MSDSOI com W_a de 50 nm	$60 \times 10^{-9} \times 50 \times 10^{-9} = 3,0 \times 10^{-15} \text{ m}^2$
120 nm	MSDSOI com W_a de 25 nm	$120 \times 10^{-9} \times 25 \times 10^{-9} = 3,0 \times 10^{-15} \text{ m}^2$

Fonte: Autor

A partir da área mínima encontrada anteriormente e necessária para a obtenção da mesma resposta do SHE para o nível de polarização constante, é possível projetar dispositivos para diferentes W_{fin} . Para isso, basta dividir o valor da área mínima calculada pelo valor da nova largura do dispositivo desejada, conforme mostra a equação (20). Como exemplo, para um dispositivo MSDSOI com W_{fin} de 90 nm, de forma direta [equação (21)], é possível calcular o comprimento da janela de acesso W_a igual a 33,33 nm.

$$W_a = \frac{\text{Área mínima ideal para a eficiente dissipação térmica}}{W_{fin}} \quad (20)$$

$$W_a = \frac{3,0 \cdot 10^{-15} \text{ m}^2}{90 \text{ nm}} = 33,33 \text{ nm} \quad (21)$$

A Tabela 13 apresenta alguns exemplos ao se variar a largura do dispositivo W_{fin} , com a determinação do comprimento mínimo W_a , necessário para a obtenção da área mínima ideal para a eficiente dissipação térmica dos dispositivos, com base nas polarizações realizadas de V_{GT} igual a 1,0 V e de V_{DS} igual a 1,2 V.

A estrutura esquemática representativa do dispositivo MSDSOI, com o contato de silício do canal ao substrato, porém, agora menor em relação à sua largura, é mostrada na Figura 44. A ideia dessa variação na estrutura MSDSOI é reduzir o tamanho da área de silício original ($W_a < L$ e $L_a < W_{fin}$), aumentando assim a área de óxido enterrando, fazendo com que o dispositivo se assemelhe ao máximo à estrutura SOI, para garantir as vantagens do mesmo, mas ao mesmo tempo garantindo a melhor dissipação térmica possível, minimizando a desvantagem do SOI. O ponto ótimo é obtido quando a menor área de contato for possível entre o canal e o substrato, capaz de dissipar energia térmica suficiente de modo a diminuir a temperatura interna do dispositivo, e que ao mesmo tempo, mantenha o máximo de óxido enterrado dentro do dispositivo, de modo a não perder o acoplamento capacitivo do corpo como no SOI, diminuindo assim o fator de corpo ($1 + \alpha$).

Tabela 13 – Exemplos para diferentes W_{fin} , do comprimento mínimo de contato W_a , com base na área mínima para a eficiente dissipação térmica.

W_{fin}	Cálculo	W_a
20 nm	$W_a = \frac{3,0 \cdot 10^{-15} m^2}{20 nm}$	150 nm
40 nm	$W_a = \frac{3,0 \cdot 10^{-15} m^2}{40 nm}$	75 nm
60 nm	$W_a = \frac{3,0 \cdot 10^{-15} m^2}{60 nm}$	50 nm
75 nm	$W_a = \frac{3,0 \cdot 10^{-15} m^2}{75 nm}$	40 nm
90 nm	$W_a = \frac{3,0 \cdot 10^{-15} m^2}{90 nm}$	33,33 nm
100 nm	$W_a = \frac{3,0 \cdot 10^{-15} m^2}{100 nm}$	30 nm
120 nm	$W_a = \frac{3,0 \cdot 10^{-15} m^2}{120 nm}$	25 nm

Fonte: Autor

A Figura 45 demonstra a eficiente dissipação térmica, bem como a baixa influência do efeito de autoaquecimento para a estrutura FinFET MSDSOI de W_{fin} igual a 120 nm, com janela de acesso W_a de 50 nm e largura dessa área de silício L_a de 60 nm, com a polarização

de $V_{DS} = 1,2 \text{ V}$ e de $V_{GT} = 1,4 \text{ V}$, onde a temperatura máxima no dispositivo atinge apenas 363 K próximo as portas do dispositivo.

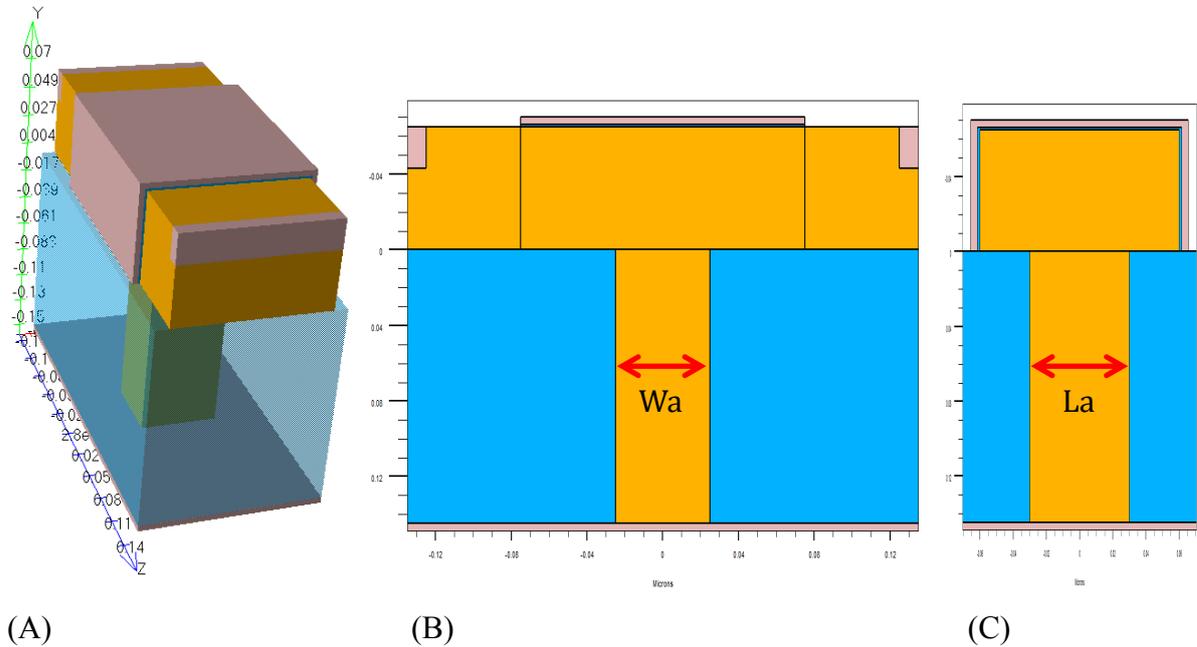


Figura 44 – Estrutura esquemática representativa do dispositivo MSDSOI, com área de contato do silício, do canal ao substrato, menor em relação à sua largura ($La < W_{fin}$), em (A) 3D, (B) corte transversal, ao longo das regiões de fonte / dreno e (C) corte transversal, ao longo da sua largura.

Fonte: Autor

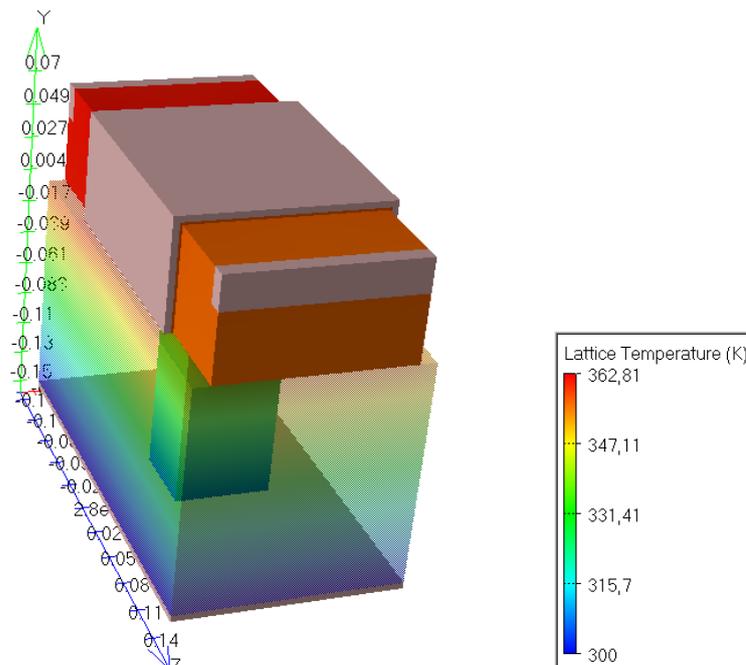


Figura 45 – Demonstração da coerente dissipação térmica e do baixo efeito de autoaquecimento para a estrutura FinFET MSDSOI, com W_{fin} de 120 nm, W_a de 50 nm e La de 60 nm, com polarização de V_{DS} de 1,2 V e V_{GT} de 1,4 V.

Fonte: Autor

Dessa forma, mantendo a área mínima de contato, mesmo para diferentes larguras W_{fin} de canal, é possível obter facilmente a mesma temperatura de operação, ou seja, o efeito de autoaquecimento é controlado, e conseqüentemente, é possível obter o mesmo ganho de tensão intrínseco A_V , uma vez que o efeito de autoaquecimento, que tem papel principal nas simulações, está sendo controlado adequadamente.

6 CONCLUSÕES E TRABALHOS FUTUROS

Neste trabalho foi realizado o estudo do comportamento de diferentes estruturas 3D com foco na operação analógica dos transistores de múltiplas portas, com especial atenção ao efeito de autoaquecimento apresentado pelos dispositivos. O trabalho foi efetuado com base nas características elétricas dos dispositivos fabricados em estrutura FinFET, com a modificação na estrutura do substrato (região do óxido enterrado) permitindo a abertura de acesso do canal ao substrato, e considerando-se também a redução da largura da aleta do *fin* (W_{fin}).

Para esse estudo foram considerados altos valores de polarização. Considerando que a tensão de limiar está próxima a 0,4 V e sabendo que a máxima polarização permitida nesses dispositivos é de 1,5 V, então o maior V_{GT} estudado foi de 1,0 V. Otimizando o funcionamento destes para a máxima sobretensão de porta, é possível garantir o bom funcionamento dos dispositivos para sobretensões menores. Durante a análise efetuada para dispositivos operando na região de triodo, foi observado que na maior parte dos dispositivos, as tensões de limiar estiveram em torno de 0,4 V e as inclinações de sublimiar próximas de 70 mV / década, sendo que, as variações em V_{TH} foram relativamente pequenas ao se variar as larguras dos *fins* dos dispositivos, entretanto, para W_{fin} de 120 nm, SS foi obtido em torno de 88 mV / década devido ao menor acoplamento eletrostático.

Na primeira parte da análise, comparando-se os diversos valores de W_a , o dispositivo MSDSOI com W_a de 50 nm foi o que apresentou melhores resultados considerando a condição de polarização mais alta ($V_{GT} = 1,0$ V). Dentre os valores obtidos, podemos citar o módulo da tensão Early ficou em torno de 80 V para a largura de W_{fin} de 120 nm e aproximadamente igual a 20 V para o W_{fin} de 20 nm. E o ganho A_V em torno de 40 dB para W_{fin} de 120 nm. Porém, o dispositivo MSDSOI com W_{fin} de 120 nm e W_a de 25 nm foi o que apresentou melhores resultados quando consideramos o valor de polarização mais baixo estudado ($V_{GT} = 0,75$ V) e coerentes com as aplicações reais, tornando-os melhores e mais eficientes, quando polarizados com valores usuais de tensão (como exemplo, para V_{GT} igual a 0,25 V).

O efeito do autoaquecimento nos dispositivos SOI, que resultou na melhoria do efeito analógico, foi responsável pela piora de outras características, como a eficiência do controle que a tensão de porta exerce sobre a corrente elétrica de dreno, é superior à medida que W_a é

menor, i.e., o dispositivo tende ao dispositivo SOI. Este fator associado a melhor dissipação térmica proveniente da janela de abertura do MSDSOI propicia o aumento no ganho de tensão intrínseco, e conseqüentemente um excelente comportamento analógico.

Através desse estudo dos transistores de múltiplas portas, com especial dedicação a modificação na estrutura no que diz respeito à região do óxido enterrado e a janela de contato de silício (que permite o contato físico do canal ao substrato), foi possível observar que os efeitos de autoaquecimento apresentaram melhoria significativa quando a janela de contato é tal que atinge-se uma área suficiente para a dissipação de calor. Assim, pode-se dizer que as estruturas FinFETs modificadas com janela de contato apresentaram melhor desempenho, uma vez que combinam os benefícios dos dispositivos convencionais (menor SHE), com os fabricados em estruturas SOI (melhor acoplamento, melhor controle das cargas).

No entanto, para otimizar a performance do dispositivo, é necessária uma área de contato entre o canal e o substrato capaz de dissipar energia térmica suficiente de modo a diminuir a temperatura interna do dispositivo e de forma a obtermos um efeito de autoaquecimento controlado de maneira a tornar a característica I_{DS} em função de V_{DS} constante com a variação de V_{DS} , e que ao mesmo tempo, mantenha o óxido enterrado mais para dentro do dispositivo ($W_a < L$ e $L_a < W_{fin}$), fazendo com que ele mantenha o acoplamento capacitivo do corpo, como no SOI, diminuindo assim o fator de corpo ($1 + \alpha$).

Para as polarizações mais críticas, com $V_{GT} = 1,0$ V e $V_{DS} = 1,2$ V, a área ideal de contato de silício é igual a $3,0 \times 10^{-15}$ m². Porém, para cada polarização é necessário que os dispositivos apresentem uma determinada área mínima de contato para que a transferência térmica seja eficiente, para que se tenha o mesmo tipo de resposta para a temperatura de operação, e para que os dispositivos tenham características semelhantes aos da estrutura SOI. Dessa forma, para a determinação da área mínima deve-se levar em consideração as dimensões de W_a e de L_a , e das polarizações elétricas de V_{DS} e de V_{GT} , para que o SHE seja controlado adequadamente com a boa otimização dos parâmetros analógicos para os dispositivos, com a tensão Early V_{EA} e o ganho de tensão intrínseco A_V podendo tender ao infinito.

Devido ao dispositivo MSDSOI combinar as excelentes características de acoplamento da tecnologia SOI com a boa dissipação térmica da tecnologia MOS convencional, a continuação do trabalho envolvendo estruturas FinFETs modificadas, permite uma série de estudos, para a melhor parametrização dos dispositivos. O principal foco para a seqüência do

trabalho consiste no desenvolvimento do modelo para dimensionar a janela de contato para aplicações analógicas. Além disso, ainda será gerado um artigo, sobre os resultados obtidos para a otimização do dispositivo a partir da área mínima de contato, para ser apresentado na ICCDCS de 2014.

PUBLICAÇÕES GERADAS

Até o presente momento, foi possível a realização das seguintes publicações em congressos na área de pesquisa.

1. **Comparative study of self-heating effects influence on IV characteristics of four different structures.** Rodrigo D'Angelo Mathias, Cristiano Tavares Malheiro, Paula Ghedini Der Agopian, Renato Giacomini. VII Seminatec - Workshop on Semiconductors and Micro & Nano Technology - 2012;
2. **Comparative Study Of Self-Heating Effects Influence In Transistors MOSFETs Fabricated In FinFET Structures And MuGFETs Structures Modified.** Rodrigo D'Angelo Mathias, Paula Ghedini Der Agopian. VIII Seminatec - Workshop on Semiconductors and Micro & Nano Technology - 2013;
3. **Comparative Study of Self-Heating Effects Influence on Triple-Gate FinFETs Fabricated on Bulk, SOI and Modified Substrates.** Rodrigo D'Angelo Mathias, Paula Ghedini Der Agopian. SBMicro 2013 - 28th Symposium on Microelectronics Technology and Devices, Curitiba - 2013.

REFERÊNCIAS

As referências bibliográficas utilizadas como embasamento teórico e fundamental para o desenvolvimento deste trabalho são apresentadas a seguir.

1. COLINGE, J. P. **Silicon-On-Insulator Technology: Materials to VLSI**. 3^a. ed. Boston: Kluwer Academic Publishers, 2003.
2. COLINGE, J. P. **FinFETs and Other Multi-Gate Transistors**. New York: Springer, 2008.
3. INTEL. Intel Reinvents Transistors Using New 3-D Structure. **Intel Newsroom**, 2011. Disponível em: <http://newsroom.intel.com/community/intel_newsroom/blog/2011/05/04/intel-reinvents-transistors-using-new-3-d-structure>. Acesso em: 27 Ago. 2012.
4. HE, P. Measurement and Simulation of Electrical and Thermal Property of Drain and Source on Insulator MOSFETs (DSOI). **Institute of Microelectronics Tsinghua University**, Tsinghua, p. 55 - 57, 2002.
5. BO, J. A Modified DSOI (Drain / Source on Insulator) Device Structure with Better Electrical Performance. **IEEE SSCS International Conference on Microelectronics - MIEL**, Yugoslavia, v. 2, n. 23, p. 487-490, 2002.
6. ATLAS (Ed.). **Atlas User's Manual**. [S.l.]: Silvaco, v. 5.16.3.R, 2010.
7. TSUCHIYA, T.; SATO, Y.; TOMIZAWA, M. Three Mechanisms Determining Short-Channel Effects in Fully-Depleted SOI MOSFET's. **IEEE Transactions on Electron Devices**, v. 45, n. 5, p. 1116-1121, 1998.
8. AGOPIAN, P. G. D. **Estudo do efeito de elevação atípica da transcondutância na região linear de polarização em dispositivos SOI nMOSFETs ultra-submicrométricos**. Escola Politécnica da Universidade de São Paulo. São Paulo. 2008. (Tese).

9. COLINGE, J. P.; COLINGE, C. A. **Physics of Semiconductor Devices**. New York: Springer, 2002.
10. CHOI, J. Y.; FOSSUM, J. G. Analysis and Control of Floating-Body Bipolar Effects in Fully Depleted Submicrometer SOI MOSFET's. **IEEE Transactions on Electron Devices**, v. 38, n. 6, p. 1384-1391, 1991.
11. FRANCIS, P. et al. Comparison of Self-Heating Effects in SOI and GAA Devices. **Proceedings of ESSDERC'95**, Den Haag, n. Editions Frontieres, p. 225-228, 1995.
12. TREVISOLI, R. D. **Efeito da tensão mecânica em transistores de múltiplas portas operando em temperaturas criogênicas**. Centro Universitário da FEI. São Bernardo do Camp. 2010. (Dissertação).
13. COGHI, J. F. F. **Caracterização elétrica de amplificadores operacionais de transcondutância implementado com GC SOI MOSFETs**. Centro Universitário da FEI. São Bernardo do Campo, p. 26. 2012. (Dissertação).
14. PAVANELLO, M. A. **Projeto, Fabricação e Caracterização elétrica de uma nova estrutura para o SOI MOSFET**. Escola Politécnica da Universidade de São Paulo. São Paulo. 2000. (Tese).
15. KRANTI, A. et al. Analysis of Laterally Asymmetric Channel Engineering in Fully Depleted Double Gate (DG) SOI MOSFETs for High Performance Analog Applications. **Solid-State Electronics**, p. 131-134, 2003.
16. PEREIRA, A. S. D. N. **Modelo analítico de resistência parasita para transistores FinFET de porta dupla**. Centro Universitário da FEI. São Bernardo do Campo. 2012. (Dissertação).
17. RAULY, E.; IÑIGUEZ, B.; FLANDRE, D. Investigation of single and double gate SOI MOSFETs in Accumulation Mode for enhanced performance and reduced technological drawbacks. **Electrochemical and Solid-State Letters**, v. 4, p. G28-G30, 2001.

18. TANG, S. H. et al. FinFET - A quasiplanar double-gate MOSFET. **in Proc. ISSCC**, p. 118-119, 2001.
19. ZIMIN, S.; LITIAN, L.; ZHIJIAN, L. Self-heating effect in SOI MOSFETs. **in Proc. ICSICT**, p. 572-574, 1998.
20. WENSONG, C. A Novel Drain/Source on Insulator (DSOI) Structure to Fully Suppress the Floating-Body and Self-Heating Effects. **Institute of Microelectronics**, Beijing, 1998.
21. DOUSEKI, T. et al. A 0.5-V MTCMOS/SIMOX Logic Gate. **IEEE**, v. 32, n. 10, p. 1604-1609, 1997.
22. HISAMOTO, D. et al. A fully depleted lean-channel transistor (DELTA)-a novel vertical ultra thin SOI MOSFET. **IEDM**, Technical Digest., International , 1989. 833.
23. ORTIZ-CONDE, A. et al. A Review of Recent MOSFET Threshold Voltage Extraction Methods. **Microelectronics Reliability**, 2002. p.583-596.
24. SZE, S. M. **Physics of Semiconductor Devices**. 2nd. ed. New York: John Wiley & Sons, 1981.
25. LIU, J. Low Leakage Bulk Silicon Substrate Based SDOI FINFETs. **Institute of Microelectronics, Chinese Academy of Sciences**, 2010.
26. ALATI, D. M. **Estudo do comportamento elétrico de estruturas MOSFETs não convencionais e do MOSFET diamante em ambientes radiotivos**. Centro Universitário da FEI. São Bernardo do Campo, p. 53. 2012. (Dissertação).
27. COLINGE, J. P. et al. Silicon-on-Insulator "Gate-All-Around Device". **Technical Digest of IEDM**, 1990. 595-598.
28. DORIA, R. T. **Operação analógica de transistores de múltiplas portas em função da temperatura**. Escola Politécnica da Universidade de São Paulo. São Paulo, p. 65. 2010. (Tese).

29. ANDRADE, M. G. C. D. **Estudo de transistores de porta tripla de corpo**. Escola Politécnica da Universidade de São Paulo. São Paulo, p. 42. 2012. (Dissertação).
30. RASKIN, J.-P. et al. Analog/RF Performance of Multiple Gate SOI Devices: Wideband Simulations and Characterization. **IEEE Transactions on Electron Devices**, v. 53, n. 5, p. 1088-1095, 2006.
31. SILVEIRA, F.; FLANDRE, D.; JESPERS, P. G. A. A gm/Id Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Silicon-On-Insulator Micropower OTA. **IEEE Journal of Solid-State Circuits**, v. 31, n. 9, p. 1314-1319, 1996.
32. GOTO, E. K. **Estudo do efeito de autoaquecimento em transistores SOI com canal gradual por medida pulsada**. Centro Universitário da FEI. São Bernardo do Campo, p. 45. 2012. (Dissertação).
33. GUTIERREZ, E. A.; DEEN, J.; CLAEYS, C. **Low Temperature Electronics: Physics, Devices, Circuits and Applications**. San Diego: Academic Press, 1991.
34. DORIA, R. T. **Efeito da tensão mecânica em transistores de múltiplas portas operando em temperaturas criogênicas**. Centro Universitário da FEI. São Bernardo do Campo, p. 41. 2010. (Tese).
35. YAMADA, T. Improvement of performance of Drain-Source-On-Insulator MOSFETs by using heavily doped-Si region between local BOX regions. **Bio-Nano Electronics Research Centre**, Toyo University, 2009.
36. MARTINO, J. A.; PAVENELLO, M. A.; VERDONCK, P. B. **Caracterização Elétrica de Tecnologia e Dispositivos Mos**. São Paulo: Thomson Cengage Learning, 2004.
37. WACHUTKA, G. K. Rigorous Thermodynamic Treatment of Heat Generation and Conduction in Semiconductor Device Modeling. **IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN**, v. 9, p. 1141, 1990.

38. SAKURAI, T.; MATSUZAWA, A.; DOUSEKI, T. Fully-Depleted SOI CMOS Circuits and Technology for Ultralow-Power Applications, Springer, 2006.

APÊNDICE

Descrição do código de entrada no simulador Atlas, utilizado para a simulação do dispositivo *triple-gate* tridimensional MSDSOI FinFET com janela de acesso (Wa) de 25 nm, com polarização de porta (V_{gate}) de $0,75 V + V_{TH}$ e de $1,00 V + V_{TH}$, e polarização de dreno de 0 V a 1,5 V.

```
#####
# Triple-gate para avaliacao analogica #
#####

#####
# Inicia o Atlas #
#####

go atlas simflags="-P 6"

#####
# Carrega a estrutura #
#####

mesh infile=MSDSOI25_L150-H65-W120_msh.str

set VthMSDSOI25 = 0.400

#####
# Define a concentracao da dopagem #
#####

# Aleta
doping uniform conc=1e15 p.type reg=3

# Substrato
doping uniform conc=1e15 p.type reg=11

# Extensao de Dreno
doping uniform conc=8e19 n.type reg=4

# Extensao de Fonte
doping uniform conc=8e19 n.type reg=5

#####
# Define a carga de interface separadamente nas interfaces "front and back oxide" #
#####
#limitar nas interfaces?
interf qf=5e10 region=2

#####
# Define a funcao trabalho da porta #
#####

contact name=gate      workfunction=4.7
contact name=substrate workfunction=4.95

#
output minset j.el

#####
# Salva estrutura #
```

```

#####

#structure outf=MSDSOI25_L150-H65-W120.str

#####
# Seleciona os modelos #
#####

model fermi ni.fermi fldmob print auger bgn consrh shi kla temp=300 lat.temp

mobility mu0n.shi=400

# Self-heating
thermcontact num=1 ELEC.NUM=4 ^BOUNDARY temper=300 ALPHA=2.5

#####
# Define os metodos #
#####

solve init

method newton autonr bicgst dvlimit=1 maxtraps=10 atrap=0.1

#####
# Inicia a simulacao #
#####

# Especifica a solucao anterior como aproximacao inicial
solve previous

# Polariza o gate Vgt=750mV
solve name=gate vgate=0.005
solve name=gate vgate=0.010
solve name=gate vgate=0.050
solve name=gate vgate=0.100
solve name=gate vgate=0.200
solve name=gate vgate=0.300
solve name=gate vgate=0.400
solve name=gate vgate=0.500
solve name=gate vgate=0.600
solve name=gate vgate=0.700
solve name=gate vgate=0.800
solve name=gate vgate=0.900
solve name=gate vgate="$VthMSDSOI25"+0.750

# Inicia o log
log outf=MSDSOI25_L150-H65-W120_Vgt750_SHE.log

# Polarizacoes do dreno
solve name=drain vdrain=0.000 vfinal=1.500 vstep=0.050

impact selb bn1=3.5E6 bn2=3.5E6

solve name=drain vfinal=1.2 vstep=-0.010
save outf=MSDSOI25_L150-H65-W120_Vgt750_Vd12_SHE.str master

solve name=drain vfinal=0.8 vstep=-0.010
save outf=MSDSOI25_L150-H65-W120_Vgt750_Vd08_SHE.str master

solve name=drain vfinal=0 vstep=-0.010

# Fim do log
log off

quit

# Especifica a solucao anterior como aproximacao inicial

```

```
solve previous

# Polariza o gate Vgt=1.000mV
solve name=gate vgate=0.005
solve name=gate vgate=0.010
solve name=gate vgate=0.050
solve name=gate vgate=0.100
solve name=gate vgate=0.200
solve name=gate vgate=0.300
solve name=gate vgate=0.400
solve name=gate vgate=0.500
solve name=gate vgate=0.600
solve name=gate vgate=0.700
solve name=gate vgate=0.800
solve name=gate vgate=0.900
solve name=gate vgate=1.000
solve name=gate vgate=1.100
solve name=gate vgate="$VthMSDSOI25"+1.000

# Inicia o log
log outf=MSDSOI25_L150-H65-W120_Vgt1000_SHE.log

# Polarizacoes do dreno
solve name=drain vdrain=0.000 vfinal=1.500 vstep=0.050

impact selb bn1=3.5E6 bn2=3.5E6

solve name=drain vfinal=1.2 vstep=-0.010
save outf=MSDSOI25_L150-H65-W120_Vgt1000_Vd12_SHE.str master

solve name=drain vfinal=0.8 vstep=-0.010
save outf=MSDSOI25_L150-H65-W120_Vgt1000_Vd08_SHE.str master

solve name=drain vfinal=0 vstep=-0.010

# Fim do log
log off

#####
# Fim #
#####

quit
```