

CENTRO UNIVERSITÁRIO DA FEI

WELLINGTON APARECIDO JORGE DA SILVA

**Estudo da Transcondutância e da Razão da
Transcondutância sobre a Corrente de Dreno do
SOI nMOSFET de Porta em Formato de Anel
Circular utilizando Tecnologia SOI CMOS de
0,13 μm**

São Bernardo do Campo

2008

WELLINGTON APARECIDO JORGE DA SILVA

Dissertação apresentada ao Centro
Universitário da FEI como parte dos
requisitos necessários para obtenção do
título de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Salvador Pinillos
Gimenez

São Bernardo do Campo

2008

Silva, Wellington Aparecido Jorge

Estudo da transcondutância e da Razão da Tanscondutância sobre a corrente de Dreno do SOI nMOSFETs de porta em formato de anel circular utilizando a tecnologia SOI CMOS de 0,13 μm / Wellington Aparecido Jorge da Silva – São Bernardo do Campo, 2008. 101 f. : il.

Trabalho de Conclusão de Curso – Centro Universitário da FEI.

Orientador: Salvador Pinillos Gimenez.

1. Transacondutância. 2. Transistor. 3. Porta Circular.

I. Gimenez, Salvador Pinillos, orient. II. Título.

CDU 621.382

Dedico esse trabalho a minha esposa Soraya,
pois sem ela teria sido mais difícil.

AGRADECIMENTOS

Agradeço primeiramente a DEUS, pela proteção e saúde, sempre atuando como fonte de inspiração e motivação.

A todos que acreditaram no meu potencial. Aos meus pais pela paciência, compreensão nos momentos de nervoso e ausência, sempre me confortando e não medindo esforços para me ajudar no que fosse preciso.

A minha esposa pela paciência e dedicação. Por ficar ao meu lado em todos os momentos, sempre com palavras de conforto e incentivo. E principalmente por me incentivar em todos os aspectos profissionais, abdicando de muito para participar de tudo.

Ao meu irmão Jefferson pela compreensão, paciência e apoio, sempre se mostrando dispostos a me ajudar no que fosse preciso.

Ao Sr. Ricardo, Regina e Familiares que sempre me apoiaram e incentivaram em todas as decisões da minha vida.

Ao meu orientador Salvador P. Gimenez, que foi fundamental na realização deste trabalho, demonstrando com toda sua calma e experiência em todos os passos do trabalho. Eu ganho hoje sua amizade e você a minha admiração e eterna gratidão por todas as lições aprendidas.

Aos meus colegas de mestrado pelo apoio, pelas dúvidas esclarecidas, pelas trocas de conhecimentos e por todos os momentos que passamos juntos durante esses últimos anos de estudos.

Aos Mestres e amigos Devair Arrabaça e Maria Cláudia Castro pela atenção, carinho e por acreditarem em meu potencial.

Ao Sr. Fernando Casagrande e toda equipe da Engenharia de Fábrica e Manutenção da FORD MOTORS COMPANY-BRASIL que demonstraram total compreensão e incentivo durante este desafio.

Divido esta conquista com todos vocês da mesma maneira que vocês dividiram comigo as dificuldades dessa jornada.

*“O insucesso é apenas uma
oportunidade de recomeçar de novo
com mais inteligência”*

Henry Ford

RESUMO

Silva, W. A. J. **Estudo da Transcondutância e da Razão da Transcondutância sobre a corrente de dreno do SOI nMOSFET de porta em formato de anel circular utilizando a tecnologia SOI CMOS de 0,13 micrometros.** 2008. 101f., Dissertação (Mestrado) – Centro Universitário da FEI, São Bernardo do Campo, 2008.

Neste trabalho é apresentado o estudo comparativo entre o comportamento da transcondutância e da razão da transcondutância em função da corrente de dreno normalizada em função da razão de aspecto do SOI nMOSFET convencional e o de porta circular, parcialmente depletados de tecnologia de 0,13 μm , que foram fabricados no IMEC Bélgica. Os efeitos de assimetria entre as regiões de fonte e dreno são considerados neste trabalho. Na primeira etapa foram realizados o tratamento e análise da parte experimental, onde pode-se notar que nas curvas da corrente de dreno normalizada versus a sobretensão de porta, para valores maiores que 600 mV, o dispositivo de porta em anel circular na configuração de dreno interno, apresenta maiores valores de corrente de dreno se comparado com os demais. Buscando-se entender este aumento, realizou-se o logaritmo da curva da corrente de dreno normalizada pelo fator geométrico em função da sobretensão de porta, onde verificou-se que a configuração de dreno interno apresenta o efeito do transistor bipolar parasitário, para valores de V_{DS} maiores que 200 mV. Tentando confirmar este efeito, realizou-se novos ensaios, onde foi possível comprovar o efeito do transistor bipolar parasitário, determinando-se valores de acionamento e desacionamento do mesmo. Posteriormente foi determinado o valor da transcondutância e novamente para as mesmas condições, verificou-se o efeito do Transistor bipolar parasitário, determinando os pontos de acionamento e desacionamento. Para as curvas da razão da transcondutância sobre a corrente de dreno em função da corrente de dreno normalizada pela razão de aspecto, a qual é utilizada para aplicações analógicas, como por exemplo amplificadores operacionais de transcondutância (OTA), verificou-se que o SOI MOSFET de porta em anel circular na configuração dreno externo apresentou maiores valores nas regiões de inversão fraca e moderada, sendo ideal para aplicações de alto ganho de tensão. Na região de inversão forte, onde busca-se maiores respostas de frequência, os dispositivos circulares apresentaram resultados similares ao convencional. Na segunda etapa foram realizadas simulações numérica tridimensionais, onde verificou-se que o SOI nMOSFET de porta em anel circular na configuração de dreno externo apresentou maiores valores na região de inversão fraca e moderada, na região de inversão forte, indicada para resposta em frequência, os dispositivos circular e convencional apresentaram resultados similares.

Palavras Chaves : Transcondutância, Transistor, Porta Circular

ABSTRACT

Silva, W. A. J. **Study of Transconductance and the transconductance over the drain current ratio of circular SOI MOSFETs used in 0.13 μm SOI CMOS technology.** 2008. 101p. Dissertation (Master) – Centro Universitário da FEI, São Bernardo do Campo, 2008.

In this work, it is presented the comparative study between the behavior of the transconductance and the ratio of transconductance according to the drain normalized current according to ratio function of the geometric factor of conventional and circular gate SOI MOSFET, partially depleted of 0.13 μm CMOS technology, that has fabricated in IMEC/ Belgian. The effects of asymmetric between the source and drain regions are considered here. In the first phase were performed the treatment of processing and analysis the experimental results, where it was observed that, on drain normalized current versus overvoltage gate curve, for values higher than 600 mV, the circular gate device in the internal configuration, present higher values of current drain if compared than the others. Seeking understand this effect, we performed the logarithm of the drain current normalized by geometric factor in function of overvoltage gate curve, where to verified the internal drain configuration has the single transistor latchup effect, from V_{DS} values higher than 200 mV. Trying to confirm this effect, was performed a new test, when it was possible to confirm the single transistor latchup effect, determining the values of turn on and turn off the parasitic transistor. Thereafter was determined the transconductance value and again, for the same situation, checking the single latchup effect and was possible to determinate the turn-on and turn-off. For the transconductance over drain current ratio, have used in analogic applications, for example operational transconductance amplifier (OTA), and we checked that the SOI MOSFET circular gate in external configuration presented higher values in the weak and moderate region, have been ideal for applications of high voltage. In the strong region, where we look for greater frequency answers, the circular devices show the results similar to the bulk device. In the second step three-dimensional numerical simulations had performed, where it has been observed that the SOI nMOSFET circular gate in external configuration presented higher values in the weak and moderate region, have been ideal for applications of high voltage. In the strong region, where we look for greater frequency answers, the circular devices show the results similar to the bulk device.

Keywords: Transconductance, Transistor, Circular Gate

LISTA DE FIGURAS

Figura 1.1 – O primeiro transistor desenvolvido por Bardeen e Bratain	18
Figura 1.2 – Primeiro circuito integrado (CI), desenvolvido por Kilby 1958.....	19
Figura 1.3 – Primeiro Circuito Integrado Monolítico.....	19
Figura 1.4 – MOSFET desenvolvido por Atalla e Kahng, com canal de 25 μm e óxido de porta de 100Å.....	20
Figura 1.5 – Seção transversal do SOI nMOSFET de porta em anel circular.....	22
Figura 1.6 – Representação do sentido da corrente de dreno do SOI nMOSFET de porta em anel circular na configuração de dreno interno (a), de dreno externo (b) e do convencional (c).....	23
Figura 2.1 – Seção transversal de um SOI nMOSFET convencional	26
Figura 2.2 – Diagrama de faixas de energia para um nMOSFET convencional (a), parcialmente depletado (b) e totalmente depletado (c), com porta de polisilício do tipo p.....	27
Figura 2.3 – Modulação de canal e comprimento efetivo do canal para uma fatia de um SOI nMOSFET de porta em anel circular na configuração de polarização de dreno externo (a), de um DOI nMOSFET convencional (b), e de um SOI nMOSFET de porta em anel circular operando da configuração de dreno interno (c), para as mesmas condições de polarização.....	31
Figura 2.4 – Esquema elétrico de um amplificador de transcondutância contendo um único SOI nMOSFET	34
Figura 2.5 – Exemplo de curvas experimentais extraídas dos SOI nMOSFETs circular operando nas duas configurações de dreno (externo e interno)	36
Figura 2.6 – SOI MOSFET com as resistências série de fonte, dreno e a do canal	37
Figura 2.7 – Efeito do transistor bipolar parasitário nos SOI MOSFET	38
Figura 2.8 - Ilustração do efeito do transistor bipolar parasitário. Inclinação de sublimar normal (a), inclinação infinita de sublimar e histerese (b) e <i>Latch-up</i> do transistor (c).....	38
Figura 3.1 – Curvas para determinação da tensão de limiar para o SOI nMOSFET convencional (a), SOI nMOSFET de porta em anel circular na configuração de dreno externo (b) na configuração de dreno interno (c), respectivamente	42
Figura 3.2 – Curvas $\frac{I_{DS}}{(W/L)} \times V_{GT}$ dos SOI nMOSFET convencional e dos SOI nMOSFET de porta em anel circular operando nas configurações de polarizações de dreno externo e interno, respectivamente, para diferentes valores de V_{DS} [100 mV (a), 200 mV (b), 300 mV (c), 400 mV (d), 500 mV (e), 600 mV (f), 700 mV (g), 800 mV (h), 900 mV (i) e 1000 mV (j)].....	47
Figura 3.3 – Curvas do $\text{Log} \left[\frac{I_{DS}}{(W/L)} \times V_{GT} \right]$ dos SOI nMOSFET convencional e dos SOI nMOSFET de porta em anel circular operando nas configurações de polarização de dreno externo e interno, para diferentes valores de V_{DS} [100 mV (a), 200 mV (b), 300 mV (c), 400 mV (d), 500 mV (e), 600 mV (f), 700 mV (g), 800 mV (h), 900 mV (i) e 1000 mV (j)].....	53
Figura 3.4 – Efeito do transistor parasitário no SOI nMOSFET de porta em anel circular na configuração de dreno interno	55

Figura 3.5 – Estrutura do SOI n MOSFET circular na configuração de dreno externo (figura 3.5.a), do convencional (figura 3.5.b) e a do circular operando na configuração de dreno interno (figura 3.5.c)	56
Figura 3.6 – Ampliação da figura 3.2.f para destacar a curva $I_{DS}/(W/L) \times V_{GT}$ na região de triodo.....	58
Figura 3.7 – Curvas da resistência série em função de V_{GT} dos transistores SOI nMOSFETs convencional é menor que a do circular operando nas configurações de polarização de dreno externo e interno, respectivamente	59
Figura 3.8.a – Fatia do SOI nMOSFET de porta em anel circular e a 3.8.b- Circuito da resistência interna dos dois dispositivos	60
Figura 3.9 – Corrente de dreno em função da tensão de dreno experimental dos transistores SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno, respectivamente, para diferentes valores de V_{GT}	61
Figura 3.10 – Curva da transcondutância dos SOI nMOSFET convencional e o de porta em anel circular operando nas duas configurações de polarização, variando-se a tensão de dreno de 100 mV (3.10.a) até 1000 mV (3.10.j).....	67
Figura 3.11 – Curva $\left(\frac{g_m}{I_{DS}} \times V_{GT}\right)$ dos SOI nMOSFETs convencional e o de porta em anel circular, operando nas duas configurações de polarização de dreno interno e externo, para diferentes valores (V_{DS})	73
Figura 3.12 – Demonstração de como se determinou a variação do pico do efeito do TBP	75
Figura 3.13 – Curvas $\left(\frac{g_m}{I_{DS}} \times \frac{I_{DS}}{(W/L)}\right)$ dos SOI nMOSFETs convencional e circular para ambas as configurações de dreno externo e interno, para diferentes valores de (V_{DS})	80
Figura 3.14 – Representação do pico de acionamento do TBP.....	82
Figura 4.1 – Fatia de 10 ° do SOI nMOSFET circular	84
Figura 4.2 – Seção transversal da fatia de 10° SOI nMOSFET de porta em anel circular apresentando as suas características estruturais (a) e a imagem ampliada da região de canal (b).....	86
Figura 4.3 – Figura de um dispositivo SOI nMOSFET convencional.....	87
Figura 4.4 (a) e (b) – Curva $\left(\frac{g_m}{I_{DS}} \times \frac{I_{DS}}{(W/L)}\right)$ para os SOI nMOSFET de porta em anel circular nas duas configurações de polarização do convencional	89

LISTA DE TABELAS

Tabela 1.1 – Evolução dos SOI MOSFETs.....	21
Tabela 3.1 – Características do efeito do Transistor Bipolar Parasitário	54
Tabela 3.2 – Variação de $\left(\frac{g_m}{I_{DS}}\right)$ ($\Delta \frac{g_m}{I_{DS}}$) gerado pelo acionamento do Transistor Bipolar Parasitário - (TBP)	74

LISTA DE SÍMBOLOS

ΔL	Distância do ponto de estrangulamento em relação ao dreno (nm)
ΔL_{CDE}	Distância entre a região de estrangulamento e a região de dreno do SOI nMOSFET circular operando em configuração de dreno externo (nm)
ΔL_{CONV}	Distância entre a região de estrangulamento e a região de dreno nos SOI nMOSFET convencional (nm)
ΔL_{CDI}	Distância entre a região de estrangulamento e a região de dreno do SOI nMOSFET circular operando na configuração de dreno interno (nm)
Φ_F	Potencial de Fermi (V)
α	Fator de acoplamento capacitivo
A_V	Ganho de tensão
$A_{INT_D/FS}$	Área de interface entre a região de dreno e o filme de silício
β	Fator de ganho do transistor bipolar parasitário
β_N	Fator de ganho do transistor nMOSFET
C_L	Carga capacitiva de saída (F)
C_{ox}	Capacitância do óxido de porta por unidade de área
C_{ox}, C_{ox1}	Capacitância do óxido porta (F/cm^2)
C_{ox2}	Capacitância de óxido enterrado (F/cm^2)
C_{si}	Capacitância de depleção na camada de silício (região do canal) (F/cm^2)
E_C	Nível de energia da faixa de condução
E_F	Nível de Fermi
E_V	Nível energético na faixa de valência
ϵ_{si}	Permissividade do Silício (F/cm)
ϵ_o	Permissividade do Óxido de silício
f_r	Fator geométrico que define a razão entre as dimensões dos transistores retangular e circulares (W/L)
g_m	Transcondutância (S)
I_C	Corrente do coletor (A)
I_{CH}	Corrente presente no canal do dispositivo

I_{DS}	Corrente de dreno (A)
$\vec{J}\epsilon_{//}$	Campo Elétrico Magnético Paralelo (T)
K	Constante de Boltzman ($8,854 \times 10^{-14}$ F/cm)
L	Comprimento de máscara do canal do dispositivo (μm)
L_{eff}	Comprimento efetivo do canal do dispositivo (μm)
$L_{\text{eff CDE}}$	Comprimento efetivo do canal do SOI nMOSFET circular operando na configuração de dreno externo (μm)
$L_{\text{eff CDI}}$	Comprimento efetivo do canal do SOI nMOSFET circular operando na configuração de dreno interno (μm)
$L_{\text{eff CONV}}$	Comprimento efetivo do canal do SOI nMOSFET convencional (μm)
μ_n	Mobilidade dos portadores [$\text{cm}^2/(\text{V}\cdot\text{s})$]
N_a	Concentração de impurezas (cm^{-3})
$N_{\text{Drain/Source}}$	Concentração de dopantes no dreno e fonte (cm^{-3})
n_i	Concentração instrínseca do material (cm^{-3})
q	Carga elementar do elétron ($q = 1,6 \times 10^{-19}$ C)
R_S	Resistência de fonte (Ω)
R_{ch}	Resistência do canal (Ω)
R_D	Resistência de dreno (Ω)
R1	Raio interno da coroa que define a região interna do canal do transistor circular (μm)
R2	Raio externo da coroa que define o final do canal do transistor circular (μm)
R3	Raio do transistor circular (μm)
t_{oxb}	Espessura da camada de óxido enterrado (nm)
t_{oxf}	Espessura da camada de óxido de porta (nm)
t_{Si}	Espessura da camada de silício (nm)
T	Temperatura absoluta (K)
V_D	Tensão de dreno (V)
V_{DD}	Tensão de alimentação (V)
V_{DS}	Tensão aplicada ao dreno do transistor (V)
$V_{DS\text{sat}}$	Tensão de dreno de saturação (V)
V_{EA}	Tensão Early (V)

V_{FB}	Tensão de faixa plana do MOS (V)
V_{GB}	Tensão entre porta e substrato (V)
V_{GF}	Tensão entre porta e fonte (V)
V_{GS}	Tensão aplicada à porta do transistor (V)
V_{in}	Tensão de entrada (V)
V_{OUT}	Tensão de saída (V)
V_{TH}	Tensão de limiar (V)
X_{ox}	Afinidade eletrônica do óxido de silício
$X_{dmáx}$	Valor da distância máxima da região de depleção (nm)
X_{d1}	Largura de depleção controlada pela porta (nm)
X_{d2}	Largura de depleção controlada pelo substrato (nm)
W	Largura do canal do dispositivo (nm)

LISTA DE ABREVIATURAS

AUGER	Modelo de recombinação
BGN	Modelo de estreitamento de faixa proibida
CDE	Circular Dreno Externo
CDI	Circular Dreno Interno
CI	Circuito Integrado
HTB	Heterojunction bipolar transistor
IGFET	Insulated gate field effect transistor
MOS	Metal-Oxide-Semiconductor (Metal-Óxido-Semicondutor)
MOSFET	Field effect transistor
OTA	Operational Transconductance Amplifier (Amplificador Operacional de Transcondutância)
PDSOI	Dispositivo SOInMOSFET parcialmente depletado
SIMOX	Separation by Implanted Oxygen (Separação através de Oxigênio Enterrado)
SOI	Silicon-on-Insulator (Silício sobre Isolante)
SOS	Silicon - on - Sapphire
TBP	Transistor Bipolar Parasitário

SUMÁRIO

1	INTRODUÇÃO E MOTIVAÇÃO	18
1.1	Objetivo e Estrutura do Trabalho.....	25
2	CONCEITOS FUNDAMENTAIS.....	26
2.1	Tensão de Limiar (V_{TH}).....	29
2.2	Corrente de Dreno	29
2.3	Região de estrangulamento (<i>Pinch-off</i>) e comprimento efetivo de canal.....	30
2.4	Transcondutância	33
2.5	Ganho de tensão de um amplificador de transcondutância de um único transistor	33
2.6	A razão da Transcondutância pela corrente de dreno em função da corrente dreno normalizada em função do fator geométrico.....	35
2.7	Resistência Série	36
2.8	Efeito do Transistor bipolar parasitário (<i>Single Transistor Latch – Up</i>)	37
3	RESULTADOS EXPERIMENTAIS	40
3.1	Curvas da corrente de dreno normalizada pela razão de aspecto em função da sobretensão de porta.....	42
3.2	Curvas da transcondutância em função da sobretensão de porta.....	62
3.3	Curvas da razão da transcondutância sobre a corrente de dreno em função da sobretensão de porta.....	68
3.4	Curvas da razão da transcondutância sobre a corrente de dreno em função da corrente de dreno normalizada pelo fator geométrico	75
4	RESULTADOS OBTIDOS POR SIMULAÇÃO.....	83
4.1	Programa de Edição de Dispositivos Semicondutores e Simulador Numéricos Tridimensional.....	83
4.2	Determinação da razão da transcondutância normalizada pela corrente de dreno versus a corrente de dreno ($g_m/I_{DS}I_{DS}$)	88
5	CONCLUSÃO	90
	REFERÊNCIAS BIBLIOGRÁFICAS.....	91
	APÊNDICE A	93
	APÊNDICE B.....	99

1 INTRODUÇÃO E MOTIVAÇÃO

A idéia de se construir um dispositivo semiconductor de filme fino isolando o substrato, vem sendo desenvolvida há anos. A primeira descrição de um transistor de efeito de campo foi desenvolvida por Lilienfeld em 1926 e intitulado de IGFET (“*INSULATED GATE FIELD EFFECT TRANSISTOR*”) [1]. Considerado o precursor dos outros dispositivos, o IGFET é caracterizado por possuir três terminais, onde se pode controlar a corrente de dreno na região ativa, ou seja, entre fonte e dreno, através da tensão aplicada na porta isolada. Por não possuir uma tecnologia de processo de fabricação adequada, esta tecnologia ficou estagnada por vários anos [1].

Em 1947, o transistor Puntual (“*POINT-CONTACT TRANSISTOR*”) foi inventado por Bardeen e Bratain, conforme é apresentado na figura 1.1, seguido da clássica patente de Shockey do transistor bipolar, o qual trouxe um relevante impacto na indústria eletrônica [2].

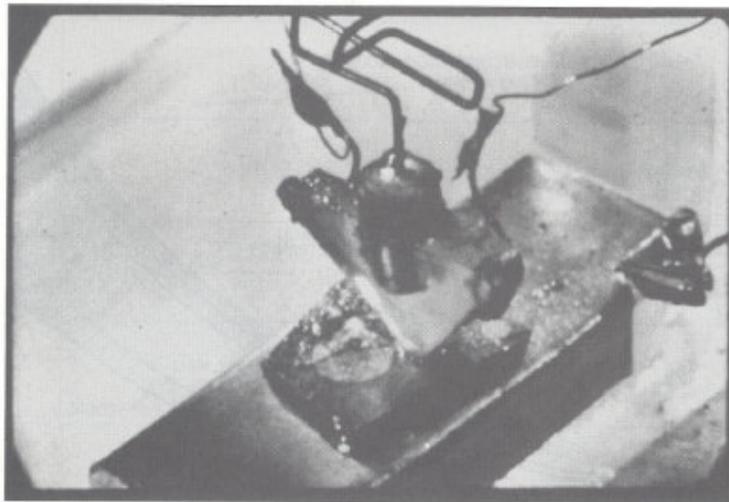


Figura 1.1 – O primeiro transistor desenvolvido por Bardeen e Bratain [2].

Em 1957, Kromer propôs o HTB (“*HETEROJUNCTION BIPOLAR TRANSISTOR*”) [2]. Em 1958, Kilby elaborou o primeiro rudimentar circuito integrado, composto por três resistores, um capacitor e um transistor bipolar, construído em um bloco de germânio, conforme mostra a figura 1.2 [2].

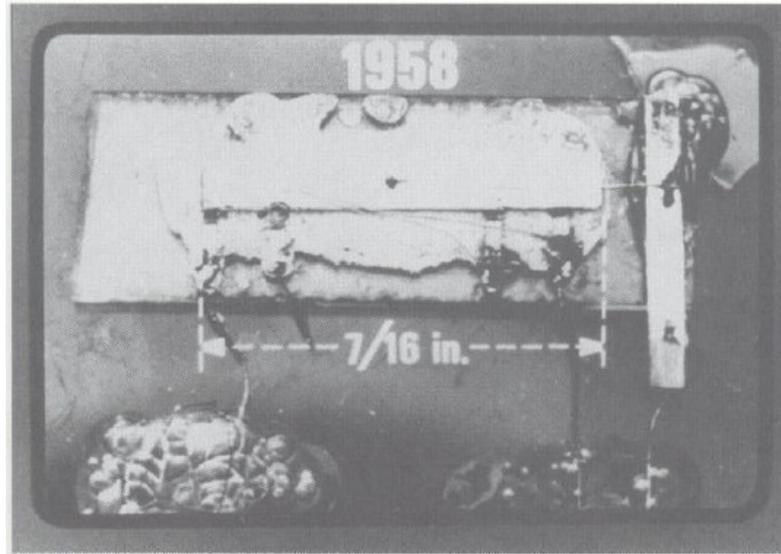


Figura 1.2 – Primeiro circuito integrado (CI), desenvolvido por Kilby em 1958 [2].

No ano de 1959, Noyce propôs o primeiro transistor de circuito integrado monolítico (“*INTEGRADET CIRCUIT MONOLITHIC*”), conforme está apresentado na figura 1.3 [2]. A fabricação deste dispositivo consiste em um único bloco de silício, usando óxido de isolamento e metalização por alumínio, sendo esta invenção um avanço para a indústria de microeletrônica da época [2].

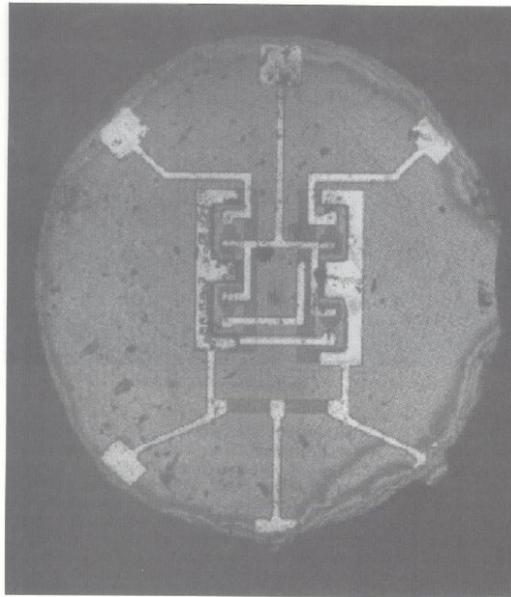


Figura 1.3 – Primeiro Circuito Integrado Monolítico [2].

Com os avanços da tecnologia de fabricação de óxido de porta, em 1960 Atalla e Kahng propuseram e fabricaram o primeiro transistor de efeito de campo, chamado de MOSFET (*“FIELD EFFECT TRANSISTOR”*), conforme é mostrado na figura 1.4.

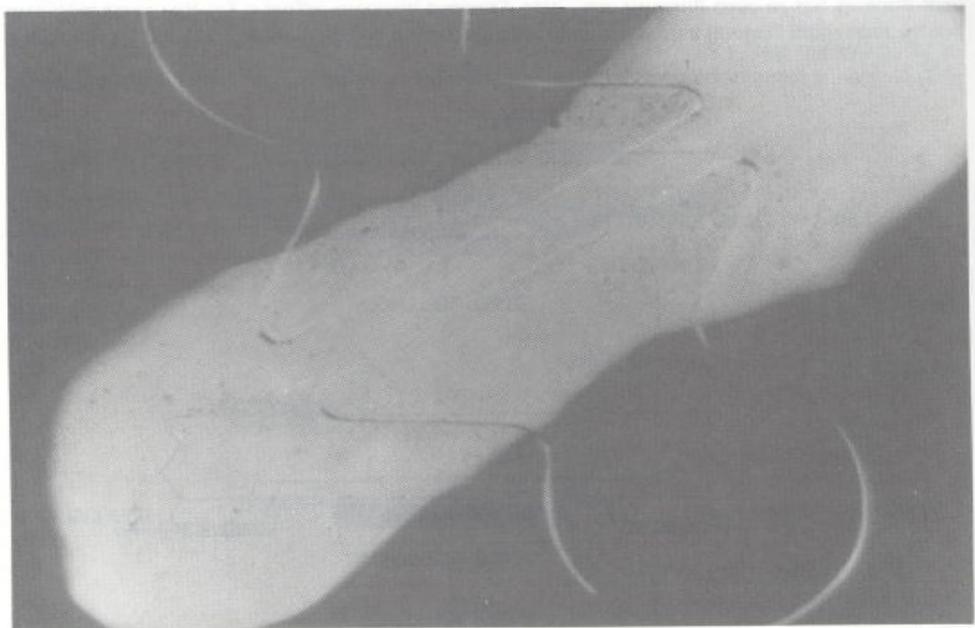


Figura 1.4 – MOSFET desenvolvido por Atalla e Kahng, com canal de 25 μm e óxido de porta de 100 \AA [2].

O MOSFET está presente em 90% dos circuitos integrados presentes no mercado, tornando-se um dos mais importantes dispositivos para aplicações do ULSI (*“ULTRA LARGE SCALE INTEGRATION”*) [1][2].

A estrutura MOSFET é caracterizada por apresentar interações entre o dispositivo e o substrato, o que intensifica os efeitos parasitários, destacando os efeitos capacitivos presentes nas junções (*“CAPACITANCES JUNCTION”*) [1][2].

Com a constante utilização da tecnologia MOSFET, surge em 1963, o conceito da tecnologia CMOS (*“COMPLEMENTARY MOSFET”*) desenvolvido por Wanlass e Sah [2]. Neste mesmo ano, a fim de eliminar os efeitos parasitários existentes no MOSFET é apresentada a tecnologia SOI MOSFET (*“SILICON-ON-INSULATOR”*), inicialmente desenvolvido sobre a Safira (*“SILICON-ON-SAPHIRE, SOS”*). Com características semelhantes ao MOSFET, a tecnologia SOI MOSFET diferencia-se da

convencional, por possuir uma camada de óxido enterrado, separando-se a região ativa do corpo do dispositivo e assim, eliminando ou reduzindo a ocorrência dos efeitos parasitários [1][2].

Logo em seguida, surge a tecnologia SOI CMOSFET, atualmente muito usada, pois possui um processo de fabricação similar ao MOSFET [1][2], agora utilizando-se também transistores de canal p.

Atualmente, utiliza-se o SOI MOSFET de camada fina, sabe-se que este dispositivo traz uma série de vantagens sobre o dispositivo de camada espessa, sendo uma das mais notáveis a inclinação de Sublimiar (S), que vale aproximadamente 60 mV/dec em temperatura ambiente, sendo estes dispositivos detalhados no capítulo posterior [1].

Com o sucesso da tecnologia SOI CMOSFET, utilizada em larga escala comercial, hoje se encontram diversos estudos de novos dispositivos com estruturas planares e não planares, conforme está apresentado na tabela 1.1 [1][3].

Tabela 1.1 - Evolução dos SOI MOSFETs [1].

ANO	1982	1984	1986	1988	1990	1992	1994	1996	1998	2000	2002	2004
1 PORTA	SOS MOSFET											
		PARCIALMENTE DEPLETADO SOI MOSFET								PRODUÇÃO COMERCIAL		
		TOTALMENTE DEPLETADO SOI MOSFET										
1 PORTA CONECTADA AO CORPO												
2 PORTAS												
3 PORTAS												
3+ PORTAS												
4 PORTAS												

Adaptado do Livro: Silicon-on-Insulator; Kluwer Academic Publisher; 2003

Como mais uma opção de transistores planares SOI MOSFET, esse trabalho tem por objetivo desenvolver o estudo da transcondutância (g_m) e da razão da

transcondutância em função da corrente de dreno normalizada pelo fator geométrico $\left[\frac{g_m}{I_{DS}} \times \frac{I_{DS}}{(W/L)} \right]$ do SOI nMOSFET planar de porta em anel circular, apresentado na figura 1.5. Este transistor é caracterizado por possuir a menor razão entre perímetro sobre área (P/A) e maior tensão Early (V_{EA}) em relação ao dispositivo convencional. Além disso, este dispositivo é assimétrico em relação à fonte e dreno, que o torna capaz de operar de duas formas distintas, ou seja, nas configurações de polarização de dreno externo (CDE) e na configuração de polarização de dreno interno (CDI) [4].

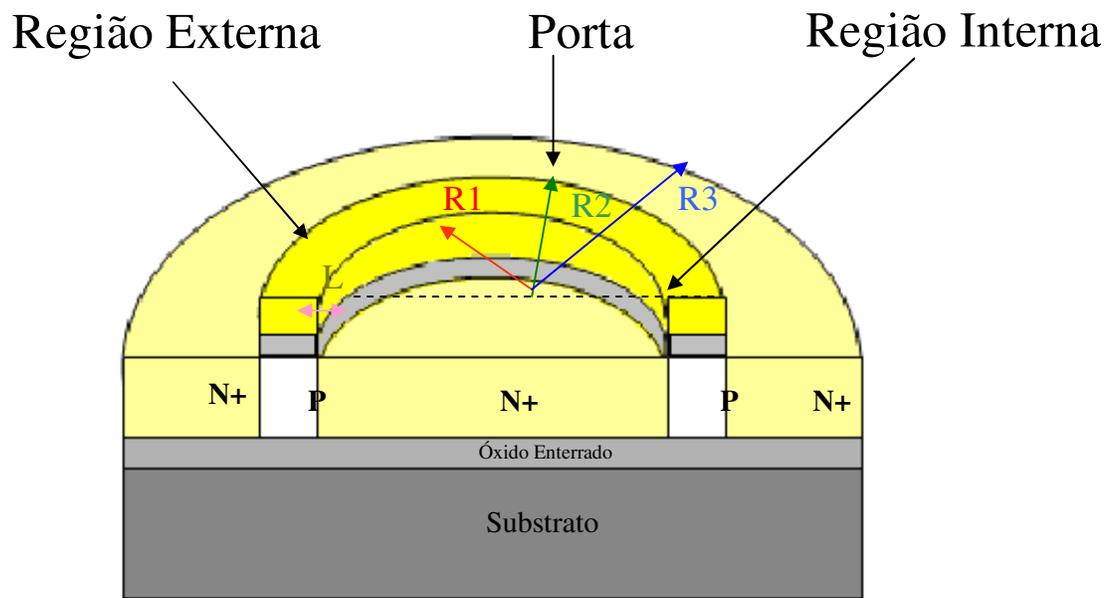


Figura 1.5 – Seção transversal do SOI nMOSFET de porta em anel circular.

Na figura 1.5, R1 é o raio que define a região interna do canal, R2 é o raio que define a região final do canal e R3 é o raio que define a região externa do canal. A largura de canal (L) é definida pela diferença entre os valores de R2 e R1 ($L=R2-R1$) [4].

A figura 1.6 apresenta uma representação do sentido da corrente, em uma fatia do SOI nMOSFET de porta em anel circular operando nas configurações de dreno

interno (figura 1.6.a), externo (figura 1.6.b) e convencional (figura 1.6.c), respectivamente.

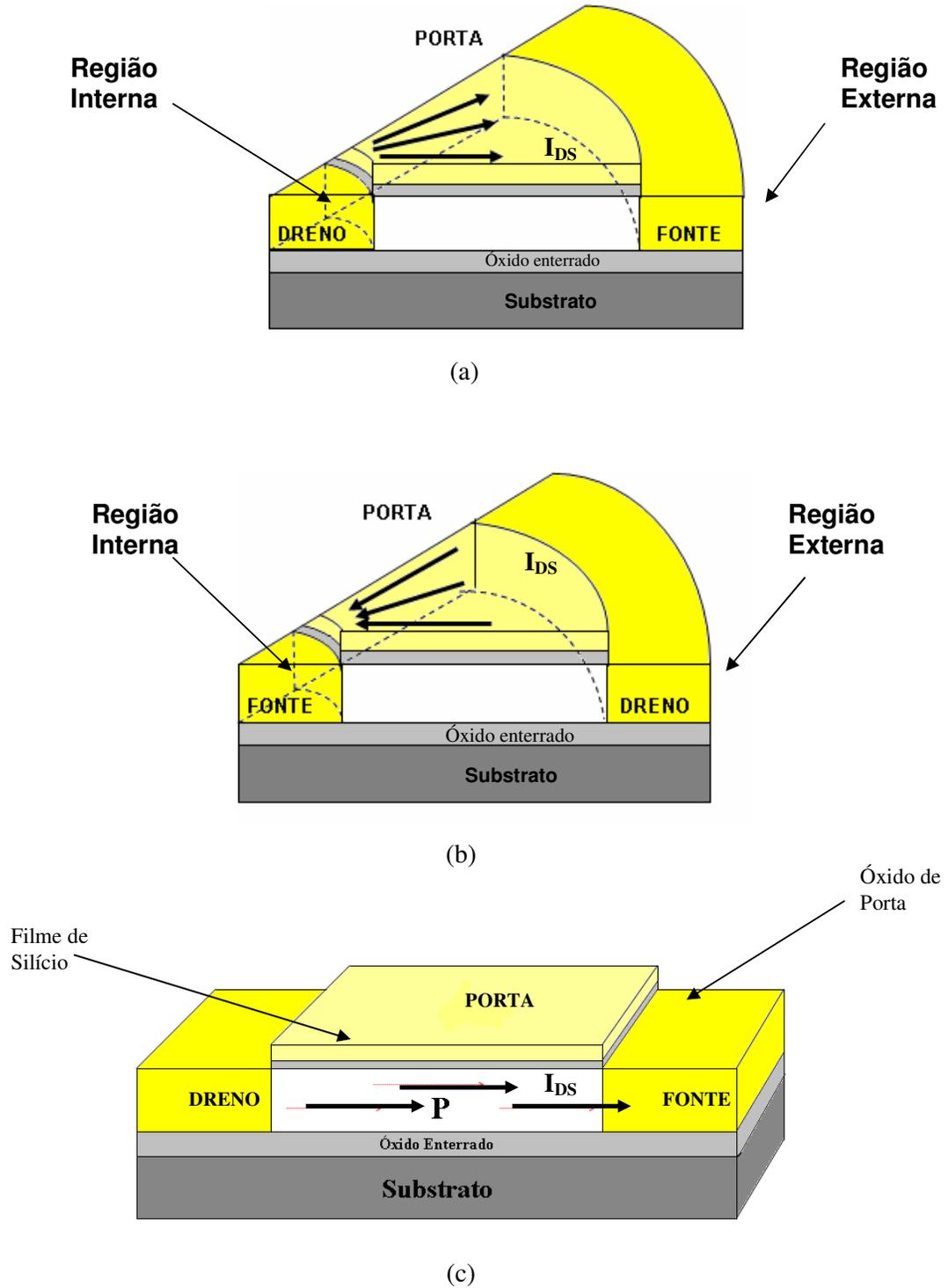


Figura 1.6 – Representação do sentido da corrente de dreno do SOI nMOSFET de porta em anel circular na configuração de dreno interno (a), de dreno externo (b) e do convencional (c).

O transistor de porta em anel circular (figuras 1.6.a e 1.6.b), diferencia-se do convencional (figura 1.6.c), pois apresentam um fluxo radial (em todas as direções) da corrente de dreno. Nota-se que SOI MOSFET circular operando na configuração de polarização de dreno interno, apresenta um fluxo de corrente divergente, para o circular operando na configuração de polarização de dreno externo, nota-se um fluxo de corrente convergente, já para o convencional apresenta um fluxo unidirecional [4].

A relação entre os fatores geométricos (f_g) dos SOI MOSFETs convencional e o de porta em anel circular, é dada pela equação (1.1) [4]:

$$f_g = \left(\frac{W}{L} \right)_{\text{Convencional}} = \left[\frac{2\pi}{\ln\left(\frac{R2}{R1}\right)} \right]_{\text{Circular}} \quad (1.1)$$

onde W é a largura do canal.

1.1 Objetivo e Estrutura do Trabalho

Este trabalho realiza o estudo comparativo entre o g_m e $\left[\frac{g_m}{I_{DS}} \times \frac{I_{DS}}{(W/L)} \right]$ entre SOI nMOSFETs convencional (porta retangular) e o SOI nMOSFET de porta em anel circular, operando nas duas configurações de polarização de dreno (interno e externo) .

Este trabalho de dissertação contém cinco capítulos que descrevem o estudo proposto onde, o **Capítulo 1** descreve um breve histórico sobre a microeletrônica e apresenta a motivação e os objetivos deste trabalho. O **Capítulo 2** contém uma descrição teórica inicial, descrevendo todos os conceitos básicos e necessários para o entendimento deste trabalho. O **Capítulo 3** apresenta o estudo experimental comparativo da transcondutância g_m e da razão da transcondutância sobre a corrente de dreno em função da corrente de dreno normalizada pelo fator geométrico $\left[\frac{g_m}{I_{DS}} \times \frac{I_{DS}}{(W/L)} \right]$, dos SOI nMOSFET convencional e o SOI nMOSFET de porta em anel circular, operando nas duas configurações de polarização (CDE e CDI). O **Capítulo 4** diz respeito às simulações numéricas tridimensionais, onde são descritos os modelos utilizados, seguido dos resultados obtidos por essas simulações, os quais, por sua vez, foram obtidos através do simulador ATLAS / TCAD da SILVACO, onde é feito o estudo comparativo da razão da transcondutância normalizada pela corrente de dreno em função da corrente de dreno normalizada pelo fator geométrico $\left[\frac{g_m}{I_{DS}} \times \frac{I_{DS}}{(W/L)} \right]$ entre os SOI nMOSFETs convencional e o de porta em anel circular operando com polarização de dreno externo e interno. No **Capítulo 5** são apresentadas as conclusões finais e as recomendações para novos estudos.

2 CONCEITOS FUNDAMENTAIS

A figura 2.1 apresenta a estrutura do SOI nMOSFET convencional, ressaltando-se as principais características construtivas.

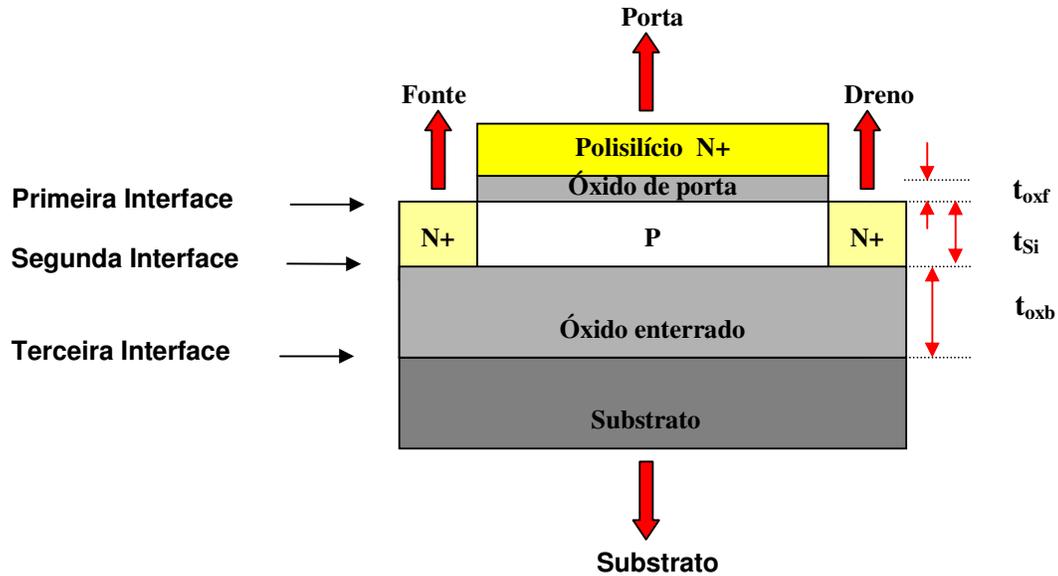


Figura 2.1 – Seção transversal de um SOI nMOSFET convencional.

Na figura 2.1, t_{oxf} é a espessura da camada de óxido de porta, t_{si} é a espessura da camada de silício e t_{oxb} é a espessura do óxido enterrado.

Pode-se observar que, este dispositivo possui quatro (4) terminais, sendo que os contatos de fonte e dreno são simétricos, ou seja, eles podem ser polarizados ou como fonte ou como dreno, além de possuir os contatos de porta e substrato que controlam o fluxo de corrente no canal na região ativa [1].

O comportamento dos SOI MOSFETs é dependente da espessura do óxido e da concentração de dopantes do silício, definidas no processo de fabricação. Além disso, a espessura da camada de silício sobre o óxido enterrado é quem determina o tipo de transistor construído, que pode ser de três tipos diferentes: os dispositivos de camada espessa (*Thick-Film*), os dispositivos de camada fina (*Thin-Film*) e os dispositivos de camada de espessura média (*Medium Thickness*) [1].

A figura 2.2 mostra os diagramas de faixas de energia de um MOSFET convencional do tipo n (figura 2.2.a), de um SOI MOSFET de camada espessa ou parcialmente depletado (*Partially-depleted - PD*) (figura 2.2.b) e de um SOI MOSFET de camada fina ou totalmente depletado (*Fully-depleted - FD*) (figura 2.2.c), todos com porta de polisilício do tipo p [1].

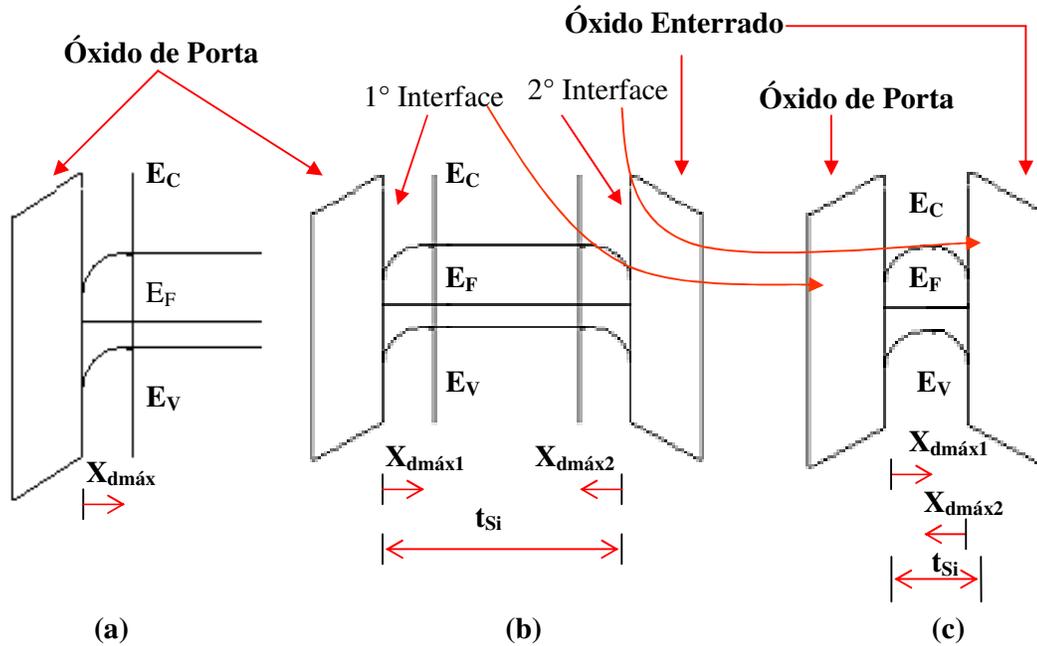


Figura 2.2 – Diagrama de faixas de energia para um nMOSFET convencional (a), parcialmente depletado (b) e totalmente depletado (c), com porta de polisilício do tipo p.

onde E_C é o nível de energia da faixa de condução, E_F é o nível de energia de Fermi, E_V é o nível de energia na faixa de valência, $X_{dm\acute{a}x}$ é a largura de depleção que é controlada pela porta no dispositivo convencional, $X_{dm\acute{a}x1}$ é a largura de depleção que é controlada pela porta e $X_{dm\acute{a}x2}$ é a largura de depleção que é controlada pelo substrato.

Na figura 2.2, o valor da distância máxima da região de depleção ($x_{dm\acute{a}x1}$) é dada pela equação 2.1 [1].

$$x_{dm\acute{a}x} = \sqrt{\frac{4\epsilon_{Si}\phi_F}{qN_a}} \quad (2.1)$$

onde ϵ_{Si} é permissividade do silício, q é a carga do elétron, N_a é a concentração de impurezas aceitadoras da camada de silício do tipo P e ϕ_F é o potencial de Fermi, que é dado pela expressão 2.2 [1].

$$\phi_F = \frac{kT}{q} \ln \frac{N_a}{n_i} \quad (2.2)$$

onde k é a constante de Boltzmann, T é a temperatura absoluta em Kelvin, e n_i é a concentração intrínseca do material.

A figura 2.2.b, apresenta o diagrama de faixas de energia de um dispositivo SOI nMOSFET parcialmente depletado (PDSOI), onde a espessura da camada de silício (t_{Si}) é maior que pelo menos duas vezes a distância máxima da região de depleção ($t_{\text{Si}} > x_{d_{\text{máx}1}} + x_{d_{\text{máx}2}}$) existentes na 1ª e 2ª interfaces. Note que não existem interações (sobreposições) das regiões de depleção e dessa forma este transistor se comporta como um dispositivo convencional. Este dispositivo sofre ação de diversos efeitos parasitários, tais como o aumento abrupto de corrente de saturação (*kink effect*) e efeito de canal curto (SCE) [1].

Os dispositivos de camada fina, apresentam uma espessura da camada de silício menor que a camada de depleção máxima ($t_{\text{Si}} < x_{d_{\text{máx}1}}$), dessa forma, existem interações entre as regiões de depleção da primeira e segunda interfaces. Este dispositivo apresenta melhores características elétricas, se comparado ao convencional e ao parcialmente depletado tais como: maior mobilidade, menor inclinação de sublimiar, maiores valores de transcondutância, menores valores de campos elétricos ao longo do canal e possui uma menor vulnerabilidade aos efeitos parasitários, tais como o efeito de aumento abrupto da corrente de saturação (Kink effect) e menor efeito de canal curto [1].

2.1 Tensão de Limiar.

A tensão de limiar (V_{TH}) do MOSFET, é a tensão que deve ser aplicada no contato da porta, para atrair os portadores minoritários do filme de silício, formando um canal de condução entre as regiões de fonte e dreno [5].

Nos SOI MOSFETs de camada espessa, não ocorrem interações entre as regiões de depleção e desta forma, estes transistores tornam-se semelhantes a um dispositivo MOSFET convencional, e sua tensão de limiar é dada pela expressão 2.3 [1].

$$V_{TH} = V_{FB} + 2\phi_F + \frac{qN_a x_{dmáx}}{C_{ox}}$$

(2.3)

onde V_{FB} é a tensão de faixa plana do MOSFET e C_{ox} é a capacitância do óxido de porta por unidade de área.

2.2 Corrente de Dreno

A curva da corrente de dreno do SOI nMOSFET é modelada em três regiões: corte, triodo e saturação. Descrevem-se as equações da corrente de dreno de primeira ordem para essas regiões da seguinte forma:

2.2.1 - **Região de Corte:** Quando $V_{GS} < V_{TH}$ ou $V_{GS} - V_{TH} < 0$, tem-se:

$$I_{DS} = 0 \quad (2.4)$$

2.2.2 - **Região de Triodo:** Quando $V_{GS} < V_{DS} - V_{TH}$, tem se:

$$I_{DS} = \beta_N [(V_{GS} - V_{TH})V_{DS} - \frac{nV_{DS}^2}{2}] \quad (2.5)$$

2.2.3 - **Região de Saturação:** Quando $V_{DS} \geq V_{GS} - V_{TH}$. tem se:

$$I_{DS} = \frac{1}{2n} \beta_N (V_{GS} - V_{TH})^2 \quad (2.6)$$

onde $\beta_N = \frac{\mu_N \cdot \epsilon_{ox}}{t_{ox}} \left(\frac{W}{L} \right)$, β_N é o fator de ganho do transistor nMOSFET, μ_N é a

mobilidade dos elétrons na camada de inversão, ϵ_{ox} é a permissividade do óxido de

silício e n é o fator de corpo que é dado por: $1 + \frac{C_D}{C_{ox}}$, sendo C_D a capacitância de

depleção, que é dada por $C_D = \frac{\epsilon_{si}}{X_{dmáx}}$.

O fator de corpo pode ser definido como $n = (1 + \alpha)$, sendo que α é definido como o acoplamento capacitivo [1].

Sabe-se que a capacitância do SOI MOSFET é dada por: $\frac{C_{si}}{C_{ox1}}$ para a segunda

interface em acumulação, $\frac{C_{si} C_{ox2}}{C_{ox1}(C_{si} + C_{ox2})}$ para a segunda interface em depleção e

$\alpha = \frac{C_{depl}}{C_{ox1}} = \frac{\epsilon_{si}}{X_{dmáx} C_{ox1}}$ para o transistor convencional, onde C_{si} é a capacitância de

depleção na camada de silício (região do canal). Portanto, pode-se concluir que:

$$\alpha_{\text{totalmente depletado}} < \alpha_{\text{convencional}} < \alpha_{\text{totalmente depletado segunda interface acumulada}}$$

Verifica-se que o acoplamento capacitivo é menor no transistor totalmente depletado, se comparado com o convencional e o totalmente depletado com a segunda interface acumulada, conseqüentemente o efeito de corpo também é menor, com isso, o transistor totalmente depletado possui maiores valores de corrente de dreno se comparado com os demais [1].

2.3 Região de Estrangulamento (*Pinch-off*) e Comprimento Efetivo de Canal

Considerando o canal formado, com uma tensão de porta maior que a tensão de limiar, verifica-se a formação do canal de condução. Ao aumentarmos o valor da tensão

de dreno (V_{DS}), o canal torna-se mais estreito e sua resistência aumenta correspondentemente, sendo que esta não terá mais um comportamento linear e será definida como região de triodo [6]. Com o acréscimo do valor da tensão de dreno, atingindo-se a região de saturação, ocorre a diminuição da profundidade do canal de condução próximo à região de dreno, criando o efeito do estrangulamento de canal. Após o canal estar estrangulado, o mesmo deslocará no sentido da região de fonte, se o potencial de dreno for aumentado [6].

A figura 2.3 apresenta o comportamento da região de estrangulamento para uma fatia de um SOI nMOSFET de porta em anel circular, operando na polarização de dreno externo (figura 2.3.a), para um SOI nMOSFET convencional (figura 2.3.b) e para um SOI nMOSFET de porta em anel circular operando na configuração de dreno interno (figura 2.3.c).

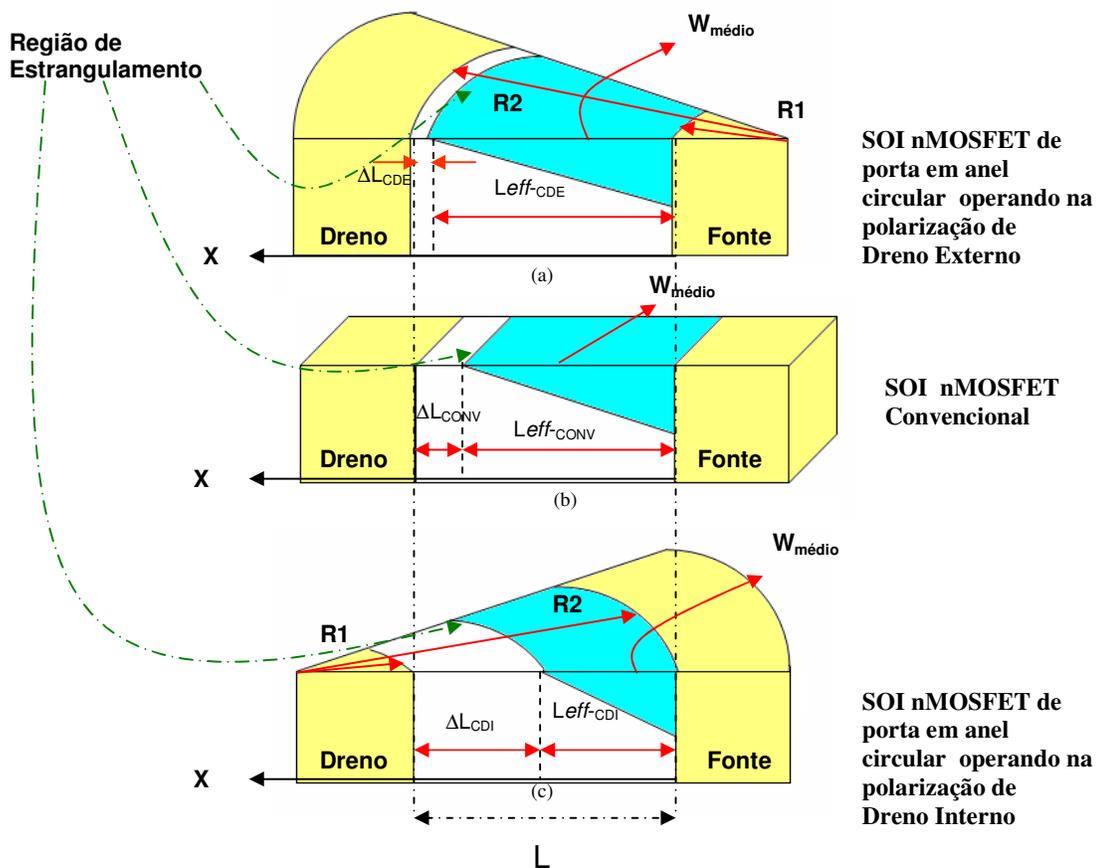


Figura 2.3 - Modulação de canal e comprimento efetivo do canal para uma fatia de um SOI nMOSFET de porta em anel circular na configuração de polarização de dreno externo (a), de um SOI nMOSFET convencional (b) e de um SOI nMOSFET de porta em anel circular operando na configuração de polarização de dreno interno (c), para as mesmas condições de polarização.

Na figura 2.3, ΔL_{CDE} , ΔL_{CONV} e ΔL_{CDI} são as distâncias entre a região de estrangulamento e a região de dreno nos SOI MOSFETs de porta em anel circular operando na configuração de dreno externo, convencional e o circular operando na configuração de dreno interno, respectivamente, $L_{eff-CDE}$, $L_{eff-CONV}$ e $L_{eff-CDI}$ são os comprimentos efetivos de canal dos SOI MOSFETs de porta em anel circular operando na configuração de dreno externo, do convencional e do circular operando na configuração de dreno interno, respectivamente e a largura média de canal ($W_{médio}$) é dado por :

$$W_{médio} = 2\pi \left(\frac{R1 + R2}{2} \right) \cdot \frac{\theta}{360^\circ} \quad (2.7)$$

onde θ é o ângulo da fatia de um SOI nMOSFET de porta em anel circular

Para as mesmas condições de polarização e considerando que o SOI nMOSFETs de porta em anel circular apresente as mesmas dimensões que o convencional, verifica-se que o comprimento efetivo de canal (L_{eff}) é obtido através da equação 2.8.

$$L_{eff} = L - \Delta L \quad (2.8)$$

onde L é o comprimento de canal e ΔL é o distanciamento da região de estrangulamento em relação a região de dreno.

A figura 2.3 mostra que o SOI MOSFET de porta em anel circular na configuração de dreno externo (CDE), apresenta um menor distanciamento da região de estrangulamento em relação à região de dreno se comparada com o convencional e se comparado também com o circular na configuração de polarização de dreno interno (CDI), portanto, o comprimento efetivo de canal (L_{eff}) do SOI nMOSFET do CDE é maior que o convencional, que por sua vez é maior que o SOI nMOSFET CDI e conseqüentemente é menos afetado pelo efeito da modulação do canal pela tensão de dreno V_{DS} [7].

2.4 Transcondutância

A transcondutância (g_m) de um SOI MOSFET é a medida da efetividade do controle da corrente de dreno pela tensão de porta. Determina-se o valor da transcondutância na região de saturação, derivando-se a equação da corrente de dreno (I_{DS}) em relação ao potencial de porta (V_{GS}), conforme a equação (2.9) [1].

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = \frac{\mu C_{ox} W}{(1 + \alpha)L} (V_{GS} - V_{TH}) \quad , \text{ para } (V_{DS} > V_{DSsat}) \quad (2.9)$$

onde V_{DSsat} é a tensão de dreno de saturação ($= V_{GS} - V_{TH}$), μ é a mobilidade dos portadores (elétrons/lacunas) no canal.

2.5 Ganho de tensão de um amplificador de transcondutância de um único transistor

Considerando-se um amplificador de transcondutância contendo um único transistor que está ligado a uma carga capacitiva (C_L), conforme é mostrado na figura 2.4, o ganho de tensão (A_v) é determinado através da equação (2.10) [7].

$$A_v = \frac{g_m}{I_{DS}} V_{EA} \quad (2.10)$$

onde V_{EA} é a tensão Early do transistor.

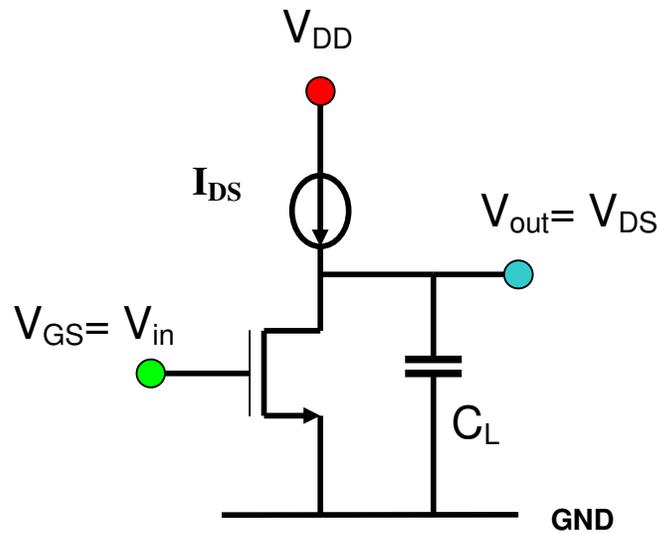


Figura 2.4 – Esquema elétrico de um amplificador de transcondutância contendo um único SOI nMOSFET.

Na figura 2.4, V_{in} é a tensão de entrada, que é igual a tensão de porta (V_{GS}), V_{out} é a tensão de saída, que é igual a V_{DS} e V_{DD} é tensão de alimentação.

De acordo com a equação (2.10), nota-se que o ganho de tensão é diretamente proporcional à transcondutância e a tensão Early é inversamente proporcional à corrente de dreno ($\frac{g_m}{I_{DS}} V_{EA}$). A tensão Early está diretamente ligada à posição da região de estrangulamento do canal (*Pinch-off*) e conseqüentemente relacionada com o comprimento efetivo do canal (*channel modulation effect*). Sabe-se que, para uma dada tecnologia, podem-se alcançar maiores valores de V_{EA} , usando-se dispositivos de comprimentos de canal longos e isentos de efeitos de canal curto. Podem-se alcançar, também, maiores valores de ganho de tensão, através da utilização de SOI nMOSFET com porta em anel circular em configuração de polarização de dreno externo, pois este dispositivo apresenta maiores valores de tensão Early (V_{EA}), se comparado com o SOI MOSFETs convencional e o de porta em anel circular, operando na configuração de polarização de dreno interno [7].

2.6 A razão da transcondutância pela corrente de dreno em função da corrente de dreno normalizada em função do fator geométrico.

Uma das metodologias de desenvolvimento de projetos de circuitos integrados analógicos é baseada na curva dada pela razão da transcondutância sobre a corrente de dreno em função da corrente de dreno normalizada pelo fator geométrico de um transistor. Esta metodologia consiste em um tratamento unificado para todas as regiões de operação dos SOI MOSFETs, especialmente na utilização da região de inversão fraca, para produzir amplificadores com alto valores de ganho de tensão ou a utilização da região de inversão forte para implementar amplificadores com altos valores de resposta em frequência (velocidade) ou ainda é utilizada a região de inversão moderada para gerar amplificadores com um bom compromisso entre ganho de tensão e resposta em frequência. Essa metodologia é recomendada para circuitos integrados analógicos com características de baixo consumo de potência e baixa tensão (low-power, low-voltage). Além disso, esta figura de mérito apresenta uma característica universal para todos os SOI MOSFET do tipo n e p para uma determinada tecnologia. Essa figura de

mérito de $\left[\frac{g_m}{I_{DS}} \times \frac{I_{DS}}{(W/L)} \right]$ não depende das dimensões dos dispositivos [8][9].

A figura 2.5 apresenta um exemplo de curvas experimentais de $\left[\frac{g_m}{I_{DS}} \times \frac{I_{DS}}{(W/L)} \right]$ dos SOI nMOSFETs de porta em anel circular operando nas configurações de dreno externo e interno para $V_{DS}=110$ mV.

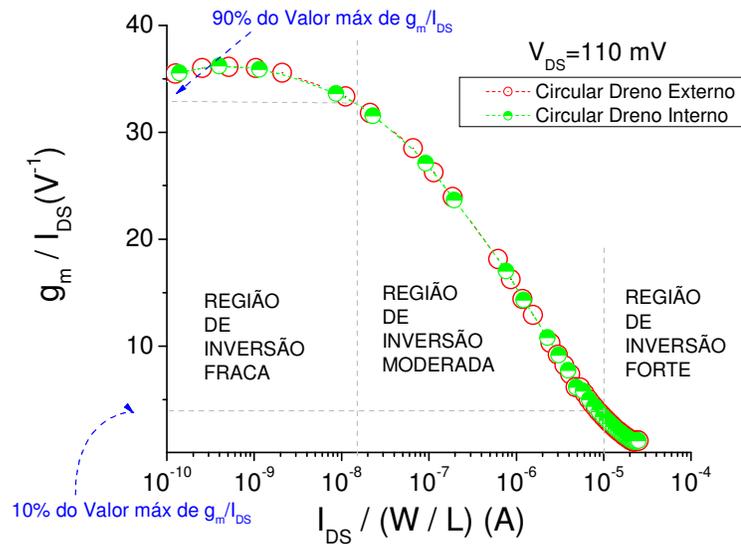


Figura 2.5 - Exemplo de curvas experimentais extraídas dos SOI MOSFETs circular operando nas duas configurações de dreno (externo e interno).

Determinou-se os limites das regiões de inversão fraca e forte, através dos critérios de 90% do valor máximo de $\left(\frac{g_m}{I_{DS}}\right)$ e 10% do valor máximo, respectivamente, sendo que, a região de inversão moderada é determinada pela região entre as regiões de inversão fraca e forte [8][9].

2.7 Resistência série

As resistências série de fonte (R_S) e dreno (R_D), são inerentes aos transistores SOI MOSFET, assim como a resistência do canal (R_{ch}), como mostra a figura 2.6 [10][11][12][13].

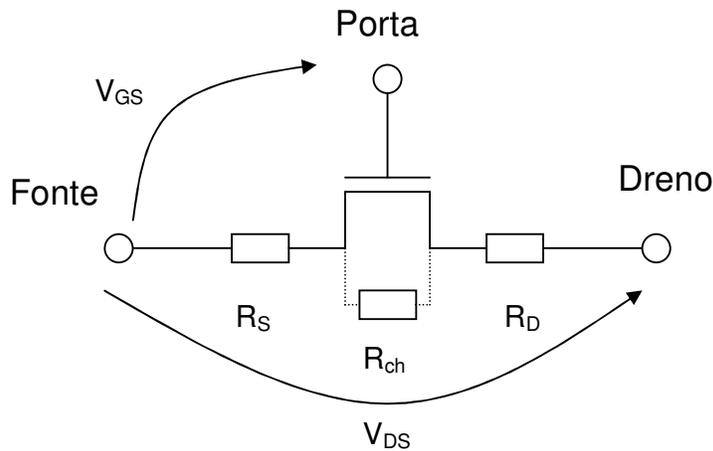


Figura 2.6 – SOI MOSFET com as resistências série parasitária de fonte, dreno e do canal.

A resistência série equivalente entre fonte e dreno, é formada pela soma das duas resistências parasitárias de fonte e dreno ($R_{série} = R_S + R_D$) e pela resistência de canal (R_{ch}). As resistências série entre fonte e dreno, interferem diretamente no valor da corrente de dreno. Observa-se que, para baixos valores de tensão de dreno e altos valores de tensão de porta, a resistência série é igual ao valor da resistência de dreno mais a resistência de fonte ($R_{série} = R_S + R_D$), sendo que a resistência de canal torna-se praticamente desprezível, face aos valores das resistências de fonte e dreno [10][11][12][13].

2.8. Efeito do transistor bipolar parasitário (*Single Transistor Latch-Up*)

O efeito do transistor bipolar parasitário, neste texto também é representado pela sigla (TBP), pode ser observado nos transistores parcialmente depletados e nos totalmente depletados, com a segunda interface acumulada [1].

Ao polarizarmos o transistor, neste caso do tipo n, sendo a tensão de dreno suficientemente alta, a ionização por impacto pode ocorrer na região de sublimiar, mesmo com baixos valores de corrente de dreno. Os portadores de carga do canal adquirem uma maior quantidade de energia, e chocam-se com a rede cristalina, gerando pares elétrons lacunas, sendo que os portadores majoritários (lacunas) buscam a região de menor potencial conforme a figura 2.7, com isso ocorre um aumento de potencial e

consequentemente a diminuição da tensão de limiar [1]. Caso os portadores minoritários (elétrons) tenham um tempo de vida suficiente, o transistor bipolar parasitário presente na estrutura do SOI nMOSFET amplifica a corrente de base, com isso, ocorre um incremento abrupto na corrente de dreno e uma diminuição abrupta da inclinação de sublimiar (0 V/dec) [1][14][15][16].

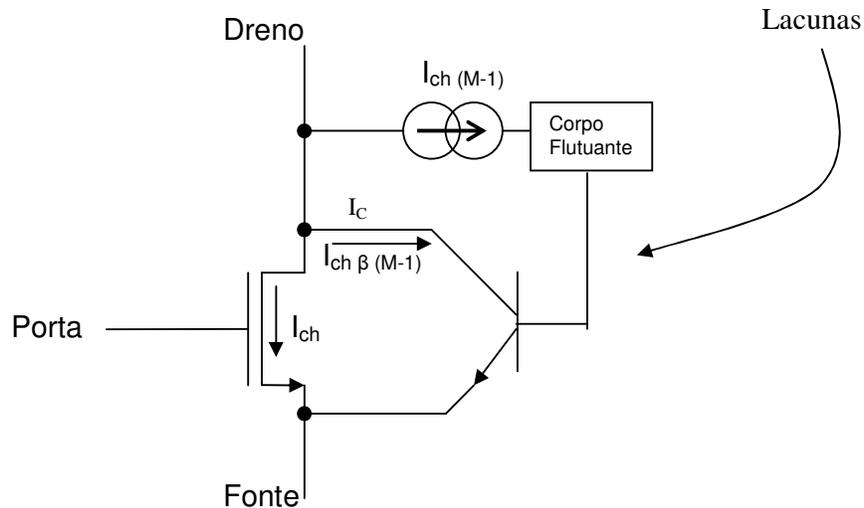


Figura 2.7 – Efeito do Transistor bipolar parasitário nos SOI MOSFET [1].

A figura 2.8, apresenta uma ilustração do efeito do transistor bipolar parasitário [1].

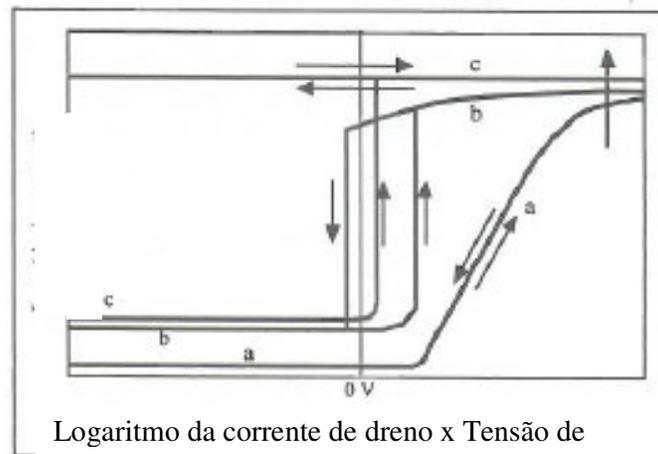


Figura 2.8 - Ilustração do efeito do transistor bipolar parasitário. Inclinação de sublimiar normal (a), inclinação infinita de sublimiar e histerese (b) e *Latch-up* do transistor(c) [1] .

A figura 2.8.a mostra que, para baixos valores de dreno ocorre um comportamento normal da inclinação de sublimiar e ao incrementar-se a tensão de dreno, ocorre o efeito da ionização por impacto, próxima do dreno, aumentando o potencial e diminuindo a tensão de limiar. Isso ocorre devido, a realimentação positiva gerar um acréscimo abrupto do valor de corrente de dreno, formando-se a curva de histerese do TBP, conforme apresentado na figura 2.8.b. Incrementando-se ainda mais a tensão de dreno, após o disparo do transistor bipolar parasitário, a realimentação positiva retarda o desligamento do TBP, conforme mostra a figura 2.8.c [1].

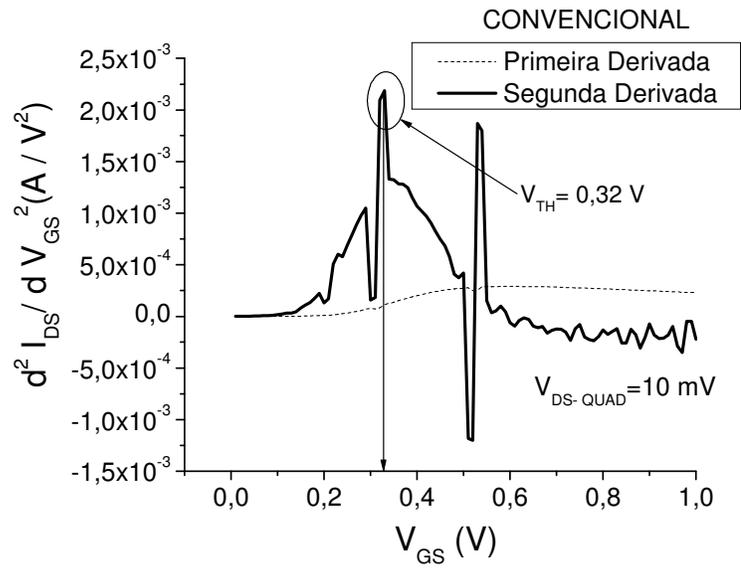
3 RESULTADOS EXPERIMENTAIS

Neste capítulo são apresentados os resultados obtidos experimentalmente da transcondutância em função da sobretensão de porta ($g_m \times V_{GT}$) e da razão da transcondutância sobre a corrente de dreno em função da corrente de dreno normalizada pelo fator geométrico $\left(\frac{g_m}{I_{DS}} \times \frac{I_{DS}}{(W/L)} \right)$, obtidos dos SOI nMOSFETs convencional e de porta em anel circular, para ambas as condições de polarização de dreno interno e externo utilizando-se a tecnologia de 0,13 μm do IMEC, Bélgica. As medidas experimentais foram realizadas no laboratório de Microeletrônica do Centro Universitário da FEI.

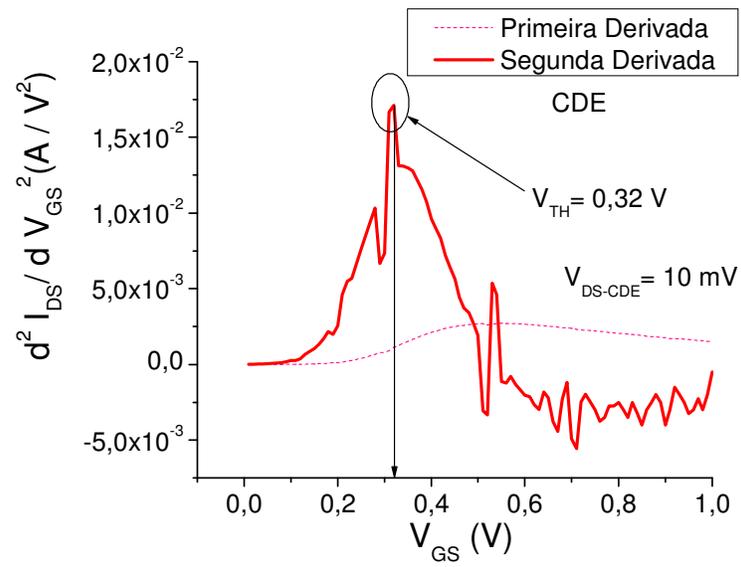
Os SOI nMOSFETs convencional e o de porta em anel circular utilizados apresentam as seguintes características construtivas: 400 nm de espessura de óxido enterrado ($t_{\text{oxb}}=400$ nm), 100 nm de espessura da camada de silício ($t_{\text{si}}=100$ nm), 2,5 nm de espessura do óxido de porta ($t_{\text{oxf}}=2,5$ nm), $5,5 \times 10^{17} \text{ cm}^{-3}$ de concentração de impurezas no canal ($N_a= 5,5 \times 10^{17} \text{ cm}^{-3}$), $1 \times 10^{20} \text{ cm}^{-3}$ de concentração de impurezas nas regiões de dreno/fonte ($N_{\text{DRAIN/SOURCE}}=1 \times 10^{20} \text{ cm}^{-3}$). Os SOI nMOSFETs convencional e o de porta em anel circular apresentam um comprimento de canal (L) de 1 μm , e as larguras de canal (W) são de 10 e 100 μm , respectivamente.

Primeiramente, baseando-se no método de extração da segunda derivada da curva ($I_{DS} \times V_{GS}$), determinou-se o valor da tensão de limiar (V_{TH}). Para estes transistores utilizou-se valores de tensão de dreno de 10 mV [17].

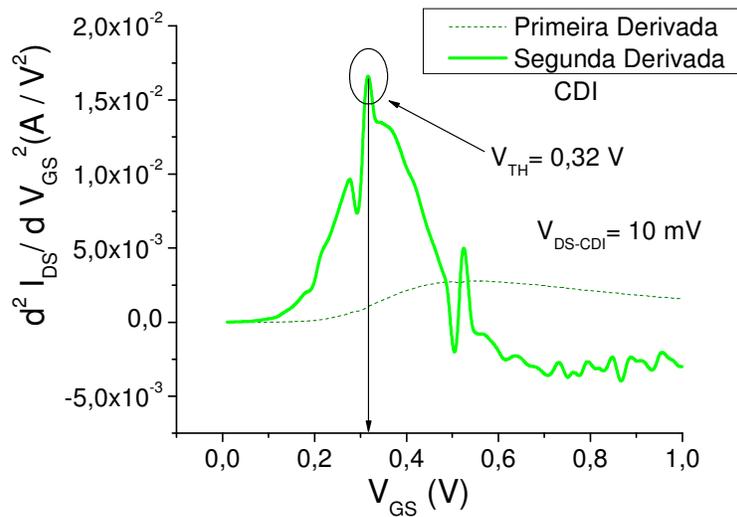
A figura 3.1, apresenta as curvas da segunda derivada de ($I_{DS} \times V_{GS}$) do SOI nMOSFET convencional (figura 3.1.a), do SOI nMOSFET de porta em anel circular operando na configuração de dreno externo (Figura 3.1.b) e do porta em anel circular operando na configuração de dreno interno (figura 3.1.c).



(a)



(b)



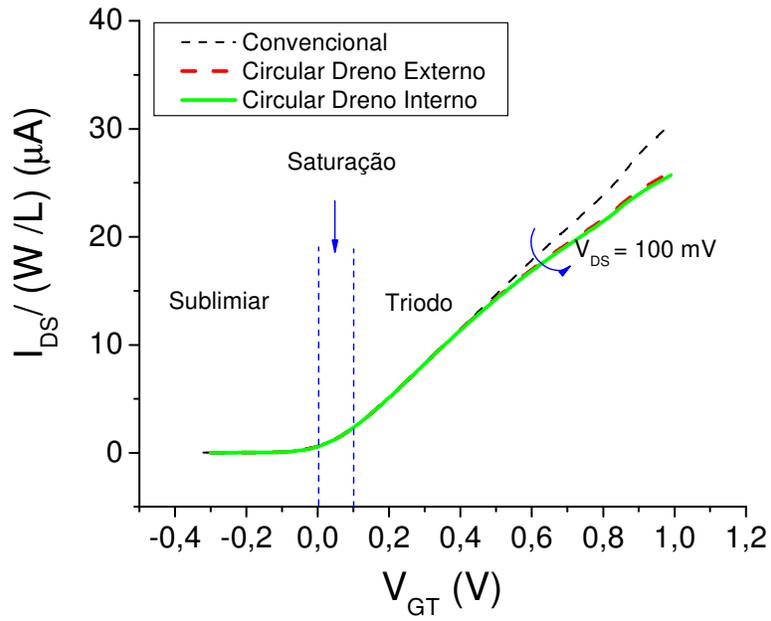
(c)

Figura 3.1 - Curvas para determinação da tensão de limiar para o SOI nMOSFET convencional (a), SOI nMOSFET de porta em anel circular na configuração de dreno externo (b) e na configuração de dreno interno (c), respectivamente.

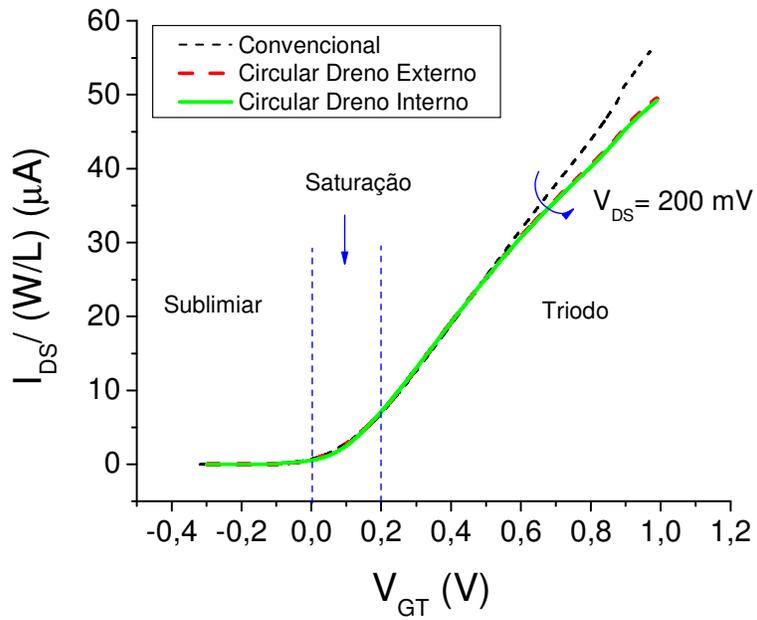
Pode-se verificar que o SOI nMOSFET convencional e o de porta em anel circular, operando em ambas as configurações de dreno externo e interno (CDE e CDI), apresentaram os mesmos valores de tensão de limiar.

3.1 Curvas da corrente de dreno normalizadas pela razão de aspecto em função da sobretensão de porta

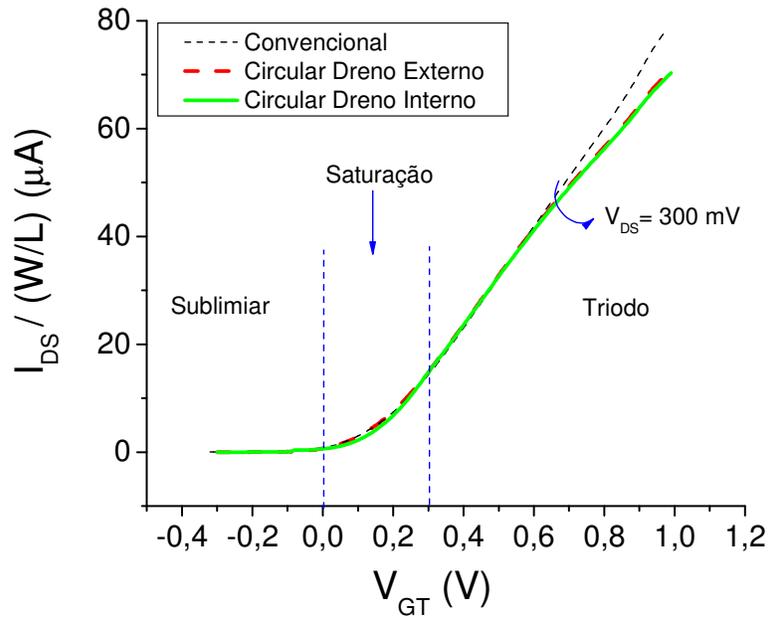
A figura 3.2 apresenta as curvas de $(I_{DS} \times V_{GT})$ dos SOI nMOSFETs convencional e de porta em anel circular operando nas configurações de polarização de dreno externo e interno, para diferentes valores de V_{DS} [de 100 mV (3.2.a) até 1000 mV (3.2.j)].



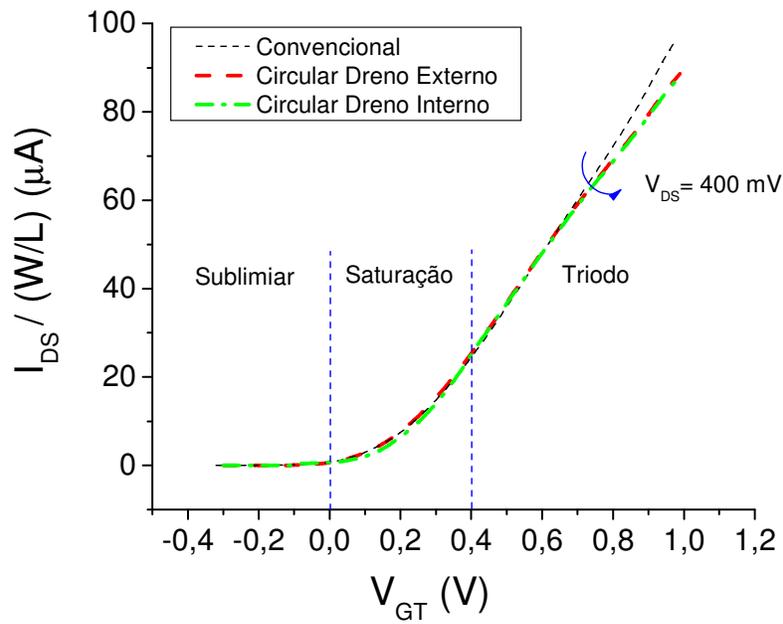
(a)



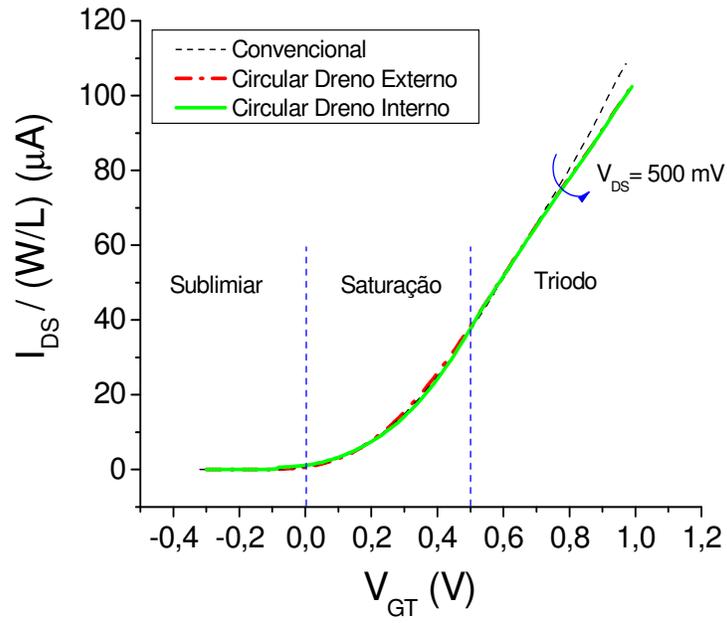
(b)



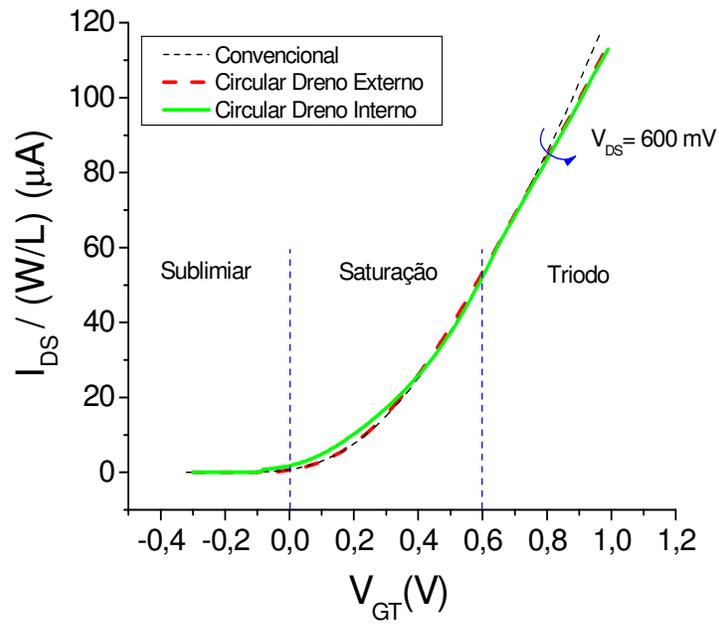
(c)



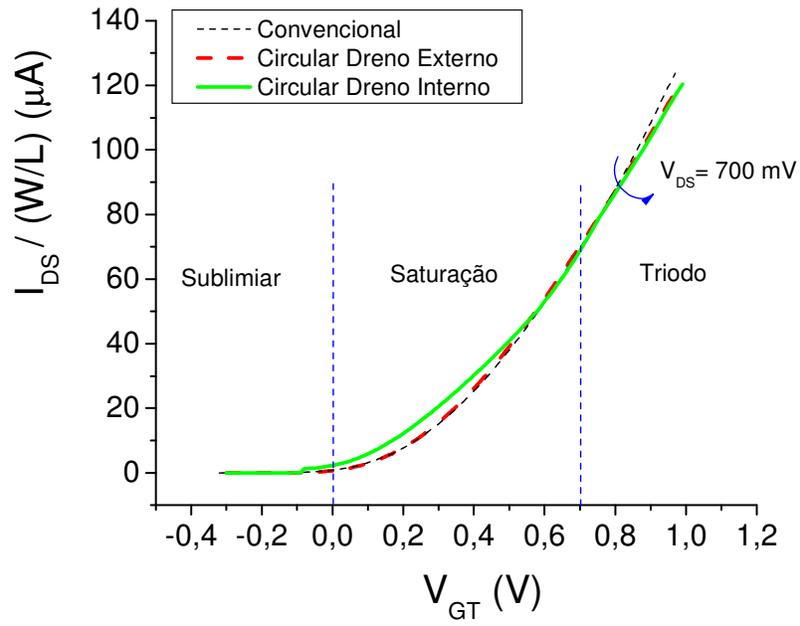
(d)



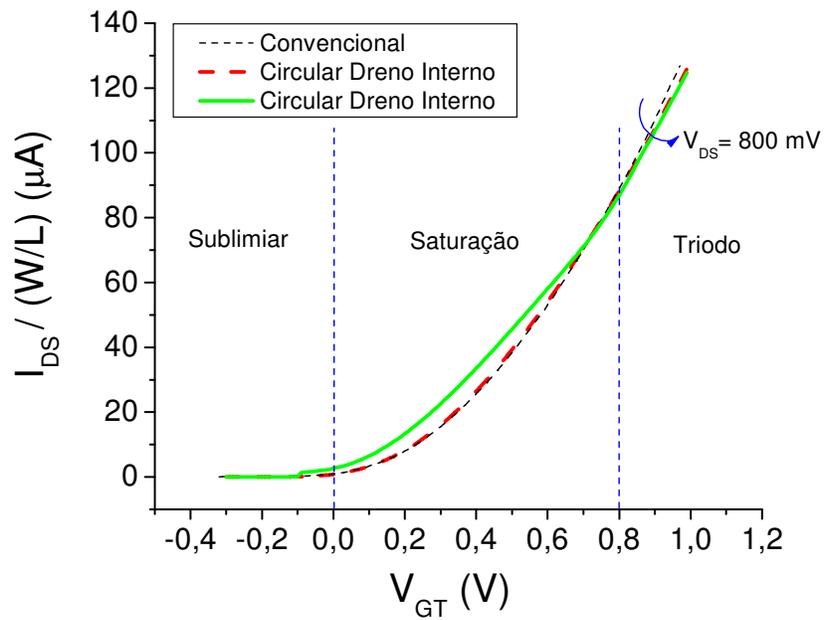
(e)



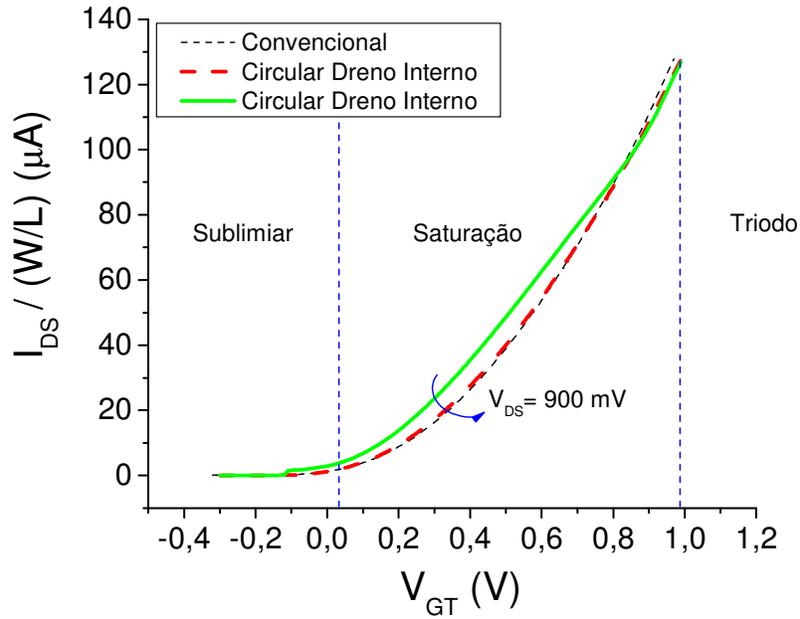
(f)



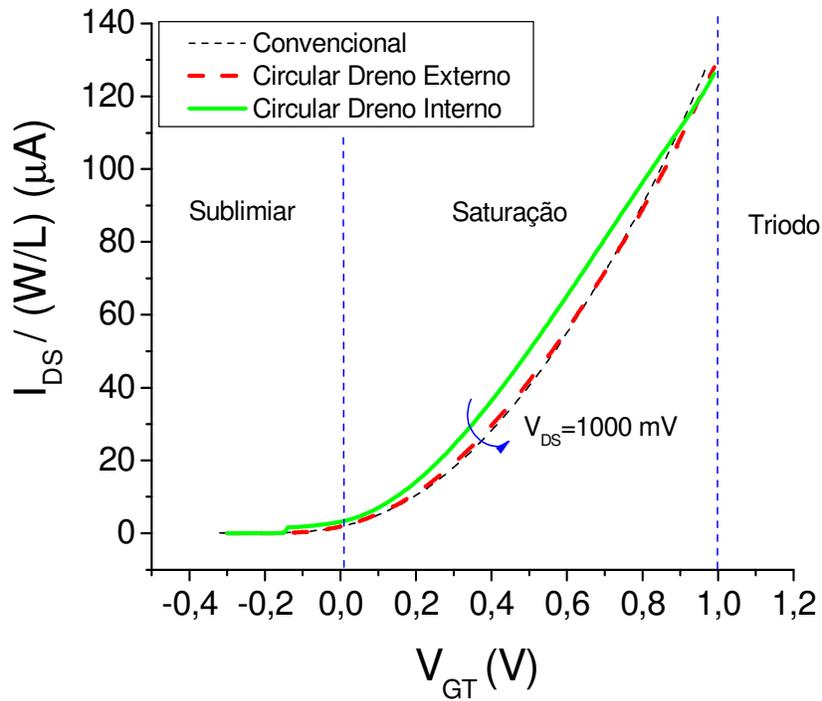
(g)



(h)



(i)



(j)

Figura 3.2 - Curvas $\left[\frac{I_{DS}}{(W/L)} \times V_{GT} \right]$ dos SOI nMOSFET convencional e dos SOI nMOSFET de porta em anel circular operando nas configurações de polarizações de dreno externo e interno,

respectivamente, para diferentes valores de V_{DS} [100 mV (a), 200 mV (b), 300 mV (c), 400 mV (d), 500 mV (e), 600mV (f), 700 mV (g), 800mV (h), 900 mV (i) e 1000 mV (j)].

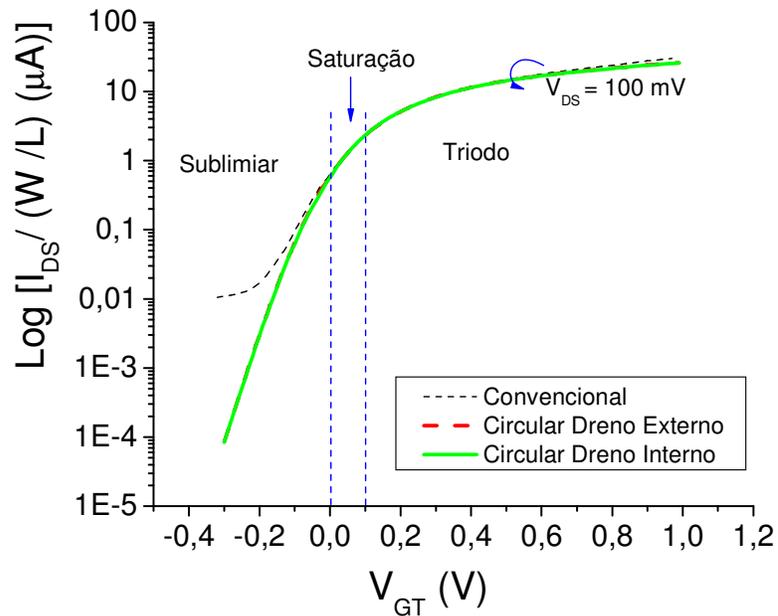
Analisando os gráficos de $\left[\frac{I_{DS}}{(W/L)} x V_{GT} \right]$ apresentados na figura 3.2, nota-se

que para o valor de tensão de dreno de 100 mV, ocorre um comportamento semelhante para os SOI nMOSFET convencional e o de porta em anel circular operando nas configurações de dreno externo e interno. A partir do valor de $V_{DS} = 200$ mV, a corrente de dreno do SOI nMOSFET de porta em anel circular, operando na configuração de dreno interno é maior que a do circular operando na configuração de dreno externo e também que a do convencional. Adicionalmente, verifica-se que o comportamento do transistor circular operando na configuração de dreno externo e do convencional são similares.

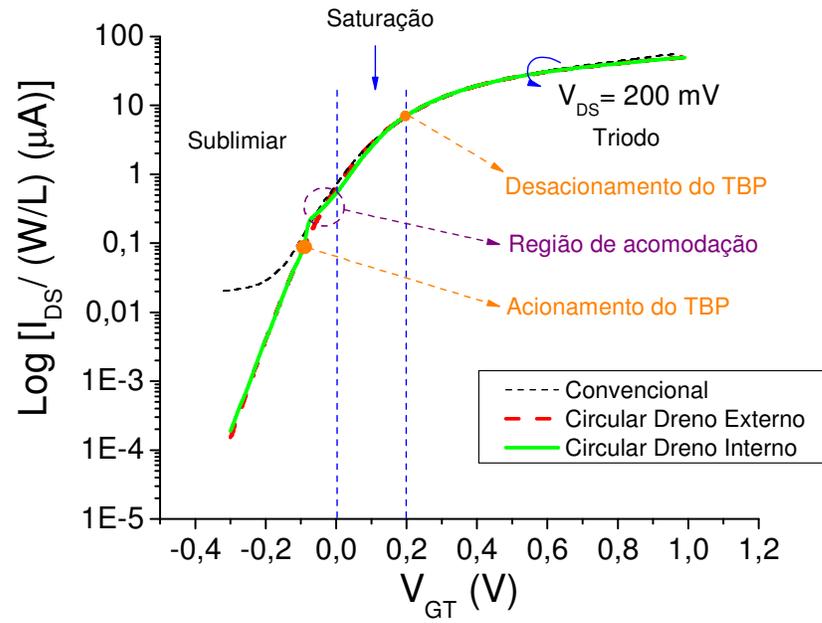
Buscando-se identificar o aumento no valor da corrente de dreno nos SOI nMOSFET de porta em anel circular, operando na configuração de dreno interno, na região de sublimiar, para maiores valores de $V_{DS}=100$ mV, foram investigadas as curvas

do logarítmico de $\left[\frac{I_{DS}}{(W/L)} x V_{GT} \right]$, conforme estão apresentados nas figuras de 3.3.a

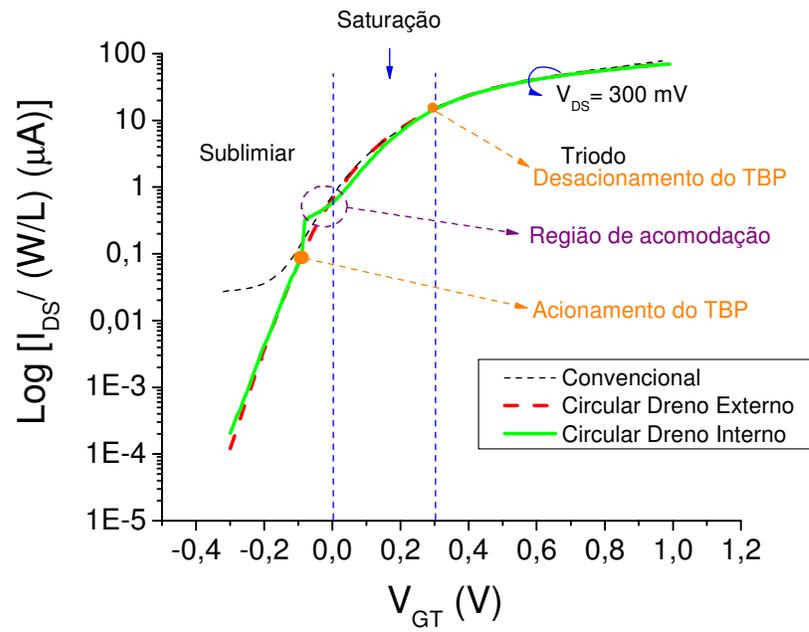
até 3.3.j.



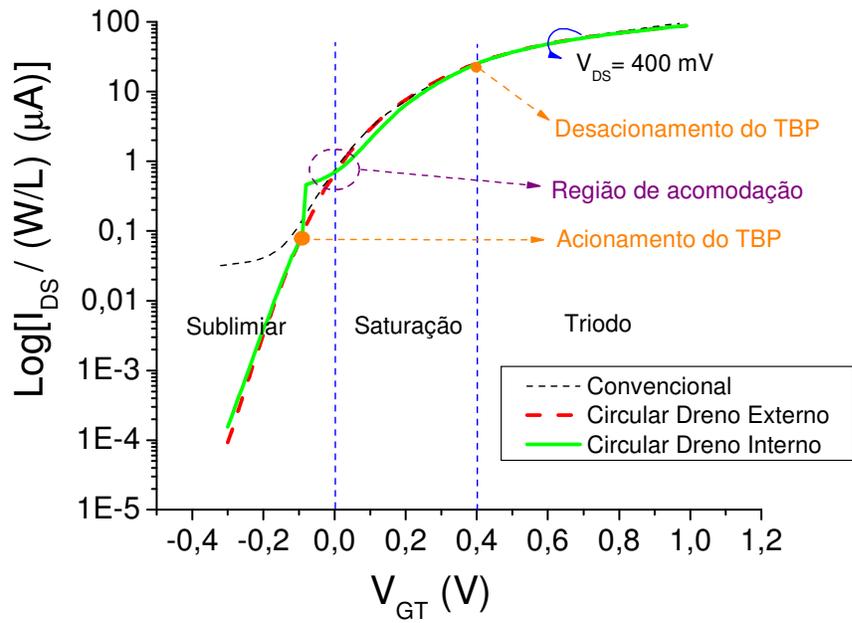
(a)



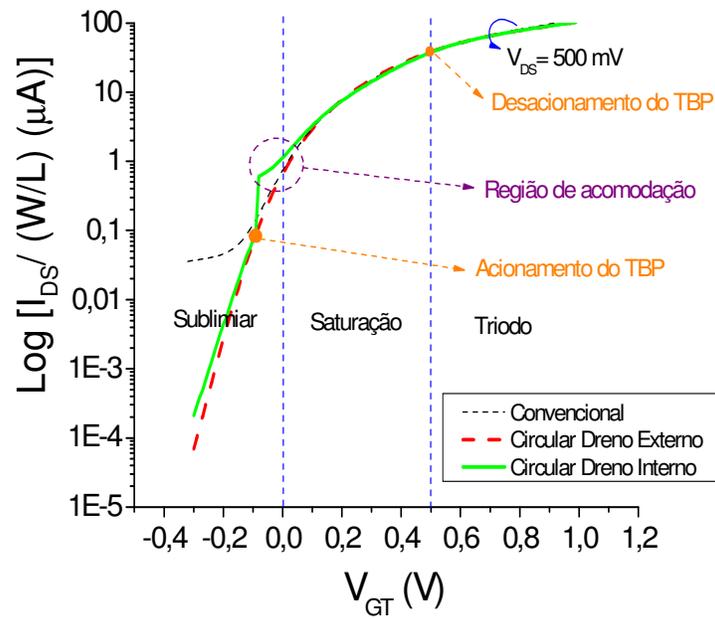
(b)



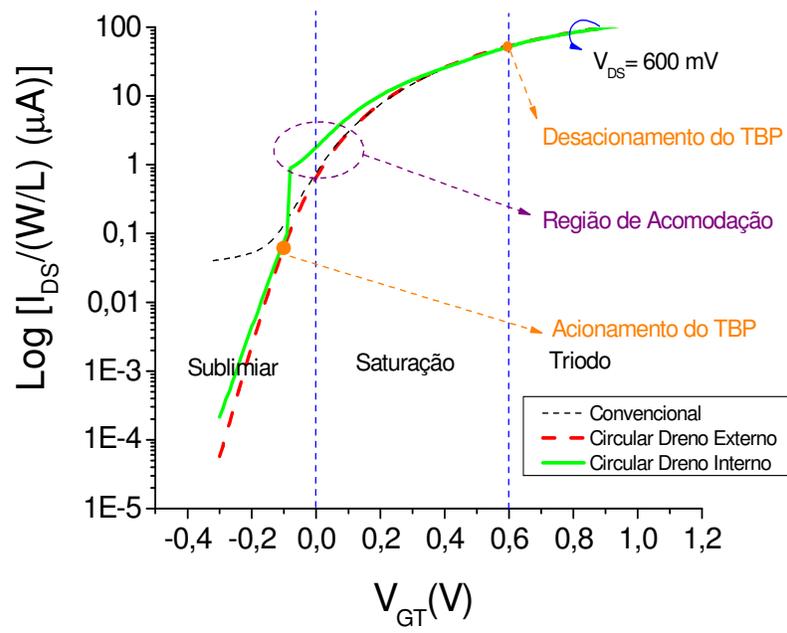
(c)



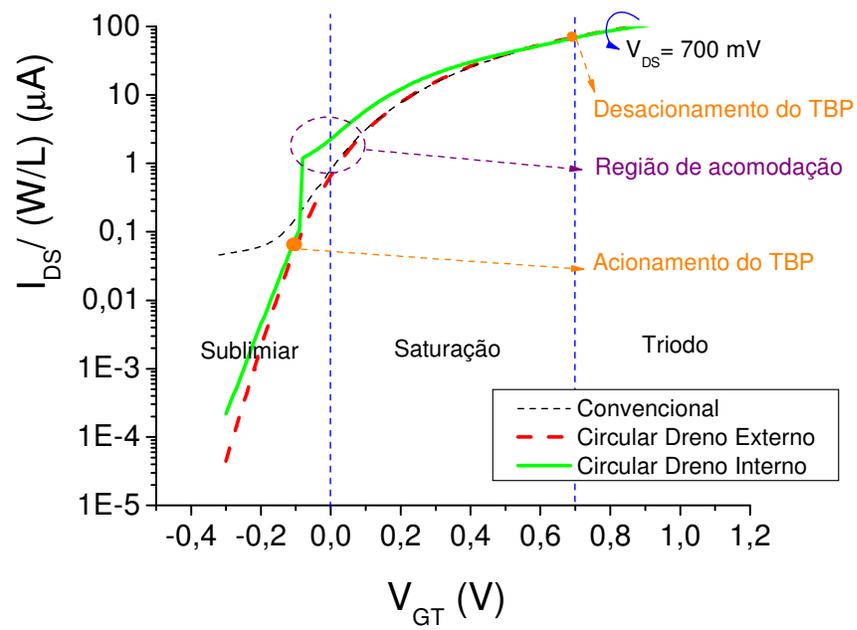
(d)



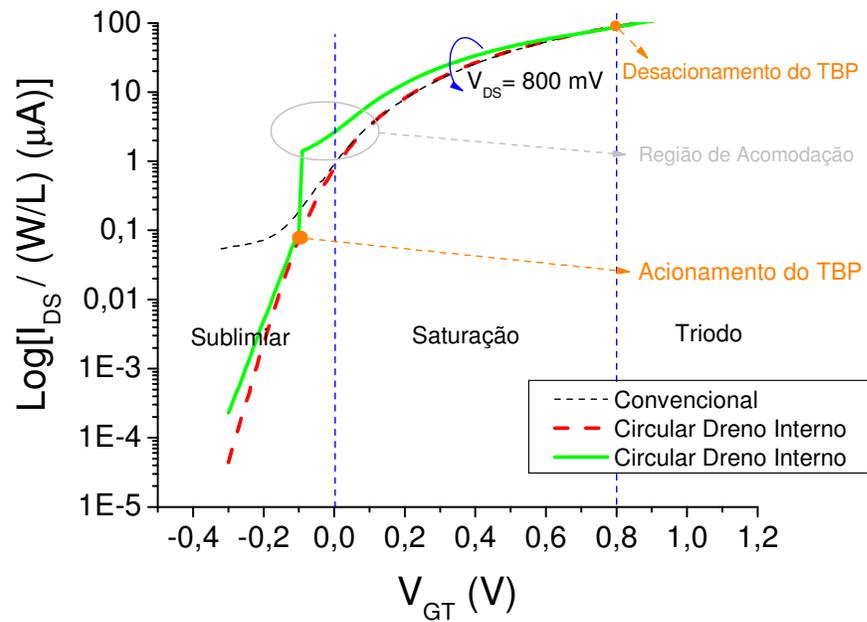
(e)



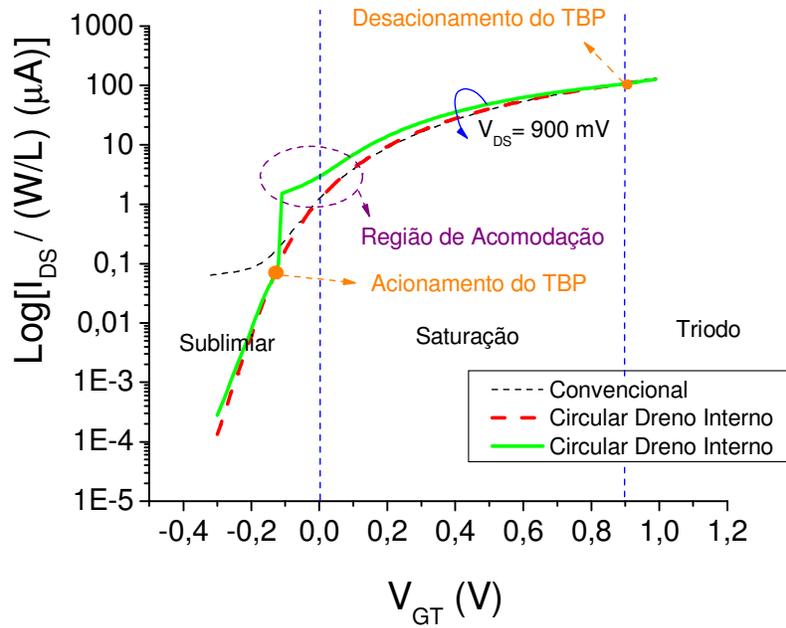
(f)



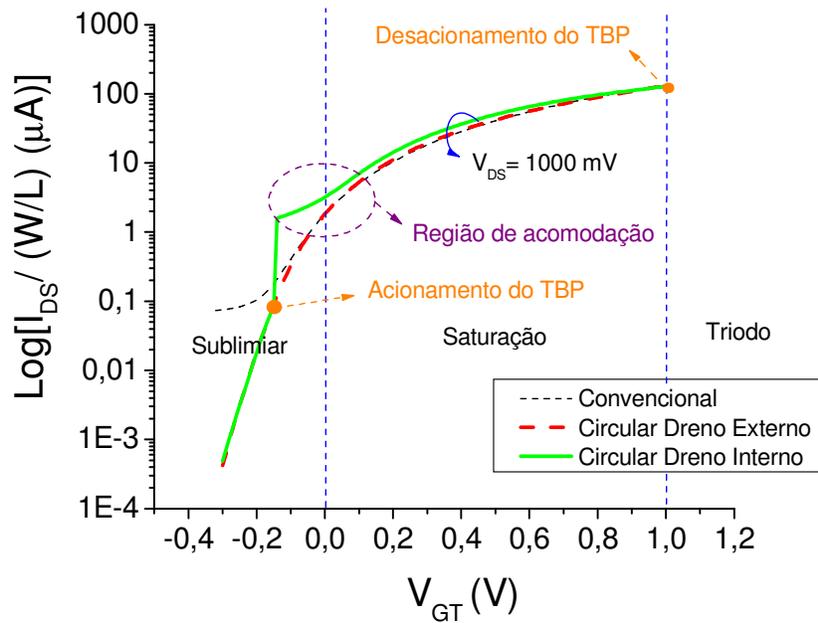
(g)



(h)



(i)



(j)

Figura 3.3 - Curvas do logaritmo (Log) de $\left[\frac{I_{DS}}{(W/L)} \times V_{GT} \right]$ dos SOI nMOSFET convencional e dos

SOI nMOSFET de porta em anel circular operando nas configurações de polarizações de dreno externo e interno, para diferentes valores de V_{DS} [100 mV (a), 200 mV (b), 300 mV (c), 400 mV (d), 500 mV (e), 600mV (f), 700 mV (g), 800mV (h), 900 mV (i) e 1000 mV (j)].

Observou-se que, o SOI nMOSFET de porta em anel circular não apresenta o efeito do aumento abrupto da corrente de dreno para V_{DS} igual a 100 mV, sendo que para valores maiores que 200 mV, nota-se o aumento abrupto da corrente de dreno, também denominado como o efeito do transistor bipolar parasitário (“*single transistor latchup*”), também representado pelas sigla TBP [1]. A tabela 3.1 apresenta as características do efeito do transistor bipolar parasitário para o SOI nMOSFET de porta em anel circular operando na configuração de dreno interno, para diferentes valores de V_{DS} .

Tabela 3.1 – Características do efeito do transistor bipolar parasitário.

A	Tensão de Dreno (mV)	100	200	300	400	500	600	700	800	900	1000	Unidade
B	Varição de corrente de dreno (μA)	-----	0,11	0,21	0,37	0,51	0,80	1,09	1,31	1,41	1,52	A
C	Valor de V_{GT} onde ocorre o início do disparo do transistor bipolar parasitário (V)	-----	-0,10	-0,10	-0,10	-0,10	-0,10	-0,10	-0,11	-0,13	-0,16	V
D	Valor de V_{GT} quando ocorre o desacionamento do transistor bipolar parasitário (V)	-----	0,19	0,31	0,43	0,53	0,62	0,73	0,84	0,94	1,04	V
E	Varição de sobretensão de porta sobre o efeito do transistor bipolar parasitário.	-----	0,29	0,41	0,53	0,63	0,72	0,83	0,95	1,07	1,20	V
F	Região	-----	S/T									

Na tabela 3.1, S/T significa a interface entre a região de saturação e triodo.

Analisando a tabela 3.1, pode-se dizer que para V_{DS} de 100 mV, o efeito do transistor bipolar parasitário realmente não ocorre. Para valores maiores que 200 mV, o efeito do transistor bipolar parasitário é observado. Além disso, pode-se observar que à medida que se aumenta o valor de V_{DS} , a variação da corrente de dreno (aumento abrupto da corrente de dreno) também é aumentada (linha B da Tabela 3.1). Adicionalmente, observa-se que, após ocorrer o disparo do transistor bipolar parasitário no SOI nMOSFET de porta em anel circular operando como dreno interno, logo após o aumento abrupto da corrente de dreno na região de sublimar, a corrente de dreno apresenta um comportamento transitório, diferente do exponencial, aqui neste texto chamado de região de acomodação. Para valores de V_{DS} menores e iguais a 400 mV, os seus valores são inferiores àqueles apresentados nos transistores convencional e de porta circular em configuração de polarização de dreno externo. Já para V_{DS} maiores e iguais a 500 mV, nota-se que após a corrente de dreno atingir o seu valor máximo na região de sublimar, quando ocorre o efeito do acionamento do transistor bipolar parasitário, ela permanece sempre maior que os dos transistores convencional e circular operando na configuração de polarização de dreno externo. Este efeito ocorre até que a corrente de dreno do SOI nMOSFET de porta em anel circular operando na configuração de dreno interno iguale-se com as demais curvas (do convencional e do circular operando na configuração de dreno externo), quando ocorre o desacionamento do transistor bipolar parasitário. Pode-se notar ainda que o acionamento do transistor bipolar parasitário para

tensões de dreno de até 700 mV, ocorrem sempre com a sobretensão de -0,1 V, ao contrário para os demais valores de tensão de dreno (linha C da Tabela 3.1). Para os valores de V_{DS} maiores que 700 mV, o disparo do transistor bipolar parasitário ocorre antes -0,1 V, pois tem-se um maior de V_{DS} . Além disso, confirma-se que o desacionamento do transistor bipolar parasitário ocorre na interface entre as regiões de saturação e triodo (linha F da Tabela 3.1).

Para confirmar que o efeito do aumento abrupto da corrente de dreno na região de sublimiar do SOI nMOSFET de porta em anel circular operando na configuração de dreno interno é realmente o efeito do transistor bipolar parasitário, novas medidas experimentais foram realizadas para caracterizar por completo tal efeito. A figura 3.4 apresenta o comportamento do efeito do transistor bipolar parasitário para o SOI nMOSFET de porta em anel circular na configuração de dreno interno, para V_{DS} de 500 mV.

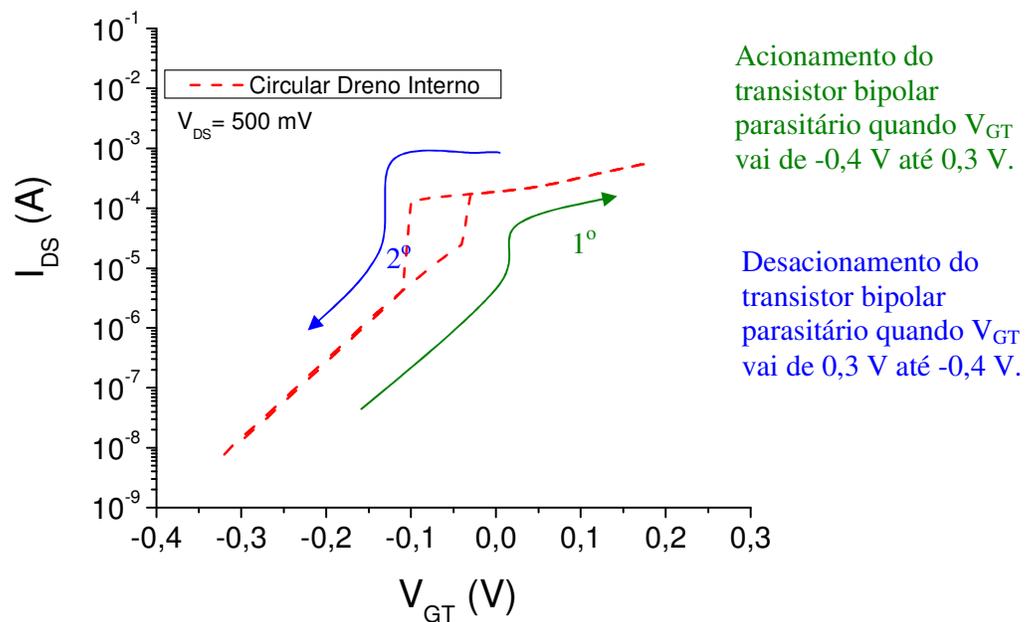


Figura 3.4 – Efeito do transistor bipolar parasitário no SOI nMOSFET de porta em anel circular na configuração de dreno interno.

Observando a figura 3.4, podemos concluir que o efeito apresentado na figura 3.2 é realmente o efeito do transistor bipolar parasitário, como indicado na ref [1]. Note que o disparo do transistor bipolar parasitário ocorreu em -0,04 V e o desacionamento com -0,11 V, caracterizando a histerese no processo de acionamento e do

desacionamento do transistor bipolar parasitário. O disparo do transistor parasitário desta amostra difere do valor indicado na tabela 3.1, para V_{DS} de 500 mV, pois trata-se de amostras diferentes. Notou-se este efeito para valores de V_{DS} de 200 mV à 1000 mV.

Buscando-se entender também, por que o SOI nMOSFET de porta em anel circular, operando na configuração de dreno interno apresenta o efeito do transistor bipolar parasitário, a figura 3.5 apresenta uma fatia dos SOI MOSFETs circular operando na configuração de dreno externo (CDE), do convencional (CONV) e do circular operando na configuração de dreno interno (CDI), respectivamente.

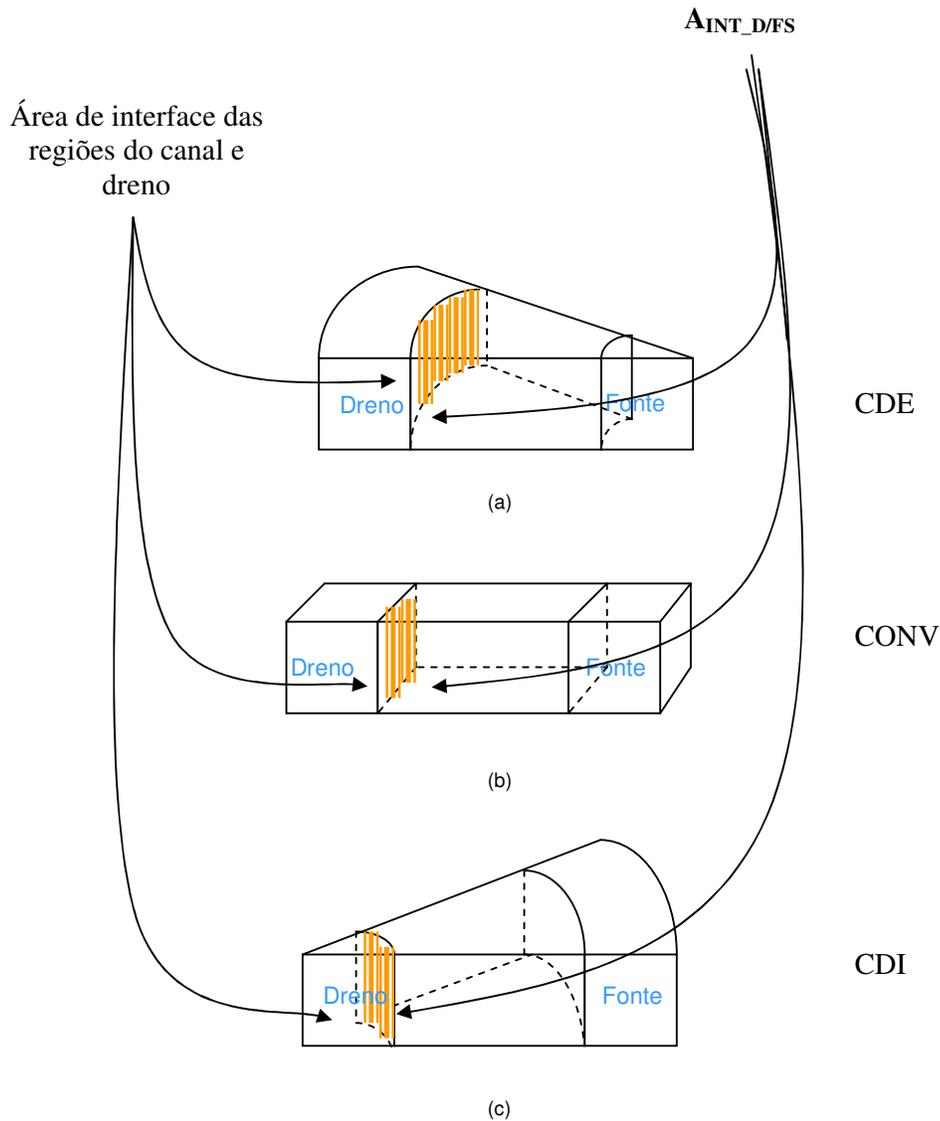


Figura 3.5 – Estrutura do SOI nMOSFET circular na configuração de dreno externo (Figura 3.5.a), do convencional (Figura 3.5.b) e a do circular operando na configuração de dreno interno (Figura 3.5.c).

onde na figura 3.5 $A_{INT_D/FS}$ é a área de interface entre a região de dreno e o filme de silício.

Nota-se, que o SOI nMOSFET de porta em anel circular quando operando na configuração de dreno interno, apresenta uma menor área de seção transversal (em laranja) na interface entre a região de canal e a região de dreno, se comparado com os transistores convencional e do circular na configuração de polarização de dreno externo. Com isso, o SOI nMOSFET de porta em anel circular apresenta uma maior densidade de campo elétrico paralelo ($J\vec{\epsilon}$) junto a região de dreno, devido ao fato deste apresentar uma menor área na região de dreno, conforme equação 3.1.

$$J\vec{\epsilon} = \frac{\vec{\epsilon}}{A} // \vec{\epsilon} // \quad (3.1)$$

Portanto a ionização por impacto é mais significativa junto à região de dreno no SOI nMOSFET circular operando na configuração de polarização de dreno interno, pois os portadores de carga do canal adquirem uma maior quantidade de energia, fazendo com que os portadores choquem-se com a rede cristalina do transistor, gerando ainda mais pares elétrons-lacunas que os outros transistores. Os portadores majoritários (lacunas) buscam a região de menor potencial, com isso ocorre o aumento do potencial e a diminuição da tensão de limiar. Caso os portadores minoritários (elétrons) tenham um tempo de vida suficiente, o transistor bipolar parasitário presente na estrutura do SOI nMOSFET amplifica a corrente de base, ocorrendo um incremento abrupto na corrente de dreno.

Adicionalmente, a figura 3.6 apresenta a curva da corrente de dreno versus a sobretenção de porta na região triodo, para um valor de 600 mV de tensão de dreno, figura 3.2.f.

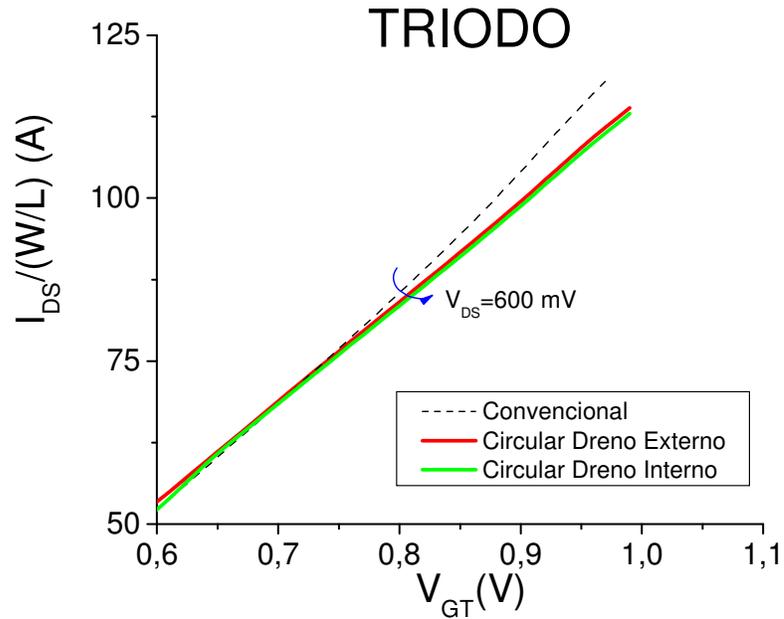


Figura 3.6 - Ampliação da figura 3.2.f, para destacar a curva $I_{DS}/(W/L) \times V_{GT}$ na região de triodo.

Observando a figura 3.6, nota-se que na região triodo, a corrente de dreno do SOI nMOSFET convencional apresenta maiores valores, se comparado com os SOI nMOSFETs de porta em anel circular nas configurações de polarização de dreno interno e externo, sendo este resultado observado para valores de 100 até 1000 mV de V_{DS} . Para avaliar esse comportamento foram caracterizadas as resistências séries desses transistores e a figura 3.7 apresenta a curva da resistência de dreno normalizada pelo fator geométrico em função da sobre-tensão de porta, onde pode-se determinar o valor da resistência série através do patamar [13].

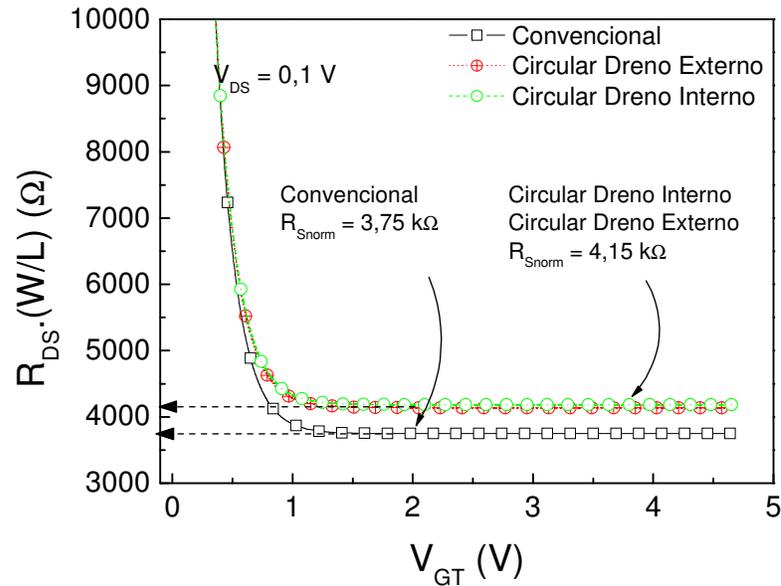
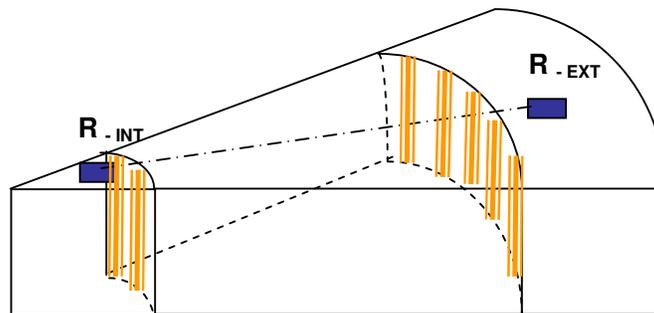


Figura 3.7 – Curvas da resistência série em função de V_{GT} dos transistores SOI nMOSFETs convencional e circular operando nas configurações de polarização de dreno externo e interno, respectivamente.

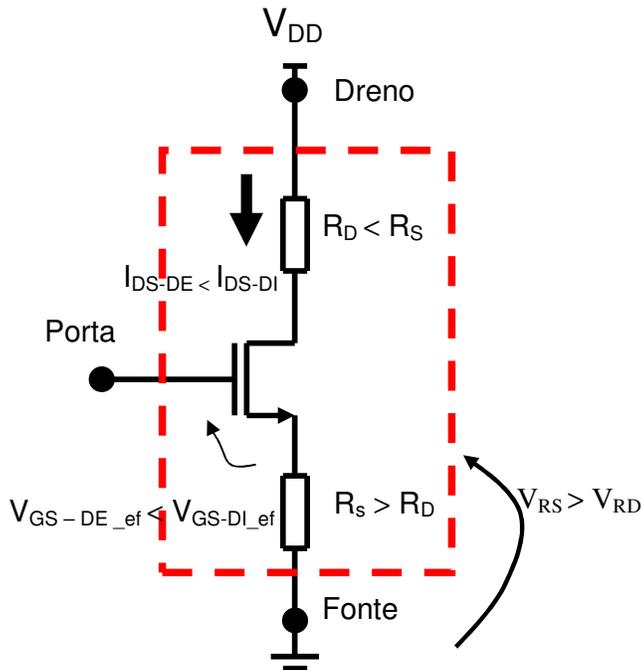
A figura 3.7 mostra que, a resistência série do SOI MOSFET convencional é menor que a do circular para ambas as configurações de polarização de dreno, devido às diferenças entre as regiões da interface entre as regiões de canal e dreno/fonte.

A resistência série afeta diferentemente o valor efetivo da tensão entre porta ($V_{GS_{ef}}$) e fonte do SOI nMOSFET de porta em anel circular, quando eles operam na condição de polarização de dreno interno e externo. Dessa forma, a figura 3.8 apresenta uma fatia do SOI nMOSFET com as suas respectivas resistências série, seus respectivos circuitos equivalentes com suas resistências internas.

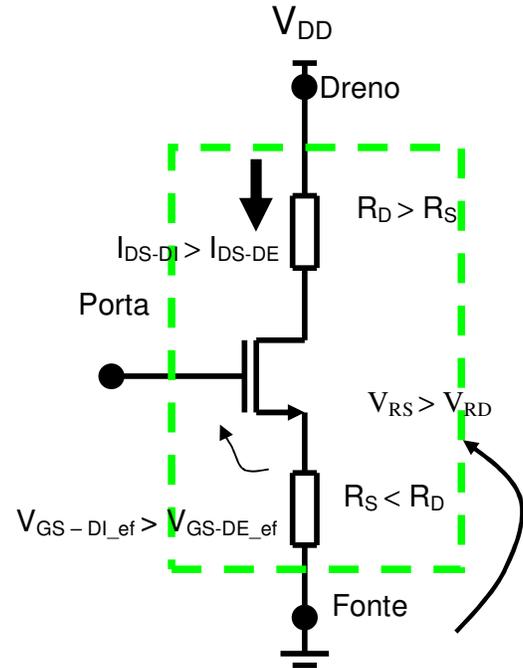


(a)

Configuração de polarização de dreno externo



Configuração de polarização de dreno interno



(b)

Figura 3.8.a - Fatia do SOI nMOSFET de porta em anel circular e a 3.8.b - Circuito da resistência interna dos dois dispositivos .

Nas figuras 3.8 R_{INT} e R_{EXT} são as resistências da região de dreno (interna e externa) com a filme de silício, I_{DS-DE} e I_{DS-DI} são as correntes de dreno do SOI nMOSFET de porta em anel circular operando na configuração de dreno externo e interno, respectivamente. As resistências de dreno e fonte são representadas por R_D e R_S e $V_{GS-DE_{ef}}$ e $V_{GS-DI_{ef}}$ representam as diferenças de potenciais entre porta e fonte das configurações de dreno externo e interno, respectivamente.

Observando a figura 3.8.a, verifica-se que a resistência série da região interna do SOI nMOSFET operando na configuração de dreno interno, é maior que a do circular operando na configuração de dreno externo, pois a configuração de dreno interno apresenta uma menor área na interface das regiões de dreno e filme de silício onde é formado o canal, conforme explicado anteriormente. Dessa forma, quando o SOI nMOSFET de porta em anel circular opera na configuração de dreno externo, a diferença de potencial efetiva entre porta e fonte ($V_{GS-DE_{ef}}$) é menor que a do SOI nMOSFET de porta em anel circular operando na configuração de dreno interno, conforme apresentado na figura 3.8., pois a resistência de fonte dessa configuração é

maior que na configuração de polarização de dreno interno. Com isso, a queda de tensão sobre o resistor de fonte será maior e a corrente de dreno na configuração de dreno externo é menor que a corrente de dreno na configuração de dreno interno. Para a configuração de dreno interno, nota-se que a diferença de potencial efetiva entre porta e fonte é maior que a polarização de dreno externo, pois a resistência de fonte é menor que na polarização de dreno externo, portanto a corrente de dreno nesta configuração é maior.

Além disso, para verificar tal efeito, a figura 3.9 apresenta a curva experimental da corrente dreno normalizada pelo fator geométrico em função da tensão de dreno, para os SOI nMOSFETs convencional e o porta em anel circular na configuração de dreno externo e interno, para diferentes valores de V_{GT} .

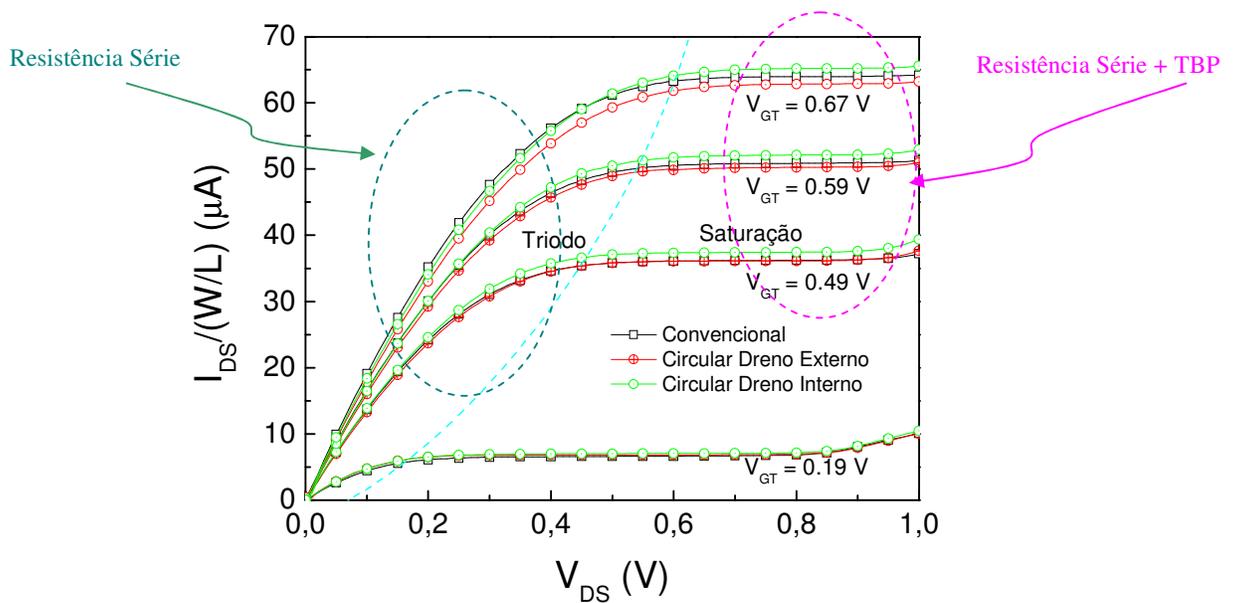


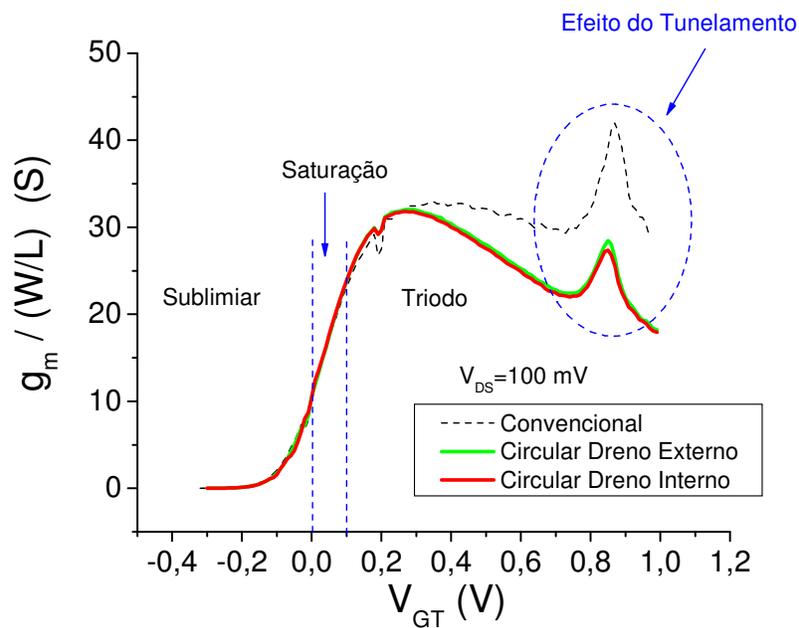
Figura 3.9 – Corrente de dreno em função da tensão de dreno, experimental dos transistores SOI nMOSFETs convencional e circular operando em configuração de dreno externo e interno, respectivamente, para diferentes valores de V_{GT} .

Nota-se que o SOI nMOSFET convencional apresenta maiores valores de corrente de dreno na região de triodo se comparado com os SOI nMOSFET de porta em anel circular operando nas configurações de dreno externo e interno, para diferentes valores de V_{GT} , conforme a figura 3.9. Isto ocorre porque o convencional apresenta um menor valor de resistência série, conforme explicado anteriormente. Na região de saturação, além do efeito da modulação do comprimento de canal devido à influência da

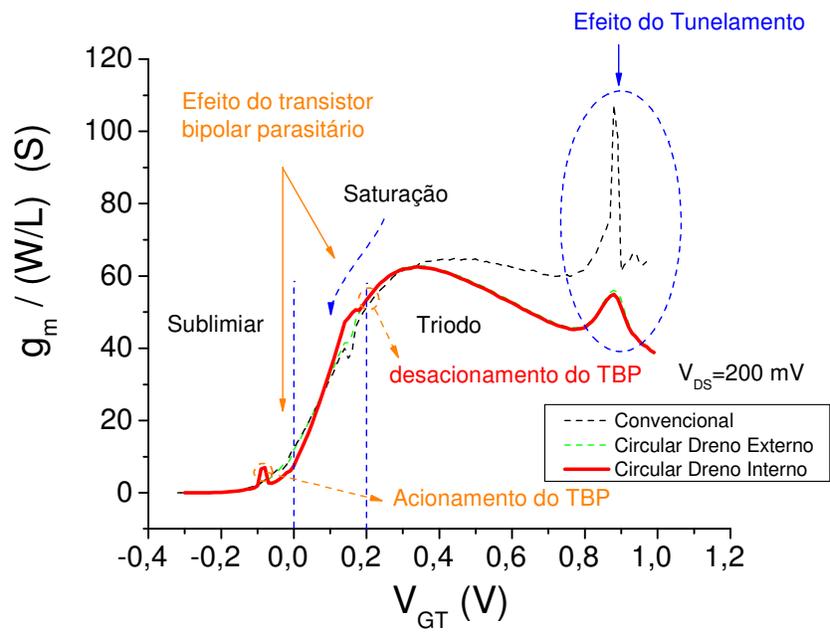
tensão de dreno, o efeito da resistência série sobre o valor efetivo da tensão entre porta e fonte pode ser visto, onde verifica-se que a corrente de dreno do circular operando na configuração de dreno externo apresenta maiores valores se comparado com as correntes do convencional e do circular operando na configuração de dreno interno ($I_{DS-CDE} > I_{DS-CONV} > I_{DS-CDI}$), para valores de $V_{GT} \geq 0,59$ V.

3.2 Curvas da transcondutância em função da sobretensão de porta

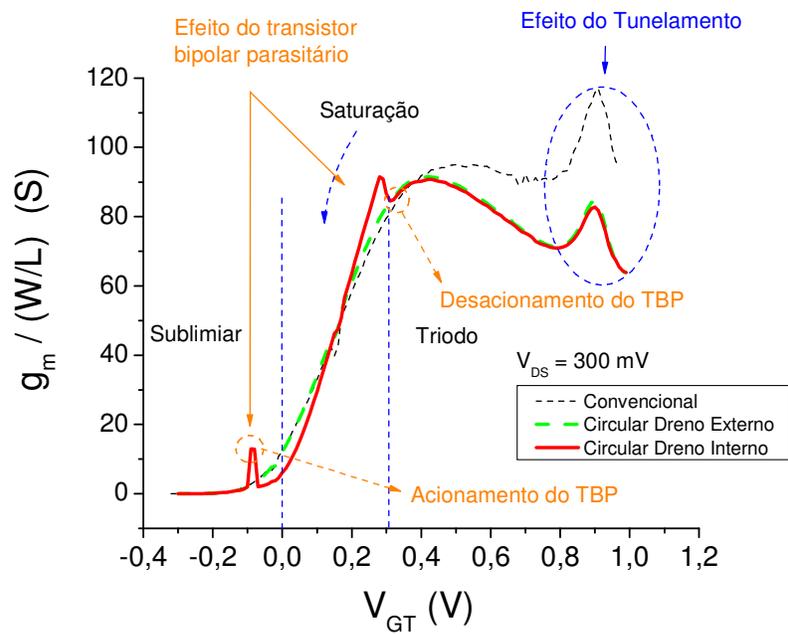
A figura 3.10 apresenta as curvas da transcondutância dos SOI nMOSFET convencional e o de porta em anel circular operando nas duas configurações de dreno externo e interno, para diferentes valores de V_{DS} .



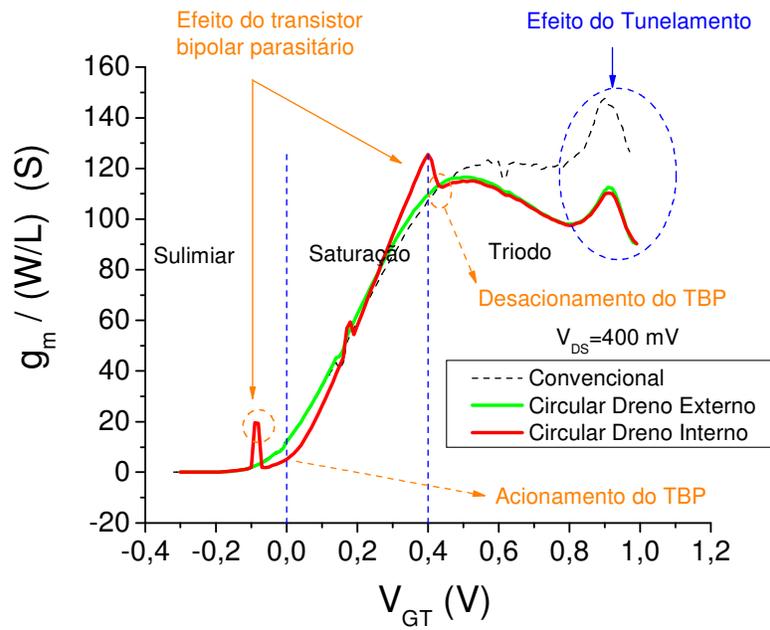
(a)



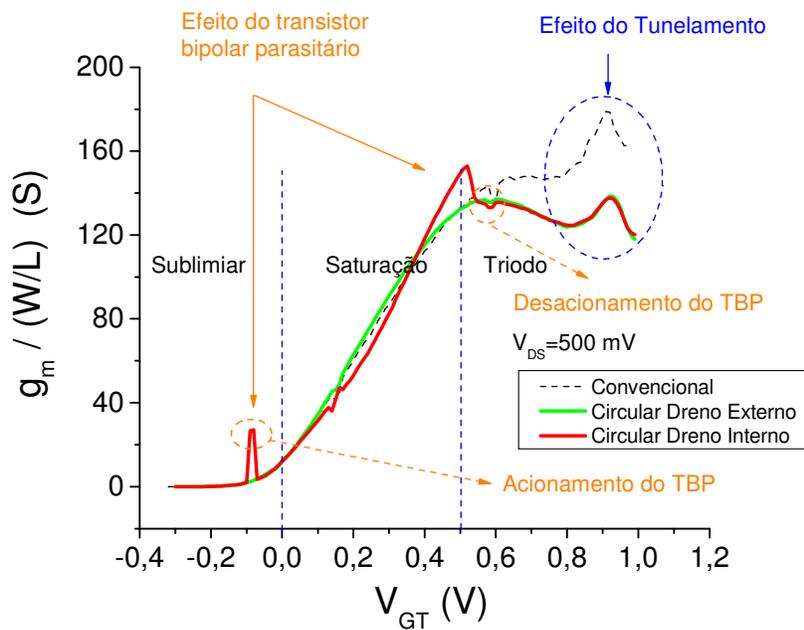
(b)



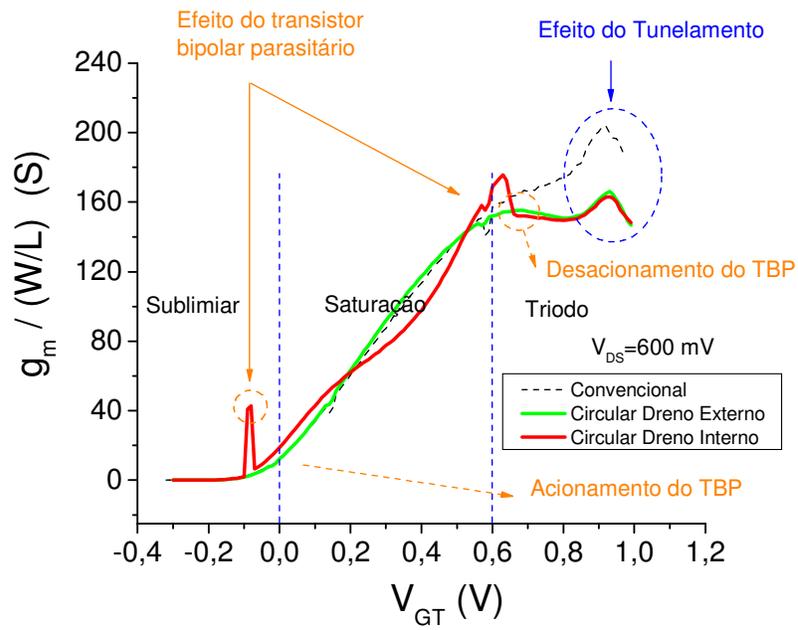
(c)



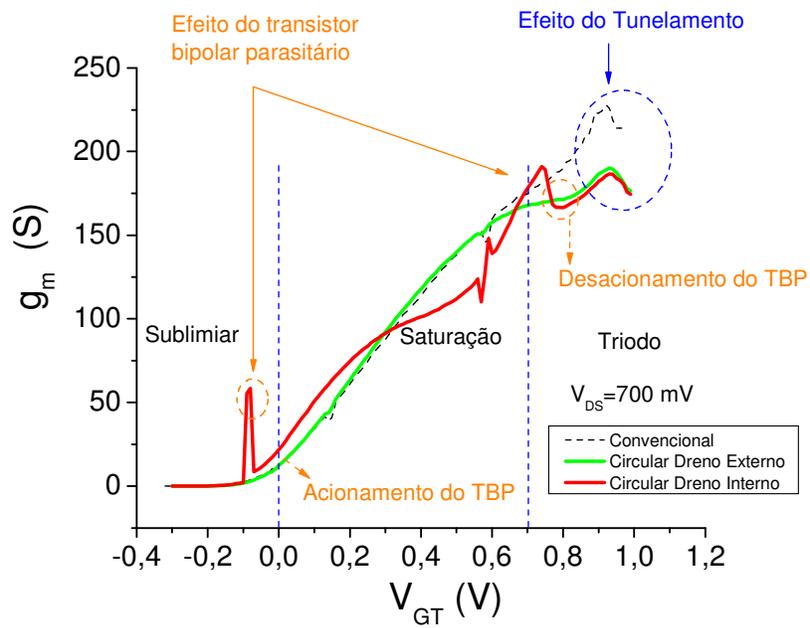
(d)



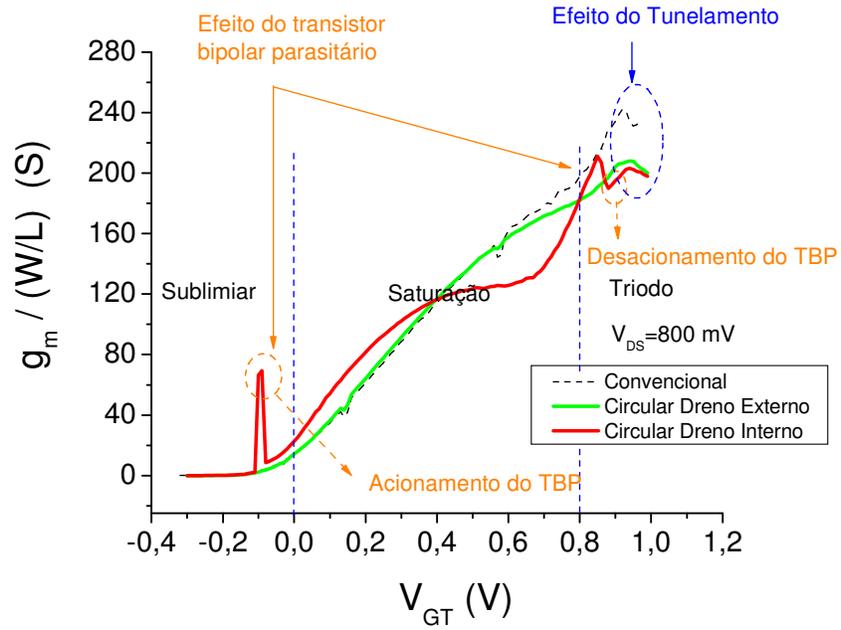
(e)



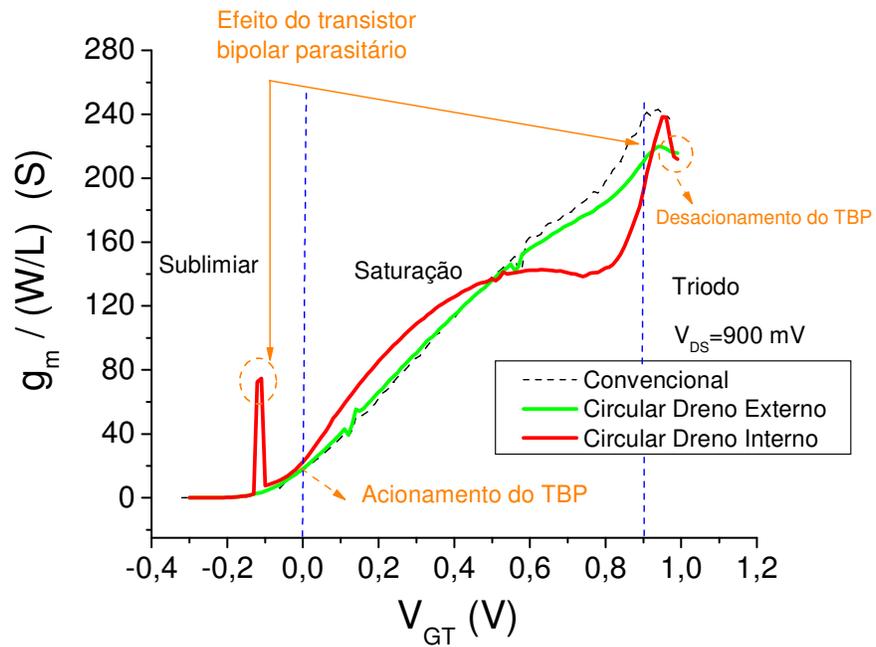
(f)



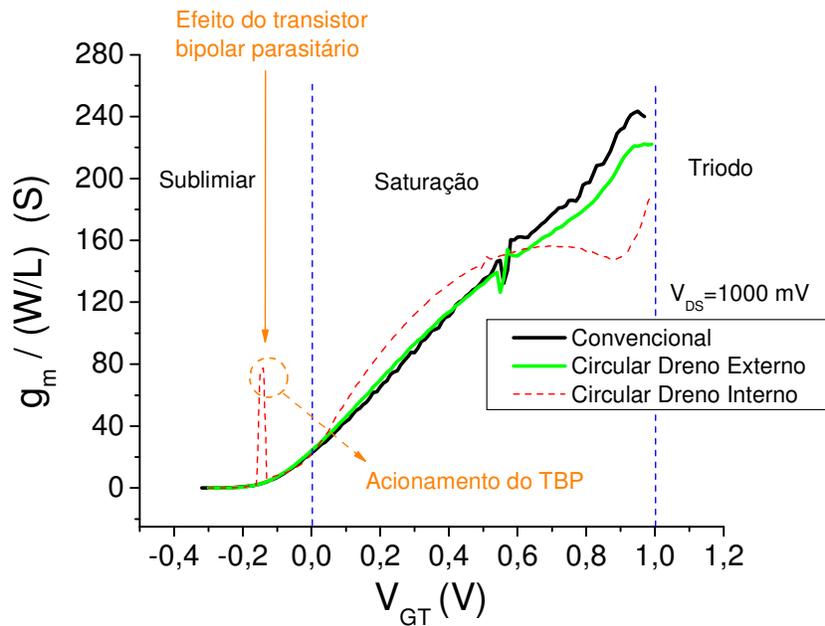
(g)



(h)



(i)



(j)

Figura 3.10 - Curva da transcondutância dos SOI nMOSFET convencional e o de porta em anel circular operando nas duas configurações de polarização, variando-se a tensão de dreno de 100 mV (3.10.a) até 1000 mV (3.10.j).

Nota-se que, para o valor de tensão de porta de 100 mV, o efeito do transistor bipolar parasitário (TBP) praticamente não ocorre na transcondutância do SOI nMOSFET de porta em anel circular operando na configuração de dreno interno. Para valores de tensão de dreno maiores e iguais a 200 mV, verifica-se o acionamento do transistor bipolar parasitário, na região de sublimiar, caracterizado por um pico. O desacionamento do transistor bipolar parasitário ocorre nas proximidades da interface entre as regiões de triodo e saturação. Verifica-se nas curvas da transcondutância, para um valor V_{DS} de até 500mV, que após a ocorrência do disparo do transistor bipolar parasitário, na interface entre a região de sublimiar e a saturação, que a transcondutância do SOI nMOSFET de porta em anel circular operando na configuração de dreno interno, apresenta um menor valor se comparado com o mesmo dispositivo na configuração de dreno externo e com o convencional, mostrando a perda do controle da corrente de dreno (I_{DS}) com relação a tensão de porta (V_{GS}) aplicada devido a presença do transistor

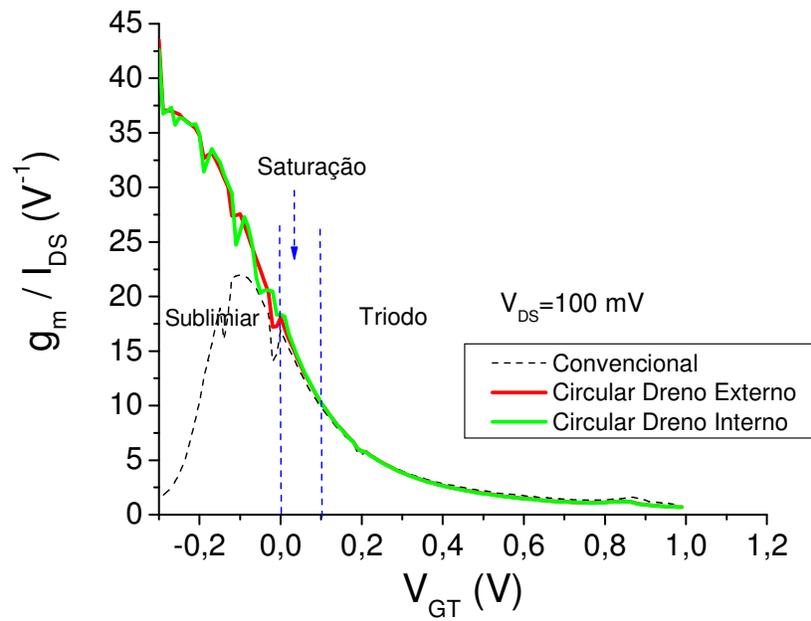
bipolar parasitário. A medida que o TBP vai saindo de operação o valor de g_m vai aumentando.

Para valores de V_{DS} maiores e iguais a 600 mV, após o acionamento do transistor bipolar parasitário na região de sublimiar, verifica-se que o SOI nMOSFET de porta em anel circular operando na configuração de dreno interno, apresenta maiores valores de transcondutância se comparado com os demais transistores convencional e circular operando na configuração de polarização de dreno externo, pois agora a corrente no TBP torna-se superior à corrente no SOI nMOSFET e tem uma resposta a variação de V_{GT} muito efetiva nesta condição.

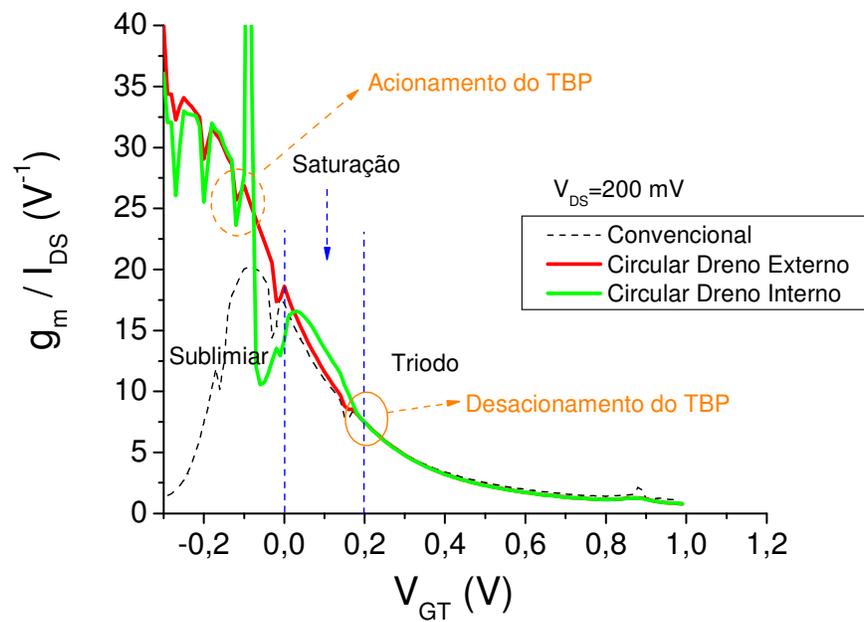
Adicionalmente verifica-se que o SOI nMOSFET de porta em anel circular operando na configuração de dreno interno e externo, para diferentes valores de V_{DS} , apresentam um menor valor de transcondutância na região de triodo se comparado com o convencional, pois esses dispositivos apresentarem um maior valor de resistência série, conforme dito anteriormente. Outro importante fator, é que os SOI nMOSFET convencional e o circular de porta em anel circular nas configurações de dreno externo e interno apresentam o efeito do tunelamento, destacado nos gráficos, para diferentes valores de V_{DS} , que não foram estudadas neste trabalho.

3.3 Curvas da razão da transcondutância sobre a corrente de dreno em função da sobretensão de porta

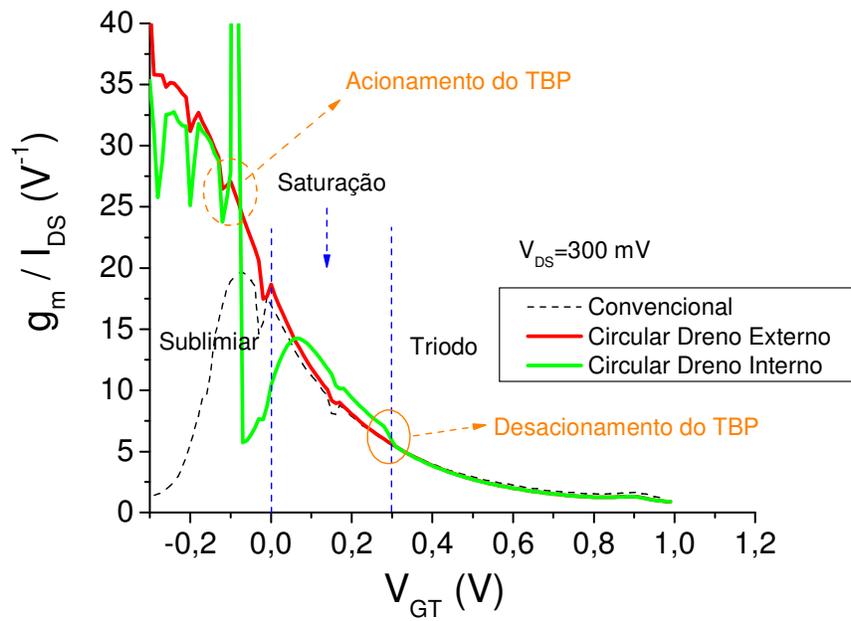
A figura 3.11 apresenta as curvas da razão da transcondutância sobre a corrente de dreno em função da sobretensão de porta para o SOI nMOSFET convencional e o SOI nMOSFET de porta em anel circular, operando nas configurações de polarização de dreno interno e externo, para diferentes valores de V_{DS} .



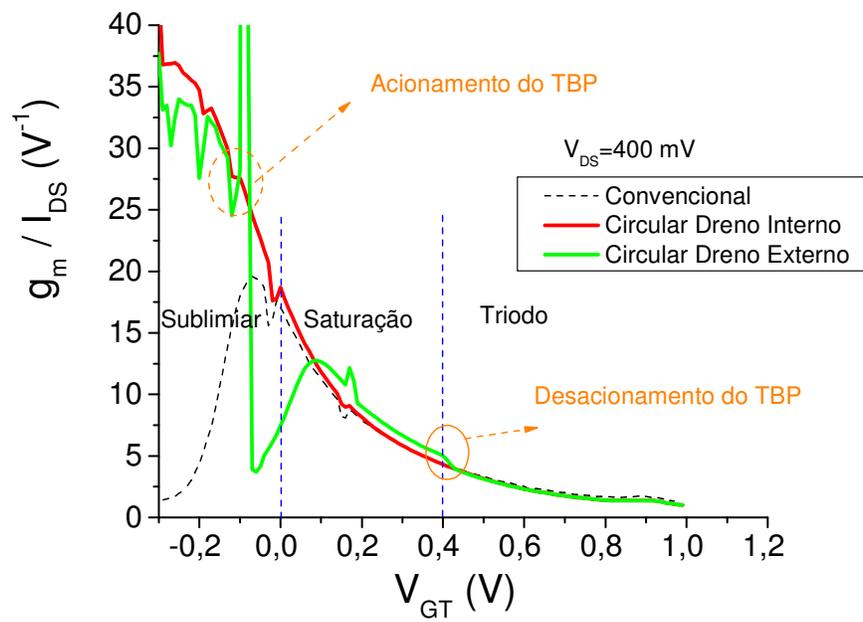
(a)



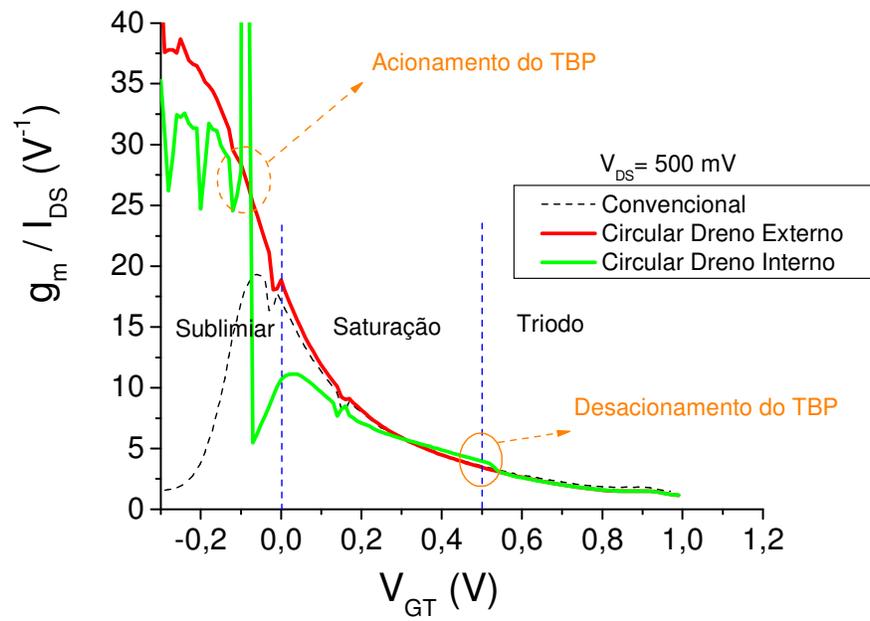
(b)



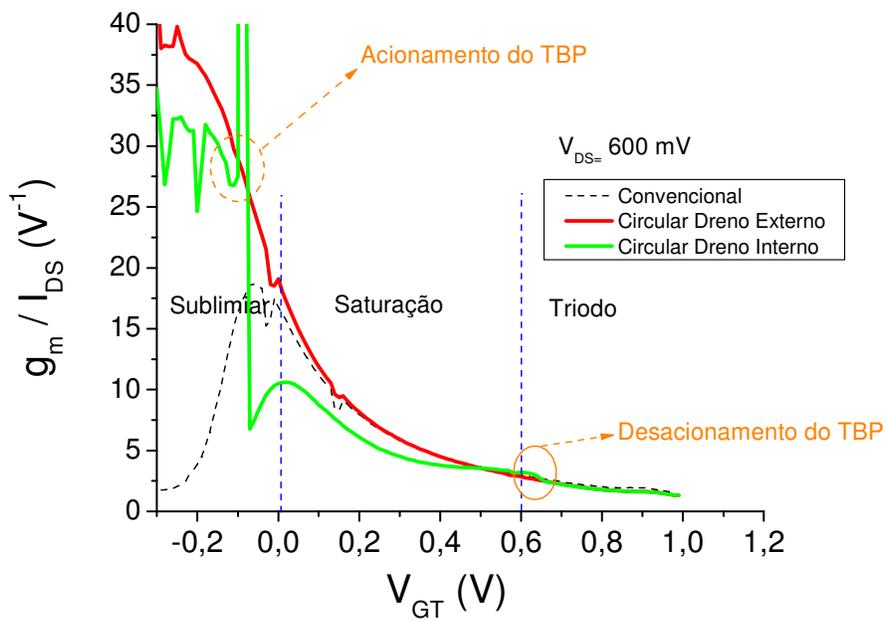
(c)



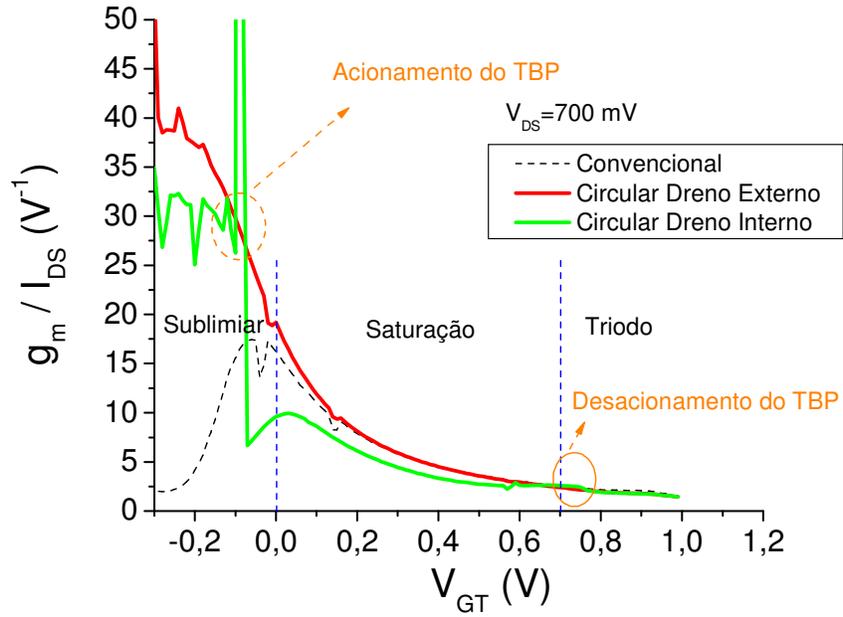
(d)



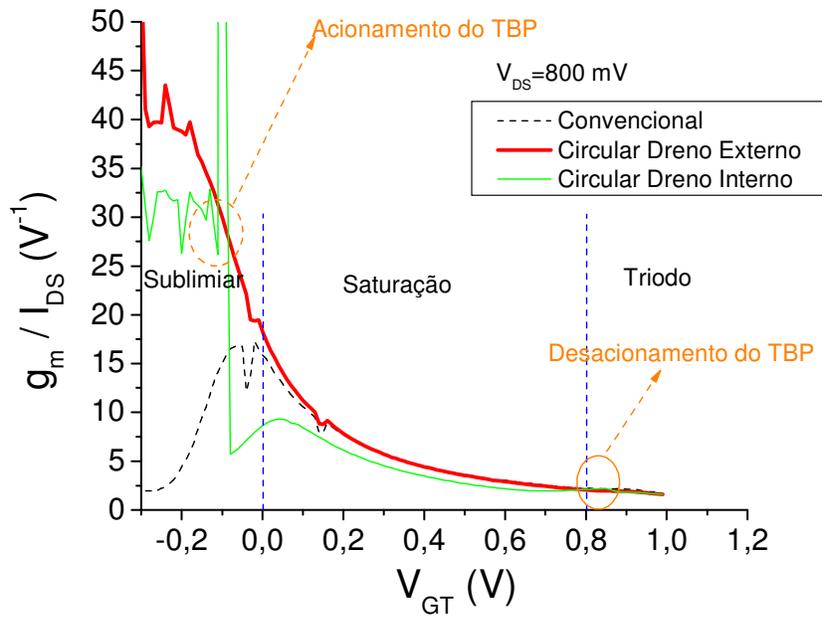
(e)



(f)



(g)



(h)

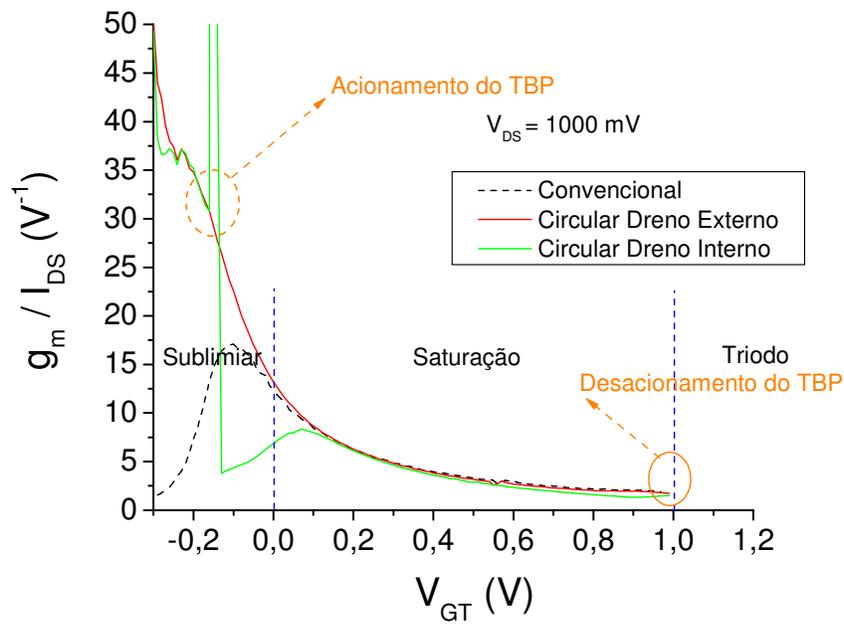
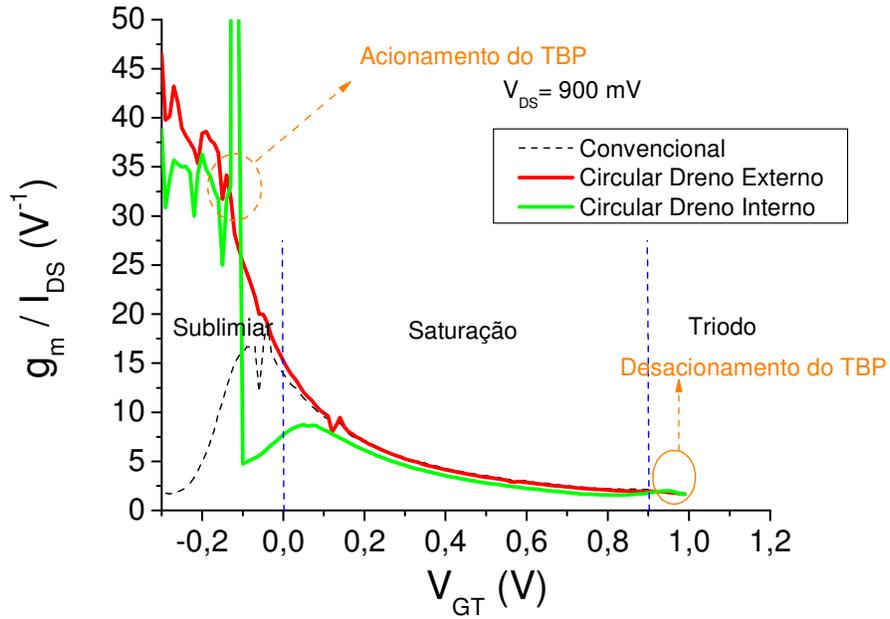


Figura 3.11 - Curva $\left(\frac{g_m}{I_{DS}} \times V_{GT}\right)$ dos SOI nMOSFETs convencional e o de porta em anel circular, operando nas duas configurações de polarização de dreno interno e externo, para diferentes valores (V_{DS}).

Pode-se verificar que, os SOI nMOSFET de porta em anel circular operando na configuração de dreno interno praticamente não apresenta o efeito do TBP, para valores de V_{DS} de 100 mV, sendo que para valores maiores e iguais a 200 mV nota-se tal efeito.

Em todas as regiões, com exceção da região onde ocorre o efeito do TBP, observa-se que o SOI nMOSFET de porta em anel circular operando na configuração de

dreno externo apresenta maiores valores de $\left(\frac{g_m}{I_{DS}} \times V_{GT}\right)$, se comparado com o mesmo na configuração de dreno interno e o convencional.

Adicionalmente, foram extraídos as variações de $\left(\Delta \frac{g_m}{I_{DS}}\right)$ geradas pelo acionamento do TBP, para diferentes valores de V_{DS} (tabela 3.2).

Tabela 3.2 – Variação de $\left(\frac{g_m}{I_{DS}}\right)$ gerado pelo acionamento do Transistor Bipolar Parasitário - TBP.

Tensão de Dreno (mV)	100	200	300	400	500	600	700	800	900	1000	mV
Variação do tamanho do pico do efeito do TBP.	-----	61,5	134,1	206,9	271,5	403,3	512,2	699,3	742,2	851,3	V ⁻¹

De acordo com a tabela 3.2, pode-se observar que aumentando-se o valor de

V_{DS} , ocorre também um aumento significativo de $\left(\frac{g_m}{I_{DS}}\right)$. A figura 3.12 ilustra como

foi extraído a $\left(\Delta \frac{g_m}{I_{DS}}\right)$ para um V_{DS} de 200 mV.

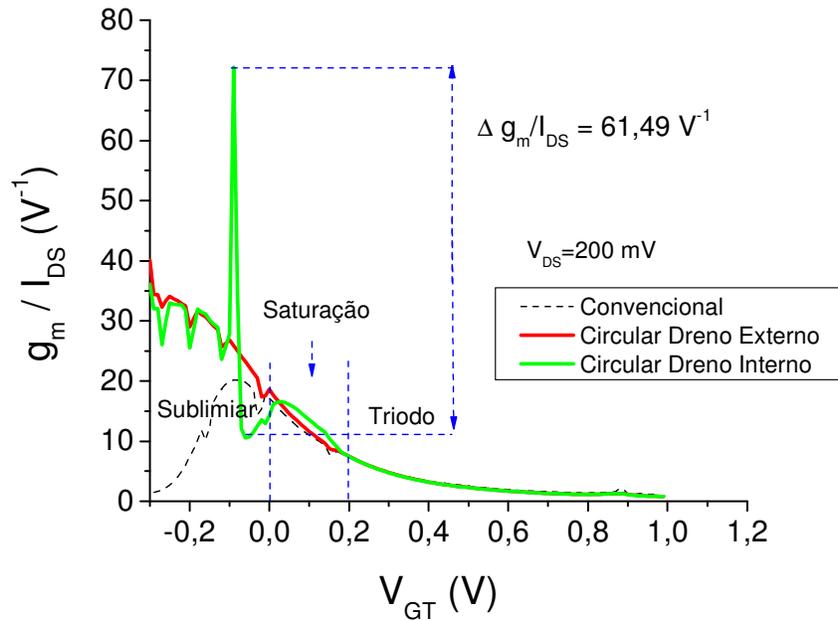
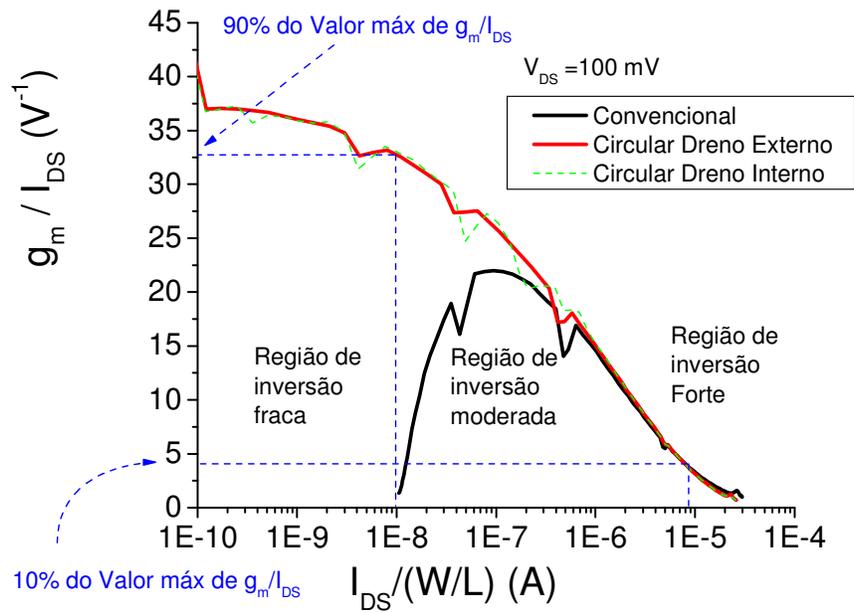


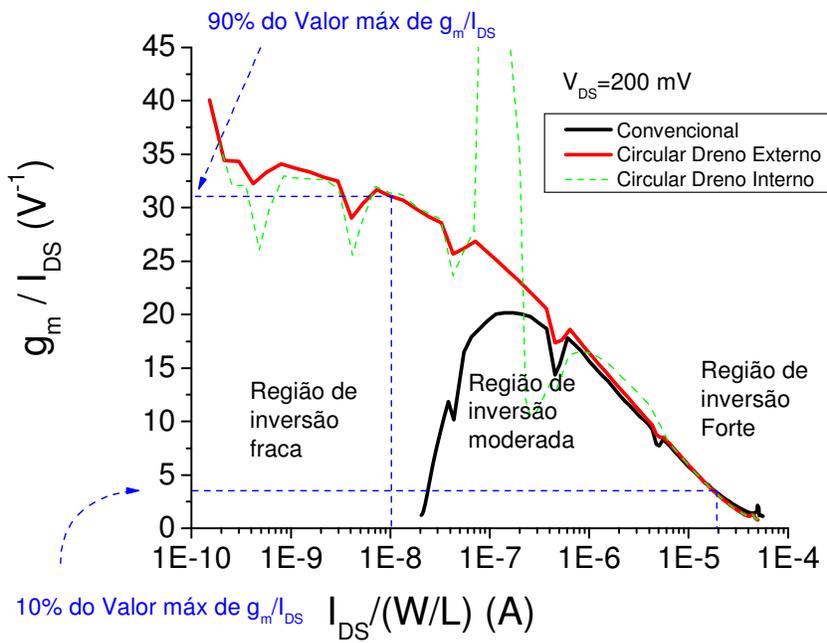
Figura 3.12 – Demonstração de como se determinou a variação do pico do efeito do TBP.

3.4 Curvas da razão da transcondutância sobre corrente de dreno em função da corrente de dreno normalizada pelo fator geométrico.

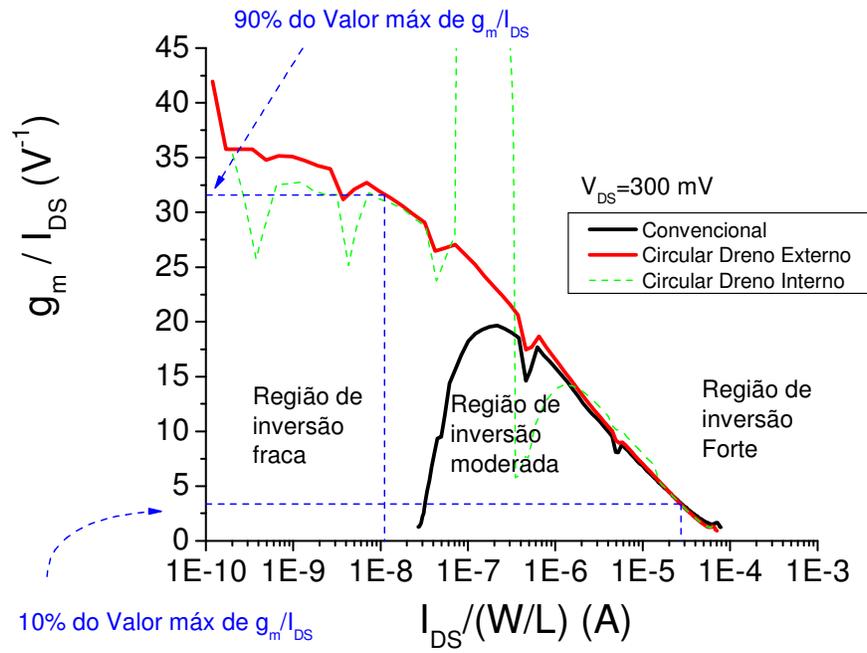
A figura 3.13, apresenta uma das principais figuras de mérito usado em projetos de circuitos integrados analógicos de baixa tensão e baixa potência (low power, low voltage). Essas curvas foram obtidas para os SOI nMOSFETs convencional e para o de porta em anel circular, operando em ambas as configurações de polarização de dreno, para valores de V_{DS} de 100 mV até 1000 mV.



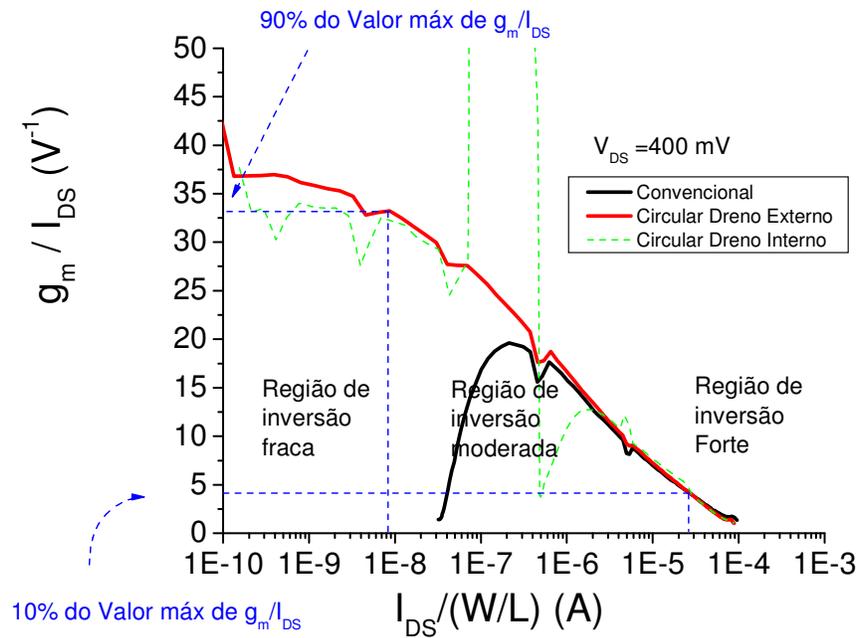
(a)



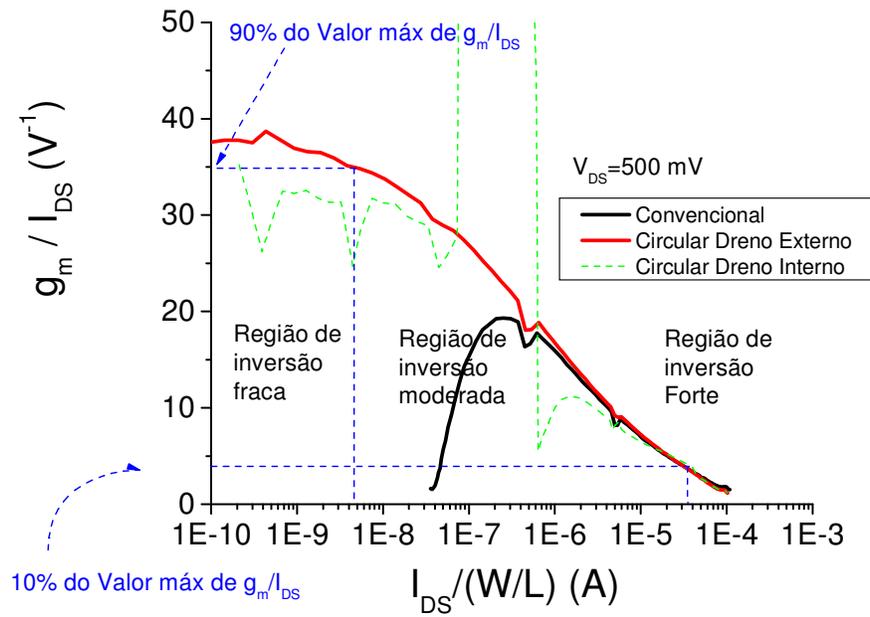
(b)



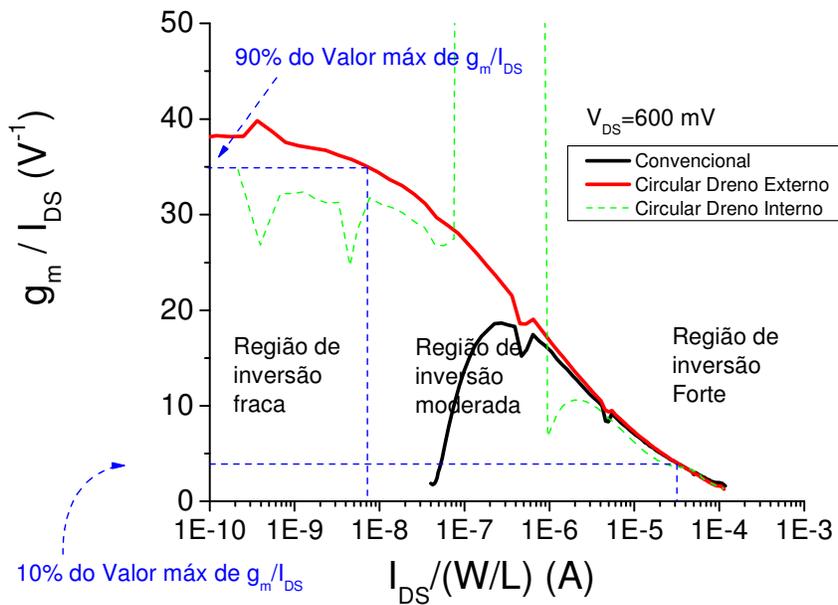
(c)



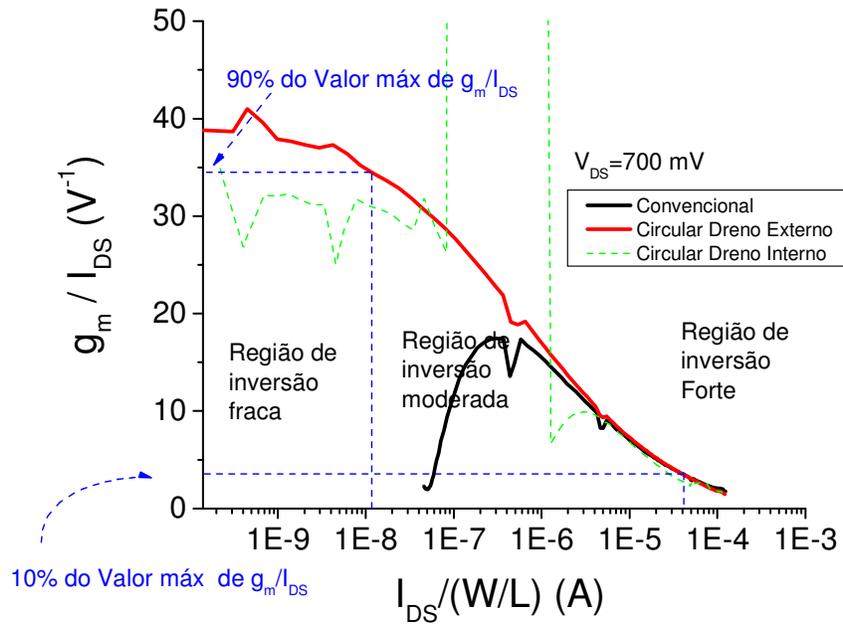
(d)



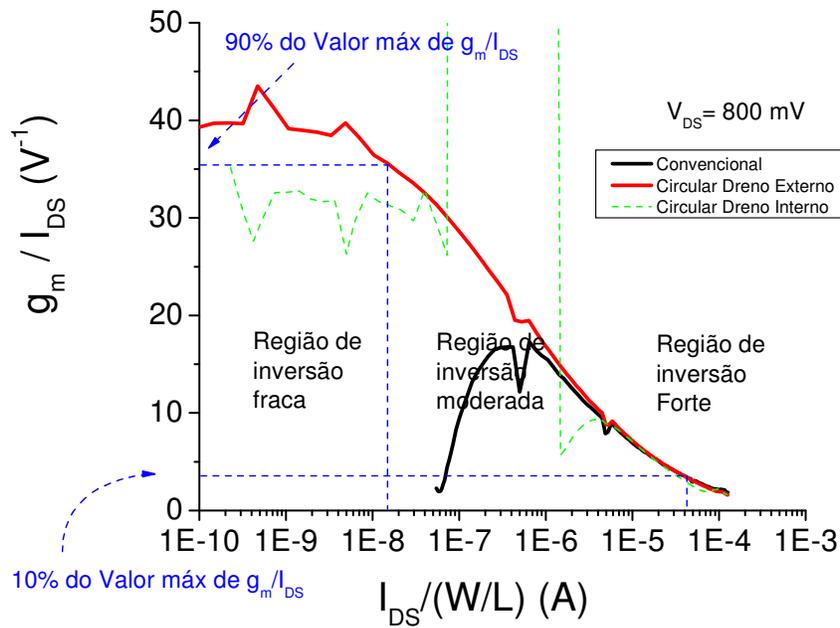
(e)



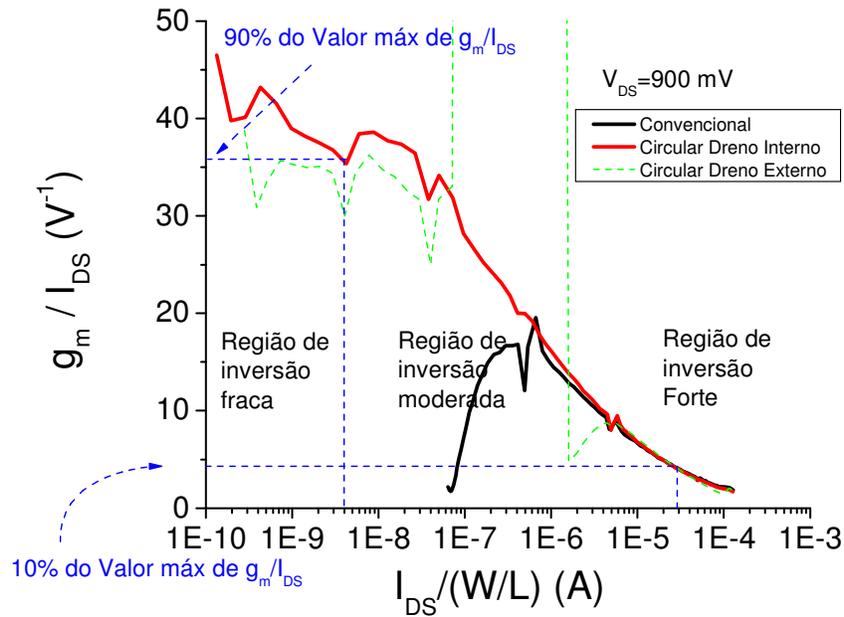
(f)



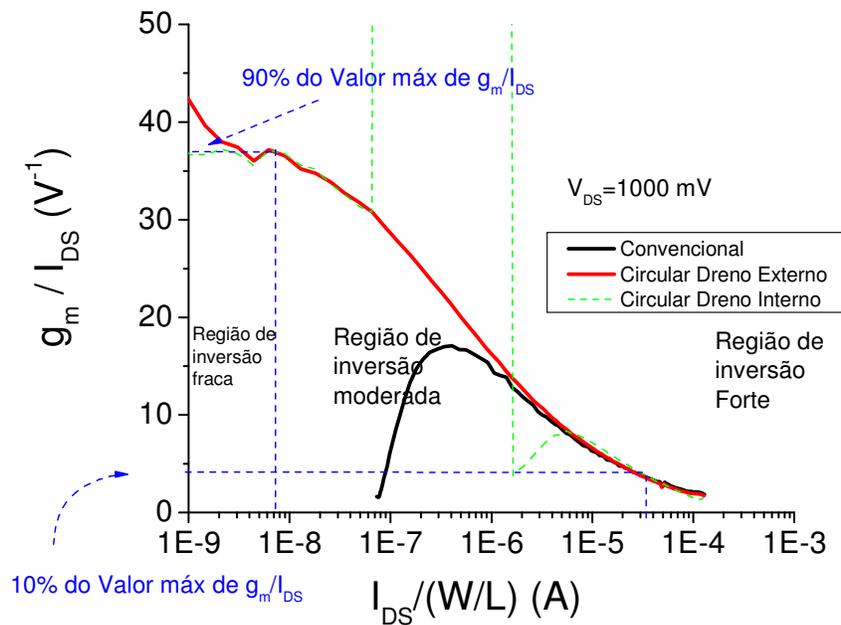
(g)



(h)



(i)



(j)

Figura 3.13 - Curvas $\left(\frac{g_m}{I_{DS}} \times \frac{I_{DS}}{(W/L)} \right)$ dos SOI nMOSFETs convencional e circular para ambas configurações de dreno externo e interno para diferentes valores de (V_{DS}) .

Para determinar a interface entre as regiões de inversão fraca, moderada utilizou-se o critério de 90% do valor máximo de $\left(\frac{g_m}{I_{DS}}\right)$ e da interface entre as regiões de inversão moderada e forte, utilizou-se 10% do valor máximo de $\left(\frac{g_m}{I_{DS}}\right)$.

Verifica-se que, na região de inversão forte os SOI nMOSFET convencional e o transistor de porta em anel circular, operando na configurações de dreno externo e interno apresentam resultados similares. Na a região de inversão moderada o SOI nMOSFET de porta em anel circular, operando na configuração de dreno interno apresenta o efeito do transistor bipolar parasitário. Se um SOI nMOSFET nessa configuração for polarizado nessa região pode gerar ganhos de tensão extremamente grandes, que sugere uma aplicação desse dispositivos como sensores.

O SOI nMOSFET operando na configuração de dreno externo, apresentou um comportamento ideal para aplicações analógicas, devido ao fato de ser inerte ao efeito do TBP, sendo que adicionalmente, nota-se que esta configuração apresentou maiores valores de $\left(\frac{g_m}{I_{DS}}\right)$ nas regiões de inversão fraca e moderada, já para a região de inversão forte, verificou-se que os dispositivos apresentam resultados semelhantes.

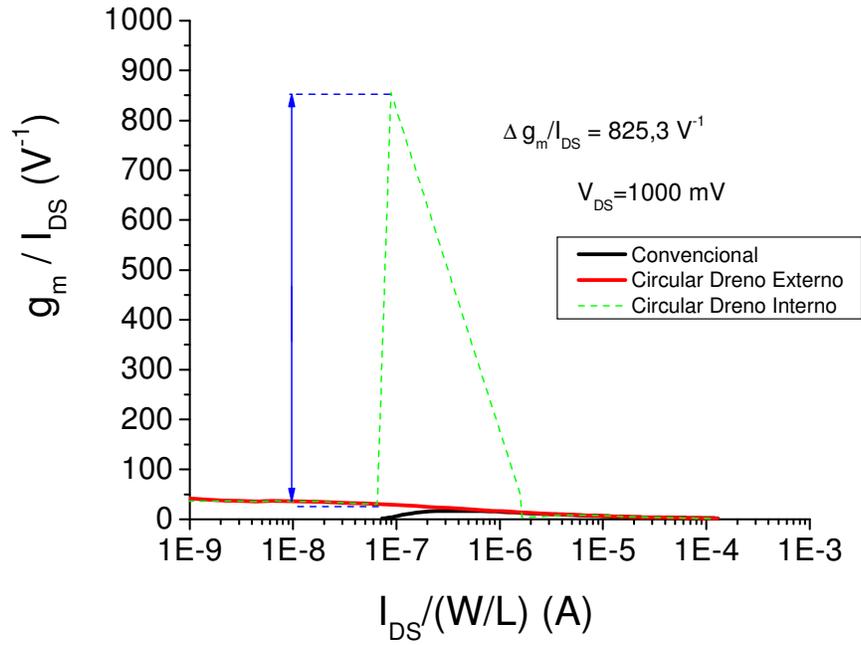


Figura 3.14 – Representação do pico de acionamento do TBP.

A figura 3.14 mostra que, se o SOI nMOSFET é polarizado dentro da faixa de valores de $\left(\frac{I_{DS}}{(W/L)} \right)$ que vai de $6,5 \cdot 10^{-8}$ à $1,6 \cdot 10^{-6}$ A, pode-se alcançar valores de $\left(\frac{g_m}{I_{DS}} \right)$ extremamente altos.

4 RESULTADOS OBTIDOS POR SIMULAÇÃO

Neste capítulo são apresentados os modelos utilizados nas simulações numéricas tridimensionais, e logo após apresentaremos os resultados simulados. Primeiramente utilizou-se o editor de dispositivos semicondutores DevEdit3D [18] para gerar as estruturas dos SOI nMOSFETs a serem simuladas e em seguida utilizou-se o simulador ATLAS/TCAD da SILVACO [19] para realizar as simulações numéricas tridimensionais. Os dados provenientes das simulações foram tratados pelo programa ORIGIN [20].

As curvas $\left(\frac{g_m}{I_{Ds}} \times \frac{I_{Ds}}{(W/L)} \right)$, são obtidas e analisadas dos SOI nMOSFETs

convencional e o SOI nMOSFET de porta em anel circular nas duas configurações de polarização de dreno interno e externo (CDI e CDE).

4.1 Programa de Edição de Dispositivos Semicondutores e Simulador Numérico Tridimensional.

Utilizou-se o editor de dispositivos semicondutores DevEdit3D para gerar as estruturas dos SOI nMOSFETs convencional e porta em anel circular operando nas configurações de polarização de dreno interno e externo. Este programa gera um arquivo texto contendo a grade (*mesh*), que representa a estrutura do dispositivo. O simulador Atlas, através do comando “*mesh infile*” utiliza a estrutura desenvolvida pelo DevEdit3D como arquivo de entrada para realizar as simulações. As simulações numéricas tridimensionais caracterizam-se por demandar uma grande quantidade de memória e de tempo de simulação, por tanto, buscando-se reduzir estas complexidades descreveu-se uma estrutura com um ângulo de 10°.

A figura 4.1 apresenta uma fatia de um SOI nMOSFET de porta em anel circular que foi usado para realizar as simulações numéricas tridimensionais, com o objetivo de reduzir o tempo de simulação.

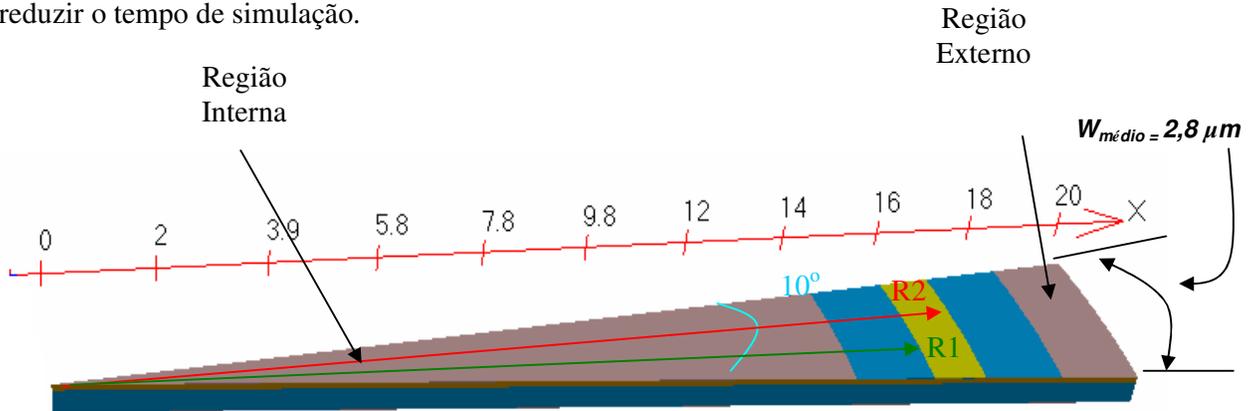


Figura 4.1 - Fatia de 10° do SOI nMOSFET circular.

Conforme a figura 4.1, nota-se que o SOI nMOSFET de porta em anel circular apresenta duas regiões com dimensões diferentes de fonte e dreno.

Os dispositivos foram implementados com os dados da tecnologia desenvolvida no laboratório do IMEC - Bélgica, conforme descrito no capítulo anterior.

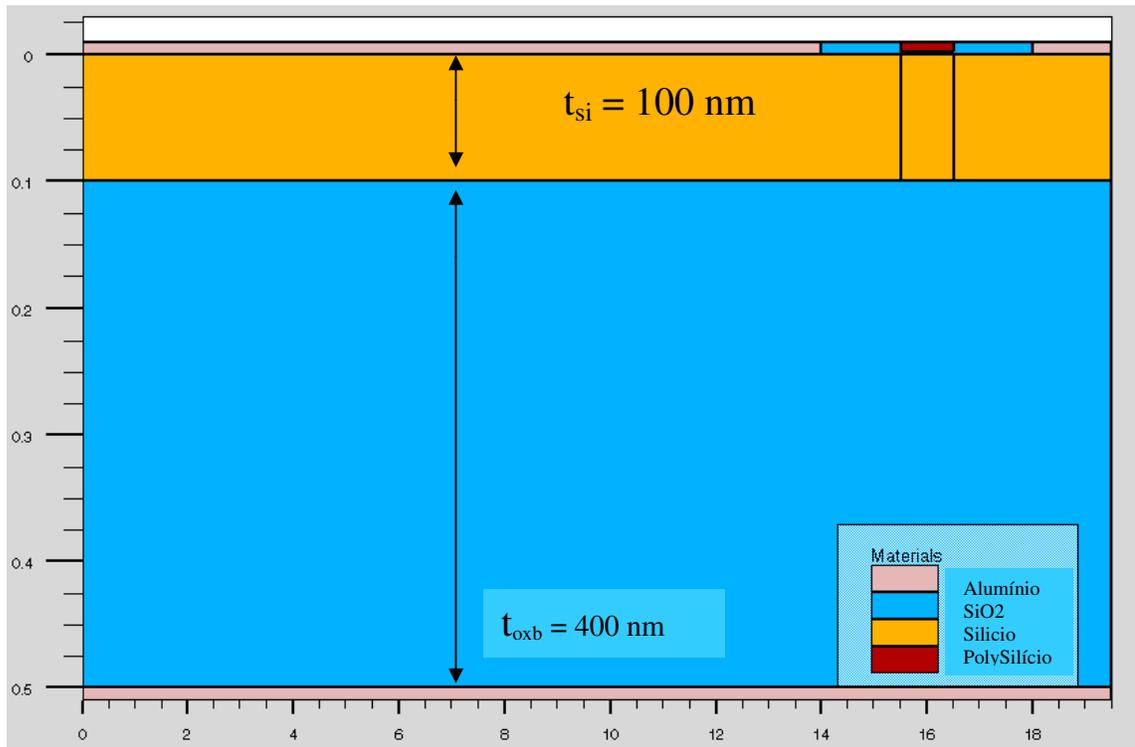
O SOI nMOSFET convencional estudado na parte experimental, apresenta um comprimento de canal de 1 μm ($L=1 \mu\text{m}$) e largura de canal de 10 μm ($W=10 \mu\text{m}$), cujo o fator geométrico [$(\frac{W}{L})_{\text{convencional}}$] é igual a 10 e o SOI nMOSFET de porta em anel circular apresenta uma largura de canal de 1 μm e comprimento de canal de 100 μm ($W=100 \mu\text{m}$) e um fator geométrico de [$(\frac{W}{L})_{\text{Circular}}$] é igual a 100.

Sabendo-se os valores da largura e do comprimento de canal do SOI nMOSFET convencional, determinou-se os valores dos raios R_1 e R_2 do SOI nMOSFET circular a partir da equação 1.1, também chamada essa de razão de aspecto. Os valores encontrados foram $R_1=15,5 \mu\text{m}$ e $R_2=16,5 \mu\text{m}$.

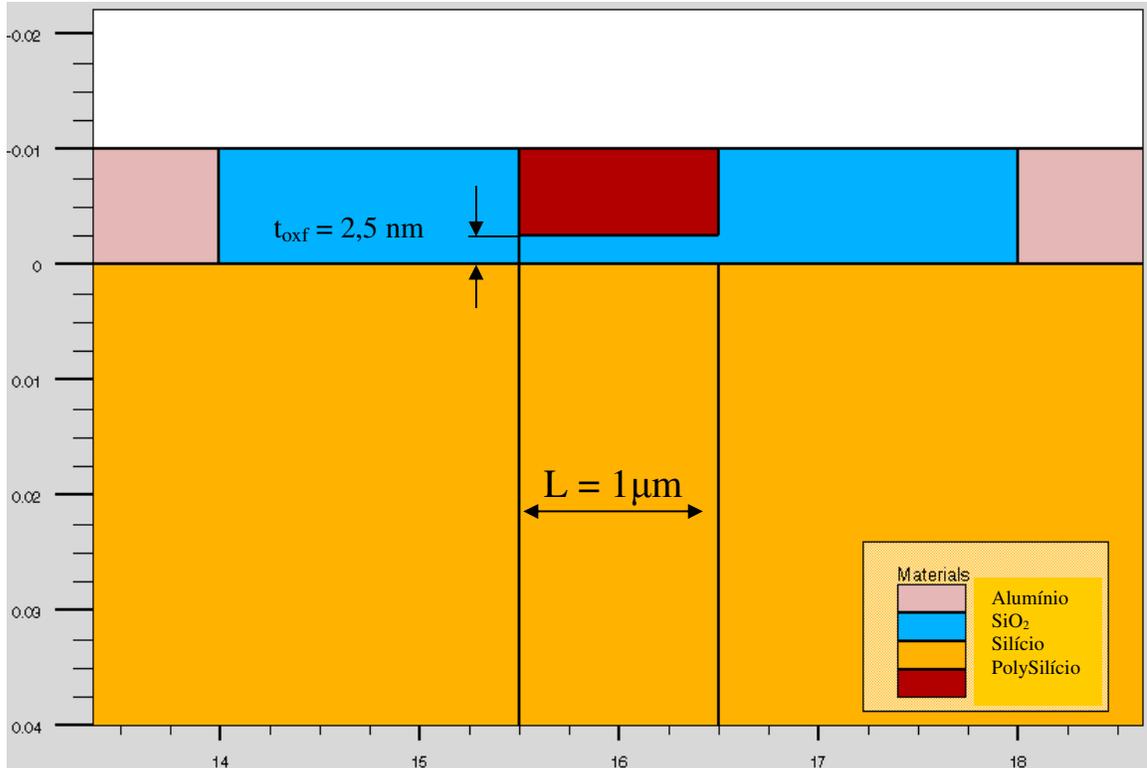
A fatia de 10° do SOI MOSFETs de porta em anel circular apresentam uma largura média de canal, dada pela equação (4.1)

$$W_{\text{medio}} = 2\pi \left(\frac{R_1 + R_2}{2} \right) \frac{10^\circ}{360^\circ} = 2,78 \mu\text{m} \quad (4.1)$$

A figura 4.2.a apresenta a secção transversal do SOI nMOSFET de porta em anel circular e a figura 4.2.b apresenta uma figura ampliada da secção transversal do SOI nMOSFET de porta em anel circular, que foi editado pelo DevEdit 3D.



(a)



(b)

Figura 4.2 – Seção transversal da fatia de 10° SOI nMOSFET de porta em anel circular apresentando as suas características estruturais (a) e a imagem ampliada da região de canal (b).

Procurou-se fazer uma fatia de um SOI nMOSFET convencional com as mesmas características construtivas que o circular para que os resultados de simulação não fossem afetados pelo uso de estruturas de transistores muito diferentes.

A figura 4.3, apresenta a estrutura do SOI nMOSFET convencional com as mesmas características e/ou semelhanças do SOI nMOSFET de porta em anel circular, com comprimento de canal (L) igual a $1 \mu\text{m}$ e largura de canal ($W_{\text{médio}}$) de $2,8 \mu\text{m}$.

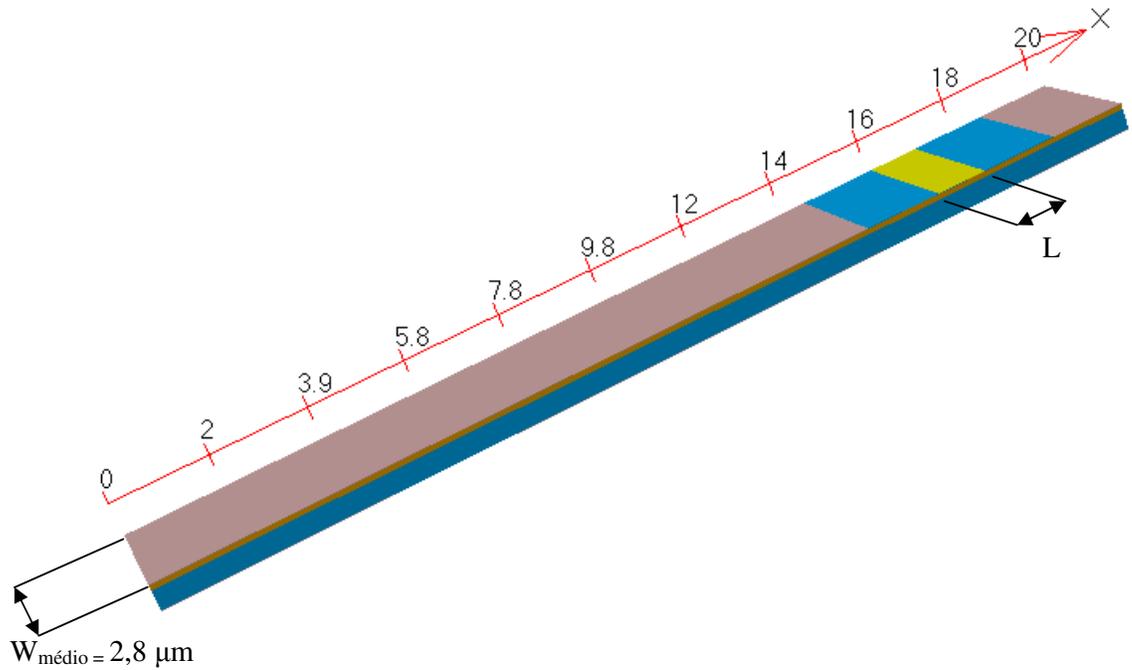


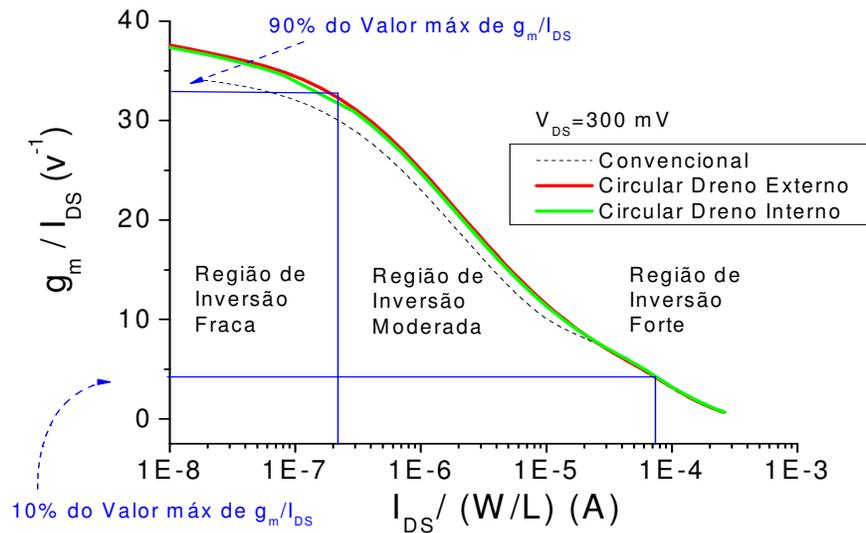
Figura 4.3 – Figura de um dispositivo SOI nMOSFET convencional.

Foi utilizado o simulador ATLAS3D para se obter os resultados das simulações numéricas tridimensionais, sendo que as tensões nos eletrodos, concentração de dopagem, nome dos contatos e modelos físicos utilizados, devem ser definidos e declarados no início do arquivo texto da simulação no Atlas. O simulador baseia-se na estrutura da grade, para calcular ponto a ponto os valores de corrente e demais características elétricas disponíveis no simulador.

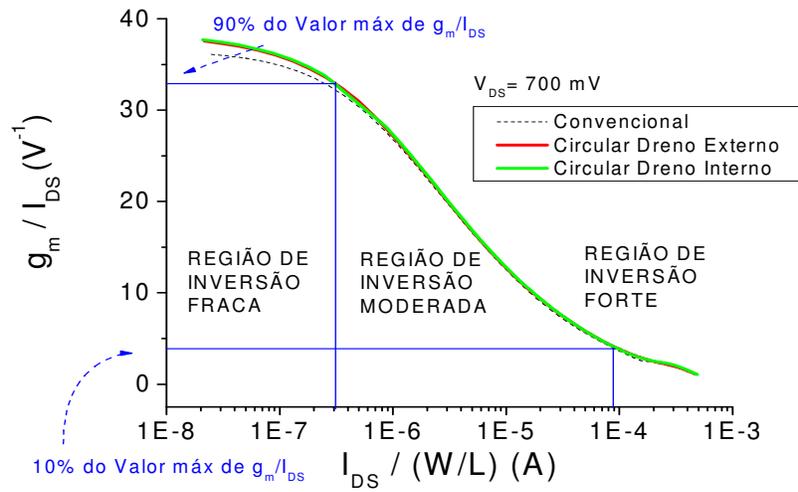
Os modelos físicos utilizados foram: AUGER (modelo de recombinação), BGN (modelo de estreitamento de faixa proibida), FLDMOB (modelo de degradação da mobilidade depende do campo elétrico vertical), KLA (modelo recomendado para baixo campos elétricos), SRH (modelo de recombinação de pares elétrons-lacunas gerados por distúrbios no equilíbrio da estrutura, levando-se em consideração o tempo de vida dos elétrons e lacunas) e FNORD (modelo sugerido para cálculo do efeito de tunelamento, sendo este efeito dependente do campo elétrico e invariável com a temperatura ambiente).

4.2 Determinação da razão da transcondutância normalizada pela corrente de dreno versus a corrente de dreno $\left(\frac{g_m}{I_{DS}} \times \frac{I_{DS}}{(W/L)}\right)$.

A figura 4.4 apresenta a curva simulada do $\left(\frac{g_m}{I_{DS}} \times \frac{I_{DS}}{(W/L)}\right)$ dos SOI nMOSFET convencional e do circular operando na configuração de dreno interno e externo.



(a)



(b)

Figura 4.4 (a) e (b) – Curva $\left(\frac{g_m}{I_{DS}} \times \frac{I_{DS}}{(W/L)} \right)$ para os SOI nMOSFET convencional e o de porta em anel circular nas duas configurações de polarização de dreno interno e externo.

Verifica-se que, os SOI nMOSFETs de porta em anel circular nas duas configurações de dreno (interno e externo) e o convencional, apresentam resultados semelhantes nas áreas de inversão forte. A partir da região de inversão moderada nota-se que, o dispositivo de porta em anel circular operando na configuração de dreno interno e externo apresentam maiores valores de $\left(\frac{g_m}{I_{DS}} \times \frac{I_{DS}}{(W/L)} \right)$, se comparado com o convencional. O SOI nMOSFET de porta em anel circular na configuração de dreno interno não apresentam o efeito do transistor bipolar parasitário, com estes modelos acima descrito. Dessa forma confirmam-se os resultados obtidos experimentalmente, onde o SOI nMOSFET de porta em anel circular operando na configuração de polarização de dreno externo apresenta maiores valores de $\left(\frac{g_m}{I_{DS}} \times \frac{I_{DS}}{(W/L)} \right)$ nas regiões de inversão fraca e moderada. É importante salientar que não foi possível simular os efeitos parasitários

5 CONCLUSÃO

O principal resultado deste trabalho foi mostrar que o SOI nMOSFET de porta em anel circular operando na configuração de dreno externo, apresenta um melhor comportamento de

$$(g_m \times V_{GT}) e \left(\frac{g_m}{I_{DS}} \times \frac{I_{DS}}{(W/L)} \right)$$

que o SOI nMOSFET convencional e o SOI nMOSFET de porta em anel circular operando na configuração de dreno interno, para todas as regiões de polarizações e regimes de inversão estudados, devido a menor influência dos efeitos da modulação do comprimento de canal e ionização por impacto e devido a uma maior área de interface das regiões de dreno e do filme de silício, onde forma-se o canal, desprezando-se os efeitos indesejáveis do transistor bipolar parasitário (“*Single transistor latchup*”) no SOI nMOSFET de porta em anel circular operando na configuração de polarização de dreno interno.

Neste trabalho foi possível determinar os pontos de acionamento e desacionamento do transistor bipolar parasitário. Adicionalmente a região de acomodação foi definida como a região onde ocorre um comportamento não exponencial, após o disparo do transistor bipolar parasitário, o qual este pode ser utilizado em aplicação como sensores.

Alguns trabalhos futuros podem ser sugeridos onde dois são destacados: 1) Identificação das dimensões mínimas de W e L de um SOI nMOSFET de porta em anel circular operando na configuração de dreno interno, onde o efeito do transistor bipolar parasitário deixa de existir e 2) Desenvolvimento de um estudo para utilizar o efeito do transistor bipolar parasitário para aplicações de circuitos integrados analógicos.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] COLINGE, J. P. **Silicon-on-Insulator Technology: Materials to VLS**. Boston: Kluwer Academic Publisher , 2003.
- [2] I Chang, Sze S. M. **ULSI DEVICES**. Wiley Interscience Publication, 2000
- [3] DORIA, R. T. **Estudo da linearidade em transistores SOI de porta dupla com estrutura de canal gradual**. 2007. 144f. Dissertação (Mestrado em Dispositivos Eletrônicos) – Centro Universitário da FEI, São Bernardo do Campo, 2007.
- [4] SILVA, W. A. J.; GIMENEZ, S. P. Transconductance and transconductance over drain current ratio behaviors in circular gate SOI nMOSFET by using 0.13 μm partially-depleted SOI CMOS technology. **Students Forum SBMicro**, 2007
- [5] COLINGE, J.P ; COLINGE C. A. **PHYSICS OF SEMICONDUCTOR DEVICES**. Boston: Kluwer Academic Publisher , 2002.
- [6] Sedra, Adel S.; Smith, Kenneth, C. **Microeletrônica**. SP: Makron Books, 2000.
- [7] GIMENEZ, S. P.; FERREIRA, R. M. G; MARTINO, J. A. Early Voltage Behavior in Circular Gate SOI nMOSFET Using 0.13 μm Partially-Depleted SOI CMOS Technology. **SBMicro**, vol. 4, p. 319-328, 2006.
- [8] GIMENEZ, Salvador P. **Estudo do GC SOI nMOSFET e Aplicações em amplificadores operacionais de transcondutância**. 2004. Dissertação (Doutorado em Dispositivos Eletrônicos) – Escola Politécnica da Universidade de São Paulo, São Paulo, 2004
- [9] SILVEIRA, F.; FLANDRE, D.; JESPERS, P. G. A. A **g_m/I_D based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon on insulator micropower OTA**. IEEE Journal of Solid-State Circuits. vol. 31, n. 9, 1996. p. 1314-1319.
- [10] ALMEIDA , G.F **Estudo da Resistência Série e do Comprimento efetivo de Canal em Transistores MOS Convencionais e SOI MOS**. 1995. 96 f. Dissertação (Mestrado em Dispositivos Eletrônicos) – Universidade de São Paulo, São Paulo, 1995
- [11] MCANDREW, C.C.; LAYMAN, P.A.; **MOSFET effective channel length, threshold voltage and series resistance determination by robust optimization**. IEEE Trans. On Electron Devices. v.39, n.10, Oct.1992.

- [12] GUO, J.et.al. **A new approach to determine the effective channel length and the drain-and-source series resistance of miniaturized MOSFETs.** IEEE trans. On Electron Devices. v 41, n.10. Oct.1992.
- [13] DIXIT, A.; KOTTANTHARAYIL, A.; COLLAERT, N.; GOODWIN, M.; JURCZAK, M.; DE MEYER, K.; **Analysis of the Parasitic S/D Resistance in Multiple-Gate FETs, IEEE Transactions on Electron Devices**, v. 52, no. 6, p. 1132-1140, jun. 2005.
- [14] DAVIS J.R. et al., **IEEE Electron Device Letter**, Vol 7, p. 570, 1986
- [15] FOSSUM j.g.; SUNDARESAN r.; MATLOUBUIAN M. **IEEE transactions on Electron Devices**, Vol. 34, p. 544, 1987.
- [16] MATLOUBUIAN M.; C.E.D. CHEN B. Y. MAO, R. SUNDARESAN, G.P POLLACK. **IEEE transactions on Electrons Devices**, Vol 37, no 9, p.1985, 1990
- [17] SCHRODER, D. K. **Semiconductor Material and Device Characterization.** 3 ed. Hoboken: IEEE, 2006.
- [18] TonyPlot3D. Structure Visualition Tool. Version 3.4.1 R, Copyriht, 1964-2006, Silvaco International.
- [19] Atlas Users' Manual, Device simulation software, 10a edição, 2005.
- [20] Origin 7.0 SR0, Copyright 1991-2002, Originlab Corporation

APÊNDICE A – SBMICRO – SFORUM 2007

Neste apêndice segue o artigo aceito para o 7th *Microelectronics Students Fórum* – SFORUM2007, onde são abordados os conceitos fundamentais sobre a transcondutância e a transcondutância normalizada pela corrente de dreno sobre a corrente de dreno normalizada para os transistores SOI operando na região de saturação.

TRANSCONDUCTANCE AND TRANSCONDUCTANCE OVER DRAIN CURRENT RATIO BEHAVIORS IN CIRCULAR GATE SOI nMOSFET BY USING 0.13 μm PARTIALLY-DEPLETED SOI CMOS TECHNOLOGY.

Wellington. A. J. Silva¹ and Salvador Pinillos Gimenez^{1,2}

¹Centro Universitário da FEI
Av. Humberto de Alencar Castelo Branco, 3972, SBC - SP - 09850-901 – Brazil

²Laboratório de Sistemas Integráveis da Universidade de São Paulo
Av. Prof. Luciano Gualberto, trav. 3, n. 158, SP - SP - 05508-900 - Brazil

wsilva54@ford.com

ABSTRACT

This paper studies the transconductance and the transconductance over drain current ratio behaviors in circular gate by using 0.13 μm partially-depleted SOI CMOS technology, based on experimental results, at room temperature. The drain/source asymmetric effects are considered in terms of drain current as a function of the gate and drain voltages. Circular gate transconductance and transconductance over drain current ratio comparisons with conventional SOI nMOSFET are performed, regarding the same effective channel length (L) and width (W). It can use circular gate transistors instead conventional SOI nMOSFET in order to improve the voltage gain of analog integrated circuits.

1. INTRODUCTION

The random errors of the fabrication process [1] and the devices geometrical forms [2] heavily affect the performance of analog integrated circuits. In order to verify the influence of other geometrical form than conventional in analog integrated circuits, this work is focusing in the circular gate transistor (CGT) (figure 1), where the internal contact can operate either as a drain or as a source. Besides, this structure is asymmetric because it presents different drain and source dimensions and the drain current is in the radius direction (all directions), in contrast of the conventional counterpart.

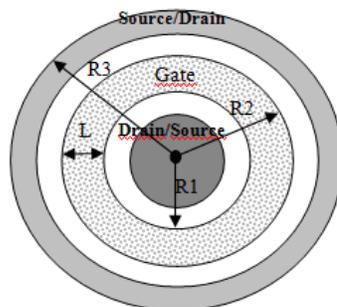


Figure 1 – Circular gate SOI nMOSFET structure, where the internal contact can be operating either as a drain.

In the figure 1, R1 is the internal radius that defines the channel beginnings, R2 is the external radius that defines the channel external edge, L is the channel length (=R2-R1) and R3 is the radius that defines the device external edge.

The geometrical factor (f_r) of GCT and conventional SOI nMOSFET is determined by equation (1) [3].

$$f_r = \left(\frac{W}{L} \right)_{\text{Conventional}} = \left[\frac{2\pi}{\ln\left(\frac{R2}{R1}\right)} \right]_{\text{Circular}} \quad (1)$$

In the equation (1), W is the channel width.

The references [4, 5] show that larger transconductance (g_m), transconductance over drain current ratio (g_m/I_{DS}) and Early voltage (V_{EA}) reach larger operational transconductance amplifiers (OTAs) open-loop voltage gain (A_{V0}) and unit voltage gain frequency (f_T). It is showed in the reference [6] that the CGT Early voltage with external drain configuration is larger than it is operating with internal drain and than conventional SOI nMOSFET. So, the focus of this work is to investigate the transconductance (g_m) and transconductance over drain current (g_m/I_{DS}) behavior in circular gate SOI nMOSFETs taking in account the drain/source asymmetric effects regarding experimental results. Comparisons between rectangular and circular gates SOI nMOSFETs are also performed, considering the same effective channel length and width.

2. EXPERIMENTAL RESULTS

The transistors used to perform the experimental measures were fabricated at IMEC, Belgium, and using 0.13 μm Partially-Depleted SOI CMOS technology. The technologic parameters of the SOI nMOSFETs are: $t_{\text{oxf}}=2.5$ nm (gate oxide thickness), $t_{\text{oxb}}=400$ nm (buried oxide thickness), $t_{\text{si}}=100$ nm (silicon thickness), $N_A=5.5 \times 10^{17} \text{ cm}^{-3}$ (channel concentration), $N_{\text{Drain/Source}}= 1 \times 10^{20} \text{ cm}^{-3}$ (Drain/Source concentration), $L = 1 \mu\text{m}$ (channel length) and $W = 100 \mu\text{m}$ (average channel width). The calculated values for R1 and R2 are 15.5 μm and 16.5, respectively, in order to obtain $W/L=100$ [expression (4)]. The conventional transistor dimensions are $L = 1 \mu\text{m}$ and $W = 10 \mu\text{m}$, resulting $W/L=10$.

In the figure 2 are presented the $I_{DS}/W \times V_{GT}$ experimental curves of CGT with both drain configurations (operating with internal and external drain) and conventional SOI nMOSFETs, where V_{GT} is equal to $V_{GS}-V_{TH}$, V_{GS} is the gate to source voltage and V_{TH} is the threshold voltage. The normalized drain current in relation of channel width and V_{GT} are used to implement this graphic in order to eliminate the channel widths and threshold voltages differences between CGT and conventional, respectively.

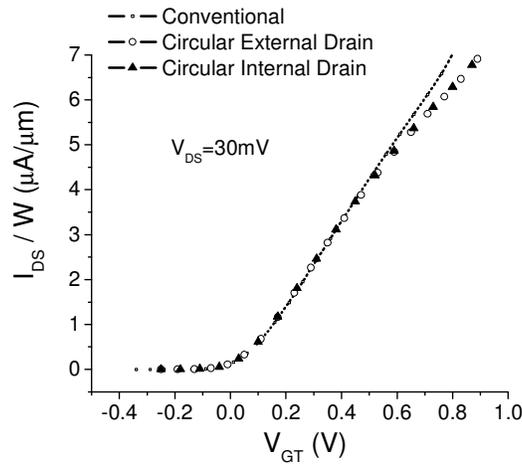


Figure 2 – Experimental results of circular gate devices and conventional SOI nMOSFET.

Observing the figure 2, it can see that the normalized drain current (I_{DS}/W) of CGT with internal drain configuration is higher than with external drain configuration and than conventional one. Besides, CGT I_{DS}/W with external drain configuration has practically the same than rectangular gate transistor.

Figure 3 presents the experimental transconductance curves as a function of V_{GT} for the CGT with both drain configurations and conventional SOI nMOSFETs.

Regarding the figure 3, it can verify that the transconductances of CGT with both drain configurations and conventional SOI nMOSFETs present practically the same behaviors for V_{GT} values bellow of the maximum transconductance ($V_{GT} \leq 0.25$ V) and they also have practically the same maximum transconductance (g_{mmax}). Besides, for V_{GT} values above of g_{mmax} , the CGT with both drain configurations presents smaller transconductance than conventional SOI nMOSFET. As the carriers mobility depend on the material crystallographic orientation, one hypothesis to understand this phenomenon (carriers mobility degradation in the CGT) is due to CGT carriers move in the radius directions (all directions) in channel, while they move in one unique direction in the conventional transistor. Three dimensional simulations have been performed with these transistors in order to confirm this affirmation.

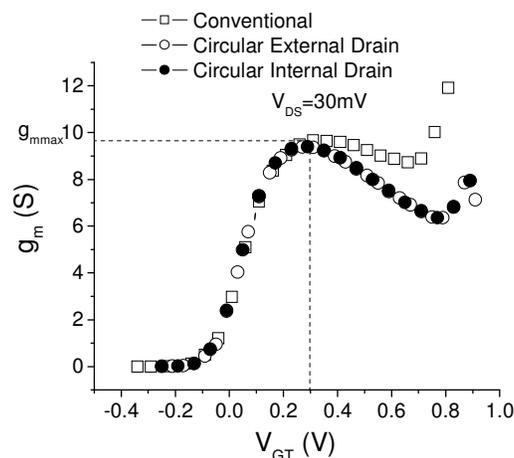


Figure 3 – Experimental transconductance curves of CGT for both configurations and conventional SOI nMOSFET.

In the figure 4 are showed $g_m/I_{DS} \times V_{GT}$ experimental curves of CGT and conventional SOI nMOSFET.

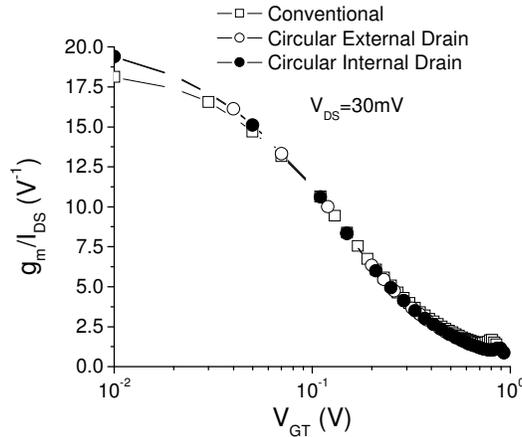


Figure 4 – Experimental $g_m/I_{DS} \times V_{GT}$ curves for the circular gate transistor and conventional SOI nMOSFET.

Observing figure 4, it can note that CGT with both configurations and conventional g_m/I_{DS} are practically the same for V_{GT} higher than 0.1 V (moderate and strong inversion regions). And, regarding V_{GT} less than 0.1 V (weak inversion region), the CGT with internal drain configuration presents higher g_m/I_{DS} than conventional SOI nMOSFET due to it has higher transconductance in this region.

In the figure 5 are presented the transconductance over drain current ratio over DC drain current normalized as a function of channel width over length ratio curves [$g_m/I_{DS} \times I_{DS} / (W/L)$] of the CGT with both drain configurations and conventional SOI nMOSFET. This graphic is an important merit figure in order to design analog integrated circuits and presents an universal characteristic of all the transistors belonging to the same fabrication process [4, 5].

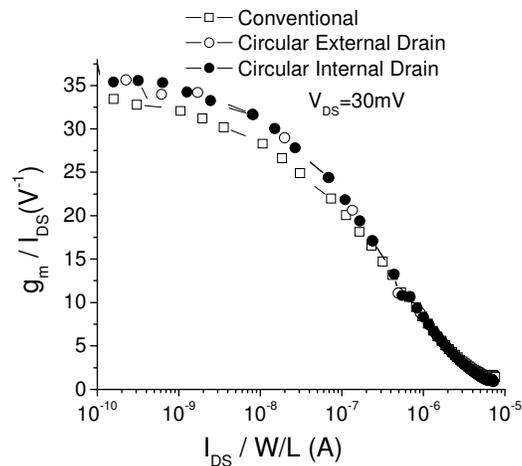


Figure 5 – CGT and conventional SOI nMOSFET $g_m/I_{DS} \times I_{DS} / (W/L)$ experimental curves.

Note that in the figure 5, the g_m/I_{DS} of CGT with both drain configurations is higher than conventional SOI nMOSFET for $I_{DS}/(W/L)$ less than 0.3 A [weak inversion (18% maximum) and inferior half of moderate inversion regions] and it is practically the same in the strong inversion region.

3. CONCLUSIONS

This paper performs the behavior study of transconductance and transconductance over drain current ratio in circular gate SOI nMOSFET. For $V_{GT} \leq 0.25$ V, the transconductances behaviors of CGT with both drain configurations and conventional SOI nMOSFETs is practically the same. Besides, they present practically the same g_{mmax} and the CGT transconductance has larger degradation than conventional transistor for $V_{GT} > 0.25$, due to carriers mobility depend of the material crystallographic orientation and in the CGT the carriers move in the radius direction (all directions) in channel.

The g_m/I_{DS} of CGT with both drain configurations is higher (18% maximum) than conventional SOI nMOSFET in the weak inversion region and up to inferior half of moderate inversion regions, for $I_{DS}/(W/L)$ less than 0.3 A. Besides, it is practically the same in the strong inversion region. So, in order to improve the voltage gain (18%) of analog integrated circuits, operational transconductance amplifiers (OTAs) for example, where usually the differential pair is biased in weak or moderate inversion regions, it can use the CGT instead conventional SOI nMOSFET.

4. ACKNOWLEDGMENTS

The authors would like to thank Cor Claeys (IMEC) and João Antonio Martino (LSI/EPUSP) for supplying the devices.

5. REFERENCES

- [1] J. B. Shyu, Gabor C. Temes and F. Krummenacher, Random Error Effects in Matched MOS Capacitors and Current Sources, IEEE of Solid-State Circuits, vol. sc-19, n. 6, December 1984.
- [2] S. P. Gimenez, Random Errors in Integrated Circuits, Teses, 1990.
- [3] J. P. Collinge, Silicon-On-Insulator Technology: Materials to VLSI, p. 219, Kluwer Academic Publishers (2004).
- [4] J. P. Eggermont, D. D. Ceuster, D. Flandre, P. G. A. Jespers and J. P. Colinge, IEEE Journal of Solid-State Circuits, vol. 31, NO. 2, p. 179-186 (1996).
- [5] F. Silveira, D. Flandre and P. G. A. Jespers, IEEE Journal of Solid-State Circuits, Vol. 31, NO. 9, p. 1314-1319 (1996).
- [6] S. P. Gimenez, R. M. G. Ferreira and J. A. Martino, Microelectronics Technology and Devices, SBMicro2006, ECS Transactions, Vol. 4, n^o 1, 2006.

APÊNDICE B – SIMULAÇÕES ATLAS

```
#####
# Simulacao de um transistor 3D com L=1um e W=100um
# Espessura da camada de silicio: tSi=100nm
# Espessura do oxido de porta: toxf=25nm
# Espessura do oxido enterrado: toxb=400nm
#
# PARA CDE E QUA:
# Subs=1, Dreno=2, Porta=3, Fonte=4
# PARA CDI:
# Subs=1, Dreno=4, Porta=3, Fonte=2
#
# Nome dos contatos
# 1=ContSubs, 2=ContDreno, 3=ContPorta, 4=ContFonte
#####
go atlas
#####
# A malha foi especificada no devedit3d #
#####
MESH infile = C:\Alunos\Wellington\Circ-10g-040308.str
#####
DOPING UNIFORM CONCENTRATION=1E20 N.TYPE REGION=3
DOPING UNIFORM CONCENTRATION=5.5E17 P.TYPE REGION=4
DOPING UNIFORM CONCENTRATION=1E20 N.TYPE REGION=5
#####
CONTACT NAME=ContPorta N.POLY
CONTACT NAME=ContSubs WORKFUNCTION=4.95
#####
# ESPECIFICAÇÃO DOS MODELOS FÍSICOS
#####
models bgn kla shi qtunn.el qtunn.ho fnord fnholes bbt.kl print temp=300
method gummel newton autonr trap maxtrap=10 carriers=1
#####
#####
# Polarizacao da porta: Vsubs=0V, Vdreno=0.7 V, Vporta varia de
# 0.1 a 1.2 V, Vfonte=0V.
#####
#####
solve init
#solve prev
solve v1=0
solve v4=0
solve v2=0
solve v3=0
# Subindo a tensao do dreno ate 700mV
solve v4=1e-9
solve v4=1e-8
solve v4=1e-7
solve v4=1e-6
```

```

solve v4=1e-5
solve v4=1e-4
solve v4=1e-3
solve v4=1e-2
solve v4=7e-1
# Subindo a tensão de porta até -0.1V
solve v3=-1e-13
solve v3=-1e-12
solve v3=-1e-11
solve v3=-1e-10
solve v3=-1e-9
solve v3=-1e-8
solve v3=-1e-7
solve v3=-1e-6
solve v3=-1e-5
solve v3=-1e-4
solve v3=-1e-3
solve v3=-1e-2
#####
# ESPECIFICAÇÃO DOS MODELOS FÍSICOS PARA SOLUÇÃO
#####
#impact selb
method gummel newton carriers=2 autonr trap maxtrap=10
#####
# SE HOUVER ALGUMA SOLUÇÃO ANTERIOR COLOCAR O ARQUIVO AQUI
#####
#Quando usar, retirar todas soluções intermediárias!!!
#LOAD INFILE=<nome do arquivo> MASTER
#MASTER ---não é necessária após o infile quando for a primeira continuação
# Labels
SET data=100408
#SET tipo=CDE
SET tipo=CDI
#SET tipo=QUA
# Nome do arquivo de solução
log outf=IdsVgs-Vds700mV-"tipo"-"data".log
#Início da solução
solve v3=-0.1 vstep=0.01 vfinal=0.0 name=ContPorta outfile="$tipo"02 master
onefileonly
output
save outf=IdsVgs-Vds700mV-"tipo"-"data".str
#Início da solução
solve v3=0.01 vstep=0.01 vfinal=0.1 name=ContPorta outfile="$tipo"02 master
onefileonly
output
save outf=IdsVgs-Vds700mV-"tipo"-"data".str
#Início da solução
solve v3=0.11 vstep=0.01 vfinal=0.2 name=ContPorta outfile="$tipo"02 master
onefileonly
output

```

```
save outf=IdsVgs-Vds700mV-"tipo"-"data".str
solve v3=0.21 vstep=0.01 vfinal=0.3 name=ContPorta outfile="$tipo"03 master
onefileonly
output
save outf=IdsVgs-Vds700mV-"tipo"-"data".str
solve v3=0.31 vstep=0.01 vfinal=0.4 name=ContPorta outfile="$tipo"04 master
onefileonly
output
save outf=IdsVgs-Vds700mV-"tipo"-"data".str
solve v3=0.41 vstep=0.01 vfinal=0.5 name=ContPorta outfile="$tipo"05 master
onefileonly
output
save outf=IdsVgs-Vds700mV-"tipo"-"data".str
solve v3=0.51 vstep=0.01 vfinal=0.6 name=ContPorta outfile="$tipo"06 master
onefileonly
output
save outf=IdsVgs-Vds700mV-"tipo"-"data".str
solve v3=0.61 vstep=0.01 vfinal=0.7 name=ContPorta outfile="$tipo"07 master
onefileonly
output
save outf=IdsVgs-Vds700mV-"tipo"-"data".str
solve v3=0.71 vstep=0.01 vfinal=0.8 name=ContPorta outfile="$tipo"08 master
onefileonly
output
save outf=IdsVgs-Vds700mV-"tipo"-"data".str
solve v3=0.81 vstep=0.01 vfinal=0.9 name=ContPorta outfile="$tipo"09 master
onefileonly
output
save outf=IdsVgs-Vds700mV-"tipo"-"data".str
solve v3=0.91 vstep=0.01 vfinal=1.0 name=ContPorta outfile="$tipo"10 master
onefileonly
output
save outf=IdsVgs-Vds700mV-"tipo"-"data".str
solve v3=1.01 vstep=0.01 vfinal=1.1 name=ContPorta outfile="$tipo"11 master
onefileonly
output
save outf=IdsVgs-Vds700mV-"tipo"-"data".str
solve v3=1.11 vstep=0.01 vfinal=1.2 name=ContPorta outfile="$tipo"12 master
onefileonly
output
save outf=IdsVgs-Vds700mV-"tipo"-"data".str
#Fim da solução
quit
```