

CENTRO UNIVERSITÁRIO FEI  
FLÁVIO ENRICO BERGAMASCHI

**EFEITOS DA APLICAÇÃO DE TÉCNICAS DE APRIMORAMENTO DE  
DESEMPENHO EM TRANSISTORES SOI CMOS DE TECNOLOGIAS  
TOTALMENTE DEPLETADAS PROMISSORAS**

São Bernardo do Campo

2022



FLÁVIO ENRICO BERGAMASCHI

**EFEITOS DA APLICAÇÃO DE TÉCNICAS DE APRIMORAMENTO DE  
DESEMPENHO EM TRANSISTORES SOI CMOS DE TECNOLOGIAS  
TOTALMENTE DEPLETADAS PROMISSORAS**

Tese de Doutorado apresentada ao Centro  
Universitário FEI, como parte dos requisitos  
necessários para obtenção do título de Doutor  
em Engenharia Elétrica. Orientado pelo Prof.  
Dr. Marcelo Antonio Pavanello.

São Bernardo do Campo

2022

Bergamaschi, Flávio Enrico.

Efeitos da aplicação de técnicas de aprimoramento de desempenho em transistores SOI CMOS de tecnologias totalmente depletadas promissoras / Flávio Enrico Bergamaschi. São Bernardo do Campo, 2022.

222 p. : il.

Tese - Centro Universitário FEI.

Orientador: Prof. Dr. Marcelo Antonio Pavanello.

1. Tecnologia FD SOI. 2. Polarização do substrato. 3. Mobilidade. 4. Temperaturas criogênicas. 5. Autoaquecimento. I. Pavanello, Marcelo Antonio, orient. II. Título.

**Aluno(a):** Flávio Enrico Bergamaschi

**Matrícula:** 518103-7

**Título do Trabalho:** Efeitos da aplicação de técnicas de aprimoramento de desempenho em transistores SOI CMOS de tecnologias totalmente depletadas promissoras

**Área de Concentração:** Nanoeletrônica e Circuitos Integrados

**Orientador(a):** Prof. Dr. Marcelo Antonio Pavanello

**Data da realização da defesa:** 19/10/2022

**ORIGINAL ASSINADA**

**Avaliação da Banca Examinadora:**

A defesa pública de tese de doutorado foi realizada por videoconferência, com a presença de todos os membros da banca examinadora. Iniciou-se pela apresentação da tese, por parte do candidato. Em seguida, foi realizada a arguição do candidato, por parte de todos os membros da banca examinadora. O candidato respondeu e argumentou sobre as perguntas realizadas satisfatoriamente. Na sequência, em sessão fechada, a banca examinadora deliberou pela aprovação unânime da tese. Os comentários realizados pelos membros da banca examinadora serão incluídos na versão final da tese de doutorado.

A Banca Julgadora acima-assinada atribuiu ao aluno o seguinte resultado:

APROVADO

REPROVADO

**MEMBROS DA BANCA EXAMINADORA**

Prof. Dr. Marcelo Antonio Pavanello

Profª Drª Michelly de Souza

Prof. Dr. Cleiton Fidelix Pereira

Prof. Dr. Gilson Inácio Wirth

Prof. Dr. Felipe de Aguiar Neves

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz



A Deus e à minha família que são tudo na minha vida. Aos professores, pesquisadores e amigos que acompanharam meus passos nessa jornada.



## AGRADECIMENTOS

Agradeço primeiramente a Deus por guiar meu caminho e por me dar forças para ultrapassar todos os obstáculos da vida.

Aos meus pais, Márcio e Maria Terezinha, e ao meu irmão, César, por estarem sempre ao meu lado para dar qualquer tipo de apoio necessário, me ajudando a atravessar as inseguranças e as dificuldades que surgem ao longo da vida, sempre buscando me fazer evoluir e crescer como pessoa e como profissional.

Ao Prof. Dr. Marcelo Antonio Pavanello, que sempre se colocou à disposição para orientar meu caminho da melhor forma, desde o início da minha carreira acadêmica na iniciação científica, em seguida no mestrado e, por fim, no doutorado, preocupando-se em tirar o que há de melhor em mim e valorizar meu esforço. Agradeço por me ensinar os valores éticos e morais de pesquisador dos quais ele mesmo dispõe, sendo, portanto, o maior responsável pela maturidade profissional que adquiri durante todos os anos em que trabalhamos juntos.

Aos professores e amigos do grupo de pesquisa do Centro Universitário FEI, Prof.<sup>a</sup> Dra. Michelly de Souza, Prof. Dr. Rodrigo Trevisoli Doria, Prof. Dr. Renan Trevisoli Doria, Thales, Rafael, Egon, Allan, Fernando, Vinícius, Bruna, Lígia, Felipe e Coco com quem tive a chance de colaborar em trabalhos e orientações e com quem partilhei momentos de descontração, amizade e ajuda mútua.

Aos pesquisadores do CEA, Dr. Mikaël Cassé, Dr. Fred Gaillard, Dr. Louis Jansen e Dr. Gérard Billiot, por me receberem, me orientarem e me auxiliarem no trabalho desenvolvido durante o período em que estive no CEA em Grenoble, na França.

Aos amigos do CEA, Maxime, Antoine, Tadeu, Alexandre, Ismael, Thibaud, Quentin, Joycelyn e Theophile, que me acolheram com muita amizade e paciência, me incluindo e me ajudando a me adaptar e a tornar a minha estadia no CEA muito mais prazerosa e agradável.

Aos membros das bancas examinadoras do exame de qualificação e da defesa de tese, Dr.<sup>a</sup> Arianne Soares do Nascimento Pereira, Dr. Rudolph Theoderich Bühler, Prof. Dr.<sup>a</sup> Michelly de Souza, Prof. Dr. Cleiton Fidelix Pereira, Prof. Dr. Gilson Inácio Wirth e Prof. Dr. Felipe de Aguiar Neves pelas sugestões e conselhos fornecidos durante as bancas para ajudar a aprimorar o resultado final da tese.

À Fundação Coordenação de Aperfeiçoamento de Pessoal de Nível Superior (CAPES), Finance Code 001, e ao Centro Universitário FEI pelo suporte financeiro e pela estrutura fornecida para realização deste trabalho.



## RESUMO

Este trabalho avalia a influência do uso de duas técnicas para aprimoramento do desempenho de transistores, a polarização do substrato e a operação em temperaturas criogênicas, no comportamento elétrico de dispositivos fabricados em tecnologias consideradas promissoras, pela comunidade científica e pela indústria, para futuros nós tecnológicos: os nanofios transistores MOS e os transistores SOI planares com tecnologia de 28nm. Nos nanofios é realizado o estudo dos efeitos da polarização do substrato no transporte de cargas, enquanto nos transistores SOI planares é realizada a análise do autoaquecimento em temperaturas criogênicas. Os resultados são obtidos através de medidas experimentais e simulações numéricas tridimensionais. A variação da mobilidade dos portadores com o aumento da polarização de substrato é analisada para nanofios transistores MOS com comprimentos de canal e larguras de *fin* variadas, através dos métodos de extração da mobilidade Y-Function e Split-CV para uma ampla faixa de tensões do substrato, chegando a 100V. É verificada uma mudança de tendência da curva de mobilidade para valores elevados de polarização, fazendo com que, em alguns casos, o aumento da mobilidade se transforme em degradação. Para compreender o comportamento não monotônico da mobilidade com aumento da tensão de substrato, é utilizado um método de obtenção da mobilidade no canal criado entre o silício e o óxido enterrado quando o substrato é polarizado. Além de validar as análises e hipóteses sugeridas pelos resultados experimentais, a simulação também é usada para verificar, através de cortes na estrutura, a distribuição de cargas em diferentes condições de polarização. O canal criado próximo ao óxido enterrado apresenta mobilidade superior à do canal principal, resultando em aumento da mobilidade com a elevação da tensão do substrato. Porém, em alguns casos o campo elétrico elevado aumenta o efeito dos fenômenos de espalhamento a ponto de causar degradação da mobilidade. Simulações mostram a diminuição desse efeito com a redução do comprimento de canal. O estudo do autoaquecimento inclui transistores SOI planares nMOS e pMOS com variações no comprimento e largura de canal, na espessura do óxido de porta e no número de transistores em paralelo. O autoaquecimento é extraído experimentalmente através do método de termometria de porta, com variação da temperatura do ambiente de 300K até 4,2K. A polarização do substrato não aumenta a resistência térmica do transistor, portanto não há piora no autoaquecimento, mas devido ao aumento da potência dissipada, a temperatura do dispositivo atinge maiores valores. Já a redução do comprimento de canal resulta em aumento da resistência térmica, indicando maior autoaquecimento. O acoplamento térmico entre transistores próximos causa aumento no autoaquecimento, mas a

presença de isolamento entre os dispositivos não modifica esse efeito. A operação em temperaturas criogênicas faz com que o aumento de temperatura em função da potência dissipada não seja linear, divergindo da operação acima de 100K. Acima de 75K, a resistência térmica é proporcional à resistência térmica do SiO<sub>2</sub>, devido à dissipação de calor majoritariamente pelo óxido enterrado. Porém, abaixo de 75K, a resistência térmica apresenta tendência similar à resistência térmica do silício, sendo um comportamento ainda pouco compreendido pela comunidade científica.

Palavras-chave: Tecnologia FD SOI. Nanofios transistores MOS. Polarização do substrato. Mobilidade. Temperaturas criogênicas. Autoaquecimento.

## ABSTRACT

This work evaluates the use of two performance enhancement techniques, the back biasing and the operation in cryogenic temperatures, in the electrical behavior of devices fabricated in technologies considered promising by the scientific community and by the industry for future technological nodes: the nanowire MOS transistors and the 28nm node planar SOI transistors. In nanowires, the study of the effects of back biasing in the carrier transport is performed, while for the planar SOI transistors it is performed the analysis of self-heating in cryogenic temperatures. The results are obtained through experimental measurements and tridimensional numerical simulations. The carrier mobility variation with the increase in substrate bias is analyzed for nanowire MOS transistors with varied channel lengths and fin widths, through the mobility extraction methods Y-Function and Split-CV for a wide range of substrate bias, up to 100V. A tendency change in the mobility curve is verified for high substrate bias values, which, in some cases, results in the mobility enhancement being transformed into mobility degradation. To understand the non-monotonical behavior of the mobility with the increase in substrate bias, a method is used for obtention of the mobility in the channel formed between the silicon and the buried oxide when the substrate is biased. In addition to validating the analysis and the hypotheses implied by the experimental results, the simulation is also used to verify, through cuts in the structure, the charge distribution in different biasing conditions. The channel created close to the buried oxide presents higher mobility than the main channel, resulting in mobility enhancement with the increase of substrate bias. However, in some cases, the high electric field increases the effects of scattering mechanisms to a point where mobility degradation is caused. Simulation results shows the reduction of this effect with the reduction of channel length. The study of self-heating includes nMOS and pMOS planar SOI transistors with variation in channel length and width, in the gate oxide thickness and in the number of parallel transistors. Self-heating is extracted experimentally through the gate resistance thermometry method, with operation temperature variation between 300K down to 4.2K. Substrate biasing does not increase the transistor's thermal resistance, thus there is no increase in self-heating, but due to an increase in dissipated power, the device temperature reaches higher values. The channel length reduction, on the other hand, results in increase of the thermal resistance, indicating higher self-heating. The thermal coupling between transistors close to each other leads to an increase in self-heating, but the presence of insulation between the devices does not modify this effect. The operation in cryogenic temperatures causes the temperature increase as a function of dissipated power to be non-linear, diverging from the

operation above 100K. Above 75K, the thermal resistance is proportional to the SiO<sub>2</sub>'s thermal resistance, due to the heat dissipation taking place mainly through the buried oxide. However, below 75K, the thermal resistance presents similar tendency to the silicon's thermal resistance, a behavior which is still not well comprehended by the scientific community.

Keywords: FD SOI Technology. Nanowire MOS transistors. Substrate biasing. Mobility. Cryogenic temperatures. Self-heating.

## LISTA DE ILUSTRAÇÕES

Figura 1 – Seção longitudinal de um transistor SOI nMOS modo inversão .....	44
Figura 2 – Perspectiva de um FinFET SOI de porta dupla.....	48
Figura 3 – Perspectiva de um FinFET SOI de porta tripla .....	49
Figura 4 – Esquemático da perspectiva e da seção transversal de uma estrutura multi-dedos.	50
Figura 5 – Vista longitudinal de um nanofio transistor MOS .....	52
Figura 6 – Seção transversal de nanofios transistores MOS com diferentes estruturas de porta .....	53
Figura 7 – Ilustração do aumento da largura de fin em FinFETs porta- $\Omega$ .....	53
Figura 8 – Curvas do potencial eletrostático ao longo da região ativa de transistores MOS com canal longo e canal curto .....	58
Figura 9 – Mecanismos de espalhamento e mobilidade de elétrons resultante calculados em função da temperatura para concentração de dopantes de $10^{15} \text{ cm}^{-3}$ .....	61
Figura 10 – Mobilidade efetiva em função do campo elétrico em transistores nMOS com variação da temperatura de operação com indicação das regiões predominantes dos mecanismos de espalhamento dependentes do campo elétrico .....	64
Figura 11 – Curvas de transcondutância em função da tensão de porta para transistores SOI planar e nanofio porta- $\Omega$ indicando as regiões em que diferentes espalhamentos são predominantes.....	66
Figura 12 – Exemplo de uma curva experimental de Y-Function em função da tensão de porta para transistores com óxido de porta superior a 20nm .....	68
Figura 13 – Exemplo de uma curva experimental de Y-Function em função da tensão de porta para transistores com óxido de porta finos .....	69
Figura 14 – Exemplo de extração da curva de mobilidade em função da tensão de porta através do método Split C-V.....	71
Figura 15 – Perfil de concentração de elétrons para diferentes espessuras de silício .....	72
Figura 16 – Curva demonstrativa da mobilidade em função da espessura de silício em um transistor de porta dupla .....	73
Figura 17 – Ilustração do efeito de corpo em transistores SOI em diversas condições da segunda interface .....	74
Figura 18 – Variação da tensão de limiar provocada por DIBL e DIVSB em função da largura de fin para transistores de porta tripla tipo n com variação da polarização do substrato .....	76

Figura 19 – Representação esquemática da seção transversal de um nanofio porta- $\Omega$ tipo n com diversas condições de polarização de porta e substrato .....	77
Figura 20 – Simulação da mobilidade em função das cargas de inversão para transistores de porta tripla tipo n com tensões de substrato de $\pm 2V$ para diferentes mecanismos de espalhamento.....	78
Figura 21 – Mobilidade efetiva de elétrons em função da densidade de cargas de inversão e da tensão de substrato para transistores UTB e UTBB SOI tipo n com variação da tensão de substrato .....	79
Figura 22 – Curvas $I_{DS}-V_{GS}$ e mobilidade efetiva de elétrons em função da densidade de cargas de inversão para transistores FD SOI planares tipo n com redução da temperatura de operação de 300 a 4,2K .....	80
Figura 23 – Tensão de limiar e inclinação de sublimiar em função da temperatura de operação para transistores FD SOI planares tipo n. ....	81
Figura 24 – Transcondutância de um SOI MOSFET de porta dupla com comportamento 2DEG .....	82
Figura 25 – Corrente de dreno de um SOI MOSFET com comportamento 1DEG .....	82
Figura 26 – Simulação da distribuição da temperatura em transistores MOS com tecnologia SOI e convencional sob efeito de autoaquecimento .....	84
Figura 27 – Condutividade térmica em função da temperatura para dióxido de silício e silício com diversas espessuras.....	85
Figura 28 – Esquemático de um transistor MOS com estrutura de porta de dois contatos usada no método de termometria de porta .....	87
Figura 29 – Variação da temperatura decorrente do autoaquecimento em função da potência dissipada em transistores FD SOI planares para diferentes temperaturas do ambiente.....	88
Figura 30 – Resistência térmica em função da temperatura do dispositivo em transistores FD SOI planares para diferentes temperaturas do ambiente .....	89
Figura 31 – Esquemático e Imagem TEM da seção transversal de um nanofio transistor MOS SOI porta- $\Omega$ .....	92
Figura 32 – Corrente de dreno normalizada pela largura efetiva de fin em função da tensão de porta para nanofios transistores MOS tipo n com variação da tensão de substrato e largura de fin de 12, 17 e 22nm.....	94
Figura 33 – Tensão de limiar em função da tensão de substrato para nanofios transistores MOS tipo n com variação da largura de fin.....	95

Figura 34 – Inclinação de sublimiar em função da tensão de substrato para nanofios transistores MOS tipo n com variação da largura de fin.....	96
Figura 35 – Transcondutância em função da tensão de porta para nanofios transistores MOS tipo n com largura de fin de 12 e 22nm com variação da tensão de substrato .....	97
Figura 36 – Transcondutância máxima normalizada pela largura efetiva em função da tensão de substrato para nanofios transistores MOS tipo n com variação da largura de fin .....	97
Figura 37 – Mobilidade de baixo campo obtida por Y-Function em função da tensão de substrato para nanofios transistores MOS tipo n com variação da largura de fin .....	98
Figura 38 – Corrente de dreno normalizada pela largura efetiva de fin em função da tensão de porta para nanofios transistores MOS tipo p com variação da tensão de substrato e largura de fin de 12, 17 e 22nm .....	100
Figura 39 – Tensão de limiar em função da tensão de substrato para nanofios transistores MOS tipo p com variação da largura de fin .....	101
Figura 40 – Inclinação de sublimiar em função da tensão de substrato para nanofios transistores MOS tipo p com variação da largura de fin.....	102
Figura 41 – Transcondutância máxima normalizada pela largura efetiva em função da tensão de substrato para nanofios transistores MOS tipo p com variação da largura de fin .....	102
Figura 42 – Mobilidade de baixo campo obtida por Y-Function em função da tensão de substrato para nanofios transistores MOS tipo p com variação da largura de fin .....	103
Figura 43 – Tensão de limiar em função da tensão de substrato para nanofios transistores MOS tipo n com variação da largura de fin em polarização direta do substrato .....	105
Figura 44 – Inclinação da sublimiar em função da tensão de substrato para nanofios transistores MOS tipo n com variação da largura de fin em polarização direta do substrato.....	106
Figura 45 – Derivada da capacitância entre porta e canal pela tensão de porta em função da tensão de porta para um nanofio transistor MOS tipo n com largura de fin de 22nm.....	107
Figura 46 – Mobilidade efetiva em função da concentração de cargas de inversão para nanofios transistores MOS tipo n com variação da largura de fin .....	108
Figura 47 – Mobilidade efetiva em função da tensão de substrato para nanofios transistores MOS tipo n com variação da largura de fin e $N_{INV} 3.10^{12}$ e $7.10^{12} \text{ cm}^{-2}$ .....	109
Figura 48 – Corrente de dreno e capacitância entre porta e canal originais e subtraídos da curva de $V_B=0V$ em função da tensão de porta para um nanofio transistor MOS tipo n com variação da polarização de substrato e largura de fin de 12nm.....	111

Figura 49 – Mobilidade efetiva total e no canal de baixo em função da tensão de porta para nanofios transistores MOS tipo n com variação da polarização de substrato e largura de fin de 12 e 22nm.....	112
Figura 50 – Mobilidade efetiva nos canais de topo, de baixo e total em função da tensão de substrato para nanofios transistores MOS tipo n com variação da largura de fin.....	113
Figura 51 – Mobilidade efetiva em função da tensão de substrato para nanofios transistores MOS tipo n com largura de fin de 12nm e comprimento de canal de 10 $\mu$ m e 500nm para $N_{INV}$ de 3.10 <sup>12</sup> cm <sup>-2</sup> .....	114
Figura 52 – Mobilidade efetiva total e do de baixo em função da tensão de substrato para nanofios transistores MOS tipo n com largura de fin de 12nm e comprimento de canal de 10 $\mu$ m e 500nm para tensão de porta de 0,6V, 0,8V e 1,0V .....	115
Figura 53 – Corte transversal da estrutura de simulação gerada por processo de um nanofio transistor MOS tipo n com largura de fin de 12nm e 32nm.....	120
Figura 54 – Simulações da tensão de limiar em função da tensão de substrato feitas em nanofios transistores MOS tipo n com variação da largura de fin.....	120
Figura 55 – Simulações da inclinação da sublimiar em função da tensão de substrato feitas em nanofios transistores MOS tipo n com variação da largura de fin .....	121
Figura 56 – Simulações da transcondutância máxima normalizada pela largura efetiva em função da tensão de substrato feitas em nanofios transistores MOS tipo n com variação da largura de fin .....	122
Figura 57 – Simulações da mobilidade de baixo campo obtida por Y-Function em função da tensão de substrato feitas em nanofios transistores MOS tipo n com variação da largura de fin .....	123
Figura 58 – Simulações da densidade de corrente de elétrons no centro da seção transversal de um nanofio transistor MOS tipo n com largura de fin de 17nm para $V_{GT}$ de 200mV e diferentes tensões de substrato.....	124
Figura 59 – Corte transversal e corte ao longo do comprimento da estrutura de simulação criada no gerador de estruturas de um nanofio transistor MOS tipo n com largura de fin de 12nm	125
Figura 60 – Corrente de dreno experimental e simulada em função da tensão de porta e erro percentual máximo acima da tensão de limiar para um nanofio transistor MOS tipo n com variação da tensão de substrato e largura de fin de 12nm.....	126
Figura 61 – Variação da mobilidade efetiva obtida experimentalmente e por simulação em função da tensão de substrato para nanofios transistores MOS tipo n com variação da largura de fin .....	127

Figura 62 – Simulações da densidade de elétrons e do campo elétrico em função da posição no corte no canal feitas em nanofios transistores MOS tipo n com variação da polarização de substrato e largura de fin de 12 e 22nm para $N_{INV}$ de $1.10^{12}$ e $7.10^{12} \text{ cm}^{-2}$ .....	128
Figura 63 – Simulações da mobilidade efetiva em função da tensão de substrato feitas em um nanofio transistor MOS tipo n com largura de fin de 22nm para $N_{INV}$ de $1.10^{12} \text{ cm}^{-2}$ com diferentes configurações de parâmetros de simulação .....	129
Figura 64 – Simulações da mobilidade de elétrons em função da posição no corte no canal feitas em nanofios transistores MOS tipo n com variação da polarização de substrato e largura de fin de 12 e 22nm para tensão de porta de 0,6V .....	130
Figura 65 – Simulações da mobilidade de elétrons em função da posição no corte no canal feitas em um nanofio transistor MOS tipo n com variação da polarização de substrato e largura de fin de 12nm para tensão de porta de 0,6, 0,8 e 1,0V .....	131
Figura 66 – Simulações da densidade de elétrons em função da posição no corte no canal feitas em um nanofio transistor MOS tipo n com variação da polarização de substrato e largura de fin de 12nm para tensão de porta de 0,6, 0,8 e 1,0V .....	132
Figura 67 – Simulações da mobilidade efetiva em função da tensão de substrato feitas em nanofios transistores MOS tipo n com variação da largura de fin e comprimento de canal de 10m, 100nm e 50nm para $N_{INV}$ de $1.10^{12}$ e $7.10^{12} \text{ cm}^{-2}$ .....	133
Figura 68 – Simulações da mobilidade efetiva em função da tensão de substrato feitas em nanofios transistores MOS tipo n com óxido enterrado fino e variação da largura de fin para $N_{INV}$ de $2.10^{12}$ e $7.10^{12} \text{ cm}^{-2}$ .....	135
Figura 69 – Simulações dos parâmetros $V_{TH}$ , $V_{\mu\_PICO}$ , $V_{g1x}$ e $V_{g2x}$ em função da tensão de substrato feitas em nanofios transistores MOS tipo n com óxido enterrado fino com largura de fin de 12 e 22nm .....	136
Figura 70 – Simulações das correntes de saturação e desligamento e a razão entre elas em função da tensão de substrato feitas em nanofios transistores MOS tipo n com óxido enterrado fino com variação da largura de fin e comprimento de canal de 40nm .....	138
Figura 71 – Simulações da redução de barreira induzida pelo dreno em função da tensão de substrato feitas em nanofios transistores MOS tipo n com óxido enterrado fino com variação da largura de fin e comprimento de canal de 40nm .....	139
Figura 72 – Esquemático e imagem TEM do transistor FD SOI planar utilizado nas medidas experimentais.....	142
Figura 73 – Esquemático da configuração usada para realização das medidas de autoaquecimento com o método de termometria de porta.....	143

Figura 74 – Tensão de limiar, inclinação de sublimiar e transcondutância máxima em função da temperatura do ambiente nos transistores FD SOI planares tipo n GO1 medidos no provador de baixa temperatura .....	145
Figura 75 – Tensão de limiar, inclinação de sublimiar e transcondutância máxima em função da temperatura do ambiente nos transistores FD SOI planares tipo p GO1 medidos no provador de baixa temperatura .....	146
Figura 76 – Tensão de limiar, inclinação de sublimiar e transcondutância máxima normalizada pela largura de canal em função da temperatura do ambiente nos transistores FD SOI planares tipo n GO1 medidos com o método dip-stick .....	147
Figura 77 – Tensão de limiar, inclinação de sublimiar e transcondutância máxima normalizada pela largura de canal em função da temperatura do ambiente nos transistores FD SOI planares tipo n GO2 medidos com o método dip-stick .....	148
Figura 78 – Resistência de porta de estado desligado em função da temperatura do ambiente para um transistor FD SOI planar tipo n GO1 com variação da tensão de substrato e comprimento de canal de 200nm .....	149
Figura 79 – Variação da temperatura em função da potência dissipada para transistores FD SOI planares tipo n GO1 com variação da temperatura do ambiente e comprimento de canal de 200 e 60nm.....	150
Figura 80 – Variação da temperatura em função da potência dissipada para transistores FD SOI planares tipo n GO1 com variação da tensão de substrato e comprimento de canal de 200 e 60nm.....	151
Figura 81 – Resistência térmica em função da tensão de substrato para transistores FD SOI planares tipo n GO1 com variação da temperatura do ambiente e comprimento de canal de 200 e 60nm.....	152
Figura 82 – Variação da temperatura em função da potência dissipada obtida com medidas $I_{DS}$ - $V_{DS}$ para um transistor FD SOI planar tipo n GO1 com variação da temperatura do ambiente e da tensão de substrato e comprimento de canal de 200nm .....	153
Figura 83 – Variação da temperatura em função da potência dissipada para transistores FD SOI planares tipo p GO1 com variação da tensão de substrato e comprimento de canal de 200 e 60nm.....	153
Figura 84 – Esquemático das estruturas projetadas para análise do acoplamento térmico compostas por um emissor e 4 sensores, com região ativa comum e isolada.....	155

Figura 85 – Variação da temperatura em função da potência dissipada para transistores FD SOI planares tipo n e p GO1 com emissor e 4 sensores com região ativa comum e comprimento de canal de 30nm.....	156
Figura 86 – Variação da temperatura em função do CPP para transistores FD SOI planares tipo n e p GO1 com emissor e 4 sensores com região ativa comum e isolada e comprimento de canal de 30nm .....	157
Figura 87 – Variação da temperatura em função do CPP para transistores FD SOI planares tipo n GO2 com emissor e 4 sensores com região ativa comum e isolada e comprimento de canal de 150nm com variação da temperatura do ambiente .....	158
Figura 88 – Curva de calibração da resistência de porta em função da temperatura do ambiente para um transistor FD SOI planar tipo n GO1 com comprimento de canal de 30nm .....	160
Figura 89 – Corrente de dreno e resistência de porta em função da tensão de porta para um transistor FD SOI planar tipo n GO1 com comprimento de canal de 30nm com variação da temperatura do ambiente .....	161
Figura 90 – Variação da temperatura em função da potência dissipada para um transistor FD SOI planar tipo n GO1 com comprimento de canal de 30nm com variação da temperatura do ambiente .....	162
Figura 91 – Resistência térmica em função da temperatura do dispositivo para um transistor FD SOI planar tipo n GO1 com comprimento de canal de 30nm com variação da temperatura do ambiente .....	163
Figura 92 – Variação da temperatura em função da potência dissipada para transistores FD SOI planares tipo p GO1 com variação do comprimento de canal e da temperatura do ambiente	163
Figura 93 – Esquemático do transistor FD SOI planar individual e com múltiplos transistores em paralelo com contatos de porta interconectados .....	166
Figura 94 – Curvas de calibração e de resistência de porta para transistores FD SOI planares tipo n GO1 com diversos comprimentos e larguras de canal e números de transistores em paralelo .....	167
Figura 95 – Curva de calibração da resistência de porta em função da temperatura do ambiente para transistores FD SOI planares tipo n GO1 individuais com comprimento de canal de 30nm e largura de canal de 1, 3 e 10 $\mu$ m .....	168
Figura 96 – Resistência térmica em função da temperatura do dispositivo para transistores FD SOI planares tipo n GO1 individuais com comprimento de canal de 30nm e largura de 1, 3 e 10 $\mu$ m com variação da temperatura do ambiente .....	169

Figura 97 – Condutividade térmica do silício com espessura de 20nm e do dióxido de silício em função da temperatura .....	170
Figura 98 – Resistência térmica em função da temperatura do dispositivo para transistores FD SOI planares tipo n GO2 individuais com comprimento de canal de 150 e 450nm e largura de 3 e 10 $\mu$ m com variação da temperatura do ambiente.....	171
Figura 99 – Variação da temperatura em função da potência dissipada para transistores FD SOI planares tipo n GO1 com comprimento de canal de 30nm, largura de canal de 1 $\mu$ m com variação do número de transistores operando simultaneamente e da temperatura do ambiente .....	172
Figura 100 – Coeficiente de correlação liner em função da temperatura do ambiente para transistores FD SOI planares tipo n GO1 com comprimento de canal de 30nm, largura de canal de 1 $\mu$ m com 1 e 3 transistores em paralelo .....	173

## LISTA DE TABELAS

Tabela 1 – Parâmetros dos nanofios transistores MOS porta- $\Omega$ medidos para extração da mobilidade pelo método Y-Function.....	93
Tabela 2 – Parâmetros dos nanofios transistores MOS porta- $\Omega$ medidos para extração da mobilidade pelo método Split-CV.....	105
Tabela 3 – Parâmetros das estruturas de simulação dos nanofios transistores MOS porta- $\Omega$	116
Tabela 4 – Tensão de limiar, inclinação de sublimiar e transcondutância máxima normalizada pela largura de canal extraídos dos transistores FD SOI planares tipo n e p, GO1 e GO2 medidos em temperatura ambiente.....	144
Tabela 5 – Parâmetros dos transistores FD SOI planares medidos para extração do autoaquecimento com polarização do substrato .....	149
Tabela 6 – Parâmetros dos transistores FD SOI planares medidos para análise do acoplamento térmico.....	155
Tabela 7 – Parâmetros dos transistores FD SOI planares medidos em baixas temperaturas no provador criogênico.....	159
Tabela 8 – Parâmetros dos transistores FD SOI planares medidos em baixas temperaturas com o método dip-stick .....	165



## LISTA DE ABREVIATURAS E SIGLAS

1DEG	<i>One-Dimensional Electron Gas</i> – Elétron gás unidimensional
2DEG	<i>Two-Dimensional Electron Gas</i> – Elétron gás bidimensional
ALD	<i>Atomic Layer Deposition</i> – Deposição de camada atômica
BC	<i>Back Channel</i> – Canal da interface de baixo
BOX	<i>Buried OXide</i> – Óxido enterrado
CAPES	Coordenação de Aperfeiçoamento de Pessoal de Nível Superior
CEA	<i>Commissariat à l'Énergie Atomique et aux Énergies Alternatives</i> – Comissão de Energia Atômica e Energias Alternativas
CLM	<i>Channel Length Modulation</i> – Modulação do comprimento de canal
DELTA	<i>Fully Depleted Lean-Channel Transistor</i> – Transistor de canal vertical totalmente depletado
DIBL	<i>Drain Induced Barrier Lowering</i> – Redução de barreira induzida pelo dreno
DIVSB	<i>Drain Induced Virtual Substrate Biasing</i> – Polarização virtual do substrato induzida pelo dreno
EOT	<i>Effective Oxide Thickness</i> – Espessura de óxido efetiva
FC	<i>Front Channel</i> – Canal da interface de cima
FD	<i>Fully Depleted</i> – Totalmente depletado
GAA	<i>Gate-All-Around</i> – Porta circundante
GO1	<i>Gate Oxide 1</i> – Óxido de porta 1
GO2	<i>Gate Oxide 2</i> – Óxido de porta 2
GP	<i>Ground-Plane</i> – Plano-Terra
FinFET	<i>Fin Field-Effect Transistor</i> – Transistor de efeito de campo <i>fin</i>
IRDS	<i>International Roadmap for Devices and Systems</i> – Roteiro internacional para dispositivos e sistemas
IRIG	<i>Institut de Recherche Interdisciplinaire de Grenoble</i> – Instituto de pesquisa interdisciplinar de Grenoble
Leti	<i>Laboratoire d'Electronique et des Technologies de l'Information</i> – Laboratório de eletrônica e de tecnologia da informação
LPLV	<i>Low Power Low Voltage</i> – Baixa potência e baixa tensão
LVT	<i>Low <math>V_T</math></i> – Baixa tensão de limiar

MOSFET	<i>Metal Oxide Semiconductor Field-Effect Transistor</i> – Transistor de efeito de campo metal-óxido-semicondutor
MuGFET	<i>Multiple-Gate Field-Effect Transistor</i> – Transistor de efeito de campo de múltiplas portas
NFD	<i>Near Fully Depleted</i> – Quase totalmente depletado
nMOS	<i>n-type Metal-Oxide-Semiconductor</i> – Metal-Óxido-Semicondutor tipo n
NW	<i>NanoWire transistor</i> – Transistor nanofio
PD	<i>Partially Depleted</i> – Parcialmente depletado
pMOS	<i>p-type Metal-Oxide-Semiconductor</i> – Metal-Óxido-Semicondutor tipo p
RVT	<i>Regular <math>V_T</math></i> – Tensão de limiar regular
SCE	<i>Short Channel Effects</i> – Efeitos de canal curto
SHE	<i>Self-Heating Effects</i> – Efeitos de autoaquecimento
SOI	<i>Silicon-On-Insulator</i> – Silício sobre isolante
STI	<i>Shallow Trench Isolation</i> – Isolação por fosso raso
TCAD	<i>Technology Computer-Aided Design</i> – Projeto de tecnologia assistido por computador
TEM	<i>Transmission Electronic Microscope</i> – Microscópio eletrônico de transmissão
ULSI	<i>Ultra Large Scale of Integration</i> – Altíssima escala de integração
UTB	<i>Ultra Thin Body</i> – Corpo ultra fino
UTBB	<i>Ultra Thin Body and BOX</i> – Corpo e óxido enterrado ultra finos

## LISTA DE SÍMBOLOS

A	Parâmetro presente na equação da mobilidade devido ao espalhamento fônon 2D [cm/s]
B	Parâmetro presente na equação da mobilidade devido ao espalhamento fônon 2D [cm <sup>5/3</sup> V <sup>-2/3</sup> s <sup>-1</sup> ]
C <sub>0</sub>	Variável presente na equação da mobilidade devido ao espalhamento por impurezas neutras
C <sub>D</sub>	Capacitância de depleção por unidade de área [F/cm <sup>2</sup> ]
C <sub>GC</sub>	Capacitância entre porta e canal [F]
C <sub>ox</sub>	Capacitância do óxido de porta por unidade de área [F/cm <sup>2</sup> ]
C <sub>ox1</sub>	Capacitância do óxido da primeira interface por unidade de área [F/cm <sup>2</sup> ]
C <sub>ox2</sub>	Capacitância do óxido da segunda interface por unidade de área [F/cm <sup>2</sup> ]
CPP	Distância da porta ao transistor emissor [nm]
C <sub>Si</sub>	Capacitância do silício por unidade de área [F/cm <sup>2</sup> ]
E <sub>ef</sub>	Campo elétrico normal médio no canal [V/cm]
E <sub>ni,e</sub>	Variável presente na equação da mobilidade devido ao espalhamento por impurezas neutras para elétrons
E <sub>ni,h</sub>	Variável presente na equação da mobilidade devido ao espalhamento por impurezas neutras para lacunas
E <sub>Y</sub>	Campo elétrico lateral [V/cm]
g <sub>m</sub>	Transcondutância [S]
h	Constante de Planck [6,63.10 <sup>-34</sup> J.s]
H <sub>FIN</sub>	Altura do <i>fin</i> [nm]
I <sub>acc</sub>	Corrente de acumulação [A]
I <sub>B</sub>	Corrente de corpo [A]
I <sub>D0</sub>	Corrente de dreno do transistor planar de mesma área [A]
I <sub>DS</sub>	Corrente de dreno [A]
I <sub>Def</sub>	Corrente de dreno efetiva em transistores multi- <i>fin</i> [A]
I <sub>OFF</sub>	Corrente de desligamento [A]
I <sub>ON</sub>	Corrente de saturação [A]
k	Constante de Boltzmann [1,38.10 <sup>-23</sup> J/K]
L	Comprimento de canal [nm]
L <sub>SD</sub>	Comprimento de fonte e dreno [nm]

$m_0$	Massa do elétron [ $9,11 \cdot 10^{-31}$ kg]
$m^*$	Massa efetiva de confinamento dos portadores na direção transversal [kg]
$m^*_{ce}$	Massa efetiva de condução do elétron [kg]
$m^*_{ch}$	Massa efetiva de condução da lacuna [kg]
$n$	Fator de corpo do transistor MOSFET convencional
$N_A$	Concentração de dopantes aceitadores [ $\text{cm}^{-3}$ ]
$N_{A^-}$	Concentração de dopantes aceitadores ionizados [ $\text{cm}^{-3}$ ]
$N_D$	Concentração de dopantes doadores [ $\text{cm}^{-3}$ ]
$N_{D^+}$	Concentração de dopantes doadores ionizados [ $\text{cm}^{-3}$ ]
$N_{\text{elétron}}$	Densidade pontual de elétrons simulada [ $\text{cm}^{-3}$ ]
$n_{\text{FDSOI}}$	Fator de corpo do transistor MOS SOI totalmente depletado
$n_{\text{FDSOI,acc}}$	Fator de corpo do transistor MOS SOI totalmente depletado com a segunda interface em acumulação
$n_i$	Concentração intrínseca de portadores [ $\text{cm}^{-3}$ ]
$N_{\text{inv}}$	Concentração de cargas de inversão [ $\text{cm}^{-2}$ ]
$N_{\text{ref,e}}$	Concentração de elétrons referencial presente na equação da mobilidade devido ao espalhamento por impurezas ionizadas [ $\text{cm}^{-3}$ ]
$N_{\text{ref,h}}$	Concentração de lacunas referencial presente na equação da mobilidade devido ao espalhamento por impurezas ionizadas [ $\text{cm}^{-3}$ ]
$P$	Potência dissipada [W]
$P_{\text{fin}}$	Período de espaçamento entre <i>fins</i> em estruturas multi- <i>fin</i> [nm]
$P_{\text{norm}}$	Potência dissipada normalizada pela largura e comprimento de canal [W]
$q$	Carga elementar do elétron [ $1,6 \cdot 10^{-19}$ C]
$Q_{\text{depl}}$	Densidade de cargas da região de depleção [ $\text{C}/\text{cm}^{-2}$ ]
$Q_{\text{inv}}$	Densidade de cargas de inversão [ $\text{C}/\text{cm}^{-2}$ ]
$Q_{\text{ox}}$	Densidade de cargas no óxido de porta [ $\text{C}/\text{cm}^{-2}$ ]
$Q_{\text{ox1}}$	Densidade de cargas no óxido de porta da primeira interface [ $\text{C}/\text{cm}^{-2}$ ]
$Q_{\text{ox2}}$	Densidade de cargas no óxido de porta da segunda interface [ $\text{C}/\text{cm}^{-2}$ ]
$Q_{\text{Si}}$	Densidade de cargas fixas por unidade de comprimento [ $\text{C}/\text{cm}$ ]
$Q_{\text{SS}}$	Densidade de cargas de interface [ $\text{C}/\text{cm}^{-2}$ ]
$R_{\text{GATE}}$	Resistência de porta [ $\Omega$ ]
$R_{\text{GATE\_OFF}}$	Resistência de porta de estado desligado [ $\Omega$ ]
$R_{\text{TH}}$	Resistência térmica [K/W]
$S$	Inclinação de sublimiar [mV/dec]

T	Temperatura [K]
T <sub>AMB</sub>	Temperatura ambiente [K]
T <sub>DISP</sub>	Temperatura do dispositivo [K]
t <sub>BOX</sub>	Espessura do óxido enterrado [nm]
t <sub>ox</sub>	Espessura do óxido de porta [nm]
t <sub>OX-LAT</sub>	Espessura do óxido de porta lateral em FinFETs SOI de porta dupla [nm]
t <sub>OX-TOP</sub>	Espessura do óxido de porta do topo em FinFETs SOI de porta dupla [nm]
t <sub>Si</sub>	Espessura da camada de silício [nm]
V <sub>B</sub>	Tensão de substrato [V]
V <sub>DS</sub>	Diferença de potencial entre substrato e fonte [V]
V <sub>D</sub>	Tensão de dreno [V]
V <sub>DS</sub>	Diferença de potencial entre dreno e fonte [V]
V <sub>DS,1</sub>	Polarização de dreno baixa para cálculo do DIBL [V]
V <sub>DS,2</sub>	Polarização de dreno alta para cálculo do DIBL [V]
V <sub>DSsat</sub>	Tensão de saturação de dreno [V]
V <sub>FB</sub>	Tensão de faixa plana [V]
V <sub>G</sub>	Tensão de porta [V]
V <sub>g1x</sub>	Tensão de porta que ativa o canal próximo à porta [V]
V <sub>g2x</sub>	Tensão de substrato a partir da qual ambos os canais próximos à porta e próximo ao substrato estão ativos [V]
V <sub>G2</sub>	Tensão da segunda porta, referente ao substrato de transistores SOI [V]
V <sub>G2,acc2</sub>	Tensão da segunda porta que gera acumulação na segunda interface em transistores SOI [V]
V <sub>GS</sub>	Diferença de potencial entre porta e fonte [V]
V <sub>GT</sub>	Sobretensão de condução [V]
V <sub>GTD</sub>	Sobretensão de condução subtraída de metade da tensão de dreno [V]
v <sub>m</sub>	Velocidade média dos portadores [cm/s]
V <sub>S</sub>	Tensão de fonte [V]
v <sub>sat</sub>	Velocidade de saturação dos portadores [cm/s]
V <sub>TH</sub>	Tensão de limiar [V]
V <sub>TH,1</sub>	Tensão de limiar para polarização de dreno baixa no cálculo do DIBL [V]
V <sub>TH,2</sub>	Tensão de limiar para polarização de dreno alta no cálculo do DIBL [V]
V <sub>TH1,acc2</sub>	Tensão de limiar da primeira interface com a segunda interface em acumulação [V]

$V_{TH1,depl2}$	Tensão de limiar da primeira interface com a segunda interface em depleção [V]
$V_{TH1,inv2}$	Tensão de limiar da primeira interface com a segunda interface em inversão [V]
$V_{\mu\_PICO}$	Tensão de porta em que ocorre o pico da curva de mobilidade efetiva [V]
$W$	Largura de canal [nm]
$W_{ef}$	Largura efetiva da porta [nm]
$W_{FIN}$	Largura do <i>fin</i> [nm]
$x_d$	Espessura da região de depleção [cm]
$x_{d2}$	Espessura da região de depleção da segunda interface [cm]
$x_{dmax}$	Espessura máxima da região de depleção [cm]
$Y$	Parâmetro de cálculo no método Y-Function de extração da mobilidade [ $A/S^{1/2}$ ]
$\alpha_e$	Constante presente na equação da mobilidade devido ao espalhamento fônon para elétrons
$\alpha_h$	Constante presente na equação da mobilidade devido ao espalhamento fônon para lacunas
$\alpha_{ae}$	Parâmetro presente na equação da mobilidade devido ao espalhamento por impurezas ionizadas para elétrons
$\alpha_{ah}$	Parâmetro presente na equação da mobilidade devido ao espalhamento por impurezas ionizadas para lacunas
$\alpha_s$	Constante de espalhamento [cm/V]
$\beta$	Fator de ganho do transistor MOS [ $A/V^2$ ]
$\beta_e$	Constante presente na equação da mobilidade devido ao espalhamento fônon para elétrons
$\beta_h$	Constante presente na equação da mobilidade devido ao espalhamento fônon para lacunas
$\gamma$	Constante de efeito de corpo
$\Delta T$	Varição da temperatura no dispositivo [K]
$\Delta\mu_{ef}$	Varição da mobilidade efetiva [ $cm^2/V.s$ ]
$\hbar$	Constante de Planck normalizada [ $1,054.10^{-34}$ J.s]
$\epsilon_0$	Permissividade elétrica do vácuo [ $8,85.10^{-14}$ F/cm]
$\epsilon_{ox}$	Permissividade elétrica do óxido de silício [ $3,45.10^{-14}$ F/cm]
$\epsilon_{Si}$	Permissividade elétrica do silício [ $1,06.10^{-12}$ F/cm]
$\theta$	Constante presente na equação da mobilidade devido ao espalhamento fônon acústico

$\theta_1$	Coeficiente de degradação da mobilidade devido ao espalhamento fônon e resistência série no método Y-Function de extração da mobilidade [ $V^{-1}$ ]
$\theta_2$	Coeficiente de degradação da mobilidade devido ao espalhamento por rugosidade de superfície no método Y-Function de extração da mobilidade [ $V^{-1}$ ]
$\kappa$	Condutividade térmica [W/K]
$\kappa_{SiO_2}$	Condutividade térmica do dióxido de silício [W/K]
$\kappa_{Si\_tsi20nm}$	Condutividade térmica do silício com espessura de 20nm [W/K]
$\phi_F$	Potencial de Fermi [V]
$\phi_M$	Função trabalho do metal de porta [V]
$\phi_{MS}$	Diferença entre a função trabalho do metal de porta e o potencial do silício [V]
$\phi_S$	Potencial de superfície [V]
$\phi_{Si}$	Função trabalho do silício [V]
$\mu_0$	Mobilidade de baixo campo resultante [ $cm^2/V.s$ ]
$\mu_{0e}$	Mobilidade de baixo campo dos elétrons [ $cm^2/V.s$ ]
$\mu_{0h}$	Mobilidade de baixo campo dos lacunas [ $cm^2/V.s$ ]
$\mu_{0ea}$	Constante presente na equação da mobilidade devido ao espalhamento fônon para elétrons [ $cm^2/V.s$ ]
$\mu_{0eb}$	Constante presente na equação da mobilidade devido ao espalhamento fônon para elétrons [ $cm^2/V.s$ ]
$\mu_{0ha}$	Constante presente na equação da mobilidade devido ao espalhamento fônon para lacunas [ $cm^2/V.s$ ]
$\mu_{0hb}$	Constante presente na equação da mobilidade devido ao espalhamento fônon para lacunas [ $cm^2/V.s$ ]
$\mu_{CC,e}$	Mobilidade de elétrons devido ao espalhamento portador-portador [ $cm^2/V.s$ ]
$\mu_{CC,h}$	Mobilidade de lacunas devido ao espalhamento portador-portador [ $cm^2/V.s$ ]
$\mu_{CS,e}$	Mobilidade de elétrons devido ao espalhamento Coulomb [ $cm^2/V.s$ ]
$\mu_{CS,h}$	Mobilidade de lacunas devido ao espalhamento Coulomb [ $cm^2/V.s$ ]
$\mu_e$	Mobilidade pontual de elétrons simulada [ $cm^2/V.s$ ]
$\mu_{ef}$	Mobilidade de elétrons efetiva resultante [ $cm^2/V.s$ ]
$\mu_{LAT}$	Mobilidade da interface lateral do transistor de porta tripla [ $cm^2/V.s$ ]
$\mu_{max,e}$	Mobilidade máxima de elétrons presente na equação da mobilidade devido ao espalhamento fônon acústico 2D [ $cm^2/V.s$ ]
$\mu_{max,h}$	Mobilidade máxima de lacunas presente na equação da mobilidade devido ao espalhamento fônon acústico 2D [ $cm^2/V.s$ ]

$\mu_{\min,e}$	Mobilidade mínima de elétrons presente na equação da mobilidade devido ao espalhamento por impurezas ionizadas [ $\text{cm}^2/\text{V.s}$ ]
$\mu_{\min,h}$	Mobilidade mínima de elétrons presente na equação da mobilidade devido ao espalhamento por impurezas ionizadas [ $\text{cm}^2/\text{V.s}$ ]
$\mu_{ni,e}$	Mobilidade de elétrons devido ao espalhamento por impurezas neutras [ $\text{cm}^2/\text{V.s}$ ]
$\mu_{ni,h}$	Mobilidade de lacunas devido ao espalhamento por impurezas neutras [ $\text{cm}^2/\text{V.s}$ ]
$\mu_{ps,e}$	Mobilidade de elétrons devido ao espalhamento fônons [ $\text{cm}^2/\text{V.s}$ ]
$\mu_{ps,h}$	Mobilidade de lacunas devido ao espalhamento fônons [ $\text{cm}^2/\text{V.s}$ ]
$\mu_{psii,e}$	Mobilidade de elétrons devido ao espalhamento fônons e por impurezas ionizadas [ $\text{cm}^2/\text{V.s}$ ]
$\mu_{psii,h}$	Mobilidade de lacunas devido ao espalhamento fônons e por impurezas ionizadas [ $\text{cm}^2/\text{V.s}$ ]
$\mu_{SR,e}$	Mobilidade de elétrons devido ao espalhamento por rugosidade de superfície [ $\text{cm}^2/\text{V.s}$ ]
$\mu_{SR,h}$	Mobilidade de lacunas devido ao espalhamento por rugosidade de superfície [ $\text{cm}^2/\text{V.s}$ ]
$\mu_{TOP}$	Mobilidade da interface de topo do transistor de porta tripla [ $\text{cm}^2/\text{V.s}$ ]
$\xi$	Parâmetro de cálculo no método Y-Function de extração da mobilidade [ $\text{S}/\text{A}^2$ ]

## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO</b> .....	<b>37</b>
<b>2</b>	<b>CONCEITOS FUNDAMENTAIS</b> .....	<b>44</b>
2.1	TECNOLOGIA SOI.....	44
2.2	TRANSISTORES DE MÚLTIPLAS PORTAS.....	47
<b>2.2.1</b>	<b>FinFET de porta dupla</b> .....	<b>47</b>
<b>2.2.2</b>	<b>FinFET de porta tripla</b> .....	<b>49</b>
<b>2.2.3</b>	<b>Nanofios transistores MOS</b> .....	<b>51</b>
2.3	PROPRIEDADES ELÉTRICAS BÁSICAS .....	54
<b>2.3.1</b>	<b>Tensão de limiar</b> .....	<b>54</b>
<b>2.3.2</b>	<b>Inclinação de sublimiar</b> .....	<b>56</b>
<b>2.3.3</b>	<b>Transcondutância</b> .....	<b>57</b>
<b>2.3.4</b>	<b>Redução de barreira induzida pelo dreno (DIBL)</b> .....	<b>57</b>
2.4	TRANSPORTE DE CARGAS.....	58
<b>2.4.1</b>	<b>Mobilidade de baixo campo</b> .....	<b>58</b>
<b>2.4.1.1</b>	<i>Espalhamento fônon</i> .....	59
<b>2.4.1.2</b>	<i>Espalhamento por impurezas ionizadas</i> .....	59
<b>2.4.1.3</b>	<i>Espalhamento por impurezas neutras</i> .....	60
<b>2.4.1.4</b>	<i>Espalhamento portador-portador</i> .....	60
<b>2.4.1.5</b>	<i>Mobilidade de baixo campo resultante</i> .....	61
<b>2.4.2</b>	<b>Mobilidade dependente do campo elétrico</b> .....	<b>62</b>
<b>2.4.2.1</b>	<i>Espalhamento Coulomb</i> .....	62
<b>2.4.2.2</b>	<i>Espalhamento fônon 2D e 3D</i> .....	62
<b>2.4.2.3</b>	<i>Espalhamento por rugosidade de superfície</i> .....	63
<b>2.4.2.4</b>	<i>Mobilidade dependente de campo elétrico resultante</i> .....	64
<b>2.4.3</b>	<b>Velocidade de saturação</b> .....	<b>65</b>
<b>2.4.4</b>	<b>Métodos de extração da mobilidade</b> .....	<b>65</b>

2.4.4.1	<i>Extração da mobilidade pelo método Y-Function</i> .....	67
2.4.4.2	<i>Extração da mobilidade pelo método Split C-V</i> .....	70
2.4.5	<b>Efeitos quânticos</b> .....	71
2.5	<b>INFLUÊNCIA DA POLARIZAÇÃO DO SUBSTRATO</b> .....	73
2.6	<b>OPERAÇÃO EM BAIXAS TEMPERATURAS</b> .....	79
2.7	<b>AUTOAQUECIMENTO</b> .....	83
3	<b>INFLUÊNCIA DA POLARIZAÇÃO DE SUBSTRATO NA MOBILIDADE DE NANOFIOS TRANSISTORES MOS</b> .....	91
3.1	<b>EXTRAÇÃO DA MOBILIDADE PELO MÉTODO Y-FUNCTION</b> .....	92
3.1.1	<b>Nanofios transistores MOS tipo n</b> .....	93
3.1.2	<b>Nanofios transistores MOS tipo p</b> .....	99
3.2	<b>EXTRAÇÃO DA MOBILIDADE PELO MÉTODO SPLIT-CV</b> .....	103
3.2.1	<b>Separação da mobilidade do canal de baixo</b> .....	110
3.3	<b>RESULTADOS DE SIMULAÇÃO TCAD</b> .....	115
3.3.1	<b>Simulador</b> .....	116
3.3.2	<b>Simulações em estrutura gerada por processo</b> .....	118
3.3.3	<b>Simulações em estrutura criada no gerador de estruturas</b> .....	124
3.3.4	<b>Simulações em estrutura com óxido enterrado fino</b> .....	134
4	<b>INFLUÊNCIA DA REDUÇÃO DA TEMPERATURA DE OPERAÇÃO NO AUTOAQUECIMENTO EM TRANSISTORES SOI PLANARES</b> .....	141
4.1	<b>PARÂMETROS ELÉTRICOS BÁSICOS DOS DISPOSITIVOS</b> .....	143
4.2	<b>AUTOAQUECIMENTO COM POLARIZAÇÃO DO SUBSTRATO</b> .....	148
4.3	<b>ACOPLAMENTO TÉRMICO ENTRE DISPOSITIVOS</b> .....	154
4.4	<b>AUTOAQUECIMENTO EM BAIXAS TEMPERATURAS</b> .....	158
4.4.1	<b>Medidas no provador criogênico</b> .....	158
4.4.2	<b>Medidas feitas com o método dip-stick</b> .....	164
5	<b>CONCLUSÕES E TRABALHOS FUTUROS</b> .....	175
	<b>REFERÊNCIAS</b> .....	183
	<b>APÊNDICE A – CÓDIGO EXEMPLO DE SIMULAÇÃO DE DISPOSITIVO NO SIMULADOR SENTAURUS DEVICE</b> .....	198

<b>APÊNDICE B – CÓDIGO EXEMPLO DE PARÂMETROS DE SIMULAÇÃO DE DISPOSITIVO NO SIMULADOR SENTAURUS DEVICE .....</b>	<b>202</b>
<b>APÊNDICE C – CÓDIGO EXEMPLO DE SIMULAÇÃO DE PROCESSO PARA GERAÇÃO DE UM NANOFIO TRANSISTOR MOS NO SIMULADOR SENTAURUS PROCESS.....</b>	<b>204</b>
<b>APÊNDICE D – CÓDIGO EXEMPLO DE SIMULAÇÃO DE ESTRUTURA PARA GERAÇÃO DE UM NANOFIO TRANSISTOR MOS NO SIMULADOR SENTAURUS STRUCTURE EDITOR.....</b>	<b>210</b>
<b>APÊNDICE E – ARTIGOS PUBLICADOS.....</b>	<b>218</b>



## 1 INTRODUÇÃO

A evolução tecnológica dos transistores por efeito de campo tipo metal-óxido-semicondutor (*Metal Oxide Semiconductor Field-Effect Transistor* – MOSFET) tem sido um dos principais pilares do desenvolvimento científico e tecnológico na área da micro e nanoeletrônica, visando o aperfeiçoamento da arquitetura de dispositivos semicondutores que serão usados na produção e comercialização de circuitos integrados, utilizados amplamente em aplicações eletrônicas avançadas. Essa evolução se baseia na solução econômica proposta por (MOORE, 1965) de aumentar a densidade de dispositivos em um *chip* sem alterar o consumo de área, reduzindo o custo por função executada pelo *chip*. Segundo Moore, a projeção ideal para que isso seja alcançado é que a quantidade de transistores em um *chip* seja duplicada a cada dois anos. Essa projeção tem sido usada como referência para metas da indústria de acordo com o Roteiro Internacional para Dispositivos e Sistemas (*International Roadmap for Devices and Systems* – IRDS) (RISCH, 2006).

Uma das formas de se realizar isso é através da redução das dimensões dos transistores. Entretanto, a miniaturização pode trazer agravantes para o comportamento elétrico dos transistores MOS como, no caso da redução do comprimento de canal, os chamados efeitos de canal curto (*Short Channel Effects* – SCE) (YOUNG, 1989). Com comprimento de canal reduzido, a proximidade entre as regiões de fonte e dreno dificulta a distribuição de potencial pela porta, devido à influência do campo elétrico do dreno no interior do canal. Essa redução do controle das cargas do canal pelo potencial de porta leva à degradação nos parâmetros elétricos do transistor. Dentre os efeitos, destacam-se o aumento da inclinação de sublimiar e da corrente de desligamento, redução da tensão de limiar e o fenômeno de redução de barreira induzida pelo dreno (COLINGE; COLINGE, 2002). O advento da tecnologia silício sobre isolante (*Silicon-On-Insulator* – SOI) permitiu o progresso da indústria de semicondutores, por meio do isolamento da região de silício ativo utilizando uma camada de dióxido de silício que separa a região ativa do substrato (COLINGE, 2004). Com isso, é possível garantir que a região de depleção induzida na interface entre a região de canal e a porta tenha espessura maior que a camada de silício ativo, estando, portanto, a região de canal sempre totalmente depletada (*Fully Depleted* – FD). Esse é o caso em que são obtidas as melhores características elétricas, sendo observada redução dos efeitos de canal curto, melhora da mobilidade e do controle eletrostático (FLANDRE et al., 1996; YOSHIMI et al., 1988). A presença do óxido enterrado também reduz capacitâncias parasitárias associadas às regiões de depleção entre fonte e dreno e o substrato. Esses e outros benefícios proporcionados pela tecnologia SOI permitiram a continuação da

redução das dimensões dos transistores, viabilizando a produção de circuitos integrados com altíssima escala de integração (*Ultra Large Scale of Integration* – ULSI). Ao longo dos anos, os processos de fabricação de transistores FD SOI MOSFET foram sendo refinados, a fim de otimizar as características de saída e reduzir os efeitos de canal curto, em busca de superar os limites na escala nanométrica. Isso foi alcançado através de modificações como o uso de materiais *high- $\kappa$*  como isolante de porta e *midgap* como material de porta (HE et al., 2011) e, mais recentemente, com a redução da espessura da camada de silício e do óxido enterrado, levando ao desenvolvimento da estrutura FD SOI com corpo e óxido enterrado ultrafinos (*Ultra-Thin Body and BOX* - UTBB) (LIU et al., 2010). Esses dispositivos já são comercializados atualmente por diversas empresas da indústria da microeletrônica por empresas como a STMicroelectronics, com a tecnologia de 28nm (PLANES et al., 2012) e Global Foundries, com a tecnologia de 22nm para aplicações de baixa potência (ONG et al., 2019).

Transistores FD SOI têm sido considerados como excelentes candidatos para operações criogênicas, como aplicações espaciais e em computação quântica (BECKERS et al., 2017), que dependem de alto desempenho. Devido à necessidade de eletrônica para leitura e controle de sinais de alta frequência e largura de banda, a operação dos transistores precisa ser levada à temperatura de 4,2K ou inferior (HUTIN et al., 2021). Contudo, a operação em temperaturas criogênicas acarreta o surgimento de novos fenômenos físicos com possíveis impactos no funcionamento dos dispositivos. Dentre esses fenômenos, estão alterações na forma como o autoaquecimento ocorre em baixas temperaturas (TRIANTOPOULOS et al., 2019). Além do aumento no aquecimento dos transistores, devido à redução do poder de resfriamento, as condutâncias térmicas dos materiais, especialmente do silício e do dióxido de silício, apresentam forte dependência com a temperatura ambiente, tendo seu valor reduzido ao se aproximar da faixa criogênica (ASHEGHI et al., 1998; THOMPSON; YOUNGLOVE, 1961; SWARTZ; POHL, 1989). Isso aumenta a dificuldade de dissipação de calor através do material pelo transistor ao reduzir a temperatura de operação até valores criogênicos. Existem ainda poucos trabalhos que avaliam o autoaquecimento em temperaturas criogênicas, especialmente em nós tecnológicos FD SOI avançados, sendo necessário aprofundar a compreensão dos efeitos observados nesse tipo de operação antes de seguir adiante com o desenvolvimento da operação criogênica.

Paralelamente ao aprimoramento da tecnologia FD SOI planar, a comunidade científica buscava outras formas de reduzir as dimensões dos dispositivos sem degradar suas características de saída. Os transistores de múltiplas portas (*Multiple-Gate Field-Effect*

*Transistor* – MuGFET) começaram a ganhar interesse da indústria (HISAMOTO et al., 1990), com grande foco nos transistores de efeito de campo *fin* (*Fin Field-Effect Transistor* – FinFETs) de porta dupla e tripla (HISAMOTO et al., 2000; DOYLE et al., 2003), que permitiram a redução da área do canal e aumento da corrente de dreno através da estrutura multi-*fins* (COLINGE, 2008). O conceito dos transistores de múltiplas portas baseia-se em um único contato de porta com o material cobrindo diversas superfícies de uma aleta de silício, nas direções horizontal e vertical. Assim, são gerados canais de inversão em múltiplas interfaces da região de canal, aumentando a área de condução do canal (COLINGE et al., 1990). Assim como no transistor SOI, as dimensões reduzidas do FinFET também permitem a condição de depleção total da região de canal, sendo, portanto, também considerados transistores totalmente depletados (FD). O FinFET de porta tripla apresenta material e isolante de porta em contato com as duas interfaces laterais e com a interface de topo da aleta de silício, permitindo a formação de três canais de condução. FinFETs de porta tripla com substrato *bulk*, ou seja, sem a tecnologia SOI, têm sido comercializados desde 2011 para utilização em processadores da Intel (JAN et al., 2012). Mais importante, o excelente acoplamento da porta com a região de canal nesses dispositivos permitiu o escalamento da largura do *fin* para valores próximos daqueles da altura do *fin*, dando origem à estrutura conhecida como nanofios transistores MOS (*NanoWire transistor* – NW) (COQUAND et al., 2012). Apresentando bom desempenho em aplicações digitais devido à forte imunidade a efeitos de canal curto, inclinação de sublimiar próxima do limite teórico (SAITO et al., 2002) e alto controle de cargas pela porta, tais dispositivos têm sido considerados, em muitos casos, como um dos mais promissores para futuros nós tecnológicos (BARRAUD et al., 2012; SMITH et al., 2017). Outra estrutura desenvolvida a partir da ideia do nanofio é o transistor de porta circundante (*Gate-All-Around* – GAA) (COLINGE et al., 1990), onde o material de porta envolve toda a região de canal do transistor, resultando em um maior número de interfaces entre o silício e o óxido de porta de para geração de canais de condução, aumentando ainda mais o controle das cargas pela porta (BANGSARUNTIP et al., 2009). Isso faz com que o nanofio de porta circundante possua o melhor acoplamento eletrostático entre os transistores de múltiplas portas. O nanofio de porta-ômega é uma estrutura criada com o objetivo de se obter um transistor de porta tripla com a eletrostática mais próxima da dos nanofios GAA, devido ao aumento da área de condução do canal e do acoplamento eletrostático. Isso é conseguido através da presença da porta em parte da região abaixo da aleta de silício, com a região de canal estando quase circundada de material de porta, ficando a porta com formato da letra grega  $\Omega$  (JAHAN et al., 2005).

Porém, restam ainda diversas questões acerca do comportamento elétrico dos dispositivos a serem resolvidas e desafios tecnológicos a superar até que os nanofios transistores MOS sejam utilizados comercialmente. A corrosão do silício para formação das aletas gera defeitos na interface, fazendo com que a superfície lateral da aleta tenha rugosidade superior à do topo, havendo assim maior espalhamento de portadores de carga por rugosidade de superfície e, conseqüentemente, redução da mobilidade nessa região. Somando-se isso à redução da massa efetiva de elétrons na orientação cristalográfica da lateral (110, em transistores tipo n) em relação à do topo (100, em transistores tipo n, o inverso para transistores tipo p) (LANDGRAF et al., 2005; KOYAMA et al., 2013), a mobilidade sofre redução nos canais formados nas paredes laterais da aleta de silício. Levando em conta que transistores com larguras menores tem maior contribuição dos canais laterais na corrente de dreno, estes terão mobilidade efetiva reduzida em comparação com dispositivos mais largos (SUBRAMANIAN et al., 2007).

Em busca de formas de contornar esse problema, diversas técnicas de aprimoramento da mobilidade desenvolvidas ao longo dos anos têm sido exploradas nos nanofios, a fim de verificar os benefícios para o desempenho dos dispositivos, tais como o tensionamento mecânico (CHAN et al., 2005; BARRAUD et al., 2014) e a rotação do substrato (SAITOH et al., 2010). A polarização do substrato, por outro lado, é utilizada majoritariamente para variação da tensão de limiar (NAGUMO; HIRAMOTO, 2006), porém, há ainda necessidade de uma análise mais aprofundada para nanofios no que diz respeito à influência da tensão de substrato na mobilidade dos portadores, e em uma faixa mais extensa de valores, com o objetivo de compreender os efeitos que ocorrem no canal ao se utilizar essa técnica. A polarização do substrato tem sido tema de estudo em transistores MOS desde sua concepção, com o principal objetivo sendo o controle da tensão de limiar (KURODA et al., 1996; YASUDA et al., 2005). Ao se aplicar um potencial no substrato de um transistor MOS convencional com polarização reversa, por exemplo, o potencial na região de canal é reduzido, sendo necessária uma tensão de porta maior para atingir o limiar de condução, devido à redução nas cargas de depleção, provocando aumento na tensão de limiar do dispositivo (COLINGE; COLINGE, 2002). Em transistores planares com tecnologia SOI totalmente depletada, a polarização do substrato pode ser vista como uma tensão de porta da segunda interface, sendo essa entre o óxido enterrado e o silício da região ativa. Devido ao acoplamento eletrostático entre as portas da primeira e segunda interfaces, a variação da tensão de substrato provoca alterações no equacionamento da tensão de limiar da primeira interface, dependendo do modo de operação da segunda (COLINGE, 2004), acumulação, depleção ou inversão.

Quando a espessura da camada de silício é reduzida para a faixa de 10 nm, o confinamento quântico faz com que efeitos adicionais sejam provocados ao se aplicar polarização no substrato, em especial na mobilidade dos portadores (SAITOH et al., 2012). Trabalhos da literatura têm mostrado que quando tensões de substrato suficientemente altas em relação à espessura do óxido enterrado são aplicadas, o canal de inversão pode ser ativado na interface com o óxido enterrado, ou confinado na interface próxima à porta, dependendo da polaridade da tensão aplicada (MARIN et al., 2015; PAZ et al., 2018a). Porém, ainda não há estudos detalhados explicando como esse efeito impacta o transporte de cargas em uma ampla faixa de tensões de substrato em nanofios transistores MOS. Em dispositivos com largura de canal reduzida e estrutura de porta-ômega, a porta tem maior influência no potencial da região de canal, inclusive próximo da interface com o óxido enterrado. Assim, não se tem conhecimento da forma como isso impacta o efeito da polarização do substrato, quando comparado a transistores com maior largura de  $fin$ , em que a contribuição da parte inferior da porta-ômega é menor.

Este trabalho tem como objetivo avaliar a influência das formas de aprimoramento do desempenho por polarização do substrato e por operação em temperaturas criogênicas nas características elétricas de transistores MOSFET FD SOI com tecnologias promissoras para futuros nós tecnológicos, com foco na mobilidade dos portadores e no autoaquecimento. A avaliação é conduzida principalmente através da extração da mobilidade efetiva de portadores, para a análise da degradação no transporte de cargas devido à polarização do substrato, e através da extração do aumento de temperatura e da resistência térmica por termometria de porta, para a análise do autoaquecimento em temperaturas criogênicas. Adicionalmente, outros parâmetros e efeitos são analisados, como a tensão de limiar, a inclinação de sublimiar, a transcondutância e o acoplamento térmico entre transistores. Para o estudo da influência da polarização de substrato em nanofios transistores MOS, as medidas experimentais foram realizadas no Centro Universitário FEI, em lâminas fabricadas em tecnologia SOI no CEA-Leti (*Commissariat à l'Énergie Atomique et aux Énergies Alternatives – Laboratoire d'Electronique et des Technologies de l'Information*), em Grenoble, na França, com o objetivo de avaliar a viabilidade da técnica de polarização de substrato em nanofios. O estudo do autoaquecimento em baixas temperaturas foi feito em transistores SOI planares com tecnologia de 28nm, com o objetivo de contribuir para a consideração de tais dispositivos para aplicações em computação quântica. As medidas foram realizadas no CEA-Leti e no CEA-IRIG (*Commissariat à l'Énergie Atomique et aux Énergies Alternatives – Institut de Recherche Interdisciplinaire de Grenoble*) através da colaboração entre o Centro Universitário FEI e o CEA e do apoio financeiro da

CAPES (Coordenação de Aperfeiçoamento de Pessoal de Nível Superior). Essa colaboração resultou em um estágio de pesquisa realizado no CEA, em Grenoble, na França, com duração de seis meses, que possibilitou o acesso às amostras de transistores FD SOI com nó tecnológico de 28nm, fabricados pela STMicroelectronics.

O conteúdo deste trabalho está organizado em 5 capítulos, conforme apresentado a seguir:

O capítulo 2 contém uma revisão bibliográfica que trata dos principais assuntos abordados neste trabalho. Uma introdução à tecnologia SOI MOSFET é feita, abordando suas características e o funcionamento em modo inversão, além de efeitos relacionados ao seu uso e vantagens em comparação com o transistor MOS convencional. Em seguida são apresentados os transistores de múltiplas portas, com ênfase nos transistores de porta tripla e, principalmente, nos nanofios transistores MOS portas ômega e pi. Em seguida, os parâmetros básicos de transistores MOS são introduzidos, como tensão de limiar, inclinação de sublimiar, transcondutância e redução de barreira induzida pelo dreno (*Drain Induced Barrier Lowering* – DIBL). Uma seção é dedicada para abordar exclusivamente o transporte de cargas, sendo introduzido o conceito de mobilidade, os fenômenos de espalhamento e efeitos quânticos. Também são apresentados os métodos de extração da mobilidade utilizados neste trabalho. A seção seguinte trata dos efeitos da polarização do substrato, onde são discutidos os parâmetros elétricos passíveis de modificação devido à aplicação de tensão no substrato, estando entre elas a tensão de limiar, o DIBL e a polarização virtual do substrato induzida pelo dreno (*Drain Induced Virtual Substrate Biasing* – DIVSB), a mobilidade e a distribuição de cargas. Uma seção dedicada à operação em baixas temperaturas expõe as principais modificações na operação de transistores MOS causadas pela redução da temperatura do ambiente, observada em parâmetros como as correntes de estado ligado e desligado, a mobilidade dos portadores, a tensão de limiar e a inclinação de sublimiar. Por fim, a última seção introduz os principais conceitos do autoaquecimento e sua influência no comportamento do dispositivo, e descreve o método de extração do autoaquecimento utilizado.

No capítulo 3 são apresentados e discutidos os resultados do estudo da influência da polarização de substrato na mobilidade de nanofios transistores MOS, obtidos através de medidas experimentais e simulações numéricas tridimensionais. A partir das curvas obtidas, além da obtenção de parâmetros básicos de MOSFETs como tensão de limiar, inclinação de sublimiar e transcondutância, foi feita a extração da mobilidade através dos métodos Y-Function e Split-CV, para uma ampla faixa de tensões de substrato e com variação das dimensões dos transistores, em especial a largura de *fin*. Para ajudar a compreender a

degradação da mobilidade com o aumento da tensão de substrato, um método de separação da mobilidade do canal de baixo foi aplicado, além dos resultados de simulação, com os quais foram analisadas a densidade de portadores e de corrente, o campo elétrico e a mobilidade pontual em cortes na estrutura dos nanofios. Simulações também exploram a redução do comprimento de canal e da espessura do óxido enterrado, verificando também outros parâmetros como o DIBL e as correntes de saturação e desligamento.

No capítulo 4 são apresentados e discutidos os resultados da influência da redução da temperatura de operação no autoaquecimento em transistores SOI planares, até a faixa criogênica, obtidos a partir de medidas experimentais. Primeiramente é feita uma análise dos parâmetros elétricos básicos, a tensão de limiar, a inclinação de sublimiar e a transcondutância máxima, dos transistores operando em temperatura ambiente e em baixas temperaturas. Em seguida é feita a extração do autoaquecimento em temperatura ambiente, com polarização do substrato, e uma avaliação do acoplamento térmico entre dispositivos próximos. O autoaquecimento é, então, avaliado em temperaturas que vão de ambiente até criogênica, chegando a 4,2K, utilizando duas técnicas para redução da temperatura, uma com provador criogênico e outra com o método por imersão, chamado de *dip-stick*. São analisadas a variação da temperatura, a potência dissipada e a resistência térmica, com variação das dimensões dos transistores, em especial do comprimento de canal, mas também da espessura do óxido de porta, do número de transistores em paralelo e da operação em nMOS e pMOS. Os resultados da resistência térmica são, por fim, comparados com as tendências de curvas teóricas obtidas a partir das condutâncias térmicas do dióxido de silício e do silício com espessura de 20nm.

No capítulo 5 são apresentadas as principais conclusões observadas e as propostas para continuação do trabalho.

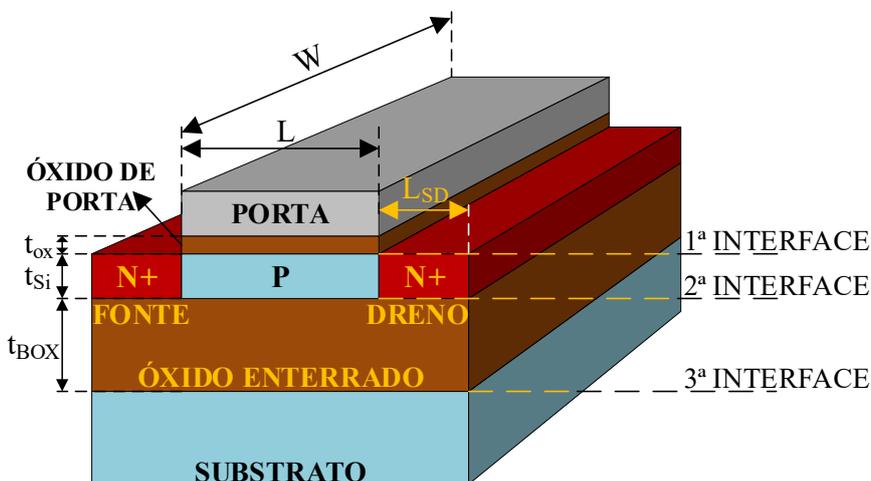
## 2 CONCEITOS FUNDAMENTAIS

Neste capítulo será realizada uma revisão bibliográfica envolvendo os principais tópicos relacionados ao trabalho. Os conceitos gerais de transistores implementados em tecnologia SOI são apresentados, bem como o modo de funcionamento em inversão e as principais características da operação destes dispositivos. Em seguida, os transistores de múltiplas portas são abordados, com enfoque em FinFETs de porta tripla e nanofios transistores MOS. Uma seção dedicada ao transporte de cargas discorrerá sobre a mobilidade de portadores e as formas de extraí-la experimentalmente, os mecanismos de espalhamento e efeitos quânticos em semicondutores. Em sequência, os parâmetros elétricos básicos são descritos e, por fim, seções específicas abordam a polarização do substrato, a operação em baixas temperaturas e o autoaquecimento.

### 2.1 TECNOLOGIA SOI

A fabricação de transistores em tecnologia SOI consiste na utilização de uma lâmina de silício acima de uma camada de óxido enterrado (*Buried OXide – BOX*) mecanicamente sustentada por um substrato espesso (COLINGE, 2004). A seção longitudinal de um transistor SOI modo inversão tipo n é apresentada na Figura 1. Apesar do custo elevado das lâminas em relação à tecnologia convencional, a tecnologia SOI está consolidada na indústria, sendo utilizada nos mais variados tipos de aplicações por grandes empresas de semicondutores, como IBM, STMicroelectronics e Global Foundries (GWENNAP, 2016). Os benefícios trazidos pela

Figura 1 – Seção longitudinal de um transistor SOI nMOS modo inversão



Fonte Autor

utilização de lâminas SOI podem ser essenciais para permitir aplicações específicas, em que transistores *bulk* estariam comprometidos, como aquelas onde há presença de radiação (SCHWANK et al., 2003) ou altas temperaturas (KRULL; LEE, 1988), mas também trazem vantagens em aplicações digitais e analógicas mais tradicionais, proporcionando melhores parâmetros de saída nos circuitos onde são usados. Além disso, o processo de fabricação do CMOS em tecnologia SOI é significativamente simplificado.

A geometria do transistor SOI consiste em um comprimento de canal  $L$ , regiões de fonte e dreno de comprimento  $L_{SD}$ , largura de canal  $W$  e um material de porta que é separado da região ativa por um isolante de porta com espessura  $t_{ox}$ . A espessura da camada de silício ativo é representada por  $t_{Si}$  enquanto a da camada de óxido enterrado é representada por  $t_{BOX}$ . O transistor possui quatro contatos de eletrodo, para polarização de porta ( $V_G$ ), fonte ( $V_S$ ), dreno ( $V_D$ ) e substrato ( $V_B$ ).

A operação de um SOI MOSFET pode se dar por dois modos, dependendo da forma como o dispositivo foi fabricado: o modo inversão (ou enriquecimento) e o modo acumulação (COLINGE, 2004). Será feita somente a descrição do modo inversão, que é o modo de funcionamento dos dispositivos estudados neste trabalho. Transistores SOI MOS tipo n (*n-type Metal-Oxide-Semiconductor* – nMOS) modo inversão possuem a região de canal composta de silício tipo p, geralmente com concentração intrínseca da lâmina, e fonte e dreno tipo n fortemente dopadas, o que reduz a resistência série, criando junções PN com o canal. No caso de transistores MOS tipo p (*p-type Metal-Oxide-Semiconductor* – pMOS), o canal possui material tipo n enquanto fonte e dreno são fortemente dopados com impurezas tipo p.

A presença de duas regiões isolantes separando semicondutores e/ou condutores faz com que o dispositivo SOI possua dois capacitores MOS, um formado pelo metal de porta, o isolante e a região de canal e um entre o substrato, o óxido enterrado e a região de canal, enquanto um transistor convencional só teria a primeira. Isso faz com que haja três interfaces entre silício e óxido em um transistor SOI: a primeira interface é aquela entre o silício e o óxido de porta, onde ocorre a maior parte da condução de corrente, a segunda é a interface entre o silício ativo e o óxido enterrado, onde pode ser criada uma camada de acumulação dependendo da polarização do substrato. A terceira interface é formada entre o substrato de silício e o óxido enterrado.

Ao polarizar o contato de porta com tensão positiva, o campo elétrico vertical faz com que os portadores majoritários, ou lacunas, no caso de transistores tipo n, e elétrons, no caso de transistores tipo p, sejam repelidos da interface com o isolante de porta, formando uma camada de depleção nessa região, que tem sua espessura aumentada conforme se eleva a tensão aplicada

à porta. O valor máximo dessa espessura é alcançado ao se atingir a tensão de limiar ( $V_{TH}$ ), onde começa a condução de corrente de deriva, e pode ser expresso pela equação (1) (SZE; KWOK, 2007).

$$x_{dmax} = \sqrt{\frac{2\epsilon_{Si}2\phi_F}{qN_{A,D}}}, \quad (1)$$

onde  $\epsilon_{Si}$  é a permissividade do silício,  $\phi_F$  é o potencial de Fermi, descrito pela equação  $\phi_F = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right)$ , onde  $k$  é a constante de Boltzmann,  $T$  é a temperatura e  $n_i$  é a concentração intrínseca de portadores do silício,  $q$  é a carga do elétron e  $N_{A,D}$  é a concentração de dopantes aceitadores ou doadores, dependendo do tipo de impureza presente na região de canal.

Para tensões de porta acima do limiar de condução, os portadores minoritários, ou elétrons, no caso de transistores tipo  $n$ , e lacunas, no caso de transistores tipo  $p$ , formam uma camada de condução denominada camada de inversão, motivo do nome deste modo de operação, pois o tipo de portador do canal é invertido, permitindo o fluxo de corrente entre fonte e dreno ( $I_{DS}$ ), quando diferença de potencial é aplicada entre esses contatos ( $V_{DS}$ ).

Os parâmetros do processo de fabricação do dispositivo, além das condições de operação também definem uma característica importante do seu funcionamento. A concentração de dopantes, a espessura da região ativa e a temperatura de operação dividem o transistor SOI em três tipos: totalmente depletado (*Fully Depleted* – FD), parcialmente depletado (*Partially Depleted* – PD) e quase totalmente depletado (*Near Fully Depleted* – NFD).

A região de depleção pode ser encontrada em ambas a primeira e segunda interfaces. Sendo a região de depleção da primeira interface aquela que em geral alcança maior espessura, considera-se que se o dobro dessa espessura é inferior a  $t_{Si}$ , o transistor é parcialmente depletado, devido à constante presença de uma região neutra entre as duas camadas de depleção, sem que haja interação entre as duas regiões. Quando essa região possui um contato e ele é aterrado, o comportamento do transistor equivale ao de um transistor MOSFET convencional, porém com capacitâncias de junção reduzidas devido à presença do óxido enterrado. Se a região neutra permanece flutuando, efeitos de corpo flutuante são observados, como elevação abrupta de corrente, ou efeito *kink* (HAFEZ, GHIBAUDO, BALESTRA, 1989) e efeito bipolar parasitário em CMOS (KRISHNAN; FOSSUM, 1998).

Caso a máxima espessura da região de depleção da primeira interface seja superior à espessura da camada de silício, o transistor se encontrará totalmente depletado sempre que o

transistor for polarizado acima da tensão de limiar. Este é o caso em que os parâmetros do transistor SOI MOSFET apresentam os valores mais otimizados com relação à capacitância resultante, inclinação de sublimiar, campo elétrico (KISTLER; WOO, 1994), mobilidade de portadores (YOSHIMI, 1989), corrente de desligamento, redução do comprimento de canal sem presença elevada de efeitos de canal curto (YOUNG, 1989), além da ausência dos efeitos bipolar parasitário e *kink*. Por fim, caso a espessura do silício ativo esteja entre a espessura máxima de depleção e duas vezes seu valor, ele é considerado quase totalmente depletado, podendo estar parcialmente ou totalmente depletado, dependendo da polarização de substrato, que pode aumentar a espessura da região de depleção da segunda interface ( $x_{d2}$ ), unindo as regiões de depleção.

## 2.2 TRANSISTORES DE MÚLTIPLAS PORTAS

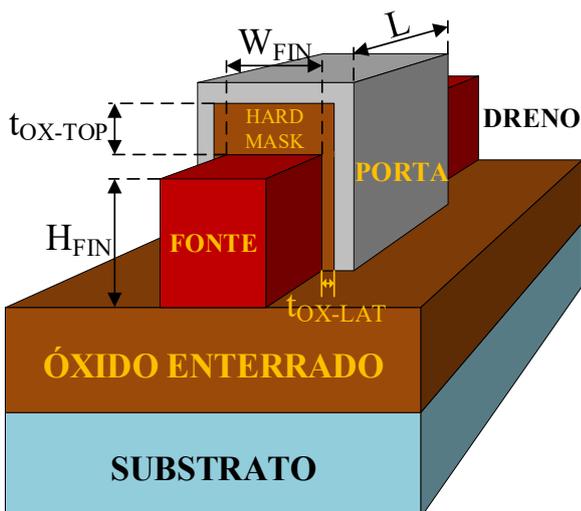
Com o intuito de permitir a continuidade do escalamento da tecnologia CMOS sem degradar as características elétricas devido aos efeitos de canal curto, aumentando a densidade de dispositivos no *chip*, novas arquiteturas são propostas para compensar a aproximação das regiões de fonte e dreno conforme o comprimento de canal é reduzido. Dentre elas, uma apresentava dois planos de condução horizontais: o XMOS (SEKIGAWA; HAYASHI, 1984) revelou-se como um dispositivo com superior distribuição do potencial que controla o fluxo de corrente no canal em relação a transistores com apenas um plano de condução. Levando em conta que o campo elétrico lateral proveniente das regiões de fonte e dreno reduz o controle das cargas do canal pela porta, a adição de interfaces entre porta e região de canal aumenta a área de contato entre essas regiões e, conseqüentemente, a influência das linhas de campo elétrico transversal, resultando em maior integridade eletrostática (COLINGE, 2008). Dessa forma, quanto maior o número de portas envolvendo a região de canal, melhor o acoplamento eletrostático do transistor, sendo, portanto, o transistor de porta circundante (*Gate-All-Around* – GAA) aquele com melhor eletrostática.

### 2.2.1 FinFET de porta dupla

O conhecimento adquirido com a proposição do XMOS despertou, tanto na comunidade científica quanto na indústria, o entusiasmo para a concepção de uma variedade de dispositivos de múltiplas portas com diferentes geometrias, com particularidades que, ao serem estudadas, afunilaram para um conjunto de transistores que ganharam destaque por seu desempenho

elevado. Inspirado no dispositivo XMOS, que possuía substrato *bulk*, o transistor de canal vertical totalmente depletado (DELTA) foi o primeiro transistor de porta dupla a ser fabricado, apresentando uma aleta de silício envolta pelo isolante e material de porta, sustentados por substrato SOI (HISAMOTO et al., 1990). Na década seguinte, após algumas alterações de processo, o FinFET foi proposto (HISAMOTO et al., 2000), podendo ter substrato *bulk* ou SOI, com a camada de óxido enterrado como o apresentado na Figura 2, possuindo um dielétrico espesso na superfície superior da aleta de silício chamado *hard mask*, com espessura  $t_{OX\_TOP}$  maior que a espessura do óxido das portas laterais ( $t_{OX\_LAT}$ ), que limitava a formação dos canais de inversão apenas às paredes laterais, evitando a ocorrência de efeitos de canto, devidos ao campo elétrico resultante das linhas de campo dos planos vertical e horizontal da porta, criando canais de condução parasitas, com mobilidade degradada e tensões de limiar não controladas (XIONG; PARK; COLINGE, 2003; FOSSUM; YANG; TRIVEDI, 2003). Diferente dos transistores planares, no transistor porta dupla a condição de totalmente depletado é definida não apenas pela relação da altura da camada de silício com as regiões de depleção das interfaces da porta e do óxido enterrado, mas também pela relação da largura da aleta ( $W_{FIN}$ ) com as duas regiões de depleção das paredes laterais. Da mesma forma, nos FinFETs a área de condução da corrente é dependente do dobro da altura do *fin* ( $2H_{FIN}$ ), ao contrário da tecnologia planar, que depende da largura de canal ( $W$ ), ocupando mais espaço na lâmina.

Figura 2 – Perspectiva de um FinFET SOI de porta dupla

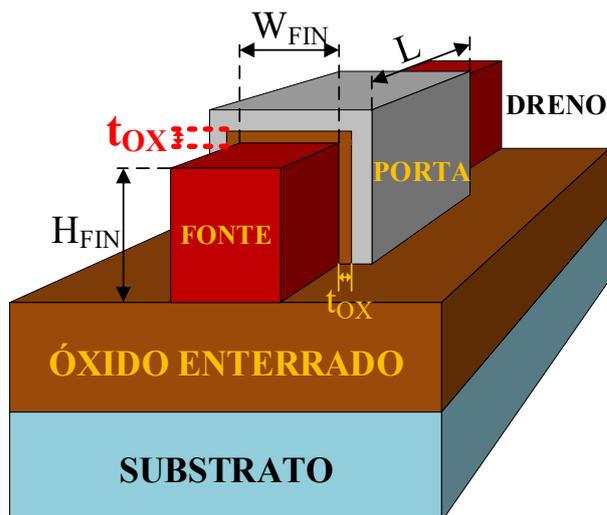


Fonte: Autor

### 2.2.2 FinFET de porta tripla

Com o objetivo de elevar ainda mais o nível de corrente e o controle eletrostático, a espessura do óxido de porta de topo foi reduzida para o mesmo valor do óxido de porta lateral, resultando no FinFET de porta tripla (DOYLE et al., 2003), cuja perspectiva e parâmetros geométricos são mostrados na Figura 3. Como nos FinFETs de porta dupla, a característica de totalmente depletado é alcançada em função da espessura de depleção das paredes laterais, mas no caso do transistor de porta tripla SOI, quando a altura da aleta é reduzida a condição de FD pode ser atingida dependendo também das regiões de depleção de topo e da interface do óxido enterrado (COLINGE, 2008). Atualmente, a Intel comercializa FinFETs de porta tripla com substrato *bulk* com nó tecnológico de 14nm (CALLENDER; PELLERANO; HULL, 2017).

Figura 3 – Perspectiva de um FinFET SOI de porta tripla



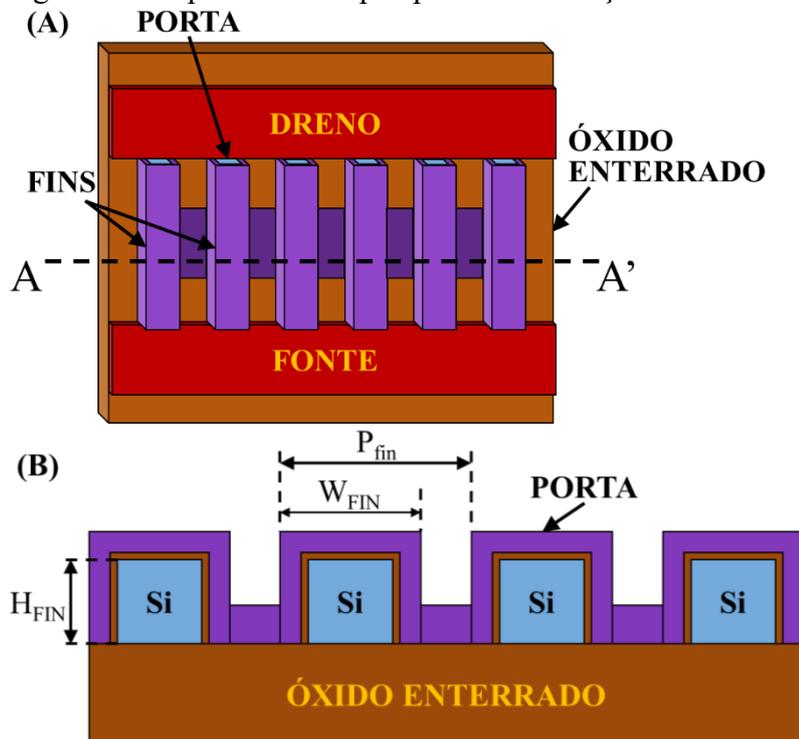
Fonte: Autor

Com a presença de uma superfície de condução adicional, o cálculo da corrente de dreno do dispositivo obedecerá a uma regra diferente, que combina as regras do MOS planar e do FinFET porta dupla. Assim sendo, a área de canal é calculada pelo dobro da altura do *fin*, para as interfaces laterais e pela largura do *fin* para a interface de topo ( $2H_{FIN} + W_{FIN}$ ), sendo esse termo denominado largura efetiva de porta,  $W_{ef}$ . Porém, para cálculo da corrente, deve-se levar em conta a diferença na mobilidade dos portadores do canal devido à sua dependência com a orientação cristalográfica (LANDGRAF et al., 2005). Para elétrons, devido a variações no valor da massa efetiva, o fluxo de portadores é maior em orientações (100), como na superfície de topo do *fin* de silício ( $\mu_{TOP}$ ), e menor em orientações (110), como nas paredes laterais do *fin* ( $\mu_{LAT}$ ). De forma análoga, a mobilidade de lacunas é maior nas laterais e menor no topo. Além

disso, a corrosão lateral para formação da aleta de silício agrava a rugosidade das superfícies laterais, aumentando o espalhamento dependente de campo elétrico nessa região. Ao se modelar a corrente de dreno para o transistor de porta tripla, deve-se levar em conta esses aspectos a fim de se aumentar a precisão do modelo para uma equação mais completa.

Uma característica atrativa dos FinFETs, que os destacam como uma tecnologia promissora em relação às estruturas planares, é a capacidade de se fabricar estruturas multi-dedos, ou multi-*fins*. Nessa estrutura, uma quantidade determinada de aletas de silício paralelas de mesma geometria é criada, com os materiais de porta cobrindo todos os *fins*, com contatos de porta, dreno e fonte comuns. Sendo possível através do transistor de porta tripla reduzir as dimensões  $W_{FIN}$  e  $H_{FIN}$  para aumentar o controle eletrostático da porta, os dispositivos teriam o nível de corrente reduzido em relação a tecnologias planares, que possuem largura na ordem de micrometros. Para compensar essa deficiência, a estrutura multi-*fins* permite multiplicar a corrente de saída do dispositivo com consumo de área menor do que a área usada por seus antecessores, aproveitando-se, assim, ao máximo o excelente desempenho dos FinFETs porta tripla enquanto se mantém o nível de corrente elevado. A Figura 4 apresenta a vista superior em perspectiva e seção transversal de uma estrutura multi-*fins*.

Figura 4 – Esquemático da perspectiva e da seção transversal de uma estrutura multi-dedos



Fonte: Autor

Legenda: (A) Vista superior em perspectiva e (B) seção transversal da estrutura multi-dedos (corte A-A')

Para o cálculo da corrente em transistores multi-*fin*s deve-se considerar a corrente de um *fin* individual multiplicado pelo número de *fin*s. Porém, para que o uso de um FinFET multi-*fin* compense em relação a um transistor planar com mesma área ocupada, a diferença entre a contribuição das mobilidades laterais e de topo deve ser levada em conta, assim como a dimensão  $P_{fin}$ , referente ao período de espaçamento entre os *fin*s. A equação (2) exhibe uma forma de examinar a eficácia do transistor FinFET em relação ao planar, onde a corrente do primeiro,  $I_{Def}$ , precisa ser superior a  $I_{D0}$  para valer a pena sua utilização (COLINGE, 2008).

$$I_{Def} \geq \frac{I_{D0} W_{ef}}{P_{fin}}. \quad (2)$$

### 2.2.3 Nanofios transistores MOS

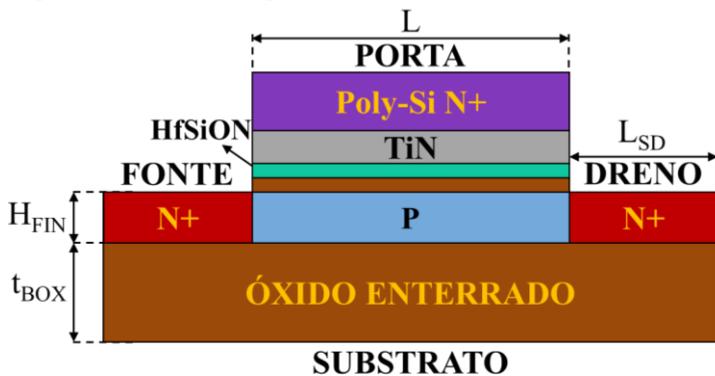
A miniaturização da tecnologia MOS possibilitada pelo advento dos FinFETs de porta tripla eventualmente atingiu um patamar onde a largura e altura de *fin* alcançam valores similares, na faixa de poucas dezenas de nanômetros, chegando atualmente em seu mínimo a 5nm (DESHPANDE, 2012). Para tais dispositivos foi dado o nome de nanofios transistores MOS, tendo recebido grande atenção nos últimos anos devido a sua alta imunidade a efeitos de canal curto e bom desempenho de parâmetros elétricos de interesse (AFAZALIAN, 2011; LAI, 2011; KOYAMA, 2013). O alto fornecimento de corrente no estado ligado, em relação à baixa corrente de estado desligado, com uma inclinação de sublimiar próxima do limite teórico de 60 mV/dec em temperatura ambiente, torna o nanofio altamente desejável para aplicações de baixa potência e baixa tensão (*Low Power Low Voltage* – LPLV).

Em geral, os nanofios têm sido projetados para que a região de canal tenha apenas a concentração de dopantes intrínseca da lâmina, evitando a necessidade de etapas de implantação iônica na fabricação. Isso exclui, porém, a possibilidade do uso da concentração de dopantes para controle da tensão de limiar, o que teria que ser feito através da polarização do substrato (OTA et al., 2013). Com o uso de metais de porta chamados *midgap*, como nitreto de titânio (TiN) e tungstênio, que possuem função trabalho equivalente à do silício intrínseco, de 4,61 eV, é possível obter valores de tensão de limiar adequados para transistores tipo p e n, dispensando a dopagem do canal (COLINGE, 2008). O uso de dielétricos de porta com alta constante dielétrica também tem sido indicado devido ao aumento da corrente de fuga observado em óxidos de porta extremamente finos (HE et al., 2011; ROBERTSON; WALLACE, 2015). Em contrapartida, o uso de tais dielétricos, chamados de materiais *high-κ*, como o oxinitreto de

silício háfnio (HfSiON), leva à geração elevada de armadilhas de interface, degradando a mobilidade por espalhamento Coulomb (LEE et al., 2011).

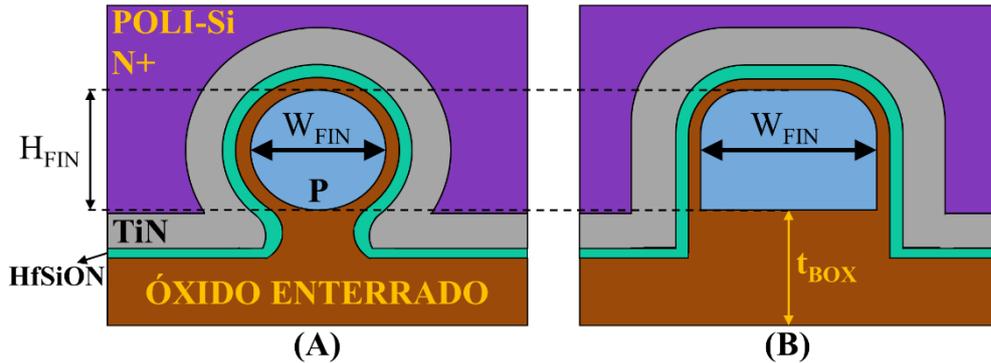
Uma característica específica da arquitetura FinFET, em especial dos nanofios, é a possibilidade de extensão da região de porta abaixo da região de canal exposta durante a fabricação, o que pode elevar tanto a integridade eletrostática quanto a corrente de dreno fornecida pelo transistor. Assim, duas variações dos dispositivos de porta tripla foram desenvolvidas: o FinFET porta- $\pi$  (ou porta- $\pi$ ) e o porta- $\Omega$  (ou porta- $\Omega$ ) (TACHI et al., 2009; YANG et al., 2002). O transistor porta- $\Omega$  é caracterizado pela corrosão isotrópica de uma seção do óxido enterrado nas proximidades da base da região de canal, onde o dielétrico e material de porta são depositados, ficando a porta com formato da letra grega  $\Omega$  ao cobrir o *fin* de silício. Isso torna a sua eletrostática mais próxima do excelente controle de cargas do transistor de porta circundante (GAA). O transistor porta- $\pi$  é definido por uma corrosão anisotrópica paralela às paredes laterais do *fin* com profundidade superior à da base do transistor. Com a deposição dos dielétricos e metais, a porta apresenta formato da letra  $\pi$ . A Figura 5 apresentam a vista longitudinal de um nanofio transistor MOS tipo n, enquanto a Figura 6 apresenta a seção transversal de nanofios transistores MOS com estrutura de porta  $\Omega$  e  $\pi$ .

Figura 5 – Vista longitudinal de um nanofio transistor MOS



Fonte: Autor

Figura 6 – Seção transversal de nanofios transistores MOS com diferentes estruturas de porta

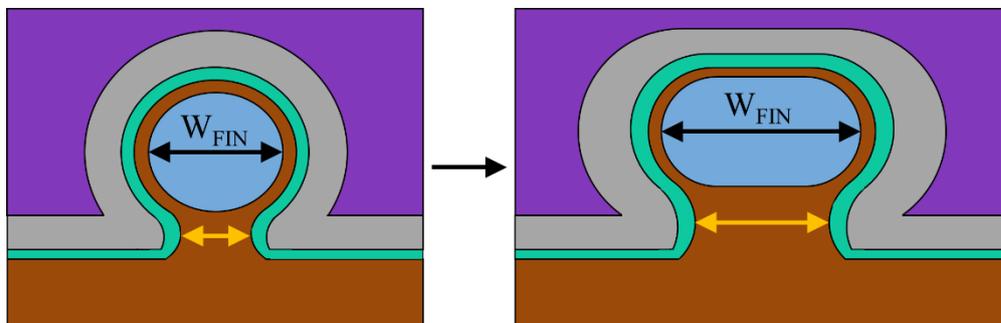


Fonte: Autor

Legenda: (A) Estrutura de porta-Ω (B) Estrutura de porta-π

A presença de material de porta na superfície inferior da região de canal implica não somente em maior controle das cargas pela porta, mas em maior resultante do campo elétrico nos cantos inferiores do transistor. Com as arestas da aleta de silício possuindo forma arredondada em todos os cantos, o efeito das linhas de campo é reduzido, sendo essa redução dependente do raio de curvatura do canto: quanto maior seu valor, mais o efeito de canto é atenuado (COLINGE, 2008). Assim como acontece com a contribuição das paredes laterais na corrente de dreno, a influência da porta inferior do Ω-FET também tem forte dependência com a largura do *fin*. Como o tempo de corrosão do óxido enterrado não varia para um mesmo processo, ao se aumentar  $W_{FIN}$ , o espaço embaixo do silício que será preenchido pela porta não muda, como mostrado na Figura 7, em que o aumento da largura é exibido. Logo, transistores estreitos sofrem menos influência do substrato do que transistores largos, em que a área de contribuição é muito maior na interface entre o silício e o óxido enterrado.

Figura 7 – Ilustração do aumento da largura de *fin* em FinFETs porta-Ω



Fonte: Autor

Quando há desconhecimento da real geometria gerada durante o processo de fabricação, como por exemplo quantos nanômetros de porta há por baixo do transistor e qual o raio de curvatura dos cantos, existe maior dificuldade em prever o comportamento do dispositivo em

diversos aspectos. A ausência dos valores desses parâmetros geométricos, que tem grande impacto no funcionamento do transistor, pode fazer com que a representação precisa dessa estrutura por meio de simulação seja mais complicada.

## 2.3 PROPRIEDADES ELÉTRICAS BÁSICAS

Nesta seção os parâmetros elétricos de transistores MOS avaliados neste trabalho serão apresentados da forma como são descritos na literatura e serão abordados também os efeitos de canal curto.

### 2.3.1 Tensão de limiar

A tensão de limiar é o valor de polarização de porta que define a transição da presença de uma região de depleção para uma camada de inversão na interface entre a região de canal e o isolante de porta. Em relação ao diagrama de bandas de energia, a tensão de limiar é considerada o potencial aplicado à porta que faz com que a energia de Fermi intrínseca cruze a energia de Fermi do silício, causando uma inversão entre a presença de portadores majoritários e minoritários, que têm carga de polaridade inversa à do canal, começando a se concentrar na interface (COLINGE; COLINGE, 2002). A partir desse ponto, a polarização entre dreno e fonte faz com que esse canal de inversão conduza os portadores entre estes contatos, fazendo crescer a corrente de dreno do transistor.

Na prática, mesmo antes do cruzamento entre os níveis de energia de Fermi, que define a inversão, já existe um nível de corrente considerável fluindo no dispositivo, principalmente em transistores com concentração intrínseca ou baixa dopagem na região de canal. Assim, essas regiões de polarização passaram a ser divididas entre inversão fraca e inversão forte, havendo diversas maneiras de se determinar a transição entre ambas as regiões, que define a tensão de limiar do dispositivo (ORTIZ-CONDE et al., 2002). Tal indefinição da tensão de limiar, que não pode mais ser definida simplesmente pelo cruzamento entre as energias de Fermi intrínseca e do silício, pode ser corrigida com a dopagem elevada da região de canal, mas em transistores de múltiplas portas, isso acarreta um aumento na atuação das regiões de condução parasitárias, criando múltiplas tensões de limiar no transistor (XIONG; PARK; COLINGE, 2003).

A equação de primeira ordem que define a tensão de limiar em transistores MOS convencionais é apresentada na equação (3), sendo que essa versão não inclui a influência da tensão de substrato ou de efeitos quânticos.

$$V_{TH} = \pm \frac{qN_{A,D}x_{dmax}}{C_{ox}} + 2\phi_F + V_{FB}, \quad (3)$$

onde  $C_{ox}$  é a capacitância do óxido por unidade de área,  $x_{dmax}$  é a espessura máxima da região de depleção definida em (1),  $\phi_F$  é o potencial de Fermi, e  $V_{FB} = -\frac{Q_{ss}}{C_{ox}} + \phi_M - \phi_{Si}$  é a tensão de faixa plana, onde  $Q_{ss}$  são as cargas de interface,  $\phi_M$  é o potencial do metal de porta e  $\phi_{Si}$  é o potencial do silício.

Para transistores SOI totalmente depletados, a equação da tensão de limiar, além de ter ser modificada, ainda depende da condição da segunda interface, se está em inversão, acumulação ou depleção, com as equações para cada caso sendo apresentadas nas equações (4), (5) e (6), respectivamente (COLINGE, 2004). Para a segunda interface em depleção a tensão de limiar depende também do potencial aplicado à segunda porta,  $V_{G2}$ .

$$V_{TH1,inv2} = \phi_{MS} - \frac{Q_{ox1}}{C_{ox1}} + 2\phi_F - \frac{Q_{depl}}{2C_{ox1}} \quad (4)$$

$$V_{TH1,acc2} = \phi_{MS} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right) 2\phi_F - \frac{Q_{depl}}{2C_{ox1}} \quad (5)$$

$$V_{TH1,depl2} = V_{TH1,acc2} - \frac{C_{Si}C_{ox2}}{C_{ox1}(C_{Si} + C_{ox2})} (V_{G2} - V_{G2,acc2}), \quad (6)$$

onde  $\phi_{MS}$  é a diferença entre os potenciais do metal da porta e do silício,  $Q_{ox1}$  e  $C_{ox1}$  são a carga e capacitância por unidade de área do óxido de porta,  $C_{ox2}$  é a capacitância por unidade de área do óxido enterrado e  $Q_{depl}$  é a carga da região de depleção. As equações apresentadas acima só são válidas, porém, para espessuras de acumulação e inversão muito menores que a espessura do silício.

Para transistores de múltiplas portas foram desenvolvidos diversos modelos para se descrever a tensão de limiar. Um deles, obtido para transistores de porta dupla com concentração intrínseca do silício na região de canal, é apresentado na equação (7) (POIROUX et al., 2005).

$$V_{TH} = \phi_{MS} + \frac{kT}{q} \ln\left(\frac{2C_{ox}kT}{q^2n_it_{Si}}\right) + \frac{\pi\hbar^2}{2qm^*t_{Si}^2}, \quad (7)$$

Onde, para FinFETs de porta dupla,  $t_{si}$  equivale à largura de  $fin$ , e o último termo é referente à presença de efeitos quânticos, onde  $\hbar$  é a constante de Planck normalizada e  $m^*$  é a massa efetiva de confinamento dos portadores na direção transversal.

### 2.3.2 Inclinação de sublimiar

Este parâmetro avalia a rapidez com que a transição entre os estados desligado e ligado do transistor é realizada, através da quantidade de variação de tensão de porta a cada década de corrente aumentada na região de sublimiar (COLINGE; COLINGE, 2002). Assim, a obtenção da inclinação de sublimiar se dá através de curvas  $I_{DS}$ - $V_{GS}$  em baixa polarização de dreno aplicando-se a equação (8), para a região abaixo do limiar.

$$S = \frac{dV_{GS}}{d(\log(I_{DS}))}. \quad (8)$$

O cálculo teórico deste parâmetro pode ser obtido a partir da equação da corrente de dreno no sublimiar, representada pelo mecanismo de difusão, que predomina no estado desligado do dispositivo. A equação final é apresentada em (9) (BREWS, 1979).

$$S = \frac{kT}{q} \ln(10) \cdot n, \quad (9)$$

onde  $n$  é o fator de corpo do transistor, cuja equação varia dependendo da estrutura do corpo do dispositivo, que pode apresentar melhor ou pior acoplamento capacitivo. No caso ideal, o fator de corpo é igual a 1, caso em que, para temperatura ambiente de 300K, a inclinação de sublimiar resulta em 60 mV/década, sendo considerado o limite teórico para essa temperatura. Em teoria, o transistor SOI totalmente depletado apresenta melhor acoplamento capacitivo que o MOS convencional, mas, assim como a tensão de limiar, isso também depende do modo de operação da segunda interface, onde a presença da segunda interface em acumulação degrada o acoplamento, aumentando o fator de campo (COLINGE, 2004). São exibidas nas equações (10), (11) e (12) o fator de corpo do transistor MOS convencional, do FD SOI com a segunda interface em depleção ou inversão, e com a segunda interface em acumulação, respectivamente.

$$n = \left(1 + \frac{C_D}{C_{ox}}\right) \quad (10)$$

$$n_{\text{FDSOI}} = 1 + \frac{1}{C_{\text{ox1}}} \left( \frac{C_{\text{Si}} C_{\text{ox2}}}{C_{\text{Si}} + C_{\text{ox2}}} \right) \quad (11)$$

$$n_{\text{FDSOI,acc}} = \left( 1 + \frac{C_{\text{Si}}}{C_{\text{ox}}} \right). \quad (12)$$

Com isso, tem-se que o transistor SOI apresenta melhor fator de corpo que o MOS *bulk*, a não ser que a segunda interface esteja em acumulação, caso em que o fator de corpo se torna menor que o do *bulk*.

Para os transistores de múltiplas portas, em especial os nanofios transistores MOS, que apresentam excelente controle eletrostático da porta e baixos efeitos de canal curto, o fator de corpo tem valor próximo da unidade, resultando em inclinação de sublimiar próxima do limite teórico (COQUAND et al., 2012).

### 2.3.3 Transcondutância

A transcondutância ( $g_m$ ) é o parâmetro que avalia a forma como a corrente de dreno é controlada pela porta do transistor. Em termos numéricos, ela é a variação da corrente de dreno com o aumento da tensão de porta, logo, o cálculo desse parâmetro também é feito a partir de uma curva  $I_{\text{DS}}-V_{\text{GS}}$  e em seguida aplicando-se a equação (13) (COLINGE; COLINGE, 2002).

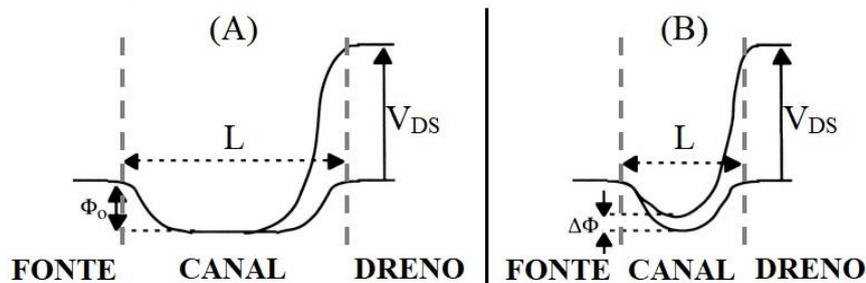
$$g_m = \frac{dI_{\text{DS}}}{dV_{\text{GS}}}. \quad (13)$$

### 2.3.4 Redução de barreira induzida pelo dreno (DIBL)

Em transistores MOS com canal curto, a aplicação de tensões de dreno elevadas pode ter como consequência o aumento do potencial eletrostático próximo da interface com a porta, onde se encontra a região de canal. Com isso, ocorre uma redução da barreira de potencial para criação da região de inversão, resultando em redução da tensão de limiar do transistor. A Figura 8(B) mostra o aumento do potencial na região de canal provocado pelo aumento da tensão de dreno em transistores MOS com canal curto. O parâmetro que quantifica a influência da polarização do dreno na redução da barreira de potencial entre a fonte e o canal é denominado redução de barreira induzida pelo dreno (*Drain Induced Barrier Lowering* – DIBL). Como

consequência da redução da barreira do canal, além da redução da tensão de limiar tem-se o aumento da corrente de fuga no sublimiar. O aumento do DIBL é intensificado pela ausência de óxido enterrado e, portanto, dispositivos MOS convencionais são mais susceptíveis a ocorrência desse efeito.

Figura 8 – Curvas do potencial eletrostático ao longo da região ativa de transistores MOS com canal longo e canal curto



Fonte: Autor “adaptado de” COLINGE; COLINGE, 2002, p. 232

Legenda: Transistor de canal longo (A) e canal curto (B)

O cálculo do DIBL é feito com base na variação da tensão de limiar em razão da variação da tensão de dreno, de acordo com a equação (14) (COLINGE;COLINGE, 2002).

$$\text{DIBL} = \frac{V_{\text{TH},1} - V_{\text{TH},2}}{V_{\text{DS},2} - V_{\text{DS},1}}. \quad (14)$$

## 2.4 TRANSPORTE DE CARGAS

Nesta seção serão discutidos os tópicos relacionados a transporte de cargas, com foco na mobilidade e seus mecanismos de espalhamento, influência do campo elétrico e efeitos quânticos, conforme descritos na literatura. Serão também definidos os métodos de extração da mobilidade utilizados neste trabalho.

### 2.4.1 Mobilidade de baixo campo

A definição formal de mobilidade é descrita como a capacidade de movimentação dos portadores através da rede cristalina de um semiconductor. Fisicamente, a mobilidade é dada pela velocidade de deriva em razão do campo elétrico. O deslocamento das cargas móveis é inerentemente restrito pela presença de diversas particularidades do material que dificultam a passagem dos portadores pela rede cristalina, referidas como mecanismos de espalhamento.

Alguns dos parâmetros relacionados a esses mecanismos são a dopagem do material, o tipo de dopante, a temperatura, a massa efetiva do portador, a orientação cristalográfica, entre outros. Ao incluir a influência desses parâmetros obtém-se a mobilidade resultante sem dependência com o campo elétrico, quando são aplicados valores de polarização baixos. Os mecanismos de espalhamento que possuem dependência de campo elétrico serão descritos na subseção 2.4.2.

Abaixo são descritos os principais mecanismos de espalhamento independentes do campo elétrico e os fatores a eles relacionados:

#### 2.4.1.1 *Espalhamento fônon*

O espalhamento fônon, ou espalhamento de rede, tem origem na vibração da rede cristalina, que está relacionada ao potencial interno do cristal, podendo alterar esse valor desarranjando a estrutura de faixas de energia do silício. Como as vibrações da rede estão diretamente ligadas à temperatura do material, o aumento da temperatura é o principal parâmetro de impacto no espalhamento fônon, como pode ser verificado na equação (15) [LUNDSTROM, 2000].

$$\mu_{ps,x} = \frac{1}{\frac{1}{\mu_{0xa} \left(\frac{T}{300}\right)^{-\alpha_x}} + \frac{1}{\mu_{0xb} \left(\frac{T}{300}\right)^{-\beta_x}}}. \quad (15)$$

O índice x refere-se a elétrons (e) ou lacunas (h), dependendo do tipo de dopante presente. Para elétrons,  $\mu_{0ea}=4195 \text{ cm}^2/\text{Vs}$ ;  $\mu_{0eb}=2153 \text{ cm}^2/\text{Vs}$ ;  $\alpha_e=1,5$  e  $\beta_e=3,13$ . Para lacunas,  $\mu_{0ha}=2502 \text{ cm}^2/\text{Vs}$ ;  $\mu_{0hb}=591 \text{ cm}^2/\text{Vs}$ ;  $\alpha_h=1,5$  e  $\beta_h=3,25$ .

#### 2.4.1.2 *Espalhamento por impurezas ionizadas*

O espalhamento por impurezas ionizadas é observado em semicondutores com alta concentração de impurezas, devido ao aumento do número de portadores ionizados que, sob influência da temperatura elevada, causam degradação da mobilidade dos portadores livres. Assim o cálculo da mobilidade devido a este espalhamento inclui também uma parcela da mobilidade por espalhamento fônon (CAUGHEY; THOMAS, 1967), como mostra a equação (16).

$$\mu_{psii,x} = \mu_{min,x} + \frac{\mu_{psx} - \mu_{min,x}}{1 + \left(\frac{N_{A,D}^-}{N_{ref,x}}\right)^{\alpha_{ax}}}. \quad (16)$$

O índice x refere-se a elétrons (e) ou lacunas (h), dependendo do tipo de dopante presente. Para elétrons,  $\mu_{min,e}=197,17-45,505.\log(T)$ ;  $N_{ref,e}=1,12.10^{17}.(T/300)^{3,2}$  e  $\alpha_{ae}=0,72.(T/300)^{0,065}$ . Para lacunas,  $\mu_{min,h}=110,90-25,597.\log(T)$ ;  $N_{ref,h}=2,23.10^{17}.(T/300)^{3,2}$  e  $\alpha_{ah}=0,72.(T/300)^{0,065}$ , enquanto  $N_A^-$  e  $N_D^+$  estão relacionados às impurezas aceitadoras e doadoras ionizadas, respectivamente.

### 2.4.1.3 Espalhamento por impurezas neutras

O espalhamento por impurezas neutras é observado durante operações em baixas temperaturas, quando a concentração de impurezas não ionizadas se eleva, alcançando valores superiores a  $10^{18} \text{ cm}^{-3}$  (LI; THURBER, 1977). A equação que descreve a mobilidade devido a esse espalhamento é apresentada em (17).

$$\mu_{ni,x} = C_0 \left( \frac{2}{3} \sqrt{\frac{kT}{E_{ni,x}}} + \frac{1}{3} \sqrt{\frac{E_{ni,x}}{kT}} \right), \quad (17)$$

onde  $C_0 = \frac{2\pi^3 q^3 m_{cx}^*}{5\epsilon_{Si} h^3 (N_{A,D}^- - N_{A,D}^-)}$  e  $E_{ni,x} = 1,136. 10^{-19} \left(\frac{m_{cx}^*}{m_0}\right) \left(\frac{\epsilon_0}{\epsilon}\right)$ , h é a constante de Planck,  $\epsilon_0$  é a permissividade elétrica do vácuo. O índice x refere-se a elétrons (e) ou lacunas (h), dependendo do tipo de dopante presente e  $m_{ce}^*$  é a massa efetiva de condução de elétrons e  $m_{ch}^*$  é a massa efetiva de condução de lacunas e  $m_0$  é a massa do elétron.

### 2.4.1.4 Espalhamento portador-portador

O espalhamento portador-portador se torna relevante em semicondutores com alto número de portadores em relação ao número de dopantes, que na faixa de condução são atraídos e repelidos entre si, com maior intensidade conforme a temperatura aumenta, resultando em degradação da mobilidade. A equação (18) descreve a mobilidade causada pelo mecanismo de espalhamento portador-portador.

$$\mu_{CC,x} = \frac{2 \cdot 10^{17}}{\sqrt{N_{A,D}} \cdot \ln \left( 1 + 8,28 \cdot 10^8 T^2 N_{A,D}^{-\frac{1}{3}} \right)}. \quad (18)$$

O índice x refere-se a elétrons (e) ou lacunas (h) e os termos  $N_A$  e  $N_D$  incluem a dependência desse tipo de espalhamento com o tipo de portador livre presente.

#### 2.4.1.5 Mobilidade de baixo campo resultante

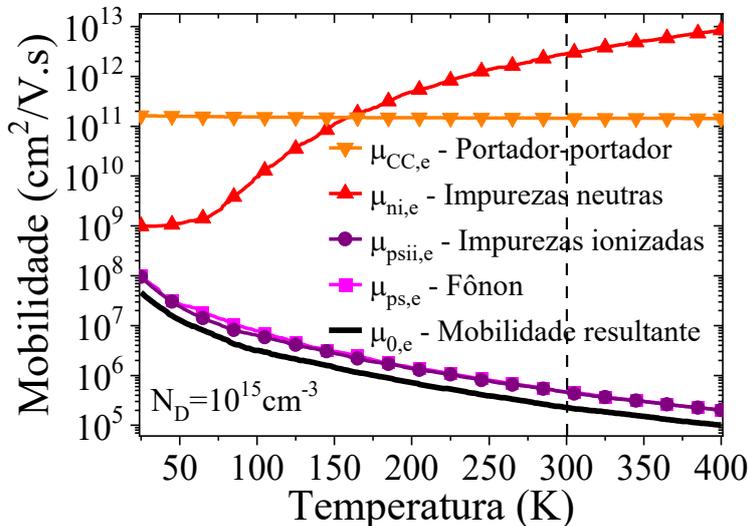
Ao incluir os mecanismos de espalhamento citados acima, é possível obter a mobilidade resultante independente de campo elétrico. Para tal, aplica-se a regra de Matthiessen (STERN, 1980), resultando na equação (19).

$$\mu_{0,x} = \frac{1}{\frac{1}{\mu_{psii,x}} + \frac{1}{\mu_{CC,x}} + \frac{1}{\mu_{ni,x}}}, \quad (19)$$

onde, substituindo-se o índice x por e ou h, tem-se a mobilidade de baixo campo de elétrons ou de lacunas, respectivamente.

Na Figura 9 são apresentadas as curvas de contribuição de cada mecanismo de espalhamento para a mobilidade de baixo campo em função da temperatura, calculadas de acordo com as equações expostas anteriormente, assim como a mobilidade resultante, onde

Figura 9 – Mecanismos de espalhamento e mobilidade de elétrons resultante calculados em função da temperatura para concentração de dopantes de  $10^{15} \text{ cm}^{-3}$



Fonte: Autor

pode-se notar que os espalhamentos por impurezas ionizadas e fônons são os que dominam a mobilidade total, sendo a contribuição dos outros efeitos quase desprezível em relação a este para a temperatura de 300K.

## **2.4.2 Mobilidade dependente do campo elétrico**

Conforme as polarizações aplicadas aos terminais do dispositivo aumentam, modificações são provocadas no comportamento dos portadores, afetando a mobilidade de formas diferentes dependendo da faixa de magnitude do campo elétrico. Dentre os mecanismos associados ao campo elétrico, estão o espalhamento fônons 2D e 3D, o espalhamento por rugosidade de superfície e espalhamento Coulomb (TAKAGI et al, 1994; LUNDSTROM, 2000).

### **2.4.2.1 Espalhamento Coulomb**

O espalhamento Coulomb causa degradação na mobilidade devido aos efeitos associados às cargas no corpo do semicondutor, nas armadilhas no óxido e nos estados de interface (ROBERTSON; WALLACE, 2015). Logo, este mecanismo está diretamente associado à concentração de dopantes elevada, sendo mais evidente em campo elétrico baixo, equivalente aos espalhamentos por impurezas ionizadas e não ionizadas.

Ao se utilizar materiais *high- $\kappa$*  como isolante de porta em adição ao óxido, os defeitos nas interfaces entre os dois isolantes podem causar espalhamento Coulomb remoto, devido à quantidade elevada de armadilhas de interface, afetando a mobilidade em baixo e médio campo elétrico (LEE et al., 2011).

### **2.4.2.2 Espalhamento fônons 2D e 3D**

O espalhamento fônons adquire dependência com o campo elétrico à medida que este se torna maior, apresentando comportamento diferente entre baixo e alto campo elétrico. Em baixa polarização, o canal por onde os portadores são conduzidos se estende até uma pequena distância da interface, nesse caso o espalhamento fônons tem característica 3D, tendo maior dependência com a temperatura. Conforme o campo elétrico aumenta, os portadores são mais fortemente atraídos para a interface, caso em que o espalhamento fônons é considerado 2D. A expressão, obtida a partir de um modelo semiempírico para ambos os casos, é apresentada na

equação (20) e é dividida em duas componentes, sendo a mobilidade devido ao espalhamento fônon acústico a componente que apresenta o menor valor, onde a primeira componente é relacionada à característica 2D e a segunda ao 3D (MUJTABA, 1995).

$$\mu_{ps,x} = \min \left[ \frac{A}{E_{ef}} + \frac{B \cdot N_{A,D}}{E_{ef}^{\frac{1}{3}} \cdot T}, \mu_{max,x} \left( \frac{300}{T} \right)^{\theta} \right]. \quad (20)$$

O índice x refere-se a elétrons (e) ou lacunas (h), dependendo do tipo de dopante presente. Onde  $A=3 \cdot 10^8 \text{ cm}^2/\text{s}$ ,  $B=3 \cdot 10^7 \text{ cm}^5/\text{V}^{-2/3} \text{ s}^{-1}$ ,  $\mu_{max,e}=1417 \text{ cm}^2/\text{V} \cdot \text{s}$ ,  $\mu_{max,h}=470,5 \text{ cm}^2/\text{V} \cdot \text{s}$ ,  $\theta=2,285$  e  $E_{ef}$  é o campo elétrico médio no canal.

#### 2.4.2.3 Espalhamento por rugosidade de superfície

O espalhamento por rugosidade de superfície é o mecanismo que tem dependência com os valores mais altos do campo elétrico vertical. Devido às imperfeições da interface entre a camada de silício e o óxido, ou entre heterojunções, os portadores de carga, ao serem fortemente atraídos para a interface, têm seu deslocamento retardado (VASILESKA, FERRY, 1997). Assim, além da dependência com o campo elétrico, a qualidade da interface também tem grande influência nesse fenômeno: a interface inferior do silício, cuja superfície em geral passa por polimento mecânico, ao ser unida com o óxido enterrado por técnicas como *Smart Cut*, ou UNIBOND (COLINGE, 2004), é considerada de alta qualidade, possuindo baixa rugosidade. Enquanto isso, a qualidade da primeira interface é considerada pior, devido ao crescimento do óxido impedindo polimento da superfície, e no caso de transistores de múltiplas portas, a corrosão do silício para formação das paredes laterais gera uma interface de qualidade ainda inferior à do topo (DAUGÉ et al., 2004). A equação (21) descreve a mobilidade devido ao espalhamento por rugosidade de superfície:

$$\mu_{SR,x} = \frac{\mu_{0,x}}{1 + \alpha_S |E_{ef}|}, \quad (21)$$

onde o índice x refere-se a elétrons (e) ou lacunas (h) e  $\alpha_S$  é a constante de espalhamento e  $\mu_0$  é a mobilidade de baixo campo resultante.

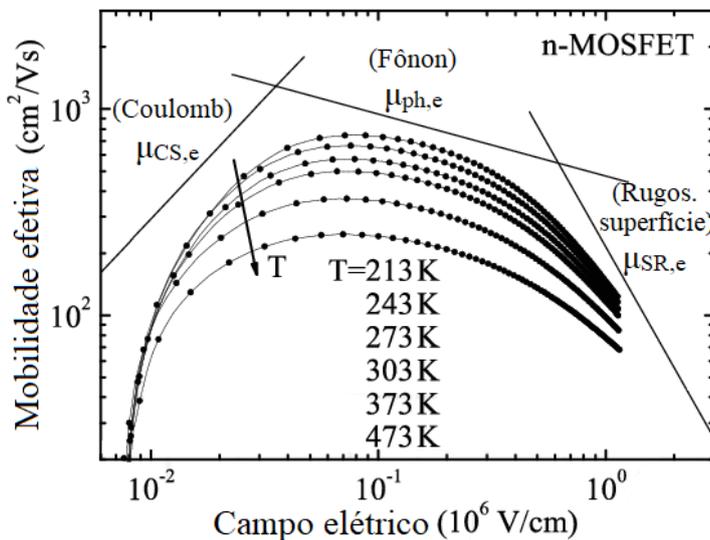
#### 2.4.2.4 Mobilidade dependente de campo elétrico resultante

A mobilidade efetiva total, levando em conta todos os mecanismos acima citados, é calculada utilizando-se novamente a regra de Matthiessen, como mostrado na equação (22):

$$\mu_{ef,x} = \frac{1}{\frac{1}{\mu_{CS,x}} + \frac{1}{\mu_{ps,x}} + \frac{1}{\mu_{SR,x}}}, \quad (22)$$

onde o índice x refere-se a elétrons (e) ou lacunas (h). A Figura 10 mostra a mobilidade efetiva em função do campo elétrico em MOSFETs tipo n para diversas temperaturas do ambiente, indicando também as regiões em que os mecanismos de espalhamento dependentes do campo elétrico são predominantes. O espalhamento Coulomb tem maior impacto na mobilidade resultante em campo elétrico baixo, enquanto o espalhamento fônon predomina em campo elétrico médio e, por fim, o espalhamento por rugosidade de superfície se torna relevante em campo elétrico alto (GAUBERT; TERAMOTO, 2017).

Figura 10 – Mobilidade efetiva em função do campo elétrico em transistores nMOS com variação da temperatura de operação com indicação das regiões predominantes dos mecanismos de espalhamento dependentes do campo elétrico



Fonte: Autor “adaptado de” Gaubert, Teramoto, 2017, p. 18

### 2.4.3 Velocidade de saturação

A definição básica de mobilidade se dá pela velocidade média dos portadores em razão de um dado campo elétrico aplicado na mesma direção do deslocamento, como exibido na equação (23) (CANALI et al., 1975).

$$\mu = \frac{v_m}{E_Y}, \quad (23)$$

onde  $v_m$  é a velocidade média e  $E_Y$  é o campo elétrico lateral. Em temperatura de 300K, a dependência da velocidade com o campo elétrico é descrita como linear em campo elétrico baixo. Conforme o campo elétrico é elevado, a influência do mesmo na velocidade é reduzida até alcançar um ponto de saturação, a partir do qual a velocidade é denominada velocidade de saturação, possuindo uma dependência apenas com a temperatura (YU; CARDONA, 2005). O valor da velocidade a partir da saturação é calculado pela equação (24).

$$v_{\text{sat}} = 10^7 \left( \frac{T}{300} \right)^{-0,87}. \quad (24)$$

### 2.4.4 Métodos de extração da mobilidade

Atualmente existem diversas técnicas para se obter a mobilidade de portadores em dispositivos através de medidas experimentais, através de curvas de corrente e de capacitância. Uma maneira de verificar a variação da mobilidade é pela transcondutância máxima, que permite ter uma ideia do comportamento da mobilidade de baixo campo em relação a algum parâmetro variante. Sendo a equação de primeira ordem da corrente de dreno em um MOSFET operando na região de triodo descrita pela equação (25).

$$I_{\text{DS}} = \mu_0 C_{\text{ox}} \frac{W}{L} \left[ (V_{\text{GS}} - V_{\text{TH}}) V_{\text{DS}} - \frac{V_{\text{DS}}^2}{2} \right], \quad (25)$$

onde  $C_{\text{ox}} = \frac{\epsilon_{\text{ox}}}{t_{\text{ox}}}$ , ao se derivar a corrente de dreno em relação à tensão de porta, obtém-se a transcondutância do dispositivo ( $g_m$ ), apresentada na equação (26). Observa-se uma relação linear entre a transcondutância e a mobilidade de baixo campo, dependendo apenas de valores

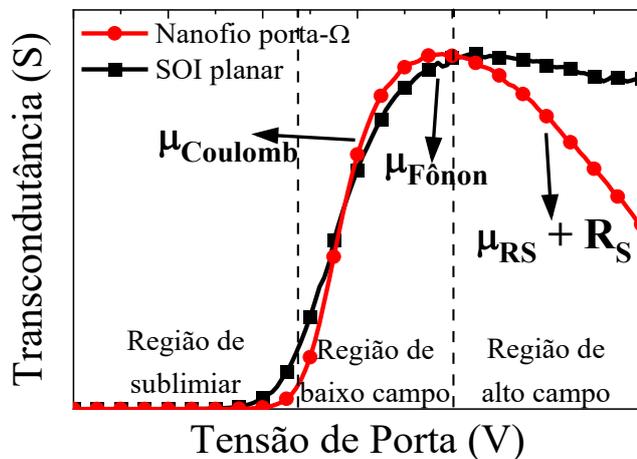
constantes como parâmetros construtivos e a tensão de dreno aplicada. Assim, isolando-se a mobilidade, tem-se a equação mostrada em (27).

$$g_m = \mu_0 C_{ox} \frac{W}{L} V_{DS} \quad (26)$$

$$\mu_0 = \frac{L}{WC_{ox}V_{DS}} g_m \cdot \quad (27)$$

Assim, a influência dos mecanismos de degradação da mobilidade pode ser observada diretamente pela curva de transcondutância, que, assim como na Figura 10, pode ser dividida em região de baixo, médio e alto campo elétrico, essa última, porém, incluindo o efeito de resistência série. Na Figura 11, as curvas de transcondutância de transistores SOI planar e nanofios porta- $\Omega$  são exibidas em função da tensão de porta, onde destacam-se as regiões de sublimiar, baixo e alto campo elétrico vistos através da transcondutância. Também é possível observar a região da curva em que os espalhamentos Coulomb, fônon e por rugosidade de superfície se fazem presente, notando-se principalmente a diferença na degradação da mobilidade na região de alto campo entre ambas as tecnologias de transistores. Não se pode afirmar visualmente, porém, o quanto dessa inclinação negativa se deve também ao efeito de resistência série, que é significativamente maior nos nanofios devido à largura de *fin* nanométrica.

Figura 11 – Curvas de transcondutância em função da tensão de porta para transistores SOI planar e nanofio porta- $\Omega$  indicando as regiões em que diferentes espalhamentos são predominantes



Fonte: Autor

A verificação através da transcondutância máxima tem problemas de imprecisão por não considerar efeitos como a resistência série, que degrada a mobilidade de diversas formas dependendo da arquitetura e geometria dos dispositivos. Diversas técnicas foram criadas para compensar essa deficiência, como o método de McLarty (McLARTY et al., 1995), que remove o efeito da resistência série, mas em contrapartida pode apresentar resultados imprecisos devido à sensibilidade ao ruído. Dentre os métodos considerados mais confiáveis para extração da mobilidade tem-se o Y-Function (GHIBAUDO, 1988; FLEURY et al., 2008), que também suprime o efeito da resistência série enquanto utiliza medidas de corrente DC, e o Split C-V (SODINI; ESKEDT; MOLL, 1982; ROMANJEK et al., 2004), que utiliza medidas de capacitância em adição às curvas DC. Nas seguintes subseções serão detalhados ambos os métodos, que foram utilizados neste trabalho.

#### 2.4.4.1 Extração da mobilidade pelo método Y-Function

O princípio fundamental da primeira versão do método Y-Function se baseia na manipulação das equações de corrente de dreno e transcondutância para obtenção da mobilidade, ao mesmo tempo que isola o efeito de resistência série (GHIBAUDO, 1988). Ao se dividir a equação da corrente pela raiz quadrada da transcondutância, ambas em regime de inversão forte, tem-se a equação (29).

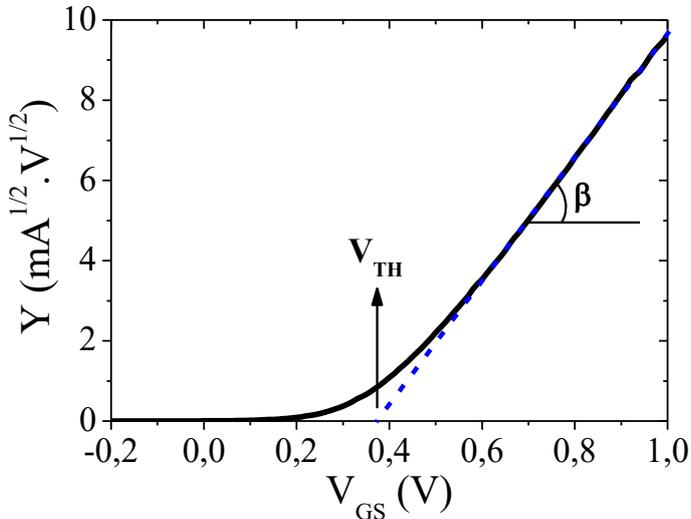
$$Y = \frac{I_{DS}}{\sqrt{g_m}} = \frac{C_{ox} \frac{W_{ef}}{L} \frac{\mu_0}{[(1 + \theta(V_{GS} - V_{TH}))]} (V_{GS} - V_{TH}) V_{DS}}{\left( C_{ox} \frac{W_{ef}}{L} \frac{\mu_0}{[(1 + \theta(V_{GS} - V_{TH})^2]} V_{DS} \right)^{1/2}} \quad (28)$$

$$Y = \sqrt{\frac{W_{ef}}{L} C_{ox} \mu_0 V_{DS} \cdot (V_{GS} - V_{TH})} . \quad (29)$$

Com isso, a tensão de porta torna-se a única variável da equação, podendo-se compor uma curva de Y em função da tensão de porta. O parâmetro  $\theta$  é um coeficiente de degradação da mobilidade que inclui o efeito da resistência série. Como  $\theta$  foi eliminado ao se realizar o Y-Function, esse efeito não é levado em conta no cálculo da mobilidade.

Para transistores com a tecnologia da época em que o método foi desenvolvido, quando o óxido de porta era tipicamente espesso, acima de 20nm, a curva do Y-Function em função da tensão de porta tinha característica similar à da curva apresentada na Figura 12.

Figura 12 – Exemplo de uma curva experimental de Y-Function em função da tensão de porta para transistores com óxido de porta superior a 20nm



Fonte: Autor

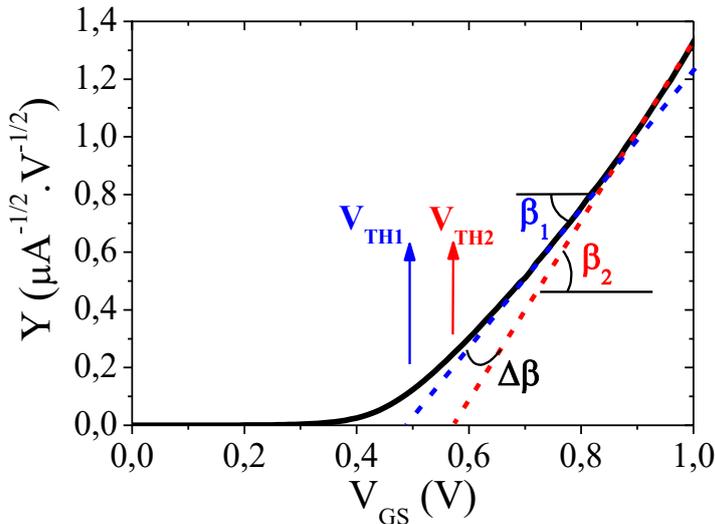
A extrapolação da parte linear da curva leva à extração de uma tensão de limiar aproximada, enquanto a inclinação da reta equivale ao fator de ganho do transistor ( $\beta$ ), cuja equação é apresentada em (30). Dessa forma, isolando-se  $\mu_0$  é possível obter a mobilidade de baixo campo efetiva dos portadores.

$$\beta = \mu_0 C_{\text{ox}} \frac{W_{\text{ef}}}{L}, \quad (30)$$

onde  $W_{\text{ef}}$  é a largura efetiva de canal, no caso de transistores de múltiplas portas.

Conforme o avanço da tecnologia MOS passa a fazer uso de isolantes de porta ultrafinos e de materiais *high- $\kappa$* , o aumento do mecanismo de degradação da mobilidade por rugosidade de superfície faz com que a região de inversão forte da curva do Y-Function perca sua característica linear, tornando a extrapolação da região linear ambígua, como demonstrado no exemplo da Figura 13. A escolha do ângulo de inclinação da reta torna o método impreciso para dispositivos tecnologicamente modernos, tendo inclusive já sido implementadas novas funções para tentar suprimir esse efeito (TANAKA et al., 2005).

Figura 13 – Exemplo de uma curva experimental de Y-Function em função da tensão de porta para transistores com óxido de porta finos



Fonte: Autor

O método mais consolidado para compensar a imprecisão do Y-Function nos dispositivos atuais é o Y-Function via algoritmo recursivo, desenvolvido por (FLEURY et al., 2008), sendo um método que faz uso de um diagrama iterativo para reduzir o erro da extrapolação na curva, utilizando como parâmetro de comparação a tensão de limiar. As funções nesse método incluem novas variáveis para levar em conta a presença dos efeitos de rugosidade de superfície e espalhamento fônon, além da resistência série. Com isso, a nova equação da corrente de dreno, assim como a equação do Y-Function modificada ficam, portanto, como descritos nas equações (31) e (32).

$$I_{DS} = \frac{\beta V_{DS} V_{GTD} (1 + \theta_2 \Delta V_{TH}^2)}{1 + \theta_1 V_{GTD} + \theta_2 (V_{GTD} - \Delta V_{TH})^2} \quad (31)$$

$$Y = \frac{I_{DS}}{\sqrt{g_m}} \approx \sqrt{\frac{\beta V_{DS}}{(1 + \theta_2 V_{GT}^2)}} V_{GT}, \quad (32)$$

sendo  $\theta_1$  o coeficiente de degradação da mobilidade devido ao espalhamento fônon e resistência série e  $\theta_2$  o coeficiente de degradação da mobilidade devido à rugosidade de superfície, ambos calculados. O parâmetro  $V_{GTD}$  faz referência à sobretensão de porta subtraída de metade da tensão de dreno ( $V_{GTD} = V_{GT} - V_{DS}/2$ ).

Utilizando-se o algoritmo recursivo, com a equação do chamado  $\xi$ -Function, em que  $\xi = 1/Y^2$ , a tensão de limiar é corrigida até que o erro seja menor que  $10^{-12}$  V, obtendo-se os parâmetros  $\beta$  e  $V_{TH}$ . Com isso, a mobilidade é, por fim, extraída utilizando a equação (33).

$$\mu_0 = \frac{\beta L t_{ox}}{W_{ef} \epsilon_{ox}}, \quad (33)$$

onde  $t_{ox}$  está relacionado à espessura equivalente do óxido, quando houver materiais *high-κ* como isolantes de porta.

#### 2.4.4.2 Extração da mobilidade pelo método Split C-V

O princípio básico do método Split C-V se dá pela relação entre a corrente de dreno com a densidade de cargas de inversão, que pode ser observada através da equação (34), que modifica a expressão da corrente de dreno para substituir a sobretensão de porta pela densidade de cargas de inversão (SODINI; ESKEDT; MOLL, 1982).

$$I_{DS} = \mu_{ef} \frac{W_{ef}}{L} Q_{inv} V_{DS}, \quad (34)$$

onde  $\mu_{ef}$  é a mobilidade efetiva e  $Q_{inv}$  é a densidade de cargas de inversão, cujo cálculo é dado pela equação (35).

$$Q_{inv} = \frac{1}{W_{ef} L} \int_{-\infty}^{V_{GS}} C_{GC}(V_{GS}) dV_{GS}, \quad (35)$$

onde  $C_{GC}$  é a capacitância entre a porta e o canal. Substituindo a equação de  $Q_{inv}$  na corrente, e em seguida isolando  $\mu_{ef}$  tem-se, respectivamente, as equações (36) e (37).

$$I_{DS} = \mu_{ef} \frac{V_{DS}}{L^2} \int_{-\infty}^{V_{GS}} C_{GC}(V_{GS}) dV_{GS} \quad (36)$$

$$\mu_{ef} = \frac{L^2 I_{DS}}{V_{DS} \int_{-\infty}^{V_{GS}} C_{GC}(V_{GS}) dV_{GS}}. \quad (37)$$

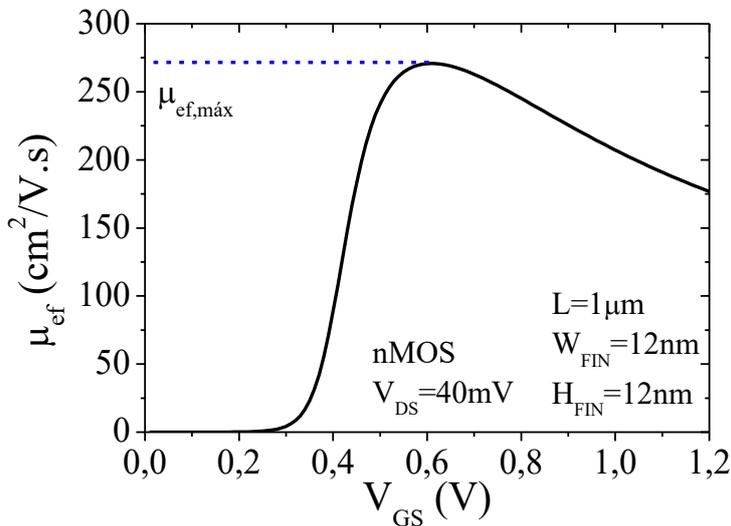
Portanto, a técnica Split C-V depende da extração de uma curva de corrente de dreno e de uma curva de capacitância entre porta e canal em função da tensão de porta, que será integrada para se extrair a mobilidade. A obtenção da capacitância entre porta e canal pode ser feita experimentalmente a partir da medição da capacitância entre fonte e dreno com ambos os terminais curto-circuitados, variando apenas a tensão de porta. Por outro lado, a capacidade de se realizar medidas de capacitância depende fortemente da área de porta, que deve ser

suficientemente grande para que a medida tenha boa precisão. No caso em que isso não seja possível, outras técnicas, como o Y-Function, precisarão ser utilizadas. Da mesma forma, caso os valores de capacitância medidos não sejam altos o suficiente, sendo de ordem de grandeza próxima dos valores de capacitância parasitária, o resultado também será afetado.

A relação criada com as cargas de inversão permite que a mobilidade extraída por esse método seja colocada como uma função da concentração de cargas de inversão ( $N_{inv}$ ), permitindo independência com a tensão de porta ao se realizar comparações entre diferentes dispositivos, que podem ter cargas de inversão diferentes ao se comparar pela tensão de porta (ROMANJEK et al., 2004). A Figura 14 apresenta um exemplo de curva de mobilidade obtida através da técnica Split C-V em função da tensão de porta. Dela, é possível extrair o valor máximo da mobilidade efetiva, parâmetro que corresponde a  $\mu_0$  para esta técnica. A conversão da tensão de porta para  $N_{inv}$  é feita a partir da equação (38).

$$N_{inv} = \frac{1}{qW_{ef}L} \int_{-\infty}^{V_{GS}} C_{GC}(V_{GS})dV_{GS} = \frac{Q_{inv}}{q}. \quad (38)$$

Figura 14 – Exemplo de extração da curva de mobilidade em função da tensão de porta através do método Split C-V



Fonte: Autor

#### 2.4.5 Efeitos quânticos

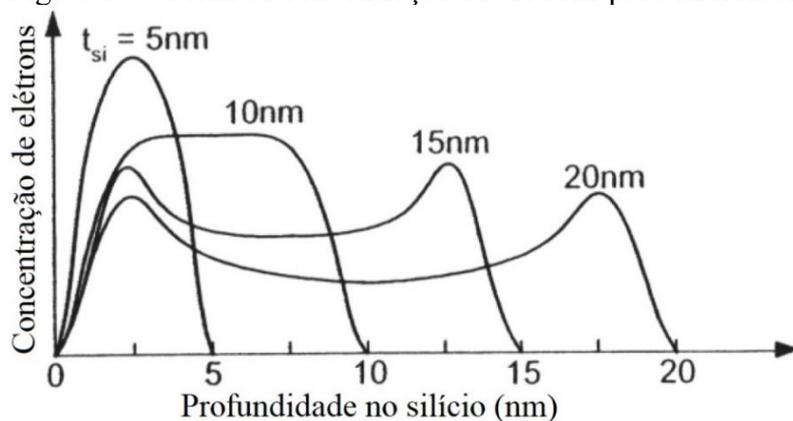
Os efeitos quânticos começam a se fazer presentes em transistores MOS a partir do momento em que as dimensões, em especial a largura e altura do *fin* em transistores de múltiplas portas ou a espessura da camada de silício em dispositivos de corpo ultra fino (*Ultra Thin Body*

– UTB), são reduzidas para a faixa de uma dezena de nanômetros, gerando comportamentos específicos que não fazem parte da teoria clássica da física dos semicondutores (COLINGE, 2008). No caso, a teoria clássica refere-se à capacidade dos portadores de ocuparem infinitos estados de energia, com sua densidade de estados respeitando um espectro contínuo. Assim, a movimentação dos portadores se dá em qualquer uma das três direções, dependendo da direção do campo elétrico aplicado (COLINGE; COLINGE, 2002). Com a presença de efeitos quânticos, o aumento da energia em relação à energia mínima clássica da banda de condução ocorre a partir de níveis discretos conforme a densidade de estados se torna maior. A forma como esses níveis se comportam depende do número de direções as quais o movimento dos portadores está confinado.

Outra consequência da presença de efeitos quânticos é o aumento da tensão de limiar, motivado pela maior tensão necessária para alcançar densidades de estados, agora discretos, que antes não eram limitados a valores fixos e, portanto, necessitavam de menos energia. Assim, a equação da tensão de limiar ganha um fator adicional para descrever o aumento da energia mínima necessária em relação à energia da banda de condução clássica (ERNST et al., 1999).

Na mobilidade, a diferença provocada pelo confinamento quântico está relacionada ao fenômeno de inversão de volume (BALESTRA et al., 1987). Ao se aplicar o campo elétrico para polarização da porta do transistor, as cargas de inversão são atraídas para a interface silício-óxido de porta, ficando nessa região o pico de concentração de portadores, reduzindo conforme se afasta da interface, e o mesmo ocorre na interface da região de canal com o óxido enterrado, ao se polarizar o substrato. Quando a camada de silício é reduzida próximo da faixa de 10nm, a distribuição de portadores de inversão no canal é modificada, com o pico de concentração se deslocando das interfaces em direção ao centro (COLINGE, 2008). A Figura 15 exhibe o perfil

Figura 15 – Perfil de concentração de elétrons para diferentes espessuras de silício

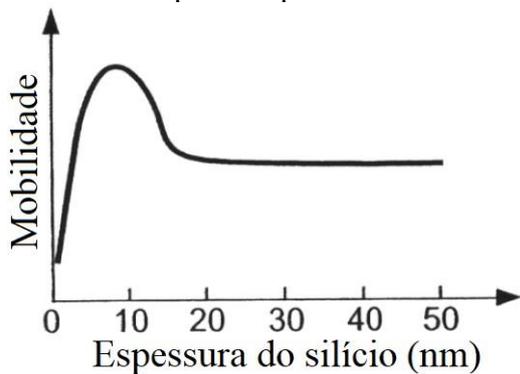


Fonte: Autor “adaptado de” Colinge, 2008, p. 30

de concentração de elétrons em função da profundidade para MOSFETs de porta dupla tipo n com diferentes valores de  $t_{Si}$ . Nota-se que para o transistor com camada de silício mais fina a concentração máxima está no centro da região de silício.

O afastamento dos portadores da interface implica em redução do mecanismo de degradação da mobilidade por rugosidade de superfície, significando um aumento na mobilidade dependente do campo elétrico. Tal melhoria, porém, é limitada para uma certa faixa de redução da espessura, pois com o silício se tornando ainda menor que 10nm, mesmo com as cargas estando no centro do silício, a proximidade com a interface começa a aumentar, fazendo com que o efeito de rugosidade da superfície volte a crescer. Isso é demonstrado na Figura 16 para um transistor de porta dupla (COLINGE, 2008), onde a mobilidade alcança um valor de pico em 10nm e, para espessuras de silício menores, passa a reduzir devido à proximidade dos portadores com a interface mesmo com o efeito de inversão de volume, que faz com que o efeito do espalhamento por rugosidade de superfície aumente.

Figura 16 – Curva demonstrativa da mobilidade em função da espessura de silício em um transistor de porta dupla



Fonte: Autor “adaptado de” Colinge, 2008, p. 30

## 2.5 INFLUÊNCIA DA POLARIZAÇÃO DO SUBSTRATO

A polarização do substrato é uma ferramenta de grande valia para aprimorar características importantes na operação de transistores MOS. Inicialmente sendo utilizada como uma forma de ajustar a tensão de limiar dos dispositivos, reduzindo sua variabilidade e tornando o valor do  $V_{TH}$  dinâmico (KURODA et al., 1996; YASUDA et al., 2005), também pode ser usada para reduzir a corrente de fuga (OHTOU; SARAYA; HIRAMOTO, 2008), aumentar a transcondutância, reduzir o efeito de modulação do comprimento de canal (*Channel Length Modulation* – CLM) em transistores de canal curto e, conseqüentemente, melhorar parâmetros

relacionados a circuitos analógicos como condutância de saída e ganho de tensão intrínseco (SZELAG; BALESTRA, 1998; KILCHYTSKA et al., 2012).

O controle da tensão de limiar através do substrato ocorre devido ao efeito de corpo, que leva em conta o potencial eletrostático presente no corpo de silício do dispositivo. Ao incluir o efeito de corpo, devido à polarização do substrato, um termo para a tensão aplicada ao substrato é adicionado ao  $2\phi_F$  no parâmetro  $X_{dmax}$ , ficando a equação como em (39).

$$V_{TH}(V_{BS}) = \pm \frac{\sqrt{2q\epsilon_{Si}N_{A,D}(2\phi_F + |V_{BS}|)}}{C_{ox}} + 2\phi_F + V_{FB}, \quad (39)$$

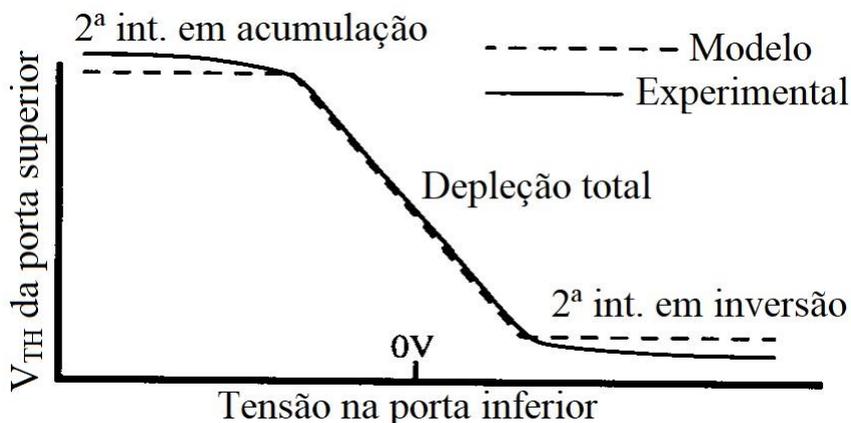
onde uma variável denominada constante de efeito de corpo é definida por  $\gamma = \frac{\sqrt{2q\epsilon_{Si}N_{A,D}}}{C_{ox}}$ , em que quanto menor seu valor, menor será a dependência de  $V_{TH}$  com a tensão do substrato.

O efeito de corpo para transistores SOI afetará somente a equação da tensão de limiar que tiver o parâmetro  $V_{G2}$  nela, ou seja, nos casos em que a segunda interface está em inversão ou em acumulação, a tensão de limiar não sofre modificação pela polarização do substrato devido ao efeito de corpo, enquanto que com a segunda interface em depleção, ao ser derivada pela tensão da porta de baixo,  $V_{G2}$ , a equação fica como em (40).

$$\frac{dV_{TH1,depl2}}{dV_{G2}} = \gamma = \frac{-\epsilon_{Si}C_{ox2}}{C_{ox1}(t_{Si}C_{ox2} + \epsilon_{Si})}. \quad (40)$$

Assim, observa-se que a tensão de limiar permanece constante em relação a  $V_{G2}$  quando a segunda interface se encontra invertida ou acumulada, e sofre variação somente com a camada de silício totalmente depletada (COLINGE, 2004), conforme ilustrado pela Figura 17.

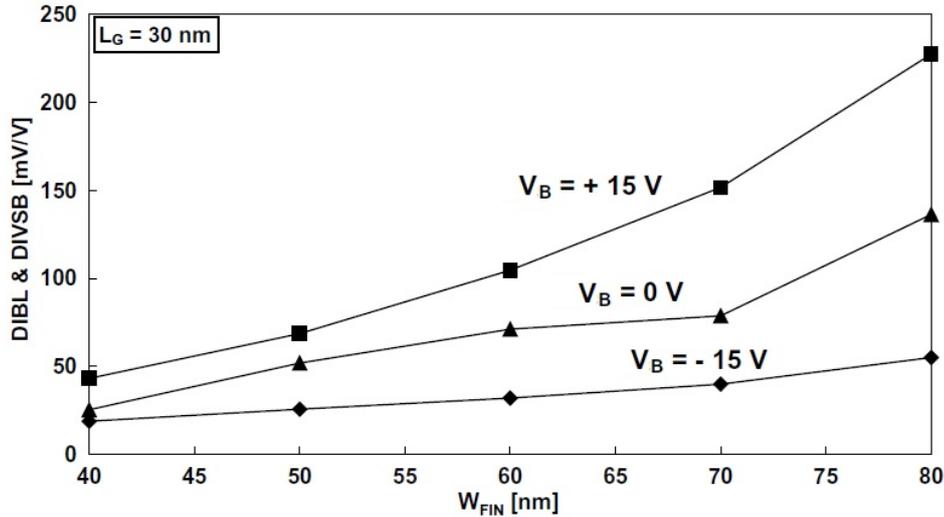
Figura 17 – Ilustração do efeito de corpo em transistores SOI em diversas condições da segunda interface



Além do ajuste da tensão de limiar, a aplicação de potencial no substrato pode ser usada como forma de modificar outros aspectos do transistor MOS, podendo resultar em efeitos benéficos ou prejudiciais para o comportamento do dispositivo. Dentre eles, um parâmetro que tem despertado grande interesse por parte da comunidade científica nos últimos anos é a mobilidade, que, conseqüentemente, leva a alterações em parâmetros como corrente de dreno e transcondutância. Esse efeito será discutido mais abaixo. Adicionalmente, já foi observado em trabalhos anteriores um impacto da polarização do substrato no DIBL e em um efeito similar denominado polarização virtual do substrato induzida pelo dreno (*Drain Induced Virtual Substrate Biasing* – DIVSB), que trata do aumento do potencial de superfície na segunda interface provocado pelas linhas de potencial provenientes da tensão de dreno que penetram na região do óxido enterrado (ERNST, CRISTOLOVEANU, 1999). Com o aumento de  $V_B$  em polarização direta, tem-se uma redução do acoplamento eletrostático, o que eleva a influência do potencial de dreno no canal, estando, portanto, o aumento do DIBL relacionado ao DIVSB. Dessa forma, um efeito de variação da tensão de limiar é observado pela presença do DIVSB, degradando as características de porta do transistor.

Ao se considerar a influência da polarização de substrato nesses fenômenos, observa-se uma redução na degradação do  $V_{TH}$  por ambos o DIBL e o DIVSB quando se aplica tensão negativa no substrato de transistores tipo n. A camada de acumulação criada pelo  $V_B$  negativo serve como um *ground plane* natural, protegendo o dispositivo da influência do dreno na segunda interface (RITZENTHALER et al., 2006). Analogamente, aplicando-se potencial positivo no substrato, os elétrons estão espalhados pela segunda interface, assim como para  $V_B=0$ , e a porta perde controle dos portadores minoritários, permitindo o efeito de DIBL e DIVSB aumentarem, como demonstrado na Figura 18. Esse efeito é amplificado para transistores com  $W_{FIN}$  maior devido ao menor acoplamento eletrostático da porta, deixando-os mais suscetíveis à influência do dreno.

Figura 18 – Variação da tensão de limiar provocada por DIBL e DIVSB em função da largura de  $f_{in}$  para transistores de porta tripla tipo n com variação da polarização do substrato



Fonte: RITZENTHALER et al., 2006, p. 563

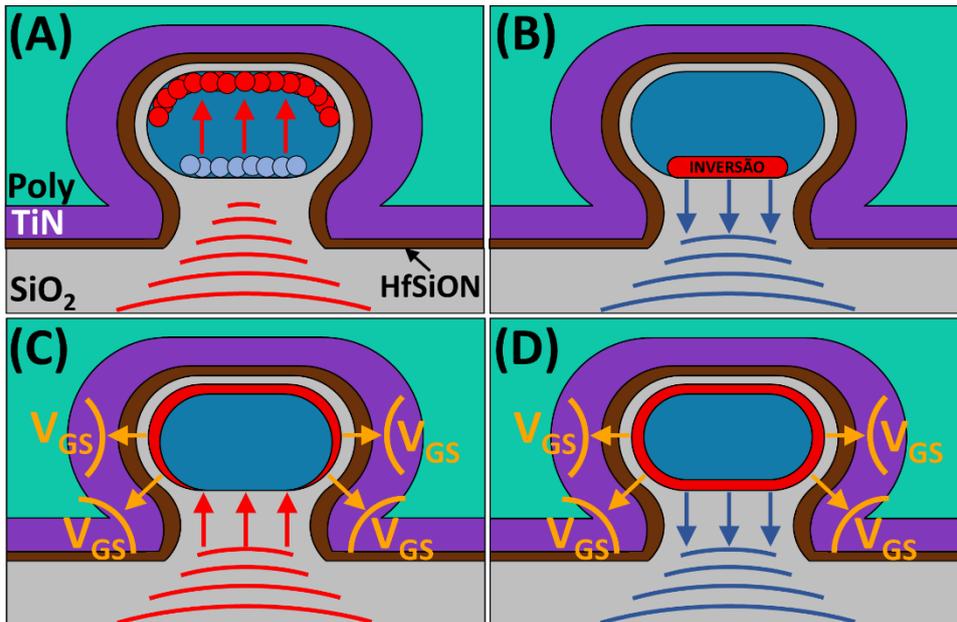
Outra característica influenciada pela polarização de substrato é o controle de cargas no canal, que pode ser afetado pela formação de uma camada de acumulação ou inversão na segunda interface, dependendo da polaridade de  $V_B$ . Nesse sentido, tanto a largura de  $f_{in}$  como a geometria do transistor são fatores determinantes para ditar o impacto da tensão de substrato no controle de cargas. Como mencionado anteriormente, a largura do transistor tem influência no acoplamento eletrostático, onde transistores estreitos e baixos geram maior facilidade em controlar as cargas pela porta. Assim, qualquer efeito provocado pela polarização do substrato terá menor impacto em transistores estreitos, e maior impacto em transistores largos.

A influência da geometria está relacionada ao acoplamento: transistores de porta tripla tradicionais tem menor controle pela porta, logo, sofrem maior influência de  $V_B$ ; transistores porta- $\pi$  melhoram o acoplamento, reduzindo a influência de  $V_B$ ; por fim, transistores porta- $\Omega$  apresentam forte controle eletrostático, sendo os que sofrem menor influência da polarização de substrato, se aproximando do comportamento de um GAA (porta circundante) (RITZENTHALER et al., 2006).

Na Figura 19 é exibida uma representação esquemática da seção transversal de um transistor porta- $\Omega$  tipo n para várias polarizações de porta e substrato. Com a porta em sublimiar, a aplicação de  $V_B$  negativo (caso A) faz com que os elétrons sejam repelidos do substrato em direção à porta, enquanto os portadores majoritários (lacunas) são acumulados na interface com o óxido enterrado. Ao se aplicar um  $V_B$  positivo, com a porta em sublimiar (B) os canais de topo e laterais ficam depletados, enquanto uma camada de inversão é gerada na segunda com o óxido enterrado, com as cargas controladas pelo substrato. Nesse caso, a largura

do transistor é definida apenas como a área de contato entre o canal e o BOX. Quando a porta é polarizada enquanto  $V_B$  negativo é aplicado (C), são gerados três canais de inversão: os canais de topo e laterais, enquanto o substrato permanece depletado ou acumulado. Ao se aplicar  $V_B$  positivo com a porta em inversão (D), ambas a primeira e segunda interface podem estar em inversão, totalizando 4 canais de condução.

Figura 19 – Representação esquemática da seção transversal de um nanofio porta- $\Omega$  tipo n com diversas condições de polarização de porta e substrato



Fonte: Autor

Legenda: (A) Porta em sublimiar e  $V_B$  negativo; (B) Porta em sublimiar e  $V_B$  positivo; (C) Porta em inversão e  $V_B$  negativo; (D) Porta em inversão e  $V_B$  positivo

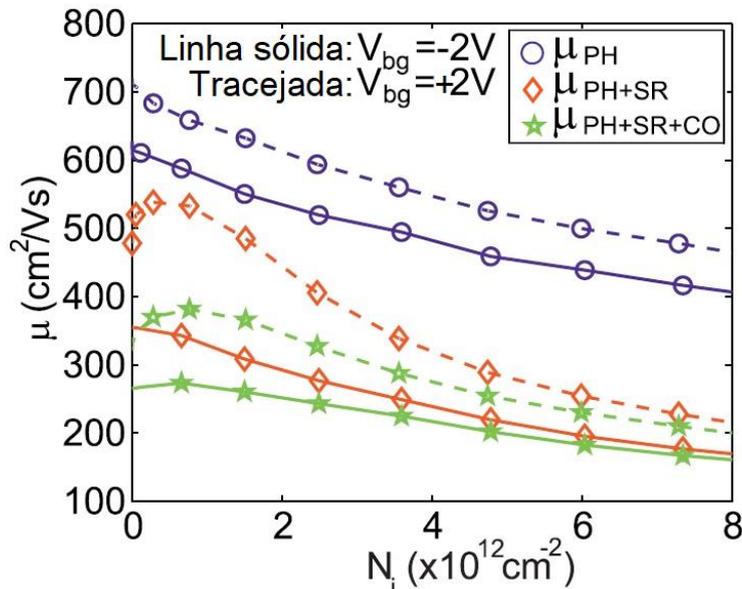
O comportamento mencionado no caso (D), em que um canal de inversão é gerado na segunda interface, só é visualizado, porém, em nanofios que não estão extremamente confinados, ou seja, que não apresentam largura e altura de *fin* na faixa de 10nm. Caso contrário, o forte acoplamento da porta, denominado “super acoplamento”, faz com que o corpo permaneça em depleção total, mesmo com a aplicação de  $V_B$ , impedindo a criação de camadas de acumulação ou inversão (NAVARRO et al., 2015; CRISTOLOVEANU et al., 2016).

A variabilidade na posição das cargas no silício dependente dos potenciais aplicados pode ter como consequência alterações significativas na mobilidade dos portadores. Por isso, muito tem sido discutido a respeito do impacto da polarização de substrato na mobilidade. Com a redistribuição de cargas no *fin*, tem-se a contribuição de diferentes mecanismos de espalhamento: ao aplicar tensão de substrato positiva em um nMOS, observa-se um deslocamento das cargas da primeira interface, resultando em menor espalhamento por

rugosidade de superfície e espalhamento Coulomb (ESSENI et al., 2003; MARIN et al., 2015). A redução no confinamento de cargas na primeira interface, que ficam mais difundidas no semiconductor, também leva à redução no espalhamento fônon (RUIZ et al., 2013). Assim, é possível afirmar que a variação da mobilidade com a polarização do substrato tem origem essencialmente na redistribuição espacial das cargas de inversão na região de canal e nas interfaces.

O consenso geral para os três mecanismos de espalhamento citados acima é de que a aplicação de tensões de substrato em polarização direta, ou seja, tensões positivas em nMOS, e negativas em pMOS, resulta em aumento da mobilidade, enquanto o inverso causa degradação da mobilidade. Isso pode ser observado na Figura 20, onde foram feitas simulações em transistores de porta tripla separando-se os efeitos de espalhamento, sendo possível observar a influência do  $V_B$  positivo e negativo em cada caso, onde PH é referente ao espalhamento fônon, SR à rugosidade de superfície e CO ao espalhamento Coulomb.

Figura 20 – Simulação da mobilidade em função das cargas de inversão para transistores de porta tripla tipo n com tensões de substrato de  $\pm 2V$  para diferentes mecanismos de espalhamento

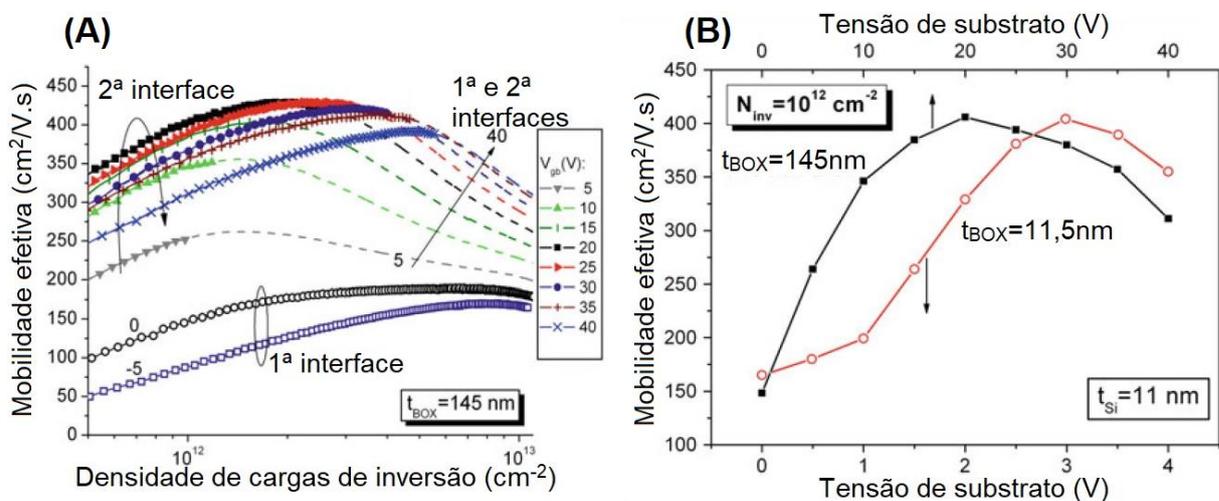


Fonte: Autor “adaptado de” MARIN et al., 2015, p. 226

Aumentar drasticamente  $V_B$ , porém, pode levar a redução da mobilidade ao provocar concentração de cargas na segunda interface. Este efeito é observado por (RUDENKO et al., 2011), onde a mobilidade efetiva de elétrons em transistores UTB e UTBB SOI é obtida pelo método Split C-V. As curvas da Figura 21(B), que são os valores extraídos da Figura 21(A) para o valor fixo de  $N_{INV}$  de  $10^{12} \text{ cm}^{-2}$ , sugerem que a degradação da mobilidade com o aumento

de  $V_B$ , que começa para  $V_B > 20V$ , ocorrem a partir do momento em que o canal de inversão se encontra apenas na segunda interface. A mobilidade possui maior valor quando o canal se encontra próximo à segunda interface, devido à melhor qualidade da interface e menor espalhamento Coulomb em comparação com a primeira interface, mas a degradação da mobilidade ocorre conforme eleva-se ainda mais  $V_B$ , devido ao aumento do espalhamento dos portadores na região próxima ao óxido enterrado.

Figura 21 – Mobilidade efetiva de elétrons em função da densidade de cargas de inversão e da tensão de substrato para transistores UTB e UTBB SOI tipo n com variação da tensão de substrato



Fonte: Autor “adaptado de” RUDENKO et al., 2011, p. 329 e 330

Legenda: Mobilidade efetiva em função da densidade de cargas de inversão (A) e da tensão de substrato (B)

Por fim, novas aplicações para polarização de substrato têm sido desenvolvidas a fim de se obter as contribuições das interfaces de topo e laterais para a mobilidade separadamente em transistores de múltiplas portas (DUPRÉ et al., 2009), com a dissociação dos canais sendo alcançada por uma técnica utilizando tensão de substrato. Posteriormente também foi criada uma metodologia para separação dos canais de condução em nanofios transistores MOS empilhados (PAZ et al., 2018b), onde os níveis de mobilidade de cada nível são individualizados, devido à influência de  $V_B$  no transistor do nível inferior não ser observada no nível superior.

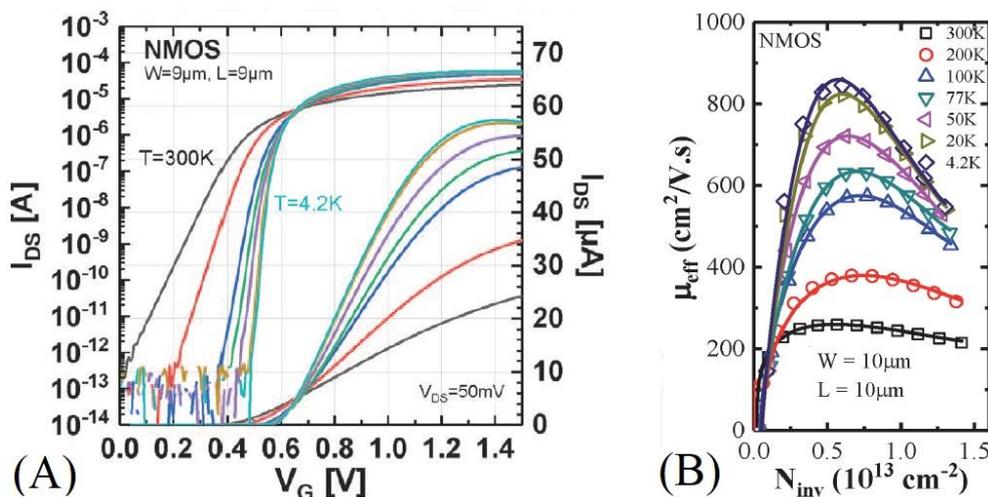
## 2.6 OPERAÇÃO EM BAIXAS TEMPERATURAS

O estudo da operação de transistores MOS em temperatura de hélio líquido tem sido realizado desde o final da década de 1960, e, desde então, diversos trabalhos de caracterização

elétrica em temperatura mínima de 4,2K têm sido publicados (GREEN, 1968; GUTIÉRREZ; DEEN; CLAEYS, 2000; BALESTRA; GHIBAUDO, 2001). Tal interesse se dá pela melhoria de desempenho observada com a redução da temperatura, pela necessidade de se ter transistores operando em temperaturas criogênicas, como em aplicações espaciais e criobiologia, e mais recentemente pelos esforços para avançar no desenvolvimento da computação quântica, motivada pelos bons resultados observados em bits quânticos (*spin qubits*) (CHARBON et al., 2016; BECKERS et al., 2017; GALY et al., 2018; PAZ et al., 2020a), cujo funcionamento depende, além de sinais de alta frequência e largura de banda, da operação na faixa criogênica. Existe, portanto, grande interesse em aprofundar a compreensão do comportamento elétrico de transistores MOS avançados nessas condições.

A operação em baixas temperaturas traz benefícios em diversos aspectos de transistores MOS, tais como aumento da velocidade de deriva e da mobilidade dos portadores, aumento da corrente de saída e transcondutância, redução da inclinação de sublimiar e consequente redução da corrente de estado desligado, demonstrando excelente desempenho elétrico na temperatura de 4,2K para tecnologia CMOS avançada (GUTIÉRREZ; DEEN; CLAEYS, 2000; BALESTRA; GHIBAUDO, 2017). Na Figura 22 é demonstrada a mudança de comportamento das curvas  $I_{DS}-V_{GS}$  e da mobilidade efetiva de elétrons causada pela redução da temperatura em transistores FD SOI planares tipo n, onde a redução da corrente de estado desligado e o forte aumento da corrente de estado ligado e da mobilidade de elétrons são observados, como resultado da redução do efeito de espalhamento fônon, majoritariamente (PAZ et al., 2021).

Figura 22 – Curvas  $I_{DS}-V_{GS}$  e mobilidade efetiva de elétrons em função da densidade de cargas de inversão para transistores FD SOI planares tipo n com redução da temperatura de operação de 300 a 4,2K

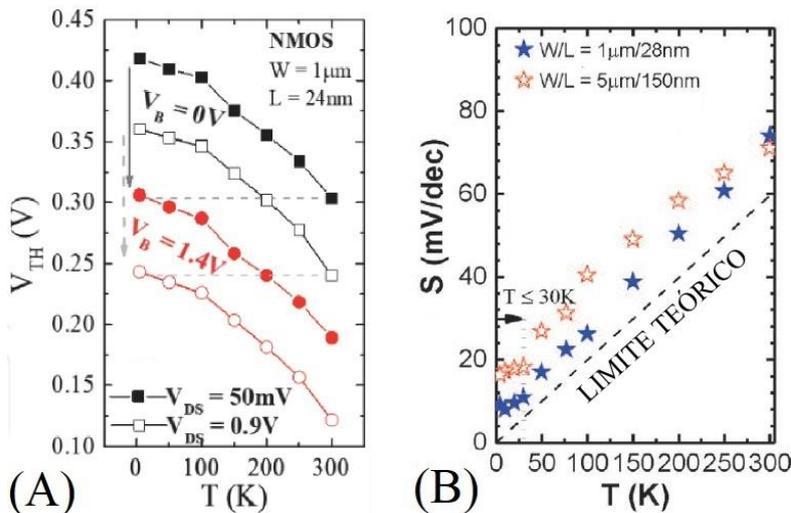


Fonte: Autor “adaptado de” PAZ et al., 2020b e PAZ et al., 2021

Legenda: Curvas  $I_{DS}-V_{GS}$  (A) e mobilidade efetiva de elétrons em função da densidade de cargas de inversão (B)

A Figura 23 exibe a tensão de limiar e a inclinação de sublimiar em função da temperatura, que varia de 4,2 a 300K, para transistores FD SOI planares tipo n. É possível observar como ambos os parâmetros variam com a redução da temperatura, para transistores nMOS: a tensão de limiar aumenta com uma taxa de 0,7 a 1 mV/K, com deslocamentos provocados pela tensão aplicada ao dreno, que é de 50mV e 0,9V e ao substrato, que é de 0 e 1,4V (PAZ et al., 2020b). O ajuste da tensão de limiar através da polarização do substrato também mostrou não ser afetado pela redução da temperatura até 4,2K, mantendo a mesma taxa de variação que em temperatura ambiente (PAZ et al., 2020c). A inclinação de sublimiar apresenta uma redução com a queda de temperatura, com inclinação próxima à reta de variação do limite teórico com a temperatura, com valor mínimo entre 10 e 20 mV/dec. O comportamento linear é esperado para transistores MOS e está relacionado à estatística de Maxwell-Boltzmann, que prevalece em inversão fraca (CASSÉ; GHIBAUDO, 2021).

Figura 23 – Tensão de limiar e inclinação de sublimiar em função da temperatura de operação para transistores FD SOI planares tipo n.



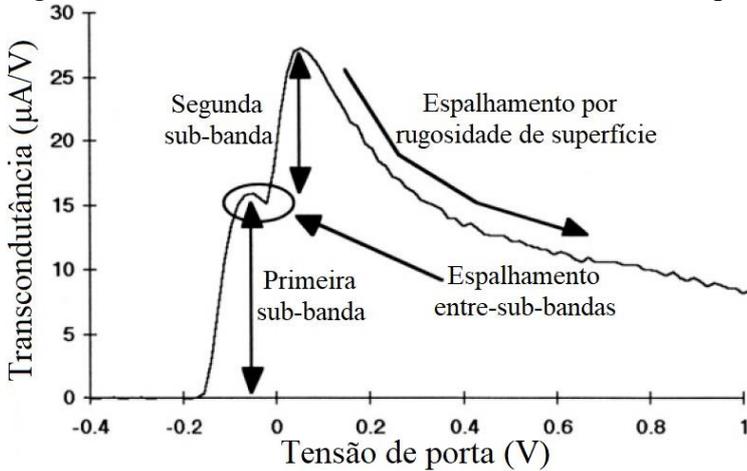
Fonte: Autor “adaptado de” PAZ et al., 2020b e PAZ et al., 2021

Legenda: Tensão de limiar (A) e inclinação de sublimiar (B) em função da temperatura de operação

Com relação aos efeitos quânticos, que na operação em baixas temperaturas provocam outras alterações no comportamento dos dispositivos em relação à física clássica, caso o transistor seja constituído de uma lâmina fina de silício, o transporte de cargas deixa de ocorrer em uma das direções, sendo o fluxo de portadores considerado bidimensional (*Two-Dimensional Electron Gas* – 2DEG). Neste caso, o aumento de  $V_{GS}$  ao se aproximar da tensão de limiar faz com que a sub-banda de energia mais baixa, antes não ocupada, comece a ser populada, seguido pela segunda sub-banda ao elevar ainda mais a tensão de porta, ultrapassando  $V_{TH}$ , como pode ser visto pela transcondutância em função da tensão de porta em um transistor

de porta dupla na temperatura de 0,3K na Figura 24. Nela, o primeiro pico é referente ao espalhamento de portadores chamado entre-sub-bandas (*Inter-subbands*).

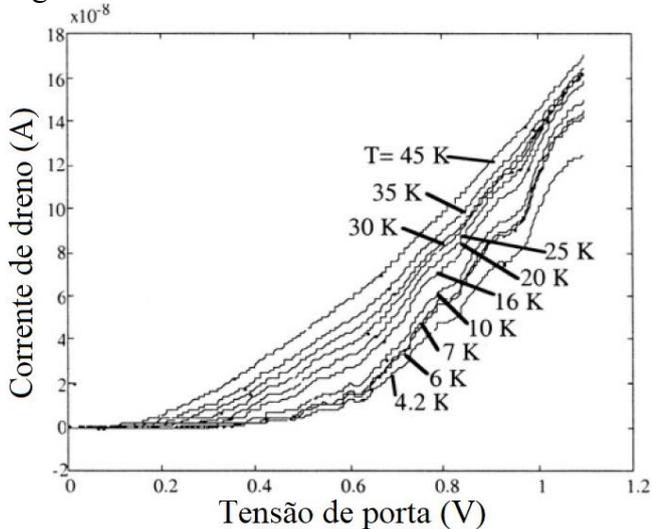
Figura 24 – Transcondutância de um SOI MOSFET de porta dupla com comportamento 2DEG



Fonte: Autor “adaptado de” Colinge; Colinge, 2004, p. 351

Se o transistor possui uma camada fina e estreita de silício, como um FinFET porta tripla com largura e altura de *fin* reduzidas a poucos nanômetros, o transporte de cargas deixa de ocorrer em duas direções, ficando confinado a uma direção apenas. Neste caso, o comportamento é denominado unidimensional (*One-Dimensional Electron Gas – 1DEG*) e a polarização do dispositivo leva à ocupação das sub-bandas de forma similar à do 2DEG, mas a quantidade de sub-bandas é elevada de forma significativa para portadores confinados em uma direção, e o aspecto da curva da corrente de dreno em baixa temperatura fica como na Figura 25. A aparência serrilhada da corrente se deve à natureza sobressalente da densidade de estados

Figura 25 – Corrente de dreno de um SOI MOSFET com comportamento 1DEG



Fonte: Autor “adaptado de” Colinge; Colinge, 2004, p. 353

e, em parte, ao espalhamento entre sub-bandas.

Em contrapartida à grande evolução na caracterização elétrica em temperaturas criogênicas, tem-se grande dificuldade em relação à modelagem e simulação de dispositivos nessas condições, devido à redução exponencial de diversos parâmetros, como a densidade de cargas, que se torna extremamente pequena em baixas temperaturas. Particularmente, destaca-se a energia de Boltzmann,  $k.T$ , que é amplamente presente no equacionamento da física dos semicondutores e que se aproxima de zero com a redução da temperatura, causando problemas numéricos para convergir o cálculo de parâmetros e dificultando a construção de modelos compactos para operação criogênica (KANTNER; KOPRUCKI, 2016; VAN DIJK et al., 2019).

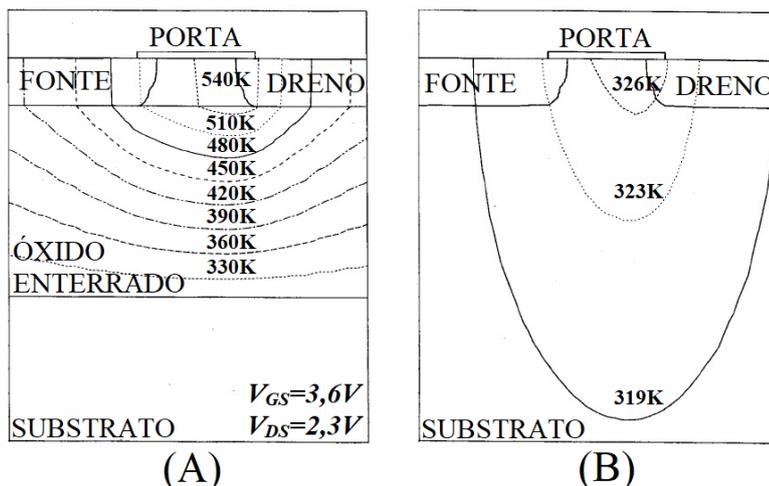
## 2.7 AUTOAQUECIMENTO

O termo autoaquecimento está relacionado ao aumento da temperatura do dispositivo provocado pelo seu próprio funcionamento. Ao polarizar um transistor a fim de conduzir corrente entre os contatos de fonte e dreno, uma certa potência é dissipada. Parte dessa dissipação é feita através de calor, denominada dissipação térmica, que ocorre devido ao efeito Joule (DALLMANN; SHENAI, 1995). Estudos evidenciando a presença de autoaquecimento têm sido publicados desde a década de 1970 (NEGRO; PANNONE, 1972; SESNIC; CRAIG, 1972; TAKACS; TRAGER, 1987), demonstrando o aumento de temperatura no canal em dispositivos MOS convencionais.

Desde então, o autoaquecimento se tornou um tópico de crescente interesse, especialmente com a popularização da tecnologia SOI, onde a presença do óxido enterrado se torna um agravante no aumento de temperatura durante a operação de tais dispositivos (BURY et al., 2014). Isso se deve à diferença na capacidade de condução térmica dos materiais, denominada condutividade térmica ( $\kappa$ ), que é um fator determinante para o aumento de temperatura provocado pelo autoaquecimento. Quanto maior a condutividade térmica de um material, mais facilmente ocorre a dissipação térmica e, com isso, menor o aumento de temperatura resultante da potência dissipada. Assim, um material com baixa condutividade térmica terá maior dificuldade de dissipar o calor gerado durante a operação e, portanto, a temperatura do material será maior. Em temperatura ambiente (300K) o dióxido de silício apresenta condutividade térmica cerca de 100 vezes menor do que o silício, o que faz com que dispositivos com tecnologia SOI sejam mais fortemente afetados pelo autoaquecimento do que dispositivos *bulk* (POP; DUTTON; GOODSON, 2003). Em especial, transistores FD SOI, que apresentam camada de silício fina e óxido enterrado espesso, tem o aumento de temperatura no

canal mais acentuado, pois a área de dissipação térmica do silício através da fonte e do dreno é menor, devido à espessura reduzida, ao mesmo tempo que o caminho de condução de calor através do óxido enterrado é mais longo, devido à sua espessura (GOEL et al., 2006). Considerando ainda que tais dispositivos apresentam melhor desempenho da corrente de saída, o aumento de temperatura pode ser ainda mais amplificado devido à maior potência dissipada. A Figura 26 apresenta simulações da distribuição da temperatura através de transistores MOS com tecnologia SOI e convencional sob efeito de autoaquecimento. A diferença na dificuldade de dissipação térmica pelo corpo de ambos os dispositivos é evidenciada, resultando em uma maior temperatura na região de canal do dispositivo SOI (DALLMANN; SHENAI, 1995). Também é possível notar que a geração de calor se dá na região próxima ao dreno, devido à polarização desse contato.

Figura 26 – Simulação da distribuição da temperatura em transistores MOS com tecnologia SOI e convencional sob efeito de autoaquecimento



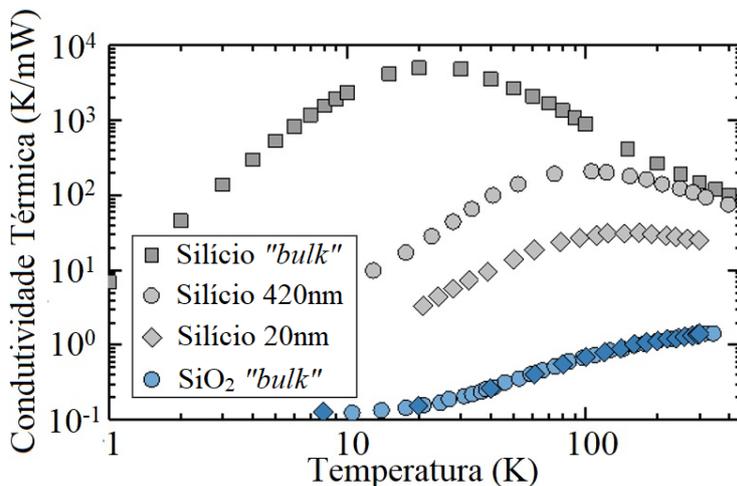
Fonte: Autor "adaptado de" DALLMAN; SHENAI, 1995, p. 489-496

Legenda: Transistor MOS com tecnologia SOI (A) e convencional (B)

Além da condutividade térmica variar de acordo com tipo de material, há ainda uma dependência desse parâmetro com a temperatura do ambiente ( $T_{AMB}$ ), sendo diferente para cada material (SWARTZ; POHL, 1989). Diversos trabalhos tiveram por objetivo, portanto, a obtenção da curva de variação da condutividade térmica de materiais específicos com a temperatura, como a do silício (THOMPSON; YOUNGLOVE, 1961) e a do dióxido de silício (ASHEGHI et al., 1998). Dessa forma, a temperatura de operação de um dispositivo também tem um papel importante na forma como ele é afetado pelo autoaquecimento: para o dióxido de silício, a redução da temperatura reduz a condutividade térmica, diminuindo drasticamente a capacidade de resfriamento em temperaturas criogênicas e, conseqüentemente, agravando o

autoaquecimento. Para o silício, a redução da temperatura até cerca de 30K provoca um aumento na condutividade térmica, melhorando a dissipação térmica, e para temperaturas menores uma redução de cerca de 3 décadas é observada, também causando piora na capacidade de resfriamento (TRIANTOPOULOS et al., 2019). A Figura 27 exibe as curvas de variação da condutividade térmica com a temperatura para ambos os materiais e, adicionalmente, apresenta curvas para silício com diferentes espessuras. Isso mostra que, além do material, a sua espessura também influencia na dependência da condutividade térmica com a temperatura: materiais com menor espessura apresentam redução nesse parâmetro, e ainda um menor aumento da condutividade térmica com a redução de T do que é observado para silício *bulk*. Somando-se todas essas características, pode-se dizer que transistores MOS FD SOI são altamente susceptíveis à ocorrência de autoaquecimento, tornando a investigação desse fenômeno um tema de grande interesse (PRASAD; RAMEY; JIANG, 2017). Porém, há poucos trabalhos que tratam da extração do autoaquecimento em temperaturas criogênicas, havendo uma alta demanda para aprofundamento da operação nessas circunstâncias.

Figura 27 – Condutividade térmica em função da temperatura para dióxido de silício e silício com diversas espessuras



Fonte: Autor "adaptado de" TRIANTOPOULOS et al., 2019, p. 3498-3505

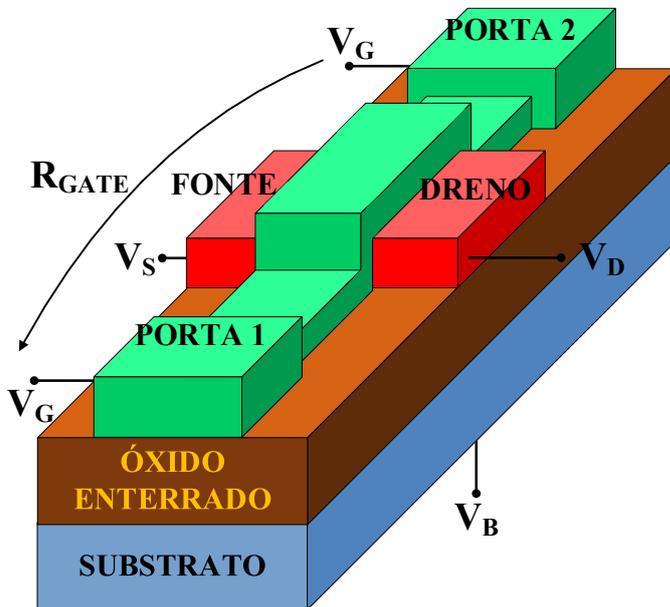
Os efeitos causados pela presença de autoaquecimento se assemelham aos efeitos relacionados ao aumento da temperatura de operação em transistores MOS, como redução da mobilidade provocada por fenômenos de espalhamento ligados ao aumento da temperatura (GOEL et al., 2006), variação da tensão de limiar (TENBROEK et al., 1996) e degradação da confiabilidade do dispositivo, resultando em maior ocorrência de ruído e ruptura do dielétrico (XU et al., 2013), entre outros. Esses efeitos são denominados efeitos de autoaquecimento (*Self-*

*Heating Effects – SHE*) e tem implicações no projeto de circuitos integrados (JIANG et al., 2017).

Diversas técnicas foram desenvolvidas ao longo dos anos para extração do autoaquecimento, utilizando diferentes tipos de medidas e de estruturas e resultando em parâmetros de saída também diferentes. Dentre os métodos mais conhecidos estão a condutância de saída AC (JIN et al., 1999), que é efetiva em altas frequências, porém necessita de *setups* de teste específicos para radiofrequência, o método pulsado (*Pulsed-IV*) (YASUDA et al., 1991; BEPPU; ODA; UCHIDA, 2012), que mostra a degradação da corrente em função do tempo, mas para tecnologias com dimensões ultra reduzidas são necessários pulsos extremamente rápidos, na faixa de 5ns. Há ainda métodos que utilizam estruturas vizinhas ou acopladas ao transistor, como diodos e transistores (PRASAD et al., 2013; BURY et al., 2014) e linhas de metal (PRASAD et al., 2013). Um comparativo dos diferentes métodos para extração do autoaquecimento pode ser encontrado em (PRASAD; RAMEY; JIANG, 2017).

Outro método largamente utilizado que também utiliza uma estrutura acoplada ao transistor é o da termometria de porta (*Gate Resistance Thermometry*) (MAUTRY; TRAGER, 1989; TAKAHASHI et al., 2016). Nele, a porta é constituída de uma estrutura com dois contatos (ou quatro, em alguns casos) e, considerando que o dielétrico de porta é fino o suficiente, assume-se que a temperatura do canal é a mesma do eletrodo de porta. Já foi observado, porém, que em nanofios transistores MOS, que apresentam largura de *fin* extremamente reduzida, as temperaturas do canal e da porta apresentam divergência, e, portanto, o autoaquecimento extraído com esse método mostra uma subestimação do aumento de temperatura no canal observado pela porta (MARINIELLO et al., 2016). No caso de transistores planares, entretanto, esse efeito não foi observado, com o canal e a estrutura de porta apresentando o mesmo aumento de temperatura. Nesse caso, a porta pode ser usada como um sensor de temperatura, capaz de mostrar a variação de temperatura apresentada durante o funcionamento do dispositivo. A Figura 28 apresenta o esquemático de um transistor MOS com estrutura de porta de dois contatos.

Figura 28 – Esquemático de um transistor MOS com estrutura de porta de dois contatos usada no método de termometria de porta

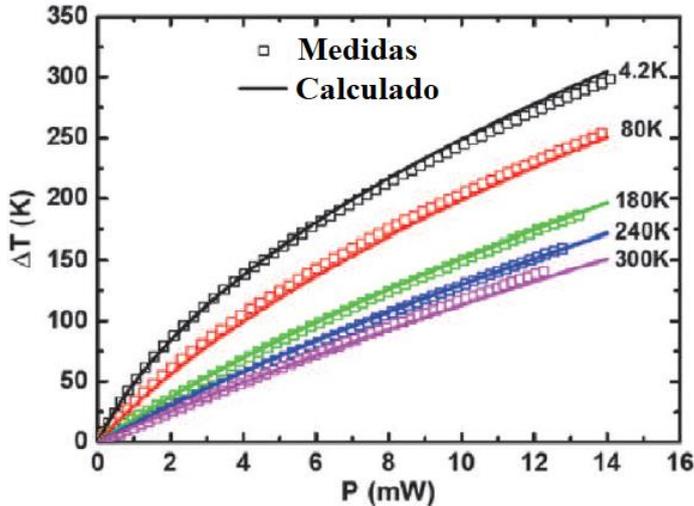


Fonte: Autor

A resistência elétrica do material de porta é extremamente sensível à variação de temperatura, então ao se criar uma curva de referência da variação da resistência da porta com a temperatura, é possível utilizar esses dados para verificar, através do aumento do valor da resistência durante a operação do transistor, quanto foi o aumento da temperatura sofrido. Essa curva de referência é chamada de “curva de calibração”, e é obtida com o transistor em estado desligado (sem polarização), realizando a medida da resistência elétrica entre os contatos de porta enquanto a temperatura do ambiente é variada. Após a obtenção da curva de calibração, o dispositivo é polarizado normalmente, porém medindo também a resistência elétrica da porta ao longo da polarização realizada. Através da associação entre a curva de variação da resistência e a curva de calibração, é obtida a curva de variação da temperatura ( $\Delta T$ ) em função do parâmetro de polarização que foi variado, como tensão de porta ou de dreno, ou até mesmo da potência dissipada ( $P$ ). A Figura 29 apresenta exemplos de curvas de variação da temperatura em função da potência obtidas para diferentes temperaturas do ambiente através da termometria de porta (MAUTRY; TRAGER, 1989). A potência dissipada é calculada de acordo com a equação (41).

$$P = V_{DS} \cdot I_{DS} \quad (41)$$

Figura 29 – Variação da temperatura decorrente do autoaquecimento em função da potência dissipada em transistores FD SOI planares para diferentes temperaturas do ambiente



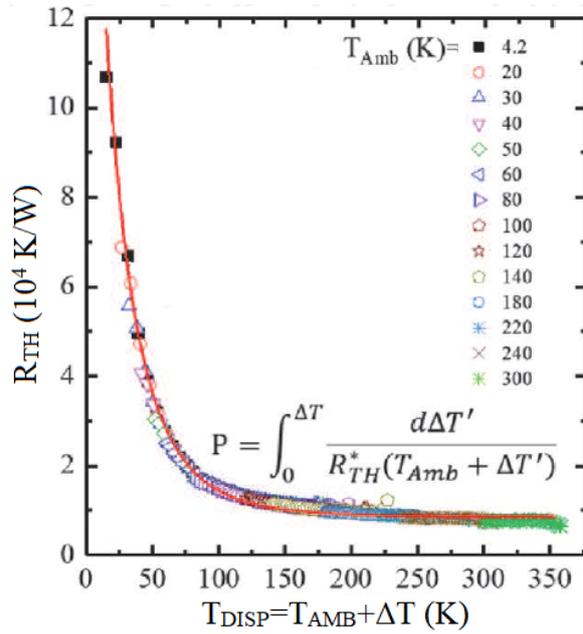
Fonte: Autor “adaptado de” TRIANTOPOULOS et al., 2019, p. 3498-3505

Através da curva de variação da temperatura em função da potência é possível obter a resistência térmica do dispositivo ( $R_{TH}$ ), que relaciona a elevação da temperatura com a potência dissipada, sendo expressa pela derivada de  $\Delta T$  em função de  $P$ , como mostrado na equação (42).

$$R_{TH} = \frac{\delta \Delta T}{\delta P} . \quad (42)$$

Como observado na Figura 29, as curvas para temperatura ambiente de  $180K \leq T_{AMB} \leq 300K$  apresentam característica linear, então nesses casos o cálculo da resistência térmica resultaria em um valor constante, mas, para temperaturas inferiores, as curvas apresentam dois regimes: em baixos valores de potência, a temperatura do canal sofre uma forte elevação com o aumento da potência, enquanto que em altos valores de potência dissipada a taxa de aumento da temperatura com a potência se torna quase constante (TRIANTOPOULOS et al., 2019). Ao calcular a resistência térmica para todos estes casos, e apresentá-las em função da temperatura do dispositivo ( $T_{DISP}$ ), definida como a soma da temperatura do ambiente ( $T_{AMB}$ ) com a variação de temperatura no canal ( $\Delta T$ ), um perfil como o da Figura 30 é obtido. Observa-se um valor quase constante para temperatura do dispositivo acima de 180K e uma elevação abrupta ao reduzir a temperatura até 4,2K, caso em que um pequeno valor de potência dissipada resulta em um forte aumento de temperatura. A resistência térmica se mostra, portanto, uma ferramenta importante para comparação do comportamento do autoaquecimento em diferentes condições de temperatura do ambiente ou diferentes dimensões do dispositivo.

Figura 30 – Resistência térmica em função da temperatura do dispositivo em transistores FD SOI planares para diferentes temperaturas do ambiente



Fonte: Autor “adaptado de” TRIANTOPOULOS et al., 2019, p. 3498-3505

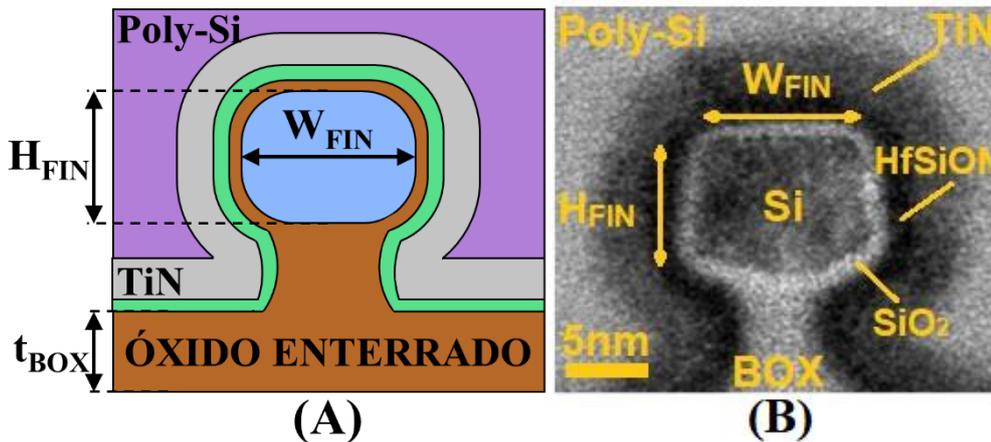


### 3 INFLUÊNCIA DA POLARIZAÇÃO DE SUBSTRATO NA MOBILIDADE DE NANOFIOS TRANSISTORES MOS

Neste capítulo serão apresentados os resultados obtidos para nanofios transistores MOS porta- $\Omega$  com variação da polarização de substrato. A apresentação dos resultados foi dividida de acordo com o método utilizado para extração da mobilidade: a primeira seção trata da mobilidade extraída através do método Y-Function, enquanto na segunda seção foi utilizado o método Split-CV. Por fim, a terceira seção versará sobre os resultados obtidos por simulação TCAD (*Technology Computer-Aided Design* – projeto de tecnologia assistido por computador) tridimensional, onde ambos os métodos de extração foram utilizados, além de cortes na estrutura serem feitos para observação de parâmetros dentro da região de canal.

Os nanofios transistores MOS porta- $\Omega$  sobre os quais a caracterização elétrica foi feita foram fabricados no CEA-Leti, em Grenoble, na França, sobre lâminas SOI com 145nm de espessura do óxido enterrado (BARRAUD et al., 2012; COQUAND et al., 2012) gerando nanofios com largura de *fin* mínima de 8nm. As amostras medidas, porém, apresentam largura de *fin* de 12, 17 e 22nm, sendo que algumas possuem *fins* em paralelo, mas o número de *fins* foi normalizado para exibir resultados equivalentes a um transistor de *fin* único, enquanto a altura de *fin* é de aproximadamente 10nm. Com exceção da simulação de transistores com canal curto e das medidas em um transistor com comprimento de canal de 500nm, o estudo foi realizado em transistores com L de 10 $\mu$ m, evitando, assim, a presença de efeitos de canal curto e de resistência série e possibilitando a obtenção das curvas de capacitância entre porta e canal com escala maior do que as capacitâncias parasitárias. Os transistores medidos apresentam geometria de porta- $\Omega$ . A porta é composta por 2,3nm de HfSiON, 5nm de nitreto de titânio (TiN) e 50nm de poli-silício. A espessura de óxido efetiva (*Effective Oxide Thickness* – EOT) resultante é de 1,2nm e a região de canal apresenta dopagem intrínseca da lâmina, de 10<sup>15</sup>cm<sup>-3</sup>. Nas medidas feitas para extração por Y-Function, foram utilizados transistores tipo n e tipo p, enquanto que nas medidas para extração por Split-CV apenas transistores tipo n foram analisados. A Figura 31 apresenta um esquemático e uma imagem de microscópio eletrônico de transmissão (*Transmission Electronic Microscope* – TEM) da seção transversal de um nanofio transistor MOS SOI porta- $\Omega$ .

Figura 31 – Esquemático e Imagem TEM da seção transversal de um nanofio transistor MOS SOI porta- $\Omega$



Fonte: Autor “adaptado de” Paz, 2018a  
 Legenda: (A) Esquemático e (B) imagem TEM

As medidas elétricas foram realizadas no Keysight Technologies B1500A Semiconductor Device Analyzer (KEYSIGHT TECHNOLOGIES, 2015a), que possibilita a caracterização de curvas de corrente e de capacitância, assim como realiza medidas de corrente em regime transitório.

### 3.1 EXTRAÇÃO DA MOBILIDADE PELO MÉTODO Y-FUNCTION

Para extração da mobilidade por Y-Function, a faixa de tensões de substrato escolhida foi de -100V a 100V, com passo de 10V, devido ao alto valor de espessura do óxido enterrado, de 145nm. Esse método necessita apenas da obtenção de curvas  $I_{DS}-V_{GS}$ , sendo aplicada uma tensão de dreno baixa, de  $V_{DS}=|40mV|$ . Os resultados foram divididos em duas subseções, para nanofios tipo n e tipo p. Para cada uma são primeiro apresentados os parâmetros DC extraídos, consistindo em tensão de limiar, inclinação de sublimiar e transcondutância. Em seguida são exibidas as curvas de mobilidade efetiva extraídas, sobre as quais a discussão é aprofundada. A Tabela 1 descreve os parâmetros dos dispositivos em que foram realizadas as medidas elétricas.

Tabela 1 – Parâmetros dos nanofios transistores MOS porta- $\Omega$  medidos para extração da mobilidade pelo método Y-Function

PARÂMETRO	VALOR(ES)
$t_{\text{BOX}}$	145nm
EOT	1,2nm
$H_{\text{FIN}}$	10nm
$W_{\text{FIN}}$	12nm 17nm 22nm
L	10 $\mu\text{m}$
Fins em paralelo	10
Dopagem do canal	$10^{15} \text{ cm}^{-3}$
Tipo de transistor	nMOS e pMOS

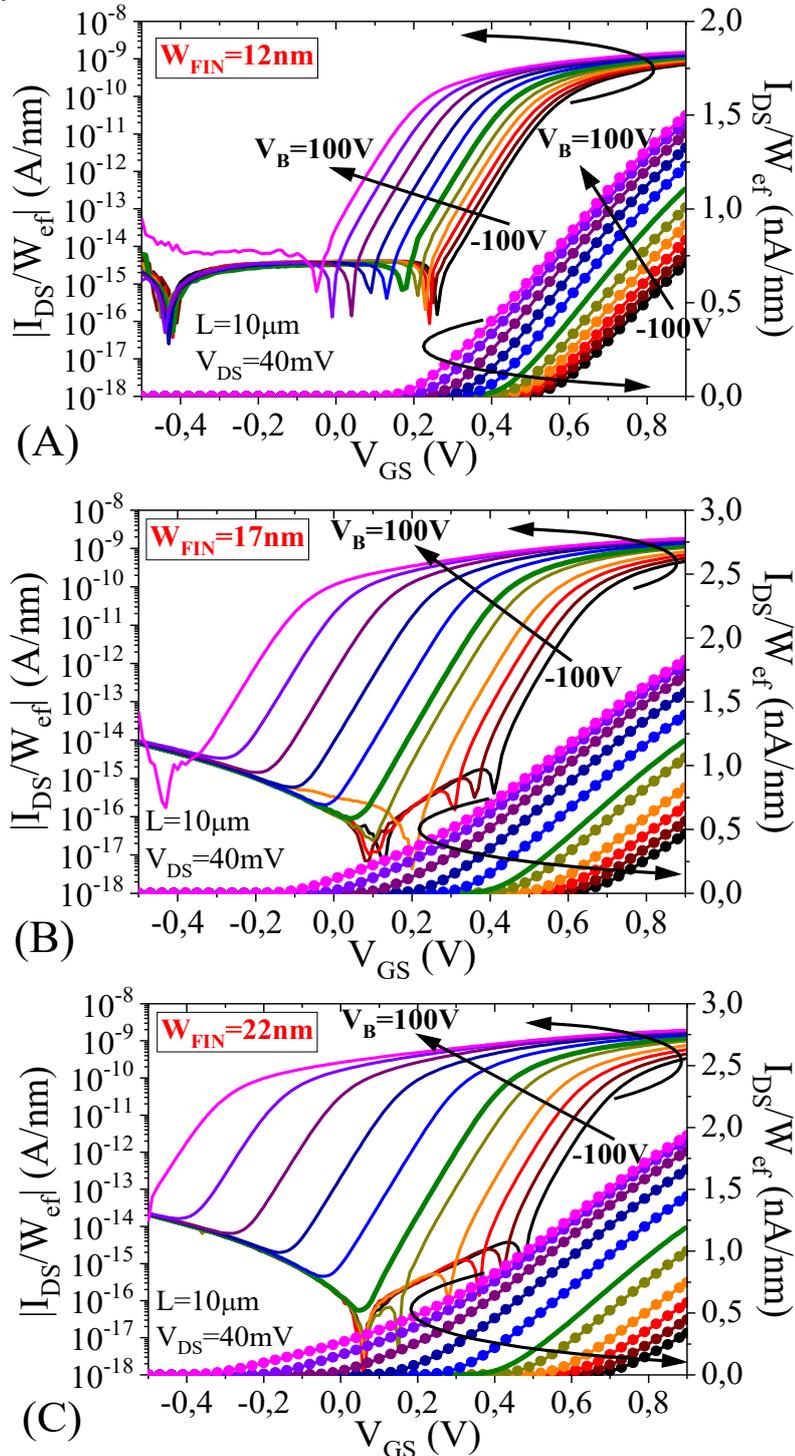
Fonte: Autor

### 3.1.1 Nanofios transistores MOS tipo n

A Figura 32 apresenta as curvas de corrente de dreno normalizada pela largura efetiva de *fin* em função da tensão de porta para toda a faixa de polarizações de substrato aplicadas, com passo de  $V_B$  de 20V, de  $V_{GS}$  de 10mV e com  $V_{DS}$  de 40mV, para as três larguras de *fin*, em escala linear e logarítmica, dessa forma destacando ambas as regiões de sublimiar e de inversão forte. A linha verde de maior espessura é referente à tensão de substrato nula ( $V_B=0V$ ), sendo o ponto central de referência do comportamento da curva sem polarização do substrato. É possível observar o aumento da variação da tensão de limiar com  $V_B$  quando  $W_{\text{FIN}}$  aumenta. Isso se deve à redução do acoplamento eletrostático conforme o transistor se torna mais largo, o que reduz o controle do canal pela porta, elevando o efeito da polarização de substrato. Como consequência da alteração de  $V_{\text{TH}}$  tem-se o deslocamento proporcional do nível de corrente. Também fica clara a ativação de uma região de condução anterior à do canal próximo à porta, visível na corrente em escala linear dos dois transistores mais largos para tensões de substrato positivas, onde são observadas curvas com duas inclinações diferentes: a primeira relacionada à ativação do canal de baixo, entre o silício e o óxido enterrado, e a segunda relacionada à ativação do canal de cima, devido à polarização da porta. Esse efeito é ocasionado pela condição do caso (B) da Figura 19, em que a porta está em sublimiar, mas o substrato é polarizado com tensão positiva (em nMOS), criando uma região de inversão na interface com o óxido enterrado.

Conforme a porta é polarizada acima do limiar, nota-se uma mudança de inclinação da curva de corrente, indicando a ativação da região de inversão próximo à porta.

Figura 32 – Corrente de dreno normalizada pela largura efetiva de *fin* em função da tensão de porta para nanofios transistores MOS tipo n com variação da tensão de substrato e largura de *fin* de 12, 17 e 22nm

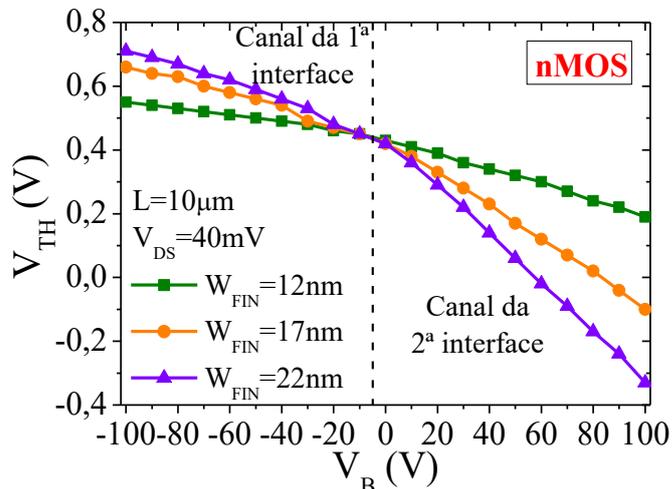


Fonte: Autor

Legenda: Largura de *fin* de 12nm (A), 17nm (B) e 22nm (C)

A tensão de limiar em função da tensão de substrato com variação do  $W_{FIN}$  é apresentada na Figura 33, extraída pelo método da segunda derivada (ORTIZ-CONDE, 2002). Conforme  $V_B$  se torna mais positivo, as linhas de potencial positivas advindas do substrato contribuem para o aumento do potencial de superfície, reduzindo a tensão de porta necessária para alcançar a inversão das cargas, o que resulta em redução da tensão de limiar. Analogamente, tensões de substrato negativas reduzem o potencial de superfície na primeira interface, sendo necessário maior potencial da porta para criar o canal de inversão, resultando em aumento da tensão de limiar. A taxa de variação do  $V_{TH}$  é aproximadamente linear, mas a curva apresenta mudança de inclinação entre tensões de substrato positivas e negativas. O mesmo fenômeno foi observado em (RUDENKO et al., 2011) para transistores UTB SOI planares e em (RITZENTHALER et al., 2006) para transistores de porta tripla. Ambas as referências justificam o efeito pela ativação do canal de baixo, cuja queda de  $V_{TH}$  tem maior dependência com  $V_B$ , enquanto o lado esquerdo é referente à tensão de limiar do canal de cima. Por fim, o aumento da variação do  $V_{TH}$  com a tensão de substrato para transistores mais largos é explicado pela perda do acoplamento eletrostático da porta conforme  $W_{FIN}$  aumenta, que torna os transistores menos imunes ao efeito de  $V_B$ .

Figura 33 – Tensão de limiar em função da tensão de substrato para nanofios transistores MOS tipo n com variação da largura de *fin*

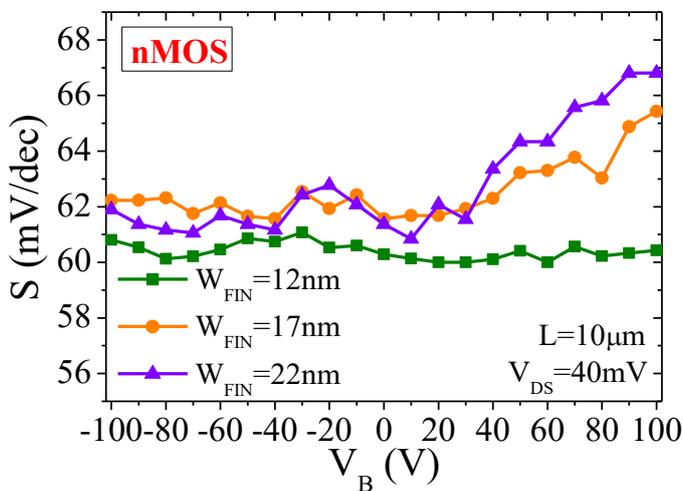


Fonte: Autor

Para a Figura 34, foram extraídas as inclinações de sublimiar dos três transistores para cada  $V_B$  aplicado. A curva do transistor mais estreito evidencia sua superior imunidade à polarização do substrato, visto que este possui menor variação de  $S$  com  $V_B$ . Assim como na tensão de limiar, o aumento de  $W_{FIN}$  resulta em degradação da inclinação de sublimiar, fazendo com que o controle da porta sobre o aumento da corrente de dreno seja superado pelo substrato,

que nos valores mais elevados passa a controlar o início da condução do transistor. Vale ressaltar que, devido ao confinamento da seção transversal da região de canal, mesmo nos transistores mais largos e com alta polarização do substrato, o forte acoplamento eletrostático das portas de topo e laterais impede a formação de um canal de acumulação na região de silício ativo, com o dispositivo permanecendo em depleção total, de acordo com o efeito de “super acoplamento” (NAVARRO et al., 2015). Por esse motivo, mesmo no pior caso, para  $W_{FIN}=22\text{nm}$  e  $V_B=100\text{V}$ , a inclinação de sublimiar ainda se mantém abaixo de  $70\text{mV/dec}$ .

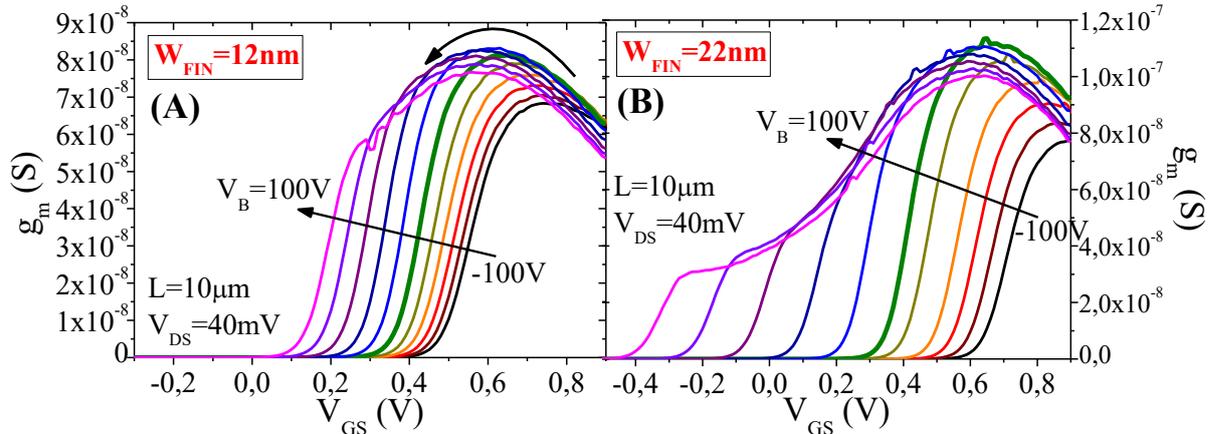
Figura 34 – Inclinação de sublimiar em função da tensão de substrato para nanofios transistores MOS tipo n com variação da largura de *fin*



Fonte: Autor

A Figura 35 apresenta a transcondutância em função da tensão de porta com variação da tensão de substrato, com passo de  $20\text{V}$ , para os transistores mais estreito e mais largo, obtida a partir das curvas  $I_{DS}-V_{GS}$ . Nela, nota-se claramente para o transistor de  $22\text{nm}$  o efeito de inversão prévia da interface do silício com o óxido enterrado, indicado pelo *plateau* inicial nas curvas com valores de  $V_B$  mais positivos, enquanto no transistor mais estreito esse efeito é suprimido. Analisando a região de pico da transcondutância, um crescimento do valor de máximo é visto para o aumento da polarização de substrato do intervalo negativo para o positivo, sendo a variação mais forte no transistor de  $22\text{nm}$ , assim como um deslocamento do valor de pico para a esquerda, devido à variação de  $V_{TH}$ .

Figura 35 – Transcondutância em função da tensão de porta para nanofios transistores MOS tipo n com largura de *fin* de 12 e 22nm com variação da tensão de substrato

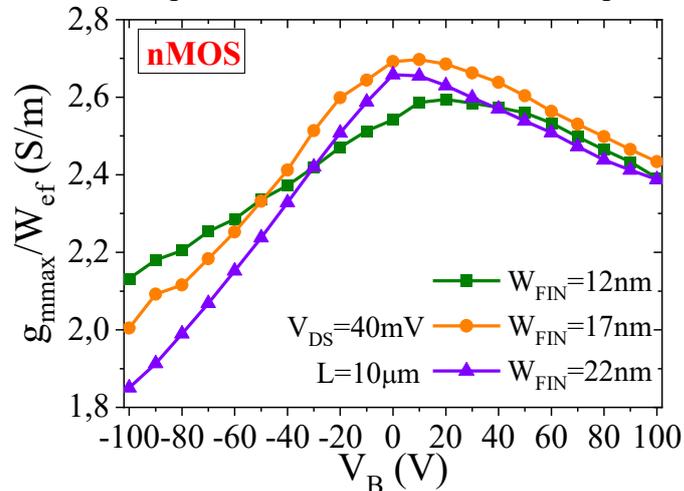


Fonte: Autor

Legenda: Largura de *fin* de 12nm (A) e 22nm (B)

O crescimento do valor de pico ocorre apenas até determinado valor de  $V_B$ , com os valores maiores causando redução da transcondutância máxima. Essa tendência se torna mais clara observando os valores de máximo da transcondutância normalizada pela largura efetiva,  $W_{ef}$ , em função da tensão de substrato para os três transistores, mostrado na Figura 36. Assim, foi possível fazer uma verificação inicial da variação da mobilidade com a polarização de substrato através da transcondutância máxima. Assim como na curva anterior, o resultado sugere uma redução da mobilidade dos portadores com o aumento de  $V_B$  negativo até -100V. Um comportamento similar é observado ao aumentar a tensão de substrato no intervalo positivo, sugerindo também uma redução na mobilidade. Vale ressaltar que, pelo método utilizado, a variação de  $g_{mmax}$  pode também ser relacionada ao aumento da resistência série, visto que esta

Figura 36 – Transcondutância máxima normalizada pela largura efetiva em função da tensão de substrato para nanofios transistores MOS tipo n com variação da largura de *fin*

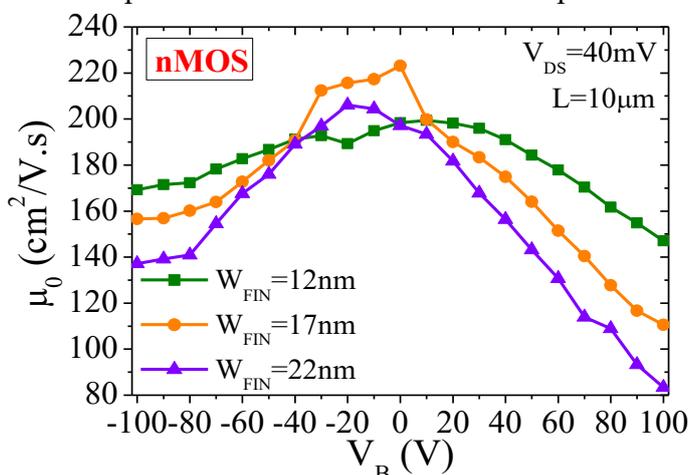


Fonte: Autor

está compreendida no valor da transcondutância. Porém, tendo os dispositivos comprimento de canal de  $10\mu\text{m}$ , com alta dopagem de fonte e dreno e canal não dopado, a influência da resistência de acesso é esperada ser baixa nesses transistores. Assim, as curvas sugerem uma dependência da mobilidade com a tensão de substrato que faz com que ambas as polaridades de  $V_B$  resultem em degradação da mobilidade, com exceção de baixos valores positivos, até  $V_B=20\text{V}$ , que podem levar a um leve aumento de mobilidade em relação à curva para  $V_B=0\text{V}$ .

Após essa verificação, foi utilizado o método de extração Y-Function para avaliar a mobilidade de baixo campo em função de  $V_B$ . As curvas obtidas são mostradas na Figura 37, onde uma tendência similar foi obtida, porém com os valores de máximo variando entre  $-20\text{V}$  e  $+20\text{V}$  e, principalmente, com degradação da mobilidade mais forte no lado positivo de  $V_B$ , enquanto a redução de  $g_{\text{mmax}}$  foi maior para a polaridade negativa. A relação com o aumento da largura de *fin* também é evidenciada nessa curva: a redução do acoplamento eletrostático em transistores mais largos faz com que o efeito da polarização de substrato aumente proporcionalmente com  $W_{\text{FIN}}$ . Com isso, nota-se um aumento na inclinação da queda de mobilidade nos transistores de maior largura. A degradação da mobilidade para tensões de substrato negativas tem sua causa relacionada ao campo elétrico negativo do substrato, que repele os portadores minoritários (elétrons), deslocando o centroide de cargas em direção à interface com o óxido de porta, onde os portadores ficam confinados, aumentando o efeito de espalhamento relacionado ao alto campo elétrico como o espalhamento por rugosidade de superfície. Para tensões de substrato positivas, considerando a ativação do canal de baixo antes da ativação do canal de cima, conforme observado nos resultados da tensão de limiar, há indícios de que ambos o aumento e a redução da mobilidade tenham relação com o canal de

Figura 37 – Mobilidade de baixo campo obtida por Y-Function em função da tensão de substrato para nanofios transistores MOS tipo n com variação da largura de *fin*



baixo. As causas podem estar ligadas à mobilidade nessa região, presumidamente superior à mobilidade na interface com o óxido de porta, devido à melhor qualidade da interface entre silício e óxido enterrado, mas o forte campo elétrico induzido pelas altas tensões de substrato pode elevar drasticamente mecanismos de espalhamento relacionados ao campo elétrico. Uma análise mais aprofundada é necessária, e será apresentada posteriormente, para explicar a degradação da mobilidade para tensões de substrato positivas em transistores tipo n.

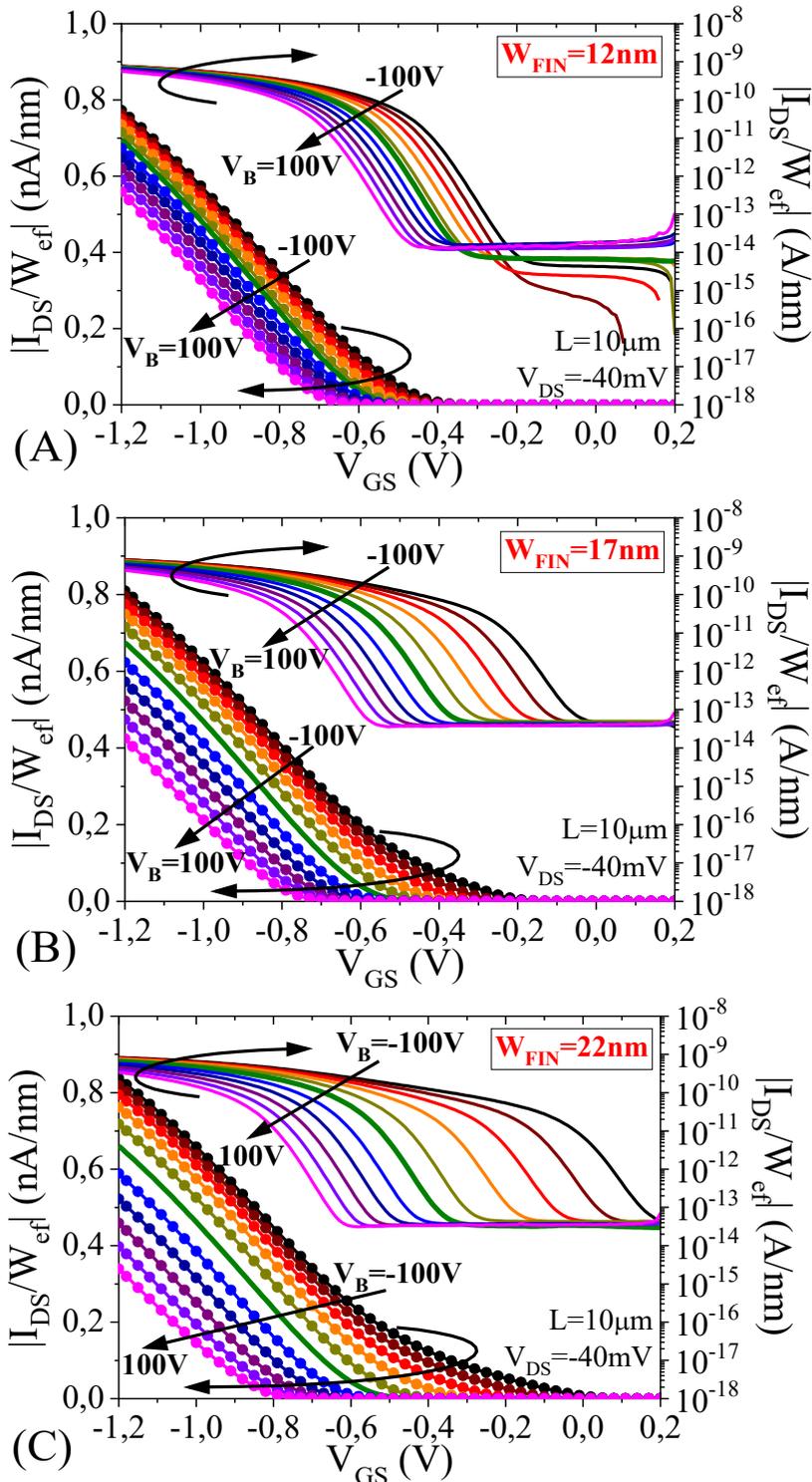
É possível afirmar que há diversos efeitos ocorrendo simultaneamente conforme o valor de polarização do substrato aplicado e dependendo da região de polarização de porta, quando em sublimiar, inversão fraca e inversão forte. E considerando que o Y-Function é um método baseado no cálculo de um valor único de mobilidade obtido para uma curva  $I_{DS}-V_{GS}$  completa, não é possível observar o comportamento da mobilidade em diferentes condições de polarização de porta. Além disso, o Y-Function não leva em consideração a presença de um canal de inversão adicional na interface entre silício e BOX, formado antes mesmo da condução pelo canal principal. Dessa forma, é possível que os resultados obtidos por Y-Function não sejam suficientemente confiáveis quando se tem a presença de dois canais de condução simultâneos, pois as curvas de corrente e transcondutância apresentam alterações provocadas pela condução do canal de baixo, o que não é levado em consideração pelo método no cálculo da mobilidade. Assim, foi necessário fazer uso de um segundo método de extração da mobilidade, em que fosse obtida a mobilidade em função de  $V_{GS}$ , para que ela pudesse ser observada em diferentes condições de polarização de porta. O método utilizado para obter esses resultados, que serão apresentados mais à frente, é o Split-CV.

### 3.1.2 Nanofios transistores MOS tipo p

Após a obtenção dos resultados para os nanofios tipo n, o mesmo estudo foi realizado em transistores tipo p para observação do efeito da polarização do substrato na mobilidade de lacunas. Assim, com a extração das curvas de corrente normalizadas pela largura efetiva de  $fin$  em função da tensão de porta dos dispositivos pMOS com passo de  $V_B$  de 20V, de  $V_{GS}$  de 10mV e com  $V_{DS}=-40mV$ , apresentadas na Figura 38, foi possível obter as figuras de mérito de interesse. Novamente, a curva verde de espessura maior faz referência à corrente de dreno para  $V_B=0V$ . Observa-se uma menor variação no deslocamento das curvas de corrente com  $V_B$ , indicando menor dependência da tensão de limiar com a polarização de substrato. Também é possível verificar valores de corrente de dreno significativamente inferiores à corrente dos

transistores tipo n, o que é esperado devido à menor mobilidade das lacunas em relação à mobilidade dos elétrons.

Figura 38 – Corrente de dreno normalizada pela largura efetiva de *fin* em função da tensão de porta para nanofios transistores MOS tipo p com variação da tensão de substrato e largura de *fin* de 12, 17 e 22nm

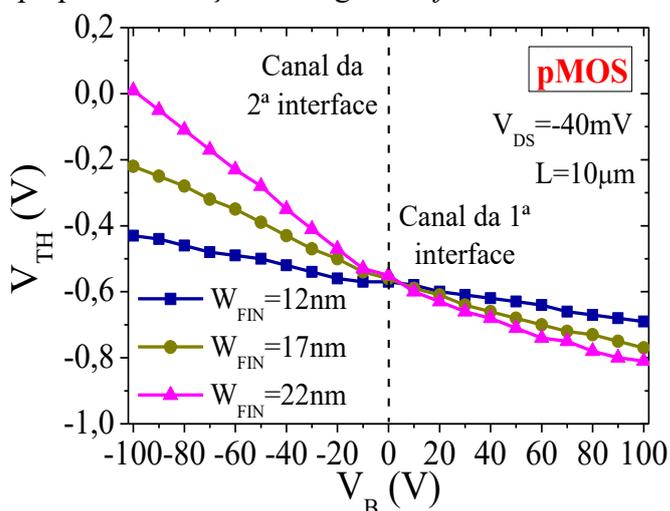


Fonte: Autor

Legenda: Largura de *fin* de 12nm (A), 17nm (B) e 22nm (C)

Da mesma forma que nos transistores tipo n, a tensão de limiar foi extraída para cada valor de  $V_B$  e é apresentada na Figura 39, que mostra esse efeito para as três larguras de  $fin$ . Similarmente, o resultado mostra curvas compostas por duas retas de inclinações diferentes, apenas com a polaridade inversa ao observado nos transistores nMOS: a polarização negativa em transistores tipo p leva à ativação do canal de baixo, enquanto a polarização positiva causa aumento (em módulo) da tensão de limiar devido a efeito de corpo. Comparando os nanofios tipo n e p, a maior variação de  $V_{TH}$  para os nMOS entre  $-100V \leq V_{TH} \leq +100V$ , que ocorre para o transistor de largura 22nm, é de 1,04V, enquanto nos pMOS a variação máxima é de 0,82V, confirmando a menor influência da polarização de substrato no  $V_{TH}$  desses dispositivos.

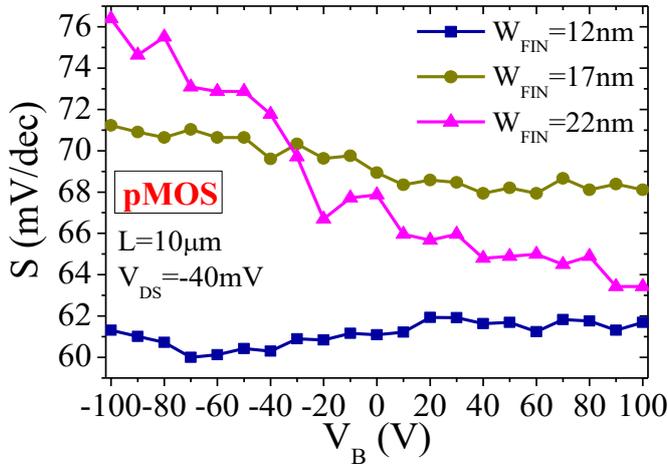
Figura 39 – Tensão de limiar em função da tensão de substrato para nanofios transistores MOS tipo p com variação da largura de  $fin$



Fonte: Autor

A Figura 40 apresenta a inclinação de sublimiar em função da tensão de substrato para nanofios transistores MOS tipo p com variação da largura de  $fin$ . Analogamente ao transistor nMOS, o aumento de  $S$  ocorre com a aplicação de valores negativos de  $V_B$ . O transistor mais estreito apresenta comportamento similar aos vistos para o nanofio nMOS equivalente, com inclinação de sublimiar entre 60 e 62mV/dec e baixa variação ao longo de toda a faixa de  $V_B$ . Conforme o transistor se torna mais largo, a dependência com  $V_B$  aumenta em uma taxa elevada, de forma diferente da vista no conjunto de transistores tipo n: o dispositivo de 17nm apresenta um valor médio da inclinação de sublimiar elevado, atingindo um valor máximo de 71,2mV/dec, enquanto o dispositivo de 22nm tem menor valor mínimo de  $S$ , mas alta taxa de degradação com  $V_B$ , chegando a 76,4mV/dec em  $V_B = 100V$ .

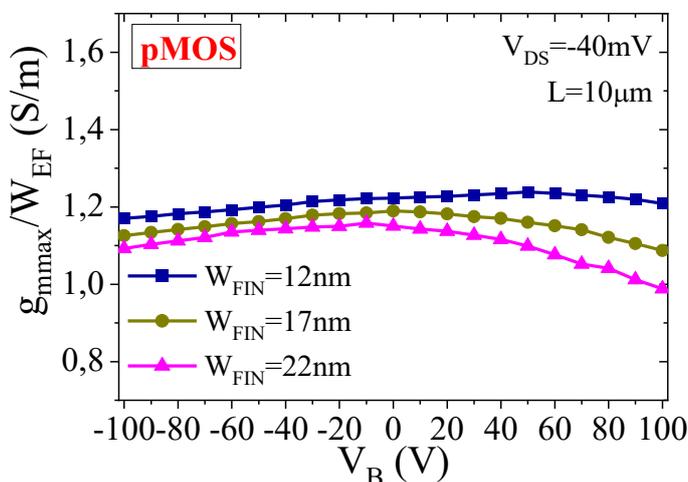
Figura 40 – Inclinação de sublimiar em função da tensão de substrato para nanofios transistores MOS tipo p com variação da largura de *fin*



Fonte: Autor

Na Figura 41 é apresentada a transcondutância máxima normalizada pela largura efetiva em função da tensão de substrato nos nanofios tipo p. O comportamento da transcondutância em relação à existência de um *plateau* inicial devido à criação de um canal de inversão na interface com o óxido enterrado previamente à condução na interface com o óxido de porta também é visto nos transistores tipo p, começando a partir de  $V_B = -50V$ , similarmente aos nMOS. Apesar da condução inicial controlada pelo substrato ocorrer da mesma forma para ambos os tipos de dispositivos, a resposta da transcondutância máxima e, conseqüentemente, da mobilidade em função da polarização de substrato divergem significativamente: os transistores tipo p apresentam baixa variação do valor de transcondutância máxima, sendo menos afetados pelo aumento ou redução de  $V_B$ . Apesar disso, as curvas seguem a mesma

Figura 41 – Transcondutância máxima normalizada pela largura efetiva em função da tensão de substrato para nanofios transistores MOS tipo p com variação da largura de *fin*

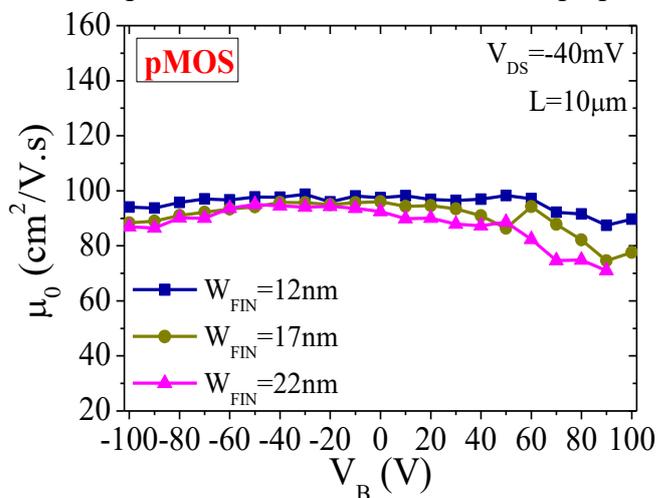


Fonte: Autor

tendência com relação à degradação da transcondutância com o aumento da tensão de substrato, com a polaridade positiva sendo a mais influente, onde presume-se que há maior degradação da mobilidade por rugosidade de superfície, devido ao potencial positivo confinar as lacunas na interface com o óxido de porta.

Por fim, a extração do Y-Function foi realizada para os nanofios tipo p, obtendo-se a mobilidade de baixo campo em função da tensão de substrato, apresentada na Figura 42. Os resultados estão em concordância com as curvas de transcondutância máxima, tendo dependência significativamente menor com  $V_B$ , assim como baixa variação com a largura de  $fin$ . Porém, a degradação da mobilidade por polarização direta do substrato é expressivamente baixa, divergindo dos resultados para transistores tipo n. Como essa degradação está relacionada à presença de um canal de inversão na interface com o óxido enterrado, ativado com  $V_B$  negativo em pMOS, isso indica menor influência da polarização de substrato na mobilidade de lacunas do canal de baixo em transistores tipo p.

Figura 42 – Mobilidade de baixo campo obtida por Y-Function em função da tensão de substrato para nanofios transistores MOS tipo p com variação da largura de  $fin$



Fonte: Autor

### 3.2 EXTRAÇÃO DA MOBILIDADE PELO MÉTODO SPLIT-CV

Como mencionado anteriormente, o uso do método Y-Function em medidas com polarização do substrato pode levar a resultados imprecisos devido à presença de um canal de condução adicional formado na interface entre o silício e o óxido enterrado, previamente à ativação do canal principal, que causa modificações nas curvas de corrente e transcondutância que não são consideradas no cálculo para obtenção de um valor único de mobilidade para toda

a curva de operação do dispositivo. Logo, o método Split-CV foi escolhido para verificar a mobilidade efetiva em qualquer ponto de polarização de porta do transistor.

Para a extração com o método Split-CV, apenas dispositivos nMOS foram analisados. Além disso, a faixa de tensões de substrato aplicada foi de 0 a 100V, com passo de 10V. Para tensões de substrato negativas os resultados das medidas de capacitância entre porta e canal não apresentaram a curva C-V característica esperada, devido a limitações do equipamento de medidas, causadas pela inversão do sentido da corrente no módulo de capacitância para valores de  $V_B$  negativos. De qualquer modo, para observação do efeito de degradação da mobilidade devido à criação de um canal na interface Si-BOX, apenas a polarização direta é necessária, sendo, para transistores tipo n, as tensões de substrato positivas.

A configuração usada para realização de medidas para extração da mobilidade por Split-CV consiste em utilizar o equipamento de medidas, no caso o Keysight Technologies B1500A Semiconductor Device Analyzer, para realizar medidas de capacitância (curva C-V) no transistor, onde é feita uma varredura de tensão de porta, com a capacitância extraída pelos terminais de fonte e dreno, que são curto-circuitados. Esse processo é repetido para toda a faixa de tensões de substrato aplicadas. Em seguida, com o mesmo equipamento, são realizadas medidas de corrente (curva  $I_{DS}-V_{GS}$ ) em tensão de dreno baixa, de 40mV, para a mesma varredura de tensão de porta, sendo repetidas também para todas a faixa de tensões de substrato. Ao final, são obtidos os conjuntos de curvas de capacitância entre porta e canal,  $C_{GC}$ , em função de  $V_{GS}$  e de corrente de dreno,  $I_{DS}$  em função de  $V_{GS}$ , que serão usados para o cálculo da curva de mobilidade efetiva e da concentração de cargas de inversão, para cada  $V_B$  aplicado.

Dispositivos com as mesmas dimensões da seção anterior, com  $W_{FIN}$  de 12, 17 e 22nm e L de 10 $\mu$ m, foram medidos. Nesse caso, os dispositivos apresentam maior número de *fins* em paralelo para aumentar a área de porta, facilitando as medidas de capacitância devido ao maior valor de  $C_{GC}$  em relação aos valores de capacitância parasitária. A Tabela 2 descreve os parâmetros dos dispositivos em que foram realizadas as medidas elétricas.

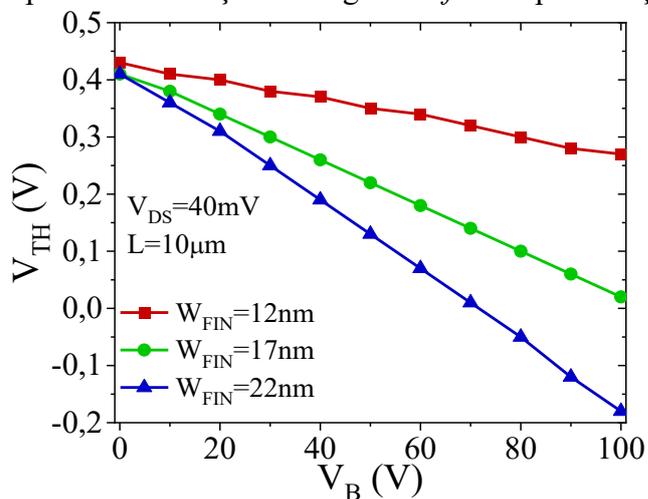
Tabela 2 – Parâmetros dos nanofios transistores MOS porta- $\Omega$  medidos para extração da mobilidade pelo método Split-CV

PARÂMETRO	VALOR(ES)
$t_{\text{BOX}}$	145nm
EOT	1,2nm
$H_{\text{FIN}}$	10nm
$W_{\text{FIN}}$	12nm 17nm 22nm
L	10 $\mu\text{m}$ 500nm ( $W_{\text{FIN}}=12\text{nm}$ )
Fins em paralelo	50 (L=10 $\mu\text{m}$ ) 30 $\times$ 4 canais (L=500nm)
Dopagem do canal	$10^{15} \text{ cm}^{-3}$
Tipo de transistor	nMOS

Fonte: Autor

Da mesma forma, foram obtidos primeiramente os parâmetros DC básicos de dispositivos MOS, tensão de limiar e inclinação de sublimiar, para verificação da integridade eletrostática dos transistores. A tensão de limiar é apresentada na Figura 43 em função da tensão de substrato para as três larguras de *fin*. O  $V_{\text{TH}}$  apresenta a mesma tendência do conjunto de medidas realizado anteriormente, com a redução no valor sendo causada não apenas por efeito de corpo no canal de cima, mas principalmente pela ativação do canal de baixo devido ao potencial do substrato. A influência do aumento da largura de *fin* é novamente observada, como

Figura 43 – Tensão de limiar em função da tensão de substrato para nanofios transistores MOS tipo n com variação da largura de *fin* em polarização direta do substrato

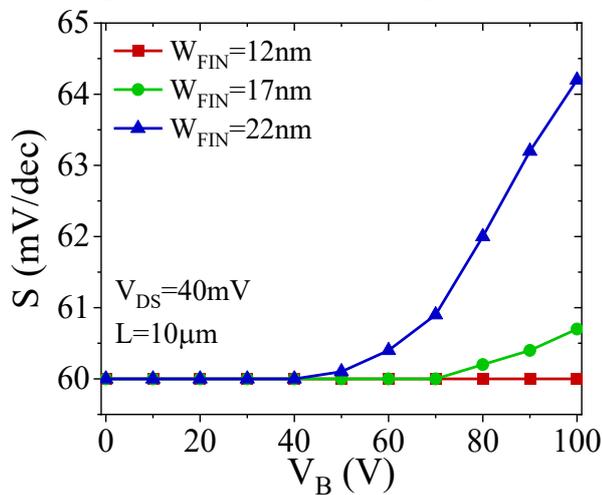


Fonte: Autor

descrito anteriormente, sendo causada pela perda de acoplamento eletrostático pela porta, reduzindo a imunidade aos efeitos de polarização do substrato.

Na Figura 44 é apresentada a inclinação de sublimiar em função da tensão de substrato para nanofios transistores MOS com as três larguras de *fin*. A inclinação de sublimiar também apresenta mesma tendência dos resultados anteriores, com valor máximo também inferior a 70mV/dec mesmo no caso mais extremo, para maior largura de *fin* e  $V_B$  de 100V, garantindo o estado de depleção total da região de silício ativo para toda a faixa de tensões de substrato aplicadas.

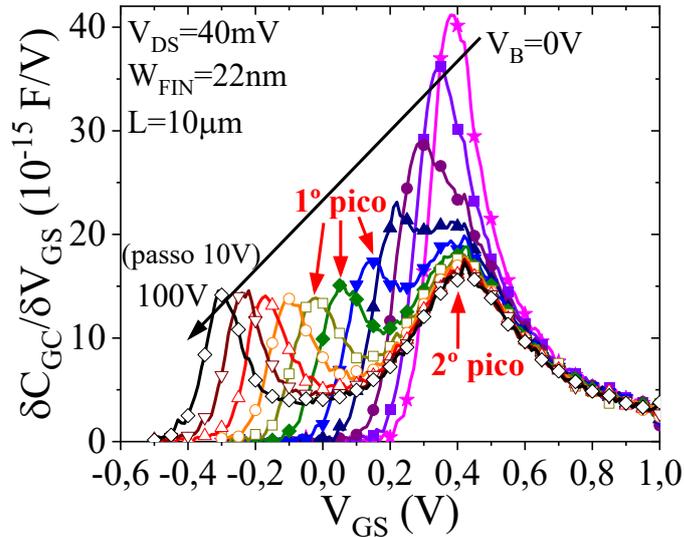
Figura 44 – Inclinação da sublimiar em função da tensão de substrato para nanofios transistores MOS tipo n com variação da largura de *fin* em polarização direta do substrato



Fonte: Autor

Com a realização de medidas de capacitância entre porta e canal, foi possível utilizar as curvas de derivada da capacitância em função da tensão de porta ( $\delta C_{GC}/\delta V_{GS}$ ) para verificar a criação do canal na interface Si-BOX quando tensão de substrato é aplicada. A Figura 45 exhibe esses resultados para o transistor com  $W_{FIN}$  de 22nm. Para cada curva, o primeiro pico representa a ativação do canal de baixo, enquanto o segundo pico, cuja posição é fixa para todas as curvas, indica a ativação do canal de cima, com o valor de  $V_{GS}$  sendo a tensão de limiar da porta (OHATA et al., 2012). Assim sendo, a variação de  $V_{TH}$  observada na Figura 43 é majoritariamente causada pela variação do limiar de ativação do canal de baixo.

Figura 45 – Derivada da capacitância entre porta e canal pela tensão de porta em função da tensão de porta para um nanofio transistor MOS tipo n com largura de  $fin$  de 22nm

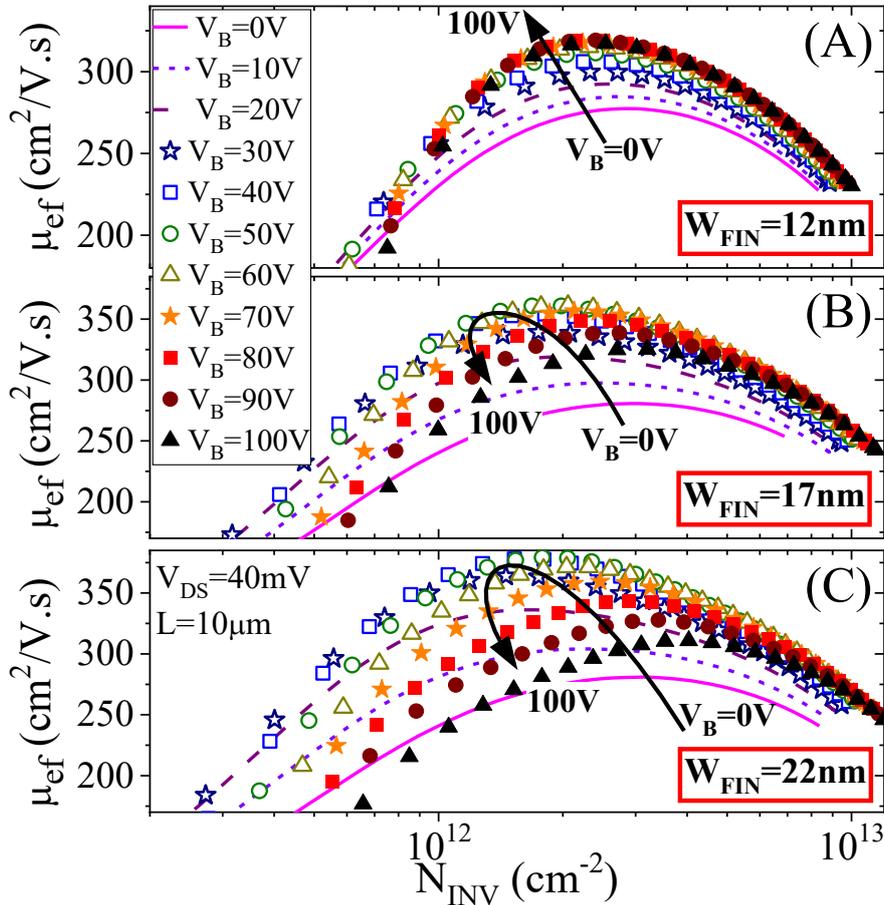


Fonte: Autor

Ao realizar a extração da mobilidade efetiva por Split-CV para toda a faixa de tensões de substrato e as três larguras de  $fin$ , os resultados foram apresentados em função da concentração de cargas de inversão ( $N_{INV}$ ), calculada através das curvas de capacitância, sendo mostrados na Figura 46. O objetivo de apresentar os resultados em função de  $N_{INV}$  ao invés de em função de  $V_{GS}$  é remover a influência da variação da tensão de limiar para as curvas com diferentes valores de  $V_B$ . Dessa forma, também é possível examinar a mobilidade para um determinado valor fixo de  $N_{INV}$ . Para o nanofio mais estreito, é observado um aumento quase monotônico da mobilidade com  $V_B$ , com as curvas saturando para  $V_B > 70V$ . Isso significa que o incremento na mobilidade é mitigado a partir de certo valor de tensão de substrato. Quando  $W_{FIN}$  aumenta para 17nm, o incremento na mobilidade é observado com o aumento de  $V_B$  até cerca de 60V e, a partir desse ponto há uma mudança de tendência, resultando em redução nas curvas de mobilidade para tensões de substrato mais altas, em  $N_{INV} < 7 \cdot 10^{12} \text{cm}^{-2}$ . Isso demonstra um comportamento não-monotônico das curvas de  $\mu_{ef}$ . Para a faixa de  $N_{INV}$  acima desse valor, porém, uma tendência monotônica com o aumento de  $V_B$  até 100V é observada. O mesmo comportamento é verificado para o transistor mais largo, com  $W_{FIN} = 22\text{nm}$ , porém com maior efeito da polarização do substrato: a mudança de tendência ocorre para  $V_B > 40V$  e a taxa de redução do valor de pico das curvas com o aumento da tensão de substrato é maior do que no transistor com  $W_{FIN}$  de 17nm. A variação da mobilidade para as diferentes regiões de  $N_{INV}$  é atribuída a mudanças na condução pelo  $fin$ , inicialmente localizada apenas no canal de baixo e, após a ativação do canal de cima ocorrendo pelos canais de baixo e de cima simultaneamente,

como observado em (PARK et al., 2014) para MOSFETs SOI de porta tripla e em (RUDENKO et al., 2011) e (OHATA et al., 2012) para dispositivos UTB e UTBB, respectivamente.

Figura 46 – Mobilidade efetiva em função da concentração de cargas de inversão para nanofios transistores MOS tipo n com variação da largura de *fin*



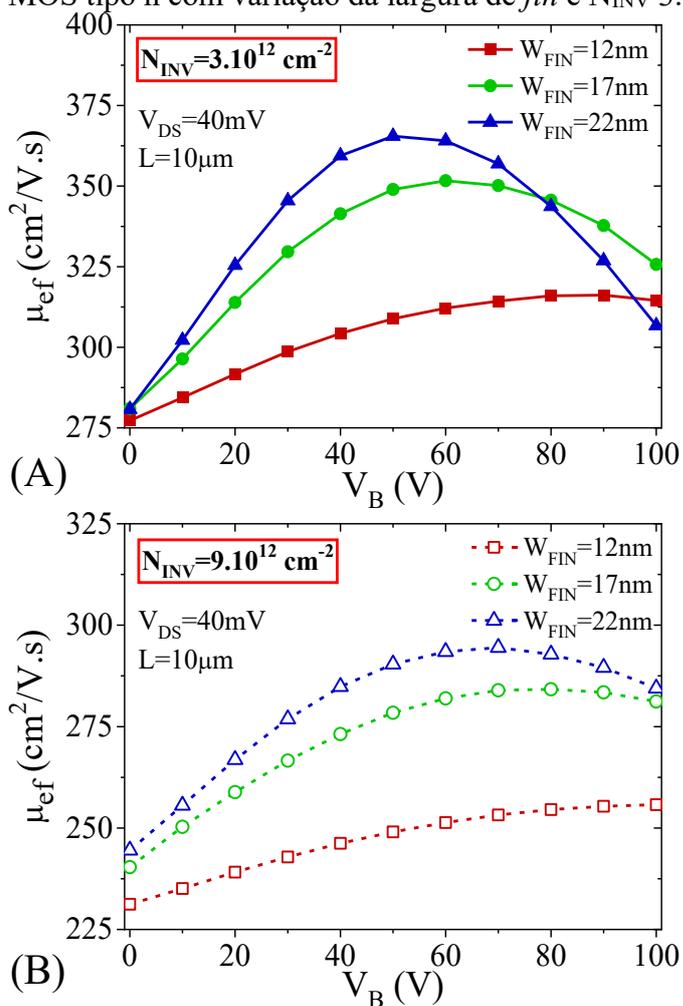
Fonte: Autor

Legenda: Largura de *fin* de 12nm (A), 17nm (B) e 22nm (C)

A partir desses resultados, na Figura 47 foram obtidos os valores de mobilidade para cada tensão de substrato em dois valores fixos de  $N_{INV}$ : o menor,  $3 \cdot 10^{12} \text{ cm}^{-2}$  representando a região de inversão moderada, próximo ao  $V_{TH}$ , onde ocorre o pico de mobilidade para a maioria das curvas, e o maior,  $9 \cdot 10^{12} \text{ cm}^{-2}$ , representando a região de inversão forte, onde a mobilidade é controlada principalmente pelo campo elétrico do eletrodo de porta. No menor  $N_{INV}$ , na Figura 47(A), para o transistor mais estreito a polarização do substrato induz um aumento na mobilidade efetiva, até começar a reduzir para  $V_B > 90 \text{ V}$ . Para os dois transistores mais largos, o incremento na mobilidade também aparece, com uma taxa de variação maior com o aumento de  $W_{FIN}$ , porém o valor máximo de mobilidade ocorre em valores menores de  $V_B$  conforme  $W_{FIN}$  aumenta. Para tensões de substrato mais altas, a degradação da mobilidade é observada, com taxa de variação também proporcional a  $W_{FIN}$ . Para o  $N_{INV}$  de  $9 \cdot 10^{12} \text{ cm}^{-2}$ , na Figura 47(B),

um comportamento similar é observado, porém com menor taxa de variação de  $\mu_{ef}$  com  $V_B$  e um menor nível de mobilidade que no caso anterior, devido à maior influência do canal próximo à porta, que possui mobilidade menor que o canal de baixo. Por outro lado, devido à predominância do canal próximo à porta na mobilidade, a degradação causada pelo substrato não é tão evidente como nos resultados em  $N_{INV}$  baixo.

Figura 47 – Mobilidade efetiva em função da tensão de substrato para nanofios transistores MOS tipo n com variação da largura de *fin* e  $N_{INV}$   $3.10^{12}$  e  $7.10^{12}$   $cm^{-2}$



Fonte: Autor

Legenda:  $N_{INV}$  de  $3.10^{12}cm^{-2}$  (A) e  $9.10^{12}cm^{-2}$  (B)

Em ambos os casos, a degradação na mobilidade não foi forte o suficiente para que, em  $V_B=100V$ , o valor de  $\mu_{ef}$  se tornasse menor do que sem polarização do substrato ( $V_B=0V$ ). Na tensão de substrato que resulta em maior mobilidade, os dispositivos demonstram um aumento em  $\mu_{ef}$  de 14%, 25% e 30%, para  $W_{FIN}$  de 12, 17 e 22nm, respectivamente, em relação à situação sem polarização de substrato. Apesar disso, para o  $N_{INV}$  baixo, 36,8% desse aumento de mobilidade é perdido ao elevar  $V_B$  até 100V, para o transistor com  $W_{FIN}$  de 17nm, e 69,4% para

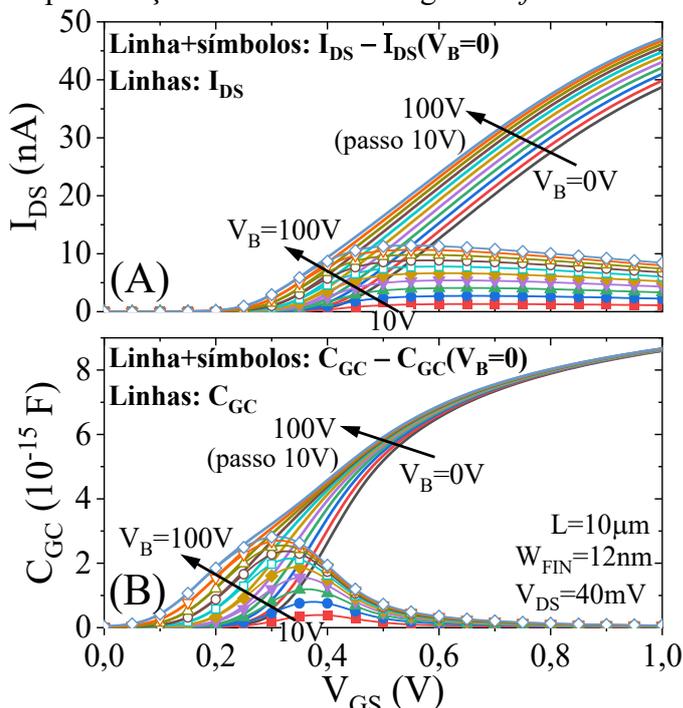
o transistor com  $W_{FIN}$  de 22nm. Para o  $N_{INV}$  alto, o incremento máximo de mobilidade observado foi de 10,6%, 18,2% e 20,4%, para  $W_{FIN}$  de 12, 17 e 22nm, respectivamente, em relação à polarização de substrato nula.

### 3.2.1 Separação da mobilidade do canal de baixo

Uma abordagem alternativa para analisar a variação da mobilidade com a polarização de substrato pode ser feita através da separação da mobilidade do canal de baixo do resultado total de mobilidade efetiva obtida por Split-CV, que inclui a mobilidade em todo o *fin* de silício: o canal de cima (*Front Channel* – FC), controlado pela porta (interfaces de topo e laterais e os cantos) e o canal de baixo (*Back Channel* – BC), controlado pelo substrato. Essa abordagem consiste em subtrair das curvas originais de  $I_{DS}$  e de  $C_{GC}$  a contribuição do canal de cima, restando, portanto, somente a contribuição do canal de baixo (CASSÉ; GHIBAUDO, 2021). Ao realizar a extração por Split-CV utilizando essas curvas subtraídas, apenas com as componentes do canal de baixo, o resultado de mobilidade efetiva obtido é a mobilidade somente com a contribuição do canal na interface Si-BOX.

Para  $V_B=0V$ , não há formação do canal na interface de baixo, logo as curvas  $I_{DS}$  e  $C_{GC}$  obtidas contém apenas a componente do canal de cima. Se considerarmos que a polarização do substrato não afeta a mobilidade do canal de cima, fato que será demonstrado nos resultados de simulação, ao subtrair a curva com  $V_B=0V$ , que possui apenas a componente do canal de cima, das curvas com  $V_B>0V$ , que possuem componentes dos canais de cima e de baixo, restará apenas a contribuição do canal de baixo. Na Figura 48 são exibidas as curvas de corrente de dreno e de capacitância entre porta e canal originais (linhas) e subtraídas da curva de  $V_B=0V$  (linhas com símbolos), logo, as curvas subtraídas têm faixa de  $V_B$  de 10 a 100V. As curvas subtraídas mostram uma saturação na corrente de dreno a partir de  $V_{GS}\approx 0,43V$ , que é a tensão de limiar do canal de cima, já que a partir desse ponto a contribuição do canal de cima passa a se sobressair em relação à do canal de baixo.

Figura 48 – Corrente de dreno e capacitância entre porta e canal originais e subtraídos da curva de  $V_B=0V$  em função da tensão de porta para um nanofio transistor MOS tipo n com variação da polarização de substrato e largura de *fin* de 12nm



Fonte: Autor

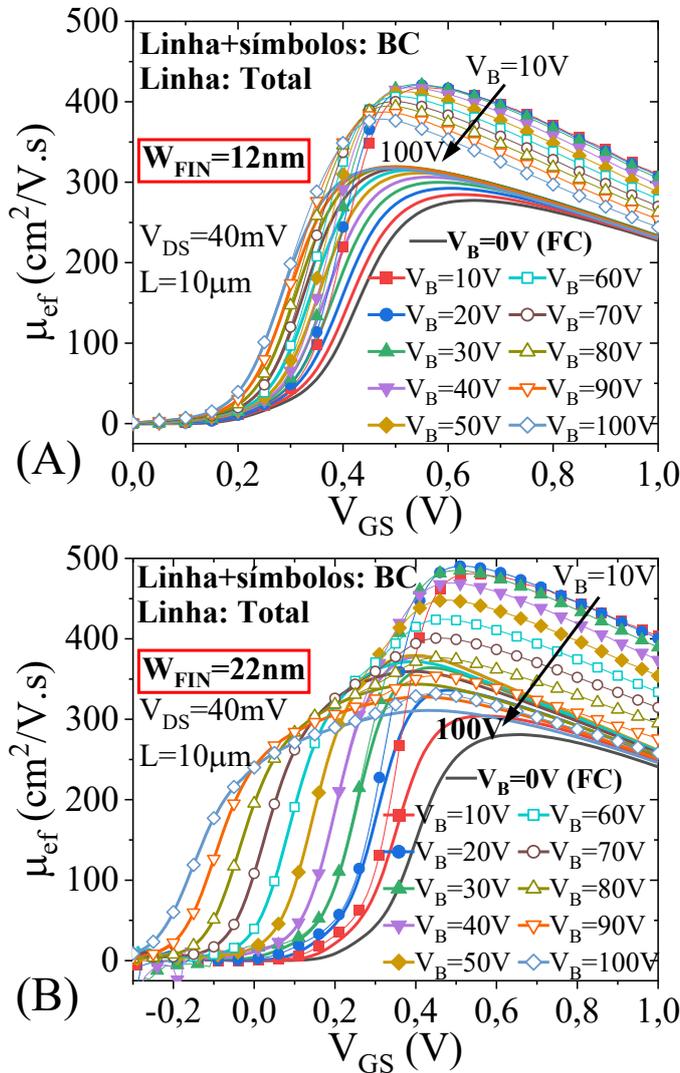
Legenda: Curvas de corrente de dreno (A) e capacitância entre porta e canal (B)

Com esses resultados, foi realizada a extração da mobilidade efetiva por Split-CV, para os resultados no *fin* inteiro e no BC apenas. Os resultados são apresentados em função de  $V_{GS}$  na Figura 49 para os transistores com  $W_{FIN}$  de 12 e 22nm. A apresentação dessas curvas é feita em função da tensão de porta, pois, assim como no  $I_{DS}$ , o  $N_{INV}$  calculado a partir das curvas subtraídas se torna constante a partir da condução pela porta de cima, pois as cargas de inversão começam a se concentrar não mais na interface com o óxido enterrado, mas na interface próxima à porta, então o valor de  $N_{INV}$  deixa de aumentar.

Os resultados confirmam que a mobilidade no BC é superior à mobilidade do FC, devido à melhor qualidade da interface Si-BOX, levando ao aumento na mobilidade total do transistor com o aumento de  $V_B$ . Porém, essa mobilidade elevada do BC sofre degradação conforme  $V_B$  aumenta de 10V até 100V, o que é refletido na redução da mobilidade total. Como já visto, no transistor com  $W_{FIN}=12nm$  as curvas da mobilidade total mostram um crescimento com o aumento de  $V_B$  até cerca de  $V_B=90V$ , com essa mudança de tendência estando relacionada à degradação da mobilidade do canal de baixo com o aumento de  $V_B$ . Porém, devido à alta imunidade do transistor mais estreito à polarização do substrato, essa degradação não é forte o bastante para causar reduções drásticas na mobilidade do transistor com  $W_{FIN}$  de 12nm. Por outro lado, no transistor mais largo, a forte influência do substrato na degradação da mobilidade

do BC faz com que, para altos valores de  $V_B$ , essa mobilidade reduza consideravelmente, levando à degradação da mobilidade total do transistor observada na Figura 47. As causas da degradação da mobilidade do BC com o aumento de  $V_B$  estão ligadas ao alto campo elétrico gerado pelas tensões de substrato elevadas, que maximizam o efeito de fenômenos de espalhamento relacionados ao campo elétrico, como rugosidade de superfície e espalhamento fônon.

Figura 49 – Mobilidade efetiva total e no canal de baixo em função da tensão de porta para nanofios transistores MOS tipo n com variação da polarização de substrato e largura de *fin* de 12 e 22nm



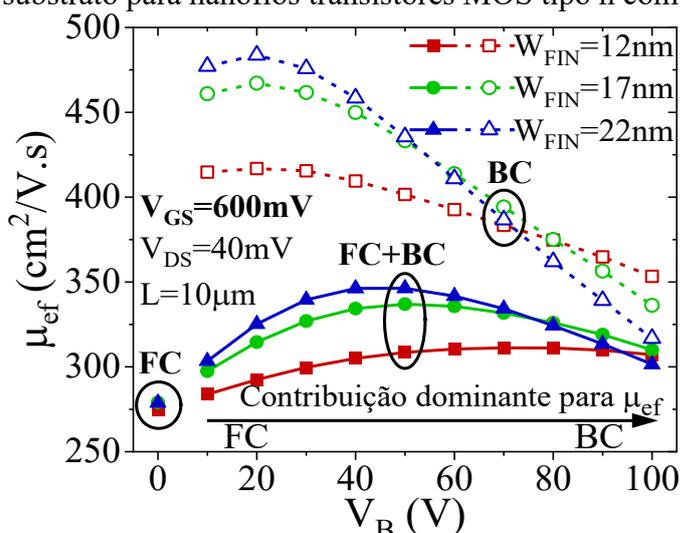
Fonte: Autor

Legenda: Largura de *fin* de 12nm (A) e 22nm (B)

Esses resultados também podem ser visualizados a partir da extração da mobilidade em um valor de  $V_{GS}$  fixo, para cada valor de  $V_B$ , no *fin* inteiro (FC+BC) e apenas no canal de baixo (BC). Na Figura 50 são apresentadas as mobilidades efetivas para cada caso e para as três

larguras de  $fin$ , em  $V_{GS}=600mV$ . Apesar da mobilidade do BC ser significativamente maior do que a mobilidade total e, portanto, maior do que a mobilidade do FC, a redução causada pela polarização do substrato é também mais forte nessa região. Ambas a mobilidade elevada do BC e sua degradação apresentam dependência com a largura de  $fin$ : quanto mais largo o transistor, maior a mobilidade efetiva do BC, porém mais forte é o efeito do substrato na degradação de  $\mu_{ef}$ , fazendo do transistor de  $W_{FIN}=22nm$  aquele com maior mobilidade nessa região e com maior redução desse parâmetro conforme  $V_B$  aumenta de 10 a 100V. Como consequência, a mobilidade total do  $fin$  sofre mais influência do FC em baixos valores de  $V_B$  e uma maior influência do BC conforme  $V_B$  aumenta, conforme indicado pela seta na Figura 50. Esse aumento da contribuição do BC na mobilidade resultante eventualmente se torna responsável pela mudança de tendência observada nos resultados de mobilidade total do  $fin$ .

Figura 50 – Mobilidade efetiva nos canais de topo, de baixo e total em função da tensão de substrato para nanofios transistores MOS tipo n com variação da largura de  $fin$

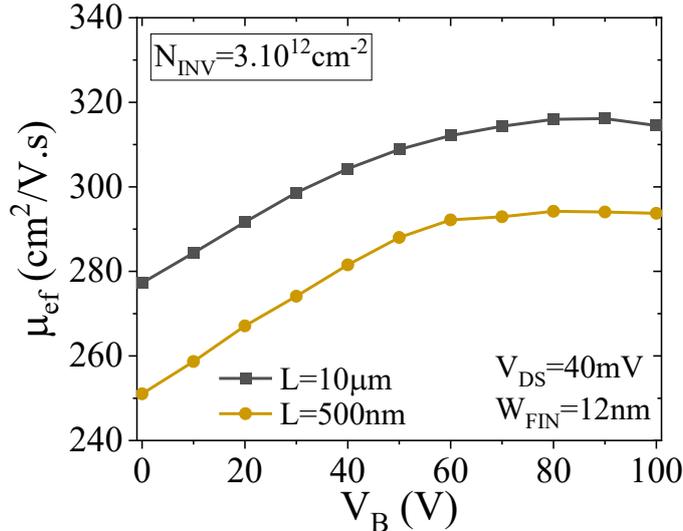


Fonte: Autor

O mesmo estudo foi conduzido em transistores com comprimento de canal de 500nm, para verificar se esse efeito também é observado em dispositivos com canal mais curto. Não foi possível realizar medidas em nanofios com  $L$  menor devido à dificuldade de obter as curvas de capacitância sem forte influência da capacitância parasitária. Para essas medidas foram utilizados apenas transistores com  $W_{FIN}$  de 12nm. A Figura 51 apresenta a comparação da mobilidade efetiva em função de  $V_B$  para nanofios com comprimento de canal de 500nm com o de  $10\mu m$  já apresentado, para  $N_{INV}$  de  $3.10^{12}cm^{-2}$ . Os resultados mostram uma tendência similar de aumento da mobilidade para os dois valores de  $L$ , indicando que a redução no comprimento de canal não alterou a influência da tensão de substrato na mobilidade, mas com

um degrau de redução em  $\mu_{ef}$  de cerca de  $24\text{cm}^2/\text{V.s}$ , para o transistor com  $L=500\text{nm}$ , estando de acordo com os resultados de (TROJMAN; RAGNARSSON; COLLAERT, 2019) para UTBB.

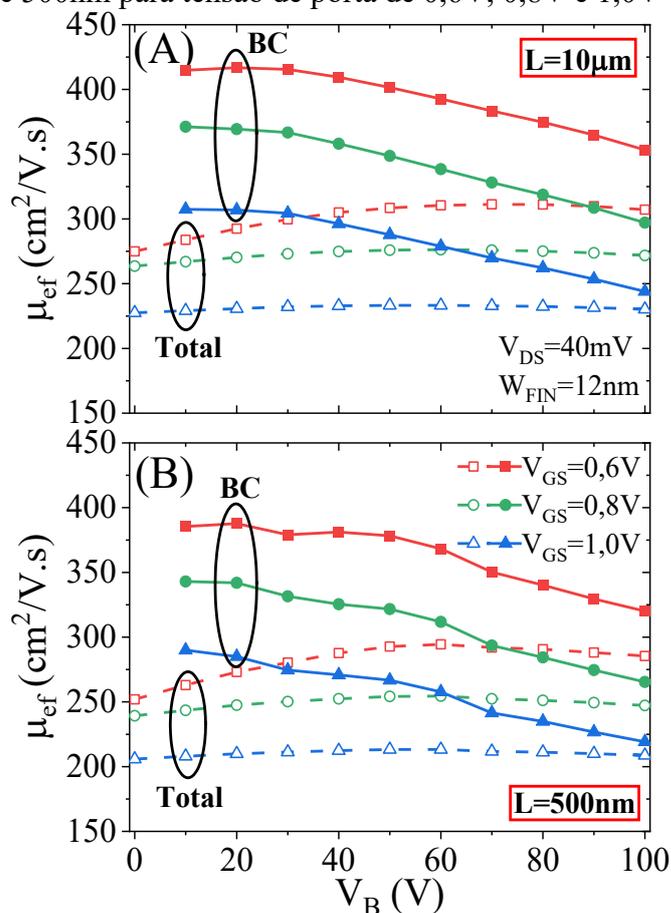
Figura 51 – Mobilidade efetiva em função da tensão de substrato para nanofios transistores MOS tipo n com largura de  $fin$  de  $12\text{nm}$  e comprimento de canal de  $10\mu\text{m}$  e  $500\text{nm}$  para  $N_{INV}$  de  $3 \cdot 10^{12}\text{cm}^{-2}$



Fonte: Autor

Quando a separação da mobilidade foi realizada, foi obtida a mobilidade total do  $fin$  (FC+BC) e a mobilidade no BC para três valores de tensão de porta,  $0,6\text{V}$ ,  $0,8\text{V}$  e  $1,0\text{V}$ , a fim de verificar se o mesmo comportamento é observado em toda a faixa de inversão forte. Os resultados são apresentados na Figura 52 em função da tensão de substrato para ambos os comprimentos de canal de  $10\mu\text{m}$  e de  $500\text{nm}$ . Os resultados obtidos para as três tensões de porta concordam com aqueles observados na Figura 50, com a mobilidade superior do canal de baixo e uma forte degradação com o aumento de  $V_B$ , que faz com que a mobilidade total seja afetada conforme a tensão de substrato se aproxima de  $100\text{V}$ . O mesmo comportamento é verificado para o transistor de canal mais curto, porém com uma variação das curvas menos linear e mais distorcida devido à influência das capacitâncias parasitárias, que afetam as curvas da capacitância subtraída para o cálculo da mobilidade no BC. Por fim, o  $\mu_{ef}$  reduzido no transistor mais curto em relação ao mais longo, visto na Figura 51 para a mobilidade total, também é observado na mobilidade do BC.

Figura 52 – Mobilidade efetiva total e do de baixo em função da tensão de substrato para nanofios transistores MOS tipo n com largura de *fin* de 12nm e comprimento de canal de 10 $\mu$ m e 500nm para tensão de porta de 0,6V, 0,8V e 1,0V



Fonte: Autor

Legenda: Comprimento de canal de 10 $\mu$ m (A) e 500nm (B)

### 3.3 RESULTADOS DE SIMULAÇÃO TCAD

Esta seção apresentará os resultados obtidos através de simulação TCAD tridimensional de dispositivo, realizadas com o intuito de validar as hipóteses sugeridas pelos resultados experimentais de nanofios transistores MOS com polarização do substrato, utilizando os mesmos métodos de extração da mobilidade, assim como analisar os efeitos estudados variando parâmetros geométricos dos dispositivos. Adicionalmente, através de simulações é possível realizar cortes transversais na região de canal do dispositivo para verificar a concentração das cargas de inversão em diferentes regiões de polarização, determinando, assim, a presença dos canais de inversão nas diferentes regiões do *fin*. Com isso, tem-se maior sustentação na justificativa para a degradação da mobilidade em polarização do substrato positiva nos nanofios tipo n. A apresentação dos resultados foi dividida em três subseções: na primeira são apresentados os resultados obtidos em estruturas geradas por simulação de processo, que se

assemelham mais às amostras medidas. A segunda subseção contém simulações em estruturas criadas através do gerador de estruturas do simulador, que apesar de serem menos fiéis às amostras medidas, facilitam a convergência de simulações mais difíceis. A terceira subseção trata de simulações em uma estrutura hipotética de um nanofio semelhante aos dispositivos reais, porém apresentando espessura de óxido enterrado reduzida, sendo dez vezes mais fino do que o das amostras medidas. A Tabela 3 apresenta os parâmetros das estruturas de simulação de nanofios transistores MOS porta- $\Omega$  criadas para realização do estudo.

Tabela 3 – Parâmetros das estruturas de simulação dos nanofios transistores MOS porta- $\Omega$

PARÂMETRO	VALOR(ES)
$t_{\text{BOX}}$	145nm 14,5nm
EOT	1,2nm
$H_{\text{FIN}}$	10nm
$W_{\text{FIN}}$	12nm 17nm 22nm 32nm (apenas na estrutura criada por processo)
L	40nm ( $t_{\text{BOX}}=14.5\text{nm}$ ) 1 $\mu\text{m}$ (estrutura criada por processo) 10 $\mu\text{m}$
Dopagem do canal	$10^{15} \text{ cm}^{-3}$
Dopagem de fonte e dreno	$5 \cdot 10^{20} \text{ cm}^{-3}$
Tipo de transistor	nMOS

Fonte: Autor

### 3.3.1 Simulador

As simulações numéricas foram realizadas por meio do simulador Sentaurus, da Synopsys, com o qual é possível criar estruturas de dispositivos através de uma grade de pontos discreta e simular os efeitos físicos decorrentes da aplicação de polarizações, obtendo-se assim uma análise do comportamento elétrico da estrutura sob diversas condições impostas pelo usuário. As simulações de dispositivo são feitas pelo *Sentaurus Device* (SYNOPSYS, 2021a), cuja solução para cada polarização é encontrada utilizando o método de elementos finitos, em que são resolvidas as equações de continuidade e de Poisson em cada ponto da estrutura. O

Apêndice A apresenta um exemplo de código para simulação de curva de corrente de dreno em função da tensão de porta para um nanofio transistor MOS tipo n.

Para tal, o simulador recebe como entrada um conjunto de modelos analíticos que descrevem os fenômenos físicos presentes na simulação. Esses modelos modificam as equações para incluir, ou não, aspectos específicos do comportamento do dispositivo. Alguns dos principais modelos utilizados são descritos abaixo:

a) *Enormal(Lombardi)*:

Este modelo trata da interação dos portadores de carga com a interface entre semicondutor e isolante quando há aplicação de alto campo elétrico transversal. Com polarização elevada de porta, a influência da interface nas cargas leva à degradação da mobilidade devido a mecanismos de espalhamento, como rugosidade de superfície e fônon acústico (LOMBARDI et al., 1988);

b) *PhuMob*:

O modelo Phillips unificado de mobilidade descreve a mobilidade de baixo campo (KLAASSEN, 1992), incluindo a influência da temperatura e dos fenômenos de espalhamento, como espalhamento fônon e Coulomb, unificando o comportamento desses efeitos para portadores majoritários e minoritários;

c) *HighFieldSaturation*:

Este modelo, proposto por Canali (CANALI et al., 1975) faz com que seja considerada a intensidade do campo elétrico lateral no cálculo da mobilidade dos portadores. Assim, o campo elétrico gerado pelo dreno pode ter seu impacto na mobilidade limitado pela velocidade de saturação;

d) *SRH(DopingDep)*:

O modelo de Shockley-Read-Hall trata dos processos de geração e recombinação de portadores (SHOCKLEY; READ, 1952) com relação aos defeitos na rede cristalina do material. Ao adicionar o modelo *DopingDependence*, a forma como o tempo de vida dos portadores afeta a concentração de dopantes é levada em conta;

e) *Auger*:

Este modelo inclui o efeito de recombinação Auger na simulação. O fenômeno trata da recombinação decorrente da liberação de um elétron, onde a lacuna gerada é ocupada por outro elétron de uma camada eletrônica mais externa (SZE; KWOK, 2007);

f) *BandGapNarrowing(OldSlotboom)*:

O modelo considera a variação da largura da faixa proibida, que sofre estreitamento devido à concentração intrínseca de dopantes e à temperatura (SLOTBOOM; GRAAFF, 1976);

g) *eQuantumPotential/hQuantumPotential*:

O modelo *Density Gradient Quantization* inclui efeitos quânticos na simulação, levando em conta a redistribuição dos portadores através da camada de silício em transistores quanticamente confinados, o que altera parâmetros como densidade de cargas e tensão de limiar.

Os modelos físicos possuem parâmetros de ajuste que podem ser modificados para fazer com que os resultados de simulação alterem sua característica de acordo com os diferentes efeitos físicos que cada modelo descreve. Para se obter uma boa compatibilidade entre as simulações e os resultados experimentais, esse ajuste de parâmetros foi previamente realizado, onde, devido à diferença na mobilidade da orientação cristalográfica das paredes laterais e do topo do *fin*, foi primeiramente medido um transistor de largura e comprimento de canal de 10 $\mu$ m, e com a simulação de uma estrutura com essas mesmas dimensões, foi ajustada a mobilidade da interface de topo do transistor. Com esse valor já bem definido, o ajuste da mobilidade nas paredes laterais foi feito para a estrutura de largura de *fin* nanométrica, caso em que a contribuição das interfaces laterais é mais alta. Em seguida, foram comparados os resultados para os transistores de *fin* mais largo, a fim de verificar se a influência do substrato nas curvas de corrente de dreno apresentava boa compatibilidade com os resultados medidos. O Apêndice B apresenta um exemplo de código dos parâmetros para simulação da curva de corrente de dreno em função da tensão de porta para um nanofio transistor MOS tipo n.

### 3.3.2 Simulações em estrutura gerada por processo

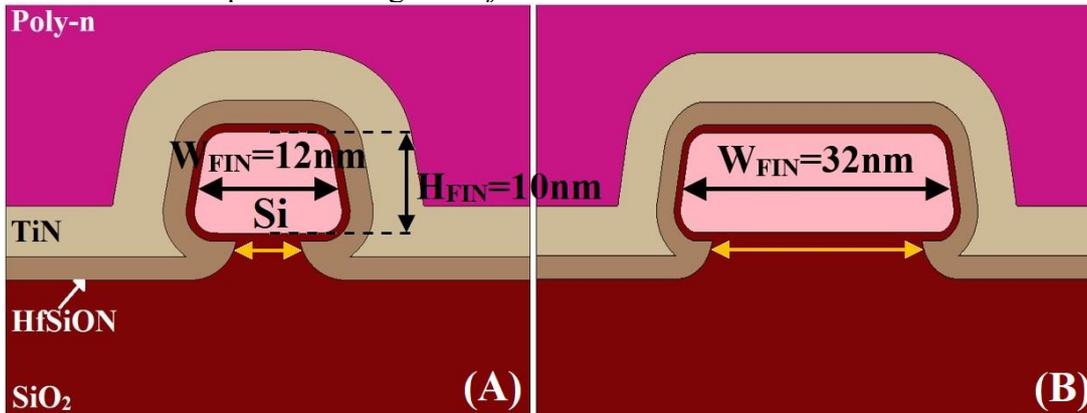
A estrutura de simulação criada a partir do simulador de processo *Sentaurus Process* (SYNOPTIS, 2021b) reproduz as etapas do processo de fabricação de dispositivos. Assim, é possível obter formas mais realistas da geometria dos transistores nos quais a estrutura foi

baseada, através de processos de litografia, corrosão e deposição isotrópicas, implantação de dopantes e outras etapas cuja utilização resulta em características específicas que não são contabilizadas na criação da estrutura por meio de blocos. O Apêndice C apresenta um exemplo de código para criação de uma estrutura de nanofio transistor MOS tipo n através de simulação de processo.

A escolha da utilização deste tipo de simulador de estrutura foi motivada pela necessidade de reproduzir a geometria de porta- $\Omega$  com a corrosão apropriada e com cantos arredondados, o que contribui para uma melhor representação física do *fin* de silício dos nanofios transistores MOS caracterizados. A Figura 53 exibe o corte transversal da estrutura de simulação criada para os transistores mais estreito e mais largo simulados, onde a forma do *fin* foi alcançada através de corrosão anisotrópica da camada de silício inicial com angulação especificada, e os cantos foram arredondados por corrosão do silício, resultando em uma região de canal com formato trapezoidal. O formato de porta- $\Omega$  foi obtido por corrosão isotrópica seletiva do óxido enterrado, com a largura de corrosão definida pelo usuário, seguida de deposição isotrópica dos materiais de porta. O valor da corrosão lateral do *fin* assim como a corrosão da porta- $\Omega$  foram estimados em 18nm e 4,5nm, respectivamente, com base em testes realizados para diversas combinações de ambos os parâmetros, comparando curvas  $I_{DS}-V_{GS}$  simuladas com as curvas experimentais. A área de óxido enterrado em contato com o silício tem impacto direto na influência da polarização de substrato no transistor. Logo, para definir o valor da corrosão da porta- $\Omega$  foram necessários diversos testes com polarização do substrato até chegar ao valor que melhor se ajusta aos resultados experimentais, já que essa informação não é divulgada. Pela Figura 53 é possível perceber que o crescimento da largura de *fin* acarreta uma maior área de contato entre o BOX e o *fin* de silício, contribuindo para um aumento da influência da polarização de substrato, em adição à perda de acoplamento da porta.

Transistores com as mesmas três larguras de *fin* das amostras medidas foram simulados, e uma largura maior foi adicionada para verificar se a influência da largura de *fin* no efeito da polarização do substrato tem continuidade para valores maiores. O comprimento de canal, porém, foi decidido em 1 $\mu$ m, ao invés dos 10 $\mu$ m dos dispositivos medidos, a fim de limitar a quantidade de pontos da estrutura, que é alta devido às diversas formas arredondadas do transistor. Assim, a corrente de dreno nessas simulações é aproximadamente 10 vezes superior à das curvas experimentais. Nesse estudo, foram realizadas simulações para a faixa de tensões de substrato de -100V a 100V com passo de 10V.

Figura 53 – Corte transversal da estrutura de simulação gerada por processo de um nanofio transistor MOS tipo n com largura de  $fin$  de 12nm e 32nm

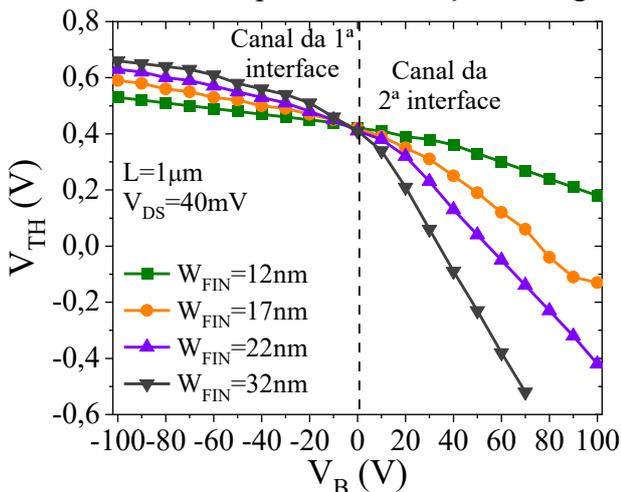


Fonte: Autor

Legenda: Largura de  $fin$  de 12nm (A) e 32nm (B)

Na Figura 54 é apresentada a tensão de limiar em função da tensão de substrato nos nanofios de diferentes larguras de  $fin$  obtidas através das simulações. A variação da tensão de limiar com  $V_B$  apresenta tendências similares às obtidas experimentalmente, com a mudança de inclinação ocorrendo em  $V_B=0V$  e a dependência de  $V_{TH}$  com a polarização do substrato aumentando de acordo com o crescimento da largura de  $fin$ . Essa dependência é reduzida no intervalo de tensões de substrato negativas, que contribuem para aumentar a tensão de limiar do canal próximo à porta, assim como observado nas medidas, conforme a Figura 33.

Figura 54 – Simulações da tensão de limiar em função da tensão de substrato feitas em nanofios transistores MOS tipo n com variação da largura de  $fin$

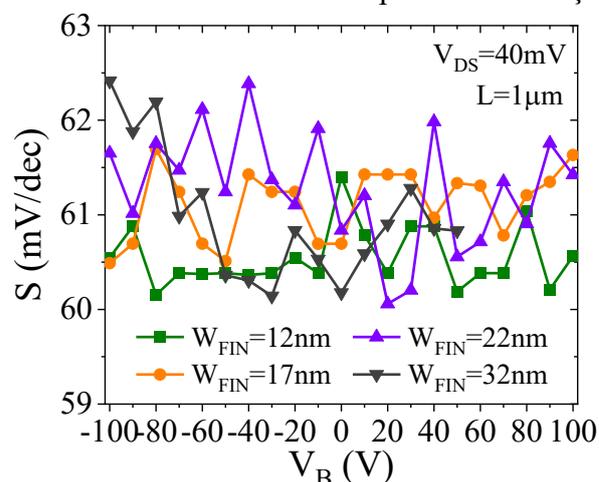


Fonte: Autor

Por outro lado, os resultados de inclinação de sublimiar simulados, exibidos na Figura 55 para os nanofios com as diferentes larguras de  $fin$ , divergem significativamente dos experimentais equivalentes, onde nos experimentos os transistores de 17 e 22nm sofrem

degradação de  $S$  para altos valores de  $V_B$ , causada pela redução no acoplamento eletrostático devido à condução inicial do canal de baixo. Já os resultados de simulação sugerem que a tensão de substrato exerce pouca influência na perda de controle da porta sobre o aumento da corrente de dreno no sublimiar, mesmo havendo ativação do canal de baixo, de acordo com os resultados da tensão de limiar simulados. Isso indica que o controle das cargas pela porta é menos afetado pela polarização do substrato nas simulações do que nos experimentos, o que pode estar relacionado às características de processo desconhecidas que geram divergências entre as estruturas simuladas e as amostras físicas, tais como a largura de  $fin$  efetiva, a corrosão da porta-ômega, a espessura do óxido de superfície e os valores de dopagem de fonte e dreno.

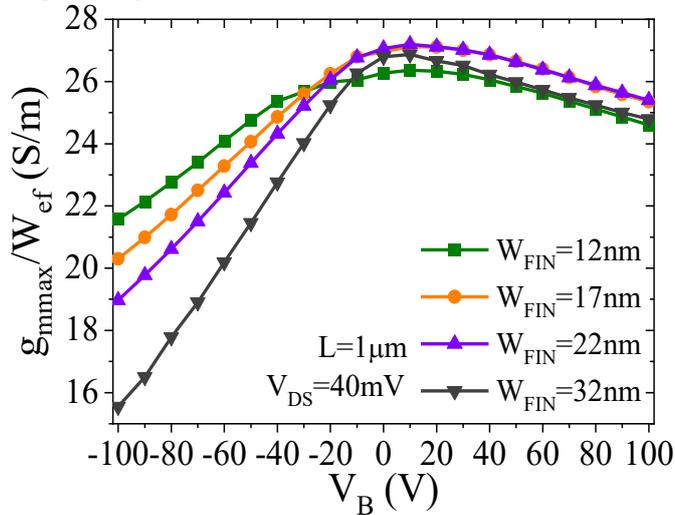
Figura 55 – Simulações da inclinação da sublimiar em função da tensão de substrato feitas em nanofios transistores MOS tipo n com variação da largura de  $fin$



Fonte: Autor

A transcondutância máxima normalizada pela largura efetiva de canal em função da tensão de substrato é exibida na Figura 56 e apresenta boa concordância com as curvas experimentais. A dependência com  $W_{FIN}$  mostra o aumento do campo elétrico proveniente do substrato, no intervalo negativo de  $V_B$ , que causa confinamento dos elétrons na interface próxima à porta, degradando a mobilidade devido ao aumento no espalhamento relacionado ao campo elétrico gerado pela porta. No intervalo positivo de  $V_B$  os resultados mostram que, assim como nas medidas experimentais, a transcondutância e, presumivelmente, a mobilidade apresentam degradação com o aumento da tensão de substrato.

Figura 56 – Simulações da transcondutância máxima normalizada pela largura efetiva em função da tensão de substrato feitas em nanofios transistores MOS tipo n com variação da largura de *fin*

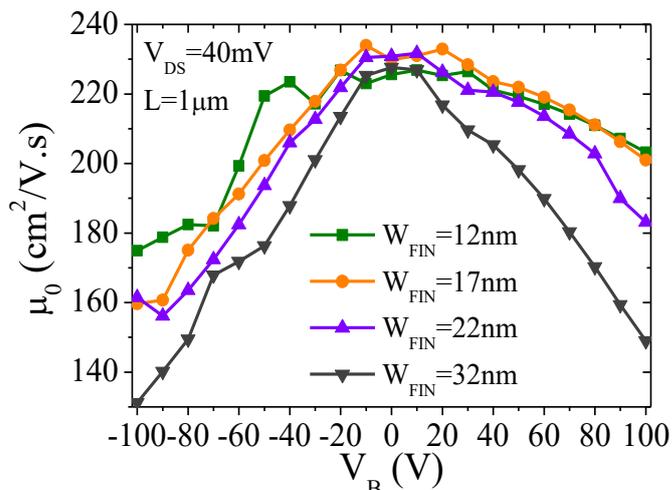


Fonte: Autor

Para os resultados de simulação em estrutura gerada por processo, foi utilizado o método Y-Function de extração da mobilidade, para análise da dependência da mobilidade com  $V_B$  para valores negativos, além de conferir a mudança de tendência nas curvas de mobilidade para tensões de substrato positivas verificada nos resultados experimentais. Isso porque são necessárias apenas simulações de curvas  $I_{DS}-V_{GS}$ , não sendo necessárias simulações de capacitância entre porta e canal, de maior dificuldade de execução nas estruturas criadas por simulação de processo, devido à complexidade da sua grade de pontos, que dificulta a convergência.

Na Figura 57 é apresentada a mobilidade de baixo campo extraída dos resultados de simulação em função da tensão de substrato para as quatro larguras de *fin*. O comportamento para tensões de substrato negativas foi o mesmo obtido experimentalmente, com redução da mobilidade proporcional a  $V_B$ , com uma variação de  $\mu_0$  entre 50 e 95  $cm^2/V.s$ , entre o transistor mais estreito e o mais largo. Para tensões de substrato positivas, as tendências observadas também confirmam a ocorrência do efeito de degradação da mobilidade observada nos resultados experimentais, apenas com menor variação de  $\mu_0$  com  $V_B$ , causando menor degradação da mobilidade conforme a tensão de substrato aumenta até 100V, o que pode estar relacionado às diferenças geométricas na largura de *fin* e na corrosão da porta-ômega entre as estruturas de simulação e as amostras medidas.

Figura 57 – Simulações da mobilidade de baixo campo obtida por Y-Function em função da tensão de substrato feitas em nanofios transistores MOS tipo n com variação da largura de *fin*

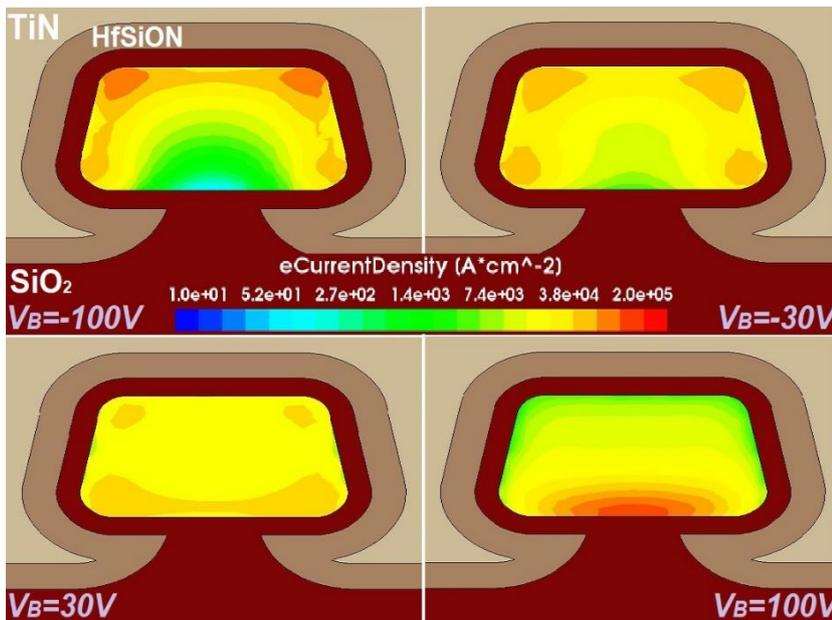


Fonte: Autor

A presença de degradação da mobilidade em tensões de substrato positivas nas simulações dá abertura para uma análise mais aprofundada do comportamento do transistor através de parâmetros cuja observação só é possível por meio de simulação, por meio de cortes na estrutura simulada. Assim sendo, um conjunto de cortes transversais exibindo a densidade de corrente de elétrons no centro do canal do nanofio com  $W_{FIN}$  de 17nm é apresentado na Figura 58 para quatro valores de tensão de substrato, -100V, -30V, +30V e +100V, com a porta polarizada com sobretensão de 200mV. Os resultados para valores de  $V_B$  de -100V e -30V confirmam o confinamento dos portadores no canal de cima, justificando a degradação da mobilidade para polarização negativa do substrato, assim como revelam uma maior concentração de portadores nos cantos, devido ao maior campo elétrico resultante nessa região. Enquanto isso, para as polarizações de substrato positivas, em +30V, nota-se uma distribuição da densidade de corrente em toda a região de canal, porém com maior valor nos cantos e próximo à interface Si-BOX. Essa distribuição se deve à polarização da porta com  $V_{GT}=200\text{mV}$ , ou seja, a tensão de limiar de ambas as interfaces já foi alcançada pela tensão de porta, estando ambos o FC e o BC ativos. O aumento de  $V_B$  para +100V provoca a ativação do BC em tensão de porta muito menor do que a necessária para ativar o FC, devido à forte redução da tensão de limiar do BC provocada pela alta tensão de substrato, estando, portanto, somente o canal de baixo ativo nesse caso. Porém, o comportamento verificado nesses cortes, realizados em baixo  $V_{GT}$ , se modifica ao elevar a porta até o regime de inversão forte, caso em que a eletrostática da porta supera a do substrato, induzindo a formação de regiões de inversão na interface próxima à porta, que coexiste com a da interface próxima ao óxido enterrado, mas que passam a exercer

maior influência nos parâmetros do transistor, como na mobilidade total, como observado nos resultados experimentais da Figura 47(B).

Figura 58 – Simulações da densidade de corrente de elétrons no centro da seção transversal de um nanofio transistor MOS tipo n com largura de *fin* de 17nm para  $V_{GT}$  de 200mV e diferentes tensões de substrato

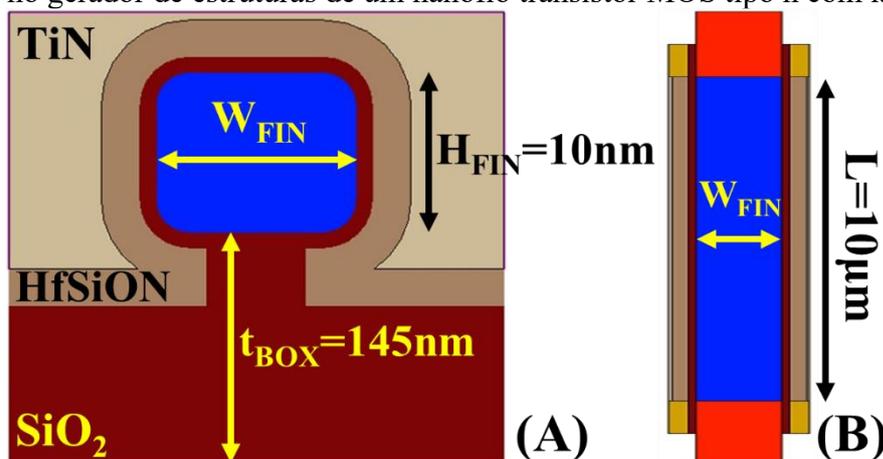


Fonte: Autor

### 3.3.3 Simulações em estrutura criada no gerador de estruturas

A estrutura gerada pelo simulador *Sentaurus Structure Editor* (SYNOPTSYS, 2021c) também foi projetada considerando as características de arquitetura e geometria conhecidas das amostras dos nanofios medidos, incluindo o arredondamento dos cantos do *fin* de silício e o material de porta abaixo do *fin*, responsáveis pelo formato da porta-ômega. A proporção entre a largura do *fin* e a largura da região de BOX em contato com o silício também foi obtida através de comparação com as curvas experimentais para determinar a influência da polarização de substrato na variação da tensão de limiar. Diferentemente da estrutura gerada por simulação de processo, o comprimento de canal dessas estruturas é o mesmo das amostras medidas, de 10 $\mu$ m, porém um conjunto de simulações também foi realizado para transistores com canal curto, com L de 100 e 50nm. A Figura 59 exibe o corte transversal e um corte com vista de topo da estrutura criada no gerador de estruturas para largura de *fin* de 12nm. Com a simplificação dessa estrutura em relação a aquela gerada por processo, foi possível realizar simulações de curvas de capacitância e, portanto, fazer a extração da mobilidade efetiva através do método Split-CV.

Figura 59 – Corte transversal e corte ao longo do comprimento da estrutura de simulação criada no gerador de estruturas de um nanofio transistor MOS tipo n com largura de  $fin$  de 12nm

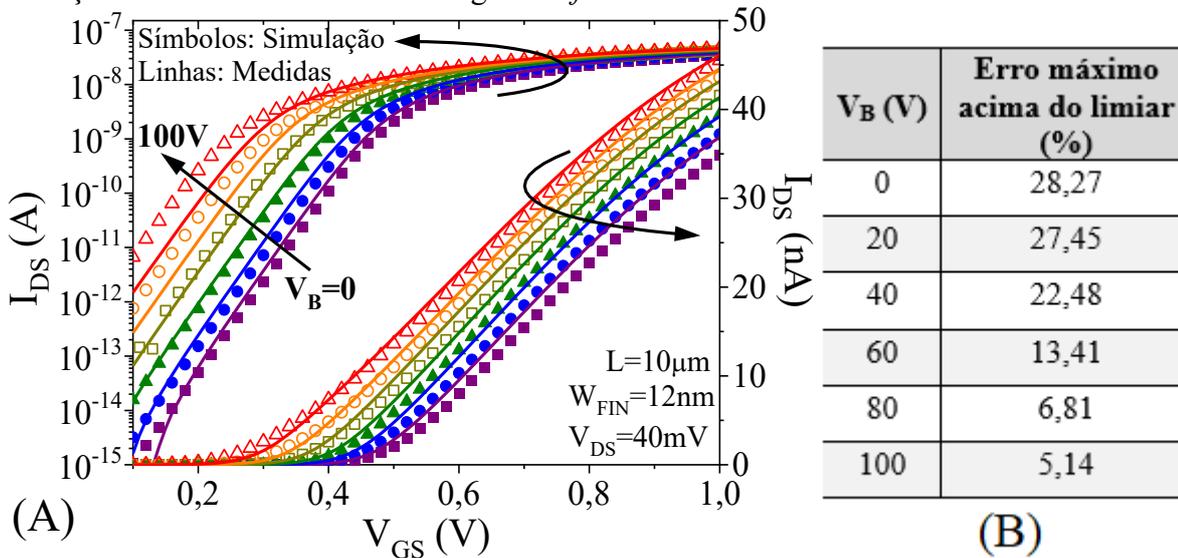


Fonte: Autor

Legenda: Corte transversal (A) e vista de topo (B)

Previamente à execução das simulações foi realizado o ajuste de parâmetros dos modelos físicos para aproximar os resultados simulados das curvas experimentais. Essa aproximação precisava compreender não apenas toda a faixa de tensões de substrato, mas também as três larguras de  $fin$  a serem analisadas. Para o ajuste de parâmetros, foi utilizada uma curva experimental como referência para cada valor de  $W_{FIN}$  e para  $V_B$  de 0 e de 100V. As curvas simuladas correspondentes para cada caso são então comparadas às experimentais e as simulações são refeitas ajustando os diferentes parâmetros de cargas capacitivas, mobilidade e mecanismos de espalhamento, até chegar em um único conjunto que melhor aproxima todas as curvas de referência. Assim, a Figura 60(A) exemplifica o resultado desse ajuste de parâmetros no nanofio com  $W_{FIN}$  de 12nm, mostrando as correntes de dreno experimental e simuladas em função da tensão de porta, em escala linear e logarítmica, para  $V_B$  variando de 0 a 100V com passo de 20V. Na Figura 60(B) é exibido o erro percentual máximo entre os resultados simulados e experimentais, calculado para cada valor de  $V_B$  na região acima da tensão de limiar, mostrando que o maior erro percentual é observado na curva de  $V_B=0\text{V}$ , e que o ajuste da simulação favoreceu a aproximação das curvas com  $V_B$  elevado, com o erro percentual reduzindo com o aumento da tensão de substrato.

Figura 60 – Corrente de dreno experimental e simulada em função da tensão de porta e erro percentual máximo acima da tensão de limiar para um nanofio transistor MOS tipo n com variação da tensão de substrato e largura de *fin* de 12nm



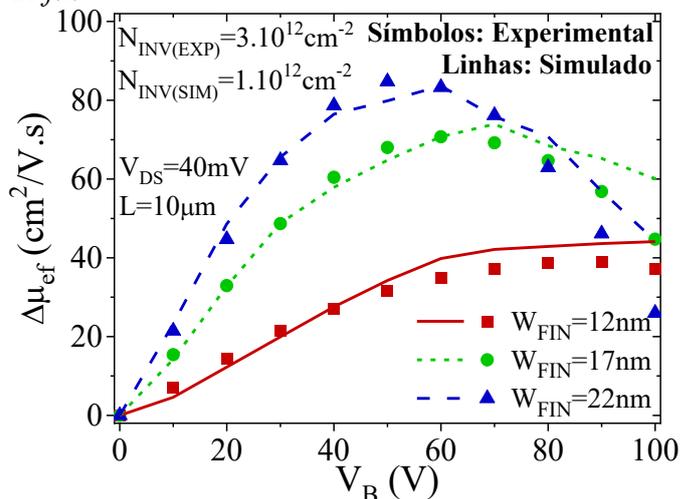
Fonte: Autor

Legenda: Curvas de corrente de dreno em função da tensão de porta (A) e erro percentual acima do limiar (B)

Após o ajuste, foram simuladas as curvas de corrente de dreno e de capacitância entre porta e canal em função da tensão de porta para todo o conjunto de transistores e de tensões de substrato, e foi realizada a extração da mobilidade por Split-CV, com a qual os resultados de  $\mu_{ef}$  foram obtidos para concentração de cargas de inversão de  $1 \cdot 10^{12} \text{cm}^{-2}$ , que equivale ao valor de  $N_{INV}$  de  $3 \cdot 10^{12} \text{cm}^{-2}$  dos resultados experimentais no quesito de ser aproximadamente o valor de pico para todas as curvas. As simulações e os experimentos apresentam um degrau de variação no valor da mobilidade, sendo a mobilidade maior nas simulações do que nos experimentos, o que se deve a menores valores de capacitância simulada em relação à capacitância medida. Os resultados, porém, mostram forte concordância na variação da mobilidade efetiva ( $\Delta\mu_{ef}$ ). Assim, a Figura 61 exibe a comparação entre a variação da mobilidade efetiva obtida nos experimentos e no simulador em função da tensão de substrato para as três larguras de *fin*. Essa variação é calculada usando como referência a mobilidade sem aplicação de tensão no substrato, ou seja,  $\Delta\mu_{ef} = \mu_{ef}(V_B) - \mu_{ef}(V_B=0)$ . O erro percentual máximo entre o  $\Delta\mu_{ef}$  experimental e simulado foi calculado em 15,55% para o transistor com  $W_{FIN}=12\text{nm}$ , 25,5% para  $W_{FIN}=17\text{nm}$  e 41,39% para  $W_{FIN}=22\text{nm}$ , sendo observados na tensão de substrato de 100V. Ainda assim, os resultados indicam que o comportamento observado nos resultados medidos está sendo bem representado pelo simulador, visto que, não apenas a tendência, mas também o aumento da influência de  $V_B$  com o aumento da largura de *fin* está de

acordo com o obtido pelas medidas. Isso aumenta a credibilidade da análise com o simulador para explicar os efeitos físicos observados experimentalmente.

Figura 61 – Variação da mobilidade efetiva obtida experimentalmente e por simulação em função da tensão de substrato para nanofios transistores MOS tipo n com variação da largura de *fin*

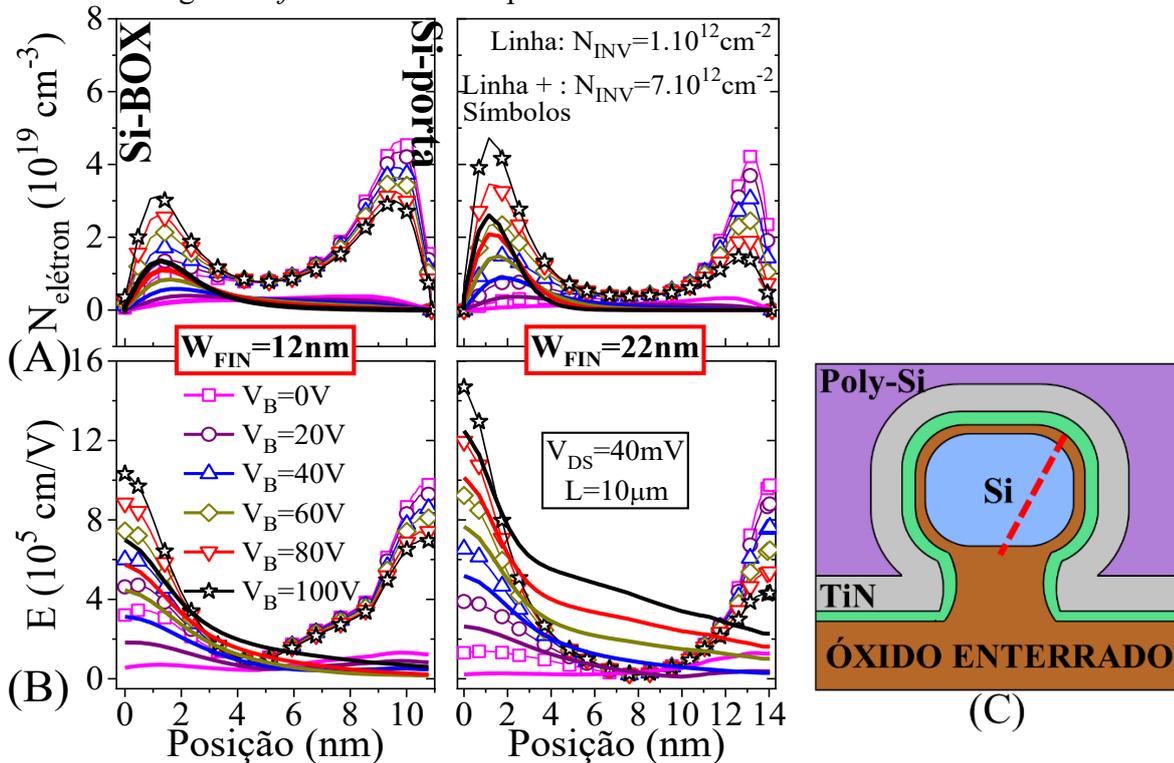


Fonte: Autor

Em seguida, foram realizados cortes no centro da seção transversal do transistor, a fim de examinar o comportamento da densidade de elétrons ( $N_{el\acute{e}tron}$ ) e do campo elétrico ( $E$ ) com a polarização do substrato, em diferentes níveis de  $N_{INV}$ :  $1.10^{12} \text{cm}^{-2}$  representando o valor máximo para a maioria das curvas, e  $7.10^{12} \text{cm}^{-2}$  representando a região de inversão forte. Os cortes foram feitos entre a interface Si-BOX e o canto superior direito do *fin* de silício, conforme indicado na Figura 62(C). Os resultados de  $N_{el\acute{e}tron}$  e  $E$  são apresentados na Figura 62 (A) e (B), respectivamente, em função da posição no corte para transistores com largura de *fin* de 12 e 22nm, onde a posição 0 representa a interface Si-BOX e o outro limite representa a interface do canto superior direito. O efeito de inversão de volume é observado em todos os resultados da densidade de elétrons, em ambas as interfaces, devido às dimensões do transistor serem na faixa de 10nm. Com isso, o pico de  $N_{el\acute{e}tron}$  sempre se localiza a cerca de 1nm de distância das interfaces. As curvas de densidade de elétrons evidenciam a mudança de localização do pico do FC para o BC conforme  $V_B$  aumenta de 0 para 100V. A densidade de elétrons e o campo elétrico menor do transistor mais estreito mostra o menor impacto da polarização de substrato nesses dispositivos. Enquanto isso, nos resultados para  $W_{FIN}=22\text{nm}$ , os altos valores de  $E$  próximo ao BC, em associação com a elevada densidade de elétrons nessa região, justificam a forte degradação da mobilidade sofrida nos transistores mais largos, causada por efeitos de espalhamento relacionados ao campo elétrico, como rugosidade de superfície e espalhamento

fônon. Nos resultados para  $N_{INV}=7.10^{12}cm^{-2}$  (linhas com símbolos), observa-se um aumento de  $N_{el\acute{e}tron}$  e de  $E$  na regi\~{o} pr\~{o}xima \~{a} interface com a porta, em rela\~{c}\~{a}o aos resultados para  $N_{INV}=1.10^{12}cm^{-2}$  (linhas), o que resulta em maior contribui\~{c}\~{a}o do FC na mobilidade total quando o transistor est\~{a} em invers\~{a}o forte, ao contr\~{a}rio da contribui\~{c}\~{a}o predominante do BC em  $N_{INV}$  baixo.

Figura 62 – Simula\~{c}\~{o}es da densidade de el\~{e}trons e do campo el\~{e}trico em fun\~{c}\~{a}o da posi\~{c}\~{a}o no corte no canal feitas em nanofios transistores MOS tipo n com varia\~{c}\~{a}o da polariza\~{c}\~{a}o de substrato e largura de  $fin$  de 12 e 22nm para  $N_{INV}$  de  $1.10^{12}$  e  $7.10^{12}cm^{-2}$



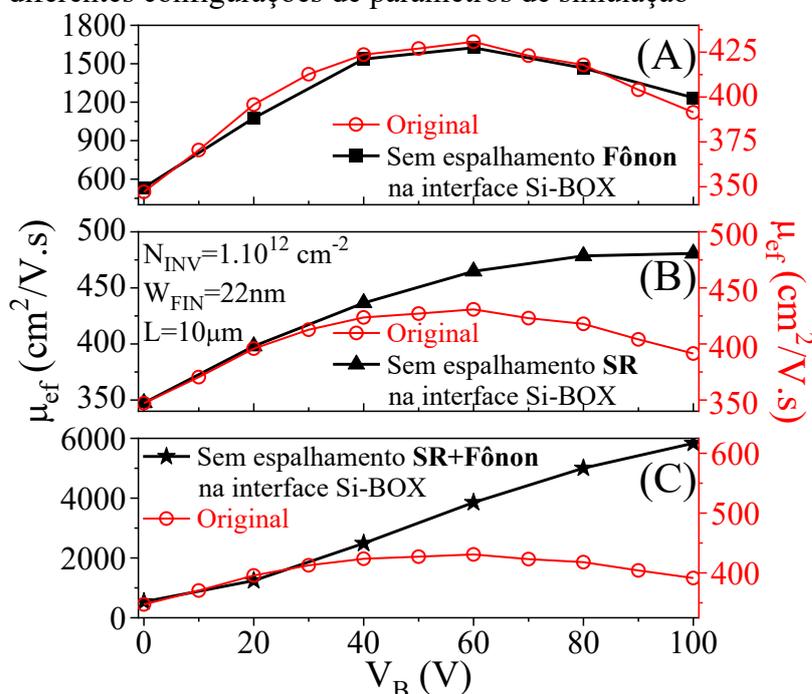
Fonte: Autor

Legenda: Densidade de el\~{e}trons (A) e campo el\~{e}trico (B) Esquem\~{a}tico exibindo a posi\~{c}\~{a}o do corte (C)

Em seguida, a fim de verificar qual o mecanismo de espalhamento predominante na degrada\~{c}\~{a}o da mobilidade devido \~{a} polariza\~{c}\~{a}o do substrato, foram realizadas simula\~{c}\~{o}es removendo da interface Si-BOX os par\~{a}metros de simula\~{c}\~{a}o relacionados a esses mecanismos de espalhamento. Foram considerados os espalhamentos por rugosidade de superf\~{i}cie e a componente 2D do espalhamento f\~{o}non ac\~{u}stico, que \~{e} associada \~{a} influ\~{e}ncia do campo el\~{e}trico pr\~{o}ximo \~{a} interface (SYNOPTSYS, 2021a). A Figura 63 apresenta os resultados da extra\~{c}\~{a}o da mobilidade efetiva em fun\~{c}\~{a}o da tens\~{a}o de substrato para a simula\~{c}\~{a}o do transistor com  $W_{FIN}$  de 22nm em  $N_{INV}=1.10^{12}cm^{-2}$  com os par\~{a}metros originais e sem espalhamento f\~{o}non (A), sem rugosidade de superf\~{i}cie (B), e sem ambos os mecanismos (C), na interface Si-BOX. Quando o espalhamento f\~{o}non foi individualmente removido (A), a depend\~{e}ncia da mobilidade com a

tensão de substrato quase não foi alterada. Já com a remoção individual do espalhamento por rugosidade de superfície (B), a degradação da mobilidade foi fortemente mitigada, apresentando aumento monotônico, porém próximo da mudança de tendência. Finalmente, quando ambos os espalhamentos foram removidos (C), uma tendência quase linear é observada para toda a faixa de tensões de substrato aplicadas. Esses resultados indicam que o principal mecanismo responsável pela degradação da mobilidade é a rugosidade de superfície, com uma contribuição menor do espalhamento fônons.

Figura 63 – Simulações da mobilidade efetiva em função da tensão de substrato feitas em um nanofio transistor MOS tipo n com largura de *fin* de 22nm para  $N_{INV}$  de  $1.10^{12} \text{ cm}^{-2}$  com diferentes configurações de parâmetros de simulação



Fonte: Autor

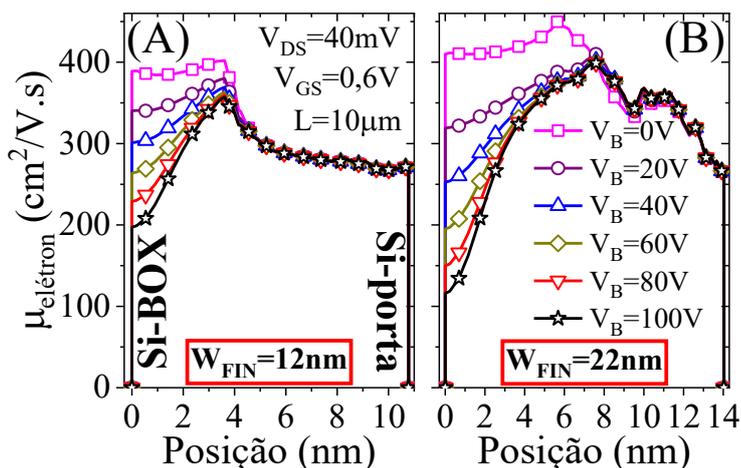
Legenda: Parâmetros originais e sem espalhamento fônons (A), SR (B) e fônons e SR (C) na interface Si-BOX

Como mencionado no método de separação da mobilidade do canal de baixo, para que esse método tenha validade é necessário garantir que a polarização do substrato não provoque nenhuma alteração na mobilidade do FC, tornando válida a subtração da curva de  $V_B=0\text{V}$ , quando só há presença do FC, das curvas com polarização de substrato, em que há presença do BC e do FC simultaneamente, garantindo que após essa subtração restará apenas a mobilidade do canal de baixo.

Com o objetivo de realizar essa validação, foram realizados cortes na mesma posição apresentada na Figura 62(C) exibindo a mobilidade de elétrons para toda a faixa de  $V_B$  em um valor fixo de tensão de porta, para os transistores com  $W_{FIN}$  de 12 e 22nm. Os resultados são

mostrados na Figura 64 em função da posição no corte. Em ambos os dispositivos, foi verificado que a mobilidade na região próxima à interface Si-BOX se modifica conforme a tensão de substrato aplicada aumenta, porém, ao se afastar dessa região, as curvas de mobilidade se unem e assim permanecem até a interface Si-porta. Dessa forma, é possível constatar que a mobilidade no canal de cima não se altera com a variação da tensão de substrato e, portanto, o método para obter a mobilidade do canal de baixo, utilizado nos resultados experimentais, é válido. Adicionalmente, nota-se uma redução da mobilidade do BC com o aumento de  $V_B$ , tendo inicialmente valor maior que a mobilidade do FC. Esses dados colaboram com a justificativa dada para a degradação da mobilidade total com aumento da polarização no substrato.

Figura 64 – Simulações da mobilidade de elétrons em função da posição no corte no canal feitas em nanofios transistores MOS tipo n com variação da polarização de substrato e largura de *fin* de 12 e 22nm para tensão de porta de 0,6V

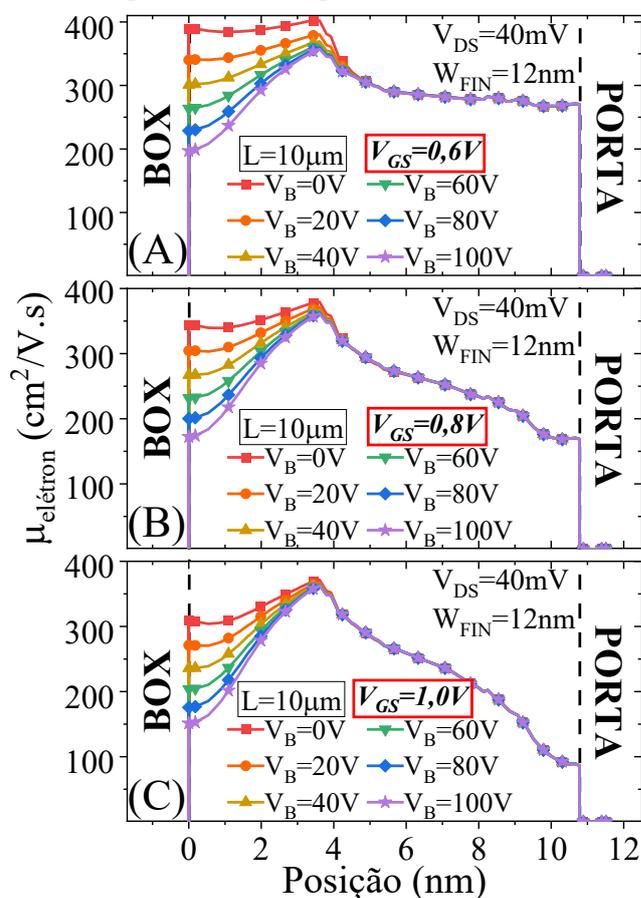


Fonte: Autor

Legenda: Largura de *fin* de 12nm (A) e 22nm (B)

Os resultados anteriores foram obtidos para apenas um valor de tensão de porta. A fim de verificar se o comportamento observado se mantém para outros valores de tensão de porta acima da tensão de limiar, a mesma extração foi realizada para valores de  $V_{GS}$  mais elevados. A Figura 65 apresenta os resultados da mobilidade de elétrons em função da posição no corte para o nanofio com  $W_{FIN}$  de 12nm para tensões de porta de 0,6V, já apresentada, 0,8V e 1,0V. As curvas mostram a consistência do comportamento observado para as três tensões de porta, confirmando que o método de separação da mobilidade no canal de baixo pode ser aplicado também em polarizações de porta mais elevadas.

Figura 65 – Simulações da mobilidade de elétrons em função da posição no corte no canal feitas em um nanofio transistor MOS tipo n com variação da polarização de substrato e largura de *fin* de 12nm para tensão de porta de 0,6, 0,8 e 1,0V

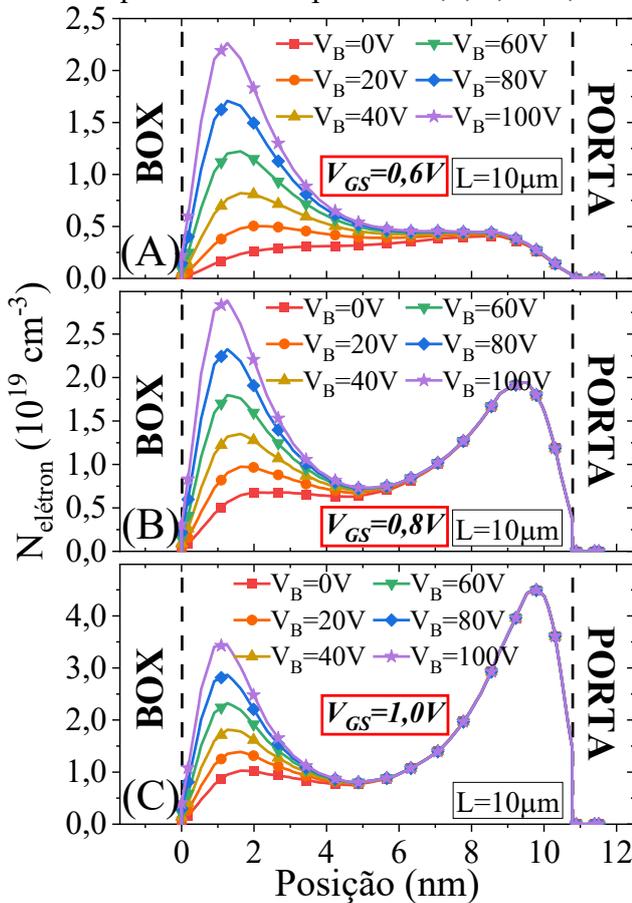


Fonte: Autor

Legenda: Tensão de porta de 0,6V (A), 0,8V (B) e 1,0V (C)

Adicionalmente à extração da mobilidade no corte realizado na estrutura, foi obtida também a densidade de elétrons em função da posição no corte no canal para a faixa de tensões de substrato aplicadas, também para o nanofio com  $W_{FIN}$  de 12nm e tensões de porta de 0,6, 0,8 e 1,0V. Os resultados são mostrados na Figura 66, onde é verificado que, assim como nas curvas de mobilidade, a densidade de elétrons também varia com a tensão de substrato na região do BC, mas conforme se aproxima da interface Si-porta passa a apresentar um valor único para toda a faixa de  $V_B$ , não variando na região do FC. Esse comportamento independe da tensão de porta aplicada. Com o aumento de  $V_{GS}$  também é observado um aumento do pico da densidade de elétrons no FC, se tornando maior que a densidade no BC para  $V_B \leq 60\text{V}$ , em  $V_{GS} = 0,8\text{V}$ , e maior que a densidade de toda a faixa de  $V_B$ , para  $V_{GS} = 1,0\text{V}$ . Isso mostra a predominância do canal da frente na mobilidade total em inversão forte.

Figura 66 – Simulações da densidade de elétrons em função da posição no corte no canal feitas em um nanofio transistor MOS tipo n com variação da polarização de substrato e largura de *fin* de 12nm para tensão de porta de 0,6, 0,8 e 1,0V



Fonte: Autor

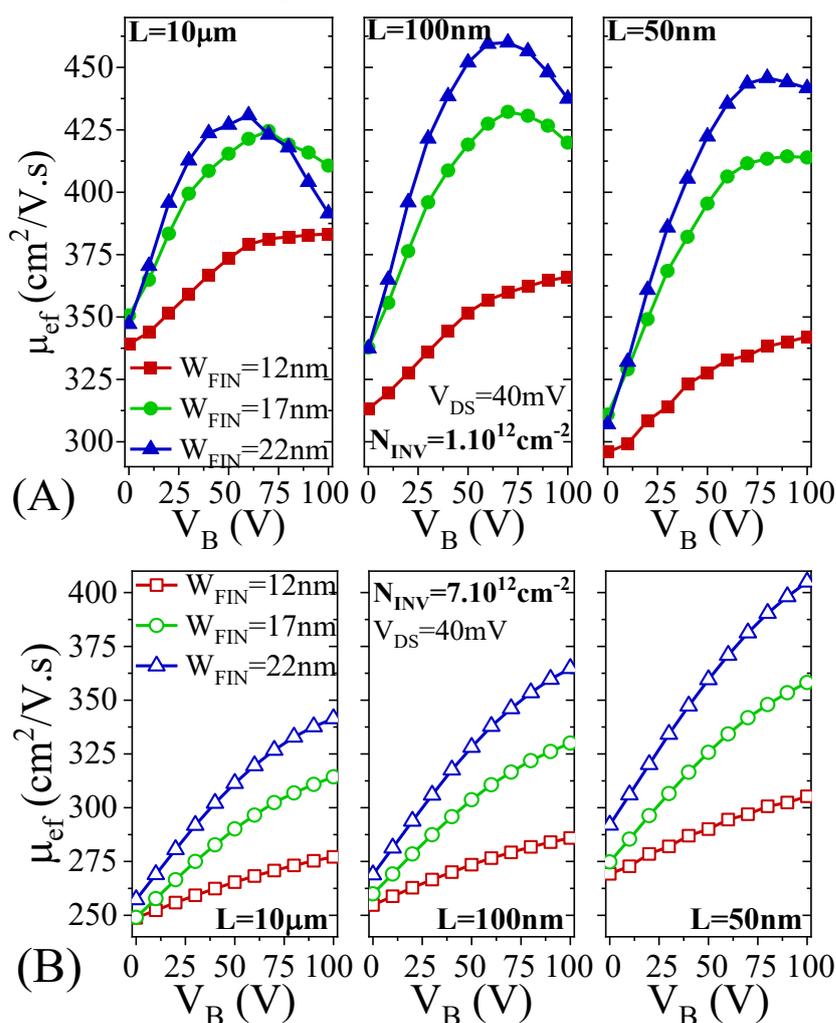
Legenda: Tensão de porta de 0,6V (A), 0,8V (B) e 1,0V (C)

Além das simulações calibradas de nanofios com comprimento de canal de  $10\mu\text{m}$ , estruturas com  $L$  de  $100\text{nm}$  e  $50\text{nm}$  também foram criadas para verificar se há diferenças na variação da mobilidade com  $V_B$  em transistores com canal curto. Como o método Split-CV não remove a influência da resistência série, as curvas de simulação precisaram ser corrigidas para eliminar essa influência das curvas de corrente de dreno por tensão de porta. O método descrito em (MORELLE et al., 2021) foi usado para realizar essa correção e, em seguida, as curvas corrigidas foram usadas para extrair a mobilidade efetiva por Split-CV.

A Figura 67 exibe a comparação das curvas de mobilidade efetiva em função da tensão de substrato para os transistores com  $L$  de  $10\mu\text{m}$ , já apresentada, de  $100\text{nm}$  e de  $50\text{nm}$  para  $N_{\text{INV}}$  de  $1.10^{12}\text{cm}^{-2}$  e  $7.10^{12}\text{cm}^{-2}$ , para as três larguras de *fin*. Nas curvas para  $N_{\text{INV}}=1.10^{12}\text{cm}^{-2}$ , em  $V_B=0\text{V}$  a redução do comprimento de canal causa redução da mobilidade, estando de acordo com os resultados de (TROJMAN; RAGNARSSON; COLLAERT, 2019), reduzindo até 12% para  $L=50\text{nm}$ . Por outro lado, um maior incremento da mobilidade com aumento de  $V_B$  é

observado conforme o canal se torna mais curto, fazendo com que os valores de  $\mu_{ef}$  ultrapassem aqueles para  $L=10\mu\text{m}$ . Além disso, a degradação da mobilidade para tensões de substrato elevadas é mitigada com a diminuição de  $L$ , reduzindo a curvatura nos transistores com  $W_{FIN}$  de 17 e 22nm. Dessa forma, dentre os três dispositivos, o mais curto ( $L=50\text{nm}$ ) é o que apresenta o maior ganho de mobilidade, chegando a 45% de aumento em relação à mobilidade em  $V_B=0\text{V}$ , para o transistor com  $W_{FIN}$  de 22nm. Para  $N_{INV}=7.10^{12}\text{cm}^{-2}$ , os valores menores de mobilidade efetiva estão consistentes com os resultados experimentais para alto  $N_{INV}$ , na Figura 47(B), e são relacionados à inversão forte no FC induzida pela porta, aonde a rugosidade de superfície é predominante. O aumento da tensão de substrato leva a melhora na mobilidade, devido à atração das cargas para longe da interface silício-óxido de porta, reduzindo o espalhamento

Figura 67 – Simulações da mobilidade efetiva em função da tensão de substrato feitas em nanofios transistores MOS tipo n com variação da largura de *fin* e comprimento de canal de 10m, 100nm e 50nm para  $N_{INV}$  de  $1.10^{12}$  e  $7.10^{12}\text{cm}^{-2}$



Fonte: Autor

Legenda:  $N_{INV}$  de  $1.10^{12}\text{cm}^{-2}$  (A) e  $7.10^{12}\text{cm}^{-2}$  (B)

provocado pelo campo elétrico da porta. Com o aumento de  $W_{FIN}$ , o efeito da polarização de substrato se torna mais forte, devido à perda de acoplamento da porta, fazendo com que o ganho de mobilidade seja maior nos transistores mais largos. Assim como em  $N_{INV}$  baixo, a redução de  $L$  aumentou o efeito de  $V_B$  na melhoria da mobilidade, logo, o maior ganho de  $\mu_{ef}$  é observado no transistor com  $L$  de 50nm, para  $W_{FIN}=22\text{nm}$ , alcançando 38,6% de aumento para  $V_B=100\text{V}$  em comparação com o substrato não polarizado.

### 3.3.4 Simulações em estrutura com óxido enterrado fino

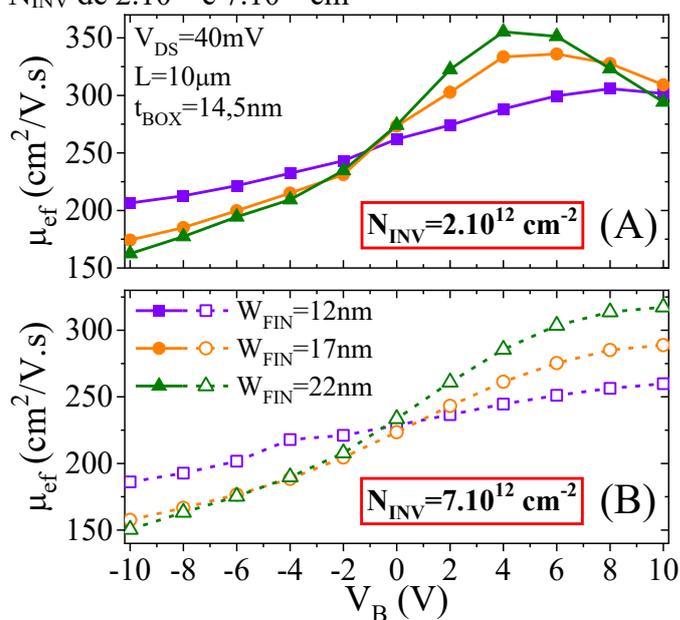
Um dos avanços tecnológicos que tem prosperado em aplicações nanoeletrônicas é alcançado através da redução da espessura do óxido enterrado, com dispositivos como os UTBBs recebendo grande atenção e o uso de camadas de BOX finas se tornando uma opção viável para transistores SOI planares ultra escalados (KILTCHYTSKA et al., 2014; HAN et al., 2021). A degradação da mobilidade com o uso de polarização do substrato já foi observada em transistores UTBB-FDSOI (NIER et al., 2013; BEN-AKKEZ et al., 2013; XU et al., 2012). Como os nanofios transistores MOS medidos apresentam espessura do óxido enterrado de 145nm, a tensão de substrato necessária para modificar significativamente os parâmetros do dispositivo é elevada. Tendo largura de  $fin$  extremamente reduzida e forte acoplamento eletrostático, o efeito da polarização de substrato é baixo em comparação com dispositivos planares com BOX fino, onde uma tensão de substrato de apenas alguns volts é necessária para fazer o ajuste da tensão de limiar. Aplicar tensões de substrato na faixa de dezenas de volts não é uma opção viável para o projeto de circuitos de baixa potência e baixa tensão (LPLV). Assim, foi realizado um estudo de simulação de nanofios criados em uma camada de óxido enterrado fino, para verificar o comportamento dos dispositivos com a aplicação de tensões de substrato baixas.

A estrutura criada para execução desse estudo consiste em transistores nanofios de porta- $\Omega$  com arquitetura idêntica à das simulações de estruturas criadas pelo gerador de estrutura da subseção anterior, que se baseiam nas amostras medidas, porém com uma espessura do BOX dez vezes menor, ou seja, com um  $t_{BOX}$  de 14,5nm. Da mesma forma, a faixa de tensões de substrato foi reduzida em dez vezes, sendo de -10V a 10V com passo de 1V. O comprimento de canal é de 10 $\mu\text{m}$  e as larguras de  $fin$  também foram mantidas, sendo 12, 17 e 22nm.

A Figura 68 apresenta a mobilidade efetiva em função da tensão de substrato extraída dos nanofios com óxido enterrado fino, com variação do  $W_{FIN}$ , obtidas para valores fixos de  $N_{INV}$  de  $2 \cdot 10^{12}\text{cm}^{-2}$  e  $7 \cdot 10^{12}\text{cm}^{-2}$ . No intervalo de tensões de substrato negativas, as curvas

obtidas mostram comportamento semelhante aos resultados anteriores de polarização reversa: o campo elétrico negativo faz com que os portadores minoritários (elétrons) sejam confinados próximo à interface com o óxido de porta, causando aumento no espalhamento de portadores por rugosidade de superfície, levando à degradação da mobilidade. Assim como nos casos anteriores, o aumento da largura de *fin* resulta em maior efeito da polarização de substrato, culminando em maior degradação da mobilidade para transistores mais largos. No intervalo positivo de  $V_B$ , o comportamento para  $N_{INV}=2.10^{12}cm^{-2}$  é similar ao dos nanofios tipo n com espessura do BOX de 145nm em que se aplicou tensão de substrato de até 100V, como os da Figura 61, para resultados experimentais e simulados. Para  $N_{INV}=7.10^{12}cm^{-2}$ , as curvas apresentam comportamento semelhante aos resultados de simulação com BOX espesso para o mesmo valor de  $N_{INV}$ , como na Figura 67(B), para o mesmo comprimento de canal de  $10\mu m$ . Portanto, observa-se que a redução da espessura do óxido enterrado em dez vezes, em combinação com a redução da tensão de substrato em dez vezes, manteve o comportamento observado anteriormente, onde a mobilidade do BC é degradada pela aplicação de  $V_B$ , resultando em degradação da mobilidade total do dispositivo para tensões de substrato altas e em transistores mais largos.

Figura 68 – Simulações da mobilidade efetiva em função da tensão de substrato feitas em nanofios transistores MOS tipo n com óxido enterrado fino e variação da largura de *fin* para  $N_{INV}$  de  $2.10^{12}$  e  $7.10^{12} cm^{-2}$

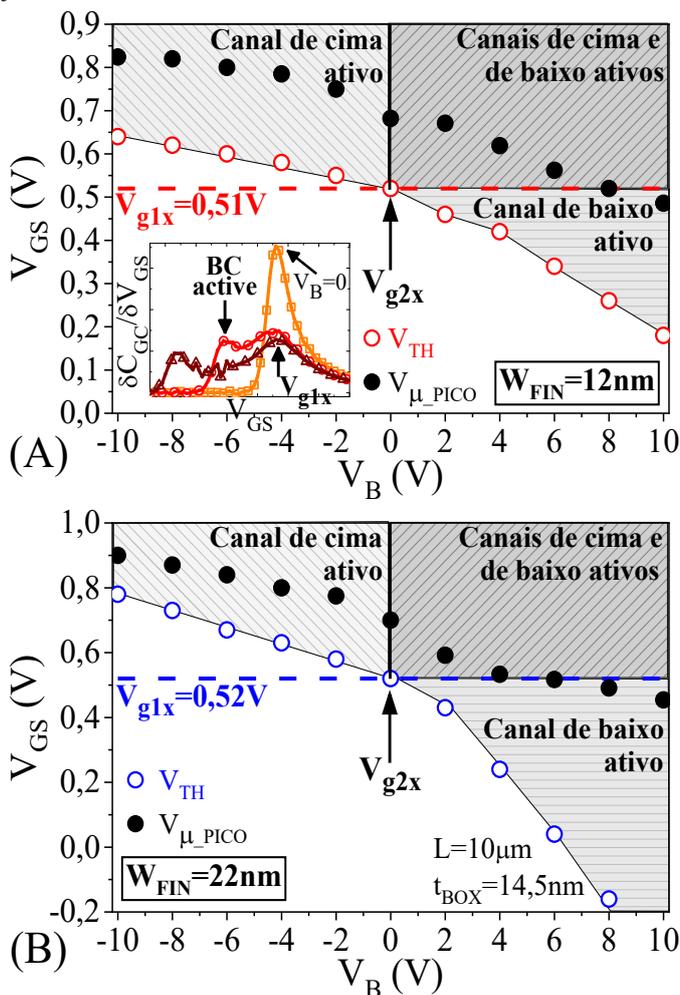


Fonte: Autor

Legenda:  $N_{INV}$  de  $2.10^{12} cm^{-2}$  (A) e  $7.10^{12} cm^{-2}$  (B)

As curvas de capacitância entre porta e canal foram utilizadas para examinar a condução nos canais de cima e de baixo na faixa de polarização do substrato. Como já observado na Figura 45, a presença de dois picos na curva da derivada de  $C_{GC}$  em função da tensão de porta ( $\delta C_{GC}/\delta V_{GS}$ ) indica a ativação do BC, cuja tensão de limiar é variável com  $V_B$ , antes da ativação do FC, cuja tensão de limiar é independente de  $V_B$ . Essa tensão de limiar que ativa o FC recebe o nome de  $V_{g1x}$ , e é obtida no segundo pico da curva  $\delta C_{GC}/\delta V_{GS}$ , equivalendo ao  $V_{TH}$  para  $V_B=0V$ . Para tensões de porta superiores a  $V_{g1x}$ , ambos os canais de baixo e de cima estão simultaneamente ativos. A tensão de substrato para qual isso ocorre é chamada de  $V_{g2x}$ , e é a interceptação de  $V_{TH}$  e  $V_{g1x}$ . Assim, o procedimento descrito em (OHATA et al., 2012) foi usado para obter o perfil de condução dos nanofios. A Figura 69 exhibe o  $V_{TH}$  do transistor, o  $V_{\mu\_PICO}$ , que é a tensão de porta em que ocorre o pico da curva de mobilidade efetiva,  $V_{g1x}$  e

Figura 69 – Simulações dos parâmetros  $V_{TH}$ ,  $V_{\mu\_PICO}$ ,  $V_{g1x}$  e  $V_{g2x}$  em função da tensão de substrato feitas em nanofios transistores MOS tipo n com óxido enterrado fino com largura de *fin* de 12 e 22nm



Fonte: Autor

Legenda: Largura de *fin* de 12nm (A) e 22nm (B)

$V_{g2x}$  em função da tensão de substrato para transistores com  $W_{FIN}$  de 12 e 22nm. O gráfico interno na Figura 69(A) exemplifica as curvas de derivada de  $C_{GC}$  pela tensão de porta, mostrando o primeiro e segundo picos das curvas, responsáveis por ativar o BC e o FC, respectivamente.

Para tensões de substrato negativas, como o BC não está ativo para  $V_B \leq V_{g2x}$ , os valores de pico da mobilidade correspondem à mobilidade no FC somente. Para tensões de substrato positivas, o pico de mobilidade se encontra na região de  $V_{GS}$  em que ambos os canais de cima e de baixo estão ativos ou em inversão fraca ( $V_{GS} \approx V_{g1x}$ ). Para os casos em que  $V_{\mu\_PICO}$  é menor que  $V_{g1x}$ , que ocorre em  $V_B = 10V$  para o  $W_{FIN}$  de 12nm e em  $V_B \geq 8V$  para o  $W_{FIN}$  de 22nm, como o FC não está ativo porque  $V_{GS} < V_{g1x}$ , o pico de mobilidade pode ser atribuído à região onde apenas o BC está ativo.

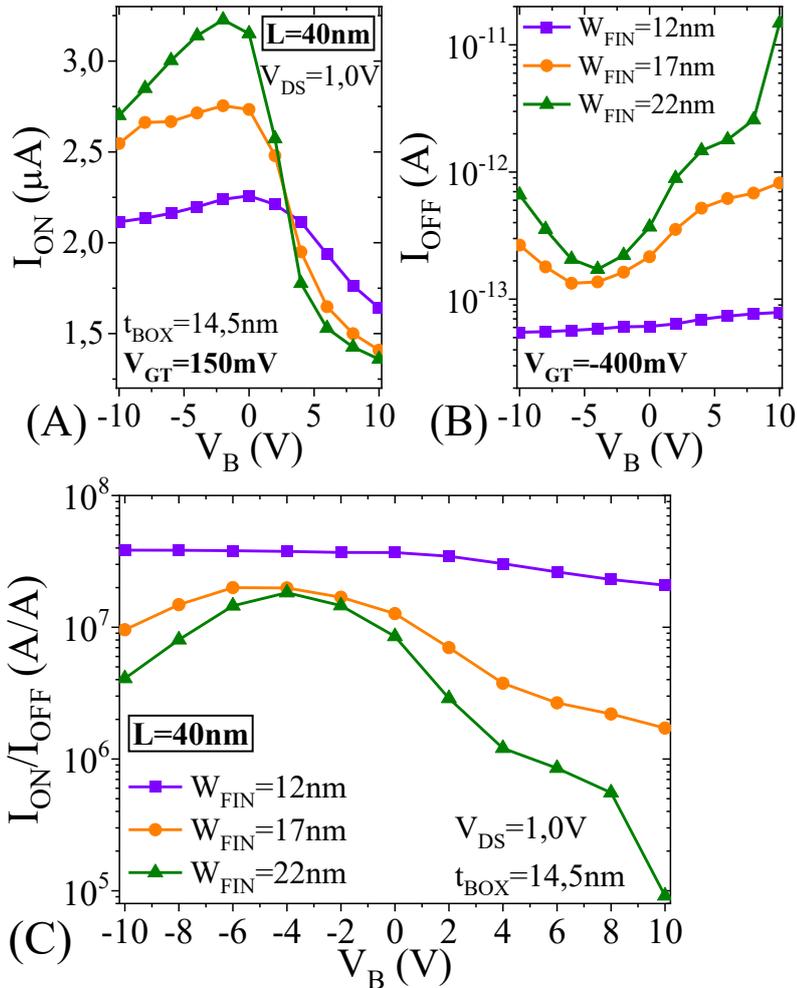
A variação da mobilidade também causa impacto em outras figuras de mérito do dispositivo, algumas delas podendo ser afetadas pela redução do comprimento de canal. Para verificar o impacto da polarização de substrato no desempenho de nanofios com canal curto, uma estrutura com óxido enterrado fino com comprimento de canal de 40nm foi simulada. Esse comprimento de canal foi selecionado por ser o menor valor a apresentar DIBL inferior a 100mV/V e S inferior a 80mV/dec em toda a faixa de  $V_B$  aplicada e para as três larguras de *fin*. Os primeiros parâmetros analisados foram a corrente de saturação ( $I_{ON}$ ), corrente de desligamento ( $I_{OFF}$ ) e a razão entre as correntes de saturação e desligamento ( $I_{ON}/I_{OFF}$ ). A corrente  $I_{ON}$  foi considerada como aquela em que  $V_{GT} = 150mV$ , enquanto  $I_{OFF}$  foi considerada como aquela em que  $V_{GT} = -400mV$ . A tensão de dreno aplicada foi  $V_{DS} = 1,0V$ .

Os resultados das correntes de saturação e de desligamento são apresentados em função da tensão de substrato na Figura 70 para as três larguras de *fin*. As curvas de  $I_{ON}$  mostram uma tendência de redução com o aumento de  $V_B$  tanto no intervalo negativo como no positivo, com a variação máxima estando entre 1,79 $\mu A$ , para o transistor mais largo, e 620nA, para o mais estreito. Essa variação é, porém, de baixa magnitude em comparação com o aumento observado em  $I_{OFF}$  causado pela polarização do substrato, que no caso mais extremo chega a ser da ordem de duas décadas. A variação em  $I_{OFF}$  se deve à degradação da inclinação de sublimiar, que faz com que a corrente abaixo do limiar tenha uma transição lenta para o estado desligado conforme  $V_B$  aumenta. Para o transistor mais estreito, como não há variação significativa em S, devido ao forte acoplamento eletrostático, é observada uma baixa variação de  $I_{OFF}$  com  $V_B$ .

Devido ao forte aumento de  $I_{OFF}$  com  $V_B$  em relação à baixa redução de  $I_{ON}$ , quando a razão entre as correntes de saturação e desligamento é calculada, a redução observada na Figura 70(C) para o intervalo positivo de  $V_B$  é majoritariamente atribuída à degradação da corrente de

desligamento, e não à redução da corrente de saturação. Da mesma forma, para  $V_B < -4V$  o aumento de  $I_{OFF}$  é responsável pela redução em  $I_{ON}/I_{OFF}$  para os dois transistores mais largos.

Figura 70 – Simulações das correntes de saturação e desligamento e a razão entre elas em função da tensão de substrato feitas em nanofios transistores MOS tipo n com óxido enterrado fino com variação da largura de *fin* e comprimento de canal de 40nm



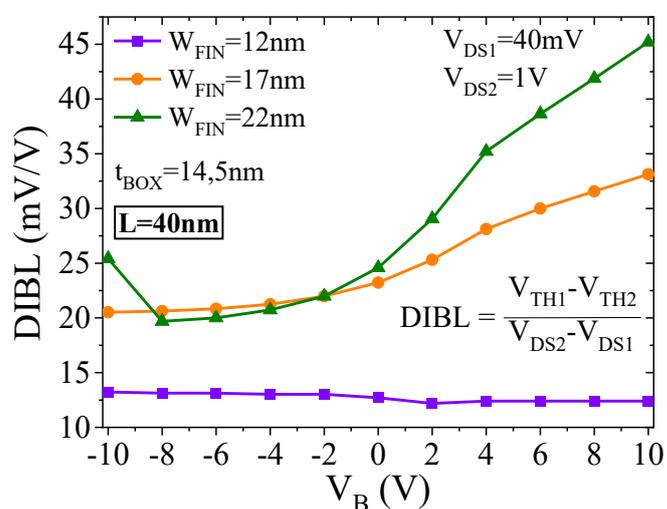
Fonte: Autor

Legenda: Corrente de saturação (A), corrente de desligamento (B) e razão entre as correntes de saturação e desligamento (C)

Outra figura de mérito analisada foi a redução de barreira induzida pelo dreno (DIBL), apresentada na Figura 71 em função da tensão de substrato para transistores com as três larguras de *fin* e comprimento de canal de 40nm. Devido ao controle inicial do BC pelo substrato, em inversão fraca, o controle da porta sobre as cargas é reduzido quando polarização de substrato positiva é aplicada em transistores tipo n, levando a um aumento no DIBL (RITZENTHALER et al., 2006). Além disso, outro efeito pode também causar degradação do DIBL com o aumento de  $V_B$ , causado pelo aumento no valor de  $V_{DS}$ : O campo elétrico induzido pelo dreno pode aumentar o potencial de superfície da interface Si-BOX, reduzindo a tensão de limiar do BC, o

que causa aumento no DIBL (RITZENTHALER et al., 2006). Esse efeito está relacionado ao fenômeno de polarização virtual do substrato induzida pelo dreno (DIVSB) descrito na seção 2.5. Para dispositivos com maior largura de *fin*, em que as cargas de inversão se distribuem ao longo da interface Si-BOX, o efeito se torna ainda mais relevante. Assim como na corrente de desligamento, devido ao melhor controle das cargas no canal e à menor área de contato entre o dreno e a região de canal, o transistor mais estreito não apresentou variação significativa no DIBL.

Figura 71 – Simulações da redução de barreira induzida pelo dreno em função da tensão de substrato feitas em nanofios transistores MOS tipo n com óxido enterrado fino com variação da largura de *fin* e comprimento de canal de 40nm



Fonte: Autor



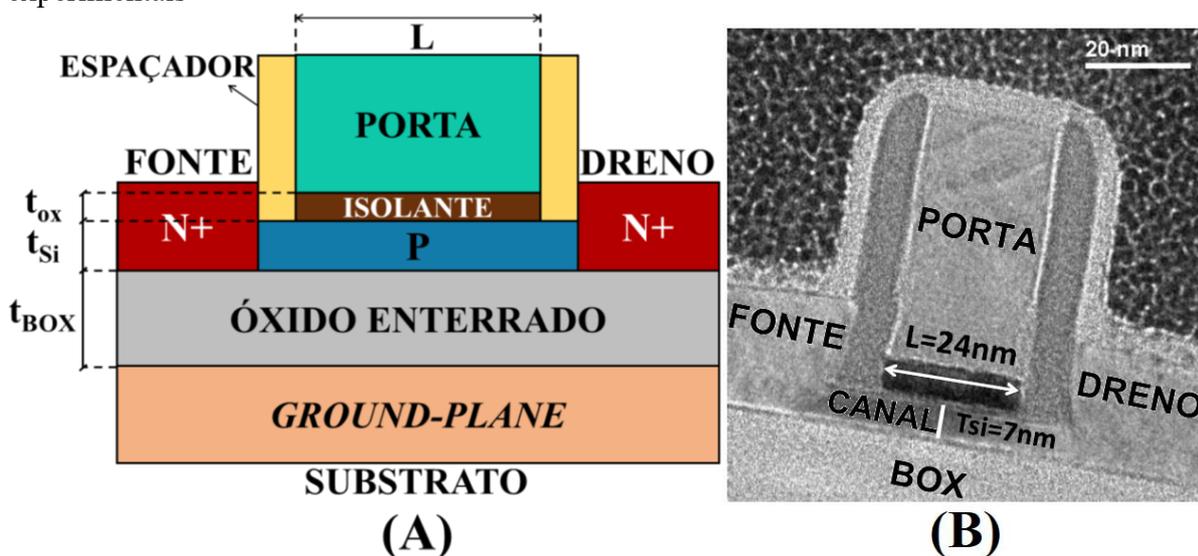
## 4 INFLUÊNCIA DA REDUÇÃO DA TEMPERATURA DE OPERAÇÃO NO AUTOAQUECIMENTO EM TRANSISTORES SOI PLANARES

Neste capítulo serão apresentados os resultados experimentais da extração do autoaquecimento em transistores SOI planares com tecnologia de 28nm. Na primeira seção são extraídos os parâmetros elétricos básicos dos transistores analisados em temperatura ambiente e em baixas temperaturas. A apresentação dos resultados de autoaquecimento foi dividida de acordo com o estudo realizado: a segunda e terceira seções tratam da análise em temperatura ambiente, onde na segunda seção é analisado o autoaquecimento com polarização de substrato, enquanto na terceira é analisado o acoplamento térmico, com estruturas especiais para essa finalidade. A quarta seção trata da análise com variação da temperatura de operação, reduzida até a faixa criogênica. Essa seção foi dividida de acordo com o método de aquisição dos dados usado nas medidas experimentais: as medidas foram inicialmente feitas em provador criogênico e, posteriormente, foi usado o método *dip-stick* para redução da temperatura por imersão de amostras encapsuladas em cilindro de hélio líquido, cuja metodologia é detalhada na subseção 4.4.2.

Os dispositivos medidos foram fabricados pela STMicroelectronics em lâminas SOI com 25nm de espessura do óxido enterrado (PLANES et al., 2012). A espessura final da região ativa é de 7nm, resultando em alto controle dos efeitos de canal curto. Implantação do *ground-plane* foi realizada para ajuste da tensão de limiar, resultando em dois tipos de dispositivos: um com tensão de limiar regular (*Regular-V<sub>TH</sub> – RVT*) e um com tensão de limiar reduzida (*Low-V<sub>TH</sub> – LVT*). Todas as amostras medidas apresentam a característica LVT do *ground-plane*. Em relação ao isolante de porta, materiais *high-κ* foram utilizados, aliados a um material de porta *midgap*, para gerar dois valores de espessura efetiva do óxido de porta (EOT): os transistores GO1 (*Gate Oxide 1*) apresentam EOT de 1,1nm, sendo estruturas para polarização de porta e de dreno baixas, até cerca de 1V. Já os transistores GO2 (*Gate Oxide 2*) apresentam EOT de 3,2nm, sendo estruturas para polarizações mais elevadas, sendo aplicadas durante as medidas tensões de até 2V. Os dispositivos apresentam comprimento de canal variado, com valores de 30nm a 450nm, assim como largura de canal variada, com valores de 300nm até 10μm, mas o foco principal foi dado aos transistores com menor L, de 30nm e maior W, de 10μm, caso em que a dissipação térmica é mais elevada. A Figura 72 apresenta um esquemático e uma imagem TEM da seção longitudinal de um transistor FD SOI tipo n. Além disso, alguns dispositivos apresentam múltiplos transistores em paralelo, para aumento da corrente de saída e para análise do acoplamento térmico entre as portas. Transistores tipo p e n foram caracterizados. As

amostras apresentam também a estrutura de porta de dois contatos para extração do autoaquecimento pelo método da termometria de porta, apresentado na seção 2.7 e com esquemático exibido na Figura 28.

Figura 72 – Esquemático e imagem TEM do transistor FD SOI planar utilizado nas medidas experimentais

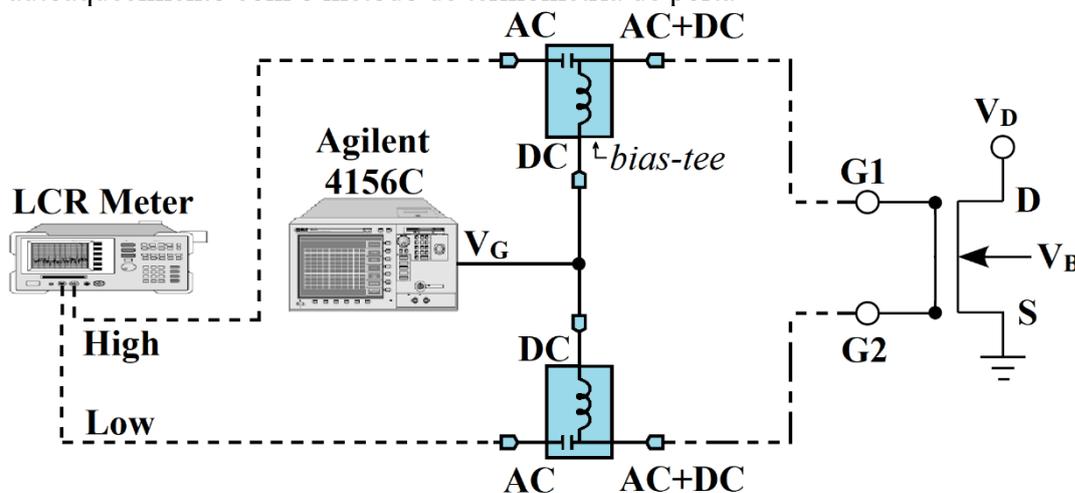


Fonte: Autor e autor “adaptado de” PLANES et al., 2012, p. 134

Legenda: (A) Esquemático e (B) imagem TEM

As medidas elétricas foram realizadas no Agilent 4156C Precision Semiconductor Parameter Analyzer (AGILENT TECHNOLOGIES, 2009), para a caracterização de curvas de corrente, e no Agilent E4980A Precison LCR Meter (KEYSIGHT TECHNOLOGIES, 2015b), para obtenção da resistência elétrica. A configuração utilizada para realização das medidas de autoaquecimento usando o método de termometria de porta é apresentada na Figura 73. Ambos os contatos de porta devem ser polarizados com a tensão de porta (sinal DC) e com o sinal AC proveniente do LCR Meter para obtenção da resistência elétrica de porta. Para unir ambos os tipos de sinal, foram utilizados *bias-tee*, que são componentes constituídos de um capacitor e um indutor, que unem os sinais AC e DC, tendo como saída um único sinal AC+DC. O sinal DC da polarização de porta é o mesmo para os dois contatos de porta, enquanto os sinais provenientes do LCR Meter são divididos em dois canais, um com sinal alto (*High*) e um com sinal baixo (*Low*), cada um sendo aplicado a um dos contatos de porta, G1 e G2.

Figura 73 – Esquemático da configuração usada para realização das medidas de autoaquecimento com o método de termometria de porta



Fonte: Autor

Para medida da resistência de porta é configurado um valor de amplitude do sinal AC, que foi mantido em 40mV, e uma frequência. O valor de frequência deve ser escolhido com base na escala dos valores de resistência elétrica a serem medidas. Os dispositivos apresentam resistência de porta entre 1k $\Omega$  e 10k $\Omega$ , dependendo das dimensões do canal, e, para essa faixa, uma frequência de 400kHz garante uma medida da resistência com suficiente precisão, devido à diminuição da impedância capacitiva. A redução do valor de frequência resulta em perda de precisão na medida, principalmente em valores de resistência menores. Ou seja, quanto menor a resistência maior a frequência necessária para garantir uma boa extração.

#### 4.1 PARÂMETROS ELÉTRICOS BÁSICOS DOS DISPOSITIVOS

Anteriormente à extração do autoaquecimento nos transistores FD SOI planares, foi realizada uma análise dos parâmetros elétricos básicos dos dispositivos, como a tensão de limiar, a inclinação de sublimiar e a transcondutância máxima, evidenciando o bom comportamento elétrico e a integridade eletrostática dessa tecnologia, tanto em temperatura ambiente, sem o uso de polarização do substrato como artifício para controle do  $V_{TH}$ , quanto com redução da temperatura do ambiente, até 4,2K.

A Tabela 4 apresenta os parâmetros elétricos básicos extraídos do conjunto de transistores que foram medidos em temperatura ambiente, incluindo dispositivos tipo n e p com EOT tipo GO1 e GO2. Os transistores nMOS apresentam  $V_{TH}$  entre 0,35 e 0,4V e a inclinação se manteve abaixo de 80mV/dec, enquanto nos pMOS um S máximo de 86,47mV/dec foi obtido para o transistor de canal mais curto (30nm), devido ao aumento dos efeitos de canal curto. O

valor de transcondutância máxima depende das dimensões do dispositivo, sendo maior nos transistores tipo n devido à maior mobilidade dos portadores.

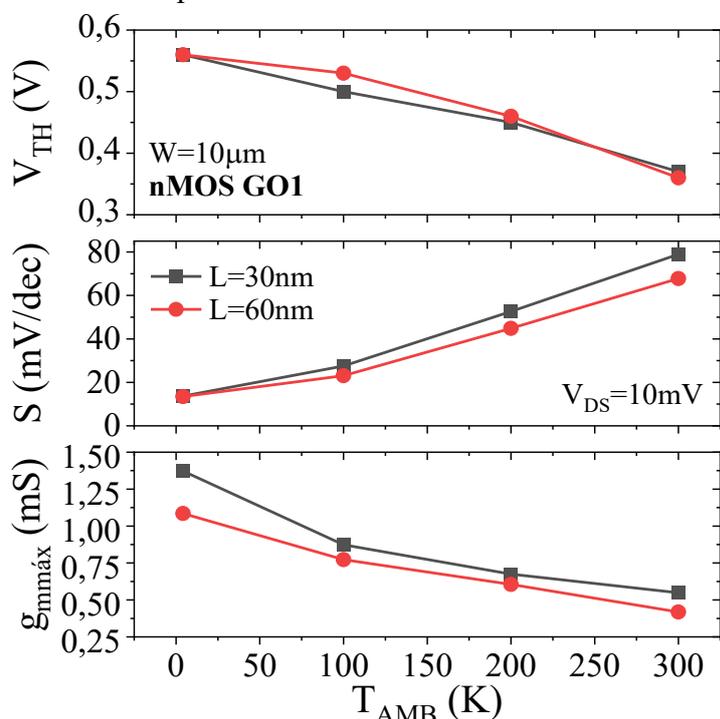
Tabela 4 – Tensão de limiar, inclinação de sublimiar e transcondutância máxima normalizada pela largura de canal extraídos dos transistores FD SOI planares tipo n e p, GO1 e GO2 medidos em temperatura ambiente

GO1		nMOS			pMOS		
W ( $\mu\text{m}$ )	L (nm)	V <sub>TH</sub> (V)	S (mV/dec)	g <sub>mmáx</sub> /W ( $\mu\text{S}/\mu\text{m}$ )	V <sub>TH</sub> (V)	S (mV/dec)	g <sub>mmáx</sub> /W ( $\mu\text{S}/\mu\text{m}$ )
10	60	0,35	68,20	43,52	-0,49	69,40	16,64
	200	0,39	64,70	21,23	-0,53	64,30	6,71
5	30	0,37	77,67	44,81	-0,45	86,47	19,3
GO2		nMOS			pMOS		
W ( $\mu\text{m}$ )	L (nm)	V <sub>TH</sub> (V)	S (mV/dec)	g <sub>mmáx</sub> /W ( $\mu\text{S}/\mu\text{m}$ )	V <sub>TH</sub> (V)	S (mV/dec)	g <sub>mmáx</sub> /W ( $\mu\text{S}/\mu\text{m}$ )
5	150	0,37	69,59	13,92	-0,53	70,94	3,53

Fonte: Autor

Na Figura 74 são apresentados os parâmetros elétricos básicos em função da temperatura do ambiente, que foram extraídos dos transistores nMOS GO1 com W=10 $\mu\text{m}$  e L de 30 e 60nm, medidos no provador de baixa temperatura nos valores de T<sub>AMB</sub> de 4,2, 100, 200 e 300K. A redução da temperatura do ambiente causa aumento na tensão de limiar e redução na inclinação de limiar, cujo valor máximo em 300K é de 78,93mV/dec, chegando em T<sub>AMB</sub>=4,2K ao valor de 13,69mV/dec. Um aumento também é observado na transcondutância máxima com a redução da temperatura devido ao aumento da mobilidade.

Figura 74 – Tensão de limiar, inclinação de sublimiar e transcondutância máxima em função da temperatura do ambiente nos transistores FD SOI planares tipo n GO1 medidos no provador de baixa temperatura

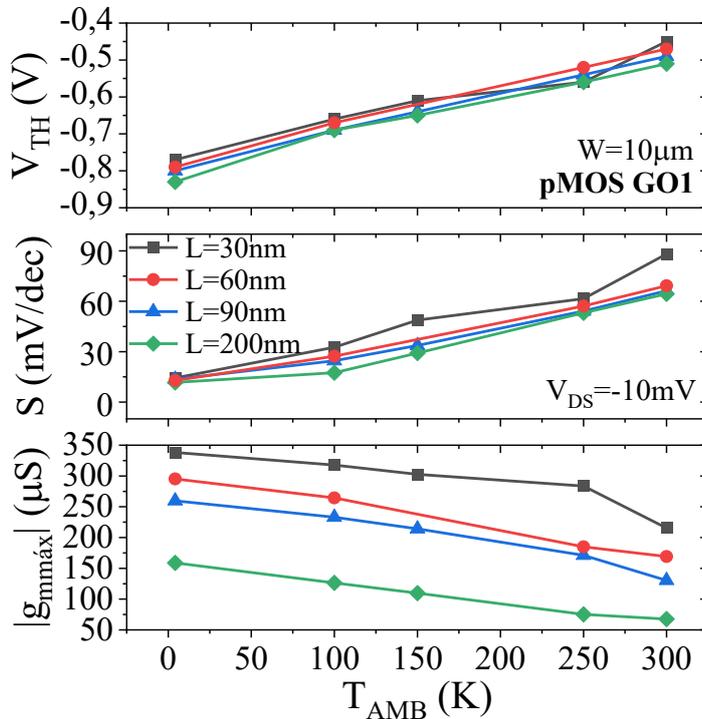


Fonte: Autor

Legenda: Tensão de limiar (A), inclinação de sublimiar (B) e transcondutância máxima (C)

Os parâmetros elétricos dos transistores pMOS GO1 também foram extraídos e são apresentados na Figura 75 em função da temperatura do ambiente, para dispositivos com  $W=10\mu\text{m}$  e variação de  $L$  entre 30 e 200nm medidos no provador de baixa temperatura. De forma análoga, a redução da temperatura em transistores tipo p reduz o  $V_{TH}$ , alcançando um valor mínimo de  $-0,83\text{V}$  em  $T_{AMB}=4,2\text{K}$ . A inclinação de sublimiar possui um valor máximo de  $88,16\text{mV/dec}$  na temperatura de  $300\text{K}$  no transistor de canal mais curto. Esse valor é reduzido a  $14,34\text{mV/dec}$  em  $4,2\text{K}$ . A variação de  $L$  leva a uma ampla faixa de valores de  $g_{mmax}$ , com o aumento da mobilidade devido à redução da temperatura também resultando em aumento da transcondutância máxima.

Figura 75 – Tensão de limiar, inclinação de sublimiar e transcondutância máxima em função da temperatura do ambiente nos transistores FD SOI planares tipo p GO1 medidos no provador de baixa temperatura

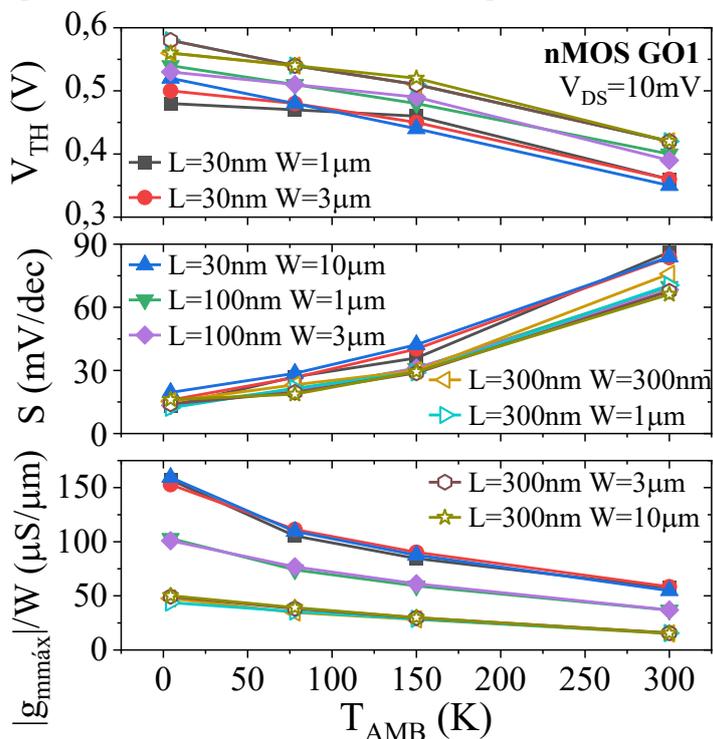


Fonte: Autor

Legenda: Tensão de limiar (A), inclinação de sublimiar (B) e transcondutância máxima (C)

A Figura 76 apresenta os parâmetros elétricos básicos extraídos dos transistores FD SOI nMOS GO1 medidos com o método *dip-stick* em  $T_{AMB}$  de 4,2, 78, 150 e 300K. As amostras apresentam uma variedade de larguras e comprimentos de canal, com L de 30, 100 e 300nm e W de 300nm, 1, 3 e 10 $\mu m$ . Considerando que os transistores apresentam mesma arquitetura e parâmetros construtivos dos dispositivos tipo n apresentados anteriormente, o comportamento elétrico deles também é o mesmo: o  $V_{TH}$  varia entre 0,35 e 0,58V com a redução da temperatura e a inclinação de sublimiar tem máximo de 86,2mV/dec em 300K e um mínimo de 13,15mV/dec em 4,2K. Os transistores com menor comprimento de canal apresentam maior transcondutância máxima normalizada pela largura de canal e maior aumento com a redução da temperatura.

Figura 76 – Tensão de limiar, inclinação de sublimiar e transcondutância máxima normalizada pela largura de canal em função da temperatura do ambiente nos transistores FD SOI planares tipo n GO1 medidos com o método *dip-stick*

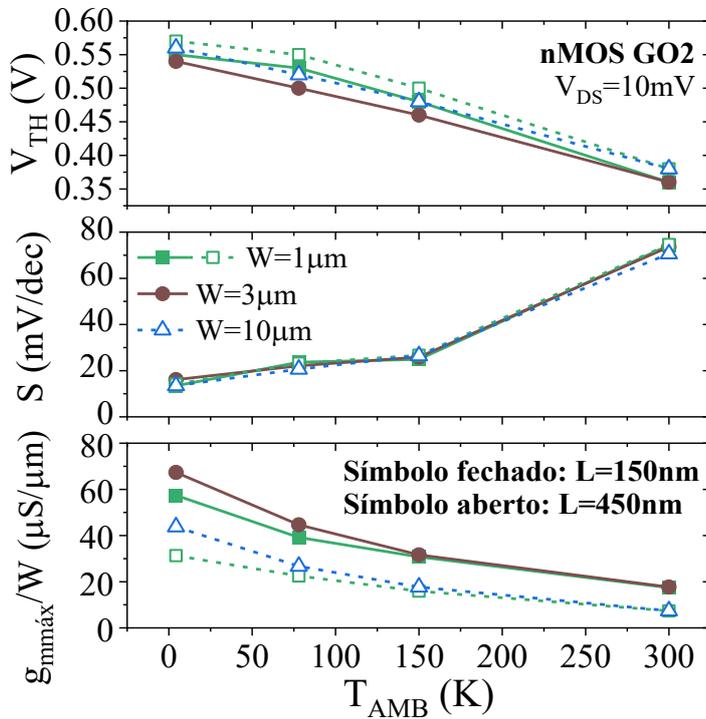


Fonte: Autor

Legenda: Tensão de limiar (A), inclinação de sublimiar (B) e transcondutância máxima normalizada pela largura de canal (C)

Por fim, os transistores FD SOI planares tipo n GO2 foram medidos e seus parâmetros elétricos básicos extraídos e apresentados na Figura 77 em função da temperatura do ambiente. Apesar dos valores de  $L$  diferentes dos transistores GO1, as características elétricas mantiveram comportamento semelhante, sem presença de efeitos de canal curto nesses dispositivos, devido aos comprimentos de canal maiores de 150 e 450nm. O máximo valor de  $S$  em  $T_{AMB}$  de 300K é de 74,62mV/dec, sendo reduzido a 13,47mV/dec na temperatura mínima.

Figura 77 – Tensão de limiar, inclinação de sublimiar e transcondutância máxima normalizada pela largura de canal em função da temperatura do ambiente nos transistores FD SOI planares tipo n GO2 medidos com o método *dip-stick*



Fonte: Autor

Legenda: Tensão de limiar (A), inclinação de sublimiar (B) e transcondutância máxima normalizada pela largura de canal (C)

#### 4.2 AUTOAQUECIMENTO COM POLARIZAÇÃO DO SUBSTRATO

Para o estudo do autoaquecimento com polarização do substrato, foram aplicadas tensões que induzissem a condução no canal, ou seja, tensões positivas em transistores nMOS e tensões negativas em transistores pMOS. Além da análise em temperatura ambiente (298K), foram feitas medidas em temperaturas mais elevadas, chegando a 373K. Apenas transistores GO1 (óxido de porta fino, EOT=1,1nm) foram utilizados para esse conjunto de medidas. As características dos dispositivos medidos nesse estudo são apresentadas na Tabela 5.

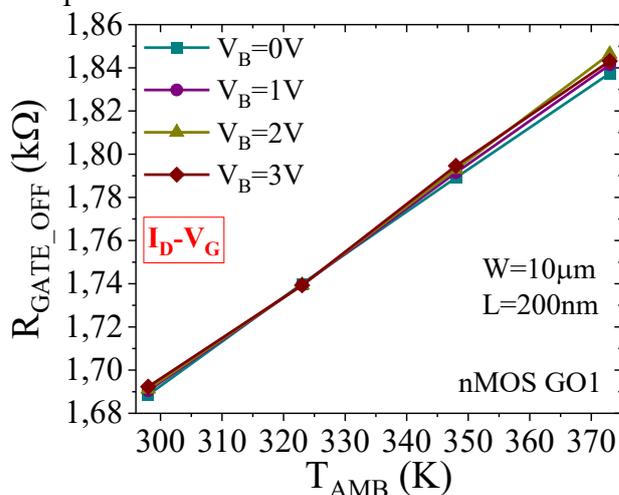
Tabela 5 – Parâmetros dos transistores FD SOI planares medidos para extração do autoaquecimento com polarização do substrato

PARÂMETRO	VALOR(ES)
EOT	<b>GO1</b>
	1,1nm
L	60nm
	200nm
W	10 $\mu$ m
t <sub>si</sub>	7nm
t <sub>BOX</sub>	25nm
Tipo de transistor	nMOS e pMOS
<i>Ground-Plane</i>	LVT

Fonte: Autor

Além de permitir a verificação da influência da temperatura do ambiente, o aumento de  $T_{AMB}$  foi feito para obter a taxa de variação da resistência de porta com a temperatura, conhecida como a curva de calibração. A Figura 78 exibe essas curvas de calibração, ou seja, curvas da resistência de porta com o transistor desligado em função da temperatura do ambiente, com tensão de substrato variando entre 0 e 3V, com passo de 1V, em um transistor nMOS GO1 com  $W=10\mu\text{m}$  e  $L=200\text{nm}$ . Devido ao estado desligado do transistor, a polarização do substrato não causou variação na resistência de porta obtida, assim, os resultados apresentam a mesma taxa

Figura 78 – Resistência de porta de estado desligado em função da temperatura do ambiente para um transistor FD SOI planar tipo n GO1 com variação da tensão de substrato e comprimento de canal de 200nm

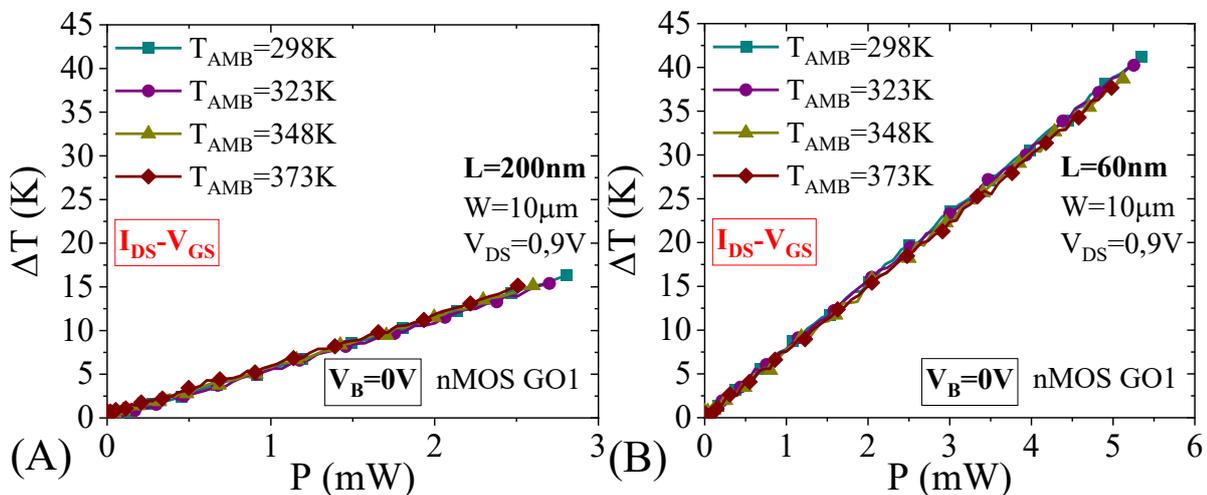


Fonte: Autor

de variação da resistência de porta com a temperatura ( $\delta R_{\text{GATE\_OFF}}/\delta T_{\text{AMB}}$ ), de aproximadamente  $2\Omega/\text{K}$ .

Na Figura 79 são apresentados os resultados obtidos da variação da temperatura, provocada pelo autoaquecimento, em função da potência dissipada para transistores nMOS GO1 com  $W$  de  $10\mu\text{m}$  e  $L$  de 200 e 60nm, com variação da temperatura ambiente, obtidos a partir de curvas  $I_{\text{DS}}-V_{\text{GS}}$  realizadas com  $V_{\text{DS}}=0,9\text{V}$ . Os resultados mostram que a variação da temperatura, elevada em até 75K acima da temperatura ambiente (298K), não teve impacto significativo no aumento da temperatura causado pelo autoaquecimento. Isso ocorre porque em temperaturas elevadas a resistência térmica dos dispositivos é quase constante, como mostrado na Figura 30, ou seja, não há diferença na variação da temperatura com a potência dissipada nessa faixa de  $T_{\text{AMB}}$ . Assim, apenas uma pequena diferença, de no máximo 1,2K para o transistor mais longo e 3,6K para o mais curto, é observada na temperatura final atingida entre os diferentes valores de  $T_{\text{AMB}}$  devido à pequena redução da corrente de dreno, causada pelo aumento de  $T_{\text{AMB}}$ , que faz com que a potência dissipada seja menor.

Figura 79 – Variação da temperatura em função da potência dissipada para transistores FD SOI planares tipo n GO1 com variação da temperatura do ambiente e comprimento de canal de 200 e 60nm



Fonte: Autor

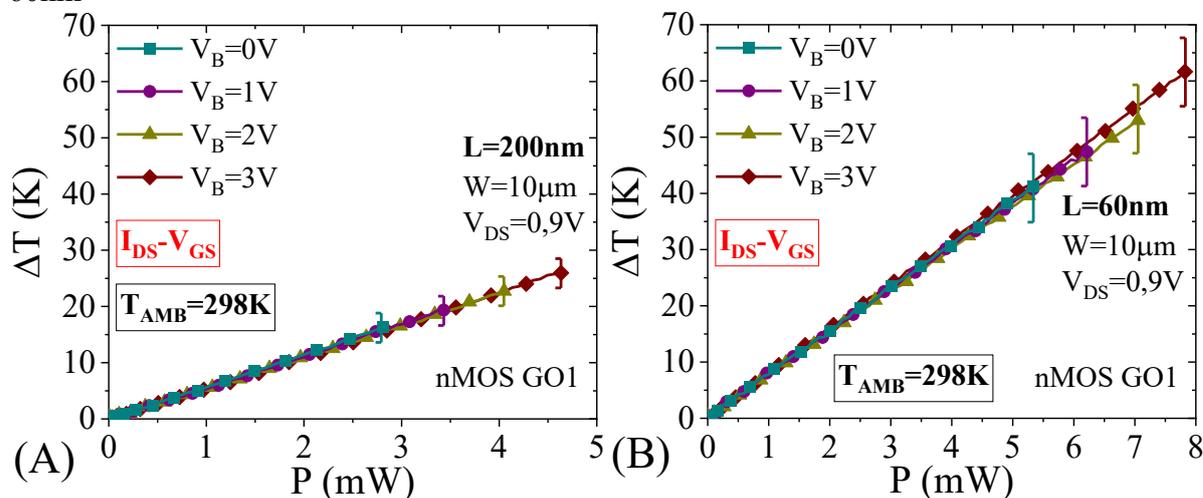
Legenda: Comprimento de canal de 200nm (A) e 60nm (B)

Com relação ao comprimento de canal, é verificado um forte aumento no autoaquecimento no transistor com canal mais curto, chegando a um  $\Delta T$  de 43K, para o transistor com  $L$  de 60nm, em relação ao  $\Delta T$  de 16K para o transistor com  $L$  de 200nm. Isso se deve à maior corrente de dreno dos transistores com canal curto, que faz com que a potência dissipada seja maior e, com isso, um aquecimento maior do dispositivo é verificado. Além disso, para mesma potência dissipada, os transistores com  $L = 60\text{nm}$  apresentam aumento de

temperatura ligeiramente maior que os transistores com  $L=200\text{nm}$ , ou seja, maior inclinação da curva de  $\Delta T$  vs.  $P$ , o que mostra que o autoaquecimento é maior nos transistores mais curtos, devido à maior dificuldade de dissipar calor em dispositivos com menor área de canal.

Com a obtenção de curvas  $I_{DS}-V_{GS}$  com variação da tensão de substrato, um comportamento semelhante foi observado. A Figura 80 exibe a variação de temperatura em função da potência dissipada em transistores nMOS GO1 com  $W=10\mu\text{m}$  e  $L$  de 200 e 60nm, obtidas a partir de curvas  $I_{DS}-V_{GS}$  feitas em temperatura ambiente para diversas tensões de substrato. Assim como o aumento da temperatura ambiente, a polarização do substrato não modificou a inclinação das curvas  $\Delta T$  vs.  $P$ , ou seja, os dispositivos apresentam resistência térmica independente de  $V_B$ . O único efeito causado pela polarização do substrato foi na redução da tensão de limiar e, com isso, para mesma polarização de porta, os dispositivos em que foi aplicado maior  $V_B$  apresentaram maior corrente de dreno, logo maior potência dissipada, resultando em maior aumento da temperatura, alcançando em  $V_B=3\text{V}$  um máximo de 26K para  $L=200\text{nm}$ , e 61,6K para  $L=60\text{nm}$ .

Figura 80 – Variação da temperatura em função da potência dissipada para transistores FD SOI planares tipo n GO1 com variação da tensão de substrato e comprimento de canal de 200 e 60nm



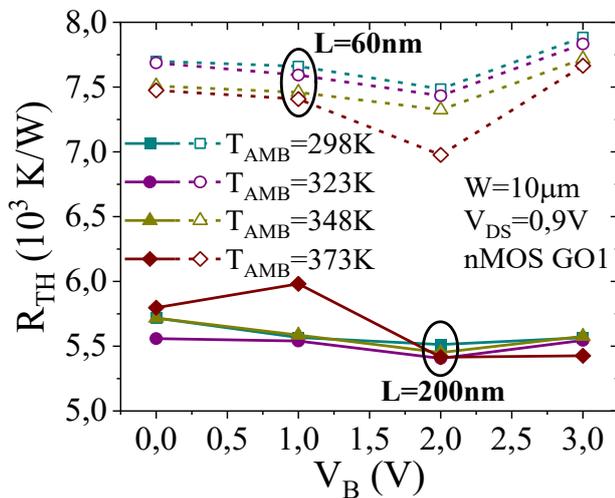
Fonte: Autor

Legenda: Comprimento de canal de 200nm (A) e 60nm (B)

Na Figura 81 são apresentados os resultados da resistência térmica em função da tensão de substrato para as temperaturas do ambiente testadas, em transistores nMOS GO1 com  $W$  de  $10\mu\text{m}$  e  $L$  de 200 e 60nm. Como mencionado anteriormente, ambas a variação da temperatura do ambiente e da polarização do substrato não modificaram a taxa de variação da temperatura com a potência dissipada e, portanto, apresentam resistência térmica aproximadamente constante para as faixas de  $T_{AMB}$  e  $V_B$  examinadas. Por outro lado, a redução do comprimento

de canal implicou em um aumento em  $R_{TH}$ , devido à maior taxa de aumento de temperatura por potência dissipada nesses dispositivos. A resistência térmica dos transistores com  $L$  de 200nm teve um valor médio de 5585K/W, enquanto para o  $L$  de 60nm o valor médio de  $R_{TH}$  foi de 7550K/W. Assim, como mencionado anteriormente, não apenas os transistores mais curtos aquecem mais devido à maior corrente de dreno, mas eles também apresentam maior dependência com a potência para aumento da temperatura, e, portanto, são mais suscetíveis ao autoaquecimento, devido ao aumento da área de contato entre a região de silício ativo e o óxido enterrado, por onde a dissipação de calor majoritariamente ocorre.

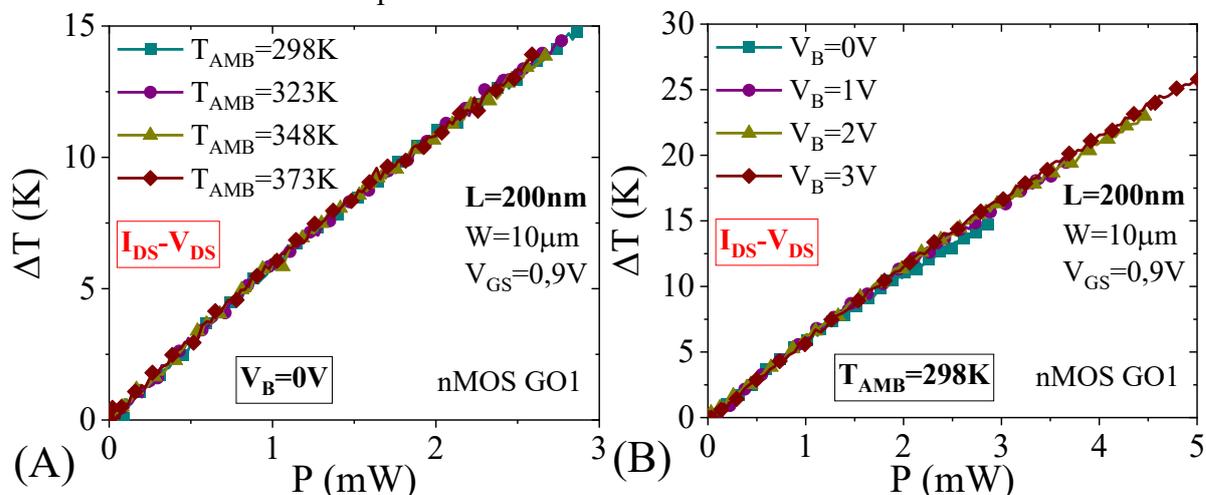
Figura 81 – Resistência térmica em função da tensão de substrato para transistores FD SOI planares tipo n GO1 com variação da temperatura do ambiente e comprimento de canal de 200 e 60nm



Fonte: Autor

Também foi realizado um conjunto de medidas para extração do autoaquecimento com a mesma variação de parâmetros para  $T_{AMB}$  e  $V_B$  e mesmos dispositivos, porém utilizando curvas  $I_{DS}-V_{DS}$ , com as quais foi obtido o aumento de temperatura. Os resultados da variação de temperatura são mostrados na Figura 82 em função da potência dissipada no transistor nMOS GO1 com  $L$  de 200nm. Uma tendência não linear é observada em todas as curvas, diferindo do padrão observado nas curvas obtidas a partir de medidas  $I_{DS}-V_{GS}$ , o que leva a uma diferença de resultado no cálculo da resistência térmica entre os dois tipos de medidas. Uma das razões para essa diferença de comportamento pode estar relacionada à região de operação nos dois casos, onde na extração por medida  $I_{DS}-V_{GS}$  o dispositivo se encontra em saturação, enquanto na extração por medida  $I_{DS}-V_{DS}$  o dispositivo opera na região de triodo. Dessa forma, de modo a obter uma dependência linear da curva  $\Delta T$  vs.  $P$ , medidas  $I_{DS}-V_{GS}$  foram utilizadas para extração do autoaquecimento.

Figura 82 – Variação da temperatura em função da potência dissipada obtida com medidas  $I_{DS}$ - $V_{DS}$  para um transistor FD SOI planar tipo n GO1 com variação da temperatura do ambiente e da tensão de substrato e comprimento de canal de 200nm

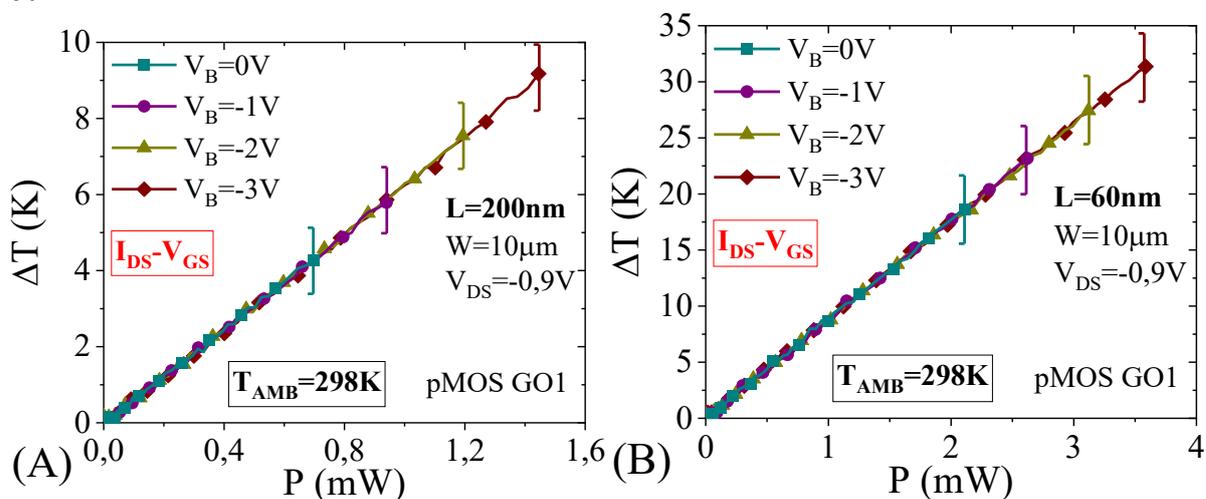


Fonte: Autor

Legenda: Variação da temperatura do ambiente (A) e da polarização de substrato (B)

Por fim, foram realizadas medidas nos transistores pMOS GO1 com mesmas dimensões,  $W$  de  $10\mu\text{m}$  e  $L$  de 200 e 60nm, para comparação com seu complemento. A variação da temperatura em função da potência dissipada é apresentada na Figura 83 para tensões de substrato variando entre 0 e -3V, com passo de 1V. As curvas exibem tendência semelhante às observadas nos transistores nMOS, mas com aumento da temperatura consideravelmente menor, devido à menor mobilidade das lacunas em relação aos elétrons e, portanto, os dispositivos tipo p apresentam menor corrente de dreno e menor potência dissipada. De forma

Figura 83 – Variação da temperatura em função da potência dissipada para transistores FD SOI planares tipo p GO1 com variação da tensão de substrato e comprimento de canal de 200 e 60nm



Fonte: Autor

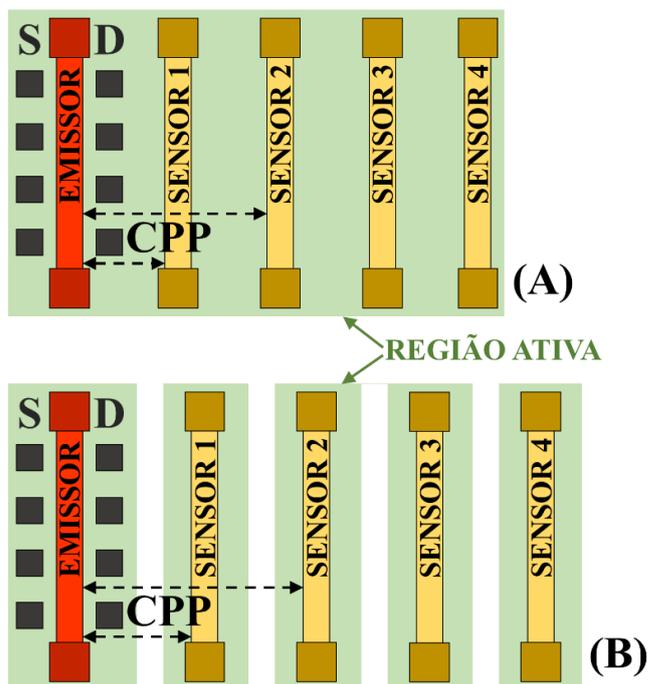
Legenda: Comprimento de canal de 200nm (A) e 60nm (B)

análoga aos nMOS, o aumento da tensão de substrato negativa reduz (em módulo) a tensão de limiar e, com isso, aumenta  $I_{DS}$ , para a mesma faixa de  $V_{GS}$ . Os transistores em que foi aplicado  $V_B = -3V$  apresentam maior aumento da temperatura, chegando no máximo a 9,2K para  $L=200nm$ , e a 31,4K para  $L=60nm$ .

### 4.3 ACOPLAMENTO TÉRMICO ENTRE DISPOSITIVOS

O acoplamento térmico trata da influência que dispositivos próximos têm uns sobre os outros no aumento da temperatura devido à dissipação térmica ocorrida durante sua operação. Um arranjo projetado especificamente para a análise do acoplamento térmico foi utilizado, onde um transistor FD SOI planar com a estrutura de porta com dois contatos, chamado de emissor, possui ao seu lado uma série de estruturas de porta de dois contatos, em paralelo e espaçadas entre si. Essas estruturas de porta servem como sensores de temperatura, dos quais o aumento de temperatura causado pela operação do emissor será extraído. O emissor e os sensores são, inicialmente, fabricados em uma região ativa comum a todas as estruturas, mas um segundo arranjo foi projetado, onde tanto o emissor quanto cada sensor têm suas regiões ativas separadas por isolação por fosso raso (*Shallow Trench Isolation – STI*) (NANDAKUMAR et al., 1998). Esse arranjo tem por objetivo verificar se há redução na dissipação térmica provocada pelo emissor devido à isolação das regiões ativas. A Figura 84 apresenta esquemáticos das estruturas criadas para análise do acoplamento térmico, utilizando um transistor FD SOI planar como emissor e quatro sensores de temperatura, onde na Figura 84(A) tem-se o esquemático do arranjo com região ativa comum e na Figura 84(B) tem-se o arranjo com região ativa isolada. O parâmetro CPP indica a distância de cada sensor até o emissor. Como mostrado no esquemático, essa distância é maior no arranjo com região ativa isolada.

Figura 84 – Esquemático das estruturas projetadas para análise do acoplamento térmico compostas por um emissor e 4 sensores, com região ativa comum e isolada



Fonte: Autor

Legenda: Transistor e sensores com região ativa comum (A) e isolada (B)

Para esse estudo, foram realizadas medidas em transistores FD SOI planares tipo n e p, com espessuras do óxido efetivas tipo GO1 e GO2, todos com largura de canal de 5 $\mu$ m. A Tabela 6 apresenta as dimensões e parâmetros dos dispositivos medidos.

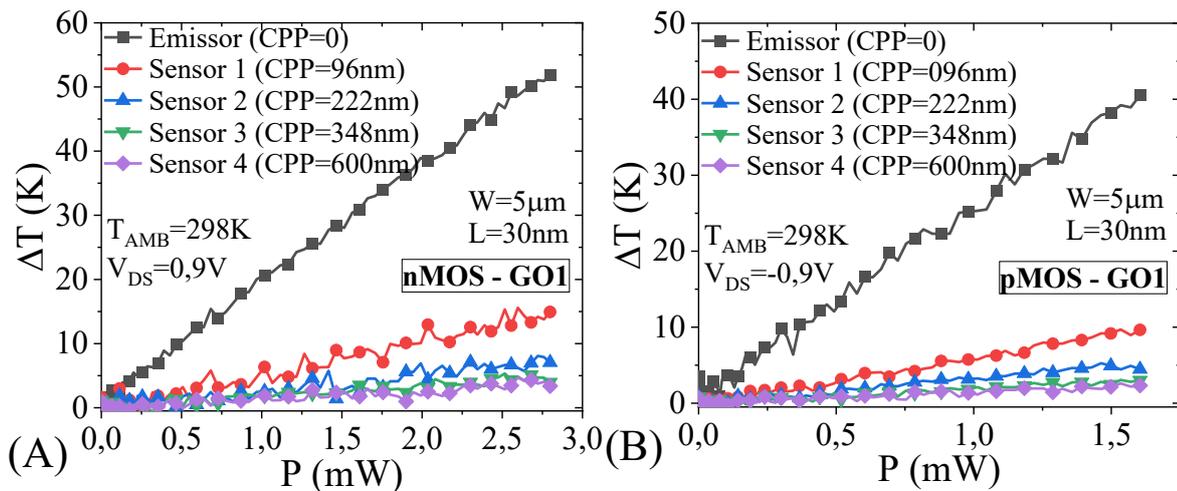
Tabela 6 – Parâmetros dos transistores FD SOI planares medidos para análise do acoplamento térmico

PARÂMETRO	VALOR(ES)	
	GO1	GO2
EOT	1,1nm	3,2nm
L	30nm	150nm
W	5 $\mu$ m	
t <sub>si</sub>	7nm	
t <sub>BOX</sub>	25nm	
Portas em paralelo	5 (1 emissor + 4 sensores)	
Tipo de transistor	nMOS e pMOS	
Ground-Plane	LVT	

Fonte: Autor

A Figura 85 apresenta a variação da temperatura em função da potência dissipada obtida para o transistor emissor e para os quatro sensores de temperatura, cujas distâncias do emissor (CPP) estão descritas na legenda, para a estrutura com região ativa comum. Os transistores nMOS e pMOS GO1 tem  $W=5\mu\text{m}$  e  $L=30\text{nm}$ . Enquanto no transistor emissor o aumento de temperatura máximo chegou a 51,9K para o nMOS e 40,5K para o pMOS, o aquecimento dos sensores foi de 15K e 10K para o primeiro sensor, nos transistores tipo n e p, respectivamente, e abaixo de 10K e 5K para os sensores seguintes. Com isso, verifica-se que dispositivos próximos podem ter problemas de acoplamento térmico, em especial no caso de mais transistores em operação simultaneamente, mas o aumento de temperatura observado dependerá fortemente da distância entre esses dispositivos. Se distanciados o suficientemente, o acoplamento térmico terá menos impacto no autoaquecimento.

Figura 85 – Variação da temperatura em função da potência dissipada para transistores FD SOI planares tipo n e p GO1 com emissor e 4 sensores com região ativa comum e comprimento de canal de 30nm



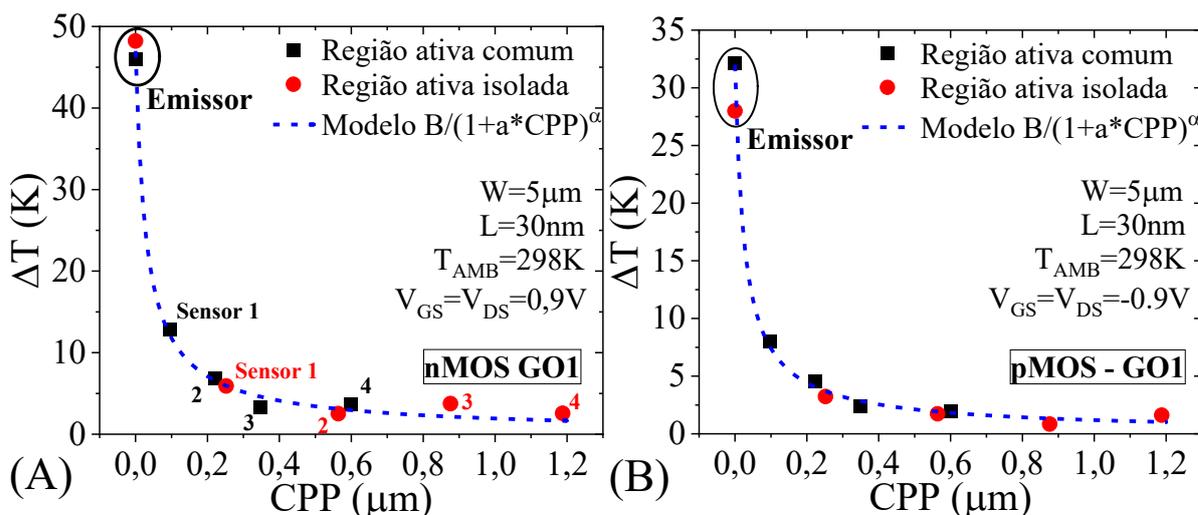
Fonte: Autor

Legenda: Transistor tipo n (A) e tipo p (B)

A partir desses resultados, é possível construir uma curva de  $\Delta T$  em função de CPP, para verificar se há uma tendência do aumento da temperatura em relação à distância do transistor em operação. Os resultados são apresentados na Figura 86 para transistores nMOS e pMOS GO1 com  $W=5\mu\text{m}$  e  $L=30\text{nm}$  para estruturas com região ativa comum e isolada, além de um modelo, cuja equação é descrita na legenda dos gráficos, que descreve a tendência de redução de  $\Delta T$  com o aumento da distância. Comparando os resultados para região ativa comum e isolada, observa-se que ambos apresentam a mesma curva de tendência, com os resultados apenas divergindo devido ao maior CPP das estruturas isoladas. Isso significa que a isolamento da região ativa não teve influência na redução do acoplamento térmico, com a dissipação térmica

entre as estruturas ocorrendo da mesma forma que no caso da região ativa comum. Isso ocorre porque o calor é conduzido majoritariamente pelo do óxido enterrado, e como este é comum tanto para a estrutura com região ativa comum quanto isolada, a dissipação de calor ocorre da mesma forma.

Figura 86 – Variação da temperatura em função do CPP para transistores FD SOI planares tipo n e p GO1 com emissor e 4 sensores com região ativa comum e isolada e comprimento de canal de 30nm

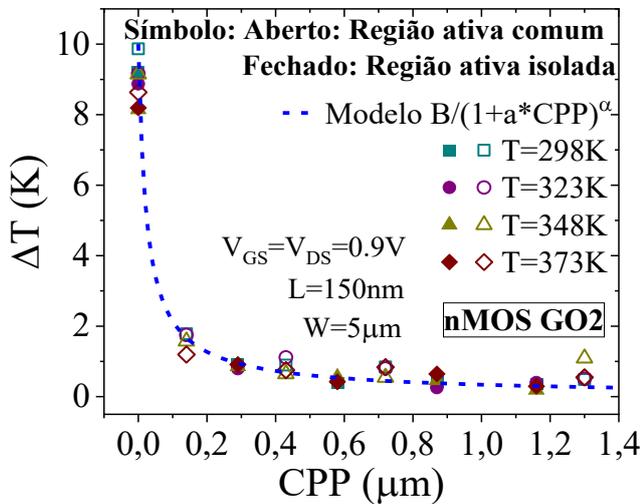


Fonte: Autor

Legenda: Transistor tipo n (A) e tipo p (B)

Por fim, a Figura 87 exibe os resultados das medidas feitas em estruturas com transistor GO2 tipo n, que possuem  $W$  de  $5\mu\text{m}$  e  $L$  de  $150\text{nm}$ , aplicando-se as mesmas polarizações de porta e de dreno que nos dispositivos GO1. As medidas também foram feitas aumentando a temperatura até  $75\text{K}$  acima da temperatura ambiente ( $298\text{K}$ ) e, para essa faixa de temperaturas, não foi observada mudança no comportamento térmico dessas estruturas. O comprimento de canal maior desses transistores, assim como o EOT mais espesso, faz com que o aumento de temperatura seja baixo, chegando a um máximo de cerca de  $10\text{K}$  no emissor, porém a tendência de redução de  $\Delta T$  com a distância se manteve a mesma que nos transistores GO1, sendo usado o mesmo modelo para descrever essa tendência. Da mesma forma, a estrutura com região ativa isolada também apresentou mesmo comportamento com relação ao acoplamento térmico que a estrutura com região ativa comum.

Figura 87 – Variação da temperatura em função do CPP para transistores FD SOI planares tipo n GO2 com emissor e 4 sensores com região ativa comum e isolada e comprimento de canal de 150nm com variação da temperatura do ambiente



Fonte: Autor

#### 4.4 AUTOAQUECIMENTO EM BAIXAS TEMPERATURAS

A extração do autoaquecimento em transistores FD SOI em baixas temperaturas foi feita utilizando hélio líquido para reduzir a temperatura até a operação criogênica em  $T_{AMB}=4,2K$ . A apresentação dos resultados foi dividida entre os dois métodos de redução da temperatura utilizados: no provador criogênico e com o método *dip-stick*, cujos princípios de funcionamento serão detalhados no início de cada subseção.

##### 4.4.1 Medidas no provador criogênico

As medidas experimentais em baixa temperatura foram, primeiramente, realizadas em amostras em lâmina inserida em provador criogênico, que possui uma câmara à vácuo onde o hélio é introduzido para reduzir a temperatura do ambiente. Após alcançar a temperatura mínima do hélio líquido, cerca de 4,2K, um controlador de temperatura é utilizado para aquecer a superfície onde a lâmina é posicionada, permitindo a seleção de uma temperatura específica ou a varredura de uma faixa de temperaturas. Tradicionalmente, a curva de calibração é obtida escolhendo-se um intervalo de valores de temperatura, entre 4,2K a 300K, para realizar a medida da resistência de porta, o que é um processo lento e pouco eficiente, pois a curva de calibração não será contínua, e sim intervalada. O objetivo principal dessa fase de medidas foi testar um método de obtenção da curva de calibração em toda a faixa de temperaturas (de 4,2K a 300K) de uma única vez, através da varredura da temperatura utilizando o controlador, com

os valores de resistência de porta em estado desligado sendo medidos e salvos ao longo de toda a faixa de temperaturas.

A Tabela 7 apresenta os parâmetros e dimensões dos transistores FD SOI planares medidos nessa fase de caracterização com provador de baixa temperatura. Transistores tipo n e p GO1 foram medidos, todos tendo largura de canal de  $10\mu\text{m}$  e comprimento de canal variável.

Tabela 7 – Parâmetros dos transistores FD SOI planares medidos em baixas temperaturas no provador criogênico

PARÂMETRO	VALOR(ES)
EOT	<b>GO1</b>
	1,1nm
Tipo de transistor	nMOS e pMOS
L	30nm
	60nm
	90nm
	200nm
W	$10\mu\text{m}$
$t_{\text{si}}$	7nm
$t_{\text{BOX}}$	25nm
<i>Ground-Plane</i>	LVT

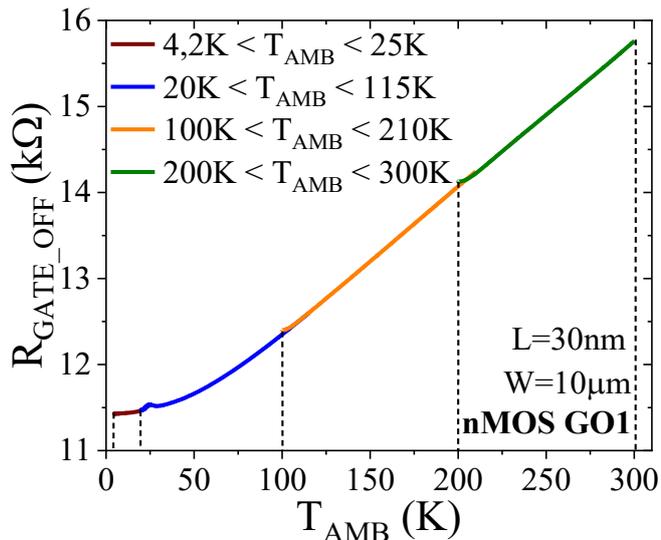
Fonte: Autor

Conforme o controlador aumenta a temperatura da câmara, as pontas de prova posicionadas nos contatos são pressionadas contra ele. As pontas de prova utilizadas possuem molas que impedem que elas se desloquem quando isso ocorre, permitindo que se aumente a temperatura em uma faixa de aproximadamente 100K sem precisar reposicionar as pontas nos contatos. Assim, a curva de calibração foi feita em etapas, variando a temperatura em faixas de 100K, com taxa de elevação da temperatura de 5K/minuto. No início da curva, entre 4,2 e 25K, foi usada uma taxa de aquecimento mais lenta, de 1K/minuto.

A Figura 88 apresenta a curva de calibração de temperatura para um transistor FD SOI tipo n GO1 com comprimento de canal de 30nm. Os resultados mostram um aumento de  $R_{\text{GATE\_OFF}}$  de  $11,4\text{k}\Omega$ , em  $T_{\text{AMB}}=4,2\text{K}$ , para  $15,7\text{k}\Omega$ , em  $T_{\text{AMB}}=300\text{K}$ , com uma tendência similar à observada em (TRIANTOPOULOS et al., 2019) para transistores com  $t_{\text{BOX}}=145\text{nm}$ , com exceção de um ressalto em  $T_{\text{AMB}}=25\text{K}$ , que é causado por uma limitação do controlador de temperatura, mas que pode ser eliminado com pós-processamento da curva. Em baixas temperaturas, a variação da resistência de porta com  $T_{\text{AMB}}$  é inicialmente quase nula,

continuando baixa até cerca de 40K. Isso é possivelmente atribuído ao espalhamento de portadores por impurezas ou defeitos, ou até mesmo a fenômenos de espalhamento adicionais de interface devido ao poli-silício espesso, de 50nm (TRIANTOPOULOS et al., 2019). A partir de  $T_{AMB} \approx 70K$ , a curva passa a ter uma tendência aproximadamente linear.

Figura 88 – Curva de calibração da resistência de porta em função da temperatura do ambiente para um transistor FD SOI planar tipo n GO1 com comprimento de canal de 30nm



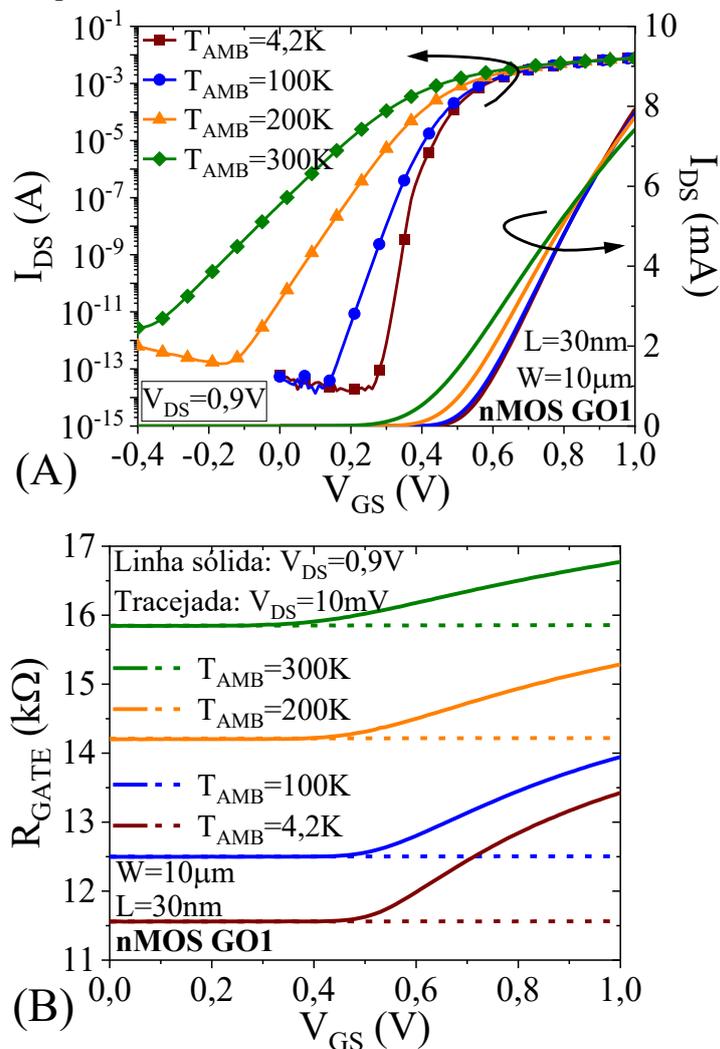
Fonte: Autor

Após a obtenção da curva de calibração, foram selecionados alguns valores de  $T_{AMB}$  para realizar as medidas  $I_{DS}-V_{GS}$ , com extração da resistência de porta, para aplicação do método de termometria de porta para extração do autoaquecimento. A Figura 89 exibe as curvas de corrente de dreno e resistência de porta em função da tensão de porta, com  $V_{DS}=0,9V$ , para as temperaturas do ambiente de 4,2, 100, 200 e 300K em transistores FD SOI nMOS GO1 com  $L=30nm$ . Nas curvas de corrente, na Figura 89(A), a redução da inclinação de sublimiar e da tensão de limiar são verificadas com a redução da temperatura de operação, porém a corrente de dreno máxima atingida para os diferentes valores de  $T_{AMB}$  é semelhante. Logo, qualquer diferença no aquecimento do dispositivo será devido ao valor de temperatura ambiente, e não à potência dissipada, que é aproximadamente a mesma.

Para as curvas de resistência de porta, na Figura 89(B), as linhas tracejadas mostram o  $R_{GATE}$  para baixa tensão de dreno, de  $V_{DS}=10mV$ , onde não é observada variação da resistência da porta, mostrando que não há aquecimento do dispositivo, devido à baixa potência dissipada e, portanto, o valor da resistência de porta é o mesmo que em estado desligado. Assim, devido à ausência de autoaquecimento nesse caso, pode-se afirmar que o transistor está operando na mesma temperatura do ambiente. Por outro lado, para  $V_{DS}=0,9V$ , nas linhas sólidas, a variação

de resistência de porta indica aumento da temperatura do dispositivo, diferenciando a temperatura de operação do transistor da temperatura do ambiente, devido ao autoaquecimento.

Figura 89 – Corrente de dreno e resistência de porta em função da tensão de porta para um transistor FD SOI planar tipo n GO1 com comprimento de canal de 30nm com variação da temperatura do ambiente



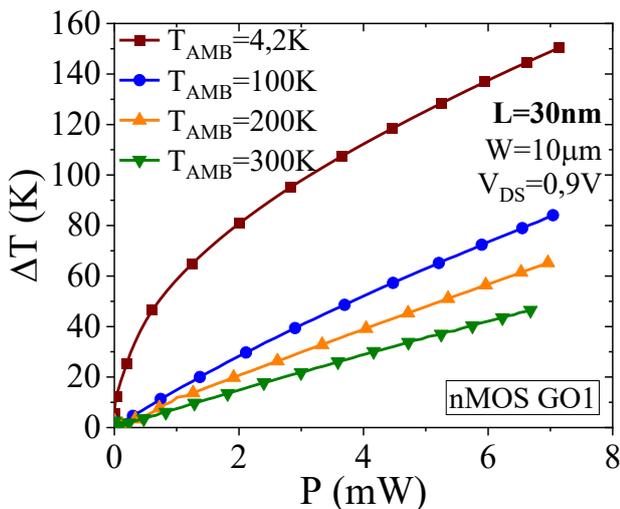
Fonte: Autor

Legenda: Corrente de dreno (A) e resistência de porta (B)

Com a combinação das curvas de resistência de porta com a curva de calibração, foi possível calcular a variação da temperatura no dispositivo, que é apresentada na Figura 90 em função da potência dissipada para os diferentes valores de  $T_{AMB}$  selecionados. As curvas mostram a influência da temperatura do ambiente no comportamento do autoaquecimento no transistor, que não só sofreu um forte aumento de temperatura com a redução de  $T_{AMB}$ , principalmente abaixo de 100K, como também deixou de ter uma característica linear conforme se aproximava da faixa criogênica. Essas curvas também estão de acordo com os resultados

obtidos por (TRIANTOPOULOS et al., 2019) para transistores FD SOI planares com óxido enterrado espesso, de 145nm, e  $t_{Si}$  de 11nm. Porém, nesse trabalho o dispositivo deixou de ter a característica linear já em  $T_{AMB} < 160K$ , enquanto na Figura 90 a curva para  $T_{AMB} = 100K$  ainda apresenta dependência linear com a temperatura. Essa diferença se deve às dimensões do dispositivo, em especial ao  $t_{BOX}$  espesso, que aumenta o confinamento térmico do dispositivo.

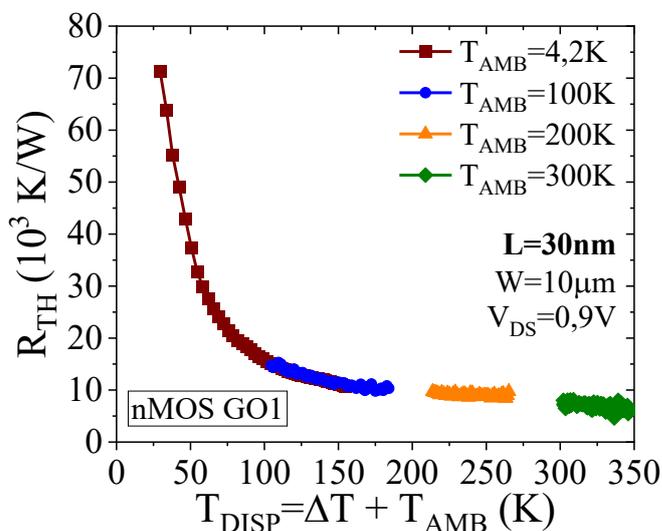
Figura 90 – Variação da temperatura em função da potência dissipada para um transistor FD SOI planar tipo n GO1 com comprimento de canal de 30nm com variação da temperatura do ambiente



Fonte: Autor

A partir desses resultados, é possível calcular a resistência térmica do dispositivo, usando a equação (42), e apresentá-la em função da temperatura do dispositivo,  $T_{DISP}$ , como mostrado na Figura 30. Os resultados são exibidos na Figura 91 para o transistor FD SOI tipo n GO1 com  $L=30nm$ . A curva resultante é composta pela junção de todos os segmentos de  $T_{AMB}$ , onde os espaços faltantes se devem ao dispositivo não ter aquecido o suficiente em determinado  $T_{AMB}$  para que  $T_{DISP}$  alcançasse o próximo segmento de curva. A tendência obtida está de acordo com o observado na Figura 30, onde na faixa criogênica a resistência térmica apresenta uma elevação abrupta, que varia de  $10 \cdot 10^3 K/W$ , em  $T_{DISP} = 160K$ , para  $71 \cdot 10^3 K/W$ , em  $T_{DISP} = 29K$ . Para temperatura do dispositivo acima de 160K, a resistência térmica se torna aproximadamente constante, com uma pequena redução observada para  $T_{DISP}$  acima de 300K.

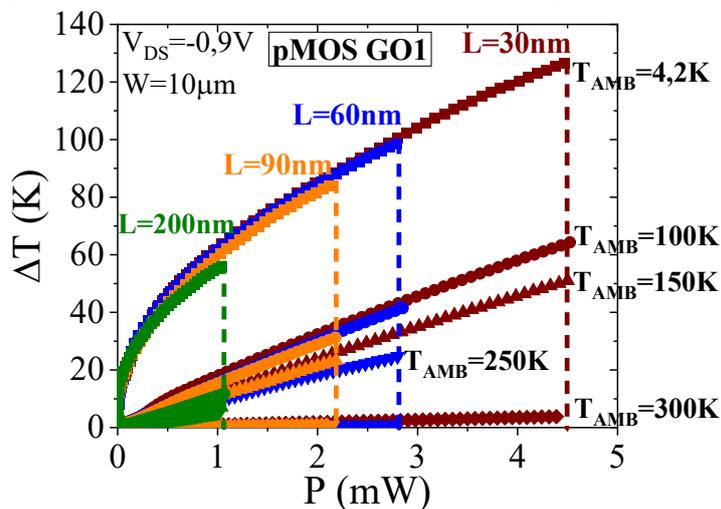
Figura 91 – Resistência térmica em função da temperatura do dispositivo para um transistor FD SOI planar tipo n GO1 com comprimento de canal de 30nm com variação da temperatura do ambiente



Fonte: Autor

Nos transistores pMOS GO1, o mesmo procedimento experimental para obtenção das curvas de calibração e para medidas  $I_{DS}-V_{GS}$  com extração de  $R_{GATE}$  foi aplicado, obtendo-se resultados para dispositivos com comprimento de canal de 30, 60, 90 e 200nm, em diferentes valores de  $T_{AMB}$ , sendo aplicado  $V_{DS}$  de -0,9V. As curvas de variação da temperatura em função da potência dissipada são apresentadas na Figura 92, onde o aumento de  $P$  e de  $\Delta T$  com a redução de  $L$  é observado, devido ao aumento da corrente de dreno, que faz com que os dispositivos dissipem mais potência e, por consequência, aqueçam mais. A influência da redução da temperatura do ambiente também foi verificada, com  $\Delta T$  atingindo valores mais

Figura 92 – Variação da temperatura em função da potência dissipada para transistores FD SOI planares tipo p GO1 com variação do comprimento de canal e da temperatura do ambiente



Fonte: Autor

elevados conforme o valor de  $T_{AMB}$  é reduzido: no transistor de canal mais curto, em  $T_{AMB}=300K$  o aumento da temperatura máximo foi de 3,8K, enquanto em  $T_{AMB}=4,2K$ , esse aumento foi de 126,6K. No transistor de canal mais longo, o máximo aumento de temperatura observado foi de 56K.

Esses resultados confirmam o funcionamento do método usado para obtenção das curvas de calibração, que permite realizar a extração do autoaquecimento por termometria de porta de forma mais eficiente.

#### 4.4.2 Medidas feitas com o método dip-stick

Após a confirmação do funcionamento desse método, ele foi aplicado de forma similar, porém, ao invés de medir os transistores individualmente no provador criogênico, foi usado o método *dip-stick*, em que as amostras são acopladas na ponta de uma haste longa, que é colocada dentro de um tubo metálico de onde o ar é removido para criar vácuo. Esse tubo contendo as amostras é, por fim, inserido diretamente no cilindro de hélio líquido, onde a temperatura é reduzida até 4,3K. Como não é possível manipular pontas de prova dentro do cilindro para polarizar os contatos dos dispositivos, para realizar as medidas com as amostras mergulhadas no cilindro de hélio, ao invés de amostras em lâmina exposta, a lâmina é encapsulada em um “*chip*”, com os transistores endereçáveis individualmente através de uma matriz de seleção (PAZ et al., 2020a). Para isso, a haste onde esse *chip* é colocado possui uma placa de circuito impresso e um cabeamento que leva os sinais dos instrumentos de medida até o *chip*. A seleção do conjunto de transistores a serem medidos, assim como toda a programação das medidas e sinais a serem aplicados, é feita através de códigos programados em Python carregados em um microcontrolador, que habilita a polarização de cada transistor endereçado pela matriz (PAZ et al., 2020a). A vantagem da utilização desse método em relação às medidas em provador criogênico é que, com o encapsulamento do *chip* e seleção dos transistores a serem medidos através de código de programação, é possível realizar as medidas em todos os transistores sem necessidade de reposicionamento de pontas de prova, além de permitir a obtenção da curva de calibração completa, em toda a faixa de temperaturas, de uma única vez, eliminando o procedimento de reposicionar as pontas de prova ao variar mais de 100K de temperatura. Essas características aceleram consideravelmente o processo de medidas para extração do autoaquecimento em uma ampla faixa de temperaturas de operação.

O *chip* fabricado contém um conjunto de 64 transistores FD SOI planares tipo n, GO1 e GO2, com variação em W, L e número de transistores em paralelo. A Tabela 8 apresenta os

parâmetros dos transistores presentes no *chip* utilizado nas medidas para análise do autoaquecimento usando o método *dip-stick*.

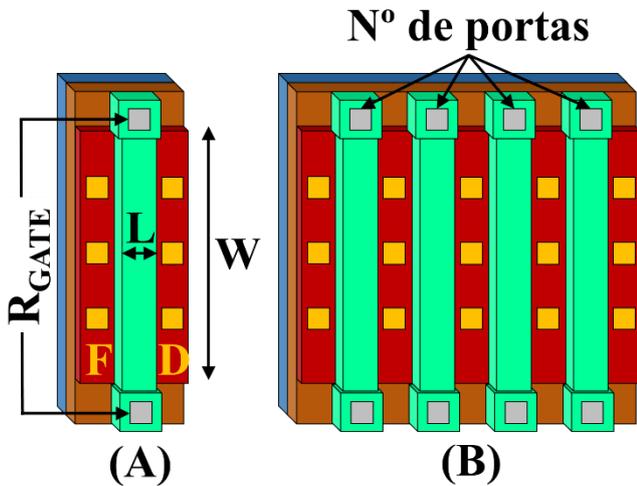
Tabela 8 – Parâmetros dos transistores FD SOI planares medidos em baixas temperaturas com o método *dip-stick*

PARÂMETRO	VALOR(ES)	
EOT	<b>GO1</b>	<b>GO2</b>
	1,1nm	3,2nm
L	30nm	150nm
	100nm	450nm
	300nm	1,5 $\mu$ m
W	0,3 $\mu$ m	
	1 $\mu$ m	
	3 $\mu$ m	
	10 $\mu$ m	
t <sub>si</sub>	7nm	
t <sub>BOX</sub>	25nm	
Transistores em paralelo	1, 3, 9, 23	
Tipo de transistor	nMOS	
<i>Ground-Plane</i>	LVT	

Fonte: Autor

A inclusão de múltiplos transistores em paralelo com contatos de porta interconectados tem como objetivo analisar o impacto do acoplamento térmico, com condução simultânea de diversos canais, no autoaquecimento. A Figura 93 exibe um esquemático do transistor individual e de múltiplos transistores em paralelo. Apesar do esquemático mostrar contatos de porta individuais para cada transistor em paralelo, eles são conectados entre si. Portanto, a extração da resistência de porta é feita em todas as portas simultaneamente, usando apenas dois contatos, da mesma forma que ocorre nos transistores com porta única, obtendo-se um único valor de  $R_{GATE}$  para todas as portas.

Figura 93 – Esquemático do transistor FD SOI planar individual e com múltiplos transistores em paralelo com contatos de porta interconectados



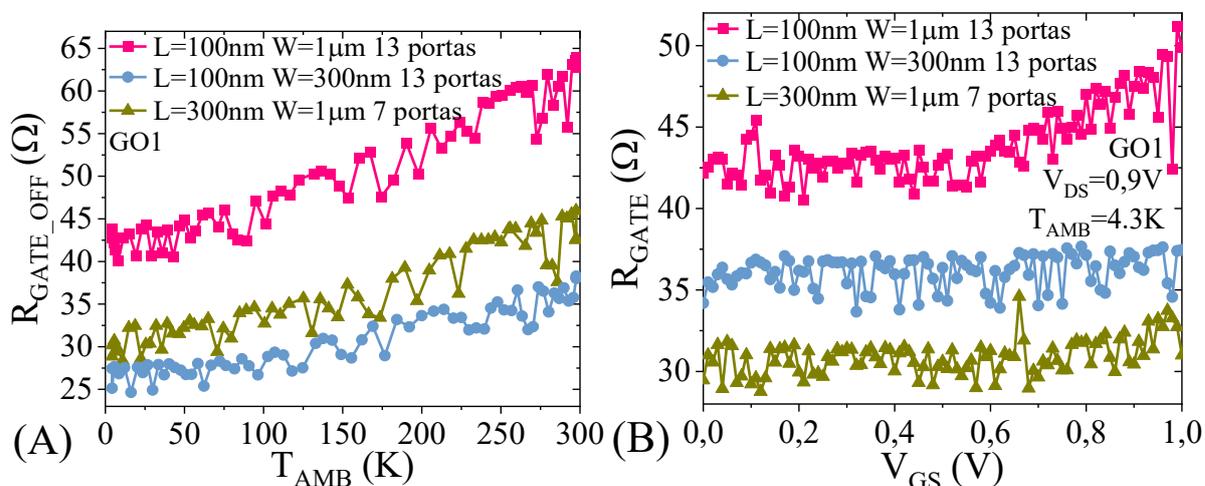
Fonte: Autor

Legenda: Transistor individual (A) e com múltiplos transistores em paralelo (B)

A obtenção das curvas de calibração foi feita através da inserção do tubo dentro do cilindro de hélio líquido, descendo lentamente desde a entrada até o fundo do cilindro, o que fez com que a temperatura fosse reduzida de 300K até 4,3K com uma taxa variação de cerca de 3K/minuto, reduzida para cerca de 1K/minuto abaixo de 50K. Simultaneamente com esse resfriamento, a resistência de porta de uma parte dos transistores do *chip* foi sendo obtida e salva, com eles em estado desligado. O resfriamento para obtenção da curva de calibração foi realizado duas vezes: primeiro para os transistores GO1, em seguida para os GO2.

Devido a limitações no cabeamento da haste do *dip-stick*, a frequência de operação do equipamento usado para obter a resistência de porta não pode ser elevada acima de 3kHz, o que reduz consideravelmente a precisão da extração de  $R_{GATE}$  para valores de resistência mais baixos, com o resultado ficando ruidoso. Assim, para os dispositivos com L grande e W curto, e com múltiplos transistores em paralelo, as medidas não geraram resultados confiáveis devido à qualidade da medida. A Figura 94 exemplifica esse efeito através de curvas de calibração obtidas para transistores com L de 100 e 300nm e W de 300nm e 1 $\mu$ m, com 7 e 13 transistores em paralelo, mostrando o ruído presente nos resultados, que reduz a confiabilidade da extração.

Figura 94 – Curvas de calibração e de resistência de porta para transistores FD SOI planares tipo n GO1 com diversos comprimentos e larguras de canal e números de transistores em paralelo



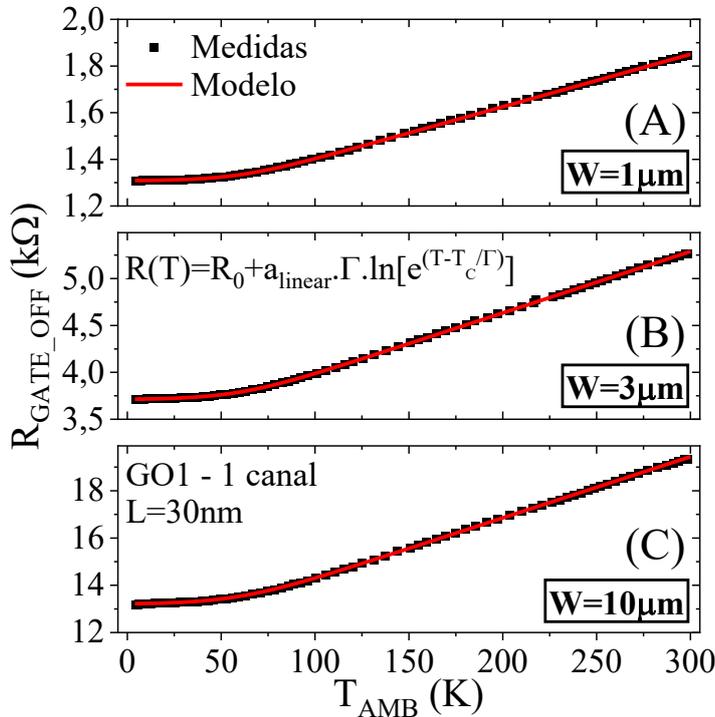
Fonte: Autor

Legenda: Curvas de calibração (A) e de resistência de porta (B)

De qualquer modo, os dispositivos que exibem pior qualidade são também, em grande parte, os que exibem menos autoaquecimento, devido ao canal mais longo e mais estreito, e menor dissipação de potência, sendo menos interessantes para análise do autoaquecimento. Dessa forma, serão apresentados apenas os resultados que apresentam melhor qualidade, em razão do autoaquecimento mais pronunciado.

A Figura 95 apresenta as curvas de calibração obtidas para alguns dos dispositivos medidos, tendo comprimento de canal de 30nm e largura de 1, 3 e 10 $\mu\text{m}$ , com EOT tipo GO1. Além das medidas, foram incluídos também os resultados de um modelo desenvolvido por (TRIANTOPOULOS et al., 2019) que reproduz a tendência das curvas de calibração. Além de mostrarem boa precisão e uma quantidade razoável de pontos, as curvas obtidas não apresentam o ressalto em  $T_{\text{AMB}}=25\text{K}$  visto nos resultados da Figura 88, causado por limitações do controlador de temperatura. Isso indica que a técnica utilizada para obter as curvas de calibração com o método *dip-stick* produz bons resultados e com alta eficiência, gerando até 42 curvas em um único processo de resfriamento. Como mencionado, o aumento da largura de canal faz com que a resistência de porta tenha valor proporcionalmente maior, logo, os valores de resistência de porta do transistor com  $W=10\mu\text{m}$  é cerca de 10 vezes maior que a do transistor com  $W=1\mu\text{m}$ , e a variação apresentada é proporcionalmente a mesma nos dois dispositivos.

Figura 95 – Curva de calibração da resistência de porta em função da temperatura do ambiente para transistores FD SOI planares tipo n GO1 individuais com comprimento de canal de 30nm e largura de canal de 1, 3 e 10µm



Fonte: Autor

Legenda: Largura de canal de 1µm (A), 3µm (B) e 10µm (C)

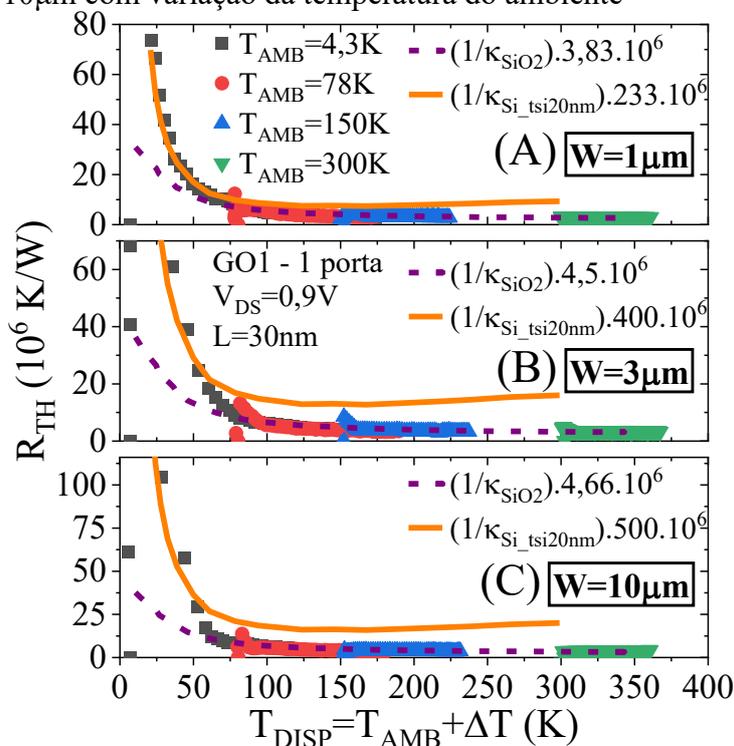
Em seguida, foram realizadas as medidas  $I_{DS}$ - $V_{GS}$  com obtenção da resistência de porta em todos os dispositivos do *chip* em quatro diferentes temperaturas do ambiente: 4,3, 78, 150 e 300K. Com a associação desses resultados às curvas de calibração, foram obtidas as curvas de variação da temperatura. O cálculo da resistência térmica também foi feito através da derivada da variação de temperatura em função da potência dissipada, de acordo com a equação (42), com o cálculo da potência, porém, considerando a corrente de dreno normalizada pela largura e comprimento de canal, como mostrado na equação (43). Isso foi feito para permitir a comparação dos valores de  $R_{TH}$  para transistores com diferentes valores de  $W$  e  $L$ , removendo da potência dissipada a influência dessas dimensões.

$$P_{NORM} = V_{DS} \cdot \frac{I_{DS}}{\left(\frac{W}{L}\right)}. \quad (43)$$

A resistência térmica em função da temperatura do dispositivo é apresentada na Figura 96 para os transistores FD SOI tipo n GO1 individuais com  $L$  de 30nm e  $W$  de 1, 3 e 10µm. Os resultados das medidas, representados pelos símbolos, apresentam tendência similar à observada na Figura 91, confirmando o funcionamento das medidas usando o método *dip-stick*

para extração do autoaquecimento com variação de  $T_{AMB}$  até a faixa criogênica. Assim como nos resultados utilizando o método anterior, a resistência térmica sofre um aumento abrupto ao reduzir a temperatura do dispositivo abaixo de 70K, e apresenta valor aproximadamente constante acima dessa temperatura. Da mesma forma, houve uma ausência de dados entre os valores de  $T_{AMB}$  de 150 e 300K, pois em 150K o dispositivo não aqueceu o suficiente para alcançar a temperatura de 300K, sendo necessário nesse caso, uma medida adicional em  $T_{AMB}$  de aproximadamente 250K para preencher essa lacuna.

Figura 96 – Resistência térmica em função da temperatura do dispositivo para transistores FD SOI planares tipo n GO1 individuais com comprimento de canal de 30nm e largura de 1, 3 e 10 $\mu$ m com variação da temperatura do ambiente



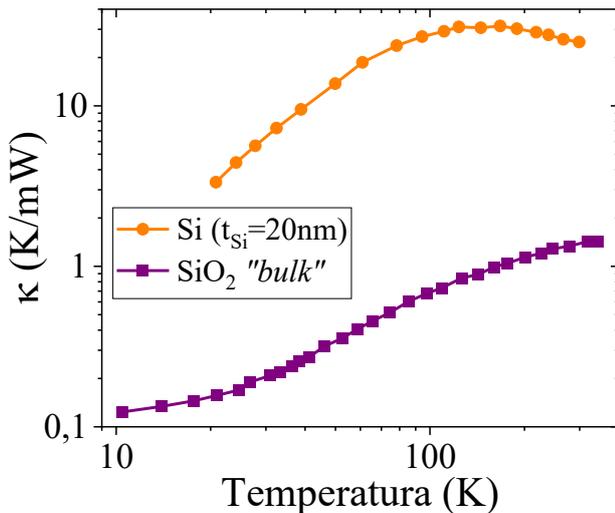
Fonte: Autor

Legenda: Largura de canal de 1 $\mu$ m (A), 3 $\mu$ m (B) e 10 $\mu$ m (C)

Além dos resultados das medidas, a Figura 96 exibe também curvas calculadas a partir dos valores teóricos de condutância térmica do dióxido de silício ( $\kappa_{SiO_2}$ ) e de silício com espessura de 20nm ( $\kappa_{Si\_tsi20nm}$ ). A Figura 97 apresenta os valores teóricos de  $\kappa_{SiO_2}$  e de  $\kappa_{Si\_tsi20nm}$  em função da temperatura, que varia entre 10 e 340K, mostrando que esses parâmetros têm forte dependência com a temperatura. Com o inverso desses valores de condutância térmica multiplicados por uma constante, foi possível associar as curvas de resistência térmica dos transistores com as desses materiais, permitindo observar qual material presente nos dispositivos é predominante na dissipação do calor gerado. Os resultados de resistência térmica

da Figura 96 sugerem que em temperaturas mais altas, reduzindo até cerca de 75K, as curvas de  $R_{TH}$  apresentam tendência similar à do  $\kappa_{SiO_2}$ , logo, a dissipação térmica é fortemente conduzida pelo óxido enterrado, que serve como principal caminho de condução do calor. Consequentemente, a resistência térmica será dirigida pela condutividade térmica do material usado como caminho de resfriamento, nesse caso, o óxido enterrado, concordando com o que diz a literatura (TAKAHASHI et al., 2016; TRIANTOPOULOS et al., 2019). Porém, abaixo de 75K observa-se uma mudança de tendência, onde as curvas de  $R_{TH}$  dos transistores passam a apresentar comportamento fortemente similar ao do  $\kappa_{Si_{t_{Si}=20nm}}$ , e não mais do  $\kappa_{SiO_2}$ . Isso indica que o principal caminho de dissipação do calor deixou de ser pelo óxido enterrado e passou a ser majoritariamente pelas extensões de fonte e dreno, o que até o momento não foi bem esclarecido pela comunidade científica, considerando que em transistores SOI o óxido enterrado é considerado o principal condutor de calor.

Figura 97 – Condutividade térmica do silício com espessura de 20nm e do dióxido de silício em função da temperatura

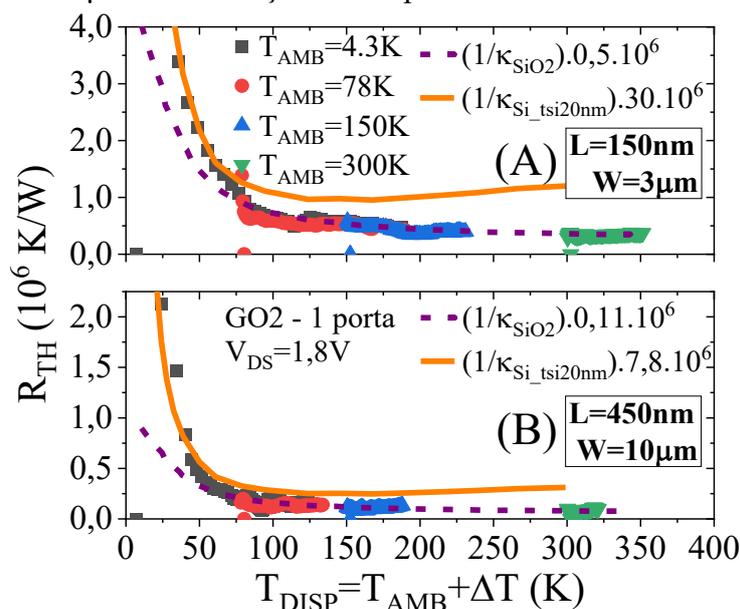


Fonte: Autor

Os mesmos resultados foram obtidos para transistores com EOT tipo GO2, que possuem dimensões variadas, um com  $L=150nm$  e  $W=3\mu m$ , e outro com  $L=450nm$  e  $W=10\mu m$ , também realizando as medidas  $I_{DS}-V_{GS}$  com aquisição da resistência de porta nas temperaturas do ambiente de 4,3, 78, 150 e 300K. Nesse caso, como dispositivos GO2 suportam maiores valores de tensão e corrente, as polarizações de porta e de dreno foram feitas até o valor de 1,8V. A Figura 98 exibe os resultados de  $R_{TH}$  em função da temperatura do dispositivo, além das curvas calculadas com base nas condutâncias térmicas do SiO<sub>2</sub> e do Si com  $t_{Si}=20nm$ . Assim como nas curvas anteriores, a resistência térmica também foi obtida com a potência normalizada pelas

dimensões dos transistores. As curvas apresentam o mesmo comportamento observado nos dispositivos GO1, com o  $R_{TH}$  apresentando tendência aproximadamente constante na faixa de  $T_{DISP}$  de 75K até a temperatura máxima alcançada, sendo uma variação proporcional à resistência térmica do  $SiO_2$ , e abaixo de 75K convergindo para uma tendência que se assemelha à do silício com espessura de 20nm. O transistor com  $L=450nm$ , na Figura 98(B), apresentou menores valores de resistência térmica e de aumento de temperatura do que o transistor com canal mais curto, apesar de ter maior largura de canal. A redução de  $L$  causa aumento na resistência térmica devido à menor área de seção transversal para condução do calor do canal para o substrato (TAKAHASHI et al., 2016), sendo observado, porém, maior autoaquecimento em transistores com canal mais curto do que com aumento da largura de canal, mesmo apresentando área similar.

Figura 98 – Resistência térmica em função da temperatura do dispositivo para transistores FD SOI planares tipo n GO2 individuais com comprimento de canal de 150 e 450nm e largura de 3 e 10 $\mu m$  com variação da temperatura do ambiente



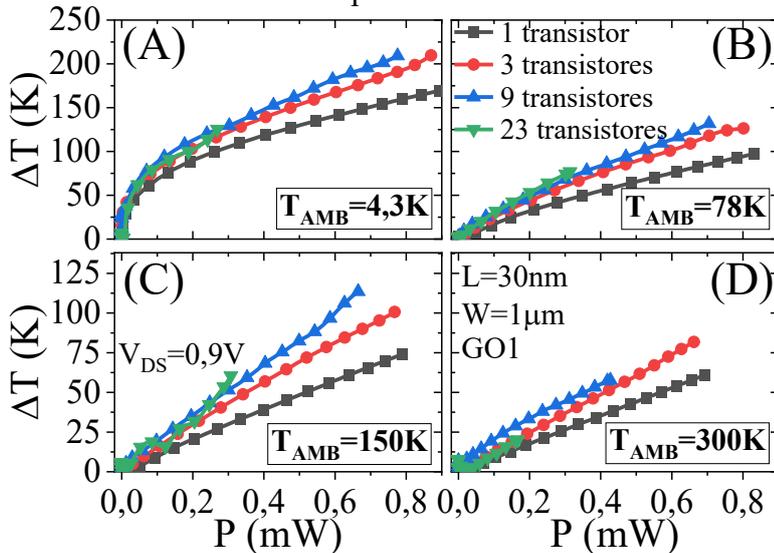
Fonte: Autor

Legenda: Comprimento de canal de 150nm e largura de 3 $\mu m$  (A) e comprimento de canal de 450nm e largura de 10 $\mu m$  (B)

Os resultados das medidas em dispositivos com múltiplos transistores em paralelo operando simultaneamente são apresentados na Figura 99 para dispositivos tipo n GO1 com comprimento de canal de 30nm e largura de canal de 1 $\mu m$ . São exibidas as curvas de variação de temperatura em função da potência dissipada variando a temperatura do ambiente com os mesmos quatro valores utilizados anteriormente. Devido ao acoplamento térmico, que faz com que os transistores em paralelo aqueçam uns aos outros, o aumento no número de transistores

causa aumento na variação da temperatura provocada pelo autoaquecimento, sendo esse aumento mais relevante ao elevar o número de transistores acima de 1, e menos relevante para os demais aumentos no número de transistores, com as curvas de 3, 9 e 23 dispositivos tendo baixa diferença entre si. A forma como o acoplamento térmico influencia o aumento de temperatura, ou seja, como a distribuição de calor entre os transistores ocorre durante a operação, não foi ainda explorada, sendo necessários mais estudos nesse assunto para melhor compreender esse fenômeno. No caso do dispositivo com 23 transistores, devido à limitação de frequência do sinal mencionada anteriormente, que dificulta a aquisição de valores baixos de  $R_{GATE}$ , a qualidade inferior das curvas reduz a precisão da extração do autoaquecimento em dispositivos com muitas portas, que possuem menor  $R_{GATE}$ . Isso implicou nas curvas para o transistor com 23 canais não apresentarem maior aquecimento que as curva do transistor com 9 canais em alguns casos.

Figura 99 – Variação da temperatura em função da potência dissipada para transistores FD SOI planares tipo n GO1 com comprimento de canal de 30nm, largura de canal de 1 $\mu$ m com variação do número de transistores operando simultaneamente e da temperatura do ambiente



Fonte: Autor

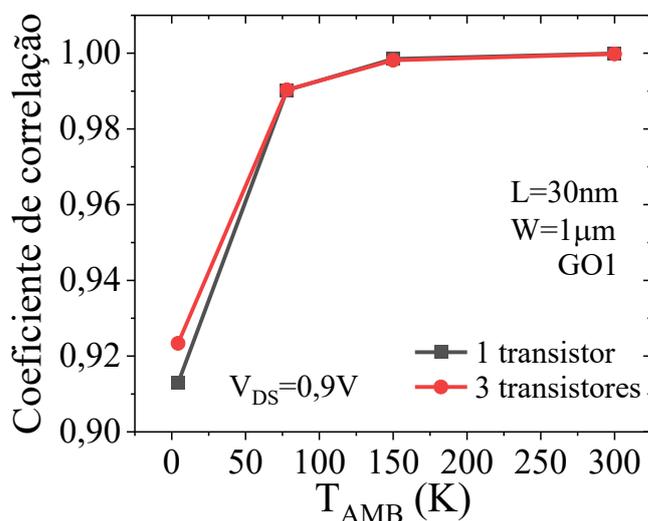
Legenda: Temperatura do ambiente de 4,3K (A), 78K (B), 150K (C) e 300K (D)

Outra observação importante nesses resultados, em especial na Figura 99(A), é que na temperatura do ambiente de 4,3K, com alta tensão de dreno, uma baixa dissipação de potência já implica em um aumento de temperatura de cerca de 50K, ou seja, o transistor não está mais operando em 4,3K, e qualquer medida ou extração feitas nessas condições não está sendo obtida para temperatura de 4,3K no dispositivo, e sim em temperaturas mais elevadas, chegando facilmente a valores próximos de 50K. Portanto, de acordo com esses resultados, não seria

possível realizar uma medida com  $V_{DS}=0,9V$  em um transistor operando a 4,3K, devido ao autoaquecimento abrupto ocorrendo mesmo em baixos valores de potência dissipada.

A influência do acoplamento térmico não mostrou dependência com a temperatura do ambiente, visto que a variação entre as curvas para os diversos números de transistores em paralelo se manteve aproximadamente a mesma, independentemente do valor de  $T_{AMB}$ . A diferença causada pela variação da temperatura do ambiente é vista apenas no aquecimento dos dispositivos, que aumenta com a redução de  $T_{AMB}$ , e na característica das curvas, que têm seu aspecto linear reduzido com a temperatura. Essa redução pode ser observada através do coeficiente de correlação linear, que mede a relação entre a curva analisada e a curva de referência, nesse caso uma reta, onde quanto mais próximo de 1 mais forte é a relação linear da curva. O coeficiente de correlação foi extraído dos resultados da Figura 99 e é apresentado na Figura 100 em função de  $T_{AMB}$  para os dispositivos com 1 e 3 transistores em paralelo. A perda da dependência linear de  $\Delta T$  com  $P$  é verificada com a redução de  $T_{AMB}$ , com o coeficiente de correlação reduzindo de 0,998 para 0,990 entre 150 e 78K, chegando a um mínimo de 0,913 em  $T_{AMB}=4,3K$ .

Figura 100 – Coeficiente de correlação linear em função da temperatura do ambiente para transistores FD SOI planares tipo n GO1 com comprimento de canal de 30nm, largura de canal de  $1\mu m$  com 1 e 3 transistores em paralelo



Fonte: Autor



## 5 CONCLUSÕES E TRABALHOS FUTUROS

Neste trabalho foi apresentada uma análise sobre a utilização de métodos de aprimoramento do desempenho, sendo eles a polarização de substrato e a operação em temperaturas criogênicas, nas características elétricas de transistores MOS SOI com tecnologias totalmente depletadas promissoras. O aprimoramento e a degradação dos parâmetros elétricos dos dispositivos foram avaliados, principalmente com relação ao transporte de cargas e ao autoaquecimento. Assim, o estudo foi realizado em duas vertentes: em uma foi avaliada a influência da polarização de substrato na mobilidade dos portadores de carga em nanofios transistores MOS. Na outra, foi analisada a influência da redução da temperatura, até a faixa criogênica, no autoaquecimento em transistores SOI planares de nó tecnológico de 28nm. Para ambos os casos, foram observadas as vantagens na utilização de ambas as técnicas de aprimoramento do desempenho, como incremento da mobilidade e aumento da corrente de dreno, controle da tensão de limiar, redução da inclinação de sublimiar, e as desvantagens provenientes do seu uso, como redução do incremento de mobilidade em tensões de substrato muito elevadas, aumento da corrente de desligamento e elevação do fenômeno de autoaquecimento.

No estudo da polarização de substrato em nanofios transistores MOS, foi analisada a mobilidade dos portadores variando a largura de  $fin$  e com faixa de tensões de substrato que chegam, em valor absoluto, a 100V, em transistores tipo n e p. O aumento da largura de  $fin$  resulta em maior influência da polarização de substrato, devido à redução do acoplamento eletrostático da porta, que passa a ter menos controle sobre as cargas conforme o transistor se torna mais largo, e, portanto, o controle do substrato sobre as cargas aumenta. A redução do controle das cargas pela porta resultou em uma piora na inclinação de sublimiar com a polarização direta do substrato conforme a largura de  $fin$  aumentou, onde no transistor mais estreito a inclinação de sublimiar se manteve próxima do limite teórico para 300K, que é de 60mV/década, e com o aumento da largura de  $fin$ , chegando a 67mV/década em nMOS e 76,4mV/década em pMOS, na tensão de substrato de maior valor absoluto, para polaridade positiva em nMOS e negativa em pMOS. Apesar do aumento, esses valores mostram que os nanofios ainda mantêm sua integridade eletrostática, devido ao forte acoplamento das cargas pela porta.

Com relação à extração da mobilidade, para polarização reversa do substrato, ou seja, tensões negativas em nMOS e positivas em pMOS, foi verificada redução na mobilidade, conforme já descrito na literatura, devido ao campo elétrico do substrato ter a mesma polaridade

que os portadores minoritários e, assim, empurrá-los em direção ao óxido de porta, fazendo com que eles fiquem confinados próximo à interface. Isso aumenta os efeitos causados por mecanismos de espalhamento, como o espalhamento por rugosidade de superfície, causando degradação da mobilidade. De forma análoga, para polarização direta do substrato, ou seja, tensões positivas em nMOS e negativas em pMOS, um aumento da mobilidade é inicialmente observado. Os resultados evidenciaram também um fenômeno onde se verifica uma mudança de tendência na curva de mobilidade com o aumento da tensão de substrato. Nesse fenômeno, o incremento na mobilidade induzido inicialmente pela polarização do substrato pode sofrer uma inversão de tendência, resultando em redução nos valores de mobilidade causada pela elevação da tensão de substrato aplicada acima de determinado valor. O motivo por trás dessa degradação na mobilidade foi relacionado à ativação de um canal na interface entre o silício e o óxido enterrado.

Através da separação da mobilidade do canal de baixo e através dos resultados de simulação, foi observado que a mobilidade nessa região é maior que a mobilidade do canal de cima, pelo fato da interface com o óxido enterrado apresentar menos defeitos, o que explica o incremento observado inicialmente com o aumento da tensão de substrato. Porém, eventualmente o campo elétrico se torna tão elevado que aumenta o espalhamento relacionado ao campo elétrico, como os mecanismos de espalhamento por rugosidade de superfície e fônons, degradando a mobilidade do canal de baixo. Devido à predominância do canal de baixo na mobilidade total do transistor em altas tensões de substrato, essa degradação acaba reduzindo a mobilidade efetiva extraída, especialmente na região de baixa polarização de porta, em que o controle da porta sobre as cargas não é tão elevado. No regime de inversão forte, o canal próximo à porta tem maior contribuição para a mobilidade total do transistor e, portanto, esse fenômeno de mudança de tendência da curva de mobilidade apresenta baixa taxa de redução da mobilidade e somente em tensões de substrato mais elevadas. No entanto, em inversão forte a mobilidade é menor do que em inversão fraca, pois o canal próximo à porta possui mobilidade inferior à do canal próximo ao óxido enterrado, devido à interface com mais defeitos. Em todos esses resultados foi observado aumento dos efeitos de ganho e degradação da mobilidade ao aumentar a largura do  $fin$ , o que se deve à redução do acoplamento eletrostático da porta, fazendo com que a imunidade do transistor aos efeitos da polarização do substrato seja reduzida. No nanofio com largura de  $fin$  de 12nm, devido ao forte acoplamento da porta, a influência do substrato nos portadores não foi suficientemente forte para que houvesse degradação da mobilidade, com a mudança de tendência sendo observada apenas a partir da tensão de substrato de 90V. Com o aumento da largura de  $fin$ , o início da redução do incremento de mobilidade foi

observado a partir de tensões de substrato cada vez menores, em 70V no nanofio com largura de  $fin$  de 17nm e em 60V no de 22nm. Com isso, em  $V_B$  de 100V, o ganho máximo de mobilidade obtido sofreu redução de 36,8% para o nanofio com largura de  $fin$  de 17nm e de 69,4% para o nanofio com largura de  $fin$  de 22nm. Em nenhum caso, porém, foi observada uma degradação que fizesse com que a mobilidade fosse inferior à mobilidade sem tensão de substrato, havendo sempre um aumento em relação à ausência de polarização do substrato.

Resultados de simulação em estruturas baseadas nas amostras medidas, que tem comprimento de canal de 10 $\mu$ m, validaram as análises feitas experimentalmente. Estruturas simuladas com comprimento de canal curto, de 100 e 50nm, apesar de terem menor mobilidade sem polarização de substrato, apresentaram menor efeito de degradação causada pelo aumento da tensão de substrato, resultando em maior incremento da mobilidade do que nos transistores com comprimento de canal de 10 $\mu$ m. Em inversão forte, a mobilidade aumenta proporcionalmente ao aumento da tensão de substrato nas estruturas simuladas com canal curto, sendo que o transistor mais curto e com maior largura de  $fin$  apresentou um aumento de mobilidade de 38,6% em tensão de substrato de 100V.

Na simulação de estruturas com espessura do óxido enterrado reduzido em 10 vezes em relação aos dispositivos medidos, ficando com espessura de 14,5nm, e reduzindo também em 10 vezes a tensão aplicada ao substrato, ficando com faixa de -10 a +10V, os resultados da extração por Split-CV apresentaram o mesmo comportamento observado nas medidas experimentais e nas simulações originais, com as mudanças de tendência observadas nos transistores com largura de  $fin$  de 17 e 22nm. Com isso, verificou-se que mesmo com valores de tensão menores, na faixa de uma dezena, a elevação do campo elétrico ainda foi forte o suficiente para aumentar os efeitos de espalhamento no canal de baixo, próximo ao óxido enterrado, fazendo com que a mobilidade nessa região seja reduzida, e impactando a mobilidade total do transistor. Nas simulações com transistores de óxido enterrado fino e canal curto, com comprimento de canal de 40nm, foi observada redução na razão entre as correntes de saturação e desligamento com o aumento da tensão de substrato em polarização direta nos transistores com largura de  $fin$  de 17 e 22nm, que se deve majoritariamente ao aumento na corrente de desligamento, de até 344,52nA/nm causado pela degradação da inclinação de sublimiar. Enquanto isso, o transistor com menor largura de  $fin$ , de 12nm, que tem inclinação de sublimiar próxima do limite teórico para toda a faixa de tensões de substrato, apresentou variação da corrente de desligamento de apenas 742,81pA/nm. Uma resposta semelhante foi obtida para a redução de barreira induzida pelo dreno, onde o dispositivo mais estreito foi pouco afetado, enquanto nos dois mais largos, houve degradação desse parâmetro com o aumento da tensão de

substrato, causada pelo controle do substrato sobre as cargas no canal de baixo, antes da ativação do canal de cima, que faz com que o controle da porta sobre as cargas seja reduzido.

Em suma, os resultados do estudo da polarização de substrato mostraram que, mesmo com maior imunidade à tensão aplicada ao substrato, o uso dessa técnica não é inviabilizado em nanofios transistores MOS, sendo capaz de gerar impacto positivo nos parâmetros dos dispositivos, seja em parâmetros elétricos básicos como tensão de limiar e inclinação de sublimiar, ou na mobilidade de portadores. Para polarização inversa do substrato, é observada degradação da mobilidade, conforme já descrito na literatura, já para polarização direta do substrato, é observado um aumento de mobilidade, podendo esse aumento ser reduzido ao aplicar tensões de substrato muito elevadas.

No estudo da redução da temperatura de operação em transistores SOI planares, os benefícios da redução da temperatura foram inicialmente observados em parâmetros elétricos como a inclinação de sublimiar, que alcançou um mínimo de 13,15mV/dec e transcondutância máxima, que é elevada devido ao aumento da mobilidade. Em seguida, foi analisado o autoaquecimento inicialmente em temperatura ambiente para verificar a influência da tensão de substrato no aumento da temperatura. Os resultados indicaram que a aplicação de polarização direta do substrato não aumenta a resistência térmica e, portanto, o autoaquecimento nos dispositivos, mas devido à redução da tensão de limiar, um aumento na corrente é observado, resultando em maior efeito Joule e, portanto, maior aumento de temperatura com o aumento da tensão de substrato aplicada. Para tensão de substrato de 3V, um aumento de 26K e de 61,6K foi observado nos transistores com comprimento de canal de 200 e 60nm, respectivamente. Da mesma forma, transistores pMOS apresentaram menor aumento da temperatura do que transistores nMOS, pois a mobilidade e a corrente e, portanto, a potência dissipada nesses transistores é menor, levando a um aquecimento de 9,2K e de 36,4K, respectivamente, em transistores com mesmas dimensões. Já a redução do comprimento de canal fez com que a resistência térmica dos transistores fosse elevada, portanto o aumento de temperatura para mesma potência dissipada foi maior nos transistores com canal mais curto, devido à menor área de contato com o óxido enterrado, por onde a dissipação de calor ocorre, resultando em maior autoaquecimento nesses transistores.

A análise do acoplamento térmico de um transistor nos transistores próximos a ele indicou um aquecimento máximo de 15 e 10K nos transistores nMOS e pMOS, respectivamente, no primeiro transistor mais próximo, e um aumento de temperatura menor que 10 e 5K nos transistores nMOS e pMOS seguintes. A presença de isolamento entre as regiões ativas não mostrou nenhuma influência na redução do acoplamento térmico, sendo observada

mesma curva de tendência do aumento de temperatura em função da distância entre os dispositivos. Isso se deve ao óxido enterrado ser o principal condutor de calor e, como apenas a região ativa é isolada, a dissipação de calor ocorre da mesma forma em ambas as estruturas.

O método usado para obter as curvas de calibração da temperatura, através de varredura da temperatura do ambiente com medição simultânea da resistência de porta, se mostrou altamente eficaz para medidas realizadas em uma ampla faixa de temperaturas. A redução da temperatura do ambiente de 300K até 4,2K, apesar de exibir um forte aprimoramento de parâmetros dos dispositivos, como redução da inclinação de sublimar e da corrente de desligamento e aumento da corrente de saída, mostrou também uma elevação na ocorrência de autoaquecimento nos transistores. Além disso, abaixo de 100K, principalmente na faixa criogênica, a dependência do aumento de temperatura em função da potência dissipada deixou de ser linear, sendo verificado um forte aquecimento induzido por uma pequena variação de potência em temperaturas do ambiente próximas a 4,2K. Isso resultou em valores de resistência térmica abruptamente elevados quando a temperatura do dispositivo é extremamente baixa. Nos transistores pMOS com canal mais curto, de 30nm, o máximo aumento de temperatura observado foi de 3,4K em temperatura do ambiente de 300K, esse valor sendo elevado a 126,6K ao reduzir a temperatura do ambiente para 4,2K.

Com a redução da temperatura realizada através do método *dip-stick*, foi possível realizar todas as medidas de curvas de calibração da temperatura e de corrente de dreno por tensão de porta com medida da resistência de porta de uma única vez, em um conjunto de dispositivos encapsulados em *chip* e endereçados individualmente por uma matriz, tornando a análise do autoaquecimento em transistores com diferentes dimensões e características altamente eficiente. Após a obtenção da resistência térmica para toda a faixa de temperaturas do dispositivo, indo de 4,3K até cerca de 370K, foi observado que em temperaturas acima de 75K essas curvas apresentam tendência similar ao inverso da condutância térmica do dióxido de silício. Isso significa que a dissipação térmica ocorre majoritariamente pelo óxido enterrado, estando de acordo com resultados da literatura, pois esse serve como principal caminho da condução de calor. Nas temperaturas do dispositivo abaixo de 75K, porém, as curvas de resistência térmica passam a convergir para a tendência do inverso da condutância térmica do silício com espessura de 20nm, divergindo, portanto, da curva do dióxido de silício. Isso dá indícios de uma mudança de comportamento térmico do transistor operando em baixas temperaturas, em que a dissipação de calor passa a ter como caminho principal a região ativa de silício, através das elevações de fonte e dreno, no lugar do óxido enterrado, sendo um fenômeno ainda não bem compreendido pela comunidade científica. Em transistores com óxido

de porta espesso, sendo aplicadas polarizações de porta e dreno de até 1,8V, com diferentes comprimentos e larguras de canal, o mesmo comportamento foi observado. A redução do comprimento de canal mostrou maior influência no aumento do autoaquecimento do que o aumento da largura de canal, com transistores de canal curto tendo resistência térmica mais elevada do que transistores com canal mais largo, mesmo possuindo área similar de contato com o óxido enterrado.

Medidas em múltiplos transistores em paralelo operando simultaneamente mostraram que o aumento no número de transistores faz com que a temperatura do conjunto aumente, devido ao acoplamento térmico entre os canais de cada transistor. Um aumento foi observado ao se ter mais de um transistor em paralelo. Porém, o aumento do número de transistores de 3 para 9 e para 23 não afetou fortemente o aquecimento do conjunto. O acoplamento térmico apresentou pouca dependência com a temperatura do ambiente, com o aquecimento provocado ao aumentar o número de transistores sendo aproximadamente o mesmo, independente da temperatura de operação.

Por fim, os resultados de autoaquecimento mostraram que em temperaturas criogênicas, especialmente na situação de 4,3K, a medida com tensão de dreno elevada resulta em uma dissipação de potência que, mesmo baixa, leva a um aumento de temperatura abrupto que faz com que a temperatura de operação do dispositivo não mais seja próxima da temperatura do ambiente, podendo ser consideravelmente maior, impedindo a avaliação do comportamento elétrico na temperatura em que deseja analisar.

Para a continuação desse trabalho, na vertente da polarização de substrato nos nanofios transistores MOS, seria interessante avaliar como a tensão de substrato impacta o transporte de cargas em dispositivos operando em baixas temperaturas, visto que um aumento da mobilidade é observado com a redução da temperatura de operação, e os fenômenos de espalhamento dependentes da temperatura apresentam comportamento diferente. Como o espalhamento por impurezas neutras adquire maior importância, a relação com os espalhamentos dependentes do campo elétrico pode ser alterada, resultando em uma dependência da mobilidade de portadores com a tensão de substrato diferente da observada em temperatura ambiente. Na vertente do autoaquecimento em temperaturas criogênicas nos transistores SOI planares, seria interessante dar sequência à investigação da relação entre a resistência térmica e as condutâncias térmicas dos materiais, a fim de compreender o significado da resistência térmica passar a acompanhar a tendência da condutância térmica do silício e não mais do dióxido de silício, para temperaturas abaixo de 75K. Com isso, seria possível definir se na faixa de temperaturas criogênicas a dissipação de calor do transistor deixa de ser feita pelo óxido enterrado e passa a ocorrer a partir

do canal, através da fonte e do dreno elevados, e os motivos pelo qual isso acontece, já que é um fenômeno ainda não bem esclarecido. Também pode ser aprofundado o estudo do efeito do acoplamento térmico com múltiplos transistores em paralelo operando simultaneamente, para entender melhor como a distribuição de calor entre os transistores ocorre.



## REFERÊNCIAS

AFZALIAN, A. et al. Quantum confinement effects in capacitance behavior of multigate silicon nanowire MOSFETs. **IEEE Transactions on Nanotechnology**, v. 10, n. 2, p. 300-309, mar. 2011. Disponível em: <<https://ieeexplore.ieee.org/document/5373938>>. Acesso em: 20 jul. 2022.

AGILENT TECHNOLOGIES. **Agilent 4155C Semiconductor Parameter Analyzer Agilent 4156C Precision Semiconductor Parameter Analyzer User's Guide**, Agilent Technologies, 2009.

ASHEGHI, M. et al. Temperature-dependent thermal conductivity of single-crystal silicon layers in SOI substrates. **Journal of Heat Transfer**, v. 120, n. 1, p. 30-36, fev. 1998. Disponível em: <[https://www.researchgate.net/publication/245361967\\_Temperature-Dependent\\_Thermal\\_Conductivity\\_of\\_Single-Crystal\\_Silicon\\_Layers\\_in\\_SOI\\_Substrates](https://www.researchgate.net/publication/245361967_Temperature-Dependent_Thermal_Conductivity_of_Single-Crystal_Silicon_Layers_in_SOI_Substrates)>. Acesso em: 20 jul. 2022.

BALESTRA, F. et al. Double-gate silicon-on-insulator transistor with volume inversion: a new device with greatly enhanced performance. **IEEE Electron Device Letters**, v. 8, n. 9, p. 410-412, set. 1987. Disponível em: <<https://ieeexplore.ieee.org/document/1487227>>. Acesso em: 20 jul. 2022.

BALESTRA, F.; GHIBAUDO, G. **Device and Circuit Cryogenic Operation for Low Temperature Electronics**. 1. ed. Boston: Springer, 2001.

BALESTRA, F.; GHIBAUDO, G. Physics and performance of nanoscale semiconductor devices at cryogenic temperatures. **Semiconductor Science and Technology**, v. 32, n. 2, fev. 2017. Disponível em: <<https://iopscience.iop.org/article/10.1088/1361-6641/32/2/023002>>. Acesso em: 20 jul. 2022.

BANGSARUNTIP, S. et al. High performance and highly uniform gate-all-around silicon nanowire MOSFETs with wire size dependent scaling. *In*: INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 2009, Baltimore. **Anais eletrônicos... IEEE**, 2009. p. 1-4. Disponível em: <<https://ieeexplore.ieee.org/document/5424364>>. Acesso em: 20 jul. 2022.

BARRAUD, S. et al. Performance of omega-shaped-gate silicon nanowire MOSFET with diameter down to 8 nm. **IEEE Electron Device Letters**, v. 33, n. 11, p. 1526-1528, nov. 2012. Disponível em: <<https://ieeexplore.ieee.org/document/6303830>>. Acesso em: 20 jul. 2022.

BARRAUD, S. et al. Strained silicon directly on insulator n- and p-FET nanowire transistors. 15TH INTERNATIONAL CONFERENCE ON ULTIMATE INTEGRATION ON SILICON (ULIS), 2014, Stockholm. **Anais eletrônicos... IEEE**, 2014. p. 65-68. Disponível em: <<https://ieeexplore.ieee.org/document/6813907>>. Acesso em: 20 jul. 2022.

BECKERS, A. et al. Cryogenic characterization of 28 nm bulk CMOS technology for quantum computing. *In*: 47th EUROPEAN SOLID STATE DEVICE RESEARCH CONFERENCE (ESSDERC), 2017 Leuven. **Anais eletrônicos... IEEE**, 2017. p. 62-65. Disponível em: <<https://ieeexplore.ieee.org/document/8066592>>. Acesso em: 20 jul. 2022.

BEN-AKKEZ, I. et al. Impact of back biasing on the effective mobility in UTBB FDSOI CMOS technology. *In: INTERNATIONAL SEMICONDUCTOR CONFERENCE DRESDEN – GRENOBLE (ISCDG)*, 2013, Dresden. **Anais eletrônicos...** IEEE, 2013. p. 1-3. Disponível em: <<https://ieeexplore.ieee.org/document/6656324>>. Acesso em: 20 jul. 2022.

BREWS, J. R. Subthreshold behavior of uniformly and nonuniformly doped long-channel MOSFET. **IEEE Transactions on Electron Devices**, v. 26, n. 9, p. 1282-1291, set. 1979. Disponível em: <<https://ieeexplore.ieee.org/document/1480172>>. Acesso em: 20 jul. 2022.

BURY, E. et al. Experimental validation of self-heating simulations and projections for transistors in deeply scaled nodes. *In: IEEE INTERNATIONAL RELIABILITY PHYSICS SYMPOSIUM (IRPS)*, 2014, Waikoloa. **Anais eletrônicos...** IEEE, 2014, p. XT.8.1-XT.8.6. Disponível em: <<https://ieeexplore.ieee.org/document/6861186>>. Acesso em: 20 jul. 2022.

CALLENDER, S.; PELLERANO, S.; HULL, C. A 73GHz PA for 5G phased arrays in 14nm FinFET CMOS. *In: IEEE RADIO FREQUENCY INTEGRATED CIRCUITS SYMPOSIUM (RFIC)*, 2017, Honolulu. **Anais eletrônicos...** IEEE, 2017. p. 402-405. Disponível em: <<https://ieeexplore.ieee.org/document/7969103>>. Acesso em: 20 jul. 2022.

CANALI, C. et al., Electron and hole drift velocity measurements in silicon and their empirical relation to electric field and temperature. **IEEE Transactions on Electron Devices**, v. 22, n. 11, p. 1045-1047, nov. 1975. Disponível em: <<https://ieeexplore.ieee.org/document/1478102>>. Acesso em: 20 jul. 2022.

CASSÉ, M.; GHIBAUDO, G. Low temperature characterization and modeling of FDSOI transistors for cryo CMOS applications. *In: KAZI, S. N. Low-Temperature Technologies and Applications*, IntechOpen, jun. 2021. Disponível em: <<https://www.intechopen.com/chapters/77021>>. Acesso em: 20 jul. 2022.

CAUGHEY, D. M.; THOMAS, R. E. Carrier mobilities in silicon empirically related to doping and field. **Proceedings of the IEEE**, v. 55, n. 12, p. 2192-2193, dez. 1967. Disponível em: <<https://ieeexplore.ieee.org/document/1448053>>. Acesso em: 20 jul. 2022.

CHAN, V. et al. Strain for CMOS performance improvement. *In: IEEE CUSTOM INTEGRATED CIRCUITS CONFERENCE*, 2005, San Jose. **Anais eletrônicos...** IEEE, 2006. p. 667-674. Disponível em: <<https://ieeexplore.ieee.org/document/1568758>>. Acesso em: 20 jul. 2022.

CHARBON, E. et al. Cryo-CMOS for quantum computing. *In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM)*, 2016, São Francisco. **Anais eletrônicos...** IEEE, 2016. p. 343-346. Disponível em: <<https://ieeexplore.ieee.org/document/7838410>>. Acesso em: 20 jul. 2022.

COLINGE, J. P. et al. Silicon-on-insulator ‘gate-all-around’ MOS device. *In: INTERNATIONAL ELECTRON DEVICES MEETING IEDM '90. TECHNICAL DIGEST*, 1990, San Francisco. **Anais eletrônicos...** IEEE, 1990. p. 595-598. Disponível em: <<https://ieeexplore.ieee.org/document/145749>>. Acesso em: 20 jul. 2022.

COLINGE, J. P.; COLINGE, C. A. **Physics of Semiconductor Devices**. 1. ed. Massachusetts: Kluwer Academic, 2002.

COLINGE, J. P. P. **Silicon-On-Insulator Technology: Materials to VLSI**. 3. ed. New York: Springer, 2004.

COLINGE, J. P. **FinFETs and Other Multi-Gate Transistors**. 1. ed. Cambridge, Springer, 2008.

COQUAND, R. et al. Scaling of high-k/metal-gate trigate SOI nanowire transistors down to 10nm width. *In: 13TH INTERNATIONAL CONFERENCE ON ULTIMATE INTEGRATION ON SILICON (ULIS)*, 2012, Grenoble. **Anais eletrônicos... IEEE**, 2012. p. 37-40. Disponível em: <<https://ieeexplore.ieee.org/document/6193351>>. Acesso em: 20 jul. 2022.

CRISTOLOVEANU, S. et al. Evidence of supercoupling effect in ultrathin silicon layers using a four-gate MOSFET. **IEEE Electron Device Letters**, v. 38, n. 2, p. 1-1, dez. 2016. Disponível em: <<https://ieeexplore.ieee.org/document/7778147>>. Acesso em: 20 jul. 2022.

DALLMANN, D. A.; SHENAI, K. Scaling constraints imposed by self-heating in submicron SOI MOSFET's. **IEEE Transaction on Electron Devices**, v. 42, n. 3, p. 489-496, mar. 1995. Disponível em: <<https://ieeexplore.ieee.org/document/368045>>. Acesso em: 20 jul. 2022.

DAUGÉ, F. et al. Coupling effects and channel separation in FinFETs. **Solid-State Electronics**, v. 48, n. 4, p. 535-542, abr. 2004. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S003811010300409X>>. Acesso em: 20 jul. 2022.

DESHPANDE, V. et al. Scaling of trigate nanowire (NW) MOSFETs down to 5 nm width: 300 K transition to single electron transistor, challenges and opportunities. *In: EUROPEAN SOLID-STATE DEVICE RESEARCH CONFERENCE (ESSDERC)*, 2012, Bordeaux. **Anais eletrônicos... IEEE**, 2012. p. 121-124. Disponível em: <<https://ieeexplore.ieee.org/document/6343348>>. Acesso em: 20 jul. 2022.

DOYLE, B. S. et al. High performance fully-depleted tri-gate CMOS transistors. **IEEE Electron Device Letters**, v. 24, n. 4, p. 263-265, abr. 2003. Disponível em: <<https://ieeexplore.ieee.org/document/1206858>>. Acesso em: 20 jul. 2022.

DUPRÉ, C. et al. Method for 3D electrical parameters dissociation and extraction in multichannel MOSFET (MCFET). **Solid-State Electronics**, v. 53, n. 7, p. 746-752, jul, 2009. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S0038110109000926>>. Acesso em: 20 jul. 2022.

ERNST, T. et al. Ultimately thin SOI MOSFETs: special characteristics and mechanisms. *In: IEEE INTERNATIONAL SOI CONFERENCE*, 1999, Rohnert Park. **Anais eletrônicos... IEEE**, 1999. p. 98-99. Disponível em: <<https://ieeexplore.ieee.org/document/819868>>. Acesso em: 20 jul. 2022.

ERNST, T.; CRISTOLOVEANU, S. Buried oxide fringing capacitance: a new physical model and its implications on SOI device scaling and architecture. *In: IEEE INTERNATIONAL SOI CONFERENCE*, 1999, Rohnert Park. **Anais eletrônicos... IEEE**, 1999. Disponível em: <<https://ieeexplore.ieee.org/document/819847>>. Acesso em: 20 jul. 2022.

ESSENI, D. et al. An experimental study of mobility enhancement in ultrathin SOI transistors operated in double-gate mode. **IEEE Transactions on Electron Devices**, v. 50, n. 3, p. 802-

808, mar. 2003. Disponível em: <<https://ieeexplore.ieee.org/document/1202626>>. Acesso em: 20 jul. 2022.

FLANDRE, D. et al. Modelling and application of fully depleted SOI MOSFETs for low voltage, low power, analogue CMOS circuits. **Solid-State Electronics**, v. 39, n. 4, p. 455-460, abr. 1996. Disponível em: <<https://www.sciencedirect.com/science/article/pii/0038110195001670>>. Acesso em: 20 jul. 2022.

FLEURY, D. et al. New Y-Function-based methodology for accurate extraction of electrical parameters on nano-scaled MOSFETs. *In*: IEEE CONFERENCE ON MICROELECTRONIC TEST STRUCTURES, 2008, Edinburgh. **Anais eletrônicos... IEEE**, 2008. p. 160-165. Disponível em: <<https://ieeexplore.ieee.org/document/4509332>>. Acesso em: 20 jul. 2022.

FOSSUM, J. G.; YANG, J. W.; TRIVEDI, V. P. Suppression of corner effects in triple-gate MOSFETs, **IEEE Electron Device Letters**, v. 24, n. 12, p. 745-747, 2003. Disponível em: <<https://ieeexplore.ieee.org/document/1254605>>. Acesso em: 20 jul. 2022.

GALY, P. et al. Cryogenic temperature characterization of a 28-nm FD-SOI dedicated structure for advanced CMOS and quantum technologies co-integration. **IEEE Journal of the Electron Devices Society**, v. 6, p. 594-600, maio 2018. Disponível em: <<https://ieeexplore.ieee.org/document/8370029>>. Acesso em: 20 jul. 2022.

GREEN, R.R. MOSFET operation at 4.2 K. **Review of Scientific Instruments**, v. 39, n. 10, p. 1495-1497, nov. 1968. Disponível em: <<https://aip.scitation.org/doi/10.1063/1.1683144>>. Acesso em: 20 jul. 2022.

GHIBAUDO, G. New method for the extraction of MOSFET parameters. **Electronics Letters**, v. 24, n. 9, p. 543-545, abr. 1988. Disponível em: <[https://digital-library.theiet.org/content/journals/10.1049/el\\_19880369](https://digital-library.theiet.org/content/journals/10.1049/el_19880369)>. Acesso em: 20 jul. 2022.

GOEL, A. K.; TAN, T. H. High-temperature and self-heating effects in fully depleted SOI MOSFETs. **Microelectronics Journal**, v. 37, n. 9, p. 963-975, set. 2006. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S0026269206000188>>. Acesso em: 20 jul. 2022.

GUTIÉRREZ, E. A.; DEEN, J.; CLAEYS, C. **Low temperature electronics: physics, devices, circuits, and applications**. 1. ed. Nova York: Academic Press, 2000.

GWENNAP, L. FD-SOI OFFERS ALTERNATIVE TO FINFET - GlobalFoundries leads with cost-sensitive manufacturing option. The Linley Group, v. Microprocessor Report, n. Insightful Analysis of Processor Technology, ago. 2016.

HAFEZ, I. M.; GHIBAUDO, G.; BALESTRA, F. Analytical modelling of the kink effect in MOS transistors. *In*: EUROPEAN SOLID STATE DEVICE RESEARCH CONFERENCE (ESSDERC), 1989, Berlin. **Anais eletrônicos... IEEE**, 2010. p. 897-900. Disponível em: <<https://ieeexplore.ieee.org/document/5436458>>. Acesso em: 20 jul. 2022.

HAN, Y. et al. Impact of the backgate on the performance of SOI UTBB nMOSFETs at cryogenic temperatures. *In*: JOINT INTERNATIONAL EUROSOCI WORKSHOP AND INTERNATIONAL CONFERENCE ON ULTIMATE INTEGRATION ON SILICON

(EUROSOI-ULIS), 2021, Caen. **Anais eletrônicos... IEEE**, 2021. p. 1-4. Disponível em: <<https://ieeexplore.ieee.org/document/9560182>>. Acesso em: 20 jul. 2022.

HE, G. et al. Integration and challenges of novel high-k gate stacks in advanced CMOS technology. **Progress in Materials Science**, v. 56, n. 5, p. 475-572, jul. 2011. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S0079642511000132>>. Acesso em: 20 jul. 2022.

HISAMOTO, D. et al. A fully depleted lean-channel transistor (DELTA)-a novel vertical ultrathin SOI MOSFET. **IEEE Electron Device Letters**, v. 11, n. 1, p. 36-38, jan. 1990. Disponível em: <<https://ieeexplore.ieee.org/document/74182>>. Acesso em: 20 jul. 2022.

HISAMOTO, D. et al. FinFET-a self-aligned double-gate MOSFET scalable to 20 nm. **IEEE Transactions on Electron Devices**, v. 47, n. 12, p. 2320-2325, dez. 2000. Disponível em: <<https://ieeexplore.ieee.org/document/887014>>. Acesso em: 20 jul. 2022.

HUTIN, L. et al. MOS technology for quantum computing: recent progress and perspectives for scaling up. *In: 2021 DEVICE RESEARCH CONFERENCE, 2021, Santa Barbara.* **Anais eletrônicos... IEEE**, 2021. p. 1-2. Disponível em: <<https://ieeexplore.ieee.org/document/9467200>>. Acesso em: 20 jul. 2022.

JAHAN, C. et al.  $\Omega$ FETs transistors with TiN metal gate and HfO<sub>2</sub> down to 10 nm. *In: SYMPOSIUM ON VLSI TECHNOLOGY, 2005, Kyoto.* **Anais eletrônicos... IEEE**, 2005. p. 112-113. Disponível em: <<https://ieeexplore.ieee.org/document/1469233>>. Acesso em: 20 jul. 2022.

JAN, C. H. et al. A 22nm SoC platform technology featuring 3-D tri-gate and high-k/metal gate, optimized for ultra low power, high performance and high density SoC applications. *In: INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 2012, San Francisco.* **Anais eletrônicos... IEEE**, 2013. p. 3.1.1-3.1.4. Disponível em: <<https://ieeexplore.ieee.org/document/6478969>>. Acesso em: 20 jul. 2022.

JIANG, H. et al. Unified self-heating effect model for advanced digital and analog technology and thermal-aware lifetime prediction methodology. *In: IEEE SYMPOSIUM ON VLSI TECHNOLOGY, 2017, Kyoto.* **Anais eletrônicos... IEEE**, 2017. p. T136-T137. Disponível em: <<https://ieeexplore.ieee.org/document/7998153>>. Acesso em: 20 jul. 2022.

JIN, W. et al. Self-heating characterization for SOI MOSFET based on AC output conductance. *In: INTERNATIONAL ELECTRON DEVICES MEETING (IEDM) 1999 TECHNICAL DIGEST, 1999, Washington.* **Anais eletrônicos... IEEE**, 2002. p. 175-178. Disponível em: <<https://ieeexplore.ieee.org/document/823873>>. Acesso em: 20 jul. 2022.

KANTNER, M.; KOPRUCKI, T. Numerical simulation of carrier transport in semiconductor devices at cryogenic temperatures. **Optical Quantum Electronics**, v. 48, n. 12, p. 543, dez. 2016. Disponível em: <[https://www.researchgate.net/publication/338827194\\_Numerical\\_Simulation\\_of\\_Carrier\\_Transport\\_at\\_Cryogenic\\_Temperatures](https://www.researchgate.net/publication/338827194_Numerical_Simulation_of_Carrier_Transport_at_Cryogenic_Temperatures)>. Acesso em: 20 jul. 2022.

KEYSIGHT TECHNOLOGIES. **Keysight Technologies B1500A Semiconductor Device Analyzer User's Guide**, Keysight Technologies, 2015a.

KEYSIGHT TECHNOLOGIES. **Keysight Technologies E4980A/AL Precision LCR Meter User's Guide**, Keysight Technologies, 2015b.

KILCHYTSKA, V. et al. Ultra-thin body and thin-BOX SOI CMOS technology analog figures of merit. **Solid-State Electronics**, v. 70, p. 50-58, abr. 2012. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S0038110111004163>>. Acesso em: 20 jul. 2022.

KILCHYTSKA, V. et al. Perspectives of UTBB FD SOI MOSFETs for Analog and RF applications. In: NAZAROV, A. et al. **Functional Nanomaterials and Devices for Electronics, Sensors and Energy Harvesting**. Switzerland: Springer, 2014. Cap. 2. p. 27-46.

KISTLER, N; WOO, J. Detailed characterization and analysis of the breakdown voltage in fully depleted SOI n-MOSFET's. **IEEE Transactions on Electron Devices**, v. 41, n. 7, p. 1217-1221, jul. 1994. Disponível em: <<https://ieeexplore.ieee.org/document/293350>>. Acesso em: 20 jul. 2022.

KLAASSEN D. B. M. A unified mobility model for device simulation-I. Model equations and concentration dependence. **Solid-State Electronics**, v. 35, n. 7, p. 953-959, jul. 1992. Disponível em: <<https://www.sciencedirect.com/science/article/pii/0038110192903257>>. Acesso em: 20 jul. 2022.

KOYAMA, M. et al. Study of carrier transport in strained and unstrained SOI tri-gate and omega-gate silicon nanowire MOSFETs. **Solid-State Electronics**, v. 84, p. 46-52, jun. 2013. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S0038110113000853>>. Acesso em: 20 jul. 2022.

KRISHNAN, S.; FOSSUM, J. G. Grasping SOI floating-body effects. **IEEE Circuits and Devices Magazine**, v. 14, n. 4, p. 32-37, jul. 1998. Disponível em: <<https://ieeexplore.ieee.org/document/708479>>. Acesso em: 20 jul. 2022.

KRULL, W. A.; LEE, J. C. Demonstration of the benefits of SOI for high temperature operation. In: SOS/SOI TECHNOLOGY WORKSHOP, 1988, Saint Simon Island. **Anais eletrônicos...** IEEE, 1988, p. 69. Disponível em: <<https://ieeexplore.ieee.org/document/95439>>. Acesso em: 20 jul. 2022.

KURODA, T. et al. A 0.9-V, 150-MHz, 10-mW, 4 mm<sup>2</sup>, 2-D discrete cosine transform core processor with variable threshold voltage (VT) scheme. **IEEE Journal of Solid-State Circuits**, v. 31, n. 11, p. 1770-1779, nov. 1996. Disponível em: <<https://ieeexplore.ieee.org/document/542322>>. Acesso em: 20 jul. 2022.

LAI, W.-T. et al. Analysis of carrier transport in trigate Si nanowire MOSFETs. **IEEE Transactions on Electron Devices**, v. 58, n. 5, p. 1336-1343, maio 2011. Disponível em: <<https://ieeexplore.ieee.org/document/5730483>>. Acesso em: 20 jul. 2022.

LANDGRAF, E. et al. Influence of crystal orientation and body doping on trigate transistor performance. **Solid-State Electronics**, v. 50, n. 1, p. 38-43, dec. 2005. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S0038110105003229>>. Acesso em: 20 jul. 2022.

LEE, J. W. et al. Mobility analysis of surface roughness scattering in FinFET devices. **Solid-State Electronics**, v. 62, n. 1, p. 195-201, ago. 2011. Disponível em:

<<https://www.sciencedirect.com/science/article/pii/S0038110111001547>>. Acesso em: 20 jul. 2022.

LI, S. S.; THURBER, W. R. The dopant density and temperature dependence of electron mobility and resistivity in n-type silicon. **Solid-State Electronics**, v. 20, n. 7, p. 609-616, jul. 1977. Disponível em: <<https://www.sciencedirect.com/science/article/pii/0038110177901009>>. Acesso em: 20 jul. 2022.

LIU Q. et al. Ultra-thin-body and BOX (UTBB) fully depleted (FD) device integration for 22nm node and beyond. *In*: SYMPOSIUM ON VLSI TECHNOLOGY, 2010, Honolulu. **Anais eletrônicos... IEEE** 2010. p. 61-62. Disponível em: <<https://ieeexplore.ieee.org/document/5556120>>. Acesso em: 20 jul. 2022.

LOMBARDI, C. et al. A physically based mobility model for numerical simulation of nonplanar devices. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, v. 7, n. 11, p. 1164-1171, nov. 1988. Disponível em: <<https://ieeexplore.ieee.org/document/9186>>. Acesso em: 20 jul. 2022.

LUNDSTROM, M. **Fundamentals of Carrier Transport**. 2. ed. Cambridge: Cambridge University, 2000.

MARIN, E. G. et al. Impact of the back-gate biasing on trigate MOSFET electron mobility. **IEEE Transactions on Electron Devices**, v. 62, n. 1, p. 224-227, jan. 2015. Disponível em: <<https://ieeexplore.ieee.org/document/6960083>>. Acesso em: 20 jul. 2022.

MARINIELLO G. et al., Underestimation of measured self-heating in nanowires by using gate resistance technique. **Electronics Letters**, v. 52, n. 23, p. 1935-1937, nov. 2016. Disponível em: <<https://ietresearch.onlinelibrary.wiley.com/doi/10.1049/el.2016.2570>>. Acesso em: 20 jul. 2022.

MCLARTY, P. K. et al. A simple parameter extraction method for ultra-thin oxide MOSFETs. **Solid-State Electronics**, v. 38, n. 6, p. 1175-1177, jun. 1995. Disponível em: <<https://www.sciencedirect.com/science/article/pii/003811019400248E>>. Acesso em: 20 jul. 2022.

MOORE, G. E. Cramming more components onto integrated circuits. **Electronics**, v. 38, n. 8, p. 114-117, abr. 1965. Disponível em: <[https://www.researchgate.net/publication/224386440\\_Cramming\\_more\\_components\\_onto\\_integrated\\_circuits\\_Reprinted\\_from\\_Electronics\\_volume\\_38\\_number\\_8\\_April\\_19\\_1965\\_pp114\\_ff](https://www.researchgate.net/publication/224386440_Cramming_more_components_onto_integrated_circuits_Reprinted_from_Electronics_volume_38_number_8_April_19_1965_pp114_ff)>. Acesso em: 20 jul. 2022.

MORELLE, A. et al. Improved split-CV mobility extraction in 28 nm fully depleted silicon on insulator transistors. **IEEE Electron Device Letters**, v. 42, n. 5, p. 661-664, maio 2021. Disponível em: <<https://ieeexplore.ieee.org/document/9373427>>. Acesso em: 20 jul. 2022.

MUJTABA, S. A. **Advanced mobility models for design and simulation of deep submicrometer MOSFETs**. 1995. 170 f. Tese (Doutorado em Engenharia Elétrica) – Stanford University, Palo Alto, 1995.

NAGUMO, T.; HIRAMOTO, T. Design guideline of multi-gate MOSFETs with substrate-bias control. **IEEE Transactions of Electron Devices**, v. 53, n. 12, p. 3025-3031, dez. 2006. Disponível em: <<https://ieeexplore.ieee.org/document/4016354>>. Acesso em: 20 jul. 2022.

NANDAKUMAR, M. et al. Shallow trench isolation for advanced ULSI CMOS technologies. *In: INTERNATIONAL ELECTRON DEVICES MEETING (IEDM) 1998 TECHNICAL DIGEST*, 1998, San Francisco. **Anais eletrônicos... IEEE**, 2002. p. 133-136. Disponível em: <https://ieeexplore.ieee.org/document/746297>. Acesso em: 20 jul. 2022.

NAVARRO, C et al. Supercoupling effect in short-channel ultrathin fully depleted silicon-on-insulator transistors. **Journal of Applied Physics**, v. 118, n. 18, nov. 2015. Disponível em: <<https://aip.scitation.org/doi/10.1063/1.4935453>>. Acesso em: 20 jul. 2022.

NEGRO, V. C.; PANNONE, L. Self-heating and gate leakage current in a guarded MOSFET. **Proceedings of the IEEE**, v. 60, n. 3, p. 342-343, mar. 1972. Disponível em: <<https://ieeexplore.ieee.org/document/1450570>>. Acesso em: 20 jul. 2022.

NIER, O. et al. Multi-scale strategy for high-k/metal-gate UTBB-FDSOI devices modeling with emphasis on back bias impact on mobility. **Journal of Computational Electronics**, v. 12, p. 675-684, nov. 2013. Disponível em: <<https://link.springer.com/article/10.1007/s10825-013-0532-1>>. Acesso em: 20 jul. 2022.

OHATA, A. et al. Mobility enhancement by back-gate biasing in ultrathin SOI MOSFETs with thin BOX. **IEEE Electron Device Letters**, v. 33, n. 3, p. 348-350, mar. 2012. Disponível em: <<https://ieeexplore.ieee.org/document/6142008>>. Acesso em: 20 jul. 2022.

OHTOU, T.; SARAYA T.; HIRAMOTO, T. Variable-body-factor SOI MOSFET with ultrathin buried oxide for adaptive threshold voltage and leakage control. **IEEE Transactions on Electron Devices**, v. 55, n. 1, p. 40-47, jan. 2008. Disponível em: <<https://ieeexplore.ieee.org/document/4408803>>. Acesso em: 20 jul. 2022.

ONG, S. N. et al. 22nm FD-SOI technology with back-biasing capability offers excellent performance for enabling efficient, ultra-low power analog and RF/millimeter-wave designs. *In: IEEE RADIO FREQUENCY INTEGRATED CIRCUITS SYMPOSIUM (RFIC)*, 2019, Boston. **Anais eletrônicos... IEEE**, 2019. p. 323-326. Disponível em: <<https://ieeexplore.ieee.org/document/8701768>>. Acesso em: 20 jul. 2022.

ORTIZ-CONDE, A. et al. A review of recent MOSFET threshold voltage extraction methods. **Microelectronics Reliability**, v. 42, n. 4-5, p. 583-596, abr. 2002. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S0026271402000276>>. Acesso em: 20 jul. 2022.

OTA, K. et al. Threshold voltage control by substrate bias in 10-nm-diameter tri-gate nanowire MOSFET on ultrathin BOX. **IEEE Electron Device Letters**, v. 34, n. 2, p. 187-189, fev. 2013. Disponível em: <<https://ieeexplore.ieee.org/document/6413169>>. Acesso em: 20 jul. 2022.

PARK, S. J. et al. Impact of channel width on back biasing effect in tri-gate MOSFET. **Microelectronic Engineering**, v. 114, p. 91-97, fev. 2014. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S0167931713006205>>. Acesso em: 20 jul. 2022.

PAZ, B. C. et al. Back bias impact on effective mobility of p-type nanowire SOI MOSFETs. *In: SYMPOSIUM ON MICROELECTRONICS TECHNOLOGY AND DEVICES (SBMicro)*, 2018a, Bento Gonçalves. **Anais eletrônicos...** IEEE, 2018. p. 1-4. Disponível em: <<https://ieeexplore.ieee.org/document/8511505>>. Acesso em: 20 jul. 2022.

PAZ, B. C. et al. Methodology to separate channel conduction of two level vertically stacked SOI nanowire MOSFETs. **Solid-State Electronics**, v. 149, p. 62-70, nov. 2018b. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S003811011830282X>>. Acesso em: 20 jul. 2022.

PAZ, B. C. et al. Variability evaluation of 28nm FD-SOI technology at cryogenic temperatures down to 100mK for quantum computing. *In: IEEE SYMPOSIUM ON VLSI TECHNOLOGY*, 2020a, Honolulu. **Anais eletrônicos...** IEEE, 2020a. p. 1-2. Disponível em: <<https://ieeexplore.ieee.org/document/9265034>>. Acesso em: 20 jul. 2022.

PAZ, B. C. et al. Performance and low-frequency noise of 22-nm FDSOI down to 4.2 K for cryogenic applications. **IEEE Transactions on Electron Devices**, v. 67, n. 11, p. 4563-4567, nov. 2020b. Disponível em: <<https://ieeexplore.ieee.org/document/9201379>>. Acesso em: 20 jul. 2022.

PAZ, B. C. et al. Electrostatics and channel coupling on 28 nm FD-SOI for cryogenic applications. *In: JOINT INTERNATIONAL EUROSOCI WORKSHOP AND INTERNATIONAL CONFERENCE ON ULTIMATE INTEGRATION ON SILICON (EUROSOCI-ULIS)*, 2020c, Caen. **Anais eletrônicos...** IEEE, 2020c. p. 1. Disponível em: <<https://ieeexplore.ieee.org/document/9365453>>. Acesso em: 20 jul. 2022.

PAZ, B. C. et al. Front and back channels coupling and transport on 28 nm FD-SOI MOSFETs down to liquid-He temperature. **Solid-State Electronics**, v. 186, 2021. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S0038110121001167>>. Acesso em: 20 jul. 2022.

GAUBERT, P.; TERAMOTO, A. Carrier mobility in field-effect transistors. *In: PEJOVIC, M. M.; PEJOVIC, M. M. Different Types of Field-Effect Transistors: Theory and Applications*, IntechOpen, jun. 2017. Disponível em: <<https://www.intechopen.com/books/5864> doi: 10.5772/65626>. Acesso em: 20 jul. 2022.

CASSÉ, M.; GHIBAUDO, G. Low temperature characterization and modeling of FDSOI transistors for cryo CMOS applications. *In: KAZI, S. N. Low-Temperature Technologies and Applications*, IntechOpen, jun. 2021. Disponível em: <<https://www.intechopen.com/chapters/77021>>. Acesso em: 20 jul. 2022.

PLANES, N. et al. 28nm FDSOI technology platform for high-speed low-voltage digital applications. *In: IEEE SYMPOSIUM ON VLSI TECHNOLOGY*, 2012, Honolulu. **Anais eletrônicos...** IEEE, 2012. p. 133-134. Disponível em: <<https://ieeexplore.ieee.org/document/6242497>>. Acesso em: 20 jul. 2022.

POIROUX, T. et al. Multiple gate devices: advantages and challenges. **Microelectronic Engineering**, v. 80, p. 378-385, jun. 2005. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S0167931705002340>>. Acesso em: 20 jul. 2022.

POP, E.; DUTTON, R.; GOODSON, K. Thermal analysis of ultra-thin body device scaling [SOI and FinFet devices]. *In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM)*, 2003, Washington. **Anais eletrônicos...** IEEE, 2004. p. 8-10. Disponível em: <<https://ieeexplore.ieee.org/document/1269420>>. Acesso em: 20 jul. 2022.

PRASAD et al. Self-heat reliability considerations on Intel's 22nm tri-gate technology. *In: IEEE INTERNATIONAL RELIABILITY PHYSICS SYMPOSIUM (IRPS)*, 2013, Monterey. **Anais eletrônicos...** IEEE, 2013. p. 5D.1.1-5D.1.5. Disponível em: <<https://ieeexplore.ieee.org/document/6532036>>. Acesso em: 20 jul. 2022.

PRASAD, C.; RAMEY, S.; JIANG, L. Self-heating in advanced CMOS technologies. *In: IEEE INTERNATIONAL RELIABILITY PHYSICS SYMPOSIUM (IRPS)*, 2017, Monterey. **Anais eletrônicos...** IEEE, 2017. p. 6A-4.1-6A-4.7. Disponível em: <<https://ieeexplore.ieee.org/document/7936336>>. Acesso em: 20 jul. 2022.

RISCH, L. Pushing CMOS beyond the roadmap. **Solid-State Electronics**, v. 50, n. 4, p. 527-535, abr. 2006. Disponível em: <<https://ieeexplore.ieee.org/document/1541558>>. Acesso em: 20 jul. 2022.

RITZENTHALER R. et al. Lateral coupling and immunity to substrate effect in  $\Omega$ FET devices. **Solid-State Electronics**, v. 50, n. 4, p. 558-565, abr. 2006. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S0038110106000748>>. Acesso em: 20 jul. 2022.

ROBERTSON, J.; WALLACE, R. M. High-K materials and metal gates for CMOS applications. **Materials Science and Engineering**, v. 88, p. 1-41, fev. 2015. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S0927796X14001168>>. Acesso em: 20 jul. 2022.

ROMANJEK, K. et al. Improved split C-V method for effective mobility extraction in sub-0.1- $\mu$ m Si MOSFETs. **IEEE Electron Device Letters**, v. 25, n. 8, p. 583-585, ago. 2004. Disponível em: <<https://ieeexplore.ieee.org/document/1317033>>. Acesso em: 20 jul. 2022.

RUDENKO, T. et al. Special features of the back-gate effects in ultra-thin body SOI MOSFETs. *In: NAZAROV, A. et al. Semiconductor-On-Insulator Materials for Nanoelectronics Applications*. Eds. New York, NY, USA: Springer-Verlag, 2011, p. 323-339.

RUIZ, F. G. et al. Influence of the back-gate bias on the electron mobility of trigate MOSFETs. *In: INTERNATIONAL CONFERENCE ON SIMULATION OF SEMICONDUCTOR PROCESSES AND DEVICES (SISPAD)*, 2013, Glasgow. **Anais eletrônicos...** IEEE, 2013. p. 304-307. Disponível em: <<https://ieeexplore.ieee.org/document/6650635>>. Acesso em: 20 jul. 2022.

SAITO, T. et al. Suppression of short channel effects in triangular parallel wire channel MOSFETs. **IEICE Transactions on Electronics**, v. E-85C, n. 5, p. 1073-1078, maio 2002. Disponível em: <[https://www.researchgate.net/publication/289651908\\_Suppression\\_of\\_short\\_channel\\_effect\\_in\\_triangular\\_parallel\\_wire\\_channel\\_MOSFETs](https://www.researchgate.net/publication/289651908_Suppression_of_short_channel_effect_in_triangular_parallel_wire_channel_MOSFETs)>. Acesso em: 20 jul. 2022.

SAITOH, M. et al. Short-channel performance and mobility analysis of <110>- and <100>-oriented tri-gate nanowire MOSFETs with raised source/drain extensions. *In: IEEE SYMPOSIUM ON VLSI TECHNOLOGY*, 2010, Honolulu. **Anais eletrônicos...** IEEE, jun.

2010. p. 169-170. Disponível em: <<https://ieeexplore.ieee.org/document/5556214>>. Acesso em: 20 jul. 2022.

SAITOH, M. et al. 10nm-diameter tri-gate silicon nanowire MOSFETs with enhanced high-field transport and  $V_{th}$  tunability through thin BOX. *In: IEEE SYMPOSIUM ON VLSI TECHNOLOGY*, 2012, Honolulu. **Anais eletrônicos...** IEEE, jun. 2012. p. 11-12. Disponível em: <<https://ieeexplore.ieee.org/document/6242436>>. Acesso em: 20 jul. 2022.

SCHWANK, J. R. et al. Radiation effects in SOI technologies. **IEEE Transactions on Nuclear Science**, v. 50, n. 3, p. 522-538, jun. 2003. Disponível em: <<https://ieeexplore.ieee.org/document/1208574>>. Acesso em: 20 jul. 2022.

SEKIGAWA, T.; HAYASHI, Y. Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate. **Solid-State Electronics**, v. 27, n. 8-9, p. 827-828, set. 1984. Disponível em: <<https://ui.adsabs.harvard.edu/abs/1984SSEle..27..827S/abstract>>. Acesso em: 20 jul. 2022.

SESNIC, S. S.; CRAIG, G. R. Thermal effects in JFET and MOSFET devices at cryogenic temperatures. **IEEE Transactions on Electron Devices**, v. 19, n. 8, p. 933-942, ago. 1972. Disponível em: <<https://ieeexplore.ieee.org/document/1476993>>. Acesso em: 20 jul. 2022.

SHOCKLEY, W.; READ, W. T. Statistics of the recombinations of holes and electrons. **Physical Review**, v. 87, n. 5, p. 835-842, set. 1952. Disponível em: <<https://journals.aps.org/pr/abstract/10.1103/PhysRev.87.835>>. Acesso em: 20 jul. 2022.

SLOTBOOM, J. W.; DE GRAAFF, H. C. Measurements of bandgap narrowing in Si bipolar transistors. **Solid-State Electronics**, v. 19, n. 10, p. 857-862, out. 1976. Disponível em: <<https://www.sciencedirect.com/science/article/pii/0038110176900435>>. Acesso em: 20 jul. 2022.

SMITH, J. A. et al. Investigation of electrically gate-all-around hexagonal nanowire FET (HexFET) architecture for 5 nm node logic and SRAM applications. *In: 47th EUROPEAN SOLID-STATE DEVICE RESEARCH CONFERENCE (ESSDERC)*, 2017, Leuven. **Anais eletrônicos...** IEEE, 2017. p. 188-191. Disponível em: <<https://ieeexplore.ieee.org/document/8066623>>. Acesso em: 20 jul. 2022.

SODINI, C. G.; EKSEDT, T. W.; MOLL, J. L. Charge accumulation and mobility in thin dielectric MOS transistors. **Solid-State Electronics**, v. 25, n. 9, p. 833-841, set. 1982. Disponível em: <<https://www.sciencedirect.com/science/article/pii/0038110182901708>>. Acesso em: 20 jul. 2022.

STERN, F. Calculated temperature dependence of mobility in silicon inversion layers. **Physical Review Letters**, v. 44, n. 22, p. 1469-1472, jun. 1980. Disponível em: <<https://journals.aps.org/prl/abstract/10.1103/PhysRevLett.44.1469>>. Acesso em: 20 jul. 2022.

SUBRAMANIAN, V. et al. Impact of fin width on digital and analog performances of n-FinFETs. **Solid-State Electronics**, v. 51, n. 4, p. 551-559, mar. 2007. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S0038110107000548>>. Acesso em: 20 jul. 2022.

SWARTZ, E. T.; POHL, R. O. Thermal boundary resistance. **Reviews of Modern Physics**, v. 61, n. 3, p. 605-668, jul. 1989. Disponível em:

<<https://journals.aps.org/rmp/abstract/10.1103/RevModPhys.61.605>>. Acesso em: 20 jul. 2022.

SYNOPSYS. **Sentaurus Device User Guide**. Synopsys, 2021a.

SYNOPSYS. **Sentaurus Process User Guide**. Synopsys, 2021b.

SYNOPSYS. **Sentaurus Structure Editor User Guide**. Synopsys, 2021c.

SZE, S. M.; KWOK, K. Ng. **Physics of Semiconductor Devices**. 3. ed. Hoboken: John Wiley and Sons, 2007.

SZELAG, B.; BALESTRA, F. Substrate bias dependence of the transconductance of deep submicron silicon NMOSFETs. **Solid-State Electronics**, v. 42, n. 10, p. 1827-1829, out. 1998. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S003811019800152X>>. Acesso em: 20 jul. 2022.

TACHI, K. et al. Experimental study on carrier transport limiting phenomena in 10 nm width nanowire CMOS transistors. *In*: INTERNATIONAL ELECTRON DEVICES MEETING IEDM '09. TECHNICAL DIGEST, 2009, Baltimore. **Anais eletrônicos... IEEE**, 2009. p. 94-95. Disponível em: <<https://ieeexplore.ieee.org/document/5703476>>. Acesso em: 20 jul. 2022.

TAKACS, D; TRAGER, J. Temperatura increase by self-heating in VLSI CMOS. *In*: 17TH EUROPEAN SOLID STATE DEVICE RESEARCH CONFERENCE, 1987, Bologna. **Anais eletrônicos... IEEE**, 2010. p. 729-732. Disponível em: <<https://ieeexplore.ieee.org/document/5436746>>. Acesso em: 20 jul. 2022.

TAKAGI, S. et al. On the universality of inversion layer mobility in Si MOSFET's: Part I-effects of substrate impurity concentration. **IEEE Transactions on Electron Devices**, v. 41, n. 12, p. 2357-2362, dez. 1994. Disponível em: <<https://ieeexplore.ieee.org/abstract/document/337449>>. Acesso em: 20 jul. 2022.

TAKAHASHI, T. et al. Direct evaluation of self-heating effects in bulk and ultra-thin BOX SOI MOSFETs using four-terminal gate resistance technique. **IEEE Journal of the Electron Devices Society**, v. 4, n. 5, p. 365-373, set. 2016. Disponível em: <<https://ieeexplore.ieee.org/document/7469833>>. Acesso em: 20 jul. 2022.

TANAKA, T. et al. Novel extraction method for size-dependent mobility based on BSIM3-like compact model. **Japan Journal of Applied Physics**, v. 44, n. 4S, p. 2424-2427, abr. 2005. Disponível em: <<https://iopscience.iop.org/article/10.1143/JJAP.44.2424>>. Acesso em: 20 jul. 2022.

TENBROEK, B. M. et al. Self-heating effects in SOI MOSFETs and their measurement by small signal conductance techniques. **IEEE Transactions Electron Devices**, v. 43, n. 12, p. 2240-2248, dez. 1996. Disponível em: <<https://ieeexplore.ieee.org/document/544417>>. Acesso em: 20 jul. 2022.

THOMPSON, J. C.; YOUNGLOVE, B.A. Thermal conductivity of silicon at low temperatures. **Journal of Physics and Chemistry Solids**, v. 20, n. 1-2, p. 146-149, jun. 1961. Disponível em: <<https://www.sciencedirect.com/science/article/pii/0022369761901469>>. Acesso em: 20 jul. 2022.

TRIANTOPOULOS, K. et al. Self-heating effect in FDSOI transistors down to cryogenic operation at 4.2 K. **IEEE Transactions on Electron Devices**, v. 66, n. 8, p. 3498-3505, aug. 2019. Disponível em: <<https://ieeexplore.ieee.org/document/8741185>>. Acesso em: 20 jul. 2022.

TROJMAN, L.; RAGNARSSON, L.-A.; COLLAERT, N. Mobility extraction for short channel UTBB-FDSOI MOSFETs under back bias using an accurate inversion charge density model. **Solid State Electronics**, v. 154, p. 24-30, abr. 2019. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S0038110118305434>>. Acesso em: 20 jul. 2022.

VAN DIJK, J. P. G. et al. Impact of classical control electronics on qubit fidelity. **Physical Review Applied**, v. 12, n. 4, out. 2019. Disponível em: <<https://journals.aps.org/prapplied/abstract/10.1103/PhysRevApplied.12.044054>>. Acesso em: 20 jul. 2022.

VASILESKA, D.; FERRY, D. K. Scaled silicon MOSFET's: universal mobility behavior. **IEEE Transactions on Electron Devices**, v. 44, n. 4, p. 577-583, abr. 1997. Disponível em: <<https://ieeexplore.ieee.org/document/563361>>. Acesso em: 20 jul. 2022.

XIONG, W.; PARK, J. W.; COLINGE, J. P. Corner effect in multiple-gate SOI MOSFETs. *In*: IEEE INTERNATIONAL SOI CONFERENCE, 2003, Newport Beach. **Anais eletrônicos... IEEE**, 2003. p. 111-113. Disponível em: <<https://ieeexplore.ieee.org/document/1242919>>. Acesso em: 20 jul. 2022.

XU, C. et al. Analytical thermal model for self-heating in advanced FinFET devices with implications for design and reliability. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, v. 32, n. 7, 1045-1058, jul. 2013. Disponível em: <<https://ieeexplore.ieee.org/document/6532366>>. Acesso em: 20 jul. 2022.

XU, N. et al. Impact of back biasing on carrier transport in ultra-thin-body and BOX (UTBB) fully depleted SOI MOSFETs. *In*: IEEE SYMPOSIUM ON VLSI TECHNOLOGY, 2012, Honolulu. **Anais eletrônicos... IEEE**, 2012. p. 113-114. Disponível em: <<https://ieeexplore.ieee.org/document/6242487>>. Acesso em: 20 jul. 2022.

YANG, F.-L. et al. 25 nm CMOS omega FETs. INTERNATIONAL ELECTRON DEVICES MEETING, 2002, San Francisco. **Anais eletrônicos... IEEE**, 2002. p. 255-258. Disponível em: <<https://ieeexplore.ieee.org/document/1175826>>. Acesso em: 20 jul. 2022.

YASUDA, Y. et al. System LSI multi-vth transistors design methodology for maximizing efficiency of body-biasing control to reduce vth variation and power consumption. *In*: INTERNATIONAL ELECTRON DEVICES MEETING IEDM '05. TECHNICAL DIGEST, 2005, Washington. **Anais eletrônicos... IEEE**, 2005. p. 73-76. Disponível em: <<https://ieeexplore.ieee.org/document/1609268>>. Acesso em: 20 jul. 2022.

YOSHIMI, M. et al. Observation of mobility enhancement in ultrathin SOI MOSFETs. **Electronic Letters**, v. 24, n. 17, p. 1078-1079, ago. 1988. Disponível em: <[https://digital-library.theiet.org/content/journals/10.1049/el\\_19880731](https://digital-library.theiet.org/content/journals/10.1049/el_19880731)>. Acesso em: 20 jul. 2022.

YOUNG, K. K. Short-channel effect in fully depleted SOI MOSFETs, **IEEE Transactions on Electron Devices**, v. 36, n. 2, p. 399-402, fev. 1989. Disponível em: <<https://ieeexplore.ieee.org/document/19942>>. Acesso em: 20 jul. 2022.

YU, P. Y.; CARDONA, M. **Fundamentals of Semiconductors: Physics and Materials Properties.** New York: Springer, 2005.



**APÊNDICE A – CÓDIGO EXEMPLO DE SIMULAÇÃO DE DISPOSITIVO NO  
SIMULADOR SENTAURUS DEVICE**

```
#####
# OMEGA-GATE NANOWIRE - IDVG #
#####
```

```
Math {
  Extrapolate
  ExitOnFailure
  NumberOfThreads=8
  Iterations=15
  Method=ILS (set=6)
  Submethod=Blocked
  CoordinateSystem {AsIs}
  WallClock
  AutoOrientation=(100,110)
}
```

```
Physics {
  Mobility (Enormal(IALMob(AutoOrientation)) HighFieldSaturation)
  Recombination (Auger SRH(DopingDep))
  EffectiveIntrinsicDensity (BandGapNarrowing(OldSlotboom))
  eQuantumPotential
}
```

```
Plot {
  eCurrent hCurrent
  eDensity hDensity
  eMobility hMobility
  eVelocity hVelocity
  eEparallel hEparallel
  eENormal hENormal
  eTemperature hTemperature
  TotalCurrent
  ElectricField
  Potential
  SpaceCharge
  Temperature
  Doping DonorConcentration AcceptorConcentration
  SRHRecombination Auger Band2Band
  BandGap BandGapNarrowing ConductionBand ValenceBand Affinity
  NearestInterfaceOrientation
  InterfaceOrientation
}
```

```
Device MOS {
```

```
File {
  Grid = "OMEGA_NANOWIRE_@Type@MOS_L@L@nm_Wfin@Wfin@nm_@tdr@"
  Current =
  "IDVG_OMEGA_NANOWIRE_@Type@MOS_L@L@nm_Wfin@Wfin@nm_Vb@Vb@V_n@node@_des.pl
  t"
  Plot =
  "IDVG_OMEGA_NANOWIRE_@Type@MOS_L@L@nm_Wfin@Wfin@nm_Vb@Vb@V_n@node@_des.td
  r"
  Parameter = "sdevice.par"
}
```

```

Electrode {
  {Name="gate" Voltage=0}
  {Name="source" Voltage=0}
  {Name="drain" Voltage=0}
  {Name="substrate" Voltage=0 workfunction=4.95}
}

```

```

}

```

```

#

```

---

```

System {
  MOS trans (gate=g source=s drain=d substrate=b)
  Vsource_pset vg (g 0) {dc=0}
  Vsource_pset vs (s 0) {dc=0}
  Vsource_pset vd (d 0) {dc=0}
  Vsource_pset vb (b 0) {dc=0}
  plot
  "IDVG_OMEGA_NANOWIRE_@Type@MOS_L@L@nm_Wfin@Wfin@nm_Vb@Vb@V_n@node@.txt"
  (v(g s) i(trans s) v(d s) v(b s))
}

```

```

Solve {

```

```

  Coupled {Poisson} CurrentPlot(time=(-1))
  Coupled(LineSearchDamping=1E-4) {Poisson eQuantumPotential} CurrentPlot(time=(-1))
  Coupled(LineSearchDamping=1E-4) {Poisson eQuantumPotential Electron} CurrentPlot(time=(-1))
  Coupled(LineSearchDamping=1E-4) {Poisson eQuantumPotential Electron Hole} CurrentPlot(time=(-1))

```

```

  Quasistationary (MinStep=1e-4 Goal{Parameter=vd.dc Value=0.04})
  {Coupled {Poisson eQuantumPotential Electron Hole} CurrentPlot(time=(-1))}

```

```

  Quasistationary (MinStep=1e-4 Goal{Parameter=vg.dc Value=1.2})
  {Coupled {Poisson eQuantumPotential Electron Hole} CurrentPlot(time=(-1))}

```

```

  Quasistationary (MinStep=1e-4 Goal{Parameter=vg.dc Value=-0.3})
  {Coupled {Poisson eQuantumPotential Electron Hole} CurrentPlot(time=(range=(0 1) intervals=150))}

```

```

}

```



**APÊNDICE B – CÓDIGO EXEMPLO DE PARÂMETROS DE SIMULAÇÃO DE  
DISPOSITIVO NO SIMULADOR SENTAURUS DEVICE**

```
LatticeParameters{  
X=(1,-1,0)  
Y=(1,1,0)  
}
```

```
Material = "TiN" {  
Bandgap {WorkFunction=4.56}  
}
```

```
IALMob "100":  
{  
mumax=550 , 160  
C= 10000 , 10000  
delta=5.8E13 , 2.2E13  
}
```

```
IALMob "110":  
{  
mumax=370 , 220  
C= 10000 , 10000  
delta=1.7E13 , 2.5E13  
}
```

**APÊNDICE C – CÓDIGO EXEMPLO DE SIMULAÇÃO DE PROCESSO PARA  
GERAÇÃO DE UM NANOFIO TRANSISTOR MOS NO SIMULADOR SENTAURUS  
PROCESS**

```
#####
# NANOWIRE #
#####
```

```
AdvancedCalibration
math numThreads=4
math coord.ucs
```

```
pdbSet Mechanics EtchDepoRelax 0
grid set.Delaunay.type=constrained
```

```
# _____ DIMENSOES _____
```

```
set L 1.0
set Lsd 0.05
set W @W@
set H 0.01
set tox 0.000826
set thf 0.0023
set tTiN 0.005
set tpoly 0.01
set box 0.145
set omega 0.00465
```

```
set spacer [expr (($thf+$tTiN+$tpoly)/2)]
set Ltotal [expr ($L+(2*$Lsd)+(2*$spacer))]
set Lspacer [expr ($L/2+$spacer)]
set Lint [expr ($L/2-0.003)]
```

```
# _____ GRADE INICIAL _____
```

```
line x location=-$H spacing=$H/5 tag=topsi
line x location=0 spacing=$H/5 tag=bottomsi
line x location=$box spacing=$box/5 tag=bottombox
```

```
line y location=-$Ltotal/2 spacing=$L/10 tag=Lleft
line y location=-$L/2 spacing=0.001
line y location=-$Lint spacing=$L/10
line y location=0 spacing=$L/10
line y location=$Lint spacing=$L/10
line y location=$L/2 spacing=0.001
line y location=$Ltotal/2 spacing=$L/10 tag=Lright
```

```
line z location=[expr (-$W/2-$tox-$thf-$tTiN-$tpoly-0.002)] spacing=$W/5 tag=Wback
line z location=0 spacing=$W/5
line z location=[expr ($W/2+$tox+$thf+$tTiN+$tpoly+0.002)] spacing=$W/5 tag=Wfront
```

```
# _____ DEFINICAO DA LAMINA _____
```

```
region Silicon xlo=topsi xhi=bottomsi ylo=Lleft yhi=Lright zlo=Wback zhi=Wfront
region Oxide xlo=bottomsi xhi=bottombox ylo=Lleft yhi=Lright zlo=Wback zhi=Wfront
```

```
init wafer.orient= {100} concentration=1e15<cm-3> field=Boron
```

## # \_\_\_\_\_ LITOGRAFIA - DEFINICAO DA REGIAO ATIVA \_\_\_\_\_

```
mask name=REGIAO_ATIVA left=-$Ltotal/2 right=$Ltotal/2 front=$W/2 back=-$W/2 negative
photo mask=REGIAO_ATIVA thickness=0.02
etch material= {Silicon} type=trapezoidal angle=80 thickness=$H
strip Photoresist
```

```
etch material= {Oxide} type=isotropic time=1 rate= {Somega}
```

```
etch material= {Silicon} type=isotropic time=1 rate= {0.002}
deposit material= {Silicon} type=isotropic time=1 rate= {0.002} selective.materials= {Silicon}
```

```
polyhedron name=A brick= {0 -$Ltotal/2 -1 0.001 $Ltotal/2 1}
insert polyhedron=A replace.materials= {Silicon} new.material=Gas
```

```
struct smesh=NANOWIRE_L$L-W$W-1_REGIAO_ATIVA_n@node@ !Gas
```

## # \_\_\_\_\_ OXIDACAO TERMICA - MESA \_\_\_\_\_

```
##diffuse temperature=850<C> time=3<min> N2
```

```
##diffuse temperature=850<C> time=5<min> N2
```

```
##diffuse temperature=850<C> time=1<min> O2
```

```
mask name=FONTEDRENO left=-$Lspacer right=$Lspacer front=1 back=-1 negative
deposit material= {Oxide} type=isotropic time=1 rate= {Stox} selective.materials= {Silicon}
mask=FONTEDRENO
```

```
struct smesh=NANOWIRE_L$L-W$W-2_OXIDACAO_n@node@ !Gas
```

## # \_\_\_\_\_ DEPOSICAO DO HFSION \_\_\_\_\_

```
mask name=PORTA left=-$L/2 right=$L/2 front=1 back=-1 negative
deposit material= {HfO2} type=isotropic time=1 rate= {Sthf} mask=PORTA
struct smesh=NANOWIRE_L$L-W$W-3_HFSION_n@node@ !Gas
```

## # \_\_\_\_\_ DEPOSICAO DO TIN \_\_\_\_\_

```
deposit material= {TiN} type=isotropic time=1 rate= {StTiN} mask=PORTA
struct smesh=NANOWIRE_L$L-W$W-4_TIN_n@node@ !Gas
```

## # \_\_\_\_\_ DEPOSICAO DO POLY \_\_\_\_\_

```
deposit material= {Polysilicon} Phosphorus concentration=5e22 type=isotropic time=1 rate= {Spoly}
mask=PORTA
deposit material= {Polysilicon} Phosphorus concentration=5e22 type=anisotropic time=1 rate= {Spoly*2}
mask=PORTA
```

```
set corte [expr {$H-$tox*0.44+$tox+$thf+$tTiN+$tpoly}]
transform cut min= {-Scorte -$Ltotal/2 -1} max= {1 $Ltotal/2 1}
```

```
struct smesh=NANOWIRE_L$L-W$W-5_POLY_n@node@ !Gas
```

```
# _____ IMPLANTACAO DE FONTE E DRENO _____
```

```
set sp [expr ($L/2+0.015)]
mask name=SPACERF0 left=-$sp right=-$L/2 front=1 back=-1 negative
deposit material= {Si3N4} type=anisotropic time=1 rate= {0.1} mask=SPACERF0
mask name=SPACERD0 left=$L/2 right=$sp front=1 back=-1 negative
deposit material= {Si3N4} type=anisotropic time=1 rate= {0.1} mask=SPACERD0
```

```
deposit material= {Oxide} type=anisotropic time=1 rate= {0.005}
```

```
implant Phosphorus dose=3e15<cm-2> energy=2<keV> tilt=7 rotation=0
```

```
etch material= {Oxide} type=anisotropic time=1 rate= {0.005}
strip Si3N4
```

```
struct smesh=NANOWIRE_L$L-W$W-6_IMPLANTACAO_SD_n@node@ !Gas
```

```
# _____ DEPOSICAO DO SPACER _____
```

```
mask name=SPACERF left=-$Lspacer right=-$L/2 front=1 back=-1 negative
deposit material= {Si3N4} type=isotropic time=1 rate= {$spacer} mask=SPACERF
mask name=SPACERD left=$L/2 right=$Lspacer front=1 back=-1 negative
deposit material= {Si3N4} type=isotropic time=1 rate= {$spacer} mask=SPACERD
```

```
set LSD [expr ($Lspacer+0.001)]
mask name=OXIDO left=-$LSD right=$LSD front=1 back=-1
deposit material= {Oxide} type=isotropic time=1 rate= {$omega} selective.materials= {Oxide}
mask=OXIDO
```

```
polyhedron name=B1 brick= {-1 -$Ltotal/2 -1 0 -$Lspacer -$W/2}
insert polyhedron=B1 replace.materials= {Oxide} new.material=Gas
polyhedron name=B2 brick= {-1 -$Ltotal/2 $W/2 0 -$Lspacer 1}
insert polyhedron=B2 replace.materials= {Oxide} new.material=Gas
polyhedron name=C1 brick= {-1 $Lspacer -1 0 $Ltotal/2 -$W/2}
insert polyhedron=C1 replace.materials= {Oxide} new.material=Gas
polyhedron name=C2 brick= {-1 $Lspacer $W/2 0 $Ltotal/2 1}
insert polyhedron=C2 replace.materials= {Oxide} new.material=Gas
```

```
struct smesh=NANOWIRE_L$L-W$W-7_SPACER_n@node@ !Gas
```

```
# _____ GRADE _____
```

```
refinebox clear
line clear
```

```
refinebox Silicon min= {-1 -$Ltotal -1} max= {1 $Ltotal 1} xrefine=$H/10 yrefine=$L zrefine=0.0015
```

```
refinebox Silicon min= {-1 -$L/2 -1} max= {1 -$Lint 1} xrefine=$H/10 yrefine=0.002 zrefine=0.0015
```

```
refinebox Silicon min= {-1 $Lint -1} max= {1 $L/2 1} xrefine=$H/10 yrefine=0.002 zrefine=0.0015
```

```
refinebox PolySilicon min= {-1 -$Ltotal -1} max= {1 $Ltotal 1} xrefine=0.01 yrefine=$L zrefine=0.01
```

```
refinebox TiN min= {-1 -$Ltotal -1} max= {1 $Ltotal 1} xrefine=0.003 yrefine=$L zrefine=0.005
```

208

```
refinebox HfO2    min= {-1 -$Ltotal -1} max= {1 $Ltotal 1} xrefine=0.002 yrefine=$L zrefine=0.002
refinebox Oxide  min= {-1 -$Ltotal -1} max= {0 $Ltotal 1} xrefine=0.001 yrefine=$L zrefine=0.002
refinebox Oxide  min= { 0 -$Ltotal -1} max= {1 $Ltotal 1} xrefine=$box/5 yrefine=$L zrefine=0.01
```

grid remesh

diffuse temperature=1000<C> time=0.3<s> N2

struct smesh=NANOWIRE\_L\$L-W\$W-8\_GRADE\_n@node@ !Gas

# \_\_\_\_\_CONTATOS\_\_\_\_\_

---

```
contact name="gate" box Polysilicon adjacent.material=Gas \
xlo=-1 ylo=$L/2  zlo=-1 \
xhi=1  yhi=$L/2  zhi=1 \
```

```
contact name="source" box Silicon adjacent.material=Gas \
xlo=-1 ylo=$Ltotal zlo=-1 \
xhi=1  yhi=$Lspacer zhi=1 \
```

```
contact name="drain" box Silicon adjacent.material=Gas \
xlo=-1 ylo=$Lspacer zlo=-1 \
xhi=1  yhi=$Ltotal  zhi=1 \
```

contact name="substrate" bottom Oxide

struct smesh=NANOWIRE\_FINAL\_L\$L-W\$W-n@node@ !Gas

exit



**APÊNDICE D – CÓDIGO EXEMPLO DE SIMULAÇÃO DE ESTRUTURA PARA  
GERAÇÃO DE UM NANOFIO TRANSISTOR MOS NO SIMULADOR SENTAURUS  
STRUCTURE EDITOR**

; OMEGA-GATE NANOWIRE

```
(sdc:clear)
(sdegeo:set-default-boolean "BAB")
```

; \_\_\_\_\_ PARAMETROS \_\_\_\_\_

---

```
(define L (/ @L@ 2000))
(define W (/ @Wfin@ 2000))
(define H 0.01)
(define Lsd 0.05)
(define tox 0.001)
(define thf 0.0023)
(define ttin 0.0005)
(define spacer 0.01)
(define box 0.145)
```

```
(define canto 0.002)
```

```
(define Womega 0.003)
(define Homega 0.001)
```

```
(define dopagemcanal 1E15)
(define dopagemfontedreno 5E20)
```

; \_\_\_\_\_ BOX \_\_\_\_\_

---

```
(sdegeo:create-cuboid
(position (- (- L) Lsd) (- (- W) tox thf ttin) (- box) )
(position (+ L Lsd) (+ W tox thf ttin) (- (+ tox (* 1 thf) Homega)) )
"Oxide" "box")
```

; \_\_\_\_\_ CANAL \_\_\_\_\_

---

```
(sdegeo:create-cuboid
(position (- L) (- W) 0 )
(position L W H )
"Silicon" "canal")
```

```
(sdegeo:fillet (list
(car (find-edge-id (position 0 (- W) H)))
(car (find-edge-id (position 0 (- W) 0)))
(car (find-edge-id (position 0 W H)))
(car (find-edge-id (position 0 W 0))) ) canto)
```

; \_\_\_\_\_ FONTE E  
DRENO \_\_\_\_\_

---

```
(sdegeo:create-cuboid
(position (- (- L) Lsd) (- W) 0 )
(position (- L) W H )
"Silicon" "fonte")
```

```
(sdegeo:create-cuboid
(position L (- W) 0 )
(position (+ L Lsd) W H )
"Silicon" "dreno")
```

```
:_OXIDO DE
PORTA
```

---

```
(sdegeo:create-cuboid
(position (- (- L) spacer) (- (- W) tox) (- tox) )
(position (+ L spacer) (+ W tox) (+ H tox) )
"Oxide" "oxidodeporta")
```

```
(sdegeo:fillet (list
(car (find-edge-id (position 0 (- (+ W tox)) (+ H tox))))
(car (find-edge-id (position 0 (- (+ W tox)) (- tox))))
(car (find-edge-id (position 0 (+ W tox) (+ H tox))))
(car (find-edge-id (position 0 (+ W tox) (- tox)))) ) (+ canto tox) )
```

```
:_HAFINIUM
```

---

```
(sdegeo:create-cuboid
(position (- L) (- (- W) tox thf) (- (+ tox thf)) )
(position L (+ W tox thf) (+ H tox thf) )
"HfO2" "hafnium")
```

```
(sdegeo:fillet (list
(car (find-edge-id (position 0 (- (+ W tox thf)) (+ H tox thf))))
(car (find-edge-id (position 0 (- (+ W tox thf)) (- (+ tox thf))))
(car (find-edge-id (position 0 (+ W tox thf) (+ H tox thf))))
(car (find-edge-id (position 0 (+ W tox thf) (- (+ tox thf)))) ) (+ canto tox thf) )
```

```
(sdegeo:create-cuboid
(position (- L) (- (- W) tox thf ttin) (+ (- (+ tox (* 1 thf) Homega)) thf) )
(position L (+ W tox thf ttin) (- (+ tox (* 1 thf) Homega)) )
"HfO2" "hafnium_bot")
```

```
:_BOX_OMEGA
```

---

```
(sdegeo:set-default-boolean "ABA")
```

```
(sdegeo:create-cuboid
(position (- (- L) Lsd) (+ (- W) Womega) (- (+ tox (* 1 thf) Homega)) )
(position (+ L Lsd) (- W Womega) 0 )
"Oxide" "box_omega")
```



```

(sdedr:define-refinement-window "janela_dreno" "Cuboid"
(position (- L 0.001) (- W) 0 )
(position (+ L 0.001) W H )
)

(sdedr:define-refinement-window "janela_interface_cima" "Cuboid"
(position (- L) (- W) (- H 0.0001) )
(position L W H )
)

(sdedr:define-refinement-window "janela_interface_baixo" "Cuboid"
(position (- L) (- W) 0 )
(position L W 0.0001 )
)

(sdedr:define-refinement-window "janela_interface_esq" "Cuboid"
(position (- L) (- (- W) 0) 0 )
(position L (+ (- W) 0.0001) H )
)

(sdedr:define-refinement-window "janela_interface_dir" "Cuboid"
(position (- L) (- W 0.0001) 0 )
(position L (+ W 0) H )
)

;TAMANHO

(sdedr:define-refinement-size "tamanho_box"
(* L 2) 0.005 0.03
(* L 2) 0.005 0.03
)

(sdedr:define-refinement-size "tamanho_box_omega"
(* L 2) 0.005 0.005
(* L 2) 0.005 0.005
)

(sdedr:define-refinement-size "tamanho_porta"
(* L 2) 0.005 0.003
(* L 2) 0.005 0.003
)

(sdedr:define-refinement-size "tamanho_oxidodeporta"
(* L 2) 0.005 0.001
(* L 2) 0.005 0.001
)

(sdedr:define-refinement-size "tamanho_canal"
(* L 2) 0.005 0.001
(* L 2) 0.005 0.001
)

(sdedr:define-refinement-size "tamanho_fontedreno"
0.02 0.005 0.001
0.02 0.005 0.001
)

(sdedr:define-refinement-size "tamanho_interface_fontedreno"

```

```
0.001 0.005 0.001
0.001 0.005 0.001
)
```

```
(sdedr:define-refinement-size "tamanho_interface_cimabaixo"
(* L 2) 0.005 0.0005
(* L 2) 0.005 0.0005
)
```

```
(sdedr:define-refinement-size "tamanho_interface_esqdir"
(* L 2) 0.0005 0.001
(* L 2) 0.0005 0.001
)
```

```
;APLICACAO
```

```
(sdedr:define-refinement-region "aplicacao_box" "tamanho_box" "box")
(sdedr:define-refinement-region "aplicacao_box2" "tamanho_box_omega" "box_omega")
(sdedr:define-refinement-region "aplicacao_tox" "tamanho_oxidodeporta" "oxidodeporta")
(sdedr:define-refinement-region "aplicacao_canal" "tamanho_canal" "canal")
(sdedr:define-refinement-region "aplicacao_fonte" "tamanho_fontedreno" "fonte")
(sdedr:define-refinement-region "aplicacao_dreno" "tamanho_fontedreno" "dreno")
(sdedr:define-refinement-material "aplicacao_tin" "tamanho_porta" "TiN")
(sdedr:define-refinement-material "aplicacao_thf" "tamanho_porta" "HfO2")
(sdedr:define-refinement-placement "aplicacao_interface_fonte" "tamanho_interface_fontedreno"
"janela_fonte")
(sdedr:define-refinement-placement "aplicacao_interface_dreno" "tamanho_interface_fontedreno"
"janela_dreno")
(sdedr:define-refinement-placement "aplicacao_interface_cima" "tamanho_interface_cimabaixo"
"janela_interface_cima")
(sdedr:define-refinement-placement "aplicacao_interface_esq" "tamanho_interface_esqdir"
"janela_interface_esq")
(sdedr:define-refinement-placement "aplicacao_interface_dir" "tamanho_interface_esqdir"
"janela_interface_dir")
```

```
; _____ DOPAGEM _____
```

---

```
#if [string match @Type@ "n"]
(define Na dopagemcanal)
(define Nd dopagemfontedreno)
(sdedr:define-constant-profile "dopagemcanal" "BoronActiveConcentration" Na)
(sdedr:define-constant-profile "dopagemfontedreno" "PhosphorusActiveConcentration" Nd)
#endif
```

```
#if [string match @Type@ "p"]
(define Na dopagemfontedreno)
(define Nd dopagemcanal)
(sdedr:define-constant-profile "dopagemcanal" "PhosphorusActiveConcentration" Nd)
(sdedr:define-constant-profile "dopagemfontedreno" "BoronActiveConcentration" Na)
#endif
```

```
(sdedr:define-constant-profile-region "placement_dopagemcanal" "dopagemcanal" "canal")
(sdedr:define-constant-profile-region "placement_dopagemfonte" "dopagemfontedreno" "fonte")
(sdedr:define-constant-profile-region "placement_dopagemdreno" "dopagemfontedreno" "dreno")
```

;

---

```
(sde:build-mesh "snmesh" ""  
"OMEGA_NANOWIRE_@Type@MOS_L@L@nm_Wfin@Wfin@nm_n@node@")
```



**APÊNDICE E – ARTIGOS PUBLICADOS**

As atividades desenvolvidas geraram as seguintes publicações:

Periódicos:

BERGAMASCHI, F. E.; RIBEIRO, T. A.; PAZ, B. C.; DE SOUZA, M.; BARRAUD, S.; CASSÉ, M.; VINET, M.; FAYNOT, O.; PAVANELLO, M. A. Experimental demonstration of  $\Omega$ -gate SOI nanowire MOS transistors' mobility variation induced by substrate bias. **IEEE Transactions on Electron Devices**. v. 69, n. 7, p. 4022-4028, jun. 2022. Disponível em: <<https://ieeexplore.ieee.org/document/9789112>>. Acesso em: 20 jul. 2022.

BERGAMASCHI, F. E.; PAVANELLO, M. A. TCAD evaluation of the active substrate bias effect on the charge transport of  $\Omega$ -gate nanowire MOS transistors with ultra-thin BOX. **IEEE Journal of the Electron Devices Society**. v. 10, p. 452-458, jan. 2022. Disponível em: <<https://ieeexplore.ieee.org/document/9684572>>. Acesso em: 20 jul. 2022.

RIBEIRO, T. A.; BERGAMASCHI, F. E.; BARRAUD, S.; PAVANELLO, M. A. Influence of fin width variation on the electrical characteristics of n-type junctionless nanowire transistors at high temperatures. **Solid-State Electronics**. v. 185, maio 2021. Disponível em: <<https://www.sciencedirect.com/science/article/abs/pii/S0038110121001179>>. Acesso em: 20 jul. 2022.

Anais de eventos:

BERGAMASCHI, F. E.; WIRTH, G. I.; BARRAUD, S.; CASSÉ, M.; VINET, M.; FAYNOT, O.; PAVANELLO, M. A. Extraction of the back channel mobility in SOI nanowire MOS transistors under substrate biasing. *In*: IEEE LATIN-AMERICAN ELECTRON DEVICES CONFERENCE (LAEDC), 2022, Puebla, **Anais eletrônicos... IEEE**, 2022, p. 1-4.

CCOTO, C. U. C., BERGAMASCHI, F. E.; PAVANELLO, M. A. Application of the surface current separation technique to obtain mobility in crystallographic planes of nanowires MOSFETs. *In*: WORKSHOP ON SEMICONDUCTORS AND MICRO & NANO TECHNOLOGY (SEMINATEC), 2022, São Bernardo do Campo. p. 1-2.

BERGAMASCHI, F. E.; PAVANELLO, M. A. Analysis of the back bias influence on the carrier mobility of omega-gate nanowire MOS transistors. *In: WORKSHOP ON SEMICONDUCTORS AND MICRO & NANO TECHNOLOGY (SEMINATEC), 16., 2022, São Bernardo do Campo. p. 1-2.*

CCOTO, C. U. C., BERGAMASCHI, F. E.; PAVANELLO, M. A. Analysis of fin width influence on the carrier's mobility of nanowire MOSFETs. *In: SYMPOSIUM ON MICROELECTRONICS TECHNOLOGY AND DEVICES (SBMICRO), 2021. Anais eletrônicos... IEEE, 2021. p. 1-4. Disponível em: <<https://ieeexplore.ieee.org/document/9585753>>. Acesso em: 20 jul. 2022.*

BERGAMASCHI, F. E.; PAVANELLO, M. A. TCAD evaluation of the active substrate bias effect on the charge transport of  $\Omega$ -gate nanowire MOS transistors with ultra-thin BOX. *In: IEEE LATIN-AMERICAN ELECTRON DEVICES CONFERENCE (LAEDC), 2021, Anais eletrônicos... IEEE, 2021, p. 1-4. Disponível em: <[https://www.researchgate.net/publication/351830179\\_TCAD\\_Evaluation\\_of\\_the\\_Substrate\\_Bias\\_Influence\\_on\\_the\\_Carrier\\_Transport\\_of\\_O-Gate\\_Nanowire\\_MOS\\_Transistors\\_with\\_Ultra-Thin\\_BOX](https://www.researchgate.net/publication/351830179_TCAD_Evaluation_of_the_Substrate_Bias_Influence_on_the_Carrier_Transport_of_O-Gate_Nanowire_MOS_Transistors_with_Ultra-Thin_BOX)>. Acesso em: 20 jul. 2022.*

BERGAMASCHI, F. E.; RIBEIRO, T. A.; PAZ, B. C.; DE SOUZA, M.; BARRAUD, S.; CASSÉ, M.; VINET, M.; FAYNOT, O.; PAVANELLO, M. A. Carrier mobility variation induced by the substrate bias in  $\Omega$ -gate SOI nanowire MOSFETs. *In: IEEE SOI-3D-SUBTHRESHOLD MICROELECTRONICS TECHNOLOGY UNIFIED CONFERENCE (S3S), 2019, San Jose. Anais eletrônicos... IEEE, 2019. p. 1-3. Disponível em: <<https://ieeexplore.ieee.org/document/9320726>>. Acesso em: 20 jul. 2022.*

BERGAMASCHI, F. E.; BARRAUD, S.; CASSÉ, M.; VINET, M.; FAYNOT, O.; PAZ, B. C.; PAVANELLO, M. A. Impact of substrate bias on the mobility of n-type  $\Omega$ -gate SOI nanowire MOSFETs. *In: SYMPOSIUM ON MICROELECTRONICS TECHNOLOGY AND DEVICES (SBMICRO), 2019, São Paulo. Anais eletrônicos... IEEE, 2019. p. 1-4. Disponível em: <<https://ieeexplore.ieee.org/document/8919463>>. Acesso em: 20 jul. 2022.*

BERGAMASCHI, F. E.; PAVANELLO, M. A. Self-heating characterization using pulsed measurements in junctionless nanowire MOSFETs. *In: WORKSHOP ON*

SEMICONDUCTORS AND MICRO & NANO TECHNOLOGY (SEMINATEC), 14., 2019, São Bernardo do Campo. p. 1-2.

BERGAMASCHI, F. E.; MARINIELLO, G.; BARRAUD, S.; PAVANELLO, M. A. Experimental analysis of self-heating effects using the pulsed IV method in junctionless nanowire transistors. *In: SYMPOSIUM ON MICROELECTRONICS TECHNOLOGY AND DEVICES (SBMICRO)*, 2018, Bento Gonçalves. **Anais eletrônicos... IEEE**, 2018. p. 1-4.

Disponível

em:

<<https://ieeexplore.ieee.org/document/8511475>>. Acesso em: 20 jul. 2022.

BERGAMASCHI, F. E.; PAVANELLO, M. A. Transient measurements of self-heating current degradation in junctionless nanowire MOSFETs. *In: WORKSHOP ON SEMICONDUCTORS AND MICRO & NANO TECHNOLOGY (SEMINATEC)*, 13., 2018, São Bernardo do Campo. p. 1-2.

Submetido:

CASSÉ, M.; BERGAMASCHI, F. E.; PAZ, B. C.; GHIBAUDO, G.; SERRA, F.; BILLIOT, G.; JANSEN, A. G. M.; BERLINGARD, Q.; MARTINIE, S.; BEDECARRATS, T.; CONTAMIN, L.; JUGE, A.; VINCENT, E.; GALY, P.; PAVANELLO, M. A.; VINET, M.; MEUNIER, T.; GAILLARD, F. FDSOI for cryoCMOS electronics: device characterization towards compact model. *In: 68th IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM 2022)*.