

Centro Universitário da FEI

Rodrigo Prior Bechelli

**Estudo de Efeitos de Canto em
Transistores de Porta Tripla**

São Bernardo do Campo

2008

Centro Universitário da FEI

Rodrigo Prior Bechelli

**Estudo de Efeitos de Canto em
Transistores de Porta Tripla**

Dissertação apresentada ao Centro
Universitário da FEI como parte
dos requisitos necessários para
a obtenção do título de Mestre
em Engenharia Elétrica, orientado
pelo Prof. Dr. Renato Giacomini.

São Bernardo do Campo

2008

Para as mulheres da minha vida: Jandira, Carina e Regina.

A memória de Arnaldo.

Agradecimentos

Ao Prof. Dr. Renato Camargo Giacomini, por diversos motivos mas principalmente pelo apoio, tempo, orientação, dedicação e idéias. Gostaria também de agradecer sua família, por dispor do tempo precioso para desenvolver este trabalho.

Ao professor Dr. João Antonio Martino pelo apoio no início da pesquisa e pela iniciativa do curso de mestrado na FEI.

Ao Prof. Dr. Marcelo Antonio Pavanello pelo suporte nas horas de dúvidas, que foram muitas!

Ao Prof. Dr. Salvador Pinillos Gimenez pela iniciativa de ensinar a ciência da simulação de transistores circulares. Estes ensinamentos foram a base de partida para este trabalho.

Ao Prof. Dr. Marcelo Bellodi pelo suporte durante as aulas e o curso.

Aos colegas Rodrigo Mazzutti, André Santos, Julia Arrabaça, Rodrigo Dória, Rogério, Alfonso, Luciano e Carla, por fazerem parte da primeira turma do curso de mestrado na FEI e compartilharem desta fase de minha vida.

A equipe do mestrado Rejane, Adriana e Ricardo sempre nos auxiliando da melhor maneira possível.

Todos os integrantes do grupo de pesquisa SOI, com quem participei durante longas horas de laboratório. Esse ambiente de discussão em grupo foi essencial para uma compreensão mais sólida das questões à respeito desta área.

Ao Prof. Dr. Aldo Belardi pelo apoio no início do mestrado e pelas opiniões sempre sinceras.

Ao Prof. Antonio Carlos Pires pela confiança e apoio para este mestrado.

Ao pessoal que cuida do laboratório de elétrica da FEI, principalmente o Acácio que sempre me auxiliou.

Aos funcionários da Biblioteca da FEI, pela paciência e vontade de ajudar, sempre.

Aos amigos Viet e Rene pelas conversas, discussões, contradições, debates e amizade sem-

pre.

Aos amigos da FEI: Sal, Indio, Sabino, Renato, Galvão, Adriano e todos os outros que não perderam o contato.

À Rodolfo, Odete e Bia, pela compreensão, ajuda, apoio e pelo carinho.

Ao mau pai Arnaldo (in memorian), que sempre esteve ao meu lado em todas as iniciativas.

Ao Caco pelas horas de código e boas conversas.

E por fim, mas não menos importante. A minha mãe Jandira que nunca deixou de acreditar na minha capacidade e nas minhas idéias, este trabalho é dedicado à você. À minha irmã Carina, pelo imenso carinho, amor e por permitir que tivesse o tempo necessário para realizar este trabalho. À Regina, pelo auxílio com as imagens e orientação nos textos (engenheiros não sabem escrever...rs). Seu amor, alegria, companheirismo, compreensão e dedicação me deram a força e o equilíbrio necessários para a realização desse trabalho.

A todos que não foram citados, mas que auxiliaram direta ou indiretamente para a realização deste trabalho.

A realidade no antigo sentido aristotélico
é uma muleta para aqueles que têm medo de
andar sozinhos com os próprios pés, acima
do Abismo que boceja quando começamos a
quebrar os nossos parâmetros mentais e
paramos para nos surpreender de verdade...

Robert A. Wilson

Resumo

Neste trabalho são desenvolvidos estudos de efeito de canto em transistores tridimensionais do tipo SOI MOSFET com a segunda interface em depleção ou neutra, através de simulação numérica tridimensional.

Foram simulados transistores tridimensionais do tipo porta tripla (*triple gate*) com cantos arredondados e vivos, com altura e largura da ilha de silício variando de 30 a 70 nm e concentração de dopantes de $1 \times 10^{16} \text{ cm}^{-3}$ a $1 \times 10^{19} \text{ cm}^{-3}$.

Com o auxílio dos dados simulados foram extraídas as curvas $I_x V$ para caracterização dos dispositivos e efetuada a comparação entre os mesmos.

Foi desenvolvido um método de avaliação e comparação do efeito de canto entre dispositivos de dimensões e concentrações diferentes, baseado na comparação da concentração de portadores em diferentes cortes sobre a seção transversal dos transistores, polarizados na tensão de limiar, para baixos valores de tensão de dreno (50 mV), utilizando os dois perfis propostos no estudo: canto vivo e canto arredondado.

O modelo de análise sugerido também permite identificar a existência de inversão volumétrica durante a polarização dos dispositivos.

O estudo também avaliou a possibilidade de variar o raio de curvatura no canto para que fosse possível comparar e avaliar a influência deste parâmetro nas características elétricas dos transistores simulados.

É proposta uma forma de descrição de transistores tridimensionais de porta tripla e cantos arredondados, na linguagem de entrada do simulador numérico, o que facilita a variação dos parâmetros e o ajuste da grade de simulação.

A partir dos resultados obtidos, conclui-se que em transistores com três portas há um aumento da densidade de corrente na proximidade dos cantos, cuja intensidade depende diretamente do raio de curvatura.

Observa-se também que o efeito de canto sobre a corrente de dreno tende a ser mais intensa em transistores mais dopados. Em transistores com níveis de dopantes acima de $3 \times 10^{18} \text{ cm}^{-3}$

observou-se um segundo pico na segunda derivada da função $I_d \times V_G$, indicando que há inversão do canto em polarização de porta diferente daquela observada para o restante do dispositivo.

Identifica-se nesse estudo que a influência do efeito de canto sobre a corrente de dreno ocorre, no entanto, mesmo sem a presença desse segundo pico.

Palavras-chave: semicondutores, transistores, SOI, MOSFET, efeito de canto, *corner effects*, *triple gate*, inversão volumétrica, cantos arredondados, simulação numérica tridimensional.

Abstract

This work presents a study of corner effects in tridimensional SOI MOSFET transistors with depleted or neutral second interface using tridimensional numerical simulation.

Tridimensional triple gate devices with rounded and sharp corners where simulated with height and width of the silicon island ranging from 30 to 70 nm and with channel doping concentration from $1 \times 10^{16} \text{ cm}^{-3}$ to $1 \times 10^{19} \text{ cm}^{-3}$.

Based on simulated results the I_xV curves were extracted to define and compare these transistors.

A methodology to evaluate the corner effects with different dimensions and doping concentrations was developed based on a range of electron concentration along different cut lines at threshold voltage, low drain voltage of 50 mV and two corner profiles: sharp and rounded.

The proposed model identify the existence of volume inversion at polarized devices.

This work evaluate different corner radius to compare the influence of this parameter over the simulated devices.

This work defines a method to describe tridimensional triple gate devices with rounded and sharp corners for simulation script language, which facilitates the parameter and grid variation.

It was concluded that triple gate devices have higher total current density at the corners and depends direct on corner radius.

Higher doped transistors have intense drain current over the corner. In transistors with doped channels higher than $3 \times 10^{18} \text{ cm}^{-3}$ a second peak was identified at second derivate $I_{dx}V_G$ curve, indicating that there is a different inversion at the corner compared to the rest of the channel.

This work shows that corner effects causes drain current influence even if no second peak is identified.

Keywords: semiconductor, transistors, SOI, MOSFET, *corner effects*, *triple gate*, *volume inversion*, *rounded corners*, tridimensional numerical simulation.

Conteúdo

Lista de Abreviaturas	p. 13
Lista de Símbolos	p. 15
Lista de Figuras	p. 18
Lista de Tabelas	p. 22
1 Introdução	p. 23
1.1 Histórico, Motivação e Objetivos do Trabalho	p. 24
1.2 Estrutura do Trabalho	p. 26
2 Conceitos Básicos	p. 28
2.1 Tecnologia SOI	p. 28
2.2 Classificação de estruturas SOI MOSFET	p. 30
2.3 Características do SOI MOSFET	p. 33
2.3.1 Tensão de limiar	p. 33
2.3.1.1 Obtenção da tensão de limiar a partir de dados experimentais	p. 38
2.3.2 Fator de Corpo	p. 40
2.3.3 Transcondutância	p. 42
2.3.4 Inclinação de Sublimiar	p. 42
2.3.4.1 Obtenção da inclinação de sublimiar a partir de dados ex- perimentais	p. 43
2.3.5 Efeitos Secundários em SOI MOSFETs	p. 44

2.3.5.1	Ionização por Impacto e Efeito Kink	p. 44
3	Dispositivos e Estruturas de Múltiplas Portas	p. 45
3.1	Dispositivos de Porta Tripla	p. 45
3.2	Inversão Volumétrica	p. 47
3.3	Efeitos de Canto	p. 48
3.3.1	Modelo bidimensional de estudo de efeito de canto	p. 48
3.3.2	Modelo tridimensional de estudo de efeito de canto	p. 50
4	Simulação Numérica Tridimensional	p. 54
4.1	Introdução	p. 54
4.2	Softwares Utilizados	p. 56
4.3	Métodos de Descrição de Dispositivos	p. 56
4.3.0.1	Via DeckBuild	p. 57
4.3.0.2	Via DevEdit	p. 57
4.3.0.3	Via Athena	p. 58
4.4	Desenvolvimento dos Dispositivos para Simulação	p. 58
4.4.1	Descrição de Simulação dos Transistores de Cantos Vivos	p. 59
4.4.2	Descrição de Simulação dos Transistores de Cantos Arredondados	p. 61
5	Estudo dos Efeitos de Canto através de Simulações Tridimensionais	p. 65
5.1	Efeitos de Canto em Dispositivos com Cantos Vivos	p. 65
5.1.1	Descrição dos Dispositivos Simulados	p. 66
5.1.2	Características Elétricas	p. 66
5.1.3	Distribuição de Cargas em Tensão de Limiar	p. 72
5.2	Efeitos de Canto em Dispositivos com Cantos Arredondados	p. 76
5.2.1	Descrição dos Dispositivos Simulados	p. 77
5.2.2	Características Elétricas	p. 77

5.2.3	Distribuição de Cargas em Tensão de Limiar	p. 83
5.3	Variação de Corrente em função do Raio de Curvatura de Canto	p. 86
5.4	Potencial na Superfície e no Centro do Canal em função do Concentração de Dopantes N_a	p. 87
6	Conclusão	p. 91
7	Trabalhos Futuros	p. 93
	Referências	p. 94
	Apêndice 1	p. 98
	Apêndice 2	p. 101

Lista de Abreviaturas

2D	Estrutura Bidimensional.
3D	Estrutura Tridimensional.
B	Região de corpo (<i>Body</i>).
D	Região de dreno (<i>Drain</i>).
DG	Transistor de porta dupla (<i>Double Gate</i>).
FDSOI	SOI Totalmente depletado (<i>Fully Depleted SOI</i>).
FET	Transistor de Efeito de Campo (<i>Field-Effect Transistor</i>).
G	Região de porta (<i>Gate</i>).
GAA	Transistor de porta circundante (<i>Gate-all-around</i>).
H	Altura do canal do transistor.
IGFET	<i>Insulated Gate Field Effect Transistor</i>
L	Comprimento do canal do transistor.
MOSFET	Transistor de Efeito de Campo Metal-Óxido-Semicondutor (<i>Metal-Oxide-Silicon Field Effect Transistor</i>).

nMOSFET	Transistor MOSFET do tipo n.
PDSOI	SOI Parcialmente depletado (<i>Partially Depleted SOI</i>).
S	Região de fonte (<i>Source</i>).
SOI	Tecnologia do tipo Silício sobre Isolante (<i>Silicon-on-insulator Transistor</i>).
W	Largura do canal do transistor.

Lista de Símbolos

α	Parâmetro resultante do acoplamento capacitivo do transistor MOS.
ϵ_{Si}	Permissividade do silício [$3,45 \times 10^{-13}$ F/cm].
ϵ_{OX}	Permissividade do óxido [$1,06 \times 10^{-12}$ F/cm].
Φ_F	Potencial de Fermi [V].
Φ_S	Potencial de superfície [V].
Φ_{S1}	Potencial da primeira interface [V].
Φ_{S2}	Potencial da segunda interface [V].
Φ_{MS}	Diferença de potencial entre o metal e o silício [V].
Φ_{MS1}	Diferença de potencial entre o metal e o silício na primeira interface [V].
Φ_{MS2}	Diferença de potencial entre o metal e o silício na segunda interface [V].
Φ_{OX1}	Queda de potencial no óxido na primeira interface do transistor [V].
Φ_{OX2}	Queda de potencial no óxido na segunda interface do transistor [V].
ρ	Densidade de cargas por unidade de volume [C/cm^3].
C_D	Capacitância da região de depleção [F/cm^2].
C_{OX}	Capacitância do óxido de porta [F/cm^2].

C_{OX1}	Capacitância da primeira interface [F/cm^2].
C_{OX2}	Capacitância da primeira interface [F/cm^2].
C_{Si}	Capacitância da camada de silício [F/cm^2].
$E(x)$	Campo elétrico na superfície do silício [V/cm].
E_{s1}	Campo elétrico na primeira interface [V/cm].
E_{s2}	Campo elétrico na segunda interface [V/cm].
g_m	Transcondutância [Ω^{-1}].
H	Altura do canal [nm].
I_d	Corrente de dreno [A].
k	Constante de Boltzman [$1,38 \times 10^{-23}$ J/K].
L	Comprimento do canal [nm].
n	Fator de corpo.
N_a	Concentração de portadores no canal [cm^{-3}].
n_i	Concentração intrínseca de portadores [cm^{-3}].
q	Carga elementar do elétron [$1,6 \times 10^{-19}$ C].
Q_{OX}	Quantidade de cargas no óxido [C/cm^2].
Q_{OX1}	Quantidade de cargas fixas na interface Si/SiO_2 [C/cm^2].
Q_{s2}	Quantidade de cargas para segunda interface em inversão [C/cm^2].

Q_{inv1}	Quantidade de cargas de inversão na primeira interface [C/cm^2].
Q_{inv2}	Quantidade de cargas de inversão na segunda interface [C/cm^2].
R	Raio de curvatura do canto superior do canal do transistor [nm]
S	Inclinação de Sublimiar [mV/déc].
T	Temperatura absoluta [K].
t_{Si}	Espessura da camada de silício [nm].
t_{BOX}	Espessura do óxido enterrado [nm].
t_{OX}	Espessura da camada de óxido [nm].
V_D	Tensão de dreno [V].
V_G	Tensão de porta [V].
V_{G1}	Tensão de porta [V].
V_{G2}	Tensão de substrato [V].
V_{TH}	Tensão de Limiar [V].
V_{FB}	Tensão de banda plana (<i>flatband</i>) [V].
x_{dmax}	Espessura da camada depletada a partir do óxido de porta [μm].
W	Largura do canal [nm].

Lista de Figuras

- 1 (a) Dispositivo *triple-gate*. (b) Corte do dispositivo *triple-gate* e destaque dos cantos. p. 25
- 2 Transistor SOI MOSFET. Onde: t_{Si} é espessura da camada de silício, t_{OX} é espessura da camada do óxido, t_{BOX} é espessura da segunda camada do óxido, L é o comprimento do canal e W a largura do canal. p. 29
- 3 Perfil dos dispositivos: (A) Convencional, (B) SOI MOSFET PD, (C) SOI MOSFET FD. p. 31
- 4 Diferentes modos de operação para um transistor FDSOI, nMOSFET. p. 32
- 5 Tensão de limiar pelo comprimento do canal determinado por diferentes métodos.
1) Corrente constante $I_d = 1nA/(W/L)$. 2) Transcondutância. 3) Extrapolação da corrente de dreno em saturação. 4) V_{GS} onde $d^2 \log I_d / dV_{GS}^2$ é mínimo. 5) Extrapolação da corrente de dreno. 6) Derivada da transcondutância. 7) Extrapolação linear corrigida para a mobilidade. p. 39
- 6 Curva $I_d \times V_G$ com método de extrapolação para cálculo de V_{TH} p. 39
- 7 Curva $I_d \times V_G$ com método da segunda derivada para cálculo de V_{TH} p. 40
- 8 Representação de modelo de capacitâncias equivalentes para os dispositivos SOI MOSFET com a segunda interface em depleção. Onde: C_{Si} é a capacitância da camada de silício, C_{OX1} é a capacitância do óxido da primeira interface, C_{OX2} é a capacitância do óxido da segunda interface, Φ_{S1} é o potencial da primeira interface, Φ_{S2} é o potencial da segunda interface, V_{G1} é a tensão na porta do transistor e V_{G2} é a tensão no substrato do transistor. p. 41
- 9 Seqüência de exemplos de curvas para extração da inclinação de sublimiar. p. 43
- 10 Cortes transversais dos transistores SOI para comparação entre as diferentes geometrias construtivas. p. 46

11	Corte transversal de dois transistores de 70 nm (H=W): (A) concentração de elétrons no canal de $1 \times 10^{16} \text{ cm}^{-3}$ e (B) concentração de elétrons no canal de $1 \times 10^{19} \text{ cm}^{-3}$.	p. 47
12	(a) Estrutura de canto côncavo. (b) Estrutura de canto convexo. Q1 define o canto dos dispositivos e R é o raio de curvatura.	p. 49
13	Dispositivo tridimensional com cantos arredondados.	p. 51
14	Densidade total de corrente formada na estrutura do dispositivo em tensão de limiar.	p. 52
15	Exemplo de transistor de canto arredondado representado através de modelo computacional.	p. 54
16	Entradas e Saídas do Atlas.	p. 57
17	Exemplo de transistor tridimensional em vista isométrica.	p. 58
18	Cortes do dispositivo de canto vivo. (A) Corte lateral e (B) Corte longitudinal	p. 59
19	Cortes do dispositivo de canto arredondado. (A) Corte lateral e (B) Corte longitudinal	p. 62
20	(a) Dispositivo <i>triple-gate</i> : t_{OX} - espessura do óxido de porta, t_{BOX} - espessura do óxido enterrado, W - largura do canal, H - altura do canal e L - comprimento do canal. (b) Corte transversal no centro do canal do dispositivo - cut1 e cut2	p. 65
21	Curva de $I_d \times V_G$ para os transistores de canto vivo em função da dimensão H=W e da concentração de dopantes N_a .	p. 67
22	Curva da segunda derivada de $I_d \times V_G$ para os transistores de canto vivo em função da dimensão H=W e da concentração de dopantes N_a .	p. 68
23	Curva de $\text{Log}(I_d) \times V_G$ para os transistores de canto vivo em função da dimensão H=W e da concentração de dopantes N_a .	p. 69
24	Curva de S $\times V_{GT}$ para os transistores de canto vivo com dimensões de H e W de 30nm. Normalizada em função de $V_G - V_{TH}$, afim de melhorar a comparação entre as curvas.	p. 70

- 25 Curva de $S \times V_{GT}$ para os transistores de canto vivo com dimensões de H e W de 50nm. Normalizada em função de $V_G - V_{TH}$, afim de melhorar a comparação entre as curvas. p. 70
- 26 Curva de $S \times V_{GT}$ para os transistores de canto vivo com dimensões de H e W de 70nm. Normalizada em função de $V_G - V_{TH}$, afim de melhorar a comparação entre as curvas. p. 71
- 27 Curva de $g_m \times V_G$ para os transistores de canto vivo p. 72
- 28 Curvas de concentração de elétrons pela distância da interface com o óxido. Para três dimensões de canal e duas linhas de corte cada. p. 73
- 29 Curvas de concentração de elétrons pela distância da interface com o óxido. Para três dimensões de canal e duas linhas de corte cada. p. 74
- 30 Curvas de concentração de elétrons pela distância da interface com o óxido. Para três dimensões de canal e duas linhas de corte cada. p. 74
- 31 Curvas de concentração de elétrons pela distância da interface com o óxido. Para três dimensões de canal e duas linhas de corte cada. p. 75
- 32 Curva de $I_d \times V_G$ para os transistores de canto arredondado. p. 78
- 33 Curva da Segunda Derivada de $I_d \times V_G$ para os transistores de canto arredondado p. 79
- 34 Curva de $\text{Log}(I_d) \times V_G$ para os transistores de canto arredondado p. 80
- 35 Curva de $S \times V_G$ para os transistores de canto arredondado com raio de curvatura de 2,5 nm p. 80
- 36 Curva de $S \times V_G$ para os transistores de canto arredondado com raio de curvatura de 5 nm p. 81
- 37 Curva de $S \times V_G$ para os transistores de canto arredondado com raio de curvatura de 12,5 nm p. 81
- 38 Curva de $g_m \times V_G$ para os transistores de canto arredondado p. 82
- 39 Curvas de concentração de elétrons pela distância da interface com o óxido. Para três raios de curvatura no canto e duas linhas de corte cada. p. 83
- 40 Curvas de concentração de elétrons pela distância da interface com o óxido. Para três raios de curvatura no canto e duas linhas de corte cada. p. 84

- 41 Curvas de concentração de elétrons pela distância da interface com o óxido.
Para três raios de curvatura no canto e duas linhas de corte cada. p. 84
- 42 Curvas de concentração de elétrons pela distância da interface com o óxido.
Para três raios de curvatura no canto e duas linhas de corte cada. p. 85
- 43 Curva de corrente de dreno I_d em função da variação do raio de curvatura R
para os transistores de $H=W=50$ nm p. 86
- 44 Potenciais simulados e calculados para a superfície da camada de silício e
o centro do canal em função da concentração de dopantes no canal N_a em
tensão de limiar. As curvas de Φ_F e $2\chi\Phi_F$ também são mostradas. Φ_{ST} é o
potencial na superfície do canal e Φ_{OT} é o potencial no centro do canal. . . . p. 88
- 45 Curvas de potencial na superfície do canto, superfície da porta lateral e no
centro dos transistores em função da variação da concentração do canal para
o raio de curvatura de canto de 2,5 nm. p. 89
- 46 Curvas de potencial na superfície do canto, superfície da porta lateral e no
centro dos transistores em função da variação da concentração do canal para
o raio de curvatura de canto de 5 nm. p. 89
- 47 Curvas de potencial na superfície do canto, superfície da porta lateral e no
centro dos transistores em função da variação da concentração do canal para
o raio de curvatura de canto de 12,5 nm. p. 90

Lista de Tabelas

- 1 Tabela de tensão de limiar para dispositivos com canto vivo extraída a partir
da extrapolação da curva $I_d x V_G$ p. 68
- 2 Tabela de tensão de limiar para dispositivos com canto vivo extraída a partir
do pico da segunda derivada de $I_d x V_G$ p. 69
- 3 Tabela de inclinação de sublimiar para dispositivos com canto vivo p. 71
- 4 Tabela de tensão de limiar para dispositivos com canto arredondado extraída
a partir da extrapolação da curva $I_d x V_G$ p. 78
- 5 Tabela de tensão de limiar para dispositivos com canto arredondado extraída
a partir do pico da segunda derivada de $I_d x V_G$ p. 79
- 6 Tabela de inclinação de sublimiar para dispositivos com canto arredondado . . p. 82

1 *Introdução*

Novas geometrias de transistores MOS têm sido propostas com o objetivo de obter dispositivos com melhor controle e capacidade de corrente. O estudo de novos modelos de transistores tem um desenvolvimento paralelo à redução de dimensões (escalamento) na busca do aumento de desempenho desses dispositivos. Entre as novas geometrias encontram-se os transistores de três portas (*Triple-gate*, Π -*gate* e Ω -*gate*) e quatro portas (*gate-all-around*) [1].

A publicação das patentes de Lilienfeld em 1926 e 1928, apresentaram os primeiros conceitos sobre transistores de efeito de campo. O dispositivo, composto por uma camada de metal depositada sobre uma lâmina de vidro e coberta por material semicondutor utilizando dois terminais por onde os elétrons circulariam em um único sentido e ativado via efeito de campo por um terceiro terminal, apresentava uma maneira de amplificar ou retificar sinais elétricos que substituiria o sistema utilizado na época [2] [3]. Estes dispositivos não chegaram a ser produzidos na data da publicação das patentes pois não havia tecnologia para fabricá-los.

Historicamente o dispositivo IGFET (*Insulated Gate Field Effect Transistor*), descrito por Lilienfeld, serve de base para toda a tecnologia MOSFET atual. Este dispositivo permaneceu durante algumas décadas sem maiores desenvolvimentos em função de outras tecnologias como os transistores bipolares. Redescoberto após quase 4 décadas da primeira descrição de Lilienfeld e com a tecnologia necessária o transistor MOS foi desenvolvido por Kahng e Atalla, utilizando interface Si/SiO_2 . Os estudos posteriores seguiram com o objetivo de melhorar o desempenho e a redução de suas dimensões [4].

A tecnologia SOI é uma evolução técnica em relação ao transistor MOSFET convencional. Na tecnologia MOSFET, por exemplo, para um substrato de silício de 500 μm , apenas dezenas de nanômetros próximos a superfície são utilizados para formar o transistor. Este tipo de estrutura possui uma série de efeitos formados entre o transistor e o corpo de silício que dificultam o escalamento e aumentam os custos de fabricação. Alguns desses efeitos são: dificuldades de isolamento entre transistores próximos, aumento das capacitâncias de junção de fonte e dreno, ativação de tiristor parasitário, aumento da corrente de fuga e diminuição da

tensão de perfuração [5].

O desenvolvimento de uma camada fina de silício sobre uma camada de isolante (SOI), permitiu a isolamento entre o substrato e o transistor, reduzindo ou eliminando parte das dificuldades citadas acima e inserindo novos desafios para a sua produção, detalhados no decorrer deste trabalho. A dificuldade para desenvolver transistores SOI era maior na fabricação da lâmina SOI que é a base para a produção dos transistores. Os primeiros processos de fabricação formavam lâminas de baixa qualidade. A evolução dos processos de produção ocasionou a queda nos custos de produção e uma melhora considerável na qualidade final das lâminas SOI [1].

A melhoria nas lâminas SOI fez com que a gama de aplicações em que se poderiam empregar estes dispositivos aumentassem além de aplicações específicas como ambientes radioativos, onde o desempenho desse tipo de transistor é superior, para microprocessadores e dispositivos analógicos, ocupando espaço dos transistores MOSFET convencional utilizados até o momento.

1.1 Histórico, Motivação e Objetivos do Trabalho

A partir do desenvolvimento da tecnologia de circuitos integrados, tem-se buscado aumentar o nível de integração ou densidade dos circuitos, para que funções mais complexas sejam realizadas com menor consumo de energia e melhor desempenho [6] [7] [8].

Este aumento de densidade pode ser conseguido através do desenvolvimento dos processos produtivos e de projeto, diminuindo as dimensões dos dispositivos elementares segundo leis de escalamento já bem consolidadas ou através da criação de novos dispositivos. A primeira alternativa tem sido continuamente explorada pela indústria e seus limites dizem respeito principalmente a efeitos espúrios que se tornam importantes com a diminuição das dimensões físicas [9]. A segunda alternativa busca novos projetos de transistores, cujas características permitam principalmente uma maior capacidade de corrente, potencialmente obtida por um melhor controle de cargas na região de condução. A tecnologia baseada em lâminas SOI amplia significativamente o leque de opções construtivas e conceituais [10]. O mercado de semicondutores para este tipo de tecnologia cresce substancialmente como recurso para soluções com melhor desempenho [1].

Uma possibilidade construtiva é trabalhar na geometria interna do canal dos transistores, alterando a composição das concentrações de dopantes ao longo do canal. Um exemplo dos diferentes processos para desenvolver este tipo de estruturas são os dispositivos de canal gradual (*graded channel devices*) [11] e implantação do HALO [12].

No caminho dos novos transistores, a evolução de modelos planares para modelos tridimensionais foi natural, uma vez que as cargas da ilha de silício onde se dará a condução podem ser melhor controladas se, ao invés de sofrerem influência de um plano condutor (Porta), puderem ser expostas à influência de diversos planos. Assim, surgiram os transistores *Dual-Gate* [13], *Triple-Gate* [14] [15] e *Gate-All-Around* (GAA) [16] [17], além de outros, que podem ser considerados variações do mesmo conceito.

Em [1], encontra-se uma análise bastante didática sobre o funcionamento desses dispositivos. O mesmo autor publicou, adicionalmente e mais recentemente, um trabalho tutorial sobre estes novos dispositivos [14]. No entanto, muitos aspectos do funcionamento, modelagem e produção destes transistores de múltiplas portas encontram-se ainda em estudo. Um aspecto particularmente interessante diz respeito ao efeito de canto, ou seja, ao comportamento físico da corrente e das grandezas elétricas nas proximidades da interseção dos planos de portas.

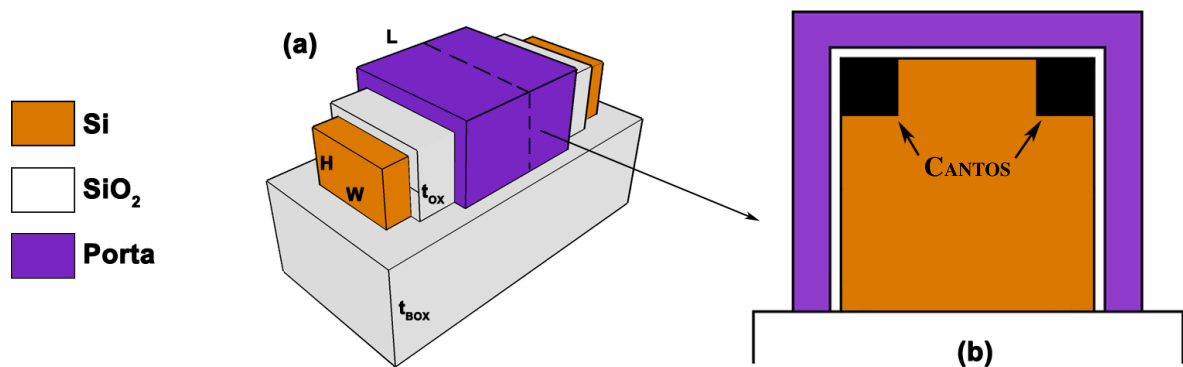


Figura 1: (a) Dispositivo *triple-gate*. (b) Corte do dispositivo *triple-gate* e destaque dos cantos.

A figura 1, retrata um transistor de porta tripla e destaca as regiões de canto. Sabe-se que o comportamento de corrente por tensão (I-V) do dispositivo como um todo pode ser significativamente influenciado pelo efeito de canto, que altera características básicas, como a tensão de limiar e inclinação de sublimiar. Um estudo interessante, apresentado em [18] compara dispositivos GAA de perfil circular, onde não existem cantos, com dispositivos de perfil retangular (2 ou 4 cantos). Este estudo conclui que, sob determinadas condições, mesmo em transistores de perfil retangular, os efeitos de canto podem ser desprezados, mas que, por outro lado, em determinadas circunstâncias tais efeitos são determinantes no funcionamento. Predominantemente os estudos publicados tratam de cantos vivos e alguns poucos estudos modelam os dispositivos com cantos arredondados, que são mais realistas e viáveis através das tecnologias de produção atuais.

Em [18] são avaliados efeitos de canto, considerando-se a influência do raio de curvatura.

Além da necessidade de se estudarem os efeitos, também devem ser propostas formas de trabalhar com este efeito, seja suprimindo ou ampliando a ação do mesmo. Em [19] são estudadas técnicas para supressão do efeito de canto em transistores SOI de três portas e apresentados resultados de simulação bidimensional. O autor sugere o estudo de modelos quânticos para uma análise mais completa, mas não chega a explorá-los. A presente proposta não descarta a possibilidade da exploração de tais modelos, mas não considera essa exploração essencial neste momento, uma vez que as dimensões consideradas para os dispositivos utilizados no estudo permitem ótimos resultados com modelos contínuos. A simulação tridimensional também seria, segundo [19], uma ferramenta que poderia levar a resultados adicionais, principalmente para pequenos dispositivos. Esse caminho foi trilhado por Burenkov, em [20]. Nesse trabalho são analisados os efeitos de canto sobre dispositivos de porta tripla (*triple gate devices*) no encontro das portas laterais com a porta superior dos dispositivos através de resultados de simulação tridimensional, apesar da grande ampliação dos recursos computacionais necessários e do aumento significativo dos tempos de simulação, em função da qualidade dos resultados obtidos.

Este projeto de pesquisa pretende também sugerir técnicas para simulação de transistores tridimensionais. Alguns princípios de simulação já foram estabelecidos em [21], onde foram também avaliados parâmetros de projeto e sua influência sobre os efeitos de canto.

1.2 Estrutura do Trabalho

O trabalho está organizado conforme a seguinte estrutura:

- Capítulo 1: descrição introdutória sobre a motivação do trabalho e os aspectos relevantes para a pesquisa.
- Capítulo 2: são apresentados os fundamentos básicos da teoria de dispositivos semicondutores e transistores SOI e a classificação dos tipos de dispositivos segundo o fator de corpo. São apresentadas as formas de polarização e os principais parâmetros utilizados nesse trabalho para a caracterização dos transistores.
- Capítulo 3: são apresentados os dispositivos de múltiplas portas e os conceitos relacionados. Os conceitos de inversão volumétrica e dois modelos de estudo também são discutidos.
- Capítulo 4: são apresentados os conceitos de simulação numérica tridimensional, os programas utilizados e os métodos de montagem dos arquivos de simulação.

- Capítulo 5: são apresentados os estudos dos efeitos de canto em dispositivos tridimensionais sobre duas diferentes geometrias: o primeiro modo através de simulação com canto vivo e o segundo utilizando cantos arredondados. Resultados e curvas extraídas das simulações também são apresentados nesse capítulo.
- Capítulo 6: são apresentadas as conclusões sobre os resultados obtidos.
- Capítulo 7: são apresentadas possibilidades para o desenvolvimento de trabalhos futuros relacionados ao tema.

2 *Conceitos Básicos*

Nos próximos parágrafos serão tratados os conceitos dos dispositivos com tecnologia SOI (*Silicon-On-Insulator*) MOSFET (*Metal-Oxide-Silicon Field Effect Transistor*) e os avanços nesta tecnologia até os dispositivos tridimensionais com múltiplas portas.

2.1 Tecnologia SOI

O termo SOI (*Silicon-On-Insulator*) significa silício sobre isolante. Nessa tecnologia os transistores e outros dispositivos são construídos em uma camada de silício sobre uma base de isolante, normalmente SiO_2 (óxido de silício). A tecnologia de referência do SOI é a tecnologia MOS convencional que utiliza uma lâmina de material semiconductor como base para a construção dos dispositivos. A partir de uma lâmina SOI são constituídas as regiões ativas de fonte (S - *Source*), dreno (D - *Drain*), porta (G - *Gate*) e corpo (B - *Body*) do dispositivo [22] [23], conforme a figura 2.

Os dispositivos construídos sobre uma lâmina SOI surgiram como alternativa aos dispositivos convencionais construídos sobre lâminas de silício. As regiões ativas do dispositivo SOI estão separadas do substrato de silício por uma camada de isolante e, sendo assim, o transistor formado na superfície da lâmina não necessita de uma polarização reversa do substrato. Este tipo de solução construtiva permite aos dispositivos do tipo SOI uma melhor resistência à radiação e e baixa sensibilidade à variação de temperatura [24].

Inicialmente os dispositivos SOI utilizavam camadas de silício sobre o isolante maiores que a camada de depleção gerada pela polarização de porta. Por consequência o dispositivo apresentava muitas características elétricas semelhantes aos dispositivos MOSFET convencionais, o que levava o desenvolvimento a utilizar equacionamento, curvas e informações semelhantes aos disponíveis para os dispositivos convencionais. Durante esta fase da evolução da tecnologia SOI foram observadas características peculiares aos dispositivos do tipo SOI como, por exemplo, a ionização por impacto e o efeito kink, que serão tratadas oportunamente ainda neste capítulo.

O passo seguinte dessa evolução foi o surgimento de transistores que têm a camada de silício menor que a camada de depleção gerada pela polarização de porta. Estes novos dispositivos permitiram uma grande evolução construtiva dos transistores baseados em lâminas SOI. Entre as vantagens obtidas com esse avanço podemos destacar o aumento da mobilidade, transcondutância, maior escalamento dos dispositivos, inclinação de sublimar próximas de 60 mV/déc. e maior imunidade aos efeitos de canal curto.

Através das pesquisas de polarização da interface do silício de substrato, novas formas de operação dos transistores SOI MOSFET foram propostas até a descoberta do transistor de duas portas (*double gate*) e posteriormente transistores de múltiplas portas que possuem todo o canal circundado por isolante e material de porta.

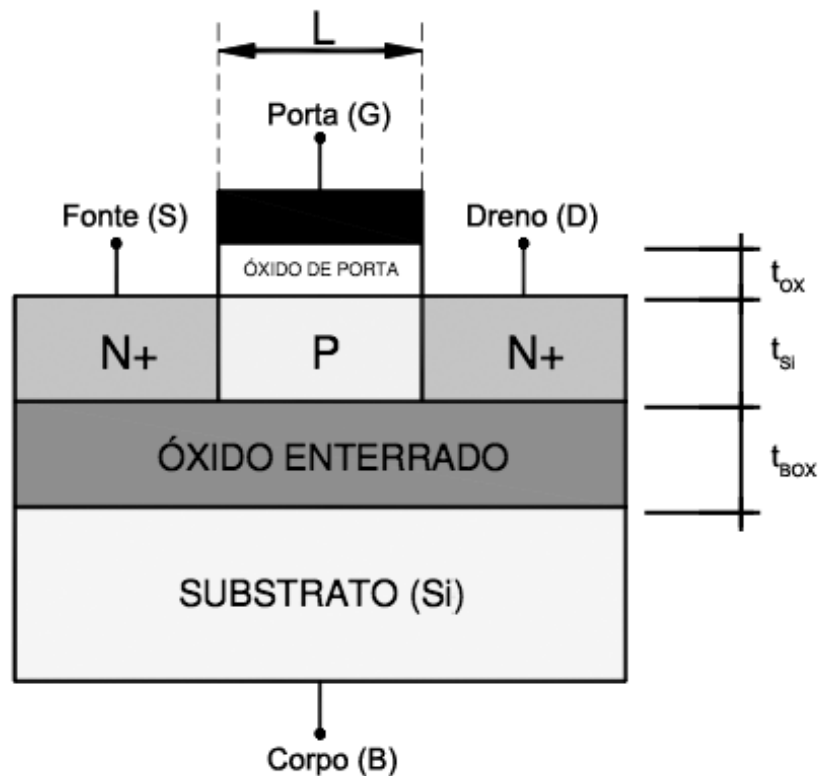


Figura 2: Transistor SOI MOSFET. Onde: t_{Si} é espessura da camada de silício, t_{OX} é espessura da camada do óxido, t_{BOX} é espessura da segunda camada do óxido, L é o comprimento do canal e W a largura do canal.

O transistor SOI MOSFET é definido através da dimensão de suas regiões ativas e das características dos materiais dessas regiões.

2.2 Classificação de estruturas SOI MOSFET

A temperatura, a espessura e a dopagem da camada de silício são parâmetros de grande influência no funcionamento de um transistor, seja ele MOS convencional ou SOI MOSFET. Em transistores MOS, a espessura da camada depletada a partir da interface com o SiO_2 é definida pela equação 2.1 [25].

$$x_{dmax} = \sqrt{\frac{4 \cdot \epsilon_{Si} \cdot \Phi_F}{q \cdot N_a}} \quad (2.1)$$

Sendo

$$\Phi_F = \frac{k \cdot T}{q} \cdot \ln\left(\frac{N_a}{n_i}\right) \quad (2.2)$$

onde: ϵ_{Si} é a permissividade do silício, N_a é a concentração de átomos dopantes aceitadores no canal, k é a constante de Boltzman, Φ_F é o potencial de Fermi, T a temperatura absoluta e n_i é a concentração intrínseca de portadores.

Em transistores SOI MOSFET a espessura da camada depletada pode ser tanto definida pela espessura máxima da região de depleção quanto pela espessura t_{Si} da camada de silício sobre o óxido, uma vez que a espessura da camada de silício pode ser comparável à máxima espessura de depleção. É possível observar na figura 3 uma comparação entre as possibilidades construtivas.

Para os dispositivos SOI MOSFET existem três possibilidades bem definidas considerando-se a espessura da camada t_{Si} e a máxima espessura de depleção: parcialmente depletado, totalmente depletado e quase totalmente depletado.

- Parcialmente depletado (PDSOI - *Partially Depleted SOI*): tem como característica construtiva a espessura da camada de silício maior que o dobro da espessura máxima da região de depleção (x_{dmax}). Estes dispositivos operam de forma semelhante aos dispositivos MOS convencionais pois, quando em operação, podem apresentar no canal regiões de depleção e regiões neutras. Como muitas vezes essas regiões neutras estão isoladas pelo isolante do SOI, são chamadas de corpo flutuante. Estes dispositivos podem apresentar outros efeitos, como o efeito kink, caracterizado por uma elevação abrupta de corrente com o aumento da tensão de dreno, e o efeito bipolar parasitário entre as regiões de fonte (N), canal (P) e dreno (N). Uma opção para reduzir estes efeitos é criar um contato de corpo na região abaixo da depleção.

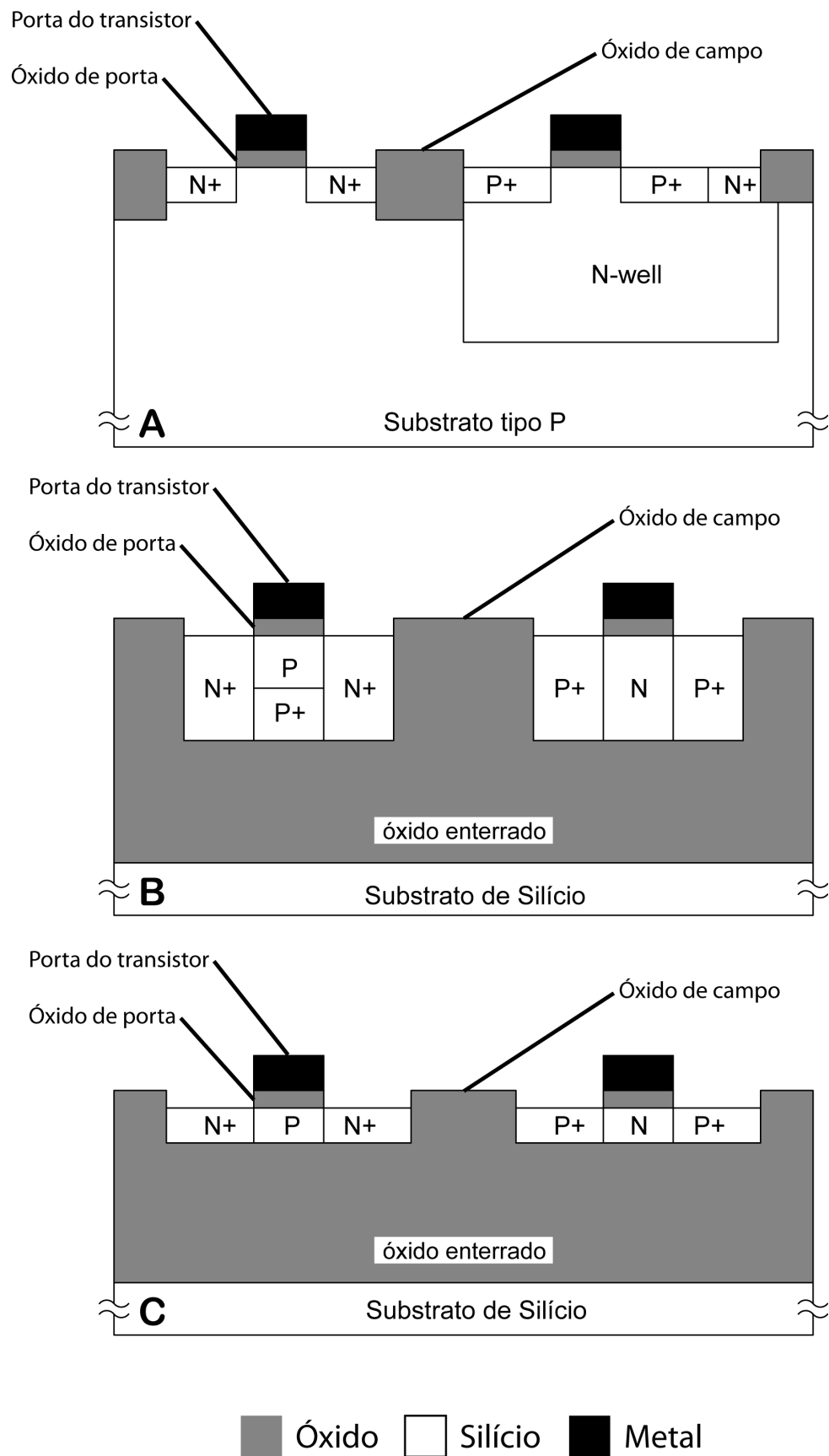


Figura 3: Perfil dos dispositivos: (A) Convencional, (B) SOI MOSFET PD, (C) SOI MOSFET FD.

- Totalmente depletado (FDSOI - *Fully Depleted SOI*): a região do canal, quando em operação, revela a presença de cargas de depleção em toda a sua profundidade. A espessura da camada de silício nestes dispositivos é menor que o valor teórico da espessura máxima da região de depleção (x_{dmax}). Este tipo de dispositivo apresenta o melhor acoplamento capacitivo de todos os modelos. Como a espessura da camada de silício é desenvolvida independente do nível de concentração de dopantes no canal, é possível desenvolver dispositivos com menor espessura da camada de silício e, sendo assim, uma menor capacitância C_{Si} . Os transistores totalmente depletados não sofrem os efeitos *kink* e efeito de corpo flutuante. Além das características elétricas, os dispositivos com esta estrutura apresentam um número menor de etapas de processo de fabricação.[1]
- Quase totalmente depletado (NFDSOI - *Near-Fully Depleted SOI*): tem a espessura da camada de silício entre a espessura máxima de depleção (x_{dmax}) e o dobro desta espessura ($2x_{dmax}$). Desta forma, ele pode estar totalmente depletado ou não em função do potencial de substrato.

O potencial de substrato age através do óxido enterrado como uma porta MOS sobre o filme de silício. A ação causada por este efeito é denominada "segunda porta".

Em dispositivos SOI, a existência da segunda porta pode criar algumas situações de polarização do dispositivo. Estas situações podem influenciar diretamente a operação do transistor de forma a alterar, por exemplo, a tensão de limiar.

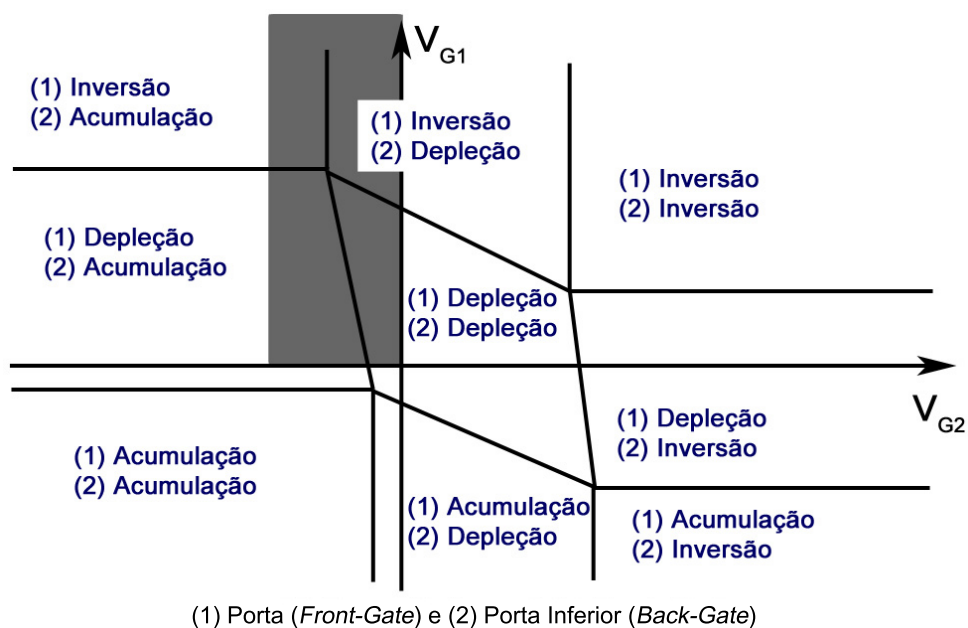


Figura 4: Diferentes modos de operação para um transistor FDSOI, nMOSFET.

Na figura 4, podemos identificar as nove formas [1] de polarizar um transistor SOI, utilizando as três possibilidades, depleção, inversão e acumulação, possíveis para a polarização de cada uma das interfaces, a partir da tensão de porta (V_G) e da tensão da segunda porta ou porta de substrato (V_{G2}).

A base para este trabalho será o dispositivo SOI e suas variações de múltiplas portas com a segunda interface neutra ou em depleção.

2.3 Características do SOI MOSFET

Para a caracterização dos dispositivos SOI são utilizados entre outros, os parâmetros elétricos de referência abordados a seguir.

2.3.1 Tensão de limiar

A tensão de limiar está relacionada ao início da inversão do canal do dispositivo. Em um dispositivo convencional, a tensão de limiar (V_{TH}) é definida conforme a equação 2.3.

$$V_{TH} = V_{FB} + 2 \cdot \Phi_F + \frac{q \cdot N_a \cdot x_{dmax}}{C_{OX}} \quad (2.3)$$

Sendo

$$V_{FB} = \Phi_{MS} - \frac{Q_{OX}}{C_{OX}} \quad (2.4)$$

onde: V_{FB} é a tensão de banda plana, Φ_{MS} é a diferença de potencial entre o metal e o silício, Φ_F é o potencial de Fermi, N_a é a concentração de dopantes no canal, x_{dmax} é espessura máxima da região de depleção, Q_{OX} é a densidade de cargas no óxido e C_{OX} é a capacitância do óxido de porta por unidade de área.

Para transistores SOI existem duas situações para cálculo da tensão de limiar. No caso do dispositivo parcialmente depletado, o cálculo deste parâmetro é semelhante ao dispositivo convencional pois não existe interação entre as regiões sob influência da porta e o substrato.

A segunda situação ocorre em dispositivos totalmente depletados onde existe a interação entre as duas portas (porta e o substrato). Em um dispositivo modo enriquecimento de canal tipo N, conforme [1], a tensão de limiar pode ser obtida pela solução da equação de Poisson 2.7 em função da profundidade do silício no canal do dispositivo [26].

$$\frac{\partial^2 \Phi}{\partial x^2} = -\frac{\rho}{\epsilon_{Si}} \quad (2.5)$$

Como

$$\rho = -q \cdot N_a \quad (2.6)$$

Tem-se

$$\frac{\partial^2 \Phi}{\partial x^2} = \frac{q \cdot N_a}{\epsilon_{Si}} \quad (2.7)$$

Efetuada a primeira integral da equação 2.7:

$$\frac{\partial}{\partial x} \left(\frac{\partial \Phi}{\partial x} \right) = \frac{q \cdot N_a}{\epsilon_{Si}} \quad (2.8)$$

$$\partial \left(\frac{\partial \Phi}{\partial x} \right) = \frac{q \cdot N_a}{\epsilon_{Si}} \cdot \partial x \quad (2.9)$$

$$\int \partial \left(\frac{\partial \Phi}{\partial x} \right) = \int \frac{q \cdot N_a}{\epsilon_{Si}} \cdot \partial x \quad (2.10)$$

$$\frac{\partial \Phi}{\partial x} = \frac{q \cdot N_a}{\epsilon_{Si}} \cdot x + C_1 \quad (2.11)$$

$$E = -\frac{\partial \Phi}{\partial x} = -\left(\frac{q \cdot N_a}{\epsilon_{Si}} \cdot x + C_1 \right) \quad (2.12)$$

A constante C_1 , indefinida até o momento, é resultado da primeira integração da equação 2.7. Continuando a segunda integral a partir da equação 2.12, tem-se:

$$E = -\frac{\partial \Phi}{\partial x} = -\left(\frac{q \cdot N_a}{\epsilon_{Si}} \cdot x + C_1 \right) \quad (2.13)$$

$$\int \partial \Phi = \int \left(\frac{q \cdot N_a}{\epsilon_{Si}} \cdot x + C_1 \right) \cdot \partial x \quad (2.14)$$

$$\Phi = \frac{q \cdot N_a}{\epsilon_{Si}} \cdot \frac{x^2}{2} + C_1 \cdot x + C_2 \quad (2.15)$$

Para determinar as duas constantes C_1 e C_2 resultantes das duas integrações em 2.7, é preciso determinar condições de contorno para a equação 2.15.

Para isso, considerando uma primeira situação de contorno que para $x = 0$ tem-se $\Phi = \Phi_{S1}$, e conseqüentemente:

$$\Phi_{S1} = \frac{q.N_a}{\epsilon_{Si}} \cdot \frac{0^2}{2} + C_1 \cdot 0 + C_2 \quad (2.16)$$

$$C_2 = \Phi_{S1} \quad (2.17)$$

Aplicando 2.17 em 2.15, tem-se:

$$\Phi = \frac{q.N_a}{\epsilon_{Si}} \cdot \frac{x^2}{2} + C_1 \cdot x + \Phi_{S1} \quad (2.18)$$

E considerando uma segunda situação de contorno que para $x = t_{Si}$ tem-se $\Phi = \Phi_{S2}$, e conseqüentemente:

$$\Phi = \frac{q.N_a}{\epsilon_{Si}} \cdot \frac{x^2}{2} + C_1 \cdot x + \Phi_{S1} \quad (2.19)$$

$$\Phi_{S2} = \frac{q.N_a}{\epsilon_{Si}} \cdot \frac{t_{Si}^2}{2} + C_1 \cdot t_{Si} + \Phi_{S1} \quad (2.20)$$

$$C_1 = -\frac{q.N_a}{2 \cdot \epsilon_{Si}} \cdot t_{Si} + \left(\frac{\Phi_{S2} - \Phi_{S1}}{t_{Si}} \right) \quad (2.21)$$

Aplicando 2.21 e 2.17 em 2.15, tem-se:

$$\Phi(x) = \frac{q.N_a}{2 \cdot \epsilon_{Si}} \cdot x^2 + \left(\frac{\Phi_{S2} - \Phi_{S1}}{t_{Si}} - \frac{q.N_a \cdot t_{Si}}{2 \cdot \epsilon_{Si}} \right) \cdot x + \Phi_{S1} \quad (2.22)$$

Onde Φ_{S1} representa o potencial na interface frontal entre o silício e o óxido e Φ_{S2} o potencial na segunda interface e a concentração N_a sendo uniforme.

O campo elétrico na superfície do silício é dado por:

$$\frac{\partial \Phi}{\partial x} = -E(x) \quad (2.23)$$

Tem-se

$$E(x) = \frac{-q.N_a}{\epsilon_{Si}} \cdot x - \left(\frac{\Phi_{S2} - \Phi_{S1}}{t_{Si}} - \frac{q.N_a \cdot t_{Si}}{2 \cdot \epsilon_{Si}} \right) \quad (2.24)$$

O campo elétrico na primeira interface, E_{S1} (em $x=0$) pode ser calculada através da equação 2.24:

$$E_{s1} = \left(\frac{\Phi_{s2} - \Phi_{s1}}{t_{Si}} + \frac{q \cdot N_a \cdot t_{Si}}{2 \cdot \epsilon_{Si}} \right) \quad (2.25)$$

Aplicando o teorema de Gauss para a primeira interface é possível obter a queda de potencial na região do óxido Φ_{OX1} :

$$\Phi_{OX1} = \frac{\epsilon_{Si} \cdot E_{s1} - Q_{OX1} - Q_{inv1}}{C_{OX1}} \quad (2.26)$$

onde: Q_{OX1} é a quantidade de cargas fixas na interface Si/SiO_2 , Q_{inv1} é a quantidade de cargas de inversão na primeira interface e C_{OX1} é a capacitância da primeira interface.

Aplicando o mesmo teorema para a segunda interface tem-se:

$$\Phi_{OX2} = \frac{\epsilon_{Si} \cdot E_{s1} - q \cdot N_a \cdot t_{Si} - Q_{OX2} - Q_{s2}}{C_{OX2}} \quad (2.27)$$

Onde Q_{s2} representa a quantidade de cargas para segunda interface em inversão ($Q_{s2} < 0$) ou acumulação ($Q_{s2} > 0$) e C_{OX2} a capacitância da segunda interface.

As tensões da primeira e segunda interfaces são definidas por:

$$V_{G1} = \Phi_{s1} + \Phi_{OX1} + \Phi_{MS1} \quad (2.28)$$

$$V_{G2} = \Phi_{s2} + \Phi_{OX2} + \Phi_{MS2} \quad (2.29)$$

onde: Φ_{MS1} é a função trabalho da primeira interface e Φ_{MS2} é a função trabalho da segunda interface.

Relacionando as equações 2.25, 2.26 e 2.28, é possível obter determinar a tensão na primeira interface e o potencial de superfície:

$$V_{G1} = \Phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + \left(1 + \frac{C_{Si}}{C_{OX1}} \right) \cdot \Phi_{s1} - \frac{C_{Si}}{C_{OX1}} \cdot \Phi_{s2} - \frac{\frac{Q_{depl}}{2} + Q_{inv1}}{C_{OX1}} \quad (2.30)$$

$$C_{Si} = \frac{\epsilon_{Si}}{t_{Si}} \quad (2.31)$$

$$Q_{depl} = q \cdot N_a \cdot t_{Si} \quad (2.32)$$

Da mesma forma para a tensão na segunda interface e o potencial de superfície:

$$V_{G2} = \Phi_{MS2} - \frac{Q_{OX2}}{C_{OX2}} - \frac{C_{Si}}{C_{OX2}} \cdot \Phi_{s1} + \left(1 + \frac{C_{Si}}{C_{OX2}}\right) \cdot \Phi_{s2} - \frac{\frac{Q_{depl}}{2} + Q_{s2}}{C_{OX2}} \quad (2.33)$$

Utilizando as duas equações para obtenção de V_{G1} e V_{G2} é possível determinar algumas formas de polarização para obter a tensão de limiar.

A primeira situação é a obtenção da tensão de limiar na primeira interface (V_{G1}) para a segunda interface em acumulação ($V_{TH1,acc2}$).

V_{G1} é igual a $V_{TH1,acc2}$ quando $\phi_{s2} = 0$, $Q_{inv1} = 0$ e $\phi_{s1} = 2 \cdot \phi_F$. Aplicando os valores na equação 2.30 tem-se:

$$V_{TH1,acc2} = \Phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + \left(1 + \frac{C_{Si}}{C_{OX1}}\right) \cdot 2\Phi_F - \frac{Q_{depl}}{2C_{OX1}} \quad (2.34)$$

A segunda situação é a obtenção da tensão de limiar na primeira interface (V_{G1}) para a segunda interface em inversão ($V_{TH1,inv2}$).

V_{G1} é igual a $V_{TH1,inv2}$ quando $\phi_{s2} = 2 \cdot \phi_F$, $Q_{inv1} = 0$ e $\phi_{s1} = 2 \cdot \phi_F$. Aplicando os valores na equação 2.30 tem-se:

$$V_{TH1,inv2} = \Phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + 2\Phi_F - \frac{Q_{depl}}{2C_{OX1}} \quad (2.35)$$

Esta situação não é muito prática para aplicação em circuitos uma vez que o dispositivo tem passagem de corrente mesmo quando a tensão em V_{G1} é menor que $V_{TH1,inv2}$, pois neste caso fonte e dreno já estão conectados pela segunda interface.

A terceira situação é a obtenção da tensão de limiar na primeira interface (V_{G1}) para a segunda interface em depleção ($V_{TH1,inv2}$).

Este é um caso que exige uma análise maior, pois para que a segunda interface esteja em depleção, o valor de ϕ_{s2} pode variar de 0 até $2 \cdot \phi_F$, o que torna o resultado dependente do valor de V_{G2} .

Inicialmente precisamos obter a equação de $V_{G2,acc}$, valor da segunda interface em acumulação e para a primeira interface em tensão de limiar. Esta situação ocorre quando aplicando $\phi_{s1} = 2 \cdot \phi_F$, $\phi_{s2} = 0$ e $Q_{s2} = 0$ na equação 2.33, tem-se:

$$V_{G2,acc} = \Phi_{MS2} - \frac{Q_{OX2}}{C_{OX2}} - 2 \frac{C_{Si}}{C_{OX2}} \cdot \Phi_F - \frac{Q_{depl}}{2C_{OX2}} \quad (2.36)$$

Da mesma forma, para obter $V_{G2,inv}$ aplicando $\phi_{s1} = 2.\phi_F$, $\phi_{s2} = 2.\phi_F$ e $Q_{s2} = 0$ na equação 2.33, tem-se:

$$V_{G2,inv} = \Phi_{MS2} - \frac{Q_{OX2}}{C_{OX2}} + 2\Phi_F - \frac{Q_{depl}}{2C_{OX2}} \quad (2.37)$$

Quando $V_{G2,acc} < V_{G2} < V_{G2,inv}$ a tensão de limiar na interface frontal é obtida através da combinação das equações de V_{G1} e V_{G2} para a situação onde $\phi_{s1} = 2.\phi_F$ e $Q_{inv} = Q_{s2} = 0$. Sendo assim, tem-se:

$$V_{TH1,depl2} = V_{TH1,acc2} - \frac{C_{Si}C_{OX2}}{C_{OX1}(C_{Si} + C_{OX2})}(V_{G2} - V_{G2,acc}) \quad (2.38)$$

A tensão de limiar em dispositivos de porta tripla como os estudados no presente trabalho não pode ser expressa pela equação 2.38, aplicável em transistores planares e não há um modelo analítico simples na literatura estudada a esse respeito. No entanto, muitos dos conceitos aplicáveis a transistores SOI planares aplicam-se também a transistores tridimensionais como os de porta tripla. Em relação à tensão de limiar, o presente trabalho pretende extraí-la das curvas $I_d \times V_G$ de simulação e analisá-las à luz dos conceitos desenvolvidos a partir dos transistores SOI planares equacionados e descritos nos parágrafos anteriores.

2.3.1.1 Obtenção da tensão de limiar a partir de dados experimentais

A tensão de limiar definida para um dispositivo pode ser obtida a partir de dados experimentais através de diferentes métodos [27].

A figura 5, extraída de [27], mostra que os resultados de tensão de limiar (V) em relação ao comprimento de canal (μm), obtidos por sete métodos diferentes, resultam em valores significativamente distintos.

Os métodos mais utilizados neste trabalho são os de: (a) extrapolação da curva $I_d \times V_G$ e (b) método de pico da segunda derivada de $I_d \times V_G$ [28].

No método da extrapolação da curva $I_d \times V_G$, os dados experimentais para um dispositivo são plotados em uma curva que relaciona a corrente de dreno (I_d) e a tensão de porta (V_G), para duas tensões de dreno (V_D) nos valores de 10 e 50 mV. A assíntota da curva para V_D igual a 10 mV é estendida até encontrar o eixo x da tensão (V_G), conforme apresentado na figura 6. O ponto de encontro entre a assíntota e o eixo determina a tensão de limiar para o dispositivo. Este valor é

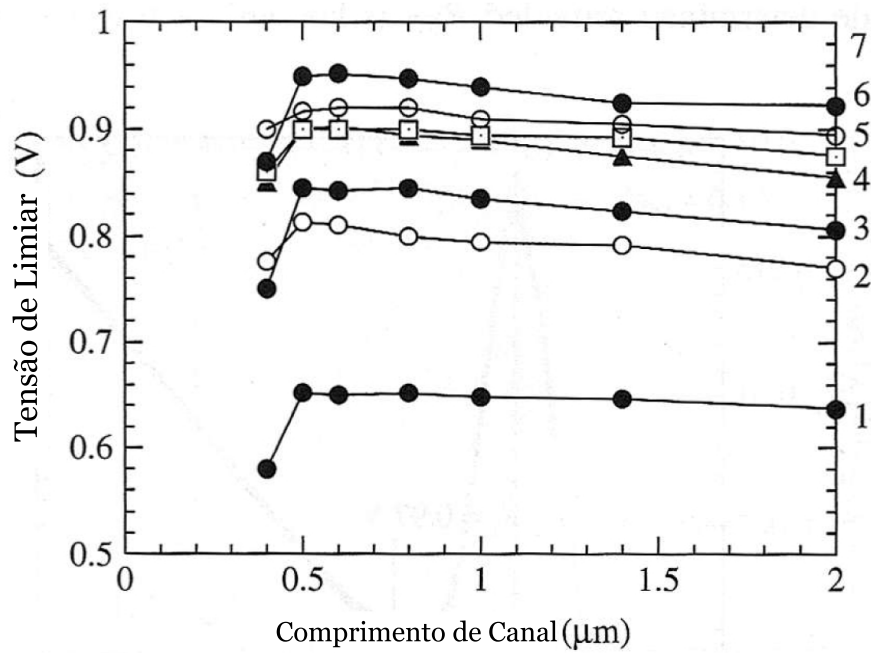


Figura 5: Tensão de limiar pelo comprimento do canal determinado por diferentes métodos. 1) Corrente constante $I_d = 1nA/(W/L)$. 2) Transcondutância. 3) Extrapolação da corrente de dreno em saturação. 4) V_{GS} onde $d^2 \log I_d / dV_{GS}^2$ é mínimo. 5) Extrapolação da corrente de dreno. 6) Derivada da transcondutância. 7) Extrapolação linear corrigida para a mobilidade.

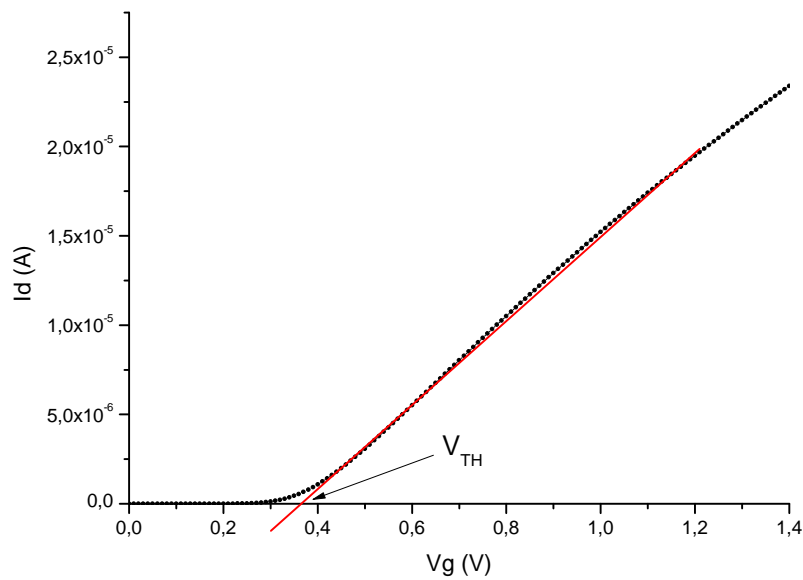


Figura 6: Curva $I_d \times V_G$ com método de extrapolação para cálculo de V_{TH} .

confirmado através da aplicação do mesmo método para a curva de V_D igual a 50 mV.

No método do pico da segunda derivada de $I_d \times V_G$ a tensão de limiar é extraída através do método da segunda derivada da curva $I_d \times V_G$. Através da caracterização da curva $I_d \times V_G$, é

possível extrair a relação de transcondutância em função da tensão de porta (V_G), estimando a primeira derivada da função correspondente à curva $I_d \times V_G$. O ponto máximo dessa primeira derivada aponta a máxima transcondutância para o dispositivo. A segunda derivada da função $I_d \times V_G$ determina o ponto onde ocorre a inflexção na curva, determinando a tensão de limiar.

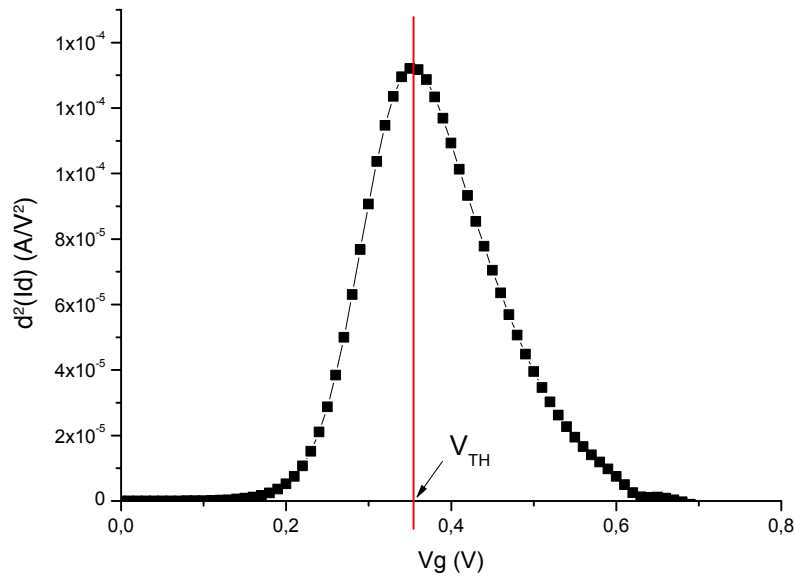


Figura 7: Curva $I_d \times V_G$ com método da segunda derivada para cálculo de V_{TH} .

Segundo descrito em [28] o método do pico da segunda derivada apresenta resultados mais confiáveis para a extração da tensão de limiar em relação ao método da extrapolação da curva $I_d \times V_G$, para dispositivos com altos níveis de dopagem e espessura de óxido de porta reduzido, como se observa em alguns transistores simulados neste trabalho, que possuem óxido de porta (t_{OX}) de 3 nm e concentração de canal (N_a) maior que 10^{17} cm^{-3} .

2.3.2 Fator de Corpo

Um dos parâmetros de maior influência sobre o funcionamento dos transistores MOSFET é o fator de corpo (*body factor*) "n" [26], onde $n = (1 + \alpha)$, em que α é o acoplamento capacitivo do transistor MOS representado na figura 8, através de uma sequência de capacitores conectados.

Este modelo de capacitâncias apresenta as seguintes formas para determinar o fator de corpo:

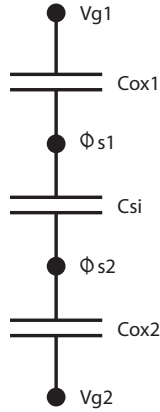


Figura 8: Representação de modelo de capacitâncias equivalentes para os dispositivos SOI MOSFET com a segunda interface em depleção. Onde: C_{Si} é a capacitância da camada de silício, C_{OX1} é a capacitância do óxido da primeira interface, C_{OX2} é a capacitância do óxido da segunda interface, Φ_{S1} é o potencial da primeira interface, Φ_{S2} é o potencial da segunda interface, V_{G1} é a tensão na porta do transistor e V_{G2} é a tensão no substrato do transistor.

- MOSFET convencional ou SOI MOSFET parcialmente depletado

Neste caso a capacitância que influencia a operação do dispositivo é a relação entre a capacitância de depleção e a capacitância do óxido de porta uma vez que não existe acoplamento capacitivo com a segunda porta no caso do SOI parcialmente depletado.

$$\alpha = \frac{C_D}{C_{OX}} \quad (2.39)$$

$$C_D = \frac{\epsilon_{Si}}{X_{dmax}} \quad (2.40)$$

$$C_{OX} = \frac{\epsilon_{OX}}{t_{OX}} \quad (2.41)$$

- SOI MOSFET totalmente depletado com a segunda interface depletada

Nesta situação, existe o acoplamento capacitivo entre as duas portas e é considerada a capacitância do óxido enterrado em relação à porta do dispositivo.

$$\alpha = \frac{C_{Si} \cdot C_{OX2}}{C_{OX1} \cdot (C_{OX2} + C_{Si})} \quad (2.42)$$

- SOI MOSFET totalmente depletado com a segunda interface em acumulação

$$\alpha = \frac{C_{Si}}{C_{OX1}} \quad (2.43)$$

$$C_{Si} = \frac{\epsilon_{Si}}{t_{Si}} \quad (2.44)$$

Em transistores de múltiplas portas, o fator de corpo relaciona as capacitâncias da mesma forma que em transistores SOI planares . Ocorre que o cálculo de tais capacitâncias não é óbvio, especialmente de C_{Si} porque não se definem capacitores planares, mas capacitores dependentes de geometrias mais complexas.

2.3.3 Transcondutância

A transcondutância em um MOSFET, g_m , é a medida da eficácia do controle da corrente de dreno pela tensão de porta [1]. A transcondutância pode ser obtida a partir da equação 2.45:

$$g_m = \frac{\partial I_d}{\partial V_G} \quad (2.45)$$

Para $V_{DS} > V_{Dsat}$ tem-se:

$$g_m = \frac{\partial I_{Dsat}}{\partial V_G} \quad (2.46)$$

$$(2.47)$$

Experimentalmente a transcondutância pode ser calculada através da primeira derivada da função $I_d \times V_G$, aproximada pelos dados experimentais $I_d \times V_G$.

2.3.4 Inclinação de Sublimiar

A inclinação de sublimiar (S) é um parâmetro extraído da curva $I_d \times V_G$, na região anterior à ocorrência da tensão de limiar. Nessa região, um pequeno resíduo de corrente, predominantemente originado por difusão, percorre o transistor. Esta corrente de sublimiar é melhor observada na curva de $I_d \times V_G$ se a escala for logarítmica, uma vez que seu crescimento com relação a V_G é exponencial.

Para dispositivos totalmente depletados, a inclinação de sublimiar permanece próxima do valor teórico de $\frac{k.T}{q} \cdot \ln(10) = 60 \text{ mV/déc}$ (em temperatura ambiente) e para dispositivos parcial-

mente depletados este parâmetro apresenta valores maiores, conforme a equação 2.48

$$S = \frac{k.T}{q} . \ln(10) . (1 + \alpha) \quad (2.48)$$

Em dispositivos tridimensionais o fator de corpo $(1 + \alpha)$ depende da geometria e dos níveis de dopagem.

2.3.4.1 Obtenção da inclinação de sublimiar a partir de dados experimentais

A inclinação de sublimiar (S) pode ser calculada pelo inverso da inclinação da curva $\log[I_d \times (V_G)]$ [1] [28] [24], conforme a equação 2.49:

$$S = \frac{\partial V_G}{\partial (\log I_d)} \quad (2.49)$$

A partir da curva de corrente de dreno em função da tensão de porta aplicada ao dispositivo em escala linear, num primeiro passo é necessário efetuar a conversão da escala para logarítmica conforme a figura 9.(a) e 9.(b).

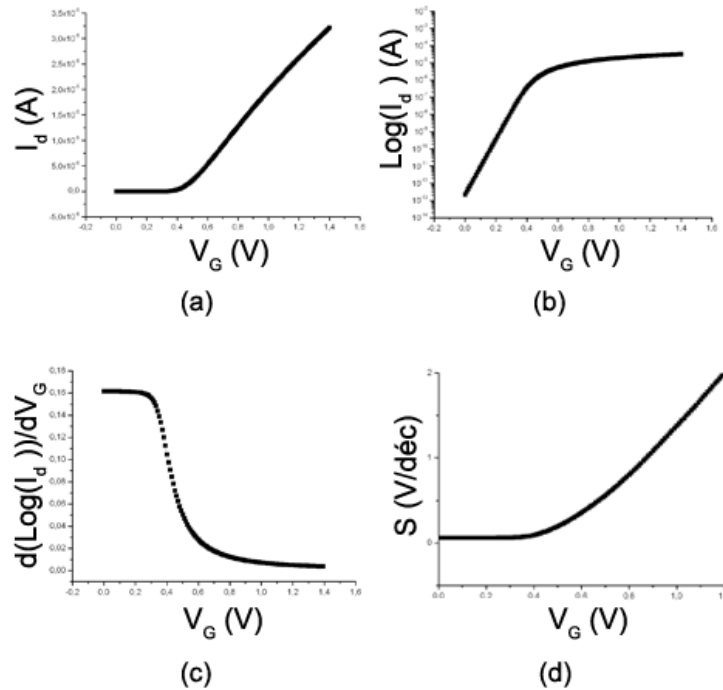


Figura 9: Sequência de exemplos de curvas para extração da inclinação de sublimiar.

Após este passo, é necessário efetuar a primeira derivada da curva de $\text{Log}(I_d \times V_G)$ conforme

a figura 9.(c) e obter o inverso desta curva para representar graficamente a curva de SxV_G representados pela figura 9.(d) e pela equação 2.49.

2.3.5 Efeitos Secundários em SOI MOSFETs

2.3.5.1 Ionização por Impacto e Efeito Kink

Nos dispositivos SOI MOSFETs a camada de isolante inserida entre o transistor e o substrato, isola o contato de substrato do corpo do dispositivo. Esta isolação permite que portadores permaneçam “armazenados” na região do canal levando o dispositivo SOI, em determinadas formas de polarização, a sofrer uma variação da passagem de corrente diferente das condições consideradas normais, se comparadas com um dispositivo convencional.

Quando a porta do transistor é polarizada, os elétrons fluem da fonte para o dreno. Assim que os elétrons com grande energia atingem os limites do dreno, sua velocidade é grande o suficiente para que, se atingirem um átomo de silício no caminho, este átomo seja ionizado. Este efeito é chamado de ionização por impacto. Os elétrons formados pelo efeito seguem para a região de maior potencial, que no caso descrito é o dreno. As lacunas formadas pelo efeito são repelidas pela região de maior potencial e fluem para a região de menor potencial, que no caso descrito é o corpo flutuante do transistor SOI. Se o dispositivo descrito fosse um MOSFET convencional as lacunas seriam atraídas pelo contato de substrato, por isso o efeito é mais evidente em transistores SOI. Este efeito é caracterizado por um salto na corrente de dreno de um SOI MOSFET [29] [30], à medida que aumenta a tensão de dreno.

Nos dispositivos analisados no presente trabalho não ocorre o surgimento de efeito kink, uma vez que os dispositivos são totalmente depletados e assim desconsidera-se a possibilidade de existência de regiões neutras no corpo.

3 *Dispositivos e Estruturas de Múltiplas Portas*

A possibilidade de utilizar o isolante de substrato do SOI MOSFET como uma segunda porta que atua diretamente na polarização do dispositivo sugeriu novas alternativas construtivas em relação aos dispositivos convencionais. O dispositivo SOI é naturalmente um dispositivo de duas portas, sendo uma delas utilizada com a mesma polarização de um dispositivo convencional. A idéia de que a segunda porta poderia ser utilizada, conectada à primeira, com o objetivo de aumentar o controle sobre a região de fluxo de portadores levou ao surgimento, em 1984, do primeiro dispositivo que utilizava esse conceito. Este dispositivo foi chamado de *double gate* ou porta dupla [13].

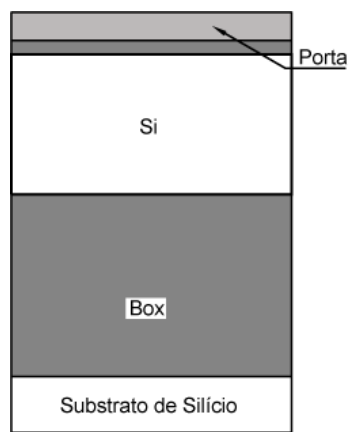
Os dispositivos de porta dupla evoluíram para dispositivos que possuem portas em orientações diferentes, além de portas na superfície e abaixo do canal. As portas também são construídas nas laterais do transistor, conforme pode-se observar na figura 10.

Os dispositivos de porta simples e dupla podem ser analisados e simulados de forma bidimensional, caso seja feito um corte lateral no sentido entre as portas desprezando-se os efeitos dos transistores parasitários e da penetração de campo lateral (efeito de transistores estreitos). Os dispositivos com mais de duas portas podem exigir um estudo da terceira dimensão para que sejam simulados e analisados.

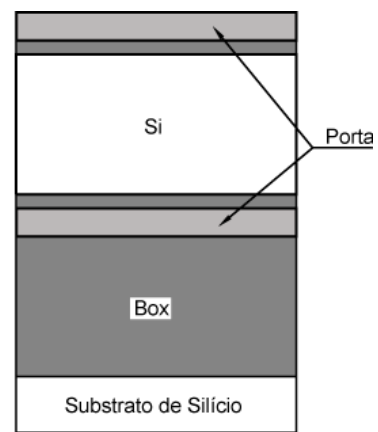
A implementação de dispositivos com múltiplas portas melhora o desempenho em relação aos efeitos de canal curto e aumenta o fluxo de corrente por unidade de área [14].

3.1 Dispositivos de Porta Tripla

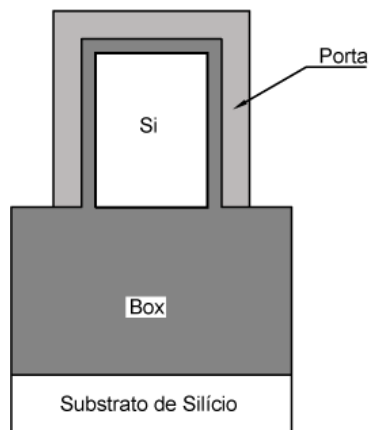
Os dispositivos de porta tripla ou *triple-gate* apresentam duas portas nas laterais e uma porta na superfície superior da região ativa. Existem algumas variações construtivas deste tipo de dispositivo chamadas de Π -gate [31] [32] e Ω -gate [33], conforme as figuras 10.5 e 10.6.



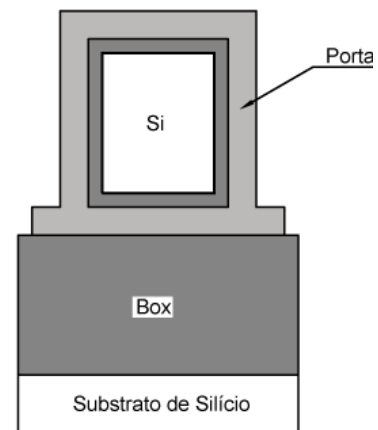
1. Convencional



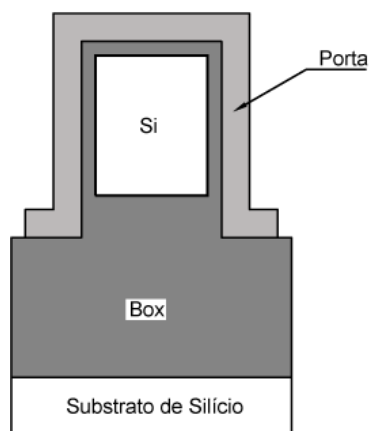
2. Porta Dupla



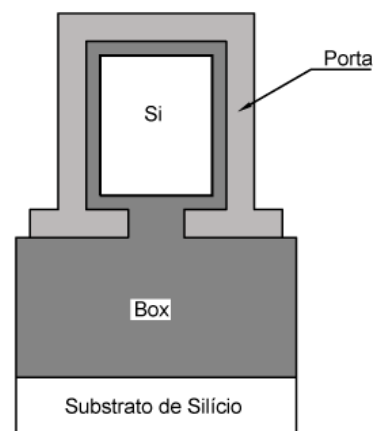
3. Porta Tripla



4. Gate-all-around



5. Porta Pi



6. Porta Ômega

Figura 10: Cortes transversais dos transistores SOI para comparação entre as diferentes geometrias construtivas.

Os nomes foram escolhidos devido à semelhança do perfil do canal com as letras gregas. No caso do Π -gate existe uma extensão da porta para dentro do óxido enterrado a fim de melhorar o potencial na parte inferior do canal. O Ω -gate apresenta, além extensão da porta dentro do óxido enterrado, uma extensão desta porta para baixo do canal.

3.2 Inversão Volumétrica

O fenômeno de inversão volumétrica descrito em 1987 [34], ocorre em dispositivos com múltiplas portas e totalmente depletados. Os portadores se distribuem ao longo de todo o perfil do canal, não ficando concentrados na superfície da interface entre o corpo e o óxido de porta, como normalmente ocorre em dispositivos planares.

A figura 11 apresenta um corte transversal no centro do canal de dois transistores SOI com as mesmas dimensões e concentração de dopantes diferentes, $1 \times 10^{16} \text{ cm}^{-3}$ e $1 \times 10^{19} \text{ cm}^{-3}$ respectivamente, polarizados com tensão de limiar. O dispositivo da figura 11.(A) possui a mesma concentração de elétrons em toda a extensão do canal, enquanto o transistor 11.(B) apresenta a maior densidade de concentração de elétrons próximos da superfície do óxido de silício, permanecendo o centro do canal com uma concentração inferior.

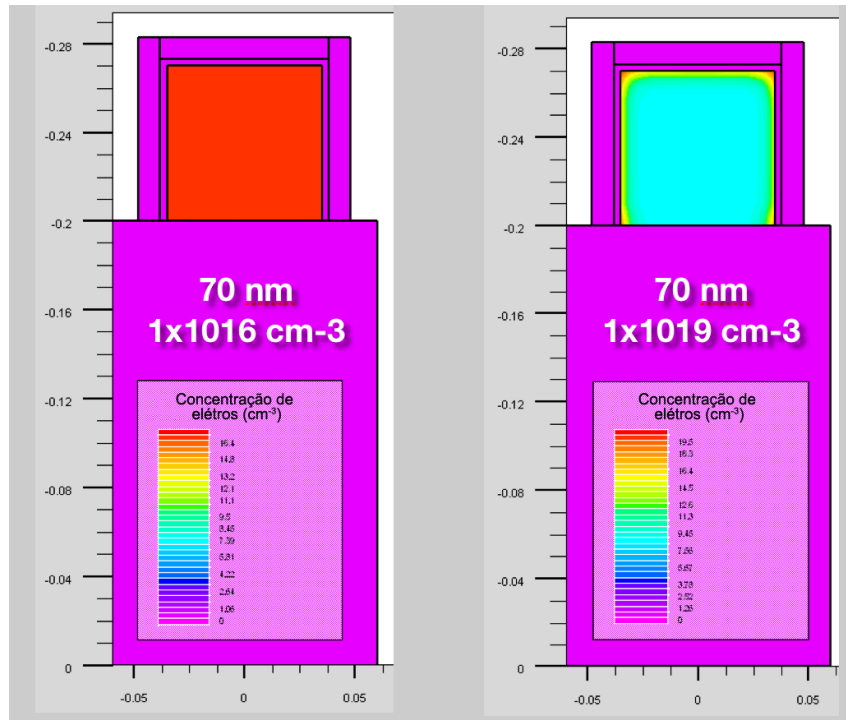


Figura 11: Corte transversal de dois transistores de 70 nm ($H=W$): (A) concentração de elétrons no canal de $1 \times 10^{16} \text{ cm}^{-3}$ e (B) concentração de elétrons no canal de $1 \times 10^{19} \text{ cm}^{-3}$.

A inversão volumétrica tem diversas implicações. Entre elas, é sabido que a mobilidade dos portadores é maior no centro do filme de silício do que nas interfaces com o óxido. Sendo assim, espera-se um ganho na mobilidade média do dispositivo com a inversão de volume. Outra implicação é a dificuldade imposta para a modelagem analítica, uma vez que não se pode assumir uma aproximação simples para a distribuição de portadores, como normalmente se faz para a inversão na superfície de um dispositivo convencional.

3.3 Efeitos de Canto

Os transistores de efeito de campo são transistores eletrodinâmicos complexos, compostos por planos condutores, cargas fixas, cargas móveis e diferentes materiais. O entendimento do seu funcionamento, bem como a possibilidade de equacionamento implicam numa simplificação das estruturas. A simplificação mais utilizada ocorre quando se assume que os planos de portas são infinitas, o que leva a análise a uma ou duas dimensões. Ocorre, no entanto, que algumas singularidades das estruturas têm conseqüências diretas no funcionamento dos dispositivos. É o caso da singularidade estudada neste trabalho: a aresta de junção de dois planos de portas, que origina os efeitos de canto.

Os efeitos de canto são descritos através de suas conseqüências imediatas, como aumento de potencial, tensão de ruptura e concentração de elétrons nas regiões de canto. De forma analítica, os efeitos de canto ocorrem em função da soma dos vetores de campo elétrico no canto do dispositivo ser maior que os vetores de campo elétrico [35] nas paredes do canal do transistor. O estudo apresentado a seguir foi dividido em dois modelos: bidimensionais e tridimensionais.

A diferença entre as duas classificações é o sentido de passagem de corrente. No modelo bidimensional a análise pode ser feita e comparada com o modelo tridimensional se for desconsiderada a passagem de corrente.

3.3.1 Modelo bidimensional de estudo de efeito de canto

Com o objetivo de esclarecer e enriquecer o estudo dos efeitos de canto consta nesse trabalho uma pesquisa feita em dispositivos bidimensionais que apresentam efeitos semelhantes aos efeitos encontrados em estruturas tridimensionais. Em [36] são exploradas algumas estruturas, como mostra a figura 12, onde o canal dos transistores possui cantos côncavos e convexos para determinar a influência da polarização de porta. Estas estruturas são semelhantes ao canto dos

dispositivos tridimensionais que serão estudados posteriormente em situações onde o transistor não possui polarização de dreno e fonte, sofrendo apenas influência da polarização de porta. A seguir será explicado o funcionamento desses dispositivos e os resultados obtidos que serão utilizados como método de comparação com estruturas tridimensionais.

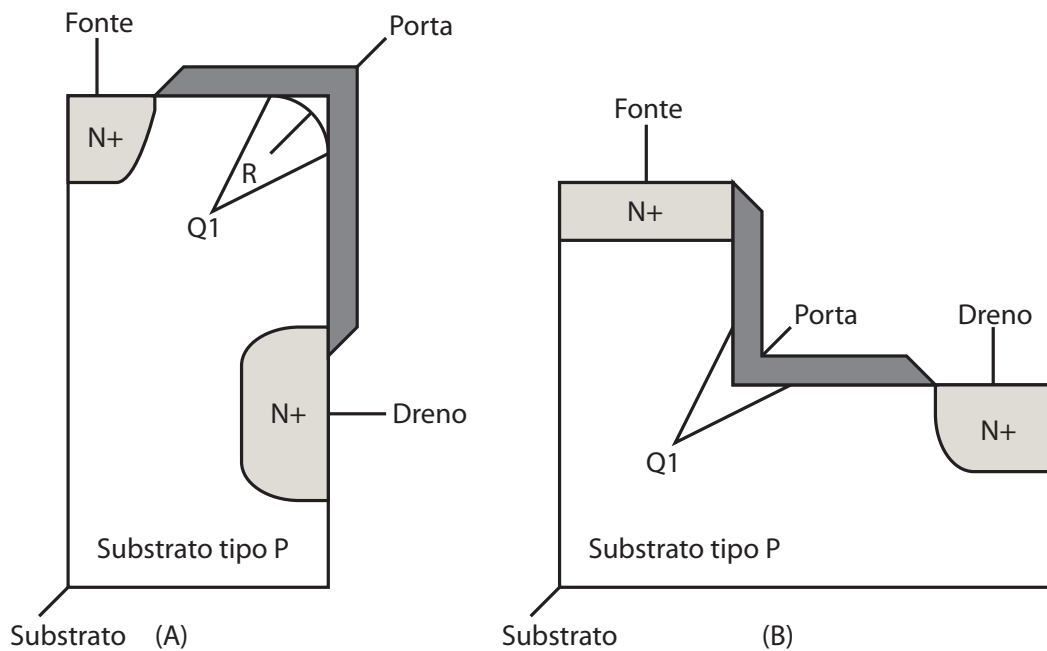


Figura 12: (a) Estrutura de canto côncavo. (b) Estrutura de canto convexo. Q1 define o canto dos dispositivos e R é o raio de curvatura.

As soluções construtivas utilizadas em dispositivos MOSFET convencionais, como por exemplo as estruturas de isolamento por trincheira (*trench-like isolated structures*) [37], mostraram alguns efeitos parasitários, como por exemplo, a formação de um canal abaixo do isolante de trincheira, conforme detalhado em 1990 [36]. Outro efeito parasitário descrito neste trabalho foi a existência de algumas regiões com maior concentração de elétrons em relação ao restante do transistor. As regiões do isolante onde eram formados cantos (côncavos e convexos) apresentavam este efeito se comparados ao centro do canal.

Para estudar os efeitos de canto foi proposto em [36] um modelo de simulação bidimensional conforme a figura 12, extraída de desse mesmo autor [36], para a formação de cantos convexos.

A partir desse modelo foi possível extrair algumas considerações que comparam características construtivas de dispositivos MOSFET com a alteração das características que determinam a existência de efeitos de canto no modelo proposto:

- Variação do potencial (V_G) pela variação da densidade de cargas na interface do óxido (Q_f): foi observado que o potencial no canto é maior que o potencial no canal em todos os casos estudados. O efeito ocorre mesmo com valores baixos de V_G e nenhuma carga de interface no óxido. É sugerido no estudo [36] que altos valores de Q_f podem ocasionar altas correntes de fuga no canto da estrutura da figura 12.
- Variação do potencial (V_G) pela variação do raio de curvatura (R) do canto do dispositivo: o alto potencial nos cantos é função da resultante do alto campo elétrico na região. O aumento do raio de curvatura do canto melhora a distribuição de elétrons na região reduzindo o efeito de canto no dispositivo. O aumento do raio de curvatura reduz a concentração de elétrons no canto.
- Variação do potencial (V_G) pela variação da espessura do óxido de porta (t_{OX}): o aumento da espessura do óxido de porta apresenta o mesmo aumento de concentração de elétrons no canto do dispositivo para a variação de V_G .
- Variação do potencial (V_G) pela variação da concentração de substrato (N_a): uma forma de controlar o efeito de canto seria aumentar a concentração do substrato ou efetuar uma implantação local. Algumas simulações foram feitas com diversas dopagens e o mesmo perfil de potencial no canto é encontrado em todas elas.

Para o estudo dos dispositivos tridimensionais vamos utilizar a variação do potencial (V_G) pela variação da concentração de substrato (N_a) e a variação do potencial (V_G) pela variação raio de curvatura (R) do canto do dispositivo.

3.3.2 Modelo tridimensional de estudo de efeito de canto

Os efeitos de canto ocorrem em dispositivos tridimensionais com múltiplas portas (*triple-gate*, Π -*gate*, Ω -*gate* e *gate-all-around*), pois uma das características construtivas destes dispositivos é a presença de arestas nos locais de encontro entre as portas. Estas arestas podem ser observadas com mais facilidade através do corte transversal do canal.

O encontro das portas superior (e/ou inferior em dispositivo *gate-all-around*) com as portas laterais, apresenta uma região com maior campo elétrico, conforme representado na figura 13. Esta região de maior campo elétrico ocasiona no dispositivo de múltiplas portas a passagem de corrente por canais parasitários para tensões de porta menores que a tensão de limiar [38].

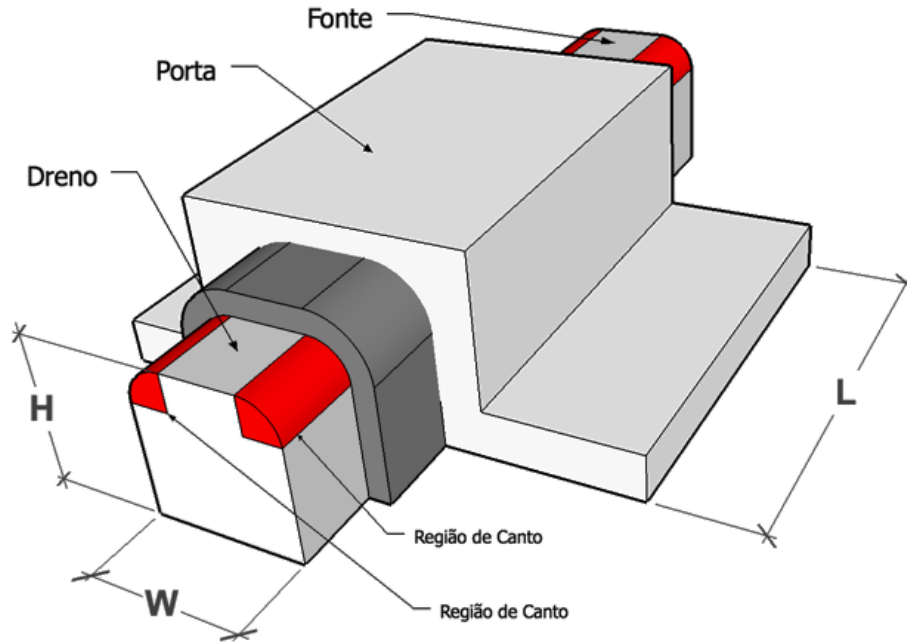


Figura 13: Dispositivo tridimensional com cantos arredondados.

Conforme observado anteriormente em dispositivos simulados com cantos formados no perfil do canal, para baixas concentrações de dopantes no canal um único pico é observado na curva da segunda derivada de $I_d \times V_G$, devido ao fato da corrente na superfície e no canto do dispositivo aumentarem uniformemente com o aumento da tensão de porta. [39]

Para dopagens maiores que $2 \times 10^{18} \text{ cm}^{-3}$ pode ser observado um segundo pico na derivada da curva de transcondutância. Estes dois picos correspondem à duas tensões de limiar, uma que ocorre primeiramente nos cantos do dispositivo e a segunda que ocorre na inversão da superfície [39]. Alguns estudos afirmam que os efeitos de canto podem ser observados a partir da concentração do canal de $3 \times 10^{17} \text{ cm}^{-3}$ [19] [20].

A figura 14 apresenta a densidade total de corrente em um dos transistores simulados. As imagens foram extraídas de um dos transistores simulados que tem concentração de canal de $1 \times 10^{17} \text{ cm}^{-3}$ com dimensões de H e W de 50 nm, largura de canal L de 200 nm e raio de curvatura no canto do transistor de 5 nm. O dispositivo está polarizado com tensão de dreno de 50 mV e tensão de limiar na porta. A sequência de gráficos tridimensionais foi extraída em função da maior densidade total de corrente por área (A) até a menor corrente por área (D) em todo o perfil do canal do transistor

A figura 14.(A) apresenta a densidade total de corrente para o nível de 80.000 A/cm^2 , que é próximo de valor máximo encontrado em todo o perfil do canal. É possível observar que

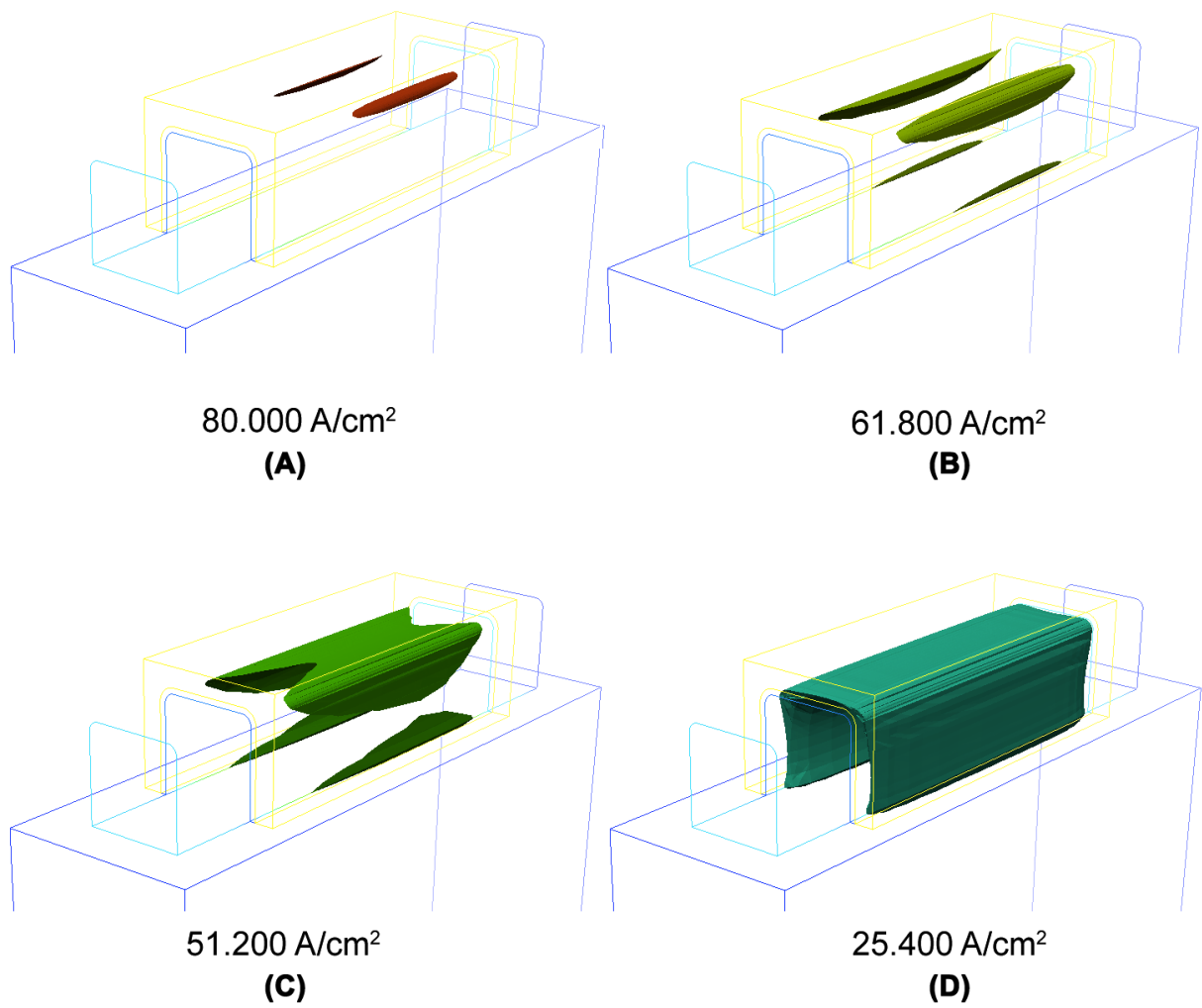


Figura 14: Densidade total de corrente formada na estrutura do dispositivo em tensão de limiar.

existem duas áreas, restritas aos cantos do transistor, que concentram este volume de densidade de corrente.

A figura 14.(B) apresenta a densidade total de corrente para o nível de $61.800 A/cm^2$. Neste nível de densidade de corrente existe uma difusão para os cantos inferiores do transistor, mas principalmente para os cantos superiores. A figura 14.(C) mostra que também no canto inferior do transistor existe uma densidade maior de corrente em relação ao centro dos dispositivos. Apesar da presença de bom nível de corrente no canto inferior, a área com maior densidade de corrente existe nos cantos superiores do dispositivo. Este estudo comprova a inversão em duas etapas, uma no canto superior do dispositivo e outra no restante do corpo do transistor, sendo o canto superior responsável pela maior densidade de corrente em todo o canal.

Cabe ressaltar que mesmo em concentrações de dopantes no canal iguais a $1 \times 10^{17} cm^{-3}$, como no exemplo da figura 14.(D), pode-se confirmar o surgimento de um canal de condução nos cantos superiores.

A menor densidade de corrente coletada na seqüência de imagens é apresentada na figura 14.C. Toda a superfície da interface S_i/S_iO_2 apresenta densidade de corrente no nível de $25.400 A/cm^2$.

4 *Simulação Numérica Tridimensional*

4.1 Introdução

A simulação numérica computacional consiste em uma representação de dispositivos reais dentro de um ambiente virtual de testes e caracterização. Dentro deste ambiente, o dispositivo é representado através de uma grade bidimensional ou tridimensional de pontos. Cada região do dispositivo é descrita em função de dimensões, materiais e dopantes, como exemplificado na figura 15. A maior parte dos softwares de simulação de modelos físicos utilizam uma linguagem específica que descreve o dispositivo e suas características [40] [41].

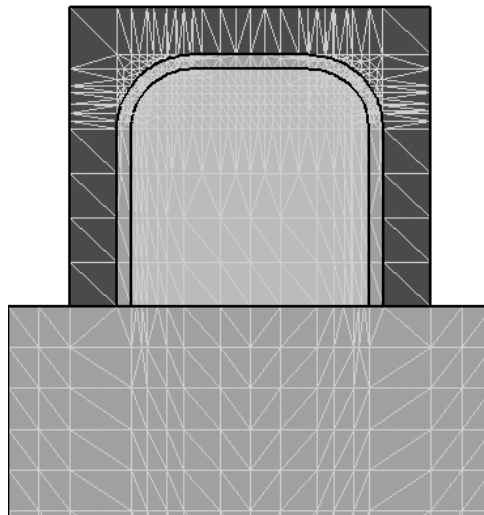


Figura 15: Exemplo de transistor de canto arredondado representado através de modelo computacional.

Uma vez desenvolvida a representação das regiões do dispositivo é necessário descrever os eletrodos necessários para que ele seja polarizado. Através destes eletrodos serão introduzidos os sinais elétricos para que as rotinas de validação do modelo proposto sejam realizadas.

Além dos sinais elétricos nos eletrodos, o simulador permite definir quais os modelos físicos que serão utilizados para a caracterização do transistor. A entrada de modelos físicos permite,

por exemplo, avaliar ou não os efeitos da ionização por impacto em determinada estrutura, utilizando um comando que diz ao simulador para introduzir no processo de simulação o modelo que compreende estes efeitos, tornando a simulação mais semelhante à realidade.

Na fase de validação, os resultados iniciais obtidos são comparados com resultados esperados. A fase de validação também passa pela adequação da grade de pontos da simulação, com o objetivo de reforçar ou reduzir a densidade de pontos nas regiões da grade onde os efeitos estudados tem maior ação.

Uma vez encerrada e definida a janela de validação para o modelo proposto, é criado um arquivo com as passagens de caracterização e pontos de validação do dispositivo. Através destas passagens é possível extrair os dados que servirão de base para a determinação das características de operação do modelo proposto. Um exemplo de passagem de caracterização é: a elevação da tensão de porta (V_G) com a tensão de dreno (V_D) em 10 mV e 50 mV para a determinação de tensão de limiar (V_{TH}).

O melhor modelo de dispositivo é o que possui o menor número de pontos na grade do modelo virtual e a melhor definição dos efeitos estudados. O menor número de pontos representa menor consumo de recursos computacionais e tempo de simulação. O objetivo é encontrar a maior eficiência numérica utilizando o menor número de pontos e o melhor requisito de precisão na confecção da grade.

Na simulação tridimensional de dispositivos, esta otimização é ainda mais crítica se comparada com as simulações unidimensionais ou bidimensionais, uma vez que o consumo de tempo e recurso computacional pode tornar-se proibitivo. O presente trabalho exigiu o uso de diversos computadores funcionando simultaneamente por mais de mil horas de processamento. Cada configuração tomou, em média, 40 horas para o levantamento das estruturas e curvas necessárias para análise.

Alguns pontos importantes, segundo [42], precisam ser avaliados com maior detalhe em transistores MOSFET, implicando em uma grade com maior número de pontos em:

- Regiões com altos campos elétricos em junções de fonte e dreno.
- Campo elétrico transversal abaixo da porta do transistor.
- Regiões com altas taxas de ionização por impacto.

4.2 Softwares Utilizados

O software Atlas, da empresa Silvaco [42], foi utilizado como base para o trabalho. Este pacote é composto por softwares de simulação bidimensional, simulação tridimensional, simulação de processo, aplicativos de análise específica (emissão de luz, radiação etc.) e solução para visualização de resultados. Os aplicativos utilizados foram o DeckBuild, DevEdit3D, Atlas3D, Tonyplot e Tonyplot3D. Todos estes softwares estão disponíveis para as plataformas Windows, Unix e Linux.

O aplicativo DeckBuild [43] é o software que fornece a interface principal de interação com o restante de aplicativos fornecidos no pacote da Silvaco. Possui um editor de texto na tela principal, uma interface para acompanhar os relatórios de saída e a interface de controle da simulação. Este programa também lida com todas as chamadas, saídas e entradas necessárias para efetuar o trabalho com o modelo proposto.

O modelador DevEdit3D [44] é utilizado para a construção da estrutura dos dispositivos simulados. Esta ferramenta de modelagem 2D e 3D permite que um perfil de dispositivo seja criado. Este perfil pode ganhar profundidade e tornar-se tridimensional a partir da inserção das medidas. É utilizado para a criação e edição da grade de pontos do dispositivo simulado. Os arquivos criados no DevEdit podem ser utilizados com os simuladores 2D e 3D do pacote Silvaco.

O aplicativo Atlas fornece de maneira geral a capacidade de simular, através de modelos físicos, dispositivos semicondutores bidimensionais e tridimensionais. A partir de um modelo de dispositivo, o software de simulação avalia o comportamento elétrico em toda sua estrutura e fornece uma referência dos mecanismos físicos internos associados com a operação do dispositivo.

Outros softwares utilizados para a modelagem e análise dos dados foram: Matlab [45] [46] [47] [48] [49], Matcad [50] [51] e a linguagem de programação Perl [52].

4.3 Métodos de Descrição de Dispositivos

O pacote de softwares da Silvaco, permite que a modelagem e a análise dos dispositivos sejam feitas por diversos caminhos conforme mostra a figura 16.

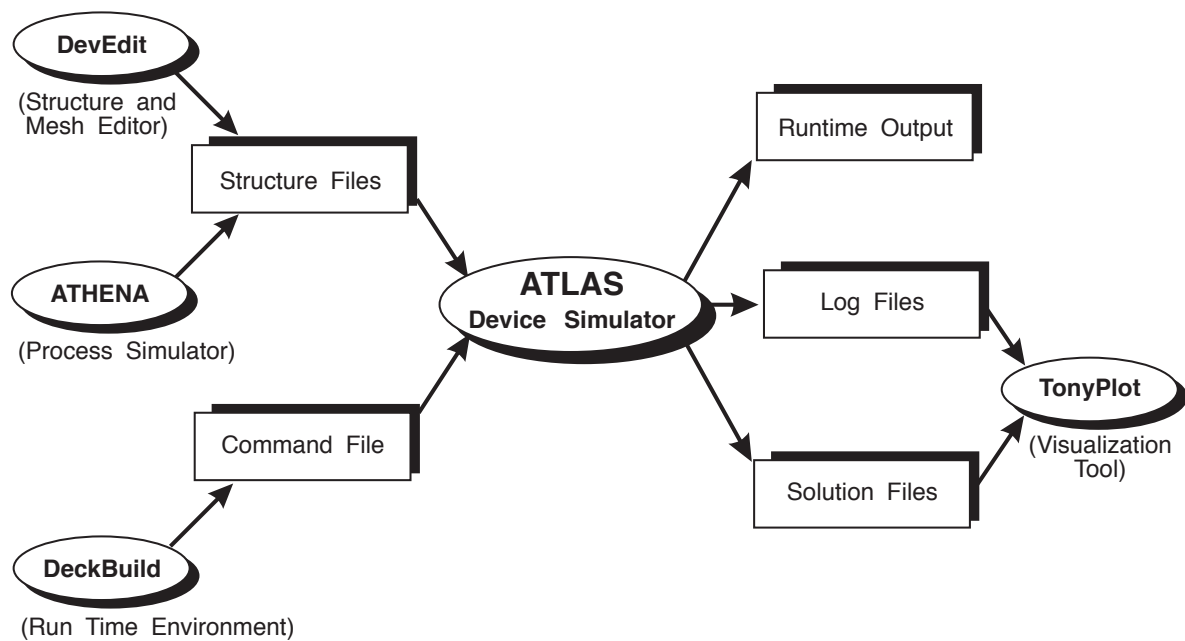


Figura 16: Entradas e Saídas do Atlas.

4.3.0.1 Via DeckBuild

Para os dispositivos com um layout mais simples, o processo mais direto é desenvolver o dispositivo através do próprio DeckBuild. As coordenadas e características de simulação são escritas diretamente no ambiente de simulação e encaminhadas para o software de simulação de dispositivos.

Este tipo de trabalho poupa um tempo precioso para a criação da grade de pontos, mas apresenta limitações técnicas em relação aos dispositivos mais complexos como, por exemplo, um dispositivo com cantos arredondados.

4.3.0.2 Via DevEdit

A modelagem via DevEdit pode ser utilizada em dispositivos mais complexos ou mais próximos de um dispositivo real. O software propõe uma solução com maior flexibilidade, mesmo assim mais simples que a modelagem do processo.

Terminada a modelagem, existem dois métodos para efetuar a simulação do dispositivo. A primeira é utilizar o arquivo de estrutura exportado pelo DevEdit e a segunda utilizar diretamente a lista de comandos para que o dispositivo seja criado diretamente na fase de simulação.

4.3.0.3 Via Athena

O software Athena é um simulador de processo. Nele são descritos os passos do processo de criação do dispositivo, da mesma forma que implementado em um laboratório real. Todas as etapas são descritas e executadas, como por exemplo uma oxidação ou uma implantação de impurezas.

Uma vez finalizadas todas as etapas do processo o software cria uma estrutura que é utilizada pelo software Atlas para validar suas características elétricas.

Neste trabalho foram utilizados os métodos via DeckBuild e via DevEdit.

4.4 Desenvolvimento dos Dispositivos para Simulação

Este trabalho de pesquisa utilizou dois caminhos distintos para a obtenção dos dispositivos para simulação tridimensional. Todos os dispositivos simulados foram desenvolvidos em três dimensões conforme o exemplo da figura 17.

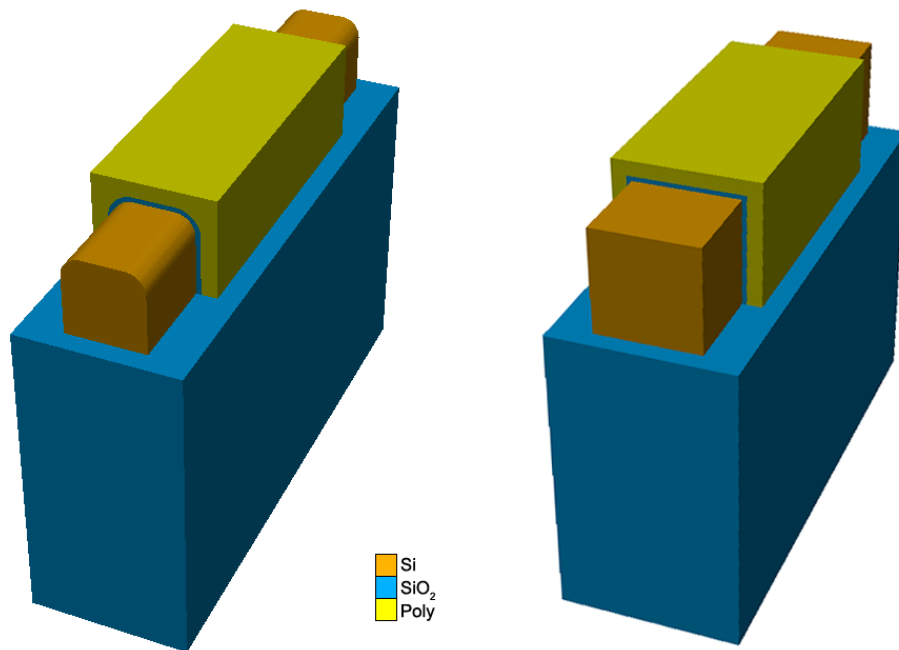


Figura 17: Exemplo de transistor tridimensional em vista isométrica.

4.4.1 Descrição de Simulação dos Transistores de Cantos Vivos

O primeiro dispositivo, um transistor com canto vivo, foi trabalhado diretamente no software Atlas. A descrição do dispositivo foi inteiramente produzida sem a necessidade de nenhuma interface com outros softwares de simulação do pacote Silvaco.

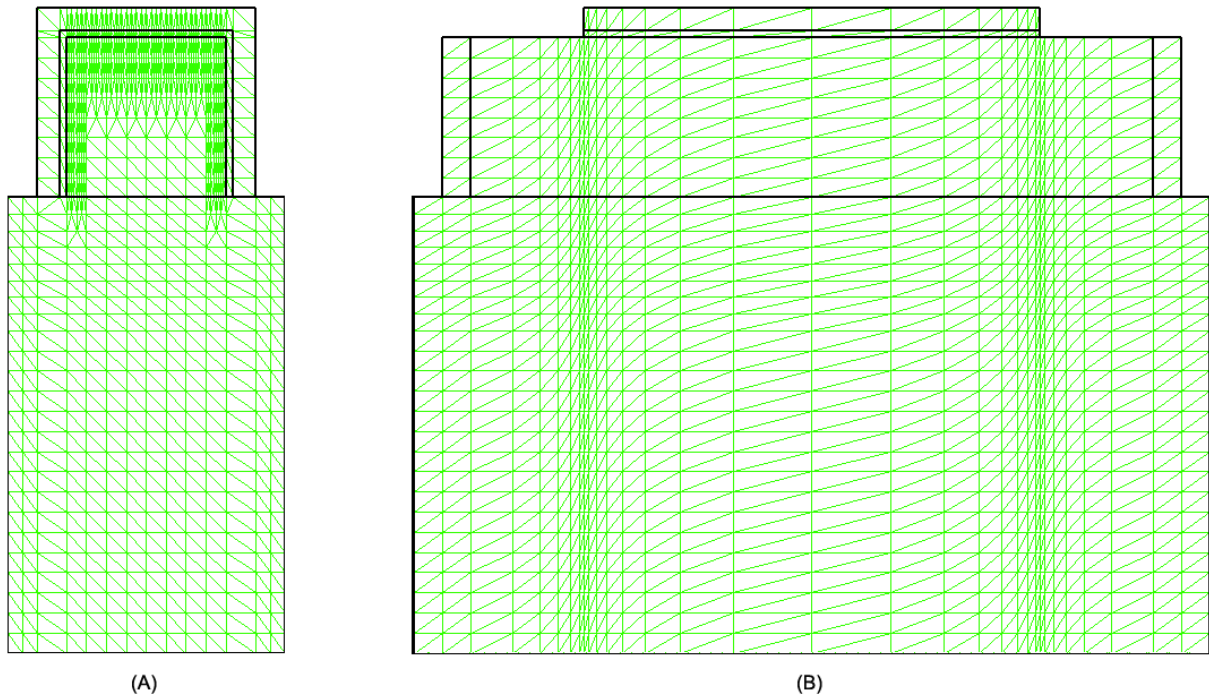


Figura 18: Cortes do dispositivo de canto vivo. (A) Corte lateral e (B) Corte longitudinal

Um número maior de pontos foi utilizado entre o centro do canal e a interface com o óxido de porta. Este reforço na grade de pontos é utilizado para evidenciar os efeitos que ocorrem nessa região. Para isso o intervalo entre os pontos é reduzido aumentando a densidade de pontos na grade do dispositivo.

A sequência adotada para o arquivo de simulação com canto vivo foi:

1. Início da simulação: o comando que ativa o simulador atlas é executado e o sistema esta preparado para a entrada de comandos para a simulação.
2. Descrição dos pontos tridimensionais da grade: a grade de pontos é definida através dos comandos "x.mesh", "y.mesh", demonstrada na figura 18.A e em estruturas tridimensionais utiliza-se o comando "z.mesh" para definir as linhas no sentido da profundidade do transistor, conforme figura 18.B.
3. Descrição das regiões e materiais do dispositivo: uma vez definida a grade de simulação, é

preciso definir quais as regiões e os materiais da estrutura. O comando "region" é utilizado para definir quais as coordenadas da grade de pontos representa os materiais que definem o transistor.

4. Definição dos eletrodos: é necessário identificar a região onde estarão conectados os eletrodos através do comando "electrode", neste passo são definidos as regiões de fonte, dreno, porta e substrato do transistor.
5. Definição dos contatos e materiais de contato: os pontos de contato devem ser determinados para que o dispositivo possa ser simulado. No caso dos transistores de porta tripla são formadas 3 portas ao redor do canal. Estas portas precisam ser conectadas para receber o mesmo sinal de entrada. Abaixo um exemplo dos comandos que definem os contatos de porta (*gate*) e a sequência para conectá-las ao mesmo eletrodo:

```
contact name=gate tungsten
contact name=gate2 tungsten common=gate
contact name=gate3 tungsten common=gate
```

6. Definição da concentração e dopagem de cada região: uma vez definidos os contatos, em seguida são definidas as dopagens das regiões ativas do transistor e o tipo de dopagem utilizado (tipo p ou n) e as cargas na interface do óxido.
7. Seleção dos modelos de simulação: para os dispositivos de cantos vivos foram adotados os seguintes modelos de simulação:
 - srh - método de recombinação de Shockley-Read-Hall
 - consrh - método de recombinação com tempo de vida do portador dependente da concentração.
 - auger - método de recombinação
 - bgm - método de estreitamento das faixas proibidas. Utilizado em grandes concentrações.
 - fldmob - método de degradação da mobilidade pelo campo elétrico
 - kla - método que aplica diferentes mobilidades para portadores minoritários e majoritários.
 - shi - método alternativo de mobilidade de superfície
8. Seleção dos métodos de simulação: gummel e newton

9. Descrição das seqüências de polarização para a obtenção dos dados necessários para a geração das curvas dos dispositivo e gravação dos resultados para avaliação posterior.

```
solve vdrain=0.1 outf=solveVGate1
load      infile=solveVGate1
log       outf=TGH30Na1e16_idvg_1.log
solve     name=gate vgate=0 vfinal=1.4 vstep=0.01
```

10. Extração de parâmetros (V_{TH}): este parâmetro é extraído diretamente durante a simulação para a avaliação e comparação com as curvas geradas através do comando:

```
extract init inf="TGH30Na1e16_idvg_1.log"
$extract name="nvt" (xintercept(maxslope(curve \\\
(abs(v."gate"),abs(i."drain")))) - abs(ave(v."drain"))/2.0)$
```

11. Encerramento da simulação.

4.4.2 Descrição de Simulação dos Transistores de Cantos Arredondados

Para o segundo dispositivo, transistor com canto arredondado, foi utilizada a comunicação entre o software Devedit3D e o software de simulação Atlas.

Inicialmente o transistor de canto arredondado foi desenvolvido dentro do modelador tridimensional Devedit3D, disponível apenas para plataforma Unix na versão utilizada neste trabalho¹. Uma vez finalizada a modelagem, a lista de comandos de formação do dispositivo foi exportada para arquivo. O software Devedit3D apresentava uma deficiência para detalhar o canto arredondado do dispositivo, dessa maneira, a cada nova formatação do dispositivo dentro do modelador novos pontos eram apresentados em posições diferentes da grade final, dificultando a modelagem, principalmente dos dispositivos com menor dimensão.

Para evitar este fato, a lista de comandos foi trabalhada diretamente no arquivo para obter maior controle sobre os pontos da grade. O canto arredondado do dispositivo foi formado com 15 divisões dentro de 90°, sendo o intervalo de cada ponto de formação da grade de 6°. Apenas

¹ Cabe ressaltar que no pacote Silvaco existem dois softwares chamados DevEdit3D: o primeiro é o modelador tridimensional disponível apenas para plataforma Unix e o segundo é o software que interpreta os comandos e gera a grade de pontos, que está disponível para Windows e Unix.

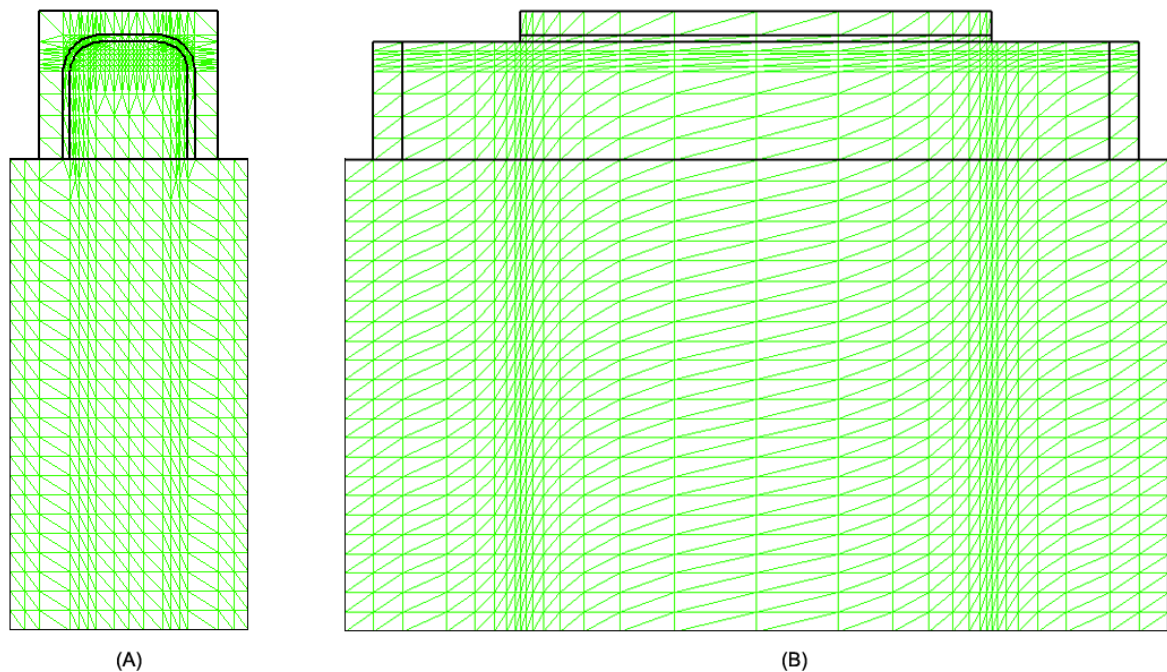


Figura 19: Cortes do dispositivo de canto arredondado. (A) Corte lateral e (B) Corte longitudinal

a metade do dispositivo foi descrito via arquivo, sendo a outra metade espelhada para formar o transistor completo.

A grade deste dispositivo também foi reforçada na interface com o óxido de porta.

A seqüência adotada para o arquivo de simulação com canto arredondado foi:

1. Início do desenvolvimento da estrutura de simulação: nos dispositivos de canto arredondado foi utilizado uma outra técnica de simulação. Antes do início da simulação com o software Atlas, a estrutura do dispositivo foi gerada no simulador Devedit3D, da maneira já descrita anteriormente.
2. Descrição dos pontos tridimensionais da grade: através das linhas de comando próprias para o aplicativo Devedit3D, que permitem a definição de uma estrutura através de polígonos, é possível a descrição de dispositivos de diferentes perfis, como por exemplo um perfil de canal com cantos arredondados. Uma vez definidos os polígonos que formam o perfil do dispositivo, o software permite criar linhas de plano para formar o dispositivo tridimensional. É possível definir as regiões e materiais em uma única linha de comando. A seguir um exemplo da descrição do perfil do canal com cantos arredondados de um dos dispositivos simulados:

```
go devedit simflags="-3d"
```

```
#
work.area x1=-0.5 y1=-0.5 x2=0.5 y2=0.5
#
region reg=3 name=channel mat=Silicon color=0xffcc00 pattern=0x4
z1=-0.14 z2=0.14 polygon="0.0205,-0.05 0.0215,-0.0498 0.022,-0.0496
0.0225,-0.0493 0.0233,-0.0487 0.0237,-0.0483 0.0243,-0.0475
0.0246,-0.047 0.0248,-0.0465 0.025,-0.0455 "0.025,0 -0.025,0
-0.025,-0.0455 -0.0248,-0.0465 -0.0246,-0.047 -0.0243,-0.0475
-0.0237,-0.0483 -0.0233,-0.0487 -0.0225,-0.0493 -0.022,-0.0496 "\
"-0.0215,-0.0498 -0.0205,-0.05"
#
constr.mesh region=3 default max.angle=90 max.ratio=4 \
max.height=0.002 max.width=0.002 min.height=0.0005 \
min.width=0.0005
```

3. Refinamento e formação da grade de simulação: o software de modelagem permite uma definição indireta da grade de simulação, através de uma seqüência de comandos específicos, diferente da forma utilizada nos dispositivos de cantos vivos, onde os pontos são descritos diretamente em arquivo.
4. Geração do arquivo de transferência para o Atlas: a comunicação entre o software Devedit3D e o aplicativo Atlas é feita através de transferência de arquivo. Uma vez definida a grade de pontos, regiões e materiais é possível salvar a estrutura para uma posterior simulação via o software Atlas.
5. Início da simulação: finalizada a geração do dispositivo, o arquivo com os dados da estrutura é transferido para o software Atlas iniciar as simulações de polarização do dispositivo.
6. Descrição da dopagem do dispositivo: são definidas as dopagens das regiões ativas do transistor e o tipo de dopagem utilizado (tipo p ou n) e as cargas na interface do óxido.

```
doping region=3 p.type uniform conc=1e16
doping region=3 n.type uniform conc=1e21 z.min=-0.14 z.max=-0.1
doping region=3 n.type uniform conc=1e21 z.min=0.1 z.max=0.14
doping region=5 n.type uniform conc=1e21
doping region=6 n.type uniform conc=1e21
```

```
interface qf=3e10 region=2
```

7. Seleção dos modelos de simulação: para os dispositivos de cantos arredondados foram adotados os seguintes modelos de simulação:

- srh - método de recombinação de Shockley-Read-Hall
- consrh - método de recombinação com tempo de vida do portador dependente da concentração.
- auger - método de recombinação
- bgn - método de estreitamento das faixas proibidas. Utilizado em grandes concentrações.
- fldmob - método de degradação da mobilidade pelo campo elétrico
- kla - método que aplica diferentes mobilidades para portadores minoritários e majoritários.
- shi - método alternativo de mobilidade de superfície

8. Seleção dos métodos de simulação: gummel e newton

9. Descrição das seqüências de polarização para a obtenção dos dados necessários para a geração das curvas dos dispositivo e gravação dos resultados para avaliação posterior.

```
solve vdrain=0.1 outf=solveVGate1
load      infile=solveVGate1
log       outf=TGH30Na1e16_idvg_1.log
solve     name=gate vgate=0 vfinal=1.4 vstep=0.01
```

10. Extração de parâmetros (V_{TH}): este parâmetro é extraído diretamente durante a simulação para a avaliação e comparação com as curvas geradas através do comando:

```
extract init inf="TGH30Na1e16_idvg_1.log"
$extract name="nvt" (xintercept(maxslope(curve \\\
(abs(v."gate"),abs(i."drain")))) - abs(ave(v."drain"))/2.0)$
```

11. Encerramento da simulação.

5 *Estudo dos Efeitos de Canto através de Simulações Tridimensionais*

5.1 Efeitos de Canto em Dispositivos com Cantos Vivos

O primeiro estudo desenvolvido é baseado em transistores com canto vivo, onde existe um ângulo de 90 graus entre a porta superior e as portas laterais, conforme a figura 20. Este tipo de estrutura é proposta nesta fase do trabalho para o estudo teórico dos efeitos de canto em dispositivos de porta tripla.

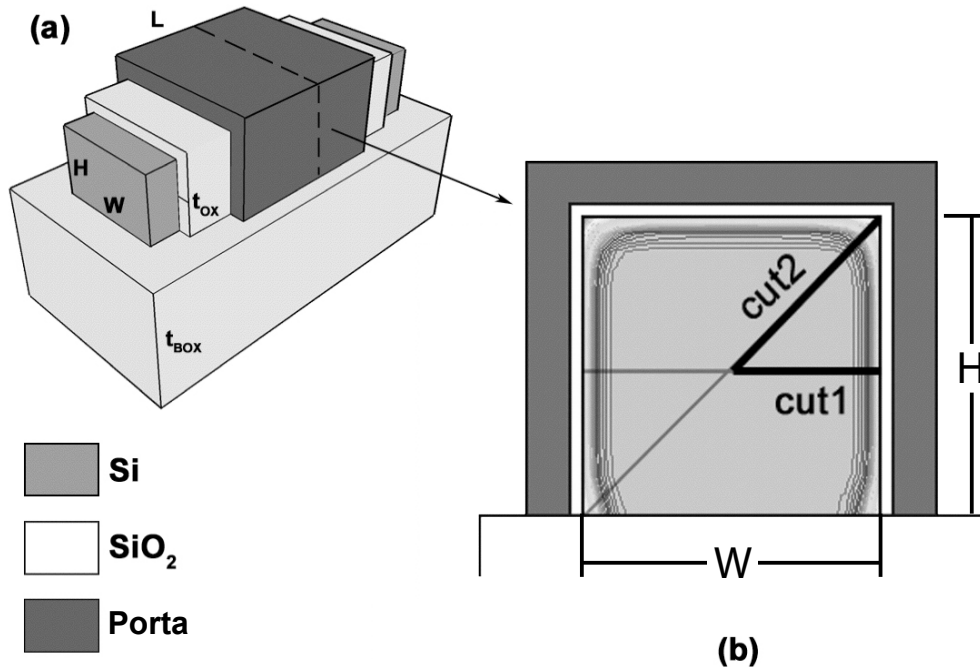


Figura 20: (a) Dispositivo *triple-gate*: t_{ox} - espessura do óxido de porta, t_{BOX} - espessura do óxido enterrado, W - largura do canal, H - altura do canal e L - comprimento do canal. (b) Corte transversal no centro do canal do dispositivo - cut1 e cut2

O transistor de canto vivo é um dispositivo teórico, pois existe uma descontinuidade na região onde ocorre o encontro das portas laterais e superior que não pode ser formado por

processos de desenvolvimento de transistores reais. No entanto, é muito freqüente a simulação de dispositivos com cantos vivos na bibliografia, de forma que sua análise e comparação com os de canto arredondados se faz necessária.

5.1.1 Descrição dos Dispositivos Simulados

Foram simulados 12 transistores com cantos vivos. Estes transistores possuem espessura de óxido de porta (t_{OX}) de 3 nm, espessura de óxido enterrado (t_{BOX}) de 200 nm e densidade de cargas de interface (Q_{OX}) de $3 \times 10^{18} \text{ cm}^{-2}$. O material de porta adotado nas simulações tem a função trabalho de 4.15 eV.

Todos os dispositivos têm as dimensões de altura iguais à largura ($H=W$), conforme definido na figura 20 e o comprimento de canal constante de 200 nm.

Foram utilizadas quatro concentrações diferentes de canal (N_a) iguais a $1 \times 10^{16} \text{ cm}^{-3}$, $1 \times 10^{17} \text{ cm}^{-3}$, $1 \times 10^{18} \text{ cm}^{-3}$ e $1 \times 10^{19} \text{ cm}^{-3}$ e três dimensões de canal ($H=W$) de 30, 50 e 70 nm.

5.1.2 Características Elétricas

Neste item são apresentadas as curvas extraídas dos dispositivos para as principais características elétricas.

Na figura 21, pode-se observar que a inclinação das curvas de $I_d \times V_G$ variam de acordo com a dimensão dos transistores. A maior inclinação ocorre nos transistores de 70 nm de perfil do canal ($H=W$) e a menor inclinação ocorre para os dispositivos com 30 nm de perfil do canal. É esperado que a corrente de dreno seja maior em dispositivos de maiores dimensões de H e W .

Entre os transistores de mesma dimensão ocorre um deslocamento lateral em função do aumento da dopagem no canal, o que determina a tensão de limiar dos transistores. Cabe ressaltar aqui que, conforme descrito anteriormente, é possível observar nas curvas da figura 21 que o tipo de resposta de corrente de dreno I_d dos transistores tridimensionais se assemelha à resposta de transistores convencionais para a variação dos parâmetros de H , W e N_a .

No caso da figura 22, o pico máximo da segunda derivada da curva de $I_d \times V_G$ determina o ponto da tensão de limiar para cada transistor. É possível observar que para os transistores de concentração de $1 \times 10^{16} \text{ cm}^{-3}$ e $1 \times 10^{17} \text{ cm}^{-3}$ os picos das curvas estão alinhados mesmo que exista a variação das dimensões de H e W , o que corresponde a dizer que a tensão de limiar destes dispositivos sofrem uma pequena variação em função da mudança das dimensões dos

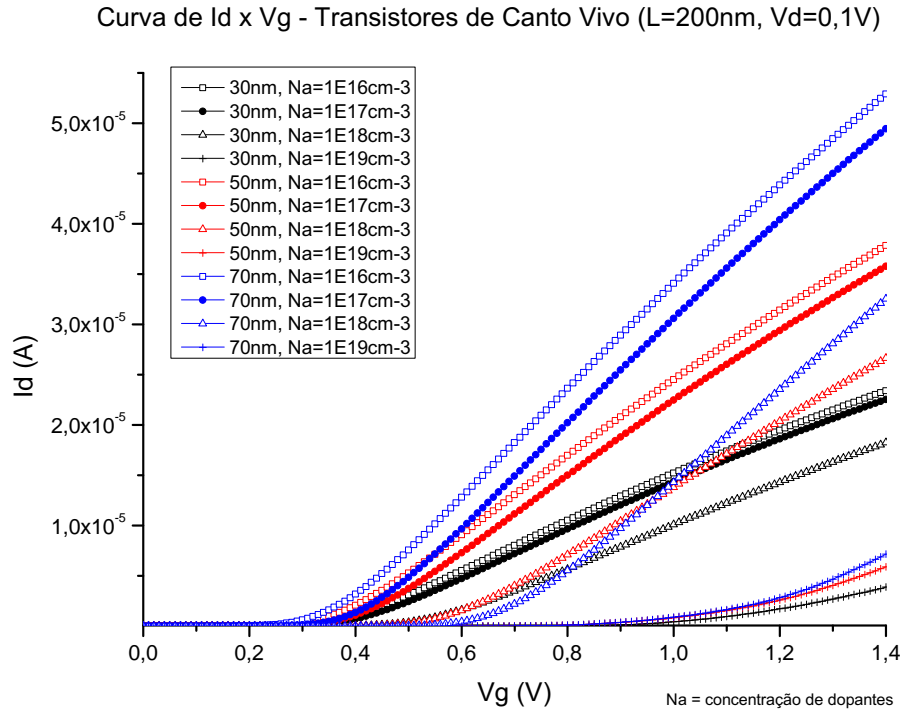


Figura 21: Curva de $I_d \times V_G$ para os transistores de canto vivo em função da dimensão $H=W$ e da concentração de dopantes N_d .

dispositivos.

Uma resposta diferente ocorre para os transistores de concentração de canal $1 \times 10^{18} \text{cm}^{-3}$ e $1 \times 10^{19} \text{cm}^{-3}$. No caso dos transistores de concentração de canal igual à $1 \times 10^{18} \text{cm}^{-3}$ e $1 \times 10^{19} \text{cm}^{-3}$, ocorre uma variação da tensão de limiar em função do aumento das dimensões do transistor. Este deslocamento de V_{TH} já foi relatado em trabalhos anteriores [53].

No caso dos transistores de concentração de canal igual a $1 \times 10^{19} \text{cm}^{-3}$, é possível observar que existem dois sobressaltos nas curvas relativas a estes transistores na figura 22. Através desse resultado é possível inferir que os transistores com essa concentração de canal tem a inversão do canal ocorrendo em duas etapas. O primeiro salto da curva corresponde a primeira fase da inversão ocorre apenas nos cantos do dispositivo em função do maior campo elétrico na região. O segundo salto da curva ocorre com a inversão da superfície na interface Si/SiO_2 dos dispositivos.

Os dados extraídos confirmam resultados semelhantes com os obtidos em [18] utilizando transistores de de porta tripla do tipo Π -gate e Ω -gate, onde a partir da concentrações de dopantes no canal de $3 \times 10^{18} \text{cm}^{-3}$ um segundo pico é encontrado na segunda derivada da curva de $I_d \times V_G$. Este resultado está demonstrado na figura 22 nos transistores simulados com

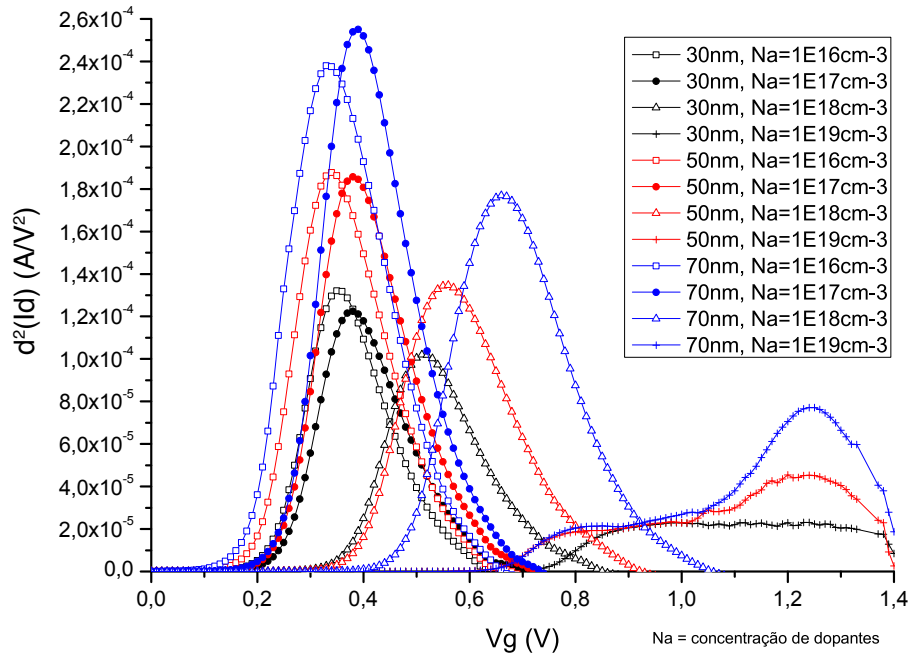
Curva de $d^2(I_d) \times V_g$ - Transistores de Canto Vivo ($L=200$ nm, $V_d = 0,1$ V)

Figura 22: Curva da segunda derivada de $I_d \times V_G$ para os transistores de canto vivo em função da dimensão $H=W$ e da concentração de dopantes N_d .

concentração de canal de $1 \times 10^{19} \text{ cm}^{-3}$.

A tabela 1 apresenta os valores da tensão de limiar extraídos das curvas da figura 21 à partir do método de extrapolação da curva $I_d \times V_G$. A tabela 2 apresenta os valores da tensão de limiar extraídos das curvas da figura 22 à partir do método do pico da segunda derivada de $I_d \times V_G$ [28].

Na (cm-3)	H=W (nm)		
	30 nm	50 nm	70 nm
$1 \times 10^{16} \text{ cm}^{-3}$	0,3316V	0,3214V	0,3147V
$1 \times 10^{17} \text{ cm}^{-3}$	0,3602V	0,3641V	0,3697V
$1 \times 10^{18} \text{ cm}^{-3}$	0,4962V	0,5414V	0,5624V
$1 \times 10^{19} \text{ cm}^{-3}$	0,9721V	1,0490V	1,0838V

Tabela 1: Tabela de tensão de limiar para dispositivos com canto vivo extraída a partir da extrapolação da curva $I_d \times V_G$.

Nas figuras 23, 24, 25 e 26 é possível observar que a inclinação de sublimiar para os dispositivos de menor concentração é muito próxima ao valor teórico de 60 mV/déc. No caso dos dispositivos de maior concentração, $1 \times 10^{18} \text{ cm}^{-3}$ e $1 \times 10^{19} \text{ cm}^{-3}$, ocorre uma alteração nas curvas de S, observada nas figuras 24, 25 e 26.

Na (cm ⁻³)	H=W (nm)		
	30 nm	50 nm	70 nm
$1 \times 10^{16} \text{ cm}^{-3}$	0,34V	0,33V	0,32V
$1 \times 10^{17} \text{ cm}^{-3}$	0,37V	0,37V	0,38V
$1 \times 10^{18} \text{ cm}^{-3}$	0,51V	0,55V	0,58V
$1 \times 10^{19} \text{ cm}^{-3}$	0,95V	1,13V	1.24V

Tabela 2: Tabela de tensão de limiar para dispositivos com canto vivo extraída a partir do pico da segunda derivada de $I_d \times V_G$.

Na tabela 3 é possível observar os valores de inclinação de sublimiar para cada transistor.

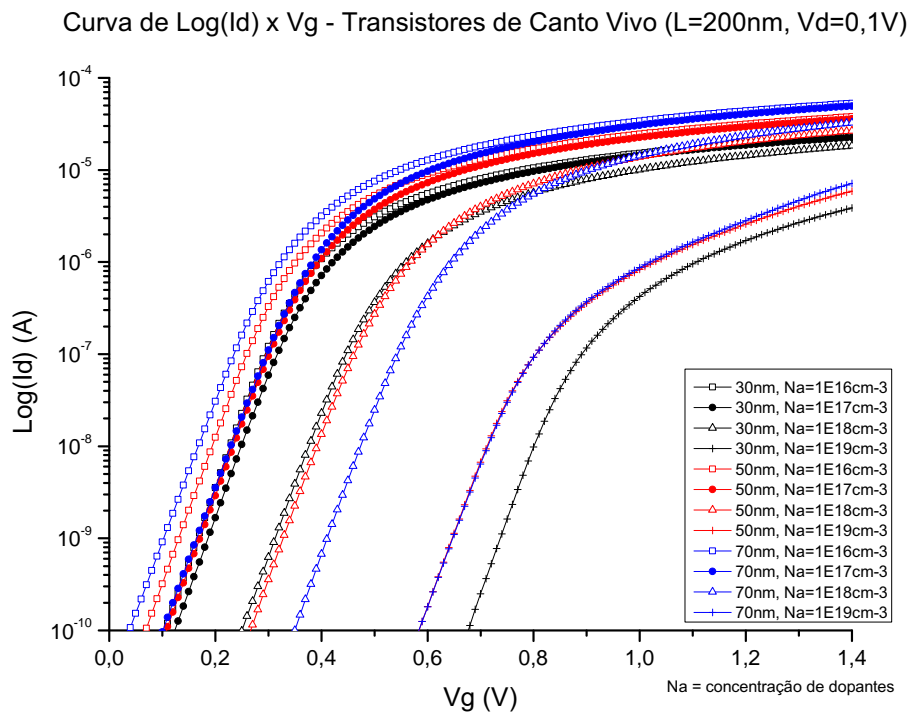


Figura 23: Curva de $\text{Log}(I_d) \times V_G$ para os transistores de canto vivo em função da dimensão $H=W$ e da concentração de dopantes N_a .

Nota-se nas figuras 25 e 26 que as curvas correspondentes a densidade de dopantes mais alta apresentam um deslocamento maior no eixo horizontal em relação as demais. Isto se deve à imprecisão na obtenção da tensão de limiar. Como pode-se observar em 22 a tensão de limiar parece difusa, condição indicada pela maior largura do pico da segunda derivada. A explicação física para este fato é que a inversão neste transistores ocorre gradualmente, iniciando-se no

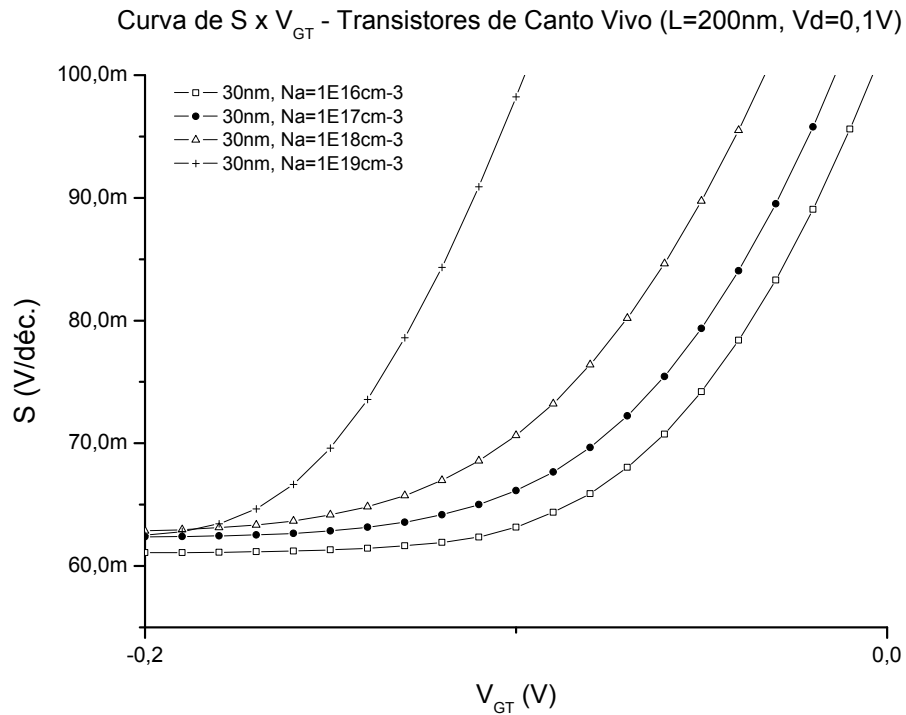


Figura 24: Curva de $S \times V_{GT}$ para os transistores de canto vivo com dimensões de H e W de 30nm. Normalizada em função de $V_G - V_{TH}$, afim de melhorar a comparação entre as curvas.

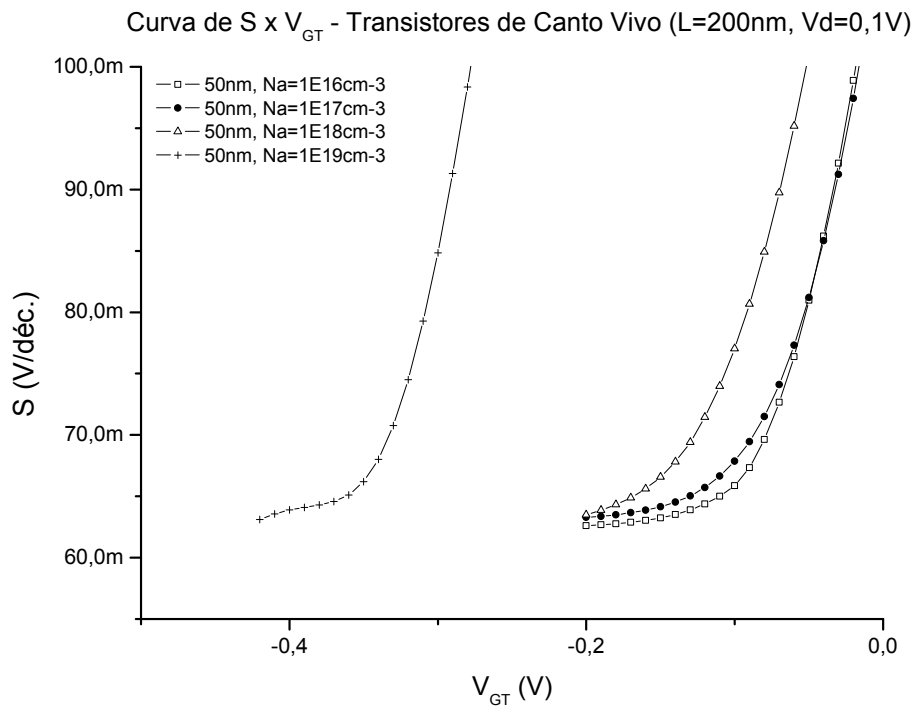


Figura 25: Curva de $S \times V_{GT}$ para os transistores de canto vivo com dimensões de H e W de 50nm. Normalizada em função de $V_G - V_{TH}$, afim de melhorar a comparação entre as curvas.

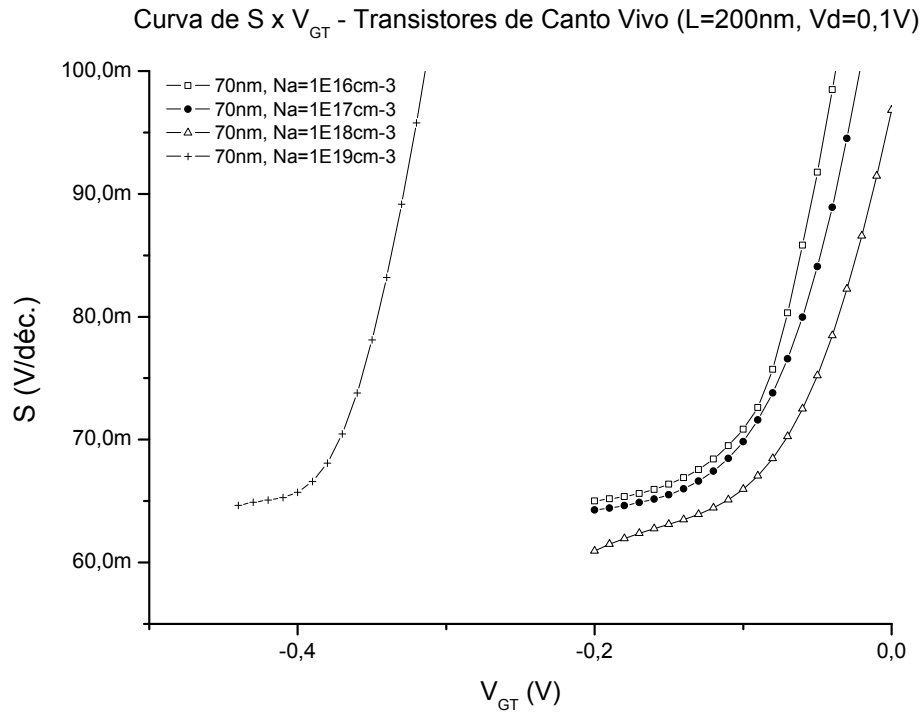


Figura 26: Curva de $S \times V_{GT}$ para os transistores de canto vivo com dimensões de H e W de 70nm. Normalizada em função de $V_G - V_{TH}$, afim de melhorar a comparação entre as curvas.

Na (cm ⁻³)	H=W (nm)		
	30 nm	50 nm	70 nm
$1 \times 10^{16} \text{cm}^{-3}$	61mV/déc	63mV/déc	65mV/déc
$1 \times 10^{17} \text{cm}^{-3}$	63mV/déc	63mV/déc	63mV/déc
$1 \times 10^{18} \text{cm}^{-3}$	63mV/déc	63mV/déc	63mV/déc
$1 \times 10^{19} \text{cm}^{-3}$	63mV/déc	64mV/déc	65mV/déc

Tabela 3: Tabela de inclinação de sublimiar para dispositivos com canto vivo

canto e progredindo ao longo da interface, com o aumento da tensão de porta V_G .

A figura 27 apresenta as curvas de $g_m \times V_G$ para os transistores de canto vivo em função das dimensões dos transistores e da concentração de dopantes. Os dispositivos com maiores dimensões apresentam maior transcondutância em função da maior área para passagem de corrente.

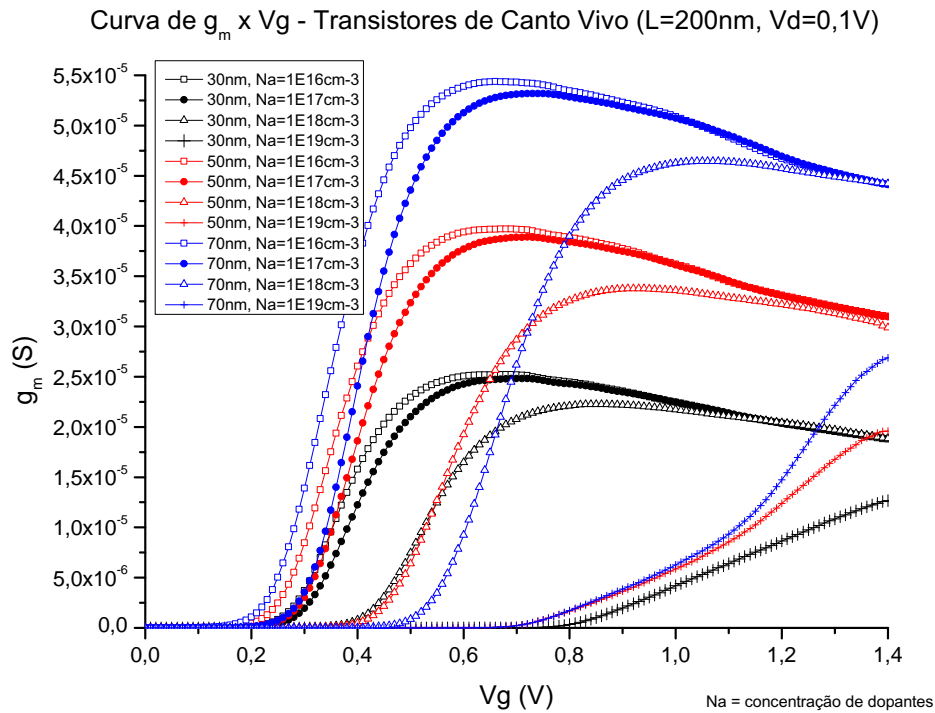


Figura 27: Curva de $g_m \times V_G$ para os transistores de canto vivo

Utilizando como referência os transistores com mesma dimensão e considerando apenas o aumento da concentração de dopantes no canal, os dispositivos com menor concentração apresentam valores de pico de transcondutância maiores.

5.1.3 Distribuição de Cargas em Tensão de Limiar

Para os valores de tensão de limiar extraídos da tabela 1, foram obtidos os valores de concentração de elétrons no corte transversal na metade do comprimento do canal ($L/2$), indicados na figura 20.

Com o objetivo de comparar a diferença de concentração no canto do dispositivo e no centro da porta, duas linhas de corte foram adotadas. A primeira começa no centro do dispositivo e termina no centro da porta lateral (cut 1). A segunda começa no centro do dispositivo e termina

no ponto de encontro entre a porta superior e a porta lateral (cut2). Os dois cortes podem ser observados na figura 20.b.

Definidos os cortes, foram extraídas as curvas de concentração de elétrons em toda a extensão da linha de corte, partindo do centro do canal até atingir a interface S_i/S_iO_2 .

Com os cortes definidos é preciso comparar as curvas extraídas de concentração de elétrons por distância do centro do canal. A linha de corte diagonal (cut 1), para a geometria de canal escolhida ($H=W$), tem a dimensão maior que a linha de corte lateral (cut 2). A comparação direta entre as curvas não seria possível pois as distâncias a partir do centro são diferentes entre os cortes. Para facilitar a comparação foi feita a normalização das distâncias. Nesse método o ponto 0 (zero) determina o centro do canal e o ponto 1 (um) a interface S_i/S_iO_2 . Através desse método é possível comparar diferentes pontos entre o canal e o óxido de porta para diferentes geometrias de transistores.

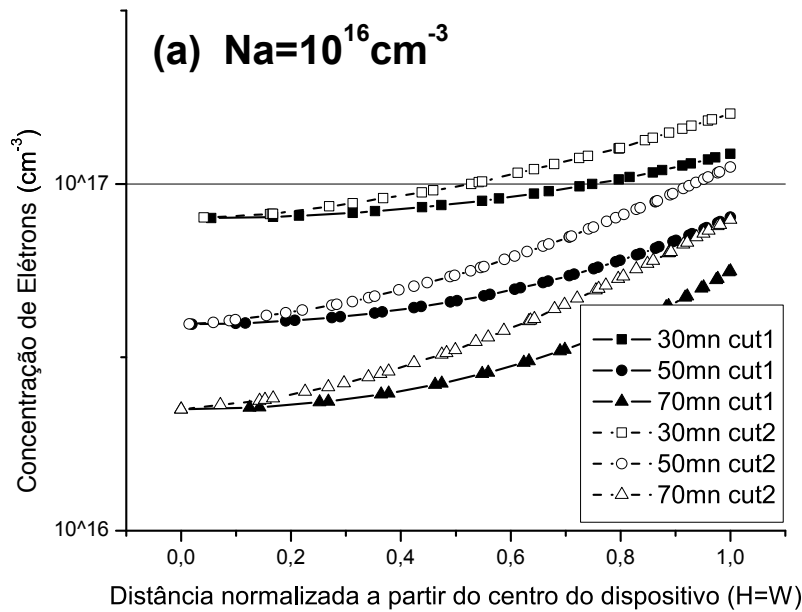


Figura 28: Curvas de concentração de elétrons pela distância da interface com o óxido. Para três dimensões de canal e duas linhas de corte cada.

As linhas de corte definidas anteriormente foram usadas para traçar as curvas das figuras 28, 29, 30 e 31. É possível observar em todas as curvas que a concentração de elétrons no canto (cut 2) dos dispositivos é maior em relação ao centro da porta lateral (cut 1).

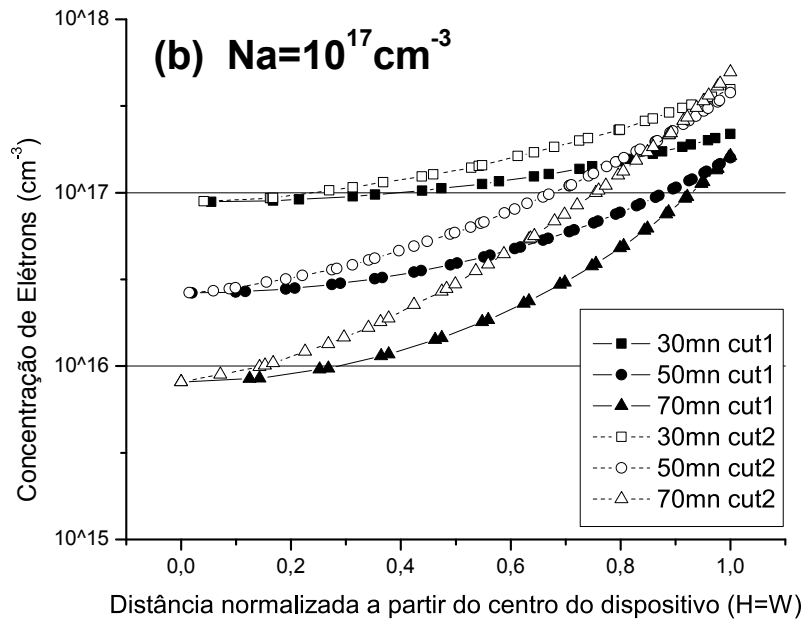


Figura 29: Curvas de concentração de elétrons pela distância da interface com o óxido. Para três dimensões de canal e duas linhas de corte cada.

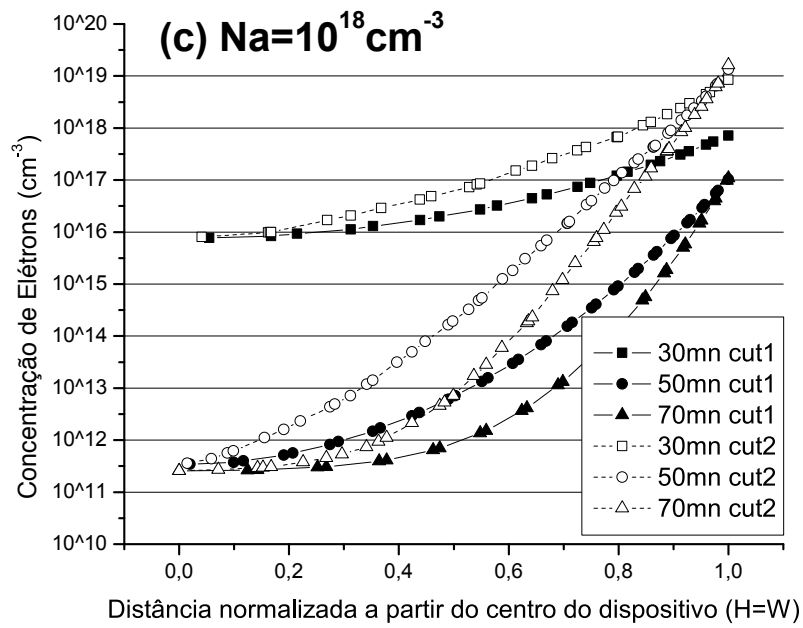


Figura 30: Curvas de concentração de elétrons pela distância da interface com o óxido. Para três dimensões de canal e duas linhas de corte cada.

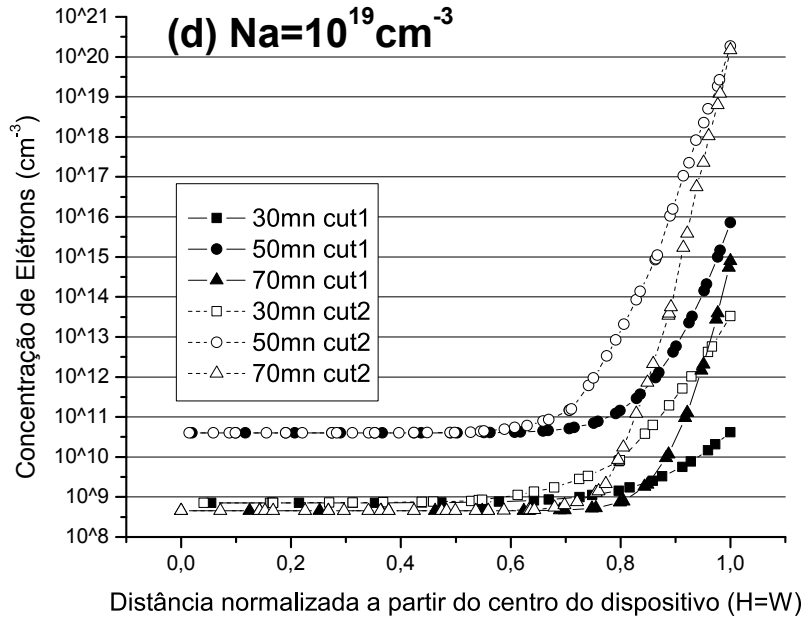


Figura 31: Curvas de concentração de elétrons pela distância da interface com o óxido. Para três dimensões de canal e duas linhas de corte cada.

Foi observada também a influência do nível de dopagem do canal para o efeito de canto das figuras 28, 29, 30 e 31. O aumento na dopagem do canal produz um aumento na diferença entre a concentração do canto e do centro da porta. As curvas estão em escalas diferentes em "y" para evidenciar este efeito. Para as curvas da figura 28 pode-se observar que as curvas da concentração do elétron do corte 1 e 2 estão muito próximas umas das outras para as três larguras de dispositivos. Com o aumento do nível de dopagem, figuras 29, 30 e 31, é possível observar o aumento das distâncias entre os valores de concentração dos dois cortes, o que demonstra uma forte dependência do efeito de canto em relação à dopagem do canal. Essa constatação é retomada na análise de transistores de cantos arredondados.

Na figura 31, onde a concentração do canal N_a é de $1 \times 10^{19} \text{ cm}^{-3}$ existe uma diferença de quase 3 décadas na concentração de elétrons na proximidade da interface Si/SiO_2 entre as duas linhas de corte. Este fato justifica a existência da inversão no canal do transistor, conforme observado na figura 22, em duas etapas: a primeira nos cantos e em seguida em toda a superfície da interface Si/SiO_2 . Esta alteração no perfil da curva 22 ocorre em transistores com concentração de canal superior a $3 \times 10^{18} \text{ cm}^{-3}$ conforme observado em [18] [20].

Outra informação extraída da análise dos dispositivos é em relação ao aumento da largura e altura do canal. Nos dispositivos de dimensões maiores a presença do efeito de canto é maior. Na figura 31 observou-se que havia uma pequena concentração de elétrons perto do centro do

canal devido à alta dopagem. Isto significa que o mecanismo de inversão volumétrica é menos significativo neste caso. Também é possível inferir que este dispositivo *triple-gate* trabalha em uma maneira similar a três dispositivos de porta simples operando de forma independente.

5.2 Efeitos de Canto em Dispositivos com Cantos Arredondados

Os dispositivos de porta tripla com cantos vivos estudados anteriormente são dispositivos teóricos, pois não é possível a fabricação deste tipo de transistor.

Segundo [18] os transistores tridimensionais de porta tripla, incluindo as formas construtivas Π -gate e Ω -gate, recebem influência em sua forma de operação relacionada aos cantos formados pelo encontro das portas. Os cantos dos dispositivos são parte ativa na polarização dos mesmos.

Alguns autores apresentam maneiras de suprimir os efeitos ocasionados pela ativação dos cantos dos dispositivos [19]. A concentração do canal do transistor de porta tripla, além de influenciar a tensão de limiar, mobilidade e transcondutância dos dispositivo conforme observado anteriormente, pode também causar influência nos efeitos que ocorrem nos cantos dos transistores. Para os transistores com dopagens maiores que $3 \times 10^{18} \text{cm}^{-3}$ a inversão dos cantos está presente, conforme tratado anteriormente nos transistores de canto vivo [18], antes do restante do dispositivo.

Para suprimir os efeitos de canto em transistores tridimensionais de porta tripla sugere-se modificar o raio de curvatura, como foi proposto também em [18]. A variação do raio de curvatura no canto dos dispositivos de múltiplas portas, onde ocorre o encontro da porta superior ou inferior com as portas laterais, seria uma forma de suprimir a inversão prematura nos cantos dos dispositivos.

A formação de um canto curvo no encontro das portas apresenta uma dissipação no campo elétrico formado pela soma dos vetores apresentados em dispositivos de canto vivo que em função do menor vetor resultante, possuem menor influência na polarização dos cantos do dispositivo.[38]

Na continuação deste trabalho é proposta a caracterização dos dispositivos de porta tripla utilizando a variação da construção dos dispositivo em função do raio de curvatura no encontro da porta superior com as portas laterais e a variação da concentração do canal dos dispositivos.

5.2.1 Descrição dos Dispositivos Simulados

Foram simulados 12 transistores com cantos arredondados. Estes transistores possuem espessura de óxido de porta (t_{OX}) de 3 nm, espessura de óxido enterrado (t_{BOX}) de 200 nm e densidade de cargas de interface (Q_{OX}) de $3 \times 10^{18} \text{ cm}^{-2}$. O material de porta adotado nas simulações tem a função trabalho de 4.15 eV.

Todos os dispositivos tem as dimensões de altura iguais à largura ($H=W$) e o comprimento de canal constante de 200 nm.

Foram utilizadas quatro concentrações diferentes de canal (N_a) igual a $1 \times 10^{16} \text{ cm}^{-3}$, $1 \times 10^{17} \text{ cm}^{-3}$, $1 \times 10^{18} \text{ cm}^{-3}$ e $3 \times 10^{18} \text{ cm}^{-3}$. A dimensão de canal ($H=W$) adotada foi de 50 nm. Três diferentes raios de curvatura de 5% ($r = 2,5 \text{ nm}$), 10% ($r = 5 \text{ nm}$) e 25% ($r = 12,5 \text{ nm}$) foram utilizados. A ionização por impacto foi desconsiderada para as simulações em função das baixas tensões de dreno adotadas.

As tensões de limiar (V_{TH}) foram obtidas através da extrapolação da curva $I_d \times V_G$ para $V_D = 10 \text{ mV}$. Os valores obtidos através das simulações são apresentados na tabela 4.

5.2.2 Características Elétricas

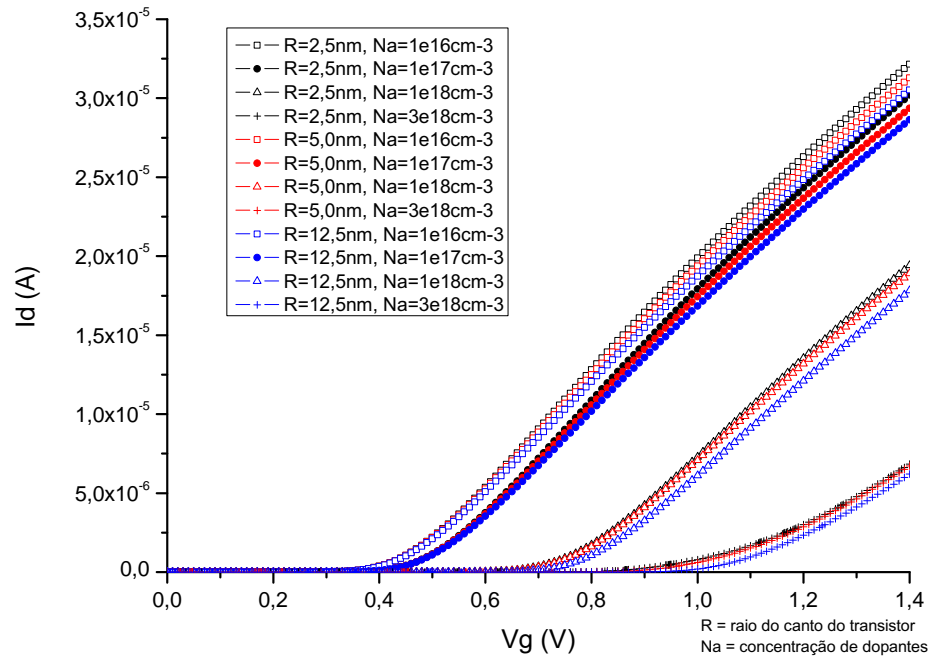
Neste item são apresentadas as curvas extraídas dos dispositivos para as principais características elétricas.

Na figura 32 é possível observar que a inclinação das curvas de $I_d \times V_G$ variam de acordo com a dimensão dos cantos dos transistores e a posição de cada uma das curvas é alterada em função da concentração de dopante no canal dos transistores.

Na figura 33 é possível identificar que os dois transistores com menor concentração de dopantes no canal tem os picos das curvas alinhados, com a tensão de limiar muito próxima. Os transistores de $1 \times 10^{18} \text{ cm}^{-3}$ tem os picos das curvas desalinhados em função da alteração do raio de curvatura no canto dos dispositivos.

Resultados semelhantes aos obtidos com os transistores de canto arredondado e descritos em [18] podem ser observados na figura 33 para os transistores com concentração de dopantes de $3 \times 10^{18} \text{ cm}^{-3}$. Os três transistores apresentam a tensão de limiar ocorrendo em duas fases distintas.

Nessa mesma figura 33 é possível observar uma ligeira modificação nas características descritas anteriormente para o transistor de concentração $3 \times 10^{18} \text{ cm}^{-3}$ e raio de 12,5 nm. O transis-

Curva de $I_d \times V_g$ - Transistores de Canto Arredondado ($L=200\text{nm}$, $V_d=0,1\text{V}$)Figura 32: Curva de $I_d \times V_G$ para os transistores de canto arredondado.

tor com canto mais arredondado demonstra uma redução na formação dos dois picos de inversão na curva da segunda derivada de $I_d \times V_G$.

A tabela 4 apresenta os valores da tensão de limiar extraídos das curvas da figura 32 à partir do método de extrapolação da curva $I_d \times V_G$. A tabela 5 apresenta os valores da tensão de limiar extraídos das curvas da figura 33 à partir do método do pico da segunda derivada de $I_d \times V_G$ [28].

Na	H=W (nm)		
	R=2,5 nm	R=5 nm	R=12,5 nm
$1 \times 10^{16} \text{cm}^{-3}$	0,409V	0,407V	0,408V
$1 \times 10^{17} \text{cm}^{-3}$	0,454V	0,453V	0,454V
$1 \times 10^{18} \text{cm}^{-3}$	0,677V	0,679V	0,686V
$3 \times 10^{18} \text{cm}^{-3}$	1,034V	1,039V	1,062V

Tabela 4: Tabela de tensão de limiar para dispositivos com canto arredondado extraída a partir da extrapolação da curva $I_d \times V_G$.

Nas figuras 34, 35, 36 e 37 é possível observar que a inclinação de sublimiar para a maioria

Curva de $d^2(I_d) \times V_g$ - Transistores de Canto Arredondado ($L=200$ nm, $V_d = 0,1$ V)

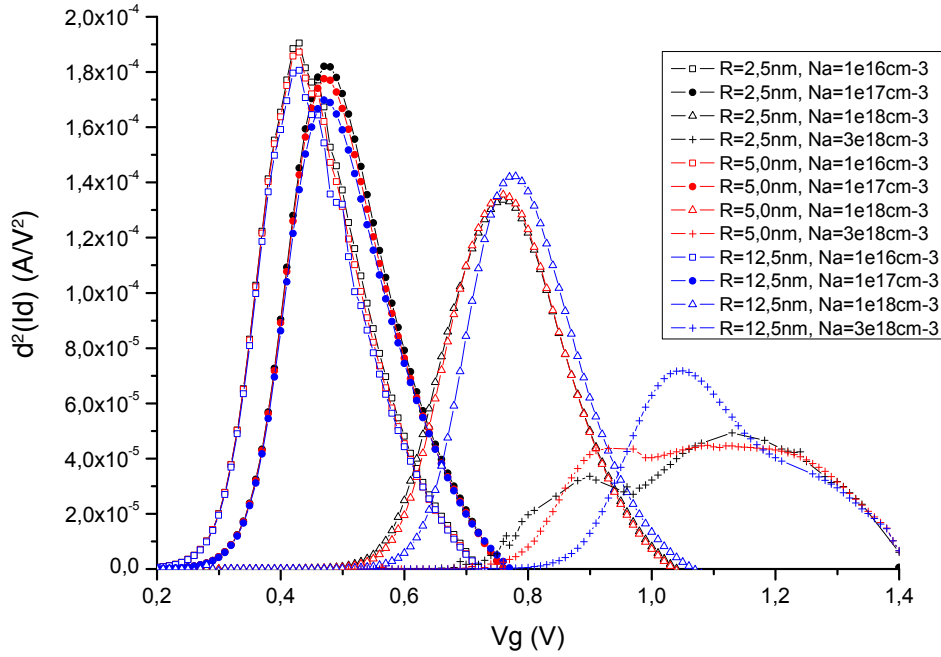
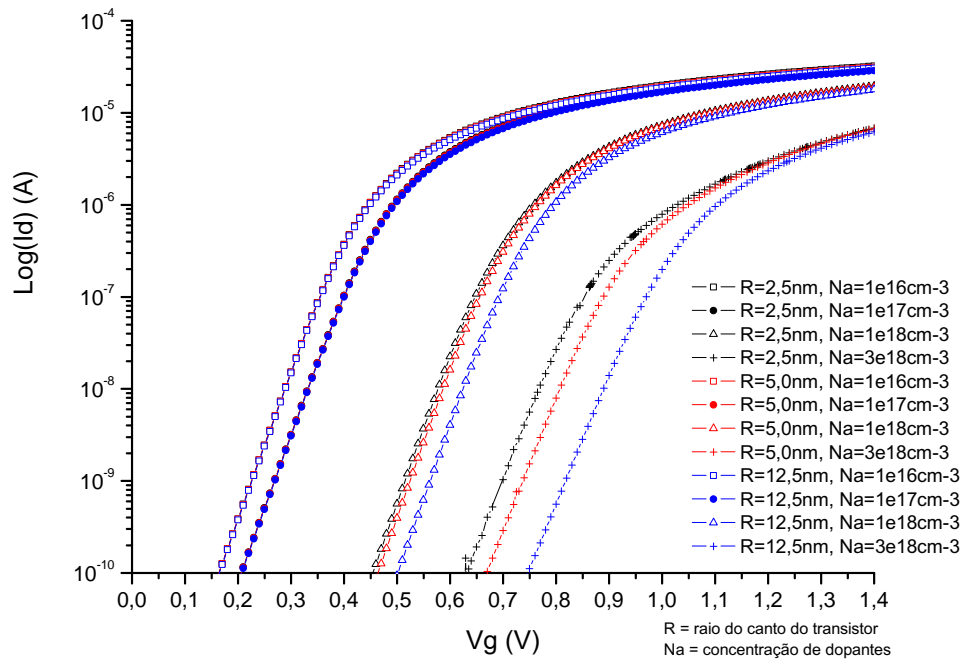
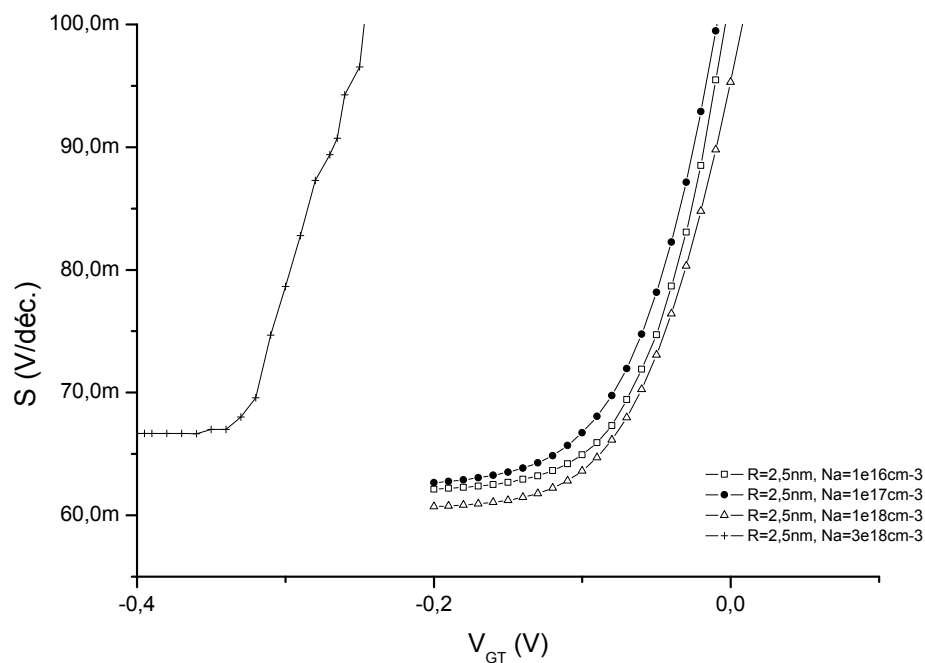


Figura 33: Curva da Segunda Derivada de $I_d \times V_G$ para os transistores de canto arredondado

Na	H=W (nm)		
	R=2,5 nm	R=5 nm	R=12,5 nm
$1 \times 10^{16} \text{ cm}^{-3}$	0,41V	0,42V	0,43V
$1 \times 10^{17} \text{ cm}^{-3}$	0,47V	0,47V	0,47V
$1 \times 10^{18} \text{ cm}^{-3}$	0,76V	0,76V	0,77V
$3 \times 10^{18} \text{ cm}^{-3}$	1,13V	1,07V	1,04V

Tabela 5: Tabela de tensão de limiar para dispositivos com canto arredondado extraída a partir do pico da segunda derivada de $I_d \times V_G$.

Curva de $\text{Log}(I_d) \times V_g$ - Transistores de Canto Arredondado ($L=200\text{nm}$, $V_d=0,1\text{V}$)Figura 34: Curva de $\text{Log}(I_d) \times V_G$ para os transistores de canto arredondadoCurva de $S \times V_{GT}$ - Transistores de Canto Arredondado ($L=200\text{nm}$, $V_d=0,1\text{V}$)Figura 35: Curva de $S \times V_G$ para os transistores de canto arredondado com raio de curvatura de 2,5 nm

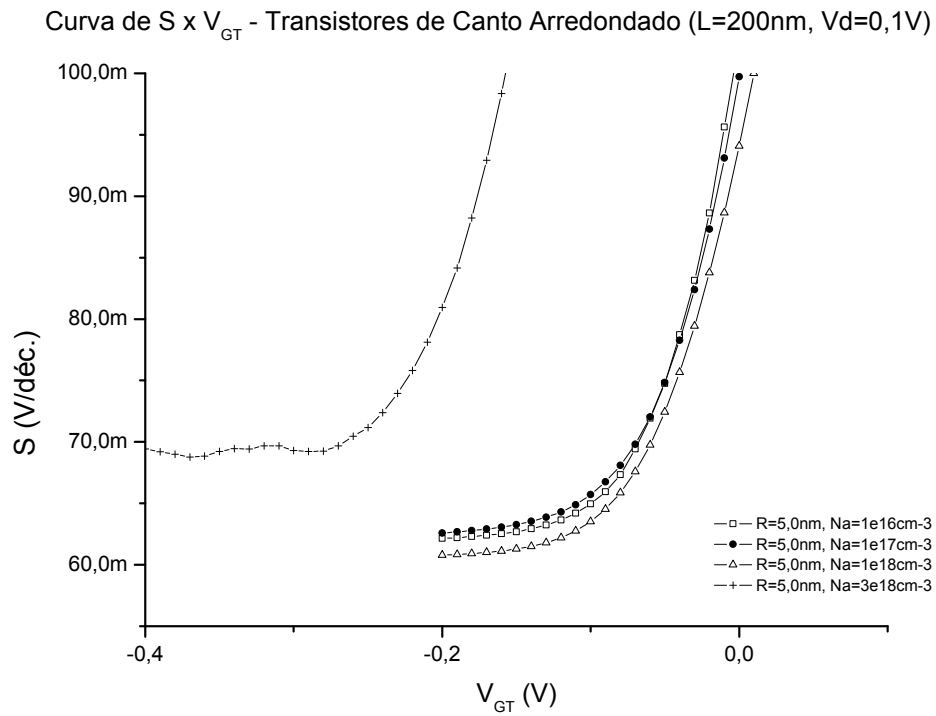


Figura 36: Curva de $S \times V_G$ para os transistores de canto arredondado com raio de curvatura de 5 nm

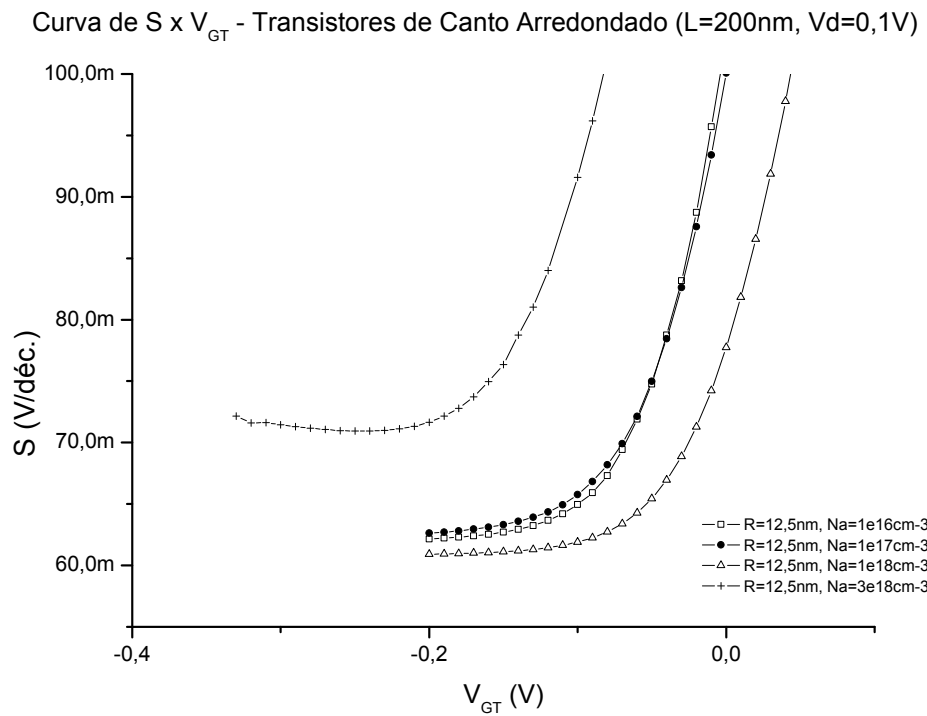


Figura 37: Curva de $S \times V_G$ para os transistores de canto arredondado com raio de curvatura de 12,5 nm

dos dispositivos é muito próxima ao valor teórico de 60 mV/déc. Na tabela 6 é possível observar os valores de inclinação de sublimiar para cada transistor. Assim como no caso dos transistores de cantos vivos, os dispositivos mais dopados possuem pior inclinação de limiar.

Na	H=W (nm)		
	R=2,5 nm	R=5 nm	R=12,5 nm
$1 \times 10^{16} \text{ cm}^{-3}$	62mV/déc	62mV/déc	62mV/déc
$1 \times 10^{17} \text{ cm}^{-3}$	62mV/déc	62mV/déc	62mV/déc
$1 \times 10^{18} \text{ cm}^{-3}$	61mV/déc	61mV/déc	61mV/déc
$3 \times 10^{18} \text{ cm}^{-3}$	70mV/déc	70mV/déc	71mV/déc

Tabela 6: Tabela de inclinação de sublimiar para dispositivos com canto arredondado

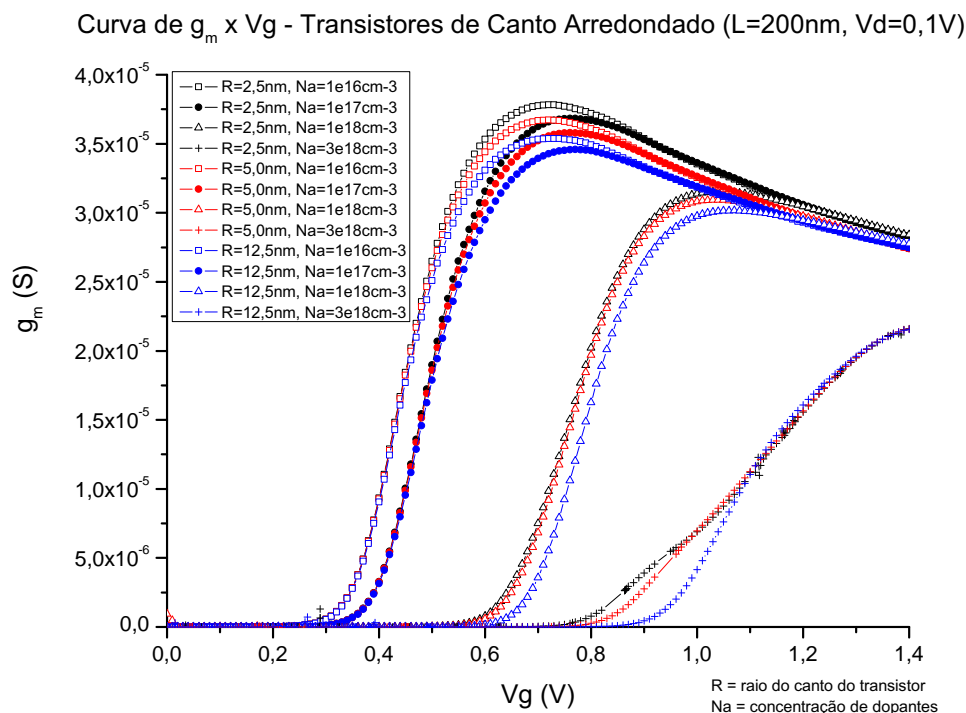


Figura 38: Curva de $g_m \times V_G$ para os transistores de canto arredondado

Na figura 38 é possível observar que para os dispositivos de menor raio de curvatura os valores de transcondutância são maiores. Isso ocorre porque com menor raio de curvatura diminui-se o potencial no canto e a concentração de portadores. De uma forma geral, a redução do efeito de canto elimina uma região importante para condução do transistor.

5.2.3 Distribuição de Cargas em Tensão de Limiar

Para os valores de tensão de limiar extraídos da tabela 4, foram obtidos os valores de concentração de elétrons no corte transversal do transistor na metade do comprimento do canal ($L/2$), indicado na figura 20.

De forma semelhante à análise realizada para os dispositivos de cantos vivos, com o objetivo de comparar a diferença de concentração no canto do dispositivo e no centro da porta, duas linhas de corte foram adotadas. A primeira começa no centro do dispositivo e termina no centro da porta lateral (cut 1). A segunda começa no centro do dispositivo e termina no meio da superfície do canto arredondado (cut2) onde ocorre a interface S_i/S_iO_2 . Definidos os cortes, foram extraídas as curvas de concentração de elétrons em toda a extensão da linha de corte, partindo do centro do canal até atingir a interface S_i/S_iO_2 .

Com os cortes definidos é preciso comparar as curvas extraídas de concentração de elétrons por distância do centro do canal. Novamente, para facilitar a comparação foi feita a normalização das distâncias entre os cortes, onde o ponto 0 (zero) determina o centro do canal e o ponto 1 (um) a interface S_i/S_iO_2 .

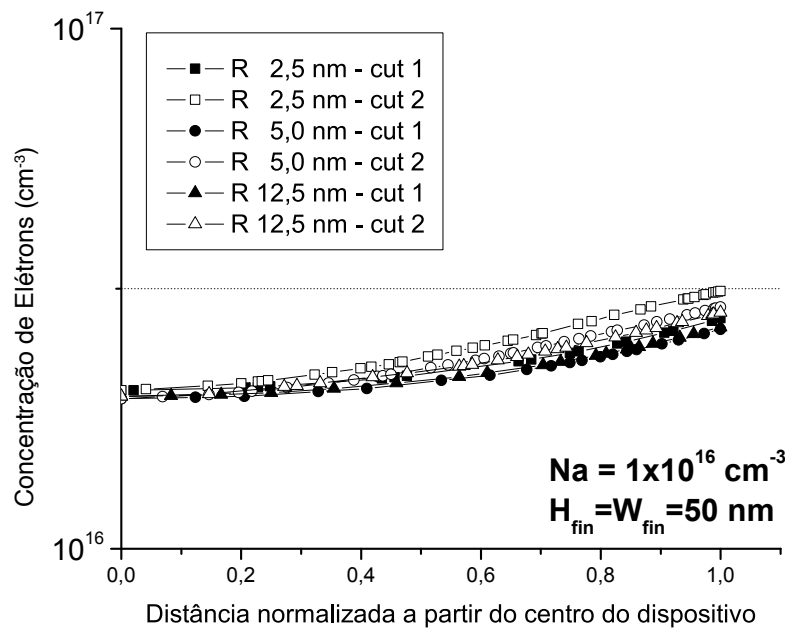


Figura 39: Curvas de concentração de elétrons pela distância da interface com o óxido. Para três raios de curvatura no canto e duas linhas de corte cada.

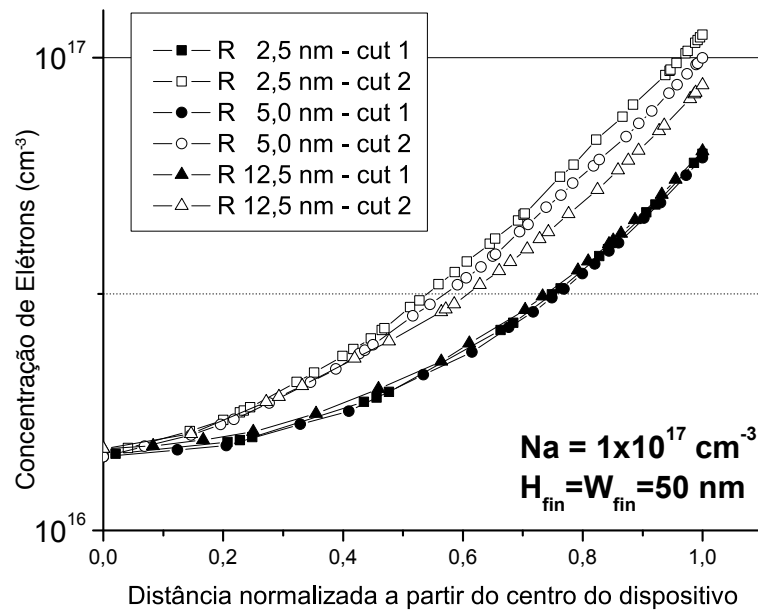


Figura 40: Curvas de concentração de elétrons pela distância da interface com o óxido. Para três raios de curvatura no canto e duas linhas de corte cada.

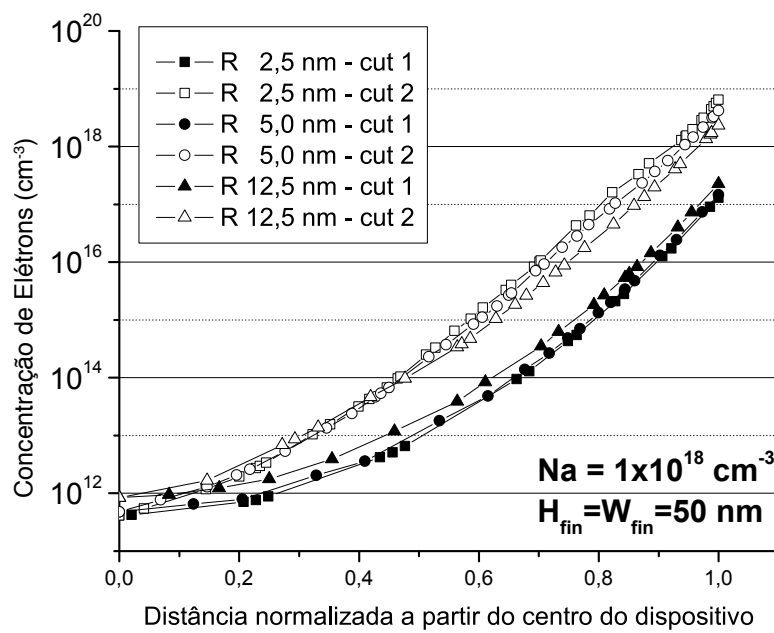


Figura 41: Curvas de concentração de elétrons pela distância da interface com o óxido. Para três raios de curvatura no canto e duas linhas de corte cada.

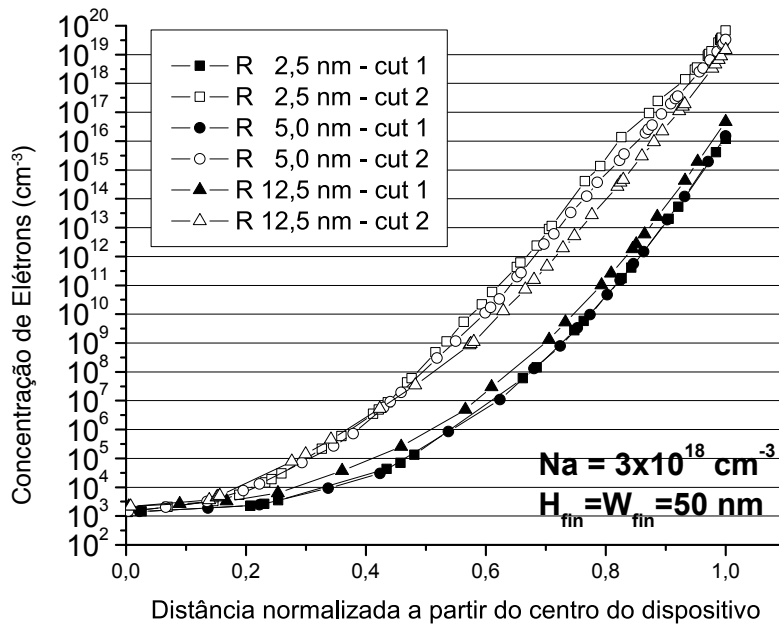


Figura 42: Curvas de concentração de elétrons pela distância da interface com o óxido. Para três raios de curvatura no canto e duas linhas de corte cada.

As linhas de corte definidas anteriormente foram usadas para traçar as curvas das figuras 39, 40, 41 e 42. É possível observar em todas as curvas que a concentração de elétrons no canto (cut 2) dos dispositivos é ainda maior em relação ao centro da porta lateral (cut 1).

As figuras 39, 40, 41 e 42 apresentam as curvas traçadas a partir dos cortes 1 e 2 para todos os transistores. A redução do efeito de canto pode ser observada na comparação entre as curvas marcadas (cut 1) e não marcadas (cut 2) para cada um dos raios de curvatura do canto.

É possível observar que a concentração de elétrons é reduzida nos cantos do dispositivo em função do aumento do raio de curvatura. A influência da dopagem no canal também pode ser observada nas figuras 39, 40 e 41. Com o aumento do raio de curvatura no canto dos dispositivos ocorre uma redução no campo elétrico resultante do encontro das duas portas, reduzindo o acúmulo de cargas nesta região dos dispositivos.

Na figura 39 é possível observar que a diferença entre a concentração do centro do canal e do canto do dispositivo é relativamente pequena em comparação as curvas figura 41 devido à diferença de concentração. Estas curvas demonstram que o raio de curvatura e a concentração do canal apresentam uma grande influência no efeito de canto.

A dependência com a concentração de dopantes no corpo do dispositivo está relacionada à conformação do potencial elétrico, como será discutido a seguir.

5.3 Variação de Corrente em função do Raio de Curvatura de Canto

O efeito de canto tem sido caracterizado na literatura pelo surgimento de mais de uma tensão de limiar, facilmente notado na segunda derivada da função $I_d \times V_G$ [19] [18] [39]. Ao longo deste trabalho, no entanto, apesar de haver efeitos de canto sobre os diversos parâmetros analisados, em poucos casos verificou-se a dupla tensão de limiar claramente. Na verdade, mesmo não sendo facilmente identificado através das curvas corrente-tensão, ocorre um fenômeno de inversão gradual dos dispositivos, iniciando-se nos cantos e caminhando para as demais áreas da primeira interface, conforme aumenta-se a tensão de porta.

Em todos os dispositivos estudados, até mesmo nos menos dopados, houve influência do raio de curvatura do canto sobre a intensidade de corrente, o que indica que sempre haverá influência do canto sobre o funcionamento de transistores de porta tripla, havendo ou não uma destacada segunda tensão de limiar apontada pela segunda derivada de $I_d \times V_G$.

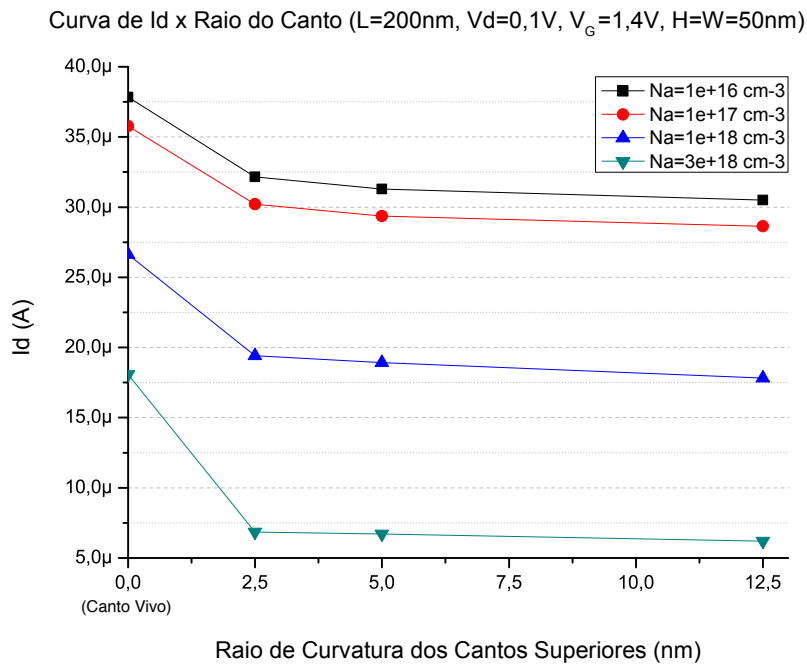


Figura 43: Curva de corrente de dreno I_d em função da variação do raio de curvatura R para os transistores de $H=W=50 \text{ nm}$

A figura 43 apresenta uma curva comparando a corrente de dreno I_d em função do raio de curvatura R utilizado para definir o arredondamento dos cantos superiores dos transistores simulados.

O resultado obtido complementa os resultados anteriores demonstrando que existe uma

variação das características de polarização dos transistores em função da modificação do raio de curvatura nos cantos dos dispositivos. A corrente de dreno nos dispositivos diminui com o aumento do raio que forma o canto superior dos dispositivos: os dispositivos com menor raio de curvatura apresentam uma resposta maior de corrente de dreno e os dispositivos com maior raio de curvatura apresentam uma resposta menor de passagem de corrente.

Caso os resultados dos transistores de canto arredondado fossem comparados com os dispositivos de canto vivo ($R = 0$ nm) é possível observar saltos de corrente de dreno maiores que 20%. Esta variação pode ser observada na figura 43.

A dependência da concentração de dopantes no corpo do dispositivo está relacionada à conformação do potencial elétrico, como discutido a seguir.

5.4 Potencial na Superfície e no Centro do Canal em função da Concentração de Dopantes N_a

A figura 44, extraída do artigo [54], apresenta curvas que demonstram o potencial no centro do canal e na superfície relacionados como a concentração de dopantes no canal do transistor de porta dupla com tensão de limiar aplicada na porta do dispositivo. É possível observar que o potencial no centro do canal para um transistor de porta dupla (*dual gate*). Este estudo [54] demonstra que o potencial no centro do canal do transistor *dual gate* apresente uma queda no potencial em relação à superfície do canal. O aumento da concentração de dopantes faz com que o potencial no centro seja reduzido e o potencial de superfície aumente. Esta característica também pode ser observada nos transistores estudados.

Os dispositivos de canto arredondado apresentam maior potencial na superfície próxima aos cantos, como descrito anteriormente. Utilizando como referência os estudos [54] e [55], as curvas de potencial em função da concentração de dopantes no canal em escala logarítmica para os raios de curvatura 2,5 nm, 5 nm e 12,5 nm estão demonstradas nas figuras 45, 46 e 47. A tensão de porta para todos os transistores é a tensão de limiar V_{TH} extraída para cada dispositivo e descrita nas tabelas 5 e 4.

As estruturas simuladas com concentração de $1 \times 10^{16} \text{ cm}^{-3}$ tem praticamente o mesmo potencial nas três regiões (centro do canal, centro do canal lateral e encontro entre porta superior e lateral). Desta forma pode ser considerado que o campo elétrico gerado na porta do dispositivo em tensão de limiar afeta de forma homogênea o canal dos transistores.

Aumentando-se a concentração para $1 \times 10^{17} \text{ cm}^{-3}$ as superfícies do canal ainda apresentam

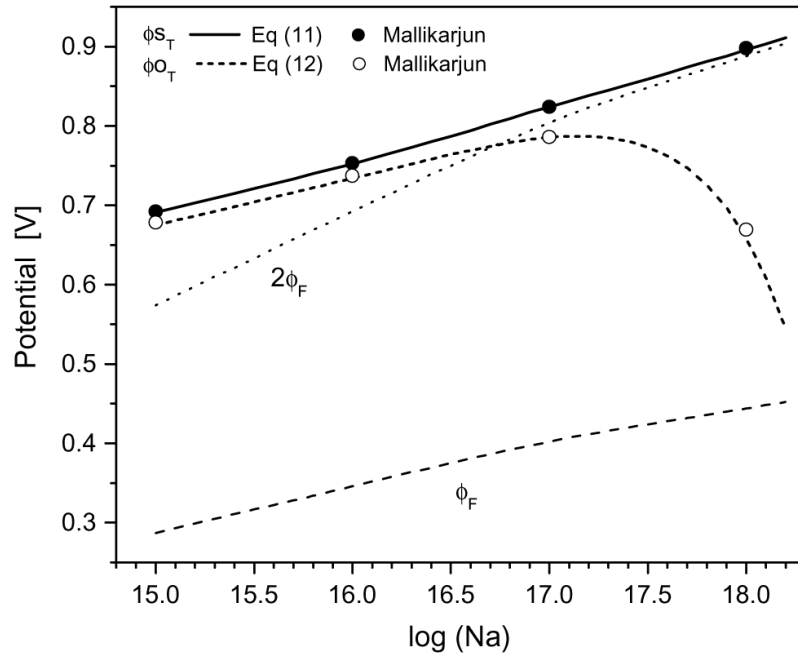


Figura 44: Potenciais simulados e calculados para a superfície da camada de silício e o centro do canal em função da concentração de dopantes no canal N_a em tensão de limiar. As curvas de Φ_F e $2\Phi_F$ também são mostradas. Φ_{S_T} é o potencial na superfície do canal e Φ_{O_T} é o potencial no centro do canal.

potencial semelhante para todas as curvas.

Para as concentrações de $1 \times 10^{18} \text{ cm}^{-3}$ e $3 \times 10^{18} \text{ cm}^{-3}$, o ponto medido na superfície no canto do canal apresenta um crescimento do potencial em relação as medidas de menor concentração e um distanciamento maior em relação ao potencial do centro.

As medidas do centro do canal apresentam uma queda linear para as maiores concentrações de canal, sendo diferente dos resultados observados na superfície da lateral dos transistores. Cada região observada apresenta um comportamento diferente em relação ao aumento da concentração do canal. Dessa maneira um dispositivo com concentrações de canal mais próximas da concentração intrínseca do silício torna o funcionamento do canal dos transistores mais homogêneo, isto é, com maior semelhança de operação das diferentes regiões do canal e menos sujeitos à singularidades de canto e seus efeitos.

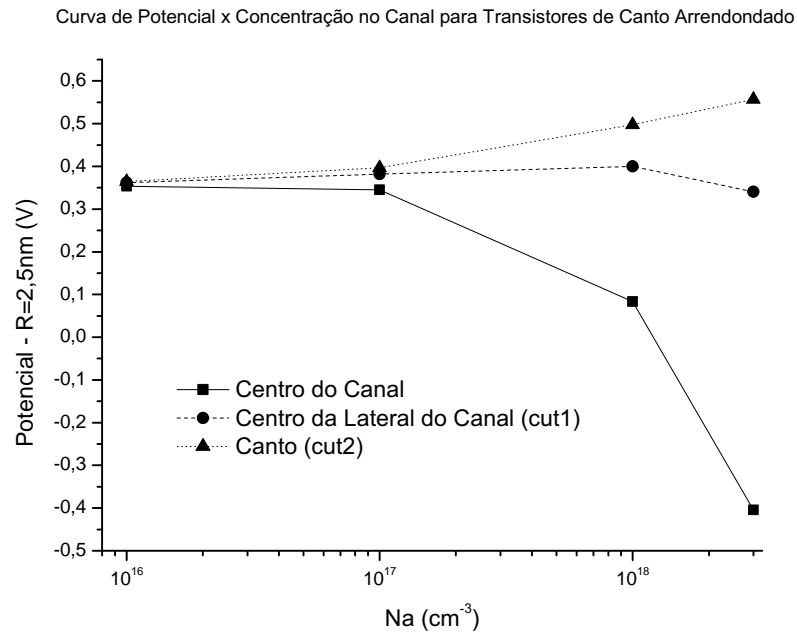


Figura 45: Curvas de potencial na superfície do canto, superfície da porta lateral e no centro dos transistores em função da variação da concentração do canal para o raio de curvatura de canto de 2,5 nm.

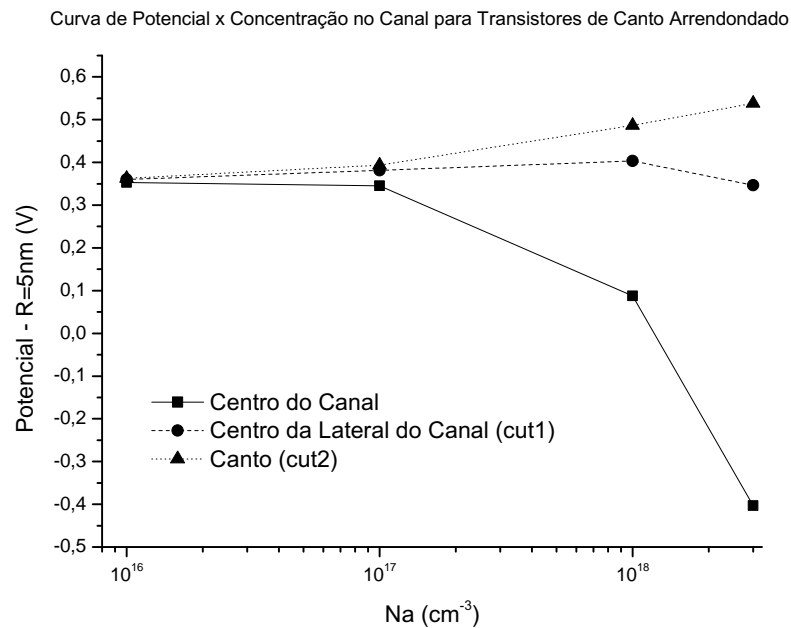


Figura 46: Curvas de potencial na superfície do canto, superfície da porta lateral e no centro dos transistores em função da variação da concentração do canal para o raio de curvatura de canto de 5 nm.

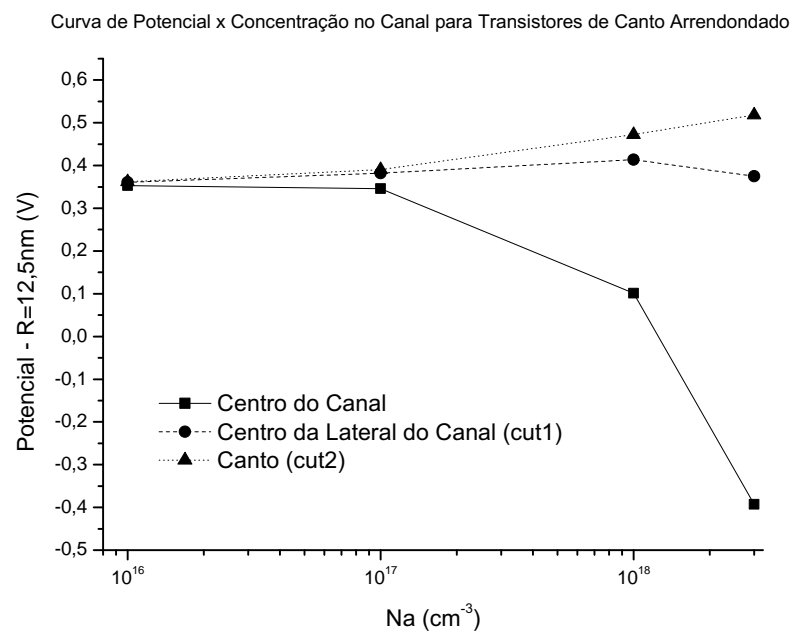


Figura 47: Curvas de potencial na superfície do canto, superfície da porta lateral e no centro dos transistores em função da variação da concentração do canal para o raio de curvatura de canto de 12,5 nm.

6 Conclusão

Os efeitos de canto em transistores de porta tripla foram estudados através de simulação tridimensional. Foi analisada a corrente de dreno, bem como a tensão de limiar, a inclinação de sublimiar e principalmente a distribuição de portadores na seção transversal dos dispositivos, em tensão de limiar.

Com a finalidade de comparar a concentração de portadores no canal foi desenvolvida uma metodologia onde são traçados dois cortes: o primeiro do centro à superfície lateral do transistor e um segundo corte de centro ao canto do transistor. A partir destes cortes foram plotadas as concentrações de elétrons e comparadas para determinar a intensidade do efeito de canto em cada caso.

O estudo inclui transistores com cantos vivos, sem curvatura, que são a forma mais usual de modelagem para simulação bem como transistores de cantos arredondados com diversos raios de curvatura.

Observou-se que em todos os dispositivos, variando-se o tamanho da ilha de silício e a dopagem do corpo, houve influência do raio de curvatura sobre a concentração de portadores e, consequentemente sobre a corrente de dreno, o que indica a presença do efeito de canto sobre essas variáveis. O efeito de canto ocorre em todos os dispositivos, inclusive nos transistores com níveis de dopagem mais baixos, como $1 \times 10^{16} \text{cm}^{-3}$.

Nas dopagens de $3 \times 10^{18} \text{cm}^{-3}$ e $1 \times 10^{19} \text{cm}^{-3}$ foi possível observar um segundo pico na segunda derivada da função $I_d \times V_G$, demonstrando inversão em duas etapas. Para as demais concentrações, houve apenas um pico, mas a inversão ocorre sempre inicialmente nos cantos, propagando-se para o restante da primeira interface, à medida que se aumenta a tensão de porta.

Observou-se inversão de volume em todos os dispositivos, mas de forma mais acentuada naqueles de menores dimensões, seção de 30 por 30 nm, e com os níveis de dopantes mais baixos $1 \times 10^{16} \text{cm}^{-3}$.

Transistores com menor raio de curvatura de centro (2,5 nm e canto vivo), mostraram

melhor acoplamento entre a carga de condução e as portas, observada pela melhor transcondutância. Nestes transistores pode-se observar um aumento no nível de corrente passando pelo transistor.

A partir dos resultados obtidos, sugere-se considerar sempre a presença de efeitos de canto em transistores de porta tripla, não apenas quando caracterizados pelo duplo pico na segunda derivada da função $I_d \times V_G$.

7 Trabalhos Futuros

Há dois aspectos interessantes a serem estudados a partir dos resultados obtidos no trabalho. O primeiro deles diz respeito ao estudo de efeito de canto com variação da temperatura, uma vez que esta variável interfere na disponibilidade de portadores, na mobilidade e no grau de ionização das impurezas.

Um outro aspecto importante é o estudo das correntes de porta nos cantos, uma vez que o campo elétrico é alto nessas regiões. Este estudo é particularmente interessante quando o transistor é polarizado com tensões de substrato negativas, de forma a acumular parcialmente a segunda interface e surgir o efeito de corpo flutuante.

Referências

- [1] J. P. Colinge. *Silicon-on-Insulator Technology: Materials to VLSI*. Kluwer Academic Publishers, 3 ed., 2004.
- [2] Julios Edgar Lilienfeld. Method and apparatus for controlling electric currents. *US Patents*, 1.745.175, Oct 08, 1926.
- [3] Julios Edgar Lilienfeld. Device for controlling electric current. *US Patents*, 1.900.018, 1928, Mar 28.
- [4] Dawon Kahng. A historial perspective on the development of mos transistor and related devices. *IEEE Transactions on Electron Devices*, 23(7):655–657, Julho 1976.
- [5] João Antonio Martino. Modelagem do substrato e novos métodos de caracterização elétrica de soi mosfet. *Tese de Livre Docência - Escola Politécnica da Universidade de São Paulo*, 1998.
- [6] B. G. Streetman; S. Banerjee. *Solid State Electronic Devices*. John Wiley and Sons, Inc, New Jersey, 5 ed., 2000.
- [7] S. M. Sze. C. Y. Chang. *ULSI devices*. John Wiley, New York, 2000.
- [8] Dieter K. Schroder. *Semiconductor Material and Device Characterization*. Wiley-Interscience, New Jersey, 3 ed., 2006.
- [9] Michael John Sebastian WESTE, Neil H. E.; SMITH. *Principles of CMOS VLSI design : a systems perspective*. Addison-Wesley, Massachusetts, 2nd. ed. reading ed., 1993.
- [10] Dordrecht. *Progress in SOI structures and devices operating at extreme conditions*. Nato Advanced Research Workshop on "Progress in Semiconductor - on - Insulator Structures and Devices Operating at Extreme Conditions. Kluwer Academic Publishers, Kiev, Ukraine, 2002.
- [11] M. A. Pavanello; J. A. Martino; D. Flandre. Graded-channel fully depleted silicon-on-insulator nmosfet for reducing the parasitic bipolar effects. *Solid-State Electronics*, 44:917–922, Jan 2000.
- [12] M. Jamal; CLAEYS C. GUTIÉRREZ-D., Edmundo; DEEN. *Low Temperature Electronics: Physics, Devices, Circuits, and Applications*. Academic Press, San Diego, 2001.
- [13] T. Sekigawa; Y. Hayashi. Calculated threshold-voltage characteristics of an xmos transistor having an additional bottom gate. *Solid State Electronics*, 27(8/9):827–828, 1984.
- [14] J. P. Colinge. Novel gate concepts for mos devices. *IEEE*, p. 45–49, 2004.

- [15] Justin K. Brask; Brian S. Doyle; Mark L. Doczy; Roberto S. Chau. Nonplanar transistor with metal gate electrodes. *US Patents*, 7,105,390 B2, Sep 12, 2006.
- [16] J. P. Colinge; M. H. Gao; A. Romano Rodríguez; H. Maes; C. Claeys. Silicon-on-insulator gate-all-around device. *IEEE*, p. 595–598, 1990.
- [17] J. P. Colinge. Gate-all-around technology for harsh environment applications. *Progress in SOI Structures and Devices Operating at Extreme Conditions*, 58:167–188, 2002.
- [18] W. Xiong; J. W. Park and J. P. Colinge. Corner effects in multiple-gate soi mosfets. *IEEE*, p. 111–113, 2003.
- [19] J. G. Fossum; J.-W. Yang and V. P. Triveldi. Supression of corner effects in triple-gate mosfets. *IEEE Electron Device Letters*, 24(121):745–747, december 2003.
- [20] A. Burenkov; J. Lorenz. Corner effects in double and triple gate finfets. *IEEE*, p. 135–138, 2003.
- [21] M.Städele; R.J.Luyken; M.Roosz; M.Specht; W.Rösner; L.Dreeskornfeld; J.Hartwich; F.Hofmann; J.Kretz; E.Landgraf; L.Risch. A comprehensive study of corner effects in tri-gate transistor. *IEEE*, p. 165–168, 2004.
- [22] S. M. SZE. *Physics of Semiconductor Devices*. John Wiley and Sons, Inc, Canada, 2nd ed., 1981.
- [23] Sreedhar MARSHALL, Andrew; NATARAJAN. *SOI design: analog, memory and digital techniques*. Kluwer Academic Publishers, Boston, 2002.
- [24] P. B. Verdonck J. A. Martino, M. A. Pavanello. *Caracterização Elétrica de tecnologia e dispositivos MOS*. Pioneira Thomson Learning, 3 ed., 2004.
- [25] Akira; DOUSEKI Takakuni SAKURAI, Takayasu; MATSUZAWA. *Fully-depleted SOI CMOS circuits and technology for ultralow-power applications*. Springer, Netherlands, 2006.
- [26] H. K. Lim; J. G. Fossum. Threshold voltage of thin-film silicon-on-insulator (soi) mosfet's. *IEEE Transactions on Electron Devices*, 30:1244–1251, 1983.
- [27] K. Terada; K. Nishiyama; K-I Hatanaka. Comparison of mosfet-threshold-voltage extraction methods. *Solid-State Electronics*, 45:35–40, 2001.
- [28] S. Cristoloveanu; Sheng S. Li. *Electrical Characterization of Silicon-on-insulator materials and devices*. 0792395484. Kluwer Academic Publishers, Boston, 2 ed., 1995.
- [29] B. Dierickx; L. Warmerdam; E. Simoen; J. Vermeiren and C. Claeys. Model for hysteresis and kink behavior of mos transistors operatingat 4.2 k. *IEEE Transactions on Electron Devices*, 35(0018-9383):1120–1125, July 1988.
- [30] Samuel K. Moore. Winner: Masters of memory. *IEEE Spectrum*, Jan 2007.
- [31] J. T. Park; J. P. Colinge; C. H. Diaz. Pi-gate soi mosfet. *IEEE Electron Device Letters*, 22(0741-3106):405–406, Aug 2001.

- [32] J. T. Park; J. P. Colinge. Multiple-gate soi mosfets: Device design guidelines. *IEEE Transactions on Electron Devices*, 49(12):2222–2229, december 2002.
- [33] F. L. Yang; H. Y. Chen; F. C. Cheng; C. C. Huang; C. Y. Chang; H. K. Chiu; C. C. Lee; C. C. Chen; H. T. Huang; C. J. Chen; H. T. Tao; Y. C. Yeo. 25 nm cmos omega fets. *IEDM '02 Digest International Electron Devices Meeting*, (0780374622):255–258, 2002.
- [34] F. Balestra; S. Cristoloveanu; M. Benachir; J. Brini; T. Elewa. Double-gate silicon-on-insulator transistor with volume inversion: A new device with greatly enhanced performance. *IEEE Electron Device Letters*, 8(0741-3106):410–412, September 1987.
- [35] [tradução de] Paulo Cesar Pfaltzgraff Ferreira Hayt, William H. *Eletromagnetismo*. LTC, Rio de Janeiro, 4 ed., 1994.
- [36] R. C. Vankemel; K. M. de Meyer. A study of the corner effect in trench-like isolated structures. *IEEE*, 37:168–176, 1990.
- [37] R. Rung; H. Momose; Y. Nagakubo. Deep trench isolated cmos device. *IEDM Digest International Electron Devices Meeting*, p. 237–240, 1982.
- [38] R. Ritzenthaler; O. Faynot; C. Jahan; S. Cristoloveanu. Corner and coupling effects in multiple-gate fets. *Electrochemical Society Proceedings*, 2005-03:283–288, 2005.
- [39] J. P. Colinge; J. W. Park; W. Xiong. Threshold voltage and subthreshold slope of multiple-gate soi mosfets. *IEEE*, 24:515–517, 2003.
- [40] J. S. YUAN. *Semiconductor device physics and simulation*. Plenum, New York, 1998.
- [41] A.; GARCIA-SANCHEZ F. LIOU, J. J.; ORTIZ-CONDE. *Analysis and design of MOS-FETs: modeling, simulation and parameter extraction*. Kluwer Academic Publishers, Boston, 1998.
- [42] Silvaco. *Atlas User's Manual - Device Simulation Software*. Silvaco International, Santa Clara, CA, 5.10.r ed., Abril 2006.
- [43] Silvaco. *DeckBuild User's Manual*. Silvaco International, Santa Clara, CA, Junho 2006.
- [44] Silvaco. *DevEdit User's Manual*. Silvaco International, Santa Clara, CA, 2.8.r ed., Março 2006.
- [45] Bruce.; Neves Hércules Pereira trad.; Pertence Júnior Antônio rev. tec. HANSELMAN, Duane C.; LITTLEFIELD. *MATLAB: Versão do estudante : guia do usuário*. Makron, São Paulo; Rio de Janeiro, 1997.
- [46] Andrew James. KNIGHT. *Basics of MATLAB and beyond*. Chapman Hall, Boca Raton, Florida, 2000.
- [47] Bruce HANSELMAN, Duane C.; LITTLEFIELD. *The Student edition of MATLAB version 4*. N. J. Prentice-Hall, 1995.
- [48] Jamal T. MANASSAH. *Elementary mathematical and computational tools for electrical and computer engineers using MATLAB*. Boca Raton, Florida, 2001.

- [49] Laurene V. FAUSETT. *Applied numerical analysis using MATLAB*. Prentice-Hall, Upper Saddle River, New Jersey, 1999.
- [50] Robert O. Harger. *An Introduction to digital signal processing with Mathcad*. PWS, Boston, 1999.
- [51] Rodrigo. COSTA, Marcello Nitz da; GALHA. *Calcule com Mathcad*. Érica, São Paulo, 2003.
- [52] Tom Phoenix Randal L. Schwartz. *Learning Perl*. O'Reilly Associates, Inc., Sebastopol, CA, 3rd ed., 2005.
- [53] Renato Giacomini; João Antonio Martino. Trapezoidal cross-sectional influence on finfet threshold voltage and corner effects. *Journal of the Electrochemical Society*, 155(4):H213–H217, 2008.
- [54] Antonio Cerdeira; O. Moldovan; Benjamín Iñiguez; Magali Estrada. Modeling of potentials and threshold voltage for symmetric doped double-gate mosfets. *Solid-State Electronics*, 52:830–837, 2007.
- [55] Antonio Cerdeira; Benjamín Iñiguez; Magali Estrada. Compact model for short channel symmetric doped double-gate mosfets. *Solid-State Electronics*, 52:1064–1070, 2008.

Apêndice 1

Abaixo esta descrito o exemplo de código fonte de entrada para simulação de um dos dispositivos de canto seco:

```
go atlas
```

```
mesh three.d space.mult=1.0
x.mesh loc=-0.15 spac=0.05
x.mesh loc=-0.13 spac=0.05
x.mesh loc=-0.1  spac=0.002
x.mesh loc=0.00  spac=0.02
x.mesh loc=0.1   spac=0.002
x.mesh loc=0.13  spac=0.05
x.mesh loc=0.15  spac=0.05
```

```
y.mesh loc=0.263 spac=0.005
y.mesh loc=0.233 spac=0.005
y.mesh loc=0.230 spac=0.003
y.mesh loc=0.200 spac=0.010
y.mesh loc=0.100 spac=0.03
y.mesh loc=0.000 spac=0.03
```

```
z.mesh loc=-0.050 spac=0.025
z.mesh loc=-0.038 spac=0.025
z.mesh loc=-0.018 spac=0.025
z.mesh loc=-0.015 spac=0.0006
z.mesh loc=0.0    spac=0.0025
z.mesh loc=0.015  spac=0.0006
z.mesh loc=0.018  spac=0.025
z.mesh loc=0.038  spac=0.025
z.mesh loc=0.050  spac=0.025
```

```

region num=1 y.min=0.0   y.max=0.2 oxide
region num=2 x.min=-0.1  x.max=0.1  y.min=0.2  y.max=0.233 \\
z.min=-0.018  z.max=0.018 oxide
region num=3 x.min=-0.1  x.max=0.1  y.min=0.2  y.max=0.230 \\
z.min=-0.015  z.max=0.015 silicon
region num=4 x.min=-0.13 x.max=-0.1  y.min=0.2  y.max=0.230 \\
z.min=-0.015  z.max=0.015 silicon
region num=5 x.min=0.1   x.max=0.13 y.min=0.2  y.max=0.230 \\
z.min=-0.015  z.max=0.015 silicon

electrode name=gate   x.min=-0.1  x.max=0.1  y.min=0.233 y.max=0.263 \\
z.min=-0.018 z.max=0.018
electrode name=gate2  x.min=-0.1  x.max=0.1  y.min=0.200 y.max=0.263 \\
z.min=-0.038 z.max=-0.018
electrode name=gate3  x.min=-0.1  x.max=0.1  y.min=0.200 y.max=0.263 \\
z.min=0.018  z.max=0.038
electrode name=source x.min=-0.13 x.max=-0.13 y.min=0.2   y.max=0.23  \\
z.min=-0.015 z.max=0.015
electrode name=drain  x.min=0.13  x.max=0.13 y.min=0.2   y.max=0.23  \\
z.min=-0.015 z.max=0.015
electrode name=subst  x.min=-0.1  x.max=0.1  y.min=0     y.max=0     \\
z.min=-0.015 z.max=0.015

contact name=gate tungsten
contact name=gate2 tungsten common=gate
contact name=gate3 tungsten common=gate

doping  uniform conc=1e16 p.type  reg=3
doping  uniform conc=1e21 n.type  reg=4
doping  uniform conc=1e21 n.type  reg=5
interface qf=3e10 region=2

models srh auger bgn fldmob consrh kla shi
impact selb
method gummel newton trap maxtrap=10

```



```

solve init outf=TGH30Na1e16_init.str currents

#bias ramp
solve vgate=0
solve vgate=0.1
solve vgate=0.2
solve vgate=0.8

#bias ramp
solve vdrain=0
solve vdrain=0.1
solve vdrain=0.2

# ramp gate voltage
solve vdrain=0.1 outf=solveVGate1

#bias ramp
#solve vgate=0
#solve vgate=0.1
#solve vgate=0.3

load      infile=solveVGate1
log        outf=TGH30Na1e16_idvg_1.log
solve      name=gate vgate=0 vfinal=1.4 vstep=0.01

# extract device parameters
extract init inf="TGH30Na1e16_idvg_1.log"
$extract name="nvt" (xintercept(maxslope(curve \\\
(abs(v."gate"),abs(i."drain")))) - abs(ave(v."drain"))/2.0)$

quit

```

Apêndice 2

Abaixo esta descrito o exemplo de código fonte de entrada para simulação de um dos dispositivos de canto arredondado:

```
# Simulacao dispositivo SOI MOSFET - Triple Gate
go devedit simflags="-3d"

DevEdit version=2.6.17.R #

work.area x1=-0.5 y1=-0.5 x2=0.5 y2=0.5

region reg=1 name=gate mat=Polysilicon elec.id=1 work.func=0 \
color=0xffff00 pattern=0x5 z1=-0.1 z2=0.1 polygon="0.04,-0.07 \
0.04,0 0.028,0 0.025,0 -0.025,0 -0.028,0 -0.04,0 -0.04,-0.07"
#
constr.mesh region=1 default

region reg=2 name=oxidechannel mat=SiO~2 color=0xff \
pattern=0x2 z1=-0.12 z2=0.12 polygon="0.0235,-0.053 \
0.0245,-0.0528 0.025,-0.0526 0.0255,-0.0523 0.0263,-0.0517 \
0.0267,-0.0513 0.0273,-0.0505 0.0276,-0.05 0.0278,-0.0495 0.028,-0.0485 "\
"0.028,0 0.025,0 -0.025,0 -0.028,0 -0.028,-0.0485 -0.0278,-0.0495 \
-0.0276,-0.05 -0.0273,-0.0505 -0.0267,-0.0513 -0.0263,-0.0517 "\
"-0.0255,-0.0523 -0.025,-0.0526 -0.0245,-0.0528 -0.0235,-0.053" \
#
constr.mesh region=2 default

region reg=3 name=channel mat=Silicon color=0xffcc00 pattern=0x4
z1=-0.14 z2=0.14 polygon="0.0205,-0.05 0.0215,-0.0498 0.022,-0.0496
0.0225,-0.0493 0.0233,-0.0487 0.0237,-0.0483 0.0243,-0.0475
0.0246,-0.047 0.0248,-0.0465 0.025,-0.0455 "0.025,0 -0.025,0
```

```

-0.025,-0.0455 -0.0248,-0.0465 -0.0246,-0.047 -0.0243,-0.0475
-0.0237,-0.0483 -0.0233,-0.0487 -0.0225,-0.0493 -0.022,-0.0496 "\
"-0.0215,-0.0498 -0.0205,-0.05"
#
constr.mesh region=3 default max.angle=90 max.ratio=4 \
max.height=0.002 max.width=0.002 min.height=0.0005 \
min.width=0.0005

region reg=4 name=box mat=SiO~2 color=0xff
pattern=0x2 z1=-0.16 z2=0.16 \
polygon="-0.07,0 -0.02,0 -0.028,0 -0.025,0
0.025,0 0.028,0 0.02,0 0.07,0 0.07,0.2 -0.07,0.2"
#
constr.mesh region=4 default

region reg=5 name=drain mat=Silicon elec.id=2 work.func=0
color=0xffc8c8 pattern=0x7 z1=-0.16 z2=-0.14 \
polygon="0.0205,-0.05 0.0215,-0.0498 0.022,-0.0496 0.0225,-0.0493
0.0233,-0.0487 0.0237,-0.0483 0.0243,-0.0475 0.0246,-0.047 0.0248,-0.0465
0.025,-0.0455 0.025,0 -0.025,0 -0.025,-0.0455 -0.0248,-0.0465 -0.0246,-0.047
-0.0243,-0.0475 -0.0237,-0.0483 -0.0233,-0.0487 -0.0225,-0.0493 -0.022,-0.0496 "\
"-0.0215,-0.0498 -0.0205,-0.05"
#
constr.mesh region=5 default

region reg=6 name=source mat=Silicon elec.id=3 work.func=0 color=0xffc8c8
pattern=0x7 z1=0.14 z2=0.16 polygon="0.0205,-0.05 0.0215,-0.0498 0.022,-0.0496
0.0225,-0.0493 0.0233,-0.0487 0.0237,-0.0483 0.0243,-0.0475 0.0246,-0.047
0.0248,-0.0465 0.025,-0.0455 0.025,0 -0.025,0 -0.025,-0.0455 -0.0248,-0.0465
-0.0246,-0.047 -0.0243,-0.0475 -0.0237,-0.0483 -0.0233,-0.0487 -0.0225,-0.0493
-0.022,-0.0496 -0.0215,-0.0498 -0.0205,-0.05
#
constr.mesh region=6 default
# Set Meshing Parameters
#

```

```

base.mesh height=1 width=1
#
bound.cond !apply max.slope=40 max.ratio=3 rnd.unit=0.0001
line.straightening=1 !align.points when=automatic
#
imp.refine min.spacing=0.02 z=0
#
constr.mesh max.angle=90 max.ratio=300 max.height=10000 \
max.width=10000 min.height=0.0001 min.width=0.0001
#
constr.mesh type=Semiconductor default
#
constr.mesh type=Insulator default
#
constr.mesh type=Metal default
#
constr.mesh type=Other default
#
constr.mesh region=1 default
#
constr.mesh region=2 default
#
constr.mesh region=3 default max.angle=90 max.ratio=4 \
max.height=0.002 max.width=0.002 min.height=0.0005 \
min.width=0.0005
#
constr.mesh region=4 default
#
constr.mesh region=5 default
#
constr.mesh region=6 default
#
Mesh Mode=MeshBuild
#
z.plane max.spacing=0 max.ratio=1.5

```

```

#
base.mesh height=1 width=1
#
bound.cond !apply max.slope=40 max.ratio=3 rnd.unit=0.0001
line.straightening=1 !align.points when=automatic
#
#
#
z.plane z=-0.16 spacing=0.01
z.plane z=0.16 spacing=0.01
#
z.plane max.spacing=1000000 max.ratio=1.5

#####
go atlas

electrode name=bulk bottom

# define the doping concentrations
doping region=3 p.type uniform conc=1e16
doping region=3 n.type uniform conc=1e21 z.min=-0.14 z.max=-0.1
doping region=3 n.type uniform conc=1e21 z.min=0.1 z.max=0.14
doping region=5 n.type uniform conc=1e21
doping region=6 n.type uniform conc=1e21
interface qf=3e10 region=2
#save      outf=TGH50_R10pc_Na1e16.str

***** select models *****
models srh auger bgn fldmob consrh fnord bbt.kl kla shi
#impact selb
method gummel newton trap maxtrap=10

#solve init outf=TGH50_R10pc_Na1e16_init.str currents

#bias ramp

```

```

solve vgate=0
solve vgate=0.1
solve vgate=0.2
solve vgate=0.3

#***** saida de arquivo em Vth *****
#solve vgate=0.33 outf=TGH50_R10pc_Na1e16_vth.str currents

#***** Do IdVd *****
#solve vgate=0.1 outf=solveVDrain1
#solve vgate=0.5 outf=solveVDrain2

#bias ramp
#solve vdrain=0
#solve vdrain=0.1
#solve vdrain=0.2

#load      infile=solveVDrain1
#log       outf=TGH50_R10pc_Na1e16_idvd_1.log
#solve     name=drain vdrain=0 vfinal=2 vstep=0.01

#load      infile=solveVDrain2
#log       outf=TGH50_R10pc_Na1e16_idvd_2.log
#solve     name=drain vdrain=0 vfinal=2 vstep=0.2

#***** Do IdVg *****
#bias ramp
solve vdrain=0
solve vdrain=0.1
solve vdrain=0.2

# ramp gate voltage
solve vdrain=0.1 outf=solveVGate1

load      infile=solveVGate1

```

```

log          outf=TGH50_R10pc_Na16_idvg_1.log
solve        name=gate vgate=0 vfinal=2 vstep=0.01

# extract device parameters
extract init inf="TGH50_R10pc_Na16_idvg_1.log"
extract name="nvt" (xintercept(maxslope(curve(abs(v."gate"),abs(i."drain")))) \
- abs(ave(v."drain"))/2.0)
extract name="nbeta" slope(maxslope(curve(abs(v."gate"),abs(i."drain")))) \
* (1.0/abs(ave(v."drain")))
extract name="ntheta" ((max(abs(v."drain")) * $"nbeta")/max(abs(i."drain"))) \
- (1.0 / (max(abs(v."gate")) - ($"nvt")))

quit

```