

CENTRO UNIVERSITÁRIO FEI
PAULO RODRIGUES DA SILVA

**SIMULAÇÃO ANALÍTICA DE ESPELHOS DE CORRENTE UTILIZANDO
ASSOCIAÇÃO SÉRIE DE TRANSISTORES SOI NMOSFET**

São Bernardo do Campo

2020

PAULO RODRIGUES DA SILVA

**SIMULAÇÃO ANALÍTICA DE ESPELHOS DE CORRENTE UTILIZANDO
ASSOCIAÇÃO SÉRIE DE TRANSISTORES SOI NMOSFET**

Dissertação de Mestrado apresentada ao Centro
Universitário FEI, como parte dos requisitos
necessários para obtenção do título de Mestre
em Engenharia Elétrica. Orientado pela Profa.
Dra. Michelly de Souza.

São Bernardo do Campo

2020

Rodrigues da Silva, Paulo.

Simulação analítica de espelhos de corrente utilizando associação série de transistores SOI nMOSFET / Paulo Rodrigues da Silva. São Bernardo do Campo, 2020.

135 f. : il.

Dissertação - Centro Universitário FEI.

Orientadora: Prof.^a Dra. Michelly de Souza.

1. SOI nMOSFET. 2. Associação Série de Transistores. 3. Espelho de Corrente. 4. Simulação Analítica. 5. Circuito Analógico. I. Souza, Michelly de , orient. II. Título.



APRESENTAÇÃO DE DISSERTAÇÃO ATA DA BANCA EXAMINADORA

Programa de Pós-Graduação Stricto Sensu em Engenharia Elétrica

Mestrado

PGE-10

Aluno: Paulo Rodrigues da Silva

Matrícula: 118118-9

Título do Trabalho: Simulação analítica de espelhos de corrente utilizando associação série de transistores soi nmosfet.

Área de Concentração: Nanoeletrônica e Circuitos Integrados

Orientador: Profª Drª Michelly de Souza

Data da realização da defesa: 09/09/2020

ORIGINAL ASSINADA

Avaliação da Banca Examinadora:

São Bernardo do Campo, 09 de Setembro de 2020.

MEMBROS DA BANCA EXAMINADORA

Profª Drª Michelly de Souza

Ass.: _____

Prof. Dr. Rodrigo Trevisoli Doria

Ass.: _____

Profª Drª Bruna Cardoso Paz

Ass.: _____

A Banca Julgadora acima-assinada atribuiu ao aluno o seguinte resultado:

APROVADO

REPROVADO

VERSÃO FINAL DA DISSERTAÇÃO

**APROVO A VERSÃO FINAL DA DISSERTAÇÃO EM QUE
FORAM INCLUÍDAS AS RECOMENDAÇÕES DA BANCA
EXAMINADORA**

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz

A Deus, à minha querida mãe e esposa.

AGRADECIMENTOS

A Deus pela graça da vida, por permitir saúde física e mental necessárias para realizar as atividades ao longo deste trabalho.

À minha ilustríssima orientadora, Profa. Dra. Michelly de Souza, por todos conselhos e diretrizes durante cada etapa deste trabalho. Agradeço a imensurável atenção, paciência, confiança e amizade proporcionada.

Aos professores, Dr. Rodrigo Alves de Lima Moreto, Dr. Rodrigo Trevisoli Doria e Dr. Salvador Pinillos Gimenez, pelos ensinamentos, revisões e apoio.

Ao Centro Universitário FEI, por disponibilizar toda infraestrutura e recursos fundamentais necessários para à realização das atividades de pesquisa.

À minha querida esposa e companheira Glaucia Pazini, pelo incentivo incondicional e paciência durante todo o período que me dediquei aos estudos.

À minha amável mãe Severina Lima, pelas orações e apoio em minhas escolhas.

Aos colegas de pesquisa, pela colaboração, ensinamentos e compartilhamento de conhecimento.

A todos que diretamente ou indiretamente me ajudaram e contribuíram com o desenvolvimento deste trabalho.

“Lutemos por um mundo novo... um mundo bom que a todos assegura o ensejo de trabalho, que dê futuro a juventude e segurança à velhice”

Charlie Chaplin

RESUMO

Este trabalho apresenta uma análise das vantagens da utilização de associação série simétrica (S-SC) e assimétrica (A-SC) de SOI nMOSFETs em relação ao transistor SOI MOSFET isolado (ST) em blocos analógicos básicos. Além de apresentar as características do amplificador com um único transistor, são estudados espelhos de corrente com diferentes arquiteturas. O estudo e avaliação dos resultados destes blocos analógicos básicos foram realizados através das características elétricas obtidas a partir de simulações de circuitos do tipo SPICE, utilizando o programa ICAP/4. Inicialmente, os parâmetros do modelo foram ajustados com o propósito de obter características dos dispositivos simulados semelhantes às características dos dispositivos caracterizados experimentalmente. Após os ajustes iniciais, foram simuladas as associações séries simétricas (S-SC – *Symmetric Self-Cascode*, associação de dois transistores com tensões de limiar idênticas) e associações séries assimétricas (A-SC – *Asymmetric Self-Cascode*, associação de dois transistores com tensões de limiar diferentes) de SOI nMOSFETs. São apresentadas as características de corrente do dreno (I_{DS}), transcondutância (g_m), condutância de saída (g_D), Tensão Early (V_{EA}), ganho de tensão de malha aberta e relação g_m/I_{DS} em função das tensões aplicadas aos terminais dos dispositivos isolados e compostos (associações simétricas e assimétricas) com diferentes dimensões. Em seguida, as associações séries e os transistores isolados (ST – *Single Transistor*) foram utilizados na simulação de espelhos de corrente na configuração fonte comum e o transistor isolado com as arquiteturas Cascode e Wilson, a fim de verificar o desempenho da estrutura composta. Foi verificado que os espelhos de corrente utilizando a associação S-SC apresentaram um comportamento semelhante ao dos espelhos de corrente formados por SOI MOSFET ST, com o mesmo comprimento de canal. Comprovou-se que a associação A-SC possui um melhor desempenho elétrico em relação à associação S-SC e o ST em espelho de corrente fonte comum, como também, em relação às arquiteturas Cascode e Wilson usando transistor isolado, nas regiões de inversão fraca e moderada, devido à menor condutância de saída e, conseqüentemente, maior tensão Early.

Palavras-chave: SOI nMOSFET. Associação Série de Transistores. Espelho de Corrente. Simulação Analítica. Circuito Analógico.

ABSTRACT

This work presents an analysis of the advantages of symmetric (S-SC) and asymmetric (A-SC) self-cascode associations of nMOSFETs in relation to a single transistor (ST) SOI MOSFET by means of analytical simulations of basic analog blocks. Besides presenting the characteristics of a single transistor amplifier, current mirrors with different architectures are studied. The study and evaluation of these analog blocks were performed based on electrical characteristics obtained from SPICE circuits simulations, using ICAP/4 software. Initially, model parameters were adjusted to fit experimental data, to ensure simulated devices characteristics similar to the real ones. After these adjustments, symmetric self-cascode (association of two transistors with identical threshold voltages) and asymmetric self-cascode (association of two transistors with different threshold voltages) of SOI nMOSFETs were simulated at device level. Electrical parameters such as drain current (I_{DS}), transconductance (g_m), output conductance (g_D), Early voltage (V_{EA}), open loop gain voltage and g_m/I_{DS} ratio are presented as a function of the voltage applied to single transistor terminals and composite device (symmetric and asymmetric associations) with different dimensions. Then, the series associations and the single transistors (ST) were used in current mirrors circuits in Common-Source and single transistor in Cascode and Wilson architectures to verify the composed structure performance. It has been verified that current mirror using association S-SC present electrical behavior similar to the current mirror formed by SOI MOSFET ST, with the same channel length. It has been observed that the association A-SC features better electric performance in relation to the S-SC and ST in common-source current mirror, as well, in relation to Cascode and Wilson architectures using single transistors, in weak and moderate inversion regions, due to the better output conductance and, consequently, the higher Early voltage.

Keywords: SOI nMOSFET. Self-cascode Transistors. Current Mirror. Analytical Simulation. Analog Circuit.

LISTA DE ILUSTRAÇÕES

Figura 1 - Perfil transversal de um SOI nMOSFET.	27
Figura 2 - Diagramas de faixas de energia para MOSFET convencional (A), SOI MOSFET de camada fina (B) e SOI MOSFET de camada espessa (C).	29
Figura 3 - Curvas das diversas componentes que compõem a mobilidade dos elétrons independentem de qualquer campo elétrico em função da temperatura, para um substrato de silício tipo p dopado com $N_A = 1.10^{17} \text{cm}^{-3}$	37
Figura 4 - Mobilidade de elétrons independente de campo elétrico em função da temperatura, para substrato de silício p e diferentes concentrações de dopantes.....	37
Figura 5 - Distribuição das cargas de depleção em transistores MOS convencional (A) e SOI de camada fina (B) de canal longo (esquerda) e canal curto (direita).	40
Figura 6 - Amplificador de tensão com único transistor SOI MOSFET.	41
Figura 7 - Determinação da tensão Early através de extrapolação das curvas de corrente de dreno na saturação em função da tensão de dreno.	42
Figura 8 - Representação esquemática da razão g_m/I_{DS} para SOI MOSFET convencional e SOI MOSFET de camada fina operando em saturação.....	45
Figura 9 - Espelho de corrente em configuração fonte comum.....	46
Figura 10 - Modelo equivalente para pequenos sinais do espelho de corrente fonte comum. .	47
Figura 11 - Espelho de corrente em configuração Cascode.	51
Figura 12 - Modelo de pequenos sinais do espelho de corrente equivalente à arquitetura Cascode.	52
Figura 13 - Espelho de corrente em configuração Wilson.	53
Figura 14 - Modelo de pequenos sinais do espelho de corrente equivalente à arquitetura Wilson.	54
Figura 15 - Esquemático de uma associação série de SOI MOSFETs.....	55
Figura 16 - Perfil transversal de uma associação série simétrica.	56
Figura 17 - Perfil transversal de uma associação série assimétrica.	57
Figura 18 - (A) Corrente de dreno e (B) transcondutância em função da sobretensão de limiar medidas para transistor isolado, A-SC e S=SC, com tensão de polarização $V_{DS} = 50 \text{ mV}$	58
Figura 19 - Corrente de dreno e transcondutância em função da sobretensão de limiar medidas para transistor isolado, associação simétrica e assimétrica, com tensão de polarização $V_{DS} = 1,50 \text{ V}$	58

Figura 20 - (A) Corrente de dreno e (B) condutância de saída em função da tensão de dreno medidas para transistor isolado, associação simétrica e assimétrica, com sobretensão de limiar $V_{GT} = 200$ mV.....	59
Figura 21 - Corrente de dreno em função da tensão de porta ($L = 1$ μm e 2 μm , $V_{DS} = 50$ mV, $N_A = 1.10^{17}$ cm^{-3}).	64
Figura 22 - Transcondutância em função da tensão de porta ($L=1$ μm e 2 μm , $V_{DS} = 50$ mV, $N_A = 1.10^{17}$ cm^{-3}).	65
Figura 23 - Corrente de dreno em função da tensão de porta ($L = 1$ μm , $V_{DS} = 50$ mV, 500 mV, 1 V e $1,5$ V, $N_A = 1.10^{17}$ cm^{-3}).	66
Figura 24 - Corrente de dreno em função da tensão de porta ($L = 2$ μm , $V_{DS} = 50$ mV, 500 mV, 1 V e $1,5$ V, $N_A = 1.10^{17}$ cm^{-3}).	66
Figura 25 - Transcondutância em função da tensão de porta ($L = 1$ μm , $V_{DS} = 50$ mV, 500 mV, 1 V e $1,5$ V, $N_A = 1.10^{17}$ cm^{-3}).	67
Figura 26 - Transcondutância em função da tensão de porta ($L = 2$ μm , $V_{DS} = 50$ mV, 500 mV, 1 V e $1,5$ V, $N_A = 1.10^{17}$ cm^{-3}).	68
Figura 27 - Razão g_m/I_{DS} em função da corrente de dreno ($L = 1$ μm , $V_{DS} = 1,5$ V, $N_A = 1.10^{17}$ cm^{-3}).	69
Figura 28 - Razão g_m/I_{DS} em função da corrente de dreno ($L = 2$ μm , $V_{DS} = 1,5$ V, $N_A = 1.10^{17}$ cm^{-3}).	69
Figura 29 - Corrente de dreno em função da tensão de dreno ($L = 1$ μm , $V_{GT} = -200$ mV, 0 V e 200 mV, $N_A = 1.10^{17}$ cm^{-3}).	70
Figura 30 - Corrente de dreno em função da tensão de dreno ($L = 2$ μm , $V_{GT} = -200$ mV, 0 V e 200 mV, $N_A = 1.10^{17}$ cm^{-3}).	71
Figura 31 - Condutância de saída em função da tensão de dreno ($L = 1$ μm , $V_{GT} = -200$ mV, 0 V e 200 mV, $N_A = 1.10^{17}$ cm^{-3}).	72
Figura 32 - Condutância de saída em função da tensão de dreno ($L = 2$ μm , $V_{GT} = -200$ mV, 0 V e 200 mV, $N_A = 1.10^{17}$ cm^{-3}).	72
Figura 33 - Tensão Early em função da tensão de dreno ($L = 1$ μm , $N_A = 1.10^{17}$ cm^{-3}).	73
Figura 34 - Corrente de dreno em função da tensão de porta ($L = 1$ μm e $L = 2$ μm , $V_{DS} = 100$ mV, $N_A=1.10^{15}$ cm^{-3}).	74
Figura 35 - Transcondutância em função da tensão de porta ($L = 1$ μm e $L = 2$ μm , $V_{DS} = 100$ mV, $N_A = 1.10^{15}$ cm^{-3}).	75
Figura 36 - Corrente de dreno em função da tensão de porta ($L = 1$ μm , $V_{DS} = 100$ mV, 800 mV e $1,5$ V, $N_A = 1.10^{15}$ cm^{-3}).	76

Figura 37 - Corrente de dreno em função da tensão de porta ($L = 2 \mu\text{m}$, $V_{\text{DS}} = 100 \text{ mV}$, 800 mV e $1,5 \text{ V}$, $N_{\text{A}} = 1.10^{15} \text{ cm}^{-3}$).....	76
Figura 38 - Transcondutância em função da tensão de porta ($L = 1 \mu\text{m}$, $V_{\text{DS}} = 100 \text{ mV}$, 800 mV e $1,5 \text{ V}$, $N_{\text{A}} = 1.10^{15} \text{ cm}^{-3}$).....	77
Figura 39 - Transcondutância em função da tensão de porta ($L = 2 \mu\text{m}$, $V_{\text{DS}} = 100 \text{ mV}$, 800 mV e $1,5 \text{ V}$, $N_{\text{A}} = 1.10^{15} \text{ cm}^{-3}$).....	77
Figura 40 - Razão $g_{\text{m}}/I_{\text{DS}}$ em função da corrente de dreno ($L = 1 \mu\text{m}$, $V_{\text{DS}} = 1,5 \text{ V}$, $N_{\text{A}} = 1.10^{15} \text{ cm}^{-3}$).....	78
Figura 41 - Razão $g_{\text{m}}/I_{\text{DS}}$ em função da corrente de dreno ($L = 2 \mu\text{m}$, $V_{\text{DS}} = 1,5 \text{ V}$, $N_{\text{A}} = 1.10^{15} \text{ cm}^{-3}$).....	79
Figura 42 - Corrente de dreno em função da tensão de dreno ($L = 1 \mu\text{m}$, $V_{\text{GT}} = -200 \text{ mV}$, 0 V e 200 mV , $N_{\text{A}} = 1.10^{15} \text{ cm}^{-3}$).....	80
Figura 43 - Corrente de dreno em função da tensão de dreno ($L = 2 \mu\text{m}$, $V_{\text{GT}} = -200 \text{ mV}$, 0 V e 200 mV , $N_{\text{A}} = 1.10^{15} \text{ cm}^{-3}$).....	80
Figura 44 - Condutância de saída em função da tensão de dreno ($L = 1 \mu\text{m}$, $V_{\text{GT}} = -200 \text{ mV}$, 0 V e 200 mV , $N_{\text{A}} = 1.10^{15} \text{ cm}^{-3}$).....	81
Figura 45 - Condutância de saída em função da tensão de dreno ($L = 2 \mu\text{m}$, $V_{\text{GT}} = -200 \text{ mV}$, 0 V e 200 mV , $N_{\text{A}} = 1.10^{15} \text{ cm}^{-3}$).....	82
Figura 46 - Tensão Early em função da tensão de dreno ($L = 1 \mu\text{m}$, $N_{\text{A}} = 1.10^{15} \text{ cm}^{-3}$).....	83
Figura 47 - Corrente de dreno em função da tensão de porta para transistor isolado, associação série simétrica e assimétrica ($V_{\text{DS}} = 50 \text{ mV}$).....	85
Figura 48 - Transcondutância em função da tensão de porta para transistor isolado, associação série simétrica e assimétrica ($V_{\text{DS}} = 50 \text{ mV}$).....	86
Figura 49 - Corrente de dreno em função da tensão de porta para transistor isolado, associação série simétrica e assimétrica ($V_{\text{DS}} = 1,5 \text{ V}$).....	86
Figura 50 - Transcondutância em função da tensão de porta para transistor isolado, associação série simétrica e assimétrica ($V_{\text{DS}} = 1,5 \text{ V}$).....	87
Figura 51 - Razão $g_{\text{m}}/I_{\text{DS}}$ em função da tensão de porta para transistor isolado, associação série simétrica e assimétrica ($V_{\text{DS}} = 1,5 \text{ V}$).....	88
Figura 52 - Corrente de dreno em função da tensão de polarização de dreno para ST, A-SC e S-SC ($A = V_{\text{GT}} = -200 \text{ mV}$; $B = V_{\text{GT}} = 0 \text{ V}$ e $C = V_{\text{GT}} = 200 \text{ mV}$).....	90
Figura 53 - Condutância de saída em função da tensão de polarização de dreno para ST, A-SC e S-SC ($A = V_{\text{GT}} = -200 \text{ mV}$, $B = V_{\text{GT}} = 0 \text{ V}$ e $C = V_{\text{GT}} = 200 \text{ mV}$).....	91

Figura 54 - Tensão Early em função da tensão de dreno ($A = V_{GT} = -200$ mV, $B = V_{GT} = 0$ V e $C = V_{GT} = 200$ mV).....	93
Figura 55 - Transcondutância em função da sobretensão de condução da estrutura ST, S-SC e A-SC com polarização de dreno $V_{DS} = 1,5$ V.....	95
Figura 56 - Condutância de saída em função da sobretensão de condução da estrutura ST, S-SC e A-SC com polarização de dreno $V_{DS} = 1,5$ V.....	96
Figura 57 - Ganho de tensão intrínseco [dB] em função da sobretensão de condução da estrutura ST, S-SC e A-SC com polarização de dreno $V_{DS} = 1,5$ V.....	97
Figura 58 - Espelho de corrente configuração fonte comum.....	97
Figura 59 - Corrente de saída em função da tensão de saída do espelho de corrente fonte comum (ST $L = 2$ μ m e $L = 4$ μ m; SC $L_S = L_D = 2$ μ m).....	98
Figura 60 - Corrente de saída em função da tensão de saída do espelho de corrente fonte comum (ST $L = 1$ μ m e $L = 2$ μ m; SC $L_S = L_D = 1$ μ m).....	99
Figura 61 - Curvas da corrente de saída em função da tensão de saída, polarizadas com $I_{IN} = 1$ μ A e $I_{IN} = 10$ μ A para espelhos de corrente implementados com associação simétrica e assimétrica com L_S fixo e variação de L_D de 1 μ m até 3 μ m.	100
Figura 62 - Corrente de saída em função da tensão de saída do espelho de corrente Cascode e Wilson e com transistores isolados (CS ST $L = 1$ μ m, $L = 2$ μ m e $L = 4$ μ m; Cascode e Wilson $L = 2$ μ m).	101
Figura 63 - Precisão de espelhamento em função da tensão de saída com corrente de entrada $I_{IN} = 10$ μ A (CS ST $L = 1$ μ m, $L = 2$ μ m e $L = 4$ μ m; SC S-SC e A-SC $L_S = L_D = 2$ μ m; Cascode e Wilson $L = 2$ μ m).	103
Figura 64 - Precisão de Espelhamento em função da tensão de saída com corrente de entrada $I_{IN} = 100$ μ A (CS ST $L = 1$ μ m, $L = 2$ μ m e $L = 4$ μ m; SC S-SC e A-SC $L_S = L_D = 2$ μ m; Cascode e Wilson $L = 2$ μ m).	103
Figura 65 - Precisão de espelhamento em função da corrente de entrada com espelho de corrente implementados com S-SC e A-SC com L_S fixo e variação de L_D , simulados com $V_{OUT} = 1,5$ V.	105
Figura 66 - Precisão de Espelhamento em função da corrente de entrada (ST $L = 2$ μ m e $L = 4$ μ m; Variação de L_S e L_D para SC S-SC e A-SC, Cascode e Wilson $L = 2$ μ m)....	106
Figura 67 - Curvas da condutância de saída em função da tensão de saída com polarização de entrada $I_{IN} = 10$ μ A (CS ST $L = 1$ μ m, $L = 2$ μ m e $L = 4$ μ m; SC S-SC e A-SC $L_S = L_D = 2$ μ m; Cascode e Wilson $L = 2$ μ m).	107

Figura 68 - Curvas da condutância de saída em função da tensão de saída com polarização de entrada $I_{IN} = 100 \mu A$ (CS ST $L = 1 \mu m$, $L = 2 \mu m$ e $L = 4 \mu m$; SC S-SC e A-SC $L_S = L_D = 2 \mu m$; Cascode e Wilson $L = 2 \mu m$).	108
Figura 69 - Curvas da resistência de saída em função da tensão de saída polarizadas com $I_{IN} = 1 \mu A$ e $I_{IN} = 10 \mu A$ para espelhos de corrente implementados com S-SC e A-SC com L_S fixo e L_D variando de $1 \mu m$ até $3 \mu m$	109
Figura 70 - Resistência de saída em função da tensão de saída com $I_{IN} = 10 \mu A$ (CS ST $L = 1 \mu m$, $L = 2 \mu m$ e $L = 4 \mu m$; SC S-SC e A-SC $L_S = L_D = 2 \mu m$; Cascode e Wilson $L = 2 \mu m$).	110
Figura 71 - Resistência de saída em função da tensão de saída com $I_{IN} = 10 \mu A$ (CS ST $L = 1 \mu m$, $L = 2 \mu m$ e $L = 4 \mu m$; SC S-SC e A-SC $L_S = L_D = 2 \mu m$; Cascode e Wilson $L = 2 \mu m$).	111

LISTA DE TABELAS

Tabela 1 - Parâmetros do modelo utilizados para o ajuste aos dados experimentais.	61
Tabela 2 - Parâmetros do modelo ajustados aos dados experimentais.	63
Tabela 3 - Transcondutância, condutância de saída e ganho de tensão intrínseco com variação de V_{GT} e polarização de dreno $V_{DS} = 1,5$ V das estruturas ST, S-SC e A-SC.	94
Tabela 4 – Tabela da tensão de saturação para diferentes espelhos de corrente polarizados com $I_{IN} = 10$ nA, 1 μ A e 100 μ A.	104
Tabela 5 - Tabela da resistência de saída para diferentes espelhos de corrente polarizados com $I_{IN} = 10$ nA, 1 μ A e 100 μ A.	111

LISTA DE ABREVIATURAS E SIGLAS

A-SC	<i>Asymmetric Self-Cascode</i> (Associação Série Assimétrica)
CI	Circuito Integrado
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i> (Metal-Óxido-Semicondutor Complementar)
CS	<i>Common-source</i> (Fonte comum)
DIBL	<i>Drain-Induced Barrier Lowering</i> (Redução da Barreira Induzida pelo Dreno)
EC	Espelho de Corrente
FD	<i>Fully Depleted</i> (Totalmente Depletado)
H _D	<i>Highly Doped</i> (Fortemente Dopada)
L _D	<i>Lightly Doped</i> (Fracamente Dopada)
LPLV	<i>Low-Power Low-Voltage</i> (Baixa Potência Baixa Tensão)
M _D	Transistor Próximo ao Dreno
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i> (Transistor de Efeito de Campo Metal-Óxido-Semicondutor)
M _S	Transistor Próximo à Fonte
NFD	<i>Near-Fully Depleted</i> (Quase Totalmente Depletado)
PD	<i>Partially Depleted</i> (Parcialmente Depletado)
SOI	<i>Silicon-On-Insulator</i> (Silício-Sobre-Isolante)
S-SC	<i>Symmetric Self-Cascode</i> (Associação Série Simétrica)
ST	<i>Single Transistor</i> (Transistor Isolado)
UCLouvain	<i>Université catholique de Louvain</i> (Universidade católica de Louvain)

LISTA DE SÍMBOLOS

A_v	Ganho de tensão em malha aberta [dB]
BV_{DS}	Tensão de ruptura de dreno [V]
C_L	Capacitância de Carga [F]
C_{oxb}	Capacitância do óxido enterrado por unidade de área [F/cm^2]
C_{ox1}	Capacitância do óxido de porta da primeira interface do transistor MOS convencional por unidade de área [F/cm^2]
C_{ox2}	Capacitância do óxido de porta da segunda interface do transistor MOS convencional por unidade de área [F/cm^2]
C_{oxf}	Capacitância do óxido de porta por unidade de área [F/cm^2]
C_{Si}	Capacitância da camada de silício por unidade de área [F/cm^2]
d	Distância reduzida do comprimento de canal [nm]
E_C	Nível de energia inferior da faixa de condução [eV]
E_F	Nível de Fermi do semiconductor [eV]
E_{FB}	Nível de Fermi do substrato [eV]
E_{FM}	Nível de Fermi do eletrodo de porta [eV]
E_i	Nível intrínseco [eV]
E_v	Nível de energia superior da faixa de valência [eV]
f	Frequência [Hz]
f_T	Frequência de ganho de tensão unitário [Hz]
g_D	Condutância de dreno [S]
g_{DSAT}	Condutância de dreno na região de saturação [S]
g_{D1}	Condutância de dreno do transistor de entrada do espelho de corrente [S]
g_{D2}	Condutância de dreno do transistor de saída do espelho de corrente [S]
g_{DOUT}	Condutância de dreno do transistor de saída do espelho de corrente [S]
g_m	Transcondutância [S]
g_m/I_{DS}	Relação entre a transcondutância e a corrente de dreno do transistor MOS [V^{-1}]
h	Constante de Planck normalizada [$1,06 \cdot 10^{-34}$ J.s]
I_{bias}	Corrente de polarização [A]
I_{DS}	Corrente de dreno [A]
I_{IN}	Corrente de entrada do espelho de corrente [A]
I_{OUT}	Corrente de saída do espelho de corrente [A]
I_{OUT}/I_{IN}	Precisão de espelhamento [adimensional]

k	Constante de Boltzmann [$1,38 \cdot 10^{-23}$ J/K]
lc	Comprimento característico [μm]
L	Comprimento de canal [μm]
L _D	Comprimento de canal do transistor próximo ao dreno [μm]
L _{eff}	Comprimento efetivo de canal [μm]
L _{HD}	Comprimento da região fortemente dopada [μm]
L _{LD}	Comprimento da região fracamente dopada [μm]
L _S	Comprimento de canal do transistor próximo à fonte [μm]
L _{sat}	Comprimento da região saturada [μm]
m*	Massa de confinamento do portador na direção transversal [kg]
n	Fator de corpo
n _i	Concentração intrínseca de portadores do silício [cm^{-3}]
N _A	Concentração de impurezas aceitadoras da camada de silício [cm^{-3}]
P	Potência dissipada [W]
q	Carga elementar do elétron [$1,6 \cdot 10^{-19}$ C]
Q _{depl}	Densidade de cargas de depleção na camada de silício por unidade de área [C/cm^2]
Q _{inv}	Densidade de carga de inversão na interface região ativa/óxido de porta por unidade de área [C/cm^2]
Q _{oxb}	Densidade de cargas fixas no óxido enterrado por unidade de área [C/cm^2]
Q _{ox1}	Densidade de cargas fixas no óxido de porta da primeira interface do transistor MOS [C/cm^2]
Q _{ox2}	Densidade de cargas fixas no óxido de porta da segunda interface do transistor MOS [C/cm^2]
Q _{oxf}	Densidade de cargas fixas no óxido de porta por unidade de área [C/cm^2]
Q _{SB}	Densidade de cargas de acumulação ($Q_{SB} > 0$) ou inversão ($Q_{SB} < 0$) na interface região ativa/óxido enterrado por unidade de área [C/cm^2]
R	Resistência elétrica [Ω]
R _{OUT}	Resistência de saída do espelho de corrente [Ω]
R _S	Resistência série do transistor MOS [Ω]
S	Inclinação de sublimiar [mV/dec.]
t _{oxb}	Espessura do óxido enterrado [nm]
t _{oxf}	Espessura do dielétrico de porta [nm]
t _{Si}	Espessura da camada de silício [nm]

T	Temperatura absoluta [K]
v_{sat}	Velocidade de saturação dos portadores na camada de silício [$1,0 \cdot 10^7$ cm/s]
V_B	Tensão de substrato [V]
V_{BS}	Tensão aplicada entre substrato e fonte [V]
V_D	Tensão de dreno [V]
V_{DD}	Tensão de alimentação [V]
V_{DS}	Tensão aplicada entre dreno e fonte [V]
V_{EA}	Tensão Early [V]
V_{FB}	Tensão de faixa plana da estrutura MOS [V]
V_G	Tensão de porta [V]
V_{GS}	Tensão aplicada entre porta e fonte [V]
V_{GT}	Sobretensão de porta [V]
V_{IN}	Tensão de entrada [V]
V_{in+}	Tensão de entrada inversão [V]
V_{in-}	Tensão de entrada não inversão [V]
V_{OUT}	Tensão de saída [V]
V_S	Tensão de fonte [V]
V_{SAT}	Tensão de saturação [V]
V_{TH}	Tensão de limiar [V]
$V_{TH,D}$	Tensão de limiar do transistor próximo ao dreno [V]
$V_{TH,S}$	Tensão de limiar do transistor próximo à fonte [V]
V_X	Potencial do nó intermediário da associação série de transistores [V]
x_{dmax}	Profundidade máxima da região de depleção [μm]
x_{d1}	Profundidade da primeira região de depleção [μm]
x_{d2}	Profundidade da segunda região de depleção [μm]
W	Largura de canal [μm]
W_D	Largura de canal do transistor próximo ao dreno [μm]
α	Fator de acoplamento capacitivo do transistor MOS [adimensional]
ϵ_0	Permissividade elétrica do vácuo [$8,85 \cdot 10^{-14}$ F/cm]
ϵ_{ox}	Permissividade do óxido de silício [$3,45 \cdot 10^{-13}$ F/cm]
ϵ_{Si}	Permissividade do silício [$1,06 \cdot 10^{-12}$ F/cm]
η	Coefficiente parasitário [adimensional]
Φ_F	Potencial de Fermi [V]
Φ_{MS}	Diferença de função trabalho entre metal e silício do transistor MOS [V]

Φ_{MS1}	Diferença de função trabalho entre o metal de porta e a camada de silício [V]
Φ_{MS2}	Diferença de função trabalho entre o substrato e a camada de silício [V]
Φ_{S1}	Potencial de superfície da primeira interface do transistor SOI [V]
Φ_{S2}	Potencial de superfície da segunda interface do transistor SOI [V]
Φ_{OX1}	Potencial na interface da primeira porta [V]
Φ_{OX2}	Potencial na interface do substrato [V]
Φ_X	Potencial em uma determinada profundidade do silício [V]
θ	Coefficiente de degradação da mobilidade pelo campo elétrico transversal [V^{-1}]
λ	Coefficiente de modulação do comprimento de canal [V^{-1}]
μ_{cs}	Mobilidade dos portadores de carga móvel devido ao espalhamento por efeito Coulomb [$cm^2/V.s$]
μ_D	Mobilidade de baixo campo dos portadores de carga móvel do transistor próximo ao dreno [$cm^2/V.s$]
μ_{eff}	Mobilidade efetiva dos portadores de carga móvel [$cm^2/V.s$]
μ_{lat}	Mobilidade dos portadores de carga móvel nas paredes laterais do transistor de múltiplas portas [$cm^2/V.s$]
μ_n	Mobilidade efetiva dos elétrons na região do canal [$cm^2/V.s$]
μ_{ps}	Mobilidade dos portadores de carga móvel devido ao espalhamento de rede [$cm^2/V.s$]
μ_S	Mobilidade de baixo campo dos portadores de carga móvel do transistor próximo à fonte [$cm^2/V.s$]
τ	Constante de tempo de transição [s]
Φ_F	Potencial de Fermi [V]
Φ_{MSB}	Diferença entre as funções trabalho do substrato e da camada de silício [V]
Φ_{MSF}	Diferença entre as funções trabalho do metal de porta e da camada de silício [V]
Φ_{SB}	Potencial de superfície da interface região ativa/óxido enterrado [V]
Φ_{SF}	Potencial de superfície da interface região ativa/óxido de porta [V]

SUMÁRIO

1 INTRODUÇÃO	23
2 REVISÃO BIBLIOGRÁFICA	26
2.1 TECNOLOGIA SOI (SILÍCIO-SOBRE-ISOLANTE).....	26
2.1.1 Tipos de SOI MOSFETs	27
2.1.2 Vantagens dos SOI MOSFETs totalmente depletados.....	29
2.2 CARACTERÍSTICAS ELÉTRICAS DOS TRANSISTORES MOS DE EFEITO DE CAMPO.....	31
2.2.1 Tensão de Limiar	31
2.2.2 Inclinação Sublimiar	33
2.2.3 Mobilidade.....	34
2.2.4 Efeitos de Canal curto	38
2.3 CARACTERÍSTICAS ANALÓGICAS.....	41
2.3.1 Condutância de dreno e tensão Early	42
2.3.2 Transcondutância e razão da g_m/I_{DS}	43
2.4 ESPELHOS DE CORRENTE	45
2.4.1 Espelho de corrente fonte comum.....	46
2.4.2 Precisão de espelhamento	47
2.4.3 Resistência de saída	50
2.4.4 Outras Arquiteturas de Espelhos de Corrente	50
2.4.4.1 <i>Espelho de corrente Cascode</i>	51
2.4.4.2 <i>Espelho de corrente Wilson</i>	53
2.5 ASSOCIAÇÃO SÉRIE DE TRANSISTORES SOI MOSFET.....	55
2.5.1 Associação Série Simétrica de SOI MOSFETs	56
2.5.2 Associação Série Assimétrica de SOI MOSFETs	57
3 CALIBRAÇÃO DOS PARÂMETROS DAS SIMULAÇÕES	60
3.1. MODELO ANALÍTICO E PARÂMETROS	60

3.2 TRANSISTORES COM ALTA CONCENTRAÇÃO DE DOPANTES	63
3.3 TRANSISTORES COM BAIXA CONCENTRAÇÃO DE DOPANTES	73
4 RESULTADOS SIMULADOS	84
4.1 ASSOCIAÇÕES SÉRIE DE TRANSISTORES	84
4.2 ESPELHO DE CORRENTE FONTE COMUM COM ST, S-SC E A-SC.....	97
4.3 ESPELHO DE CORRENTE CASCODE E WILSON.....	100
4.4 PRECISÃO DE ESPELHAMENTO.....	101
4.5 RESISTÊNCIA DE SAÍDA	106
5 CONCLUSÕES	112
REFERÊNCIAS	114
APÊNDICE A – AJUSTE DE CURVA I_{DS} x V_{GS} COM ALTA CONCENTRAÇÃO DE DOPANTES.....	123
APÊNDICE B – AJUSTE DE CURVA I_{DS} x V_{DS} COM ALTA CONCENTRAÇÃO DE DOPANTES.....	124
APÊNDICE C – SIMULAÇÃO DE CURVA I_{DS} x V_{GS} COM ASSOCIAÇÃO SÉRIE ASSIMÉTRICA	125
APÊNDICE D – SIMULAÇÃO DE CURVA I_{DS} x V_{DS} COM ASSOCIAÇÃO SÉRIE ASSIMÉTRICA	126
APÊNDICE E – SIMULAÇÃO DE CURVA I_{OUT} x V_{OUT} DE ESPELHO DE CORRENTE COM ASSOCIAÇÃO SÉRIE ASSIMÉTRICA.....	127
APÊNDICE F – SIMULAÇÃO DE CURVA I_{OUT} x V_{OUT} DE ESPELHO DE CORRENTE COM ASSOCIAÇÃO SÉRIE SIMÉTRICA.....	128
APÊNDICE G – SIMULAÇÃO DE CURVA I_{OUT} x V_{OUT} DE ESPELHO DE CORRENTE COM ARQUITETURA CASCODE	129
APÊNDICE H – SIMULAÇÃO DE CURVA I_{OUT} x V_{OUT} DE ESPELHO DE CORRENTE COM ARQUITETURA WILSON	130
APÊNDICE I – ARTIGO PUBLICADO NO PERIÓDICO JICS.....	131

1 INTRODUÇÃO

A tecnologia silício sobre isolante (*Silicon-On-Insulator* – SOI) consiste em uma alternativa à tecnologia metal óxido semiconductor (*Metal-Oxide-Semiconductor* – MOS) convencional no desenvolvimento de circuitos integrados (CIs) de altíssima escala de integração (*Ultra Large Scale Integration* – ULSI), tanto para CIs digitais quanto analógicos e mistos [1]. Dispositivos desenvolvidos na tecnologia SOI possuem multicamadas projetadas com semicondutores e estruturas dielétricas, na qual uma camada isolante separa uma fina camada de silício, onde são construídos os transistores, do restante do substrato [1]. Esta camada isolante, promove isolamento intrínseca entre substrato e os circuitos, permitindo a fabricação de componentes com dimensões menores quando comparados à tecnologia MOS convencional (*Bulk*) [1].

As indústrias de semicondutores iniciaram a fabricação e comercialização de circuitos utilizando a tecnologia SOI na década de 90 [2, 3, 4], confirmando a expectativa da comunidade científica de que a tecnologia SOI seria uma alternativa viável à tecnologia MOS convencional. Atualmente, CIs com alta complexidade, como microprocessadores [5, 6, 7, 8] e memórias de alta densidade [9], são fabricados em tecnologia SOI MOSFET pelas principais empresas de semicondutores do mundo, como Sony, *Advanced Micro Devices* (AMD), *International Business Machines* (IBM), entre outras [10]. A possibilidade de redução das dimensões de transistores na tecnologia SOI MOSFET em relação ao dispositivo MOS em lâmina convencional surgiu como uma grande vantagem para projetos que requerem menores dimensões de dispositivos. Outros benefícios já estudados entre as tecnologias SOI MOSFET em comparação com MOS convencional [11] são descritos abaixo:

- a) Menor número de etapas de fabricação [11];
- b) Menor efeito de canal curto [12] [13];
- c) Menor consumo e eliminação do efeito parasitário *latch-up* [14];
- d) Melhor inclinação de sublimiar [15];
- e) Menor capacitância de junção [16].

Além das vantagens citadas acima, a operação de SOI MOSFET em CIs analógicos apresenta vantagens adicionais, como a melhor razão entre a transcondutância e a corrente de dreno e a atenuação do campo elétrico transversal [17, 18, 19]. Entretanto, como desvantagem,

apresentam baixa condutividade térmica, devido à presença do óxido enterrado, que funciona como um isolante térmico, dificultando a dissipação do calor gerado devido à passagem de corrente elétrica. Este efeito, denominado auto aquecimento [1], provoca a degradação da mobilidade dos portadores, fazendo com que, em casos extremos, a condutância de dreno apresente valores negativos [1]. Além deste efeito, os dispositivos SOI MOSFETs possuem reduzida tensão de ruptura de dreno, pois os pares elétron-lacuna originados pelo elevado campo elétrico horizontal próximo ao dreno não escoam para o substrato devido à presença do óxido enterrado, resultando na ativação do transistor bipolar parasitário inerente ao MOS [20].

A utilização de transistores de comprimento de canal reduzido leva ao aumento da transcondutância e da frequência de corte de circuitos amplificadores com transistores MOS [13]. Entretanto, a redução do comprimento de canal leva ao aumento da condutância de saída, reduzindo a tensão Early, além de diminuir a tensão de ruptura, devido ao aumento do campo elétrico [21, 22]. Desta forma, nota-se que, no projeto de CIs analógicos, deve-se estabelecer um compromisso entre ganho e frequência de operação. Uma alternativa para a obtenção de transistores com alto valor de transcondutância, mantendo a condutância de saída reduzida, é a utilização de transistores associados em série com as portas curto-circuitadas, operando como um único transistor [21, 22, 23]. Originalmente, os transistores utilizados nesta estrutura composta apresentavam a mesma tensão de limiar. Com o intuito de reduzir ainda mais a condutância de dreno e aumentar a tensão de ruptura, foi proposta a utilização de transistores com tensões de limiar assimétricas [24, 25].

Embora os benefícios da associação assimétrica já tenham sido demonstrados em nível de dispositivos, na literatura, há muitos poucos estudos que demonstrem suas vantagens em blocos analógicos. Desta maneira, este trabalho apresenta um estudo comparativo do comportamento de parâmetros analógicos básicos e o desempenho de espelhos de corrente implementados com associações série de transistores SOI com tensões de limiar iguais (associações simétricas) e diferentes (associações assimétricas). Os resultados obtidos são comparados com circuitos semelhantes implementados com transistores SOI convencionais, através de simulações de circuitos do tipo SPICE.

Para realizar esta análise, inicialmente foram ajustados os parâmetros de modelo da simulação, com o propósito de obter as características I-V dos dispositivos simulados semelhantes às características elétricas dos dispositivos medidos experimentalmente. Para isto, foi feito um estudo do modelo analítico contínuo para transistores FD SOI e seus parâmetros. Após estes ajustes, foram simuladas, através do programa ICAP/4 [26], curvas I-V das associações séries simétricas e assimétricas de transistores SOI MOSFETs. São apresentadas

curvas de corrente de dreno (I_{DS}) em função da tensão aplicada à porta e ao dreno dos dispositivos compostos e transistores isolados com diferentes comprimentos de canal e concentrações de dopantes. São apresentados também os resultados da transcondutância (g_m), condutância de saída (g_D), Tensão Early (V_{EA}) e a eficiência dos dispositivos através da razão da g_m/I_{DS} em função da corrente de dreno, com o intuito de verificar se as simulações realizadas seguiam a tendência dos resultados experimentais reportados na literatura. Após o ajuste, foram simulados espelhos de corrente implementados com transistor isolado, associação simétrica e assimétrica. As análises foram realizadas através de simulações analíticas usando as arquiteturas Fonte Comum, Cascode e Wilson.

Este trabalho está dividido em 5 seções, conforme listado a seguir:

A seção 2 apresenta um resumo dos conceitos básicos que fundamentam este trabalho, composto por uma introdução à tecnologia SOI MOSFET, suas principais características elétricas e físicas, detalhando os parâmetros analógicos, seguida de uma introdução às associações séries de SOI MOSFET (*self-cascode* - SC) e, às características de espelhos de corrente Fonte Comum, Cascode e Wilson.

A seção 3 aborda os ajustes das simulações aos dados experimentais a partir de transistores com diferentes comprimentos de canal e concentrações de dopantes, analisando e comparando as curvas características dos dispositivos simulados com dados e curvas experimentais.

A seção 4 apresenta os resultados e análises das simulações com associações em configuração série assimétrica (A-SC), configuração série simétrica (S-SC) e transistor isolado (ST), quando operando como amplificador de fonte comum composto por um único transistor, além de, suas aplicações em circuitos espelhos de corrente em diferentes arquiteturas.

Por fim, a seção 5 apresenta as principais conclusões obtidas neste estudo, além de sugestões de trabalhos futuros.

2 REVISÃO BIBLIOGRÁFICA

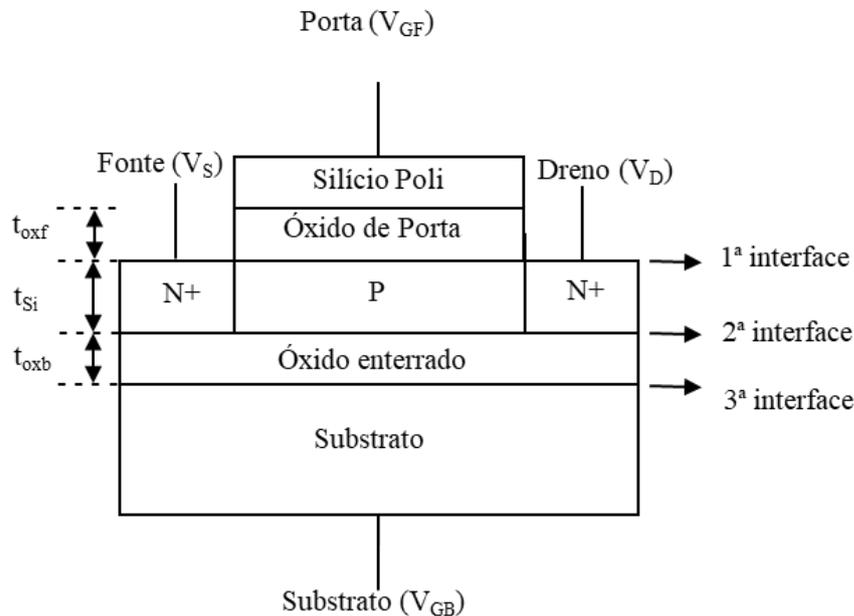
Neste capítulo, é apresentada uma revisão bibliográfica sobre a tecnologia chamada de Silício-Sobre-Isolante, os tipos de SOI MOSFETs, suas vantagens e suas características elétricas básicas e analógicas, como também as associações séries simétricas e assimétricas de SOI MOSFETs, além de circuitos integrados analógicos básicos denominados como espelhos de corrente (EC) com diversas arquiteturas.

2.1 TECNOLOGIA SOI (SILÍCIO-SOBRE-ISOLANTE)

A tecnologia MOS convencional, ou *Bulk*, é muito utilizada na fabricação de circuitos integrados (*Complementary MOS - CMOS*), os quais são fabricados quase que, exclusivamente, em substratos de silício. Os transistores MOS são fabricados em lâminas de silício com espessura de centenas de micrômetros. Entretanto, apenas uma fração do primeiro micrômetro superior de sua superfície é utilizado efetivamente para a fabricação dos dispositivos, entretanto, existem dispositivos fabricados ao longo de alguns micrômetros. A interação entre a região ativa do dispositivo e o substrato dá origem a efeitos parasitários indesejáveis, entre eles, à capacitância parasitária e o efeito tiristor parasitário, inerente à estrutura CMOS.

A tecnologia SOI consiste no isolamento da região ativa da lâmina de silício do substrato através de uma camada isolante (óxido enterrado). A camada isolante previne a ocorrência dos indesejados efeitos parasitários identificados em dispositivos MOSFET convencionais [1]. Através da Figura 1, pode-se visualizar o perfil transversal de um nMOSFET implementado em tecnologia SOI, indicando a espessura da camada de silício (t_{Si}), as espessuras do óxido de porta (t_{oxf}) e óxido enterrado (t_{oxb}) e os eletrodos de porta (V_{GF}), substrato (V_{GB}), fonte (V_S) e dreno (V_D). Nesta figura, são também indicadas as três interfaces Si-SiO₂ presentes na estrutura.

Figura 1 - Perfil transversal de um SOI nMOSFET.



Fonte: Autor

2.1.1 Tipos de SOI MOSFETs

Os SOI MOSFETs possuem dois modos de funcionamento, podendo ser classificados pelo modo acumulação ou pelo modo enriquecimento (inversão). Neste trabalho, será estudado apenas o SOI MOSFET de canal tipo N, onde o modo enriquecimento é o mais comum [1].

A região de depleção decorrente da aplicação de potencial à porta do MOSFET convencional tem início a partir da interface Si-SiO₂ até alcançar a região máxima de depleção. É denominada como x_{dmax} e expressa pela equação (1) [27]:

$$x_{dmax} = \sqrt{\frac{2\varepsilon_{Si} \cdot 2\Phi_F}{q \cdot N_A}} \quad (1)$$

onde N_A é a concentração de impurezas aceitadoras do substrato, q é a carga elementar do elétron, ε_{Si} é a permissividade do silício e Φ_F é o potencial de Fermi, definido com $\frac{kT}{q} \cdot \ln\left(\frac{N_A}{n_i}\right)$, onde n_i é a concentração intrínseca de portadores, T é a temperatura absoluta e k é a constante de Boltzmann.

As características elétricas do SOI MOSFET são dependentes da espessura e concentração de dopantes da camada de silício utilizadas para sua fabricação, como também da

temperatura de operação, uma vez que a espessura máxima da camada de depleção é dependente de N_A e T . Assim, pode-se obter três tipos de transistores: dispositivo de camada espessa, camada média e camada fina.

O transistor denominado SOI parcialmente depletado (*partially depleted* – PD) ou de camada espessa, possui uma espessura da camada de silício, t_{Si} , superior a $2 \cdot x_{dmax}$. Desta maneira, não haverá interação entre as regiões de depleção induzidas a partir da primeira e segunda interfaces, originando uma região neutra entre elas. A região neutra do dispositivo PD pode ter contato elétrico ou não. Caso exista o contato de corpo e este estiver aterrado, o dispositivo PD SOI terá comportamento semelhante ao do transistor MOS convencional. Entretanto, se o contato de corpo for mantido eletricamente flutuando, o transistor apresentará efeitos de corpo flutuante [28], tais como, os efeitos bipolares parasitário e de elevação abrupta da corrente (Efeito Kink) [1]. Por limitações tecnológicas, que tornavam difícil a fabricação de transistores de camada fina com baixa rugosidade de superfície, devido à baixa qualidade da segunda interface, a fabricação dos primeiros dispositivos SOI utilizaram camada espessa. Tais estruturas foram propostas visando à diminuição das capacitâncias de junção [29, 30, 31, 32].

O transistor denominado SOI totalmente depletado (*fully depleted* – FD), ou de camada fina, possui a camada de silício menor que a profundidade máxima de depleção do dispositivo ($t_{Si} < x_{dmax}$), ou seja, as regiões de depleção entre a primeira e segunda interfaces entrarão em contato. Desta maneira, a camada de silício certamente estará depletada caso a tensão de porta supere a tensão de limiar, exceto quando houver a presença de uma camada fina de inversão ou acumulação na segunda interface, se for aplicado ao substrato alta tensão positiva ou negativa, respectivamente. A interação entre regiões de depleção inter-relaciona os potenciais de superfície da primeira interface (Φ_{SF}) e segunda interfaces (Φ_{SB}), promovendo melhor acoplamento eletrostático em toda a região da camada de silício [1].

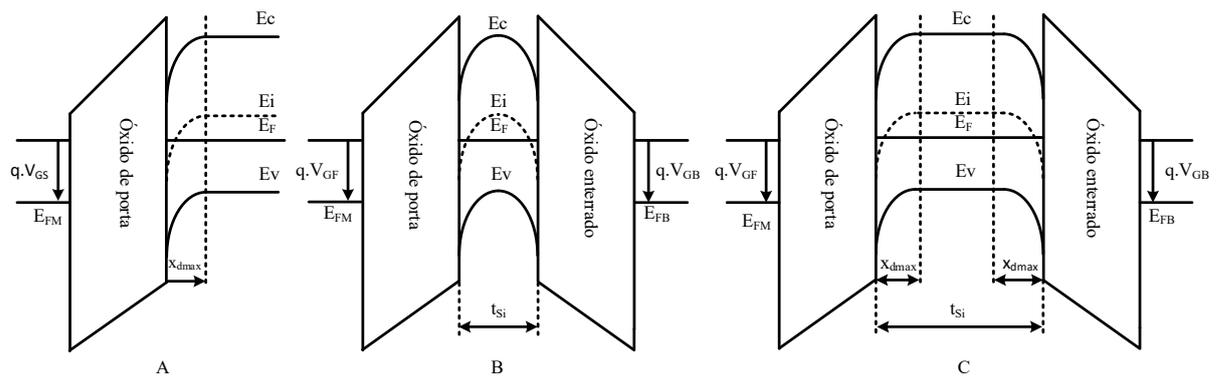
O dispositivo FD SOI apresenta as melhores características elétricas entre os transistores SOI MOSFET, tal como menor inclinação de sublimiar [1], redução do campo elétrico horizontal [33], menor ocorrência dos efeitos de canal curto [34] e maior mobilidade dos portadores na região de canal [35]. Importante ressaltar que o dispositivo FD SOI apresenta dependência da tensão de limiar com a espessura da camada de silício, indesejável na operação de circuitos [36].

Por último, pode-se definir o dispositivo de camada média (*nearly-fully depleted* SOI – NFD SOI), nos quais $x_{dmax} < t_{Si} < 2 \cdot x_{dmax}$. O funcionamento deste dispositivo poderá ou não ter as regiões de depleção das interfaces (primeira e segunda) em contato, dependendo da tensão

aplicada no substrato (V_{GB}) do transistor. Sendo assim, o dispositivo NFD SOI pode apresentar comportamento elétrico de um SOI totalmente depletado ou parcialmente depletado.

A Figura 2 apresenta os diagramas de faixas de energia dos transistores MOS convencional (A), SOI camada fina (B) e SOI camada espessa (C).

Figura 2 - Diagramas de faixas de energia para MOSFET convencional (A), SOI MOSFET de camada fina (B) e SOI MOSFET de camada espessa (C).



Fonte: Autor

onde E_C corresponde ao nível energético inferior da faixa de condução, E_i ao nível de Fermi do semiconductor intrínseco, E_F ao nível de Fermi do semiconductor dopado (considerando tecnologia SOI, silício), E_V ao nível energético superior da faixa de valência, E_{FM} ao nível de Fermi do metal de porta e E_{FB} ao nível de Fermi do substrato.

2.1.2 Vantagens dos SOI MOSFETs totalmente depletados

Entre os dispositivos SOI, o transistor SOI MOSFET totalmente depletado com a segunda interface em depleção proporciona maiores vantagens sobre o MOSFET convencional e o SOI MOSFET parcialmente depletado. Dentre as vantagens, pode-se citar: maior mobilidade de portadores na região de canal [37], redução da variação da tensão de limiar com a variação da temperatura [34], menor campo elétrico horizontal [38] e redução dos efeitos de canal curto [39]. Muitas destas vantagens estão associadas ao menor fator de corpo (n) dos dispositivos FD SOI [40], dado pela equação (2):

$$n = 1 + \alpha \quad (2)$$

onde α é o fator de acoplamento capacitivo expresso pelas equações de (3) a (5) para transistores FD SOI com a segunda interface acumulada, FD SOI com a segunda interface depletada e MOS convencional/SOI parcialmente depletados, respectivamente.

$$\alpha = \frac{C_{Si}}{C_{oxf}} \quad (3)$$

$$\alpha = \frac{C_{Si}C_{oxb}}{C_{oxf}(C_{Si}+C_{oxb})} \quad (4)$$

$$\alpha = \frac{C_D}{C_{ox}} \quad (5)$$

onde C_{Si} , C_{oxb} , C_{oxf} (C_{ox} para dispositivo MOS convencional) e C_D são as capacitâncias da camada de silício, do óxido enterrado, do óxido de porta e da região de depleção, respectivamente, todos por unidade de área e expressos por:

$$C_{Si} = \frac{\epsilon_{Si}}{t_{Si}} \quad (6)$$

$$C_{oxb} = \frac{\epsilon_{ox}}{t_{oxb}} \quad (7)$$

$$C_{oxf} = \frac{\epsilon_{ox}}{t_{oxf}} \quad (8)$$

$$C_D = \frac{\epsilon_{Si}}{x_{dmax}} \quad (9)$$

onde ϵ_{ox} é a permissividade do óxido.

Através da resolução da equação (2) para transistores FD SOI com a segunda interface acumulada, FD SOI com a segunda interface depletada e MOS convencional, nota-se que, o fator de corpo é menor nos dispositivos SOI de camada fina totalmente depletados [41], aproximando-se da unidade. Os valores numéricos do fator de corpo seguem a seguinte ordem:

$$n_{SOI \text{ totalmente depletado}} < n_{MOS \text{ convencional}} < n_{SOI \text{ com a segunda interface acumulada}}$$

O FD SOI MOSFET, apresenta maior corrente de dreno quando comparado aos dispositivos convencionais com as mesmas tensões de polarização. Em uma primeira aproximação, a I_{DS} para cada região de funcionamento do dispositivo pode ser descrita pelas equações abaixo [42]:

- Triodo:

$$I_{DS} \cong \frac{W \cdot \mu_n \cdot C_{oxf}}{L} \left[(V_{GF} - V_{TH}) V_{DS} - n \frac{V_{DS}^2}{2} \right] \quad (10)$$

- Saturação:

$$I_{DSsat} \cong \frac{W \cdot \mu_n \cdot C_{oxf}}{2Ln} (V_{GF} - V_{TH})^2 \quad (11)$$

onde L e W são, respectivamente, o comprimento e a largura de canal do transistor, V_{TH} é a tensão de limiar do transistor e μ_n é a mobilidade efetiva dos elétrons no canal.

A utilização de transistores SOI totalmente depletados [31, 32, 33] aumenta cada vez mais, devido às suas vantagens em relação a SOI parcialmente depletados e a tecnologia MOS convencional, devido à redução da tensão de alimentação de circuitos analógicos para 0,5 V [33] e à redução do consumo de potência [31].

2.2 CARACTERÍSTICAS ELÉTRICAS DOS TRANSISTORES MOS DE EFEITO DE CAMPO

Nesta seção serão apresentados os principais parâmetros elétricos básicos e analógicos de transistores SOI, além das associações série simétricas e assimétricas, e espelhos de corrente com diferentes arquiteturas, necessários para o entendimento do presente trabalho.

2.2.1 Tensão de Limiar

A tensão de limiar (V_{TH}) de um transistor MOS é tradicionalmente definida como a tensão que aplicada à porta, eleva o nível do potencial na superfície da camada de silício, formando o canal de inversão abaixo do óxido de porta. Para transistores nMOSFETs, a tensão de limiar pode ser expressa por [40]:

$$V_{TH} = V_{FB} + 2\Phi_F + \frac{q \cdot N_a \cdot x_{dmax}}{C_{OX}} \quad (12)$$

onde V_{FB} é a tensão de faixa plana, expressa por:

$$V_{FB} = \Phi_{MS} - \frac{Q_{OX}}{C_{OX}} \quad (13)$$

Em transistores SOI parcialmente depletados, onde não há interação entre as regiões de depleção da porta inferior (substrato) e da porta superior do transistor devido a $t_{si} > 2 \cdot x_{dmax}$, a tensão de limiar é calculada através da equação (12).

Considerando transistores SOI nMOSFET totalmente depletados, onde há interação entre as regiões de depleção, as relações entre as tensões aplicadas entre porta e substrato podem ser expressas através da resolução da equação de Poisson. Integrando duas vezes esta expressão, obtém-se o potencial como uma função da profundidade do filme de silício (x). O campo elétrico no filme de silício pode ser expresso por [40]:

$$E(x) = \frac{-qN_a}{\epsilon_{si}} x - \left(\frac{\Phi_{s2} - \Phi_{s1}}{t_{si}} + \frac{qN_a t_{si}}{2\epsilon_{si}} \right) \quad (14)$$

onde Φ_{s1} e Φ_{s2} são os potenciais nas superfícies superior e inferior da camada de silício.

As equações de Lim & Fossum [40, 41] abaixo demonstram a relação entre as tensões de porta e substrato:

Relação entre a tensão aplicada à porta superior e aos potenciais de superfície das interfaces óxido/silício superior e inferior:

$$V_{G1} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{si}}{C_{ox1}} \right) \Phi_{s1} - \frac{C_{si}}{C_{ox1}} \Phi_{s2} - \frac{1/2 Q_{depl} + Q_{inv1}}{C_{ox1}} \quad (15)$$

Relação entre a tensão aplicada à segunda porta e aos potenciais de superfície nas interfaces óxido/silício nas interfaces superior e inferior:

$$V_{G2} = \Phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} - \frac{C_{si}}{C_{ox2}} \Phi_{s1} + \left(1 + \frac{C_{si}}{C_{ox2}} \right) \Phi_{s2} - \frac{1/2 Q_{depl} + Q_{s2}}{C_{ox2}} \quad (16)$$

As equações (15) e (16) expressam relações entre as tensões aplicadas às portas, descrevendo o acoplamento de carga entre os potenciais aplicados à segunda porta (substrato) e à primeira porta de um SOI totalmente depletado, Q_{ox1} e Q_{inv1} são as densidades de cargas fixas e de inversão na primeira interface do transistor SOI, $Q_{depl} = -q.N_a.t_{si}$ é a densidade de carga de depleção total na camada de silício, Q_{ox2} é a densidade de cargas fixas no óxido enterrado, Φ_{MS1} e Φ_{MS2} representam as funções trabalho entre a camada de silício e o eletrodo de porta e entre o substrato e a camada de silício e Q_{s2} é a densidade de carga de acumulação ($Q_{s2} > 0$) ou de inversão ($Q_{s2} < 0$) na segunda interface, conforme apresentado abaixo [42]:

Tensão de limiar da primeira interface com a segunda interface acumulada = $V_{TH1,acc2}$. Pode ser obtida a partir da equação (15) considerando $\Phi_{s2}=0$, $Q_{inv1}=0$ e $\Phi_{s1}=2\Phi_F$:

$$V_{TH1,acc2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{si}}{C_{ox1}}\right) 2\Phi_F - \frac{Q_{depl}}{2C_{ox1}} \quad (17)$$

Tensão de limiar da primeira interface com a segunda interface invertida = $V_{TH1,inv2}$. Pode ser obtida a partir da equação (15) considerando $\Phi_{s2} = 2\Phi_F$, $Q_{inv1} = 0$ e $\Phi_{s1} = 2\Phi_F$:

$$V_{TH1,inv2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + 2\Phi_F - \frac{Q_{depl}}{2C_{ox1}} \quad (18)$$

Tensão de limiar da primeira interface com a segunda interface depletada = $V_{TH1,depl2}$. Pode ser obtida a partir da equação (15) considerando $\Phi_{s1} = 2\Phi_F$, $Q_{inv1} = Q_{s2} = 0$:

$$V_{TH1,depl2} = V_{TH1,acc2} - \frac{C_{si}C_{ox2}}{C_{ox1}(C_{si}+C_{ox2})} (V_{G2} - V_{g2,acc}) \quad (19)$$

2.2.2 Inclinação Sublimiar

A inclinação de sublimiar (S) de transistores MOS é definida como a variação de tensão de porta necessária para aumentar em uma década a corrente de dreno na região de sublimiar [43], sendo definida por:

$$S = \frac{\partial V_{GF}}{\partial(\log I_{DS})} \quad (20)$$

A equação da corrente de dreno na região de sublimiar é composta pela componente de difusão [44] e, após algumas simplificações, obtém-se a equação (21) [45]:

$$S = \frac{k.T}{q} \cdot \ln(10) (1 + \alpha) = n \cdot \frac{k.T}{q} \cdot \ln(10) \quad (21)$$

Conforme pode-se notar na equação (21), observa-se que a inclinação de sublimiar tem relação direta com o fator de corpo do transistor. Conforme apresentado na seção 2.1.2, transistores FD SOI apresentam menor fator de corpo em relação a MOS convencionais [1], resultando em menor inclinação de sublimiar. Quanto menor for o valor da inclinação de sublimiar do transistor, mais rápido será o chaveamento entre as regiões de corte e condução, permitindo a utilização de tensões de limiar menores, sem aumentar a corrente de fuga do transistor [15].

Considerando temperatura ambiente (300 K), a inclinação de sublimiar dos MOSFETs convencionais é de aproximadamente 90 mV/dec, enquanto SOI MOSFETs totalmente depletados apresentam valores próximos ao limite teórico de 60 mV/dec [46].

2.2.3 Mobilidade

A mobilidade dos portadores consiste em um parâmetro importante do transistor SOI MOSFET, uma vez que determina a capacidade de fornecimento de corrente do dispositivo. A movimentação dos portadores ao longo da rede cristalina não é livre, mas limitada por mecanismos de espalhamento que causam a redução da mobilidade ao longo do cristal semiconductor. Existem diversos mecanismos, conforme detalhado a seguir:

Espalhamento de rede ou espalhamento por fônons (lattice scattering)

O mecanismo de espalhamento de rede está relacionado às vibrações da rede cristalina (fônons) e à interação entre os portadores. A mobilidade aumenta devido à diminuição das vibrações em decorrência da redução da temperatura. O mecanismo do espalhamento pode ser expresso pelo modelo mais utilizado e proposto por Sah et. al. [47].

$$\mu_{pse, psh} = \frac{1}{\left(\frac{1}{\mu_{0ea, 0ha} \left(\frac{T}{300}\right)^{-\alpha e, -\alpha h}} + \frac{1}{\mu_{0eb, 0hb} \left(\frac{T}{300}\right)^{-\beta e, -\beta h}} \right)} \quad (22)$$

onde os índices h e e referem-se às lacunas e aos elétrons:

$\mu_{0eb} = 2.153 \text{ cm}^2/\text{Vs}$; $\mu_{0hb} = 591 \text{ cm}^2/\text{Vs}$; $\mu_{0ea} = 4.195 \text{ cm}^2/\text{Vs}$; $\mu_{0ha} = 2.502 \text{ cm}^2/\text{Vs}$; $\alpha_e = \alpha_h = 1,5$; $\beta_h = 3,25$ e $\beta_e = 3,13$. A combinação dos fônons acústicos e ópticos deste modelo se faz através da regra de Mathiessen [48].

Espalhamento por impurezas ionizadas (ionized impurity scattering)

O mecanismo de espalhamento por impurezas está relacionado às altas concentrações de dopantes, caracterizado como o maior espalhamento sofrido pelos portadores em decorrência do aumento da temperatura, reduzindo a mobilidade dos portadores. Pode-se calcular a mobilidade resultante deste mecanismo de espalhamento através do modelo empírico de Caughey e Thomas [49], apresentado através da equação (23):

$$\mu_{psie} = \mu_{\min,e} + \frac{\mu_{pse} - \mu_{\min,e}}{1 + \left(\frac{N_A}{N_{\text{ref},e}}\right)^{\alpha_{ae}}} \quad (23)$$

onde $\mu_{\min,e} = 197,17 - 45,505 \cdot \log(T)$; $N_{\text{ref},e} = 1,12 \cdot 10^{17} \cdot \left(\frac{T}{300}\right)^{3,2}$ e $\alpha_{ae} = 0,72 \cdot \left(\frac{T}{300}\right)^{0,065}$.

Para lacunas, o índice e deve ser substituído pelo índice h e $\mu_{\min,h} = 110,90 - 25,597 \cdot \log(T)$; $N_{\text{ref},h} = 2,23 \cdot 10^{17} \cdot \left(\frac{T}{300}\right)^{3,2}$ e $\alpha_{ah} = \alpha_{ae}$.

Espalhamento portador-portador (carrier-to-carrier scattering)

O mecanismo de espalhamento portador-portador está relacionado à maior densidade de portadores na faixa de condução, e por este motivo, torna-se muito importante para altas concentrações de dopantes, como no caso de dispositivos de potência, onde a quantidade de dopantes torna-se menor que a densidade de portadores [50]. O modelo que descreve a mobilidade devido ao espalhamento portador-portador pode ser expresso por:

$$\mu_{cc} = \frac{2 \cdot 10^{17}}{\sqrt{N_A} \cdot \ln\left(1 + 8,28 \cdot 10^8 \cdot T^2 \cdot N_A^{\frac{1}{3}}\right)} \quad (24)$$

Para o semiconductor tipo n, é necessário substituir N_A por N_D na equação (24).

Espalhamento por impurezas neutras (neutral-impurity scattering)

O mecanismo de espalhamento por impurezas neutras relaciona-se às impurezas não ionizadas em baixas temperaturas. Considerando concentrações acima de $1.10^{18} \text{ cm}^{-3}$ e em baixas temperaturas, o espalhamento por impurezas será importante, pois a mobilidade tende a diminuir [51 e 52], e pode ser expressa por:

$$\mu_{ni} = C_0 \left[\frac{2}{3} \cdot \sqrt{\frac{kT}{\epsilon_{ni,e}}} + \frac{1}{3} \cdot \sqrt{\frac{\epsilon_{ni,e}}{kT}} \right] \quad (25)$$

$$\text{onde } C_0 = \left(\frac{2 \cdot \pi^3 \cdot q^3 \cdot m_{ce}^*}{5 \cdot \epsilon_{si} \cdot h^3 \cdot (N_a - N_A^-)} \right) \cdot 10^{-2}; \quad \epsilon_{ni} = 1,136 \cdot 10^{-19} \left(\frac{m_{ce}^*}{m_0} \right) \cdot \left(\frac{\epsilon_0}{\epsilon_{si}} \right)^2$$

onde m_{ce}^* é a massa efetiva de condução para os elétrons [43]; h é a constante de Planck; m_0 é a massa de elétron e ϵ_0 e ϵ_{si} são as permissividades elétrica do vácuo e do semiconductor.

Para calcular a mobilidade das lacunas, é preciso utilizar a massa efetiva de condução para as lacunas m_{ch}^* e, determinar os valores ϵ_{ni} e C_0 .

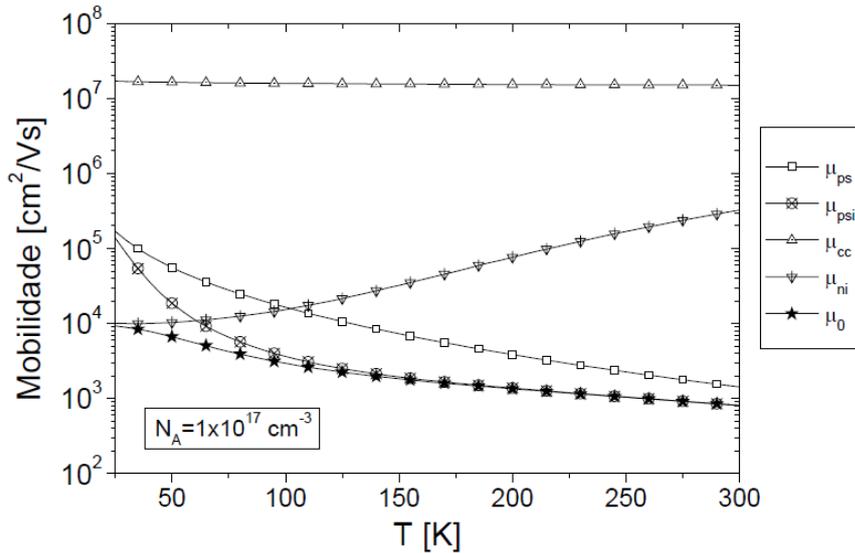
Mobilidade dos portadores independente do campo elétrico

Os diversos mecanismos de espalhamento apresentados e tratados de forma independente podem ser agrupados usando a regra de Mathiessen para descrever a mobilidade independente do campo elétrico, expressa por μ_0 :

$$\mu_0 = \left(\frac{1}{\frac{1}{\mu_{psii}} + \frac{1}{\mu_{CC}} + \frac{1}{\mu_{ni}}} \right) \quad (26)$$

As diversas componentes de mobilidade, além da mobilidade independente do campo elétrico, são apresentadas na Figura 3 em função da temperatura [53].

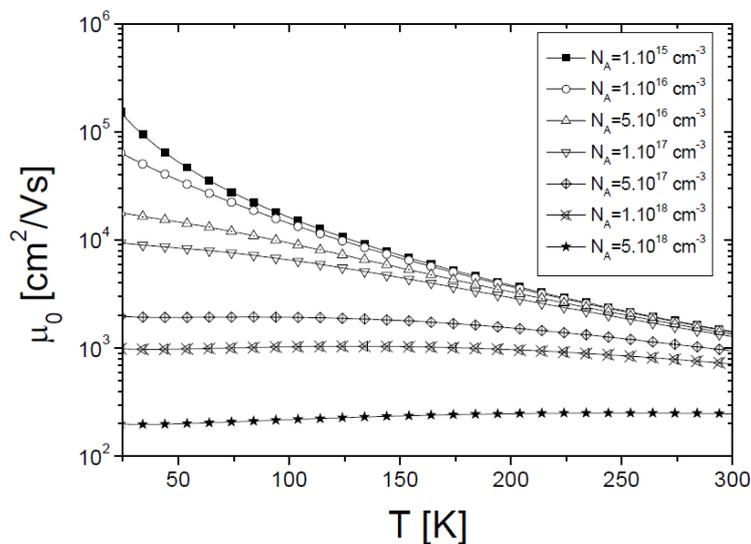
Figura 3 - Curvas das diversas componentes que compõem a mobilidade dos elétrons independentemente de qualquer campo elétrico em função da temperatura, para um substrato de silício tipo p dopado com $N_A = 1.10^{17} \text{ cm}^{-3}$.



Fonte: SOUZA, 2005 [53]

Resultados para a mobilidade independente do campo elétrico, μ_0 , em função da temperatura para diferentes concentrações de dopantes e são apresentados na Figura 4. Nota-se que, para todas as temperaturas, o aumento da concentração de dopantes leva à redução da mobilidade de baixo campo elétrico [53].

Figura 4 - Mobilidade de elétrons independente de campo elétrico em função da temperatura, para substrato de silício p e diferentes concentrações de dopantes.



Fonte: SOUZA, 2005 [53]

Mobilidade dos portadores dependente do campo elétrico

O campo elétrico vertical surge através da tensão aplicada à porta do transistor, atraindo os portadores para a interface óxido-silício do semicondutor, causando redução da mobilidade devido à rugosidade superficial [53]. Além do campo elétrico vertical, os portadores também têm sua mobilidade reduzida quando são submetidos a um campo elétrico lateral causando a saturação de sua velocidade.

O transistor FD SOI tem a mobilidade efetiva maior quando comparado a dispositivos convencionais por apresentarem menor campo elétrico (tanto vertical quanto horizontal) [54]. Neste trabalho, será adotado o modelo descrito na referência [55] para expressar a mobilidade dos portadores em dispositivos SOI MOSFET sob influência do campo elétrico, através da seguinte equação:

$$\mu_n = \frac{\mu_0}{1 + \alpha_S |E_{eff}|} \quad (27)$$

onde E_{eff} é campo elétrico médio no canal em ambas as direções (vertical e lateral) e α_S é a constante de espalhamento, E_{eff} é expresso por:

$$E_{eff} = 2\Phi_F + \frac{(V_S + V_{DE})/2}{t_{Si}} + B - \frac{(Q_S + Q_D)/2}{2\epsilon_{Si}} \quad (28)$$

onde V_{DE} é o potencial efetivo no canal próximo ao dreno, e Q_D e Q_S são densidades de carga de inversão na interface do canal entre dreno e fonte, e B é expresso por:

$$B = -\frac{Q_{depl}}{2C_{oxb}t_{Si}} \left(\frac{1}{1 + C_{Si}C_{oxb}} + 1 \right) - \frac{V_{GB}}{(1 + C_{Si}/C_{oxb})t_{oxb}} \quad (29)$$

2.2.4 Efeitos de Canal curto

A redução do comprimento de canal causa diversos efeitos indesejáveis nos MOSFETs [14], denominados como efeitos de canal curto. Com a redução do comprimento de canal nestes transistores, as regiões de depleção de dreno e fonte tornam-se significativas em comparação com a região de depleção induzida pela tensão aplicada à porta. Desta maneira, a porta passa a não controlar a totalidade da carga de depleção expressa pela equação (30), mas apenas uma

fração dela. A redução da carga de depleção controlada pela porta causa o aumento da inclinação sublimiar e redução da tensão de limiar [55, 56]. A carga de depleção é dada por:

$$Q_{\text{depl}} = -q \cdot N_A \cdot x_{\text{dmax}} \quad (30)$$

A fração da carga de depleção controlada pela porta ($Q_{\text{depl,ef}} < Q_{\text{depl}}$) é expressa por:

$$Q_{\text{depl,ef}} = Q_{\text{depl}} \cdot \left[1 - \frac{r_j}{L} \cdot \left(\sqrt{1 + \frac{2 \cdot x_{\text{dmax}}}{r_j}} - 1 \right) \right] \quad (31)$$

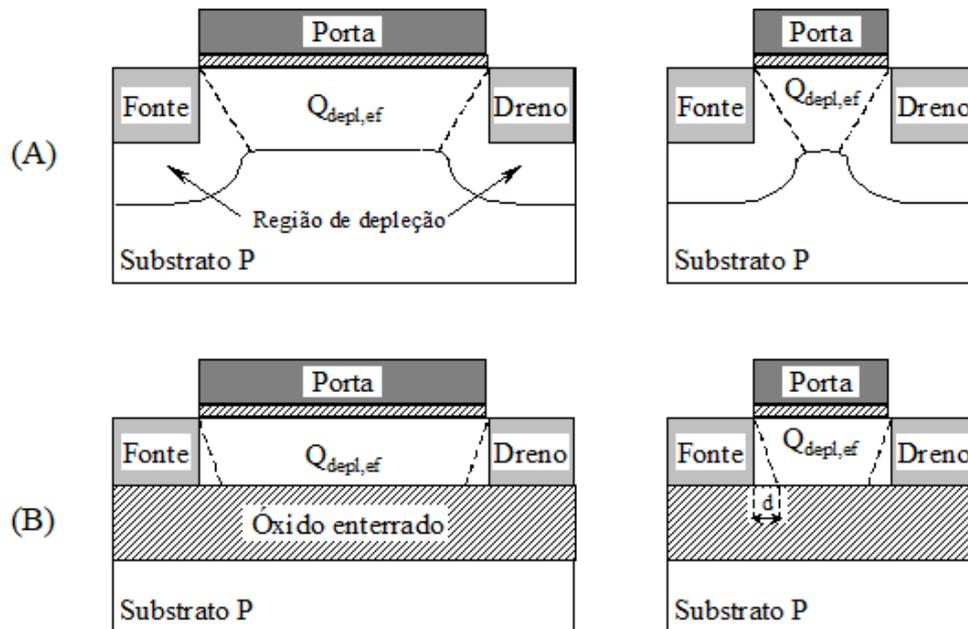
onde r_j é a profundidade das junções de dreno e fonte. Uma vez que $Q_{\text{depl,ef}} < Q_{\text{depl}}$, nota-se aumento da inclinação de sublimiar devido ao maior fator de corpo em decorrência da degradação do acoplamento capacitivo [28, 29]. Como também, redução da tensão de limiar em razão da diminuição de carga de depleção controlada pela porta [28, 29].

Em SOI MOSFETs, a redução do comprimento do canal tem menor influência sobre a carga de depleção efetiva do que nos transistores MOS, devido à existência do óxido enterrado, conforme representado esquematicamente na Figura 5. A menor variação de $Q_{\text{depl,ef}}$ permite maior controle da porta sobre as cargas de depleção quando comparados ao dispositivo MOS. Em transistores FD SOI, as cargas de depleção controladas pela porta podem ser descritas pelas equações (32) e (33) para transistores de canal longo e de canal curto, respectivamente,

$$Q_{\text{depl}} \cong -q \cdot N_a \cdot t_{\text{Si}} \quad (32)$$

$$Q_{\text{depl,ef}} = Q_{\text{depl}} \cdot \left(1 - \frac{d}{L} \right) \quad (33)$$

Figura 5 - Distribuição das cargas de depleção em transistores MOS convencional (A) e SOI de camada fina (B) de canal longo (esquerda) e canal curto (direita).



Fonte: SOUZA, 2005 [53]

A redução da barreira de potencial induzida pelo dreno (*Drain-Induced Barrier Lowering – DIBL*) é um efeito de canal curto que ocorre devido ao compartilhamento de cargas entre as junções e a porta [57]. Ao elevar a tensão do dreno, a polarização reversa da junção dreno-corpo também sofre incremento, aumentando a largura da região de depleção associada à mesma junção. Considerando transistores de canal curto, o aumento da polarização do dreno faz com que haja interação entre as regiões de depleção oriundas do dreno e fonte, diminuindo a tensão de limiar e barreira de potencial na fonte.

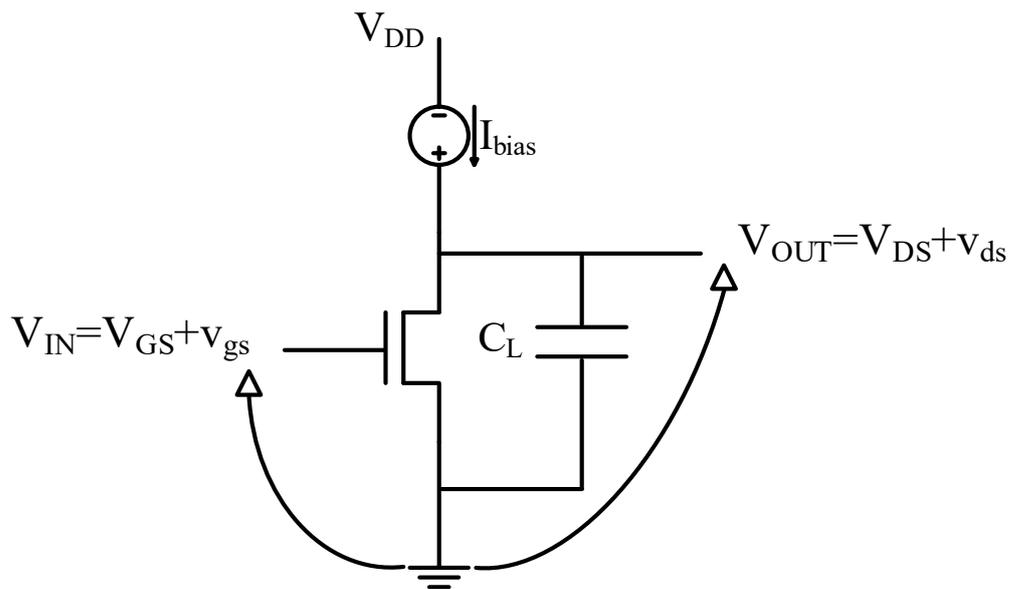
O efeito DIBL é expresso pela equação (34), considerado no cálculo da tensão de limiar, onde V_{TH0} é a tensão de limiar de um transistor de canal longo e σ é o parâmetro que representa este efeito [55].

$$V_{TH} = V_{TH0} - \sigma V_{DS} \quad (34)$$

2.3 CARACTERÍSTICAS ANALÓGICAS

Para analisar as características analógicas de transistores SOI MOSFET, foi considerado o circuito de um amplificador de tensão composto por um único transistor em configuração do tipo fonte comum, conforme representado na Figura 6.

Figura 6 - Amplificador de tensão com único transistor SOI MOSFET.



Fonte: Autor

Neste circuito, a fonte de corrente (I_{bias}) fixa o ponto de polarização, enquanto a tensão alternada aplicada à entrada V_{IN} (terminal de porta) é amplificada para a saída V_{OUT} , no terminal de dreno.

Em baixas frequências, o ganho de tensão em malha aberta (A_V) de um dispositivo MOS na região de saturação é dado pela relação entre as parcelas alternadas das tensões de saída e entrada, conforme apresentado na equação (35) [58].

$$A_V = \frac{V_{ds}}{V_{gs}} = \frac{g_m}{g_D} \quad (35)$$

Aproximado por:

$$A_V = \frac{g_m}{g_D} = \frac{g_m}{I_{DS}} |V_{EA}| \quad (36)$$

2.3.1 Condutância de dreno e tensão Early

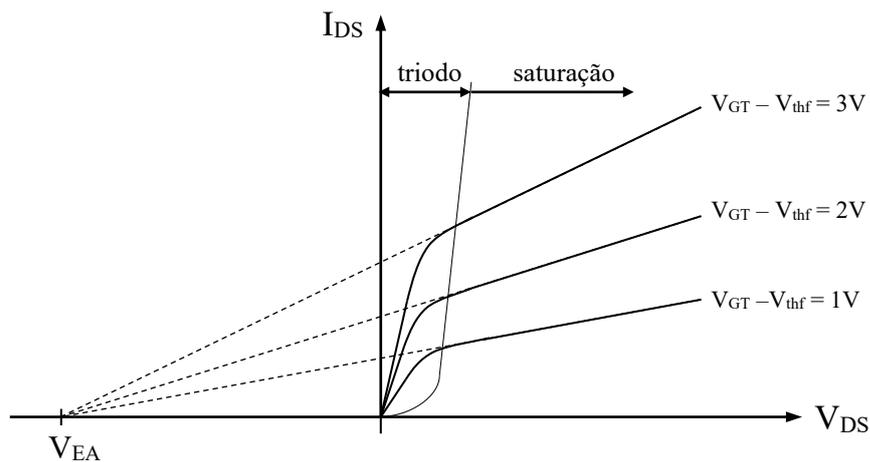
A condutância de dreno é definida como a variação da corrente de dreno em relação à tensão aplicada ao dreno, expressa por:

$$g_D = \frac{\partial I_{DS}}{\partial V_{DS}} \quad (37)$$

Em circuitos analógicos a condutância de dreno tem grande relevância, pois, quanto menor a condutância de saída maior será o ganho de tensão, devido à maior resistência de saída do transistor [59]. A condutância dos dispositivos SOI MOSFETs é menor quando comparada aos dispositivos MOSFETs convencionais, proporcionando maior ganho para os transistores SOI MOSFETs [60].

A condutância de dreno também pode ser avaliada através da tensão Early, usada para quantificar a inclinação da curva I_{DS} em função de V_{DS} em região de saturação. Em uma primeira aproximação, a tensão Early pode ser obtida através da extrapolação de uma reta tangente em relação à curva na saturação até a intersecção do eixo V_{DS} , conforme representado esquematicamente na Figura 7 [53].

Figura 7 - Determinação da tensão Early através de extrapolação das curvas de corrente de dreno na saturação em função da tensão de dreno.



Fonte: SOUZA, 2005 [53]

Idealmente, a corrente de dreno na saturação (I_{DSsat}) é independente da tensão de dreno. Entretanto, ao aplicar tensão ao dreno superior à tensão de saturação, a região de depleção do dreno aumenta, movendo o ponto de estrangulamento do canal em direção à fonte e,

consequentemente, reduzindo o comprimento efetivo do canal, finalmente incrementando a corrente de dreno na saturação. Devido a este acréscimo, nota-se uma inclinação da curva de corrente de dreno em função da tensão entre dreno e fonte na região de saturação [43]. A equação simplificada da corrente na saturação que considera este efeito, é dada pela equação (38) [61]:

$$I_{DSsat} \cong \frac{W \cdot \mu_n \cdot C_{oxf}}{2L_n} (V_{GS} - V_{THf})^2 (1 + \lambda \cdot V_{DS}) \quad (38)$$

onde λ é o coeficiente de modulação do comprimento de canal dependente do processo de fabricação [62].

Sabendo que a tensão Early pode variar de acordo com a polarização V_{DS} , é possível obter seu valor em função de V_{DS} na região de saturação através da expressão (39):

$$|V_{EA}| \cong \frac{I_{DSsat}}{g_{DSat}} \quad (39)$$

onde $g_{D,sat}$ é a condutância de dreno em saturação, expressa por:

$$g_{DSat} = \frac{dI_{DSsat}}{dV_{DS}} \cong \frac{W \cdot \mu_n \cdot C_{oxf}}{2L_n} (V_{GS} - V_{THf})^2 \lambda \quad (40)$$

2.3.2 Transcondutância e razão da g_m/I_{DS}

A transcondutância é um parâmetro elétrico que mensura a eficiência do controle da tensão de porta sobre a corrente de dreno, definida como a derivada de I_{DS} em função de V_{GS} , expressa por [43]:

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} \quad (41)$$

As equações da transcondutância de dispositivos SOI MOSFETs operando em triodo e saturação são dadas pelas equações (42) e (43), respectivamente, obtidas através do modelo Lim & Fossum [42], que consiste na derivada das expressões de corrente.

- Triodo:

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = \mu_n \cdot C_{oxf} \cdot \frac{W}{L} \cdot V_{DS} \quad (42)$$

- Saturação:

$$g_m = \frac{\partial I_{DSSat}}{\partial V_{GS}} = \frac{\mu_n \cdot C_{oxf}}{n} \cdot \frac{W}{L} \cdot (V_{GS} - V_{THf}) \quad (43)$$

Conforme observado na equação (43), a transcondutância é diretamente proporcional à mobilidade dos portadores. Sendo assim, é maior em dispositivos FD SOI quando comparada à dispositivo MOS convencional e, ainda maior, do que em um transistor SOI com a segunda interface acumulada [63], descrito na seção 2.1.2, proporcionando melhor controle da corrente de dreno através da porta.

A razão g_m/I_{DS} é outro parâmetro utilizado para mensurar a eficácia de um transistor, e permite avaliar a sua capacidade em converter corrente de polarização em transcondutância. O maior valor de g_m/I_{DS} ocorre quando o transistor está funcionando na região de inversão fraca, expressa pela equação (44) tanto para transistor MOS convencional quanto para SOI [64].

$$\frac{g_m}{I_{DS}} = \frac{q}{n \cdot k \cdot T} \quad (44)$$

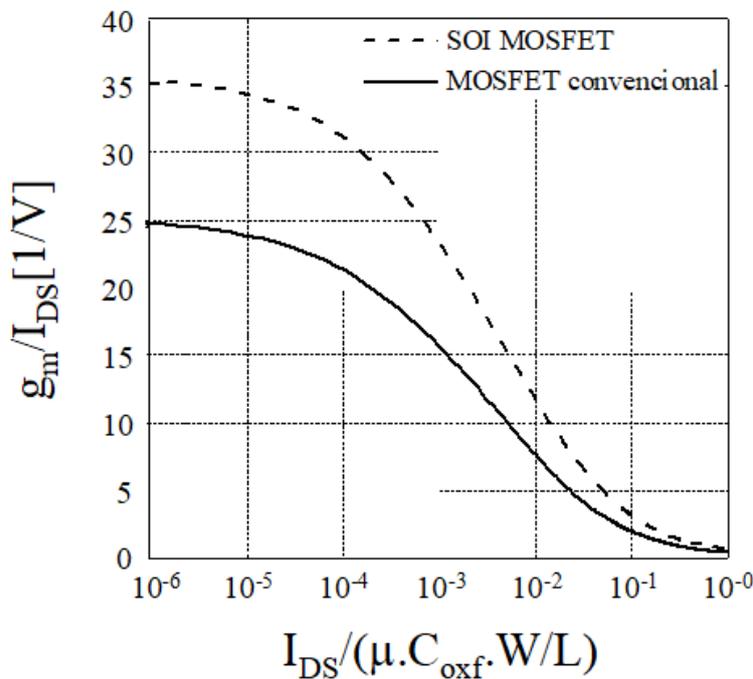
Tal eficiência relaciona-se ao inverso do potencial térmico e ao fator de corpo [21] descrito no item 2.2.2 através da equação (21).

Em inversão forte, g_m/I_{DS} é expressa por [65]:

$$\frac{g_m}{I_{DS}} = \sqrt{\frac{2\mu_n \cdot C_{oxf} \cdot \frac{W}{L}}{n \cdot I_{DS}}} \quad (45)$$

Em um transistor SOI MOSFET completamente depletado a razão g_m/I_{DS} está entre 35 V^{-1} e 38 V^{-1} , enquanto em MOSFETs convencionais, atinge cerca de 25 V^{-1} [66]. Na Figura 8, são representadas, esquematicamente, as curvas da razão g_m/I_{DS} em função da corrente de dreno normalizada para transistores MOS convencional e SOI de camada fina operando em saturação.

Figura 8 - Representação esquemática da razão g_m/I_{DS} para SOI MOSFET convencional e SOI MOSFET de camada fina operando em saturação.



Fonte: FLANDRE, 1994 [41]

Sabendo que em transistores SOI e MOS convencional a tensão Early é basicamente a mesma, nota-se em transistores SOI FD maior ganho de tensão, conforme expresso através da equação (36), em decorrência da razão g_m/I_{DS} destes transistores, considerando dispositivos com mesmas dimensões.

Uma vez, que a g_m/I_{DS} independe das dimensões dos dispositivos torna-se um importante parâmetro durante o desenvolvimento de projetos.

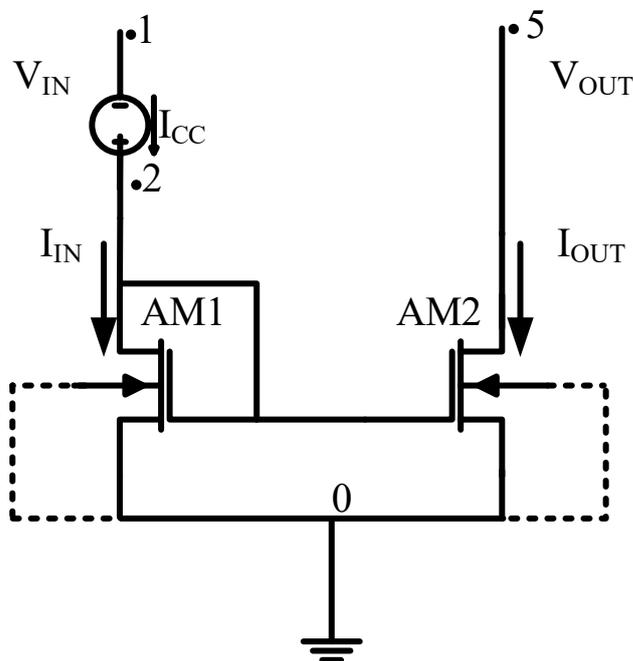
2.4 ESPELHOS DE CORRENTE

Nesta seção são apresentados espelhos de corrente, suas características, funções e algumas arquiteturas. Espelhos de corrente são fundamentais em blocos analógicos básicos, encontrados em todos os circuitos integrados, devido à sua simplicidade [67] e versatilidade. Suas principais aplicações incluem polarização por corrente, estágio diferencial de carga ativa, amplificador de corrente, conversor de tensão em corrente, conversores D/A [67], entre outros.

2.4.1 Espelho de corrente fonte comum

O espelho de corrente tem como principal função prover corrente de saída com as mesmas características da corrente aplicada na entrada, sendo um dos blocos mais importantes para aplicações analógicas [71]. Este bloco analógico serve para a polarização de diversos ramos de um circuito, além de operar como carga ativa. A Figura 9 representa o espelho de corrente em configuração do tipo fonte comum.

Figura 9 - Espelho de corrente em configuração fonte comum.

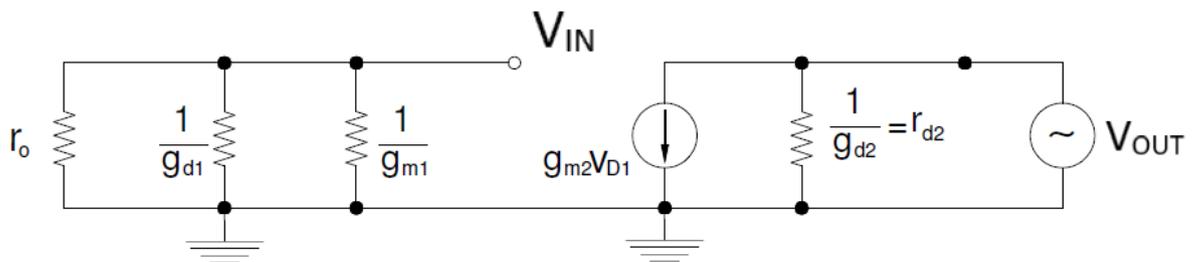


Fonte: Autor

A corrente de entrada aplicada através da fonte de corrente (I_{CC}) é espelhada para a saída. Idealmente, a corrente de saída deve permanecer com valor proporcional ao valor de corrente aplicado ao ramo de entrada, independente da tensão de saída (V_{OUT}). A razão I_{OUT}/I_{IN} , chamada de precisão de espelhamento, indica quão bem a corrente aplicada à entrada é reproduzida para a corrente de saída, conforme descrito na seção 2.3.3. No caso ideal, a relação de corrente deveria ser obtida através da razão $\frac{(W/L)_{OUT}}{(W/L)_{IN}}$, considerando que a mesma tensão de porta polariza os SOI MOSFETs AM1 e AM2. Entretanto, a razão I_{OUT}/I_{IN} pode ser afetada por duas fontes de erro: a resistência de saída finita provida pelos SOI MOSFETs AM1 e AM2 devido à diferença de polarização entre os drenos e o descasamento intrínseco entre os transistores [72].

A Figura 10 apresenta um circuito elétrico equivalente para pequenos sinais, pode-se considerar que (R_{OUT}) é representado por r_{d2} , resistência do transistor AM2, e r_0 representa a resistência interna da fonte de corrente [73].

Figura 10 - Modelo equivalente para pequenos sinais do espelho de corrente fonte comum.



Fonte: SANTOS, 2007 [73]

onde $g_{m2}V_{D1}$ corresponde a uma fonte de corrente gerada pelo transistor AM2, $1/g_{m1}$ corresponde a resistência equivalente do transistor AM1 e $1/g_{d1}$ é a resistência de saída do transistor AM1.

Realizando a análise do circuito de pequenos sinais, pode-se expressar a resistência de saída (R_{OUT}), pela variação da tensão de dreno (ΔV_{OUT}), dividida pela corrente de dreno (ΔI_{OUT}) [73].

$$R_{OUT} = \frac{\Delta V_{OUT}}{\Delta I_{OUT}} \quad (46)$$

2.4.2 Precisão de espelhamento

Precisão de espelhamento consiste na razão da corrente de saída pela corrente de entrada, a qual define a capacidade do espelho de corrente em prover no ramo de saída a corrente aplicada ao ramo de entrada do espelho de corrente [68] conforme Figura 9. Entretanto, a precisão de espelhamento pode fugir do seu valor ideal devido a muitas razões, dentre elas: incompatibilidade intrínseca entre os SOI MOSFETs, e diferentes condições de polarização de cada transistor que compõe o espelho de corrente [69]. Estes fatores podem alterar a impedância de saída do FD SOI MOSFET, causando degradação do desempenho do espelho de corrente.

Através da razão I_{OUT}/I_{IN} (Figura 9) e, usando o modelo da corrente de dreno nMOS proposto por Shichman-Hodges considerando a modulação do comprimento de canal [68], obtêm-se:

$$I_{IN} = \frac{\beta_{IN}}{2} (V_G - V_{THIN})^2 (1 + \lambda_{IN} V_{IN}) \quad (47)$$

$$I_{OUT} = \frac{\beta_{OUT}}{2} (V_G - V_{THOUT})^2 (1 + \lambda_{OUT} V_{OUT}) \quad (48)$$

onde β_{IN} e β_{OUT} correspondem aos fatores de ganho de entrada e saída dos transistores, λ_{IN} e λ_{OUT} representam as modulações do comprimento de canal, V_{THIN} e V_{THOUT} correspondem as tensões de limiar dos transistores de entrada e saída, respectivamente.

O fator de ganho β é expresso por:

$$\beta = \frac{W}{L_{eff}} \frac{\mu_n \cdot C_{ox}}{(1 + \alpha_{depl})} \quad (49)$$

A modulação do comprimento de canal é expressa por:

$$\lambda = \frac{1}{|V_{EA}|} \quad (50)$$

Analisando a arquitetura representada através da Figura 9, a tensão aplicada ao dreno do transistor AM1 é a mesma tensão aplicada às portas do SOI MOSFET AM1 e AM2. Desta maneira, é possível determinar a tensão do transistor de saída (AM2) V_G , dada por:

$$V_G = V_{THOUT} + \sqrt{\frac{2I_{OUT}}{\beta_{OUT}(1 + \lambda_{OUT} V_{OUT})}} \quad (51)$$

Substituindo a equação (51) na equação (47) é possível determinar a corrente de dreno I_{IN} do SOI MOSFET de entrada AM1:

$$I_{IN} = \frac{\beta_{IN}}{2} \left[V_{THOUT} - V_{THIN} + \sqrt{\frac{2I_{OUT}}{\beta_{OUT}(1 + \lambda_{OUT} V_{OUT})}} \right]^2 (1 + \lambda_{IN} V_{IN}) \quad (52)$$

Analisando a equação (52) observa-se a diferença entre a tensão de limiar do SOI MOSFET AM1 e AM2, promovendo descasamento entre os dois transistores conforme equação (53).

$$\Delta V_{TH} = V_{THOUT} - V_{THIN} \quad (53)$$

Substituindo a equação (53) na equação (52), pode-se determinar que a corrente de dreno I_{IN} do SOI MOSFET AM1 é expressa por:

$$I_{IN} = \frac{\beta_{IN}}{2} \cdot \left[\Delta V_{TH}^2 + 2\Delta V_{TH} \cdot \sqrt{\frac{2I_{OUT}}{\beta_{OUT}(1+\lambda_{OUT} V_{OUT})}} + \frac{2I_{OUT}}{\beta_{OUT}(1+\lambda_{OUT} V_{OUT})} \right] (1 + \lambda_{IN} V_{IN}) \quad (54)$$

Reescrevendo a equação (51), obtemos:

$$(V_G - V_{THOUT})^2 = \frac{2I_{OUT}}{\beta_{OUT}(1+\lambda_{OUT} V_{OUT})} \quad (55)$$

Reescrevendo a equação (36) utilizando a equação (35), obtemos:

$$I_{IN} = \frac{\beta_{IN}}{2} [\Delta V_{TH}^2 + 2\Delta V_{TH}(V_G - V_{THOUT}) + (V_G - V_{THOUT})^2] (1 + \lambda_{IN} V_{IN}) \quad (56)$$

Devido à similaridade do circuito, podemos considerar a mesma expressão da corrente de dreno de entrada para a corrente de dreno de saída:

$$I_{OUT} = \frac{\beta_{OUT}}{2} [\Delta V_{TH}^2 - 2\Delta V_{TH}(V_G - V_{THIN}) + (V_G - V_{THIN})^2] (1 + \lambda_{OUT} V_{OUT}) \quad (57)$$

Aplicando a razão entre a corrente de saída e a corrente de entrada, obtém-se:

$$\frac{I_{OUT}}{I_{IN}} = \left[\frac{\beta_{OUT}}{\beta_{IN}} \right] \left[\frac{\Delta V_{TH}^2 + (V_G - V_{THIN})^2}{(V_G - V_{THIN})^2} - \frac{2\Delta V_{TH}}{(V_G - V_{THIN})} \right] \left[\frac{(1 + \lambda_{OUT} V_{OUT})}{(1 + \lambda_{IN} V_{IN})} \right] \quad (58)$$

O termo ΔV_{TH}^2 é desprezível na razão da corrente de saída e corrente de entrada. Desta forma obtemos:

$$\frac{\Delta V_{TH}^2 + (V_G - V_{THIN})^2}{(V_G - V_{THIN})^2} \cong 1 \quad (59)$$

Através da aproximação da equação (59) e reescrevendo a equação (58), obtemos a equação:

$$\frac{I_{OUT}}{I_{IN}} = \left[\frac{\beta_{OUT}}{\beta_{IN}} \right] \left[1 - \frac{2\Delta V_{TH}}{(V_G - V_{THIN})} \right] \left[\frac{(1 + \lambda_{OUT} V_{OUT})}{(1 + \lambda_{IN} V_{IN})} \right] \quad (60)$$

A equação (60) define a precisão de espelhamento, relacionada à razão da corrente de saída I_{OUT} pela corrente de entrada I_{IN} , e quanto mais o resultado desta razão aproxima-se da unidade, melhor será a precisão do espelho de corrente [68]. Esta definição é válida para SOI MOSFETs de entrada e saída idênticos [70].

2.4.3 Resistência de saída

A resistência de saída (R_{OUT}) é um parâmetro muito importante para o desenvolvimento de blocos analógicos como espelho de corrente, uma vez que, quanto maior for este parâmetro menor será a variação da corrente com a variação da tensão de saída (V_{OUT}). A resistência de saída pode ser determinada usando análise de pequenos sinais, resultando no inverso da condutância do dreno de saída [61], expressa por:

$$R_{OUT} = \frac{1}{g_{DOUT}} \quad (61)$$

onde g_{DOUT} é a condutância de saída.

Desta forma, pode-se notar que, em um espelho de corrente fonte comum, quanto menor for a condutância de saída do transistor do ramo de saída do espelho de corrente, maior será a resistência de saída do circuito.

2.4.4 Outras Arquiteturas de Espelhos de Corrente

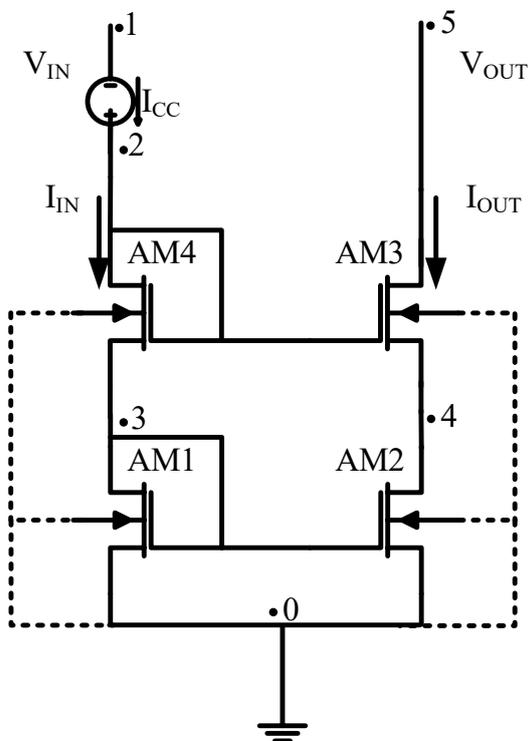
O espelho de corrente tem como principal função prover corrente de saída com as mesmas características da corrente aplicada na entrada, conforme descrito na seção 2.4.1,

independentemente do valor de tensão de saída. A arquitetura fonte comum, devido à modulação do comprimento de canal, há uma considerável variação da resistência de saída na região de saturação, resultando na variação da corrente de saída com a tensão de saída. Com o propósito de minimizar tal efeito, as arquiteturas Cascode e Wilson foram propostas. Entretanto, como desvantagem, utilizam mais transistores para compor a estrutura.

2.4.4.1 Espelho de corrente Cascode

Espelhos de corrente com baixa tensão de saída, alta precisão de espelhamento e alta resistência de saída, geralmente, são desejados [73]. Com este propósito, o espelho de corrente representado pela arquitetura Cascode foi desenvolvido. Para isso, foi adicionado um novo par de transistores na arquitetura fonte comum, formando assim, um circuito analógico composto por quatro transistores [74], conforme arquitetura apresentada na Figura 11.

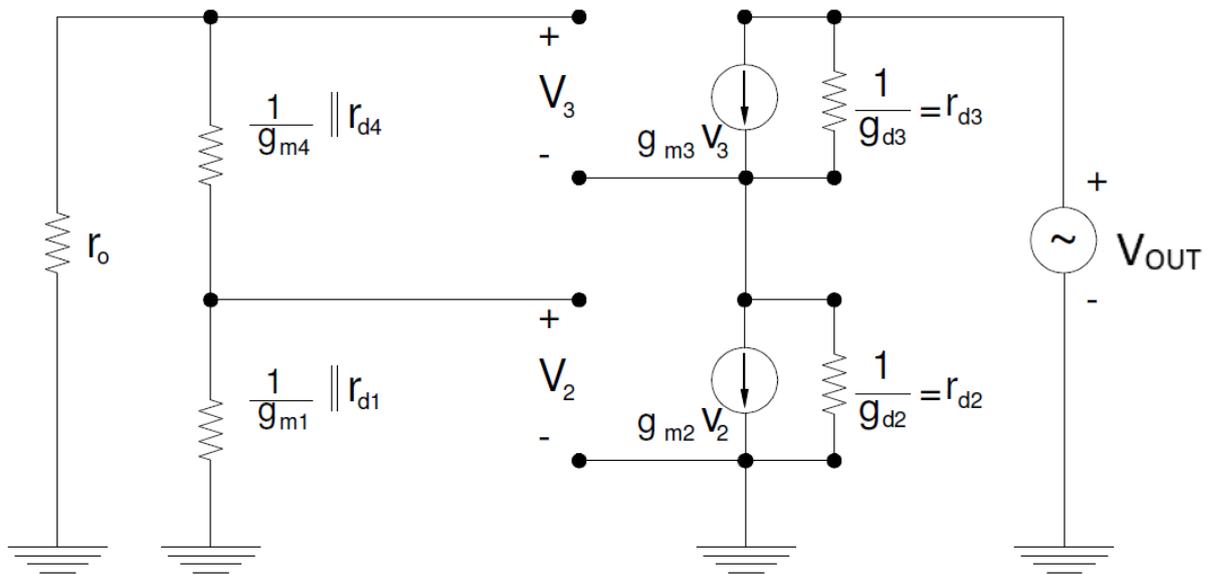
Figura 11 - Espelho de corrente em configuração Cascode.



Fonte: Autor

A Figura 12 representa o modelo de pequenos sinais equivalente à arquitetura Cascode.

Figura 12 - Modelo de pequenos sinais do espelho de corrente equivalente à arquitetura Cascode.



Fonte: SANTOS, 2007 [73]

onde r_{d1} , r_{d2} , r_{d3} e r_{d4} são, respectivamente, as resistências equivalentes de saída dos transistores AM1, AM2, AM3 e AM4. As fontes de corrente $g_{m2}V_2$ e $g_{m3}V_3$ são associadas aos transistores AM2 e AM3 respectivamente, g_{m1} a g_{m4} correspondem às transcondutâncias dos transistores AM1 a AM4.

Algumas simplificações são possíveis, como substituir as fontes de corrente $g_{m4}V_4$ e $g_{m1}V_1$, por resistores equivalentes $1/g_{m4}$ e $1/g_{m1}$ [73]. As resistências equivalentes $1/g_{m4}$ e $1/g_{m1}$ apresentam valores bem menores comparadas as resistências r_{d4} e r_{d1} , respectivamente. Devido a essa diferença e por estarem posicionadas em paralelo com r_{d4} e r_{d1} , podem ser desconsideradas. A partir da análise de pequenos sinais do circuito simplificado para a resistência de saída [74], obtemos a equação de r_{OUT} .

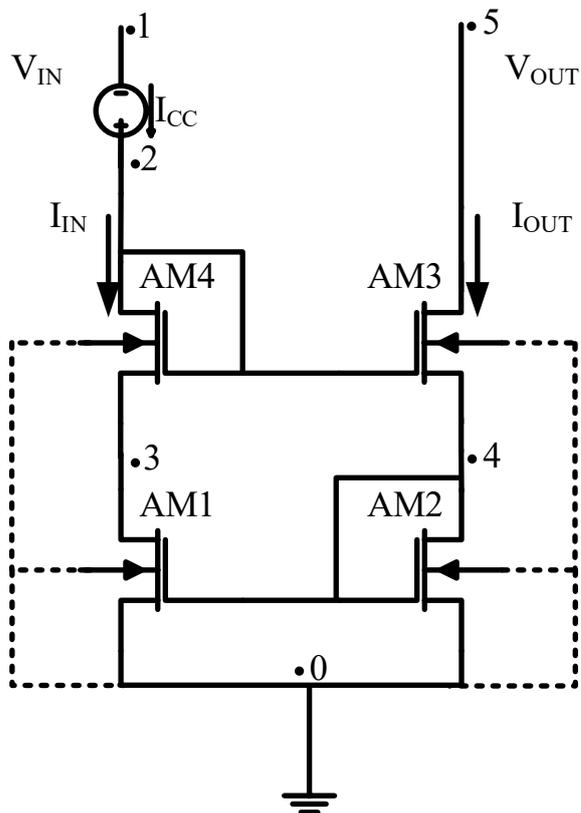
$$r_{OUT} = r_{d2} + r_{d3} + g_{m3}r_{d3}r_{d2} \quad (62)$$

Através da equação (62) nota-se que a resistência de saída do espelho de corrente Cascode é muito maior do que a do espelho de corrente com arquitetura fonte comum. Nesta arquitetura de espelho de corrente, o efeito da modulação do comprimento de canal é minimizado através da precisão na transmissão de corrente. Em outras palavras, o espelho de corrente Cascode tem melhor precisão na corrente de saída [74].

2.4.4.2 Espelho de corrente Wilson

Com o mesmo objetivo da arquitetura Cascode, de aumentar a resistência de saída dos espelhos de corrente, a arquitetura denominada Wilson composta, também, por quatro transistores, foi desenvolvida com pequena diferença em relação à arquitetura Cascode [73]. Neste caso, as portas dos SOI MOSFETs AM1 e AM2 são conectadas à fonte do SOI MOSFET AM3, ao invés de serem conectadas ao dreno do SOI MOSFET AM4 como na arquitetura Cascode, conforme representado na Figura 13.

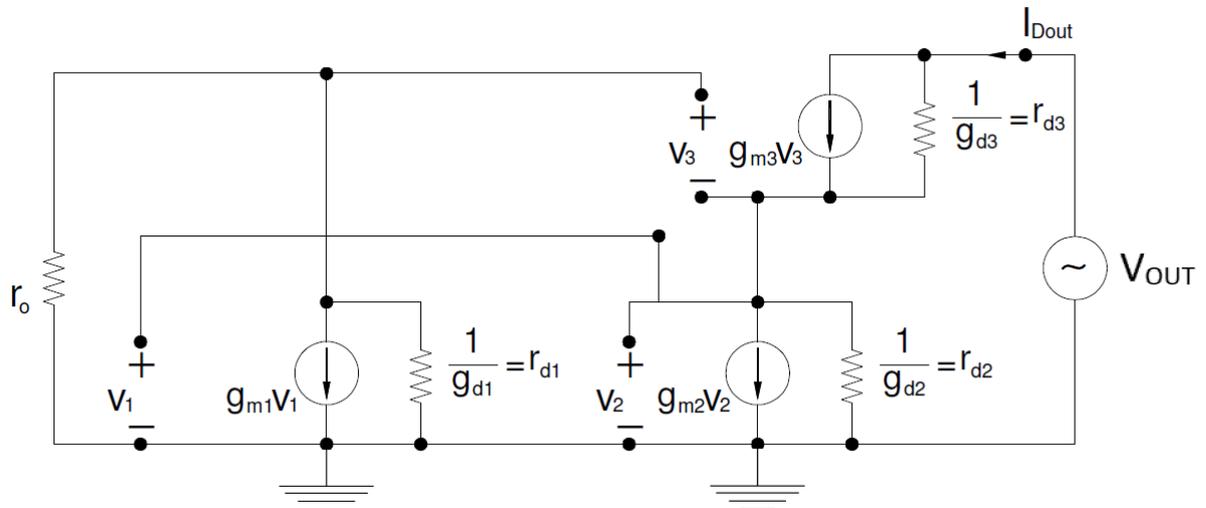
Figura 13 - Espelho de corrente em configuração Wilson.



Fonte: Autor

A arquitetura Wilson surgiu após estudos desenvolvidos com um circuito analógico que disponibilizava uma fonte de corrente e três transistores e é representada através do modelo de pequenos sinais na Figura 14 [73].

Figura 14 - Modelo de pequenos sinais do espelho de corrente equivalente à arquitetura Wilson.



Fonte: SANTOS, 2007 [73]

onde r_0 corresponde à resistência interna da fonte de corrente de entrada e $1/g_{d1}$, $1/g_{d2}$ e $1/g_{d3}$ correspondem às resistências internas dos transistores AM1, AM2 e AM3, respectivamente. As fontes de correntes associadas aos transistores AM1, AM2 e AM3 são: $g_{m1}V_1$, $g_{m2}V_2$ e $g_{m3}V_3$. Substitui-se $g_{m2}V_2$ por um resistor equivalente $1/g_{m2}$, e devido ao resistor r_{d2} estar em paralelo com a fonte de corrente e apresentar valor bem menor, tal resistência é desprezada [73].

Analisando o circuito, podemos dizer que, ao elevar a corrente de saída a tensão V_1 tende a aumentar, devido aumento da corrente de dreno do transistor AM2 que diretamente aumenta a tensão de porta do transistor AM1. Conseqüentemente, a tensão V_3 tende a diminuir devido ao aumento de V_1 . Desta maneira, inibe a variação da corrente de saída. Entretanto, esta arquitetura apresenta uma desvantagem em relação ao espelho de corrente fonte comum, pois necessita de um maior valor da tensão entre os terminais de saída do espelho de corrente para manter os transistores em saturação. Através da lei de Ohm, é obtido a resistência de saída do espelho de corrente, conforme equação (63):

$$r_{OUT} = \frac{g_{m1}r_1g_{m3}r_{d3}}{g_{m2}} = (g_{m1}) \left(\frac{g_{m3}}{g_{m2}} \right) r_{d3} \quad (63)$$

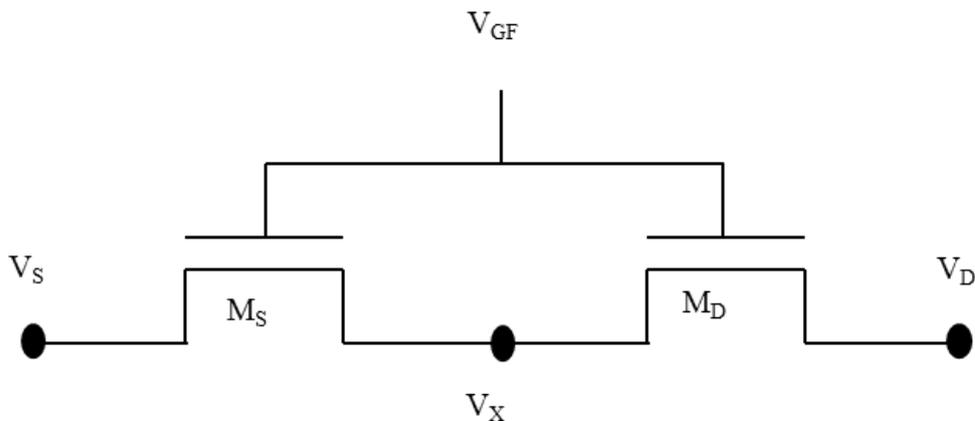
Desta maneira, a resistência de saída do circuito apresenta melhora utilizando três transistores e uma fonte de corrente, de modo que a arquitetura Wilson apresenta vantagem substancial em relação a configuração fonte comum [73].

2.5 ASSOCIAÇÃO SÉRIE DE TRANSISTORES SOI MOSFET

Conforme mencionado anteriormente, transistores FD SOI MOSFETs apresentam degradação de desempenho devido ao alto campo elétrico na região próxima ao dreno, causando redução da tensão de ruptura (BV_{DS}) [75], devido à ocorrência do efeito bipolar parasitário resultante da ionização por impacto [52]. Adicionalmente, a contínua diminuição da geometria do dispositivo contribui com a degradação da condutância de saída e tensão de ruptura, impondo limites à tensão de polarização a ser aplicada ao dispositivo. Uma alternativa simples para melhorar (reduzir) a condutância de saída em transistores MOS é aumentar o comprimento de canal [71]. Entretanto, além de aumentar a área do dispositivo, pode ocorrer a degradação de outras propriedades, dentre elas a frequência de corte, a qual é inversamente proporcional ao quadrado do comprimento de canal [76].

Com o propósito de reduzir a condutância de saída no transistor MOS mantendo as vantagens promovidas com dispositivos de canal curto, dentre elas alta corrente de dreno e frequência de corte, foi proposta a utilização das associações séries de transistores [77, 22]. A associação série consiste na conexão em série de dois transistores com as portas interligadas funcionando como um único dispositivo (SC - *Self-Cascode*), conforme representado esquematicamente na Figura 15. Nesta figura, M_S corresponde ao transistor MOS conectado à fonte da estrutura composta, com comprimento L_S , e M_D é o transistor conectado próximo ao dreno, com comprimento L_D .

Figura 15 - Esquemático de uma associação série de SOI MOSFETs.

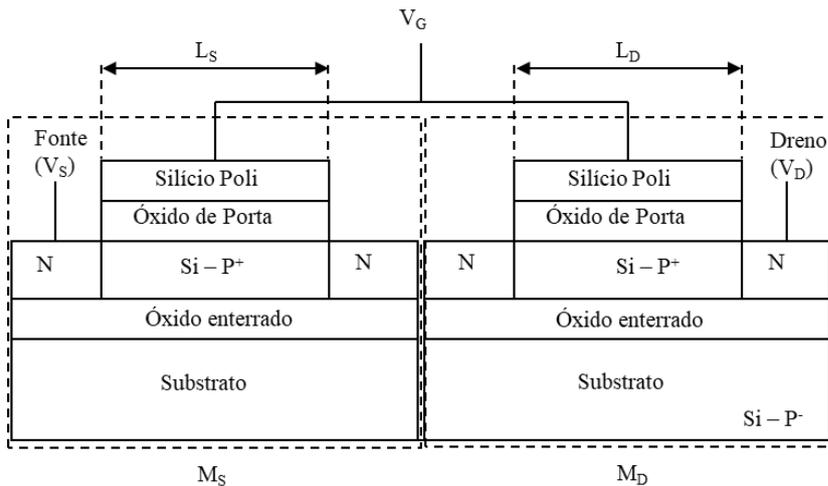


Fonte: Autor

2.5.1 Associação Série Simétrica de SOI MOSFETs

A associação série simétrica consiste na interligação série de dois transistores M_S e M_D (dreno de M_S conectado à fonte do M_D), com tensões de limiar idênticas, com portas curto-circuitadas, conforme demonstra Figura 16 [22].

Figura 16 - Perfil transversal de uma associação série simétrica.



Fonte: Autor

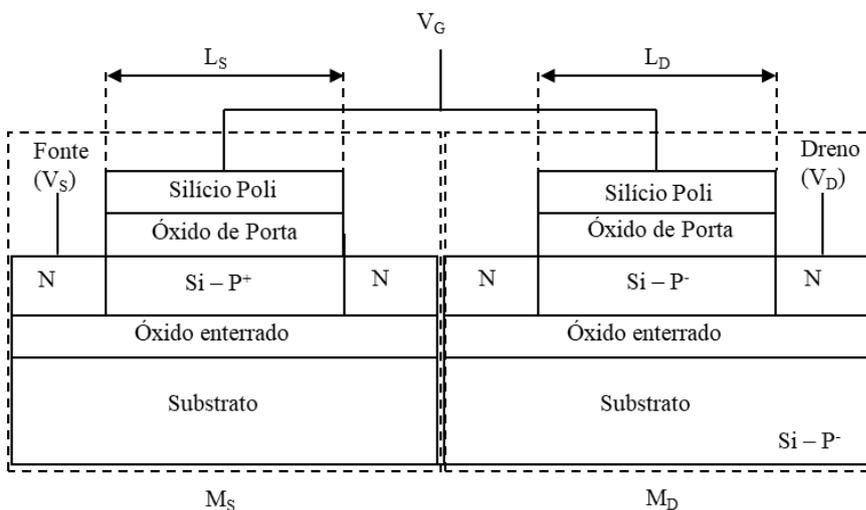
Sendo que, a soma entre os comprimentos dos canais dos transistores M_S e M_D , correspondente à $L_S + L_D$, resulta no comprimento efetivo do canal do transistor composto, representado por L_{eff} . Através desta associação, a modulação do comprimento de canal é reduzida, melhorando a condutância de saída. Utilizando a estrutura S-SC, é possível obter os benefícios de um transistor de canal longo, porém, utilizando transistores associados com comprimento de canal físico mais curto [22]. A estrutura S-SC possui características analógicas superiores às de um transistor isolado de comprimento L_S ou $L_S + L_D$ [78]. O dispositivo M_D tem a função de controlar a polarização de dreno, limitando os efeitos da região de depleção próximo ao dreno, o que proporciona ao transistor M_S menor degradação durante o funcionamento [76].

Outro grande benefício da associação série simétrica (S-SC) corresponde ao aumento da tensão de ruptura (BV_{DS}), uma vez que os portadores gerados por ionização de impacto têm que atravessar uma região altamente dopada (do dreno de M_D à fonte M_S) para complementar a corrente de dreno, tendo seu tempo de vida reduzido [79]. Isto ocorre devido à presença de uma região muito dopada entre M_D e o transistor M_S , facilitando a recombinação de portadores [64].

2.5.2 Associação Série Assimétrica de SOI MOSFETs

A associação série assimétrica consiste na associação série de dois transistores com tensões de limiar diferentes, sendo a tensão de limiar de M_D menor do que de M_S . Isto pode ser obtido fazendo com que a concentração de dopantes do canal de M_S seja maior do que a do canal do transistor M_D , conforme representado esquematicamente na Figura 17.

Figura 17 - Perfil transversal de uma associação série assimétrica.



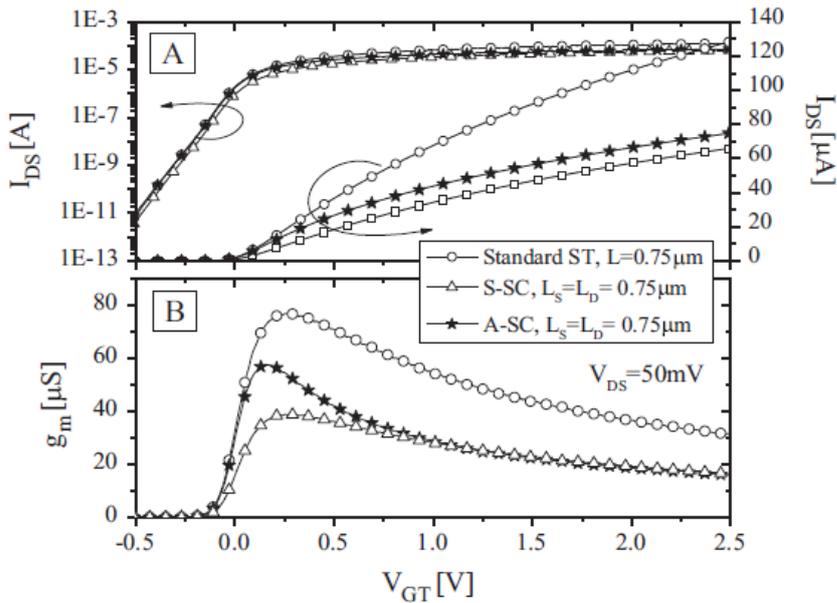
Fonte: Autor

Conforme apresentado na seção anterior, a associação assimétrica também dispõe do comprimento efetivo do canal do transistor composto, correspondente a soma dos transistores $L_S + L_D$, representado por L_{eff} . Trabalhos reportados na literatura [80] demonstram que a associação série assimétrica de transistores SOI (A-SC) é capaz de melhorar ainda mais as propriedades analógicas de transistores quando comparados à estrutura de associação simétrica SOI (S-SC), considerando as mesmas dimensões de canal [80]. Ao reduzir a concentração de dopantes no canal do transistor conectado ao dreno da estrutura composta, este transistor é forçado a funcionar na região de saturação, sendo que, parte da variação de polarização aplicada ao dreno é absorvida e não alcança o transistor próximo à fonte. O transistor conectado à fonte (M_S) responsável por fixar a tensão de limiar da estrutura composta. Em adição, o campo elétrico próximo à região do dreno é reduzido, assim como as cargas geradas por ionização de impacto, responsáveis pela ocorrência do efeito bipolar parasita.

Os resultados reportados para a associação série assimétrica mostram que esta é capaz de fornecer maior nível de corrente de dreno e transcondutância quando comparado à associação série simétrica. [22, 77, 80]. Este resultado pode ser visto nas Figuras 18 e 19, que

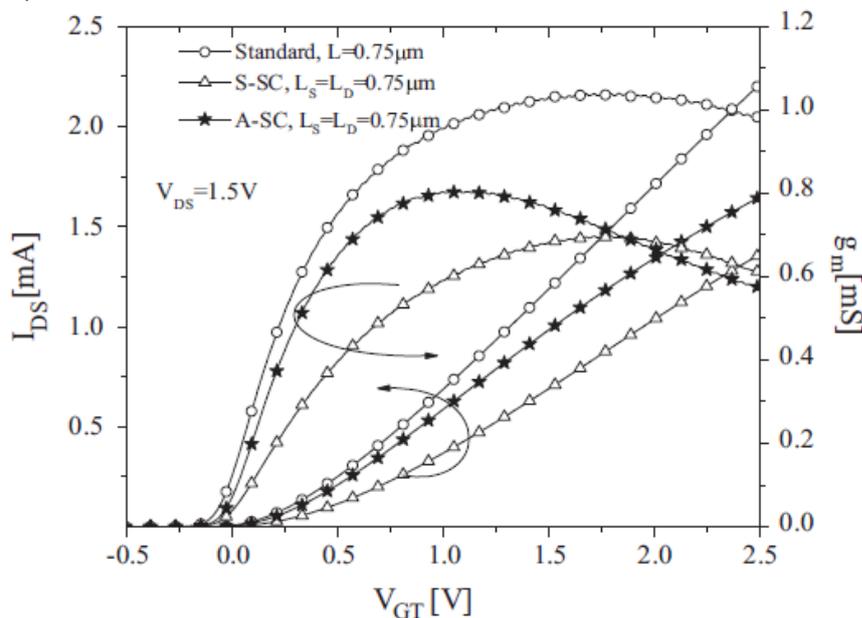
apresentam as curvas da corrente de dreno e transcondutância em função da sobretensão de condução (V_{GT}), do transistor isolado com comprimento de canal $L = 750$ nm, como também, das associações S-SC e A-SC com $L_S = L_D = 750$ nm, medidas com baixa tensão de polarização e alta tensão de polarização ($V_{DS} = 50$ mV e $V_{DS} = 1,5$ V) [80], respectivamente.

Figura 18 - (A) Corrente de dreno e (B) transcondutância em função da sobretensão de limiar medidas para transistor isolado, A-SC e S=SC, com tensão de polarização $V_{DS} = 50$ mV.



Fonte: SOUZA, 2016 [80]

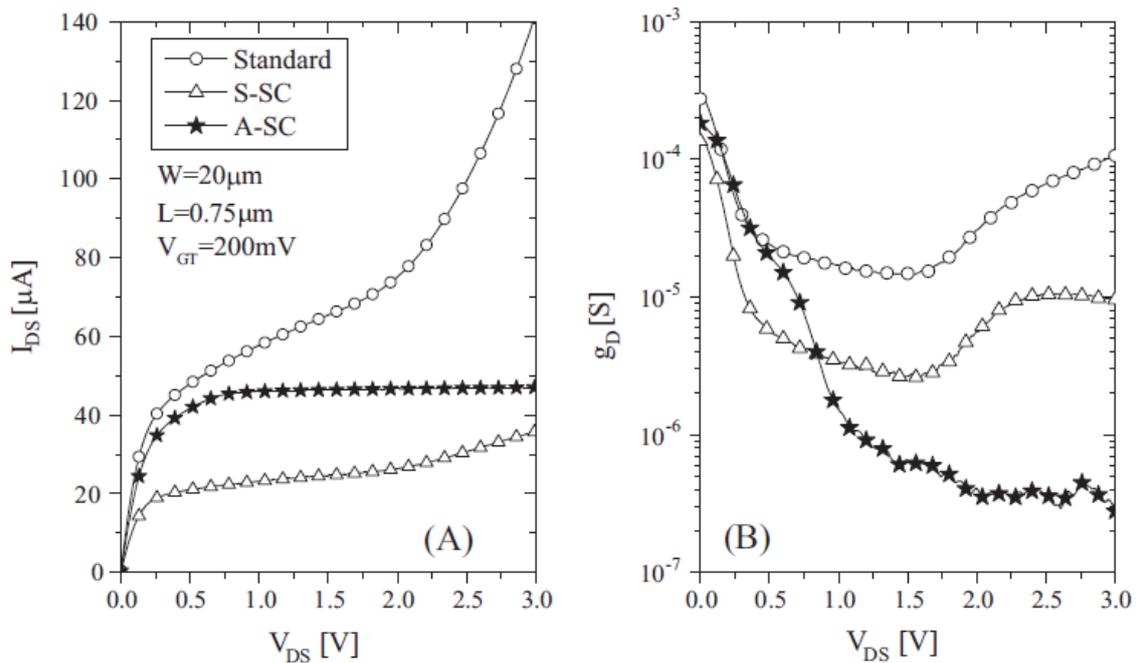
Figura 19 - Corrente de dreno e transcondutância em função da sobretensão de limiar medidas para transistor isolado, associação simétrica e assimétrica, com tensão de polarização $V_{DS} = 1,50$ V.



Fonte: SOUZA, 2016 [80]

A Figura 20 apresenta a corrente de dreno e a condutância de saída em função da tensão de dreno medidas com sobretensão de condução $V_{GT} = 200$ mV. A associação simétrica diminui a ocorrência do efeito da ionização por impacto, reduzindo o crescimento exponencial da corrente de dreno para $V_{DS} > 2$ V. Entretanto, a S-SC também reduz o nível de corrente, devido ao aumento do comprimento de canal [80]. A associação assimétrica promove mais vantagens em relação a associação simétrica. O efeito da ionização por impacto, responsável pelo crescimento exponencial da corrente de dreno e a degradação da condutância de saída para altos valores de tensão aplicados ao dreno ($V_{DS} > 2$ V para S-SC e ST) não são observados na associação A-SC [80]. Além disso, a A-SC promove a redução da condutância de saída (g_D) [22, 77, 80].

Figura 20 - (A) Corrente de dreno e (B) condutância de saída em função da tensão de dreno medidas para transistor isolado, associação simétrica e assimétrica, com sobretensão de limiar $V_{GT} = 200$ mV.



Fonte: SOUZA, 2016 [80]

3 CALIBRAÇÃO DOS PARÂMETROS DAS SIMULAÇÕES

Nesta seção são apresentados os resultados do ajuste dos parâmetros do modelo de simulação. Os ajustes foram realizados através de simulações utilizando o programa ICAP/4 em relação às características dos dispositivos caracterizados experimentalmente, sendo que, cada parâmetro foi ajustado individualmente em acordo com cada curva experimental.

A seguir, são destacados os parâmetros fundamentais para a obtenção dos resultados a serem apresentados nas próximas seções.

3.1. MODELO ANALÍTICO E PARÂMETROS

Para as simulações, foi utilizado o programa SPICE ICAP/4 registrado por Intusoft [26]. Este simulador SPICE foi escolhido por ter, em sua biblioteca, o modelo proposto por Iñiguez et al [81] para a corrente de dreno de transistores FD SOI MOSFET.

Este modelo é analítico, contínuo e baseado na física destes transistores, e considera efeitos de canal curto, tais como redução da mobilidade, modulação do comprimento de canal e saturação da velocidade dos portadores através da seguinte equação de corrente de dreno:

$$I_{DS} = \frac{W}{L_{eff}} \frac{\mu_n}{1 + V_{DSE} \frac{\mu_n}{L_{eff} v_{sat}}} \left[v_T (Q_{nf,D} - Q_{nf,S}) - \frac{Q_{nf,D}^2 - Q_{nf,S}^2}{2n \cdot C_{oxf}} \right] \quad (64)$$

onde V_{DSE} é a tensão efetiva entre os terminais de dreno e fonte, v_{sat} é a velocidade de saturação dos portadores, v_T é o potencial térmico. Os termos $Q_{nf,D}$ e $Q_{nf,S}$ correspondem às densidades de carga de inversão no dreno e na fonte, respectivamente, dadas por:

$$Q_{nf} = C_{oxf} n v_T \left(1 - \sqrt{1 + \frac{4Q_{nf2}^2}{(C_{oxf} n v_T)^2}} \right) \quad (65)$$

onde:

$$Q_{nf2} = -C_{oxf} \cdot n v_T \cdot S_{NT} \cdot \ln \left[1 + \sqrt{\frac{-Q_0 / (2C_{oxf})}{n v_T \cdot S_{NT}^2}} \times \exp\left(\frac{V_{GF} - n V_{THf} - n V_c}{2 n v_T}\right) + \exp\left(\frac{V_{GF} - V_{THf} - n V_c}{2 n v_T S_{NT}}\right) \right]$$

sendo V_{THf} e V_{THfi} as tensões de limiar obtidas em inversão forte e fraca, Q_0 é a carga de inversão para $V_{GF} = V_{THfi}$ e $S_{NT} (<1)$ é o parâmetro de ajuste que controla a transição entre os regimes de inversão fraca e forte.

A Tabela 1 apresenta os parâmetros do modelo que foram utilizados para ajuste aos dados experimentais.

Tabela 1 - Parâmetros do modelo utilizados para o ajuste aos dados experimentais.

Parâmetro	Descrição	Unidade
tof	espessura do dielétrico de porta	(m)
tob	espessura do óxido enterrado	(m)
tb	espessura da camada de silício	(m)
nsub	concentração de dopantes na camada de silício	(m^{-3})
μ_0	mobilidade de baixo campo elétrico	($m^2/(V.s)$)
rd	resistência série do dreno ou fonte	(ohms)
V_{THf}	tensão de limiar em inversão forte	(V)
V_{THfi}	tensão de limiar em inversão fraca	(V)
af	parâmetro de degradação da mobilidade	-
snt	parâmetro que controla a transição entre os regimes de inversão forte e fraca	-
q_0	densidade de carga de inversão	(coulomb/ m^2)
sigma	parâmetro de redução da barreira induzida pelo dreno	-
ats	parâmetro que controla a transição entre saturação e triodo	-
vsat	velocidade de saturação dos portadores	(m/s)
ldiff	comprimento de difusão	(m)
ene	inclinação de sublimiar	-
wd	largura de difusão	(m)
vfbf	tensão da faixa plana da porta	(V)
vbbb	tensão da faixa plana do substrato	(V)

Fonte: Autor.

Os parâmetros do modelo foram ajustados a dados experimentais de transistores FD SOI fabricados no Laboratório de Microeletrônica da *Université catholique de Louvain* (UCLouvain), localizada na cidade de Louvain-la-Neuve, Bélgica. Nesta tecnologia, as espessuras das camadas de óxido de porta, silício e óxido enterrado são de 31 nm, 80 nm e 390 nm, respectivamente.

Para realizar as simulações, foram utilizadas as medidas de quatro SOI MOSFETs com largura de canal $W = 20 \mu\text{m}$, comprimentos de canal $L = 2 \mu\text{m}$ e $1 \mu\text{m}$, com duas concentrações de dopantes na região do canal, $1.10^{17} \text{ cm}^{-3}$ e $1.10^{15} \text{ cm}^{-3}$. Exemplos de arquivos de simulação são apresentados nos Apêndices A e B, para curvas $I_{\text{DS}} \times V_{\text{GS}}$ e $I_{\text{DS}} \times V_{\text{DS}}$, respectivamente.

O parâmetro μ_0 , que corresponde à mobilidade de baixo campo, foi ajustado considerando as diferentes concentrações de dopantes. Sua degradação devido ao campo elétrico foi ajustada a partir do parâmetro a_f , observando-se as curvas de transcondutância.

O parâmetro V_{TH0} correspondente à tensão de limiar, e foi extraído a partir do método da segunda derivada de $I_{\text{DS}} \times V_{\text{GS}}$ e, posteriormente, ajustada empiricamente, de forma a coincidir com as tensões de limiar com cada concentração e comprimento de canal.

A partir do inverso da inclinação de sublimiar, foi extraído o parâmetro θ , utilizando a expressão (21).

O parâmetro σ , que expressa a redução da barreira induzida pelo dreno foi ajustado a fim de obter a mesma inclinação, na região de saturação, das curvas $I_{\text{DS}} \times V_{\text{DS}}$ experimentais.

O parâmetro α , que é um parâmetro de ajuste que corresponde à transição entre região de saturação e de triodo, foi ajustado empiricamente para diferentes valores de tensões de polarização de dreno, obtendo um único para cada concentração de dopante e comprimento de canal, respeitando os valores descritos em [81].

O parâmetro β , que controla a transição entre os regimes de inversão fraca e forte, foi mantido igual a 0,97, como em [81].

A Tabela 2 sumariza os valores dos parâmetros ajustados aos dados experimentais.

Tabela 2 - Parâmetros do modelo ajustados aos dados experimentais.

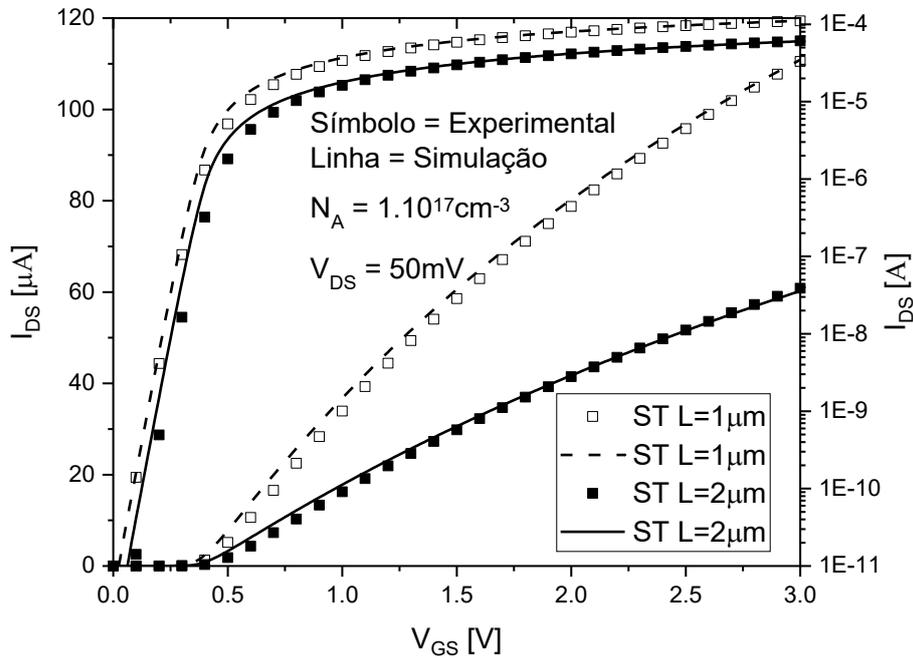
Parâmetro	$N_A = 1.10^{17} \text{ cm}^{-3}$		$N_A = 1.10^{15} \text{ cm}^{-3}$		Unidade
	L = 2 μm	L = 1 μm	L = 2 μm	L = 1 μm	
μ_0	600.10^{-4}	660.10^{-4}	800.10^{-4}	800.10^{-4}	($\text{m}^2 / \text{V.s}$)
$V_{TH\bar{n}}$	0,38	0,36	-0,36	-0,46	V
af	$3,00.10^{-8}$	$4,50.10^{-8}$	$3,00.10^{-8}$	$4,00.10^{-8}$	-
snt	0,97	0,97	0,97	0,97	-
sigma	$1,15.10^{-2}$	$2,20.10^{-2}$	$0,40.10^{-2}$	$0,40.10^{-2}$	-
ld	$5,0.10^{-8}$	$5,0.10^{-8}$	$9,0.10^{-8}$	$6,5.10^{-8}$	(m)
ats	2,50	2,50	2,50	2,00	-
ene	1,10	1,10	1,10	1,40	-

Fonte: Autor.

3.2 TRANSISTORES COM ALTA CONCENTRAÇÃO DE DOPANTES

A Figura 21 apresenta a comparação entre o resultado experimental e o simulado da corrente de dreno em função da tensão de porta com o dreno polarizado com tensão de 50 mV, para os transistores com alta concentração de dopantes na região do canal, em escalas linear e logarítmica. Pode-se notar ótima concordância entre os dados experimentais e simulados, até mesmo na região de sublimiar, além do aumento da corrente de dreno com a redução do comprimento de canal. Toda as regiões das curvas foram analisadas e, na região de interesse o erro foi calculado através da expressão $\left[\frac{I_{DS \text{ exp.}} - I_{DS \text{ sim.}}}{I_{DS \text{ exp.}}} \right] \times 100$ (% erro). O ajuste da I_{DS} em função da tensão de porta com comprimento de canal $L = 1 \mu\text{m}$ e $2 \mu\text{m}$ e com tensão de polarização de dreno $V_{DS} = 50 \text{ mV}$ apresentou a porcentagem de erro inferior a 10% na região de saturação.

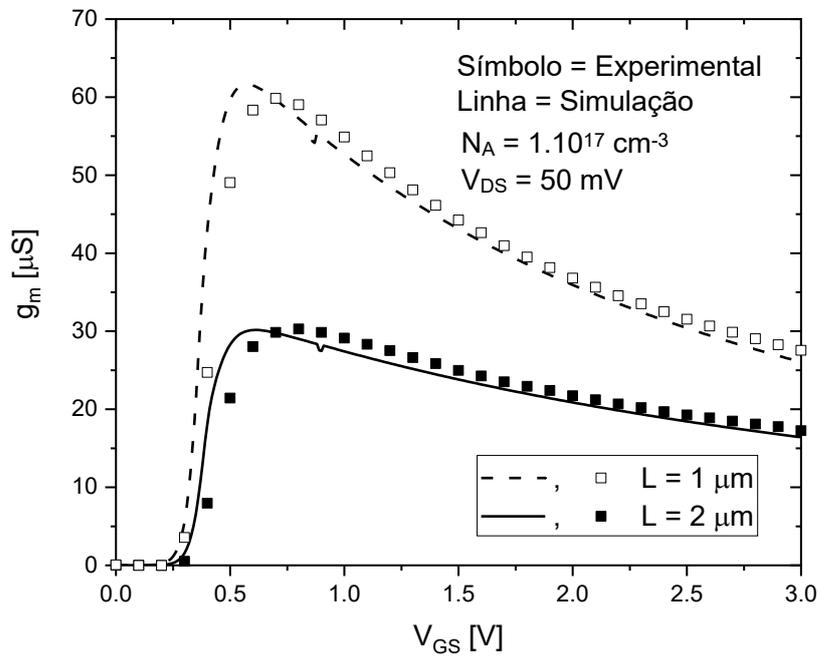
Figura 21 - Corrente de dreno em função da tensão de porta ($L = 1 \mu\text{m}$ e $2 \mu\text{m}$, $V_{DS} = 50 \text{ mV}$, $N_A = 1.10^{17} \text{ cm}^{-3}$).



Fonte: Autor.

A partir da derivada das curvas de corrente de dreno apresentadas, foram traçadas as curvas da transcondutância em função da tensão de porta com o dreno polarizado com tensão de 50 mV, para os transistores com alta concentração de dopantes na região do canal. Os resultados apresentados na Figura 22 demonstram que o aumento da transcondutância com a redução do comprimento de canal é descrito adequadamente pela simulação, bem como sua degradação com o aumento de V_{GS} . O ajuste da g_m com comprimento de canal $L = 1 \mu\text{m}$ e tensão de polarização de dreno $V_{DS} = 50 \text{ mV}$ apresentou a máxima porcentagem de erro inferior a 12% na região de saturação.

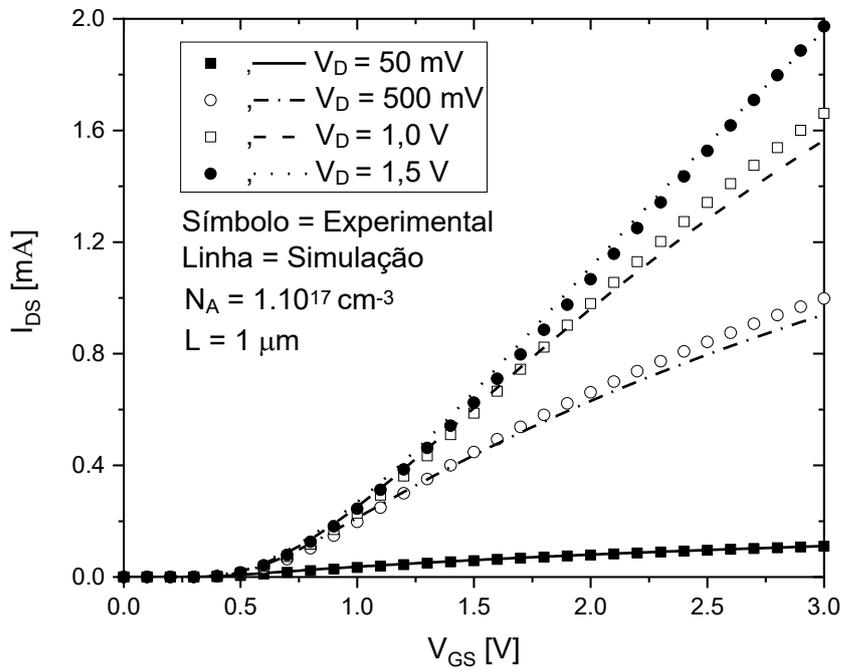
Figura 22 - Transcondutância em função da tensão de porta ($L=1\ \mu\text{m}$ e $2\ \mu\text{m}$, $V_{DS} = 50\ \text{mV}$, $N_A = 1.10^{17}\ \text{cm}^{-3}$).



Fonte: Autor.

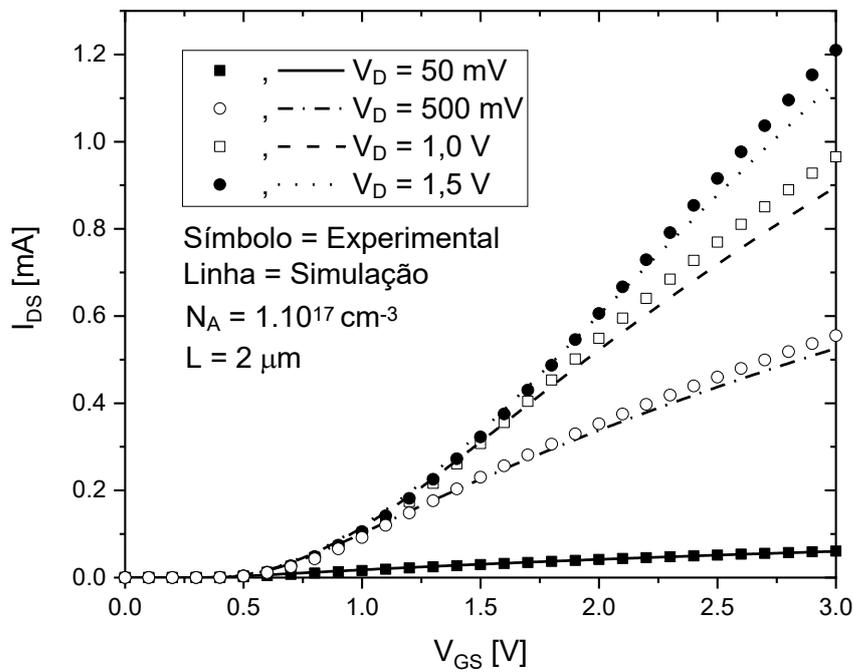
As Figuras 23 e 24 apresentam a comparação entre os resultados experimentais e simulados para a corrente de dreno em função da tensão de porta com o dreno polarizado com diferentes tensões e, comprimentos de canal com $L = 1\ \mu\text{m}$ e $2\ \mu\text{m}$, respectivamente. É possível observar que a corrente de dreno aumenta com o aumento da tensão de polarização de dreno e com a diminuição do comprimento da região de canal.

Figura 23 - Corrente de dreno em função da tensão de porta ($L = 1\mu\text{m}$, $V_{DS} = 50\text{ mV}$, 500 mV , 1 V e $1,5\text{ V}$, $N_A = 1.10^{17}\text{ cm}^{-3}$).



Fonte: Autor.

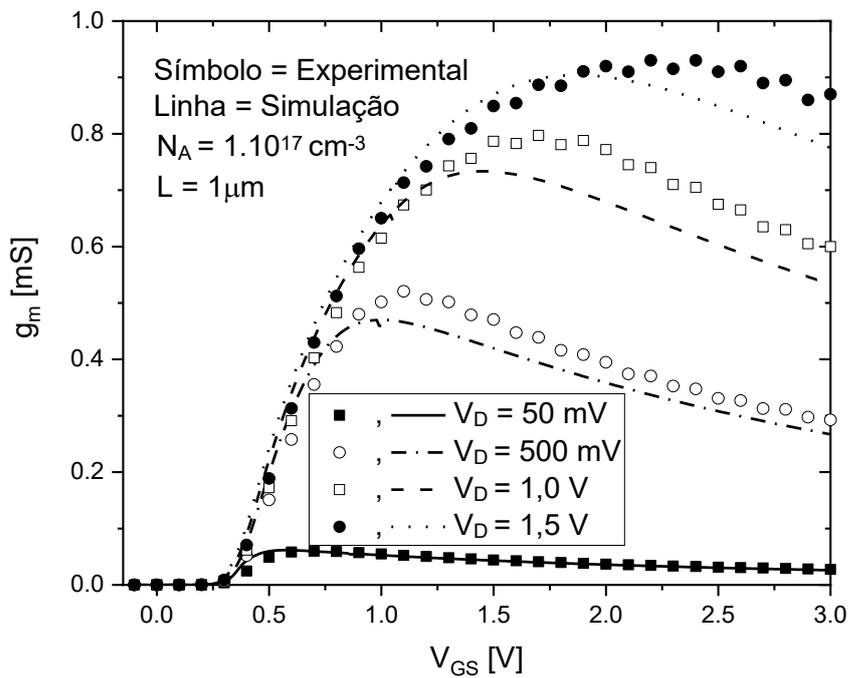
Figura 24 - Corrente de dreno em função da tensão de porta ($L = 2\mu\text{m}$, $V_{DS} = 50\text{ mV}$, 500 mV , 1 V e $1,5\text{ V}$, $N_A = 1.10^{17}\text{ cm}^{-3}$).



Fonte: Autor.

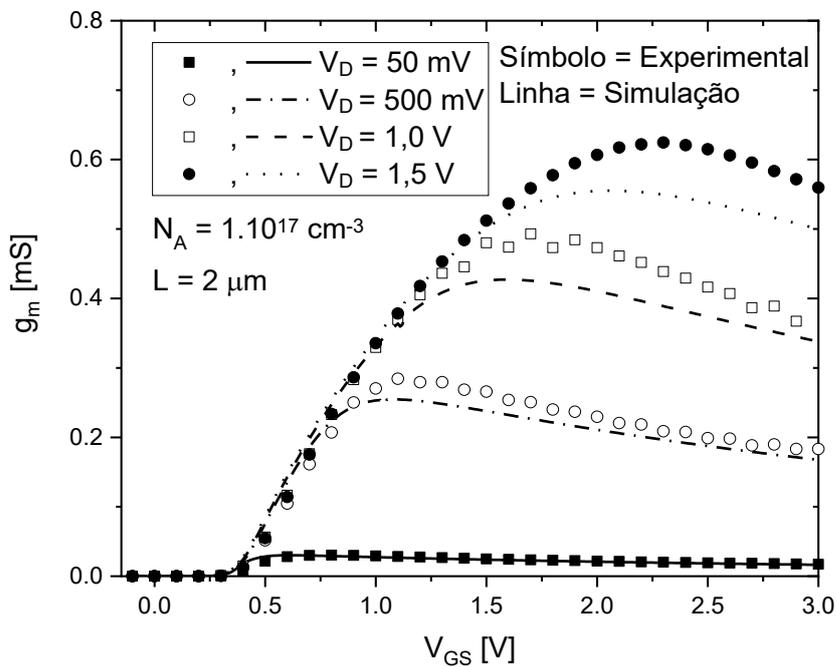
As Figuras 25 e 26 apresentam as curvas experimentais e simuladas para a transcondutância em função da tensão de porta com o dreno polarizado com diferentes tensões e comprimento de canal, $L = 1 \mu\text{m}$ e $L = 2 \mu\text{m}$, respectivamente. Embora para valores mais altos de V_{DS} e V_{GS} , as curvas experimentais e simuladas apresentem níveis diferentes na região de triodo, tanto a corrente como a transcondutância são bem descritas pelo simulador.

Figura 25 - Transcondutância em função da tensão de porta ($L = 1 \mu\text{m}$, $V_{DS} = 50 \text{ mV}$, 500 mV , 1 V e $1,5 \text{ V}$, $N_A = 1.10^{17} \text{ cm}^{-3}$).



Fonte: Autor.

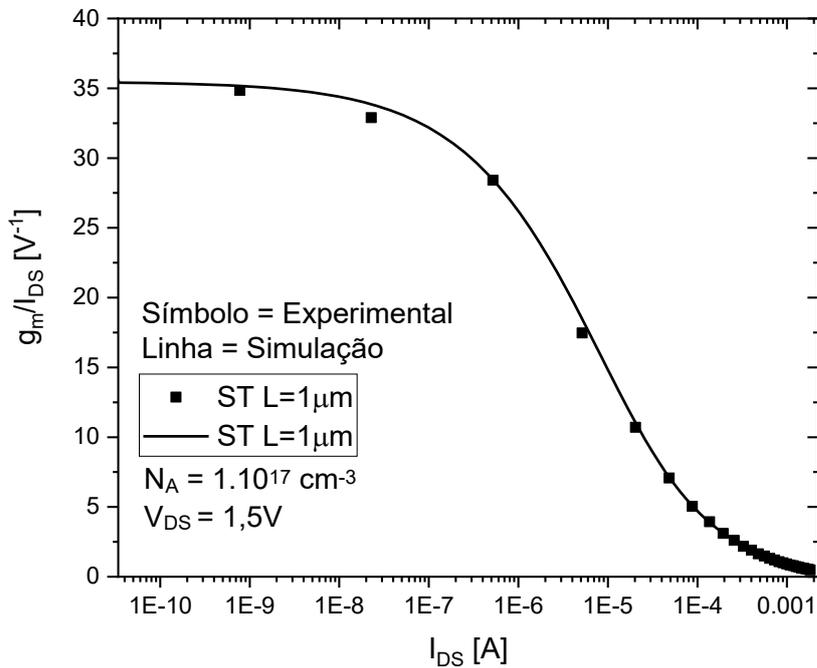
Figura 26 - Transcondutância em função da tensão de porta ($L = 2 \mu\text{m}$, $V_{DS} = 50 \text{ mV}$, 500 mV , 1 V e $1,5 \text{ V}$, $N_A = 1.10^{17} \text{ cm}^{-3}$).



Fonte: Autor.

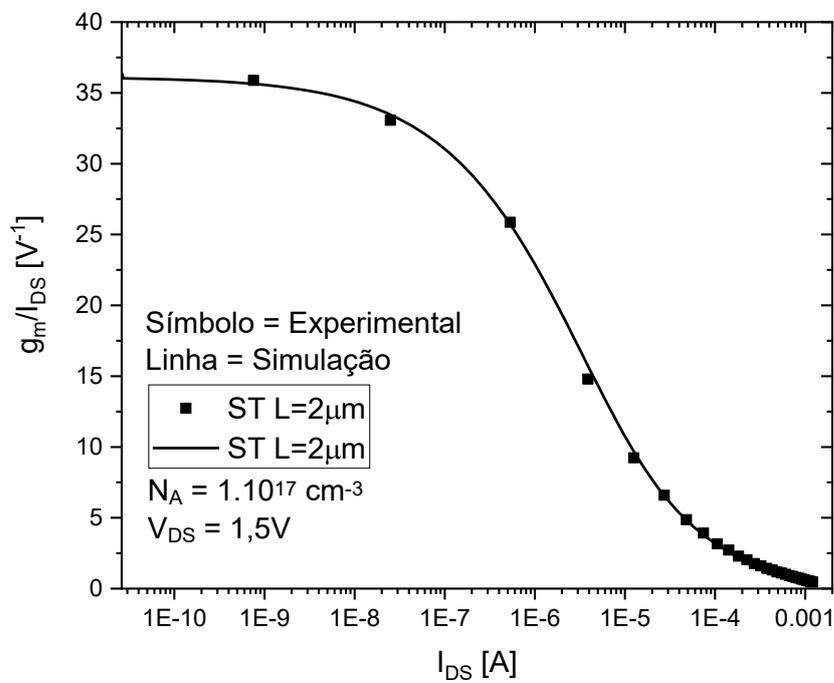
Nas Figuras 27 e 28 são apresentadas comparações entre as curvas medidas e simuladas para a razão da transcondutância pela corrente de dreno em função da corrente de dreno com tensão de polarização de dreno de $1,5 \text{ V}$ e $L = 1 \mu\text{m}$ e $L = 2 \mu\text{m}$. Pode-se notar a continuidade entre as regiões de inversão fraca e forte. A razão g_m/I_{DS} é um parâmetro importante, pois traduz a eficiência do transistor em converter a corrente de polarização em transcondutância e está relacionada ao ganho de amplificadores CMOS. O ajuste da razão da transcondutância pela corrente de dreno em função da corrente de dreno com tensão de polarização de dreno de $1,5 \text{ V}$ e comprimento de canal $L = 1 \mu\text{m}$, apresentou a máxima porcentagem de erro inferior $6,0 \%$ na região de inversão fraca ($I_{DS} = 10^{-9} \text{ A}$) e de $4,0 \%$ na região de inversão moderada ($I_{DS} = 10^{-6} \text{ A}$). Considerando comprimento de canal $L = 2 \mu\text{m}$, a máxima porcentagem de erro foi inferior a $3,0 \%$ e na região de inversão fraca ($I_{DS} = 10^{-9} \text{ A}$) e de $5,0 \%$ na região de inversão moderada ($I_{DS} = 10^{-6} \text{ A}$), demonstrando o excelente ajuste entre os resultados simulados e os dados experimentais.

Figura 27 - Razão g_m/I_{DS} em função da corrente de dreno ($L = 1 \mu\text{m}$, $V_{DS} = 1,5 \text{ V}$, $N_A = 1.10^{17} \text{ cm}^{-3}$).



Fonte: Autor.

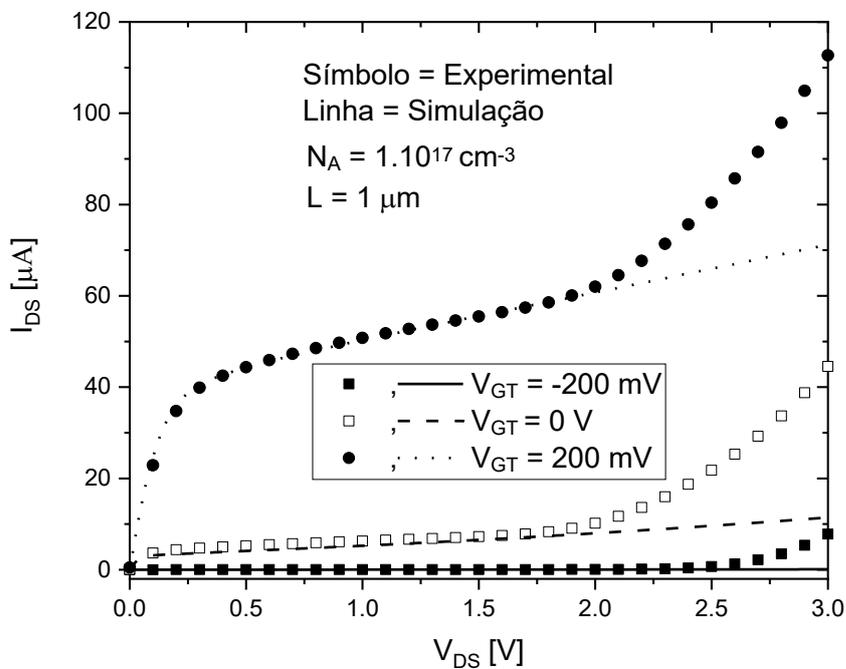
Figura 28 - Razão g_m/I_{DS} em função da corrente de dreno ($L = 2 \mu\text{m}$, $V_{DS} = 1,5 \text{ V}$, $N_A = 1.10^{17} \text{ cm}^{-3}$).



Fonte: Autor.

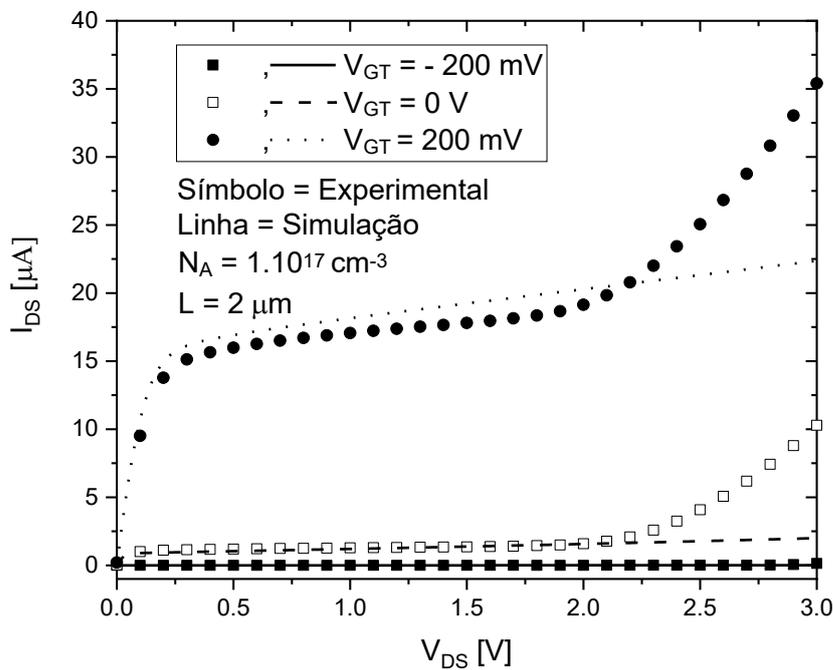
As Figuras 29 e 30 apresentam as comparações entre as curvas experimentais e simuladas da corrente de dreno (I_{DS}) em função da tensão de dreno (V_{DS}) com sobretensão de condução ($V_{GT} = V_{GS} - V_{TH}$), de -200 mV, 0 V e 200 mV. Pode-se notar que o ajuste entre as curvas é excelente, exceto na região onde os transistores sofrem de ionização por impacto, uma vez que o modelo utilizado na simulação não considera este efeito. O ajuste da I_{DS} em função da tensão de dreno V_{DS} com comprimento de canal $L = 1 \mu\text{m}$ e sobretensão de condução $V_{GT} = 200 \text{ mV}$ apresentou a máxima porcentagem de erro inferior a 2,0 % e, com $L = 2 \mu\text{m}$ apresentou porcentagem de erro máximo inferior a 9,0 %, ambos em região de saturação.

Figura 29 - Corrente de dreno em função da tensão de dreno ($L = 1 \mu\text{m}$, $V_{GT} = -200 \text{ mV}$, 0 V e 200 mV, $N_A = 1.10^{17} \text{ cm}^{-3}$).



Fonte: Autor.

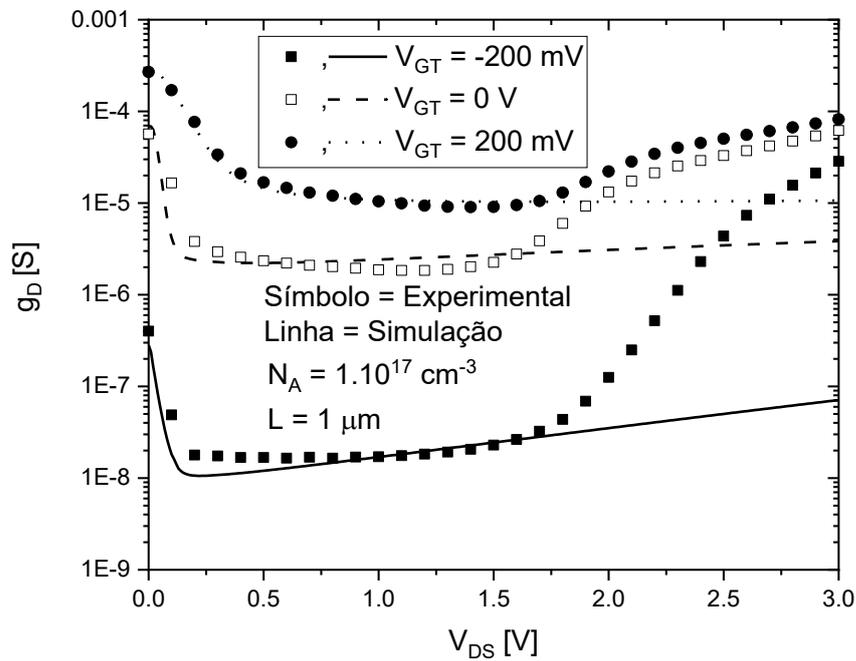
Figura 30 - Corrente de dreno em função da tensão de dreno ($L = 2 \mu\text{m}$, $V_{GT} = -200 \text{ mV}$, 0 V e 200 mV , $N_A = 1.10^{17} \text{ cm}^{-3}$).



Fonte: Autor.

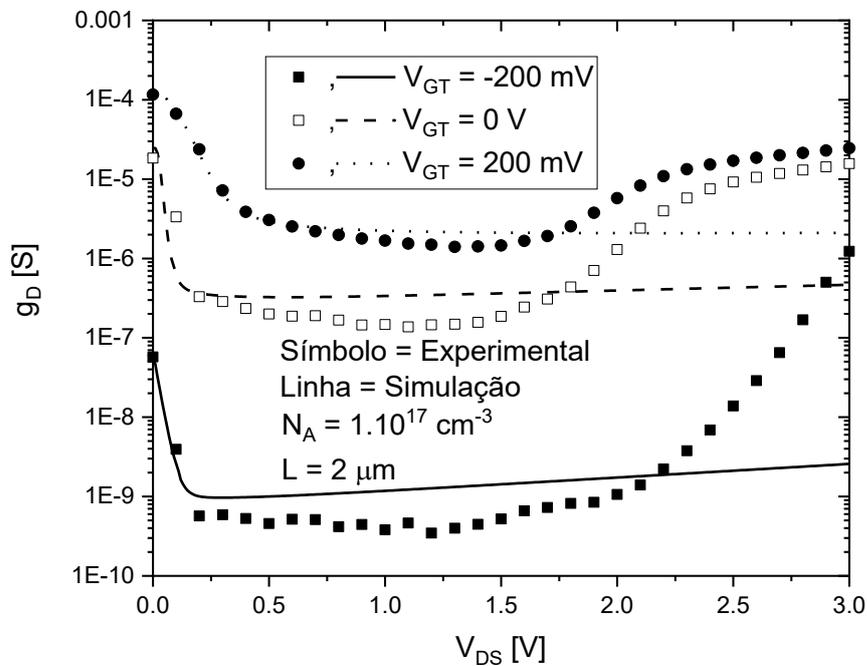
Nas Figuras 31 e 32 são apresentadas, respectivamente, as curvas da condutância de saída em função da tensão de dreno com sobre-tensão de limiar de: -200 mV , 0 V e 200 mV e comprimento de canal $L = 1 \mu\text{m}$ e $L = 2 \mu\text{m}$, obtidas através da derivada numérica das curvas da corrente de dreno. Nota-se que, devido à diminuição do comprimento de canal de $2 \mu\text{m}$ para $1 \mu\text{m}$, a condutância de saída sofre um aumento, devido a relação de maior importância do efeito de modulação de comprimento de canal em transistores mais curtos. O ajuste da g_D em função da tensão de dreno V_{DS} com comprimento de canal $L = 1 \mu\text{m}$ e sobre-tensão de condução $V_{GT} = 200 \text{ mV}$ apresentou a máxima porcentagem de erro inferior a $5,0 \%$, e com $L = 2 \mu\text{m}$ apresentou erro máximo inferior a $8,0 \%$, ambos em região de saturação.

Figura 31 - Condutância de saída em função da tensão de dreno ($L = 1 \mu\text{m}$, $V_{GT} = -200 \text{ mV}$, 0 V e 200 mV , $N_A = 1.10^{17} \text{ cm}^{-3}$).



Fonte: Autor.

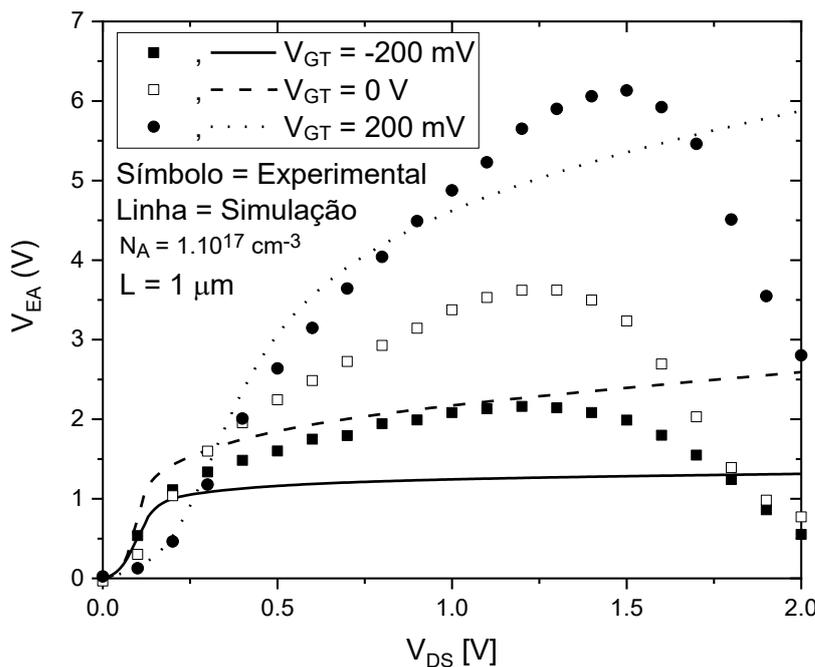
Figura 32 - Condutância de saída em função da tensão de dreno ($L = 2 \mu\text{m}$, $V_{GT} = -200 \text{ mV}$, 0 V e 200 mV , $N_A = 1.10^{17} \text{ cm}^{-3}$).



Fonte: Autor.

A tensão Early, calculada como $V_{EA} = I_{DS} / g_D$, é apresentada na Figura 33 com diferentes tensões de polarização de sobretensão de limiar, para os dados experimentais e simulados. O ajuste da V_{EA} em função da tensão de dreno com comprimento de canal $L = 1 \mu\text{m}$ e sobretensão de condução $V_{GT} = 200 \text{ mV}$ apresentou a máxima porcentagem de erro inferior a 18,0 % em região de saturação.

Figura 33 - Tensão Early em função da tensão de dreno ($L = 1 \mu\text{m}$, $N_A = 1.10^{17} \text{ cm}^{-3}$).



Fonte: Autor.

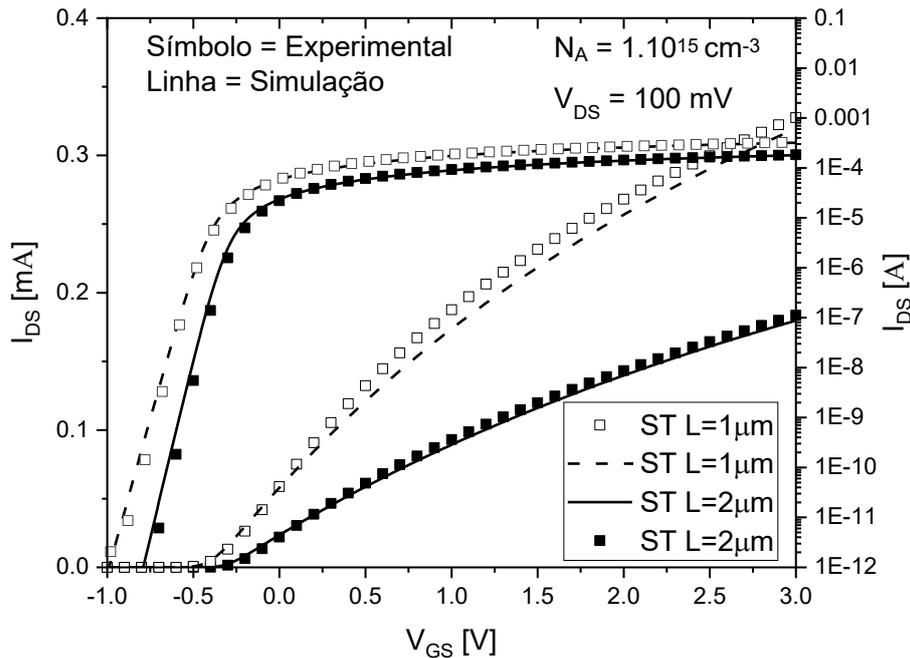
3.3 TRANSISTORES COM BAIXA CONCENTRAÇÃO DE DOPANTES

Uma vez que a associação série assimétrica utilizada neste trabalho será composta por transistores com concentrações de dopantes diferentes, foi realizado também o ajuste das simulações à dados experimentais de transistores com concentração de canal igual à concentração natural da lâmina ($N_A = 1.10^{15} \text{ cm}^{-3}$). Os valores de tensão de polarização de dreno utilizados para realizar os ajustes com baixa concentração de dopantes correspondem a $V_{DS} = 100 \text{ mV}$, 800 mV e $1,5 \text{ V}$, em acordo com os dados caracterizados experimentalmente.

Na Figura 34 são apresentadas as curvas experimentais e simuladas da corrente de dreno em função da tensão de porta com o dreno polarizado com tensão de 100 mV , para os transistores com baixa concentração de dopantes na região do canal, em escalas linear e logarítmica. Ao reduzir a concentração de dopantes, a mobilidade dos portadores é maior,

aumentando o nível de corrente (I_{DS}) em comparação com os transistores de maior concentração de dopantes. O ajuste da I_{DS} em função da tensão de porta com comprimento de canal $L = 1 \mu\text{m}$ e $2 \mu\text{m}$ com tensão de polarização de dreno $V_{DS} = 100 \text{ mV}$ apresentou a máxima porcentagem de erro inferior a 5,0 %, ambos em região de saturação.

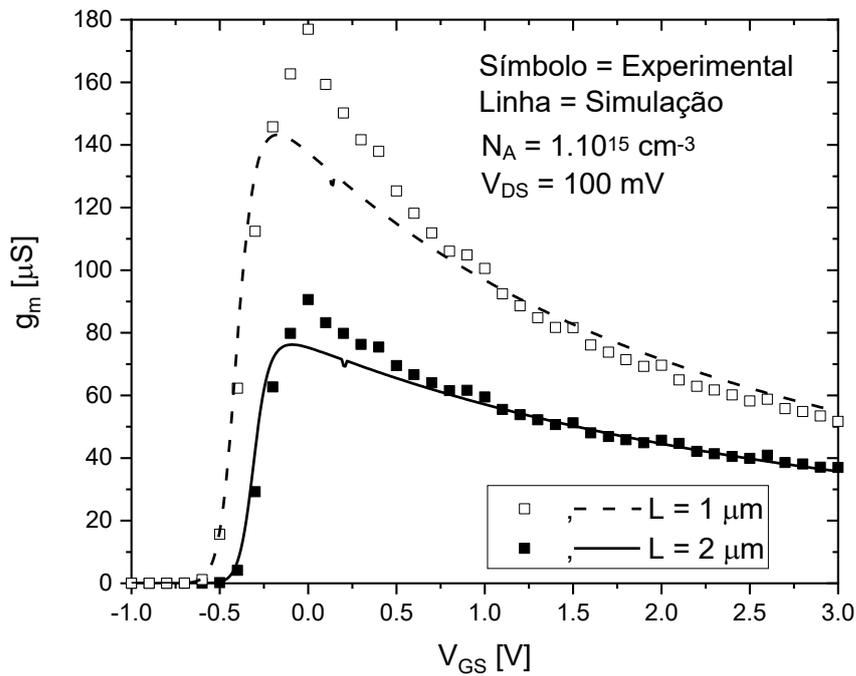
Figura 34 - Corrente de dreno em função da tensão de porta ($L = 1 \mu\text{m}$ e $L = 2 \mu\text{m}$, $V_{DS} = 100 \text{ mV}$, $N_A = 1.10^{15} \text{ cm}^{-3}$).



Fonte: Autor.

A Figura 35 apresenta a comparação entre os resultados experimental e simulado para a transcondutância em função da tensão de porta com o dreno polarizado com tensão de 100 mV obtida a partir da derivada da curva da corrente. O ajuste da g_m com comprimento de canal $L = 1 \mu\text{m}$ e $2 \mu\text{m}$ com tensão de polarização de dreno $V_{DS} = 100 \text{ mV}$ apresentou a máxima porcentagem de erro inferior a 20,0 %, em torno da região do pico da transcondutância.

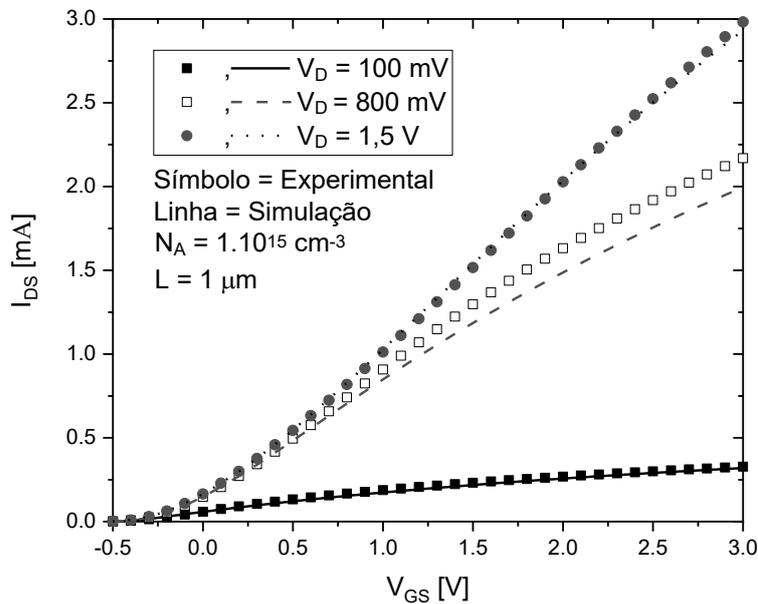
Figura 35 - Transcondutância em função da tensão de porta ($L = 1 \mu\text{m}$ e $L = 2 \mu\text{m}$, $V_{DS} = 100 \text{ mV}$, $N_A = 1.10^{15} \text{ cm}^{-3}$).



Fonte: Autor.

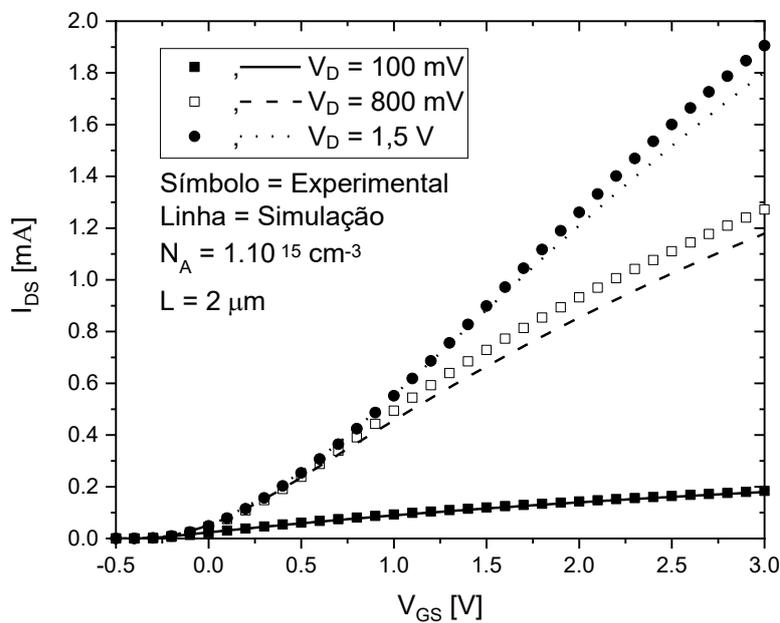
As Figuras 36 e 37 apresentam a comparação entre as curvas simuladas e medidas da corrente de dreno em função da tensão de porta com o dreno polarizado com diferentes tensões e $L = 1 \mu\text{m}$ e $L = 2 \mu\text{m}$, respectivamente. A corrente de dreno aumenta com o aumento da tensão de polarização de dreno e com a diminuição do comprimento da região de canal.

Figura 36 - Corrente de dreno em função da tensão de porta ($L = 1 \mu\text{m}$, $V_{DS} = 100 \text{ mV}$, 800 mV e $1,5 \text{ V}$, $N_A = 1.10^{15} \text{ cm}^{-3}$).



Fonte: Autor.

Figura 37 - Corrente de dreno em função da tensão de porta ($L = 2 \mu\text{m}$, $V_{DS} = 100 \text{ mV}$, 800 mV e $1,5 \text{ V}$, $N_A = 1.10^{15} \text{ cm}^{-3}$).

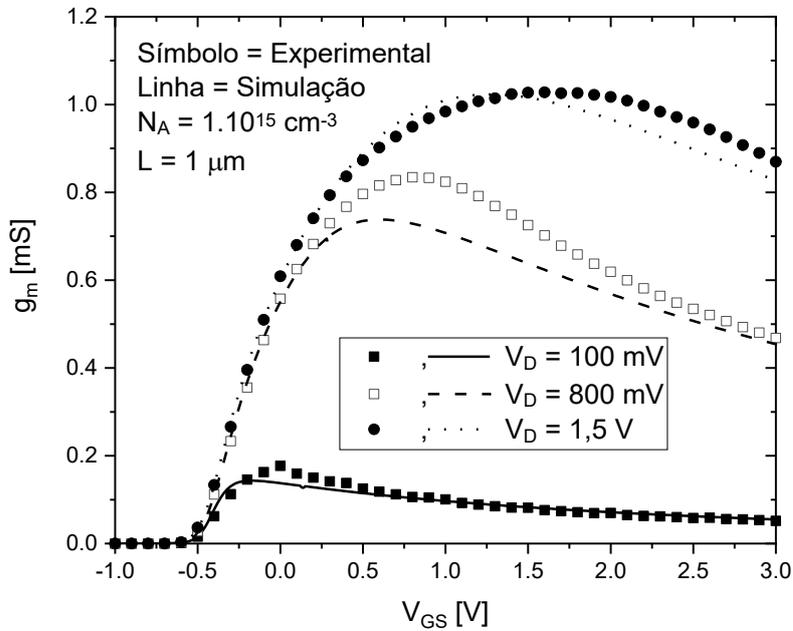


Fonte: Autor.

Nas Figuras 38 e 39 são apresentados os resultados da comparação entre o resultado experimental e simulado para a transcondutância em função da tensão de porta com o dreno polarizado com diferentes valores de tensão e $L = 1 \mu\text{m}$ e $L = 2 \mu\text{m}$ para os transistores com baixa concentração de dopantes na região do canal. Como apresentado para os transistores de

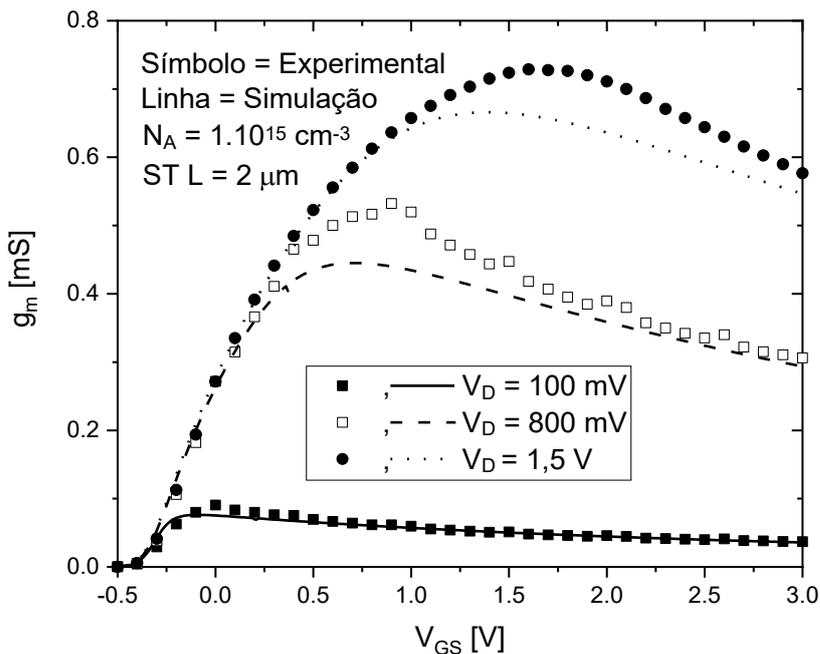
maior concentração de dopantes, há um bom ajuste dos dados simulados com os dados experimentais na região de saturação, onde circuitos analógicos são polarizados.

Figura 38 - Transcondutância em função da tensão de porta ($L = 1 \mu\text{m}$, $V_{DS} = 100 \text{ mV}$, 800 mV e $1,5 \text{ V}$, $N_A = 1.10^{15} \text{ cm}^{-3}$).



Fonte: Autor.

Figura 39 - Transcondutância em função da tensão de porta ($L = 2 \mu\text{m}$, $V_{DS} = 100 \text{ mV}$, 800 mV e $1,5 \text{ V}$, $N_A = 1.10^{15} \text{ cm}^{-3}$).

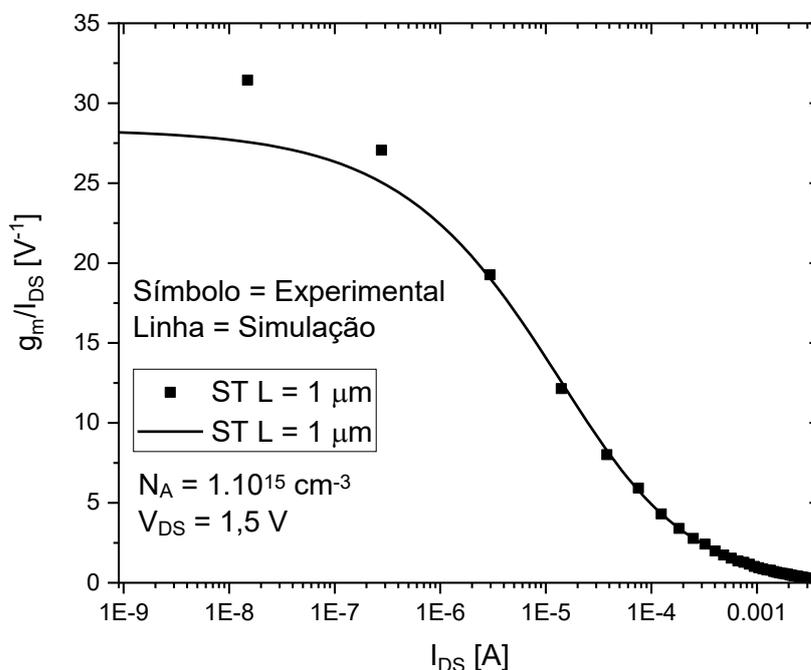


Fonte: Autor.

Nas Figuras 40 e 41 são apresentadas as curvas experimentais e simuladas da razão g_m/I_{DS} em função da corrente de dreno com o dreno polarizado com 1,5 V e $L = 1 \mu\text{m}$ e $2 \mu\text{m}$ para os transistores com baixa concentração de dopantes na região do canal. Conforme mencionado na seção 2.3.2, tipicamente o valor máximo da g_m/I_{DS} em um transistor SOI MOSFET é de 35 V^{-1} , enquanto em MOSFETs convencionais, atinge cerca de 25 V^{-1} . Os resultados apresentados demonstram o bom ajuste obtido através do modelo utilizado. Nota-se que o patamar máximo é menor com o comprimento de canal $L = 1 \mu\text{m}$, devido à degradação do fator de corpo.

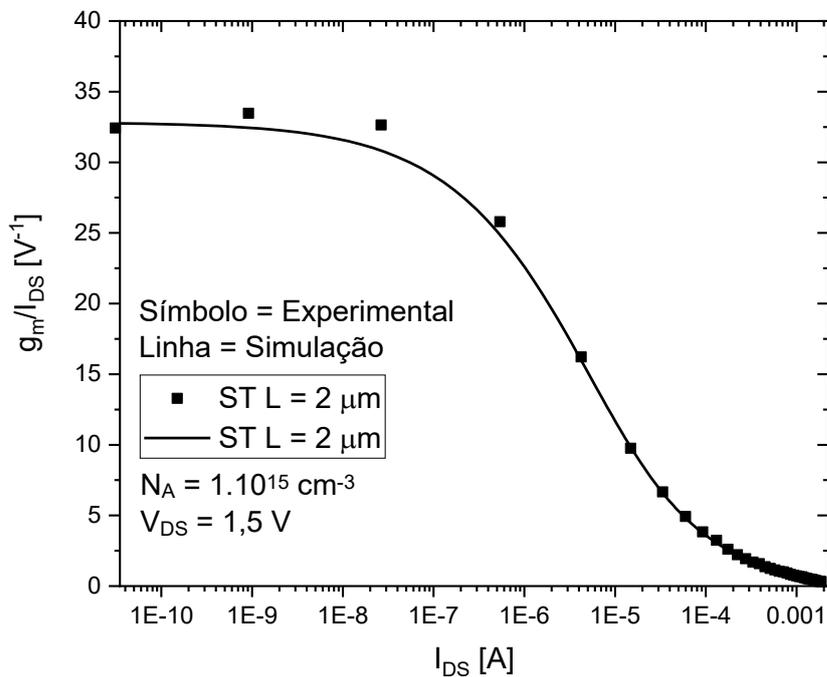
O ajuste da razão da transcondutância pela corrente de dreno em função da corrente de dreno com tensão de polarização de dreno de 1,5 V e comprimento de canal $L = 1 \mu\text{m}$, apresentou máxima porcentagem da ordem de 7,0 % na região de inversão moderada ($I_{DS} = 1.10^{-6} \text{ A}$). Considerando comprimento de canal $L = 2 \mu\text{m}$ apresentou porcentagem de erro máxima 6,0 % na região de inversão fraca ($I_{DS} = 1.10^{-9} \text{ A}$) e erro máximo de 4,0 % na região de inversão moderada ($I_{DS} = 1.10^{-6} \text{ A}$).

Figura 40 - Razão g_m/I_{DS} em função da corrente de dreno ($L = 1 \mu\text{m}$, $V_{DS} = 1,5 \text{ V}$, $N_A = 1.10^{15} \text{ cm}^{-3}$).



Fonte: Autor.

Figura 41 - Razão g_m/I_{DS} em função da corrente de dreno ($L = 2 \mu\text{m}$, $V_{DS} = 1,5 \text{ V}$, $N_A = 1.10^{15} \text{ cm}^{-3}$).

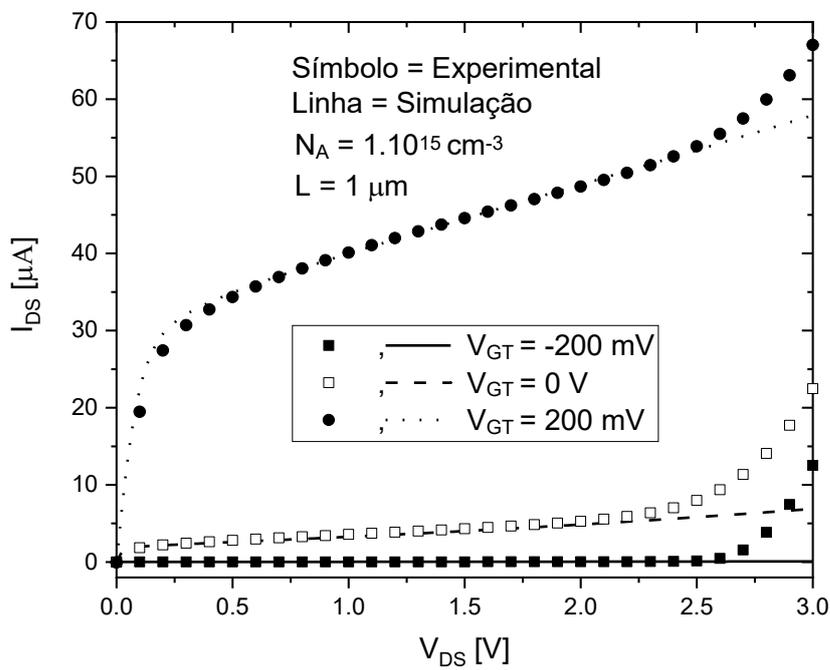


Fonte: Autor.

Nas Figuras 42 e 43 são apresentados os resultados simulados e medidos para as curvas da corrente de dreno em função da tensão de dreno com V_{GT} de: -200 mV , 0 V e 200 mV , além das curvas obtidas através de dados experimentais. Conforme mencionado anteriormente, o modelo utilizado na simulação não inclui a ionização por impacto observada nas simulações e, por esta razão, a curva simulada desvia da curva experimental. Entretanto, nota-se também que, com menor concentração de dopantes, este efeito é minimizado em relação aos transistores com maior concentração, devido à redução no efeito da modulação de comprimento de canal.

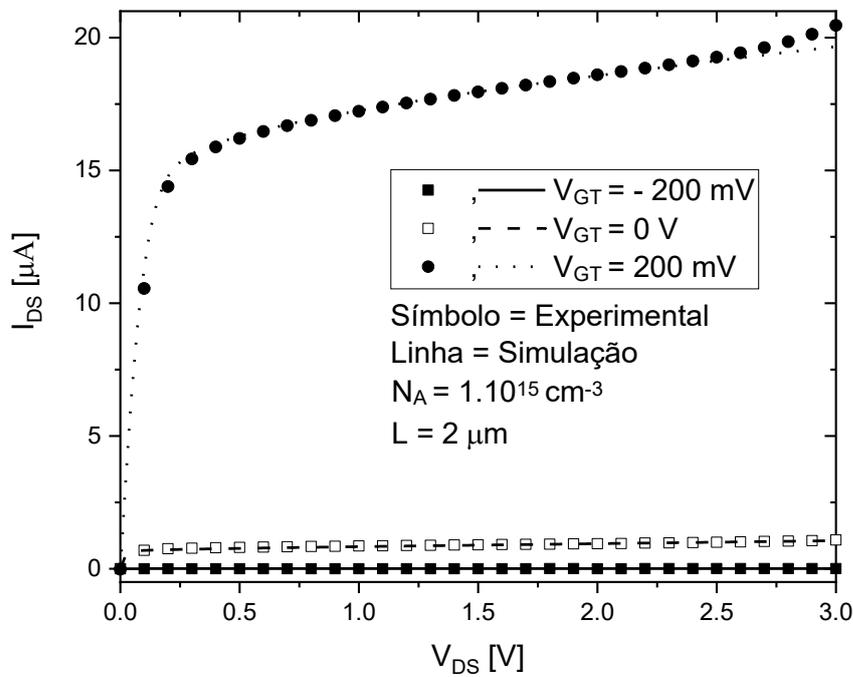
O ajuste de I_{DS} em função de V_{DS} com comprimento de canal $L = 1 \mu\text{m}$ e sobretensão de condução $V_{GT} = 200 \text{ mV}$ apresentou porcentagem máxima de erro inferior a $2,0 \%$ e, com $L = 2 \mu\text{m}$ apresentou erro máximo inferior a $1,0 \%$, ambos em região de saturação, demonstrando o excelente ajuste entre os dados simulados e os dados experimentais.

Figura 42 - Corrente de dreno em função da tensão de dreno ($L = 1 \mu\text{m}$, $V_{\text{GT}} = -200 \text{ mV}$, 0 V e 200 mV , $N_{\text{A}} = 1.10^{15} \text{ cm}^{-3}$).



Fonte: Autor.

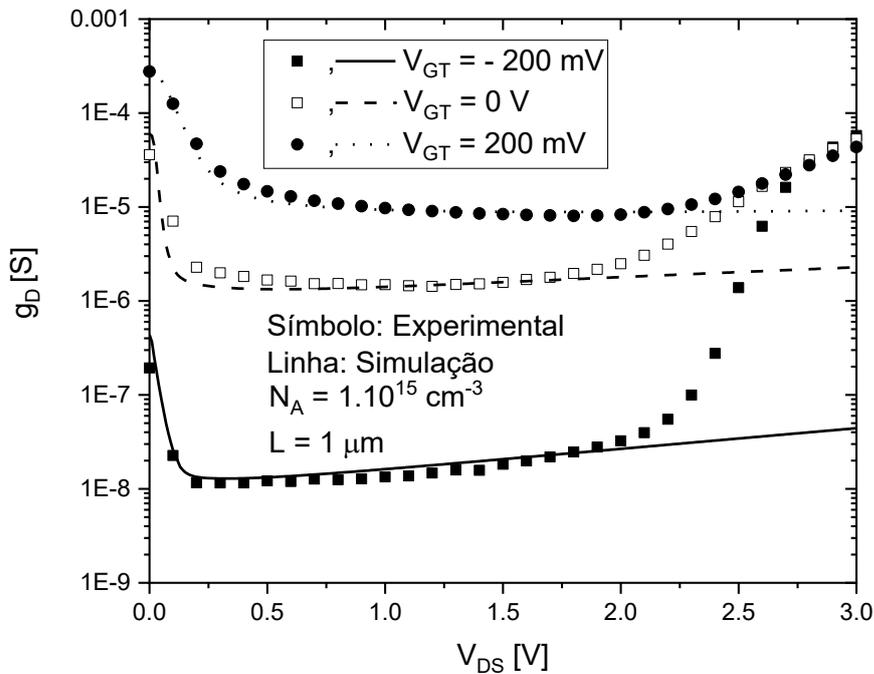
Figura 43 - Corrente de dreno em função da tensão de dreno ($L = 2 \mu\text{m}$, $V_{\text{GT}} = -200 \text{ mV}$, 0 V e 200 mV , $N_{\text{A}} = 1.10^{15} \text{ cm}^{-3}$).



Fonte: Autor.

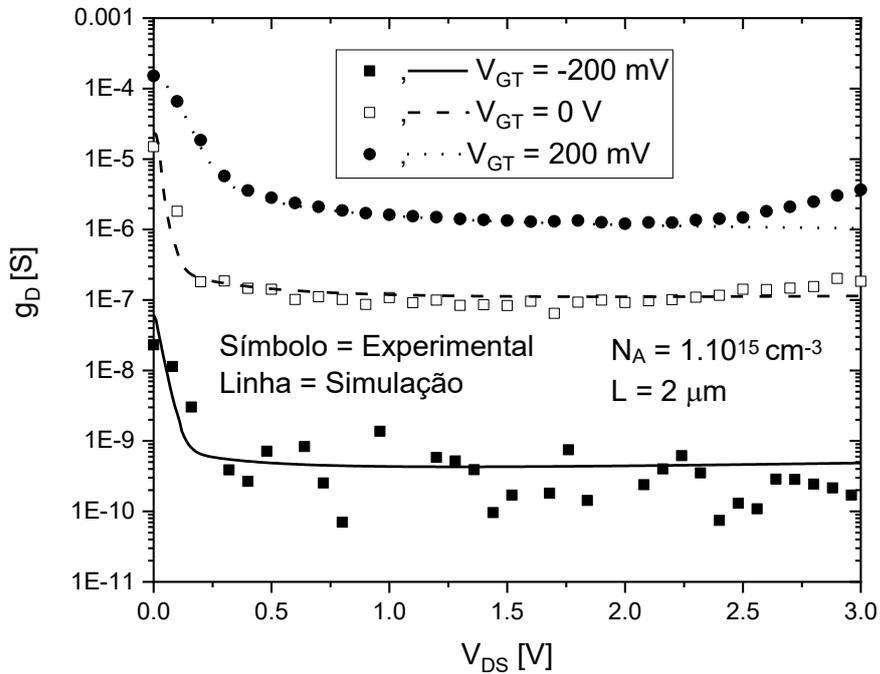
Nas Figuras 44 e 45, são apresentadas, respectivamente, as curvas experimentais e simuladas da condutância de saída em função da tensão de dreno com sobretensão de limiar de: -200 mV, 0 V e 200 mV e comprimento de canal $L = 1 \mu\text{m}$ e $L = 2 \mu\text{m}$. Nota-se que devido a redução do comprimento de canal de $2 \mu\text{m}$ para a $1 \mu\text{m}$, a condutância de saída aumenta em aproximadamente em uma década. Entretanto, ao reduzir a concentração de dopantes de 1.10^{17}cm^{-3} para 1.10^{15}cm^{-3} , a condutância de saída aumenta em aproximadamente uma década. O ajuste da g_D em função da tensão de dreno V_{DS} com comprimento de canal $L = 1 \mu\text{m}$ e $2 \mu\text{m}$ com $V_{GT} = 200 \text{mV}$ apresentou a máxima porcentagem de erro inferior a 6,0 %, ambos em região de saturação.

Figura 44 - Condutância de saída em função da tensão de dreno ($L = 1 \mu\text{m}$, $V_{GT} = -200 \text{mV}$, 0V e 200mV , $N_A = 1.10^{15} \text{cm}^{-3}$).



Fonte: Autor.

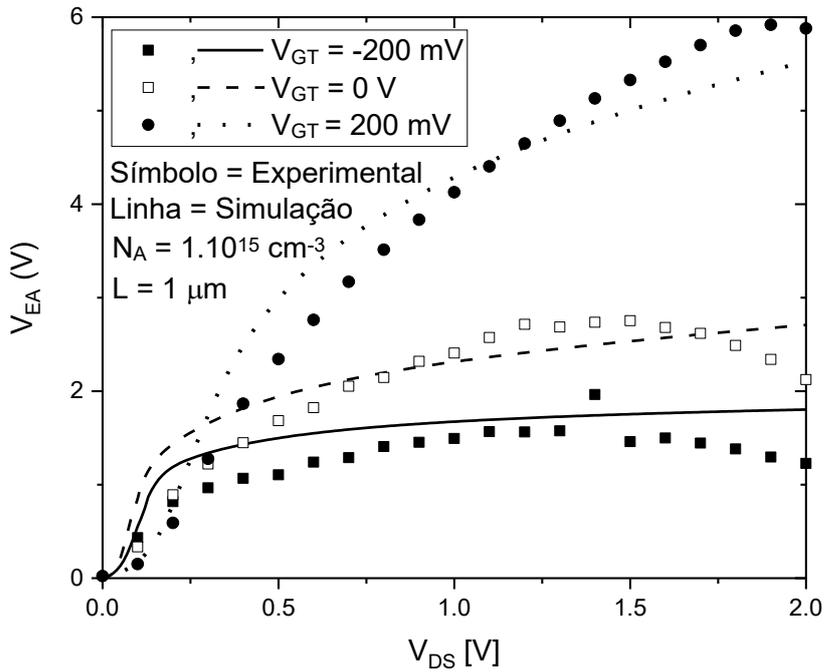
Figura 45 - Condutância de saída em função da tensão de dreno ($L = 2 \mu\text{m}$, $V_{GT} = -200 \text{ mV}$, 0 V e 200 mV , $N_A = 1.10^{15} \text{ cm}^{-3}$).



Fonte: Autor.

A Figura 46 apresenta os valores da tensão Early com diferentes tensões de polarização de sobretensão de limiar comparados com os dados das tensões Early obtidas através dos dados experimentais. Pode-se notar o bom ajuste obtido entre os resultados experimentais e o modelo utilizado, bem como a variação da tensão Early com a variação da polarização de V_{DS} . O ajuste da V_{EA} em função da tensão de dreno V_{DS} com comprimento de canal $L = 1 \mu\text{m}$ e sobretensão de condução $V_{GT} = 200 \text{ mV}$ apresentou a máxima porcentagem de erro inferior a $15,0 \%$ na região de saturação.

Figura 46 - Tensão Early em função da tensão de dreno ($L = 1 \mu\text{m}$, $N_A = 1.10^{15} \text{ cm}^{-3}$).



Fonte: Autor.

Através da comparação dos dados obtidos a partir das simulações e dos resultados dos dispositivos caracterizados experimentalmente, pode ser observado, em todos os casos, um excelente ajuste. Foram comparadas as curvas de corrente, suas derivadas (g_m e g_D), e parâmetros importantes para projetos de circuitos analógicos, tais como a tensão Early e a razão g_m/I_{DS} . Os bons resultados obtidos indicam que o conjunto de parâmetros de modelo obtidos é adequado para simular os transistores da tecnologia utilizada. Em todas as comparações realizadas, uma ótima concordância foi obtida em todas as regiões operacionais, com erro médio inferior a 9,0 % nas regiões de interesse.

4 RESULTADOS SIMULADOS

Após a calibração dos parâmetros do modelo do simulador para reproduzir os transistores de uma tecnologia FD SOI MOSFET real, o simulador ICAP/4 foi utilizado para a obtenção de curvas das associações série simétrica e assimétrica de transistores SOI com os mesmos parâmetros tecnológicos mencionados anteriormente. Além destas curvas, foram simulados espelhos de corrente utilizando transistor isolado e configuração S-SC e A-SC, além de espelhos de corrente utilizando as arquiteturas Cascode e Wilson. Exemplos de arquivos de simulação são apresentados nos Apêndices C a H para curvas $I_{DS} \times V_{GS}$, $I_{DS} \times V_{DS}$, espelho de corrente em configuração fonte comum, Cascode e Wilson.

4.1 ASSOCIAÇÕES SÉRIE DE TRANSISTORES

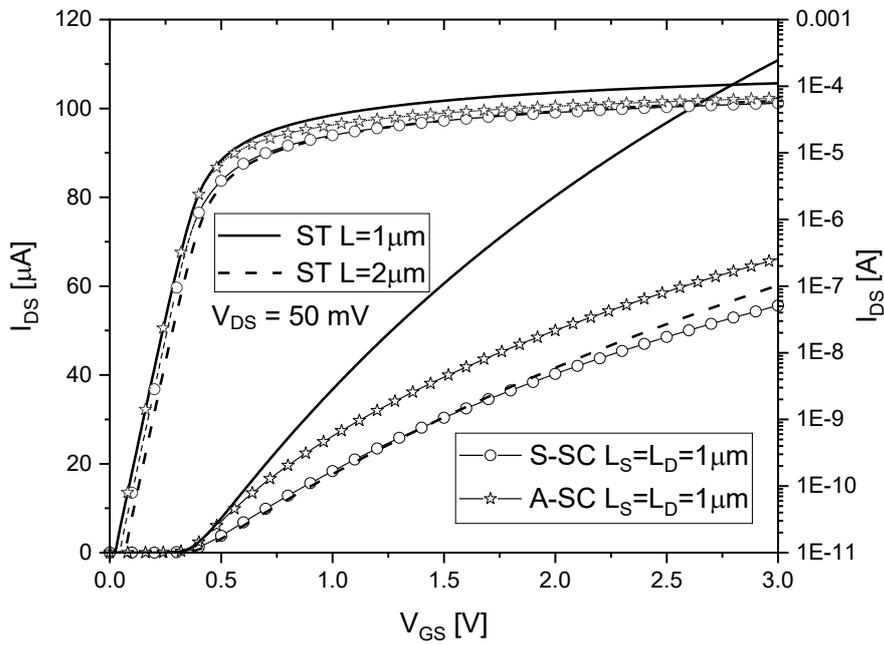
A Figura 47 apresenta os resultados das simulações da corrente de dreno (I_{DS}) em função da tensão de porta com baixa polarização de dreno ($V_{DS} = 50$ mV) para transistores isolados com $L = 1$ μm e 2 μm , além de uma associação série simétrica e uma associação série assimétrica, ambas com $L_S = L_D = 1$ μm . Para todos os dispositivos a largura do canal (W) é igual a 20 μm .

A associação série simétrica reduz a corrente de dreno aproximadamente pela metade em relação aos valores obtidos com o transistor isolado com $L = 1$ μm , uma vez que age como um transistor de comprimento efetivo de canal $L_{\text{eff}} = L_S + L_D$. De fato, a S-SC apresenta nível de corrente aproximado ao do transistor com $L = 2$ μm , porém, um pouco menor devido à resistência série associada à região de fonte/dreno intermediária [80]. Embora a A-SC tenha comprimento físico semelhante ao da S-SC, a redução da tensão de limiar de M_D faz com que uma maior tensão chegue ao dreno de M_S , aumentando a corrente de dreno da estrutura.

Por outro lado, não há alteração da inclinação de sublimiar, conforme pode ser visto nas curvas $I_{DS} \times V_{GS}$ em escala logarítmica.

As curvas da transcondutância, obtidas através da derivada das curvas de corrente, são apresentadas na Figura 48. Através destes resultados, nota-se um comportamento semelhante ao da corrente de dreno, ou seja, a redução pela metade da transcondutância na S-SC em comparação com o ST com $L = 1$ μm , devido ao aumento do comprimento de canal efetivo. A transcondutância da S-SC apresenta pico semelhante ao do transistor mais longo. Entretanto, a degradação de g_m na associação simétrica é mais acentuada, devido à resistência série associada à região de fonte/dreno intermediária, que conecta os dois transistores.

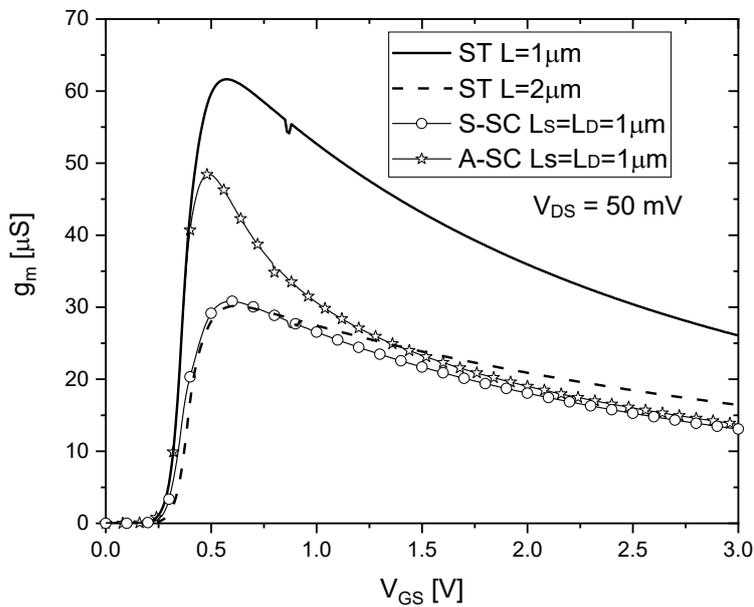
Figura 47 - Corrente de dreno em função da tensão de porta para transistor isolado, associação série simétrica e assimétrica ($V_{DS} = 50 \text{ mV}$).



Fonte: Autor.

Por outro lado, o uso da associação série assimétrica, permite o aumento do pico da transcondutância. Entretanto, o aumento da tensão de porta causa maior degradação da transcondutância na associação série assimétrica, e os valores tornam-se próximos aos valores obtidos para a associação série simétrica considerando dispositivos com mesmo comprimento de canal, $L_S = L_D$.

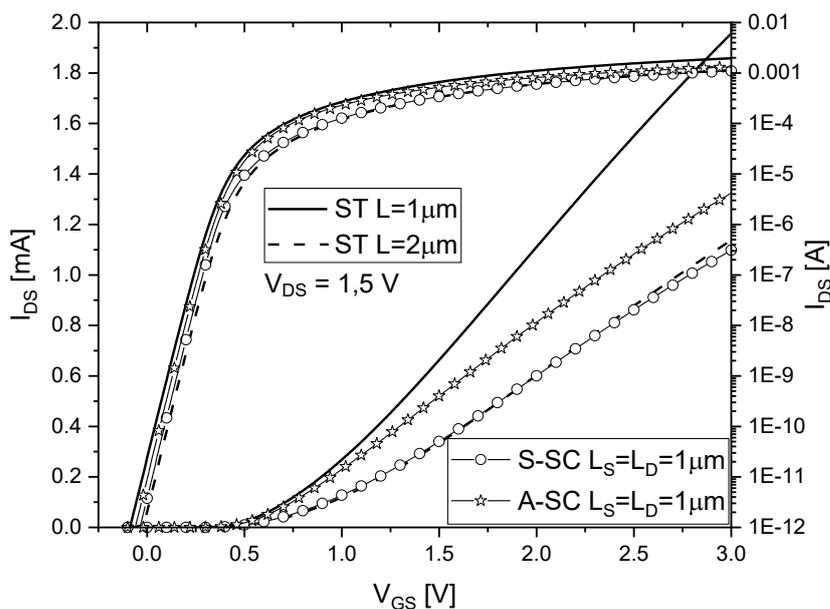
Figura 48 - Transcondutância em função da tensão de porta para transistor isolado, associação série simétrica e assimétrica ($V_{DS} = 50 \text{ mV}$).



Fonte: Autor.

A Figura 49 apresenta os resultados das simulações da corrente de dreno em função da tensão de porta com alta polarização de dreno ($V_{DS} = 1,5 \text{ V}$) para transistores isolados com $L = 1 \mu\text{m}$ e $2 \mu\text{m}$, para uma associação série simétrica e uma associação série assimétrica, ambas com $L_S = L_D = 1 \mu\text{m}$. Para todos os dispositivos a largura do canal é igual a $20 \mu\text{m}$.

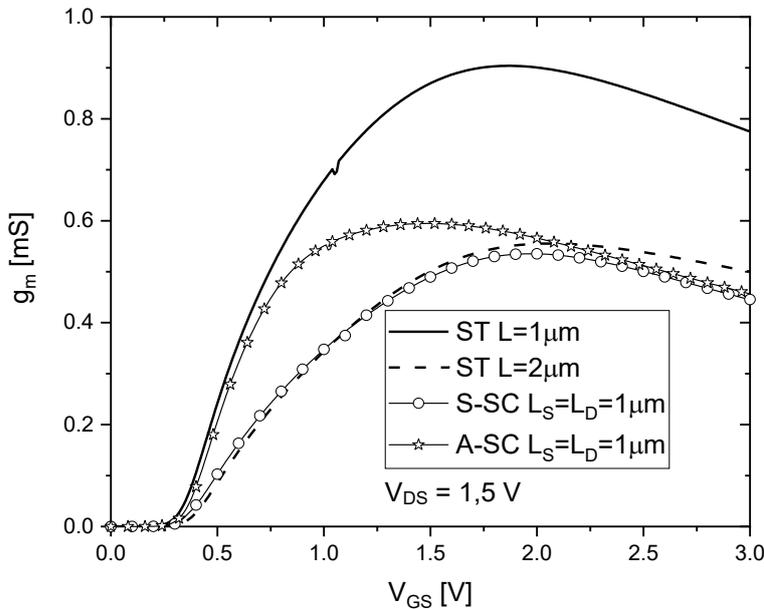
Figura 49 - Corrente de dreno em função da tensão de porta para transistor isolado, associação série simétrica e assimétrica ($V_{DS} = 1,5 \text{ V}$).



Fonte: Autor.

As curvas da transcondutância, obtidas através da derivada das curvas de corrente, são apresentadas na Figura 50.

Figura 50 - Transcondutância em função da tensão de porta para transistor isolado, associação série simétrica e assimétrica ($V_{DS} = 1,5 \text{ V}$).



Fonte: Autor.

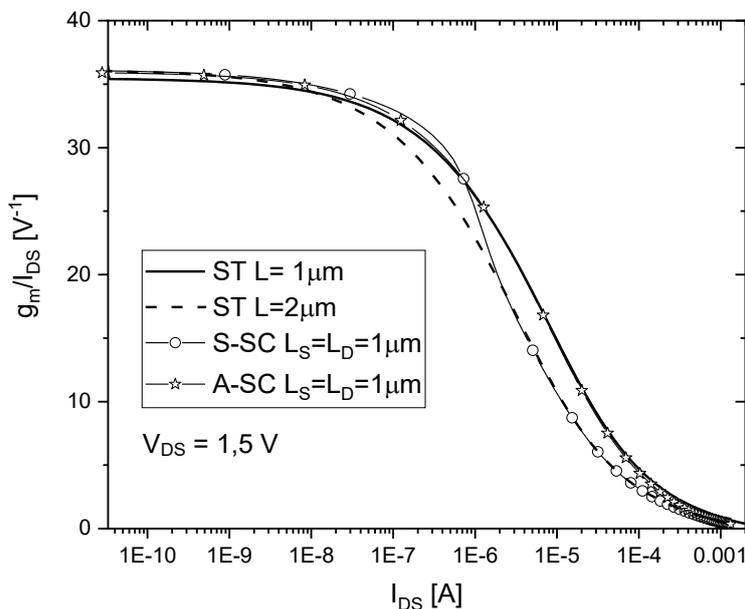
Os resultados apresentados demonstram que a A-SC possui corrente de dreno bastante próxima à do ST para valores de V_{GS} até aproximadamente 1 V (região de saturação) e, à medida que V_{GS} aumenta, I_{DS} aproxima-se da S-SC. Isso ocorre devido à menor concentração de dopantes do transistor M_D (consequentemente, menor V_{TH}), aumentando a mobilidade dos portadores. Deste modo, o transistor M_D apresenta resistência bastante reduzida em comparação com o transistor M_S e, assim, praticamente toda tensão aplicada ao dreno da estrutura composta alcança o transistor M_S [80]. Desta forma, a associação A-SC comporta-se como um transistor com comprimento de canal menor, onde $L_{eff} \approx L_S$. Este mesmo efeito, aplica-se para a transcondutância, onde a curva de corrente de dreno também é próxima ao transistor isolado para baixo V_{GS} e depois tende para S-SC, pois L_{eff} aumenta de L_S para $L_D + L_S$.

A tendência apresentada da transcondutância tem relação com a tensão que alcança o nó intermediário (V_X), entre o transistor M_S e M_D , indicado na Figura 15. O transistor M_D da associação assimétrica apresenta baixa concentração de dopantes $N_A = 1 \cdot 10^{15} \text{ cm}^{-3}$, que leva à uma tensão de limiar negativa e alta mobilidade dos portadores. Assim, para qualquer valor de $V_{GS} \geq 0$, M_D já se encontra em inversão e apresenta reduzida resistência em comparação com M_S . Desta forma, a queda de tensão sobre M_D é pequena, e $V_X \approx V_D$. Nesta condição, a

associação assimétrica comporta-se como um transistor isolado com o comprimento L próximo ao comprimento de M_S . Com o aumento da tensão de porta, o transistor M_S passa para a região de inversão forte, a resistência de M_S se reduz e aproxima-se da resistência de M_D . Nesta situação, a tensão de dreno se divide nos dois transistores (M_S e M_D) e, conseqüentemente, a tensão do nó intermediário é reduzida. Entretanto, a queda de tensão de M_S é sempre mais alta na associação série assimétrica em comparação com a associação série simétrica, com maior tensão de dreno na mesma polarização.

As curvas da razão g_m/I_{DS} são apresentadas na Figura 51 em função da tensão de porta, com o propósito de relacionar o nível de inversão e tensão de polarização da porta do dispositivo. Pode-se notar que a associação série assimétrica comporta-se de maneira semelhante ao transistor isolado convencional com $L = 1 \mu\text{m}$, uma vez que tem corrente de dreno similar. Da mesma forma, a S-SC apresenta curva semelhante à do transistor isolado convencional com $L = 2 \mu\text{m}$.

Figura 51 - Razão g_m/I_{DS} em função da tensão de porta para transistor isolado, associação série simétrica e assimétrica ($V_{DS} = 1,5 \text{ V}$).



Fonte: Autor.

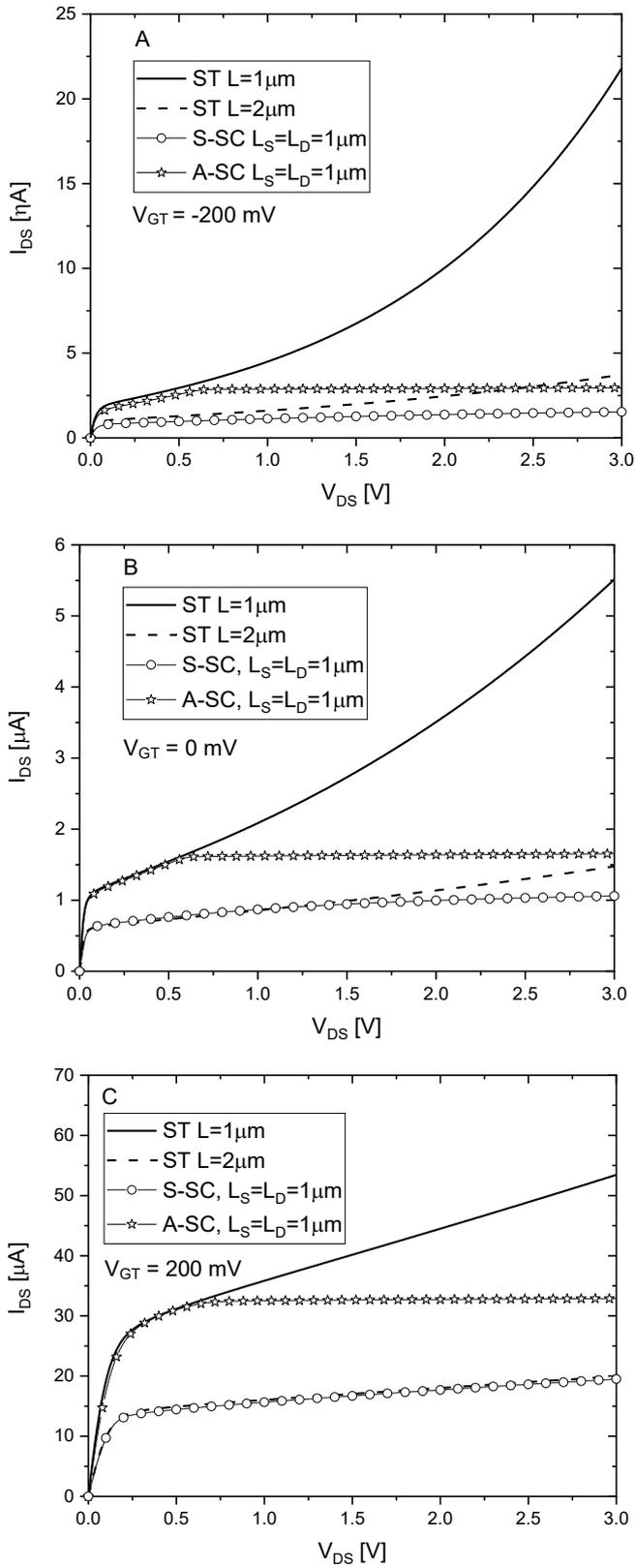
A Figura 52 apresenta as curvas da corrente de dreno em função da tensão de polarização de dreno com sobretensão de limiar de -200 mV , 0 V e 200 mV para as associações simétrica e assimétrica e os dois transistores isolados apresentados anteriormente. A associação série diminui a ocorrência de efeitos decorrentes do aumento da tensão de dreno conforme descrito na seção 2.5.1.

O efeito da modulação do comprimento de canal é responsável pelo aumento da corrente de dreno com o aumento de V_{DS} . O uso das associações atenua o aumento exponencial da corrente de dreno observado pela curva experimental do transistor isolado. Porém, também reduz o nível de corrente de dreno devido ao aumento do comprimento efetivo de canal. A associação série assimétrica promove mais vantagens em relação a associação série simétrica com estruturas de mesma dimensão, fornecendo maior nível de corrente. O efeito da modulação de comprimento de canal é menos pronunciado na associação série assimétrica quando comparada com a associação série simétrica, resultando em menor condutância de saída.

Por outro lado, a A-SC apresenta um aumento da tensão de saturação. A associação assimétrica apresenta duas tensões de saturação associadas aos transistores M_S e M_D , que possuem tensões de limiar diferentes. Estas duas saturações podem ser vistas na Figura 53, onde são apresentadas as curvas da condutância de saída. Os dois patamares em g_D para a A-SC devem-se à M_S e M_D apresentarem diferentes tensões de saturação. O primeiro coincide com a tensão de saturação de M_S , e o início do segundo, que é maior, corresponde à tensão de saturação de M_D .

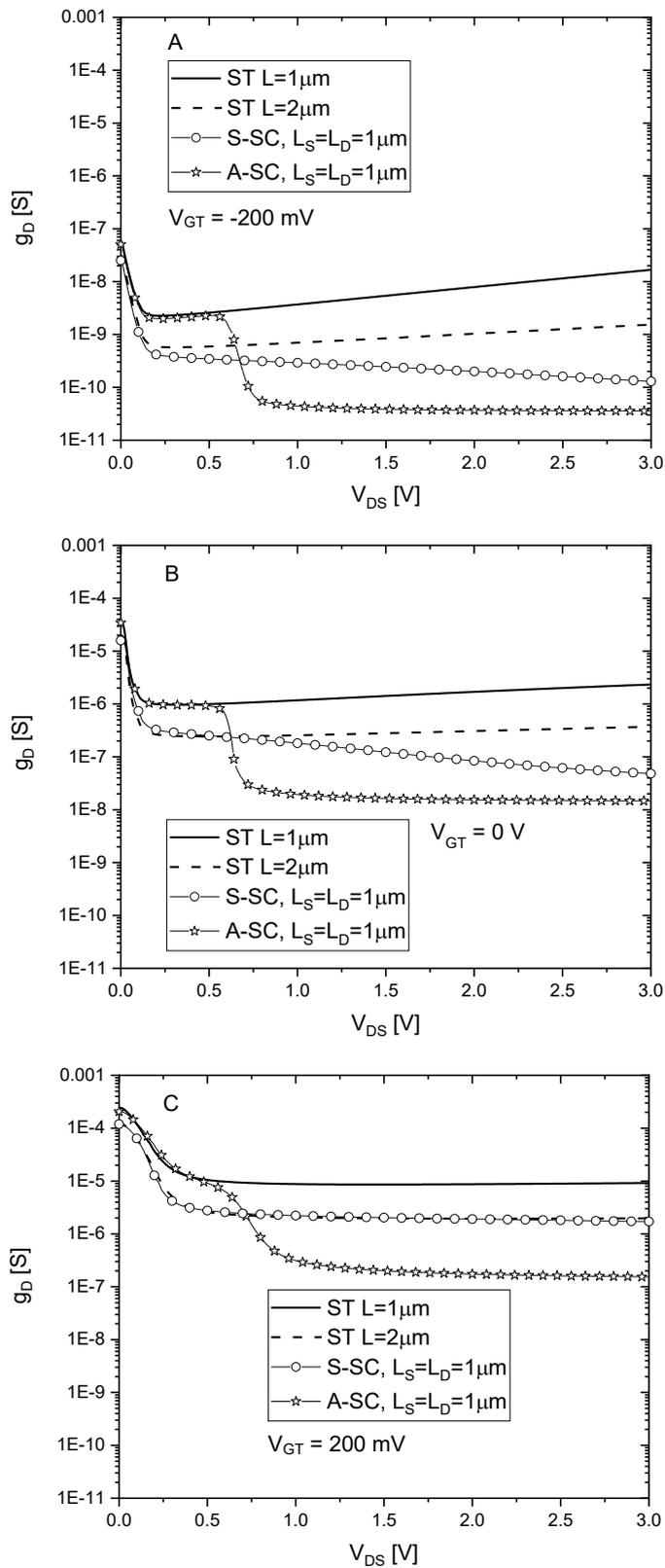
Os resultados apresentados demonstram que a tensão de saturação já maior na associação série simétrica em comparação com transistor isolado aumenta ainda mais quando M_D é usado com baixa tensão de limiar. Entretanto, nota-se uma grande redução na condutância de saída na região de saturação, em especial na A-SC.

Figura 52 - Corrente de dreno em função da tensão de polarização de dreno para ST, A-SC e S-SC (A = $V_{GT} = -200$ mV; B = $V_{GT} = 0$ V e C = $V_{GT} = 200$ mV).



Fonte: Autor.

Figura 53 - Condutância de saída em função da tensão de polarização de dreno para ST, A-SC e S-SC ($A = V_{GT} = -200$ mV, $B = V_{GT} = 0$ V e $C = V_{GT} = 200$ mV).



Fonte: Autor.

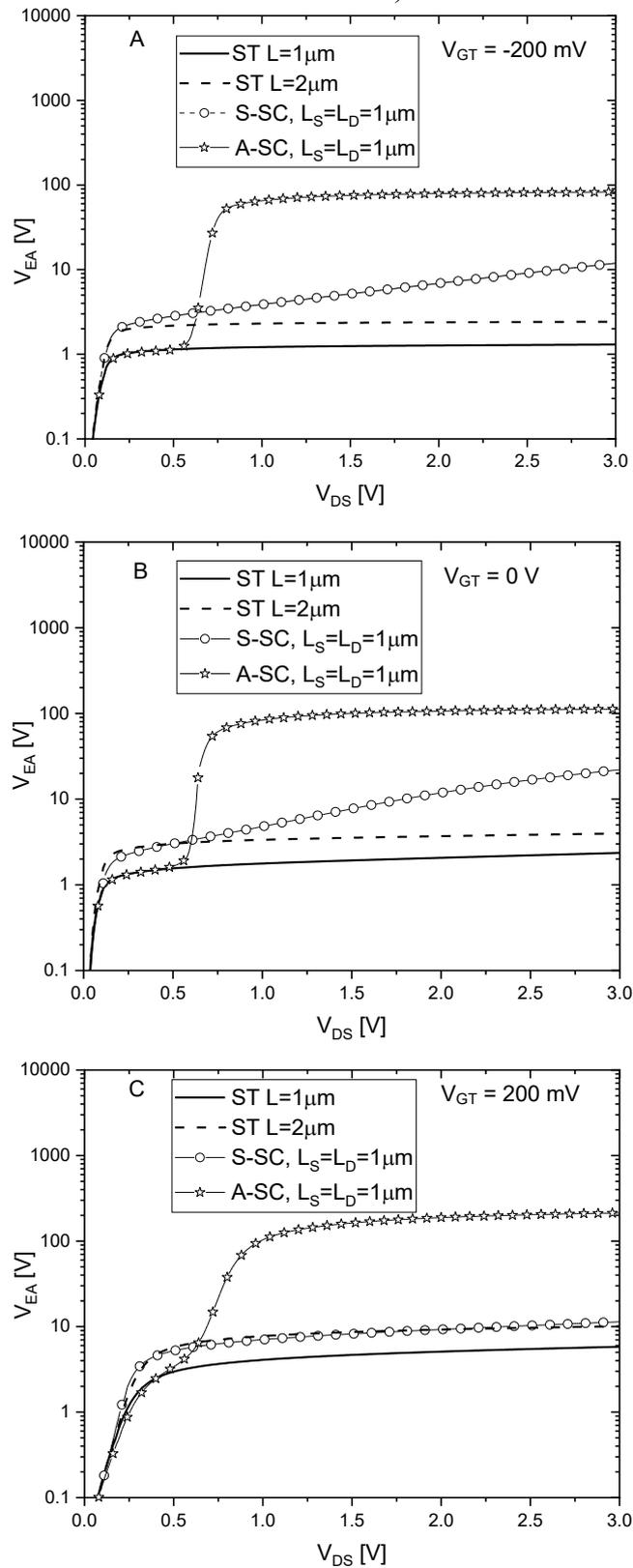
As associações simétricas e assimétricas provocam aumento da área de silício, reduzindo $g_m/\text{área}$ em comparação ao transistor isolado convencional. Entretanto, conforme apresentado na Figura 53, a redução da condutância de saída promovida pela associação A-SC em relação ao ST com mesmo comprimento efetivo de canal ($L_{\text{eff}} = 2 \mu\text{m}$) é de aproximadamente uma década para $V_{GT} = 200 \text{ mV}$, 17 vezes menor com $V_{GT} = 0 \text{ mV}$ e 22 vezes menor com $V_{GT} = -200 \text{ mV}$, considerando polarização de $V_{DS} = 1,5 \text{ V}$.

A curva da g_m apresentada através da Figura 48 com polarização de dreno $V_{DS} = 50 \text{ mV}$, demonstra que a redução da g_m proporcionada pela associação A-SC só é observada a partir de $V_{GS} = 1,5 \text{ V}$ e com redução máxima de 1,2 vez com $V_{GS} = 3 \text{ V}$. A Figura 50 apresenta a curva de g_m com polarização de dreno $V_{DS} = 1,5 \text{ V}$, onde a redução da g_m proporcionada pela associação A-SC só é observada a partir de $V_{GS} = 2,0 \text{ V}$ e com redução máxima de 1,1 vez com $V_{GS} = 3 \text{ V}$, ou seja, a redução da condutância de saída proporcionada pela associação A-SC em relação ao ST supera a redução da transcondutância.

Nota-se que, a condutância de saída da estrutura A-SC na região do primeiro patamar, relacionado à M_S , apresenta resultados semelhantes em comparação com o ST.

Outra forma de identificar as vantagens das associações série é observar a tensão Early ($V_{EA} = I_{DS} / g_D$). A grande redução da condutância de saída da associação série assimétrica é responsável por promover o aumento da tensão Early. Considerando mesmo comprimento efetivo de canal ($L_{\text{eff}} = 2 \mu\text{m}$) e $V_{DS} = 1,5 \text{ V}$, a A-SC apresenta aumento de 14 vezes em relação à S-SC e 32 vezes em relação ao ST para $V_{GT} = -200 \text{ mV}$. Considerando $V_{GT} = 0 \text{ V}$, o aumento promovido pela associação A-SC em relação à associação S-SC é de 13 vezes e 28 vezes em relação ao ST convencional e, considerando $V_{GT} = 200 \text{ mV}$, a A-SC promove aumento de 20 vezes em relação à S-SC e 19 vezes em relação ao ST, como pode ser observado nos resultados apresentados na Figura 54.

Figura 54 - Tensão Early em função da tensão de dreno (A = $V_{GT} = -200$ mV, B = $V_{GT} = 0$ V e C = $V_{GT} = 200$ mV).



Fonte: Autor.

A associação S-SC apresenta resultado esperado e semelhante em relação ao ST com comprimento de canal $L = 2 \mu\text{m}$, uma vez que ambos possuem mesmo comprimento efetivo de canal ($L_{\text{eff}} = 2 \mu\text{m}$). Porém, à S-SC apresenta menor nível de corrente em relação ao transistor isolado com mesmo comprimento de canal devido ao aumento da resistência ôhmica em razão da associação dos transistores M_S e M_D . Logo, à S-SC reduz a corrente de dreno aproximadamente pela metade dos valores obtidos com ST com comprimento de canal $L = 1 \mu\text{m}$, assim como a transcondutância, devido ao aumento do comprimento de canal efetivo $L_{\text{eff}} = L_S + L_D$. Por outro lado, o uso da A-SC, permitiu o aumento da corrente de dreno e do pico da transcondutância em comparação à S-SC de $L_{\text{eff}} = 2 \mu\text{m}$ com polarização de dreno $V_{DS} = 50 \text{ mV}$, ou seja, reduzindo o comprimento de canal efetivo pela metade, obtemos maior pico de transcondutância, em aproximadamente duas vezes.

A Tabela 3 apresenta resultados da transcondutância, condutância de saída e o ganho de tensão intrínseco (A_V) com polarização de dreno $V_{DS} = 1,5 \text{ V}$ e variação da sobretensão de condução de -200 mV até 200 mV . O ganho de tensão intrínseco foi obtido conforme descrito na seção 2.3, através da razão entre g_m e g_D .

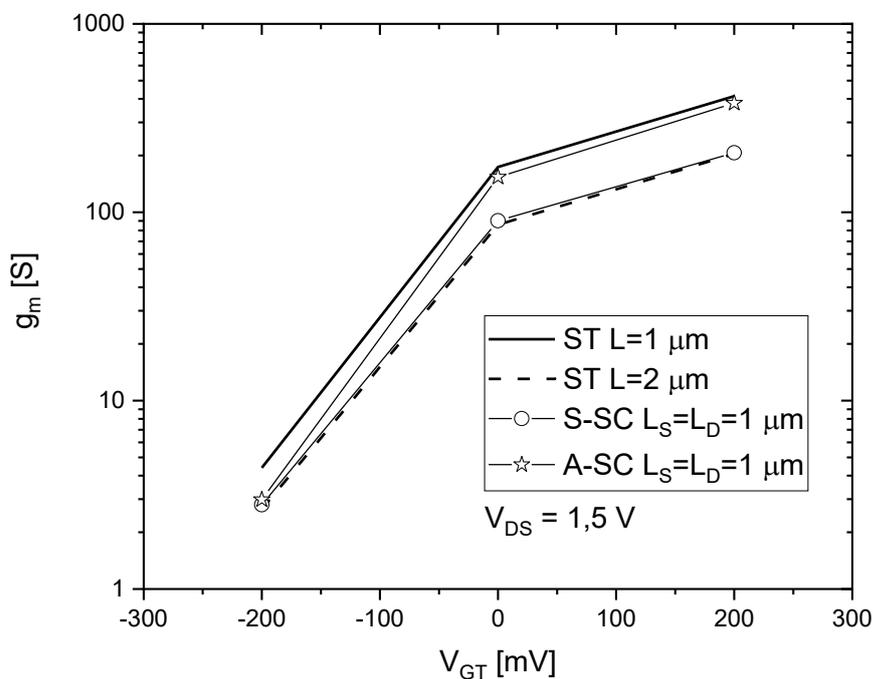
Tabela 3 - Transcondutância, condutância de saída e ganho de tensão intrínseco com variação de V_{GT} e polarização de dreno $V_{DS} = 1,5 \text{ V}$ das estruturas ST, S-SC e A-SC.

Estrutura	V_{GT}	V_{DS}	g_m [mS]	g_D [S]	A_V	A_V [dB]
ST = $1 \mu\text{m}$	-200 mV	1,5 V	4,40	$5,39 \cdot 10^{-9}$	814.000	118
	0 V		173,9	$1,41 \cdot 10^{-6}$	123.333	102
	200 mV		413,4	$8,61 \cdot 10^{-6}$	48.013	94
ST = $2 \mu\text{m}$	-200 mV	1,5 V	2,65	$8,46 \cdot 10^{-10}$	3.127.659	130
	0 V		85,91	$2,79 \cdot 10^{-7}$	307.921	110
	200 mV		204,1	$1,97 \cdot 10^{-6}$	103.604	100
S-SC $L_S = L_D = 1 \mu\text{m}$	-200 mV	1,5 V	2,80	$2,44 \cdot 10^{-10}$	11.475.409	141
	0 V		90,08	$1,22 \cdot 10^{-7}$	738.360	117
	200 mV		206,90	$2,03 \cdot 10^{-6}$	101.921	100
A-SC $L_S = L_D = 1 \mu\text{m}$	-200 mV	1,5 V	2,98	$3,84 \cdot 10^{-11}$	77.604.166	158
	0 V		153,70	$1,63 \cdot 10^{-8}$	9.429.447	139
	200 mV		378,90	$2,00 \cdot 10^{-7}$	1.894.500	125

Fonte: Autor.

A Figura 55 apresenta a transcondutância em função da sobretensão de condução com polarização de dreno $V_{DS} = 1,5$ V. Nota-se que, no intervalo de V_{GT} proposto, a transcondutância proporcionada pela A-SC apresenta maiores valores em toda a região em relação ao ST com o mesmo comprimento efetivo de canal ($L_{eff} = 2 \mu\text{m}$). O valor máximo obtido para $V_{GT} = 200$ mV é equivalente a 1,86 vez e, muito próximo dos valores do ST com comprimento de canal $L = 1 \mu\text{m}$.

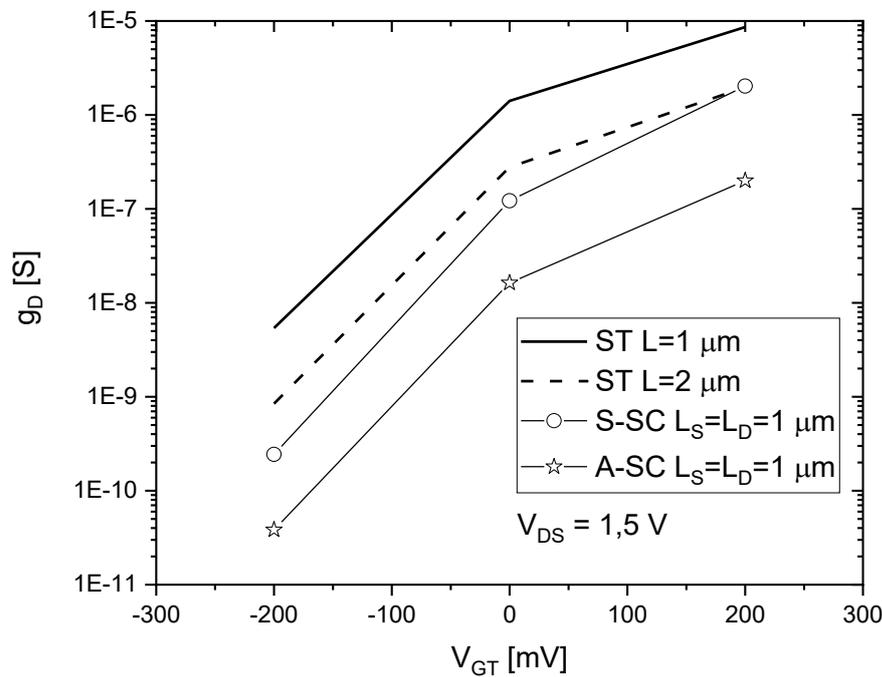
Figura 55 - Transcondutância em função da sobretensão de condução da estrutura ST, S-SC e A-SC com polarização de dreno $V_{DS} = 1,5$ V.



Fonte: Autor.

A Figura 56 apresenta a condutância de saída em função da sobretensão de condução com polarização de dreno $V_{DS} = 1,5$ V. Nota-se que, a redução da g_D proporcionada pela associação A-SC aproxima-se de uma década em relação ao ST com mesmo comprimento de canal efetivo ($L_{eff} = 2 \mu\text{m}$).

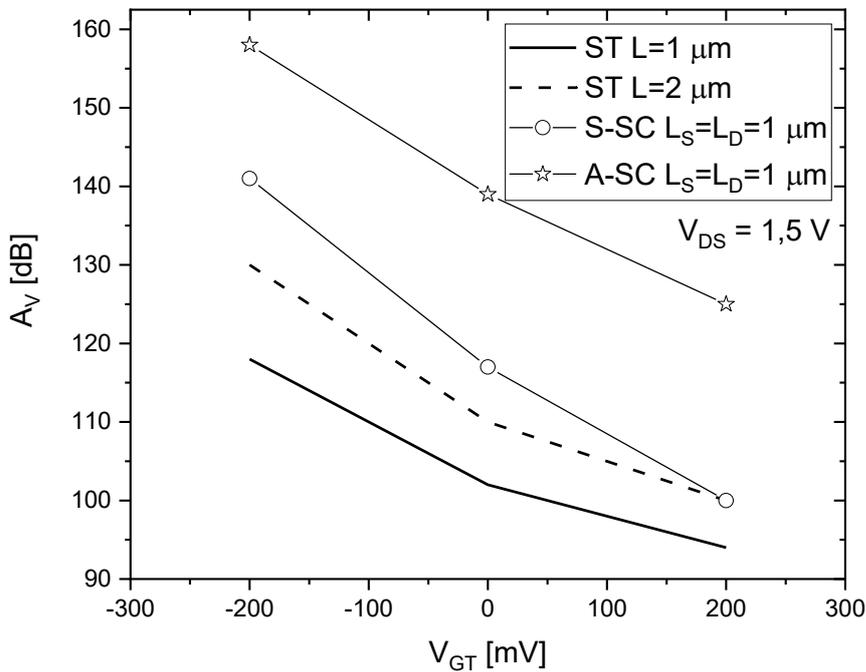
Figura 56 - Condutância de saída em função da sobretensão de condução da estrutura ST, S-SC e A-SC com polarização de dreno $V_{DS} = 1,5$ V.



Fonte: Autor.

A Figura 57 apresenta o ganho de tensão intrínseco [dB] em função da sobretensão de condução com polarização de dreno $V_{DS} = 1,5$ V. Nota-se que, em todas as estruturas o aumento da sobretensão causa a degradação do ganho. Entretanto, a A-SC ainda apresenta melhor ganho em relação ao ST com mesmo comprimento de canal ($L_{\text{eff}} = 2 \mu\text{m}$), aproximadamente 25 dB maior.

Figura 57 - Ganho de tensão intrínseco [dB] em função da sobretensão de condução da estrutura ST, S-SC e A-SC com polarização de dreno $V_{DS} = 1,5 \text{ V}$.

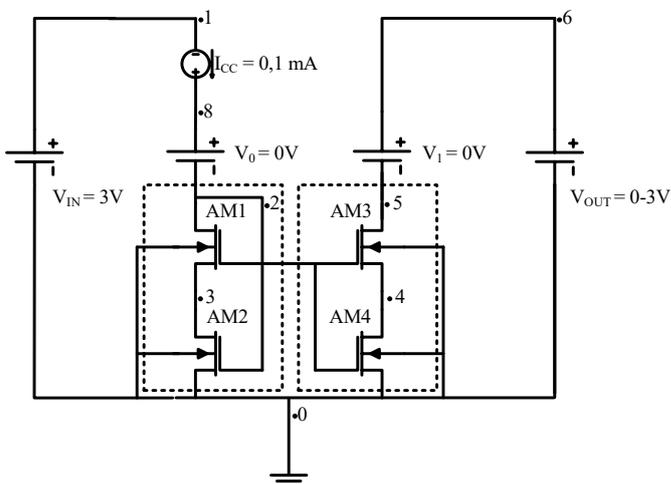


Fonte: Autor.

4.2 ESPELHO DE CORRENTE FONTE COMUM COM ST, S-SC E A-SC

Nesta seção são apresentados os resultados obtidos a partir da utilização do transistor isolado, da associação série simétrica e da associação série assimétrica no espelho de corrente fonte comum, representado esquematicamente na Figura 58.

Figura 58 - Espelho de corrente configuração fonte comum.



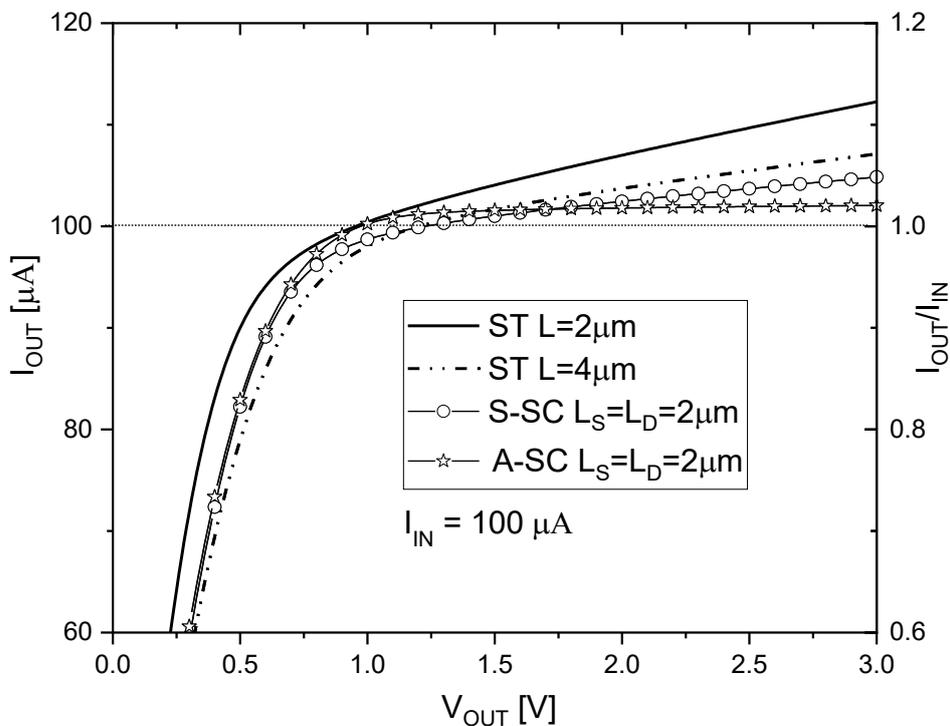
Fonte: Autor.

Como pode ser visto, a utilização da associação de transistores aumenta o número de dispositivos no espelho de corrente fonte comum, que passa a ter quatro transistores.

Os resultados simulados para a curva $I_{OUT} \times V_{OUT}$ para espelhos de corrente com associações de transistores com $L_S = L_D = 2\mu\text{m}$ e $L_S = L_D = 1\mu\text{m}$ são respectivamente, apresentados nas Figuras 59 e 60. A corrente de entrada aplicada ao circuito é de $100\ \mu\text{A}$ com tensão de entrada 3 V e saída de 0 a 3 V.

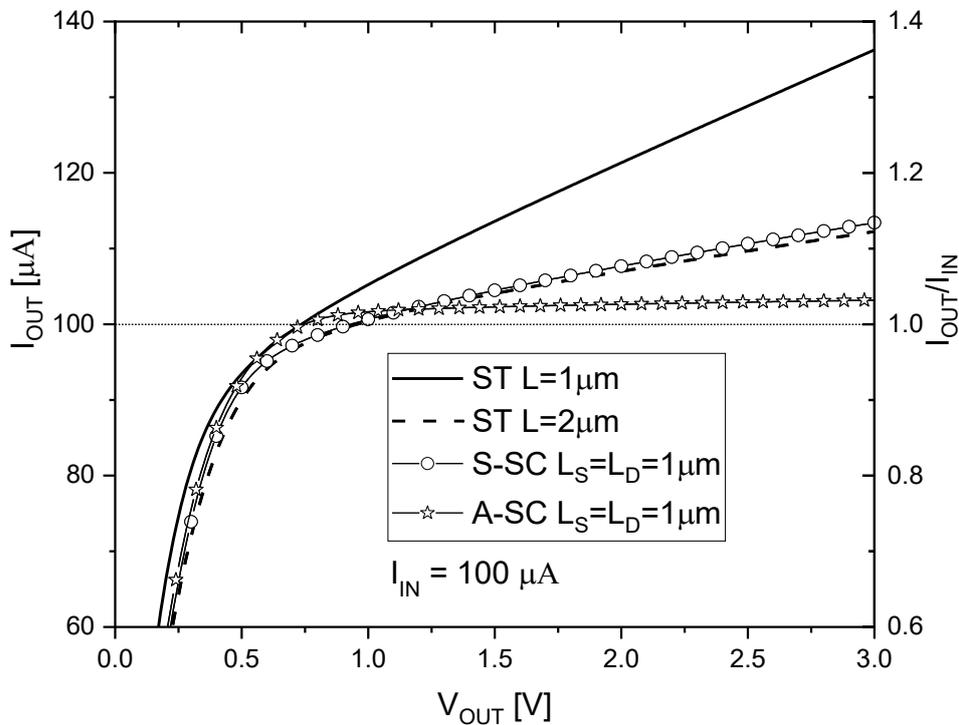
Conforme esperado, para transistores isolados, quanto menor o comprimento de canal, maior a variação de I_{OUT} com V_{OUT} . Os resultados obtidos mostram que as associações série permitem uma melhor precisão de espelhamento, mantendo o nível de corrente de saída mais próximo ao de entrada e com menor variação. A corrente dos espelhos com as associações mostrou ser mais estável que a do ST com maior L. Esta melhora na precisão deve-se à diminuição do efeito de modulação de comprimento de canal que resulta em menor condutância de dreno. Esta menor variação de I_{OUT} com V_{OUT} resulta em maior resistência de saída, conforme apresentado na seção 2.4.3, equação (61): $R_{OUT} = \frac{1}{g_{DOUT}}$.

Figura 59 - Corrente de saída em função da tensão de saída do espelho de corrente fonte comum (ST $L = 2\ \mu\text{m}$ e $L = 4\ \mu\text{m}$; SC $L_S = L_D = 2\ \mu\text{m}$).



Fonte: Autor.

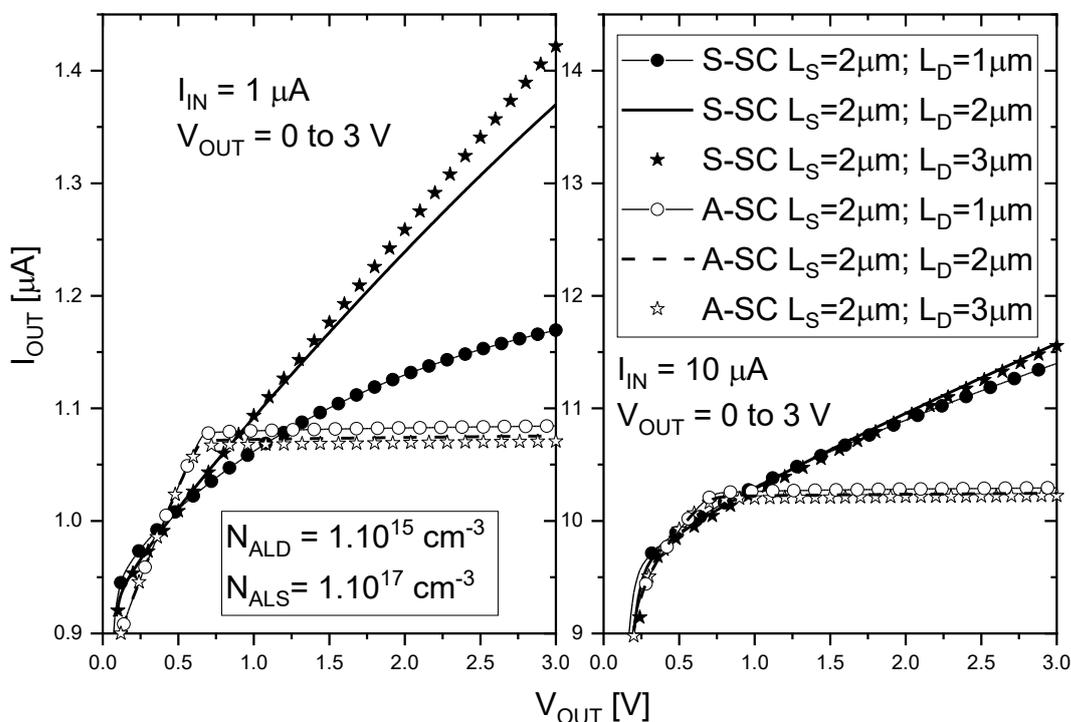
Figura 60 - Corrente de saída em função da tensão de saída do espelho de corrente fonte comum (ST $L = 1 \mu\text{m}$ e $L = 2 \mu\text{m}$; SC $L_S = L_D = 1 \mu\text{m}$).



Fonte: Autor.

A Figura 61 apresenta as curvas da corrente de saída em função da tensão de saída com correntes de polarização $I_{IN} = 1 \mu\text{A}$ e $I_{IN} = 10 \mu\text{A}$ para espelhos de corrente com $L_S = 2 \mu\text{m}$ e L_D variando de $1 \mu\text{m}$ até $3 \mu\text{m}$. A partir dos resultados apresentados, nota-se que, o uso da associação A-SC é capaz de manter a corrente de saída independente da tensão de saída, enquanto espelhos de corrente com associação S-SC apresentam maior variação de corrente, principalmente na região de inversão moderada.

Figura 61 - Curvas da corrente de saída em função da tensão de saída, polarizadas com $I_{IN} = 1 \mu A$ e $I_{IN} = 10 \mu A$ para espelhos de corrente implementados com associação simétrica e assimétrica com L_S fixo e variação de L_D de $1 \mu m$ até $3 \mu m$.



Fonte: Autor.

4.3 ESPELHO DE CORRENTE CASCADE E WILSON

Os resultados dos espelhos de corrente com transistor isolado convencional em fonte comum também foram comparados aos espelhos de corrente em configuração Cascode e Wilson com ST.

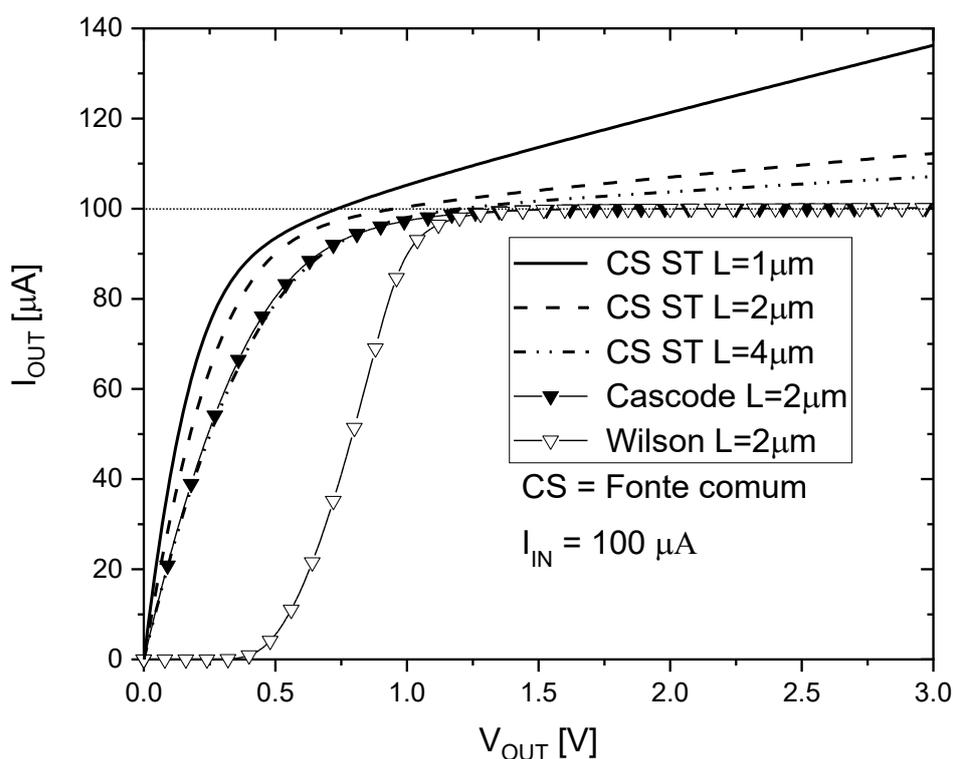
Nesta seção são apresentados os resultados obtidos a partir da utilização do transistor isolado com diferentes comprimentos de canal ($L = 1 \mu m$, $L = 2 \mu m$ e $L = 4 \mu m$), em espelhos de corrente fonte comum, e espelhos de corrente utilizando as arquiteturas Cascode e Wilson com comprimento de canal $L = 2 \mu m$.

Os resultados simulados para a curva $I_{OUT} \times V_{OUT}$ para os espelhos de corrente são apresentados na Figura 62. A corrente de polarização de entrada aplicada ao circuito é de $100 \mu A$ com tensão de saída variando entre 0 e 3 V .

Os resultados obtidos demonstram que as arquiteturas Cascode e Wilson permitem uma maior precisão de espelhamento, mantendo o nível de corrente de saída mais próximo ao de entrada e com menor variação ao longo da tensão de saída. Como esperado, no espelho de

corrente composto por ST em configuração fonte comum e, a redução do comprimento de canal, faz com que a corrente de saída I_{OUT} dependa mais da tensão de saída. Entretanto, o uso das arquiteturas Wilson e Cascode em espelho de corrente reduz esta dependência, mantendo a corrente de saída praticamente igual ao valor de corrente aplicado no ramo de entrada.

Figura 62 - Corrente de saída em função da tensão de saída do espelho de corrente Cascode e Wilson e com transistores isolados (CS ST $L = 1 \mu\text{m}$, $L = 2 \mu\text{m}$ e $L = 4 \mu\text{m}$; Cascode e Wilson $L = 2 \mu\text{m}$).



Fonte: Autor.

4.4 PRECISÃO DE ESPELHAMENTO

Espelhos de corrente compostos por transistores idênticos são esperados apresentar precisão de espelhamento (I_{OUT}/I_{IN}) próxima da unidade [71], como também foi descrito na seção 2.3.3. Entretanto, a precisão de espelhamento pode desviar dos valores ideais devido à diversas razões, como descasamento da geometria ou diferenças nas condições de polarização para cada transistor que compõe o espelho de corrente [71]. As simulações realizadas não consideram descasamento aleatório que pode ocorrer durante o processo de fabricação. Assim, apenas o descasamento devido à polarização é observado.

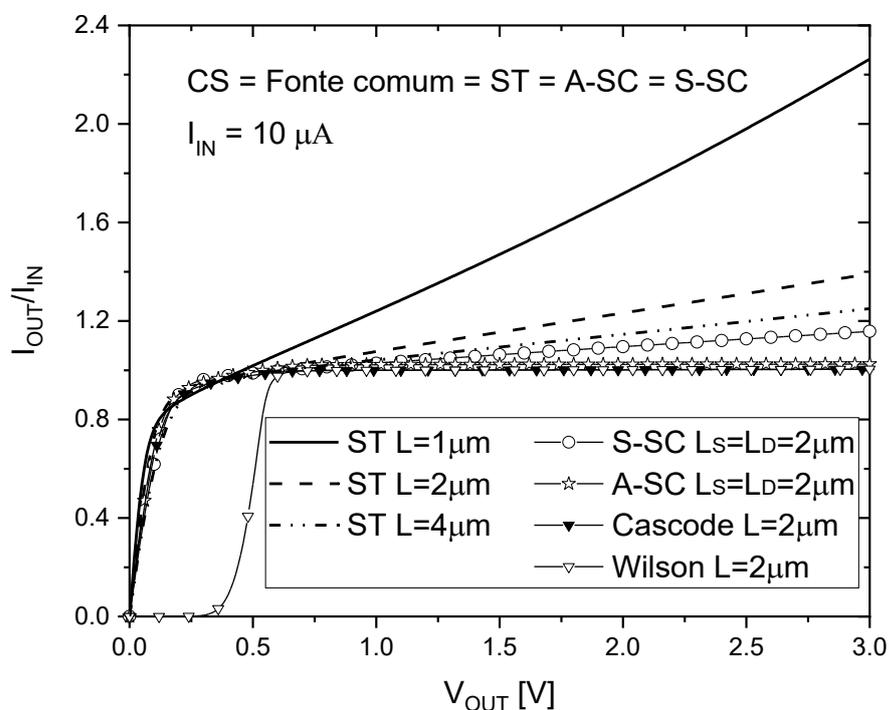
As Figuras 63 e 64 apresentam a precisão de espelhamento com corrente de polarização de entrada $I_{IN} = 10 \mu\text{A}$ e $I_{IN} = 100 \mu\text{A}$, simuladas com espelho de corrente em fonte comum com transistor isolado ($L = 1 \mu\text{m}$, $L = 2 \mu\text{m}$ e $L = 4 \mu\text{m}$), S-SC e A-SC com $L_S = L_D = 2 \mu\text{m}$ e espelhos de corrente com arquiteturas Cascode e Wilson com $L = 2 \mu\text{m}$ em função da tensão de saída. Nota-se que, a precisão de espelhamento dos espelhos de corrente com ST piora à medida que o comprimento de canal é reduzido, em ambas as correntes de polarização. Entretanto, a utilização de dois transistores de L mais curto em série resulta em melhor precisão do espelhamento. Assim, utilizando associação assimétrica na configuração fonte comum, arquiteturas Cascode ou Wilson, os valores da precisão de espelhamento permanecem muito próximo da unidade, independente da variação de tensão de saída.

A precisão de espelhamento da associação simétrica com $I_{IN} = 10 \mu\text{A}$ apresenta melhor resultado em relação ao transistor isolado com mesmo comprimento de canal efetivo, aproximadamente 2,84 % melhor, com $V_{OUT} = 1,5 \text{ V}$. Com corrente de entrada $I_{IN} = 10 \mu\text{A}$, a precisão de espelhamento da associação assimétrica apresenta resultados muito próximos aos do espelho de corrente usando arquiteturas Cascode e Wilson, apresentando diferença de apenas 2% com tensão $V_{OUT} = 1,5 \text{ V}$.

Utilizando corrente de entrada $I_{IN} = 100 \mu\text{A}$ às arquiteturas Cascode e Wilson também apresentam melhores resultados, porém, não superiores a 1,6 % em relação à A-SC com $V_{OUT} = 1,5 \text{ V}$. Entretanto, os espelhos de corrente Cascode e Wilson apresentam dois transistores em série com a mesma tensão de limiar e precisam de alta tensão de saída para que ambos os transistores entrem em saturação, em comparação com o espelho de corrente com transistores isolados.

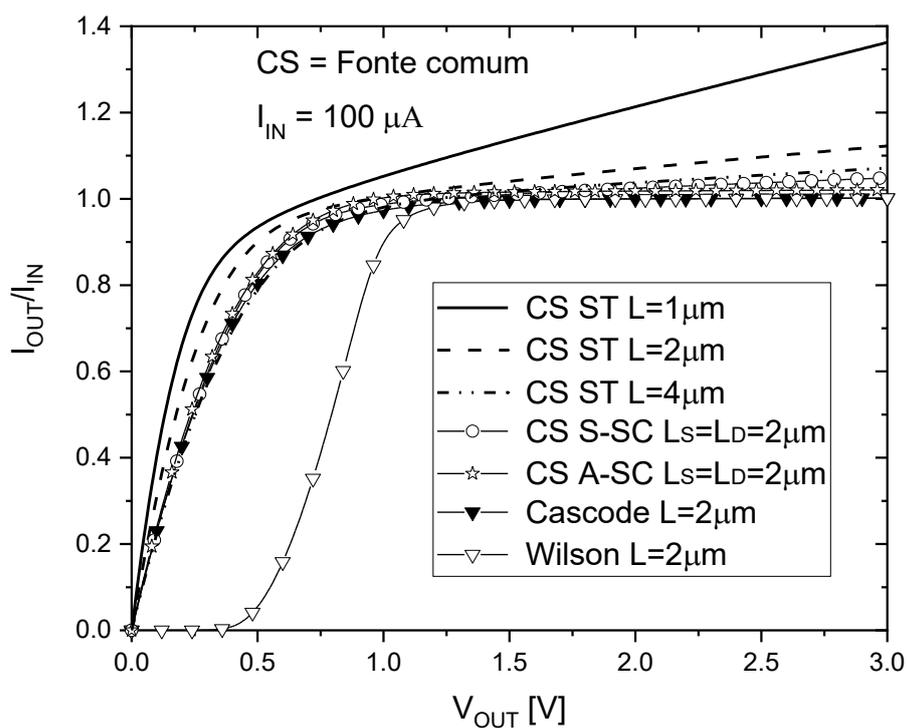
A Tabela 4 apresenta as tensões de saturação dos espelhos de corrente com ST em configuração fonte comum, Cascode e Wilson, como também as tensões de saturação das associações simétrica e assimétrica em configuração fonte comum, nas regiões de inversão fraca, moderada e forte.

Figura 63 - Precisão de espelhamento em função da tensão de saída com corrente de entrada $I_{IN} = 10 \mu A$ (CS ST $L = 1 \mu m$, $L = 2 \mu m$ e $L = 4 \mu m$; SC S-SC e A-SC $L_S = L_D = 2 \mu m$; Cascode e Wilson $L = 2 \mu m$).



Fonte: Autor.

Figura 64 - Precisão de Espelhamento em função da tensão de saída com corrente de entrada $I_{IN} = 100 \mu A$ (CS ST $L = 1 \mu m$, $L = 2 \mu m$ e $L = 4 \mu m$; SC S-SC e A-SC $L_S = L_D = 2$, Cascode e Wilson $L = 2 \mu m$).



Fonte: Autor.

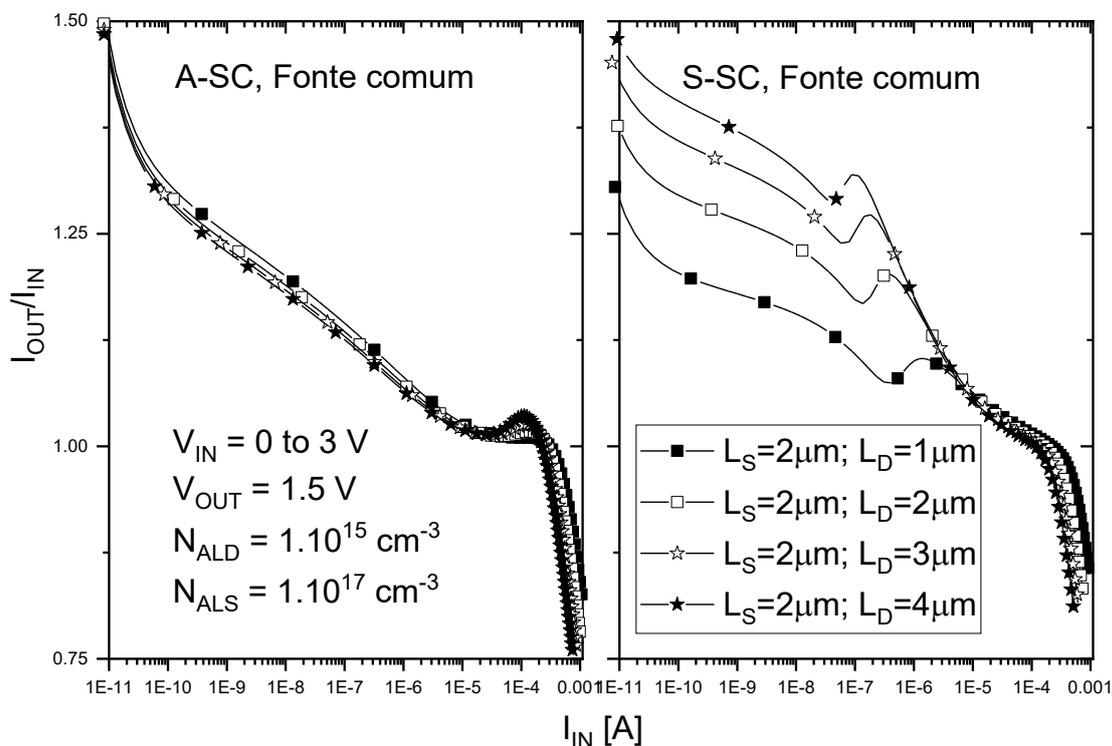
Tabela 4 – Tabela da tensão de saturação para diferentes espelhos de corrente polarizados com $I_{IN} = 10 \text{ nA}$, $1 \text{ }\mu\text{A}$ e $100 \text{ }\mu\text{A}$.

Estrutura	L_S [μm]	L_D [μm]	Espelho de Corrente	V_{SAT} [V]		
				$I_{IN} = 10 \text{ nA}$	$I_{IN} = 1 \text{ }\mu\text{A}$	$I_{IN} = 100 \text{ }\mu\text{A}$
ST	2	-	Fonte Comum	0,12	0,10	0,52
			Cascode	0,30	0,47	0,72
	4	-	Wilson	0,32	0,48	1,02
			Fonte Comum	0,12	0,12	0,81
S-SC	1	3		0,13	0,12	0,79
	2	2	Fonte Comum	0,13	0,12	0,77
	3	1		0,14	0,13	0,75
A-SC	1	3		0,61	0,64	0,94
	2	2	Fonte Comum	0,68	0,67	1,09
	3	1		0,70	0,71	1,18

Fonte: Autor.

A Figura 65 apresenta a precisão de espelhamento em função da corrente de entrada para espelhos de corrente polarizados com $V_{OUT} = 1,5 \text{ V}$ para as associações simétricas e assimétricas com o comprimento L_S fixo e variação de L_D . Nota-se que, a precisão do espelho de corrente com S-SC é fortemente afetada por L_D , uma vez que corresponde ao aumento do comprimento efetivo de canal. Por outro lado, o espelho de corrente com A-SC, em que M_S funciona como principal transistor, a divergência de polarização é pouco dependente da variação de L_D , indicando que qualquer divergência de geometria neste transistor durante o processo de fabricação não afetaria significativamente a precisão de espelhamento.

Figura 65 - Precisão de espelhamento em função da corrente de entrada com espelho de corrente implementados com S-SC e A-SC com L_S fixo e variação de L_D , simulados com $V_{OUT} = 1,5V$.

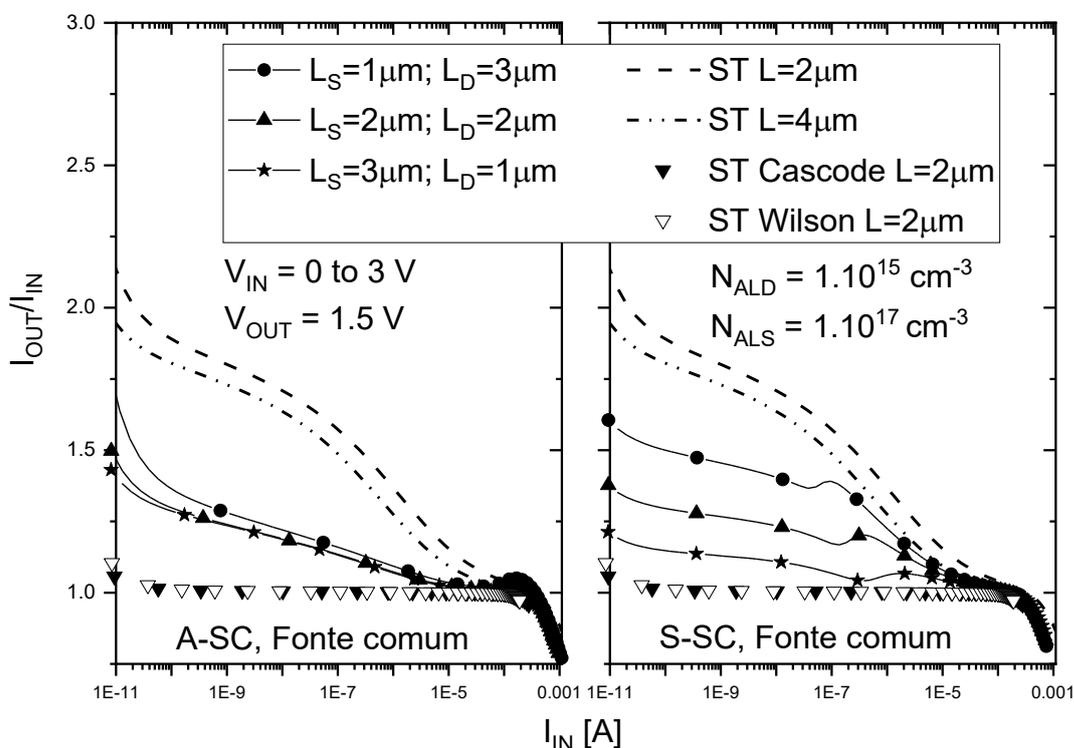


Fonte: Autor.

A Figura 66 apresenta a precisão de espelhamento em função da corrente de entrada simulada para espelho de corrente fonte comum com as associações S-SC e A-SC com comprimento total de canal ($L_S + L_D$) de $4 \mu\text{m}$ com tensão de saída fixa $V_{OUT} = 1,5 \text{ V}$. Resultados para espelhos de corrente com ST com $L = 2 \mu\text{m}$ e $4 \mu\text{m}$, e espelhos de corrente nas configurações Cascode e Wilson com $L = 2 \mu\text{m}$ também são apresentados.

A partir destas curvas, é possível notar que, ao reduzir a corrente de entrada, aproximando-se da região de inversão fraca, a precisão de espelhamento afasta-se da unidade em todas as estruturas e dispositivos. O uso da associação de transistores reduz a variação da precisão em comparação com transistores isolados. No caso das associações simétrica e assimétrica, a redução de L_S piora a precisão de espelhamento. Entretanto, é possível notar que o uso da associação assimétrica reduz a variação de precisão devido melhorar a condutância de saída, reduzindo a dependência da corrente de saída em relação à polarização aplicada.

Figura 66 - Precisão de Espelhamento em função da corrente de entrada (ST $L = 2 \mu\text{m}$ e $L = 4 \mu\text{m}$; Variação de L_S e L_D para SC S-SC e A-SC, Cascode e Wilson $L = 2 \mu\text{m}$).



Fonte: Autor.

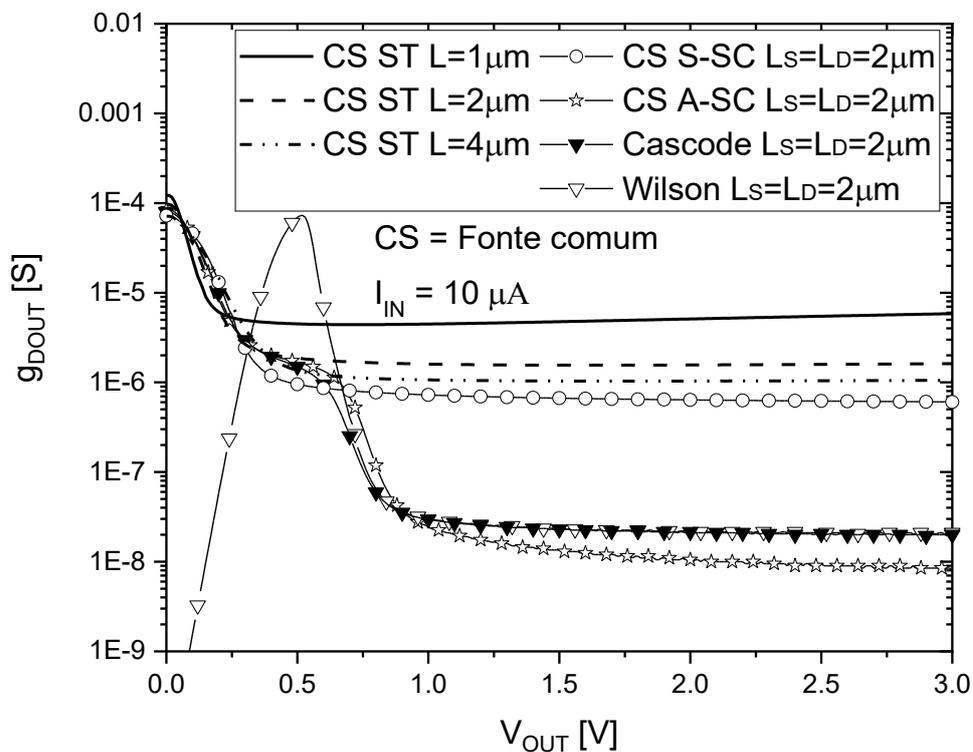
4.5 RESISTÊNCIA DE SAÍDA

Conforme descrito na seção 2.4.3, a resistência de saída é extraída a partir do inverso da condutância de saída. As Figuras 67 e 68 apresentam as condutâncias de saída em função da tensão de saída polarizadas com correntes de entrada $I_{IN} = 10 \mu\text{A}$ e $I_{IN} = 100 \mu\text{A}$ para os espelhos de corrente em configuração fonte comum com ST $L = 1 \mu\text{m}$, $2 \mu\text{m}$ e $4 \mu\text{m}$, associações simétrica e assimétrica com $L = 2 \mu\text{m}$ e arquiteturas Cascode e Wilson com $L = 2 \mu\text{m}$. Nota-se que, à associação assimétrica apresenta menor condutância de saída em relação à configuração fonte comum para todos os comprimentos de canal do transistor isolado e também com relação às arquiteturas Cascode e Wilson com $I_{IN} = 10 \mu\text{A}$.

A associação A-SC apresenta redução de aproximadamente 1,8 vez de g_D em relação às arquiteturas Cascode e Wilson e de 77 vezes em relação ao ST com o mesmo comprimento de canal efetivo ($L_{eff} = 4 \mu\text{m}$) e tensão de saída $V_{OUT} = 1,5 \text{ V}$. Considerando a corrente de polarização de entrada $I_{IN} = 100 \mu\text{A}$ (regime de inversão forte), às arquiteturas Cascode e Wilson apresentaram melhores valores de condutância de saída a partir de $V_{OUT} = 1,75 \text{ V}$, sendo que, o valor máximo obtido ocorre com tensão $V_{OUT} = 3,0 \text{ V}$ e corresponde a aproximadamente

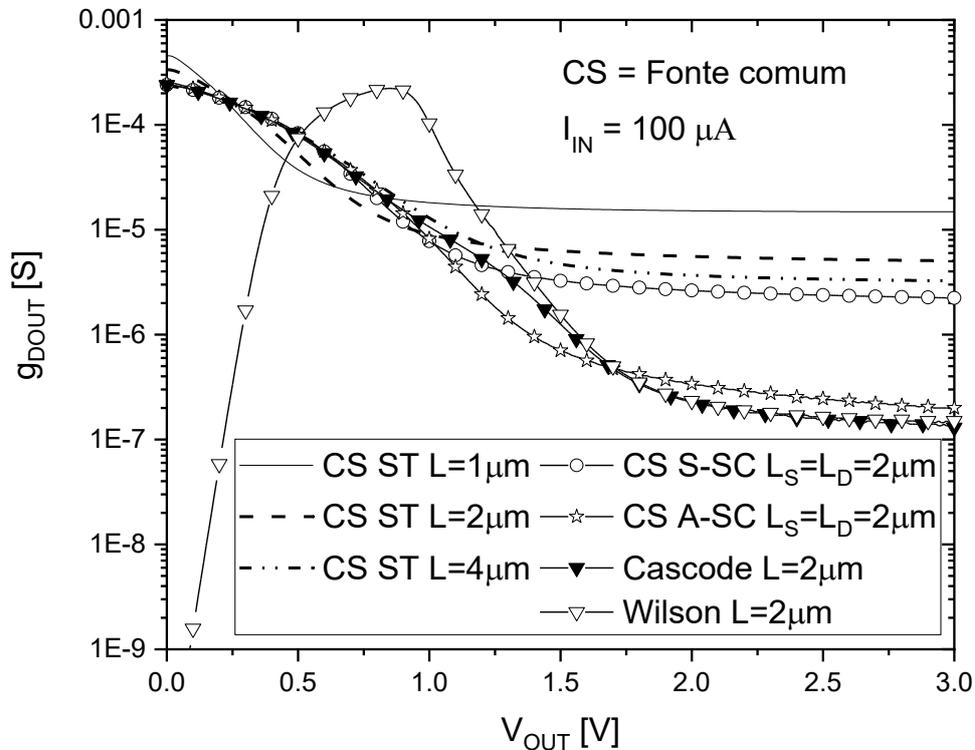
1,54 vez em relação a associação A-SC. Com relação ao ST com mesmo comprimento de canal $L = 4 \mu\text{m}$, as arquiteturas Cascode/Wilson apresentam g_D 25 vezes menor.

Figura 67 - Curvas da condutância de saída em função da tensão de saída com polarização de entrada $I_{IN} = 10 \mu\text{A}$ (CS ST $L = 1 \mu\text{m}$, $L = 2 \mu\text{m}$ e $L = 4 \mu\text{m}$; SC S-SC e A-SC $L_S = L_D = 2 \mu\text{m}$; Cascode e Wilson $L = 2 \mu\text{m}$).



Fonte: Autor.

Figura 68 - Curvas da condutância de saída em função da tensão de saída com polarização de entrada $I_{IN} = 100 \mu A$ (CS ST $L = 1 \mu m$, $L = 2 \mu m$ e $L = 4 \mu m$; SC S-SC e A-SC $L_S = L_D = 2 \mu m$; Cascode e Wilson $L = 2 \mu m$).

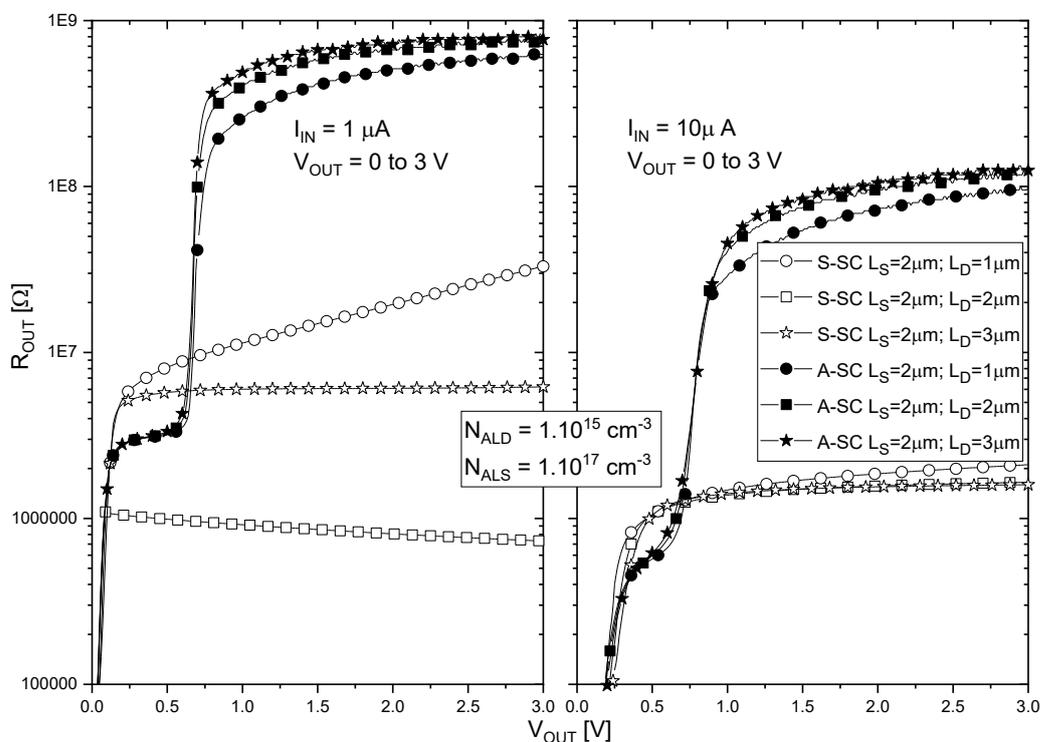


Fonte: Autor.

A partir das condutâncias de saída apresentadas nas Figuras 67 e 68 a resistência de saída é extraída, a partir do inverso da condutância de saída conforme descrito na seção 2.4.3, equação (62): $R_{OUT} = \frac{1}{g_{DOUT}}$.

A Figura 69 apresenta a resistência de saída em função da tensão de saída polarizada com corrente de entrada $I_{IN} = 1 \mu A$ e $I_{IN} = 10 \mu A$ para espelhos de corrente em configuração fonte comum implementados com associações simétrica e assimétrica com $L_S = 2 \mu m$ e L_D variando de $1 \mu m$ até $3 \mu m$. Nota-se que, para dispositivos com a mesma dimensão, a redução da tensão de limiar de M_D promove aumento da resistência de saída em mais de duas décadas. Do mesmo modo, é possível alcançar maior resistência de saída com dimensões reduzidas dos transistores das A-SCs em comparação com o espelho de corrente composto por S-SCs.

Figura 69 - Curvas da resistência de saída em função da tensão de saída polarizadas com $I_{IN} = 1 \mu A$ e $I_{IN} = 10 \mu A$ para espelhos de corrente implementados com S-SC e A-SC com L_S fixo e L_D variando de $1 \mu m$ até $3 \mu m$.



Fonte: Autor.

As Figuras 70 e 71 apresentam a resistência de saída com corrente de polarização de entrada $I_{IN} = 10 \mu A$ e $I_{IN} = 100 \mu A$, respectivamente, simuladas com espelho de corrente em fonte comum com transistores isolados ($L = 1 \mu m$, $L = 2 \mu m$ e $L = 4 \mu m$), S-SCs e A-SCs com $L_S = L_D = 2 \mu m$ e espelho de corrente com arquiteturas Cascode e Wilson com $L = 2 \mu m$.

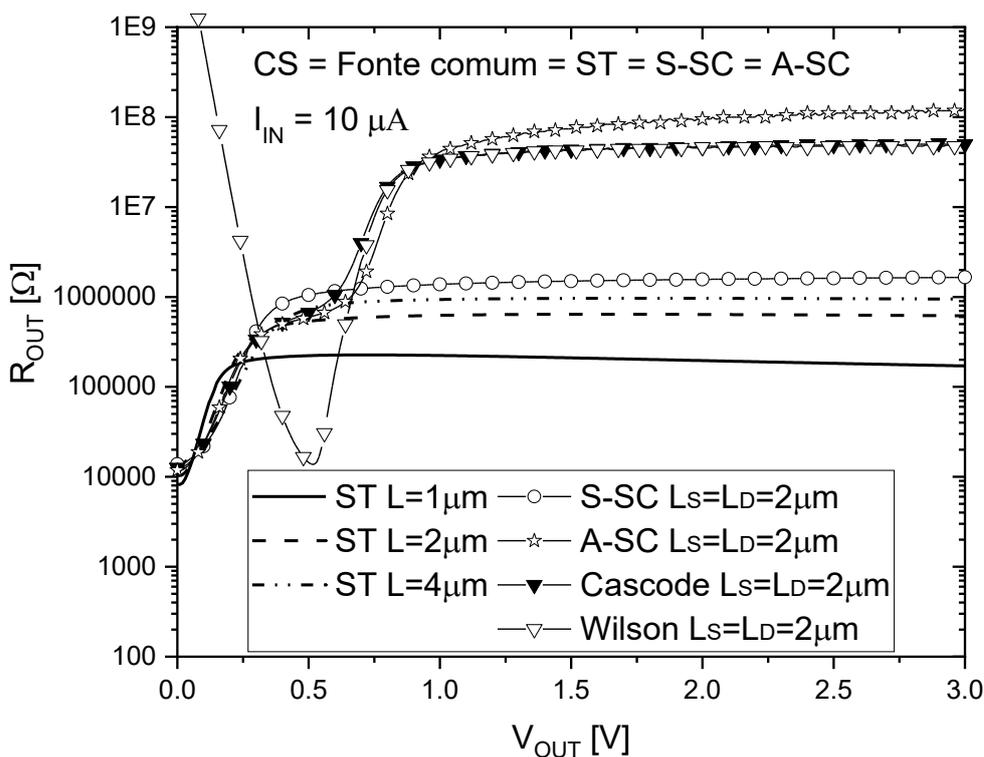
Comparando os resultados com o transistor isolado convencional, nota-se que, os espelhos de corrente com arquiteturas Cascode e Wilson promovem significativa melhora em relação a todos os comprimentos de canal do transistor isolado em ambas as correntes de polarização. Relacionando o mesmo comprimento de canal efetivo e $I_{IN} = 10 \mu A$, apresenta melhora de aproximadamente de 45 vezes, e com corrente de entrada $I_{IN} = 100 \mu A$, apresenta melhora de aproximadamente 3 vezes, para $V_{OUT} = 1,5 \text{ V}$.

A associação A-SC apresenta melhor resistência de saída em relação a todas as configurações apresentadas com corrente de entrada $I_{IN} = 10 \mu A$ (regime de inversão moderada), considerando $V_{OUT} = 1,5 \text{ V}$. A resistência de saída da estrutura A-SC é maior 1,7 vez em relação à das arquiteturas Cascode/Wilson e 77 vezes maior em relação ao ST com mesmo comprimento de canal efetivo ($L_{eff} = 4 \mu m$).

Considerando a corrente de polarização de entrada $I_{IN} = 100 \mu\text{A}$ (regime de inversão forte), às arquiteturas Cascode e Wilson apresentaram melhores valores de resistência de saída a partir de $V_{OUT} = 1,75 \text{ V}$. O valor máximo obtido ocorre com tensão $V_{OUT} = 2,5 \text{ V}$ e corresponde a aproximadamente 1,5 vez superior à apresentada pela associação A-SC. Com relação ao ST com mesmo comprimento de canal $L = 4 \mu\text{m}$, às arquiteturas Cascode/Wilson apresentam R_{OUT} 32 vezes maior.

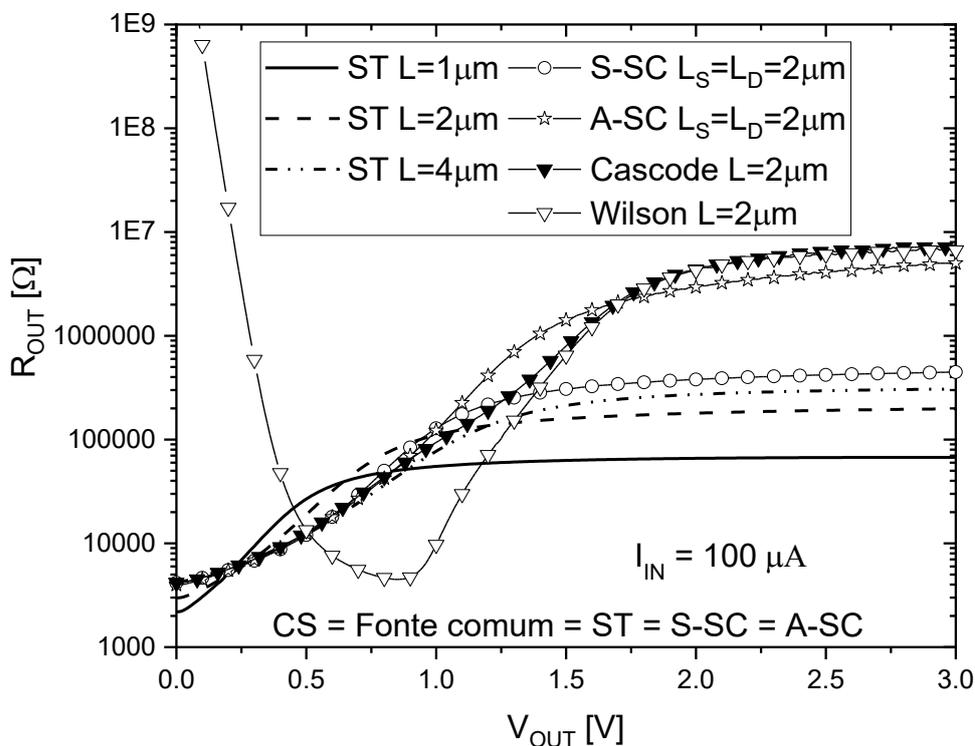
A Tabela 5 apresenta as resistências de saída dos espelhos de corrente com ST em configuração fonte comum, Cascode e Wilson, como também as resistências de saída das associações simétricas e assimétricas em configuração fonte comum, polarizados na região de inversão fraca, moderada e forte.

Figura 70 - Resistência de saída em função da tensão de saída com $I_{IN} = 10 \mu\text{A}$ (CS ST $L = 1 \mu\text{m}$, $L = 2 \mu\text{m}$ e $L = 4 \mu\text{m}$; SC S-SC e A-SC $L_S = L_D = 2 \mu\text{m}$; Cascode e Wilson $L = 2 \mu\text{m}$).



Fonte: Autor.

Figura 71 - Resistência de saída em função da tensão de saída com $I_{IN} = 10 \mu A$ (CS ST $L = 1 \mu m$, $L = 2 \mu m$ e $L = 4 \mu m$; SC S-SC e A-SC $L_S = L_D = 2 \mu m$; Cascode e Wilson $L = 2 \mu m$).



Fonte: Autor.

Tabela 5 - Tabela da resistência de saída para diferentes espelhos de corrente polarizados com $I_{IN} = 10 nA$, $1 \mu A$ e $100 \mu A$.

Estrutura	L_S [μm]	L_D [μm]	Espelho de Corrente	R_{OUT} [Ω] @ $V_{OUT} = 2.0V$		
				$I_{IN} = 10 nA$	$I_{IN} = 1 \mu A$	$I_{IN} = 100 \mu A$
ST	2	-	Fonte Comum	$1,2 \cdot 10^8$	$2,5 \cdot 10^6$	$1,8 \cdot 10^5$
			Cascode	$1,9 \cdot 10^{10}$	$2,8 \cdot 10^8$	$4,4 \cdot 10^6$
			Wilson	$1,8 \cdot 10^{10}$	$2,8 \cdot 10^8$	$4,3 \cdot 10^6$
S-SC	1	3	Fonte Comum	$2,8 \cdot 10^8$	$4,5 \cdot 10^6$	$3,1 \cdot 10^5$
			2	$6,3 \cdot 10^8$	$7,2 \cdot 10^6$	$3,8 \cdot 10^5$
			3	$1,7 \cdot 10^9$	$3,1 \cdot 10^7$	$4,9 \cdot 10^5$
A-SC	1	3	Fonte Comum	$4,2 \cdot 10^{10}$	$5,7 \cdot 10^8$	$1,8 \cdot 10^6$
			2	$4,6 \cdot 10^{10}$	$6,7 \cdot 10^8$	$2,9 \cdot 10^6$
			3	$3,7 \cdot 10^{10}$	$5,7 \cdot 10^8$	$3,6 \cdot 10^6$

Fonte: Autor.

5 CONCLUSÕES

O presente trabalho analisou o desempenho de espelhos de corrente implementados com transistores isolados e, associações simétrica e assimétrica. As análises foram realizadas através de simulações analíticas usando as arquiteturas Fonte Comum, Cascode e Wilson.

Em nível de dispositivo, foi observado que, ao reduzir o nível de concentração de dopantes no canal do transistor próximo ao dreno da estrutura composta (A-SC), houve um maior nível de corrente de dreno, transcondutância e redução da condutância de saída em comparação com a associação série simétrica, onde ambos transistores apresentam mesmo nível de concentração de dopantes e em relação ao transistor isolado, justificando o melhor desempenho da associação A-SC. Foi demonstrado também que, para baixas tensões de porta a associação série assimétrica é capaz de proporcionar transcondutância similar ao transistor isolado convencional, mas com menor condutância de saída, resultando na melhora do ganho de tensão intrínseco. A associação A-SC apresenta ganho intrínseco 1,2 maior do que o ST com o mesmo L_{eff} (2 μm) e 1,12 vez maior em relação à S-SC, considerando sobretensão de condução $V_{\text{GT}} = -200$ mV e, 1,25 vez maior comparando com ST e S-SC com $V_{\text{GT}} = 200$ mV.

A associação assimétrica apresenta também maior tensão de ruptura em relação a associação simétrica e ao transistor isolado convencional. A tensão de limiar influencia no desempenho da associação série assimétrica. Foi demonstrado que, tanto a transcondutância quanto a condutância de saída podem ser beneficiadas pelo aumento da diferença entre as tensões de limiar dos transistores que compõem a estrutura A-SC, até o limite em que a condutância de saída começa a sofrer degradação devido à ionização por impacto.

Em concordância com a literatura, as arquiteturas Cascode e Wilson são capazes de aumentar a resistência de saída. Com tensão de saída a partir de 1,75 V (região de inversão forte), apresenta maior resistência de saída em relação à A-SC, com diferença máxima de 1,47 vez com $V_{\text{OUT}} = 2,7$ V e 22 vezes maior comparando com o espelho de corrente com ST em configuração fonte comum, com o mesmo comprimento efetivo de canal ($L_{\text{eff}} = 4$ μm). Entretanto, às arquiteturas Cascode e Wilson também causam aumento da tensão de saturação.

Considerando a região de inversão moderada, a associação A-SC apresenta maior resistência de saída em relação às arquiteturas Cascode e Wilson, aproximadamente 2,4 vezes maior com tensão de saída $V_{\text{OUT}} = 2$ V e aproximadamente 200 vezes maior com relação ao espelho de corrente com transistor isolado convencional em configuração fonte comum com o mesmo comprimento efetivo de canal ($L_{\text{eff}} = 4$ μm). Na região de inversão fraca, a associação A-SC também apresenta melhores valores de resistência de saída, equivalente a 2,4 vezes maior

em relação às arquiteturas Cascode e Wilson com tensão de saída $V_{OUT} = 2\text{ V}$ e 333 vezes maior em relação ao ST com o mesmo comprimento efetivo de canal ($L_{eff} = 4\ \mu\text{m}$).

Os resultados apresentados indicam que a associação série assimétrica é uma boa alternativa para obter alto desempenho elétrico em CIs analógicos como espelhos de corrente, entre outros, que podem ser beneficiados com a redução da condutância de saída e, conseqüentemente, alta resistência de saída.

Como sugestões de trabalhos futuros e/ou continuidade deste trabalho, sugere-se a aplicação das simulações das associações simétricas e assimétricas em blocos de circuitos analógicos complexos, como por exemplo o amplificador operacional de transcondutância (*Operational Transconductance Amplifier* – OTA). O OTA surgiu como alternativa ao amplificador operacional convencional, com diversas aplicações em circuitos analógicos.

Publicação Gerada:

Os resultados apresentados neste trabalho permitiram a publicação de um artigo no periódico *Journal of Integrated Circuits and Systems*:

Analysis of Current Mirrors with Asymmetric Self-Cascode Association of SOI MOSFETs through SPICE Simulations.

Journal of Integrated Circuits and Systems, vol. 15, n. 2, pp. 1-5, 2020. DOI: <https://doi.org/10.29292/jics.v15i2.159>. Uma cópia deste artigo é apresentada no Apêndice I.

REFERÊNCIAS

- [1] COLINGE, J.P. **Silicon-on-insulator technology: materials to VLSI**. 3rd Ed. Norwell, Massachusetts: Kluwer Academic, 2004.
- [2] FUJISHIMA, M. *et al.* Low-power $\frac{1}{2}$ frequency dividers using 0.1- μ m CMOS circuits built with ultrathin SIMOX substrates. **IEEE Journal of Solid-State Circuits**, v. 28, n. 4, p. 510-512, abr. 1993. Disponível em: <https://ieeexplore.ieee.org/document/210036?arnumber=210036>. Acesso em: 07 jan. 2019.
- [3] KADO, Y. *et al.* Enhanced performance of multi-GHz PLL LSI's using sub-1/4-micron gate ultrathin film CMOS/SIMOX technology with synchrotron X-ray lithography. In: International electron devices meeting, 1993, Washington. **Proceedings... IEEE**, 1993. p. 243-246. Disponível em: https://ieeexplore.ieee.org/document/347360?tp=&arnumber=347360&url=http:%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D347360. Acesso em: 07 jan. 2019.
- [4] SHAHIDI, G.G. *et al.* SOI for a 1-volt CMOS technology and application to a 512Kb SRAM with 3.5ns access time. In: International electron devices meeting, 1993, Washington. **Proceedings... IEEE**, 1993. p. 813-816. Disponível em: <https://ieeexplore.ieee.org/document/347275?tp=&arnumber=347275&url=http:%2F%2Fieeexplore.ieee.org%2Fiel2%2F1088%2F8045%2F00347275.pdf%3Farnumber%3D347275>. Acesso em: 07 jan. 2019.
- [5] OKUHARA, H., AHMED, B.A., KUHN, M.J, ARMANO, H. Asymmetric Body Bias Control with Low-Power FD-SOI Technologies: Modeling and Power Optimization. **IEEE Transactions on Very Large Scale Integration (VLSI) Systems** (Volume: 26 , Issue: 7 , July 2018). p. 1254 – 1267. Disponível em: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=8323396>. Acesso em: 17 jun. 2020.
- [6] CHATTERJEE, D., KOTTANTHARAYIL, A. An Improved 1T-DRAM Cell Using TiO₂ as the Source and Drain of an n-Channel PD-SOI MOSFET. **76th Device Research Conference (DRC)**, IEEE, 2018. Disponível em: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=8442180>. Acesso em: 17 jun 2020.
- [7] WENDEL, D. *et al.* The implementation of POWER7™: a highly parallel and scalable multi-core high-end server processor. In: International Solid-State Circuits conference digest of technical papers (ISSCC), 2010, San Francisco. **Proceedings... IEEE**, 2010. p. 102-103. Disponível em: https://ieeexplore.ieee.org/document/5434074?tp=&arnumber=5434074&url=http:%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D5434074. Acesso em: 07 jan. 2020.
- [8] **ADVANCED SUBSTRATE NEWS**. The new generation: it's all on SOI. Disponível em: <http://www.advancedsubstratenews.com/2006/12/the-new-generation-its-all-on-soi/>. Acesso em: 09 dez. 2019.

- [9] BARTH, J. *et al.* A 45 nm SOI embedded DRAM macro for the POWER™ processor 32 MByte on-chip L3 cache. **IEEE Journal of Solid-State Circuits**, v. 46, n. 1, p. 64-75, jan. 2011. Disponível em: https://ieeexplore.ieee.org/document/5643084?tp=&arnumber=5643084&url=http:%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D5643084. Acesso em: 07 jan. 2020.
- [10] **ADVANCED SUBSTRATE NEWS. JONES, H.** Why migration to FD-SOI is a better approach than bulk CMOS and FINFETS at 20nm and 14/16nm for price-sensitive markets. Disponível em: <https://soiconsortium.org/2014/03/19/why-migration-to-fd-soi-is-a-better-approach-than-bulk-cmos-and-finfets-at-20nm-and-1416nm-for-price-sensitive-markets/> Acesso em: 07 jan. 2020.
- [11] CRISTOLOVEANU, S., LI, S.S. **Electrical Characterization of Silicon-on-Insulator Materials and Devices**, Kluwer Academic Publishers, 2nd Edition, Boston, 1995.
- [12] HISAMOTO, D., KAGA, T., KAWAMOTO, Y., and TAKEDA, E. A fully depleted lean-channel transistor (DELTA)-a novel vertical ultra-thin SOI MOSFET. **IEEE International Technical Digest on Electron Devices Meeting**, p.833-836, 1989. Disponível em: <https://ieeexplore.ieee.org/document/74182>. Acesso em: 07 jan. 2020.
- [13] YOSHIMI, M. *et al.* **Observation of mobility enhancement in ultrathin SOI MOSFETs**. *Electronics Letters*, v. 24, n. 17, p. 1078-1079, ago. 1988. Disponível em: <https://ieeexplore.ieee.org/document/191746?arnumber=191746>. Acesso em: 07 jan. 2020.
- [14] COLINGE, J.P. (1991). **Silicon-on-Insulator Technology: Materials to VLSI**. Berlin: Springer Verlag.
- [15] COLINGE, J.P., Advanced CMOS devices made in thin SOI films. **Extended Abstracts of 5th International Workshop on Future Electron Devices**, Miyagi-Zao, Japão, p.105-112, 1988.
- [16] AUBERTON-HERVE, A.J. SOI technologies applications: trends in VLSI. **1990 IEEE SOS/SOI Technology Conference. Proceedings**. Key West, FL, USA, USA. Disponível em: <https://ieeexplore.ieee.org/document/145755>. Acesso em: 07 jan. 2020.
- [17] FOSSUM, J.G.; CHOI, J.-Y; SUNDARESAN, R. SOI design for competitive CMOS VLSI. **IEEE Transactions on Electron Devices**, v. 37, n. 3, p.724-729, mar. 1990. Disponível em: https://ieeexplore.ieee.org/document/47778?tp=&arnumber=47778&url=http:%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D47778. Acesso em: 07 jan. 2020.
- [18] COLINGE, J.P. Hot-electron effects in silicon-on-insulator n-channel MOSFETs. **IEEE Transactions on Electron Devices**, v. 34, n. 10, p. 2173-2177, out. 1987. Disponível em: <https://ieeexplore.ieee.org/document/1486924?tp=&arnumber=1486924&url=http:%2F%2Fieeexplore.ieee.org%2Fiel5%2F16%2F31982%2F01486924.pdf%3Farnumber%3D1486924>. Acesso em: 07 jan. 2020.

- [19] SU, L.T. *et al.* Hot-carrier effects in fully depleted SOI nMOSFETs. In: International electron devices meeting technical digest, 1992, San Francisco. **Proceedings... IEEE**, 1992. p. 349-352. Disponível em: https://ieeexplore.ieee.org/document/307376?tp=&arnumber=307376&url=http:%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D307376. Acesso em: 07 jan. 2020.
- [20] CHOI, J. Y.; FOSSUM, J. G. Analysis and control of floating-body bipolar effects in fully depleted submicrometer SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 38, n. 6, p. 1384-1391, jun. 1991. Disponível em: <https://ieeexplore.ieee.org/document/81630?tp=&arnumber=81630&url=http:%2F%2Fieeexplore.ieee.org%2Fiel1%2F16%2F2677%2F00081630.pdf%3Farnumber%3D81630>. Acesso em: 06 dez. 2019.
- [21] MONTORO, C.G., SCHNEIDER, M.C., ITAMAR J. B. L. Series-Parallel Association of FET's for High Gain and High Frequency Applications. **IEEE Journal of Solid-State Circuits**, Vol. 29, n.9, Sept.1994, p.1094-1101. Disponível em: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=309905>. Acesso em: 07 jan. 2020.
- [22] GAO, M., COLINGE, J.P., LAUWERS, L., WU, S., CLAEYS, C. Twin-MOSFET Structure for Suppression of the Kink and Parasitic Bipolar Effect in SOI MOSFET's at Room and Liquid Helium Temperatures. **Solid-State Electronics**, vol. 35, no. 4, 1992, pp. 505-512. Disponível em: <https://www.sciencedirect.com/science/article/pii/003811019290112P>. Acesso em: 16 dez. 2019.
- [23] GAO, M.-H., *et al.*, Dual MOSFET structure for suppression of kink in SOI MOSFETs at room and liquid helium temperature. **1990 IEEE SOS/SOI Technology Conference. Proceedings**, pp. 13-14. Key West, FL, USA, USA. Disponível em: <https://ieeexplore.ieee.org/document/145685> Acesso em: 22 jun. 2020.
- [24] SOUZA, M. de; FLANDRE, D. PAVANELLO, M.A. Asymmetric self-cascode configuration to improve the analog performance of SOI nMOS transistors. In: International SOI Conference, USA, 2011, Tempe. **Proceedings... IEEE**, 2011. p. 1-2. Disponível em: <https://ieeexplore.ieee.org/document/6081716?arnumber=6081716>. Acesso em: 07 jan. 2020.
- [25] SANTOS, I.C.B. dos. **Associação série e análise de descasamento em transistores SOI MOSFET de canal gradual operando em saturação**. Dissertação (Mestrado em Engenharia Elétrica) – FEI, São Bernardo do Campo, 2011.
- [26] **ICAP/4 Simulation**, Interactive Circuit Analysis Program (version 8.11) Bld, 4444, Intusoft, 2011.
- [27] CHUANG, C.-T. *et al*; SOI for digital CMOS VLSI: design considerations and advances. **Proceedings of the IEEE**, v.86, n.4, p. 689-720, 1998. Disponível em: <https://ieeexplore.ieee.org/document/663545>. Acesso em 06 dez. 2019
- [28] KRISHNAN, S.; FOSSUM, J.G. Grasping SOI floating-body effects. **IEEE Circuits and Devices Magazine**, v. 14, n. 4, p. 32-37, jul. 1998. Disponível em: https://ieeexplore.ieee.org/document/708479?tp=&arnumber=708479&url=http:%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D708479. Acesso em: 05 dez. 2019.

- [29] SHAHIDI, G.G. SOI Technology for the GHz era. **IBM Journal of Research and Development**, v. 46, n. 2/3, p. 121-131, mar. 2002. Disponível em: <http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.92.5029&rep=rep1&type=pdf>. Acesso em 18 jun. 2020.
- [30] LIM, H.K.; FOSSUM, J.G. Current-voltage characteristics of thin-film silicon-on-insulator (SOI) MOSFETs in strong inversion. **IEEE Transactions on Electron Devices**, v.31, p.401-408, 1984. Disponível em: <https://ieeexplore.ieee.org/document/1483825>. Acesso em 06 dez. 2019.
- [31] ICHIKAWA, F. *et al.* Fully depleted SOI process and device technology for digital and RF applications. **Solid-State Electronics**, v.48, n.6, p. 999-1006, 2004. Disponível em: <https://www.sciencedirect.com/science/article/pii/S0038110103004532>. Acesso em 06 dez. 2019
- [32] <http://www.oki.com/en/press/2002/z01114e.html>. Acesso em 05 dez. 2019
- [33] <http://www.emmicroelectronic.com/DetailNews.asp?IdNe/ws=37>. Acesso em 05 dez. 2019.
- [34] GROESENEKEN, G.; COLINGE, J.P.; MAES, H.E.; ALDERMAN, J.C.; HOLT, S. Temperature dependence of threshold voltage in thin-film SOI MOSFETs. **IEEE Electron Device Letters**, v.11, n.8, p.329-331, 1990. Disponível em: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=57923>. Acesso em: 16 dez. 2019.
- [35] LERAY, J.L. *et al.* From substrate to VLSI: investigation of hardened SIMOX without epitaxy, for dose, dose rate and SEU phenomena. **IEEE Transactions on Nuclear Science**, v. 35, n. 6, p. 1355-1360, dez. 1988. Disponível em: https://ieeexplore.ieee.org/document/25464?tp=&arnumber=25464&url=http:%2F%2Fieeexpl ore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D25464. Acesso em: 06 dez. 2019.
- [36] CHUANG, C.-T. *et al.*; SOI for digital CMOS VLSI: design considerations and advances. **Proceedings of the IEEE**, v.86, n.4, p. 689-720, 1998. Disponível em: <https://ieeexplore.ieee.org/document/663545>. Acesso em 06 dez. 2019.
- [37] YOSHIMI, M.; HAZAMA, H.; TAKAHASHI, M.; KAMBAYASHI, S.; WADA, T.; ANGO, H. Two-dimensional simulation and measurement of high-performance MOSFETs made on a very thin SOI film. **IEEE Transactions on Electron Devices**, v.36, n.3, p.493-503, 1989. Disponível em: <https://ieeexplore.ieee.org/document/19959>. Acesso em 06 dez. 2019.
- [38] KISTLER, N.; WOO, J. Detailed characterization and analysis of the breakdown voltage in fully depleted SOI n-MOSFETs. **IEEE Transaction on Electron Devices**, v.41, n.7, p.1217-1221, 1994. Disponível em: <https://ieeexplore.ieee.org/document/293350>. Acesso em: 07 jan. 2020.
- [39] YONG, K.K.; Short-channel effect in fully depleted SOI MOSFETs. **IEEE Transactions on Electron Device Letters**, v.36, n.2, p.399-402, 1989. Disponível em: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=19942>. Acesso em 16 dez. 2019.

[40] LIM, H.K.; FOSSUM, J.G. Threshold voltage of thin-film silicon-on-insulator (SOI) MOSFETs. **IEEE Transactions on Electron Devices**, v.30, p.1244-1251, 1983. Disponível em: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=47778>. Acesso em 06 dez. 2019.

[41] FLANDRE, D. *et al.* Comparison of SOI versus bulk performances of CMOS micropower single-stage OTAs. **Electronics Letters**, v. 30, n. 23, p. 1933-1934, nov. 1994. Disponível em: <https://ieeexplore.ieee.org/document/335665?tp=&arnumber=335665&url=http:%2F%2Fieeexplore.ieee.org%2Fiel5%2F2220%2F7887%2F00335665.pdf%3Farnumber%3D335665>. Acesso em: 05 dez. 2019.

[42] LIM, H.K.; FOSSUM, J.G. Current-voltage characteristics of thin-film SOI MOSFET's in strong inversion. **IEEE Transactions on Electron Devices**, v.31, p.401-408, 1984. Disponível em: https://ieeexplore.ieee.org/document/1483825?tp=&arnumber=1483825&url=http:%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D1483825. Acesso em: 06 dez. 2019.

[43] COLINGE, J.P.; COLINGE, C.A. **Physics of Semiconductor Devices**. 1st Ed. Massachusetts: Kluwer Academic Publishers, 2002.

[44] SZE, S.M. **Physics of semiconductor devices**. 2nd Ed. New York: John Wiley and Sons, 1981.

[45] BREWS, J.R. Subthreshold behavior of uniformly and nonuniformly doped long-channel MOSFET. **IEEE Transactions on Electron Devices**, v. 26, n. 9, p. 1282-1291, set. 1979. Disponível em: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=1480172>. Acesso em: 05 dez. 2019.

[46] WOUTERS, D.J.; COLINGE, J.P.; MAES, H.E. Subthreshold slope in thin-film SOI MOSFET's. **IEEE Transactions on Electron Devices**, v. 37, n. 9, p. 2022-2033, set. 1990. Disponível em: <https://ieeexplore.ieee.org/document/57165?tp=&arnumber=57165&url=http:%2F%2Fieeexplore.ieee.org%2Fiel1%2F16%2F2071%2F00057165.pdf%3Farnumber%3D57165>. Acesso em: 07 jan. 2020.

[47] SAH, C.T. *et al.* Effect of zinc impurity in silicon solar-cell efficiency. **IEEE Transactions on Electron Devices**, v. 28, n. 3, p. 304-313, mar. 1981. Disponível em: <https://ieeexplore.ieee.org/document/1481485?tp=&arnumber=1481485&url=http:%2F%2Fieeexplore.ieee.org%2Fiel5%2F16%2F31825%2F01481485.pdf%3Farnumber%3D1481485>. Acesso em: em: 07 jan. 2020.

[48] GUTIERREZ, E.A.; DEEN, J.; CLAEYS, C.L. **Low temperature electronics: physics, devices, circuits and applications**. San Diego: Academic Press, 1991.

[49] CAUGHEY, D.M.; THOMAS, R.E. Carrier mobilities in silicon empirically related to doping and field. **Proceedings of the IEEE**, v. 55, n. 12, p. 2192-2193, dez. 1967. Disponível em:

https://ieeexplore.ieee.org/document/1448053?tp=&arnumber=1448053&url=http:%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D1448053. Acesso em: 07 jan. 2020.

[50] DORKEL, J. M.; LETURCQ, Ph.; Carrier mobilities in silicon semi-empirically related to temperature, doping and injection level. **Solid-State Electronics**, v.24, p.821-825, 1981. Disponível em: <https://www.sciencedirect.com/science/article/pii/0038110181900976>. Acesso em: 07 jan. 2020.

[51] LI, S.S.; THURBER, W.R. The dopant density and temperature dependence of electron mobility and resistivity in n-type silicon. **Solid-State Electronics**, v. 20, n. 7, p. 609-616, jul. 1977. Disponível em: <https://www.sciencedirect.com/science/article/pii/0038110177901009>. Acesso em: 06 dez. 2019.

[52] CHOI, J.-I., FOSSUM, J. G. Analysis and Control of Floating-Body Bipolar Effects in Fully Depleted Submicrometer SOI MOSFETS's. **IEEE Transation on Electron Devices**, vol. 38, n.6, pp.1384-1391, June 1991. Disponível em: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=81630>. Acesso em 16 dez. 2019.

[53] SOUZA, M. de. **Desenvolvimento de um modelo analítico contínuo para transistores GC SOI nMOSFETs**. Dissertação (Mestrado em Engenharia Elétrica) – USP, São Paulo, 2005.

[54] YOSHIMI, M. Two-dimensional simulation and measurement of high-performance MOSFETS made on a very thin SOI film. **IEEE on Electron devices**, v. 36, n. 3, p. 493-503, 1989. Disponível em: <https://ieeexplore.ieee.org/document/19959>. Acesso em: 06 dez. 2019.

[55] VEERARAGHAVAN, S., FOSSUM, J.G. A physical short-channel model for the thin-film SOI MOSFET applicable to device and circuit CAD. **IEEE Transactions on Electron Devices**, v. 35, n. 11, p. 1866-1875, nov. 1988. Disponível em: <https://ieeexplore.ieee.org/document/7399?tp=&arnumber=7399&url=http:%2F%2Fieeexplore.ieee.org%2Fiel1%2F16%2F386%2F00007399.pdf%3Farnumber%3D7399>. Acesso em: 06 dez. 2019.

[56] MULLER, R.S.; KAMINS, T.I. **Device electronics for integrated circuits**. 2nd Ed. New York: Wiley, 1986.

[57] WOO, J.C S.; PLUMMER, J.D.; Short-channel effects in MOSFET's at liquid-Nitrogen Temperature. **IEEE Transaction on electron Devices**, v.22, n.7, p. 1012-1019, 1986. Disponível em: <https://ieeexplore.ieee.org/document/1485824>. Acesso em: 06 dez. 2019.

[58] SILVEIRA, F; FLANDRE, D.; JESPERS, P.G.A. A g_m/I_D based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. **IEEE Journal of Solid-State Circuits**, v. 31, n. 9, p. 1314-1319, set. 1996. Disponível em: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=535416>. Acesso em: 16 dez. 2019.

[59] PAVANELLO, M. A. *et al.* An asymmetric channel SOI nMOSFET for reducing parasitic effects and improving output characteristics. **Electrochemical and Solid-State Letters**, v.1, p.

50-52, 2000. Disponível em: <http://esl.ecsdl.org/content/3/1/50.full.pdf>. Acesso em: 16 dez. 2019.

[60] PAVANELLO, M. A. **Projeto, fabricação e caracterização elétrica de uma nova estrutura para SOI MOSFET**, Tese (Doutorado em Engenharia Elétrica) – USP, São Paulo, 2000.

[61] SEDRA, A.S., SMITH, K.C. **Microeletrônica. 5. Ed.** São Paulo: Pearson Prentice Hall, 2007.

[62] RAZAVI, B. **Design of analog CMOS integrated circuits.** New York: McGraw-Hill, 2001.

[63] GUTIERREZ, E. A., DEEN, J, CLAEYS, C. L. **Low temperature electronics: physics, devices, circuits and applications.** San Diego: Academic Press, 1991.

[64] VITTOZ, E.A. Low power design: ways to approach the limits. In: **International Solid-State Circuits Conference (ISSCC)**, 41st, 1994, San Francisco. Disponível em: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=344744>. Acesso em: 16 dez. 2019.

[65] FLANDRE, D. *et al.* Modelling and application of fully depleted SOI MOSFETs for low voltage, low power analogue CMOS circuits. **Solid-State Electronics**, v.39, n. 4, p. 455-460, 1996. Disponível em: <https://www.sciencedirect.com/science/article/pii/0038110195001670>. Acesso em: 16 dez. 2019.

[66] FLANDRE, D., EGGERMONT, J.-P., DE CEUSTER, D., JESPERS, P. Comparison of SOI versus bulk performances of CMOS micropower single-stage OTAs. **Electronics Letters**, v.30, n.23, p.1933-1934, 1994. Disponível em: <https://ieeexplore.ieee.org/document/335665>. Acesso em: 22 jun. 2020.

[67] BONTEANU, G., CRACAN, A., A high-gain programmable current mirror for large bias currents generation. **2017 5th International Symposium on Electrical and Electronics Engineering (ISEEE)**, 20-22 Oct. 2017. Disponível em: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=8170675>. Acesso em: 17 jun. 2020.

[68] SHICHMAN, H.; HODGES, D., Modeling and simulation of insulated-gate field-effect transistor switching circuits. **IEEE Journal Solid-State Circuits**, v.3, issue 3, pp 285-289, sep. 1968. Disponível em: <https://ieeexplore.ieee.org/document/1049902>. Acesso em: 22 jun. 2020.

[69] LAKSHMIKUMAR K.R., HADAWAY R.A., COPELAND M.A. Characterization and Modeling of mismatch in MOS transistors for precision analog design. **IEEE Journal Solid-State Circuits**, 1986; v.21, 1057-66. Disponível em: <https://ieeexplore.ieee.org/document/1052648>. Acesso em: 22 jun. 2020.

[70] FERREIRA, R.S. **Caracterização elétrica de Espelhos de Corrente Baseados em Transistores GC SOI MOSFET em Função da Temperatura**, São Paulo – Brasil, 2004. Dissertação (Mestrado em Engenharia Elétrica) – Escola Politécnica da Universidade de São Paulo.

[71] LAKER, K.R., and SANSEN, W.M.C. **Design of Analog Integrated Circuits and Systems**. McGraw, New York, 1994.

[72] PELGROM, M.J.M.; DUINMAIJER A.C.J.; WELBERS, A.P.G. Matching properties of MOS transistors. **IEEE Journal of Solid-State Circuits**, v. 24, n. 5, p. 1433-1440, out. 1989. Disponível em:

<https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=572629>. Acesso em: 16 dez. 2019.

[73] SANTOS, A.A. **Impacto da utilização de transistores GC SOI MOSFET como espelhos de corrente para obtenção de fontes de corrente de alto desempenho em circuitos integrados**. Dissertação (Mestrado em Engenharia Elétrica) – FEI, São Bernardo do Campo, 2007.

[74] YU F., LI P., GAO L., CAI S., GU K., WANG W. A Second Generation Current Controlled Current Conveyor Realization Using Cascode Current Mirror: A CCCII Realization Using Cascode Current Mirror, Changsha, China, 2018. **The 10th International Conference on Communications, Circuits and Systems** - Changsha University of Science and Technology. Disponível em: <https://ieeexplore.ieee.org/document/8769163>. Acesso em: 22 jun. 2020.

[75] SOUZA, M. de. **Modelagem simulação e fabricação de circuitos analógicos com transistores SOI convencionais e de canal gradual operando em temperaturas criogênicas**. Tese (Doutorado em Engenharia Elétrica) – USP, São Paulo, 2008.

[76] SCHNEIDER, M. C.; GALUP-MONTORO, C. **CMOS Analog Design Using All-Region MOSFET Modeling**. New York: Cambridge University Press, 2010.

[77] GALUP, C. M., SCHNEIDER, M. C.; LOSS, I. J. B. Series-Parallel Association of FET's for High Gain and High Frequency Applications. **IEEE Journal of Solid-State Circuits**, v. 29, n. 9, p. 1094-1101, 1994. Disponível em: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=309905>. Acesso em 16 dez. 2019.

[78]. SANZ, M. T. *et al.* Self-cascode SOI versus graded-channel SOI MOS transistors. **IEE Proceedings Circuits, Devices and Systems**, v. 153, n. 5, Outubro 2006. Disponível em: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=4015855>. Acesso em: 16 dez. 2019.

[79] MEIER, D. L.; HWANG, J.-M.; CAMPBELL, R. B. The Effect of Doping Density and Injection Level on Minority-Carrier Lifetime as Applied to Bifacial Dendritic Web Silicon Solar Cells. **IEEE Transactions on Electron Devices**, v. 35, n. 1, p. 70-79, 1988. Disponível em: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=2417>. Acesso em: 16 dez. 2019.

[80] SOUZA, M. de, FLANDRE, D., DORIA, R. T., TREVISOLI, R., PAVANELLO, M.A. On the improvement of DC analog characteristics of FD SOI transistors by using asymmetric self-cascode configuration. **Solid-State Electronics**, volume 117, March 2016, pg. 152-160. Disponível em: <https://reader.elsevier.com/reader/sd/pii/S0038110115003378?token=3F1D4D2607BC82B99FA16B19D993B8A046F5B8DC1A8710C4B2BBC5A144BD77013174D8E4330B02EDD5123CB21D41B2D1>. Acesso em: 18 de jun. 2020.

[81] IÑIGUEZ, B.; FERREIRA, L.F.; GENTINNE, B.; FLANDRE, D. A Physically Based C_{α} -Continuous Fully-Depleted SOI MOSFET Model for Analog Applications. **IEEE Transaction On Electron Devices**, v.43, n.4, p.568-575, 1996. Disponível em: <https://ieeexplore.ieee.org/document/485539>. Acesso em: 30 jan. 2020.

APÊNDICE A – AJUSTE DE CURVA I_{DS} x V_{GS} COM ALTA CONCENTRAÇÃO DE DOPANTES

Exemplo de arquivo para ajuste de simulação através do programa ICAP/4: ajuste das curvas I_{DS} x V_{GS} com alta concentração de dopantes:

```
VDS 1 0 0.050
V0 1 2 0V
* DC: fonte variável (.DC)
VGS 3 0 DC
AM1 2 3 0 0 nsoih22
.MODEL nsoih22 fdsoin(w=20e-6 l=2e-6 tof=30e-9 tob=390e-9 tb=80e-9 nsub=1e17
+u0=6.0e-2 temp=300 rd=1 vthf=0.38 vthfi=0.3 af=3.0e-8 snt=0.97 q0=0
+sigma=0.0115 kappa=1.072 ld=5e-8 qof=8e-9 qob=8e-9 ats=3 vsat=1.65e5 ldiff=4e-9
+ene=1.10 llat=0.3e-9 wd=0.1e-9 icgf=4 vbf=-1.027 vfb=-1.023 ics=0 icgb=0)
.CONTROL
OP
SHOW ALL
.ENDC
.DC VGS -0.1 3 0.01
.PRINT DC I(V0) V(VGS)
.PLOT DC I(V0) V(VGS)
.END
```

APÊNDICE B – AJUSTE DE CURVA I_{DS} x V_{DS} COM ALTA CONCENTRAÇÃO DE DOPANTES

Exemplo de arquivo para ajuste de simulação através do programa ICAP/4: ajuste das curvas I_{DS} x V_{DS} com alta concentração de dopantes:

```
VGS 3 0 0.050
V0 1 2 0V
VDS 1 0 DC
AM1 2 3 0 0 nsoih22
.MODEL nsoih22 fdsoin(w=20e-6 l=2e-6 tof=30e-9 tob=390e-9 tb=80e-9 nsub=1e17
+u0=6.0e-2 temp=300 rd=1 vthf=0.38 vthfi=0.3 af=3.0e-8 snt=0.97 q0=0
+sigma=0.0115 kappa=1.072 ld=5e-8 qof=8e-9 qob=8e-9 ats=3 vsat=1.65e5 ldiff=4e-9
+ene=1.10 llat=0.3e-9 wd=0.1e-9 icgf=4 vbf=-1.027 vbb=-1.023 ics=0 icgb=0)
.CONTROL
OP
SHOW ALL
.ENDC
.DC VDS 0 3 0.01
.PRINT DC I(V0) V(VDS)
.PLOT DC I(V0) V(VDS)
.END
```

APÊNDICE C – SIMULAÇÃO DE CURVA I_{DS} x V_{GS} COM ASSOCIAÇÃO SÉRIE ASSIMÉTRICA

Exemplo de arquivo de simulação das associações através do programa ICAP/4,; simulação das curvas I_{DS} x V_{GS} com associação série assimétrica:

```
VDS 1 0 0.05V
V0 1 2 0V
VGS 3 0 DC
AM8 2 3 4 0 nsoi8
AM2 4 3 0 0 nsoih22
.MODEL nsoi8 fdsoin(w=20e-6 l=2e-6 tof=30e-9 tob=390e-9 tb=80e-9 nsub=1e15
+u0=8.0e-2 temp=300 rd=1 vthf=-0.3650 vthfi=0.3 af=3.0e-8 snt=0.97 q0=0
+sigma=0.004 kappa=1.072 ld=9e-8 qof=8e-9 qob=8e-9 ats=2.5 vsat=1.65e5 ldiff=4e-9
+ene=1.21 llat=0.3e-9 wd=0.1e-9 icgf=4 vbf=-1.027 vfb=-1.023 ics=0 icgb=0)
.MODEL nsoih22 fdsoin(w=20e-6 l=2e-6 tof=30e-9 tob=390e-9 tb=80e-9 nsub=1e17
+u0=6.00e-2 temp=300 rd=1 vthf=0.38 vthfi=0.3 af=3.0e-8 snt=0.97 q0=0
+sigma=0.0115 kappa=1.072 ld=5e-8 qof=8e-9 qob=8e-9 ats=3 vsat=1.65e5 ldiff=4e-9
+ene=1.10 llat=0.3e-9 wd=0.1e-9 icgf=4 vbf=-1.027 vfb=-1.023 ics=0 icgb=0)
.CONTROL
OP
SHOW ALL
.ENDC
.DC VGS -0.1 3 0.01
.PRINT DC I(V0) V(VGS)
.PLOT DC I(V0) V(VGS)
.END
```

APÊNDICE D – SIMULAÇÃO DE CURVA I_{DS} x V_{DS} COM ASSOCIAÇÃO SÉRIE ASSIMÉTRICA

Exemplo de arquivo de simulação das associações através do programa ICAP/4:
simulação das curvas I_{DS} x V_{DS} com associação série assimétrica:

```
VGS 3 0 0.400
V0 1 2 0V
VDS 1 0 DC
AM8 2 3 4 0 nsoi8
AM2 4 3 0 0 nsoih22
.MODEL nsoi8 fdsoin(w=20e-6 l=2e-6 tof=30e-9 tob=390e-9 tb=80e-9 nsub=1e15
+u0=8.0e-2 temp=300 rd=1 vthf=-0.3650 vthfi=0.3 af=3.0e-8 snt=0.97 q0=0
+sigma=0.004 kappa=1.072 ld=9e-8 qof=8e-9 qob=8e-9 ats=2.5 vsat=1.65e5 ldiff=4e-9
+ene=1.21 llat=0.3e-9 wd=0.1e-9 icgf=4 vbf=-1.027 vfb=-1.023 ics=0 icgb=0)
.MODEL nsoih22 fdsoin(w=20e-6 l=2e-6 tof=30e-9 tob=390e-9 tb=80e-9 nsub=1e17
+u0=6.00e-2 temp=300 rd=1 vthf=0.38 vthfi=0.3 af=3.0e-8 snt=0.97 q0=0
+sigma=0.0115 kappa=1.072 ld=5e-8 qof=8e-9 qob=8e-9 ats=3 vsat=1.65e5 ldiff=4e-9
+ene=1.10 llat=0.3e-9 wd=0.1e-9 icgf=4 vbf=-1.027 vfb=-1.023 ics=0 icgb=0)
.CONTROL
OP
SHOW ALL
.ENDC
.DC VDS 0 3 0.01
.PRINT DC I(V0) V(VDS)
.PLOT DC I(V0) V(VDS)
.END
```

APÊNDICE E – SIMULAÇÃO DE CURVA I_{OUT} x V_{OUT} DE ESPELHO DE CORRENTE COM ASSOCIAÇÃO SÉRIE ASSIMÉTRICA

Exemplo de arquivo de simulação do circuito analógico espelho de corrente fonte comum através do programa ICAP/4: simulação das curvas I_{OUT} x V_{OUT} com associação série assimétrica:

```
VDS 1 0 3.0V
V0 1 8 0V
V1 6 5 0V
Icc 8 2 0.0001A
VDO 6 0 DC
AM1 2 2 3 0 nsoi8
AM2 3 2 0 0 nsoih22
AM3 5 2 4 0 nsoi8
AM4 4 2 0 0 nsoih22
.MODEL nsoi8 fdsoin(w=20e-6 l=2e-6 tof=30e-9 tob=390e-9 tb=80e-9 nsub=1e15
+u0=8.00e-2 temp=300 rd=1 vthf=-0.3650 vthfi=0.3 af=3.00e-8 snt=0.97 q0=0
+sigma=0.004 kappa=1.072 ld=9e-8 qof=8e-9 qob=8e-9 ats=2.5 vsat=1.65e5 ldiff=4e-9
+ene=1.21 llat=0.3e-9 wd=0.1e-9 icgf=4 vfbf=-1.027 vfbb=-1.023 ics=0 icgb=0)
.MODEL nsoih22 fdsoin(w=20e-6 l=2e-6 tof=30e-9 tob=390e-9 tb=80e-9 nsub=1e17
+u0=6.00e-2 temp=300 rd=1 vthf=0.38 vthfi=0.3 af=3.0e-8 snt=0.97 q0=0
+sigma=0.0115 kappa=1.072 ld=5e-8 qof=8e-9 qob=8e-9 ats=3 vsat=1.65e5 ldiff=4e-9
+ene=1.10 llat=0.3e-9 wd=0.1e-9 icgf=4 vfbf=-1.027 vfbb=-1.023 ics=0 icgb=0)
.CONTROL
OP
SHOW ALL
.ENDC
.DC VDO 0 3 0.01
.PRINT DC I(V0) V(VDO) I(V1)
.PLOT DC I(V0) V(VDO) I(V1)
.END
```

APÊNDICE F – SIMULAÇÃO DE CURVA I_{OUT} X V_{OUT} DE ESPELHO DE CORRENTE COM ASSOCIAÇÃO SÉRIE SIMÉTRICA

Exemplo de arquivo de simulação do circuito analógico espelho de corrente fonte comum através do programa ICAP/4: simulação das curvas I_{OUT} X V_{OUT} com associação série simétrica:

```
VDS 1 0 3.0V
V0 1 8 0V
V1 6 5 0V
Icc 8 2 0.0001A
VDO 6 0 DC
AM1 2 2 3 0 nsoih22
AM2 3 2 0 0 nsoih22
AM3 5 2 4 0 nsoih22
AM4 4 2 0 0 nsoih22
.MODEL nsoih22 fdsoin(w=20e-6 l=2e-6 tof=30e-9 tob=390e-9 tb=80e-9 nsub=1e17
+u0=6.0e-2 temp=300 rd=1 vthf=0.38 vthfi=0.3 af=3.0e-8 snt=0.97 q0=0
+sigma=0.0115 kappa=1.072 ld=5e-8 qof=8e-9 qob=8e-9 ats=3 vsat=1.65e5 ldiff=4e-9
+ene=1.10 llat=0.3e-9 wd=0.1e-9 icgf=4 vbf=-1.027 vbb=-1.023 ics=0 icgb=0)
.CONTROL
OP
SHOW ALL
.ENDC
.DC VDO 0 3 0.01
.PRINT DC I(V0) V(VDO) I(V1)
.PLOT DC I(V0) V(VDO) I(V1)
.END
```

APÊNDICE G – SIMULAÇÃO DE CURVA I_{OUT} x V_{OUT} DE ESPELHO DE CORRENTE COM ARQUITETURA CASCODE

Exemplo de arquivo de simulação do circuito analógico espelho de corrente Cascode através do programa ICAP/4: simulação das curvas I_{OUT} x V_{OUT} :

```
VDS 1 0 3.0V
V0 1 8 0V
V1 6 5 0V
Icc 8 2 0.0001A
VDO 6 0 DC
AM1 2 2 3 0 nsoih22
AM2 3 3 0 0 nsoih22
AM3 5 2 4 0 nsoih22
AM4 4 3 0 0 nsoih22
.MODEL nsoih22 fdsoin(w=20e-6 l=2e-6 tof=30e-9 tob=390e-9 tb=80e-9 nsub=1e17
+u0=6.0e-2 temp=300 rd=1 vthf=0.38 vthfi=0.3 af=3.0e-8 snt=0.97 q0=0
+sigma=0.0115 kappa=1.072 ld=5e-8 qof=8e-9 qob=8e-9 ats=3 vsat=1.65e5 ldiff=4e-9
+ene=1.10 llat=0.3e-9 wd=0.1e-9 icgf=4 vbf=-1.027 vbb=-1.023 ics=0 icgb=0)
*** Determina o ponto de operação de cada dispositivo
.CONTROL
OP
SHOW ALL
.ENDC
.DC VDO 0 3 0.01
.PRINT DC I(V0) V(VDO) I(V1)
.PLOT DC I(V0) V(VDO) I(V1)
.END
```

APÊNDICE H – SIMULAÇÃO DE CURVA I_{OUT} x V_{OUT} DE ESPELHO DE CORRENTE COM ARQUITETURA WILSON

Exemplo de arquivo de simulação do circuito analógico espelho de corrente Wilson através do programa ICAP/4: simulação das curvas I_{OUT} x V_{OUT} :

```
VDS 1 0 3.0V
V0 1 8 0V
V1 6 5 0V
Icc 8 2 0.0001A
VDO 6 0 DC
AM1 2 2 3 0 nsoih22
AM2 3 4 0 0 nsoih22
AM3 5 2 4 0 nsoih22
AM4 4 4 0 0 nsoih22
.MODEL nsoih22 fdsoin(w=20e-6 l=2e-6 tof=30e-9 tob=390e-9 tb=80e-9 nsub=1e17
+u0=6.0e-2 temp=300 rd=1 vthf=0.38 vthfi=0.3 af=3.0e-8 snt=0.97 q0=0
+sigma=0.0115 kappa=1.072 ld=5e-8 qof=8e-9 qob=8e-9 ats=3 vsat=1.65e5 ldiff=4e-9
+ene=1.10 llat=0.3e-9 wd=0.1e-9 icgf=4 vbf=-1.027 vfb=-1.023 ics=0 icgb=0)
.CONTROL
OP
SHOW ALL
.ENDC
.DC VDO 0 3 0.01
.PRINT DC I(V0) V(VDO) I(V1)
.PLOT DC I(V0) V(VDO) I(V1)
.END
```

APÊNDICE I – ARTIGO PUBLICADO NO PERIÓDICO JICS

Analysis of Current Mirrors with Asymmetric Self-Cascode Association of SOI MOSFETs through SPICE Simulations

Paulo Rodrigues da Silva *and* Michelly de Souza

Department of Electrical Engineering, Centro Universitário FEI, São Bernardo do Campo, SP, Brazil
e-mail: prs.paulo@gmail.com

Abstract— In this paper the performance of different architectures of current mirrors implemented with single SOI transistors and self-cascode transistors, both symmetric and asymmetric is evaluated. A comparison of current mirrors figures of merit, looking for the advantages of the asymmetric composite structure in relation to a single SOI MOSFETs and the symmetric self-cascode transistor is performed. This analysis has been carried out through analytical simulations, using common-source, Cascode and Wilson current mirrors architectures. It is shown that asymmetric configuration can provide larger output resistance even in the common-source current mirror than other architectures with conventional single transistors.

Index Terms— SOI nMOSFET transistor, Asymmetric self-cascode, Composite transistor, Current Mirror, SPICE Simulation.

I. Introduction

Silicon-On-Insulator (SOI) technology consists in an alternative to the conventional Metal-Oxide-Semiconductor (MOS) technology for realizing integrated circuits of high scalability (Ultra Large-Scale Integration – ULSI) for digital and analog circuits [1]. In this technology devices are fabricated in a thin film of semiconductor separated from the substrate by an insulating film, named buried oxide. The intrinsic dielectric isolation between the active region and the substrate promoted a series of advantages, such as the increase of drain current and the transconductance (g_m), reduction of short-channel effects [1], and reduction of body factor and junction capacitance [2], especially for thin-film Si layers, that operate in full depletion. Despite of these advantages, fully depleted (FD) SOI transistors may present degraded the analog performance, due to parasitic bipolar effects, responsible for decreasing the breakdown voltage [3], and the channel length modulation that degrades output conductance (g_D) [4], reducing the output resistance (R_{OUT}).

The output conductance is a very important parameter for analog circuits. There are different ways to improve the output conductance in MOS transistors. The most common way is to increase its channel length [5]; however, apart from increasing area consumption, longer channel lengths degrades transconductance and hence cutoff frequency [4]. The cascode association is another possibility for improving output conductance of MOS transistors, but on the other hand, causes loss of linear output voltage range [6]. An alternate composite structure is the self-cascode association [7], which provides the output conductance reduction while keeping the advantages of short channel lengths, such as high drain current level and cutoff frequency. This structure consists in a series association two transistors with short-circuited gates acting as a single device [7], as schematically shown in Figure 1.

In this composite structure, transistor M_D is placed at the drain side and features length L_D , while M_S is the transistor near the source side with length L_S . The effective channel length (L)

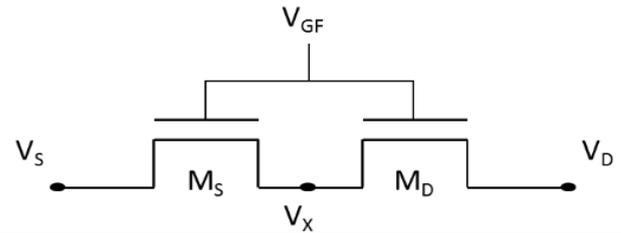


Fig. 1 - Schematic representation of a self-cascode

is then the sum of L_S and L_D . V_X corresponds to the voltage at the intermediate node of the composite device. Usually, the self-cascode (SC) structure [4, 7] features transistors M_D and M_S with the same channel doping concentration level, leading to similar threshold voltage (V_{TH}) for both transistors. This structure will be called symmetric self-cascode (S-SC).

An alternative to further improve analog performance of SC transistors is the asymmetric self-cascode (A-SC) configuration where M_D features reduced threshold voltage, whereas M_S is responsible for fixing the threshold voltage of the overall structure [8]. The reduced threshold voltage of M_D forces it to work in saturation, absorbing part of the voltage bias applied to the drain of the composite transistor structure. This structure has been reported to provide several advantages from analog perspective, at device level, such as larger current drain, transconductance and breakdown voltage and reduced output conductance in comparison to S-SC and single transistors with similar dimensions [8, 9, 10, 11].

One of the most important analog basic blocks is the current mirror [5]. In this circuit, the input current, I_{IN} , is mirrored to the input branch, keeping its current, I_{OUT} , constant. To achieve this constant current, high output resistance is required, reducing output current dependence on output voltage. There are several architectures for this circuit. The Common-Source (CS) configuration is the simplest approach for CM, and it consists in two transistors connected as shown in Fig. 2A. In a first approximation, the ratio between output and input currents, named mirroring precision, is given by the ratio $(W/L)_{Q2}/(W/L)_{Q1}$, where W is $\frac{(W/L)_{Q2} (W/L)_{Q2}}{(W/L)_{Q1} (W/L)_{Q1}}$ the channel width.

Therefore, for Q_1 and Q_2 with the same dimensions, I_{OUT}/I_{IN} is expected equals one. However, since input and output transistors are biased at different drain-to-source voltage (V_{DS}), the finite MOSFET output resistance is responsible for the precision deviation from the expected value. As expected, as channel length is reduced, the output degradation worsens this effect. Aiming at reducing the output conductance (increase output resistance) of current mirrors, some alternative architectures can be used, such as the Cascode and Wilson configurations, also shown in Figure 2 (B and C, respectively), which are composed by four transistors.

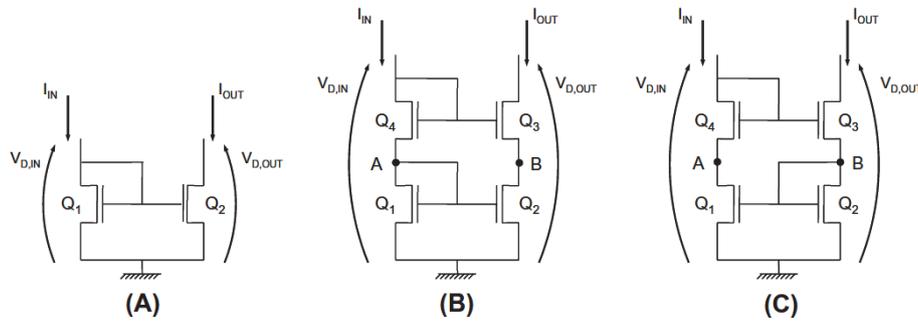


Fig. 2 - Common-source (A), Cascode (B), and Wilson (C) current mirrors architectures.

Although the A-SC has shown to provide advantages from the analog point of view, only one work has reported its use in an analog block (common-source CM) [10]. However, there is no report on analytical simulation of any analog blocks with A-SC, that could allow for its design. This way, in this paper a comparative analysis of electrical characteristics of different current mirror architectures using single transistors, symmetric and asymmetric self-cascode is presented. The analysis is performed for Common-source, Cascode and Wilson current mirrors, by means of analytical SPICE simulations. Mirroring precision, saturation voltage and output resistance were used as figures of merit in this study.

II. Devices Characteristics and simulator calibration

The software ICAP/4 by Intusoft [12] was used to run the analytical simulations in this study. This simulator presents in its library the model proposed by Iñiguez et al [13] for FD SOI transistors drain current. This model is analytical, continuous and physically based, taking into account mobility degradation due to electric field, channel length modulation and carrier velocity saturation. The drain current is obtained through the inversion charge densities at the drain and source edges ($Q_{nf,D}$ and $Q_{nf,S}$ respectively), using equation (1):

$$I_{DS} = \frac{W}{L_{eff}} \frac{\mu_n}{1 + V_{DSE} \frac{\mu_n}{L_{eff} v_{sat}}} \left[v_T (Q_{nf,D} - Q_{nf,S}) - \frac{Q_{nf,D}^2 - Q_{nf,S}^2}{2n C_{oxf}} \right] \quad (1)$$

Model parameters were calibrated to fit experimental data of FD SOI transistors fabricated at *UCLouvain*, Belgium. This technology features front gate oxide thickness of 30 nm, back gate oxide thickness of 390 nm and silicon layer thickness of 80 nm [14]. Experimental measurements of transistors with $W/L = 20 \mu\text{m}/2 \mu\text{m}$ and two different doping concentration levels were used to fit model parameters. Table 1 summarizes the obtained parameters.

Figure 3 presents the comparison between experimental and simulated results for the drain current (I_{DS}) and the transconductance as a function of gate voltage (V_{GS}). The drain current as a function of drain bias (V_{DS}), measured at $V_{GT} = V_{GS} - V_{TH} = 200 \text{ mV}$ is presented in Figure 4 as well its derivative, the output conductance (g_D). From these curves one can note that the simulation results fit the experimental data with good agreement, except in the region where impact ionization occurs, since the analytical model does not consider this effect. However, this region is not of interest for analog circuit operation.

These figures also show the obtained curves for the symmetric and asymmetric self-cascode transistors. It is possible to note that the S-SC reduces the drain current and transconductance to approximately half of the values obtained for the standard single transistor, due the increase of channel length ($L_{eff} \approx L_S + L_D$). On the other hand, the use A-SC, increases the drain current and transconductance peak. However, the increase of front gate voltage causes larger transconductance degradation in the A-SC, and its values get closer to the transconductance of S-SC device with similar dimensions as reported in the literature. One can also note that the S-SC reduces the output conductance in comparison to the single transistor (ST), and that A-SC allows for further reduction of this parameter.

Table 1 - Model parameters fitted to the experimental data.

Parameter	$N_A = 10^{17} \text{ cm}^{-3}$	$N_A = 10^{15} \text{ cm}^{-3}$	Unit
V_{TH}	0.380	-0.3650	V
n	1.100	1.100	-
μ_0	$600 \cdot 10^{-4}$	$800 \cdot 10^{-4}$	$\text{m}^2/\text{V}\cdot\text{s}$
af	$3.0 \cdot 10^{-8}$	$3.0 \cdot 10^{-8}$	-
S_{NT}	0.97	0.97	-
A_{TS}	2.50	2.50	-
σ	0.0115	0.0040	-
I_d	$5.0 \cdot 10^{-8}$	$9.0 \cdot 10^{-8}$	m

III. Current Mirror Simulation and Discussion

By using the model parameters fitted to experimental measurements, current mirrors composed by identical transistors were simulated with different circuits architectures and channel lengths.

A. Mirroring precision

Current mirrors composed by identically designed transistors are expected to present mirroring precision, i.e. I_{OUT}/I_{IN} close to the unity [5]. However, the mirroring precision may depart from its ideal value due to several reasons, such as geometrical mismatching or difference between bias conditions of transistor that composes input and output branches of the mirror [5].

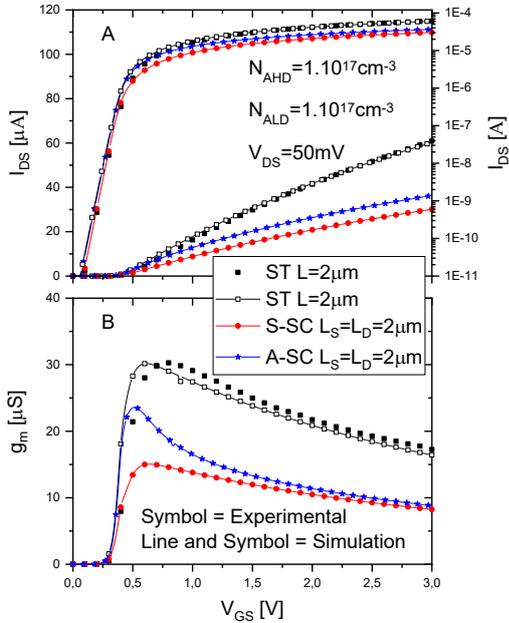


Fig. 3 - (A) Drain current and (B) transconductance as a function of gate voltage measured for single transistor, symmetric and asymmetric self-cascode devices, biased at $V_{DS} = 50$ mV.

As the performed simulations do not consider random mismatching that may occur during fabrication, any deviation from unity may be attributed to bias mismatching.

Figure 5 presents curves of the mirroring precision (I_{OUT}/I_{IN}) as a function of input current (I_{IN}) simulated for common-source CM with S-SC and A-SC with total channel length ($L_S + L_D$) of $4 \mu\text{m}$ with fixed output voltage (V_{OUT}) of 1.5 V. Results for CMs with ST with $L = 2 \mu\text{m}$ and $4 \mu\text{m}$, Cascode and Wilson CM with $L = 2 \mu\text{m}$ are also shown. From these curves it is possible to note that as I_{IN} is reduced, approaching weak inversion region, the mirroring precision departs from unity for all structures and devices. The use of a composite transistor reduces the precision variation in comparison to single transistors. In the case of SC, both symmetric and asymmetric, the reduction of L_S worsens the mirroring precision. However, it is possible to note that the use of asymmetric structure reduces the precision variation since the improved output conductance reduces the

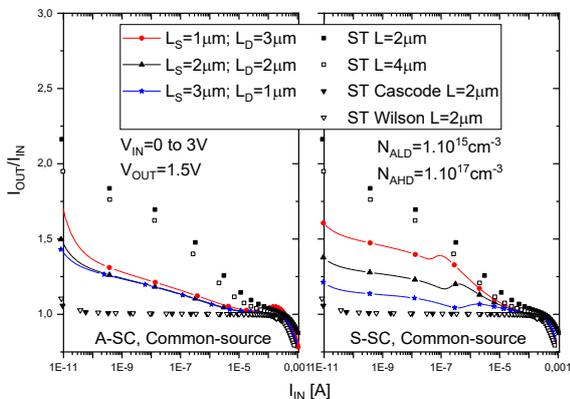


Fig. 5 - I_{OUT}/I_{IN} curves as a function of input current for current mirrors implemented with conventional transistors in common-source, Cascode and Wilson architecture, symmetric and asymmetric self-cascode, extracted at $V_{IN} = 0$ V - 3V and $V_{OUT} = 1.5$ V.

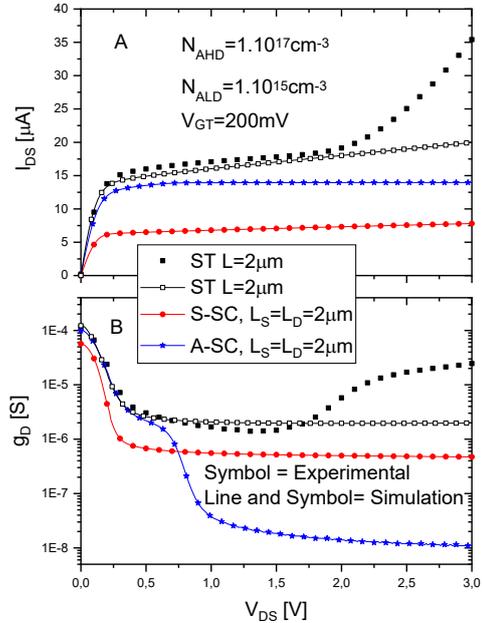


Fig. 4 - (A) Drain current and (B) output conductance as a function of gate voltage measured for single transistor, symmetric and asymmetric self-cascode devices, biased at $V_{GT} = 200$ mV

dependence of the output current on applied bias.

B. Output resistance

Figure 6 presents the output current I_{OUT} as a function of V_{OUT} curves simulated at $I_{IN} = 10 \mu\text{A}$, which bias the circuits in a moderate inversion regime. In this figure, curves for CM composed by single transistor, S-SC and A-SC are presented. Cascode and Wilson CM results for ST with $L = 2 \mu\text{m}$ are also presented. As expected, for CS current mirrors, the reduction of channel length (L) makes I_{OUT} current more dependent on V_{OUT} . By using the S-SC in the CS mirror reduces this dependence, although it is still larger than that observed for Cascode and Wilson CMs, where I_{OUT} is practically constant. The use of A-SC in the CS mirror allows for obtaining results close to those presented by Wilson and Cascode. This I_{OUT} dependence on V_{OUT} can be expressed as the output resistance (R_{OUT}) of the current mirrors. This parameter

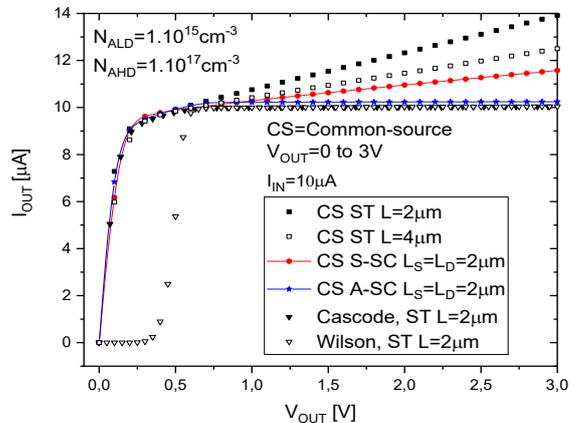


Fig. 6 - I_{OUT} curves as a function of the output voltage, biased at $I_{IN} = 10 \mu\text{A}$ for current mirrors implemented with conventional transistors in common-source, Cascode and Wilson architecture, symmetric and asymmetric self-cascode structure.

Table 2 - Output resistance for different CMs biased at $I_{IN} = 10$ nA and $1 \mu\text{A}$ with $V_{OUT} = 2$ V.

Device	L_S [μm]	L_D [μm]	Current Mirror	R_{OUT} [Ω] @ $V_{OUT} = 2.0\text{V}$	
				$I_{IN} = 10$ nA	$I_{IN} = 1 \mu\text{A}$
				Single Transistor	2
			Cascode	1.9×10^{10}	2.8×10^8
			Wilson	1.8×10^{10}	2.8×10^8
	4	-	CSource	1.3×10^8	3.4×10^6
S-SC	1	3		2.8×10^8	4.5×10^6
	2	2	CSource	6.3×10^8	7.2×10^6
	3	1		1.7×10^9	3.1×10^7
A-SC	1	3		4.2×10^{10}	5.7×10^8
	2	2	CSource	4.6×10^{10}	6.7×10^8
	3	1		3.7×10^{10}	5.7×10^8

has been extracted from the inverse of the output conductance as a function of V_{OUT} . The results obtained at weak inversion ($I_{IN} = 10$ nA) and moderate inversion ($I_{IN} = 1 \mu\text{A}$) are presented in Table 2, extracted at $V_{OUT} = 2$ V.

Comparing R_{OUT} of CMs with single transistors, one can note that Cascode and Wilson current mirrors provide significantly larger values than in the Common-source architecture for all lengths and current bias. The adoption of Cascode and Wilson provides an improvement of about 150 times in the value of R_{OUT} at $I_{IN} = 10$ nA and 112 times at $I_{IN} = 1 \mu\text{A}$ in relation to CM mirrors with single transistors with $L = 2 \mu\text{m}$. The improved output conductance provided by the A-SC transistors is responsible for further increasing the output resistance of CM even in Common-Source configuration. When comparing the CS with A-SC (with $L_S = L_D = 2 \mu\text{m}$) to Cascode and Wilson with the same transistor dimensions, the improvement is about 2.4 times at both I_{IN} levels.

C. Saturation Voltage

To work as a current source, it is desirable that current mirrors present large range of output voltage for which I_{OUT} is kept constant. Apart from having high breakdown voltage, it is desired that CMs present low saturation voltage (V_{SAT}). Since the model used in the SPICE simulations does not consider high electric field effects that lead the transistor to breakdown, only the saturation voltage will be analyzed. However, it has been already reported that A-SC presents larger breakdown voltage at device level [8], that would result

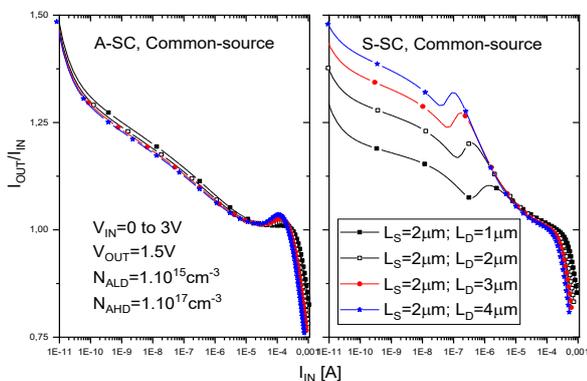


Fig. 7 - I_{OUT}/I_{IN} curves as a function of input current for CMs implemented with ST, S-SC and A-SC transistors with L_S fixed and L_D variable, simulated at $V_{OUT} = 1.5\text{V}$.

 Table 3 - Saturation voltage for different CMs biased at $I_{IN} = 10$ nA and $1 \mu\text{A}$.

Device	L_S [μm]	L_D [μm]	Current Mirror	V_{SAT} [V]	
				$I_{IN} = 10\text{nA}$	$I_{IN} = 1\mu\text{A}$
Single Transistor	2	-	CSource	0.12	0.10
			Cascode	0.30	0.47
	4	-	Wilson	0.32	0.48
			CSource	0.12	0.12
S-SC	1	3		0.13	0.12
	2	2	CSource	0.13	0.12
	3	1		0.14	0.13
A-SC	1	3		0.61	0.64
	2	2	CSource	0.68	0.67
	3	1		0.70	0.71

in larger maximum allowed output voltage in the CM with the asymmetric structure.

The saturation voltage has been obtained using the extraction method described in [15], that uses the peak of curve $[d(1/g_{D,OUT})/dV_{OUT} \times g_{D,OUT}]$ as a function of V_{OUT} , biased with constant I_{IN} to define V_{SAT} . The results obtained with $I_{IN} = 10$ nA and $I_{IN} = 1 \mu\text{A}$ are presented in Table 3. Since Cascode and Wilson CMs present two transistors in series with different gate voltages, larger V_{OUT} is necessary to saturate both transistors in the output branch in comparison to CS mirrors with ST. On the other hand, although CS mirror with S-SC also features two transistors in series, they have the same gate voltage, and present overall V_{SAT} like that of ST [8]. However, it is not observed when CS mirror is implemented with A-SC. Due to the reduced threshold voltage of M_D in the A-SC, this composite transistor presents larger saturation voltage, as also shown in Table 3.

D. Influence of L_D length on the Current Mirror performance

It has been already reported that the output conductance of A-SC can be reduced with the increase of L_D [16]. Therefore, in order to verify if this characteristic can contribute to CM performance, CS CMs were simulated both with S-SC and A-SC with $L_S = 2 \mu\text{m}$ and different values of L_D . Figure 7 presents the mirroring precision as a function of I_{IN} for CMs biased at $V_{OUT} = 1.5$ V. One interesting point to be noted is

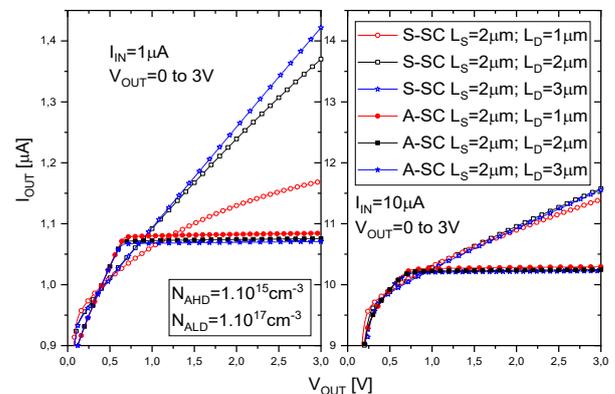


Fig. 8 - I_{OUT} curves as a function of V_{OUT} , biased at $I_{IN} = 1 \mu\text{A}$ and $I_{IN} = 10 \mu\text{A}$ for CMs implemented with symmetric and asymmetric self-cascode structure with L_S fixed varying L_D from $1 \mu\text{m}$ to $3 \mu\text{m}$.

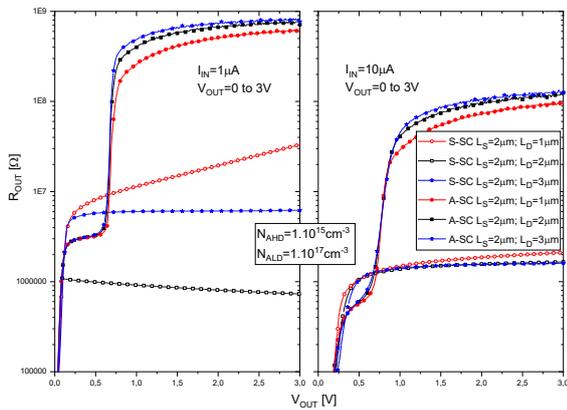


Fig. 9 - R_{OUT} curves as a function of V_{OUT} , biased at $I_{IN} = 1 \mu A$ and $I_{IN} = 10 \mu A$ for CMs implemented with symmetric and asymmetric self-cascode structure with L_S fixed varying L_D from $1 \mu m$ to $3 \mu m$.

that the precision in CM with S-SC is strongly affected by L_D , since it corresponds to an increase of the total effective length. On the other hand, for CM with A-SC, as M_S acts as a main transistor, the bias mismatching is weakly dependent on L_D , indicating that any geometrical mismatching in this transistor during fabrication process would not significantly affect the mirroring precision.

Figure 8 presents I_{OUT} vs V_{OUT} curves at $I_{IN} = 1 \mu A$ and $I_{IN} = 10 \mu A$ for the CMs with $L_S = 2 \mu m$ and L_D ranging from $1 \mu m$ to $3 \mu m$. From the presented results one can note that the use of A-SC is able to keep output current virtually independent on the output voltage, while CMs with S-SC present a large current variation.

The output resistance as a function of output voltage is presented in Figure 9 for the two different input current levels. It is possible to see that for devices with same dimensions, the reduction of M_D threshold voltage can promote the increase of R_{OUT} in more than two orders of magnitude. Also, it is possible to achieve larger R_{OUT} with A-SC with reduced dimensions in comparison to CM with S-SC.

IV. Conclusions

The presented work has analyzed the performance of current mirrors implemented with single transistors, symmetric and asymmetric self-cascode structures. The analysis has been performed through analytical simulation using Common-source, Cascode and Wilson architectures. As expected, Cascode and Wilson CMs are able to increase output resistance in more than 100 times in comparison to Common-source mirrors. However, they also cause an increase of saturation voltage. Common-source mirrors using self-cascode structure uses the same number of transistors than Wilson and Cascode, but as all transistors present the same gate voltage, there is no increase of saturation voltage in comparison to single transistor. However, the maximum increase of output resistance is only 15 times. The results have shown that A-SC in Common-Source mirrors was able to promote output resistance increase from 228 to 383 times in comparison to single transistor, depending on channel lengths and input current. However, due to the reduced threshold voltage, an increase of saturation voltage is observed. It has been shown that for fixed L_S , L_D variation causes reduced bias

mismatching if A-SC is used in relation to S-SC due its reduced output conductance for the same dimensions. Also, CM parameters are less sensitive to L_D in the asymmetric structure, indicating that it would be less affected by intrinsic mismatching. By lowering the threshold voltage of M_D , larger output resistance can be achieved with shorter transistors in comparison to the symmetric structure.

Acknowledgements

The work was supported by CNPq grants #311466/2016-8 and #427975/2016-6.

REFERENCES

- [1] Colinge, J.P. Silicon-on-insulator technology: materials to VLSI (Kluwer Academic, Massachusetts, 2004, 3rd edn.)
- [2] Flandre, D., Adriaensen, S., Akheyar, A., *et al.* Fully depleted SOI CMOS technology for heterogeneous micropower, high temperature or RF Microsystems, *Solid-State Electron*, 2001, **45**, pp. 541-549.
- [3] Choi J.I., Fossum J.G. Analysis and control of floating-body bipolar effects in fully depleted submicrometer SOI MOSFETs, *IEEE Trans. Electron Dev* 1991;**38**, pp. 1384-1391.
- [4] Schneider MC, Galup-Montoro C. CMOS analog design using all-region MOSFET modeling. Cambridge: Cambridge University Press; 2010.
- [5] Laker, K.R., Sansen, W.M.C. Design of analog integrated circuits and systems. McGraw Hill, New York, 1994.
- [6] Crawley, P.J., Roberts, G.W. Designing operational transconductance amplifiers for low voltage operation. In: Proceeding of IEEE international symposium on circuits and systems, Chicago, IL; May 1993. p. 1455-1458.
- [7] Galup-Montoro C., Schneider M.C. Series-parallel association of FET's for high gain and high frequency applications. *IEEE Solid-State Circuits* 1994;**29**, pp. 1094-1101.
- [8] Souza, M. de, Flandre D., Doria R.T., Trevisoli R., Pavanello M.A. On the improvement of DC analog characteristics of FD SOI transistors by using asymmetric self-cascode configuration. *Solid-State Electronics*, v. **117**, p. 152-160, 2016.
- [9] Doria, R.T., Flandre D., Trevisoli R.D., Souza M. de, Pavanello M.A. Effect of the Back Bias on the Analog Performance of Standard FD and UTBB Transistors-Based Self-Cascode Structures. *Semiconductor Science and Technology*, v. **32**, p. 1-10, 2017.
- [10] Assalti, R., D'Oliveira L. M., Pavanello M.A., Flandre D., Souza M. de. Experimental and simulation analysis of electrical characteristics of common-source current mirrors implemented with asymmetric self-cascode silicon-on-insulator n-channel metal-oxide-semiconductor field-effect transistors. *IET Circuits, Devices & Systems* (Print), v. **1**, p. 1, 2016.
- [11] Souza, M.de, Flandre, D., Pavanello, M.A. Asymmetric self-cascode configuration to improve the analog performance of SOI nMOS transistors. *Int. SOI Conf.*, Tempe, USA, 2011, pp. 1-2.
- [12] ICAP/4 Simulation, Interactive Circuit Analysis Program (version 8.11) Bld, 4444, Intusoft, 2011.
- [13] Iniguez, B.; Ferreira, L.F.; Gentinec, B.; Flandre, D. A Physically-Based C_{∞} -Continuous Fully-Depleted SOI MOSFET Model for Analog Applications, *IEEE Transaction On Electron Devices*, v. **43**, n.4, p.568-575, 1996.
- [14] D. Flandre, S. Adriaensen, A. Akheyar, A. Crahay, L. Demeüs, P. Delatte, V. Dessard, B. Iniguez, A. Nève, B. Katschmarskyj, P. Loumaye, J. Laconte, I. Martinez, G. Picun, E. Raully, C. Renaux, D. Spöte, M. Zitout, M. Dehan, B. Parvais, P. Simon, D. Vanhoenacker, J.-P. Raskin. *Solid-State Electronics*, v. **45**, 451 (2001).
- [15] Ferreira R.S, Pavanello M.A. Improved current mirror performance using graded-channel silicon-on-insulator devices in high temperature operation. In: Santos EJP, Ribas RP, Swart J, editors. 19th symposium on microelectronics technology and devices' - SBMicro2004. New Jersey: The Electrochemical Society, Inc.; 2004. p. 45-50.
- [16] Assalti, R., Flandre, D., Souza, M.de. Influence of Geometrical Parameters on the DC Analog Behavior of the Asymmetric Self-Cascode FD SOI nMOSFETs. *JICS. Journal of Integrated Circuits and Systems* (Ed. Português), v. **13**, p. 1-7, 2018.