CENTRO UNIVERSITÁRIO FEI
JOSÉ ROBERTO BANIN JÚNIOR

OTIMIZAÇÃO DE PROJETOS DE CIRCUITOS INTEGRADOS CMOS ANALÓGICOS UTILIZANDO-SE O IMTGSPICE, OTAS CASCATEADOS E MOSFETS DO TIPO DIAMANTE

São Bernardo do Campo
2022

JOSÉ ROBERTO BANIN JÚNIOR

OTIMIZAÇÃO DE PROJETOS DE CIRCUITOS INTEGRADOS CMOS ANALÓGICOS UTILIZANDO-SE O IMTGSPICE, OTAS CASCATEADOS E MOSFETS DO TIPO DIAMANTE

Tese de doutorado apresentada ao Centro Universitário FEI como parte integrante para obtenção do título de Doutor em Engenharia Elétrica, orientado pelo Prof. Dr. Salvador Pinillos Gimenez.

São Bernardo do Campo
2022

Banin Júnior, José Roberto
Otimização de projetos de circuitos integrados cmos analógicos utilizando-se o imtgspice, otas cascateados e mosfets do tipo diamante / José Roberto Banin Júnior. São Bernardo do Campo, 2022.
145 f. il.

Tese - Centro Universitário da FEI.
Orientador: Prof. Dr. Salvador Pinillos Gimenez.

1. Computação evolucionária interativa. 2. Projeto de CI CMOS analógico robusto. 3. Amplificador operacional de transcondutância (OTA). 4. OTAs em cascata. 5. Leiaute estilo Diamante. I. Gimenez, Salvador Pinillos, orient. II. Título.

centro universitário FEI

APRESENTAÇÃO DE TESE
ATA DA BANCA EXAMINADORA

Programa de Pós-Graduação Stricto Sensu em Engenharia Elétrica

Doutorado

PGE-10

Aluno(a): José Roberto Banin Junior **Matrícula:** 518101-1

Título do Trabalho: Otimização de projetos de circuitos integrados cmos analógicos utilizando-se o imtgspice, otas cascateados e mosfets do tipo diamante

Área de Concentração: Nanoeletrônica e Circuitos Integrados

Orientador(a): Prof. Dr. Salvador Pinillos Gimenez

Data da realização da defesa: 27/09/2022 ORIGINAL ASSINADA

Avaliação da Banca Examinadora:

O aluno foi aprovado por unanimidade e a banca fez uma série de sugestões e comentários que o aluno deverá atender no prazo regimental.

A Banca Julgadora acima-assinada atribuiu ao aluno o seguinte resultado:

APROVADO ☒ REPROVADO ☐

MEMBROS DA BANCA EXAMINADORA

Prof. Dr. Salvador Pinillos Gimenez

Prof. Dr. Renato Camargo Giacomini

Prof. Dr. Rodrigo Trevisoli Doria

Prof. Dr. André Augusto Mariano

Profª Drª Talitha Nicoletti Régis

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz

Dedico esse trabalho aos meus queridos pais, irmãos, familiares e amigos e em especial a minha amada esposa pela disposição incondicional de seu tempo, energia e compreensão a fim de que completasse com sucesso essa árdua e extensa trajetória.

AGRADECIMENTOS

Agradeço a todos os meus Professores, Mestres e Doutores, que de uma forma ou de outra me orientaram e assessoraram nas pesquisas, análises, e em todo o desenvolvimento para que este trabalho fosse conduzido e concluído de maneira clara e objetiva.

Aos companheiros de pesquisa: Gabriel Augusto da Silva e Egon Henrique Salerno Galembeck pelas ajudas ofertadas no decorrer do curso e enriquecedoras discussões técnicas durante a pesquisa.

Ao Prof. Dr. Salvador Pinillos Gimenez e Prof. Dr. Rodrigo Alves de Lima Moreto, que colocaram desafios crescentes e enriquecidos com conhecimento, o apoio e costumeira dedicação na orientação que permitiram a conclusão deste trabalho.

À Coordenação de Aperfeiçoamento de Pessoal de Nível Superior (CAPES) pelo apoio financeiro.

À *Taiwan Semiconductor Manufacturing Company* (TSMC) pela fabricação dos OTAs caracterizados experimentalmente nesse trabalho.

Finalmente, um agradecimento especial a minha família pela confiança e atenção em mim depositada.

A Deus pela graça do poder realizar.

"A felicidade é quando o que você pensa, fala e faz estão em harmonia".

Mahatma Ghandi

RESUMO

O projeto de circuitos integrados (CIs) Metal-Óxido-Semicondutor Complementar (Complementary Metal-Oxide-Semiconductor, CMOS) analógicos robustos é um processo muito complexo e demorado, pois envolve muitas variáveis de entrada e muitas variáveis de saída (especificações) que devem ser atendidas todas ao mesmo tempo. Ou seja, trata-se de um sistema complexo de otimização, que pode ser resolvido de uma maneira mais ágil por meio do uso de técnicas heurísticas de inteligência artificial (IA). Dentro deste contexto, a motivação deste projeto de pesquisa é desenvolver uma metodologia para projetar e otimizar CIs CMOS analógicos robustos com os MOSFETs do tipo Diamante de forma automática. Isso foi realizado por meio do desenvolvimento de um modelo analítico que leva em conta os efeitos intrínsecos a sua estrutura: Efeito de Canto Longitudinal (*Longitudinal Corner Effect*, LCE) e Efeito das Conexões Paralelas dos MOSFETs com Comprimentos de Canal Diferentes (*Parallel Connections of MOSFETs with Different Channel Lenghts Effect*, PAMDLE), para que seja possível a realização de simulações SPICE com esses dispositivos. Esses efeitos são capazes de potencializar sua corrente de dreno em relação a de um MOSFET com geometria de porta retangular de mesma área de porta e mesmas condições de polarização. Esse modelo analítico foi incorporado à ferramenta computacional de projeto e otimização de CIs CMOS analógicos e de radiofrequência, que integra metodologias heurísticas de IA à inteligência humana (IH), por meio da *expertise* do projetista. Além disso, foi desenvolvida uma metodologia para transformar MOSFETs do tipo retangular em MOSFETs do tipo Diamante, levando-se em conta que eles apresentam as mesmas correntes de dreno e respeitando-se todas as regras de leiaute pertinentes a um processo de fabricação de CIs CMOS. Para validar o modelo analítico SPICE do MOSFET do tipo Diamante e a metodologia desenvolvido para a transformação de MOSFETs convencionais (Conventional MOSFETs, CMs) em transistores do tipo Diamante (Diamond MOSFETs, DMs), dois projetos de amplificadores operacionais de transcondutância (*Operational Transconductance Amplifiers*, OTAs) foram realizados, sendo o primeiro um OTA de um único estágio e uma única saída (*Single Ended- Single Stage*, SESS) e o segundo um OTA Miller. Os resultados mostraram que a metodologia proposta pode ser considerada uma alternativa para o desenvolvimento de CIs CMOS robustos com o uso de MOSFETs do tipo Diamante, com um erro máximo entre os OTAs SESS e Miller implementados com CMs e os OTAs SESS e Miller implementados com DMs, de até 3% para todas as figuras de mérito avaliadas [ganho de tensão em malha aberta (A_{V0}), tensão de saída (V_{OUT}), margem de fase (MF), frequência de ganho de tensão unitário (f_T) e potência dissipada

(P_{TOT})]. Por exemplo, a utilização da metodologia reduz significativamente a área de porta (A_G) total em até 43% para o OTA Miller implementado com DMs (ângulo α igual a 45º) em comparação ao OTA Miller implementado com CMs.

Um segundo estudo também foi realizado para mostrar que o projeto de amplificadores em cascata feitos com amplificadores previamente otimizados apresenta uma menor performance elétrica e podem limitar suas aplicações do que aqueles implementados sem que estejam otimizados anteriormente. Os resultados mostram que o desempenho elétrico com essa abordagem é aumentado em 2,2% para A_{V0} e 22,7% para a frequência de corte (f_C) em comparação ao desempenho elétrico de amplificadores em cascata que são implementados com blocos previamente otimizados. Além disso, a aplicação da segunda metodologia pode reduzir A_G em 44,6% em relação àquele observado utilizando-se a metodologia tradicional. Além disso, o amplificador avaliado com a segunda metodologia proposta é capaz de operar em uma faixa de temperatura muito maior (entre -40ºC e 125ºC) enquanto que o amplificador avaliado com metodologia tradicional opera entre 0ºC e 36ºC.

Portanto, pode-se concluir que as duas metodologias aqui apresentadas podem ser consideradas uma alternativa para apoiar os projetistas de CIs CMOS analógicos para melhorar o desempenho elétrico e a robustez, reduzir os tempos de desenvolvimento de projeto e de otimização e a área total de porta dos amplificadores.

Palavras-chave: Projeto de CI CMOS analógico robusto. Amplificador operacional de transcondutância (OTA). Leiaute estilo Diamante. Projeto assistido por computador (CAD). Eletrônica evolucionária. Computação evolucionária interativa. OTAs em cascata.

ABSTRACT

The design of robust analog Complementary Metal-Oxide-Semiconductor (CMOS) integrated circuits (ICs) is a very complex and time-consuming process because it involves many input and output variables (specifications) that must be reached at the same time. It is a complex optimization system, which can be solved faster using heuristic and artificial intelligence (AI) techniques. Based on this context, the motivation of this research project is to develop a methodology to design and optimize robust analog CMOS ICs with Diamond MOSFETs (DMs) automatically. This was accomplished through the development of an analytical model that takes into account intrinsic effects of its structure: Longitudinal Corner Effect (LCE) and Parallel Connections of MOSFETs with Different Channel Lengths Effect (PAMDLE), which SPICE simulations can be performed. These effects are capable of boosting its drain current with respect to the MOSFET with rectangular gate geometry (CM), considering the same gate area and same polarization conditions. The analytical model was incorporated into the computational tool to design and optimize analog and radiofrequency CMOS ICs, which integrates heuristic methodologies from AI to human intelligence (HI), through the designer's expertise. In addition, a methodology was developed to convert CMs into DMs, taking into account that they have the same drain currents and following all layout rules relevant to CMOS IC manufacturing process. To validate the SPICE analytical model of DM and the methodology developed to convert CM into DM, two projects of operational transconductance amplifiers (OTAs) were performed, the first is a Single Ended-Single Stage (SESS) and the second is a Miller OTA. The results showed that the proposed methodology can be considered an alternative to develop robust CMOS ICs using DMs, with a maximum error between the SESS and Miller OTAs implemented with CMs and the SESS and Miller OTAs implemented with DMs, up to 3% for all evaluated figures of merit [open loop voltage gain (A_{V0}), output voltage (V_{OUT}), phase margin (MF), unity voltage gain frequency (f_T) and power consumption (P_{TOT})]. For example, the use of the methodology significantly reduces the total gate area (A_G) up to 43% for the Miller OTA implemented with DMs (α angle equal to 45º) compared to the Miller OTA implemented with CMs.

A second study was also performed to show that the design of cascaded amplifiers made with previously optimized amplifiers presents a lower electrical performance and may limit their applications than those implemented without being previously optimized. The results show that the electrical performance with this approach is increased by 2.2% for A_{V0} and 22.7% for the cutoff frequency (f_C) compared to the electrical performance of cascaded amplifiers that are implemented with previously optimized blocks. Furthermore, the application of the second

methodology can reduce A_G by 44.6% with respect to that observed using the traditional methodology. Furthermore, the amplifier evaluated with the second proposed methodology is capable of operating in a much higher temperature range (between -40ºC and 125ºC) while the amplifier evaluated with the traditional methodology operates between 0ºC and 36ºC.

Therefore, it can be concluded that the two methodologies presented here can be considered an alternative to support designers of analog CMOS ICs to improve electrical performance and robustness, reduce design and optimization cycle times, and total gate area of the amplifiers.

Keywords: Project of Robust analog CMOS ICs. Operational Transconductance Amplified (OTA). Diamond layout style. Computer Aided Design (CAD). Evolutionary electronics. Interactive evolutionary computing. Cascaded OTAs.

LISTA DE ILUSTRAÇÕES

Figura 1 - Quantidade de transistores num único CI ao longo dos anos (Lei de Moore). 22
Figura 2 – Vista superior de um nMOSFET de porta hexagonal (Diamante) e vista do Corte A – A aplicado na seção transversal. 26
Figura 3 - Arquitetura do OTA SESS utilizado neste projeto de pesquisa. 32
Figura 4 – Esquema elétrico do OTA CMOS Miller utilizado neste projeto de pesquisa. 34
Figura 5 – Exemplo de uma curva do ganho de tensão em malha aberta em função da frequência do sinal de entrada diferencial de um OTA. 35
Figura 6 – Circuito elétrico de um OTA simplificado usado para obter o A_{V0}. 35
Figura 7 – Circuito elétrico do OTA SESS simplificado para obtenção do A_{V0}. 36
Figura 8 – Exemplo de diagrama de Bode com as curvas de A_V em função da f (a) e ϕ em função da f (b). 37
Figura 9 – Exemplo de um sinal de saída desejado e o sinal de saída real limitado pelo SR. .. 38
Figura 10 - Representação elétrica de um AMP OP com V_{OS}. 39
Figura 11 - Circuito elétrico usado para anular a V_{OS} de entrada. 39
Figura 12 - Característica de transferência do sinal de entrada para a saída de um AMP OP configurado como seguidor de tensão. 40
Figura 13 - Representação gráfica do comportamento das funções de aptidão utilizadas nesse projeto de pesquisa: degrau (a), linear (triangular) (b) e Gaussiana (c). 43
Figura 14 - Funções de aptidão de limite superior para minimização (a) e de limite inferior para maximização (b) com três formatos de curvas diferentes. 44
Figura 15 – Função de aptidão de valor central com três formatos de curvas diferentes {degrau: [$f_S(x)$], linear ou triangular [$f_L(x)$], e Gaussiano [$f_G(x)$]} em função do desvio relativo (x). 45
Figura 16 – Fluxograma do iMTGSPICE. 45
Figura 17 – Imagem da tela do iMTGSPICE executando em tempo real um processo de otimização de um CI CMOS analógico. 48
Figura 18- Evolução dos transistores em função do tempo. 49
Figura 19 - Representação do campo elétrico longitudinal resultante e das duas componentes vetoriais do campo elétrico longitudinal no DM. 51
Figura 20 – Vista superior do DM com linhas de campo elétrico longitudinal (a) e ilustração da região de bico de pássaro de um MOSFET (b). 52
Figura 21- Conexão em cascata de múltiplos estágios de amplificadores. 53

Figura 22 - Sistema de medição desenvolvido para realizar a caracterização elétrica da resposta em frequência do OTA SESS. 55
Figura 23 – Áreas de porta dos MOSFETs da solução 1.2, levando-se em conta o CM. 69
Figura 24 – Diagrama de Bode do OTA SESS (solução 1.2). 70
Figura 25 - Diagramas de Bode para solução 1.2 do OTA SESS levando em consideração as análises de Corner e Monte Carlo. 71
Figura 26- Leiaute simplificado do OTA CMOS Miller (solução 1.2). 72
Figura 27 - Diagrama de Bode do OTA CMOS Miller (solução 1.2). 73
Figura 28 - Diagrama de Bode para s1.2 do OTA Miller levando em consideração as análises de Corner e Monte Carlo. 74
Figura 29- Metodologia de conversão do CM em DM. 76
Figura 30 – M1 e M10 do OTA SESS com geometria de porta retangular e MOSFETs equivalentes com geometria de porta hexagonal com o ângulo α de 45°, 90° e 135°. 79
Figura 31 – Representação de um CM em comparação com DMs unitários de ângulos α iguais a 45°, 90° e 135° (a) e CM em comparação com múltiplos DMs de ângulos α iguais a 45°, 90° e 135° (b). 80
Figura 32 - Imagem em tempo real da tela de iMTGSPICE para a conversão de CM em DM. 81
Figura 33 – Um CM representado por *n'* CMs em paralelo mantendo o mesmo L_{CM} e largura de canal (W_{CM}/n') (a) e as dimensões da célula básica do CM (b). CM representado por DMs conectados em paralelo (c) e as dimensões da célula básica do DM (d). 82
Figura 34 – DMs implementados por CMs em paralelo (ângulos α iguais a 45º, 90º e 135º). .83
Figura 35 – Procedimento para representar o LCE no simulador SPICE mantendo a mesma I_{DS} entre o CM e DM ($I_{DS_DM} = I_{DS_CM}$). 84
Figura 36 - Porta do CM utilizada como referência para ser convertida na porta do DM (a), porta do DM e suas respectivas dimensões utilizadas no leiaute do CI CMOS analógico (b) e a porta do DM preparada para simulação (c). 85
Figura 37 - DMs e os respectivos DMs preparados para simulações no SPICE. 86
Figura 38- Comparação das curvas de I_{DS} em função de V_{GS} (a) e curvas de I_{DS} em função de V_{DS} (b) dos MOSFETs M5 convencional e Diamante (OTA CMOS SESS). 89
Figura 39 – Comparação das curvas de I_{DS} em função de V_{GS} (a) e curvas de I_{DS} em função de V_{DS} (b) dos MOSFETs M7 convencional e Diamante (OTA CMOS Miller). 89

Figura 40 - Diagramas de Bode com a sobreposição das curvas de resposta em frequência para os OTAs SESS implementados com CMs (s1.2) e dos DMs preparados para simulação no SPICE de ângulo α igual de 45º. 90
Figura 41 - Diagramas de Bode com a sobreposição das curvas da resposta em frequência para os OTAs SESS implementados com CMs (s1.2) e com DMs preparados para simulação no SPICE de ângulo α igual a 90º. 91
Figura 42 - Diagramas de Bode com a sobreposição das curvas da resposta em frequência para os OTAs SESS implementados com CMs (s1.2) e com DMs preparados para simulação no SPICE de ângulo α igual a 135º. 91
Figura 43 - Diagrama de Bode do OTA CMOS SESS implementado com DMs (ângulo α igual a 45°) em relação as análises de Corner e Monte Carlo. 92
Figura 44 – Diagrama de Bode do OTA SESS implementado com DMs (ângulo α igual a 90°) em relação as análises de Corner e Monte Carlo. 93
Figura 45 - Diagrama de Bode do OTA SESS implementado com DMs (ângulo α igual a 135°) em relação as análises de Corner e Monte Carlo. 93
Figura 46 - Diagramas de Bode com a sobreposição das curvas da resposta em frequência para os OTAs Miller implementados com CMs (s1.2) e com DMs preparados para simulação no SPICE de ângulo α igual a 45º. 94
Figura 47 - Diagramas de Bode com a sobreposição das curvas da resposta em frequência para os OTAs CMOS Miller implementados com CMs (s1.2) e com DMs preparados para simulação no SPICE de ângulo α igual a 90º. 95
Figura 48 - Diagramas de Bode com a sobreposição das curvas da resposta em frequência para os OTAs Miller implementados com CMs (s1.2) e com DMs preparados para simulação no SPICE de ângulo α igual de 135º. 95
Figura 49 - Diagrama de Bode do OTA CMOS Miller implementado com DMs (ângulo α igual a 45°) em relação as análises de Corner e Monte Carlo. 96
Figura 50 - Diagrama de Bode do OTA CMOS Miller implementado com DMs (ângulo α igual a 90°) em relação as análises de Corner e Monte Carlo. 97
Figura 51 - Diagrama de Bode do OTA CMOS Miller implementado com DMs (ângulo α igual a 135°) em relação as análises de Corner e Monte Carlo. 97
Figura 52 – Leiaute do OTA SESS implementado com CMs. 99
Figura 53 – Leiaute do OTA SESS implementado com DMs de ângulo α igual a 90º. 99
Figura 54 - Anel de guarda utilizado para isolação elétrica do CM M3 do OTA CMOS SESS. 100

Figura 55 - Leiaute simplificado e as dimensões da porta do CM M1 (a) e o respectivo leiaute final (b). 101
Figura 56- Dimensões e leiaute simplificado da porta do DM M1 de ângulo α igual a 90º (a) e o respectivo leiaute final (b). 101
Figura 57- Dimensões e leiaute simplificado da porta do CM M3 (a) e o respectivo leiaute final (b).....102
Figura 58 - Dimensões e leiaute simplificado da porta do CM M10 (a) e o respectivo leiaute final (b). 103
Figura 59- Dimensões e leiaute simplificado da porta do DM M10 de ângulo α igual a 90º (a) e o respectivo leiaute final (b). 103
Figura 60 - Leiautes simplificados das portas dos MOSFETs M5 e M7 convencionais (a) e os leiautes finais dos MOSFETs M5 e M7 convencionais (b). 104
Figura 61 – Dimensões do MOSFET M10 para o OTA SESS implementado com CMs (a) e para o OTA SESS implementado com DMs de ângulo α igual a 90º (b). 104
Figura 62 - Imagens em tempo real da tela do Calibre durante a verificação LVS do OTA SESS implementado com CMs. 106
Figura 63- Dispositivos de teste para a caracterização elétrica do OTA SESS. 108
Figura 64 - Diagramas de Bode do OTA SESS implementados com MOSFETs convencionais nas configurações G_V20, G_V40 e G_V60 obtidos por simulação e experimentalmente. 109
Figura 65 - Circuito elétrico de caracterização elétrica de um amplificador de dois estágios OTAs CMOS Miller idênticos em cascata. 113
Figura 66 - Diagrama de Bode obtido do Amplificador em Cascata 1. 115
Figura 67- Diagrama de Bode do Amplificador em Cascata 1 levando em consideração as análises de robustez (Corner e Monte Carlo). 117
Figura 68- Diagrama de Bode dos Amplificadores em Cascata 1 e 2 obtidos do segundo estudo comparativo realizado por este projeto de pesquisa. 119
Figura 69 - Diagrama de Bode do Amplificador em Cascata 2 em relação as análises de Corner e Monte Carlo. 119
Figura 70- Desvios relativos de cada especificação em relação à especificação desejada (*box plot*), que foram obtidos dos dois amplificadores do segundo estudo comparativo. 120
Figura 71 – Leiaute simplificado das portas dos MOSFETs M2, M4, M6, M8 e M9 convencionais (a) e os respectivos leiautes finais elaborados pelo autor (b).....143

Figura 72- Leiautes simplificados das portas dos MOSFETs M2, M5, M6 e M9 do tipo Diamante de ângulo α igual a 90º (a) e os leiautes finais elaborados pelo autor (b). 144
Figura 73- Leiaute do OTA SESS implementado com DMs e ângulo α igual a 45º..... 145
Figura 74 - Leiaute implementado com DMs de ângulo α igual a 135º..... 145

LISTA DE TABELAS

Tabela 1 - Especificações de projeto dos OTAs avaliados nesse projeto de pesquisa.....60
Tabela 2 - Faixas de valores das variáveis dimensionais e de polarização dos projetos utilizadas no processo de busca das soluções dos OTAs a serem otimizados no iMTGSPICE. 60
Tabela 3 - Configuração dos parâmetros do iMTGSPICE. 61
Tabela 4 - Resultados dos 7 processos de otimização do OTA SESS realizados pelo iMTGSPICE. 63
Tabela 5 - Variações extremas das condições de operação dos nMOSFETs e pMOSFETs para as análises de Corner e Monte Carlo. 65
Tabela 6 - Resultados da análise de robustez realizada pelo iMTGSPICE para as 7 soluções otimizadas do OTA SESS. 66
Tabela 7- Resultado da avaliação das soluções para o OTA CMOS SESS otimizadas pelo iMTGSPICE considerando as análises de robustez de Corner e Monte Carlo. ...68
Tabela 8 - W e L dos transistores de M1 até M10 do OTA SESS (solução 1.2).....68
Tabela 9 – Especificações, os valores obtidos pelo iMTGSPICE, as variações entre eles e a avaliação dos resultados para a solução 1.2 do OTA SESS. 70
Tabela 10 - Resultado das seis otimizações realizadas pelo iMTGSPICE para o OTA CMOS Miller considerando as análises de Corner e Monte Carlo. 71
Tabela 11 - W e L dos transistores de M1 até M8 do OTA Miller (solução 1.2).....72
Tabela 12 - Especificações, os valores obtidos pelo iMTGSPICE, as variações entre eles e a avaliação dos resultados para a Solução 1.2 do OTA CMOS Miller otimizado. 73
Tabela 13 - Dimensões W, L, L_{eff} e variações das A_Gs entre CMs e DMs (MOSFETs M1, M2, M5, M6, M9 e M10) para o OTA SESS com ângulos α iguais a 45º, 90º e 135º. 77
Tabela 14- Dimensões W, L, L_{eff} e variações das A_Gs entre CMs e DMs (MOSFETs M1, M2, M7 e M8) para o OTA Miller com ângulos α iguais a 45º, 90º e 135º.....79
Tabela 15 - Dados geométricos dos CMs implementados no OTA CMOS SESS, os respectivos DMs e os DMs preparados para simulações no SPICE com ângulos α iguais a 135º, 90º e 45º. 86
Tabela 16 - Dados geométricos dos CMs implementados no OTA Miller, os respectivos DMs e os DMs preparados para simulações no SPICE com ângulos α iguais a 135º, 90º e 45º. 88

Tabela 17- I_{DS} dos CMs (I_{DS_CM}) e DMs (I_{DS_DM}) com α igual a 90º do OTA SESS..... 88
Tabela 18- I_{DS} dos CMs (I_{DS_CM}) e DMs (I_{DS_DM}) com α igual a 90º do OTA Miller..... 88
Tabela 19– Especificações desejadas para o OTA SESS. 107
Tabela 20- Variáveis de projeto obtidas pelo iMTGSPICE usando o simulador SPICE para o OTA SESS implementado com MOSFETs convencionais..... 108
Tabela 21 – Especificações desejadas e os valores típicos das FoMs obtidas por simulação no iMTGSPICE e pela caracterização elétrica experimental para o OTA SESS implementado com MOSFETs convencionais nas configurações GV20, GV40 e GV60. 110
Tabela 22- Especificações dos projetos, os resultados obtidos do primeiro estudo comparativo realizado e a variação entre os valores dos parâmetros e figuras de mérito entre os dois amplificadores em cascata que foram levados em conta nesse estudo..... 114
Tabela 23- Especificações de projeto, os resultados obtidos do segundo estudo comparativo realizado e a variação dos valores de parâmetros das figuras de mérito entre os dois amplificadores em cascata que foram levados em conta nesse estudo..... 118
Tabela 24- Valor mínimo (*Min*), valor máximo (*Max*), dispersão e desvio relativo médio para ambos os amplificadores. 121

LISTA DE ABREVIATURAS

AGSPICE	Nome dado ao programa de computador que integra um algoritmo genético com o simulador de circuitos SPICE para a otimização de projetos.
AMP OP	Amplificador Operacional.
CA	Corrente alternada (*Alternating Current)*.
CAD	Projeto Assistido por Computador (*Computer Aided Design*).
CI(s)	Circuito(s) Integrado(s).
C_L	Carga Capacitiva (*Capcitive Load*).
CM(s)	MOSFET(s) Convencional (geometria de porta retangular).
CMOS	Metal-Oxido-Semicondutor Complementar (*Complementary Metal-Oxide-Semiconductor*).
DC	Corrente Contínua (*Direct Current*).
DM(s)	MOSFET(s) do tipo Diamante (geometria de porta hexagonal).
DEPAMBBRE	Desativação dos efeitos parasitários nas regiões de bico de pássaro dos MOSFETs (*Deactivation of Parasitic MOSFETs in Birds' Beak Regions Effect*).
Dim_mín	Mínima dimensão utilizada pela tecnologia.
FCT	Técnicas de compensação de frequência (*Frequency Compensation Techniques*).
FPAA	Portas Programáveis por Campo (*Field Programmable Analog Arrays*).
G	Terminal de porta (*gate*) de um MOSFET.
GA	Algoritmo genético (*Genetic Algorithm*).
G_V	Ganho de tensão em malha fechada.
G_{V0}	Ganho de tensão em malha fechada das configurações G_V20, G_V40 e G_V60.
ICA	Algoritmo Competitivo Imperialista (*Imperialist Competitive Algorithm*).
IDC	Corporação Internacional de Informação (*International Data Corporation*).
IEC	Comissão Eletrotécnica Internacional (*International Electrotechnical Commission*).
iGA	Algoritmo genético interativo (*Interative Genetic Algorithm*).
iMTGSPICE	Sistema interativo de otimização de CIs CMOS analógicos constituído de um programa de computadorizado que utiliza diversos algoritmos da área de inteligência artificial (GA, ICA, SFLA, SA) que foram integrados ao simulador de circuitos integrados SPICE.
LCE	Efeito de Canto Longitudinal (*Longitudinal Corner Effect*).

LSI	Integração em Larga Escala (*Large Scale Integration*).
LVS	Leiaute versus esquema elétrico (*Layout Versus Schematic*).
MOSFET	Transistor de efeito de campo Metal-Óxido-Semicondutor (*Metal-Oxide-Semiconductor field Effect Transistor*).
MTGSPICE	Sistema de otimização de CIs CMOS analógicos constituído de um programa de computadorizado que utiliza diversos algoritmos da área de inteligência artificial (GA, ICA, SFLA e SA) que foram integrados ao simulador de circuitos integrados SPICE.
Max.	Máximo.
Min.	Mínimo.
MOEA	Algoritmos Evolucionários de Múltiplos objetivos (*Multi-objective Evolutionary Algorithm*).
nMOSFET	Transistor de efeito de campo Metal-Óxido-Semicondutor com canal do tipo n.
OTA	Amplificador Operacional de Transcondutância (*Operational Transconductance Amplifier*).
PAMDLE	Efeito da Associação paralela de MOSFETs com diferentes Comprimentos de canal (*Parallel Connections of MOSFETs with different channel Lengths Effect*).
PCB	Placa de Circuito Impressa (*Printed Circuit Board*).
pMOSFET	Transistor de efeito de campo Metal-Óxido-Semicondutor com canal do tipo p.
RF	Rádio Frequência.
s1.2	Solução 1.2 otimizada pelo iMTGSPICE.
SA	Arrefecimento Simulado (*Simulated Annealing*).
SESS	OTA de Único Estágio e Única Saída (*Single-Ended Single-Stage*).
SFLA	Algoritmo do Sapo Pulando Embaralhado (*Shuffled Frog Leaping Algorithm*).
SoC	Sistema num Único Circuito Integrado (*System on Chip*).
SOI	Silício Sobre Isolante (*Silicon-On-Insulator*).
SPICE	Programa de Simulação com Ênfase em Circuitos Integrados (*Simulation Program with Integrated Circuit Emphasis*).
TSMC	Empresa de manufatura de semicondutores de Taiwan (*Taiwan Semiconductor Manufacturing Company*).
VLSI	Integração em Larga Escala Ainda Maior (*Very Large Scale Integration*).

LISTA DE SÍMBOLOS

a	Desvio relativo máximo de cada figura de mérito [%].
A_G	Área de porta total dos MOSFETs que são usados para implementar o OTA, ou seja, a somatória do produto de W por L de todos os transistores do OTA [μm^2].
A_V	Ganho de tensão em malha aberta em qualquer frequência [dB ou V/V].
A_{V0}	Ganho de tensão em malha aberta em baixas frequências [dB ou V/V].
b	Menor comprimento de canal da estrutura MOSFET do tipo Diamante [µm].
B	Maior comprimento de canal da estrutura MOSFET do tipo Diamante [µm].
$B_{3,5}$	Fator do ganho de corrente do espelho de corrente formado pelos MOSFETs M3 e M5.
$B_{4,6}$	Fator do ganho de corrente do espelho de corrente formado pelos MOSFETs M4 e M6.
$B_{7,8}$	Fator do ganho de corrente do espelho de corrente formado pelos MOSFETs M7 e M8.
$B_{9,10}$	Fator do ganho de corrente do espelho de corrente formado pelos MOSFETs M9 e M10.
C_f	Capacitância de compensação [pF].
C_{OX}	Capacitância de óxido de porta por unidade de área [F/cm^2].
$Eval_{Sol}$	Valor da função de aptidão do algoritmo genético de uma solução potencial de um OTA.
E_R	Campo elétrico longitudinal resultante calculado pela soma das duas componentes de campo elétrico $\overrightarrow{\varepsilon_{//1}}$ e $\overrightarrow{\varepsilon_{//2}}$ unidade [N/C ou V/m].
E_1	Componente 1 do campo elétrico longitudinal resultante [N/C ou V/m].
E_2	Componente 2 do campo elétrico longitudinal resultante [N/C ou V/m].
FoM_j	Figura de mérito (A_{V0}, f_T, MF, V_{OUT}, P_{TOT} e A_G) encontrada pelo processo de otimização, onde j representa o índice da figura de mérito.
f	Frequência [Hz].
f_{3dB}	Frequência de corte a -3 dB do ganho de tensão de baixas frequências em malha aberta do OTA [Hz].
f_T	Frequência de ganho de tensão unitário [Hz].
G_{LCE}	Valor do ganho de efeito LCE.
G_{PAMDLE}	Valor do ganho de efeito PAMDLE.
g_m	Transcondutância de um MOSFET [µA/V].

g_m/I_{DS}	Razão da transcondutância pela corrente DC entre dreno e fonte de um MOSFET [V^{-1}].
GND	Potencial de referência de 0 V da fonte de alimentação do OTA [V].
G_{TOTAL}	Ganho total do sinal amplificado [dB ou V/V].
G_1	Ganho de amplificação do primeiro estágio [dB ou V/V].
G_n	Ganho de amplificação dos estágios subsequentes [dB ou V/V].
I_{DS}	Corrente entre dreno e fonte de um MOSFET levando em consideração apenas a componente contínua [A].
$I_{DS1,2}$	Corrente de polarização do par diferencial (M1-M2) do OTA [A].
$I_{DS3,4}$	Corrente de polarização da carga ativa pMOSFET (M3-M4) do par diferencial do OTA [A].
$I_{DS5,6}$	Corrente de polarização da carga ativa pMOSFET (M5-M6) do par diferencial do estágio de saída do OTA [A].
$I_{DS7,8}$	Corrente de polarização da carga ativa nMOSFET (M7-M8) do par diferencial do OTA [A].
$I_{DS9,10}$	Corrente de polarização do espelho de corrente nMOSFET (M9-M10) que alimenta o par diferencial do OTA [A].
I_O	Corrente de saída do espelho de corrente formado pelos transistores M9 e M10 do OTA [A].
I_{POL}	Corrente de polarização de entrada do espelho de corrente firmado por M9 e M10 [A].
I_{POLmax}	Valor máximo de I_{POL} [A].
I_{POLmin}	Valor mínimo de I_{POL} [A].
I_{TOT}	Corrente total de alimentação de um OTA [A].
L	Comprimento de canal de um MOSFET [µm].
$L_{1,2}$	Comprimento de canal do par diferencial (M1-M2) do OTA [µm].
$L_{3,4}$	Comprimento de canal do par de transistores pMOSFET M3-M4 do OTA [µm].
$L_{5,6}$	Comprimento de canal do par de transistores pMOSFET M5-M6 do OTA [µm].
$L_{7,8}$	Comprimento de canal do par de transistores nMOSFET M7-M8 do OTA [µm].
$L_{9,10}$	Comprimento de canal do par de transistores nMOSFET M9-M10 do OTA [µm].
L_{MIN}	Comprimento mínimo do canal do MOSFET que depende das regras de *design* da tecnologia CIs CMOS [m].
$L_{_CM}$	Comprimento de canal do MOSFET convencional [µm].
$L_{_DM}$	Comprimento de canal do MOSFET do tipo Diamante [µm].

L_{eff_DM}	Comprimento de canal efetivo do MOSFET do tipo Diamante [µm].
l_{m_n}	Comprimento de canal sendo $1 < n < 4$ devido a simetria da geometria hexagonal [µm].
MF	Margem de fase do OTA [°].
n	Quantidade de MOSFETs convencionais em paralelo.
n'	Quantidade de células básicas de CMs conectados em paralelo.
NF	Figura de ruído (*Noise Figure*) [dB].
N_P	Tamanho da população das potenciais soluções do Algoritmo Genético.
N_R	Número de rodadas do Algoritmo Genético.
N_{Rob}	Número desejado de soluções contidas na população que atendam plenamente as especificações de projeto pelas análises de robustez (Corner e Monte Carlo).
P_C	Probabilidade da realização do cruzamento (reprodução ou *crossover* do Algoritmo Genético) [%].
P_M	Probabilidade de mutação de uma potencial solução do Algoritmo Genético [%].
P_{TOT}	Potência DC dissipada por um OTA [W].
Qtde_DMs	Quantidade de DMs projetada em paralelo.
Qtde_CMs	Quantidade de CMs projetada em paralelo.
R_{EQ}	Resistor formado pela associação série dos resistores *R1, R2* e do potenciômetro de ajuste R3v [Ω].
R_{fbn}	Resistência de feedback [Ω].
R_{inn}	Resistência de entrada [Ω].
R_L	Resistência de carga conectada ao nó de saída de um OTA [Ω].
R_{ON}	Resistência de estado ligado [Ω].
R_{SH}	Resistência *shunt* ligada em paralelo com um instrumento indicador de bobina móvel ou ferro móvel para ampliar sua escala [Ω].
R1 e R2	Resistências 1 e 2 [Ω].
R2v	Resistência do potenciômetro *R2v* [Ω].
$R2_f$	Resistência entre o terra (GND) e o terminal central do potenciômetro *R2v* [Ω].
R_{3v}	Resistência do potenciômetro de ajuste R_{3v} [Ω].
SR	*Slew-rate* ou máxima taxa de variação da saída de um amplificador [V/µs].
SR_f	*Slew-rate* calculado a partir da rampa de descida do sinal de saída [V/µs].
SR_r	*Slew-rate* calculado a partir da rampa de subida do sinal de saída [V/µs].
$S_{saída}$	Amplitude do sinal de saída do último estágio de amplificação [V].
$S_{entrada}$	Amplitude do sinal de entrada do primeiro estágio de amplificação [V].

t_f	Tempo de descida do sinal de saída, medido através da diferença entre os tempos correspondentes a 90% e 10% da amplitude do sinal de saída [s].
t_r	Tempo de subida do sinal de saída, medido através da diferença entre os tempos correspondentes a 90% e 10% da amplitude do sinal de saída [s].
V_A	Tensão Early de um MOSFET [V].
V_{A6}	Tensão Early do MOSFET M6 do OTA [V].
V_{A8}	Tensão Early do MOSFET M8 do OTA [V].
V_{BS}	Tensão entre o substrato e a fonte de um MOSFET [V].
V_{canal}	Tensão de saída do OTA ou da entrada do osciloscópio [V].
V_{CC}	Valor da tensão elétrica fornecida pela fonte de alimentação [V].
V_{DD}	Potencial de maior nível de energia elétrica da fonte de alimentação [V].
V_{DS}	Tensão entre dreno e fonte de um MOSFET [V].
V_{DSAT}	Tensão de saturação de um MOSFET [V].
V_{GS}	Tensão entre porta e fonte de um MOSFET [V].
V_{IN}	Tensão de entrada do OTA simplificado [V].
V_I	Tensão de entrada de um amplificador operacional que leva em consideração apenas a componente contínua [V].
V_{OUT}	Tensão de saída do OTA simplificado [V].
V_{POL}	Tensão de polarização DC de modo comum do OTA [V].
V_{POLmax}	Valor máximo da tensão de polarização DC de modo comum do OTA [V].
V_{POLmin}	Valor mínimo da tensão de polarização DC de modo comum do OTA [V].
V_{MI}	Tensão de pico de uma forma de onda senoidal aplicada no terminal de entrada de um OTA [V_P].
V_{MMI}	Tensão de pico-a-pico de uma forma de onda senoidal aplicada no terminal de entrada de um OTA [V_{PP}].
V_{MO}	Amplitude ou tensão de pico de uma forma de onda senoidal no terminal de saída de um OTA [V_P].
V_{MMO}	Tensão de pico-a-pico de uma forma de onda senoidal no terminal de saída de um OTA [V_{PP}].
V_O	Tensão de saída de um amplificador operacional que leva em consideração apenas a componente contínua [V].
V_{OS}	Tensão de *offset* de entrada de um amplificador operacional, que ocorre devido a descasamentos no estágio diferencial [V].

V_{OS_NULL} Tensão aplicada em série com o terminal da entrada não inversora do OTA, para anular o efeito de V_{OS} com o objetivo de zerar a tensão de saída do OTA [V].

V_{OUT} Tensão no nó de saída do OTA que leva em consideração apenas a componente contínua [V].

V_{SS} Potencial de menor nível de energia elétrica da fonte de alimentação do OTA [V].

V_{th} Tensão de limiar (*threshold voltage*) de um MOSFET [V].

V_{thn} Tensão de limiar (*threshold voltage*) de um nMOSFET [V].

V_{thp} Tensão de limiar (*threshold voltage*) de um pMOSFET [V].

v_+ Tensão aplicada ao terminal não inversor de um OTA [V ou V_{PP}].

v_- Tensão aplicada ao terminal inversor de um OTA [V ou V_{PP}].

v_I Tensão de uma fonte de pequenos sinais [V_{PP}].

v_{I+} Terminal da entrada não inversora de um OTA.

v_{I-} Terminal da entrada inversora de um OTA.

v_O Tensão de saída de um amplificador operacional que leva em consideração as componentes alternada e contínua [V].

v_{OUT} Tensão no nó de saída do OTA que leva em consideração as componentes alternada e contínua [V].

v_{ID} Tensão diferencial de entrada de um amplificador operacional que leva em consideração somente a componente alternada [V].

v_{out} Tensão no nó de saída do OTA que leva em consideração apenas a componente alternada [V].

$v_{out}(t)$ Tensão senoidal de saída do OTA em função do tempo [V].

V_{RSH} Diferença de potencial entre os terminais do resistor *shunt* [V].

V_{R2f} Tensão de saída do divisor de tensão entre o terra (GND) e o terminal central do potenciômetro *R2v* [V].

x Desvio relativo utilizado nas funções de aptidão desse projeto de pesquisa [%].

x' Dimensão dada por $(B\text{-}b)/n$ [µm].

W Largura de canal de um MOSFET [µm].

$W_{1,2}$ Largura de canal do par diferencial do OTA (M1-M2) [µm].

$W_{3,4}$ Largura de canal do M3 e M4 do OTA, considerando M3 e M4 casados [µm].

$W_{5,6}$ Largura de canal do M5 e M6 do OTA, considerando M5 e M6 casados [µm].

$W_{7,8}$ Largura de canal do M7 e M8 do OTA, considerando M7 e M8 casados [µm].

$W_{9,10}$ Largura de canal do M9 e M10 do OTA, considerando M9 e M10 casados [µm].

$W_{_CM}$ Largura de canal do MOSFET convencional [µm].

$W_{_CM_PAR}$	$W_{_CM}$ do MOSFET Convencional em paralelo [µm].
$W_{_CM_SIMU}$	Largura de canal do MOSFET convencional para simulação no SPICE [µm].
$W_{_DM}$	Largura de canal do MOSFET do tipo Diamante [µm].
$W_{_DM_PAR}$	$W_{_DM}$ do MOSFET Diamante em paralelo [µm].
$W_{_DM_SIMU}$	Largura de canal do MOSFET Diamante para simulação no SPICE [µm].
We	Peso da função de aptidão para cada FoM.
We_i	Peso da função de aptidão para cada FoM, em que *i* é um número inteiro que representa o índice de uma FoM.
W_{MIN}	Largura mínima do canal do MOSFET que depende das regras de *design* da tecnologia CIs CMOS [µm].
Δv_O	Variação da tensão do OTA [V].
ϕ	Ângulo da fase de uma forma de onda senoidal [° ou rad].
σ	Desvio padrão das funções de aptidão das soluções no iMTGSPICE que usam o perfil Gaussiano [%].
α	Ângulo entre as junções metalúrgicas das regiões dreno/canal e canal/fonte [° ou rad].
μ_0	Mobilidade de baixo campo dos portadores de carga do canal do MOSFET [cm2/V.s].
μ_n	Mobilidade de baixo campo dos elétrons do canal de um nMOSFET [cm^2/V.s].
μ_p	Mobilidade de baixo campo das lacunas do canal de um pMOSFET [cm^2/V.s].

SUMÁRIO

LISTA DE ILUSTRAÇÕES 15
LISTA DE TABELAS 20
LISTA DE ABREVIATURAS 22
LISTA DE SÍMBOLOS 24
SUMÁRIO 30
1 INTRODUÇÃO 22
2 CONCEITOS FUNDAMENTAIS 30
2.1 TOPOLOGIA E ESPECIFICAÇÕES DAS FIGURAS DE MÉRITO DO OTA ... 30
2.1.1 Circuitos integrados CMOS analógicos 30
2.1.2 Amplificadores operacionais 31
2.1.3 OTA de único estágio e única saída (OTA SESS) 31
2.1.3.1 Princípios de funcionamento dos OTAs SESS 33
2.1.4 OTA CMOS Miller 34
2.1.5 Resposta em frequência dos OTAs 34
2.1.5.1 Diagrama de Bode: ganho de tensão e ângulo de fase em função da frequência 34
2.1.5.1.1 Diagrama de Bode: ganho de tensão em função da frequência 35
2.1.5.1.2 Margem de fase (MF) 36
2.1.5.2 Slew rate (SR) 37
2.1.5.3 Tensão de offset de entrada 38
2.1.5.4 Amplitude do sinal de saída 39
2.2 iMTGSPICE 40
2.2.1 Classificação dos algoritmos evolucionários usados na otimização de CIs CMOS analógicos 40
2.2.2 Funções de avaliação de aptidão 42
2.2.3 Funções de aptidão de limite superior, inferior e de valor central 44
2.2.4 Algoritmo de evolução das soluções potenciais através do algoritmo genético (GA) 45
2.3 MOSFETs DO TIPO DIAMANTE 48
2.4 AMPLIFICADORES EM CASCATA 52
2.5 CARACTERIZAÇÃO ELÉTRICA EXPERIMENTAL PARA QUALIFICAR O PROJETO DE CIRCUITO INTEGRADO ANALÓGICO ROBUSTO 55
2.5.1 Sistema de caracterização elétrica experimental 55

3 METODOLOGIA PARA PROJETAR E OTIMIZAR CIS CMOS ANALÓGICOS ROBUSTOS IMPLEMENTADOS COM DMS DE FORMA AUTOMÁTICA 59
3.1 ETAPA 1: OTIMIZAR UM CI CMOS ANALÓGICO IMPLEMENTADO COM CMS E ASSEGURAR A ROBUSTEZ PELO CORNER E MONTE CARLO AUTOMATICAMENTE NO IMTGSPICE 59
3.1.1 Especificações dos OTAs e configuração do iMTGSPICE....60
3.1.2 Processo de otimização de CIs CMOS analógicos por meio do iMTGSPICE..62
3.1.3 Análise de robustez das soluções potenciais por meio do iMTGSPICE....65
3.1.4 Definição da melhor solução em potencial....68
3.1.4.1 Definição da melhor solução em potencial para o OTA Miller 71
3.2 ETAPA 2: DESENVOLVER UM PROCEDIMENTO PARA CONVERTER MOSFETS CONVENCIONAIS (CMS) EM MOSFETS DO TIPO DIAMANTES (DMS) MANTENDO O DESEMPENHO ELÉTRICO E ROBUSTEZ SIMILARES 74
3.2.1 Procedimento otimizado para converter CM em DM automaticamente....81
3.3 ETAPA 3: DESENVOLVER UM PROCEDIMENTO PARA SIMULAR O DM NO SPICE 83
3.4 ETAPA 4: IMPLEMENTAR OS LEIAUTES DE ALGUNS OTAS UTILIZANDO-SE A TECNOLOGIA DE FABRICAÇÃO DE CIS CMOS DE 180 NM DA EMPRESA DE MANUFATURA DE SEMICONDUTORES DE TAIWAN (TSMC) 98
3.4.1 Leiaute Versus Esquemático (LVS)....105
3.5 ETAPA 5: CARACTERIZAÇÃO ELÉTRICA EXPERIMENTAL DO OTA SESS IMPLEMENTADO COM CMS UTILIZANDO-SE A TECNOLOGIA DE FABRICAÇÃO DE CIS CMOS DE 65 NM DA TSMC....107
4 METODOLOGIA PARA PROJETAR E OTIMIZAR OTAS CONECTADOS ELETRICAMENTE EM CASCATA AO MESMO TEMPO, UTILIZANDO-SE O IMTGSPICE....113
4.1 ETAPA B: EXPLORAR A CONEXÃO EM CASCATA DE UM AMPLIFICADOR IMPLEMENTADO COM 2 OTAS CMOS MILLER ROBUSTOS PREVIAMENTE OTIMIZADOS E CONECTADOS ELETRICAMENTE....113

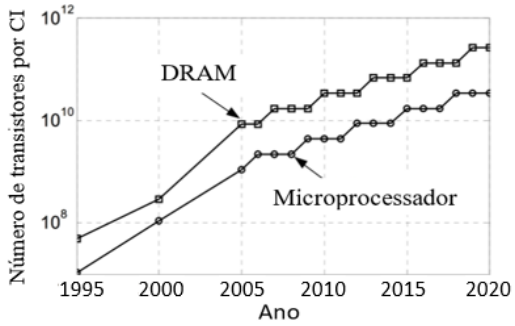
4.2 ETAPA C: REPROJETAR E OTIMIZAR ESSE AMPLIFICADOR USANDO UMA FERRAMENTA COMPUTACIONAL DE PROJETO E OTIMIZAÇÃO DE CIS CMOS ANALÓGICOS (IMTGSPICE) 117
5 CONCLUSÃO 123
REFERÊNCIAS 126
APÊNDICE A - ARQUIVO *NETLIST* DO CIRCUITO ELÉTRICO DOS OTAs SESS e MILLER (SOLUÇÃO 1.2) 136
APÊNDICE B - COMPLEMENTO AOS LEIAUTES APRESENTADOS NO CAPÍTULO 3.4 143

1 INTRODUÇÃO

No decorrer das últimas décadas, vários setores do mercado, como os das engenharias, da informática, da comunicação e da medicina, têm manifestado uma necessidade incessável por sistemas embarcados e automatizados. Por essa razão, a demanda por "Sistemas num Único Circuito Integrado" (SoC[1]) de baixo custo, baixo consumo e baixo ruído tem crescido exponencialmente. Os SoCs modernos incorporam os Circuitos Integrados (CIs) Metal-Óxido-Semicondutor Complementar (CMOS[2]) digitais, os analógicos, de radiofrequência (RF), sensores, diferentes interfaces com o mundo externo etc. Entre outras funções, os CIs CMOS analógicos têm a função de amplificar, filtrar e converter os sinais amplamente utilizados nos SoCs (MARTINS; LOURENÇO; HORTA, 2015; WU et al., 2015). A importância dos CIs CMOS analógicos para esses dispositivos, somado ao alto nível de complexidade ao projetá-los, desafiam os pesquisadores a buscarem por soluções de projetos ainda mais eficientes, com maiores velocidades (resposta em frequência) robustas às variações do processo de fabricação de CI CMOS e às variações das condições ambientais.

O aumento da demanda por SoCs se iniciou há aproximadamente 60 anos, quando Moore, já prevendo essa evolução, publicava a lei de Moore (COLINGE, 2008; MOORE, 1965). A Figura 1 ilustra essa situação, onde ele previa que o número de transistores em cada CI aumentaria consideravelmente com o passar dos anos. Considerando uma perspectiva mais contemporânea, a Corporação Internacional de Informação (IDC[3]), uma das maiores e mais reconhecidas empresas globais de consultoria no ramo de tecnologia de informação, afirma que o conteúdo digital no mundo dobra a cada dois anos (EXAME, 2014).

Figura 1 - Quantidade de transistores num único CI ao longo dos anos (Lei de Moore).



Fonte: Autor adaptado de Colinge (2008).

[1] *System on-a-Chip.*
[2] *Complementary Metal-Oxide-Semicoductor.*
[3] *International Data Corporation.*

J. E. Lilienfeld desenvolveu e patenteou em 1930, os transistores de Efeito de Campo Metal-Óxido-Semicondutor (MOSFETs[4]). Contudo, como não existia tecnologia suficiente e apropriada para fabricá-los nessa época (problemas com a fabricação de óxido fino de porta), sua aplicação só foi possível na década de 60, através da implementação dos MOSFETs com canal do tipo n (nMOSFETs) (KAHNG; ATALLA, 1960). Foi somente na metade de 1960 que a tecnologia Metal-Óxido-Semicondutor-Complementar (CMOS) foi introduzida, iniciando a revolução na indústria de semicondutores e conquistando rapidamente o mercado digital. Duas características dos MOSFETs contribuíram para o aumento de sua aplicação no mercado: os CIs CMOS digitais dissipam potência somente durante o chaveamento, e suas dimensões podem ser facilmente reduzidas (SEDRA; SMITH, 2014).

A aplicação da tecnologia CMOS nos projetos de CIs analógicos se manteve limitada devido a velocidade de processamento baixa e aos ruídos intrínsecos gerados em baixas frequências. Esse problema de ruídos intrínsecos elevados foi superado com a redução de tamanho dos MOSFETs e, consequentemente, o aumento de velocidade dos dispositivos. Com isso, tornou-se possível integrar num mesmo CI CMOS partes analógicas e digitais com dispositivos extremamente pequenos, operando em alta frequência e com baixo consumo de potência. (SEDRA; SMITH, 2014; WU et al., 2015; MARTINS; LOURENÇO; HORTA, 2015).

A otimização de CIs analógicos é uma tarefa desafiadora, complexa e apresenta um extenso processo de desenvolvimento. Isso ocorre porque há muitas variáveis de entrada: tensão e corrente, dimensões dos dispositivos, parâmetros tecnológicos dos MOSFETs e muitas variáveis de saída, tais como ganho de tensão, frequência de ganho de tensão unitário, tensão de saída, potência de corrente contínua (DC[5]) dissipada, etc. (GUMMALLA et al, 2010; MEISSNER; HEDRICH, 2015).

Considerando-se um desenvolvimento manual de projeto de CIs CMOS analógicos, normalmente os projetistas iniciam o projeto utilizando-se de equações de primeira ordem a fim de determinar uma primeira proposta de solução. Em seguida, os projetistas usam essa solução para realizar simulações no SPICE (SPICE OPUS, 2019), a fim de verificar se as variáveis de saída (especificações desejadas) são alcançadas. Caso elas não sejam atendidas, o projetista deve utilizar as equações analíticas como referência, onde ele pode alterar as dimensões dos MOSFETs, ou alterar as condições de polarização, geralmente uma de cada vez, visando alcançar as especificações desejadas. Normalmente, esse processo não se resolve facilmente, e

---

[4] *Metal-Oxide-Semiconductor field effect transistors.*
[5] *Direct Current*.

portanto, faz-se necessário repeti-lo diversas vezes até atingir as especificações de saída desejadas. Esse processo manual é trabalhoso e geralmente requer um tempo de ciclo de projeto longo (da ordem de dias, semanas ou meses, dependendo da complexidade do CI CMOS) (PÓVOA et al, 2016; SILVEIRA et al, 1996).

Com o intuito de superar esses desafios, foi utilizado uma abordagem para reduzir o tempo de ciclo de projeto dos CIs CMOS analógicos com o uso de Algoritmos Evolucionários e as funções de agregação (aptidão) da área de inteligência artificial (PÓVOA et al, 2016). Há três diferentes abordagens para os Algoritmos Evolucionários (COELLO; LAMONT; VELDHUIZEN, 2007):

a) *a priori:* as especificações são definidas antes de se iniciar o processo de otimização;

b) *a posteriori:* um grupo de soluções potenciais são obtidas com compromissos distintos entre as especificações de projeto. Os projetistas selecionam a solução de interesse após o processo de otimização. Normalmente, são incorporados métodos de Pareto (COELLO; LAMONT; VELDHUIZEN, 2007) nesse processo;

c) *progressive:* os projetistas interagem com a ferramenta computacional que utiliza algoritmos evolucionários para encontrar as melhores especificações desejadas (COELLO; LAMONT; VELDHUIZEN, 2007).

A abordagem progressiva de evolução (*progressive*) utiliza Computação Evolucionária Interativa (IEC[6]), onde os projetistas podem pausar o processo evolutivo a qualquer momento, analisar as possíveis soluções obtidas até aquele momento e redirecionar o processo evolutivo baseado em seu conhecimento prévio. Isso pode ser feito alterando as dimensões dos MOSFETs, as condições de polarização e os parâmetros do algoritmo evolucionário (peso das funções de aptidão, tamanho da população etc.) (MORETO; THOMAZ; GIMENEZ, 2018).

O iMTGSPICE (MORETO et al, 2018a; MORETO et al, 2018; MORETO, 2018), utilizado para otimização dos CIs CMOS analógicos, é uma evolução do MTGSPICE (MORETO et al, 2017; MORETO, 2016) que foi, também, uma evolução do AGSPICE (MORETO et al., 2015; MORETO; GIMENEZ; THOMAZ, 2013; MORETO; THOMAZ; GIMENEZ, 2012). O sistema iMTGSPICE possibilita a abordagem progressiva de evolução ou interativa e, consequentemente, todas as vantagens mencionadas anteriormente. A otimização feita por esse sistema que é baseado nos algoritmos evolucionários da área de inteligência

[6] *International Electrotechnical Commission*.

artificial, tais como Algoritmo Genético (GA[7]) (COELLO; LAMONT; VELDHUIZEN, 2007), Arrefecimento Simulado (SA[8]) (PRESS et al., 2007), Algoritmo Competitivo Imperialista (ICA[9]) (ATASHPAZ-GARGARI; LUCAS, 2007; ROCHE et al., 2012) e Algoritmo do Pulo Embaralhado do Sapo (SFLA[10]) (ELBELTAGI; HEGAZY; GRIERSON, 2007).

O sistema iMTGSPICE é flexível, ou seja, pode otimizar diversas arquiteturas de um CI CMOS analógico utilizando o respectivo circuito elétrico, sendo um arquivo padrão do SPICE Opus, denominado de *Netlist* (SPICE OPUS, 2019). Além disso, durante o processo de otimização, análises de Corner e Monte Carlo são realizadas para cada solução potencial a fim de garantir a robustez quanto às variações do processo de fabricação dos CIs CMOS e às variações das condições ambientais (TUMA, 2009). Por todos esses motivos, a ferramenta computacional se mostrou eficiente nos resultados de projetos de CIs CMOS analógicos (MORETO et al, 2018a; MORETO et al, 2018; MORETO, 2018). Além disso, é mais uma alternativa para as poucas empresas com ferramentas profissionais de Projeto Assistido por Computador (CAD[11]) para CIs CMOS analógicos disponíveis no mercado, como a WiCkeD da *MunEDA* (2019) ou a Solido da *Mentor Graphics* (2019).

Os CIs CMOS analógicos utilizados na indústria de eletrônicos, entre outros requisitos, destacam-se por apresentar um alto ganho de tensão em malha aberta em baixas frequências (A_{V0}), uma alta frequência de ganho de tensão unitário (f_T) e uma certa robustez em relação às variações do processo de fabricação de CI CMOS e às variações das condições ambientais. Para potencializar esses três requisitos, algumas estratégias são recomendadas, como, por exemplo, a adequação da tecnologia Silício-Sobre-Isolante (SOI[12]) CMOS para CIs de alta frequência (COLINGE, 2004). Outra possibilidade, é a abordagem de leiaute inovador para MOSFET, usando geometria de porta em formato de anel quadrado ou circular, que podem reduzir os componentes parasitas (capacitâncias porta-dreno e porta-fonte) (GIMENEZ et al., 2014a). Utilizar estilos de leiaute inovadores para MOSFETs, é uma abordagem alternativa e praticamente ainda não usada pelas empresas de CIs CMOS. Esses leiautes são capazes de aumentar o desempenho elétrico e a robustez dos dispositivos quanto às variações do processo de fabricação de CIs CMOS e às variações das condições ambientais (GIMENEZ, 2016; SEIXAS et al., 2019; SEIXAS et al., 2017; PERUZZI et al., 2017). O estilo de leiaute do tipo

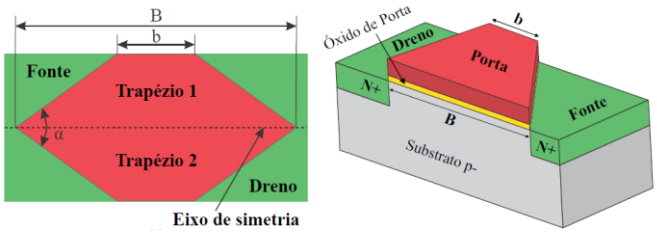
---

[7] *Genetic algorithm.*
[8] *Simulated annealing.*
[9] *Imperialist competitive algorithm.*
[10] *Shuffled Frog Leaping Algorithm.*
[11] *Computer aided design.*
[12] *Silicon-On-Insulator.*

Diamante (formato de porta hexagonal) para MOSFET é outro exemplo dessa nova abordagem (GIMENEZ, 2016; SEIXAS et al., 2019; SEIXAS et al., 2017; PERUZZI et al., 2017; GIMENEZ et al., 2015; GIMENEZ et al., 2015a; GIMENES; ALATI, 2015; GIMENEZ et al., 2014; GIMENEZ et al., 2014a; GIMENEZ et al., 2014b). Essa abordagem é capaz de adicionar três novos efeitos na estrutura do MOSFET, que são responsáveis por melhorar seu desempenho elétrico: o Efeito de Canto Longitudinal (LCE[13]), o Efeito da Associação Paralela de MOSFETs com Diferentes Comprimentos de Canal (PAMDLE [14]) (GABRIEL; GIMENEZ, 2014; GIMENEZ et al., 2014) e o Efeito da Desativação dos MOSFETs Parasitários das Regiões de Bico de Pássaro (DEPAMBBRE[15]). O LCE é capaz de aumentar o campo elétrico longitudinal resultante ao longo do comprimento do canal dos MOSFETs e, consequentemente, é capaz de aumentar a corrente de dreno (I_{DS}) e a transcondutância (g_m) em relação aos MOSFETs convencionais equivalentes (geometria de porta retangular). Já, o efeito PAMDLE tende a reduzir o comprimento de canal efetivo em relação ao comprimento de canal geométrico médio, pois a corrente de dreno flui com mais intensidade nas extremidades, onde o MOSFET do tipo Diamante possui os menores comprimentos de canal (GABRIEL; GIMENEZ, 2014). O último efeito adicionado é chamado de DEPAMBBRE. Ele tem a capacidade de melhorar o desempenho elétrico numa ampla faixa de altas temperaturas, e em ambientes com radiações ionizantes (prótons, raios X e Co^{60}) em comparação aos MOSFETs com geometria de porta retangular convencionais (CM[16]), considerando-se que eles apresentam a mesma área de porta, largura de canal e condições de polarização (GIMENEZ, 2016).

A Figura 2 ilustra a vista superior de um nMOSFET de porta hexagonal (Diamante) e vista do Corte A – A aplicado na seção transversal. Observa-se que o DM é um dispositivo simétrico (GABRIEL; GIMENEZ, 2014).

Figura 2 – Vista superior de um nMOSFET de porta hexagonal (Diamante) e vista do Corte A – A aplicado na seção transversal.



Fonte: Autor.

[13] *Longitudinal Corner Effect.*
[14] *Parallel Connections of MOSFETs with different channel Lengths Effect.*
[15] *Deactivation of Parasitic MOSFETs in Birds' Beak Regions Effect*.
[16] *Conventional MOSFET.*

Onde *b* e *B* representam, respectivamente, o menor e o maior comprimento de canal, *W* é a largura do canal, α é o ângulo entre as junções metalúrgicas das regiões dreno/canal e canal/fonte localizados nas extremidades.

Assim, há duas motivações desse projeto de pesquisa. A primeira motivação está baseada nas geometrias de porta de MOSFETs não convencionais (hexagonal, elipsoidal e octogonal), elas são reconhecidas por seu ótimo desempenho elétrico desde 2008 (GIMENEZ, 2016), mas nunca haviam sido implementadas em um CI CMOS analógico. Por essa razão, foi desenvolvida uma primeira metodologia para projetar e otimizar CIs CMOS analógicos robustos com os MOSFETs do tipo Diamante (DM[17]) de forma automática, por meio da incorporação das modelagens matemática dos efeitos LCE e PAMDLE na ferramenta computacional iMTGSPICE. Para validar essa primeira metodologia, são realizados dois projetos: um projeto de um Amplificador Operacional de Transcondutância (OTA[18]) de um único estágio e uma única saída (SESS[19]), ou seja, um OTA SESS, e outro projeto com OTA Miller. A segunda motivação está baseada em desenvolver uma alternativa para a forma tradicional de conectar OTAs previamente otimizados eletricamente em cascata. Por essa razão, foi desenvolvida uma segunda metodologia para projetar e otimizar OTAs conectados eletricamente em cascata ao mesmo tempo, utilizando-se o iMTGSPICE, e sem utilizar OTAs previamente otimizados. Para validar essa segunda metodologia, foi realizado um estudo comparativo entre dois OTAs CMOS Miller conectados eletricamente em cascata previamente otimizados (metodologia tradicional) com dois OTAs CMOS Miller conectados eletricamente em cascata projetados e otimizados de uma única vez utilizando-se o iMTGSPICE (metodologia proposta por esse projeto de pesquisa).

Os objetivos deste projeto de pesquisa são divididos em duas partes e são baseados nas duas metodologias propostas. A primeira parte dos objetivos é baseada na primeira metodologia desenvolvida para projetar e otimizar CIs CMOS analógicos robustos implementados com DMs de forma automática. Essa primeira parte dos objetivos pode ser dividida em 5 etapas: 1) otimizar um CI CMOS analógico implementado com CMs e assegurar a robustez pelo Corner e Monte Carlo automaticamente no iMTGSPICE; 2) desenvolver um procedimento para converter MOSFETs Convencionais (CMs) em MOSFETs do tipo Diamantes (DMs) mantendo o desempenho elétrico e robustez similares; 3) desenvolver um procedimento para simular o

[17] *Diamond MOSFET.*
[18] *Operational Transconductance Amplifier.*
[19] *Single-Ended, Single Stage.*

DM no SPICE; 4) implementar os leiautes de alguns OTAs utilizando-se a tecnologia de fabricação de CIs CMOS de 180 nm da Empresa de manufatura de semicondutores de Taiwan (TSMC); 5) caracterização elétrica experimental do OTA SESS implementado com CMs utilizando-se a tecnologia de fabricação de CIs CMOS de 65 nm da TSMC. Por outro lado, o segundo objetivo é baseado na segunda metodologia de projetar e otimizar OTAs conectados eletricamente em cascata ao mesmo tempo, utilizando-se o iMTGSPICE. Esse segundo objetivo pode ser dividido em 3 etapas: a) otimizar um CI CMOS analógico implementado com CMs e assegurar a robustez pelo Corner e Monte Carlo automaticamente no iMTGSPICE; b) explorar a conexão em cascata de um amplificador implementado com 2 OTAs CMOS Miller robustos previamente otimizados e conectados eletricamente; c) reprojetar e otimizar esse amplificador usando uma ferramenta computacional de projeto e otimização de CIs CMOS analógicos (iMTGSPICE).

A primeira metodologia inicia-se pela execução do iMTGSPICE a fim de otimizar os OTAs implementados com CMs e com robustez quanto às variações do processo de fabricação de CI CMOS e às variações das condições ambientais. A partir desta execução obtém-se as características dimensionais dos CMs. Depois, os MOSFETs convencionais desses OTAs são convertidos em MOSFETs do tipo Diamante (geometria hexagonal de porta). Posteriormente, simulações SPICE são realizadas com DMs representados no simulador por conexões paralelas de CMs. O simulador SPICE pode considerar o efeito LCE aumentando a largura do canal do CM obtido pelo iMTGSPICE. Com relação ao efeito PAMDLE, ele pode ser considerado no simulador como uma conexão paralela de CMs com diferentes comprimentos de canal e mesma largura de canal (idealmente infinitos MOSFETs). Após a validação dos resultados obtidos por simulações SPICE da metodologia proposta, são realizadas as implementações dos leiautes e caracterização elétrica experimental de alguns OTAs SESS. Como os leiautes dos OTAs foram realizados num período anterior a caracterização elétrica experimental, eles foram projetados com a tecnologia de fabricação de CIs CMOS de 180 nm da TSMC. Por outro lado, a caracterização elétrica experimental foi realizada com a tecnologia de fabricação de CIs CMOS de 65 nm da TSMC.

A segunda metodologia inicia-se pela otimização de um OTA utilizando-se estilos de leiautes convencionais e o iMTGSPICE. A partir desta execução obtém-se as características dimensionais dos CMs. Depois, esses dois OTAs previamente otimizados são conectados eletricamente em cascata, cujas tensões de entrada e saída foram projetadas e otimizadas para trabalhar com metade de sua tensão de alimentação ($V_{DD}/2$). Em seguida, esse mesmo OTA em cascata é reprojetado e otimizado utilizando a ferramenta de otimização computacional

iMTGSPICE, a fim de verificar se o amplificador reprojetado e otimizado apresenta um desempenho elétrico superior ao primeiro amplificador que foi implementado em cascata.

Este projeto de pesquisa está organizado da seguinte forma: no Capítulo 2 são apresentados os conceitos fundamentais utilizados neste projeto de pesquisa. Entre eles, estão a topologia e especificações dos OTAs, parâmetros de configuração da estrutura de otimização e análises de robustez. O Capítulo 2 ainda descreve o GA interativo do iMTGSPICE, as técnicas utilizadas para otimização do OTA SESS, do OTA Miller, dos amplificadores cascateados e concomitantemente a redução do tempo de otimização. Por fim, o Capítulo 2 apresenta o estilo de leiaute do tipo Diamante para MOSFETs e suas vantagens, os conceitos fundamentais para o cascateamento de OTAs e para a caracterização elétrica experimental. O Capítulo 3 descreve a primeira metodologia e os experimentos realizados, iniciando pela otimização dos OTAs, seguindo pelo descritivo detalhado do procedimento utilizado para transformar os CMs em DMs. Esse Capítulo ainda apresenta um procedimento para simular MOSFETs do tipo Diamante no SPICE a fim de verificar se a conversão dos CMs para DMs foi realizada com sucesso. Além disso, são apresentados os leiautes dos OTAs SESS implementados com DMs que podem ser utilizados para a fabricação dos CIs CMOS analógicos desenvolvidos nesse projeto de pesquisa. A caracterização elétrica experimental do OTA SESS também foi apresentada nesse Capítulo. Em seguida, no Capítulo 4, apresenta-se a segunda metodologia proposta nesse projeto de pesquisa. Apresenta também as vantagens de projetar e otimizar, de forma robusta em uma única vez, dois OTAs Miller conectados eletricamente em cascata, com o uso do iMTGSPICE em relação àquele observado utilizando-se a metodologia típica de se utilizar a implementação elétrica em cascata de dois OTAs Miller previamente projetados e otimizados. Finalmente, no Capítulo 5 são apresentadas as principais conclusões obtidas, os trabalhos futuros e os artigos publicados pelo autor relacionados a esse projeto de pesquisa.

2 CONCEITOS FUNDAMENTAIS

Este Capítulo descreve os principais conceitos fundamentais necessários para o bom entendimento deste projeto de pesquisa. Inicia-se pela topologia e especificações dos OTAs utilizados. Posteriormente, será descrito o funcionamento do processo de evolução que foi implementado no iMTGSPICE. Essa ferramenta utiliza algoritmos evolucionários para fazer o processo de otimização de CIs CMOS analógicos. Em seguida, apresentam-se as principais figuras de mérito que definem o desempenho elétrico dos OTAs utilizados neste projeto de pesquisa, como, por exemplo, o diagrama de Bode, margem de fase e o *slew rate*. Na sequência, é descrito o leiaute do tipo Diamante e suas principais características elétricas. Por fim, os métodos utilizados para a caracterização elétrica experimental e para o estudo de amplificadores em cascata são apresentados no final desse Capítulo.

2.1 TOPOLOGIA E ESPECIFICAÇÕES DAS FIGURAS DE MÉRITO DO OTA

Esse Capítulo tem por objetivo apresentar a topologia e as principais figuras de mérito dos OTAs utilizados neste projeto de pesquisa, os parâmetros de configuração do processo de otimização utilizados pelo iMTGSPICE relacionados as análises de robustez, às variações do processo de fabricação de CI CMOS e às variações das condições ambientais.

2.1.1 Circuitos integrados CMOS analógicos

Desde a primeira aplicação da tecnologia CMOS na década de 60, a possibilidade de redução das dimensões dos MOSFETs se tornou possível numa escala jamais vista anteriormente. Ela também possibilita uma melhora da velocidade de processamento (resposta em frequência) e uma precisão que seria impossível de ser alcançada com dispositivos discretos (SEDRA; SMITH, 2014). Há diferentes tipos de tecnologias de fabricação de CIs, mas independente da tecnologia aplicada, um fluxo básico de projeto de CI usualmente segue as seguintes etapas (BARROS; GUILHERME; HORTA, 2010):

a) departamento de *marketing* define produto;
b) departamento de produto define a arquitetura do CI;
c) engenharia de produto define, simula e verifica os blocos básicos individuais que formam o CI;
d) engenharia de produção fabrica o primeiro protótipo;
e) engenharia de testes testa o protótipo e realiza correções quando necessário;
f) o CI vai para a produção em massa e para o mercado assim que os erros forem solucionados.

Na década de 70, teve início a produção de CIs digitais e analógicos com milhares de dispositivos, definida como produção em transistores em larga escala. Dois termos foram muito utilizados na época: Integração em Larga Escala (LSI[20]) e VLSI. Isso somente foi possível pelo uso da tecnologia CMOS que, além de apresentar uma baixa potência dissipada, também possui dimensões reduzidas que facilitam a compactação dos equipamentos eletrônicos (SEDRA; SMITH, 2014).

2.1.2 Amplificadores operacionais

Em CIs CMOS analógicos, os AMP OPs se caracterizam por obter valores altos de ganho de tensão em malha aberta, resposta em frequência e impedância de entrada. Por outro lado, os AMP OPs normalmente apresentam valores baixos de impedância de saída. O amplificador operacional é um bloco básico que geralmente está inserido dentro de um CI CMOS analógico. Tais como conversores digitais-analógicos, amplificadores e comparadores (ZEBULUM; PACHECO; VELLASCO, 2002; SEDRA; SMITH, 2014).

Os AMP OPs normalmente apresentam alta impedância de entrada e baixa impedância de saída (ZEBULUM; PACHECO; VELLASCO, 2002; SEDRA; SMITH, 2014).

O amplificador operacional de transcondutância (OTA) recebe esse nome por ser utilizado como fonte de corrente controlada por tensão. Com isso, os OTAs normalmente apresentam alta impedância de saída (RAZAVI, 2001).

Os amplificadores operacionais normalmente utilizam realimentação em malha fechada a fim de garantir a estabilidade do circuito e controlar o ganho de tensão (ZEBULUM; PACHECO; VELLASCO, 2002; RAZAVI, 2001; SEDRA; SMITH, 2000).

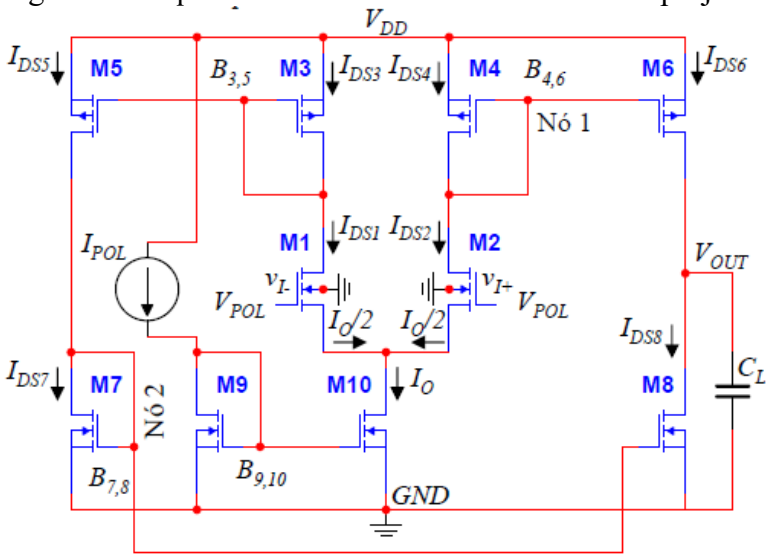
2.1.3 OTA de único estágio e única saída (OTA SESS)

O OTA SESS foi escolhido para esse projeto de pesquisa por ser um bloco básico analógico extensamente usado em CIs CMOS analógicos. (KRUMMENACHER, 1981). O OTA SESS (Figura 3) é composto por dez MOSFETs [6 nMOSFETs (M1, M2, M7, M8, M9 e M10) e 4 MOSFETs com canal do tipo p (pMOSFETs: M3, M4, M5 e M6)]. A característica principal desses dispositivos é amplificar a diferença de sinal do par diferencial de entrada (M1 e M2) até a C_L (MORETO, 2011).

---

[20] *Large Scale Integration.*

Figura 3 - Arquitetura do OTA SESS utilizado neste projeto de pesquisa.



Fonte: (MORETO et. al., 2012).

Onde I_{POL} é a corrente de polarização do circuito, I_O é a corrente de saída do espelho de corrente de polarização, *GND* é o terminal de terra (potencial de referência de 0 V), v_{I+} e v_{I-} são as entradas das tensões diferenciais. Onde v_{I+} representa o terminal da entrada de tensão não inversora e v_{I-} o terminal da entrada de tensão inversora, V_{POL} é a tensão de polarização que deve ser aplicada às entradas diferenciais, I_{DS1} e I_{DS2} são as correntes entre dreno e fonte do par diferencial, I_{DS3} e I_{DS4} são as correntes entre dreno e fonte das cargas ativas do par diferencial, I_{DS5}, I_{DS6}, I_{DS7} e I_{DS8} são, respectivamente, as correntes entre dreno e fonte dos transistores do estágio de saída M5, M6, M7 e M8.

Devido à aplicação de um sinal diferencial nas entradas v_{I+} e v_{I-} do estágio amplificador diferencial, formados pelos transistores M1 e M2, as correntes diferenciais entre dreno e fonte desses transistores são espelhadas através de três espelhos de corrente, formados pelos transistores M3-M5, M4-M6 e M7-M8, para o nó de saída, localizado entre os transistores M6 e M8. Considerando-se que a saída está ligada a uma C_L, o espelho de corrente implementado através dos transistores M9 e M10, é responsável pelo fornecimento da I_{POL} do estágio amplificador diferencial (MORETO et al., 2012; EGGERMONT et al., 1996).

O OTA SESS possui pares casados de transistores (M1-M2, M3-M4, M5-M6 e M7-M8). O par de transistores M9 e M10 pode ou não ser casado, ou seja, as dimensões *W* e *L* desses transistores podem assumir diferentes valores, desde que trabalhem na região de saturação (MORETO et al., 2012; EGGERMONT et al., 1996).

2.1.3.1 Princípios de funcionamento dos OTAs SESS

As equações básicas usadas nesse projeto de pesquisa são baseadas na metodologia do projeto de CIs CMOS analógicos definida pela relação g_m/I_{DS} em função de $I_{DS}/(W/L)$ (SILVEIRA; FLANDRE; JESPERS, 1996). O g_m/I_{DS} apresenta uma característica universal para todos os transistores pertencentes ao mesmo processo de fabricação que pode ser gerado a partir de dados experimentais e ajustados com um modelo analítico simples (SILVEIRA; FLANDRE; JESPERS, 1996). As principais figuras de mérito do OTA são: A_{V0}, f_T e os fatores de ganho de corrente $B_{3,5}$, $B_{4,6}$, $B_{7,8}$ e $B_{9,10}$ provenientes dos espelhos de corrente formados pelos MOSFETs M3-M5, M4-M6, M7-M8 e M9-M10, respectivamente.

O fator de ganho de corrente ($B_{4,6}$), referente aos transistores M6 e M4, é dado pela Equação (1) (MORETO et al., 2012; SEDRA; SMITH, 2014; EGGERMONT et al., 1996).

$$B_{4,6} = \frac{I_{DS6}}{I_{DS4}} = \frac{(W/L)_6}{(W/L)_4} \tag{1}$$

Onde $(W/L)_4$ e $(W/L)_6$ são as razões de aspecto dos MOSFETs M4 e M6, respectivamente. Já o fator de ganho de corrente $B_{9,10}$ é dado pela Equação (2).

$$B_{9,10} = \frac{I_O}{I_{POL}} = \frac{(W/L)_{10}}{(W/L)_9} \tag{2}$$

Onde $(W/L)_{10}$ e $(W/L)_9$ são, respectivamente, as razões de aspecto dOs transistores M10 e M9 (MORETO et al., 2012; SEDRA; SMITH, 2014; EGGERMONT et al., 1996). O A_{V0} é dado pela Equação (3) (MORETO, 2011; GIMENEZ, 2004; EGGERMONT et al., 1996).

$$A_{V0} = \frac{v_{out}}{v_{id}} = B_{4,6}.\left(\frac{g_m}{I_{DS}}\right)_{1,2}.\left(\frac{V_{EA6}.V_{EA8}}{V_{EA6}+V_{EA8}}\right) \tag{3}$$

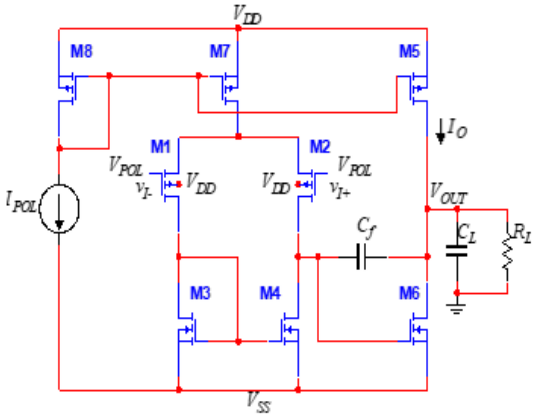
Onde v_{out} é a tensão de saída, v_{id} é a tensão de entrada, $(g_m/I_{DS})_{1,2}$ é a razão entre a transcondutância e a corrente elétrica entre dreno e fonte individual dos MOSFETs que foram o par diferencial (M1 e M2), V_{EA6} e V_{EA8} são, respectivamente, as tensões *Early* dos MOSFETs do estágio de saída, formados pelos MOSFETs M6 e M8. A f_T do OTA SESS é obtida na Equação (4) (MORETO, 2011; GIMENEZ, 2004; EGGERMONT et al., 1996).

$$f_T = A_{V0}.f_{3dB} = B_{4,6}.\left(\frac{g_m}{I_{DS}}\right)_{1,2}\left(\frac{I_{DS1,2}}{2.\pi.C_L}\right) \tag{4}$$

2.1.4 OTA CMOS Miller

A Figura 4 ilustra a topologia do OTA CMOS Miller também utilizado neste projeto de pesquisa. O OTA Miller é um bloco básico amplamente aplicado em CIs CMOS analógicos (ZEBULUM; PACHECO; VELLASCO, 2002).

Figura 4 – Esquema elétrico do OTA CMOS Miller utilizado neste projeto de pesquisa.



Fonte: (ZEBULUM; PACHECO; VELLASCO, 2002).

Onde C_f é a capacitância de compensação. Ele está conectado entre o primeiro e o segundo estágio e sua função está relacionada à estabilidade da resposta em frequência. O primeiro estágio consiste em dois pMOSFETs casados, chamados M1 e M2, que compõem o par diferencial de entrada. Os nMOSFETs casados, chamados M3-M4, funcionam como cargas ativas para uma corrente elétrica em espelho. O estágio de saída (segundo estágio) consiste em um pMOSFET (M5) e um nMOSFET (M6). Os pMOSFETs chamados M5, M7 e M8 operam como espelhos de correntes responsáveis por polarizar o primeiro e o segundo estágios (ZEBULUM; PACHECO; VELLASCO, 2002).

2.1.5 Resposta em frequência dos OTAs

Nesse Capítulo serão apresentadas as principais figuras de mérito que definem o desempenho elétrico dos OTAs utilizados neste projeto de pesquisa, ou seja, o diagrama de Bode, margem de fase e o *slew rate*.

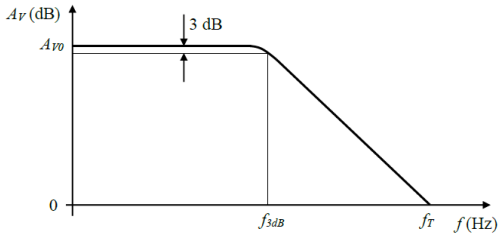
2.1.5.1 Diagrama de Bode: ganho de tensão e ângulo de fase em função da frequência

O diagrama de Bode contém dois gráficos que descrevem, de uma maneira simples e padronizada, o desempenho elétrico (curva de ganho de tensão) e a estabilidade (curva de fase) de um CI CMOS analógico (SEDRA; SMITH, 2014).

2.1.5.1.1 Diagrama de Bode: ganho de tensão em função da frequência

O Diagrama de Bode é usado em circuitos elétricos analógicos, filtros e sistemas de controle. Ele permite obter informações importantes para o entendimento das características dos sistemas eletrônicos estudados. A Figura 5 ilustra um exemplo de gráfico do ganho de tensão em função da frequência do sinal aplicado às entradas diferenciais do OTA, em escala logarítmica (SEDRA; SMITH, 2014; GRAY, 2001).

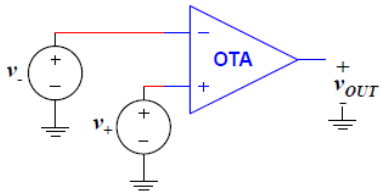
Figura 5 – Exemplo de uma curva do ganho de tensão em malha aberta em função da frequência do sinal de entrada diferencial de um OTA.



Fonte: Autor.

Onde f_{3dB} é a frequência na qual a potência na saída de um sistema é reduzida à metade da potência máxima da faixa de passagem. Essa redução corresponde a uma atenuação de -3dB no ganho de tensão. Por essa razão, a frequência de corte também é conhecida como frequência de -3dB (SEDRA; SMITH, 2014). A f_T é obtida quando a curva do ganho de tensão em malha aberta em função da frequência encontra o eixo das frequências (ganho de tensão unitário ou igual a 0 dB). A Figura 6 ilustra o circuito elétrico simplificado geralmente utilizado para a obtenção do A_{V0}, que pode ser definido pela Equação (5) (SEDRA; SMITH, 2014).

Figura 6 – Circuito elétrico de um OTA simplificado usado para obter o A_{V0}.



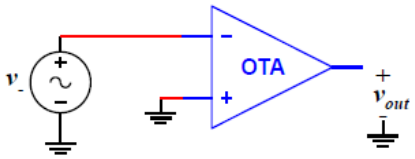
Fonte: (SEDRA; SMITH, 2014).

$$A_{V0} = \frac{v_{OUT}}{(v_+ - v_-)} \tag{5}$$

Onde v_- e v_+ são, respectivamente, os sinais de tensão aplicados nos terminais inversor e não inversor de entrada, v_{out} é o correspondente sinal na saída do OTA. A Figura 7 ilustra o circuito elétrico para obter A_{V0}, quando a entrada inversora do OTA é alimentada por uma fonte

de tensão e a entrada não inversora é aterrada, com isso, o cálculo do A_{V0} passa a ser dado pela Equação (6).

Figura 7 – Circuito elétrico do OTA SESS simplificado para obtenção do A_{V0}.



Fonte: Autor.

$$A_{V0} = -\frac{v_{OUT}}{v_{-}} \tag{6}$$

O módulo do ganho de tensão diferencial do OTA em malha aberta $|A_{V0}|$ pode ser calculado pelas Equações (7), (8) e (9), respectivamente. Para expressar o resultado em decibéis, utiliza-se a Equação (10) (SEDRA; SMITH, 2014).

$$|A_{V0}| = \frac{V_{MMO}}{V_{MMI}}, \text{sendo:} \tag{7}$$

$$V_{MMO} = 2.V_{MO} \tag{8}$$

$$V_{MMI} = 2.V_{MI} \tag{9}$$

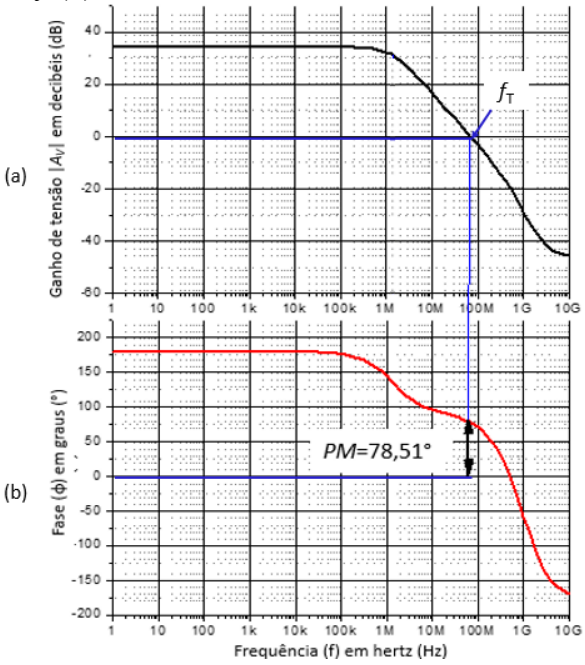
$$A_v(dB) = 20\log|A_v| \tag{10}$$

Onde V_{MMO} é a tensão pico-a-pico do sinal de saída, V_{MO} é a amplitude ou tensão de pico de uma forma de onda senoidal no terminal de saída de um OTA, V_{MI} é a amplitude ou tensão de pico de uma forma de onda senoidal no terminal de entrada de um OTA e V_{MMI} é a tensão de pico a pico do sinal de entrada.

2.1.5.1.2 Margem de fase (MF)

As análises do ganho de tensão e da fase em função da frequência auxiliam o projetista a determinar se um amplificador apresenta estabilidade ou instabilidade. De uma maneira simples e eficaz, o diagrama de Bode pode ser utilizado para verificar a estabilidade de um OTA (RAZAVI, 2001; SEDRA; SMITH, 2014). A Figura 8 é um exemplo da representação gráfica das curvas do módulo do ganho de tensão ($|A_V|$) e da fase (ϕ) em função da frequência (f). Essas duas curvas podem ser utilizadas para medir a margem de fase e avaliar a estabilidade do OTA.

Figura 8 – Exemplo de diagrama de Bode com as curvas de A_V em função da f (a) e ϕ em função da f (b).



Fonte: Autor.

A *MF* é calculada através da diferença entre 180º e a defasagem do ângulo de fase para uma frequência f igual a f_T, conforme mostra a Figura 8b do gráfico de fase em função da f ilustrado diagrama de Bode, o OTA é classificado como estável quando a diferença de fase é menor do que 180º (Figura 8a). Por outro lado, se na frequência dada por f_T, a diferença de fase exceder 180°, a *MF* resulta negativa e o amplificador apresenta instabilidade, ou seja, ele satura, ou para $+V_{DD}$ ou para terra (SEDRA; SMITH, 2014).

2.1.5.2 Slew rate (SR)

O *SR* é a máxima taxa de variação da tensão de saída do amplificador em função do tempo. O *SR* fornece um parâmetro que especifica a taxa máxima de variação da tensão na saída, quando é aplicado um sinal de grande amplitude. Se for aplicado um sinal de entrada, com uma tensão que apresenta uma maior taxa de variação do sinal em função do tempo, do que o valor do *slew rate*, o sinal de saída não conseguirá acompanhá-lo, resultando num sinal distorcido em sua saída. A Equação (11) é utilizada para o cálculo do *slew rate*. Para simplificar o cálculo, pode-se utilizar as Equações (12) e (13) que consideram respectivamente, a diferença do sinal de saída na rampa de subida e de descida (SEDRA; SMITH, 2014, TUMA; BŰRMEN, 2009).

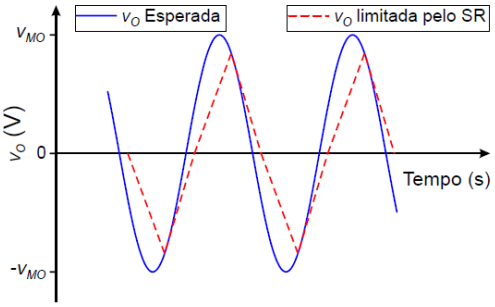
$$SR = \left(\frac{d_{VO}}{dt}\right)_{max.} \tag{11}$$

$$SR_r = \frac{\Delta v_0}{t_r} = \frac{vo_{90} - vo_{10}}{t_{10} - t_{90}} \tag{12}$$

$$SR_f = -\frac{\Delta v_0}{t_f} = \frac{vo_{90} - vo_{10}}{t_{90} - t_{10}} \tag{13}$$

Sendo que v_O representa a tensão de saída do AMP OP, t é o tempo de deslocamento do sinal de saída, Δv_O é a variação da tensão de saída que ocorre em resposta a uma rampa de subida de tensão, ou seja, é a diferença entre os níveis de 90% (vo_{90}) e 10% (vo_{10}) do sinal de saída, SR_r e SR_f são, respectivamente, os *slew-rates* de subida e descida, t_r e t_f são, respectivamente, os tempos de subida e descida do sinal de saída, ou seja, o *SR* é dado em função da diferença entre o tempo correspondente a 90% do sinal de saída (t_{90}) e o tempo correspondente a 10% do sinal de saída (t_{10}). A Figura 9 ilustra uma tensão de saída senoidal esperada (ilustrada pela linha sólida) de um circuito qualquer e pela sua tensão de saída real (ilustrada pela linha tracejada), quando o *SR* é menor do que a variação do sinal de entrada amplificado ao longo do tempo, resultando em um sinal de saída distorcido ou limitado pelo *SR* (MORETO, 2016).

Figura 9 – Exemplo de um sinal de saída desejado e o sinal de saída real limitado pelo *SR*.

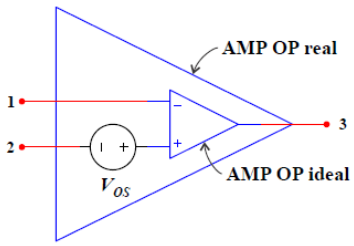


Fonte: (MORETO, 2016).

2.1.5.3 Tensão de offset de entrada

O sinal de saída de um amplificador ideal é nulo quando as entradas estão em curto-circuito. Porém, na realidade isso não ocorre, pois, as correntes de entrada não são iguais. Isso ocorre, principalmente por influência das variações sistemáticas e aleatórias do processo de fabricação. Essa diferença, pode influenciar negativamente a tensão de saída do circuito elétrico. Essa tensão é chamada de tensão *offset* (V_{OS}) (SEDRA; SMITH, 2014). A Figura 10 ilustra a representação elétrica de um OTA com V_{OS}, onde os terminais 1, 2 e 3 são, respectivamente: os terminais da entrada inversora, da entrada não inversora e da tensão de saída (SEDRA; SMITH, 2014).

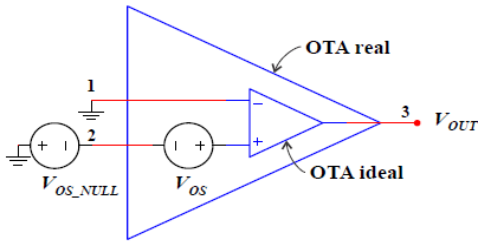
Figura 10 - Representação elétrica de um AMP OP com V_{OS}.



Fonte: (MORETO, 2016).

O procedimento para anular a V_{OS} de um OTA, consiste em ligar uma fonte de tensão no terminal positivo do OTA real (V_{OS_NULL}). O valor de V_{OS_NULL} deve ser o mesmo valor da V_{OS}, só que em polaridade oposta. A Figura 11 ilustra um circuito elétrico usado para anular a tensão de saída devido à tensão de *offset* de entrada de um OTA. Em sua entrada positiva está ligada com uma fonte de DC externa de mesmo valor e polaridade oposta ao V_{OS}, chamada de V_{OS_NULL} presente no terminal 2 (SEDRA; SMITH, 2014).

Figura 11 - Circuito elétrico usado para anular a V_{OS} de entrada.



Fonte: Autor adaptado de Moreto (2016).

2.1.5.4 Amplitude do sinal de saída

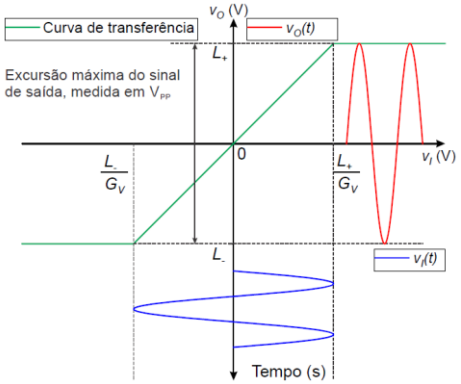
Para que os OTAs desse projeto de pesquisa operem de forma simétrica, a tensão de saída não pode ser maior que o nível de saturação positivo ($L+$), e tampouco ser menor que o nível de saturação negativo (L-). Os níveis de saturação dos OTAs, $L+$ e L-, ficam geralmente abaixo dos níveis de tensão das fontes de alimentação positiva e negativa (SEDRA; SMITH, 2014). Com isso, a fim de evitar distorções na forma de onda da tensão de saída, o sinal de entrada deve operar nas limitações indicadas na Equação (14) (SEDRA; SMITH, 2014).

$$\frac{L_-}{G_V} \leq v_I \leq \frac{L_+}{G_V} \tag{14}$$

Onde G_V é o ganho de tensão em malha fechada do OTA.

A Figura 12 ilustra a característica de transferência do v_O de um OTA, configurado como um seguidor de tensão, que possui uma tensão de entrada senoidal v_I.

Figura 12 - Característica de transferência do sinal de entrada para a saída de um AMP OP configurado como seguidor de tensão.



Fonte: (MORETO, 2016).

2.2 iMTGSPICE

Esse Capítulo apresenta as principais características da ferramenta iMTGSPICE. Ela é uma ferramenta computacional que usa técnicas heurísticas de inteligência artificial, para otimizar CIs CMOS analógicos robustos ao processo de fabricação de CIs CMOS e às variações das condições ambientais. Em seguida, apresentam-se as diversas classificações dos algoritmos evolucionários de múltiplos objetivos, e os algoritmos de otimização utilizados neste projeto de pesquisa. Por fim, são apresentadas as funções de aptidão utilizadas para avaliar a eficiência de cada solução potencial do processo de otimização dos CIs CMOS analógicos.

2.2.1 Classificação dos algoritmos evolucionários usados na otimização de CIs CMOS analógicos

Os algoritmos evolucionários são utilizados na otimização de CIs CMOS analógicos para obtenção de soluções potenciais. As técnicas utilizadas pelos Algoritmos Evolucionários podem ser classificadas como *a priori, progressive e a posteriori*:

a) *a priori:* as especificações e prioridades são definidas pelo projetista antes de se iniciar o processo de otimização. O sistema considera todos os resultados encontrados e compara com os valores esperados. A solução escolhida será a que melhor atende os objetivos em função da prioridade desejada. Após o início da otimização, o processo é automatizado e não há possibilidade de interação com o sistema (COELLO; LAMONT; VELDHUIZEN, 2007);

b) *a posteriori:* o sistema determina o comportamento dos CIs CMOS analógicos em função de diferentes especificações possíveis. Cada solução potencial é avaliada individualmente em função dos objetivos a serem encontrados. Para definir a melhor solução potencial, é realizada uma análise dos resultados a fim de escolher a solução mais adequada. Essa análise geralmente é dada por: objetivo ou critério, dominância de Pareto (COELLO; LAMONT; VELDHUIZEN, 2007) ou pela soma ponderada dos objetivos com pesos diferentes entre gerações do processo evolucionário. Com essa técnica, é possível escolher mais que uma solução no final do processo de otimização, mas não é possível interagir durante o processo de otimização dos CIs CMOS analógicos (COELLO; LAMONT; VELDHUIZEN, 2007);

c) *progressive:* os projetistas interagem com a ferramenta computacional para encontrar as melhores especificações desejadas. As especificações e parâmetros de projeto e dos Algoritmos Evolucionários podem ser alterados durante o processo de otimização dos CIs CMOS analógicos. A abordagem *progressive* pode ser utilizada com as técnicas de geração de soluções *a priori* ou *a posteriori* e, quando realizada por projetistas experientes, normalmente possibilita uma redução expressiva no tempo de projeto (COELLO; LAMONT; VELDHUIZEN, 2007; MORETO; THOMAZ; GIMENEZ, 2018).

Os modos de evolução dos CIs CMOS analógicos através dos Algoritmos Evolucionários podem ser classificados como extrínseco, intrínseco ou misto:

a) extrínseco: a evolução dos CIs CMOS analógicos é realizada através de um *software* de simulação, por exemplo o SPICE. Ou seja, a ferramenta computacional analisa continuamente as soluções potenciais até atingir as especificações desejadas (MILLER et al., 2000);

b) intrínseco: é a evolução dos CIs CMOS analógicos através de *hardware* reconfigurável, que é baseado numa estrutura de portas programáveis em campo (FPAA [21]). Ou seja, o hardware configurável analisa continuamente as soluções potenciais, até atender todas as especificações desejadas (MILLER et al., 2000);

c) misto: a evolução acontece de forma conjunta, ou seja, parte por evolução intrínseca e parte pela extrínseca.

[21] *Field Programmable Analog Arrays.*

O iMTGSPICE utiliza-se de inteligência artificial e inteligência humana para encontrar rapidamente soluções robustas às variações do processo de fabricação de CI CMOS e às variações das condições ambientais. Neste projeto de pesquisa é utilizada a abordagem interativa para a obtenção de soluções (*progressive*), usando o modo de evolução extrínseco para a avaliação das soluções potenciais.

2.2.2 Funções de avaliação de aptidão

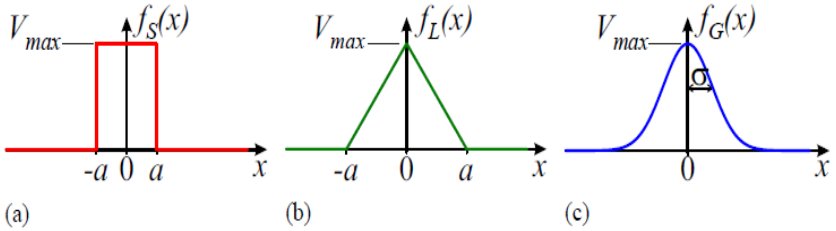
Durante o processo de otimização das soluções potenciais dos projetos de CIs CMOS analógicos faz-se necessário avaliar a eficiência do sistema e possibilitar a seleção das melhores soluções potenciais (BARROS; GUILHERME; HORTA, 2010a, 2010b). Essa avaliação pode ser feita através de um valor numérico obtido pela função de aptidão. Esse valor indica o grau de proximidade do valor de cada figura de mérito obtida pelo processo de otimização dos CIs CMOS analógicos com os valores desejados pelo projetista. Assim, $Eval_{Sol}$ é a média ponderada das funções de aptidão das FoMs de cada solução potencial obtida pelo processo de evolução dos CIs CMOS analógicos. A $Eval_{Sol}$ pode ser obtida por meio da Equação (15) (BARROS; GUILHERME; HORTA, 2010, 2010a).

$$Eval_{Sol} = \sum_{j=1}^{N_{FoM}} Eval(FoM_j) We_i \tag{15}$$

Onde $Eval_{Sol}$ foi normalizado para gerar resultados entre 0 e 100. O valor zero é o menor valor para função de aptidão e o valor 100 é o seu valor máximo, N_{FoM} é o número de figuras de mérito avaliadas, FoMs são as figuras de mérito [(A_{V0}, f_T, *MF,* tensão de saída (V_{OUT}), P_{TOT} e A_G] e o We_i é o peso de cada FoM, em que *i* é um número inteiro que representa o índice de um FoM, sendo que o We_i é normalizado para assumir o valor máximo igual a 1, ou seja, 0 $\leq W_{ei} \leq 1$, onde $\sum_{j=1}^{NFoM} W_{ei} = 1$.

Faz-se necessário definir o perfil da curva para a função de aptidão das FoMs ou variáveis avaliadas durante o processo de evolução. Pode-se utilizar as curvas para função de aptidão do tipo degrau, linear ou Gaussiana. A Figura 13 ilustra esses 3 tipos de perfis diferentes de curvas, considerando a mesma área, que representam os comportamentos das funções de aptidão: degrau (a), linear (triangular) (b) e Gaussiana (c) (MORETO, 2016).

Figura 13 - Representação gráfica do comportamento das funções de aptidão utilizadas nesse projeto de pesquisa: degrau (a), linear (triangular) (b) e Gaussiana (c).



Fonte: (MORETO, 2016).

Onde $f_S(x)$, $f_L(x)$ e $f_G(x)$ descrevem, respectivamente, as curvas para as funções de aptidão dos tipos degrau, linear (triangular) e gaussiana. O desvio relativo (x) é calculado pelo valor da FoM subtraído da especificação desejada e dividido pelo valor desejado dessa FoM, a é o desvio relativo máximo da FoM e V_{max} é o valor máximo da função de aptidão.

A curva que descreve a função de aptidão do tipo degrau $f_S(x)$ é calculada pela Equação (16). O resultado dessa função de aptidão é sempre zero ou V_{max}, ou seja, V_{max} quando a figura de mérito (FoM) resultante do processo de otimização está entre $-a$ e a e zero quando a FoM estiver fora desse intervalo (OLIVEIRA JR. et al., 2007).

$$f_S(x) = \begin{cases} 0, x < -a \\ V_{max}, -a \leq x \leq a \\ 0, x > a \end{cases} \tag{16}$$

As curvas que descrevem as funções de aptidão dos tipos linear [$f_L(x)$] e Gaussiana [$f_G(x)$] são calculadas pelas Equações (17) e (18), respectivamente (OLIVEIRA JR. et al., 2007).

$$f_L(x) = \begin{cases} 0, x < -a \\ -(V_{max}/a)\,|x| + V_{max}, -a \leq x \leq a \\ 0, x > a \end{cases} \tag{17}$$

$$f_G(x) = V_{max} exp\left(-\frac{x^2}{2\sigma^2}\right) \tag{18}$$

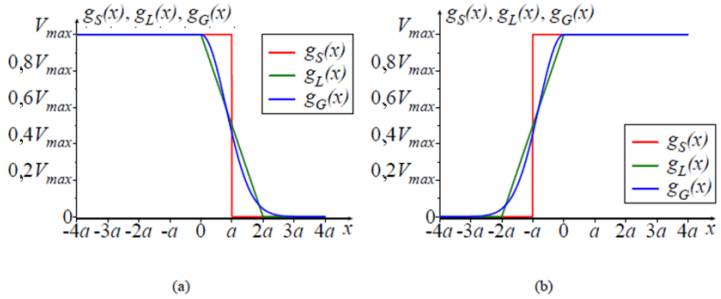
Nesse projeto de pesquisa foi utilizado o perfil Gaussiano, pois ele é capaz de aumentar a efetividade do processo de otimização, visto que as soluções obtidas pelos processos de otimização implementados com funções de aptidão com o perfil Gaussiano, geralmente alcançam valores médios de aptidão superiores, que apresentam maior robustez às variações do processo de fabricação e condições ambientais em relação as soluções obtidas pelas funções de aptidão com os formatos degrau e linear (MORETO, 2016).

2.2.3 Funções de aptidão de limite superior, inferior e de valor central

Há três categorias principais para as funções de aptidão a fim de quantificar as diferentes especificações de projeto de um CI CMOS analógico: valor central, valor limite superior e valor limite inferior, onde as funções dos tipos linear, degrau e gaussiana podem ser aplicadas (JAFARI et al., 2012; SEVERO; LONGARETTI; GIRARDI, 2012; BARROS; GUILHERME; HORTA, 2010, 2010a; KOH; SÉQUIN; GRAY, 1990). Elas podem ser utilizadas com o intuito de melhorar o desempenho elétrico dos CIs CMOS analógicos. Por exemplo, pode-se maximizar as figuras de mérito (f_T e A_{V0}) através da função de aptidão de limite inferior, ou minimizar as figuras de mérito (A_G e P_{TOT}) através da função de aptidão de limite superior, ou mesmo, de valor central como é o caso da *MF*.

A Figura 14 ilustra as funções de aptidão de limite superior para minimização (Figura 14a) e de limite inferior para maximização (Figura 14b) com três formatos de curvas diferentes {degrau: [$g_S(x)$], linear/triangular [$g_L(x)$] e Gaussiano [$g_G(x)$]} em função do desvio relativo (x).

Figura 14 - Funções de aptidão de limite superior para minimização (a) e de limite inferior para maximização (b) com três formatos de curvas diferentes.

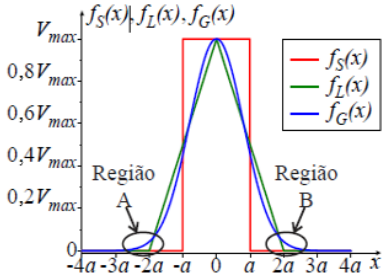


Fonte: Autor adaptado de Moreto (2016).

O gráfico da Figura 14a corresponde à função de aptidão de limite superior para minimização das FoMs. V_{max} é atingido quando o valor da FoM for menor ou igual a especificação desejada. Analogamente, o gráfico da Figura 14b corresponde a função de aptidão de limite inferior para maximização das FoMs. V_{max} é atingido quando o valor da FoM obtida pelo processo de otimização for igual ou maior que a especificação desejada.

A Figura 15 mostra as curvas $f_S(x)$, $f_L(x)$, e $f_G(x)$ da função de avaliação de aptidão de valor central em função do desvio relativo (x). Para permitir a comparação, foi considerada a mesma área para essas curvas.

Figura 15 – Função de aptidão de valor central com três formatos de curvas diferentes {degrau: [$f_S(x)$], linear ou triangular [$f_L(x)$], e Gaussiano [$f_G(x)$]} em função do desvio relativo (x).



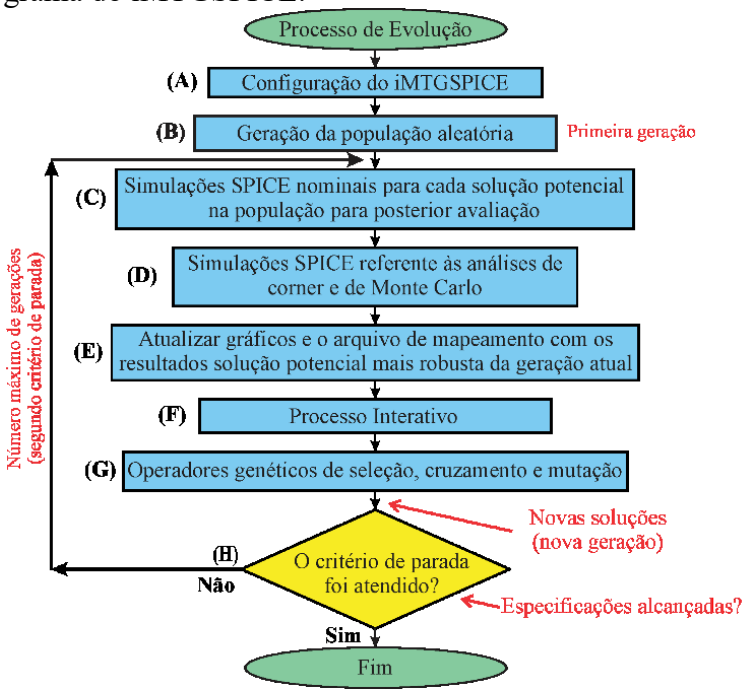
Fonte: Autor adaptado de Moreto (2016).

É importante ressaltar que a função de aptidão [$f_G(x)$] é capaz de considerar pequenas regiões do espaço de busca, indicadas pelas regiões A e B na Figura 15. Nota-se que as outras funções de aptidão [$f_S(x)$ e $f_L(x)$] não são capazes de considerar esse mesmo espaço de busca.

2.2.4 Algoritmo de evolução das soluções potenciais através do algoritmo genético (GA[22])

A Figura 16 ilustra o fluxograma da abordagem interativa com o uso do GA no iMTGSPICE. Ele é um sistema CAD simples integrado ao simulador SPICE (SPICE OPUS, 2019) a fim de otimizar CIs CMOS analógicos (MORETO; THOMAZ; GIMENEZ, 2018).

Figura 16 – Fluxograma do iMTGSPICE.



Fonte: Autor.

[22] *Genetic Algorithm.*

O fluxograma do iMTGSPICE ilustrado na Figura 16 foi dividido em blocos de A até H conforme descrito a seguir:

- bloco A: é realizada a configuração do iMTGSPICE em 3 etapas (MORETO; THOMAZ; GIMENEZ, 2017): a) definir o arquivo SPICE *Netlist* (circuito elétrico) com a descrição do CI CMOS analógico. Esse arquivo contém a descrição do circuito elétrico, as dimensões dos dispositivos (W e L), as condições de polarização (I_{POL} e V_{POL}), os diferentes comandos para extração das FoMs e os parâmetros tecnológicos do processo de manufatura dos CIs CMOS [V_{th}, mobilidade de baixo campo dos portadores de carga do canal do MOSFET (μ_0), etc.]; b) as figuras de mérito (FoMs) ou especificações de saída desejadas e suas respectivas tolerâncias (A_{V0}, f_T, MF, V_{OUT}, P_{TOT} e A_G); c) os parâmetros do GA, tais como o N_{Rob}, que representa o número desejado de soluções robustas às variações do processo de fabricação de CI CMOS, e variações das condições ambientais que atendam plenamente às especificações de projeto por meio das análises de robustez (análise de Corner e análise de Monte Carlo), N_{Iter} representa o número máximo de gerações a serem evoluídas (esse parâmetro somente é considerado se o parâmetro N_{Rob} não for atingido), N_P que é o tamanho da população do GA [gerado inicialmente com valores randômicos, sendo evoluído a cada nova geração (iteração) do algoritmo por meio dos operadores genéticos de seleção, cruzamento e mutação], P_C e P_M que representam, respectivamente, as probabilidades de ocorrência do cruzamento e mutação, We_i e σ é o desvio padrão das funções Gaussianas usadas para a avaliação das diferentes FoMs consideradas:
- bloco B: o algoritmo de otimização gera uma população N_P aleatória;
- bloco C: o conjunto de soluções da N_P é simulado no SPICE levando em consideração os valores nominais dos parâmetros da tecnologia em cada iteração do GA. Os resultados de desempenho obtidos para às especificações desejadas, como o A_{V0}, f_T, MF, etc., são avaliados pelas funções de minimização, valor central e maximização na faixa de 0 a 100 (MORETO; THOMAZ; GIMENEZ, 2017; BARROS; GUILHERME; HORTA, 2010). Cada resultado de desempenho elétrico que atende totalmente à especificação desejada, que recebe o valor máximo de aptidão; caso contrário, é penalizado de acordo com o erro relativo em relação a especificação desejada (MORETO; THOMAZ; GIMENEZ, 2017; BARROS; GUILHERME; HORTA, 2010). Em seguida, uma função de aptidão agregada é utilizada para atribuir uma pontuação, que considera todos os resultados de desempenho elétrico obtidos para as especificações

com seus respectivos pesos (MORETO; THOMAZ; GIMENEZ, 2017; BARROS; GUILHERME; HORTA, 2010);

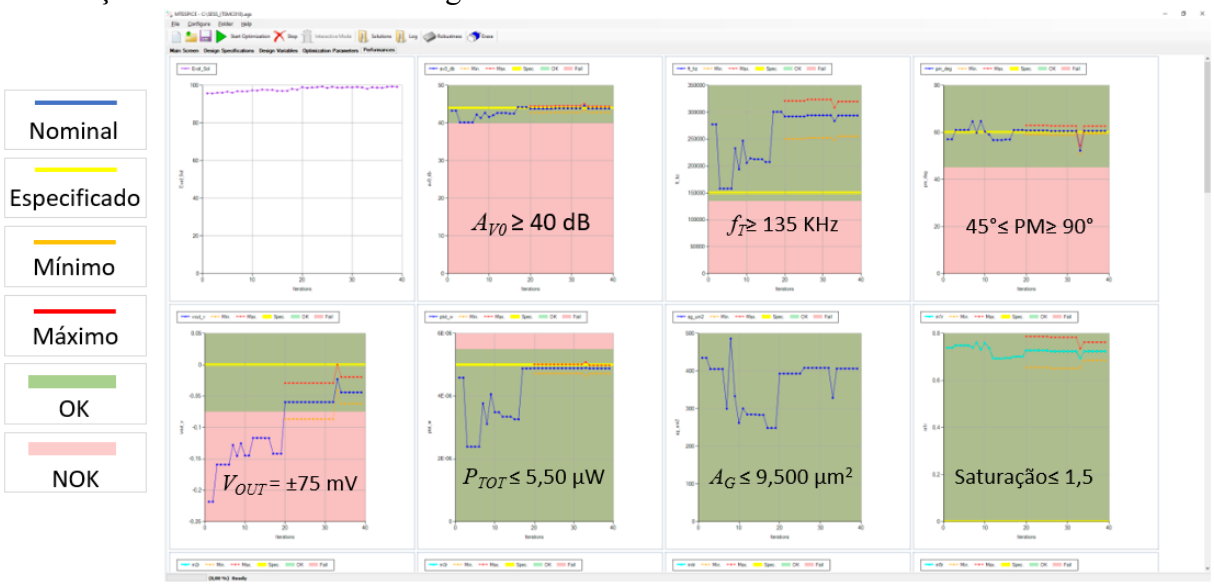
- bloco D: análises de Corner e Monte Carlo são realizadas para soluções viáveis encontradas no Bloco C, de forma a obter os valores mínimo e máximo de cada especificação. Assim, a robustez, em relação a cada solução potencial, é calculada pelo desvio médio de todas as especificações (MORETO et al., 2021). Em seguida, se forem encontradas soluções robustas nesse bloco, elas são classificadas de forma que a melhor solução é a que melhora ainda mais as especificações médias desejadas. Se nenhuma solução robusta for encontrada, a melhor solução é identificada pelo maior valor da função de aptidão. Posteriormente, a melhor solução identificada, juntamente com outras soluções robustas identificadas nesse bloco, se disponíveis, são selecionadas para serem utilizadas nas próximas gerações (elitismo dirigido pela robustez);
- bloco E: as variáveis de projeto (tamanhos dos transistores e condições de polarização), bem como os resultados de desempenho elétrico (A_{V0}, f_T, MF, etc.) obtidos pela melhor solução encontrada, são apresentados ao projetista (MORETO, 2018);
- bloco F: a abordagem interativa com o algoritmo genético (iGA[23]) está prevista nesse bloco, ela é responsável por permitir que o projetista possa optar por parar ou não o processo de otimização, ou seja, a interversão do projetista é opcional. Ele pode tomar a decisão de parar o processo de evolução baseado no monitoramento em tempo real das variáveis de projeto e das FoMs e alterar as variáveis de entrada do iMTGSPICE.;
- bloco G: os operadores genéticos de seleção, cruzamento e mutação (COELLO; LAMONT; VELDHUIZEN, 2007) são aplicados na população para gerar um novo conjunto de soluções potenciais para a próxima geração. A seleção das melhores soluções da população é realizada pelo método do torneio binário, onde se compara um indivíduo com o outro e escolhe o melhor deles (COELLO; LAMONT; VELDHUIZEN, 2007). Em seguida, o cruzamento é aplicado aos pares de soluções selecionadas no processo anterior. Em seguida, a mutação é aplicada para cada *bit* dos genes dos cromossomos (soluções), ou seja, o *bit* é mutado aleatoriamente com qualquer outro *bit* da população analisada;
- bloco H: o critério de parada é verificado neste bloco, o qual é atendido quando o N_{Rob} é obtido pelo processo de evolução (por exemplo, duas soluções robustas avaliadas pelas análises de Corner e Monte Carlo). Se o critério de parada não for atendido, o processo

[23] *Interactive Genetic Algorithm.*

de otimização continua até que N_{Iter} seja alcançado. Quando o critério de parada é atendido, as melhores soluções robustas obtidas nesta execução de otimização são disponibilizadas ao projetista.

A Figura 17 ilustra a tela do iMTGSPICE com o monitoramento em tempo real do processo de evolução das especificações a serem alcançadas.

Figura 17 – Imagem da tela do iMTGSPICE executando em tempo real um processo de otimização de um CI CMOS analógico.



Fonte: Autor.

Pode ocorrer do processo de otimização do CI CMOS analógico entrar em fase de estagnação. Isto significa que o processo de otimização não está se aproximando da solução ótima global. Essa é uma boa oportunidade para utilizar o processo interativo e alterar as variáveis de entrada do iMTGSPICE. Quando bem aplicado, pode-se agilizar a obtenção da melhor solução possível para atender as especificações desejadas, ou seja, a solução ótima global (BARROS; GUILHERME; HORTA, 2010; COELLO; LAMONT; VELDHUIZEN, 2007). O projetista pode pausar o processo de evolução a qualquer momento para alterar (MORETO; THOMAZ; GIMENEZ, 2018):

a) parâmetros do GA, como por exemplo We_i, σ, FoM, N_{Iter}, N_P, P_C e MF;

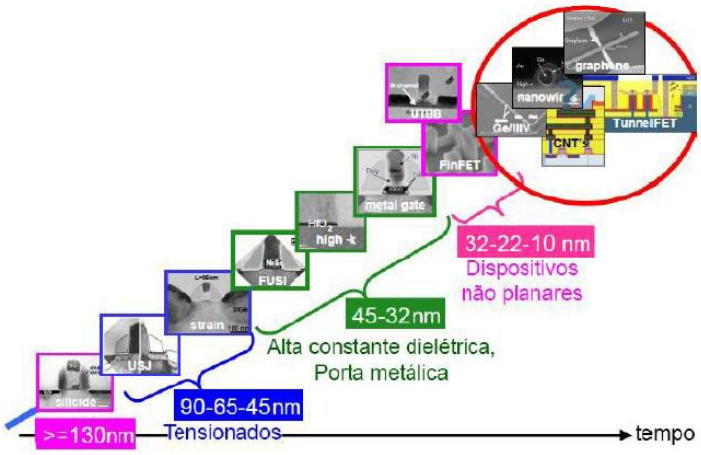
b) parâmetros de projeto, tais como as dimensões dos MOSFETs, I_{POL} e V_{POL}.

2.3 MOSFETs DO TIPO DIAMANTE

A fim de atender às atuais especificações rigorosas dos CIs CMOS analógicos utilizados na eletrônica, como a resposta de frequência, a robustez relacionada ao processo de fabricação de CIs CMOS ou mesmo a A_G total, várias estratégias são recomendadas, como por exemplo, a

aplicação de MOSFETs SOI (COLINGE, 2004). Uma outra estratégia interessante é a utilização de MOSFETs com formato de porta em anel quadrado ou circular, que podem reduzir os componentes parasitários, como as capacitâncias de porta-dreno e porta-fonte (GIMENEZ et. al, 2014a). Outra abordagem alternativa, utilizada neste projeto de pesquisa, mas praticamente ainda não utilizada pelas empresas de CI CMOS, é a aplicação de estilos de leiaute de porta não convencionais, como a estrutura inovadora de porta em formato hexagonal para MOSFETs (GIMENEZ, 2016; LIU et. al, 2018). A Figura 18 apresenta a evolução dos transistores em função do tempo.

Figura 18- Evolução dos transistores em função do tempo.



Fonte: (CLAEYS, 2009)

O MOSFET do tipo Diamante está posicionado próximo aos dispositivos não planares da Figura 18, as primeiras publicações sobre MOSFETs com geometria de porta não convencionais (hexagonal, elipsoidal e octogonal) foram feitas em 2008 (GIMENEZ, 2016). Essa geometria inovadora pode melhorar o desempenho elétrico e a tolerância às variações do processo produtivo e condições ambientais dos MOSFETs (GIMENEZ, 2016; LIU et. al, 2018). O desempenho elétrico desse tipo de MOSFET é melhor do que o desempenho elétrico de um CM (geometria de porta retangular), considerando-se as mesmas condições de polarização e A_G. Isso se deve ao aparecimento de três novos efeitos que são responsáveis por aumentar o seu desempenho elétrico: o LCE, o PAMDLE e DEPAMBBRE (GABRIEL; GIMENEZ, 2014; GIMENEZ et. al, 2014). Por outro lado, o MOSFET do tipo Diamante apresenta um maior perímetro de contato entre a porta e fonte e porta e dreno, o que aumenta as capacitâncias parasitas em relação ao MOSFET convencional. Além disso, como o DM apresenta uma geometria de porta não convencional, ele não é reconhecido pelos softwares utilizados nos

projetos de CIs CMOS analógicos, como por exemplo o SPICE, *Layout Versus Schematic* (LVS), etc.

O LCE é capaz de aumentar o campo elétrico longitudinal resultante ao longo do comprimento do canal do DM e, consequentemente, pode aumentar I_{DS} e g_m (GABRIEL; GIMENEZ, 2014).

O PAMDLE foi proposto por um modelo matemático discreto criado pelos autores Gimenez et al. (2014a) com o objetivo de determinar o comprimento de canal efetivo (L_{eff_DM}) do DM, que é dado pela Equação (19). O efeito PAMDLE tende a reduzir o comprimento de canal efetivo em relação ao comprimento geométrico médio (L) dado pela Equação (20), pois a corrente elétrica flui com mais intensidade nas suas extremidades, ou seja, onde o DM possui os menores comprimentos de canal em relação aqueles do CM equivalente, considerando que eles apresentam as mesmas áreas de porta, larguras de canal e condições de polarização (GIMENEZ et al., 2014).

$$L_{eff} = \frac{B - b}{ln\left(\frac{B}{b}\right)} \tag{19}$$

$$L = \frac{B + b}{2} \tag{20}$$

A Equação (21) foi obtida por um modelo simplificado de primeira ordem e é utilizada para o cálculo da I_{DS} do nMOSFET do tipo convencional (I_{DS_CM}) na região de tríodo (SEDRA; SMITH, 2014).

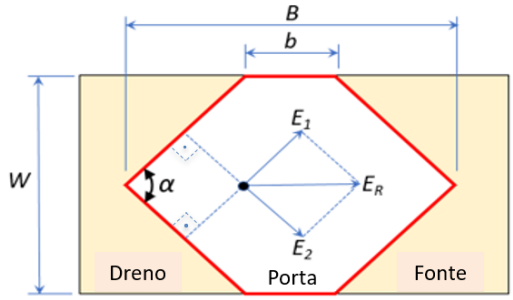
$$I_{DS_CM} = \mu_0 C_{OX} \frac{W_{CM}}{L_{CM}} \left[(V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right] \tag{21}$$

Onde C_{OX} é a capacitância de óxido de porta por unidade de área. Para obter a corrente de dreno do nMOSFET do tipo convencional na região de saturação, pode-se substituir o valor de V_{DS} pela tensão de saturação (V_{DSAT}), que é dada pela diferença entre V_{GS} e V_{th}, resultando na Equação (22) (SEDRA; SMITH, 2014).

$$I_{DS_CM} = \mu_0 C_{OX} \frac{W_{CM}}{L_{CM}} \left[\frac{(V_{GS} - V_{th})^2}{2} \right] \tag{22}$$

A Figura 19 ilustra o efeito do LCE. Nela, o campo elétrico longitudinal resultante do DM é gerado por duas componentes vetoriais de campo elétrico perpendiculares às junções metalúrgicas na região do dreno (GIMENEZ, 2010).

Figura 19 - Representação do campo elétrico longitudinal resultante e das duas componentes vetoriais do campo elétrico longitudinal no DM.



Fonte: Autor.

Onde E_1 e E_2 são as duas componentes de campo elétrico longitudinal. Cada uma delas é perpendicular às junções metalúrgicas formadas pela região de dreno e a região do canal, contrastando com o CM que possui apenas uma componente de campo elétrico longitudinal. Devido a forma hexagonal da porta, o campo elétrico longitudinal equivalente (E_R) do DM é dado pela soma vetorial de E_1 e E_2, como indicado na Figura 19.

Dessa forma, baseado no modelo simplificado da corrente de dreno do nMOSFET convencional, pode-se calcular a corrente de dreno do nMOSFET do tipo Diamante na região de tríodo ($V_{DS} \leq V_{GS} - V_{th}$) pela Equação (23) (GIMENEZ, 2010).

$$I_{DS_DM} = G_{LCE}\mu_0 C_{OX}\frac{W_{CM}}{L_{CM}}\left[(V_{GS} - V_{th})V_{DS} - \frac{V_{DS}^2}{2}\right] \tag{23}$$

Onde G_{LCE} é o ganho do LCE. Para se calcular a I_{DS} do nMOSFET do tipo Diamante na região de saturação ($V_{DS} > V_{GS} - V_{th}$), analogamente ao nMOSFET convencional, basta substituir a tensão V_{DS} pela tensão de saturação ($V_{DSAT} = V_{GS} - V_{th}$) na Equação (23) (GIMENEZ, 2010). O valor do G_{LCE} depende do ângulo α, sendo definido conforme as Equações (24) e (25) (GIMENEZ, 2010).

$$G_{LCE} = \sqrt{2 + 2\cos\alpha}\,, para\ 0^o \leq \alpha \leq 90^o \tag{24}$$

$$G_{LCE} = \sqrt{2 + \cos\alpha}\,, para\ 90^o < \alpha \leq 180^o \tag{25}$$

O ângulo α pode ser calculado em função da largura de canal do DM ($W_{_DM}$), b e B do DM conforme mostra a Equação (26) (GIMENEZ, 2010).

$$\alpha = 2\tan^{-1}\left(\frac{W_{_DM}}{B - b}\right) \tag{26}$$

Através das equações anteriores, levando-se em conta os efeitos LCE e PAMDLE, pode-se estabelecer uma relação entre as correntes de dreno do DM e do CM equivalente (regiões de tríodo e saturação), conforme mostra a Equação (27) (GIMENEZ, 2010).

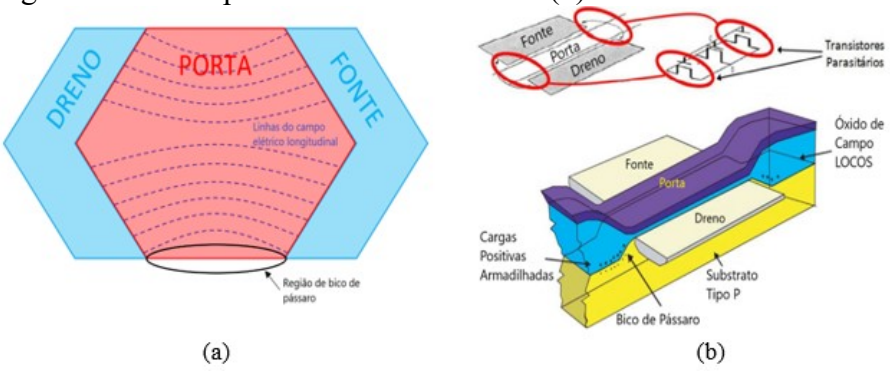
$$I_{DS_DM} = G_{LCE} \frac{W_{_DM}}{L_{eff_DM}} \frac{L_{_CM}}{W_{_CM}} I_{DS_CM} \tag{27}$$

A Equação (27) pode ser utilizada como uma importante ferramenta de projeto na conversão das dimensões de um CM para as dimensões de um DM equivalente. Para manter a mesma I_{DS} e as mesmas condições de polarização (V_{GS} e V_{DS}), a Equação (27) pode ser simplificada conforme a Equação (28), que relaciona a razão de aspecto de um CM ($W_{_CM}/L_{_CM}$) com a razão de aspecto de um DM ($G_{LCE}.W_{_DM}/L_{eff_DM}$) (GIMENEZ, 2010).

$$\frac{W_{_CM}}{L_{_CM}} = G_{LCE} \frac{W_{_DM}}{L_{eff_DM}} \tag{28}$$

Além das vantagens já descritas, o leiaute do DM é responsável por aumentar a tolerância às radiações ionizantes dos CIs CMOS analógicos. Esse efeito é consequência do DEPAMBBRE. A Figura 20 ilustra a vista superior de um DM com linhas de campo elétrico longitudinal (a) e a região de bico de pássaro de um MOSFET (b) (GIMENEZ, 2016).

Figura 20 – Vista superior do DM com linhas de campo elétrico longitudinal (a) e ilustração da região de bico de pássaro de um MOSFET (b).



Fonte: (GIMENEZ, 2016).

Nota-se, na Figura 20a, que as linhas de campo elétrico longitudinal resultantes são curvas e tendem a inibir o funcionamento dos MOSFETs parasitários nas regiões de bico de pássaro (GIMENEZ, 2016).

2.4 AMPLIFICADORES EM CASCATA

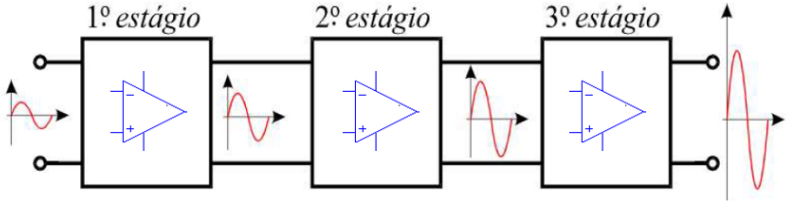
A medição e avaliação de biopotenciais passaram a fazer parte do diagnóstico médico, do monitoramento clínico e cirúrgico. Porém, tais biopotenciais possuem sinais de amplitude

muito baixos, no nível de microvolts ou de alguns milivolts e com interferência de ruídos externos. Esses ruídos são provenientes de dispositivos indutivos (motores, equipamentos elétricos etc.), de transmissores e de receptores que operam em RF, etc. (SINGH RAGHAV; MAHESHWARI, 2013). Este cenário representa um grande desafio para projetar amplificadores de baixa tensão e baixa potência, com alta estabilidade, baixo ruído e distorção harmônica, alta tolerância a radiações ionizantes e principalmente alto ganho de tensão (SINGH RAGHAV; MAHESHWARI, 2013, GOSWAMI; KHANNA, 2011).

As abordagens de projeto típicas para alcançar altos valores de A_{V0} buscam o uso de OTAs complexos ou personalizados (SINGH RAGHAV; MAHESHWARI, 2013; APARNA; RAY, 2017), conexão em cascata com muitos amplificadores, o que inevitavelmente impacta na estabilidade do amplificador e na resposta em frequência (MOHAMMED; ROBERTS, 2021; FORDJOUR; RIAD; SÁNCHEZ-SINENCIO, 2020) e na implementação de bibliotecas de células padrão analógicas (BOWMAN, 1989; HASLER, 2020). Desafios semelhantes são encontrados em outras áreas da ciência e tecnologia, como o desenvolvimento de novos sensores (GRADE, J. et al., 1997) e sistemas amplificadores de áudio etc. (YKHLEF; BENDAOUIA; BENZABA, 2014).

Utilizar amplificadores em cascata é uma estratégia comum para amplificar um sinal analógico. Essa estratégia pode evitar que o projetista invista tempo e recursos para desenvolver dispositivos personalizados e complexos para obter grandes amplificações de sinais, em situações em que o ganho de tensão fornecido não seja alto o suficiente para atender à aplicação desejada. Nesses casos, os projetistas podem utilizar amplificadores em cascata a fim de se obter amplificações sucessivas do sinal, desde que esses amplificadores sejam projetados e otimizados para que seja possível colocar um em cascata com o outro, conforme ilustrado na Figura 21. Geralmente, isso é conseguido fazendo-se com que o nível de tensão DC da entrada seja igual ao da saída (MILLMAN, J. C.; HALKIASS, 1981; MALVINO, 1986).

Figura 21- Conexão em cascata de múltiplos estágios de amplificadores.



Fonte: Autor.

O ganho de tensão de um amplificador implementado em cascata, muitas vezes chamado de amplificador em cascata (*cascode amplifier*), é determinado pela razão da tensão de saída do último circuito amplificador pela tensão de entrada do primeiro circuito amplificador [Equação (29)] (MILLMAN, J. C.; HALKIASS, 1981; MALVINO, 1986).

$$G_{TOTAL} = \frac{S_{saída}}{S_{entrada}} \tag{29}$$

O ganho de tensão do amplificador implementado em cascata é igual ao produto dos ganhos de tensão (ou a soma dos ganhos de tensão em dB) de cada um dos amplificadores que formam esse circuito [Equação (30)] (MILLMAN, J. C.; HALKIASS, 1981; MALVINO, 1986).

$$G_{TOTAL} = G_1 . G_2 . \ldots . G_n \tag{30}$$

Onde G_1, G_2 e G_n representam cada ganho de tensão dos amplificadores que formam o amplificador em cascata (MILLMAN, J. C.; HALKIASS, 1981; MALVINO, 1986).

Os estágios de amplificação devem ser interligados considerando o casamento de impedâncias, uma vez que a transferência de potência máxima entre estágios pode ser atingida quando as impedâncias entre os estágios se igualam (MILLMAN, J. C.; HALKIASS, 1981; MALVINO, 1986).

O G_{TOTAL} também pode ser expressado em dB, o Bel (B) é utilizado para expressar a razão entre dois níveis de sinal, sendo ele elétrico ou sonoro, como é o caso da tensão, corrente elétrica, potência e intensidade sonora. A Equação (31) expressa o ganho de tensão de um AMP OP em cascata expresso em dB (MILLMAN, J. C.; HALKIASS, 1981; MALVINO, 1986).

$$G_{TOTAL} = 20\log(\frac{V_{saída}}{V_{entrada}}) \tag{31}$$

Onde $V_{saída}$ é a tensão de saída do sinal do último estágio de amplificação e $V_{entrada}$ é a tensão de entrada do primeiro estágio de amplificação. O ganho de tensão do amplificador em cascata em dB também pode ser calculado somando os ganhos de tensão em dB dos estágios individuais que compõem o amplificador em cascata. A Equação (32) representa o G_{TOTAL} em dB.

$$G_{TOTAL}(dB) = G_1(dB) + G_2(dB) + \ldots + G_n(dB) \tag{32}$$

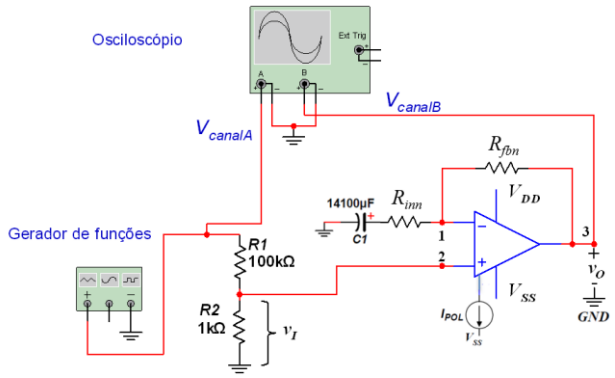
2.5 CARACTERIZAÇÃO ELÉTRICA EXPERIMENTAL PARA QUALIFICAR O PROJETO DE CIRCUITO INTEGRADO ANALÓGICO ROBUSTO

A caracterização elétrica experimental de OTAs CMOS analógicos robustos é um procedimento desafiador, especialmente quando apresentam valores de A_{V0} muito altos e características de baixa estabilidade. Além disso, geralmente essas caracterizações elétricas experimentais consomem tempo e são realizadas com equipamentos de medição caros, como por exemplos analisadores de espectros (COMPASSI-SEVERO; NOIJE, 2019). Para reduzir os custos com experimentos laboratoriais, possibilitar a medição do A_{V0} de forma estável, rápida e precisa, e também para facilitar o ajuste das tensões de compensação de entrada desses CIs CMOS analógicos. Esse Capítulo apresenta uma abordagem de caracterização elétrica experimental para OTAs CMOS analógicos robustos visando o uso de equipamentos de medição de simples acesso e fácil manuseio, como osciloscópios e multímetros (MORETO; GIMENEZ, 2022). Além disso, a medição experimental considerou a operação dos dispositivos em configuração de malha fechada, a fim de melhorar a estabilidade dos CIs CMOS durante o procedimento de medição.

2.5.1 Sistema de caracterização elétrica experimental

A Figura 22 ilustra o sistema de medição desenvolvido para realizar a caracterização elétrica da resposta em frequência do OTA SESS.

Figura 22 - Sistema de medição desenvolvido para realizar a caracterização elétrica da resposta em frequência do OTA SESS.



Fonte: Autor.

Onde V_{canalA} é a tensão de saída do gerador de função, que está conectada à entrada do canal A do osciloscópio, V_{canalB} é a tensão de saída do amplificador operacional, que está conectada à entrada do canal B do osciloscópio. Em relação aos blocos amplificadores

operacionais, na prática eles são quase sempre utilizados com realimentação em malha fechada por questões de estabilidade (SEDRA; SMITH, 2014). O amplificador operacional mostrado na Figura 22 é o OTA SESS, que foi projetado e otimizado pelo iMTGSPICE. Esse CI CMOS foi objeto de estudo desse projeto de pesquisa e sua caracterização elétrica experimental é realizada para a obtenção de sua resposta em frequência. Pode-se observar que esta configuração é baseada na configuração clássica não inversora e em malha fechada (SEDRA; SMITH, 2014). Um gerador de funções fornece a tensão de entrada do amplificador através de um divisor de tensão constituído pelos resistores *R1* e *R2*. Os circuitos são alimentados por uma fonte de tensão simétrica, sendo V_{DD} o terminal positivo e V_{SS} o terminal negativo. Como estamos usando a tecnologia de CIs CMOS da empresa *Taiwan Semiconductor Manufacturing Company* (TSMC) de 65 nm e tensão nominal de operação de 3 V, V_{DD} foi definido como 1,5 V, V_{SS} foi definido como -1,5 V e o terminal *GND* é a referência de 0 V, que representa metade da tensão total de alimentação (V_{DD} - V_{SS}).

É importante mencionar que o resistor de entrada (R_{inn}) é conectado ao terminal *GND* através do capacitor *C1* para manter o ganho de tensão de DC baixo e evitar a saturação do amplificador, o que inevitavelmente aconteceria ao usar um ganho de tensão alto (por exemplo, acima de 100 V/V), devido a tensão de entrada de *offset* do amplificador. Foi adotado um valor alto de *C1* com 3 capacitores de 4.700 µF em paralelo para evitar perda de fase do sinal de saída em relação ao sinal de entrada em baixas frequências de caracterização elétrica experimental. O G_V do OTA na configuração "não-inversora" é definido como 1 mais a relação simples entre o resistor de realimentação (R_{fbn}) e o R_{inn}, conforme mostrado na Equação (33) (SEDRA; SMITH, 2014).

$$G_V = \frac{v_O}{v_I} \cong 1 + \frac{R_{fbn}}{R_{inn}} \tag{33}$$

Uma característica importante da configuração não-inversora, é que ela possui uma alta impedância de entrada, pois é limitada apenas pela impedância de entrada do MOSFET de entrada do amplificador (da ordem de Mega ou Tera Ohms, dependendo da tecnologia CIs CMOS utilizada). Além disso, os sinais de entrada e saída estão em fase (diferença de fase igual a 0°) (SEDRA; SMITH, 2014). O G_V na equação (33) deve ser muito menor do que o A_{V0}. Por exemplo, considerando um amplificador operacional que possui A_{V0} igual a 100 kV/V (100 dB), o ganho em malha fechada deve ser limitado a aproximadamente 1000 V/V para que a equação

(33) produza um erro de até 1% (SEDRA; SMITH, 2014). A Equação (34) permite determinar o ganho de tensão em malha fechada, considerando a limitação do A_{V0} (SEDRA; SMITH, 2014).

$$G_V = \frac{v_O}{v_I} = \frac{1 + \left(R_{fbn}/R_{inn}\right)}{1 + \dfrac{1 + \left(R_{fbn}/R_{inn}\right)}{A_{V0}}} \tag{34}$$

A caracterização elétrica experimental do OTA SESS, foi realizada com uma fonte de tensão de alimentação simétrica para facilitar a caracterização elétrica. Por exemplo, em vez de usar uma única fonte de alimentação com V_{DD} igual a 3V (V_{SS}= 0V), foi utilizada uma fonte de alimentação simétrica com V_{DD} igual a 1,5 V e V_{SS} igual a -1,5 V, que produz o mesmo efeito de uma fonte única.

Na caracterização elétrica experimental, foi utilizada a configuração não inversora e três configurações em malha fechada com valores de G_V iguais a 11, 101 e 1001 [conforme equação (33)], que equivalem a aproximadamente 20, 40 e 60 dB, respectivamente. Essas configurações neste trabalho serão identificadas como GV20, GV40 e GV60. Esses resultados experimentais são comparados com resultados simulados no simulador SPICE Opus (SPICE OPUS, 2019), que foi utilizado pelo iMTGSPICE. O uso da configuração não-inversora foi necessário na prática devido a sua alta impedância de entrada, pois o gerador de função foi utilizado com um divisor de tensão resistivo para reduzir a amplitude da tensão fornecida pelo gerador, que é conectado à entrada do amplificador, visto que o gerador de funções não gera sinais de amplitude na ordem de 1 mV e o osciloscópio também não possui precisão para medir sinais desta ordem de grandeza. Assim, a v_I é apenas uma pequena fração da tensão na saída do gerador de funções (MORETO; GIMENEZ, 2022). A v_I, que é fornecido pelo divisor de tensão (*R1* e *R2*), é calculado de acordo com a Equação (35) (MORETO; GIMENEZ, 2022).

$$v_I = \frac{V_{canalA}.R2}{R1 + R2} \tag{35}$$

No exemplo da Figura 22, *R1* é igual 100 kΩ, *R2* é igual a 1 kΩ e reduzindo cerca de 100 vezes o valor da tensão do gerador, sendo apropriado quando o ganho de tensão do amplificador é da ordem de 100, considerando a configuração para GV40. Similarmente, para medir ganhos de tensão da ordem de 10 (GV20), pode-se usar R1 igual a 100 kΩ e R2 igual a 10 kΩ e para medir ganhos de tensão da ordem de 1000 (GV60), pode-se usar R1 igual a 100 kΩ e R2 igual a 100 Ω.

O A_{V0} simulado foi determinado pela razão da tensão de saída pela tensão de entrada diferencial (v_O/v_{id}). Como não é possível medir a tensão diferencial do amplificador (v_{id}) através do osciloscópio, o A_{V0} experimental será estimado através da Equação (34). Caso o máximo ganho de tensão teórico das configurações Gv20, Gv40 e Gv60 seja alcançado através da Equação (34), significa que o ganho em malha aberta não limita o ganho em malha fechada e a suposição de A_{V0} tendendo a infinito é satisfeita. Embora nessa condição não seja possível determinar o A_{V0} pela Equação (34). Segundo Sedra e Smith (2014), nessa condição, pode-se estimar o A_{V0} em pelo menos 100 kV/V (100 dB). Por outro lado, se o ganho em malha aberta não for suficientemente maior que o ganho em malha fechada, o ganho em malha fechada é reduzido conforme a Equação (34) e o A_{V0} poderá ser estimado conforme a equação (36), isolando o A_{V0} na Equação (34) (MORETO; GIMENEZ, 2022).

$$A_{V0} = \frac{1 + \left(R_{fbn}/R_{inn}\right)}{\frac{1 + \left(R_{fbn}/R_{inn}\right)}{G_V} - 1} \tag{36}$$

3 METODOLOGIA PARA PROJETAR E OTIMIZAR CIS CMOS ANALÓGICOS ROBUSTOS IMPLEMENTADOS COM DMS DE FORMA AUTOMÁTICA

Esse Capítulo irá descrever a primeira metodologia desse projeto de pesquisa desenvolvida para projetar e otimizar CIs CMOS analógicos robustos implementados com DMs de forma automática. Ela está dividida em 5 etapas: 1) otimizar um CI CMOS analógico implementado com CMs e assegurar a robustez pelo Corner e Monte Carlo automaticamente no iMTGSPICE; 2) desenvolver um procedimento para converter MOSFETs Convencionais (CMs) em MOSFETs do tipo Diamantes (DMs) mantendo o desempenho elétrico e robustez similares; 3) desenvolver um procedimento para simular o DM no SPICE; 4) implementar os leiautes de alguns OTAs utilizando-se a tecnologia de fabricação de CIs CMOS de 180 nm da Empresa de manufatura de semicondutores de Taiwan (TSMC); 5) caracterização elétrica experimental do OTA SESS implementado com CMs utilizando-se a tecnologia de fabricação de CIs CMOS de 65 nm da TSMC. Inicia-se pelo processo de otimização dos OTAs por meio do iMTGSPICE. Em seguida, descreve-se os procedimentos para converter CMs em DMs e para simular DMs no SPICE. Na sequência, são realizadas simulações SPICE a fim de avaliar a diferença de desempenho elétrico entre o OTA implementado com DMs e o equivalente implementado com CMs. Além disso, a robustez do OTA implementado com CMs é comparada com a robustez dos OTAs implementados com DMs de ângulos α iguais a 45º, 90º e 135º. Também são apresentados os 4 leiautes dos OTAs SESS projetados, são eles: OTA SESS implementado com CMs e 3 OTAs SESS implementados com DMs com ângulos α iguais a 45º, 90º e 135º. Por fim, os métodos utilizados para a caracterização elétrica experimental de alguns OTAs desse projeto de pesquisa são apresentados no final desse Capítulo.

3.1 ETAPA 1: OTIMIZAR UM CI CMOS ANALÓGICO IMPLEMENTADO COM CMS E ASSEGURAR A ROBUSTEZ PELO CORNER E MONTE CARLO AUTOMATICAMENTE NO IMTGSPICE

Este Capítulo apresenta a otimização dos OTAs por meio do iMTGSPICE. Inicia-se pela especificação dos OTAs e configuração do iMTGSPICE. Na sequência, o processo de otimização dos CIs CMOS é realizado e o procedimento para a definição da melhor solução é apresentado.

3.1.1 Especificações dos OTAs e configuração do iMTGSPICE

Antes de iniciar as simulações no iMTGSPICE, faz-se necessário definir as especificações dos projetos dos OTAs SESS, Miller e Miller em cascata, conforme descrito na Tabela 1.

Tabela 1 - Especificações de projeto dos OTAs avaliados nesse projeto de pesquisa.

	OTA SESS	OTA MILLER	OTAs MILLER EM CASCATA
Capacitância de carga (C_L)	15 pF (fixo)		
Tensão de alimentação (V_{DD} e V_{SS})	± 0,75 V (fixo)		
Tecnologia	CMOS (180 nm)		
Ganho de tensão em malha aberta (A_{V0})	≥ 40 dB	≥ 63 dB	≥ 150 dB
Frequência de ganho de tensão unitário (f_T)	≥ 135 KHz	≥ 1.800 KHz	(f_C ≥ 300Hz)
Margem de fase (MF)	45° ≤ MF ≤ 90°		15° ≤ MF ≤ 70°
Tensão de saída (V_{OUT})	± 75 mV		
Potência dissipada (P_{TOT})	≤ 5,50 µW		
Área de porta dos MOSFETs (A_G)	≤ 9.500 µm²		≤ 11.000 µm²
Região de operação dos MOSFETs	Saturação		

Fonte: Autor.

Sendo que C_L e a tensão de alimentação (V_{DD} e V_{SS}) são fixadas em 15 pF e ± 0,75 V, respectivamente. A Tabela 2 apresenta, respectivamente, os valores mínimos, máximos e o passo para as variáveis de projeto dos OTAs SESS, Miller e Miller em cascata, definidas pelo autor a fim de limitar o espaço de busca de soluções pelo iMTGSPICE e evitar soluções que dificultariam o projeto dos CIs CMOS analógicos.

Tabela 2 - Faixas de valores das variáveis dimensionais e de polarização dos projetos utilizadas no processo de busca das soluções dos OTAs a serem otimizados no iMTGSPICE.

Variável	[Mínimo; Máximo; Passo]
W	[0,180; 10; 0,180] µm
L	[0,180; 10; 0,180] µm
I_{POL}	OTA SESS [0,01; 1; 0,01] µA; OTA Miller [1; 30; 0,01] µA
V_{POL}	[0] V; V_{DD} e V_{SS} ± 0,75 V (fixo)

Fonte: Autor.

Os valores de I_{POL} e V_{POL} são definidos com base em P_{TOT}, V_{DD} e nas equações de 1ª ordem adotadas no projeto manual dos OTAs (SILVEIRA et al, 1996). Foi assumido um fator de ganho unitário para os espelhos de corrente pMOSFETs e nMOSFETs. Os valores dos parâmetros dimensionais dos W e L são baseados na tecnologia utilizada para a fabricação dos CIs CMOS analógicos (TSMC de 180 nm), nas regras e especificações de projeto. Com isso, a

W e L devem ser especificados com valores maiores ou iguais às dimensões mínimas definidas pela tecnologia de CI CMOS utilizada a fim de possibilitar a produção dos CIs CMOS projetados. Além disso, pode-se evitar problemas de convergência nas simulações SPICE que poderiam comprometer a precisão dos resultados e o desempenho elétrico dos CIs CMOS analógicos. Por outro lado, devem ser especificados valores máximos dos W e L com o intuito de evitar dimensões não viáveis (muito grandes ou menores que a dimensão mínima permitida pelo processo de fabricação de CI CMOS).

A Tabela 3 descreve os parâmetros do algoritmo genético definidos para o iMTGSPICE. Esses parâmetros são usados para a etapa da evolução do processo de otimização dos OTAs SESS, Miller e Miller em cascata, respectivamente, deste projeto de pesquisa.

Tabela 3 - Configuração dos parâmetros do iMTGSPICE.

Parâmetro	Valor
Tamanho da população (N_P)	50
Número total de indivíduos (N_{Tot})	250.000
Número de interações (N_{Iter})	5.000
Número de rodadas DC (N_R)	10
Taxa de cruzamento (P_C)	70%
Taxa de mutação (P_M)	3%
Desvio padrão (σ)	0,08
Número de soluções robustas (N_{Rob})	10

Fonte: Autor.

O N_P e o N_{Tot} influenciam no tempo necessário para a convergência do algoritmo genético a fim de encontrar a solução ótima global. Ou seja, se considerarmos uma população pequena, o tempo para finalização do processo de evolução é menor, mas a solução ótima global pode não ser encontrada. No entanto, uma população grande favorece o encontro da solução ótima global, mas o tempo do processo de evolução é maior.

O N_{Iter} representa o número máximo de gerações a serem evoluídas, esse parâmetro somente é considerado se o parâmetro N_{Rob} não for atingido.

O número de rodadas DC define o número de soluções DC do OTA. O processo de evolução DC é repetido até o número de rodadas (N_R) ser alcançado, ele é um parâmetro de entrada do GA.

O cruzamento é realizado entre duas soluções potenciais e sua incidência é determinada por um parâmetro denominado de P_C. Ao aumentar a P_C, tem-se uma possibilidade maior de ter novos indivíduos para a definição de uma população e, consequentemente, aumentar o horizonte de possibilidades. Por outro lado, ao trabalhar com um valor alto de P_C, pode

aumentar a possibilidade de descartar soluções potenciais importantes para o processo de evolução (MORETO, 2016). Nesse projeto de pesquisa, é adotado uma P_C de 70% a fim de aumentar o horizonte de possibilidades e, consequentemente, encontrar mais rapidamente a solução potencial que converge para a solução ótima global.

A P_M propicia a mutação das soluções com o intuito de diversificar as soluções potenciais e, consequentemente, aumentar o desempenho do GA. Entretanto, deve-se evitar que esse valor seja muito alto para que a procura não se torne aleatória (MORETO, 2016). Por essa razão, é utilizado um valor de apenas 3% para este projeto de pesquisa.

O σ é utilizado para definir a dispersão ou desvio do perfil Gaussiano utilizado nas funções de aptidão. Quanto maior for o σ, maior é a abertura da curva Gaussiana e, consequentemente, menor é a penalização no valor de avaliação das figuras de mérito que são avaliadas por essa função de aptidão, pois possibilita valores altos de avaliação para desvios relativos altos dos valores obtidos em relação às especificações desejadas. Portanto, diminui o tempo necessário para a realização do processo de otimização dos OTAs. Por outro lado, valores baixos de σ favorecem que sejam aceitos somente resultados próximos do especificado pelo projetista (MORETO, 2016). Por essa razão, nesse projeto de pesquisa é priorizado a precisão do resultado e utilizado um desvio padrão baixo de 0,08%.

As variáveis de projeto A_{V0}, f_T, MF, V_{OUT}, P_{TOT} e A_G possuem funções de aptidão das soluções com perfil Gaussiano. Além disso, o iMTGSPICE permite priorizar algumas variáveis em relação a outras, através da diferenciação dos seus respectivos pesos. Nesses experimentos são utilizados pesos iguais de 16,7% (100%/6) para as 6 variáveis de projeto especificadas.

A fim de aumentar a estabilidade dos CIs CMOS analógicos, faz-se necessário que os MOSFETs dos OTAs desse experimento operem na região de saturação. Para isso, a função de aptidão do tipo degrau é utilizada durante o processo de evolução. Também podem ser considerados pesos diferentes para priorizar a operação dos MOSFETs, mas neste projeto de pesquisa são considerados pesos iguais para todos os MOSFETs.

3.1.2 Processo de otimização de CIs CMOS analógicos por meio do iMTGSPICE

Com as especificações previamente definidas no Capítulo anterior, inicia-se o processo de otimização de CIs CMOS analógicos. O processo foi repetido sete vezes, a fim de encontrar diferentes soluções, aumentar a resposta em frequência e a robustez dos CIs CMOS analógicos. A Tabela 4 apresenta o resultado dos sete processos de otimização do OTA CMOS SESS realizados pelo iMTGSPICE.

Tabela 4 - Resultados dos 7 processos de otimização do OTA SESS realizados pelo iMTGSPICE.

Solução	Benchmarking	Solução 1.0	Solução 1.1	Solução 1.2	Solução 1.3	Solução 1.4	Solução 1.5	Solução 1.6
Semente		1003965562	1003965562	1003965562	1003965562	1986495299	949391386	949391386
A_{V0} (dB) mín.		40	42	44	45	45	45	46
A_{V0} (dB) target		44	46	48	50	51	52	53
f_T (KHz) mín.		135	145	200	250	275	290	300
f_T (KHz) target		150	160	250	300	330	340	350
Proc. finalizado?		Sim	Sim	Sim	Sim	Sim	Sim	Sim
A_{V0} (dB)	46,4	44,7	45,3	45,7	46,4	46,3	46,3	45,9
f_T (KHz)	372	301	326	331	359	326	372	359
A_{V0} (%)		96%	98%	98%	100%	100%	100%	99%
f_T (%)		81%	88%	89%	97%	88%	100%	97%
Melhor resultado		89%	93%	94%	98%	94%	100%	97,7%
Ranking resultado		7	6	5	2	4	1	3

Fonte: Autor.

A primeira linha da Tabela 4 apresenta as 7 soluções potenciais encontradas (solução 1.0 até solução 1.6). Logo abaixo, a linha de nome “Semente” possui o código (número inteiro), que pode ser utilizado quando um processo de otimização é iniciado. Caso a mesma “Semente” seja utilizada em outro processo de otimização, ele irá gerar a mesma população inicial. Nesse caso, foram repetidas sementes para as soluções 1.0, 1.1, 1.2, 1.3, 1.4 e 1.6, mas com especificações de A_{V0} e f_T (mín. e *Target*) crescentes, a fim de aumentar a possibilidade de encontrar valores maiores de resposta em frequência. Foram geradas sementes aleatórias para as demais soluções, a fim de verificar se uma nova população poderia ajudar no objetivo de encontrar valores maiores de resposta em frequência e robustez. Em seguida, são indicados os valores de *Target* (meta) e mínimos para o A_{V0} e f_T. A linha “Proc. finalizado?” indica se o processo de otimização dos CIs CMOS analógicos foi finalizado com sucesso ou se falhou na obtenção da solução que atenda todas as especificações desejadas ao mesmo tempo. Nesse caso, todos os processos de evolução foram finalizados com sucesso. As duas próximas linhas apresentam os valores obtidos do processo de evolução referentes ao A_{V0} e a f_T. Em seguida, as linhas de A_{V0} (%) e f_T (%) apresentam o quanto em % o valor de A_{V0} e f_T estão próximos do valor *Benchmarking*, já a linha “Melhor resultado” apresenta em % os valores em média de A_{V0} e f_T em relação aos valores *benchmarking* (melhor valor utilizado como referência). Por fim, o “*Ranking* resultado” apresenta as melhores soluções potenciais em ordem crescente segundo valores da linha anterior (“Melhor resultado”) (BANIN JR; SALVADOR; MORETO, 2019).

Para simplificar a análise, somente o A_{V0} e a f_T são utilizados como critério para classificação das soluções potenciais. Essas figuras de mérito (*FoMs*) foram utilizadas por serem grandezas fundamentais na classificação do desempenho elétrico dos CIs CMOS analógicos (BANIN JR; SALVADOR; MORETO, 2019). Nota-se que houve um aumento

gradual dos valores especificados para as linhas: "A_{V0} (dB) mín.", "A_{V0} (dB) *Target*", "f_T (Hz) mín." e "f_T (Hz) *Target*". Isso foi feito com o intuito de aumentar gradualmente a possibilidade de encontrar soluções como melhor desempenho elétrico. Os valores iniciais de mínimo e de *Target* para A_{V0} são, respectivamente, de 40 e 44 dB e para o último processo de evolução são utilizados valores de mínimo e *Target* de 46 e 53 dB, respectivamente. Por outro lado, a f_T é iniciada com valor de mínimo de 135 KHz e de *Target* de 150 KHz, já o último processo de evolução utilizou um valor de mínimo de 300 KHz e de *Target* de 350 KHz.

Os valores de *Benchmarking* são de 46,4 dB para A_{V0} e de 372 KHz para f_T (BANIN JR; SALVADOR; MORETO, 2019). Nota-se que o valor de *Benchmarking* de 372 KHz referente a f_T é maior que o *Target* máximo utilizado no último processo evolutivo de 350 KHz. Na última linha da Tabela 4 ("*Ranking* resultado") pode-se verificar a classificação das melhores soluções pelo critério de desempenho elétrico dos CIs CMOS analógicos. A melhor solução encontrada é a 1.5. Ela apresentou um A_{V0} de 46,3 dB e um f_T de 372 KHz. A segunda melhor solução é a 1.3 com um A_{V0} de 46,4 dB e um f_T de 359 KHz.

Nota-se que as soluções potenciais com melhores desempenho elétrico não ocorreram nos últimos processos de evolução, o que seria o mais provável, pois as especificações desejadas de mínimo e *Target* para f_T e A_{V0} são definidas de forma crescente. Ou seja, os maiores valores de f_T e A_{V0} encontrados pelo iMTGSPICE, não necessariamente foram provenientes dos processos de evolução com os maiores valores definidos de mínimo e *Target* para o f_T e A_{V0}. Isso ocorreu devido ao critério de maximização do resultado, ou seja, o algoritmo do iMTGSPICE sempre irá privilegiar a maximização dos resultados, independente das especificações de mínimo e do *Target*. De fato, valores de *Target* e mínimo maiores tendem a alcançar um resultado melhor (maiores valores de f_T e A_{V0}), mas esse efeito diminui à medida que se aproxima da melhor solução possível.

A duração total do processo de evolução do OTA SESS foi de aproximadamente 45 minutos utilizando-se um processador Intel CORE i3 com uma frequência de *clock* de 2.2 GHz. Importante ressaltar que não foram considerados os tempos necessários de planejamento, configuração e preparação da otimização, como a pesquisa bibliográfica realizada e a elaboração do circuito elétrico (*Netlist*) utilizado na otimização. Por outro lado, se o projeto fosse feito manualmente, o tempo de duração seria de dias ou até semanas, dependendo da experiência do projetista (MARTINS; LOURENÇO; HORTA, 2015; WU et al., 2015).

3.1.3 Análise de robustez das soluções potenciais por meio do iMTGSPICE

A palavra robustez, nesta área de projetos de CIs CMOS analógicos, significa a capacidade do circuito ou dispositivo de tolerar os erros do processo de fabricação de CI CMOS e às variações das condições ambientais, como por exemplo, a temperatura, a tensão de alimentação, radiações ionizantes etc. (BARROS; GUILHERME; HORTA, 2010).

O processo de evolução do iMTGSPICE é realizado em 2 etapas principais. A primeira etapa é definida pela análise da DC, e a segunda pela análise da corrente alternada (CA). Durante essas duas etapas, análises de robustez de Corner e de Monte Carlo são realizadas automaticamente para cada solução potencial (MORETO, 2018).

A mobilidade de baixo campo e a V_{th} podem sofrer variações indesejadas durante o processo de fabricação dos CIs CMOS analógicos, que aliado às variações ambientais como a temperatura afetam o desempenho elétrico esperado pelo projetista. Para minimizar esse efeito, análises de robustez (Corner e Monte Carlo) são realizadas automaticamente pelo iMTGSPICE com o intuito de selecionar soluções potenciais robustas às variações do processo de fabricação de CI CMOS e às variações das condições ambientais (TUMA; BŰRMEN, 2009). A Tabela 5 apresenta às variações extremas das condições dos nMOSFETs e pMOSFETs para as análises de Corner e Monte Carlo.

Tabela 5 - Variações extremas das condições de operação dos nMOSFETs e pMOSFETs para as análises de Corner e Monte Carlo.

Transistor	nMOSFET		pMOSFET	
Variante	V_{thn}	μ_n	V_{thp}	μ_p
Mínimo	-10%	-6%	-12%	-10%
Nominal	0%	0%	0%	0%
Máximo	10%	6%	12%	10%

Fonte: (TUMA; BŰRMEN, 2009).

Onde μ_n e μ_p são, respectivamente, a mobilidade dos elétrons do canal de um nMOSFET e das lacunas de um pMOSFET, V_{thn} e V_{thp} são, respetivamente, a tensão de limiar de um nMOSFET e de um pMOSFET. As variações extremas de μ_0 e V_{th} dos MOSFETs também são consideradas na análise de robustez por Monte Carlo. Além disso, essa análise considera às variações de condições ambientais, que neste caso, são avaliadas variações da temperatura entre 0°C e 75°C (TUMA; BŰRMEN, 2009). A análise de Monte Carlo é mais completa que a análise de Corner, porém ela requer um tempo maior de processamento. Isso ocorre, pois nessa análise são consideradas variações globais e locais do processo de fabricação no desempenho elétrico do circuito. As variações globais do processo de fabricação afetam todos os transistores de uma única maneira. Por outro lado, o processo de fabricação também está sujeito a variações

aleatórias, de forma que dois transistores projetados de forma idêntica exibem comportamento elétrico diferente. Esse tipo de variação é denominado de “descasamento” (TUMA; BŰRMEN, 2009).

No caso da análise de Monte Carlo, não somente os valores de extremos são simulados, mas também valores aleatórios com uma distribuição Gaussiana, com o sigma do processo correspondente a 1/3 dos valores de μ_0 e V_{th} apresentados na Tabela 5, além da variação da temperatura (entre 0°C e 75°C) (TUMA; BŰRMEN, 2009). No caso do estudo dos OTAs Miller em cascata, também foram realizadas variações extremas da temperatura entre -40ºC e 125ºC a fim de ampliar a aplicação desses amplificadores.

Além da análise automática do iMTGSPICE realizada durante o processo de otimização, o iMTGSPICE possui um módulo exclusivo e mais completo para as análises de Corner e Monte Carlo. Esse módulo foi utilizado para avaliar as 7 soluções otimizadas pelo iMTGSPICE e os resultados foram apresentados na Tabela 4. Essa análise durou aproximadamente 5 horas, sendo que o *notebook* utilizado nos experimentos possui um processador Intel CORE i3 com uma frequência de *clock* de 2,2 GHz. A Tabela 6 apresenta os resultados dessa análise de robustez realizada pelo iMTGSPICE para as 7 soluções otimizadas do OTA SESS.

Tabela 6 - Resultados da análise de robustez realizada pelo iMTGSPICE para as 7 soluções otimizadas do OTA SESS.

Critérios para as análises de Corner e Monte Carlo

Especific.	Min.	Nominal	Max.
A_{v0}_dB:	40	44	-
f_T_Hz:	135000	150000	-
*MF*_graus:	45	60	90
V_{OUT}_V:	-0,075	0	0,075
P_{TOT}_µW:	0	5	5
A_G_µm²:	0	8636	9500
M1:	0	0	1,5
M2:	0	0	1,5
M3:	0	0	1,5
M4:	0	0	1,5
M5:	0	0	1,5
M6:	0	0	1,5
M7:	0	0	1,5
M8:	0	0	1,5
M9:	0	0	1,5
M10:	0	0,01	1,5

Solution	A_{v0}_db	f_T_Hz	*PM*_graus	V_{OUT}_V	P_{TOT}_W	A_G_µm²	Func_Constr.	Err_Average (%)	Result	Rank
s1.0	[43,71047 45,28238]	[261965,6 329074,6]	[56,68486 59,97628]	[-0,0283982 0,01191822]	[4,982578E-06 5,432836E-06]	416,54	OK	126,6	OK	7
s1_1	[44,21792 45,92334]	[283252,9 358690,4]	[59,21208 62,52173]	[-0,0353903 0,007493552]	[5,18448E-06 5,475774E-06]	233,85	OK	153,8	OK	2
s1_2	[44,55015 46,37047]	[286257,7 363234,7]	[80,69247 81,95071]	[-0,0364519 - 0,000997437]	[5,142376E-06 5,338231E-06]	109,32	OK	158,2	OK	1
s1_3	[45,20398 47,15555]	[306244,3 397927]	[55,80479 59,92381]	[-0,0450843 - 0,00581163]	[4,986058E-06 5,386078E-06]	212,36	OK	135,0	OK	5
s1_4	[45,1205 47,10703]	[279331,1 364291]	[49,04255 53,30362]	[-0,0236663 0,01506688]	[4,935281E-06 5,445565E-06]	242,38	OK	129,6	OK	6
s1_5	[45,08711 47,00831]	[317095,7 412775,5]	[65,91288 69,32406]	[-0,0461477 - 0,00728636]	[4,974479E-06 5,27997E-06]	140,64	OK	147,5	OK	3
s1_6	[44,7299 46,55944]	[309047,4 394815,6]	[58,39775 62,17983]	[-0,0309564 0,01760011]	[4,902226E-06 5,103772E-06]	213,6	OK	140,8	OK	4

	Err_A_{v0} (%)	Err_f_T (%)	Err_*PM* (%)	Err_V_{OUT} (%)	Err_P_{TOT} (%)	Err_A_G (%)
s1.0	-8,6	-9,0	-8,1	-1,9	62,0	74,8
s1_1	-2,1	0,7	-4,5	-3,0	58,0	59,3
s1_2_SELEC	4,2	36,6	-3,5	-6,1	37,1	24,7
s1_3	4,3	20,2	-4,1	-8,0	-2,0	58,7
s1_4	8,9	15,7	-8,7	-4,0	24,4	48,1
s1_5	2,3	18,8	11,2	-4,5	14,5	48,4
s1_6	5,5	21,2	-6,1	-5,5	32,3	13,6

Fonte: Autor.

Ao lado esquerdo da Tabela 6 são apresentados os critérios utilizados para as análises de Corner e Monte Carlo. Para cada *FoM* especificada existe um valor mínimo, nominal e máximo. No caso dos MOSFETs, a especificação é feita pela região de operação: tríodo ou saturação. Classifica-se o MOSFET em operação na região de saturação, quando a tensão V_{DS} é maior ou igual a tensão de saturação, ou seja, quando a tensão entre fonte e dreno é igual a

tensão de sobretensão de porta ($V_{DSAT} = V_{GS} - V_{th}$). Portanto, os transistores M1 a M10 são projetados para apresentarem o valor (V_{DS} - $V_{DSAT} > 0$). Analogamente, o MOSFET estará na região de tríodo quando V_{DS} for menor que a sobretensão de porta (V_{DS} - $V_{DSAT} < 0$). Para os MOSFETs de M1 até M10, os valores de mínimo e nominal são especificados como zero, ou seja, a região de operação está mais afastada da região de tríodo, a fim de garantir que eles operem como fontes de corrente na região de saturação (SEDRA; SMITH, 2014). A exceção está para o MOSFET M10, com valor nominal especificado em 0,01 V. Isso foi feito, pois o MOSFET M10 do OTA SESS é o transistor com maior dificuldade de ser projetado para que opere na região de saturação. Essa pequena diferença de 0,01 V em relação aos demais MOSFETs, também tem como objetivo manter o MOSFET M10 mais afastado da região de tríodo para que o M10 espelhe corretamente a corrente I_{POL} inserida através de M9 e, ao mesmo tempo, reduzir o tempo de otimização do CI CMOS analógico. O lado direito da Tabela 6 apresenta os resultados encontrados para cada *FoM* (A_{V0}, f_T, *MF*, V_{OUT}, P_{TOT} e A_G). As análises de Corner e Monte Carlo são realizadas pelo iMTGSPICE variando V_{th}, μ_0 e a temperatura. Como resultado, todas as *FoMs* ficaram entre os critérios especificados. Por essa razão, o resultado está classificado como "OK" para todas as soluções encontradas neste projeto de pesquisa (coluna *Result*). A coluna *Func_Constr* se refere especificamente as restrições de funcionamento, que nesse caso, apresenta os transistores do circuito operando na região de saturação. Isso já era esperado, uma vez que o iMTGSPICE realiza análises de robustez para cada solução potencial durante o processo de evolução. Assim, o iMTGSPICE elimina automaticamente as soluções potenciais não robustas às variações do processo de fabricação de CI CMOS e às variações das condições ambientais. A coluna *Err_Average (%)* é utilizada para classificar o nível de robustez de cada solução potencial. Quanto maior for esse índice, mais robusta é a solução potencial em relação às variações do processo de fabricação de CI CMOS e às variações das condições ambientais. Ou seja, as variações de V_{th}, μ_0 e temperatura influenciam para maior ou menor as especificações de projeto, sendo que esse resultado é apresentado em porcentagem [*Err_Average (%)*]. Com isso, a solução potencial mais robusta é a solução 1.2 (s1.2), apresentando um *Err_Average* de 158,2%, ou seja, às variações da V_{th}, da μ_0 e temperatura realizadas durante as análises de robustez, proporcionam um melhor desempenho elétrico de 158,2% para as *FoMs* avaliadas (valor médio). A coluna *Rank* descreve a classificação de cada solução potencial segundo o critério de robustez, iniciando pela solução 1.2 ("Rank 1") por ser a mais robusta às variações do processo de fabricação de CI CMOS e às variações das condições ambientais, seguida pela solução 1.1 (s1.1) ("Rank 2"), depois pela solução 1.5 (s1.5) ("Rank 3") e assim por diante (BANIN JR et al., 2019).

3.1.4 Definição da melhor solução em potencial

Reconstruindo a Tabela 4, após considerar as análises de robustez de Corner e de Monte Carlo, tem-se a Tabela 7 com as linhas de *Corner &M. Carlo* e de *Ranking* Corner & *MC* adicionadas no final da tabela (BANIN JR et al., 2019a).

Tabela 7- Resultado da avaliação das soluções para o OTA CMOS SESS otimizadas pelo iMTGSPICE considerando as análises de robustez de Corner e Monte Carlo.

Solução	Benchmarking	**Solução 1.0**	**Solução 1.1**	**Solução 1.2**	**Solução 1.3**	**Solução 1.4**	**Solução 1.5**	**Solução 1.6**
Semente		1003965562	1003965562	1003965562	1003965562	1986495299	949391386	949391386
A_{V0} (dB) mín.		40	42	44	45	45	45	46
A_{V0} (dB) meta		44	46	48	50	51	52	53
f_T (KHz) mín.		135	145	200	250	275	290	300
f_T (KHz) target		150	160	250	300	330	340	350
Proc. finalizado?		Sim	Sim	Sim	Sim	Sim	Sim	Sim
A_{V0} (dB)	**46,4**	44,7	45,3	45,7	46,4	46,3	46,3	45,9
f_T (KHz)	**372**	301	326	331	359	326	372	359
Melhor resultado	100%	88,6%	92,6%	93,7%	98,3%	93,7%	100%	97,7%
Ranking resultado		7	6	5	2	4	1	3
Corner &M. Carlo		126,6%	153,8%	158,2%	135,0%	129,6%	147,5%	140,8%
Ranking Corner &MC		7	2	1	5	6	3	4

Fonte: (BANIN JR et al., 2019a).

Com isso, tem-se dois "rankings", um que considera o desempenho elétrico do OTA CMOS SESS, e o outro que considera a robustez quanto às variações do processo de fabricação de CIs CMOS e às variações das condições ambientais. Ambos os critérios podem ser considerados para a escolha da melhor solução potencial. No entanto, a solução escolhida foi aquela mais robusta possível, a fim de garantir que prováveis variações de processo de fabricação de CI CMOS e variações das condições ambientais não impactem o desempenho elétrico dos OTAs projetados. A Tabela 8 apresenta os *W* e *L* dos transistores de M1 até M10 do OTA SESS (solução 1.2). Eles são gerados automaticamente como resultado do processo de evolução realizado no iMTGSPICE (BANIN JR et al., 2019).

Tabela 8 - *W* e *L* dos transistores de M1 até M10 do OTA SESS (solução 1.2).

Solução 1.2	W_{1_2} (µm)	9,3	W_{3_4} (µm)	0,6	W_{5_6} (µm)	2,2	W_{7_8} (µm)	0,5	W_9 (µm)	0,8	W_{10} (µm)	2,3
	L_{1_2} (µm)	1,3	L_{3_4} (µm)	7,9	L_{5_6} (µm)	7,9	L_{7_8} (µm)	9,9	L_9 (µm)	10	L_{10} (µm)	10

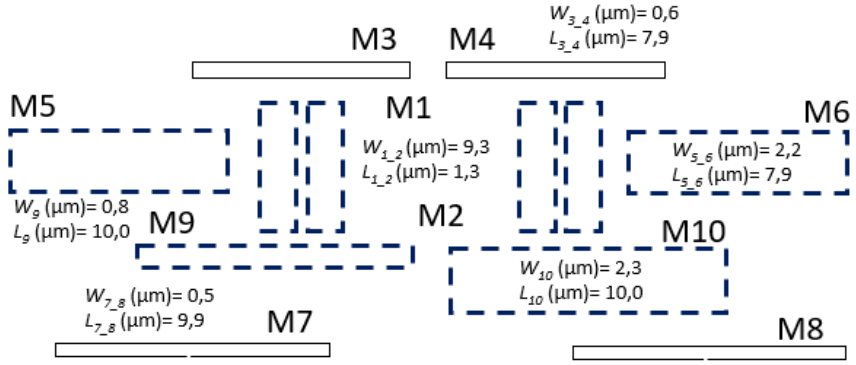
pMOSFET nMOSFET

Fonte: (BANIN JR et al., 2019a).

Nota-se que os valores de *W* e *L* da Tabela 8 estão dentro das faixas de valores mínimos e máximos preestabelecidos na Tabela 2. Além disso, o I_{POL} apresentado é de 0,25 µA e o V_{POL}

é de 0 V, ambos dentro da especificação. Para melhor interpretação, a Figura 23 ilustra as áreas de porta dos MOSFETs da solução 1.2. Nela, se destacam os MOSFETs M1, M2, M5, M6, M9 e M10 em linha tracejada. Eles serão substituídos posteriormente pelos respectivos DMs.

Figura 23 – Áreas de porta dos MOSFETs da solução 1.2, levando-se em conta o CM.

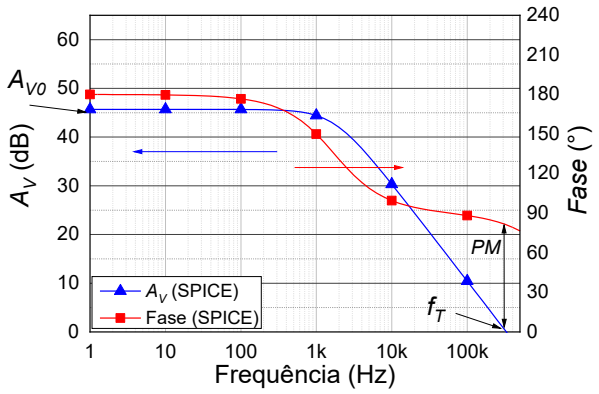


Fonte: (BANIN JR et al., 2019a).

A Figura 23 permite relacionar o resultado encontrado pelo iMTGSPICE da solução 1.2 com os conceitos teóricos. Como por exemplo, os MOSFETs que compõem o par diferencial de entrada, definidos como M1 e M2, apresentam um valor de *W* alto em relação aos demais transistores. Essa característica proporciona valores maiores de transcondutância e, consequentemente, melhora o desempenho elétrico dos CIs CMOS analógicos. Essa característica foi descrita por Eggermont et. al. (1996) e também pode ser verificada pela Equação (3). Segundo a Equação (3) e a Equação (4), quanto maior for g_m, maior será o A_{V0} e f_T do OTA SESS. Outra característica importante, que também pode ser facilmente visualizada pela Figura 23, é o fato dos pMOSFETs M5 e M6 apresentarem um *W* aproximadamente 4 vezes maior que os nMOSFETs M7 e M8. Além disso, os MOSFETs de saída, definidos por M6 e M8, possuem um alto valor de *L* em comparação aos demais transistores. Isso ocorre pela necessidade de se obter altos valores de tensão *Early* (V_{EA6}) e (V_{EA8}), para também aumentar o A_{V0} do OTA SESS, conforme pode-se verificar na Equação (3).

A resposta em frequência do OTA SESS (s1.2) é apresentada no diagrama de Bode ilustrado pela Figura 24. Além disso, são indicados os valores de A_{V0}, f_T e *MF* nas curvas de ganho de tensão e do ângulo de fase em função da frequência (BANIN JR; SALVADOR; MORETO, 2019).

Figura 24 – Diagrama de Bode do OTA SESS (solução 1.2).



Fonte: Autor.

A Tabela 9 apresenta as especificações, os valores obtidos pelo iMTGSPICE, as variações entre eles e a avaliação dos resultados para a solução 1.2 do OTA SESS. O modelo e *Netlist* utilizado estão detalhados no APÊNDICE A.

Tabela 9 – Especificações, os valores obtidos pelo iMTGSPICE, as variações entre eles e a avaliação dos resultados para a solução 1.2 do OTA SESS.

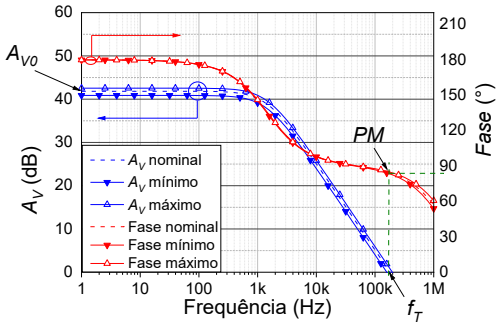
Especificações de projeto	Valores especificados	Resultados do iMTGSPICE	Variações	Avaliação dos resultados
Ganho de tensão em malha aberta (A_{V0})	≥40 dB	45,7 dB	5,7 dB (12,5%)	↑
Frequência de ganho de tensão unitário (f_T)	≥ 135 KHz	331 KHz	196 KHz (145%)	↑
Margem de fase (MF)	45°< MF < 90°	81,2°	-	OK
Tensão de saída (V_{OUT})	-0,75 V < V_{OUT} < 0,75 V	-0,022 V	-	OK
Potência dissipada (P_{TOT})	≤ 550 µw	5,26 µW	-544,74 µw (-99%)	↑
Área de porta dos MOSFETs (A_G)	≤ 9.500 µm²	109 µm²	-9.391 µm² (-98,9 %)	↑

Fonte: Autor.

Em relação à Tabela 9, verifica-se que todos as *FoMs* atingiram as especificações desejadas e a variação máxima obtida foi de 145% para melhor (BANIN JR et al., 2021).

Conforme descrito no Capítulo anterior, é importante monitorar o efeito da variação do processo de fabricação do OTA SESS, a fim de prever o desempenho elétrico e assegurar a robustez quanto às variações do processo de fabricação de CI CMOS e às variações das condições ambientais do dispositivo. A Figura 25 apresenta o diagrama de Bode referente à solução 1.2 do OTA SESS considerando as Corner e Monte Carlo.

Figura 25 - Diagramas de Bode para solução 1.2 do OTA SESS levando em consideração as análises de Corner e Monte Carlo.



Fonte: Autor.

Observando a Figura 25, os resultados das análises Corner e Monte Carlo do OTA SESS, levando em consideração às variações do processo de fabricação dos CIs CMOS (variações máximas de MOSFETs entre 6% e 12% para a V_{th} e μ_0, respectivamente) e variações de temperatura (entre 0ºC e 75ºC) mostraram um erro máximo de 2,3% para o A_{V0}, de 12,5% para a f_T e 0,4% para a *MF*. As análises de Corner e Monte Carlo mostraram que a solução 1.2 é tão robusta quanto as encontradas por Moreto (2016) e por Barros, Guilherme e Horta (2010a). Em outras palavras, esses resultados comprovam que a s1.2 apresenta um alto índice de robustez.

3.1.4.1 Definição da melhor solução em potencial para o OTA Miller

O mesmo procedimento de otimização realizado para o OTA SESS foi utilizado novamente com o intuito de comprovar a eficiência do procedimento para diferentes dispositivos. Nesse processo de otimização foram consideradas seis soluções otimizadas pelo iMTGSPICE para o OTA Miller. A Tabela 10 apresenta o resultado das seis otimizações realizadas pelo iMTGSPICE para o OTA CMOS Miller considerando as análises de robustez.

Tabela 10 - Resultado das seis otimizações realizadas pelo iMTGSPICE para o OTA CMOS Miller considerando as análises de Corner e Monte Carlo.

Solução	Benchmarking	Solução 1.0	Solução 1.1	Solução 1.2	Solução 1.3	Solução 1.4	Solução 1.5
Semente		443851989	443851989	443851989	443851989	586646325	586646325
A_{V0} (dB) mín		63	64	66	70	70	72
A_{V0} (dB) target		70	72	75	77	78	80
f_T (MHz) mín		1,8	2	2,2	2,35	2,35	2,5
f_T (MHz) target		2,25	2,5	2,75	2,9	3	3
Critério		Finalizado	Finalizado	Finalizado	Finalizado	Finalizado	Finalizado
A_{V0} (dB)	77,7	67,1	70,6	74,9	77,7	73,5	76,1
f_T (MHz)	3,45	2,34	2,53	3,45	2,94	2,99	3,07
Melhor resultado	100%	77%	82%	98%	93%	91%	93%
Ranking resultado		6	5	1	2	4	3
Corner & MC		29,8%	27,2%	27,3%	25,7%	27,5%	23,8%
***Ranking* Corner & MC**		1	4	3	5	2	6

Fonte: Autor.

Segundo a Tabela 10, todas as soluções otimizadas apresentaram uma robustez parecida. Com isso, o critério para selecionar a solução a ser trabalhada (substituição dos CMs por DMs e simulação SPICE) foi a solução que obteve o "melhor resultado", ou a melhor resposta em frequência entre as soluções otimizadas. Por essa razão, a solução com maior resposta em frequência (solução 1.2) foi escolhida para as próximas etapas desse projeto de pesquisa. A Tabela 11 apresenta os valores de W e L dos transistores de M1 até M8 do OTA Miller (solução 1.2) para um I_{POL} apresentado de 0,25 µA e um V_{POL} de 0 V, eles são gerados automaticamente como resultado do processo de evolução realizado no iMTGSPICE.

Tabela 11 - W e L dos transistores de M1 até M8 do OTA Miller (solução 1.2).

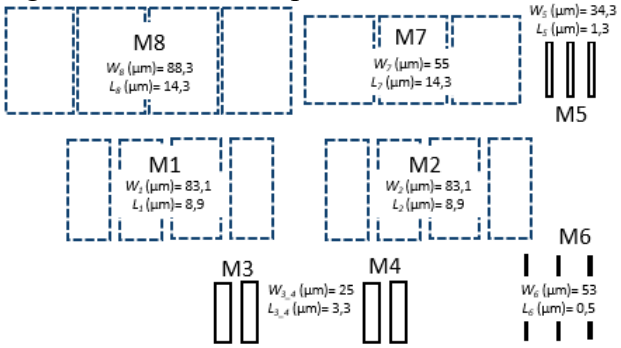
Solução 1.2	W_{1_2}(µm)	83,1	W_{3_4}(µm)	25	W_5(µm)	34,3	W_6(µm)	53	W_7(µm)	55	W_8(µm)	88,3
	L_{1_2}(µm)	8,9	L_{3_4}(µm)	3,3	L_5(µm)	1,3	L_6(µm)	0,5	L_7(µm)	14,3	L_8(µm)	14,3

pMOSFET nMOSFET

Fonte: Autor.

Nota-se que os valores de W e L da Tabela 11 estão dentro das faixas de valores mínimos e máximos pré-estabelecidas na Tabela 2. Para melhor interpretação, a Figura 26 ilustra o leiaute simplificado do OTA CMOS Miller (solução 1.2). Nessa figura, se destacam os MOSFETs M1, M2, M7 e M8 em linha tracejada que serão substituídos posteriormente pelos DMs.

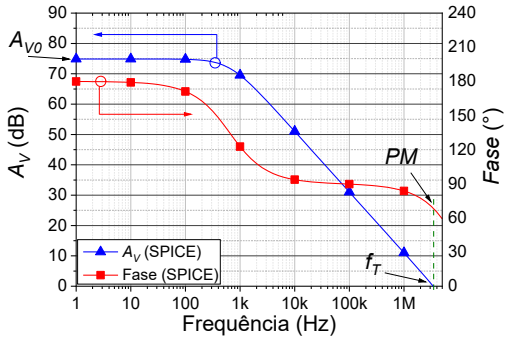
Figura 26- Leiaute simplificado do OTA CMOS Miller (solução 1.2).



Fonte: Autor.

A resposta em frequência do OTA Miller (solução 1.2) é apresentada no diagrama de Bode ilustrado pela Figura 27. Além disso, são indicados os valores de A_{V0}, f_T e MF nas curvas de ganho de tensão e do ângulo de fase em função da frequência.

Figura 27 - Diagrama de Bode do OTA CMOS Miller (solução 1.2).



Fonte: Autor.

A Tabela 12 apresenta as especificações, os valores obtidos pelo iMTGSPICE, as variações entre eles e a avaliação dos resultados para a Solução 1.2 do OTA CMOS Miller otimizado. O modelo e o *Netlist* utilizado estão detalhados no APÊNDICE A.

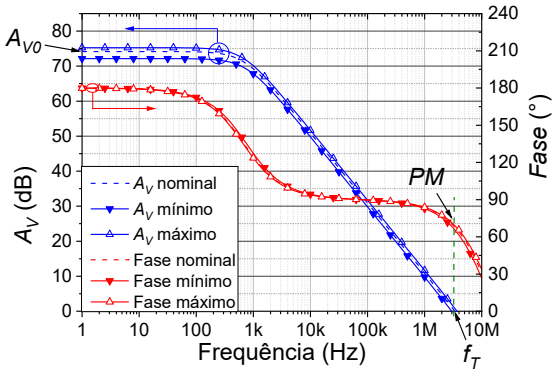
Tabela 12 - Especificações, os valores obtidos pelo iMTGSPICE, as variações entre eles e a avaliação dos resultados para a Solução 1.2 do OTA CMOS Miller otimizado.

Especificações de projeto	Valores especificados	Resultado do iMTGSPICE	Variação	Avaliação dos resultados
Ganho de tensão em malha aberta (A_{V0})	≥63 dB	74,9 dB	11,9 (18,9%)	↑
Frequência de ganho de tensão unitário (f_T)	≥ 1,8 MHz	3,45 MHz	1,65 (91,7%)	↑
Margem de fase (MF)	45° < *MF* < 90°	68,5°	-	OK
Tensão de saída (V_{OUT})	-0,35 V < V_{OUT} < 0,35 V	0,02 V	-	OK
Potência dissipada (P_{TOT})	≤ 275 µw	152 µW	-123 (-44,7%)	↑
Área de porta dos MOSFETs (A_G)	≤ 9.500 µm²	3.760 µm²	-5.740 (-60,4%)	↑

Fonte: Autor.

Em relação a Tabela 12, verifica-se que todos as *FoMs* atingiram as especificações desejadas e a variação máxima obtida foi de 91,7% para melhor. Também foi avaliado o efeito da variação do processo de fabricação do OTA CMOS Miller, a fim de prever o desempenho elétrico e assegurar a robustez quanto às variações do processo de fabricação do CI CMOS e às variações das condições ambientais do dispositivo. A Figura 28 apresenta o diagrama de Bode para solução 1.2 do OTA CMOS Miller levando em consideração as análises de robustez.

Figura 28 - Diagrama de Bode para s1.2 do OTA Miller levando em consideração as análises de Corner e Monte Carlo.



Fonte: Autor.

Observando a Figura 28, os resultados das análises de Corner e Monte Carlo do OTA CMOS Miller, mostraram um erro máximo de 2,7% para o A_{V0}, 11,8% para a f_T e 1,8% para a *MF*.

3.2 ETAPA 2: DESENVOLVER UM PROCEDIMENTO PARA CONVERTER MOSFETS CONVENCIONAIS (CMS) EM MOSFETS DO TIPO DIAMANTES (DMS) MANTENDO O DESEMPENHO ELÉTRICO E ROBUSTEZ SIMILARES

De posse das dimensões dos CMs que foram otimizados pelo iMTGSPICE, é realizada a substituição dos CMs por DMs. Ao converter CMs em DMs, as dimensões são reduzidas e elas poderiam ser menores que as dimensões permitidas pelas regras de leiaute da tecnologia, o que não seria aceitável. Normalmente especifica-se o DM pelo $W_{_DM}$, L_{eff_DM} e pelo ângulo α, uma vez que as arestas b e B são resultantes da aplicação desses valores. Como o $W_{_DM}$ é proporcional ao $W_{_CM}$ e ao G_{LCE}, o L_{eff_DM} foi adotado igual ao $L_{_CM}$, o ângulo α é a única dimensão do DM que pode ser alterada, ou seja, o ângulo α é uma variável de projeto. Com o intuito de modelar o efeito do ângulo α, neste projeto de pesquisa, serão utilizados ângulos α iguais a 45º, 90º e 135º. A substituição dos CMs por DMs é realizada pela conversão das dimensões do $W_{_CM}$ e $L_{_CM}$ em dimensões do DM de forma a manter a mesma I_{DS} que passa por cada ramo do circuito. O I_{DS_DM} pode ser calculado pela Equação (37) levando em consideração os efeitos PAMDLE e LCE (GIMENEZ et al., 2014).

$$I_{DS_DM} = G_{LCE}.G_{PAMDLE}.I_{DS_{CM}} \tag{37}$$

Onde G_{PAMDLE} é o valor do efeito PAMDLE, G_{LCE} é calculado pela Equação (24) no caso de $0° \leq \alpha \leq 90°$, ou pela Equação (25) no caso de $90° \leq \alpha \leq 180°$. Considerando que esses

dispositivos estão operando na região de saturação, a Equação (37) pode ser reescrita pela Equação (38) (GIMENEZ et al., 2014).

$$G_{LCE}.\mu_0.C_{OX}.\frac{W_{DM}}{L_{eff_{DM}}}.\left[\frac{(V_{GS}-V_{th})^2}{2}\right]=\mu_0.C_{OX}.\frac{W_{CM}}{L_{CM}}.\left[\frac{(V_{GS}-V_{th})^2}{2}\right] \quad (38)$$

A Equação (38) pode ser reescrita pela Equação (39).

$$G_{LCE}.\frac{W_{_DM}}{L_{eff_DM}}=\frac{W_{_CM}}{L_{_CM}} \quad (39)$$

Pela Equação (39), é possível obter a Equação (40).

$$G_{LCE}=\frac{W_{_CM}}{W_{_DM}}.\frac{L_{eff_DM}}{L_{_CM}} \quad (40)$$

Pela Equação (40), podemos obter o valor de G_{LCE} em função das dimensões dos DM e CM, de acordo com as Equação (41).

$$G_{LCE}=\frac{W_{_CM}}{W_{_DM}} \quad (41)$$

Para substituir um CM por um DM de um CI CMOS analógico, deve-se considerar que eles devem apresentar os mesmos I_{DS} e comprimentos de canal ($L_{eff_DM} = L_{_CM}$). Assim, pela Equação (41), pode-se obter o valor do $W_{_DM}$ a ser leiautado [Equação (42)].

$$W_{_DM}=\frac{W_{_CM}}{G_{LCE}} \quad (42)$$

Adotando o ângulo α e com o valor de $W_{_DM}$ obtido pela Equação (42), pode-se determinar o valor de *B*-*b* pela Equação (43), que por sua vez, foi baseada na Equação (26).

$$B-b=W_{_DM}/\tan\left(\frac{\alpha}{2}\right) \quad (43)$$

Além disso, considerando L_{eff_DM} igual a $L_{_CM}$, pode-se calcular o valor da razão *B*/*b* pela Equação (44) (GIMENEZ et al., 2014).

$$\frac{B}{b}=exp^{\left(\frac{B-b}{L_{eff_DM}}\right)} \quad (44)$$

Por fim, há duas equações e duas variáveis (*B* e *b*) e, portanto, pode-se determinar os valores de *B* e *b* em relação ao ângulo α adotado. Consequentemente, podem ser definidas as dimensões do DM mantendo a corrente entre dreno e fonte do CM.

A área de porta do DM pode ser calculada através da Equação (45) a partir das áreas de dois trapézios iguais conforme ilustrados na Figura 2 (GIMENEZ, 2010).

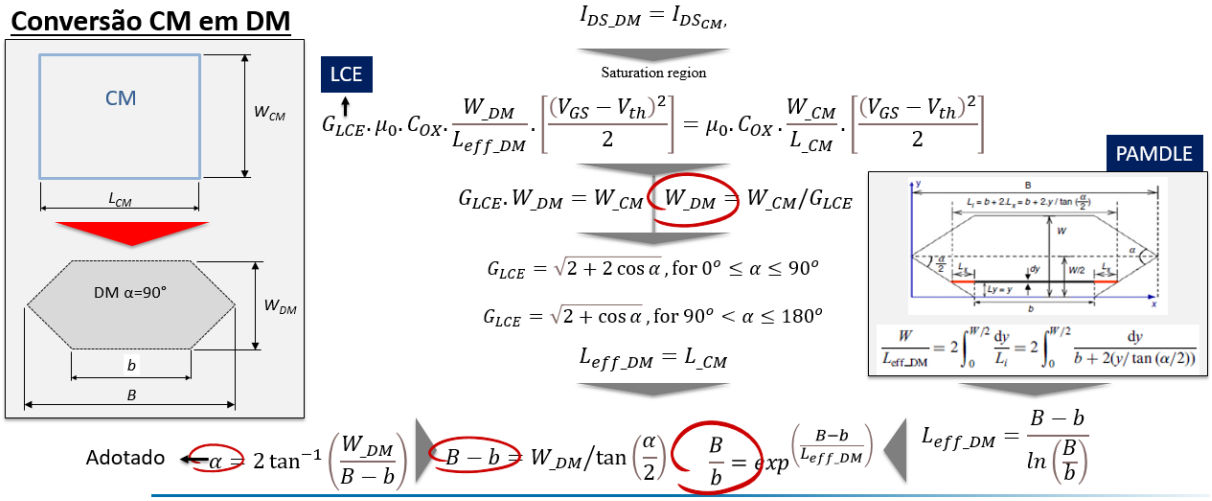
$$A_{G_DM} = \left(\frac{B+b}{2}\right) W_{_DM} \tag{45}$$

Considerando-se a Equação (28), para manter a mesma razão de aspecto entre o CM e o DM, observa-se que o procedimento para converter as dimensões do $W_{_CM}$ e $L_{_CM}$ em dimensões equivalentes para $W_{_DM}$ e L_{eff_DM}, resulta na redução do $W_{_DM}$ em comparação ao $W_{_CM}$. Essa redução é a principal motivação para se obter uma redução significativa da A_G do DM em relação ao CM. Visto que, para não degradar V_{EA} e auxiliar a manter o desempenho elétrico do CI CMOS original com CMs, o L_{eff_DM} é igualado ao $L_{_CM}$ (BANIN JR et al., 2021).

Cabe ressaltar que, à medida que o ângulo α fica mais obtuso (próximo ao 180°), a geometria de porta do DM vai se assimilando a uma geometria de porta do CM e, consequentemente, os efeitos LCE e PAMDLE são reduzidos. É importante observar que nem sempre é possível a conversão do CM para DM. Isso ocorre, pois, as dimensões do DM devem ter um valor igual ou maior que a dimensão mínima permitida pelo processo de fabricação de CIs CMOS (L_{min}). Caso essa premissa não seja atendida, podem ocorrer erros de convergência durante as simulações e o desempenho elétrico do CI CMOS analógico ficará comprometido (BANIN JR et al., 2021).

A Figura 29 resume o procedimento para converter CM em DM, basicamente a I_{DS_CM} é igualada a I_{DS_DM}. Com base nessa igualdade, pode se calcular o $W_{_DM}$ calculando previamente o valor de G_{LCE}. Em seguida, considerando o L_{eff_DM} igual ao $L_{_CM}$, adotando o ângulo α, as equações da área do hexágono e do L_{eff_DM}, pode-se calcular o B e b.

Figura 29- Metodologia de conversão do CM em DM.



Fonte: Autor.

Nota-se pela Figura 29 que a premissa básica para conversão do CM em DM foi a igualdade das correntes I_{DS_CM} e I_{DS_DM}, isso foi feito para que o OTA implementado com CMs e o OTA implementado com DMs apresentem desempenho elétrico praticamente iguais. Com isso, os ganhos dos efeitos LCE e PAMDLE são representados no $W_{_DM}$ e, consequentemente, ocorre a redução da A_G total do OTA implementado com DMs em relação a A_G total do OTA implementado com CMs. Essa premissa tem como objetivo principal contribuir com a redução de escala dos CIs CMOS analógicos. Entretanto, uma premissa diferente poderia ter sido definida, como por exemplo, igualar as áreas de porta do OTA implementado com CMs e do OTA implementado com DMs. Essa premissa alternativa iria aumentar a I_{DS_DM} em relação a I_{DS_CM} e, consequentemente, aumentar o desempenho elétrico do OTA implementado com DMs. Entre as vantagens do aumento do desempenho elétrico, tem se a possibilidade de contribuir com projetistas de circuitos de RF (trabalhos futuros).

A Tabela 13 apresenta as dimensões W, L, L_{eff} dos CMs e DMs (MOSFETs M1, M2, M5, M6, M9 e M10) e as respectivas variações das áreas de porta entre CMs e DMs para o OTA SESS com ângulos α iguais a 45º, 90º e 135º (BANIN JR et al., 2021).

Tabela 13 - Dimensões W, L, L_{eff} e variações das A_Gs entre CMs e DMs (MOSFETs M1, M2, M5, M6, M9 e M10) para o OTA SESS com ângulos α iguais a 45º, 90º e 135º.

α(°) = 135	CM	DM	Variação	**α(°) = 90**	CM	DM	Variação	**α(°) = 45**	CM	DM	Variação
W_{1_2} (µm)	9,3	8,2	-1,1	W_{1_2} (µm)	9,3	6,6	-2,7	W_{1_2} (µm)	9,3	5,0	-4,3
L_{eff}; L_{1_2} (µm)	1,3	1,3	0,0	L_{eff}; L_{1_2} (µm)	1,3	1,3	0,0	L_{eff}; L_{1_2} (µm)	1,3	1,4	0,1
A_{G1_2} (µm^2)	24,2	21,3	-2,9	A_{G1_2} (µm^2)	24,2	17,2	-7,0	A_{G1_2} (µm^2)	24,2	13,6	-10,5
	G_{LCE}	1,14			G_{LCE}	1,41			G_{LCE}	1,85	
Redução de área:		**12,0%**		**Redução de área:**		**28,8%**		**Redução de área:**		**43,6%**	

(a)

α(°) = 135	CM	DM	Variação	**α(°) = 90**	CM	DM	Variação	**α(°) = 45**	CM	DM	Variação
W_{5_6} (µm)	2,2	1,9	-0,3	W_{5_6} (µm)	2,2	1,6	-0,6	W_{5_6} (µm)	2,2	1,2	-1,0
L_{eff} ;L_{5_6} (µm)	7,9	7,9	0,0	L_{eff}; L_{5_6} (µm)	7,9	7,9	0,0	L_{eff}; L_{5_6} (µm)	7,9	8,0	0,1
A_{G5_6} (µm^2)	34,8	30,6	-4,2	A_{G5_6} (µm^2)	34,8	24,7	-10,1	A_{G5_6} (µm^2)	34,8	19,0	-15,7
	G_{LCE}	1,14			G_{LCE}	1,41			G_{LCE}	1,85	
Redução de área:		**12,0%**		**Redução de área:**		**29,1%**		**Redução de área:**		**45,3%**	

(b)

α(°) = 135	CM	DM	Variação	**α(°) = 90**	CM	DM	Variação	**α(°) = 45**	CM	DM	Variação
W_9 (µm)	0,8	0,7	-0,1	W_9 (µm)	0,8	0,6	-0,2	W_9 (µm)	0,8	0,4	-0,4
L_{eff}; L_9 (µm)	10	10,0	0,0	L_{eff}; L_9 (µm)	10	10,0	0,0	L_{eff}; L_9 (µm)	10	10,0	0,0
A_{G9} (µm^2)	8,0	7,0	-1,0	A_{G9} (µm^2)	8,0	5,7	-2,3	A_{G9} (µm^2)	8,0	4,3	-3,7
	G_{LCE}	1,14			G_{LCE}	1,41			G_{LCE}	1,85	
Redução de área:		**12,0%**		**Redução de área:**		**29,3%**		**Redução de área:**		**45,8%**	

(c)

α(°) = 135	CM	DM	Variação	**α(°) = 90**	CM	DM	Variação	**α(°) = 45**	CM	DM	Variação
W_{10} (µm)	2,3	2,0	-0,3	W_{10} (µm)	2,3	1,6	-0,7	W_{10} (µm)	2,3	1,2	-1,1
L_{eff}; L_{10} (µm)	10	10,0	0,0	L_{eff}; L_{10} (µm)	10	10,0	0,0	L_{eff}; L_{10} (µm)	10	10,1	0,1
A_{G10} (µm^2)	23,0	20,2	-2,8	A_{G10} (µm^2)	23,0	16,3	-6,7	A_{G10} (µm^2)	23,0	12,5	-10,5
	G_{LCE}	1,14			G_{LCE}	1,41			G_{LCE}	1,85	
Redução de área:		**12%**		**Redução de área:**		**29,1%**		**Redução de área:**		**45%**	

(d)

$Var._{TOT.}$ (µm^2)	-10,8	Red. Total:	9,9%	$Var._{TOT.}$ (µm^2)	-26,1	Red. Total:	23,9%	$Var._{TOT.}$ (µm^2)	-40,4	Red. Total:	37,0%

(e)

Fonte: Autor.

Onde "$Var._{TOT}$" são as variações totais entre as A_{Gs} dos CMs e dos DMs referentes aos MOSFETs M1, M2, M5, M6, M9 e M10 e a "Redução de área" são as reduções de A_G total (em porcentagem) dos OTAs SESS implementados com DMs em relação ao dos OTAs SESS implementados com CMs. Os MOSFETs M1 e M2 são mostrados no primeiro quadro destacado na Tabela 13a. Esse quadro é dividido em 3 colunas maiores, sendo que a primeira coluna apresenta os resultados de A_G para o ângulo α igual a 135º. Nessa coluna também são mostrados os valores de *W, L*, L_{eff} e A_G para o CM, para o DM e a variação entre eles. A mesma leitura pode ser feita para o restante da Tabela 13, sendo que a Tabela 13b apresenta os MOSFETs M5 e M6, a Tabela 13c o MOSFET M9 e a Tabela 13d o MOSFET M10. Por fim, a última linha referente a Tabela 13e, apresenta a "$Var._{TOT}$" que indica as variações totais entre as A_G dos DMs e dos CMs e a "Red. Total" indica as reduções da A_G dos DMs em relação aos CMs.

As reduções das áreas de porta do OTAs SESS implementados com DMs de ângulos α iguais a 135°, 90° e 45° em relação àquelas observadas nos OTAs SESS equivalentes implementados com CMs, são de 9,9%, 23,9% e 37%, respectivamente (BANIN JR; SALVADOR; MORETO, 2019). Essas reduções de área de porta podem ser justificadas, principalmente, pelos efeitos LCE e PAMDLE. O LCE se torna ainda mais efetivo para os DMs com ângulo α igual a 45°, pois o campo elétrico longitudinal resultante fica maior à medida que o ângulo α é reduzido. Com o aumento da resultante do campo elétrico longitudinal, a I_{DS} também fica maior e esse efeito é verificado como redução de A_G. Isso ocorre, devido a razão de aspecto entre os CMs e os DMs, que deve ser igualada a fim de manter o mesmo desempenho elétrico desses transistores (BANIN JR et al., 2021). Além disso, as reduções das áreas de dreno e fonte são proporcionais à redução da A_G, pois estão interligadas (porta, dreno e fonte).

A mesma conversão dos CMs maiores (MOSFETs M1, M2, M7 e M8) da solução 1.2 ilustrados na Figura 26 em DMs foi realizada para o OTA Miller. A Tabela 14 apresenta as dimensões *W*, *L* e L_{eff} dos CMs e dos DMs (MOSFETs M1, M2, M7 e M8) e as respectivas variações de A_G entre os CMs e os DMs para o OTA Miller com ângulos α iguais a 45º, 90º e 135º, respectivamente (BANIN JR et al., 2021a).

Tabela 14- Dimensões W, L, L_{eff} e variações das A_Gs entre CMs e DMs (MOSFETs M1, M2, M7 e M8) para o OTA Miller com ângulos α iguais a 45º, 90º e 135º

α(°) = 135	CM	DM	Delta	**α(°) = 90**	CM	DM	Delta	**α(°) = 45**	CM	DM	Delta
W_{1_2} (µm)	83,1	73,1	-10,0	W_{1_2} (µm)	83,1	58,8	-24,3	W_{1_2} (µm)	83,1	45,0	-38,1
L_{eff}; L_{1_2} (µm)	8,9	8,9	0,0	L_{eff}; L_{1_2} (µm)	8,9	8,9	0,0	L_{eff}; L_{1_2} (µm)	8,9	8,9	0,0
A_{G1_2} (µm²)	1479,2	1300,9	-178,3	A_{G1_2} (µm²)	1479,2	1046,1	-433,1	A_{G1_2} (µm²)	1479,2	801,2	-678,0
Redução de área:		**12,1%**		**Redução de área:**		**29,3%**		**Redução de área:**		**45,8%**	

(a)

α(°) = 135	CM	DM	Delta	**α(°) = 90**	CM	DM	Delta	**α(°) = 45**	CM	DM	Delta
W_7 (µm)	55	48,4	-6,6	W_7 (µm)	55	38,9	-16,1	W_7 (µm)	55	29,8	-25,2
L_{eff}; L_7 (µm)	14,3	14,3	0,0	L_{eff}; L_7 (µm)	14,3	14,3	0,0	L_{eff}; L_7 (µm)	14,3	14,3	0,0
A_{G_7} (µm²)	786,5	691,7	-94,8	A_{G_7} (µm²)	786,5	556,2	-230,3	A_{G_7} (µm²)	786,5	425,8	-360,7
Redução de área:		**12,1%**		**Redução de área:**		**29,3%**		**Redução de área:**		**45,9%**	

(b)

α(°) = 135	CM	DM	Delta	**α(°) = 90**	CM	DM	Delta	**α(°) = 45**	CM	DM	Delta
W_8(µm)	88,3	77,7	-10,6	W_8(µm)	88,3	62,4	-25,9	W_8(µm)	88,3	47,8	-40,5
L_{eff}; L_8(µm)	14,3	14,3	0,0	L_{eff}; L_8(µm)	14,3	14,3	0,0	L_{eff}; L_8(µm)	14,3	14,3	0,0
A_{G8}(µm²)	1262,7	1110,5	-152,2	A_{G8}(µm²)	1262,7	892,9	-369,8	A_{G8}(µm²)	1262,7	683,6	-579,1
Redução de área:		**12,1%**		**Redução de área:**		**29,3%**		**Redução de área:**		**45,9%**	

(c)

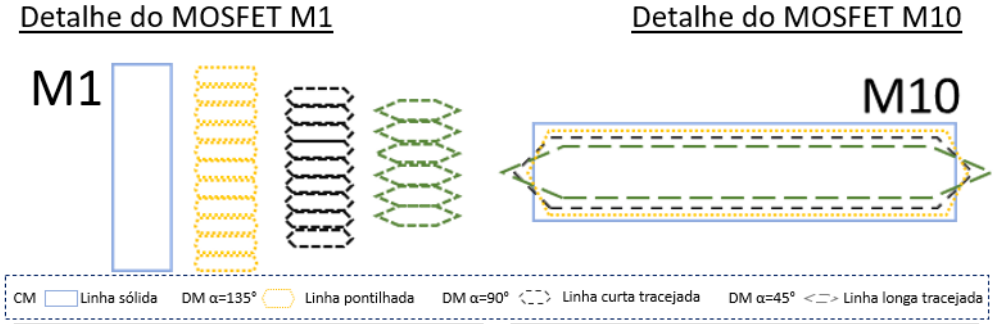
Var.$_{TOT.}$(µm²)	-425,2	Red. Total	11,3%	Var.$_{TOT.}$(µm²)	-1033,2	Red. Total	27,4%	Var.$_{TOT.}$(µm²)	-1617,8	Red. Total	43,0%

(d)

Fonte: Autor.

A Tabela 14 apresenta as reduções de A_G dos OTAs Miller implementados com DMs de ângulos α iguais a 135°, 90° e 45° em relação aos OTAs Miller equivalentes implementados com CMs, são de 11,3%, 27,4% e 43%, respectivamente. Um resultado semelhante foi obtido pelos autores Gimenez, Neto e Peruzzi (2014) em experimentos feitos com MOSFETs do tipo Diamante para diferentes ângulos alfa. A melhor performance elétrica obtida foi para o ângulo α igual a 36,9º, ou seja, o menor ângulo avaliado. A Figura 30 ilustra dois exemplos de conversão de CMs em DMs para o OTA SESS, sendo eles, os M1 e M10 com geometrias de porta retangulares e os MOSFETs equivalentes com geometria de portas hexagonais para o ângulo α de 45°, 90° e 135°, respectivamente (BANIN JR et al., 2021b).

Figura 30 – M1 e M10 do OTA SESS com geometria de porta retangular e MOSFETs equivalentes com geometria de porta hexagonal com o ângulo α de 45°, 90° e 135°.



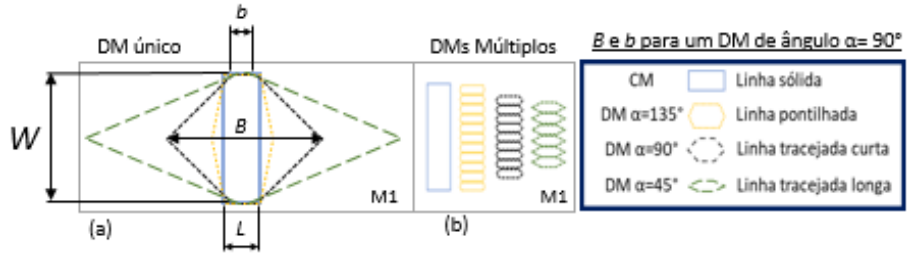
M1		Diamante							
Referência		α (°)	45,0	α (°)	90,0	α (°)	135,0
		Qtde.	13	Qtde.	18	Qtde.	22
Convencional		B (µm)	1,87	B (µm)	1,48	B (µm)	1,38
W_{1_2} (µm)	9,3	b (µm)	0,86	b (µm)	1,13	b (µm)	1,23
L_{1_2} (µm)	1,3	W_{DM} (µm)	0,42	W_{DM} (µm)	0,35	W_{DM} (µm)	0,36
$A_{G_1_2}$ (µm²)	12,1	A_G (µm²)	6,85	A_G (µm²)	8,6	A_G (µm²)	10,65

M10		Diamante					
Referência		α (°)	45,0	α (°)	90,0	α (°)	135,0
		Qtde.	1	Qtde.	1	Qtde.	1
Convencional		B (µm)	11,58	B (µm)	10,84	B (µm)	10,42
W_{10} (µm)	2,3	b (µm)	8,57	b (µm)	9,21	b (µm)	9,59
L_{10} (µm)	10,0	W_{DM} (µm)	1,24	W_{DM} (µm)	1,63	W_{DM} (µm)	2,02
A_{G_10} (µm²)	23,0	A_G (µm²)	12,54	A_G (µm²)	16,30	A_G (µm²)	20,24

Fonte: Autor.

Na Figura 30, o M1 do OTA SESS apresenta uma razão de aspecto (W/L) maior que 1. Por esse motivo, os DMs devem ser divididos em múltiplos DMs em paralelo a fim de evitar o aumento da A_G. Por outro lado, o MOSFET M10 do OTA SESS possui W/L menor que 1. Desse modo, a substituição do CM por um único DM já é possível obter uma redução de A_G. São necessários 18 DMs em paralelo com ângulo α igual a 90° para substituir o CM M1 (Figura 30) e reduzir a A_G. Por outro lado, é necessário apenas 1 DM para substituir o CM M10. As quantidades dos DMs em paralelo foram desenhadas na figura com aproximadamente metade das quantidades reais a fim de melhorar a visualização da figura, por exemplo, foram desenhados 9 DMs com ângulo α igual a 90° em paralelo ao invés de 18 DMs (valor calculado). A Figura 31a mostra que a A_G ocupada por um único DM com ângulo α igual a 90° é aproximadamente duas vezes maior que a A_G ocupada por vários DMs em paralelo (Figura 31b).

Figura 31 – Representação de um CM em comparação com DMs unitários de ângulos α iguais a 45°, 90° e 135° (a) e CM em comparação com múltiplos DMs de ângulos α iguais a 45°, 90° e 135° (b).



Fonte: Autor.

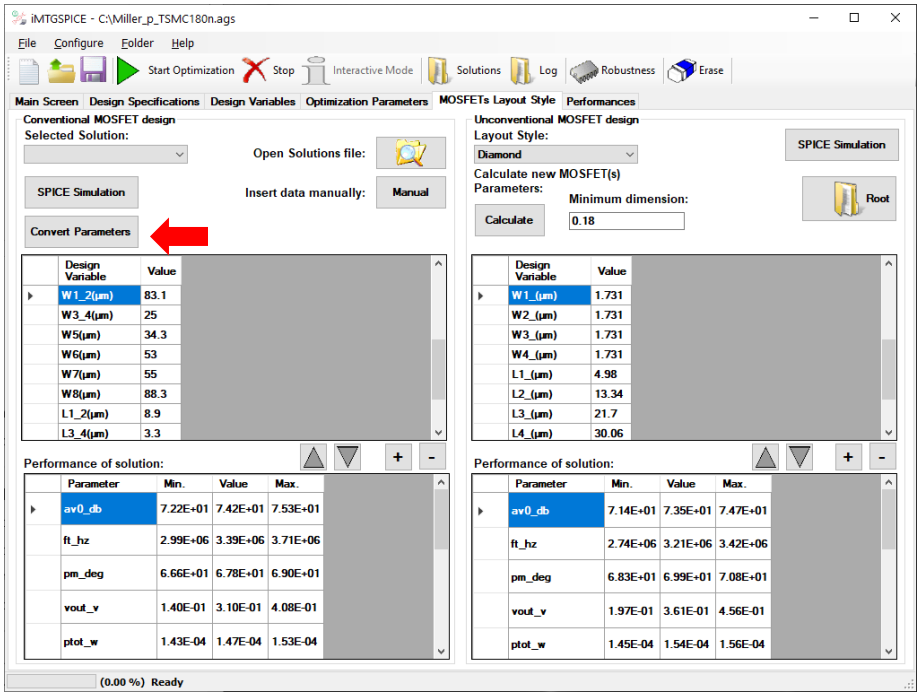
A Figura 31a ilustra o CM M1 (OTA SESS) em linha azul sólida em comparação ao DM único com ângulo α igual a 45° (linha tracejada longa em verde), 90° (linha tracejada curta em preto) e 135° (linha pontilhada em laranja). A Figura 31b ilustra o mesmo CM M1, mas em comparação com múltiplos DMs em paralelo com ângulo α igual a 45°, 90° e 135°. Nota-se que a quantidade de DMs em paralelo reduz a medida que o ângulo α diminui. Para substituir o CM M1 por DMs em paralelo, são necessários 22 DMs para o ângulo α igual a 135°, 18 DMs em paralelo para o ângulo α igual a 90° e somente 13 DMs em paralelo para o ângulo α igual a 45° (BANIN JR et al., 2021b). Analisando novamente a Figura 31, pode se concluir que a estratégia de utilizar múltiplos DMs em paralelo para substituir um CM, com razão de aspecto maior que um, pode contribuir com a redução da A_G (Figura 31b). Por outro lado, se utilizado apenas um DM para substituir o CM, a A_G aumenta consideravelmente. Além disso, A_G reduz à medida que o número de DMs em paralelo aumenta. A tecnologia define o limite do número de DMs

usado para substituir a contraparte do CM. Nesse caso, as dimensões dos DMs não podem ser menores que 180 nm (BANIN JR et al., 2021b).

3.2.1 Procedimento otimizado para converter CM em DM automaticamente

Usando o procedimento otimizado, apenas duas variáveis conhecidas são necessárias para converter automaticamente um CM em um DM equivalente. São elas: 1) ângulo α, e 2) dimensão mínima permitida pela tecnologia de CIs CMOS (*Min_Dim*). A *Min_Dim* depende da tecnologia do fabricante do CI CMOS e o ângulo α é adotado. Além disso, o procedimento otimizado pode converter um CM em DM aplicando as equações de primeira ordem em um *software* de programação, como o iMTGSPICE, conforme descrito em Banin Jr et al. (2021b). Porém, uma alternativa que pode ser utilizada por qualquer projetista, é a possibilidade de se aplicar as equações de primeira ordem em uma planilha eletrônica comum. A Figura 32 ilustra a nova tela de entrada de dados do iMTGSPICE que foi desenvolvida para converter CM em DM automaticamente (BANIN JR et al., 2021b).

Figura 32 - Imagem em tempo real da tela de iMTGSPICE para a conversão de CM em DM.



Fonte: Autor.

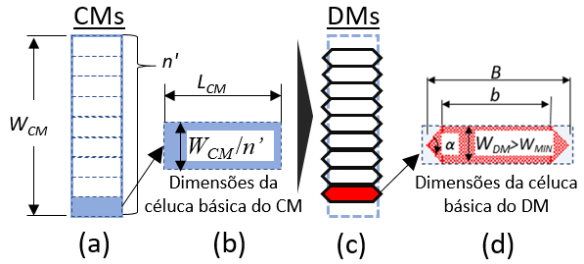
Múltiplos DMs conectados em paralelo são usados para substituir um CM e reduzir a A_G (BANIN JR et al., 2021b). O primeiro passo para converter um CM em DM automaticamente é definir a quantidade de CMs conectados em paralelo pela Equação (46). A

Figura 33 ilustra um CM representado por múltiplos CMs conectados em paralelo (*n'*) e os DMs equivalentes (BANIN JR et al., 2021b).

$$n' = \frac{W_CM}{W_MIN} \tag{46}$$

Onde W_{MIN} depende das regras de projeto da tecnologia de fabricação de CIs CMOS, geralmente definido como pelo menos duas vezes o menor comprimento de canal (L_{MIN}).

Figura 33 – Um CM representado por *n'* CMs em paralelo mantendo o mesmo L_{CM} e largura de canal (W_{CM}/n') (a) e as dimensões da célula básica do CM (b). CM representado por DMs conectados em paralelo (c) e as dimensões da célula básica do DM (d).



Fonte: Autor.

As dimensões da célula básica do DM (ângulo *α, B, b* e W_DM) podem ser determinadas com base nas dimensões da célula básica do CM ($W_CM\ /n'$ e L_CM) e considerando que ambos os MOSFETs (DM e CM) devem apresentar a mesma corrente entre o dreno e a fonte (I_{DS_DM} igual a I_{DS_CM}). De acordo com o procedimento descrito no Capítulo 3.2, as dimensões da célula básica do DM (W_DM, *b* e *B*) podem ser calculadas pelas Equações (42), (43) e (44), respectivamente. Sendo que as equações (43) e (44) podem ser reescritas pelas equações (47) e (48), respectivamente (BANIN JR et al., 2021b).

$$b = \frac{\frac{W_DM}{\tan\left(\frac{\alpha}{2}\right)}}{exp\left(\frac{\frac{W_DM}{\tan\left(\frac{\alpha}{2}\right)}}{L_{eff_DM}}\right) - 1} \tag{47}$$

$$B = \frac{W_DM}{\tan\left(\frac{\alpha}{2}\right)} + b \tag{48}$$

Com isso, a conversão do CM em DM pode ser feita automaticamente com sucesso informando apenas duas variáveis conhecidas (ângulo α e *Min_Dim*) e aplicando as equações

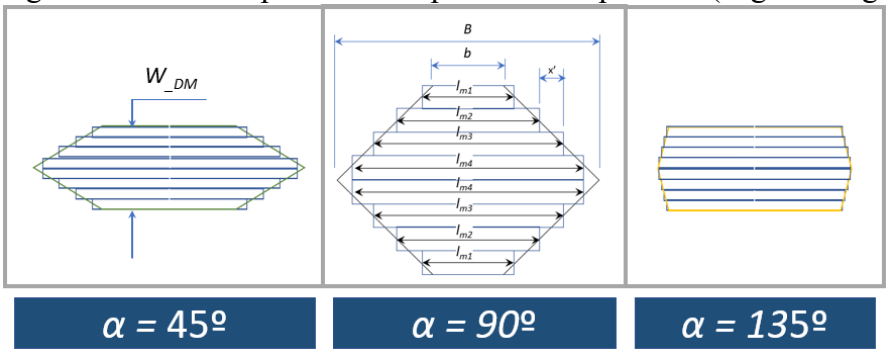
(46), (47) e (48) em uma planilha eletrônica comum, por exemplo, do tipo Excel. As dimensões do DM calculadas neste Capítulo são usadas para fazer o leiaute do CI CMOS analógico e não para simular o DM em um simulador SPICE, conforme será descrito a seguir.

3.3 ETAPA 3: DESENVOLVER UM PROCEDIMENTO PARA SIMULAR O DM NO SPICE

O efeito PAMDLE é capaz de reduzir o L_{eff_DM} em relação ao comprimento geométrico da estrutura hexagonal [(*B*+*b*)/2], considerando que eles apresentem as mesmas áreas de porta, condições de polarização e larguras de canal. Isso ocorre porque o DM pode ser representado eletricamente por conexões paralelas de CMs com diferentes comprimentos de canal ($b \leq L_i \leq B$, sendo i um número inteiro tendendo ao infinito). Com isso, uma vez que o L_{eff_DM} é menor e esse valor está no denominador da formula da corrente na região de saturação ($I_{DS} = \mu_0 C_{OX} \frac{W}{L} \left[\frac{(V_{GS}-V_{th})^2}{2}\right]$, I_{DS_DM} tende a ser maior que I_{DS_CM}. (GIMENEZ et al., 2014). Para simular o PAMDLE neste projeto de pesquisa, foi considerado uma conexão paralela de 8 CMs (n = 8, onde n é o número de CMs conectados em paralelo), com diferentes comprimentos de canal (l_{m_N}, onde $1 \leq N \leq 4$, considerado neste projeto de pesquisa) e apresentando as mesmas larguras de canal (W/n). Quanto maior for o valor de n, mais confiável é a modelagem para o DM no simulador SPICE. Por outro lado, o valor mais alto de n é limitado pela dimensão mínima permitida pela tecnologia de fabricação de CIs CMOS que, neste caso, é de 180 nm (BANIN JR et al., 2021b).

A Figura 34 ilustra três DMs diferentes (ângulos α de 45°, 90° e 135°) representados por 8 CMs conectados em paralelo para serem simulados no simulador SPICE.

Figura 34 – DMs implementados por CMs em paralelo (ângulos α iguais a 45º, 90º e 135º).



Fonte: Autor.

Onde a dimensão *x'* representa a constante de incremento que é adicionada ao valor de *b* dada pela Equação (49), l_{m_N} é o comprimento de canal, *N* é número de CMs em paralelo considerando a simetria da geometria hexagonal (Diamante), ou seja, nesse caso há uma variação de $1 \leq N \leq 4$.

$$x' = (B - b)/n \tag{49}$$

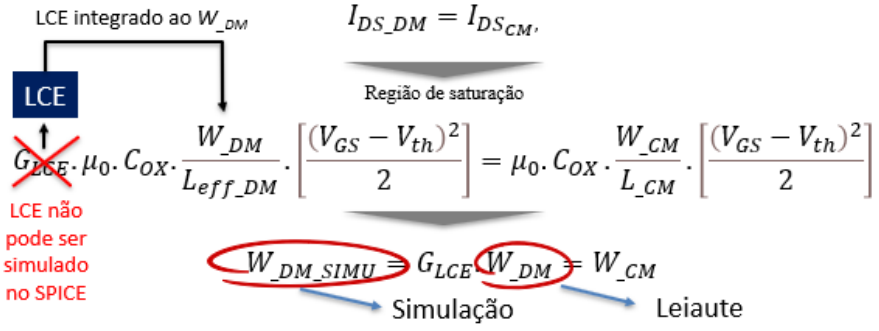
Quanto maior a quantidade de CMs em paralelo (*n*), melhor será sua representação elétrica durante a simulação SPICE. Por outro lado, o número de CMs em paralelo é limitado pela tecnologia utilizada. Nesse caso, a tecnologia utilizada é a TSMC de 180 nm, ou seja, não devem ser utilizadas dimensões menores que 180 nm. Para verificar o efeito dessa limitação, foram realizadas simulações SPICE com *n* igual a 4, 8 e 12. No entanto, a simulação com *n* igual a 12 apresentou erros de convergência durante a simulação devido à utilização de valores dimensionais muito próximos ao limite da tecnologia. Com isso, foi considerado neste projeto de pesquisa um *n* igual a 8 para privilegiar a representação elétrica do dispositivo durante a simulação no SPICE. As duas simulações restantes, considerando *n* igual a 4 e 8 foram finalizadas com sucesso.

O SPICE não é capaz de simular o LCE presente no DM. Isso ocorre devido ao simulador SPICE considerar apenas geometrias de MOSFETs quadradas ou retangulares. Para superar essa limitação do SPICE, foi proposto um modelo analítico, fornecido pela Equação (42), que pode incorporar o LCE ao SPICE, ou seja, incorporar o G_{LCE} como fator multiplicado da $W_{_DM}$, de acordo com a Equação (50) (GIMENEZ et al., 2014).

$$W_{_DM_SIMU} = G_{LCE}.W_{_DM} = W_{_CM} \tag{50}$$

A Figura 35 descreve o procedimento para representar o LCE no simulador SPICE mantendo a mesma I_{DS} entre o CM e DM ($I_{DS_DM} = I_{DS_CM}$).

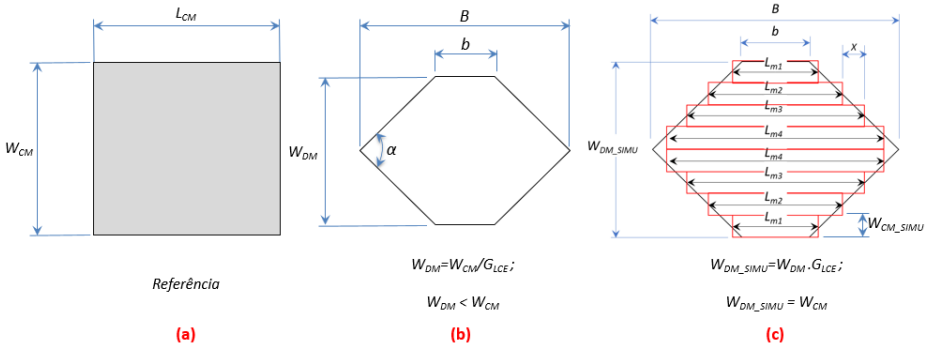
Figura 35 – Procedimento para representar o LCE no simulador SPICE mantendo a mesma I_{DS} entre o CM e DM ($I_{DS\ DM} = I_{DS\ CM}$).



Fonte: Autor.

A Figura 35 mostra que o G_{LCE} pode ser considerado no W_DM (utilizado no leiaute) a fim de manter o I_{DS} ($I_{DS_DM} = I_{DS_CM}$). Portanto, a largura do DM preparado para simulação (W_DM_SIMU) é maior do que o W_DM utilizado para projetar o leiaute do CI CMOS analógico e ao mesmo tempo é o mesmo valor do W_CM. A Figura 36 ilustra a porta do CM utilizada como referência para ser convertida na porta do DM (a), a porta do DM e suas respectivas dimensões utilizadas no leiaute do CI CMOS analógico (b) e a porta do DM preparada para simulação (c).

Figura 36 - Porta do CM utilizada como referência para ser convertida na porta do DM (a), porta do DM e suas respectivas dimensões utilizadas no leiaute do CI CMOS analógico (b) e a porta do DM preparada para simulação (c).



Fonte: Autor.

De acordo com a Equação (50), W_CM é maior do que W_DM pois o LCE intensifica o I_{DS} do DM (Figura 19). Além disso, conforme Equação (50), W_DM_SIMU é igual a W_CM para simular o LCE no SPICE (Figura 35). Portanto, W_DM é usado para fazer o leiaute do MOSFET Diamante e W_DM_SIMU é usado para realizar a simulação no SPICE.

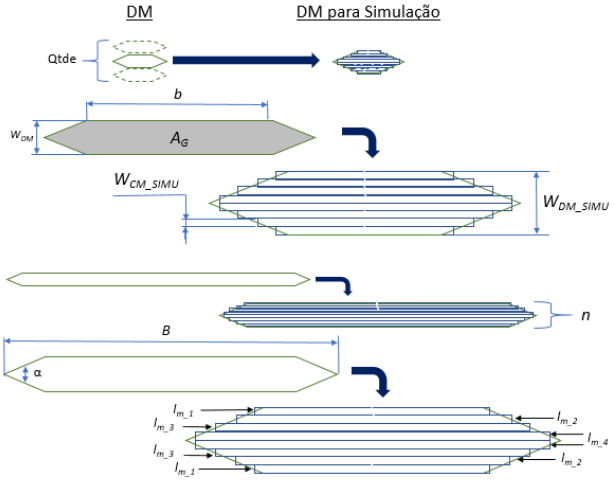
A troca dos DMs por CMs em paralelo, que representa a forma hexagonal do Diamante, é realizada apenas para simular o DM no SPICE. Com isso, utilizando os resultados da simulação SPICE, é possível avaliar o desempenho elétrico dos OTAs SESS antes de iniciar a confecção do CI CMOS analógico. Depois disso, b e B podem ser calculados seguindo o mesmo procedimento descrito no Capítulo anterior. Em seguida, para calcular os diferentes comprimentos de canal (l_{m1}, …, l_{m_N}) que compõem o DM para simulação, deve-se utilizar as Equações (51) e (52), considerando neste projeto de pesquisa, que n é igual a 8. Portanto, N é igual a 1, 2, 3 e 4, devido a simetria da porta do DM em relação a largura.

$$l_{m_1} = b + x \tag{51}$$

$$l_{m_N} = l_{m_N-1} + 2x \tag{52}$$

Assim, pode-se determinar os valores de l_{m_N}, W_DM_SIMU, B e b, em relação ao ângulo α adotado. Consequentemente, os DMs podem ser simulados no SPICE. A Figura 37 ilustra as dimensões dos DMs e dos respectivos DMs preparados para simulações no SPICE.

Figura 37 - DMs e os respectivos DMs preparados para simulações no SPICE.



Fonte: Autor.

A Tabela 15 apresenta os dados geométricos dos CMs implementados no OTA CMOS SESS, os respectivos DMs e os DMs preparados para simulações no SPICE com ângulos α iguais a 135º, 90º e 45º, respectivamente.

Tabela 15 - Dados geométricos dos CMs implementados no OTA CMOS SESS, os respectivos DMs e os DMs preparados para simulações no SPICE com ângulos α iguais a 135º, 90º e 45º.

M1/2		DM		DM para simulação			
Referência		α (°)	135	α (°)	135	l_{m_1}	1,08
Convencional		Qtde	22	Qtde	6	l_{m_2}	1,24
$W_{1,2}$ (µm)	9,3	B (µm)	1,38	B (µm)	1,65	l_{m_3}	1,40
$L_{1,2}$ (µm)	1,3	b (µm)	1,22	b (µm)	1,00	l_{m_4}	1,57
$A_{G_1,2}$ (µm²)	12,1	W_{DM} (µm)	0,37	W_{DM_SIMU} (µm)	1,55	n	8
		A_G (µm²)	10,7	W_{CM_SIMU} (µm)	0,1938		

	DM		DM para simulação			
	α (°)	90,0	α (°)	90,0	l_{m_1}	0,86
	Qtde	18	Qtde	6	l_{m_2}	1,25
	B (µm)	1,49	B (µm)	2,21	l_{m_3}	1,63
	b (µm)	1,13	b (µm)	0,66	l_{m_4}	2,02
	W_{DM} (µm)	0,37	W_{DM_SIMU} (µm)	1,55	n	8
	A_G (µm²)	8,61	W_{CM_SIMU} (µm)	0,194		

	DM		DM para Simulação			
	α (°)	45,0	α (°)	45,0	l_{m_1}	0,58
	Qtde	13	Qtde	6	l_{m_2}	1,52
	B (µm)	1,82	B (µm)	2,57	l_{m_3}	2,45
	b (µm)	0,89	b (µm)	0,54	l_{m_4}	3,39
	W_{DM} (µm)	0,387	W_{DM_SIMU} (µm)	0,84	n	8
	A_G (µm²)	6,85	W_{CM_SIMU} (µm)	0,194		

M5/6		DM		DM para simulação			
Referência		α (°)	135	α (°)	135	l_{m_1}	7,57
Convencional		Qtde	1	Qtde	1	l_{m_2}	7,79
$W_{5,6}$ (µm)	2,2	B (µm)	8,31	B (µm)	8,36	l_{m_3}	8,02
$L_{5,6}$ (µm)	7,9	b (µm)	7,51	b (µm)	7,45	l_{m_4}	8,25
$A_{G_5,6}$ (µm²)	17,4	W_{DM} (µm)	1,93	W_{DM_SIMU} (µm)	2,20	n	8
		A_G (µm²)	15,30	W_{CM_SIMU} (µm)	0,275		

	DM		DM para simulação			
	α (°)	90,0	α (°)	90,0	l_{m_1}	7,12
	Qtde	1	Qtde	1	l_{m_2}	7,67
	B (µm)	8,70	B (µm)	9,05	l_{m_3}	8,22
	b (µm)	7,15	b (µm)	6,85	l_{m_4}	8,77
	W_{DM} (µm)	1,56	W_{DM_SIMU} (µm)	2,2	n	8
	A_G (µm²)	12,33	W_{CM_SIMU} (µm)	0,275		

	DM		DM para Simulação			
	α (°)	45,0	α (°)	45,0	l_{m_1}	6,18
	Qtde	1	Qtde	1	l_{m_2}	7,51
	B (µm)	9,42	B (µm)	10,83	l_{m_3}	8,84
	b (µm)	6,55	b (µm)	5,52	l_{m_4}	10,17
	W_{DM} (µm)	1,19	W_{DM_SIMU} (µm)	2,20	n	8
	A_G (µm²)	9,51	W_{CM_SIMU} (µm)	0,275		

M9		DM		DM para simulação			
Referência		α (°)	135	α (°)	135	l_{m_1}	9,88
Convencional		Qtde	1	Qtde	1	l_{m_2}	9,96
W_9 (µm)	0,8	B (µm)	10,15	B (µm)	10,17	l_{m_3}	10,04
L_9 (µm)	10,0	b (µm)	9,85	b (µm)	9,84	l_{m_4}	10,13
A_{G_9} (µm²)	8,0	W_{DM} (µm)	0,70	W_{DM_SIMU} (µm)	0,80	n	8
		A_G (µm²)	7,04	W_{CM_SIMU} (µm)	0,10		

	DM		DM para simulação			
	α (°)	90,0	α (°)	90,0	l_{m_1}	9,70
	Qtde	1	Qtde	1	l_{m_2}	9,90
	B (µm)	10,29	B (µm)	10,40	l_{m_3}	10,10
	b (µm)	9,72	b (µm)	9,60	l_{m_4}	10,30
	W_{DM} (µm)	0,57	W_{DM_SIMU} (µm)	0,80	n	8
	A_G (µm²)	5,66	W_{CM_SIMU} (µm)	0,100		

	DM		DM para Simulação			
	α (°)	45,0	α (°)	45,0	l_{m_1}	9,30
	Qtde	1	Qtde	1	l_{m_2}	9,79
	B (µm)	10,53	B (µm)	10,99	l_{m_3}	10,27
	b (µm)	9,49	b (µm)	9,06	l_{m_4}	10,75
	W_{DM} (µm)	0,43	W_{DM_SIMU} (µm)	0,80	n	8
	A_G (µm²)	4,33	W_{CM_SIMU} (µm)	0,10		

M10		DM		DM para simulação			
Referência		α (°)	135	α (°)	135	l_{m_1}	9,65
Convencional		Qtde	1	Qtde	1	l_{m_2}	9,89
W_{10} (µm)	2,3	B (µm)	10,42	B (µm)	10,48	l_{m_3}	10,13
L_{10} (µm)	10,0	b (µm)	9,59	b (µm)	9,53	l_{m_4}	10,36
A_{G_10} (µm²)	23,0	W_{DM} (µm)	2,02	W_{DM_SIMU} (µm)	2,30	n	8
		A_G (µm²)	20,24	W_{CM_SIMU} (µm)	0,287		

	DM		DM para simulação			
	α (°)	90,0	α (°)	90,0	l_{m_1}	9,18
	Qtde	1	Qtde	1	l_{m_2}	9,75
	B (µm)	10,84	B (µm)	11,19	l_{m_3}	10,33
	b (µm)	9,21	b (µm)	8,89	l_{m_4}	10,90
	W_{DM} (µm)	1,63	W_{DM_SIMU} (µm)	2,30	n	8
	A_G (µm²)	16,30	W_{CM_SIMU} (µm)	0,287		

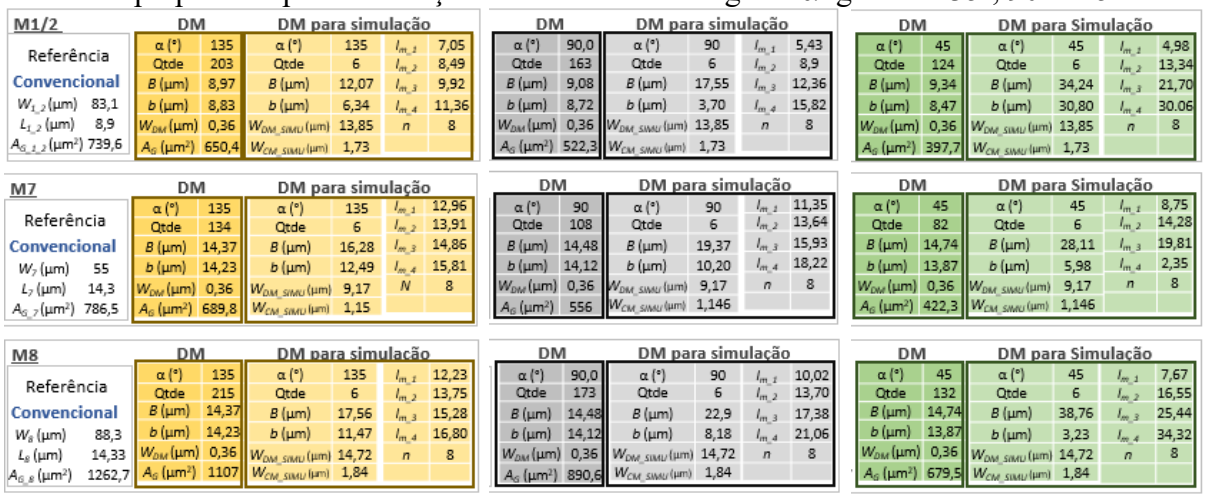
	DM		DM para Simulação			
	α (°)	45,0	α (°)	45,0	l_{m_1}	8,16
	Qtde	1	Qtde	1	l_{m_2}	9,54
	B (µm)	11,58	B (µm)	13,02	l_{m_3}	10,93
	b (µm)	8,57	b (µm)	7,46	l_{m_4}	12,32
	W_{DM} (µm)	1,24	W_{DM_SIMU} (µm)	2,30	n	8
	A_G (µm²)	12,54	W_{CM_SIMU} (µm)	0,287		

Fonte: Autor.

A primeira coluna com fundo branco apresenta os MOSFETs M1, M2, M5, M6, M9 e M10 da Tabela 15 e as respectivas dimensões *W, L* e A_G dos CMs. Eles são utilizados como referência para serem convertidos em DMs implementados no OTA SESS. Em seguida, a Tabela 15 está dividida em três colunas principais com cores laranja, cinza e verde, respectivamente, dentro delas, há 2 colunas denominadas DM e DM para simulação. As dimensões e os parâmetros (*b, B, α,* $W_{_DM}$, "Qtde" e A_G), referente aos DMs com ângulo *α* igual a 135º, 90º e 45º, são apresentadas na primeira coluna menor denominada "DM", sendo que a linha "Qtde" informa a quantidade de DMs utilizados para substituir os respectivos CMs. A coluna "DM para simulação" apresenta as dimensões e os parâmetros (*b, B, α, n, Qtde,* $W_{_DM_SIMU}$, l_{m_N}, $W_{_CM_SIMU}$, $W_{_DM}$ e A_G) dos diferentes CMs que representam a estrutura hexagonal de porta do DM com ângulo *α* igual a 135º, 90º e 45º para simulações no SPICE. Cabe ressaltar que a A_G dos DMs para simulação no SPICE é maior que a A_G dos DMs originais, pois eles não levam em consideração os efeitos LCE e PAMDLE (BANIN JR et al., 2021). Nota-se que no caso dos MOSFETs M1 e M2, onde a razão de aspecto é maior que 1, a quantidade de DMs em paralelo (no caso do ângulo *α* igual a 90º foram 18 DMs em paralelo) é maior que a quantidade de DMs preparados para simulação (no caso do ângulo *α* igual a 90º foram 6 DMs preparados para simulação em paralelo). Isso foi feito, pois os DMs preparados para simulação são representados com 8 CMs em paralelo com o intuito de simular o efeito PAMDLE no SPICE. Com isso, se mantivéssemos a mesma quantidade para os DMs e DMs preparados para simulação, os DMs preparados para simulação apresentariam dimensões próximas ou até menores que o limite de dimensão permitido pela tecnologia, nesse caso de 180 nm. Essa situação, inevitavelmente, iria gerar erros de convergência durante a simulação SPICE. Por essa razão, para os casos onde o quando o *W*/*L* for maior que 1, a quantidade de DMs preparados para simulação em paralelo foi reduzida em comparação à quantidade de DMs reais em paralelo.

A Tabela 16 apresenta os dados geométricos dos CMs implementados no OTA Miller, os respectivos DMs e os DMs preparados para simulações no SPICE com ângulos *α* iguais a 135º, 90º e 45º.

Tabela 16 - Dados geométricos dos CMs implementados no OTA Miller, os respectivos DMs e os DMs preparados para simulações no SPICE com ângulos α iguais a 135º, 90º e 45º.



M1/2		DM		DM para simulação			
Referência Convencional		α (°)	135	α (°)	135	l_{m_1}	7,05
$W_{1,2}$ (µm)	83,1	Qtde	203	Qtde	6	l_{m_2}	8,49
$L_{1,2}$ (µm)	8,9	B (µm)	8,97	B (µm)	12,07	l_{m_3}	9,92
$A_{G_1,2}$ (µm²)	739,6	b (µm)	8,83	b (µm)	6,34	l_{m_4}	11,36
		W_{DM} (µm)	0,36	W_{DM_SIMU} (µm)	13,85	n	8
		A_G (µm²)	650,4	W_{CM_SIMU} (µm)	1,73		

	DM		DM para simulação			
	α (°)	90,0	α (°)	90	l_{m_1}	5,43
	Qtde	163	Qtde	6	l_{m_2}	8,9
	B (µm)	9,08	B (µm)	17,55	l_{m_3}	12,36
	b (µm)	8,72	b (µm)	3,70	l_{m_4}	15,82
	W_{DM} (µm)	0,36	W_{DM_SIMU} (µm)	13,85	n	8
	A_G (µm²)	522,3	W_{CM_SIMU} (µm)	1,73		

	DM		DM para Simulação			
	α (°)	45	α (°)	45	l_{m_1}	4,98
	Qtde	124	Qtde	6	l_{m_2}	13,34
	B (µm)	9,34	B (µm)	34,24	l_{m_3}	21,70
	b (µm)	8,47	b (µm)	30,80	l_{m_4}	30.06
	W_{DM} (µm)	0,36	W_{DM_SIMU} (µm)	13,85	n	8
	A_G (µm²)	397,7	W_{CM_SIMU} (µm)	1,73		

M7		DM		DM para simulação			
Referência Convencional		α (°)	135	α (°)	135	l_{m_1}	12,96
W_7 (µm)	55	Qtde	134	Qtde	6	l_{m_2}	13,91
L_7 (µm)	14,3	B (µm)	14,37	B (µm)	16,28	l_{m_3}	14,86
A_{G_7} (µm²)	786,5	b (µm)	14,23	b (µm)	12,49	l_{m_4}	15,81
		W_{DM} (µm)	0,36	W_{DM_SIMU} (µm)	9,17	N	8
		A_G (µm²)	689,8	W_{CM_SIMU} (µm)	1,15		

	DM		DM para simulação			
	α (°)	90	α (°)	90	l_{m_1}	11,35
	Qtde	108	Qtde	6	l_{m_2}	13,64
	B (µm)	14,48	B (µm)	19,37	l_{m_3}	15,93
	b (µm)	14,12	b (µm)	10,20	l_{m_4}	18,22
	W_{DM} (µm)	0,36	W_{DM_SIMU} (µm)	9,17	n	8
	A_G (µm²)	556	W_{CM_SIMU} (µm)	1,146		

	DM		DM para Simulação			
	α (°)	45	α (°)	45	l_{m_1}	8,75
	Qtde	82	Qtde	6	l_{m_2}	14,28
	B (µm)	14,74	B (µm)	28,11	l_{m_3}	19,81
	b (µm)	13,87	b (µm)	5,98	l_{m_4}	2,35
	W_{DM} (µm)	0,36	W_{DM_SIMU} (µm)	9,17	n	8
	A_G (µm²)	422,3	W_{CM_SIMU} (µm)	1,146		

M8		DM		DM para simulação			
Referência Convencional		α (°)	135	α (°)	135	l_{m_1}	12,23
W_8 (µm)	88,3	Qtde	215	Qtde	6	l_{m_2}	13,75
L_8 (µm)	14,33	B (µm)	14,37	B (µm)	17,56	l_{m_3}	15,28
A_{G_8} (µm²)	1262,7	b (µm)	14,23	b (µm)	11,47	l_{m_4}	16,80
		W_{DM} (µm)	0,36	W_{DM_SIMU} (µm)	14,72	n	8
		A_G (µm²)	1107	W_{CM_SIMU} (µm)	1,84		

	DM		DM para simulação			
	α (°)	90,0	α (°)	90	l_{m_1}	10,02
	Qtde	173	Qtde	6	l_{m_2}	13,70
	B (µm)	14,48	B (µm)	22,9	l_{m_3}	17,38
	b (µm)	14,12	b (µm)	8,18	l_{m_4}	21,06
	W_{DM} (µm)	0,36	W_{DM_SIMU} (µm)	14,72	n	8
	A_G (µm²)	890,6	W_{CM_SIMU} (µm)	1,84		

	DM		DM para Simulação			
	α (°)	45	α (°)	45	l_{m_1}	7,67
	Qtde	132	Qtde	6	l_{m_2}	16,55
	B (µm)	14,74	B (µm)	38,76	l_{m_3}	25,44
	b (µm)	13,87	b (µm)	3,23	l_{m_4}	34,32
	W_{DM} (µm)	0,36	W_{DM_SIMU} (µm)	14,72	n	8
	A_G (µm²)	679,5	W_{CM_SIMU} (µm)	1,84		

Fonte: Autor.

Para verificar se o modelo SPICE proposto é capaz de simular o DM considerando o LCE e o PAMDLE, foram realizadas simulações no SPICE com os OTAs SESS e Miller implementados com CMs e DMs (α=90º) preparados para simulação. Isso foi feito para verificar se I_{DS} dos CMs foi mantida após a conversão para DMs. Considerando os resultados de I_{DS} encontrados nas simulações SPICE, verifica-se que os erros encontrados são menores que 1%. Esses resultados são apresentados na Tabela 17 (OTA SESS) e Tabela 18 (OTA Miller).

Tabela 17- I_{DS} dos CMs (I_{DS_CM}) e DMs (I_{DS_DM}) com α igual a 90º do OTA SESS.

MOSFET	I_{DS_CM} (µA)	I_{DS_DM} (µA)	Erro I_{DS} (%)
M1 / M2	0,1931746	0,1930800	0,05
M5 / M6	0,6957178	0,6955516	0,02
M9	0,2499975	0,2499976	0,00
M10	0,3862928	0,3861034	0,05

Fonte: Autor.

Tabela 18- I_{DS} dos CMs (I_{DS_CM}) e DMs (I_{DS_DM}) com α igual a 90º do OTA Miller.

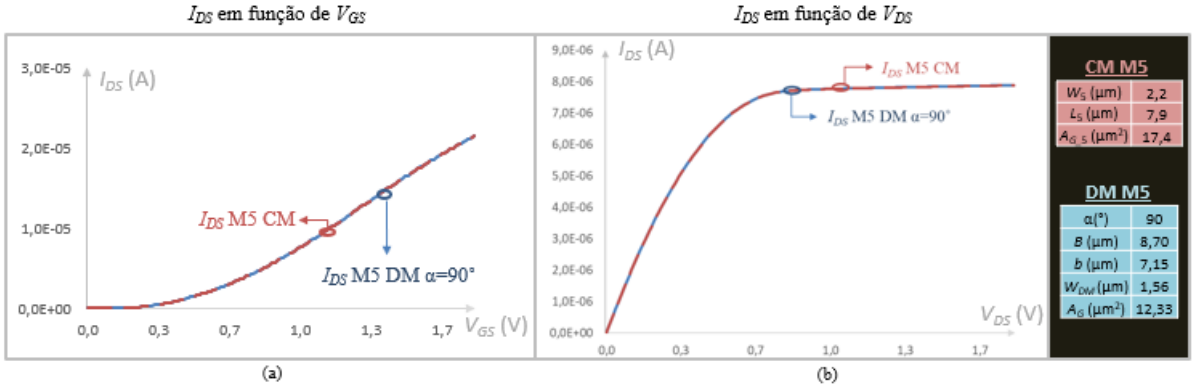
MOSFET	I_{DS_CM} (µA)	I_{DS_DM} (µA)	Erro I_{DS} (%)
M1 / M2	5,498158	5,523969	0,47%
M7	10,99596	11,04762	0,47%
M8	17,71999	17,71999	0,00%

Fonte: Autor.

Observando a Tabela 17 e a Tabela 18, o erro máximo das correntes de dreno nos MOSFETs é de 0,47% (corrente de polarização DC). Além disso, a fim de verificar se a conversão dos CMs em DMs foi capaz de manter a performance elétrica dos OTAs avaliados, foi escolhido aletoriamente o MOSFET M5 para realizar a comparação de I_{DS} em função de V_{GS}

(V_{DS} = 1.0V) e de V_{DS} (V_{GS} = 1.0V) para o DM M5 e do equivalente CM do OTA CMOS SESS (mesmas condições de polarização), conforme ilustrado na Figura 38.

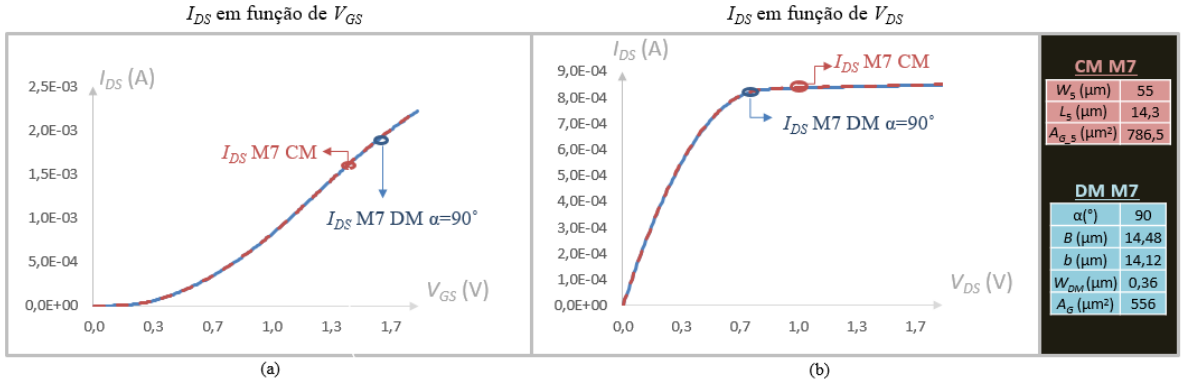
Figura 38- Comparação das curvas de I_{DS} em função de V_{GS} (a) e curvas de I_{DS} em função de V_{DS} (b) dos MOSFETs M5 convencional e Diamante (OTA CMOS SESS).



Fonte: Autor.

A Figura 39 ilustra a mesma comparação descrita anteriormente, porém para o MOSFET M7 do OTA Miller a fim de avaliar um MOSFET diferente.

Figura 39 – Comparação das curvas de I_{DS} em função de V_{GS} (a) e curvas de I_{DS} em função de V_{DS} (b) dos MOSFETs M7 convencional e Diamante (OTA CMOS Miller).



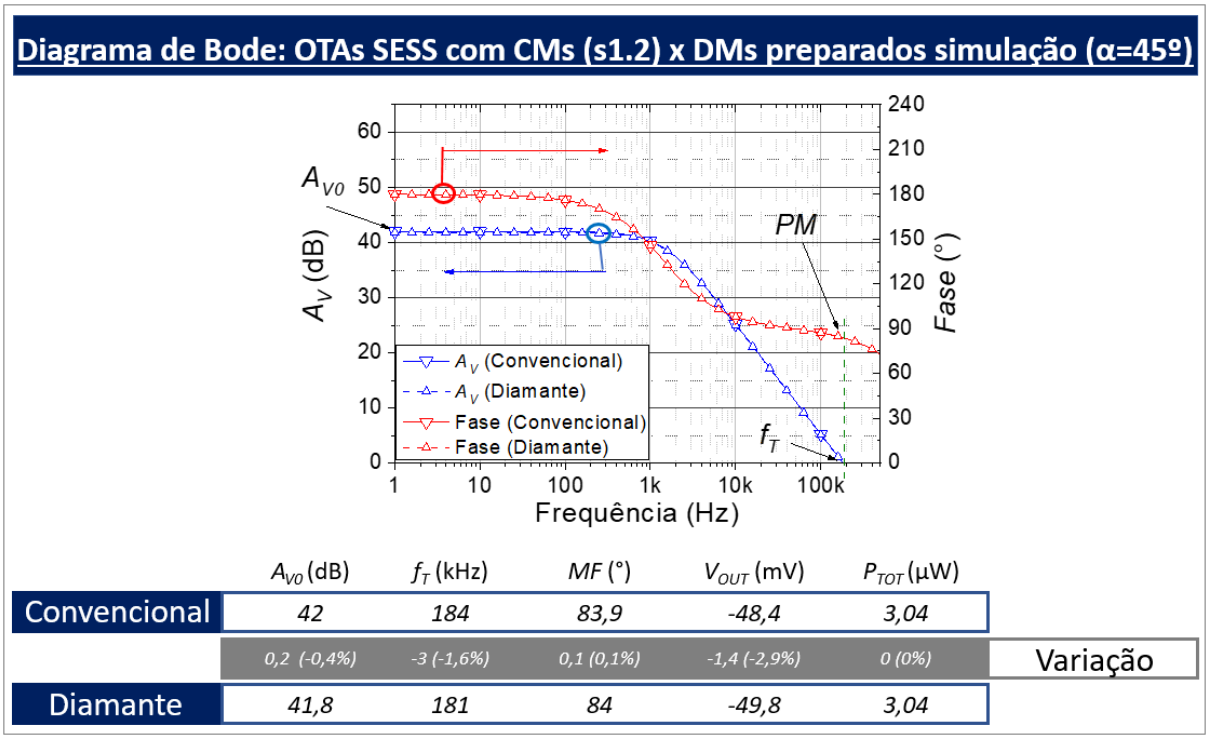
Fonte: Autor.

Observando a Figura 38 e a Figura 39, as curvas de I_{DS} em função de V_{GS} (Figura 38a e Figura 39a) e em função de V_{DS} (Figura 38b e Figura 39b) dos MOSFETs M5 e M7 são praticamente as mesmas entre CM e DM (erro máximo menor de 1%). Portanto, analisando os resultados da Tabela 17, Tabela 18, Figura 38 e Figura 39, é possível comprovar a eficiência do modelo analítico proposto e da estratégia usada para converter o CM em DM.

Foram realizadas as simulações SPICE para o OTA SESS implementado com CMs (solução 1.2) e para o OTA SESS equivalente implementados com DMs preparados para

simulação de ângulo α igual a 45º. Para facilitar a análise, a Figura 40 ilustra os diagramas com a sobreposição das curvas de resposta em frequência para os OTAs SESS implementados com CMs (s1.2) e dos DMs preparados para simulação no SPICE de ângulo α igual a 45º.

Figura 40 - Diagramas de Bode com a sobreposição das curvas de resposta em frequência para os OTAs SESS implementados com CMs (s1.2) e dos DMs preparados para simulação no SPICE de ângulo α igual de 45º.



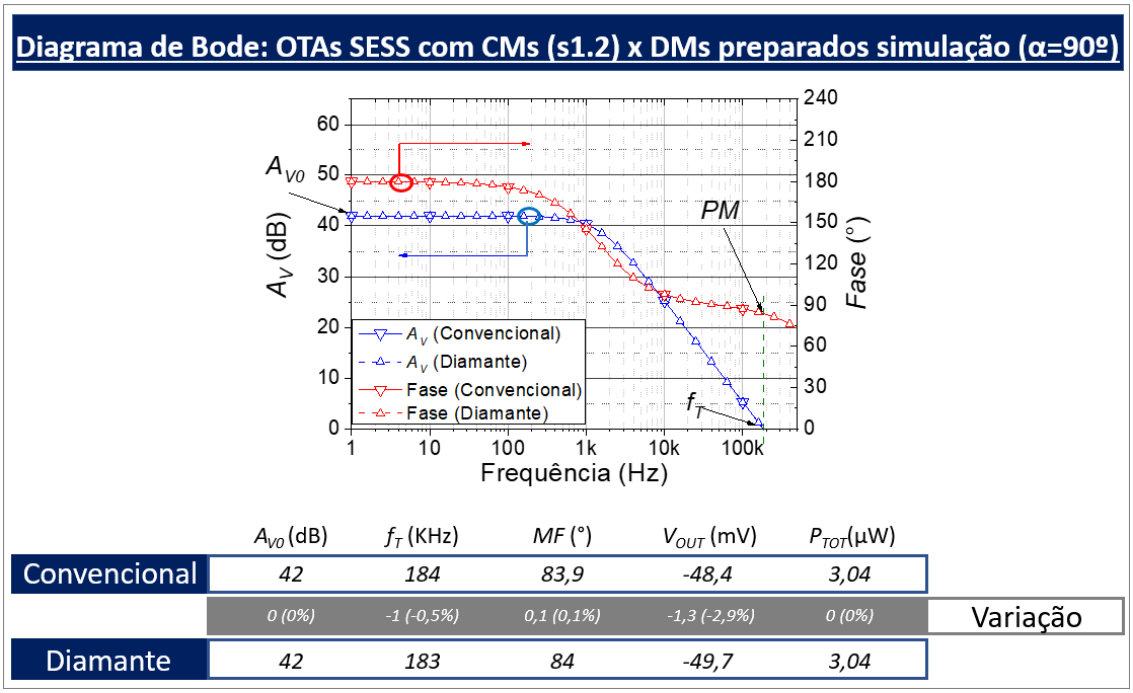
	A_{V0} (dB)	f_T (kHz)	MF (°)	V_{OUT} (mV)	P_{TOT} (µW)	
Convencional	42	184	83,9	-48,4	3,04	
	0,2 (-0,4%)	-3 (-1,6%)	0,1 (0,1%)	-1,4 (-2,9%)	0 (0%)	Variação
Diamante	41,8	181	84	-49,8	3,04	

Fonte: Autor.

Analisando o diagrama de Bode da Figura 40, observa-se que os dois OTAs SESS avaliados, um com CMs (s1.2) e o outro com DMs preparados para simulação no SPICE de ângulo α igual a 45º, apresentaram comportamentos muito semelhantes. Houve uma diferença menor que 3% para as FoMs avaliadas (A_{V0}, f_T, MF, V_{OUT} e P_{TOT}). Essa pequena diferença encontrada demonstra que o resultado da simulação SPICE foi exatamente o que era esperado. Além disso, houve uma indicação clara que a metodologia proposta para substituir CMs em DMs preparados para simulação, mantendo o desempenho elétrico do OTA SESS, é efetiva (BANIN JR et al., 2021).

A Figura 41 e a Figura 42 ilustram os diagramas de Bode com a sobreposição das curvas da resposta em frequência para os OTAs SESS implementados com CMs (s1.2) e com DMs preparados para simulação no SPICE de ângulo α igual a 90º e 135º, respectivamente.

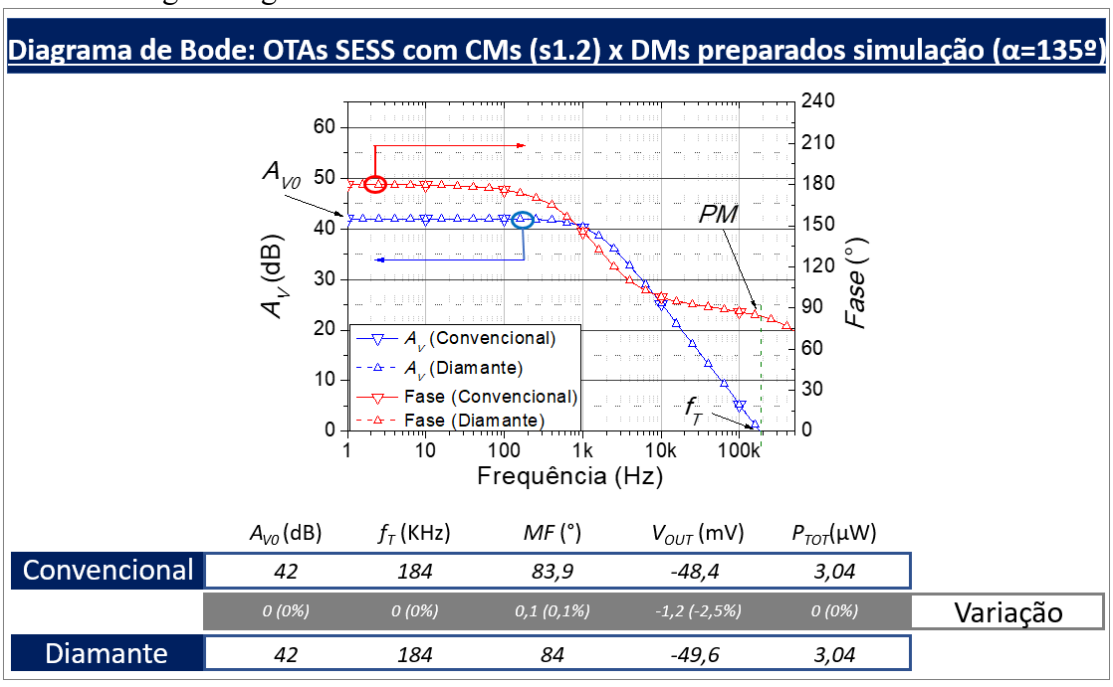
Figura 41 - Diagramas de Bode com a sobreposição das curvas da resposta em frequência para os OTAs SESS implementados com CMs (s1.2) e com DMs preparados para simulação no SPICE de ângulo α igual a 90º.



	A_{V0} (dB)	f_T (KHz)	MF (°)	V_{OUT} (mV)	P_{TOT}(µW)	
Convencional	42	184	83,9	-48,4	3,04	
	0 (0%)	-1 (-0,5%)	0,1 (0,1%)	-1,3 (-2,9%)	0 (0%)	Variação
Diamante	42	183	84	-49,7	3,04	

Fonte: Autor.

Figura 42 - Diagramas de Bode com a sobreposição das curvas da resposta em frequência para os OTAs SESS implementados com CMs (s1.2) e com DMs preparados para simulação no SPICE de ângulo α igual a 135º.



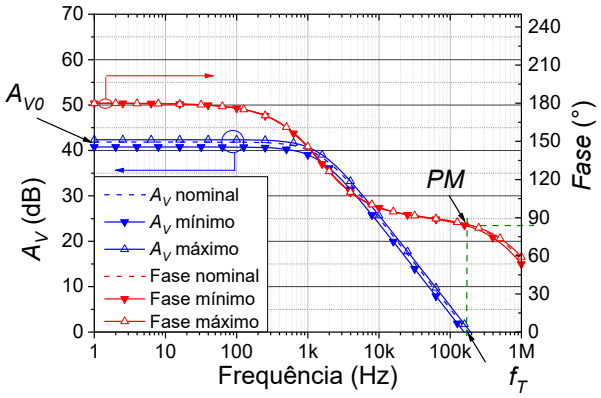
	A_{V0} (dB)	f_T (KHz)	MF (°)	V_{OUT} (mV)	P_{TOT}(µW)	
Convencional	42	184	83,9	-48,4	3,04	
	0 (0%)	0 (0%)	0,1 (0,1%)	-1,2 (-2,5%)	0 (0%)	Variação
Diamante	42	184	84	-49,6	3,04	

Fonte: Autor.

Analisando os diagramas de Bode da Figura 41 e da Figura 42, nota-se que os resultados encontrados para os DMs preparados para simulação no SPICE de ângulos α iguais a 90º e 135º foram tão próximos ao do OTA CMOS SESS implementado com CMs, quanto os resultados encontrados para o OTA CMOS SESS implementado com DMs de ângulo α igual a 45º. As diferenças das FoMs avaliadas também são menores que 3%. Esses resultados descrevem que a estratégia utilizada para converter os CMs e em DMs, mantendo o desempenho elétrico do OTA SESS, é efetiva independente do ângulo α utilizado. Para os OTAs SESS implementados com DMs de ângulos α iguais a 90º e 135º, as diferenças máximas encontradas para as FoMs avaliadas são ainda menores. Isso ocorreu, pois, os DMs com ângulos α iguais a 90º e 135º possuem uma geometria mais próxima a dos CMs quando comparados aos DMs com ângulos α igual a 45º.

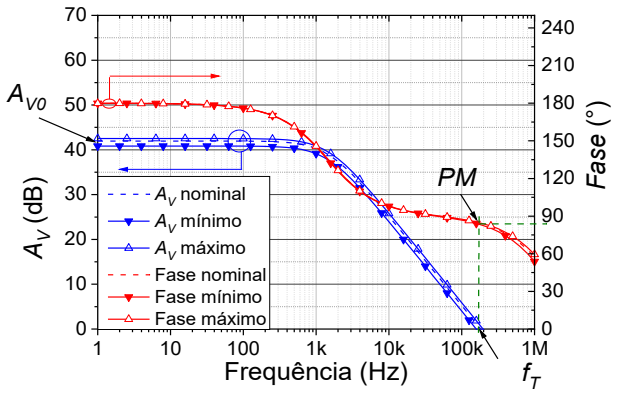
Para verificar se o OTA SESS implementado com DMs mantém o nível de robustez em relação ao OTA SESS implementado com CM, foram realizadas novas simulações SPICE, considerando os oito MOSFETs convencionais conectados em paralelo (Figura 37) para representar a geometria hexagonal da porta dos DMs. A Figura 43, a Figura 44 e a Figura 45 ilustram os diagramas de Bode dos OTAs CMOS SESS implementados com DMs de ângulos α igual a 45°, 90° e 135°, respectivamente, em relação as análises de Corner e Monte Carlo.

Figura 43 - Diagrama de Bode do OTA CMOS SESS implementado com DMs (ângulo α igual a 45°) em relação as análises de Corner e Monte Carlo.



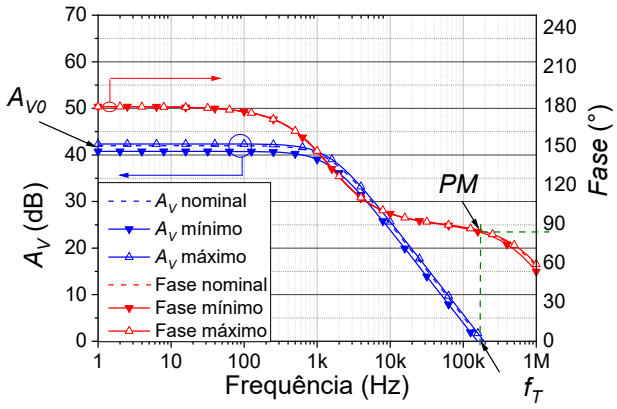
Fonte: Autor.

Figura 44 – Diagrama de Bode do OTA SESS implementado com DMs (ângulo α igual a 90°) em relação as análises de Corner e Monte Carlo.



Fonte: Autor.

Figura 45 - Diagrama de Bode do OTA SESS implementado com DMs (ângulo α igual a 135°) em relação as análises de Corner e Monte Carlo.



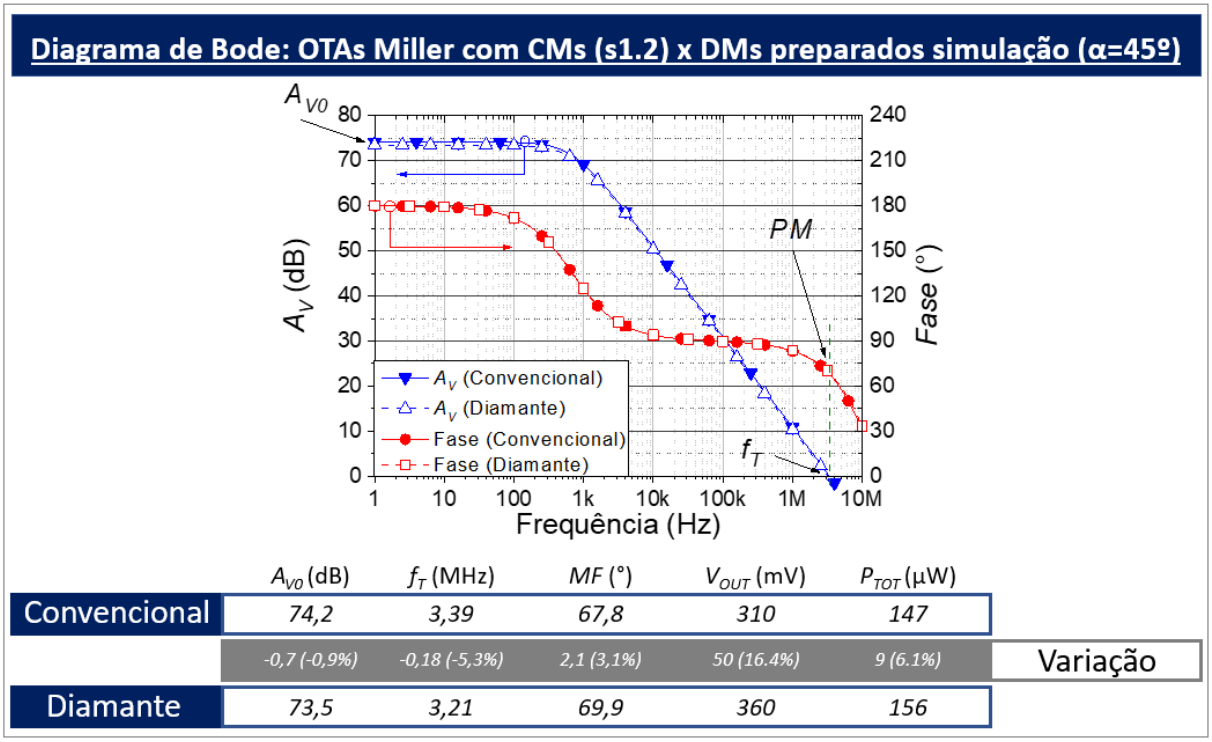
Fonte: Autor.

Ao observar a Figura 43, a Figura 44 e a Figura 45, os resultados da análise de Corner e Monte Carlo dos OTAs SESS implementados com DMs (ângulos α iguais a 45°, 90° e 135°), levando em consideração às variações do processo de fabricação dos CIs CMOS e variações de temperatura (0°C e 75°C), mostraram um erro máximo de 2,9% para o A_{V0}, de 14,7% para a f_T e 0,5% para a *MF*. Este resultado é muito semelhante ao obtido na análise de Corner e Monte Carlo para o OTA SESS implementado com CMs (erro máximo de 2,3% para o A_{V0}, 12,5% para a f_T e 0,4% para *MF*). Assim, pode-se concluir que o OTA SESS implementado com DMs é tão robusto quanto o OTA SESS implementado com CMs (BANIN JR et al., 2021).

Para o OTA Miller, as simulações SPICE também validaram a estratégia de substituição de CMs por DMs. A Figura 46 ilustra os diagramas de Bode com a sobreposição das curvas da

resposta em frequência para os OTAs Miller implementados com CMs (s1.2) e com DMs preparados para simulação no SPICE de ângulo α igual a 45º (BANIN JR et al., 2021b).

Figura 46 - Diagramas de Bode com a sobreposição das curvas da resposta em frequência para os OTAs Miller implementados com CMs (s1.2) e com DMs preparados para simulação no SPICE de ângulo α igual a 45º.

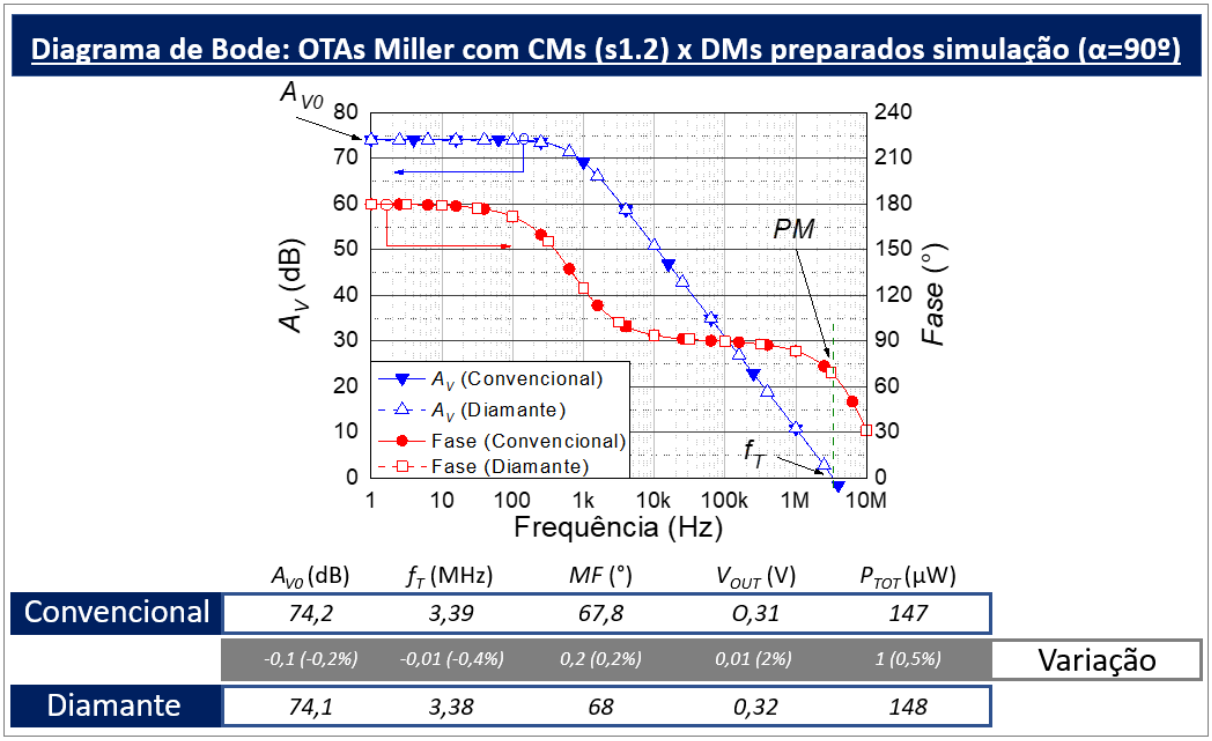


	A_{V0} (dB)	f_T (MHz)	MF (°)	V_{OUT} (mV)	P_{TOT} (µW)	
Convencional	74,2	3,39	67,8	310	147	
	-0,7 (-0,9%)	-0,18 (-5,3%)	2,1 (3,1%)	50 (16.4%)	9 (6.1%)	Variação
Diamante	73,5	3,21	69,9	360	156	

Fonte: Autor.

Analisando a Figura 46, as curvas praticamente coincidem e os diagramas de Bode para ambos os OTAs CMOS Miller são praticamente iguais. Houve uma diferença de até 6,1% para as FoMs avaliadas (A_{V0}, f_T, MF e P_{TOT}). O V_{OUT} apresentou um erro máximo de 16,4%, mas ainda está dentro da especificação. Novas simulações foram realizadas a fim de gerar a Figura 47 e Figura 48. Elas ilustram os diagramas de Bode com a sobreposição das curvas da resposta em frequência para os OTAs CMOS Miller implementados com CMs (s1.2) e com DMs preparados para simulação no SPICE de ângulos α iguais a 90º e 135º, respectivamente.

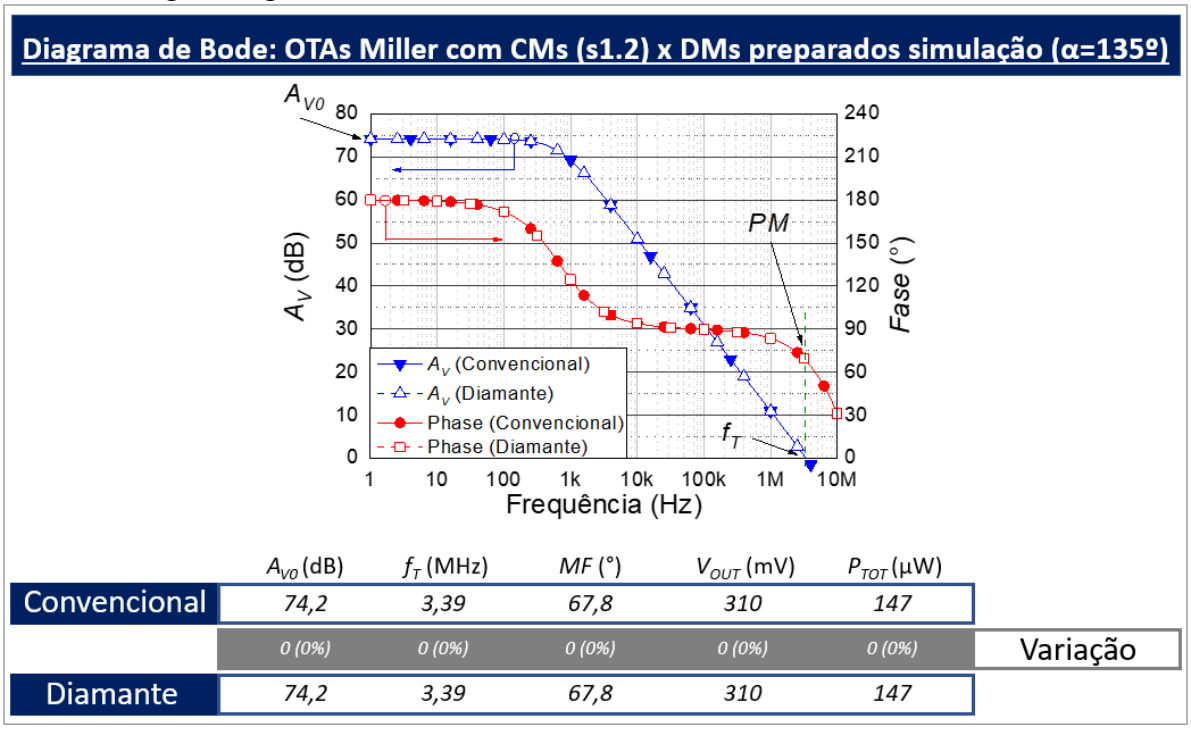
Figura 47 - Diagramas de Bode com a sobreposição das curvas da resposta em frequência para os OTAs CMOS Miller implementados com CMs (s1.2) e com DMs preparados para simulação no SPICE de ângulo α igual a 90º.



	A_{V0} (dB)	f_T (MHz)	MF (°)	V_{OUT} (V)	P_{TOT} (µW)	
Convencional	74,2	3,39	67,8	0,31	147	
	-0,1 (-0,2%)	-0,01 (-0,4%)	0,2 (0,2%)	0,01 (2%)	1 (0,5%)	Variação
Diamante	74,1	3,38	68	0,32	148	

Fonte: Autor.

Figura 48 - Diagramas de Bode com a sobreposição das curvas da resposta em frequência para os OTAs Miller implementados com CMs (s1.2) e com DMs preparados para simulação no SPICE de ângulo α igual de 135º.

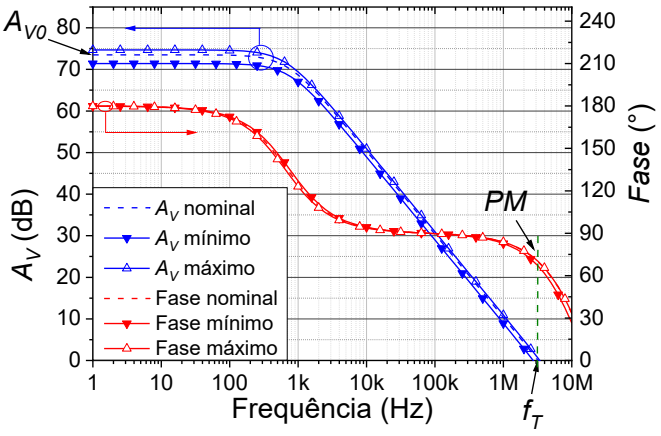


	A_{V0} (dB)	f_T (MHz)	MF (°)	V_{OUT} (mV)	P_{TOT} (µW)	
Convencional	74,2	3,39	67,8	310	147	
	0 (0%)	0 (0%)	0 (0%)	0 (0%)	0 (0%)	Variação
Diamante	74,2	3,39	67,8	310	147	

Fonte: Autor.

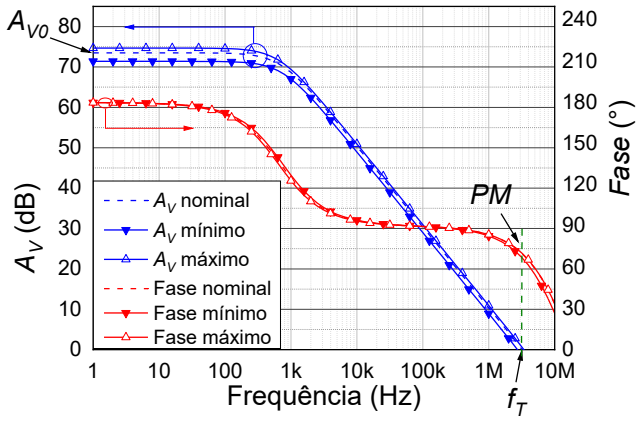
Analisando os diagramas de Bode da Figura 47 e da Figura 48, nota-se que as curvas dos diagramas de Bode para os OTAs CMOS Miller implementados com DMs preparados para simulação no SPICE de ângulos α iguais a 90º e 135º foram praticamente iguais às curvas do diagrama de Bode dos OTAs CMOS Miller implementado com CMs. Houve uma diferença de até 2,0% para todas as FoMs avaliadas (A_{V0}, V_{OUT}, MF, f_T e P_{TOT}). Sendo que a menor dispersão encontrada foi entre o OTA Miller implementado com DMs (α igual a 135º) e o OTA Miller implementado com CMs, isso já era esperado, uma vez que o DM com ângulo α igual de 135º é o que possui a geometria mais semelhante à geometria do CM. Esses resultados encontrados para os OTAs CMOS Miller corroboram com os resultados encontrados para os OTAs SESS. Com isso, a estratégia utilizada para converter os CMs e em DMs mantendo o desempenho elétrico dos OTAs é efetiva e independente do CI analógico utilizado (OTA SESS ou Miller). As simulações SPICE foram realizadas novamente a fim de verificar se os OTAs CMOS Miller implementados com DMs mantêm o mesmo nível de robustez do OTA CMOS Miller implementado com CMs. A Figura 49, a Figura 50 e a Figura 51 ilustram a resposta em frequência dos OTAs Miller implementados com DMs de ângulos α iguais a 45°, 90º e 135º, respectivamente, considerando as análises de Corner e Monte Carlo.

Figura 49 - Diagrama de Bode do OTA CMOS Miller implementado com DMs (ângulo α igual a 45°) em relação as análises de Corner e Monte Carlo.



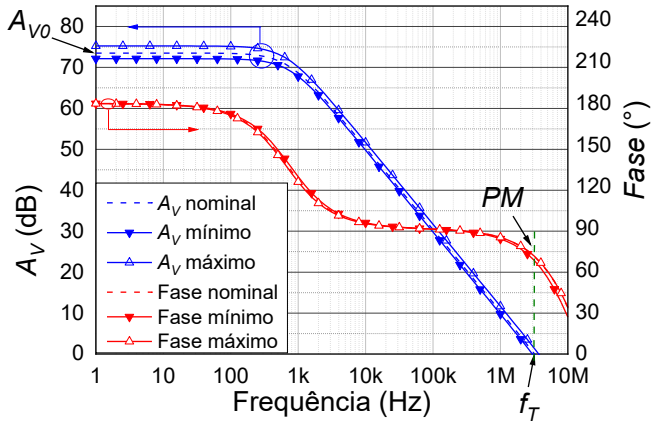
Fonte: Autor.

Figura 50 - Diagrama de Bode do OTA CMOS Miller implementado com DMs (ângulo α igual a 90°) em relação as análises de Corner e Monte Carlo.



Fonte: Autor.

Figura 51 - Diagrama de Bode do OTA CMOS Miller implementado com DMs (ângulo α igual a 135°) em relação as análises de Corner e Monte Carlo.



Fonte: Autor.

Ao observar a Figura 49, a Figura 50 e a Figura 51, os resultados das análises de Corner e Monte Carlo dos OTAs CMOS Miller implementados com DMs (ângulos α iguais a 45°, 90° e 135°) levando em consideração às variações do processo de fabricação dos CIs CMOS e variações de temperatura (0°C e 75°C) mostraram um erro máximo de 2,4% para o A_{V0}, 15,6% para a f_T e 4,7% para a *MF*. Este resultado é muito semelhante ao obtido pela análise de Corner e Monte Carlo para o OTA CMOS Miller implementado com CMs (erro máximo de 2,9% para o A_{V0}, 11,8% para a f_T e 1,8% para a *MF*). Assim, pode-se concluir que os OTAs CMOS Miller implementados com DMs são tão robustos quanto o OTA Miller implementado com CMs (BANIN JR et al., 2021b).

Com isso, considerando os dois OTAs avaliados (SESS e Miller), os resultados indicam que os OTAs implementados com DMs mantêm o nível de robustez dos OTAs implementados com CMs. Enfim, os resultados encontrados com as simulações SPICE são positivos e mostram que a primeira metodologia proposta deste projeto de pesquisa é efetiva. Além disso, esses primeiros resultados são importantes para gerar a segurança necessária e avançarmos com confiança para a próxima etapa deste projeto de pesquisa: projeto do leiaute dos CIs CMOS analógicos.

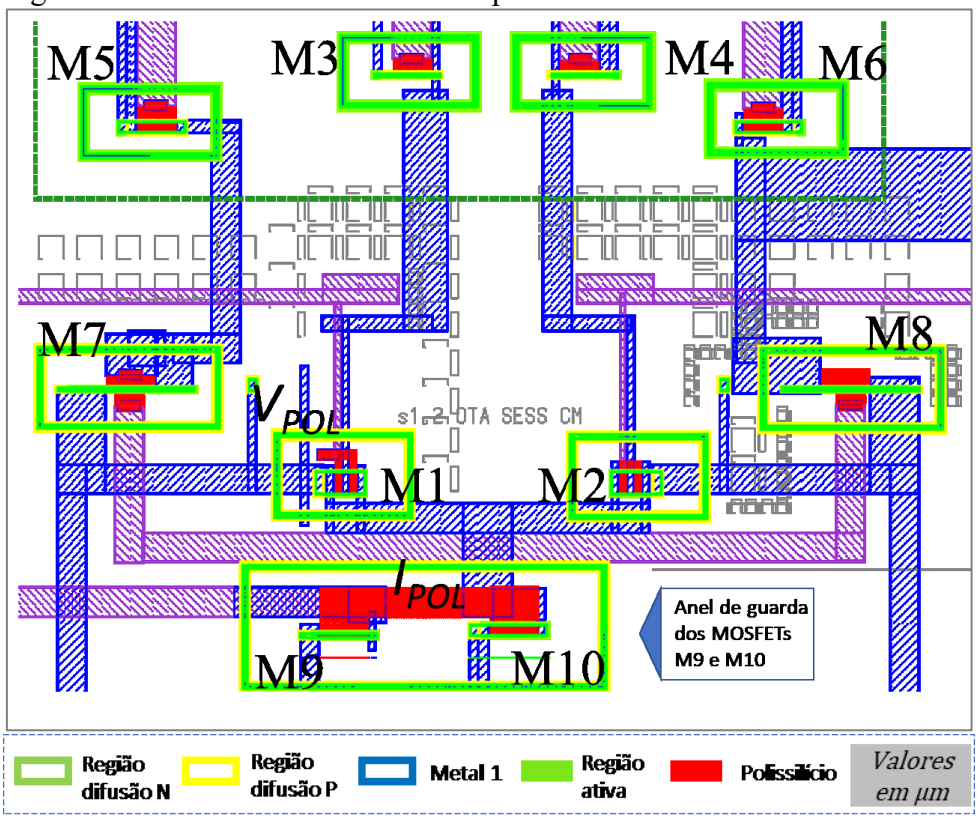
3.4 ETAPA 4: IMPLEMENTAR OS LEIAUTES DE ALGUNS OTAS UTILIZANDO-SE A TECNOLOGIA DE FABRICAÇÃO DE CIS CMOS DE 180 NM DA EMPRESA DE MANUFATURA DE SEMICONDUTORES DE TAIWAN (TSMC)

Os leiautes dos MOSFETs utilizados para confecção de OTAs, foram elaborados pelo autor e implementados com o programa de edição de leiautes intitulado “Pyxis Layout” (2012) do fabricante *Mentor Graphics* (2019). Esse programa opera na plataforma Linux e foi escolhido por permitir projetar leiautes com geometrias não convencionais de porta dos MOSFETs como, por exemplo, o DM. Além disso, são utilizadas regras de projeto da tecnologia CMOS de 180 nm da *Taiwan Semiconductor Manufacturing Company* (TSMC, 2019).

Neste projeto de pesquisa, foram realizados projetos levando-se em conta os resultados das simulações SPICE para dois tipos de configuração de OTAs: 1) OTA SESS implementado com CMs; 2) OTA SESS implementado com DMs. Sendo que, para esse último, são implementados leiautes utilizando-se DMs com 3 diferentes ângulos α: 45º, 90º e 135º. Com isso, no total, são implementados quatro leiautes diferentes de OTA SESS:

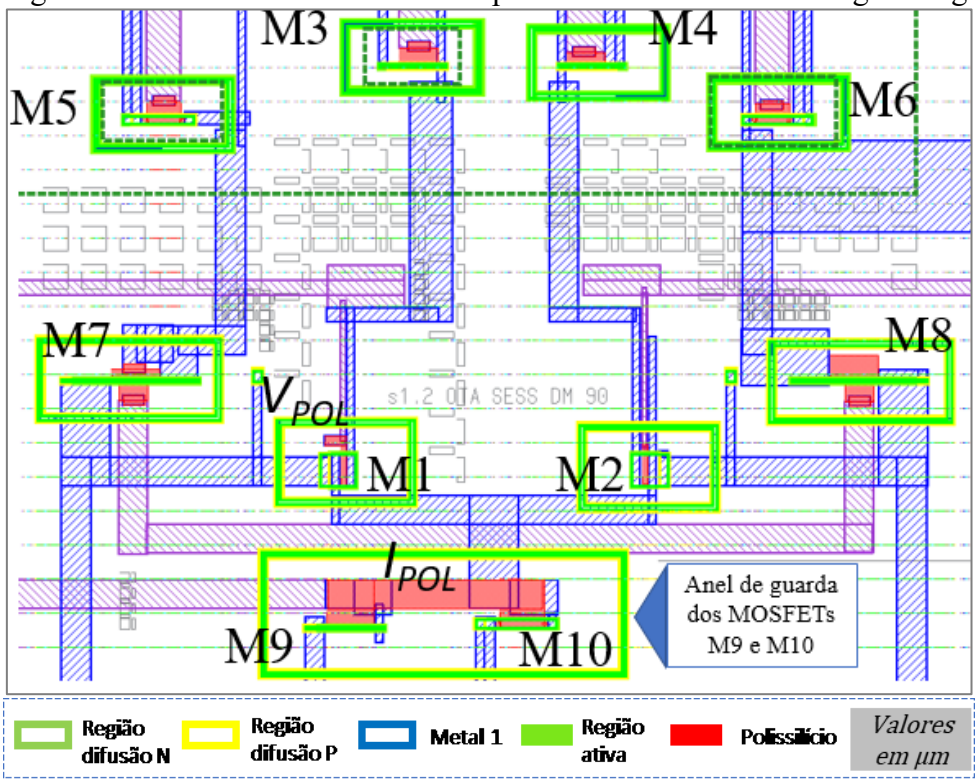
1) leiaute implementado com CMs e ilustrado na Figura 52 (BANIN JR, 2021a);
2) leiaute implementado com DMs de ângulo α igual a 45º;
3) leiaute implementado com DMs de ângulo α igual a 90º e ilustrado na Figura 53 (BANIN JR et al., 2021a);
4) leiaute implementado com DMs de ângulo α igual a 135º.

Figura 52 – Leiaute do OTA SESS implementado com CMs.



Fonte: Autor.

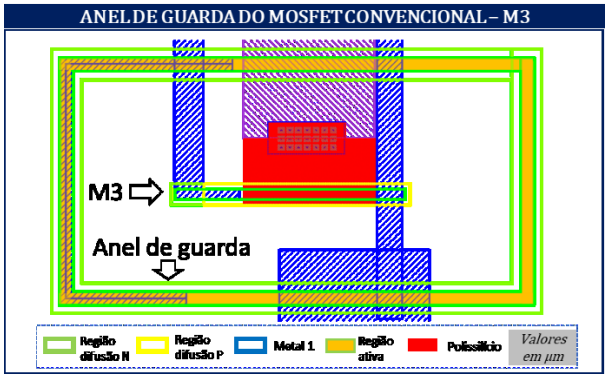
Figura 53 – Leiaute do OTA SESS implementado com DMs de ângulo α igual a 90º.



Fonte: Autor.

Os leiautes apresentados pela Figura 52 e pela Figura 53 seguem a arquitetura do OTA SESS apresentada na Figura 3. A entrada de V_{POL} está ligada à porta do MOSFET M1. Além disso, a porta do MOSFET M9 está ligada, pelo silício policristalino, à porta do MOSFET M10 e, ao mesmo tempo, está curto-circuitada com o respectivo dreno para passagem de I_{POL}. As portas dos MOSFETs M7 e M8 estão ligadas entre si pelo Metal 2 e as fontes dos MOSFETs M1 e M2 estão ligados ao dreno do MOSFET M10 pelo Metal 1. As dimensões *B, b,* α, *L* e *W* dos MOSFETs seguem os valores de dimensões apresentados na Tabela 15. As demais dimensões seguem as regras de leiaute da TSMC. Por fim, foram elaborados anéis de guarda do tipo isolante, através de uma camada de difusão P para os nMOSFETs (M1, M2, M7, M8, M9 e M10) e uma camada de difusão do tipo N para os pMOSFETs (M3, M4, M5 e M6). Isso é feito para criar uma blindagem entre os MOSFETs para que não sejam influenciados pelos efeitos da radiação ou temperatura, que poderiam criar pares elétron-lacuna no substrato. Basicamente, os anéis de guarda do tipo isolante funcionam de duas formas: podem funcionar como isolantes, impedindo um contato elétrico mesmo após efeito de radiação severa, ou como terminal de drenagem, proporcionando um caminho de baixa impedância para cargas livres (MAVIS; ALEXANDER, 1997; WIRTH, 2009). Um exemplo, é o anel de guarda do MOSFET convencional M3 do OTA SESS ilustrado pela Figura 54.

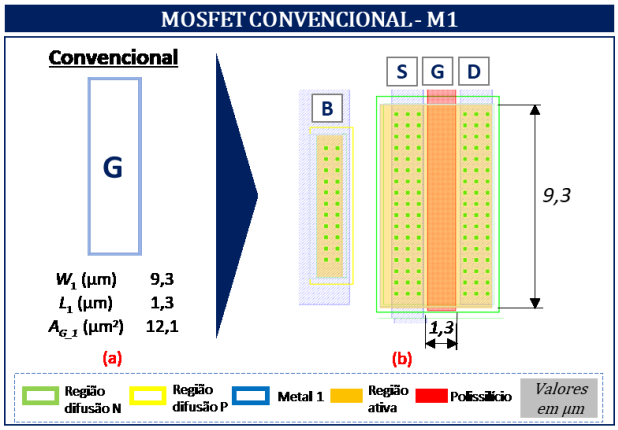
Figura 54 - Anel de guarda utilizado para isolação elétrica do CM M3 do OTA CMOS SESS.



Fonte: Autor.

Os MOSFETs M1 e M2 apresentaram uma razão de aspecto (*W/L*) maior que 1 para que propiciem maior g_m. Essa característica também pode ser notada nos resultados do iMTGSPICE por meio da Tabela 8. Segundo a Equação (3) e a Equação (4), quanto maior for g_m, maior será o A_{V0} e f_T do OTA SESS. A Figura 55 ilustra as dimensões provenientes do processo de otimização realizado pelo iMTGSPICE e o leiaute simplificado da porta do CM M1 (Figura 55a) e o respectivo leiaute final elaborado pelo autor (Figura 55b).

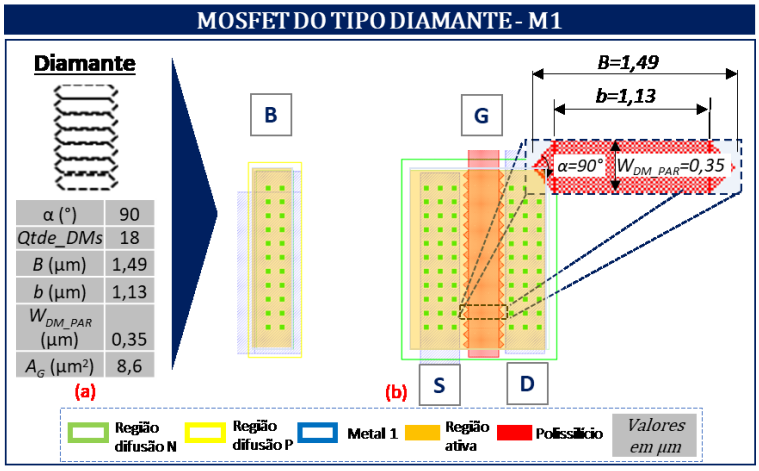
Figura 55 - Leiaute simplificado e as dimensões da porta do CM M1 (a) e o respectivo leiaute final (b).



Fonte: Autor.

O leiaute dos DMs M1 e M2 de ângulo α igual a 90º foram projetados utilizando-se múltiplos MOSFETs em paralelo a fim de evitar o aumento da A_G. Por exemplo, são necessários 18 DMs em paralelo com ângulo α igual a 90° para substituir o CM M1 equivalente. A Figura 56 ilustra as dimensões calculadas e o leiaute simplificado da porta do DM M1 de ângulo α igual a 90º (Figura 56a) e o respectivo leiaute final elaborado pelo autor (Figura 56b).

Figura 56- Dimensões e leiaute simplificado da porta do DM M1 de ângulo α igual a 90º (a) e o respectivo leiaute final (b).

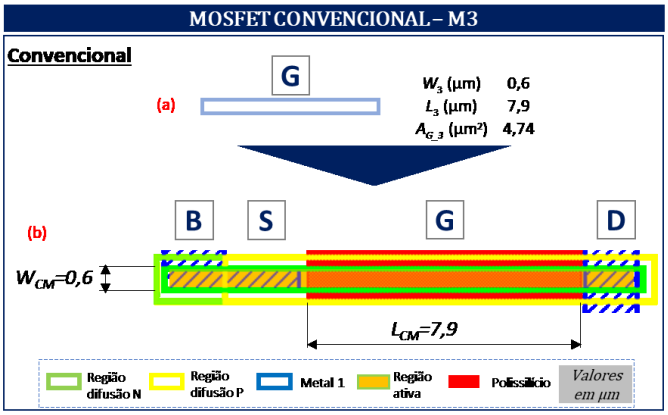


Fonte: Autor.

Onde a *Qtde_DMs* é a quantidade de DMs projetada em paralelo e o W_{DM_PAR} é o W_{DM} dos DMs em paralelo. Os MOSFETs M3, M4, M7 e M8 do OTA SESS não foram substituídos por DMs por apresentarem dimensões próximas ao limite permitido pela tecnologia de manufatura de CIs CMOS analógicos utilizada, nesse caso 180 µm, pois substituir os MOSFETs

com áreas menores poderia dificultar as simulações SPICE (erros de convergência) e a implementação dos leiautes. Ao converter CMs em DMs, as dimensões são reduzidas e elas poderiam ser menores que as dimensões permitidas pelas regras de leiaute da tecnologia. Além disso, o ganho de área de porta obtido com a substituição dos CMs, com áreas geométricas reduzidas, seria praticamente irrelevante. A geometria de porta (retangular) dos MOSFETs M3, M4, M7 e M8 foi projetada tanto para o OTA SESS implementando com CMs, como para o OTA SESS implementado com DMs. Por exemplo, a Figura 57 ilustra as dimensões do CM M3 provenientes do processo de otimização realizado pelo iMTGSPICE e o leiaute da porta do CM M3 (Figura 57a) e o respectivo leiaute final do CM M3 elaborado pelo autor (Figura 57b).

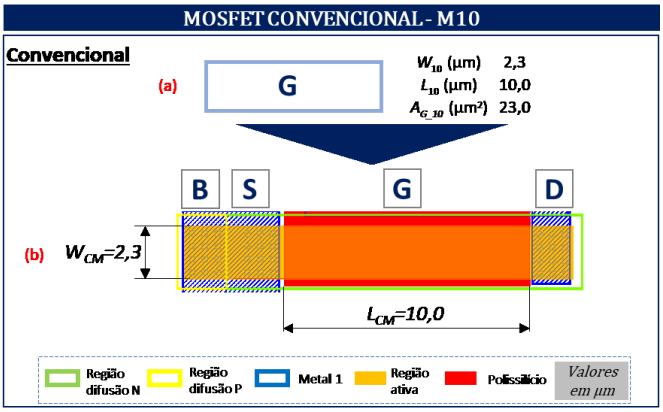
Figura 57- Dimensões e leiaute simplificado da porta do CM M3 (a) e o respectivo leiaute final (b).



Fonte: Autor.

Os MOSFETs M5, M6, M9 e M10 apresentam uma razão de aspecto menor que 1. Desse modo, apenas um DM substitui o CM equivalente. Por exemplo, a Figura 58 ilustra as dimensões provenientes do processo de otimização realizado pelo iMTGSPICE e o leiaute simplificado da porta do CM M10 (Figura 58a) e o respectivo leiaute final elaborado pelo autor (Figura 58b).

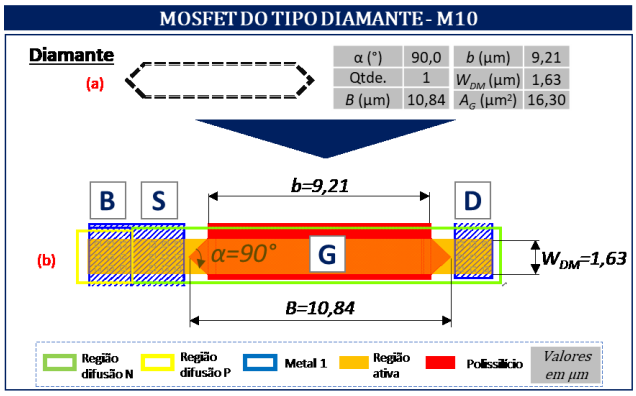
Figura 58 - Dimensões e leiaute simplificado da porta do CM M10 (a) e o respectivo leiaute final (b).



Fonte: Autor.

Por outro lado, a Figura 59 ilustra as dimensões calculadas e o leiaute simplificado da porta do DM M10 de ângulo α igual a 90º (Figura 59a) e o respectivo leiaute final elaborado pelo autor (Figura 59b) (BANIN JR et al., 2021a).

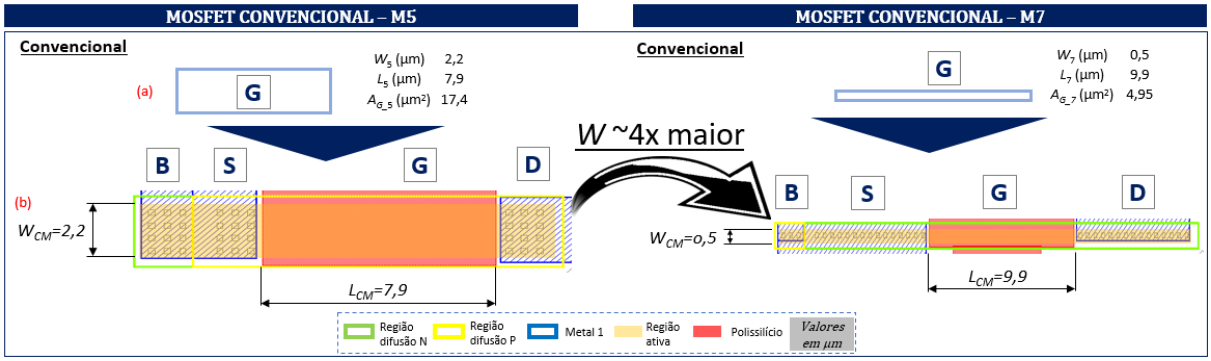
Figura 59- Dimensões e leiaute simplificado da porta do DM M10 de ângulo α igual a 90º (a) e o respectivo leiaute final (b).



Fonte: Autor.

Os pMOSFETs M5 e M6 do estágio de saída apresentam um W aproximadamente 4 vezes maior que o W dos nMOSFETs M7 e M8. Isso ocorre devido ao μ_0 ser maior para o nMOSFET em comparação ao pMOSFETs (μ_n= 368,1366 cm^2/V.s e μ_p= 120,47960 cm^2/V.s, respectivamente). Como exemplo, a Figura 60 ilustra essa diferença, onde o W do pMOSFET M5 convencional é aproximadamente 4 vezes maior que o W do nMOSFET M7 convencional.

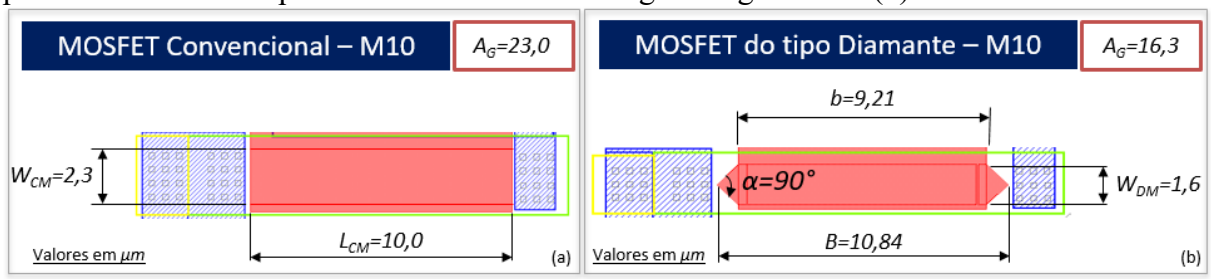
Figura 60 - Leiautes simplificados das portas dos MOSFETs M5 e M7 convencionais (a) e os leiautes finais dos MOSFETs M5 e M7 convencionais (b).



Fonte: Autor.

A redução da A_G obtida com a implementação dos DMs no OTA SESS pode ser visualizada pela Figura 61. A Figura 61a ilustra as dimensões (W, L e A_G) do CM M10. Por outro lado, a Figura 61b ilustra as dimensões (b, B, W_{DM}, A_G e ângulo α) do DM M10 de ângulo α igual a 90º (BANIN JR et al., 2021).

Figura 61 – Dimensões do MOSFET M10 para o OTA SESS implementado com CMs (a) e para o OTA SESS implementado com DMs de ângulo α igual a 90º (b).



Fonte: Autor.

A Figura 61 apresenta uma comparação da A_G ocupada pelo CM M10 em relação a A_G do DM equivalente. Observa-se uma redução de área considerável de -6,7 µm^2 (aproximadamente 30%) do DM em relação ao CM. Todos os demais CMs substituídos por DMs (M1, M2, M5, M6 e M9) apresentaram uma redução de A_G (-7 µm^2, -10,1 µm^2 e -2,3 µm^2, respectivamente). Além disso, as reduções das áreas de dreno e fonte foram proporcionais à redução da área de porta, pois estão interligadas (porta, dreno e fonte). No entanto, a área total do CI CMOS analógico não foi avaliada neste projeto de pesquisa. Se considerarmos a área de todos *pads*, contatos e conexões, a redução da área será menor do que a encontrada na porta, fonte e dreno. O leiaute desses MOSFETs, assim como todos os demais leiautes elaborados para esse projeto de pesquisa e que não foram apresentados nesse Capítulo, podem ser

visualizados no APÊNDICE B. Os leiautes elaborados para os OTAs SESS implementados com DMs comprovaram que a estratégia de substituição dos CMs para os DMs é efetiva e possível de ser aplicada com sucesso.

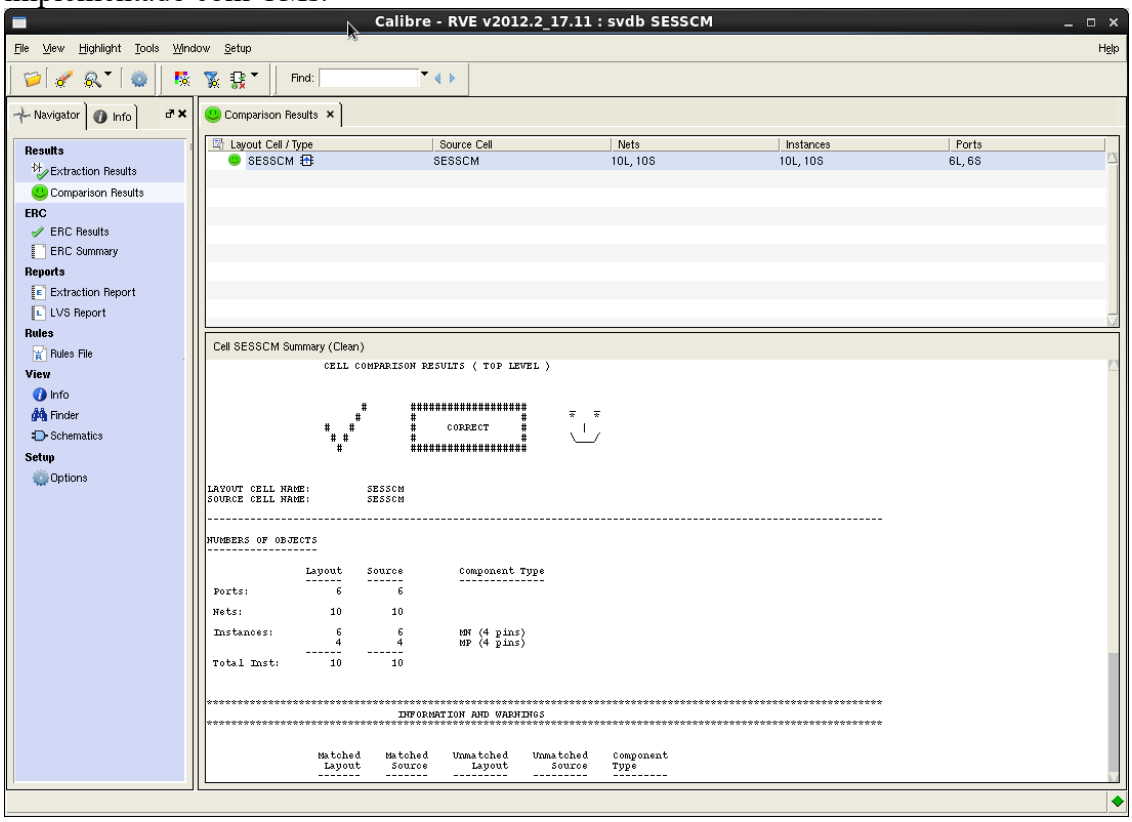
3.4.1 Leiaute Versus Esquemático (LVS[24])

A verificação da conformidade do leiaute de cada OTA SESS projetado nesse projeto de pesquisa em relação ao respectivo esquema elétrico do circuito foi realizada com o uso da ferramenta LVS. O LVS foi executado através do *software* Calibre da Siemens (2021). A verificação é feita pela comparação entre a descrição do circuito elétrico (arquivo texto conhecido como *Netlist*) e o leiaute projetado (representação física dos transistores e demais componentes do circuito elétrico a ser fabricado), ou seja, o arquivo ".gds2" gerado no IC Station da Mentor Graphics (2019). O Calibre realiza a verificação LVS pela extração do *Netlist* a partir do leiaute do circuito elétrico. Depois disso, o Calibre compara esse *Netlist* com o *Netlist* do esquema elétrico fornecido pelo projetista. O Calibre, então, realiza diversas verificações da integridade do leiaute realizado pelo projetista comparando os subcircuitos interligados entre os pontos de entrada e saída. Caso o número de subcircuitos e as dimensões dos transistores, resistores, capacitores, etc. forem as mesmas, o circuito elétrico é validado com sucesso, caso contrário o Calibre aponta as diferenças encontradas (SIEMENS, 2021).

A verificação LVS foi realizada com sucesso nesse projeto de pesquisa. Ou seja, não foram apresentadas falhas para o OTA SESS implementado com CMs. Por outro lado, o Calibre apontou pequenas discrepâncias nas dimensões dos MOSFETs dos OTAs SESS implementados com DMs. Essas discrepâncias apresentadas estão relacionadas ao leiaute dos DMs, pois o software não reconhece a geometria hexagonal de porta. No entanto, as diferenças já eram esperadas e não comprometem o projeto de leiaute elaborado. A Figura 62 ilustra 2 imagens em tempo real da tela do Calibre durante a verificação LVS do OTA SESS implementado com CMs. A Figura 62a apresenta o resultado final da análise LVS realizado com sucesso. A Figura 62b apresenta um exemplo da comparação dos esquemáticos realizada no Calibre LVS.

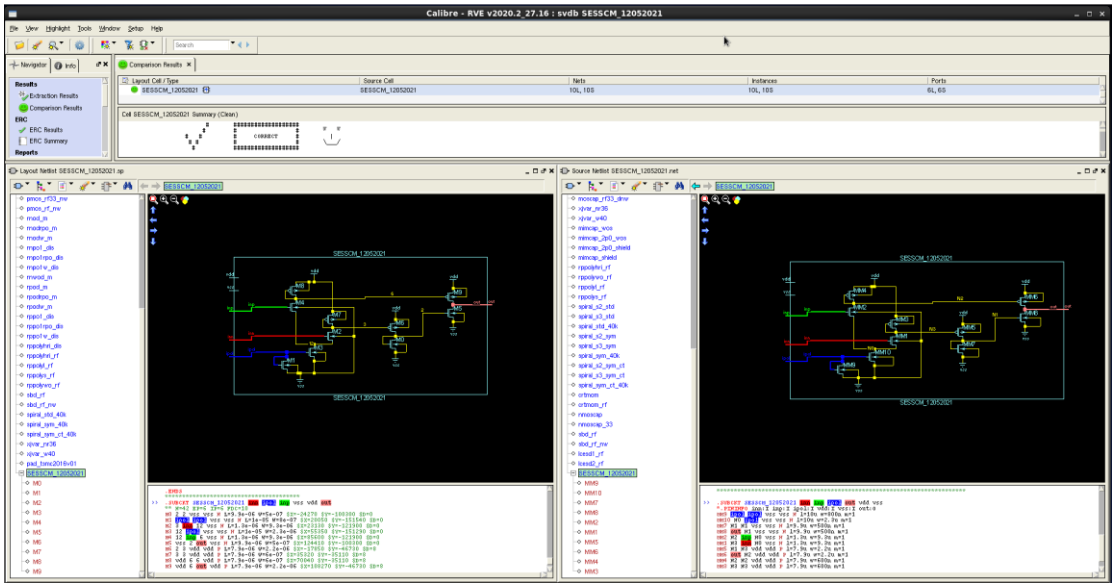
[24] *Layout Versus Schematic*

Figura 62 - Imagens em tempo real da tela do Calibre durante a verificação LVS do OTA SESS implementado com CMs.



(a)

Fonte: Autor.



(b)

Fonte: Autor.

Nota-se, na Figura 62a, que o leiaute e esquemático apresentam a mesma estrutura. Por essa razão, a analise LVS foi realizada com sucesso. Por outro lado, a Figura 62b apresenta o esquema elétrico projetado em comparação ao esquema elétrico simulado (*Netlist*). Nota-se que os dois esquemas elétricos (projetado e simulado) são idênticos. Por essa razão, o LVS foi realizado com sucesso.

3.5 ETAPA 5: CARACTERIZAÇÃO ELÉTRICA EXPERIMENTAL DO OTA SESS IMPLEMENTADO COM CMS UTILIZANDO-SE A TECNOLOGIA DE FABRICAÇÃO DE CIS CMOS DE 65 NM DA TSMC

As especificações de projeto do amplificador otimizado neste projeto de pesquisa pelo iMTGSPICE são apresentadas na Tabela 19.

Tabela 19– Especificações desejadas para o OTA SESS.

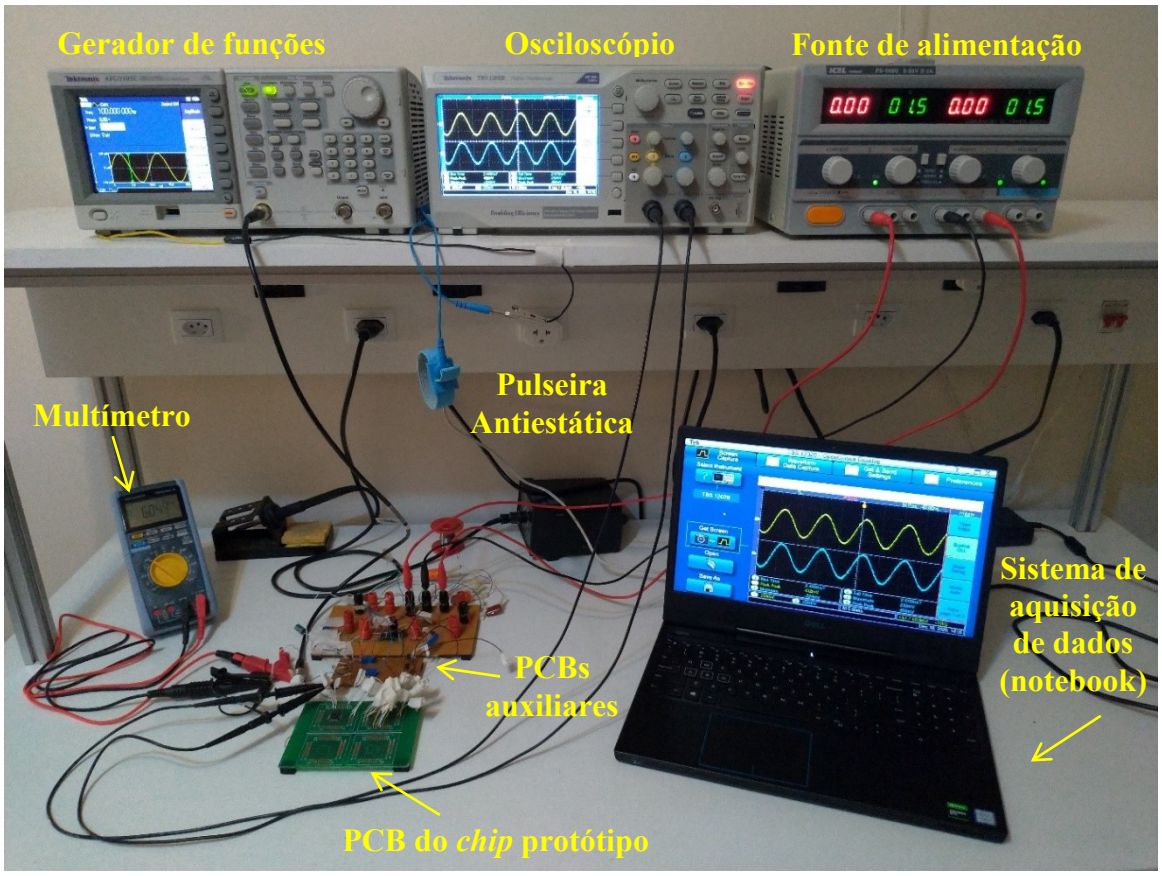
FoMs	**Especificações**
	OTA SESS
A_{V0}	≥ 30 dB
f_T	≥ 100 kHz
MF	50° (≥ 50° e ≤ 90°)

Fonte: Autor.

Todos os MOSFETs convencionais são ajustados para operar na região de saturação (restrições funcionais). Para efeito de validação dos resultados da caracterização experimental, foram realizadas simulações SPICE pelo iMTGSPICE. Além disso, são utilizadas regras de projeto da tecnologia TSMC de 65nm (TSMC, 2019).

Para a caracterização elétrica experimental, os amplificadores operam com fonte simétrica, sendo o V_{DD} igual a 1,5 V e V_{SS} igual a -1,5 V, e a temperatura de operação nominal é 27°C. O processo de fabricação usado para implementar os amplificadores é a de 65 nm Bulk da TSMC, com a utilização dos transistores NCH_25OD33 (nMOSFETs) e PCH_25OD33 (pMOSFETs). A carga considerada na saída dos amplificadores corresponde à impedância de entrada do osciloscópio que será usado na caracterização elétrica experimental, ou seja, 1MΩ em paralelo com 20 pF. Além disso, estimamos a capacitância dos *pads* do circuito integrado em 30 pF baseado em estudos experimentais anteriores com esses mesmos *pads*, totalizando uma capacitância de 50 pF na saída dos amplificadores. O sistema de caracterização elétrica experimental pode ser visto na Figura 63.

Figura 63- Dispositivos de teste para a caracterização elétrica do OTA SESS.



Fonte: Autor.

Onde PCB[25] é a placa de circuito impressa. A Tabela 20 apresenta as variáveis de projeto obtidas pelo iMTGSPICE usando o simulador SPICE para o OTA SESS implementados com MOSFETs convencionais: corrente e tensão de polarização (primeira coluna), largura do canal dos MOSFETs (segunda coluna), comprimento do canal do MOSFETs (terceira coluna) e multiplicidade dos MOSFETs, que é o número de dispositivos paralelos (quarta coluna).

Tabela 20- Variáveis de projeto obtidas pelo iMTGSPICE usando o simulador SPICE para o OTA SESS implementado com MOSFETs convencionais.

Condições de polarização	Largura de canal	Comprimento de canal	Multiplicidade
I_{POL} = 0,12 µA V_{POL} = 0 V	W_1, W_2 = 13,91 µm W_3, W_4 = 1,625 µm W_5, W_6 = 19,24 µm W_7, W_8 = 7,605 µm W_9 = 11,57 µm W_{10} = 10,01 µm	L_1, L_2 = 2,795 µm L_3, L_4, L_5, L_6 = 2,86 µm L_7, L_8 = 5,85 µm L_9, L_{10} = 1,625 µm	m_1, m_2 = 2 m_3, m_4 = 3 m_5, m_6 = 6 m_7, m_8 = 6 m_9 = 4 m_{10} = 8

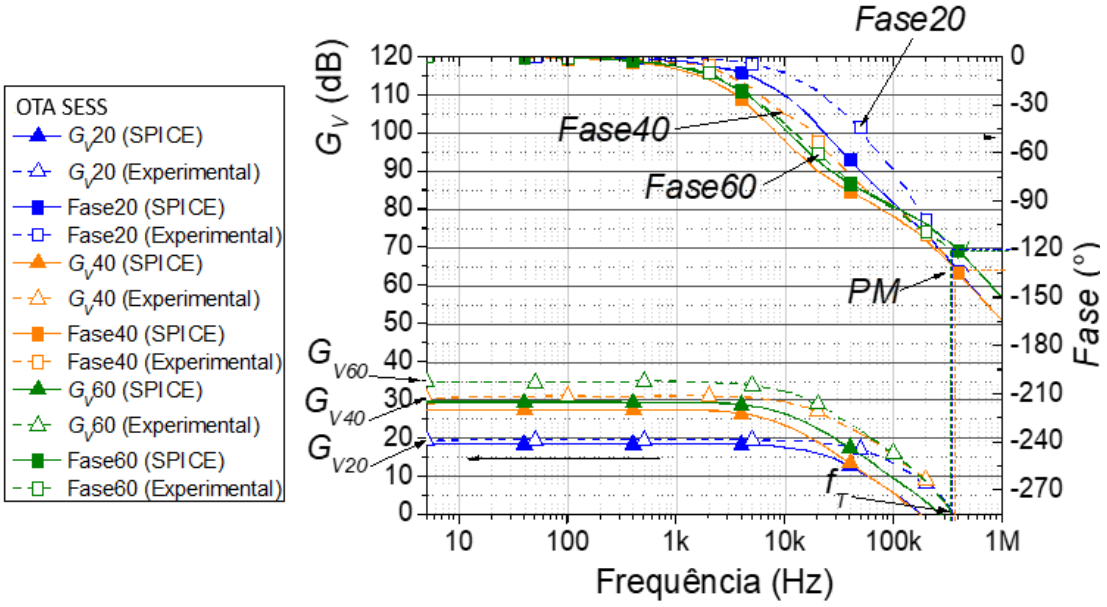
Fonte: Autor.

[25] *Printed Circuit Board*

A caracterização elétrica experimental foi realizada com sucesso apesar dos desafios encontrados em sua configuração e execução, como por exemplo, o ruído e componentes indutivos dos resistores, interferências da ponta de prova e componentes parasitários. A tensão de *offset* medida foi de 4 mV, ou seja, dentro do esperado entre 2 e 5 mV (SEDRA; SMITH, 2014). Devido a tensão de entrada de *offset* do amplificador, o resistor de entrada (R_{inn}) é conectado ao terminal *GND* através do capacitor *C1* para manter o ganho de tensão de DC baixo e evitar a saturação do amplificador, o que inevitavelmente aconteceria ao usar um ganho de tensão alto (por exemplo, acima de 100 V/V) (SEDRA; SMITH, 2014).

A Figura 64 mostra os diagramas de Bode do OTA SESS implementado com MOSFETs convencionais simulados pelo SPICE Opus (SPICE OPUS, 2019) e obtidos experimentalmente nas configurações GV20, GV40 e GV60. As curvas do ganho de tensão dessas três configurações estão identificadas também como GV20, GV40 e GV60 e as curvas de fase em função da frequência estão identificadas como Fase20, Fase40 e Fase60, respectivamente. Os pontos de extração das principais figuras de mérito (G_{V0}, f_T e *MF*) estão indicados nas curvas experimentais correspondentes.

Figura 64 - Diagramas de Bode do OTA SESS implementados com MOSFETs convencionais nas configurações GV20, GV40 e GV60 obtidos por simulação e experimentalmente.



Fonte: Autor.

Observa-se, na Figura 64, que os valores experimentais dos ganhos de tensão em malha fechada (GV20, GV40 e GV60), assim como os valores experimentais da f_T do OTA SESS implementado com MOSFETs convencionais são maiores (superiores) aos valores simulados. Além disso, as curvas de ganho e de fase experimentais apresentaram o comportamento

esperado para garantir a estabilidade do OTA, por exemplo queda de 20 dB por década após a frequência de corte do amplificador e margem de fase significativamente positiva, ou seja, a defasagem do sinal de saída em relação ao sinal de entrada em f_T é menor que 180° (EGGERMONT et al., 1996).

A Tabela 21 apresenta as especificações desejadas e os valores típicos das FoMs obtidos por simulação no iMTGSPICE e pela caracterização elétrica experimental para o OTA SESS implementado com MOSFETs convencionais nas configurações G_V20, G_V40 e G_V60. Nessa tabela, G_{V0} representa o ganho de tensão em malha fechada dessas configurações, para o qual as especificações definidas estão baseadas no ganho de tensão esperado usando a equação (33), quando A_{V0} é muito alto (> 100 dB). O A_{V0} experimental é uma estimativa do ganho de tensão em malha aberta usando a equação (36). A coluna "Resultado" nessa tabela informa o resultado de cada figura de mérito avaliada: OK – atende plenamente a especificação; Próximo – resultado fora da especificação desejada em até ±20%; Falhou – resultado fora da especificação desejada maior de ±20%. A única exceção no critério de avaliação do resultado é o parâmetro G_{V0}, pois o valor da especificação é o valor ideal (não leva em conta a limitação do ganho em malha aberta, A_{V0}, no ganho em malha fechada). Dessa forma, a referência (ref.) considerada será o valor simulado. Nesse caso, valores inferiores aos de simulação em até -10% serão considerados como resultado OK, entre -10% e -20%, serão considerados como próximos e inferiores a -20% serão considerados como "Falhou". Finalmente, a coluna "Diferença (%)" mostra o desvio do resultado experimental de cada figura de mérito avaliada em relação ao respectivo resultado simulado.

Tabela 21 – Especificações desejadas e os valores típicos das FoMs obtidas por simulação no iMTGSPICE e pela caracterização elétrica experimental para o OTA SESS implementado com MOSFETs convencionais nas configurações G_V20, G_V40 e G_V60.

(a)

Gv20					
FoMs	**Especificações**	**Simulado**	**Experimental**	**Diferença**	**Resultado**
A_{V0} (dB)	> 30 dB	30,0	35,6	5,6 (18,5%)	**OK**
G_{V0} (dB)	> 20 (ideal)	18,3 (ref.)	19,5	1,2 (6,2%)	**OK**
f_T (kHz)	≥ 100	184,8	354,5	169,7 (91,8%)	**OK**
MF (°)	≥ 50° e ≤ 90°	72,2	59,5	-12,7 (-17,6%)	**OK**

(b)

Gv40					
FoMs	**Especificações**	**Simulado**	**Experimental**	**Diferença (%)**	**Resultado**
A_{V0} (dB)	> 30 dB	29,7	34,6	4,9 (16,6%)	**OK**
G_{V0} (dB)	> 40 (ideal)	27,4 (ref.)	31,0	3,6 (12,9%)	**OK**
f_T (kHz)	≥ 100	180,6	370,2	189,6 (105%)	**OK**
MF (°)	≥ 50° e ≤ 90°	68,7	47,2	**-21,5 (-31,2%)**	**Próximo**

(c)

Gv60					
FoMs	**Especificações**	**Simulado**	**Experimental**	**Diferença (%)**	**Resultado**
A_{V0} (dB)	> 30 dB	29,6	35,4	5,8 (19,3%)	**OK**
G_{V0} (dB)	> 60 (ideal)	29,4 (ref.)	34,9	5,5 (18,6%)	**OK**
f_T (kHz)	≥ 100	180,1	343,9	163,8 (91,0%)	**OK**
MF (°)	≥ 50° e ≤ 90°	68,3	58,8	9,5 (-13,9%)	**OK**

Fonte: Autor.

Observa-se na Tabela 21, que os resultados experimentais obtidos para o G_{V0} são menores que os valores esperados quando o A_{V0} é alto (maior que 100 dB). Isso ocorre porque, nesse caso, o A_{V0} é baixo (em torno de 30 dB) limitando o ganho em malha fechada, fato confirmado também através das simulações realizadas. Além disso, os valores de A_{V0} e G_{V0} obtidos experimentalmente são superiores aos valores simulados, entre 16% e 19% para o A_{V0} e entre 6% e 18% para o G_{V0}. Isso ocorreu porque observamos que o efeito da degradação do ganho (A_{V0} e G_{V0}) devido aos resistores da malha de realimentação (R_{fbn} e R_{inn}) foi superestimado na simulação. Por exemplo, o valor inicial, antes da etapa experimental, adotado para R_{fbn} e R_{inn} foi 10 MΩ. No entanto, devido à impedância de entrada do amplificador na prática ser menor que este valor, os valores dos resistores de realimentação devem necessariamente ser menores que 10 MΩ. Porém, devido ao amplificador operar em baixa potência, resulta que os resistores da malha de realimentação podem degradar o ganho de tensão. Na caracterização elétrica das configurações G_V20, G_V40 e G_V60, o R_{fbn} foi fixado em 1 MΩ e os valores adotados para R_{inn} foram 100 kΩ, 10 kΩ e 1 kΩ, respectivamente.

Os valores experimentais de f_T das configurações G_V20, G_V40 e G_V60 são maiores (superiores) em relação aos respectivos valores simulados entre 91% e 105%. O fato dos valores de f_T experimentais terem resultado maiores que os valores simulados indicam que as capacitâncias parasitárias reais do encapsulamento e dos equipamentos de medição são menores que o previsto no início do projeto do amplificador. Observa-se também que a margem de fase experimental da configuração G_V40 resultou 5,5% menor que a especificação desejada, enquanto que a margem de fase das configurações G_V20 e G_V60 estão dentro das especificações. Possíveis causas para as diferenças entre os resultados experimentais e os simulados para as margens de fase são ruídos na medição, os valores dos resistores de entrada (R_{inn}) e realimentação (R_{fbn}) que foram usados nessas configurações e as capacitâncias parasitárias do encapsulamento do CI. Porém, a margem de fase do amplificador nas diversas configurações é estável e na média atende plenamente a especificação desejada.

Os parâmetros medidos (G_{V0}, MF e f_T) podem ser considerados como sendo a média dos respectivos parâmetros obtidos nas configurações G_V20, G_V40 e G_V60. O mesmo procedimento poderá ser adotado para a estimativa do A_{V0} (MORETO; GIMENEZ, 2022).

Este Capítulo apresentou uma metodologia de caracterização elétrica simples e de baixo custo, para qualificar o desempenho elétrico de CIs CMOS analógicos que apresentam alto A_{V0} usando equipamento de medição convencional. Esta metodologia foi realizada considerando os CIs CMOS analógicos operando em malha fechada, visando reduzir sua instabilidade operacional e facilitar o ajuste da tensão de compensação de entrada. Para validar essa estratégia experimental, neste estudo consideramos um OTA SESS implementado com MOSFETs convencionais que foi projetado e otimizado usando a ferramenta de computação iMTGSPICE e a tecnologia TSMC CMOS de 65 nm. Usando esta abordagem experimental, observamos que o A_{V0} foi medido com facilidade e precisão, pois está trabalhando de forma estável.

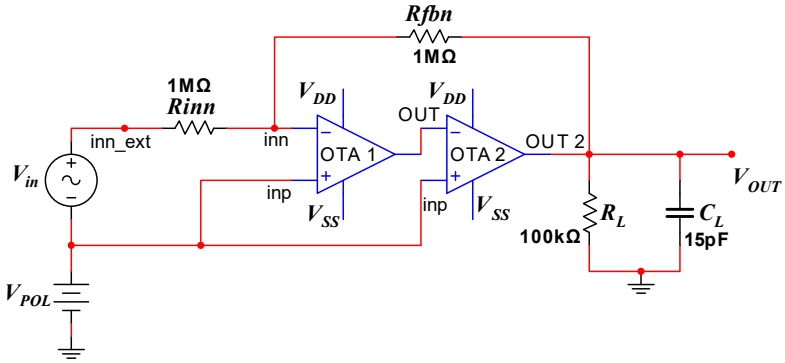
4 METODOLOGIA PARA PROJETAR E OTIMIZAR OTAS CONECTADOS ELETRICAMENTE EM CASCATA AO MESMO TEMPO, UTILIZANDO-SE O IMTGSPICE

Esse Capítulo descreve a segunda metodologia proposta nesse projeto de pesquisa, onde o objetivo é projetar e otimizar OTAs conectados eletricamente em cascata ao mesmo tempo, utilizando-se o iMTGSPICE, sem utilizar OTAs previamente otimizados. Ele está dividido em 3 etapas: a) otimizar um CI CMOS analógico implementado com CMs e assegurar a robustez pelo Corner e Monte Carlo automaticamente no iMTGSPICE; b) explorar a conexão em cascata de um amplificador implementado com 2 OTAs CMOS Miller robustos previamente otimizados e conectados eletricamente; c) reprojetar e otimizar esse amplificador usando uma ferramenta computacional de projeto e otimização de CIs CMOS analógicos (iMTGSPICE). A etapa "a" utiliza otimiza o mesmo OTA CMOS Miller otimizado na etapa 1 da primeira metodologia proposta (Capítulo 3.1). Por essa razão, o OTA otimizado na etapa 1 e os respectivos resultados são utilizados na etapa "b". Além disso, a fim de não repetirmos os mesmos resultados já apresentados na etapa 1, esse capítulo inicia-se diretamente pela etapa "b" dessa segunda metodologia proposta.

4.1 ETAPA B: EXPLORAR A CONEXÃO EM CASCATA DE UM AMPLIFICADOR IMPLEMENTADO COM 2 OTAS CMOS MILLER ROBUSTOS PREVIAMENTE OTIMIZADOS E CONECTADOS ELETRICAMENTE

A Figura 65 ilustra o circuito elétrico utilizado para a caracterização elétrica de um amplificador em cascata constituído por dois OTAs CMOS Miller implementados com MOSFETs convencionais idênticos (OTA 1 e OTA 2).

Figura 65 - Circuito elétrico de caracterização elétrica de um amplificador de dois estágios OTAs CMOS Miller idênticos em cascata.



Fonte: Autor.

Na Figura 65, OUT é o nó de saída do OTA 1, V_{in} é a fonte de tensão de entrada de pequenos sinais, que está conectada entre os nós *inn_ext* e *inp*, R_{inn} é o resistor de entrada entre os nós *inn_ext* e *inn,* que está conectado ao terminal inversor do OTA 1, R_L é a resistência de carga conectada ao nó de saída do OTA 2 denominado de OUT 2 e R_{fbn} é o resistor de realimentação (*feedback*).

É sabido que os projetistas podem usar OTAs CMOS idênticos em cascata para obter uma maior amplificação de sinal de entrada para reduzir o tempo de desenvolvimento de projeto e, consequentemente, os custos de projeto. Dessa forma, é realizado o primeiro estudo comparativo, onde é comparado o desempenho elétrico de um único OTA CMOS Miller implementado com MOSFETs convencionais, que já foi projetado e otimizado em Banin Jr. et al. (2021b) e apresentado no Capítulo 3.1, no qual suas tensões de entrada e saída foram projetadas e otimizadas para operar com metade da sua fonte de alimentação (V_{DD}/2), com o desempenho elétrico de um amplificador de dois estágios em cascata, que foi implementado com dois desses OTAs CMOS Miller previamente projetados em Banin Jr. et al. (2021b) (Amplificador em Cascata 1). O objetivo desse estudo é verificar como é o desempenho elétrico do amplificador em cascata em relação ao desempenho elétrico de um único OTA CMOS Miller, que deu origem a esse mesmo amplificador em cascata. A Tabela 22 apresenta as especificações de um amplificador em cascata formado por dois OTAs CMOS Miller implementado com MOSFETs convencionais, os resultados experimentais obtidos do OTA CMOS Miller, que foi previamente projetado e que forma esse amplificador em cascata, os resultados do amplificador em cascata formado por esses dois OTAs CMOS Miller e a variação entre os valores dos parâmetros e figuras de mérito que foram levados em conta nesse estudo.

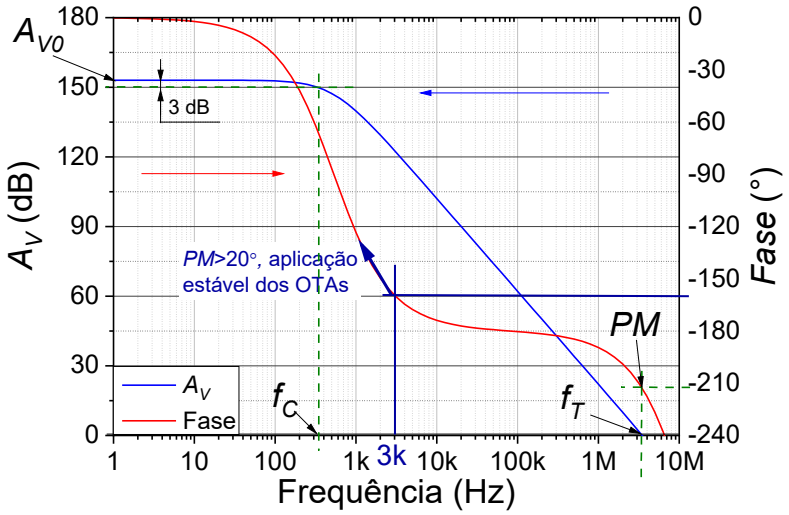
Tabela 22- Especificações dos projetos, os resultados obtidos do primeiro estudo comparativo realizado e a variação entre os valores dos parâmetros e figuras de mérito entre os dois amplificadores em cascata que foram levados em conta nesse estudo.

	Valores especificados	**OTA CMOS Miller robusto**	**Amplificador em Cascata 1**	**Variação (%)**
A_{V0}	$\geq 150\ dB$	74,9 dB	153,1 dB	**78,2 (104,4%)**
f_C	$>300\ Hz$	640 Hz	330 Hz	**-310 (-48,4%)**
MF	$15^o < MF < 70°$	68,5°	-33°	**OK**
V_{OUT}	$-75\ mV < V_{OUT} < 75\ mV$	20 mV	60 mV	**OK**
P_{TOT}	$\leq 550\ \mu W$	152 µW	304 µW	**152 (100%)**
A_G	$\leq 11.000\ \mu m^2$	3.760 µm²	7.529 µm²	**3.769 (100,2%)**

Fonte: Autor.

A Figura 66 ilustra o Diagrama de Bode obtido do Amplificador em Cascata 1.

Figura 66 - Diagrama de Bode obtido do Amplificador em Cascata 1.



Fonte: Autor.

Analisando-se os resultados obtidos (Figura 66), podemos observar que o Amplificador em Cascata 1 apresenta valores de A_{V0} em dB, P_{TOT} e A_G aproximadamente duas vezes maiores (diferença máxima de +104,4% para A_{V0}, de +100% para P_{TOT} e diferença máxima de +100,2% para A_G) que o do OTA CMOS Miller robusto que foi previamente otimizado em Banin Jr et al. (2021b) e apresentado no Capítulo 3.1. A diferença encontrada entre os A_{V0}s pode ser justificada pela teoria dos amplificadores em cascata (RAZAVI, 2001), onde o A_{V0} de um amplificador em cascata de múltiplos estágios é dado pela multiplicação dos A_{V0}s individuais ou pela soma de cada A_{V0} individual em dB de cada amplificador utilizado para implementá-lo. Além disso, no caso do P_{TOT} e A_G, essa diferença pode ser justificada pelo dobro de MOSFETs convencionais presentes no Amplificador em Cascata 1, quando comparado com o número de MOSFETs de um único OTA CMOS Miller. Dessa forma, esses resultados estão de acordo com a teoria de amplificadores em cascata (MILLMAN, J. C.; HALKIASS, 1981; MALVINO, 1986),

Além disso, analisando-se a Figura 66, a f_T do Amplificador em Cascata 1 é de 3,5 MHz e o *MF* nesta frequência está fora da especificação, ou seja, ele apresenta um valor de -33°, que significa que o amplificador em cascata não apresenta estabilidade em f_T e, portanto, como reportado pela literatura (RAZAVI, 2001; SEDRA; SMITH, 2014), novas simulações SPICE seriam necessárias para fazer esse amplificador apresentar uma *MF* adequada para não apresentar instabilidade. Para evitar esse problema de instabilidade na frequência de 3,5 MHz, o Amplificador em Cascata 1 só pode ser utilizado com sinais de entrada que apresentam frequências máximas de até 3 kHz (Figura 66), pois nessa frequência sua *MF* é de

aproximadamente 20º. Uma vez que, operar o circuito com uma *MF* de 0º é o mínimo para manter o circuito estável. Com isso, o circuito estará operando de forma estável e com uma margem de segurança para possíveis instabilidades na operação (Figura 66) (RAZAVI, 2001; SEDRA; SMITH, 2014). Assim, o Amplificador em Cascata 1 pode ser utilizado, por exemplo, como um amplificador de biopotencial, visto que ele pode operar com frequências de até 3 kHz (SINGH RAGHAV; MAHESHWARI, 2013). Portanto, podemos verificar que a f_C do Amplificador em Cascata 1 é reduzida em 48,4% em relação ao OTA CMOS Miller que foi previamente otimizado e que foi utilizado para realizar a sua implementação. A redução de f_C e de *MF* ocorreu devido a problemas de instabilidade, principalmente gerados pela influência de dois polos provocados pelos dois OTAs CMOS Miller implementados com MOSFETs convencionais idênticos que foram previamente otimizados e conectados eletricamente em cascata e devido a um número maior (aproximadamente o dobro) de capacitâncias parasitas presentes neste amplificador em cascata (SEDRA, 2004).

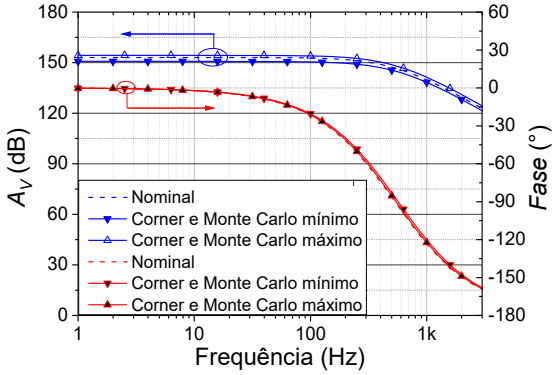
Com isso, pode se concluir que, apesar da estratégia de cascateamento de blocos analógicos de construção básicos ser frequentemente utilizada pelos centros de projeto (*design houses*) para atingir altos valores de ganho de tensão em baixas frequências e evitar custos adicionais de projeto usando OTAs customizados e complexos (APARNA; RAY, 2017), sua aplicação é limitada para somente operar em frequências muito menores que aquelas dos amplificadores que o compõem como, por exemplo, em amplificadores de biopotenciais (SINGH RAGHAV; MAHESHWARI, 2013). Além disso, muitas vezes é necessário a realização de simulações SPICE adicionais para fazer com que esse amplificador em cascata apresente estabilidade.

Cabe aqui ressaltar que, para realizar o cascateamento de OTAs CMOS Miller simples e robustos para implementar amplificadores em cascata de alto ganho de tensão de malha aberta, eles devem ser projetados de forma a apresentarem tensões de entrada e saída iguais a zero, considerando que eles são alimentados por fonte de tensão simétricas, em que os valores de V_{SS} e V_{DD} sejam diferentes de zero, ou eles devem ser projetados com suas tensões de entrada e saída iguais a metade do valor de V_{DD}, quando forem alimentados somente por uma única fonte de tensão. Isso é feito para que o amplificador possa alcançar as maiores excursões possíveis do sinal de saída.

Com o intuito de verificar se o Amplificador em Cascata 1 preserva a mesma robustez que a do OTA CMOS Miller robusto que o implementa, foram realizadas novas análises de Corner e Monte Carlo, considerando-se as mesmas variações do processo de fabricação dos CIs CMOS usado para o OTA CMOS Miller implementado com MOSFETs convencionais robusto

(variações máximas de MOSFETs entre 6% e 12% para a V_{th} e μ_0 e temperatura entre 0ºC e 75ºC), e os resultados são apresentados na Figura 67.

Figura 67- Diagrama de Bode do Amplificador em Cascata 1 levando em consideração as análises de robustez (Corner e Monte Carlo).



Fonte: Autor.

Na Figura 67, os resultados das análises de Corner e Monte Carlo do Amplificador em Cascata 1 apresentaram um erro máximo de 1,4% para o A_{V0} e 14,2% para a f_C. Essas variações encontradas são muito similares as variações de Corner e Monte Carlo encontradas no OTA CMOS Miller implementado com MOSFETs convencionais otimizado em Banin Jr et al. (2021b) e apresentado no Capítulo 3.1. No entanto, essas especificações só foram alcançadas para uma faixa de temperatura entre 0ºC e 36ºC, diferentemente do observado para o OTA CMOS Miller robusto, previamente projetado para ser utilizado no amplificador em cascata, que opera na faixa entre 0ºC e 75ºC (BANIN JR et al., 2021b). Portanto, com base nesses resultados, a prática tradicional utilizada pelos projetistas, de implementar amplificadores que apresentem um maior A_{V0} através do cascateamento de dois OTAs CMOS Miller previamente otimizados, pode resultar na degradação da robustez desses amplificadores em cascata, no que diz respeito às variações da temperatura.

4.2 ETAPA C: REPROJETAR E OTIMIZAR ESSE AMPLIFICADOR USANDO UMA FERRAMENTA COMPUTACIONAL DE PROJETO E OTIMIZAÇÃO DE CIS CMOS ANALÓGICOS (IMTGSPICE)

Essa etapa apresenta um segundo estudo comparativo realizado entre dois amplificadores em cascata, no qual o primeiro é o amplificador em cascata implementado com dois OTAs CMOS Miller implementado com MOSFETs convencionais idênticos, conforme descrito no

primeiro estudo comparativo e o segundo amplificador apresenta as mesmas características elétricas do primeiro circuito, mas foi projetado e otimizado utilizando iMTGSPICE (Amplificador em cascata 2) sem utilizar OTAs CMOS Miller previamente projetados e otimizados. O objetivo desse segundo estudo comparativo é verificar se o projeto e a otimização de amplificadores em cascata, que não usam blocos básicos analógicos previamente projetados e otimizados, apresenta melhores desempenhos elétricos do que aqueles amplificadores que são implementados utilizando a forma tradicional de se implementar amplificadores em cascata, ou seja, conectando-se diferentes amplificadores que foram previamente projetados. A Tabela 23 apresenta as especificações, os resultados das simulações SPICE dos Amplificadores em Cascata 1 e 2 e a variação dos valores de parâmetros das figuras de mérito entre os dois amplificadores em cascata que foram levados em conta nesse segundo estudo comparativo.

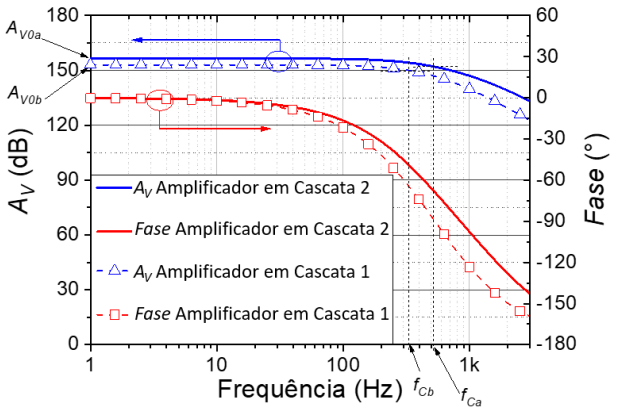
Tabela 23- Especificações de projeto, os resultados obtidos do segundo estudo comparativo realizado e a variação dos valores de parâmetros das figuras de mérito entre os dois amplificadores em cascata que foram levados em conta nesse estudo.

	Valores especificados	**Amplificador em Cascata 1**	**Amplificador em Cascata 2**	**Variação (%)**
A_{V0}	$\geq 150\ dB$	153,1 dB	156,5 dB	**3,4 (2,2%)**
f_C	$>300\ Hz$	330 Hz	405 Hz	**75 (22,7%)**
MF	$15° < MF < 70°$	26,8°	37,4°	**OK**
V_{OUT}	$-75\ mV < V_{OUT} < 75\ mV$	60 mV	-70 mV	**OK**
P_{TOT}	$\leq 550\ \mu W$	304 µW	277 µW	**- 27 (-8,9%)**
A_G	$\leq 11.000\ \mu m^2$	7.529 µm^2	4.172 µm^2	**-3.357 (-44,6%)**

Fonte: Autor.

Na Tabela 23, pode-se observar que todas as especificações de projeto foram aprimoradas para o Amplificar em Cascata 2 em relação ao Amplificador em Cascata 1. O A_{V0} foi aumentado em 2,2% e o f_C em 22,7%. Além disso, a A_G total e a P_{TOT} do Amplificador em Cascata 2 foram reduzidas em 44,6% e 8,9%, respectivamente, em relação àquele observado utilizando-se a metodologia típica de conexão elétrica em cascata de dois OTAs CMOS Miller previamente projetados e otimizados. Portanto, pode-se concluir que o desempenho elétrico do Amplificador em Cascata 2 foi aumentado em relação ao Amplificador em Cascata 1. A Figura 68 ilustra os diagramas de Bode dos Amplificadores em Cascata 1 e 2 obtidos do segundo estudo comparativo realizado por este projeto de pesquisa.

Figura 68- Diagrama de Bode dos Amplificadores em Cascata 1 e 2 obtidos do segundo estudo comparativo realizado por este projeto de pesquisa.

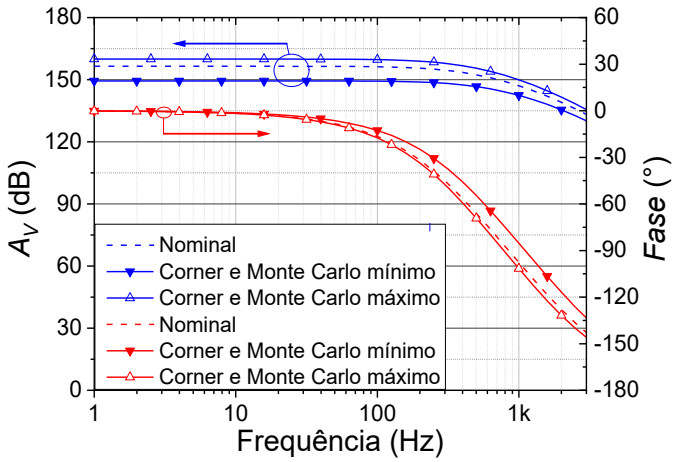


Fonte: Autor.

Analisando a Figura 68, o A_{V0} do Amplificador em Cascata 2 (A_{V0a}) é maior do que o A_{V0} do Amplificador em Cascata 1 (A_{V0b}) em +3,4 dB. Além disso, a f_C e a MF do Amplificador em Cascata 2 também aumentaram em +75 Hz e +10,6 graus, respectivamente, em comparação ao Amplificador em Cascata 1.

Novas análises de Corner e Monte Carlo referentes às variações do processo de fabricação dos CIs CMOS (variações máximas dos MOSFETs de V_{th} e μ_0 entre 6% e 12%) e às variações da temperatura (-40ºC e 125ºC) foram realizadas para avaliar a robustez do Amplificador em Cascata 2, de acordo com a Figura 69.

Figura 69 - Diagrama de Bode do Amplificador em Cascata 2 em relação as análises de Corner e Monte Carlo.

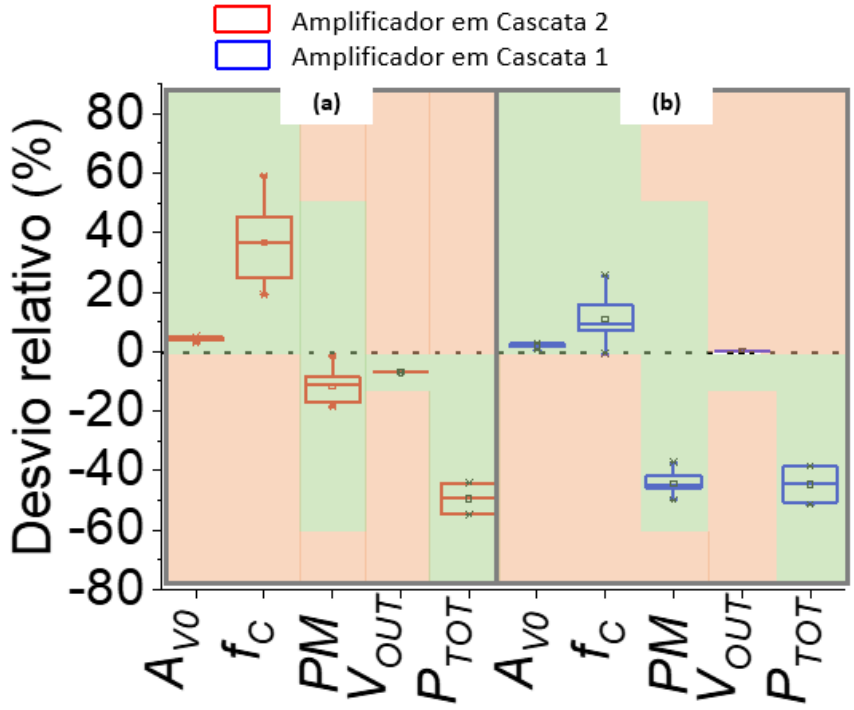


Fonte: Autor.

Na Figura 69, os resultados das análises de Corner e Monte Carlo do Amplificador em Cascata 2 apresentam um erro máximo de 4,5% para A_{V0} e 30,9% para f_C considerando variações máximas dos MOSFETs de V_{th} e μ_0 entre 6% e 12% e variação de temperatura entre -40ºC a 125ºC. Esses valores de erro máximo são maiores que os encontrados no Amplificador em Cascata 1 (1,4% para o A_{V0} e 14,2% para a f_C). O Amplificador em Cascata 1 é mais robusto que o Amplificador em Cascata 2 por apresentar uma menor dispersão do A_{V0} e f_C. Ele alcançou essa dispersão menor de 1,4% para o A_{V0} e 14,2% para a f_C, justamente por operar numa faixa limitada de temperatura entre 0ºC e 36ºC, considerando que o Amplificador em cascata 2 pode operar numa faixa muito mais ampla de variação da temperatura (entre -40ºC e 125ºC). Em conclusão, embora o Amplificador em Cascata 1 seja mais robusto que o Amplificador em Cascata 2, ele está limitado a operar somente numa faixa de temperatura entre 0ºC e 36ºC, o que torna seu uso inviável e inadequado para aplicações de CIs CMOS analógicos.

A Figura 70 apresenta os desvios relativos de cada especificação em relação à especificação desejada (*box plot*), que foram obtidos a partir do Amplificador em Cascata 2 (Figura 70a) e o Amplificador em Cascata 1 (Figura 70b), ambos considerando variações máximas de MOSFETs entre 6% e 12% para a V_{th} e μ_0 e variações de temperatura entre 0ºC e 36ºC para efeito de comparação.

Figura 70- Desvios relativos de cada especificação em relação à especificação desejada (*box plot*), que foram obtidos dos dois amplificadores do segundo estudo comparativo.



Fonte: Autor.

A Figura 70 apresenta o valor mínimo (*Min*), valor máximo (*Max*), dispersão (*Max-Min*) e o desvio relativo médio para ambos os amplificadores em cascata comparados neste estudo. Os dois amplificadores em cascata consideram variações máximas de MOSFETs entre 6% e 12% para a V_{th} e μ_0 e variações de temperatura entre 0ºC e 36ºC para efeito de comparação. A Tabela 24 apresenta o valor mínimo (*Min*), valor máximo (*Max*), dispersão e desvio relativo médio para ambos os Amplificadores em Cascata 1 e 2.

Tabela 24- Valor mínimo (*Min*), valor máximo (*Max*), dispersão e desvio relativo médio para ambos os amplificadores.

	Amplificador em Cascata 2				Amplificador em Cascata 1			
	Valor mínimo (Min)	**Valor máximo (Max)**	**Dispersão (Max - Min)**	**Desvio relativo médio**	**Valor mínimo (Min)**	**Valor máximo (Max)**	**Dispersão (Max - Min)**	**Desvio relativo médio**
A_{V0} (dB)	154,3	157,6	3,3	4,3%	150,9	154,3	3,4	2,1%
f_C (Hz)	357,3	477,7	120,3	36,6%	297,7	376,8	79,1	10,8%
P_{TOT} (µW)	248,1	306,8	58,8	-49,5%	266,7	337,7	71	-44,8%
MF (deg)	34,6	41,9	7,3	-11,6%	18,8	23,5	4,7	-50,9%
V_{OUT} (mV)	-70,3	-70,2	0,1	-7,0%	-0,022	0,036	0,058	0%

Fonte: Autor.

O desvio relativo médio apresentado na Tabela 24 é definido como a média das variações das especificações de projeto em porcentagem, considerando todas as amostras utilizadas nas análises de Corner e Monte Carlo. De acordo com a Figura 70 e a Tabela 24 os valores de dispersão de A_{V0} e P_{TOT} encontrados no Amplificador em Cascata 1 (3,4 dB e 71 µW, respectivamente) são maiores do que os encontrados no Amplificador em Cascata 2 (3,3 dB e 58,8 µW). Em contrapartida, os valores de dispersões de f_C, *MF* e V_{OUT} encontrados no Amplificador em Cascata 1 (79,1 Hz, 4,7º e 0,058 mV, respectivamente) são menores do que os encontrados no Amplificador em Cascata 2 (120,3 Hz, 7,3º e 0,1 mV, respectivamente). Com isso, pode-se concluir que o Amplificador em Cascata 1 é mais robusto que o Amplificador em Cascata 2 por apresentar uma maior tolerância a variações do processo de fabricação dos CIs CMOS e as variações da temperatura, ou seja, uma menor dispersão para maioria das FoMs avaliadas (f_C, *MF* e V_{OUT}). Por outro lado, as variações do processo de fabricação dos CIs CMOS e as variações da temperatura realizadas no Amplificador em Cascata 2 proporcionam a maximização dos valores de A_{V0}, f_C e *MF* (até 157,6 dB, 477,7 Hz e 41,9º, respectivamente) em comparação aos valores de máximo dessas FoMs encontrados no Amplificador em Cascata 1 (até 154,3 dB, 376,8 Hz e 23,5º, respectivamente). Além disso, as variações do processo de

fabricação dos CIs CMOS e as variações da temperatura realizadas no Amplificador em Cascata 2 proporcionam a minimização do P_{TOT} (até 248,1 μW). Em conclusão, comparando ambos os amplificadores em cascata, observa-se que o Amplificador em Cascata 2 apresenta menor robustez do que Amplificador em Cascata 1, devido a maior dispersão encontrada na maioria das figuras de mérito, embora os valores máximos e mínimos estejam sempre dentro das especificações. Entretanto, verificamos que o Amplificador em Cascata 2 é capaz de atingir um melhor desempenho elétrico em termos de maiores A_{V0}, MF e f_C além de menor P_{TOT} e consegue operar com uma faixa de temperatura muito maior (entre -40ºC e 125ºC) que a do amplificador em cascata 1 (entre 0ºC e 36ºC).

Portanto, com base neste Capítulo, pode-se concluir que é melhor otimizar e projetar diferentes blocos básicos analógicos individuais em cascata ao mesmo tempo visando melhorar o desempenho elétrico, redução da A_G total dos CIs CMOS analógicos e operar com uma faixa de temperatura muito maior (segunda metodologia proposta nesse projeto de pesquisa), do que otimizar blocos básicos analógicos individuais e depois implementá-los como amplificadores em cascata (estratégia tradicional).

5 CONCLUSÃO

Neste projeto de pesquisa foi desenvolvida uma primeira metodologia para projetar e otimizar CIs CMOS analógicos robustos com os MOSFETs do tipo Diamante de forma automática, por meio da incorporação de modelagens matemáticas dos efeitos LCE e PAMDLE na ferramenta computacional iMTGSPICE. Essa primeira metodologia foi validada com dois projetos: um projeto com um OTA SESS, e outro com um OTA Miller. Os resultados obtidos por simulações SPICE mostraram que essa primeira metodologia foi capaz de reduzir significativamente a A_G total em até 43% para o OTA Miller e em até 37% para o OTA SESS. Os resultados das análises de Corner e Monte Carlo dos OTAs SESS e Miller implementados com DMs (ângulos α iguais a 45°, 90° e 135°) levando em consideração às variações do processo de fabricação dos CIs CMOS e variações de temperatura (0°C e 75°C) mostraram um erro máximo de 2,9% para o A_{V0}, 15,6% para a f_T e 4,7% para a *MF*, enquanto os OTAs SESS e Miller implementados com CMs apresentaram um erro máximo de 2,9% para o A_{V0}, 12,5% para a f_T e 1,8% para a *MF*. Os leiautes elaborados com base na tecnologia TSMC de 180 nm para os OTAs SESS implementados com DMs comprovam que a estratégia de substituição dos CMs para os DMs é efetiva e possível de ser aplicada para os 3 ângulos α avaliados (45º, 90º e 135º). Além da redução da A_G total atingida com a aplicação dos DMs em substituição aos CMs, também ocorrem reduções das áreas de dreno e fonte proporcionais à redução da área de porta, pois elas estão interligadas (porta, dreno e fonte).

Este projeto de pesquisa utilizou uma forma simples e precisa de realizar a caracterização elétrica experimental de um OTA SESS implementado com MOSFETs convencionais robusto com base na tecnologia TSMC CMOS de 65 nm, que pode ser realizado com infraestrutura de medição convencional de baixo custo e considerando que está operando em malha fechada para melhorar sua estabilidade e facilitar o ajuste da tensão de compensação de entrada.

Além disso, a otimização de dois OTAs Miller implementados com MOSFETs convencionais robustos conectados eletricamente em cascata, realizado com o uso do iMTGSPICE (Amplificador em Cascata 2) é capaz de aumentar o seu desempenho elétrico em 2,2% para A_{V0} e 22,7% para f_C. Além disso, a A_G total e a P_{TOT} foram reduzidas em 44,6% e 8,9%, respectivamente, em relação aquele observados utilizando-se a metodologia típica de se utilizar a confecção elétrica em cascata de dois OTAs Miller previamente projetados e otimizados (Amplificador em Cascata 1). O Amplificador em Cascata 2 apresenta menor robustez do que o Amplificador em Cascata 1, embora essas variações estejam sempre dentro das especificações. Entretanto, o Amplificador em Cascata 2 é capaz de atingir melhor

desempenho elétrico em termos de maiores A_{V0}, f_C e MF (até 157,6 dB, 477,7 Hz e 41,9º, respectivamente) e também menor P_{TOT} (até 248,1 μW) e consegue operar com uma faixa de temperatura muito maior (entre -40ºC e 125ºC) que a do amplificador em cascata 1 (entre 0ºC e 36ºC). Enfim, pode-se concluir que é melhor otimizar diferentes blocos básicos analógicos ao mesmo tempo visando melhorar o desempenho elétrico e redução da A_G total dos CIs CMOS analógicos com robustez (segunda metodologia proposta nesse projeto de pesquisa), do que otimizar blocos básicos analógicos individuais e depois implementá-los como amplificadores em cascata (estratégia tradicional).

Portanto, pode-se concluir que as duas metodologias aqui apresentadas podem ser consideradas uma alternativa para apoiar os projetistas de CIs CMOS analógicos para melhorar o desempenho elétrico e a robustez, reduzir os tempos de projeto, otimização e área total de porta desses circuitos integrados.

Como trabalhos futuros, vislumbramos as seguintes possibilidades:

a) desenvolver novos modelos matemáticos para simulação automática no iMTGSPICE de outros estilos de leiautes não convencionais como o circular, o octogonal e o elipsoidal;

b) incorporar ao iMTGSPICE e ao Calibre da Siemens (2021) a modelagem matemática para converter CMs em DMs e o procedimento para calcular as dimensões dos DMs preparados para simulação SPICE;

c) realizar a caracterização elétrica experimental dos demais projetos realizados nesse trabalho de pesquisa;

d) implementar o procedimento de conversão do CM em DM utilizando a premissa de igualar as áreas de porta do OTA implementado com CMs e do OTA implementado com DMs a fim de aumentar o desempenho elétrico em aplicações de CIs CMOS para RF;

e) realizar estudo por simulação SPICE e caracterização elétrica experimental em condições de altas temperaturas e radiações ionizantes dos OTAs avaliados nesse projeto de pesquisa;

f) aumentar a quantidade de blocos de construção analógicos básicos cascateados a fim de aumentar ainda mais o A_{V0}.

O presente trabalho foi realizado com apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior – Brasil (CAPES) – Código de Financiamento 001.

Finalmente, estão referenciados abaixo, os artigos publicados pelo autor e relacionados a esse projeto de pesquisa. Começando pelos congressos e seminários:

SEMINATEC 2019

BANIN JR, J. R., SALVADOR, G. P., MORETO, R. A. L. Procedure to use diamond layout style and reduce analogue IC area. In: **Proceedings of the SEMINATEC 2019**, April 11-12, 2019, São Paulo, Brazil, 2019, p. 1-2.

SBCCI 2019

BANIN JR, J. R., MORETO, R. A. L., SILVA, G. A., THOMAZ, C. E., SALVADOR, G. P. An Innovative Strategy to Reduce Die Area of Robust OTA by using iMTGSPICE and Diamond Layout Style for MOSFETs. **In Proceedings of SBCCI '19,** São Paulo, SP, Brazil, 2019a, 6 pages.

SEMINATEC 2021

BANIN JR, J. R., MORETO, R. A. L., SILVA, G. A., THOMAZ, C. E., SALVADOR, G. P. Using Artificial Intelligence and Non-Conventional Layout Style for MOSFETs to Design Robust OTAs with Die Area Reduction. In: **Proceedings of the SEMINATEC 2021**, 2021, São Paulo, Brazil, 2021, p. 1-2.

SBCCI 2021

BANIN JR, J. R. et al. "Optimizing a Robust Miller OTA Implemented with Diamond Layout Style for MOSFETs By Using iMTGSPICE," **2021 34th SBC/SBMicro/IEEE/ACM Symposium on Integrated Circuits and Systems Design (SBCCI)**, 2021, p. 1-6.

E também os periodicos publicados ou em publicação:

ALOG SPRINGER 2021

BANIN JR, J. R., MORETO, R. A. L., SILVA, G. A., THOMAZ, C. E., SALVADOR, G. P., Methodology to optimize and reduce the total gate area of robust operational transconductance amplifiers by using diamond layout style for MOSFETs. **Analog Integrated Circuits and Signal Processing, 293**–306, 2021.

JICS 2022 (Artigo em revisão)

BANIN JR, J. R. et al. "Optimizing Cascaded OTAs Miller to Boost Electrical Performance and Robustness and to Reduce the Die Area," **Journal of Integrated Circuits and Systems,** 2022.

REFERÊNCIAS

ALLEN, P.; HOLBERG, D. **CMOS analog circuit design. Oxford university press.** 2nd edition, 2002.

APARNA, B. N.; RAY, P. A High-Gain Sub-2nW OTA for Biomedical Application using 45nm CMOS Technology. **2017 14th IEEE India Council International Conference (INDICON)**, pp. 1-4, 2017.

ATASHPAZ-GARGARI, E.; LUCAS C. Imperialist Competitive Algorithm: An Algorithm for Optimization Inspired by Imperialistic Competition. In: **PROC. IEEE CONG. EVOL. COMPUT.**, p. 4661-4667, Sept. 2007.

BANIN JR, J. R., SALVADOR, G. P., MORETO, R. A. L. Procedure to use diamond layout style and reduce analogue IC area. In: **PROCEEDINGS OF THE SEMINATEC 2019 -XIV WORKSHOP ON SEMICONDUCTORS AND MICRO & NANO TECHNOLOGY**, April 2019, p. 1-2, São Paulo: 2019.

BANIN JR, J. R. et al. An innovative strategy to reduce die area of robust OTA by using iMTGSPICE and diamond layout style for MOSFETs. In: **PROCEEDINGS OF SBCCI 2019,** São Paulo: 2019a, p. 1-6.

BANIN JR, J. R., MORETO, R. A. L., SILVA, G. A., THOMAZ, C. E., SALVADOR, G. P., Methodology to optimize and reduce the total gate area of robust operational transconductance amplifiers by using diamond layout style for MOSFETs. **Analog Integrated Circuits and Signal Processing**, 293–306, 2021.

BANIN JR, J. R., MORETO, R. A. L., SILVA, G. A., THOMAZ, C. E., SALVADOR, G. P. Using Artificial Intelligence and Non-Conventional Layout Style for MOSFETs to Design Robust OTAs with Die Area Reduction. In: **Proceedings of the SEMINATEC 2021**, São Paulo, Brazil, 2021a, p. 1-2.

BANIN JR, J. R. et al. "Optimizing a Robust Miller OTA Implemented with Diamond Layout Style for MOSFETs By Using iMTGSPICE," **2021 34th SBC/SBMicro/IEEE/ACM Symposium on Integrated Circuits and Systems Design (SBCCI)**, 2021b, p. 1-6.

BARROS, M.; GUILHERME, J.; HORTA, N. **Analog Circuits and Systems Optimization Based on Evolutionary Computation Techniques**. Berlin, Heidelberg: Springer-Verlag, Studies in Computational Intelligence, v. 294, 2010.

_____. Analog circuits optimization based on evolutionary computation techniques. **INTEGRATION, the VLSI journal**, v. 43, n. 1, p. 136-155, Jan. 2010a.

BASTOS, J. et al. Matching of MOS transistors with different layout style. In: **PROCEEDINGS OF INTERNATIONAL CONFERENCE ON MICROELECTRONIC TEST STRUCTURES**, p. 17-18, Trento, Italy, 1996.

BIJAMI, Ehsan et al. Implementation of imperialist competitive algorithm to solve non-convex economic dispatch problem. **Journal of the Chinese Institute of Engineers**, v. 37, n. 2, p. 232-242, 2014.

BOWMAN, R. J. Introduction to CMOS analog standard cell ASIC design. **Proceedings Second Annual IEEE ASIC Seminar and Exhibit**, pp. T2-1/1, 1989.

BUSH, B. J.; SAYAMA, H. Hyper interactive Evolutionary Computation. **IEEE Trans. Evol. Comput.**, vol. 15, no. 3, p. 424–433, Jun. 2011.

CIRIO, L. et al. A global optimization approach for the synchronous motors design by finite element analysis. **International Journal applied Electromagnetics Mechanics 16**, p. 13–27, 2002.

CLAEYS, C. et al. Fabrication and characterization of Si and hetero-junction tunnel field effect transistors. **Global COE International Symposium Silicon Nano Devices in 2030: Prospects by World's Leading Scientists**, Tóquio, 2009.

COELLO, Carlos A.; LAMONT, Gary B.; VELDHUIZEN, David A. Van. **Evolutionary algorithms for solving multi-objective problems**. NY: Springer-Verlag, 2007.

COGHI, J. F. F. **Caracterização elétrica de amplificadores operacionais de transcondutância implementado com GC SOI MOSFETs.** 2012. 113 f. Dissertação (Mestrado em Engenharia Elétrica) – Centro Universitário FEI, São Bernardo do Campo.

COLINGE, J. P. **FinFETS and others multi-gate transistors.** Cambridge: Springer, 2008.

COLINGE, J.P. **Silicon-on-insulator techn. materials to VLSI.** Kluwer Academic Publishers, Boston, MA, USA, 2004

COMPASSI-SEVERO, L.; NOIJE, W. V. A Generic Test Board for the Electrical Characterization of ULP and ULV Fully-Differential Integrated Analog Circuits, **Journal of Integrated Circuits and Systems**, vol. 14, no. 3, pp. 1-7, Dec. 2019.

CORREIA, M. M.; GIMENEZ, S. P.. Boosting the Electrical Performance of MOSFET Switches by Applying Ellipsoidal Layout Style. In: **30TH SYMPOSIUM ON MICROELECTRONICS TECHNOLOGY AND DEVICES (SBMICRO 2015)**, v. 1. p. 1-8, Bahia: Sociedade Brasileira de Microeletrônica, 2015.

DEB, K. et al. A fast and elitist multi-objective genetic algorithm: NSGA-II. **IEEE Trans. Evol. Comput.**, v. 6, n. 2, p. 182-197, Apr. 2002.

DEB, K. Multi-objective Optimization Using Evolutionary Algorithms: An Introduction. In: **MULTI-OBJECTIVE EVOLUTIONARY OPTIMIZATION FOR PRODUCT DESIGN AND MANUFACTURING**, p. 3-34, Springer-Verlag, London: 2011.

DEGRAUWE, Marc G.; RIJMENANTS, Jozef; VITTOZ, Eric A. Adaptive biasing CMOS amplifiers. **IEEE Journal of Solid-State Circuits**, v. SC-17, n. 3, p. 522-528, June 1982.

EGGERMONT, J. P.et al. Design of SOI CMOS Operational Amplifiers for Applications up to 300°C. **IEEE Journal of Solid-State Circuits**, v. 31, n. 2, p. 179-186, Feb. 1996.

ELBELTAGI, Emad; HEGAZY, Tarek; GRIERSON, Donald. A modified shuffled frog-leaping optimization algorithm: applications to project management. **Structure and Infrastructure Engineering,** v. 3, n. 1, p. 53-60, Mar. 2007.

EXAME. **Conteúdo digital dobra a cada dois anos no mundo**. 2014. Disponível em: < https://exame.abril.com.br/tecnologia/conteudo-digital-dobra-a-cada-dois-anos-no-mundo/>. Acesso em: 22 set. 2019.

FINO, L. N. S. et al. Boosting the Radiation Hardness and Higher Reestablishing Pre-Rad Conditions by Using OCTO Layout Style for MOSFETs. In: SBMICRO 2014 - 29TH SYMPOSIUM ON MICROELETRONICS TECHNOLOGY AND DEVICES, v. 1. p. 1-8, Aracaju, 2014.

FORDJOUR, S. A.; RIAD, J.; SÁNCHEZ-SINENCIO, E. A 175.2-mW 4-Stage OTA With Wide Load Range (400 pF–12 nF) Using Active Parallel Compensation. In: **IEEE Transactions on Very Large Scale Integration (VLSI) Systems**, vol. 28, no. 7, pp. 1621-1629, July 2020.

GABLONSKY, J.M.; KELLEY, C.T. A locally-biased form of the DIRECT algorithm, **Journal Global Optimization 21**, p. 27–37, 2001.

GABRIEL, A. S.; GIMENEZ, S. P. Boosting the Performance of the Planar Power MOSFET By Using Diamond Layout Style**.** In: **29TH SYMPOSIUM ON MICROELETRONICS TECHNOLOGY AND DEVICES**, v. 1. p. 1-8, 2014.

GALEMBECK, E. H. S. **Estudo de SOI MOSFETs com estilos de leiaute não convencionais em altas temperaturas.** 2015. 263 f. Dissertação (Mestrado em Engenharia Elétrica) – Centro Universitário FEI, São Bernardo do Campo.

GIMENEZ, S. P.; PAVANELLO, M. A.; MARTINO, J. A. Design of Operational Transconductance Amplifiers with Improved Gain by Using Graded-Channel SOI nMOSFETs. In: **16TH SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEM DESIGN, SBCCI 2003**, v. 1, p. 26-31, São Paulo: 2003.

GIMENEZ, S. P. Diamond MOSFET: An innovative layout to improve performance of ICs**. Solid-State Electronics**, v. 54, p. 1690-1699, 2010.

GIMENEZ, S. P. **Layout Techniques for MOSFETs (ISBN: 9781627054881 | PDF ISBN: 9781627054829).** 1/1. ed., v. 1., 81p, San Rafael, California (USA): Morgan & Claypool Publishers, 2016.

GIMENEZ, S. P. et al. Diamond layout style impact on SOI MOSFET in high temperature environment. **Microelectronics and Reliability**, v. 55, p. 783/MR11492-788, 2015.

GIMENEZ, S. P.; ALATI, D. M. Electrical behavior of the diamond layout style for MOSFETs in X-rays ionizing radiation environments. **Microelectronic Engineering**, v. 1482015, p. 85-90, 2015.

GIMENEZ, S. P.; FERREIRA, Rodrigo Mazzutti Gomes; MARTINO, Joao Antonio. Early Voltage Behavior in Circular Gate SOI nMOSFET Using 0.13 μm Partially-Depleted SOI

CMOS Technology. In: **MICROELECTRONICS TECHNOLOGY AND DEVICES, ECS TRANSACTIONS – 2006**, v. 4. p. 309-318, Ouro Preto - MG. ECS Transactions. Washington: ECS, 2006.

GIMENEZ, S. P. et al. A compact Diamond MOSFET model accounting for the PAMDLE applicable down the 150 nm node. **Electronics Letters**, v. 50, p. 1618-1620, 2014.

GIMENEZ, S.P.; RENAUX, C.; LEONI, R.D.; FLANDRE, D. Using diamond layout style to boost MOSFET frequency response of analogue IC. **Electronics Letters,** v. 50, p. 398-400, 2014a.

GIMENEZ, Salvador P. **Estudo do GC SOI nMOSFET e aplicações em amplificadores operacionais de transcondutância.** 2004, 115 f. Dissertação (Doutorado em Engenharia Elétrica) – Escola Politécnica da Universidade de São Paulo, São Paulo.

GÓMEZ, S.; MOLL, F. Evaluation of layout design styles using a quality design metric. In: **2012 IEEE INTERNATIONAL SOC CONFERENCE**, Niagara Falls, NY, pp. 125-130, 2012.

GOSWAMI, M.; KHANNA, S. DC suppressed high gain active CMOS instrumentation amplifier for biomedical application. **2011 International Conference on Emerging Trends in Electrical and Computer Technology**, pp. 747-751, 2011.

GOSWAMI, R.; BHOWMICK, B. An Analytical Model of Drain Current in a Nanoscale Circular Gate TFET. In: **IEEE TRANSACTIONS ON ELECTRON DEVICES**, vol. 64, no. 1, pp. 45-51, Jan. 2017.

GRADE, J. et al. Low frequency drift in tunnel sensors. **Proceedings of International Solid State Sensors and Actuators Conference (Transducers '97)**, pp. 871-874, 1997.

GRAY, P. R. **Analysis and design of analog integrated circuits**. 4ª. ed. New York: John Wiley & Son, 2001.

GUMMALLA, Y.; WANG, C.; CHAKRABARTI; CAO, Y. Random variability modeling and its impact on scaled CMOS circuits**. Journal of Computational Electronics**, vol. 9, no. 3–4, pp. 108–113, Oct. 2010.

HALKIAS, C. C.; MILLMAN, J. **Eletrônica: Dispositivos e Circuitos**, 1981.

HASLER, J. Defining Analog Standard Cell Libraries for Mixed-Signal Computing Enabled through Educational Directions. **2020 IEEE International Symposium on Circuits and Systems (ISCAS)**, pp. 1-5, 2020.

HINDMARSH, R. D. Complex gate performance improvement by jog insertion into transistor gates. In: **PROCEEDINGS OF 1993 IEEE INTERNATIONAL CONFERENCE ON COMPUTER DESIGN ICCD'93**, pp. 543-546, Cambridge, MA, USA, 1993.

INTERSIL. **CA3140, 4.5MHz, BiMOS Operational Amplifier with MOSFET Input/Bipolar Output**, Sept. 1998. Disponível em: <http://www.alldatasheet.com/>. Acesso em: 8 maio 2019.

JAFARI, A. et al. A design automation system for CMOS analog integrated circuits using New Hybrid Shuffled Frog Leaping Algorithm. **Microelectronics Journal**, v. 43, n. 11, p. 908-915, 2012.

JAFARI, A. et al. Design of Analog Integrated Circuits by Using Genetic Algorithm. In: **SECOND INTERNATIONAL CONFERENCE ON COMPUTER ENGINEERING AND APPLICATIONS**, 2010.

JAIKLA, W. et al. 0.5 V Fully Differential Universal Filter Based on Multiple Input OTAs. In: **IEEE Access**, vol. 8, pp. 187832-187839, 2020.

KOH, H. Y.; SÉQUIN, C. H.; GRAY, P. R. OPASYN, A. Compliler for CMOS Operational Amplifiers. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, v. 9, n. 2, p. 113-125, Feb. 1990.

KRUMMENACHER, F. High voltage gain CMOS OTA for micropower SC filters. **IEEE Electronics Letters**, v. 17, n. 4, p. 160-162, Feb. 1981.

KUMNGERN, M.; TORTEANCHAI, U.; DEJHAN, K. Electronically tunable multiple-input single-output voltage-mode multifunction filter employing simple CMOS OTAs. **2010 IEEE Asia Pacific Conference on Circuits and Systems**, pp. 1099-1102, 2010.

KURZWEIL, R. **The Singularity is Near:** When Humans Transcend**.** Biology, Viking, 2005

LI, M. J. et al. A High-gain High-precision Dynamic Comparator with Dynamic Cascading Technique. **2019 Photonics & Electromagnetics Research Symposium - Fall (PIERS - Fall)**, pp. 2991-2995, 2019.

LIM, S. K. **Design for High Performance, Low Power, and Reliable 3D Integrated Circuits**. Springer (online), 2013.

LIU, X. et al. Electrical performance of 130 nm PD-SOI MOSFET with diamond layout. **Microelectronics Journal**. 2018.

LONGWAY, C.; SIFERD, R. A doughnut layout style for improved switching speed with CMOS VLSI gates. In: **IEEE JOURNAL OF SOLID-STATE CIRCUITS**, vol. 24, no. 1, pp. 194-198, Feb. 1989.

LOPEZ, A. D.; LAW, H. S. A dense gate matrix layout method for MOS VLSI. In: **IEEE TRANSACTIONS ON ELECTRON DEVICES,** vol. 27, no. 8, pp. 1671-1675, Aug. 1980

LOPEZ, P. et al. Practical considerations on doughnut transistors design. In: **PROCEEDINGS OF THE 2005 EUROPEAN CONFERENCE ON CIRCUIT THEORY AND DESIGN - 2005**, pp. III/213-III/216 vol. 3, Cork, Ireland, 2005.

LOURENÇO, N. et al. Hard and Soft Constraints for Multi-objective Analog IC Sizing Optimization. **Synthesis Modeling Analysis and Simulation Methods and Applications to Circuit Design (SMACD) 2019 16th International Conference**, pp. 285-288, 2019.

LOURENÇO, N.; HORTA, N. G. Multi-Objective Evolutionary Synthesis of Analog ICs with Corners Validation. In: **GENETIC AND EVOLUTIONARY COMPUTATION CONF., Philadelphia**, USA, 2012.

MAGUIRE, S. T. G.; ROBERTSON, P. A. Low Frequency Radio Polarization Sensor With Applications in Attitude Estimation. **In: IEEE Sensors Journal**, vol. 15, no. 12, pp. 7304-7311, Dec. 2015.

MALVINO, A. P. **Eletrônica.** São Paulo, McGraw Hill, 1986.

MARTINO, J. A.; PAVANELLO, M. A.; VERDONCK, E P. B.; **Caracterização Elétrica de Tecnologia e Dispositivos MOS,** Ed. Pioneira Thomson Learning Ltda, 2003.

MARTINS, R.; LOURENÇO, N.; HORTA, N. Multi-Objective Optimization of Analog Integrated Circuit Placement Hierarchy in Absolute Coordinates. **Expert Systems with Applications**, p. 9137-9151, Dec. 2015, v. 42, n. 23.

MASHIKO, H., KOHIRA, Y. Area minimization method for CMOS circuits using constraint programming in ID-layout style. In: **2016 INTERNATIONAL SYMPOSIUM ON VLSI DESIGN - AUTOMATION AND TEST (VLSI-DAT)**, pp. 1-4, Hsinchu, 2016.

MAVIS, D. G.; ALEXANDER, D. R. Employing Radiation Hardness by Design Techniques with Commercial Integrated Circuit Processes. In: **16TH DIGITAL AVIONICS SYSTEMS CONFERENCE**, October 1997.

MAZIASZ, R. L.; HAYES, J. P. Exact Width and Height Minimization of CMOS Cells. **Proc. DAC,** pp. 487-493, 1991.

MEISSNER, M.; HEDRICH, L. FEATS: Framework for Explorative Analog Topology Synthesis. **IEEE Trans. Comput.-Aided Design Integr. Circuits Syst.**, v. 34, n. 2, p. 213-226, Feb. 2015.

MENTOR GRAPHICS. Disponível em: <http://www.mentor.com>. Acesso em: 21 Dez. 2019.

MICROSOFT EXCEL. **Definir e resolver um problema usando o Solver**. Disponível em: https://support.office.com/pt-br/article/definir-e-resolver-um-problema-usando-o-solver-5d1a388f-079d-43ac-a7eb-f63e45925040. Acesso em: 25 mar. 2020.

MILLER, Julian et al. Evolvable Systems: From Biology to Hardware. In: **THIRD INTERNATIONAL CONFERENCE**, ICES 2000, Edinburgh, Scotland, UK: Apr. 17–19 2000.

MILLMAN, J. C.; HALKIASS, C. C. Eletrônica: dispositivos e circuitos. São Paulo, Mc Graw-Hill do Brasil, 1981.

MOHAMMED, M. A.; ROBERTS, G. W. A Scalable Many-Stage CMOS OTA for Closed-Loop Applications. **2021 IEEE International Symposium on Circuits and Systems (ISCAS)**, pp. 1-5, 2021.

MOORE, G. Cramming more components onto integrated circuits. **Electronics Magazine**, v. 38, p. 114-117, April 1965.

MORETO, R. A. L.; GIMENEZ, S. P. A New Experimental Electrical Characterization Approach to Qualify Robust Analog Integrated Circuit Design. In: **Proceedings of the 12th Workshop on Circuits and Systems Design WCAS 2022**, Aug. 22-26, 2022, Minuano, Rio Grande do Sul, Brazil, 4p.

MORETO, Rodrigo Alves de Lima et al. From architecture to manufacturing: An accurate framework for optimal OTA design. In: **PROC. OF THE IEEE LATIN AMERICAN CONF. ON COMPUT. INTELLIGENCE (LA-CCI)**, Curitiba, Brazil, Oct. 13-16 2015.

_____. Projeto de um OTA CMOS por meio de um sistema evolucionário integrado ao SPICE. **Revista Controle & Automação da Sociedade Brasileira de Automação**, v. 23, n. 6, p. 694-710, dez. 2012.

_____. Variability Analysis of the CMOS OTA Performance Designed by an Evolutionary System. In: **PROCEEDINGS OF THE 3RD WORKSHOP ON CIRCUITS AND SYSTEM DESIGN WCAS 2013**, Curitiba, Parana, Brazil, 4 p, Sept. 3-6, 2013.

_____. Optimization of a low noise amplifier with two technology nodes using an interactive evolutionary approach. **Analog Integrated Circuits and Signal Processing**, 2021.

MORETO, Rodrigo Alves de Lima. **Projeto de um OTA CMOS por meio de um sistema evolucionário integrado ao SPICE**. 2011, 219 f. Dissertação (Mestrado em Engenharia Elétrica) – Centro Universitário FEI, São Bernardo do Campo.

_____. **Otimização de amplificadores operacionais de transcondutância por meio de algoritmos evolucionários.** 2016, 292 f. Dissertação (Doutorado em Engenharia Elétrica) – Centro Universitário FEI, São Bernardo do Campo.

MORETO, R. A. L.; THOMAZ, C. E.; GIMENEZ, S. P. Automatic Optimization of Robust Analog CMOS ICs: An Interactive Genetic Algorithm Driven by Human Knowledge**.** In: **PROCEEDINGS OF THE SBCCI 2018 - 31ST SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN**, p. 1-6, Aug. 27-31 2018, Bento Gonçalves, Rio Grande do Sul, Brazil, 2018.

MORETO, R. A. L.; THOMAZ, C. E.; GIMENEZ, S. P. A customized genetic algorithm with in-loop robustness analyses to boost the optimization process of analog CMOS ICs. **Microelectronics Journal**, Volume 92, October 2019, p. 1–12.

MORETO, R. A. L.; THOMAZ, C. E.; GIMENEZ, S. P. Impact of designer knowledge in the interactive evolutionary optimization of analog CMOS ICs by using iMTGSPICE. In: **ELECTRONICS LETTERS (ONLINE)**, v. 10, p. 1-2, 2018.

MORETO, R. A. L.; THOMAZ, C. E.; GIMENEZ, S. P. Gaussian Fitness Functions for Optimizing Analog CMOS Integrated Circuits. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, v. PP, p. 1-13, 2017.

MORETO, R. A. L.; THOMAZ, C. E.; GIMENEZ, S. P. Optimization of a CMOS OTA Using an Interactive Genetic Algorithm. In: **PROCEEDINGS OF THE SEMINATEC 2018A - XIII WORKSHOP ON SEMICONDUCTORS AND MICRO & NANO TECHNOLOGY**, p. 1-2, Apr. 19-20 2018, São Paulo, Brazil, 2018.

MORETO, R. A. L.; GIMENEZ, S. P.; THOMAZ, C. E. Analysis of a New Evolutionary System Elitism for Improving the Optimization of a CMOS OTA. In: **PROCEEDINGS OF THE 1ST BRICS COUNTRIES CONGRESS (BRICS-CCI), CI APPLICATIONS IN INDUSTRY SYMPOSIUM**, Recife, Pernambuco, Brazil, 6p, Sept. 8-11, 2013.

MORETO, R. A. L.; THOMAZ, C. E.; GIMENEZ, S. P. AGSPICE: A New Analog ICs Design Tool Based On Evolutionary Electronics Used For Extracting Additional Design Recommendations. In: **PROCEEDINGS OF THE INTERNATIONAL CARIBBEAN CONFERENCE ON DEVICES, CIRCUITS AND SYSTEMS**, Playa del Carmen, Mexico, Mar. 14-17 2012.

MUNEDA. Disponível em: <http://www.muneda.com>. Acesso em: 21 abr. 2019.

NATIONAL Semiconductors. **LM13700 Dual Operational Transconductance Amplifiers**, *Datasheet number* DS007981, June 2004.

NICOSIA, Giuseppe; RINAUDO, Salvatore; SCIACCA, Eva. An evolutionary algorithm-based approach to robust analog circuit design using constrained multi-objective optimization. **Knowledge-Based Systems**, v. 21, n. 3, p. 175-183, Apr. 2008.

PELGROM, M. J. M. A.; DUINMAIJER, C. J.; WELBERS, A. P. G. Matching properties of MOS transistors. **IEEE J. Solid-state Circuits**, Vol. SC-24, National Research Board (JNICT). pp.-1433-1439,1989.

POWELL, M. J. D. The NEWUOA software for unconstrained optimization without derivatives. In: **LARGE-SCALE NONLINEAR OPTIMIZATION,** pp. 255–297. Springer, NY, 2006.

OLIVEIRA JR., H. A. et al. **Inteligência computacional: Aplicada à Administração, Economia e Engenharia em Matlab**. São Paulo: Thomson Learning, 2007.

PERUZZI, V. V.; CHRISTIAN, R.; FLANDRE, D.; GIMENEZ, S. P. Boosting the MOSFETs Matching by Using Diamond Layout Style. **JICS. Journal of integrated circuits and systems (ed. português)**, v. 12, p. 33-41, 2017.

PERUZZI, V. V.; CHRISTIAN, R.; FLANDRE, D.; GIMENEZ, S. P. Boosting the MOSFETs matching by using diamond layout style, In: **2016 31ST SYMPOSIUM ON MICROELECTRONICS TECHNOLOGY AND DEVICES (SBMICRO),** p. 1-4, Belo Horizonte, 2016.

PAN, Q. et al. A performance study of layout and Vt options for low noise amplifier design in 65-nm CMOS. In: **2012 IEEE RADIO FREQUENCY INTEGRATED CIRCUITS SYMPOSIUM,** pp. 535-538, Montreal, QC, 2012.

PÓVOA, R.; BASTOS, I.; LOURENÇO, N.; HORTA, N**.,** Automatic synthesis of RF front-end blocks using multi-objective evolutionary techniques. **Integration, the VLSI Journal**, vol. 52, no. 1, p. 243–252, Jan. 2016.

PRESS, William H. et al. **Numerical Recipes 3rd Edition: The Art of Scientific Computing**., New York, NY, USA: Cambridge University Press, 2007.

PYXIS LAYOUT. **Software Version 10.2**, 2012. Disponível em: <http://www.mentor.com>. Acesso em: 5 Mar. 2014.

RAZAVI, Behzad. **Design of Analog CMOS Integrated Circuits**. New York, NY: McGraw-Hill, 2001.

ROBERT, M. et al. Evaluation of VLSI layout style implementations for efficiency. In: **EURO ASIC '91,** pp. 362-365, Paris, France, 1991.

ROCHE, Robin et al. Imperialist Competitive Algorithm for Dynamic Optimization of Economic Dispatch in Power Systems. In: **ARTIFICIAL EVOLUTION, LECTURE NOTES IN COMPUTER SCIENCE,** v. 7401, p. 217-228. Berlin Heidelberg: Springer-Verlag, 2012.

SANTINI, Cristina Costa et al. Evolutionary Analog Circuit Design on a Programmable Analog Multiplexer Array. In: **IEEE INTERNATIONAL CONFERENCE ON FIELD-PROGRAMMABLE TECHNOLOGY**, p. 189-196, 2002.

SAURABH, A. M.; SRIVASTAVA, P. New improved high speed low power double tail comparator design for 2.5 GHz input signal. **Proceedings of the 2014 IEEE Students' Technology Symposium**, pp. 205-209, 2014.

SEDRA, Adel S.; SMITH, Kenneth C. **Microeletrônica**. 7 ed., São Paulo: Makron Books, 2014.

SEIXAS, LUIS E. et al. Minimizing the TID effects due to gamma rays by using diamond layout for MOSFETs. **Journal of Materials Science: Materials in Electronics**, v. 1, p. 1-13, 2019.

SEIXAS, Luis Eduardo et al. Study of proton radiation effects among diamond and rectangular gate MOSFET layouts. **Materials Research Express**, v. 4, p. 015901, 2017.

SEVERO, Lucas C.; LONGARETTI, Dionatas; GIRARDI, Alessandro. Simulation-Based Evolutionary Heuristic to Sizing an OTA Miller with Design Centering Analysis. In: **ARGENTINE SCHOOL OF MICRO-NANOELECTRONICS, TECHNOLOGY AND APPLICATIONS (EAMTA),** p. 111-115, Cordoba, Argentina: 2012.

SHIMOMURA, H. et al. A mesh-arrayed MOSFET (MA-MOS) for high-frequency analog applications. In: **SYMP. VLSI TECHNICAL DIGEST**, p. 73, Kyoto, Japan, 1997.

SIEMENS. Disponível em: https://eda.sw.siemens.com/en-US/ic/calibre-design/. Acesso em: 06 Jul. 2021.

SILVEIRA, F.; FLANDRE, D.; JESPERS, P. A g_m/I_D Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Silicon-on-Insulator Micropower OTA. **IEEE Journal of Solid-State Circuits**, v. 31, n. 9, p. 1314-1319, Sept. 1996.

SINGH RAGHAV, H.; MAHESHWARI, S. Design of Low Voltage OTA for Biomedical Application. **IEEE International conference on microelectronics, communication and renewable energy**, June. 2013.

SPICE OPUS. **Revision: 180. Circuit Simulator.** Date Built: Jan 18 2010. University of Ljubljana Slovenia. Faculty of Electrical Engineering. Group for Computer Aided Design. Disponível em: <http://www.spiceopus.si>. Acesso em: 19 maio 2019.

SYNOPSYS. Disponível em: < https://www.synopsys.com/verification/ams-verification/hspice.html>. Acesso em: 22 jan. 2020.

TSMC. **Taiwan Semiconductor Manufacturing Company**. Disponível em: https://www.tsmc.com/english/default.htm. Acesso em: 17 out. 2019.

TUMA, Tadej; BŰRMEN, Árpád; **Circuit Simulation with SPICE OPUS Theory and Practice**. Birkhäuser Boston, 2009.

UEHARA, Takao; VANCLEEMPUT, William M. Optimal Layout of CMOS Functional Arrays. In: **16TH DESIGN AUTOMATION CONFERENCE**, San Diego, CA, USA, pp. 287-289, 1979.

VEMURU, S. R. Layout comparison of MOSFETs with large W/L ratios. In: **ELECTRONICS LETTERS**, vol. 28, no. 25, pp. 2327-2329, 3 Dec. 1992.

WIRTH, G. I. **Efeitos da Radiação em Circuitos Integrados Analógicos:** Técnicas de Simulação e Hardening. [S.l.]: [s.n.]. 2009.

WU, Po-Hsun et al. A Novel Analog Physical Synthesis Methodology Integrating Existent Design Expertise. **IEEE Trans. Comput. Aided Design Integr. Circuits Syst.**, v. 34, n. 2, p. 199-212, Feb. 2015.

YKHLEF, F.; BENDAOUIA, L.; BENZABA, W. Region-based amplification system of speech for listeners with hearing impairments. **2014 IEEE International Conference on Systems, Man, and Cybernetics (SMC)**, pp. 4119-4120, 2014.

ZEBULUM, Ricardo Salem; PACHECO, Marco Aurélio C.; VELLASCO, Marley Maria B. R. **Evolutionary Electronics:** Automatic Design of Electronic Circuits and Systems by Genetic Algorithms. EUA: CRC Press, 2002.

APÊNDICE A- ARQUIVO *NETLIST* DO CIRCUITO ELÉTRICO DOS OTAs SESS e MILLER (SOLUÇÃO 1.2)

- OTA SESS

```
* Definição dos subcircuitos dos nMOSFETs e pMOSFETs

.subckt submodn drain gate source bulk param: w l m=1
m0 (drain gate source bulk) nmosmod w={w} l={l} m={m}
+ ad={w*0.18u} as={w*0.18u}
+ pd={2*(w+0.18u)} ps={2*(w+0.18u)}
+ nrd={0.18u/w} nrs={0.18u/w}
.ends
.subckt submodp drain gate source bulk param: w l m=1
m0 (drain gate source bulk) pmosmod w={w} l={l} m={m}
+ ad={w*0.18u} as={w*0.18u}
+ pd={2*(w+0.18u)} ps={2*(w+0.18u)}
+ nrd={0.18u/w} nrs={0.18u/w}
.ends
.include nmos_TSMC018.mod
.include pmos_TSMC018.mod

* Descrição do subcircuito do OTA

.subckt amp inp inn out vdd vss ipol
* Par Diferencial
xm1 (6 inn 9 vss) submodn w=9.300u l=1.300u
xm2 (11 inp 9 vss) submodn w=9.300u l=1.300u

* Carga ativa do par diferencial
xm3 (6 6 vdd vdd) submodp w=0.600u l=7.900u
xm4 (11 11 vdd vdd) submodp w=0.600u l=7.900u

* pMOSFETs de saída
xm5 (4 6 vdd vdd) submodp w=2.200u l=7.900u
```

```
xm6 (out 11 vdd vdd) submodp w=2.200u l=7.900u

* nMOSFETs de saída
xm7 (4 4 vss vss) submodn w=0.500u l=9.900u
xm8 (out 4 vss vss) submodn w=0.500u l=9.900u

* nMOSFETs da fonte de corrente
xm9 (ipol ipol vss vss) submodn w=0.800u l=10.000u
xm10 (9 ipol vss vss) submodn w=2.300u l=10.000u
.ends

* Conecta os terminais de entrada e saída do OTA

* Tensão de Alimentação
vdd (vdd 0) dc=0.75
vss (0 vss) dc=0.75
* Tensão diferencial de entrada
Vinneg (inn 0) dc=0.00 acmag=1
Vinpos (inp 0) dc=0.00
* Corrente de Polarização
Icc (vdd ipol) dc=0.25u
* Carga Capacitiva
CL (out 0) c=15.00p
* Resistencia da ponta de prova
rout (out 0) r=10meg
xamp (inp inn out vdd vss ipol) amp
.control
op
let vout_v = v(out)
let ag_um2=
(@xm1:xamp[w]*@xm1:xamp[l]+@xm2:xamp[w]*@xm2:xamp[l]+@xm3:xamp[w]*@xm3
:xamp[l]+@xm4:xamp[w]*@xm4:xamp[l]+@xm5:xamp[w]*@xm5:xamp[l]+
```

```
+@xm6:xamp[w]*@xm6:xamp[l]+@xm7:xamp[w]*@xm7:xamp[l]+@xm8:xamp[w]
*@xm8:xamp[l]+@xm9:xamp[w]*@xm9:xamp[l]+@xm10:xamp[w]*@xm10:xamp[l])*1E1
2
let ptot_w = -i(vdd)*v(vdd) + i(vss)*v(vss)
let m1r = @m0:xm1:xamp[vds]-@m0:xm1:xamp[vdsat]
let m2r = @m0:xm2:xamp[vds]-@m0:xm2:xamp[vdsat]
let m3r = @m0:xm3:xamp[vds]-@m0:xm3:xamp[vdsat]
let m4r = @m0:xm4:xamp[vds]-@m0:xm4:xamp[vdsat]
let m5r = @m0:xm5:xamp[vds]-@m0:xm5:xamp[vdsat]
let m6r = @m0:xm6:xamp[vds]-@m0:xm6:xamp[vdsat]
let m7r = @m0:xm7:xamp[vds]-@m0:xm7:xamp[vdsat]
let m8r = @m0:xm8:xamp[vds]-@m0:xm8:xamp[vdsat]
let m9r = @m0:xm9:xamp[vds]-@m0:xm9:xamp[vdsat]
let m10r = @m0:xm10:xamp[vds]-@m0:xm10:xamp[vdsat]
let idsm1n_a = @m0:xm1:xamp[id]/(@m0:xm1:xamp[w]/@m0:xm1:xamp[l])
let idsm2n_a = @m0:xm2:xamp[id]/(@m0:xm2:xamp[w]/@m0:xm2:xamp[l])
let idsm3n_a = @m0:xm3:xamp[id]/(@m0:xm3:xamp[w]/@m0:xm3:xamp[l])
let idsm4n_a = @m0:xm4:xamp[id]/(@m0:xm4:xamp[w]/@m0:xm4:xamp[l])
let idsm5n_a = @m0:xm5:xamp[id]/(@m0:xm5:xamp[w]/@m0:xm5:xamp[l])
let idsm6n_a = @m0:xm6:xamp[id]/(@m0:xm6:xamp[w]/@m0:xm6:xamp[l])
let idsm7n_a = @m0:xm7:xamp[id]/(@m0:xm7:xamp[w]/@m0:xm7:xamp[l])
let idsm8n_a = @m0:xm8:xamp[id]/(@m0:xm8:xamp[w]/@m0:xm8:xamp[l])
let idsm9n_a = @m0:xm9:xamp[id]/(@m0:xm9:xamp[w]/@m0:xm9:xamp[l])
let idsm10n_a = @m0:xm10:xamp[id]/(@m0:xm10:xamp[w]/@m0:xm10:xamp[l])
* Imprime os resultados DC no arquivo de saída
print m1r m2r m3r m4r m5r m6r m7r m8r m9r m10r vout_v ag_um2 ptot_w
+ idsm1n_a idsm2n_a idsm3n_a idsm4n_a idsm5n_a idsm6n_a idsm7n_a idsm8n_a
idsm9n_a idsm10n_a > OutAC.out
set units=degrees
ac dec 10 1 1g
let av_db = db(v(out)/v(inn))
let av0_db= max(av_db)
let fase = unwrap(phase(v(out)/v(inn)))
* Obtenção da margem de fase (move o cursor c para o ganho de tensão=0dB)
```

```
let c=0
cursor c right av_db 0
let pm_deg=fase[%c]
* Obtenção da frequência de ganho de tensão unitário (fT)
let ft_hz=abs(frequency[%c])
let c=0
cursor c right av_db (av0_db-3)
let f3db_hz=abs(frequency[%c])
* Imprime os resultados AC no arquivo de saída
print av0_db pm_deg ft_hz f3db_hz >> OutAC.out
print av_db fase >> OutAC.out
.endc
.end
```

- OTA Miller

```
* Definição dos subcircuitos dos nMOSFETs e pMOSFETs
.include TSMC018_(a).mod

.subckt mdn drain gate source bulk param: w1 w2 w3 w4 l1 l2 l3 l4 m=1
xm0 (drain gate source bulk) nm w={w1} l={l1} m={m}
xm1 (drain gate source bulk) nm w={w2} l={l2} m={m}
xm2 (drain gate source bulk) nm w={w3} l={l3} m={m}
xm3 (drain gate source bulk) nm w={w4} l={l4} m={m}

xm4 (drain gate source bulk) nm w={w4} l={l4} m={m}
xm5 (drain gate source bulk) nm w={w3} l={l3} m={m}
xm6 (drain gate source bulk) nm w={w2} l={l2} m={m}
xm7 (drain gate source bulk) nm w={w1} l={l1} m={m}
.ends

.subckt mdp drain gate source bulk param: w1 w2 w3 w4 l1 l2 l3 l4 m=1
xm0 (drain gate source bulk) pm w={w1} l={l1} m={m}
xm1 (drain gate source bulk) pm w={w2} l={l2} m={m}
```

```
xm2 (drain gate source bulk) pm w={w3} l={l3} m={m}
xm3 (drain gate source bulk) pm w={w4} l={l4} m={m}

xm4 (drain gate source bulk) pm w={w4} l={l4} m={m}
xm5 (drain gate source bulk) pm w={w3} l={l3} m={m}
xm6 (drain gate source bulk) pm w={w2} l={l2} m={m}
xm7 (drain gate source bulk) pm w={w1} l={l1} m={m}
.ends

* Descrição do subcircuito do OTA

.subckt amp inp inn out vdd vss ip
* Par Diferencial
xm1 (1 inn 2 vdd) submodp w=83.100u l=8.900u
xm2 (3 inp 2 vdd) submodp w=83.100u l=8.900u

* Carga ativa do par diferencial
xm3 (1 1 vss vss) submodn w=25.000u l=3.300u
xm4 (3 1 vss vss) submodn w=25.000u l=3.300u

* MOSFETs do estágio de saída
xm5 (out ip vdd vdd) submodp w=34.300u l=1.300u
xm6 (out 3 vss vss) submodn w=53.000u l=0.500u

* pMOSFETs da fonte de corrente
xm7 (2 ip vdd vdd) submodp w=55.000u l=14.300u
xm8 (ip ip vdd vdd) submodp w=88.300u l=14.300u

* Capacitor de compensação
cf (out 3) c=3.68p
.ends

* Conecta os terminais de entrada e saída do OTA
```

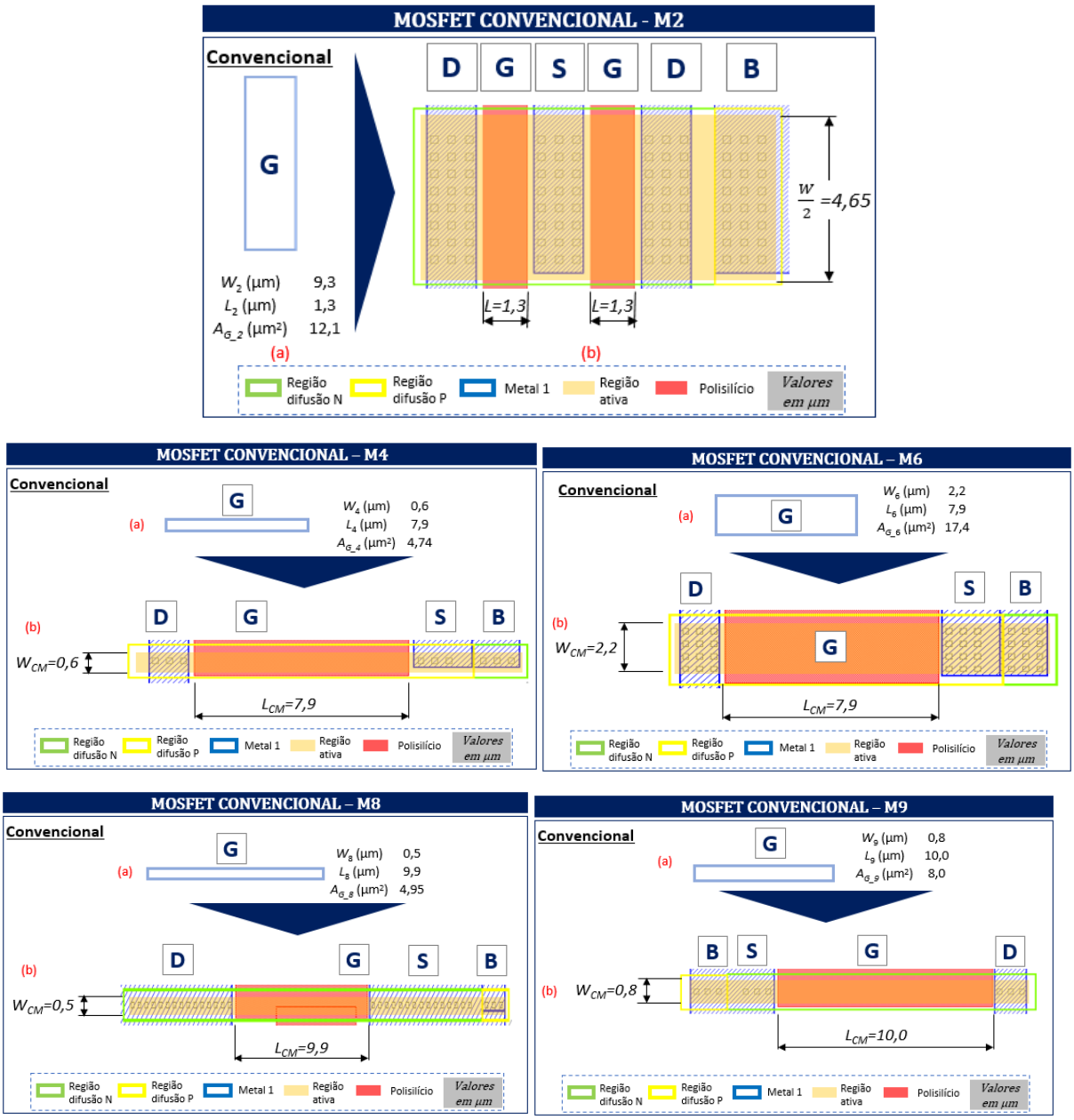
```
* Tensão de Alimentação
Vdd (vdd 0) dc=0.75
Vss (vss 0) dc=-0.75
* Tensão diferencial de entrada
Vinneg (inn 0) dc=0.00 acmag=1
Vinpos (inp 0) dc=0.00
* Corrente de Polarização
Ipol (ip vss) dc=17.72u
* Carga Capacitiva
CL (out 0) c=15.00p
* Resistencia de carga
rout (out 0) r=0.1meg
xamp (inp inn out vdd vss ip) amp
.control
op
let vout_v = v(out)
let                                                                    ag_um2=
(2*@xm1:xamp[w]*@xm1:xamp[l]+2*@xm3:xamp[w]*@xm3:xamp[l]+@xm5:xamp[w]*
@xm5:xamp[l]+
+@xm6:xamp[w]*@xm6:xamp[l]+@xm7:xamp[w]*@xm7:xamp[l]+@xm8:xamp[w]*@xm
8:xamp[l])*1E12
let ptot_w = -i(vdd)*v(vdd) - i(vss)*v(vss)
let m1r = @m0:xm1:xamp[vds]-@m0:xm1:xamp[vdsat]
let m2r = @m0:xm2:xamp[vds]-@m0:xm2:xamp[vdsat]
let m3r = @m0:xm3:xamp[vds]-@m0:xm3:xamp[vdsat]
let m4r = @m0:xm4:xamp[vds]-@m0:xm4:xamp[vdsat]
let m5r = @m0:xm5:xamp[vds]-@m0:xm5:xamp[vdsat]
let m6r = @m0:xm6:xamp[vds]-@m0:xm6:xamp[vdsat]
let m7r = @m0:xm7:xamp[vds]-@m0:xm7:xamp[vdsat]
let m8r = @m0:xm8:xamp[vds]-@m0:xm8:xamp[vdsat]
let idsm1n_a = @m0:xm1:xamp[id]/(@m0:xm1:xamp[w]/@m0:xm1:xamp[l])
let idsm2n_a = @m0:xm2:xamp[id]/(@m0:xm2:xamp[w]/@m0:xm2:xamp[l])
let idsm3n_a = @m0:xm3:xamp[id]/(@m0:xm3:xamp[w]/@m0:xm3:xamp[l])
let idsm4n_a = @m0:xm4:xamp[id]/(@m0:xm4:xamp[w]/@m0:xm4:xamp[l])
```

```
let idsm5n_a = @m0:xm5:xamp[id]/(@m0:xm5:xamp[w]/@m0:xm5:xamp[l])
let idsm6n_a = @m0:xm6:xamp[id]/(@m0:xm6:xamp[w]/@m0:xm6:xamp[l])
let idsm7n_a = @m0:xm7:xamp[id]/(@m0:xm7:xamp[w]/@m0:xm7:xamp[l])
let idsm8n_a = @m0:xm8:xamp[id]/(@m0:xm8:xamp[w]/@m0:xm8:xamp[l])
* Imprime os resultados DC no arquivo de saída
print m1r m2r m3r m4r m5r m6r m7r m8r vout_v ag_um2 ptot_w
+ idsm1n_a idsm2n_a idsm3n_a idsm4n_a idsm5n_a idsm6n_a idsm7n_a idsm8n_a >
OutAC.out
set units=degrees
ac dec 10 1 1g
let av_db = db(v(out)/v(inn))
let av0_db= max(av_db)
let fase = unwrap(phase(v(out)/v(inn)))
* Obtenção da margem de fase (move o cursor c para o ganho de tensão=0dB)
let c=0
cursor c right av_db 0
let pm_deg=fase[%c]
* Obtenção da frequência de ganho de tensão unitário (fT)
let ft_hz=abs(frequency[%c])
let c=0
cursor c right av_db (av0_db-3)
let f3db_hz=abs(frequency[%c])
* Imprime os resultados AC no arquivo de saída
print av0_db pm_deg ft_hz f3db_hz >> OutAC.out
print av_db fase >> OutAC.out
.endc
.end
```

APÊNDICE B- COMPLEMENTO AOS LEIAUTES APRESENTADOS NO CAPÍTULO 3.4

A Figura 71 ilustra as dimensões provenientes do processo de otimização realizado pelo iMTGSPICE, os leiautes simplificados das portas dos MOSFETs M2, M4, M6, M8 e M9 convencionais [Figura 71 (a)] e os respectivos leiautes finais elaborados pelo autor [Figura 71 (b)].

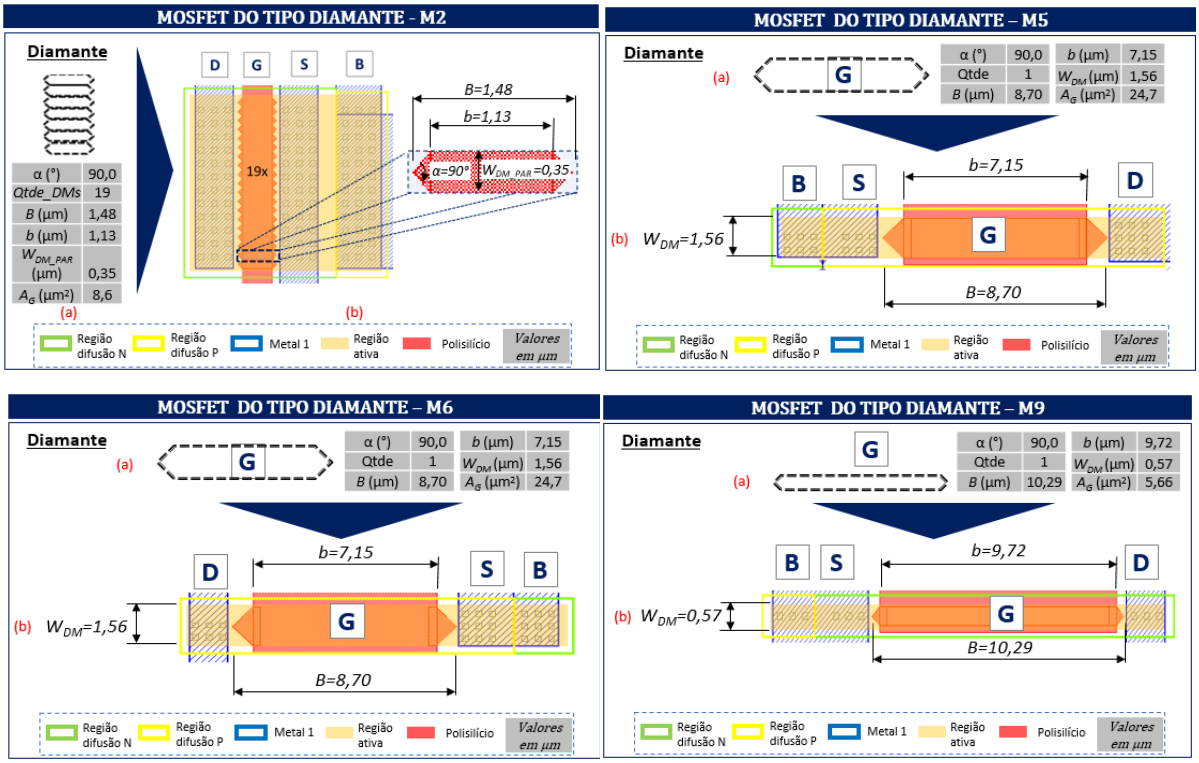
Figura 71 – Leiaute simplificado das portas dos MOSFETs M2, M4, M6, M8 e M9 convencionais (a) e os respectivos leiautes finais elaborados pelo autor (b).



Fonte: Autor.

A Figura 72 ilustra as dimensões calculadas e os leiautes simplificados das portas dos MOSFETs M2, M5, M6 e M9 do tipo Diamante de ângulo α igual a 90º [Figura 72 (a)] e os leiautes finais elaborados pelo autor [Figura 72 (b)].

Figura 72- Leiautes simplificados das portas dos MOSFETs M2, M5, M6 e M9 do tipo Diamante de ângulo α igual a 90º (a) e os leiautes finais elaborados pelo autor (b).



Fonte: Autor.

A Figura 73 e a Figura 74 ilustram os leiautes implementados com DMs de ângulos α iguais a 45º e 135º, respectivamente.

Figura 73- Leiaute do OTA SESS implementado com DMs e ângulo α igual a 45º.

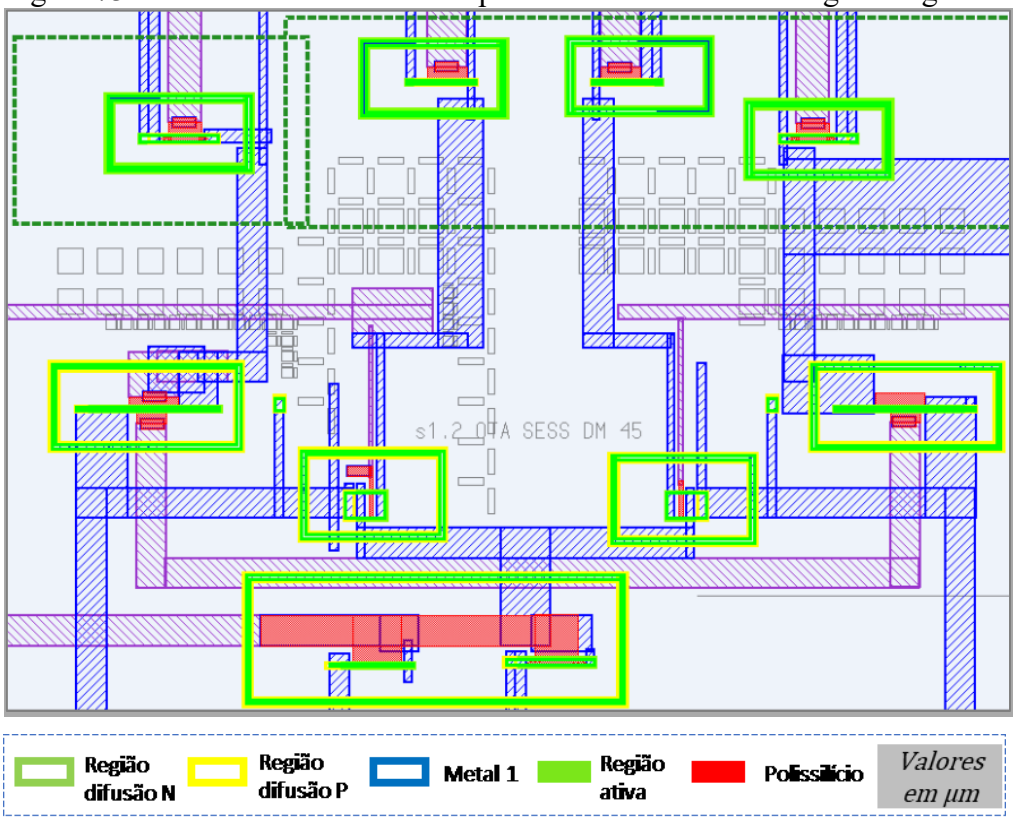
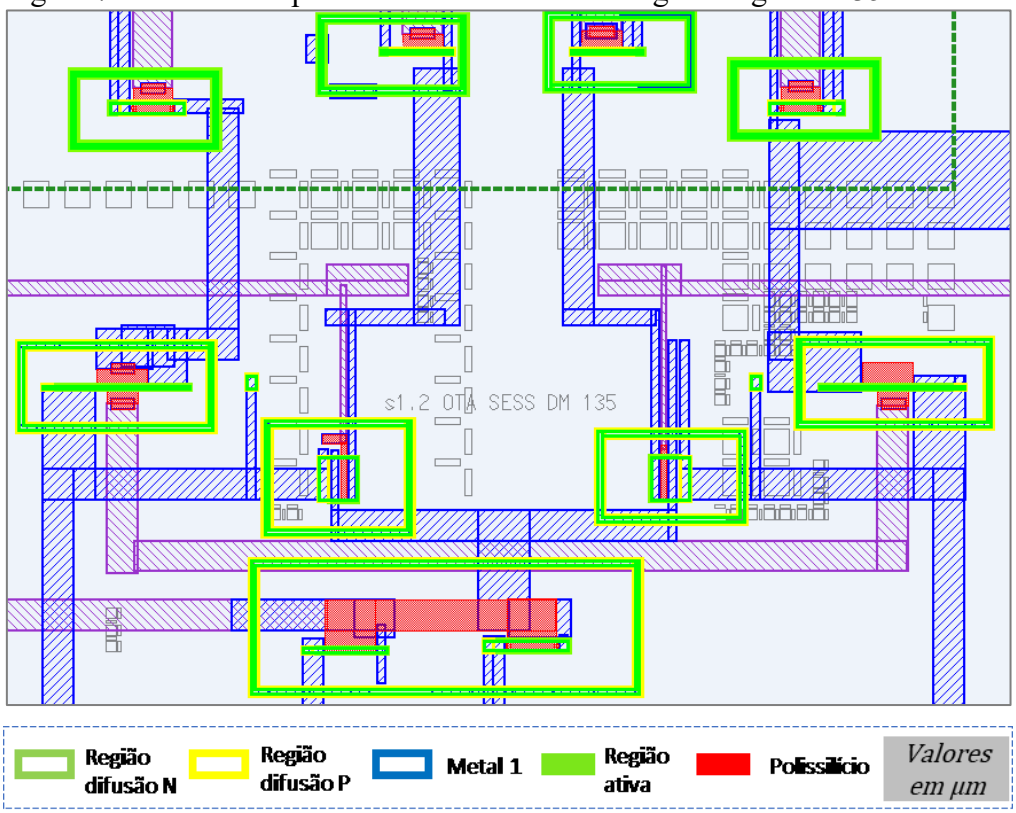


Figura 74 - Leiaute implementado com DMs de ângulo α igual a 135º



Fonte: Autor.