### CENTRO UNIVERSITÁRIO FEI

**RENAN FREITAS MARTUCCI** 

# ESTUDO DE UM REGULADOR LINEAR DE TENSÃO CL–LDO TOLERANTE ÀS RADIAÇÕES IONIZANTES PARA APLICAÇÕES AEROESPACIAIS

São Bernardo do Campo

### **RENAN FREITAS MARTUCCI**

## ESTUDO DE UM REGULADOR LINEAR DE TENSÃO CL–LDO TOLERANTE ÀS RADIAÇÕES IONIZANTES PARA APLICAÇÕES AEROESPACIAIS

Dissertação de Mestrado apresentada ao Centro Universitário FEI para obtenção do título de Mestre em Engenharia Elétrica. Orientado pelo Prof. Dr. Salvador Pinillos Gimenez.

São Bernardo do Campo

2018

Freitas Martucci, Renan.

Estudo de um regulador linear de tensão CL–LDO tolerante às radiações ionizantes para aplicações aeroespaciais / Renan Freitas Martucci. São Bernardo do Campo, 2018.

198 p. : il.

Dissertação – Centro Universitário FEI. Orientador: Prof. Dr. Salvador Pinillos Gimenez.

 Dose ionizante total. 2. CL–LDO. 3. Geometria de porta octogonal. 4. Regulador de tensão linear. 5. Tolerância às radiações ionizantes.
 I. Pinillos Gimenez, Salvador, orient. II. Título.



### APRESENTAÇÃO DE DISSERTAÇÃO ATA DA BANCA EXAMINADORA

Mestrado

Programa de Pós-Graduação Stricto Sensu em Engenharia Elétrica

PGE-10

Aluno: Renan Freitas Martucci

Matrícula: 116201-5

**Título do Trabalho:** Estudo de um regulador linear de tensão CL-LDO tolerante às radiações ionizantes para aplicações aeroespaciais.

Área de Concentração: Nanoeletrônica e Circuitos Integrados

Orientador: Prof. Dr. Salvador Pinillos Gimenez

Data da realização da defesa: 18/12/2018

**ORIGINAL ASSINADA** 

#### Avaliação da Banca Examinadora:

São Bernardo do Campo, / / .

MEMBROS DA BA	NCA EXAMINADORA
Prof. Dr. Salvador Pinillos Gimenez	Ass.:
Prof. Dr. Renato Camargo Giacomini	Ass.:
Prof. Dr. Jacobus Willibrordus Swart	Ass.:
A Banca Julgadora acima-assinada atribuiu ao alur APROVADO 🖾	no o seguinte resultado: REPROVADO 🗌
VERSÃO FINAL DA DISSERTAÇÃO APROVO A VERSÃO FINAL DA DISSERTAÇÃO EM QUE FORAM INCLUÍDAS AS RECOMENDAÇÕES DA BANCA EXAMINADORA	Aprovação do Coordenador do Programa de Pós-graduação
	Prof. Dr. Carlos Eduardo Thomaz

Dedico esta obra aos meus amados avós José Maria e Conceição. O meu muito obrigado por todo apoio, ensinamentos e valores que me foram passados durante nossos anos juntos. Logo nos reencontraremos.

#### AGRADECIMENTOS

A toda minha família, os pilares da minha vida, em especial aos meus pais Fátima e Roberto, minha irmã Beatriz, meus tios David e Euridice, e minha avó Rosina, o meu mais profundo agradecimento, por todo apoio, incentivo e suporte para que este trabalho pudesse ser realizado.

Ao professor Dr. Salvador P. Gimenez, agradeço por acreditar em meu potencial. Obrigado por me receber de braços abertos no grupo de pesquisa, e também por me apoiar em diversos momentos ao longo do programa de pós graduação.

A professora Dra. Michelly de Souza, grande responsável pela paixão que hoje possuo pela área de semicondutores. Agradeço a senhora por cada conselho que me foi dado e cada explicação durante suas aulas, lecionando de forma sem igual. A senhora se tornou pra mim, além de uma grande amiga, uma referência.

Ao corpo examinador, agradeço por aceitarem o convite, e pela participação inigualável, que foi fundamental para a conclusão deste trabalho.

Ao serviço de fabricação de circuitos integrados MOSIS pela fabricação do circuito integrado para esta e muitas outras pesquisas ao redor do mundo fosse possível.

Ao CTI, em especial Dr. Luis E. Seixas Jr, agradecimentos por todo suporte com o encapsulamento. Sem esse passo fundamental, muitos dos resultados experimentais contidos aqui não seriam possíveis.

Aos professores Dr. Fabiano Fruett, Dr. Jacobus W. Swart, Dr. José A. Diniz, Dr. Leandro T. Manera, Dr. Marcelo A. Pavanello, Dr. Renato C. Giacomini, Dr. Roberto L. de Orio e Dr. Rodrigo T. Doria pelas excelentes aulas das quais tive a oportunidade e o prazer de assistir, trazendo ensinamentos fundamentais para a execução desta dissertação.

Aos professores Dra. Marcilei Aparecida G. da Silveira, Dr. Nilberto H. Medina e Dr. Roberto Baginski B. Santos por toda ajuda, prática e teórica, sobre os conceitos de física nuclear, para irradiação e manipulação do gerador de ondas de raios–X.

Aos estimados colegas da LSItec, o meu mais profundo reconhecimento, por todo aprendizado e experiências trocadas, em especial a Ms. André Luis do Couto, Ms. Eduardo H. Tozetto, Ms. Jefferson D. B. Soldera e Eng. Ronaldo Wilton da Silva.

Ao professor Dr. Rudolf Bühler, pelo ótimo trabalho de integração com o *tapeout*, permitindo que os trabalhos de todos os colegas do grupo pesquisa de IED fosse possível, e aos professores Ms. Ricardo Stolf e Ms. Kimon Pediatidakis por toda ajuda na parte experimental.

Aos amigos da pós graduação Cláudio V. Moreira, Dênis S. Loesch, Fernando J. da

Costa, Fernando O. Dainese, Flávio de Lira e Natasha Merzbahcer, por muitas experiências e aprendizados compartilhados.

Ao amigo Ms. Douglas R. Meneghetti, doutorando, criador e mantenedor da classe IATEX da FEI. Com sua ajuda e pró atividade, muitos trabalhos foram documentados com excelente qualidade.

Aos amigos da secretaria, Adriana M. Ramos, Márcia R. Ferrareto e Ricardo Mendes, pela ajuda e suporte prestado, sempre com o máximo de atenção e cuidado a todos os estudantes dos programas de pós-graduação da instituição.

À Cintia Fernandes, bibliotecária da instituição, por todo apoio para que a documentação deste trabalho fosse feita conforme as normas técnicas da ABNT.

Ao corpo técnico do laboratório de eletrônica, em especial Acácio N. Pereira, pelo auxílio na fabricação da placa de circuito impresso e testes realizados.

Ao Centro Universitário FEI, pela bolsa de isenção de mensalidade, infraestrutura e disponibilidade de recursos essenciais no desenvolvimento deste trabalho.

À minha querida e amada companheira, Krissya Tigani, pelo amor, inspiração, carinho para me ouvir e aconselhar, me manter firme durante minha jornada e me fazer crente de todo meu potencial.

Aos meus melhores amigos Guilherme Bariani e Thais Rivas, por estarem sempre ao meu lado e serem parte vital de quem me tornei, de forma pessoal e também profissional.

"Um Homen de verdade é aquele que conquista seus objetivos e metas através do seu próprio esforço e dedicação."

#### **RESUMO**

Os circuitos integrados (CIs) demandam constante pesquisa para se obter soluções mais compactas e com menor consumo de energia. Desta forma, há também a busca constante por melhor desempenho elétrico de reguladores de tensão, que são responsáveis pelo fornecimento de uma tensão fixa para que todos os blocos internos do CI funcionem adequadamente, independente da corrente elétrica exigida pela carga. Entre as diferentes arquiteturas de reguladores lineares de tensão, a do regulador de tensão linear sem capacitor externo e baixa tensão dropout (Capacitor-Less Low-Dropout - CL-LDO) tem sido amplamente utilizada, devido principalmente a não dependência de dispositivos discretos externos ao CI. Um dos elementos chave do CL-LDO é o transistor de passagem, que é responsável por fornecer quantidades de corrente elétrica acima de dezenas de mili Amperes, com uma baixa tensão dropout entre seus terminais de fonte e dreno. Por conta disso, este dispositivo ocupa uma grande área de silício, que acaba limitando a área total do regulador de tensão, mesmo usando o comprimento mínimo de canal permitido pela tecnologia Metal-Óxido-Semicondutor Complementar (CMOS). Neste contexto, o objetivo deste trabalho foi estudar o comportamento de dois reguladores de tensão CL-LDO idênticos, expostos às radiações ionizantes de raios-X, um utilizando o MOSFET de passagem com geometria de porta retangular (CL-LDO-RM) e o outro com geometria de porta octogonal (CL-LDO-OM), implementados em tecnologia de Silício Germânio (SiGe) de 130nm da GlobalFoundries (GF) via MOS Implementation Service (MOSIS). Ao ocuparem as mesmas áreas ativas (0,00994mm<sup>2</sup>), o regulador de tensão CL-LDO-OM melhorou significativamente o desempenho elétrico de várias figuras de mérito (Figures of Merit — FOM) em decorrência dos efeitos físicos presentes na geometria de porta diferenciada. As especificações de teste para ambos os reguladores foram: Tensão de saída regulada de 1,2V para a faixa de temperatura de -55°C a 125°C, corrente máxima de saída de 20mA, e faixa de tensão de entrada variando de 1,5V a 2,5V. Os resultados experimentais apresentaram uma redução de 1,7% na corrente quiescente, um aumento de rejeição de ruído de fonte em 12%, e uma melhora nas regulações de linha e de carga de 36,7% e 47,8%, respectivamente. Além disso, quando os reguladores de tensão foram expostos às radiações ionizantes de raios-X, o regulador CL-LDO-OM apresentou menores variações das FOM em comparação ao seu equivalente CL-LDO-RM, mostrando assim uma maior tolerância aos efeitos das radiações ionizantes. Portanto, pode-se concluir que reguladores de tensão CL-LDO implementados com MOSFETs de passagem com geometria de porta octogonal podem ser uma alternativa para melhorar o desempenho elétrico.

Palavras-chave: CL–LDO. Dose ionizante total. Leiaute de porta octogonal. LCE. PAMDLE. Regulador de tensão linear. Tolerância às radiações ionizantes. RHA. TID.

#### ABSTRACT

The integrated circuits (ICs) demand constant research to obtain more compact solutions and with less energy consumption. In this way, there is also the constant search for better electrical performance of voltage regulators, which are responsible for supplying a fixed voltage so that all the internal blocks of the IC works, regardless of the electric current demanded by the load. Among the different linear voltage regulator architectures, the linear voltage regulator without external capacitor and low voltage dropout (CL-LDO) has been widely used, mainly due to the non-dependence of discrete devices external to the IC. One of the key elements of the CL-LDO is the pass transistor, which is responsible for supplying current quantities over tens of milli-amps, with a low dropout voltage between its source and drain terminals. Due to this, the device occupies a large area of silicon, which ends up limiting the total area of the voltage regulator, even using the minimum channel length allowed by the technology Complementary Metal-Oxide-Semiconductor (CMOS). In this context, the objective of this work was to study the behavior of two identical CL-LDO voltage regulators exposed to ionizing radiation, one using a MOSFET with rectangular gate geometry (CL-LDO-RM) and the other MOSFET with octagonal gate geometry (CL-LDO-OM), both implemented in GlobalFoundries (GF) 130nm Silicon Germanium (SiGe) technology via MOS Implementation Service (MOSIS). By occupying the same active area (0.00994mm<sup>2</sup>), the voltage regulator CL-LDO-OM significantly improved the electrical performance of several figures of merit (FOM) as a result of the physical effects presents in the differentiated gate geometry. The test specifications for both regulators were: Regulated output voltage of 1.2V, temperature range from -55°C to 125°C, maximum output current of 20mA and input voltage range varying from 1.5V to 2.5V. The experimental results showed a reduction of 1.7% in the quiescent current, an increase in power supply rejection ratio by 12%, an improved line and load regulation in 36.7% and 47.8%, respectively. Moreover, when the voltage regulators were exposed to ionizing radiations from X-rays, the CL-LDO-OM presented smaller variations of the FOM in comparison with its equivalent implemented with conventional pass device, thus demonstrating greater tolerance to the effects of ionizing radiation. Therefore, it can be concluded that CL-LDO voltage regulators implemented with octagonal pass device may be an alternative to improve electrical performance.

Keywords: CL–LDO. Total ionization dose. Octagonal gate layout. LCE. PAMDLE. Linear voltage regulator. Ionizing radiation hardness. RHA. TID.

## LISTA DE ILUSTRAÇÕES

Figura	1	_	Seções transversais dos MOSFETs implementados com tecnologia de	
			CI CMOS (Bulk): (a) nMOSFET; (b) pMOSFET	42
Figura	2	_	Técnicas de isolação de óxido de campo em estruturas CMOS	43
Figura	3	_	Transcondutância de porta, transcondutância de substrato e condutância	
			de dreno em função de $V_{GS}$	46
Figura	4	_	Caracterização elétrica da tensão Early através do gráfico de $I_{DS}$ em	
			função de $V_{DS}$ , para uma tensão $V_{GT}$ constante	48
Figura	5	_	Capacitâncias equivalentes entre os terminais de um MOSFET de canal	
			do tipo n	49
Figura	6	_	Vista superior de um MOSFET indicando as regiões de sobreposição	
			da porta com as regiões de fonte/dreno	50
Figura	7	_	Circuito equivalente de pequenos sinais do nMOSFET (Efeitos de ruído	
			não são considerados para este modelo)	52
Figura	8	_	Vista superior de um OM e suas dimensões, destacando-se a região de	
			porta octogonal.	53
Figura	9	_	Vistas superiores dos MOSFETs com geometria de porta retangular (a)	
			e octogonal (b) mostrando as linhas de campo elétrico longitudinal	54
Figura	10	_	Vista superior do OM mostrando o efeito dos diferentes vetores de	
			campo elétrico longitudinal em um portador de carga móvel Q posicio-	
			nada no canal próxima a região de fonte	55
Figura	11	_	Vista superior do OM considerando infinitos MOSFETs de largura de	
			canal dy e suas respectivas dimensões, para efetuar o cálculo de compri-	
			mento efetivo do canal.	56
Figura	12	_	Circuito elétrico equivalente do OM (Associação paralela de infinitos	
			MOSFETs retangulares com diferentes comprimentos de canal)	57
Figura	13	_	Seção transversal de um nMOSFET com isolação LOCOS (a) e sua	
			respectiva vista superior (b).	59
Figura	14		O LEF resultante e o potencial elétrico (em cores) em função do com-	
			primento do canal de um OM, obtido através de uma simulação numé-	
			rica 3D	60

Figura	15	- Vista superior de um MOSFET com leiaute de porta do tipo octogonal	
		indicando o perímetro das regiões de fonte/dreno em sobreposição a	
		região de porta	61
Figura	16	- Magnetosfera terrestre e as diferentes regiões dos cinturões de Van Al-	
		len com satélites	63
Figura	17	– Relação entre os efeitos das radiações ionizantes, as partículas responsá-	
		veis por estes efeitos, e suas respectivas fontes irradiantes	66
Figura	18	- Efeitos das radiações ionizantes em função do material alvo e da ener-	
		gia do fóton	67
Figura	19	- Formação de PEL no diagrama de bandas de energia de um capacitor	
		MOS com substrato do tipo P	68
Figura	20	– Efeito das cargas positivas armadilhadas no óxido de porta do MOSFET	
		na curva da corrente de dreno em função da tensão de porta	69
Figura	21	- Taxas de dose recomendadas pelas normas ESCC 22900 e MIL-STD-	
		883 para realizar experimentos de TID em CIs, e as taxas de dose en-	
		contradas no espaço.	71
Figura	22	– Diagrama de blocos do gerenciador de potência TIDA-00598 para apli-	
		cação do controlador <i>bluetooth</i> da família CC-256X	72
Figura	23	- Classificação de alguns dos diferentes tipos de reguladores de tensão,	
		onde a topologia de "controle de fator de amortecimento" foi utilizada	
		no desenvolvimento deste trabalho	73
Figura	24	- Diagramas de blocos dos reguladores de tensão lineares: (a) Topologia	
		série; (b) Topologia paralelo	74
Figura	25	- Estruturas de dispositivos de passagem geralmente usados nos regula-	
		dores de tensão série em tecnologia de fabricação BiCMOS	76
Figura	26	- Diagramas de bloco dos reguladores de tensão série - (a) Topologia	
		LDO; (b) Topologia CL–LDO.	80
Figura	27	– Tensão de saída $(V_{out})$ em função da tensão de entrada $(V_{in})$ de um re-	
		gulador de tensão linear, e suas regiões de operação	82
Figura	28	- Corrente quiescente em função da corrente de saída de dois reguladores	
		de tensão série, onde os dispositivos de passagem são implementados	
		com transistores bipolar e MOSFET	83
Figura	29	– Diagrama de blocos simplificado de um regulador de tensão série	84

Figura 30 -	- Forma de onda da corrente de saída $(I_o)$ e tensão de saída $(V_{out})$ em	
	função do tempo, utilizada para a caracterização elétrica da regulação	
	de carga	85
Figura 31 -	- Formas de onda da tensão de entrada $(V_{in})$ e da tensão de saída $(V_{out})$ em	
	função do tempo, utilizada para a caracterização elétrica da regulação	
	de linha	87
Figura 32 -	- Forma de onda da corrente de saída $(I_o)$ e da tensão de saída $(V_{out})$ em	
	função do tempo, utilizada para a caracterização elétrica das tensões	
	$V_{drop,l} \in V_{drop,h}$ .	88
Figura 33 -	- Modelo de pequenos sinais de um regulador de tensão linear série, com	
	um pMOSFET de passagem	90
Figura 34 -	- Resposta do ganho de tensão em função da frequência de um regulador	
	de tensão linear série	92
Figura 35 -	- Circuito elétrico simplificado de um regulador de tensão linear série (a)	
	e seu circuito elétrico equivalente para altas frequências (b)	93
Figura 36 -	- Circuito elétrico simplificado do regulador de tensão CL-LDO esco-	
	lhido para ser implementado em tecnologia de SiGe BiCMOS de 130	
	nm	95
Figura 37 -	- Circuito elétrico completo em nível de transistores do regulador de ten-	
	são CL-LDO implementado em tecnologia SiGe BiCMOS de 130nm.	98
Figura 38 -	- Circuito elétrico do gerador de corrente elétrica PTAT de referência	
	contendo um circuito de <i>start-up</i>	99
Figura 39 -	- Corrente elétrica de saída $(I_{bg})$ do circuito gerador de referência em	
	função da temperatura	101
Figura 40 -	- Corrente elétrica de saída $(I_{bg})$ e tensão de entrada $(V_{in})$ do circuito	
	gerador de referência em função do tempo, contendo os dispositivos de	
	start-up (C, Nst1, Nst2, Pst)	101
Figura 41 -	- Leiaute da região de porta de um dedo do pMOSFET de passagem im-	
	plementado com leiaute octogonal, e suas respectivas dimensões (B',	
	$L_{cc} e L_{pc}$ ).	103
Figura 42 -	- Leiautes simplificados dos pMOSFETs de passagem de leiaute do tipo	
	RM (a) e OM (b), utilizando a técnica de multi-dedos.	104

Figura	43	<ul> <li>Circuito elétrico para caracterização elétrica, por simulação SPICE, das</li> </ul>
		curvas $I_{SD}$ em função das tensões $V_{GS}$ para o RM e os OMs (Implementa-
		dos com diferentes larguras $W_{oc}$ )
Figura	44	– Curva $I_{SD}$ em função da tensão $V_{GS}$ para o RM e os OMs (Implementa-
		dos com diferentes larguras $W_{oc}$ )
Figura	45	– Ampliação da curva de $I_{SD}$ em função da tensão $V_{GS}$ para o RM e os
		OMs (Implementados com diferentes larguras $W_{oc}$ ) 106
Figura	46	– Circuito elétrico para caracterização elétrica, por simulação SPICE, das
		curvas $I_{SD}$ em função das tensões $V_{GS}$ para o RM e os OMs (Implementa-
		dos com diferentes fatores de corte)
Figura	47	– Curva $I_{SD}$ em função da tensão $V_{GS}$ para o RM e os OMs (Implementa-
		dos com diferentes fatores de corte)
Figura	48	– Curva ampliada de $I_{SD}$ em função da tensão $V_{GS}$ para o RM e os OMs
		(Implementados com diferentes fatores de corte)
Figura	49	– Curva da corrente de dreno $(I_{SD})$ em função da tensão de $V_{GS}$ para os
		pMOSFETs de passagem RM e OM, com $V_{DO}$ igual a 0,3V 109
Figura	50	- Circuito elétrico (a) e modelo equivalente de pequenos sinais (b) do
		circuito amplificador de erro
Figura	51	- Circuito elétrico do circuito multiplicador de transcondutância 113
Figura	52	- Circuito elétrico simplificado, para o dimensionamento do ramo de
		realimentação
Figura	53	– Tensão de saída ( $V_{out}$ ) do regulador de tensão CL–LDO–RM em função
		da temperatura, considerando duas diferentes correntes de saída 116
Figura	54	- Tensão de saída (Vout) do regulador de tensão CL-LDO-RM em fun-
		ção da temperatura para diferentes valores de tensão de entrada $(V_{in})$ e
		corrente de saída igual a zero
Figura	55	– Tensão de saída ( $V_{out}$ ) do regulador de tensão CL–LDO–RM em função
		da tensão de entrada, variando de 0 a 2,5V, para diferentes valores de $I_o$ . 118
Figura	56	– Tensão de saída ( $V_{out}$ ) do regulador de tensão CL–LDO–RM em função
		da corrente de saída ( $I_o$ ), para diferentes valores de $V_{in}$
Figura	57	– Tensão de saída ( $V_{out}$ ) em função da corrente de saída ( $I_o$ ) dos regulado-
		res de tensão CL–LDO–RM e CL–LDO–OM

Figura 58	– Resultados da análise de Monte Carlo para a corrente quiescente $(I_q)$
	dos reguladores de tensão estudados, na condição de ausência de carga
	de saída
Figura 59	– Diagrama de blocos simplificado do regulador de tensão CL–LDO 124
Figura 60	- Diagrama de Bode do regulador de tensão CL-LDO-RM, mostrando
	a tendência do ganho de tensão $A_0$ e da fase em função da frequência,
	para $I_o$ iguais a 0 e 20mA
Figura 61	- Diagrama de Bode do regulador de tensão CL-LDO-OM, mostrando
	a tendência do ganho de tensão $A_0$ e da fase em função da frequência,
	para $I_o$ iguais a 0 e 20mA
Figura 62	<ul> <li>Leiaute representativo da região de porta do OM, ressaltando a área do</li> </ul>
	trapézio (A <sub>oct</sub> )
Figura 63	- Análise de corners da simulação de PSRR em dB em função da fre-
	quência, para o regulador de tensão CL–LDO–RM
Figura 64	- Análise de corners da simulação de PSRR em dB em função da fre-
	quência, para o regulador de tensão CL–LDO–OM
Figura 65	– Análise de transiente de $V_{out}$ em função de uma rampa de subida em $V_{in}$ ,
	para o regulador CL-LDO-RM, nas condições de corrente de saída de
	$I_{o,min} \in I_{o,max}$
Figura 66	– Análise de transiente de $V_{out}$ em função de uma rampa de subida em
	<i>V<sub>ref</sub></i> , para o regulador de tensão CL–LDO–RM
Figura 67	$-V_{out}$ em função do tempo para uma análise de <i>corners</i> do teste de regu-
	lação de linha dos reguladores de tensão CL-LDO-RM e CL-LDO-OM.133
Figura 68	$-V_{out}$ em função do tempo para uma análise de <i>corners</i> do teste de regu-
	lação de carga dos reguladores de tensão CL–LDO–RM e CL–LDO–OM.135
Figura 69	- Resultados ampliados da simulação de regulação de carga dos regula-
	dores de tensão CL-LDO-RM e CL-LDO-OM 136
Figura 70	- Leiaute final do regulador de tensão CL-LDO, implementado com p-
	MOSFET de passagem RM
Figura 71	- Leiaute final do regulador de tensão CL-LDO, implementado com p-
	MOSFET de passagem RM, destacando a área 1
Figura 72	- Leiaute final do regulador de tensão CL-LDO, implementado com p-
	MOSFET de passagem RM, destacando a área 2

Figura 73 -	- Leiaute final do regulador de tensão CL-LDO, implementado com p-
	MOSFET de passagem RM, destacando a área 3
Figura 74 -	- Circuito elétrico para caracterização elétrica, por simulação SPICE, de
	um evento de ESD entre os terminais de terra (AGND) e da entrada $(V_{in})$ . 142
Figura 75 -	- Corrente de entrada no sistema $(I_{ESD,in})$ e corrente que flui através do
	regulador de tensão CL–LDO ( $I_{ESD,clldo}$ ) em função do tempo, para o
	teste de transiente da proteção ESD
Figura 76 -	- Modelo RLC utilizado para considerar os efeitos parasitários decorren-
	tes dos wire bonds
Figura 77 -	- Circuito elétrico para caracterização elétrica por simulação SPICE de
	todas as FOMs da especificação, contemplando o modelo RLC dos wire
	bond em todos os terminais do CI
Figura 78 -	- Circuito elétrico completo, contendo proteções ESD e dois reguladores
	de tensão, um com pMOSFET de passagem RM e outro com pMOS-
	FET de passagem OM
Figura 79 -	- Leiaute do circuito elétrico final contendo as proteções ESD em cada
	PAD e dois reguladores de tensão CL-LDO, sendo um com o pMOS-
	FET de passagem RM e o outro com pMOSFET de passagem OM 147
Figura 80 -	- Leiaute final enviado ao serviço MOSIS contendo três reguladores CL
	LDO–RM e três reguladores CL–LDO–OM
Figura 81 -	- Microfotografia contendo os reguladores de tensão CL-LDO fabrica-
	dos via MOSIS, ressaltando o tipo de leiaute de cada pMOSFET de
	passagem
Figura 82 -	- Micro-provador Cascade da Microtech utilizado para a validação elé-
	trica dos reguladores de tensão CL-LDO não encapsulados 152
Figura 83 -	- Curvas experimentais da tensão de saída ( $V_{out}$ ) em função da tensão de
	entrada $(V_{in})$ dos reguladores de tensão estudados
Figura 84 -	- Diagrama de solda do circuito integrado com um encapsulamento do
	tipo DIP28 155
Figura 85 -	- Sistema de medição utilizado para a obtenção experimental da corrente
	quiescente $(I_q)$ consumida pelos reguladores de tensão estudados 158
Figura 86 -	- Curvas experimentais da tensão de saída (a) e do erro percentual da
	tensão de saída (b) em função da corrente de saída ( $I_o$ ) para $V_{in}$ igual a
	1,5V dos reguladores de tensão CL-LDO-OM e CL-LDO-RM 159

Figura	87	- Curvas experimentais da tensão de saída, do reguladores de tensão CL	
		LDO–OM e CL–LDO–RM, em função da tensão de entrada (Vin) para	
		$I_o$ igual a 10mA	0
Figura	88	- Sistema de medição utilizado para a obtenção experimental dos PSRRs	
		dos reguladores de tensão estudados	1
Figura	89	- Curvas experimentais dos PSRRs em dB dos reguladores de tensão es-	
		tudados em função da frequência do sinal senoidal aplicado em $V_{in}$ 16	2
Figura	90	- Curvas experimentais do teste de regulação de linha dos reguladores de	
		tensão estudados	4
Figura	91	- Sistema de medição utilizado para a obtenção experimental da regula-	
		ção de carga dos reguladores de tensão estudados	5
Figura	92	- Curvas experimentais do teste de regulação de carga dos reguladores de	
		tensão estudados	6
Figura	93	- Vista interna do difratômetro de raios-X Shimadzu XRD-6100 utili-	
		zado para o estudo da TID nos reguladores de tensão CL–LDO 17	0
Figura	94	- Fluxograma dos procedimentos utilizados para o estudo dos efeitos das	
		radiações ionizantes de raios-X nos reguladores de tensão CL-LDO 17	'1
Figura	95	- Curvas experimentais da tensão de saída em função da TID (a) e da	
		tensão de saída em função do tempo de recozimento térmico natural (b). 17	2
Figura	96	- Curvas experimentais da corrente quiescente em função da TID (a) e	
		da corrente quiescente em função do tempo de recozimento térmico	
		natural (b)	3
Figura	97	- Curvas experimentais: (a) PSRR para a frequência de 1Hz em função da	
		TID e (b) PSRR em função do tempo de recozimento térmico natural 17	4
Figura	98	- Curvas experimentais: (a) PSRR para a frequência de 10kHz em função	
		da TID e (b) PSRR em função do tempo de recozimento térmico natural. 17	5
Figura	99	- Curvas experimentais de Vout dos reguladores CL-LDO-RM e CL	
		LDO-OM para o teste da regulação de linha, considerando diferentes	
		valores de TID	7
Figura	100	) – Curvas experimentais da regulação de linha, para os reguladores de ten-	
		são estudados, em condição de pré-rad e após annealing 17	9
Figura	101	- Curvas experimentais de Vout dos reguladores CL-LDO-RM e CL	
		LDO-OM para o teste da regulação de carga, considerando diferentes	
		valores de TID	0

Figura	102-	Curvas experimentais da regulação de carga, para os reguladores de	
		tensão estudados, em condição de pré-rad e após annealing	182
Figura	103 -	Circuito elétrico da placa de teste PCB para validação experimental dos	
		reguladores de tensão CL–LDO–RM e CL–LDO–OM	196
Figura	104 –	Leiaute da placa de teste PCB para validação experimental dos regulado-	
		res de tensão CL–LDO–RM e CL–LDO–OM	198
Figura	105 -	Placa de teste PCB fabricada para caracterização experimental dos regu-	
		ladores de tensão CL-LDO estudados, contendo todas as conexões e	
		componentes discretos soldados	198

### LISTA DE TABELAS

Tabela	1	_	Expressões das capacitâncias extrínsecas do modelo de pequenos sinais
			para o nMOSFET com região de porta retangular 50
Tabela	2	_	Expressões das capacitâncias intrínsecas de pequenos sinais para o MOS-
			FET do tipo N com região de porta retangular em regime de inversão
			forte do canal
Tabela	3	_	Comparativo qualitativo do desempenho elétrico de diferentes estrutu-
			ras de dispositivos de passagem utilizados em reguladores de tensão
			série
Tabela	4	_	Especificações adotadas para o regulador de tensão CL–LDO a ser pro-
			jetado por este projeto de pesquisa
Tabela	5	_	Razão de aspecto dos MOSFETs do circuito elétrico gerador de corrente. 102
Tabela	6	_	Dimensões dos MOSFETs que compõem o circuito OTA 112
Tabela	7	_	Dimensões dos MOSFETs que compõem o circuito multiplicador de
			transcondutância
Tabela	8	_	Valores das correntes quiescentes $(I_q)$ e tensões de saída $(V_{out})$ dos
			reguladores de tensão CL-LDO-RM e CL-LDO-OM, resultantes da
			análise de Monte Carlo
Tabela	9	_	Funções de transferência obtidas pela análise de pequenos sinais dos
			principais blocos do regulador CL–LDO
Tabela	10	_	Resultados de PM, $f_T$ e GM para os reguladores de tensão CL–LDO–RM
			e CL–LDO–OM, em duas condições de <i>I</i> <sub>o</sub>
Tabela	11	_	Sumário da análise de corners para a simulação de PSRR dos regulado-
			res CL–LDO–RM e CL–LDO–OM
Tabela	12	_	Sumário da análise de corners para a simulação de transiente de regula-
			ção de linha dos reguladores de tensão CL-LDO-RM e CL-LDO-OM. 134
Tabela	13	_	Sumário da análise de corners para a simulação de transiente de regula-
			ção de carga dos reguladores CL-LDO-RM e CL-LDO-OM 136
Tabela	14	_	Resultados simulados das principais FOMs dos reguladores de tensão
			CL–LDO–RM e CL–LDO–OM
Tabela	15	_	Resultados experimentais de análise DC dos reguladores de tensão CL
			LDO-RM e CL-LDO-OM, obtidos por meio dos CIs não encapsulados. 154
Tabela	16	_	Pinos de entrada e saída do circuito integrado encapsulado em DIP28 156

Tabela	17 –	Resultados experimentais do teste de regulação de linha dos regula-	
		dores de tensão estudados	164
Tabela	18 -	Resultados experimentais do teste de regulação de carga dos regula-	
		dores de tensão estudados.	166
Tabela	19 –	Comparativo dos resultados experimentais dos reguladores de tensão	
		linear série estudados com resultados de pesquisas anteriores a este tra-	
		balho	168
Tabela	20 -	Comparativo geral dos resultados experimentais das principais FOMs	
		dos reguladores de tensão CL-LDO-RM e CL-LDO-OM, em condi-	
		ções de pré-rad e pós-rad.	183

# LISTA DE ABREVIAÇÕES E SIGLAS

ADE	Analog Design Environment — Ambiente de projeto analógico
AGND	Terminal da tensão de terra analógico
ANSI	American National Standards Institute
BBR	Bird's Beak Regions — Regiões de Bico de Pássaro
BiCMOS	Bipolar Complementary Metal–Oxide–Semiconductor — Metal–Óxido–Semicondutor Bipolar Complementar
CDM	Charged Device Model — Modelo de Dispositivo Carregado
CH1	Canal 1 de aquisição de dados do osciloscópio Agilent DSO-X 3102A
CH2	Canal 2 de aquisição de dados do osciloscópio Agilent DSO-X 3102A
CI	Circuito Integrado
CITAR	Circuitos Integrados Tolerantes a Radiação
CL-LDO	Capacitor-Less Low-Dropout — Baixa Queda de Tensão sem Capacitor
CL-LDO-OM	Regulador de tensão linear série CL-LDO com pMOSFET de passagem OM
CL-LDO-RM	Regulador de tensão linear série CL-LDO com pMOSFET de passagem RM
CMOS	<i>Complementary Metal–Oxide–Semiconductor</i> — Metal–Óxido–Semicondutor Complementar
CTI	Centro de Tecnologia da Informação Renato Archer
DD	Displacement Damage — Defeitos por Deslocamento
DEPAMBBRE	Desactivation of the Parasitic MOSFETs in the Bird's Beak Regions Effect — Efeito da desativação dos MOSFETs parasitários da região do bico de pássaro
DFC	Damping Factor Control — Controle de Fator de Amortecimento
DIP	Dual In-line Package — Encapsulamento Duplo em Linha
DM	Diamont MOSFET — MOSFET do tipo Diamante
ELT	Enclosed Layout Transistor — Transistor de leiaute fechado
ESCC	European Space Components Coordination
ESD	EletroStatic Discharge — Descarga Eletrostática
ESDA	ESD Association
ESR	Equivalent Series Resistance — Resistência Série Equivalente
FEI	Fundação Educacional Inaciana

FFT	Fast Fourier Transform — Transformada Rápida de Fourier
FOM	Figure of Merit — Figura de Mérito
FOX	Field Oxide — Óxido de Campo
GenOut	Canal de saída geradora de funções do osciloscópio Agilent DSO-X 3102A
GF	GlobalFoundries
GM	Gain Margin — Margem de Ganho
HBM	Human Body Model — Modelo de Corpo Humano
HDR	High Dose Rate — Alta Taxa de Dose
LCE	Longitudinal Corner Effect — Efeito de Canto Longitudinal
LDO	Low-Dropout — Baixa Queda de Tensão
LDR	Low Dose Rate — Baixa Taxa de Dose
LET	Linear Energy Transfer — Transferência Linear de Energia
LOCOS	Local Oxidation of Silicon — Oxidação Local do Silício
MIL-STD	Military Standard — Padronização Militar
MOS	Metal-Oxide-Semiconductor — Metal-Óxido-Semicondutor
MOSFET	<i>Metal–Oxide–Semiconductor Field Effect Transistor</i> — Transistor de Efeito de Campo Metal–Óxido–Semicondutor
MOSIS	<i>Metal–Oxide–Semiconductor Implementation Service</i> — Serviço de Imple- mentação Metal–Óxido–Semicondutor
MM	Machine Model — Modelo de Máquina
nMOSFET	MOSFET do tipo N
ОМ	Octagonal MOSFET — MOSFET do tipo Octogonal
OTA	<i>Operational Transconductance Amplifier</i> — Amplificador Operacional de Transcondutância
PAMDLE	Parallel connection of MOSFETs with Different channel Lenghts Effect — Efeito da Associação Paralela de MOSFETs com Diferentes Comprimentos de Canal
РСВ	Printed Circuit Board — Placa de Circuito Impresso
PDK	Process Design Kit — Kit de Design de Processo
PEL	Par elétron–lacuna
PM	Phase Margin — Margem de Fase

MOSFET	MOSFET do tipo P
PSRR	Power Supply Rejection Ratio — Razão de Rejeição da Fonte de Alimentação
PVT	Process Voltage Temperature — Processo Tensão Temperatura
PTAT	<i>Proportional to Absolute Temperature</i> — Proporcional a Temperatura Absoluta
RF	Rádio Frequência
RHA	Radiation Hardness Assurance — Segurança de tolerância a radiação
RM	Rectangular MOSFET — MOSFET do tipo Retangular
SEE	Single Event Effect — Efeito de Evento Único
SI	Sistema Internacional
SiGe	Silício Germânio
SoC	System on Chip — Sistema no Chip
SOI	Silicon–On–Insulator — Silício sobre Isolante
SSA	South Atlantic Anomaly — Anomalia do Atlântico Sul
STI	Shallow Trench Isolation — Isolação por Trincheira Raza
TID	Total Ionizing Dose — Dose Ionizante Total
UN_OM	Unitário do pMOSFET do tipo octogonal

### LISTA DE SÍMBOLOS

$A_0$	Ganho de tensão em malha aberta $[dB]$
$A_D$	Área do lado inferior da região de dreno $[\mu m^2]$
$A_G$	Área de porta do MOSFET $[\mu m^2]$
A <sub>oct</sub>	Área do trapézio que compõe o MOSFET do tipo octogonal $[\mu m^2]$
$A_S$	Área do lado inferior da região de fonte $[\mu m^2]$
$A_{v}$	Ganho de tensão $[dB]$
b	Menor comprimento de canal do MOSFET do tipo octogonal $[\mu m]$
В	Maior comprimento de canal do MOSFET do tipo octogonal $[\mu m]$
B'	Altura da parte triangular do canal do MOSFET do tipo diamante $[\mu m]$
С	Fator de corte do MOSFET do tipo octogonal [%]
С	Capacitor do circuito de <i>start–up</i> $[F]$
$C_b$	Capacitor de <i>bypass</i> [F]
$C_{bd}$	Capacitância entre os terminais de corpo e dreno $[F]$
$C_{bs}$	Capacitância entre os terminais de corpo e fonte $[F]$
C <sub>ea</sub>	Capacitância de saída do amplificador de erro $[F]$
$C_{gb}$	Capacitância entre os terminais de porta e corpo $[F]$
$C_{gd}$	Capacitância entre os terminais de porta e dreno $[F]$
$C_{gs}$	Capacitância entre os terminais de porta e fonte $[F]$
C <sub>in</sub>	Capacitância interna da ponta de prova do osciloscópio Agilent DSO-X 3102A $[F]$
C <sub>int</sub>	Capacitância interna total de compensação do regulador de tensão CL–LDO $[F]$
$C_{ja}$	Capacitância de junção do lado inferior da região de fonte/dreno por unidade de área $[F/cm^2]$
$C_{jp}$	Capacitância de junção do lado lateral da região de fonte/dreno por unidade de perímetro $[F/cm]$
Cload	Capacitor de carga do regulador de tensão $[F]$
$C_{m1}$	Capacitância interna de compensação do regulador de tensão CL–LDO $[F]$
$C_{m2}$	Capacitância interna de compensação do regulador de tensão CL–LDO $[F]$
$C_{ov}$	Capacitância de sobreposição de porta por unidade de comprimento $[F/cm]$

$C_{ox}$	Capacitância de óxido de porta por unidade de área $[F/cm^2]$
<i>e</i> <sup>-</sup>	Elétron
$E_G$	Largura da banda proibida do óxido de silício [1,1 eV]
f	Frequência [Hz]
$f_0$	Frequência de corte $[Hz]$
f <sub>T</sub>	Frequência de ganho de tensão unitário [Hz]
$FOM_1$	Figura de mérito comparativa de desempenho dos reguladores de tensão CL–LDO [ <i>ps</i> ]
8bd	Condutância entre os terminais de corpo e dreno $[S]$
8ds	Condutância entre os terminais de dreno e fonte $[S]$
<b>g</b> ea	Transcondutância do amplificador de erro $[S]$
<i>g</i> <sub>m</sub>	Transcondutância de porta [S]
8mb	Transcondutância de substrato [S]
go	Condutância de saída [S]
$G_{LCE}$	Ganho de corrente relacionado ao efeito LCE no MOSFET do tipo octogonal
GPAMDLE	Ganho de corrente relacionado ao efeito PAMDLE no MOSFET do tipo octogonal
$I_{AD}$	Corrente de polarização do 'Dispositivo Ativo' [A]
I <sub>b</sub>	Corrente de base do transistor bipolar PNP
I <sub>bg</sub>	Corrente de referência gerada pelo circuito de Bandgap [A]
I <sub>BS</sub>	Corrente entre os terminais de corpo e fonte $[A]$
$I_D$	Corrente total de dreno $[A]$
I <sub>DS</sub>	Corrente entre os terminais de dreno e fonte no MOSFET do tipo retangular $[A]$
I <sub>DS,OM</sub>	Corrente entre os terminais de dreno e fonte no MOSFET do tipo octogonal $[A]$
I <sub>EA</sub>	Corrente de polarização do estágio amplificador de erro $[A]$
I <sub>ESD,clldo</sub>	Corrente que flui através do regulador de tensão CL–LDO gerada por um evento de ESD [A]
I <sub>ESD,in</sub>	Corrente de entrada no sistema gerada por um evento de ESD $[A]$
I <sub>FR</sub>	Corrente de polarização nos resistores $R_1$ e $R_2$ [A]
I <sub>in</sub>	Corrente de entrada do regulador de tensão $[A]$
I <sub>leak</sub>	Corrente de fuga do MOSFET [A]

Io	Corrente de saída do regulador de tensão $[A]$
$I_{off}$	Corrente de estado desligado do MOSFET $[A]$
I <sub>o,max</sub>	Corrente máxima de saída do regulador de tensão $[A]$
I <sub>o,min</sub>	Corrente mínima de saída do regulador de tensão $[A]$
Ion	Corrente de estado ligado do MOSFET $[A]$
$I_q$	Corrente quiescente do regulador de tensão $[A]$
I <sub>REF</sub>	Corrente de polarização do "Circuito de Referência" $[A]$
k	Constante de Boltzmann $[1, 38066x10^{-23} J/K]$
K	Fator de ganho do espelho de corrente
L	Comprimento de canal de máscara do MOSFET $[\mu m]$
$L_{cc}$	Distância entre contatos dos terminais de fonte e dreno $[\mu m]$
L <sub>eff</sub>	Comprimento efetivo do canal do MOSFET $[\mu m]$
L <sub>eff,OM</sub>	Comprimento efetivo do canal do MOSFET do tipo octogonal $[\mu m]$
$L_i$	Comprimento infinitesimal do canal do MOSFET do tipo octogonal $[\mu m]$
$L_{ov}$	Comprimento de sobreposição do óxido de campo $[\mu m]$
$L_{pc}$	Distância entre o polisilício e o contato $[\mu m]$
$m_1$	Expoente característico da junção PN inferior
<i>m</i> <sub>2</sub>	Expoente característico das junções PN laterais
N <sub>sub</sub>	Concentração extrínseca de dopantes no substrato do silício $[cm^{-3}]$
n <sub>i</sub>	Concentração intrínseca de portadores a 27°C $[1,45x10^{10} cm^{-3}]$
р	Concentração de lacunas $[cm^{-3}]$
$P_a$	Polo da função de transferência do regulador de tensão linear série
$P_b$	Polo da função de transferência do regulador de tensão linear série
$P_D$	Perímetro da lateral da região de dreno $[\mu m]$
Po	Polo da função de transferência do regulador de tensão linear série
$P_S$	Perímetro da lateral da região de fonte $[\mu m]$
$P_{x}$	Polo complexo da função de transferência, onde x=(a, b, o)
q	Magnitude da carga elementar $[1,602x10^{-19} C]$
Q'	Cargas móveis na região de inversão do canal $[C/cm^2]$

$Q_{ss}$	Densidade de cargas efetiva no óxido de silício $[C/cm^3]$
R	Resistência do circuito gerador de corrente $[\Omega]$
r <sub>ds</sub>	Resistência entre fonte e dreno do MOSFET $[\Omega]$
R <sub>ea</sub>	Resistência de saída do amplificador de erro $[\Omega]$
R <sub>esr</sub>	Resistência equivalente série do capacitor $[\Omega]$
<i>R</i> <sub>in</sub>	Resistência interna da ponta de prova do osciloscópio Agilent DSO-X 3102A $[F]$
<i>R<sub>LDO</sub></i>	Associação paralela entre a resistência do canal do pMOSFET de passagem e o ramo divisor de tensão de saída $[\Omega]$
R <sub>load</sub>	Resistência de carga $[\Omega]$
r <sub>o</sub>	Resistência de saída do MOSFET $[\Omega]$
Ron	Resistência de estado ligado $[\Omega]$
Т	Temperatura [K]
$t_f$	Tempo de descida (Fall) [s]
$t_{ox}$	Espessura da camada de óxido de silício [Å]
<i>t</i> <sub>r</sub>	Tempo de subida ( $Rise$ ) $[s]$
$V_B$	Tensão no terminal de corpo $[V]$
$V_{BE}$	Tensão entre os terminais de base e emissor de um transistor bipolar $[V]$
$V_{bg}$	Tensão de referência gerada pelo circuito de $Bandgap$ [V]
V <sub>BS</sub>	Tensão entre os terminais de corpo e fonte $[V]$
$V_D$	Tensão no terminal de dreno $[V]$
V <sub>DO</sub>	Tensão de <i>dropout</i> [V]
V <sub>DS</sub>	Tensão entre os terminais de dreno e fonte $[V]$
V <sub>drop</sub>	Amplitude de pico da tensão de saída $[V]$
$V_{drop,l}$	Amplitude de pico de descida da tensão de saída $[V]$
$V_{drop,h}$	Amplitude de pico de subida da tensão de saída $[V]$
V <sub>DSsat</sub>	Tensão de saturação entre os terminais de dreno e fonte do MOSFET $[V]$
$V_{EA}$	Tensão Early $[V]$
$V_{FB}$	Tensão de faixa plana $[V]$
$V_G$	Tensão no terminal de porta $[V]$

$V_{GD}$	Tensão entre os terminais de porta e dreno $[V]$
V <sub>GS</sub>	Tensão entre os terminais de porta e fonte $[V]$
$V_{GT}$	Sobretensão de porta $[V]$
V <sub>in</sub>	Tensão de entrada $[V]$
V <sub>in,min</sub>	Tensão de entrada mínima $[V]$
V <sub>in,max</sub>	Tensão de entrada máxima $[V]$
V <sub>line</sub>	Tensão de regulação de linha $[V/V]$
V <sub>load</sub>	Tensão de regulação de carga $[V/A]$
V <sub>noise</sub>	Tensão de ruído na saída $[V]$
Vout	Tensão de saída [V]
V p p <sub>input</sub>	Tensão de pico a pico da entrada $[V_{pp}]$
Vpp <sub>out put</sub>	Tensão de pico a pico da saída $[V_{pp}]$
V <sub>ref</sub>	Tensão de referência $[V]$
$V_S$	Tensão no terminal de fonte $[V]$
V <sub>sat</sub>	Tensão de saturação do transistor bipolar $[V]$
$V_{th}$	Tensão de limiar $[V]$
$V_X$	Nó da malha de realimentação do regulador de tensão linear série $[V]$
W	Largura de máscara do canal do MOSFET $[\mu m]$
Weff	Largura efetiva do canal do MOSFET $[\mu m]$
Woc	Largura do lado maior do trapézio unitário que compõe o OM $[\mu m]$
Wov	Largura de sobreposição do óxido de campo $[\mu m]$
W/L	Razão de aspecto ou fator geométrico
x	Média de uma distribuição normal
Ζ	Número atômico
Zesr	Zero complexo da função de transferência do regulador de tensão linear série $[\Omega]$
Zo	Impedância de saída em malha aberta do regulador de tensão linear série $[\Omega]$
Z <sub>o-load</sub>	Impedância de carga do regulador de tensão linear série $[\Omega]$
Z <sub>o-reg</sub>	Impedância de saída do regulador de tensão linear série $[\Omega]$
α	Ângulo formado pela junção metalúrgica entre a fonte e a região do filme de silício nas extremidades do canal [°]

β	Fator de ganho do MOSFET $(\mu.C_{ox}.\frac{W}{L}) [A/V^2]$
γ	Coeficiente do fator de corpo $\left[\sqrt{V}\right]$
$\epsilon_0$	Permissividade no vácuo $[8,8542x10^{-12} F/cm]$
$\boldsymbol{\varepsilon}_{ox}$	Permissividade do óxido de silício (SiO <sub>2</sub> ) $[3,45x10^{-13} F/cm]$
$\mathcal{E}_{si}$	Permissividade do silício $[1,04x10^{-12} F/cm]$
η	Eficiência de um regulador de tensão linear [%]
$\eta_I$	Eficiência de corrente de um regulador de tensão linear [%]
λ	Coeficiente de modulação do comprimento de canal $[V^{-1}]$
μ	Mobilidade dos portadores minoritários do substrato $[cm^2/(V.s)]$
$\overrightarrow{\xi}$	Vetor de campo elétrico longitudinal resultante $[V.cm^{-1}]$
$\overrightarrow{\xi_n}$	Componentes vetoriais de campo elétrico longitudinal para transistores convencio- nais e octogonais, onde n=(1,2,3) $[V.cm^{-1}]$
$\overrightarrow{\xi_{OM}}$	Vetor de campo elétrico longitudinal resultante do OM $[V.cm^{-1}]$
$\overrightarrow{\xi_{RM}}$	Vetor de campo elétrico longitudinal resultante do RM $[V.cm^{-1}]$
σ	Desvio padrão de uma distribuição normal
$\phi_F$	Potencial de Fermi $[V]$
$\phi_{MS}$	Diferença de função trabalho entre o potencial do polisilício e o silício extrínseco do substrato do MOSFET $[V]$
$\phi_t$	Tensão térmica, $\frac{k.T}{q}$ [V]
$\phi_0$	Potencial de superfície do MOSFET $[V]$
$\phi_1$	Potencial de contato da junção PN da região inferior $[V]$
$\phi_2$	Potencial de contato da junção PN das regiões laterais $[V]$
Xsi	Afinidade eletrônica do silício [V]
# SUMÁRIO

1	INTRODUÇÃO	37
2	CONCEITOS FUNDAMENTAIS	41
2.1	O MOSFET	41
2.1.1	Tensão de limiar (V <sub>th</sub> )	43
2.1.2	Transcondutância de porta $(g_m)$ e transcondutância de substrato $(g_{mb}) \ \ . \ .$	45
2.1.3	Condutância de saída $(g_0)$ e resistência de saída $(r_0)\ \ldots\ \ldots\ \ldots\ \ldots$	45
2.1.4	Efeito da modulação do comprimento de canal ( $\lambda$ )	47
2.1.5	Capacitâncias do MOSFET	49
2.2	O MOSFET DE LEIAUTE NÃO CONVENCIONAL	52
2.2.1	Efeito LCE	54
2.2.2	Efeito PAMDLE	56
2.2.3	Efeito DEPAMBBRE	59
2.2.4	Capacitâncias do MOSFET do tipo octogonal	60
2.3	RADIAÇÕES IONIZANTES	61
2.3.1	Fontes de radiações ionizantes	62
2.3.2	Tipos e efeitos de radiações ionizantes em MOSFETs	64
2.3.3	Dose ionizante total (TID)	66
2.4	REGULADORES DE TENSÃO	72
2.4.1	Reguladores de tensão lineares	74
2.4.2	Reguladores de tensão linear série	76
2.4.3	Reguladores de tensão LDO e CL–LDO	78
2.4.4	Terminologia dos reguladores de tensão LDO e CL–LDO	81
2.4.4.1	Tensão de dropout (V <sub>DO</sub> )	81
2.4.4.2	Corrente quiescente (Iq)	82
2.4.4.3	<i>Eficiência</i> (η)	83
2.4.4.4	Regulação de carga (V <sub>load</sub> )	84
2.4.4.5	Regulação de linha (V <sub>line</sub> )	86
2.4.4.6	<b>Resposta a transientes (</b> <i>V</i> <sub>drop</sub> <b>)</b>	87
2.4.4.7	Resposta em frequência	89
2.4.4.8	Razão de rejeição da fonte de alimentação (PSRR)	92

3	<b>PROJETO E SIMULAÇÃO DO REGULADOR DE TENSÃO CL-LDO</b> 95
3.1	TOPOLOGIA E ESPECIFICAÇÕES DO PROJETO
3.2	CIRCUITO DO GERADOR DE CORRENTE
3.3	DIMENSIONAMENTO DO REGULADOR DE TENSÃO CL-LDO 102
3.4	ANÁLISE DE MONTE CARLO 120
3.5	ANÁLISE DE ESTABILIDADE E DO PSRR 124
3.6	ANÁLISE DE TRANSIENTE DE REGULAÇÃO DE LINHA E DE CARGA . 131
3.7	CONSIDERAÇÕES DO SISTEMA DE TESTE
3.7.1	Proteção eletrostática do <i>die</i> 140
3.7.2	Encapsulamento do <i>die</i>
3.8	SUMÁRIO DOS RESULTADOS SIMULADOS (SPICE) 148
4	<b>RESULTADOS EXPERIMENTAIS</b> 151
4.1	PROJETO DA PLACA DE TESTE 155
4.2	CONDIÇÃO DE PRÉ RADIAÇÃO 157
4.2.1	<b>Caracterização elétrica de I</b> q, V <sub>line</sub> e V <sub>load</sub>
4.2.2	Caracterização elétrica do PSRR
4.2.3	Caracterização elétrica da regulação de linha e de carga
4.2.4	<b>Comparativo dos resultados experimentais pré radiação</b>
4.3	METODOLOGIA DE TESTE E CONDIÇÃO DE PÓS RADIAÇÃO 169
4.3.1	<b>Caracterização elétrica de I</b> q, V <sub>line</sub> e V <sub>load</sub>
4.3.2	Caracterização elétrica do PSRR
4.3.3	<b>Caracterização elétrica da regulação de linha e de carga</b>
4.4	SUMÁRIO GERAL DOS RESULTADOS EXPERIMENTAIS
5	<b>CONCLUSÕES</b>
5.1	CONTRIBUIÇÕES 186
	<b>REFERÊNCIAS</b>
	<b>APÊNDICE A</b>
	<b>APÊNDICE B</b>

# 1 INTRODUÇÃO

Segundo a Lei de Moore, a cada dois anos aproximadamente, o número de componentes em uma mesma área de silício de um circuito integrado (CI) é duplicado [1]. Levando em conta essa tendência, grandes preocupações são consideradas para atender este alto poder de escalabilidade dos CIs, como aquelas relativas ao desempenho elétrico, consumo de potência, e aplicações em ambientes com condições desfavoráveis, não somente relacionadas às variações do processo de fabricação, tensão, e temperatura (*Process Voltage Temperature* — PVT), mas também relacionadas a exposição em ambientes sujeitos às radiações ionizantes [2].

O fato fundamental sobre a radiação ionizante é que ela é capaz de depositar energia num material alvo [2]. Como resultado, a radiação pode causar uma variedade de efeitos no transistor de efeito de campo (*Field Effect Transistor* — FET) do tipo Metal–Óxido–Semicondutor (MOS-FET), tais como mudança dos valores lógicos nos bits da memória, falhas em circuitos integrados digitais e analógicos, aumento do consumo de energia, e redução de velocidade de processamento, além da completa perda de funcionalidade nos casos mais severos [2].

De maneira geral, são três as iniciativas para reduzirem os efeitos das radiações ionizantes nos MOSFETs e consequentemente na dos CIs: Modificação do processo de fabricação, alterando parâmetros de processo principalmente na etapa de implantação iônica [3]–[6]; Utilização de novas tecnologias de fabricação, através da diminuição dos nós tecnológicos, modificando a fabricação do componente, como aquela que utiliza uma lâmina de silício sobre isolante (*Silicon–On–Insulator — SOI*) [7], ou ainda propondo formas não planares de dispositivos [8]; Técnicas de leiaute, por meio do uso de novos estilos de leiautes para implementação de MOSFETs [9]–[16].

Através das técnicas de leiaute, os MOSFETs com estruturas da região de porta não convencionais apresentam, dentre outras vantagens, um aumento na capacidade da corrente de dreno, considerando uma mesma polarização, em relação aos MOSFETs convencionais (Geometria de porta retangular). Além disso, essas estruturas de leiaute de porta planares apresentam uma maior tolerância às radiações ionizantes quando comparadas às estruturas convencionais [9]–[16]. A aplicabilidade deste tipo de abordagem é enorme, pois depende apenas de uma mudança no leiaute final dos MOSFETs inseridos em CIs analógicos que demandam grande quantidade de corrente elétrica, tais como os reguladores de tensão, que são responsáveis por fornecer uma tensão de referência estável para todos os blocos que compõem o circuito integrado [17]–[22].

Atualmente, existe uma grande tendência para o desenvolvimento de reguladores de ten-

são híbridos, ou seja, circuitos integrados de sinais mistos, utilizando CIs analógicos e digitais [17]–[22]. Utilizando um *clock* digital, as mudanças que acontecem na tensão de saída do regulador de tensão são amostradas a uma frequência muito alta, fazendo com que seja possível obter um controle desta tensão de saída com alta velocidade. Dessa forma, o circuito regulador de tensão pode tomar decisões rápidas para manter uma regulação eficiente e precisa. Em contra partida, com o incremento de lógica digital no desenvolvimento do projeto, há um aumento da complexidade do sistema e com isso a necessidade do desenvolvimento de novos circuitos analógicos, gerando assim maior consumo estático e dinâmico de potência, além de ocupar maior área ativa no *die* [17]–[22].

Há também outros tipos de proposta para melhorar o desempenho elétrico dos reguladores de tensão. Em [23], o autor propõe uma abordagem que concentra o estudo de seu trabalho não na malha de realimentação principal, mas sim no seu ramo de saída. É apresentada uma abordagem onde há o acréscimo de um circuito integrado de multiplicação de capacitância equivalente, através de múltiplos estágios de ganho de tensão, fornecendo assim um incremento de impedância de saída, dependente das condições de saída. Dessa forma, o regulador linear de tensão não somente melhora sua resposta da razão de rejeição da fonte de alimentação (*Power Supply Rejection Ratio* — PSRR) mas também faz o incremento de uma capacitância de linha no ramo de saída, que auxilia na obtenção de boas respostas de transiente de carga [23].

Muitas vezes os CIs responsáveis pelo gerenciamento de energia possuem mais de um tipo de regulador de tensão e também mais de uma unidade de regulação, onde cada um é separado por um domínio de atuação, que são três basicamente: Analógico, digital e rádio frequência (RF). Cada um destes domínios possui propostas diferentes de funcionamento que podem gerar ruídos e interferências cruzadas entre si, caso o projeto não seja bem efetuado. Ao contrário dessa analogia, pode-se utilizar a opção de unificar diferentes reguladores de tensão num mesmo nó de saída, sendo uma alternativa para sanar problemas relacionados a quantidade de corrente de saída a ser consumida pela carga do sistema [24],[25]. Para que este tipo de circuito não sofra com a influência de operação de um regulador de tensão em isolado, o que poderia afetar os demais, uma rede de compensação adaptativa é necessária para estabilizar o sistema e ao mesmo tempo controlar o acionamento de diferentes pares de resistores e capacitores para que atuem de forma a melhorar a resposta final do conjunto de reguladores [24],[25].

Dentro do grupo de reguladores de tensão lineares, há o conjunto de reguladores de tensão de topologia série e os de topologia paralela [26]–[28]. O que difere o tipo de topologia é o posicionamento do transistor de passagem. Tal dispositivo pode estar posicionado entre os terminais de entrada e saída do sistema, configurando assim uma topologia série, ou estar

posicionado entre os terminais de saída e terra, estando desta forma em paralelo com o ramo de saída do sistema, configurando assim uma topologia paralela [26]–[28].

Com a substituição do MOSFET de passagem de geometria de porta retangular do regulador original por um fabricado com o estilo de leiaute não convencional do tipo octogonal, existe a possibilidade de realizar um estudo comparativo entre funcionamento de dois tipos distintos de reguladores de tensão, onde o transistor de passagem é implementado com dois tipos de leiautes, sendo um deles retangular e o outro com geometria de porta octogonal, considerando que eles possuem a mesma área utilizada do *die*. Utilizando da topologia de regulador de tensão linear série sem capacitor externo (*Capacitor-Less Low-Dropout* — CL– LDO), este trabalho tem por objetivo atender a regulação de tensão em ambos os sistemas com diferentes geometrias de porta dos MOSFETs de passagem, e também estudar o comportamento dos reguladores de tensão expostos às radiações ionizantes através de raios–X.

Portanto, este trabalho descreve o projeto de um regulador de tensão com topologia CL–LDO implementado em tecnologia Complementar Metal–Óxido–Semicondutor (CMOS) tendo como alvo as aplicações de CIs CMOS em ambiente com a influência das radiações ionizantes. A tecnologia escolhida para o estudo foi a BiCMOS (Bipolar CMOS) Bulk de Silício-Germânio (SiGe) de 130nm com processo tecnológico da empresa GlobalFoundries (GF). Embora estudos mais recentes apontem para um melhor desempenho elétrico de dispositivos fabricados em estrutura SOI, com relação aos efeitos das radiações ionizantes relacionadas a evento único (*Single Event Effects* — SEE), este trabalho visa obter maior tolerância aos efeitos de Dose Ionizante Total (*Total Ionizing Dose* — TID), que tem comportamento acumulativo e que gera cargas positivas induzidas principalmente nas regiões de isolação (Óxido de Silício) [29],[30]. Partindo desta premissa, a tecnologia de fabricação de CIs CMOS com menor quantidade de óxido de porta tende a ser menos influenciável pelos efeitos da TID [29],[30].

Através da fabricação dos CIs CMOS fornecidos pelo serviço de fabricação de circuitos integrados (*Metal–Oxide–Semiconductor Implementation Service* — MOSIS) e encapsulamento realizado no Centro de Tecnologia da Informação Renato Archer (CTI), foi possível fazer análises comparativas entre as simulações SPICE, adquiridas pelo software Virtuoso®, e validações experimentais dos principais parâmetros elétricos e figuras de mérito (*Figure of Merit* — FOM) destes reguladores de tensão em resposta às diferentes condições de operação, simulando a exposição desses CIs em ambientes com radiações ionizantes de raios–X.

Somando 5 seções a partir da introdução, este trabalho está organizado e disposto da seguinte maneira:

Na seção 2 são apresentados os conceitos fundamentais para compreensão desde traba-

lho, discutindo o processo de fabricação da tecnologia CMOS convencional e suas principais características elétricas. Da mesma forma, os transistores de porta não convencional são introduzidos, junto aos efeitos que regem seu comportamento elétrico diferenciado. É apresentado o conceito fundamental das radiações ionizantes e seus efeitos nos MOSFETs, junto a todos os parâmetros elétricos e figuras de mérito dos reguladores de tensão comerciais da atualidade.

A seção 3 apresenta o desenvolvimento do fluxo de projeto de CIs analógicos para a concepção do regulador de tensão CL–LDO, utilizando MOSFETs com região de porta retangular e MOSFETs com região de porta octogonal. Diferentes tipos de simulações são efetuadas e os resultados são analisados, observando o desempenho elétrico entre estas duas abordagens. São citadas também considerações sobre o sistema de teste dos reguladores de tensão CL–LDO, contendo modelos parasitários de *wire bonds* e circuitos de proteção de descargas eletrostáticas (*Eletro Static Discharge* — ESD), para que os resultados de simulação se tornem o mais próximos possíveis da realidade.

Os resultados experimentais dos circuitos integrados fabricados com MOSFETs de passagem dos reguladores de tensão implementados com dispositivo convencional e com leiaute não convencional, são exibidos na seção 4, em que são apresentados os resultados das duas abordagens projetadas e simuladas na seção 3. São apresentados também nesta seção os resultados dos CIs CMOS após a exposição dos mesmos às radiações ionizantes, através de um emissor de ondas eletromagnéticas de espectro raio–X. Desta forma, a seção é dividida em duas partes: Resultados experimentais pré radiação e resultados experimentais pós radiação.

Encerrando este trabalho, a seção 5 apresenta as principais conclusões decorrentes deste estudo, e sugere futuros tópicos a serem abordados e pesquisados, em continuação ao que foi desenvolvido até o presente momento.

### **2** CONCEITOS FUNDAMENTAIS

Nesta seção são apresentados os principais conceitos fundamentais relativos aos MOS-FETs, tais como o processo de fabricação de CIs CMOS, seus principais parâmetros elétricos intrínsecos, juntamente ao seu funcionamento, e o seu modelo de pequenos sinais.

Após estas considerações, o transistor com leiaute de porta modificado do tipo octogonal será descrito, junto aos efeitos decorrentes da mudança da estrutura de porta, que muitas vezes podem contribuir para a melhoria do desempenho elétrico de CIs CMOS e dos sistemas do qual estão inseridos.

#### 2.1 O MOSFET

Para uma boa compreensão do comportamento elétrico dos circuitos integrados CMOS nas diferentes áreas da microeletrônica (analógico, digital e RF), é necessário o entendimento básico do processo de fabricação desses dispositivos [31]–[34].

No processo de fabricação de CIs CMOS podem haver nas regiões de fonte e dreno dois tipos de dopantes, e são eles do tipo N (dopantes doadores) ou do tipo P (dopantes aceitadores). O MOSFET com regiões de fonte e dreno dopados com portadores do tipo N é denominado nMOSFET e o MOSFET com regiões de fonte e dreno dopados com portadores do tipo P é denominado pMOSFET. A figura 1 ilustra as seções transversais destes dois tipos de MOSFETs, que são fabricados em uma lâmina de silício com substrato do tipo P, onde a fabricação do pMOSFET é feita sobre uma região do tipo N, também conhecida como poço *n-well* [31]–[34].

Os terminais de um MOSFET intitulados de D, G, S e B (Figura 1) representam, respectivamente, os terminais de dreno (*Drain*), porta (*Gate*), fonte (*Source*) e substrato ou corpo (Bulk) [31]–[34].



Figura 1 – Seções transversais dos MOSFETs implementados com tecnologia de CI CMOS (Bulk): (a) nMOSFET; (b) pMOSFET.

Dentro do processo de fabricação de CIs CMOS há diferentes meios de se obter um circuito integrado contemplando inúmeros transistores e outros dispositivos integrados. Por meio da figura 2 pode-se observar dois tipos de processos para a implementação de óxido de campo (*Field Oxide* — FOX), que são geralmente utilizados para a separação dos dispositivos na lâmina de silício em circuitos integrados. Estas diferentes técnicas para fabricação do óxido de campo influenciam os parâmetros elétricos dos componentes utilizados nos CIs CMOS [31]–[34]. Na figura 2(a) é observado o resultado de uma isolação conhecida como isolação local do silício (*Local Oxidation of Silicon* — LOCOS). Uma das principais características decorrente deste tipo de isolação é a transição gradual do óxido, de uma espessura mais fina (próximo a região de porta) na ordem de alguns angstrons (Å), até uma maior espessura, resultando nas regiões de pico de pássaro (*Bird's Beak Regions* — BBR) [31]–[34]. Como alternativa de aprimorar o processo de isolação entre dispositivos, a isolação por trincheira (*Shallow Trench Isolation* — STI) (Figura 2b) é formada pelo preenchimento de uma vala profunda com óxido de silício entre os dispositivos, permitindo uma isolação mais eficiente, que auxilia na redução do efeito de *latchup* [32],[33].

Fonte: Autor "adaptado de" [32].



Figura 2 – Técnicas de isolação de óxido de campo em estruturas CMOS.

Fonte: Autor "adaptado de" [34]. Legenda: (a) LOCOS; (b) STI.

# 2.1.1 Tensão de limiar (V<sub>th</sub>)

A tensão de limiar de um MOSFET é definida como a tensão a ser aplicada no terminal de porta para promover a inversão do canal, a um ponto onde a interface do canal junto ao óxido de silício tenha uma formação gradual de portadores entre fonte, canal e dreno, que pode promover assim uma corrente de deriva entre os terminais de fonte e dreno [33]. Na realidade, este valor de potencial elétrico é dependente tanto da estrutura do dispositivo, quanto da qualidade do processo de fabricação do mesmo, que é influenciado por fatores tais como as cargas armadilhadas na interface do óxido de silício, presente por conta de ligações incompletas na rede cristalina, entre outros [32]–[35]. A equação 1 mostra o valor da tensão de limiar ( $V_{th}$ ), que é dependente tanto de parâmetros físicos tais como o valor da carga elementar (e), quanto de valores que dependem do processo de fabricação, como por exemplo a concentração de dopantes no substrato ( $N_{sub}$ ). Ela também depende da polarização do transistor, tal como a diferença de potencial elétrico entre os terminais de fonte e corpo ( $V_{BS}$ ). A equação 1 define o

valor de  $V_{th}$  de um nMOSFET [32]–[35]:

$$V_{th} = V_{T0} + \gamma \left( \sqrt{2|\phi_F| + V_{BS}} - \sqrt{2|\phi_F|} \right)$$
(1)

onde  $V_{T0}$  é a tensão de limiar com ausência de diferença de potencial entre os terminais de fonte e corpo ( $V_{BS}$  igual a 0),  $\gamma$  é o coeficiente de fator de corpo,  $\phi_F$  é o potencial de Fermi.

As equações de 2 a 7 relacionam os valores de cada um dos diferentes símbolos presentes na equação 1.

$$V_{T0} = V_{FB} + 2\phi_F + \frac{\sqrt{4q\varepsilon_{si}|\phi_F|N_{sub}}}{C_{ox}}$$
(2)

$$\gamma = \frac{\sqrt{2q\varepsilon_{si}N_{sub}}}{C_{ox}} \tag{3}$$

$$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}} \tag{4}$$

$$\phi_F = \frac{kT}{q} \ln(N_{sub}/n_i) \tag{5}$$

$$V_{FB} = \phi_{MS} - \frac{Q_{ss}}{C_{ox}} \tag{6}$$

$$\phi_{MS} = \phi_M - \phi_S = \phi_M - \left(\chi_{Si} + \frac{E_G}{2} + \phi_F\right) \tag{7}$$

onde  $V_{FB}$  é a tensão de faixa plana, q é a magnitude da carga elementar,  $\varepsilon_{si}$  é a permissividade do silício,  $N_{sub}$  é a concentração extrínseca de dopantes no substrato do silício,  $C_{ox}$  é a capacitância de óxido de porta por unidade de área,  $\varepsilon_{ox}$  é a permissividade do óxido de silício,  $t_{ox}$  é a espessura da camada de óxido de silício, dependente do processo de fabricação, k é a constante de Boltzmann, T é a temperatura,  $n_i$  é a concentração intrínseca de portadores da rede cristalina do silício,  $\phi_{MS}$  é a diferença de função trabalho entre o potencial do polisilício ( $\phi_M$ ) e o silício extrínseco do substrato do dispositivo ( $\phi_S$ ),  $Q_{ss}$  é a densidade de cargas efetiva no óxido de silício,  $\chi_{Si}$  é a afinidade eletrônica do silício, e  $E_G$  é a largura da banda proibida do silício.

#### 2.1.2 Transcondutância de porta (g<sub>m</sub>) e transcondutância de substrato (g<sub>mb</sub>)

São importantes parâmetros a serem considerados para modelagem de pequenos sinais em circuitos integrados CMOS visando as aplicações analógicas e de RF. A transcondutância de porta  $(g_m)$  é definida como a variação da corrente entre os terminais de fonte e dreno  $(I_{DS})$ em relação a variação de tensão entre os terminais de porta e fonte  $(V_{GS})$ . Este parâmetro é determinado considerando uma diferença de tensão entre os terminais de dreno e fonte  $(V_{DS})$ constante, sendo expressa pela equação 8 [32]–[34]:

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} \tag{8}$$

Assim como a transcondutância de porta, a transcondutância de substrato  $(g_{mb})$  ou transcondutância de corpo também mensura qual o impacto da tensão de polarização na corrente de canal, porém com a dependência da polarização entre os terminais de fonte e corpo  $(V_{BS})$ . Sua influência é acrescida a  $g_m$  para formar a corrente de canal, porém seu módulo é menor que a transcondutância de porta devido ao menor acoplamento capacitivo. A transcondutância de substrato, para um determinado valor de  $V_{DS}$  constante, pode ser expressa pela equação 9 [32]–[34]:

$$g_{mb} = \frac{\partial I_{DS}}{\partial V_{BS}} = g_m \frac{\gamma}{2\sqrt{2\phi_F + V_{BS}}} \tag{9}$$

#### 2.1.3 Condutância de saída (g<sub>0</sub>) e resistência de saída (r<sub>0</sub>)

A condutância de saída e a resistência de saída de um MOSFET são parâmetros elétricos importantes a serem conhecidos, especialmente quando um dispositivo está sendo projetado em um circuito integrado analógico, como por exemplo a maioria dos amplificadores operacionais, onde a resistência de saída dos transistores pode limitar o ganho máximo de tensão e também a máxima excursão de sinal de saída [32],[33].

A equação 10 expressa o valor da condutância entre dreno e fonte, ou condutância de canal ( $g_{ds}$ ), e a equação 11 relaciona as diferentes condutâncias presentes na estrutura física de um MOSFET implementado em tecnologia bulk, que são contabilizadas para compor a condutância de saída total ( $g_o$ ) [34]:

$$g_{ds} = \frac{1}{r_{ds}} = \frac{\partial I_{DS}}{\partial V_{DS}} \tag{10}$$

$$g_o = \frac{\partial I_D}{\partial V_{DS}} \simeq g_{ds} + g_{mb} R_b g_{bd} + g_{bd} \tag{11}$$

onde  $r_{ds}$  é a resistência do canal entre os terminais de fonte e dreno,  $R_b$  é a resistência de corpo,  $I_D$  é a corrente total de dreno, e  $g_{bd}$  é a condutância de corpo em relação ao terminal de dreno.

A resistência de saída ( $r_o$ ), representada pela equação 12, é dada pelo inverso da condutância de saída [32]–[34]:

$$r_o = \frac{\partial V_{DS}}{\partial I_D} = \frac{1}{g_o} = \frac{1}{g_{ds} + g_{mb}R_bg_{bd} + g_{bd}}$$
(12)

Considerando que o MOSFET não tenha corrente parasitária sendo conduzida pelo terminal de corpo e/ou que seu módulo seja muito inferior a ponto de não afetar a modelagem do circuito elétrico, uma aproximação bastante usada pela literatura para  $r_o$ , é o valor da condutância de corpo em relação ao terminal de dreno tendendo a zero ( $g_{bd} \rightarrow 0$ ), fazendo com que o novo valor da impedância de saída seja expresso pela equação 13 [32],[33]:

$$r_o \simeq \frac{1}{g_{ds}} \tag{13}$$

A figura 3 ilustra o comportamento da transcondutância de porta, da transcondutância de substrato, e da condutância de dreno em função de  $V_{GS}$ , para um nMOSFET de canal longo, desconsiderando o efeito da degradação de mobilidade dos portadores [32]–[34].



Figura 3 – Transcondutância de porta, transcondutância de substrato e condutância de dreno em função de  $V_{GS}$ .

Para cada tipo de aplicação no projeto de circuitos integrados analógicos há uma melhor região de polarização a ser considerada, tanto para a inversão das cargas móveis do canal (Inversão fraca, inversão moderada e inversão forte) ou ainda para as regiões de saturação ou triodo [32]–[34]. Este trabalho foi desenvolvido através da polarização de todos os transistores do CI na região de saturação.

# **2.1.4** Efeito da modulação do comprimento de canal $(\lambda)$

O efeito da modulação de comprimento de canal é um efeito secundário que ocorre no MOSFET decorrente do aumento da diferença de potencial entre os terminais de porta e dreno  $(V_{GD})$ . Esta diferença faz com que haja uma diminuição do comprimento da camada de inversão do canal, portanto uma diminuição do comprimento do canal, quanto maior for o valor de  $V_{GD}$  [33].

Este fenômeno indica que há uma relação entre  $V_{DS}$  e o comprimento de canal efetivo  $(L_{eff})$ . O símbolo  $\Delta L$  representa a variação total de comprimento de canal, expressa pelas variações tanto de processo de fabricação quanto pela polarização  $V_{DS}$ . Assim, as equações 14 e 15 relacionam estas variáveis [32],[33]:

$$L_{eff} = L - \Delta L \tag{14}$$

$$\frac{\Delta L}{L} = \lambda V_{DS} \tag{15}$$

onde  $\lambda$  é o coeficiente de modulação do comprimento de canal.

Na região de saturação do nMOSFET, a corrente  $I_{DS}$  pode ser expressa levando em conta o efeito de modulação do comprimento de canal, conforme pode ser observado pela equação 16 [32],[33]:

$$I_{DS} \simeq \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 (1 + \lambda V_{DS})$$
(16)

onde  $\mu$  é a mobilidade dos portadores minoritários, que neste caso representa a mobilidade dos elétrons por ser um nMOSFET.

O coeficiente de modulação do comprimento de canal ( $\lambda$ ) fornece um valor quantitativo da dependência entre corrente entre fonte e dreno ( $I_{DS}$ ) e a polarização  $V_{DS}$ , quando o MOSFET está operando em região de saturação. Quanto menor o valor deste coeficiente, menor a dependência da corrente de saída do transistor ao campo elétrico horizontal criado pela polarização entre fonte e dreno na região de canal [34].

Uma outra maneira de representar este coeficiente é mostrado pela equação 17:

$$\lambda = -\frac{1}{V_{EA}} \tag{17}$$

onde  $V_{EA}$  representa a tensão Early.

Quanto menor é a influência de  $V_{DS}$  na corrente  $I_{DS}$ , maior é o valor de  $V_{EA}$  [32]–[34]. A figura 4 mostra o gráfico da curva de corrente entre dreno e fonte ( $I_{DS}$ ) em função da tensão  $V_{DS}$  para uma sobretensão de porta ( $V_{GT}$  igual a  $V_{GS}$  menos  $V_{th}$ ) positiva, indicando como é extraída a tensão Early (Prolongamento da parte linear da região de saturação até alcançar o eixo das abcissas) [32]–[34].





De acordo com as definições de tensão Early e da modulação de comprimento do canal, a resistência de saída ( $r_o$ ) do nMOSFET pode ser expressa pela equação 13, considerando que o dispositivo está polarizado na região de saturação [32],[33]:

$$r_o = \frac{\partial V_{DS}}{\partial I_D} = \left[\frac{1}{2}\mu C_{ox}\frac{W}{L} (V_{GS} - V_{th})^2 \lambda\right]^{-1} \simeq \frac{1}{\lambda I_D}$$
(18)

Desta forma, é possível relacionar a impedância de saída do MOSFET com a tensão Early através da equação 19 [32],[33].

$$r_o = \frac{|V_{EA}|}{I_D} \tag{19}$$

#### 2.1.5 Capacitâncias do MOSFET

Por conta do processo de fabricação CMOS, é esperado que o MOSFET possua pelo menos uma capacitância entre quaisquer dois dos quatro terminais [32]–[34]. Os valores dos capacitores citados na figura 5 são resultantes de duas parcelas: Capacitâncias intrínsecas ( $C_{xyi}$ ) e capacitâncias extrínsecas ( $C_{xye}$ ) que são deduzidas de forma independente [34],[36]. As variáveis XY representam a relação entre quaisquer dois terminais do MOSFET [Dreno(D), fonte(S), porta(G) ou substrato(B)]. Por exemplo, a capacitância  $C_{gsi}$  representa a capacitância intrínseca entre os terminais de porta e fonte.

Seus valores são dependentes, dentre outras variáveis, da área e consequente da geometria de porta do MOSFET, e também das diferentes etapas do processo de fabricação [31]–[34],[36].



Figura 5 – Capacitâncias equivalentes entre os terminais de um MOSFET de canal do tipo n.

onde  $C_{gb}$  é a capacitância entre os terminais de porta e corpo,  $C_{gd}$  é a capacitância entre os terminais de porta e dreno,  $C_{gs}$  é a capacitância entre os terminais de porta e fonte,  $C_{bd}$  é a capacitância entre os terminais de corpo e dreno, e  $C_{bs}$  é a capacitância entre os terminais de corpo e fonte.

Para exemplificar, na figura 6 são identificadas as regiões de sobreposição de fonte e dreno na região de porta do dispositivo, inerentes ao próprio processo de fabricação [31] e que são os principais fatores que caracterizam as capacitâncias extrínsecas com relação ao terminal de porta [32]–[34],[36].

Fonte: Autor "adaptado de" [32].



Figura 6 – Vista superior de um MOSFET indicando as regiões de sobreposição da porta com as regiões de fonte/dreno.

Fonte: Autor "adaptado de" [32].

onde  $L_{ov}$  é o comprimento de sobreposição de fonte/dreno na região de canal,  $W_{eff}$  é a largura efetiva do canal e  $W_{ov}$  é a largura de sobreposição do óxido de campo na região de difusão em relação a largura de máscara W.

A tabela 1 apresenta as expressões das capacitâncias extrínsecas que estão presentes no modelo de pequenos sinais de um bulk nMOSFET com região de porta retangular [36].

Capacitância	Expressão
C <sub>gse</sub>	$WC_{ov}(W_{ov})$
$C_{gde}$	$WC_{ov}(W_{ov})$
$C_{gbe}$	$LC_{ov}(L_{ov})$
C <sub>bse</sub>	$\frac{A_{S}C_{ja}}{\left[1+\left(\frac{v_{BS}}{\phi_{1}}\right)\right]^{m_{1}}}+\frac{P_{S}C_{jp}}{\left[1+\left(\frac{v_{BS}}{\phi_{2}}\right)\right]^{m_{2}}}$
C <sub>bde</sub>	$\frac{A_D C_{ja}}{\left[1 + \left(\frac{v_{BD}}{\phi_1}\right)\right]^{m_1}} + \frac{P_D C_{jp}}{\left[1 + \left(\frac{v_{BD}}{\phi_2}\right)\right]^{m_2}}$

Tabela 1 –	Expressões	das	capacitâncias	extrínsecas	do
	modelo de j	pequ	enos sinais par	a o nMOSF	EΤ
	com região	de p	orta retangular		

Fonte: Autor "adaptado de" [36].

onde  $C_{ov}$  é a capacitância de sobreposição por unidade de comprimento, relativo a largura  $W_{ov}$ e o comprimento de canal  $L_{ov}$ ,  $A_D$  é a área do lado inferior da região de dreno,  $A_S$  é a área do lado inferior da região de fonte,  $P_D$  é o perímetro da lateral da região de dreno,  $P_S$  é o

perímetro da lateral da região de fonte, Cia é a capacitância de junção do lado inferior da região de fonte/dreno por unidade de área, C<sub>ip</sub> é a capacitância de junção do lado lateral da região de fonte/dreno por unidade de perímetro,  $\phi_1$  é o potencial de contato da junção PN da região inferior,  $m_1$  é o expoente característico da junção PN inferior,  $\phi_2$  é o potencial de contato da junção PN das regiões laterais, e m2 é o expoente característico das junções PN laterais.

A tabela 2 apresenta as expressões das capacitâncias intrínsecas que são levadas em conta no modelo de pequenos sinais quando o bulk nMOSFET se encontra polarizado nas regiões de triodo ou saturação [36].

Capacitância	Região de Triodo	Região de Saturação				
$C_{gsi}$	$\frac{WLC_{ox}}{2} \left( 1 + \frac{1}{3} \frac{v_{DS}}{V_{DSsat}} \right)$	$\frac{2}{3}WLC_{ox}$				
$C_{gdi}$	$\frac{WLC_{ox}}{2} \left[ 1 - \left( \frac{v_{DS}}{V_{DSsat}} \right)^2 \right]$	0				
$C_{gbi}$	0	$\frac{\gamma}{2\sqrt{v_{BS}+\phi_0+V_{DSsat}}}\times\frac{WLC_{ox}}{3}$				
C <sub>bsi</sub>	$\frac{\gamma}{2\sqrt{\nu_{BS}+\phi_0}}\times\frac{WLC_{ox}}{2}$	$\frac{\gamma}{2\sqrt{\nu_{BS}+\phi_0}}\times\frac{WLC_{ox}}{2}$				
C <sub>bdi</sub>	$\frac{\gamma}{2\sqrt{v_{BS}+\phi_0}} \times \frac{WLC_{ox}}{2} \left(1-\frac{v_{DS}}{V_{DSsat}}\right)$	0				
Fonte: Autor "adaptedo do" [26]						

Tabela 2 – Expressões das capacitâncias intrínsecas de pequenos sinais para o MOSFET do tipo N com região de porta retangular em regime de inversão forte do canal.

Fonte: Autor "adaptado de" [36].

onde  $V_{DSsat}$  é a tensão de saturação entre os terminais de dreno e fonte do nMOSFET, e  $\phi_0$  é o potencial de superfície do MOSFET.

O modelo de pequenos sinais do nMOSFET é apresentado pela figura 7, não levando em consideração fontes geradoras de ruído Flicker e ruído térmico [32]-[34].

Figura 7 – Circuito equivalente de pequenos sinais do nMOSFET (Efeitos de ruído não são considerados para este modelo).



#### 2.2 O MOSFET DE LEIAUTE NÃO CONVENCIONAL

As diferentes categorias de MOSFET com leiautes não convencionais se baseiam na alteração das geometrias das regiões de canal, como por exemplo, o transistor de leiaute fechado (*Enclosed Layout Transistor* — ELT) [37], onde seu terminal de fonte ou de dreno (dependendo da configuração de polarização de dreno/fonte) é totalmente envolto pela região de porta, eliminando o canal parasitário induzido pelo acúmulo de cargas na região dos BBRs. Outro exemplo é apresentado pelo estilo de leiaute "Osso de Cachorro" ou em inglês *Dogbone*, cujo nome é uma alusão ao seu leiaute, que a priori pode ser implementado em todos os nós tecnológicos e processos de fabricação de CIs CMOS planares [38]. O *Dogbone* apresenta uma simetria entre as áreas de fonte e dreno, e um aumento do comprimento de canal nas regiões de BBR. Em contrapartida, apresenta uma maior área ocupada de silício quando comparado ao MOSFET de geometria de porta retangular [38].

Há também os de formato convencional ou retangular (*Rectangular* MOSFET — RM), o de formato hexagonal (*Diamont* MOSFET — DM) ou o de formato octogonal (*Octagonal* MOSFET — OM). O MOSFET do tipo octogonal foi criado a partir do leiaute de porta com formato hexagonal (DM) [13]. Através deste tipo de alteração na estrutura do dispositivo, podese verificar algumas melhorias dos seus parâmetros elétricos, tais como a corrente entre os terminais de dreno e fonte ( $I_{DS}$ ), a transcondutância de porta ( $g_m$ ) e a resistência de estado ligado ( $R_{on}$ ), quando comparados com os parâmetros elétricos do RM equivalente, considerando que eles tenham as mesmas áreas ativas de porta e as mesmas condições de polarização. Benefícios podem ser obtidos sem a necessidade de alteração no processo de fabricação dos CIs CMOS [12],[13].

As melhorias observadas nesses parâmetros decorrem da interação de três novos efeitos físicos que ocorrem nos leiautes não convencionais, e são eles: Efeito de canto longitudinal (*Longitudinal Corner Effect* — LCE); Conexão paralela de MOSFETs com diferentes comprimentos de canal (*Parallel connection of* MOSFETs *with Different channel Lenghts Effect* — PAMDLE); Desativação dos MOSFETs parasitários nas regiões de Bico de Pássaro (*Desactivation of the Parasitic* MOSFETs *in the Bird's Beak Regions Effect* — DEPAMBBRE). A interação entre estes três efeitos elétricos confere ao OM um melhor desempenho elétrico e uma melhor tolerância aos efeitos das radiações ionizantes, quando comparado ao DM e ao RM [12],[13].

A figura 8 ilustra o leiaute de um MOSFET com geometria de porta octogonal. As regiões 1 e 2 são as regiões trapezoidais adicionadas ao formato de porta retangular que dão origem ao MOSFET com leiaute de porta octogonal.

Figura 8 – Vista superior de um OM e suas dimensões, destacando-se a região de porta octogonal.



Fonte: Autor "adaptado de" [13].

onde b é o menor comprimento de canal do OM, B é o maior comprimento de canal do OM, B' é a altura da parte triangular de canal do DM, c é o fator de corte do OM,  $L_{cc}$  é a distância entre os contatos dos terminais de fonte e dreno,  $\alpha$  é o ângulo formado pela junção metalúrgica entre as regiões de fonte e dreno e a região de canal.

# 2.2.1 Efeito LCE

O MOSFET de geometria de porta não convencional possibilita o Efeito de Canto Longitudinal (*Longitudinal Corner Effect* — LCE). Para os MOSFETs com geometria de porta convencional, as linhas de campo elétrico longitudinal são todas perpendiculares as junções metalúrgicas formadas pelas regiões de fonte/dreno e a região de porta, por conta da geometria de porta ser sempre paralela entre suas duas extremidades das regiões de fonte/dreno, gerando a componente de campo elétrico horizontal (Longitudinal) resultante ( $\vec{\xi}_{RM}$  igual a  $\vec{\xi}$ ), conforme descrito na figura 9(a). No transistor com geometria de porta octogonal, as linhas de campo elétrico longitudinal podem ou não ser paralelos entre si. A geometria modificada promove uma reorientação destas linhas, fazendo com que as mesmas possuam diferentes componentes em diferentes orientações, como mostra a figura 9(b) [12],[13].

Figura 9 – Vistas superiores dos MOSFETs com geometria de porta retangular (a) e octogonal (b) mostrando as linhas de campo elétrico longitudinal.



Fonte: Autor "adaptado de" [12].

onde  $\vec{\xi}$  são as linhas de campo elétrico longitudinal dos MOSFETs.

Para uma carga móvel qualquer (Q) no canal de um nMOSFET, localizada próxima a região de fonte do transistor com geometria octogonal de porta (Figura 10), em uma condição onde  $V_{GS} \ge V_{th}$  e  $V_{DS} > 0$ , esta carga sofre a influência de um campo elétrico longitudinal resultante dado pela soma das diferentes componentes vetoriais de campo elétrico longitudinal citadas na figura 9(b), resultando na equação 20 [12],[13].

Figura 10 – Vista superior do OM mostrando o efeito dos diferentes vetores de campo elétrico longitudinal em um portador de carga móvel Q posicionada no canal próxima a região de fonte.



Fonte: Autor "adaptado de" [12].

$$\overrightarrow{\xi_{OM}} = \overrightarrow{\xi_1} + \overrightarrow{\xi_2} + \overrightarrow{\xi_3}$$
(20)

onde  $\overrightarrow{\xi_{OM}}$  é o vetor de campo elétrico longitudinal resultante no ponto onde se localiza o portador de carga móvel Q no MOSFET do tipo octogonal, e  $\overrightarrow{\xi_n}$  é a componente do vetor de campo elétrico longitudinal, sendo que n pode assumir os valores 1, 2 ou 3.

Desta forma, considerando-se as mesmas condições de polarização, a mesma área de porta, e o mesmo W para ambos os MOSFETs (Retangular e octogonal), o campo elétrico longitudinal (*Longitudinal electric field* — LEF) resultante do OM possui, em módulo, um valor maior que o do LEF apresentado pelo RM, fazendo com que a corrente elétrica de deriva entre os terminais de fonte e dreno ( $I_{DS}$ ) resultante do MOSFET com leiaute de porta octogonal tenha um maior módulo que seu equivalente RM, conforme a equação 21 [34].

$$I_{DS} = \mu \times |Q'| \times \overrightarrow{\xi}$$
<sup>(21)</sup>

onde Q' são as cargas móveis encontradas na região de inversão do canal por unidade de área.

O ganho de corrente de dreno proveniente do efeito LCE que ocorre no OM ( $G_{LCE}$ ), em relação ao RM equivalente, é definido em função do ângulo  $\alpha$  e tem duas condições, conforme a equação 22 [12],[13].

$$\begin{cases} G_{LCE} = \sqrt{2(1 + \cos \alpha)} + 1 & 0 \leq \alpha \leq 90^{\circ} \\ G_{LCE} = \sqrt{2 + \cos \alpha} + 1 & 90^{\circ} < \alpha \leq 180^{\circ} \end{cases}$$
(22)

Desta forma, este ganho promove o aumento da corrente  $I_{DS}$ , quando comparado ao seu equivalente RM [12],[13]. Por se tratar de uma soma vetorial, o vetor resultante do efeito LCE está diretamente relacionado com o ângulo  $\alpha$  ao qual o OM é projetado. Quanto menor o valor de  $\alpha$ , maiores serão os efeitos decorrentes da interação das componentes de campo elétrico longitudinal, que irão por sua vez aumentar o módulo do ganho  $G_{LCE}$  [12],[13].

# 2.2.2 Efeito PAMDLE

Este efeito representa a influência de infinitos transistores ligados em paralelo, com comprimentos de canal variáveis e de larguras infinitesimais. Esta estrutura de infinitos transistores ligados em paralelo promove a diminuição do comprimento efetivo de canal ( $L_{eff,OM}$ ), e por consequência favorecem o desempenho de certos parâmetros elétricos com relação ao RM de leiaute de porta retangular [12],[13]. A figura 11 representa um OM com suas respectivas dimensões.

Figura 11 – Vista superior do OM considerando infinitos MOSFETs de largura de canal dy e suas respectivas dimensões, para efetuar o cálculo de comprimento efetivo do canal.



Fonte: Autor "adaptado de" [13].

onde dy representa a largura infinitesimal de um transistor de largura W, com comprimento de canal  $(L_i)$  variável ao longo do eixo y.

É possível observar que o OM tem duas componentes distintas que compõem  $L_{eff,OM}$ . Uma parcela de transistores paralelos que variam de comprimento de canal, desde a origem até a largura  $(1-c) \times \frac{W}{2}$ , e uma outra parcela composta por um transistor de comprimento de canal de valor *B* e que variam com um passo dy até  $\frac{W}{2}$ . Este fato pode ser duplicado por conta do dispositivo ser simétrico ao eixo das abscissas, a partir da referência  $\frac{W}{2}$  [12],[13].

Uma representação simplificada em circuito elétrico deste fenômeno é apresentada na figura 12, para uma composição que vai de zero até metade da largura de máscara, onde é possível observar a somatória de conexões de infinitos MOSFETs ligados em paralelo para compôr o transistor resultante [12],[13].



Fonte: Autor "adaptado de" [13].

Com o intuito de identificar o comprimento efetivo de canal gerado, é feito o cálculo da somatória da razão de aspecto  $\frac{W}{Leff,OM}$ , levando em consideração uma largura infinitesimal W igual a dy, e com um comprimento de canal variando na razão de b menor que  $L_i$  menor que B, onde  $L_i$  assume diferentes valores de acordo com o ponto amostrado ao longo do eixo y, variando de zero a metade da largura de máscara W, e esta somatória é multiplicada por dois por conta de simetria com o eixo x, para compôr a totalidade do MOSFET [13].

A corrente entre fonte e dreno em uma estrutura octogonal tende a passar mais pelas bordas do do canal do MOSFET, pois as linhas de campo elétrico longitudinal são curvas (Figura 9b). Desta forma, o comprimento efetivo do transistor com leiaute octogonal ( $L_{eff,OM}$ ) se torna menor. Ele é dado pela equação 23, em função dos parâmetros dimensionais do seu leiaute, considerando que os MOSFETs do tipo retangular e octogonal possuam a mesma área de porta [13].

$$L_{eff,OM} = \left[\frac{1-c}{B-b} \times \ln\left(\frac{B}{b}\right) + \frac{c}{B}\right]^{-1}$$
(23)

No caso do ganho de corrente proveniente do efeito PAMDLE ( $G_{PAMDLE}$ ), expresso pela equação 24, dependendo das variáveis dimensionais utilizadas na concepção do leiaute do OM, o comprimento de canal efetivo ( $L_{eff,OM}$ ) será menor que o comprimento de máscara do canal (L), conferindo ao OM uma segunda componente de ganho de  $I_{DS}$  [12],[13].

$$G_{PAMDLE} = \frac{L}{L_{eff,OM}}$$
(24)

A partir destas relações de efeitos físicos decorrentes da mudança no leiaute de porta, um modelo analítico simples é dado pela equação 25, mostrando que existe uma relação entre as correntes de fonte/dreno dos MOSFETs com leiautes octogonal ( $I_{DS,OM}$ ) e retangular ( $I_{DS}$ ) [12],[13].

$$I_{DS,OM} = G_{LCE} \times G_{PAMDLE} \times I_{DS}$$
<sup>(25)</sup>

Com isso, é possível deduzir a equação de transcondutância de porta para o OM ( $g_{m,OM}$ ) (Equações 26 e 27), que são obtidas pelas equações 8 e 25:

$$g_{m,OM} = \frac{\partial I_{DS,OM}}{\partial V_{GS}} = \frac{\partial \left(G_{LCE} \times G_{PAMDLE} \times I_{DS}\right)}{\partial V_{GS}}$$
(26)

$$g_{m,OM} = G_{LCE} \times G_{PAMDLE} \times g_m \tag{27}$$

De forma análoga, por conta dos efeitos decorrentes da estrutura de porta não convencional (LCE e PAMDLE), o parâmetro elétrico de tensão Early ( $V_{EA}$ ) possui características diferentes do transistor de leiaute de porta retangular (RM). No caso do OM, com a mesma área de porta e mesmas polarizações em relação ao RM, pode haver uma diminuição de  $V_{EA}$ , geralmente para  $\alpha$  maior que 90° [39], portanto uma maior inclinação na região de saturação na curva  $I_{DS}$  em função de  $V_{DS}$ , fazendo com que o mesmo consiga atingir maior corrente de saída para uma mesma sobretensão de porta, proferindo uma vantagem em relação ao RM. Estes efeitos também resultam em uma mudança na condutância de canal ( $g_{ds}$ ), que aumenta seu módulo por conta do aumento de campo elétrico longitudinal no canal, diminuindo sua resistência de estado ligado ( $R_{on}$ ) [12],[13].

#### 2.2.3 Efeito DEPAMBBRE

Uma etapa bastante relevante no processo de fabricação CMOS é a formação do óxido de passivação, responsável por isolar diferentes dispositivos em uma mesma lâmina de silício [31]–[34]. Quando um MOSFET é submetido a ambientes com radiações ionizantes, pode ocorrer um acúmulo de íons no óxido de campo, principalmente nas regiões de bico de pássaro (Figura 13), principalmente quando o processo de fabricação é feito com a isolação LOCOS. Este fato também ocorre, porém em menor proporção, quando se utiliza a isolação por STI [13].

Figura 13 – Seção transversal de um nMOSFET com isolação LOCOS (a) e sua respectiva vista superior (b).



Fonte: Autor "adaptado de" [13].

Legenda: Vista superior de um nMOSFET contemplando o circuito elétrico equivalente, com a presença do MOS-FET principal e dos parasitários das regiões de BBR, que são dependentes do processo de fabricação CMOS (b).

Por conta do efeito LCE, que promove a curvatura das linhas de campo elétrico longitudinais e consequentemente do potencial elétrico próximo às extremidades do dispositivo (BBR), estes íons acumulados após a ionização do dispositivo tendem a não influenciar mais o funcionamento do dispositivo, sendo desativados eletricamente os MOSFETs parasitários dessas regiões, fazendo com que a corrente de fuga ( $I_{leak}$ ), grande responsável pelo consumo estático da tecnologia CMOS, seja drasticamente reduzida e  $V_{th}$  não seja mais influenciada por esses transistores parasitários. A este fenômeno se dá o nome de DEPAMBBRE [12],[13].

A figura 14 mostra que as linhas LEF resultantes também são curvas ao longo da dimensão b nas BBRs do OM [13]. Consequentemente, o estilo de leiaute octogonal também é capaz de desativar eletricamente os MOSFETs parasitários das BBRs e, portanto, tende a apresentar uma robustez de radiação ionizante mais alta do que seu equivalente RM, considerando mesmas áreas de região de porta  $(A_G)$  [13].

Figura 14 – O LEF resultante e o potencial elétrico

uma simulação numérica 3D.

(em cores) em função do comprimento do canal de um OM, obtido através de





Fonte: Autor "adaptado de" [13].

#### 2.2.4 Capacitâncias do MOSFET do tipo octogonal

Quando um leiaute não convencional é sugerido para o projeto de circuitos integrados, vale lembrar que a única modificação necessária é a mudança do leiaute de porta, promovendo assim a melhora de muitos dos parâmetros elétricos do dispositivo devido aos efeitos LCE, PAMDLE e DEPAMBBRE [12],[13].

Como citado anteriormente, as capacitâncias entre quaisquer dois terminais de um MOS-FET são dependentes, dentre outros fatores, da sua área de porta, que para um leiaute convencional é expressa por  $A_G$ , que é igual ao produto da largura do canal pelo comprimento do canal  $(W \times L)$ , e para um dispositivo com leiaute não convencional pode variar de acordo com a forma geométrica da região de porta [13].

Há um acréscimo, quando se trata das capacitâncias do OM em relação ao RM, considerando que ambos os MOSFETs possuam uma mesma área de porta ( $A_G$ ). A principal diferença entre os capacitores destes MOSFETs se origina na parcela extrínseca, conforme ilustrado pela figura 15, onde o perímetro da região de porta em contato com as regiões de fonte/dreno é maior em relação aquele do RM, fazendo com que o comprimento de região de sobreposição de porta aumente com diferentes dimensões, tais como o aumento da largura de canal (W), o aumento da dimensão B e a diminuição do fator de corte (c), como mostrado pela tabela 1.



Figura 15 – Vista superior de um MOSFET com leiaute de porta do tipo octogonal indicando o perímetro das regiões de fonte/dreno em sobreposição a região de porta.

Fonte: Autor "adaptado de" [32].

## 2.3 RADIAÇÕES IONIZANTES

O primeiro caso observado sobre a influência das radiações ionizantes no comportamento elétrico de um CI ocorreu em um satélite de telecomunicações (Telestar), em 1962, observado em decorrência de um teste nuclear realizado pelos Estados Unidos. Após este fato, os efeitos das radiações ionizantes começaram a ser considerados na fase de projeto de um CI como prérequisito para garantir uma boa confiabilidade e segurança no seu uso e da eletrônica embarcada em geral [40].

Considerando tais aplicações de circuitos integrados CMOS sujeitos às radiações ionizantes, os dispositivos devem ser especialmente projetados para que o seu desempenho elétrico não seja afetado e se possível apresente uma maior tolerância aos efeitos das radiações ionizantes (*Radiation Hardness Assurance* — RHA). O termo RHA consiste em todo tipo de precaução a ser considerada dentro de uma das muitas etapas do processo de fabricação para concepção de um circuito integrado CMOS, garantindo seu desempenho elétrico e suas especificações após uma exposição prolongada em ambientes com ação das radiações ionizantes [41],[42].

Além da tensão de limiar ( $V_{th}$ ) e da mobilidade dos portadores de carga móveis no canal do MOSFET com geometria de porta retangular, a corrente de fuga ( $I_{leak}$ ) é um dos principais parâmetros afetados neste tipo de ambiente, pois pode ocorrer o aumento no seu módulo em função da dose da radiação ionizante e pela quantidade de tempo a qual o CI CMOS é exposto. Os MOSFETs com óxidos de porta mais espessos apresentam uma menor corrente de fuga quando comparado com os transistores com óxidos de porta mais fino [40],[41]. No entanto, com o aumento do óxido de porta, o acoplamento capacitivo do mesmo com o canal diminui, acarretando em uma diminuição em sua eficiência, conforme visto nas seções anteriores [32]–[36].

Algumas unidades relacionadas às radiações ionizantes no sistema internacional (SI) são: A radioatividade é medida em Becquerel (Bq), que equivale a uma desintegração por segundo (Bq corresponde a  $s^{-1}$ ) [43]; A unidade de energia é o Joule (J) [43]; A dose de radiação absorvida é definida como a energia fornecida para uma determinada matéria por unidade de massa em Gray, onde 1Gy é igual a 1J/kg [43]; A dose de radiação absorvida é medida em "rad" (*Radiation Absorbed Dose*), que é a mais utilizada na área de engenharia, onde 1Gy é igual a 100rad [43]; A taxa de dose é dada pela dose de radiação absorvido no tempo, cuja unidade é rad/s [40],[41]; O fluxo é definido como sendo o número de partículas (ou fótons) que passam por uma determinada área em um intervalo de tempo e sua unidade é em  $cm^{-2}s^{-1}$  [40],[41].

A energia depositada no material depende de sua densidade, e usualmente o material alvo de radiação é identificado entre parênteses, ou seja, (*Si*) para o silício, (*SiO*<sub>2</sub>) para o dióxido de silício, e (GaAs) para o arseneto de gálio. A relação da energia depositada por esses materiais é: 1rad(Si) é igual a 0,58rad(SiO<sub>2</sub>) que é igual a 0,94rad(GaAs) [40],[41].

### 2.3.1 Fontes de radiações ionizantes

São três as principais fontes naturais das radiações ionizantes conhecidas, que podem influenciar o nosso planeta e são elas: Eventos solares (Ventos solares e erupções solares), raios cósmicos provenientes de fora da galáxia, e partículas aprisionadas nos campos magnéticos da Terra [40],[41],[44]. Eventos singulares dentro do próprio planeta também são geradores de radiação, porém são provenientes das invenções humanas, como por exemplo, reatores nucleares e explosões nucleares terrestres [40],[41]. Cabe destacar que a atmosfera terrestre atua similarmente a um filtro, reduzindo a intensidade das radiações ionizantes direcionadas ao planeta. As radiações ionizantes são mais intensas em altas altitudes e nas proximidades das regiões polares (devido às influências dos cinturões de radiação) [40],[41].

A figura 16 mostra os campos eletromagnéticos da Terra, conhecidos como cinturões de Van Allen, indicados por *Inner Belt* e *Outer Belt* [40],[41].





Fonte: [45].

Esses cinturões contém elétrons e prótons armadilhados em três níveis de profundidade: Cinturão interno (*Inner Belt*) contém elétron com energia abaixo de 5MeV ( $1eV \simeq 1,6x10^{-19}$  J), cinturão externo (*Outer Belt*) contém elétron com energia até 7MeV, e o cinturão intermediário contém elétrons e prótons armadilhados, alcançando energias de 30MeV a mais de 100MeV, respectivamente [40],[41]. Assim como prótons e elétrons, íons pesados também são armadilhados nos cinturões de Van Allen, confirmado por aferições feitas pelo satélite SAMPEX em 1993 [40]. Estas partículas são compostas de íons leves (He, C, N, O, Ne, etc.), e possuem baixa energia de penetração [40].

No campo magnético terrestre existem prótons, elétrons e íons de oxigênio armadilhados devido à força de Lorentz. Essas partículas aprisionadas podem afetar a durabilidade de satélites, dependendo de sua altitude, sua inclinação e a espessura da blindagem, além de serem extremamente prejudiciais a matéria orgânica em certas doses de exposição [40],[41],[44],[46].

As aplicações de CIs que sofrem os efeitos das radiações ionizantes baseiam-se nas missões de explorações espaciais e aplicações em satélites artificiais. Com isso, os satélites podem ser classificados quanto a sua altitude de atuação, e são elas [40],[41],[46]:

 a) Satélites de órbita baixa: Situam-se em altitudes na faixa de 300 a 5.000 km, estando expostos a níveis significativos de radiações ionizantes e para inclinações de órbita inferior a 45°, o satélite estará exposto a zona de Anomalia Magnética do Atlântico Sul (*South Atlantic Anomaly* — SSA). Nas órbitas polares e suas proximidades, verifica-se a influência dos cinturões de radiação. Órbitas de aproximadamente 1.400 km são afetadas por altas doses de radiação;

- b) Satélites de órbita média: Referem-se aos satélites que estão situados em órbita acima de 5.000 km de altitude e abaixo das órbitas geoestacionárias;
- c) Satélites de órbita geoestacionária: Referem-se aos satélites situados acima de 36.000 km de altitude.

Para ilustrar, um satélite de órbita geoestacionária operando durante dezoito anos pode acumular até 100 krad, caso possua blindagem com 5 mm de espessura de alumínio, e pode acumular até 10 krad, caso possua uma blindagem com 10 mm de espessura de alumínio. Comparativamente, um satélite a 2000 km de altitude durante cinco anos com blindagem de 10 mm de espessura de alumínio, pode acumular uma dose de até 300 krad [40].

As órbitas média e geoestacionária estão mais expostas ao cinturão de Van Allen, onde a maior fonte de radiação ionizante são os elétrons. Neste local, o acúmulo das radiações ionizantes podem ser mitigadas com blindagens de alumínio relativamente fina, dado o baixo poder de penetração dos elétrons [40],[41],[44],[46]. Já no caso de órbitas mais baixas, há a influência não só de elétrons mas também de prótons aprisionados, em uma distribuição espacial não homogênea por conta da região de SAA e também pela proximidade dos cinturões externos de Van Allen nos polos do planeta, levando assim a um incremento na dose de radiação absorvida em comparação as outras órbitas de atuação de satélites [40].

#### 2.3.2 Tipos e efeitos de radiações ionizantes em MOSFETs

Baixos níveis de radiações ionizantes são encontrados ao nível do mar, que são níveis inofensivos para a saúde humana, mas podem alterar a sensibilidade dos MOSFETs de dimensões extremamente reduzidas [47].

A colisão de uma partícula altamente energética com determinado material pode gerar partículas elementares. Intuitivamente, as partículas com maior massa contém energia cinética maior, portanto maior poder de penetração e dano nos CIs [43].

Tipos diferentes de fontes de radiação induzem no MOSFET diferentes efeitos em sua estrutura cristalina, e por consequência há a alteração dos parâmetros elétricos e do seu desempenho elétrico estático e dinâmico [40],[41]. Estes efeitos são descriminados na forma de efeitos acumulativos e efeitos de evento único. Efeitos acumulativos têm por origem a ionização por elétrons e prótons, enquanto os efeitos decorrentes de evento único são induzidos pelo impacto de partículas fortemente ionizadas no silício como prótons e íons pesados, como explicitados a seguir:

- a) Efeitos acumulativos:
  - Displacement Damage (DD): Referem-se aos danos físicos na estrutura cristalina do material, ocasionado pela perda de energia de forma não ionizante das partículas incidentes, degradando as propriedades deste material. A energia transferida durante uma colisão nuclear, seja ela elástica ou inelástica, pode ser suficiente para deslocar um átomo de seu local de origem no retículo cristalino, ou seja, ocasionando um deslocamento que altera o arranjo dos átomos da rede cristalina. Como exemplos, este efeito pode causar a degradação do ganho em dispositivos bipolares, o aumento da corrente de limiar em diodos laser, e a redução de eficiência em células solares [44]–[48];
  - Total Ionizing Dose (TID): Trata-se de um efeito acumulativo, de longo prazo, que degrada algumas propriedades elétricas dos CIs CMOS, devido ao acúmulo de cargas positivas nos materiais isolantes que compõem os MOSFETs. Este efeito depende de diferentes fatores do material irradiado, como a qualidade do óxido de porta e o campo elétrico vertical e longitudinal no canal do MOSFET, entre outros. Fatores que também influenciam a sensibilidade dos CIs CMOS a TID são a taxa de dose aplicada e a transferência de energia linear (*Linear Energy Transfer* LET), que mensura o poder de freamento total da partícula, composto pela parcela de freamento eletrônico somado ao freamento nuclear, e depende da densidade do material alvo e a aceleração da partícula irradiante [49].
- b) Efeitos de evento único:
  - Single Event Effect (SEE): São erros induzidos por radiação em circuitos microeletrônicos causados quando partículas carregadas (geralmente dos cinturões de radiação ou de raios cósmicos) perdem energia, e consequentemente ionizando o meio através do qual eles passam, deixando para trás um rastro de pares elétron–lacuna [50]–[54].

A figura 17 relaciona os tipos de fontes de radiação podem induzir os tipos diferentes de partículas (Elétrons, Prótons ou Íons), que por sua vez podem prover a influência de diferentes

efeitos ionizantes nas amostras de materiais irradiados [40].



Figura 17 – Relação entre os efeitos das radiações ionizantes, as partículas responsáveis por estes efeitos, e suas respectivas fontes irradiantes.

Fonte: Autor "adaptado de" [40].

#### **2.3.3** Dose ionizante total (TID)

A TID refere-se à dose ionizante total acumulada por um determinado material ou dispositivo eletrônico devido à exposição às radiações ionizantes ao longo do tempo [40]. Estes efeitos estão atrelados à intensidade da dose de radiação e ao tempo de exposição. A ionização é um processo de adição ou remoção de elétrons (ou outras partículas carregadas) dos átomos. Uma partícula ionizante que incide no material, devido às colisões, é capaz de excitar elétrons da banda de valência dos materiais, que podem ganhar energia suficiente para passar para a banda de condução gerando, por efeitos secundários, pares elétron–lacuna (PEL). A geração de corrente elétrica devido a estes efeitos pode ocorrer, inclusive nos materiais isolantes, caso seja aplicado um campo elétrico no material irradiado. Pelo fato da mobilidade das lacunas ser menor que a do elétron, cargas positivas podem ficar armadilhadas dentro dos isolantes. A produção e armadilhamento de lacunas dentro do dióxido de silício ( $SiO_2$ ) podem causar degradação do comportamento elétrico dos MOSFETs e transistores bipolares de junção. De um modo geral, em materiais condutores de baixa resistência (usados na porta ou substrato), a maioria dos pares elétron–lacuna (mais de 90%) são recombinados (considerando temperatura ambiente e sem interferência de campo elétrico externo e/ou polarizações) [40],[41],[48].

A interação de fótons de alta energia ou partículas carregadas com o material resulta

na sua ionização, e a degradação se inicia quando portadores livres são gerados no material [40],[41],[48]. Os efeitos das radiações ionizantes dependem basicamente da energia do fóton e do material alvo. Como resultado da interação entre eles, há 3 tipos de efeitos: Efeitos fotoelétricos, Compton e produção de pares elétron–lacuna. As principais interações fundamentais das radiações ionizantes em materiais com diferentes números atômicos em função da energia do fóton irradiado são ilustradas na figura 18, resultando a criação de portador livre no material alvo [43],[49],[55],[56]. A linha pontilhada representa o número atômico (Z) do silíco-14, e as linhas contínuas representam as transições entre os mecanismos de produção de portadores livres, que operaram em diferentes materiais, quando ocorre a interação com fótons acelerados com energias variáveis [43],[48].



Figura 18 – Efeitos das radiações ionizantes em função do material alvo e da energia do fóton.

Fonte: Autor "adaptado de" [55].

Por definição, no efeito fotoelétrico, uma superfície pode emitir um elétron absorvendo um fóton cuja energia seja maior ou igual ao valor da função trabalho do material. Ao considerarmos os níveis de energia dos raios–X de baixa energia (abaixo de 60 keV e considerando o silício-14), pode-se concluir que ocorre a completa absorção da energia do fóton pelo material, e como produto têm-se os elétrons, que são desprendidos do núcleo do átomo [43].

Em relação aos fótons incidentes com energias mais altas (a partir de 60 keV), o efeito Compton ou espalhamento Compton, no silício-14, passa a prevalecer. Quando um fóton acelerado atinge o material alvo, há o desprendimento de um elétron da nuvem eletrônica e o fóton continua a existir também, porém com um comprimento de onda maior do que o comprimento de onda de incidência, podendo gerar ainda outros elétrons livres. Para energias ainda mais altas de fótons incidentes (acima de 20 MeV), a geração de pares elétron–lacuna torna-se o efeito majoritário, ou seja, o desaparecimento do fóton da origem a produção de um elétron e um pósitron, e após o processo de recombinação destas partículas, o material alvo é ionizado pela criação secundária de elétrons e lacunas [43]. A Figura 19 apresenta como as radiações ionizantes atuam no  $SiO_2$ , em um diagrama de bandas de um capacitor MOS, com substrato do tipo P e polarizado com uma tensão positiva na porta [56],[57].

Figura 19 – Formação de PEL no diagrama de bandas de energia de um capacitor MOS com substrato do tipo P.



Fonte: Autor "adaptado de" [56].

Quando um MOSFET é exposto a irradiação ionizante, os pares elétron–lacuna são criados no óxido. A geração desses pares elétron–lacuna leva a alteração da densidade efetiva de cargas no óxido, acarretando mudanças nos parâmetros elétricos do dispositivo, e consequente pode degradar o seu desempenho elétrico [56],[57].

Após a criação de PELs pela irradiação do fóton, a maior parte dos elétrons sofrem recombinação na região de porta. Aquelas lacunas que não se recombinam inicialmente, são transportadas à interface, se deslocando em direção ao silício através de estados localizados no óxido. À medida que as lacunas se aproximam da interface, algumas delas ficam presas a essa região, formando uma carga positiva. Os íons de hidrogênio podem ser presos no  $SiO_2$ , podendo se locomover por deriva para formar armadilhas de interface. As armadilhas de interface são, em sua maioria, carregadas positivamente para transistores de canal p e carregadas negativamente para transistores de canal n [56]. O acúmulo de carga induzida pela radiação

nesses isoladores pode causar uma degradação do MOSFET e consequentemente uma falha no circuito integrado CMOS. A captura positiva de carga no óxido de porta pode inverter a interface do canal causando uma diminuição de  $V_{th}$  e também um aumento da corrente de fuga ( $I_{leak}$ ) do MOSFET. Isso resultará em um aumento no consumo de potência estática e também uma falha de funcionamento do CI CMOS. Grandes concentrações de cargas positivas induzidas pelas radiações ionizantes na interface do óxido podem diminuir a mobilidade dos portadores livres e diminuir a tensão de limiar dos nMOSFETs [56],[57].

Conforme pode ser observado na figura 20, os comportamentos dos MOSFETs de canal n e canal p são distintos, uma vez que seus portadores minoritários não são os mesmos, mas a carga induzida pelas radiações ionizantes aprisionadas são sempre positivas [56],[57].

Figura 20 – Efeito das cargas positivas armadilhadas no óxido de porta do MOSFET na curva da corrente de dreno em função da tensão de porta.



Legenda: (a) MOSFET do tipo N; (b) MOSFET do tipo P.

Por conta das cargas positivas armadilhadas no óxido, pode-se observar uma redução da tensão de limiar para dispositivos com canal tipo P, deslocando assim a curva da corrente de dreno em função da tensão aplicada a porta, e a diminuição da tensão de limiar, para dispositivos de canal tipo N, pois essas cargas positivas armadilhadas no óxido reduzem o potencial de faixa plana ( $V_{FB}$ ) [2],[56],[57]. Para ambos os casos, quando a quantidade de cargas positivas armadilhadas na interface Si $O_2$ –Si é maior do que a quantidade armadilhada no óxido fino de porta, há um aumento da inclinação de sublimiar, levando ambos os dispositivos a um desempenho elétrico inferior ao original, sem a influência das radiações ionizantes [2],[56],[57].

A magnitude da TID suportada por um MOSFET depende de sua tecnologia de fabricação. Os CIs CMOS conhecidos comumente como "CIs de prateleira" possuem uma tolerância que varia de unidades a dezenas de krad, enquanto que os MOSFETs produzidos seguindo os padrões de RHA variam de 100 krad a 1 Mrad. Comparados aos MOSFETs de prateleira, a tecnologia bipolar é mais tolerante do que a tecnologia CMOS, podendo suportar uma TID que varia de 10 a 100 krad [40]. Os MOSFETs fabricados com tecnologia de arseneto de gálio (GaAs) são intrinsecamente mais resistentes a TID que as demais tecnologias de fabricação descritas anteriormente, e podem suportar magnitudes na ordem de 1 Mrad ou mais. Há muitos fatores que podem alterar a densidade de cargas armadilhadas no óxido, tais como: 1) A taxa de dose; 2) A polarização elétrica durante e após a irradiação; 3) O tempo após a irradiação; 4) O lote de fabricação das lâminas de silício; entre outros [56]–[64].

O termo taxa de dose é definido como a quantidade de radiação ionizante emitida no material por unidade de tempo (rad/s). Embora a tecnologia bipolar apresente uma melhor tolerância a TID, há uma maior sensibilidade a baixas taxas de dose, quando comparada a tecnologia CMOS [60]–[62].

A figura 21 relaciona as diferentes taxas de dose encontradas no espaço e as taxas de dose recomendadas para induzir os efeitos das radiações ionizantes em CIs. Essas taxas de dose são recomendadas pelos padrões técnicos da European Space Components Coordination (ESSC) e pelo departamento de defesa dos Estados Unidos, Military Standard (MIL-STD) [63],[64]. Vale lembrar, que nos dias atuais, as fontes geradoras de radiação por aceleradores de partículas ou emissores de fótons (Raios–X e raios– $\gamma$ ) podem atingir uma vasta gama de valores de taxas de dose, podendo assim induzir diferentes condições ambientais do espaço sideral nos materiais alvo que estejam sendo testados.




Fonte: Autor "adaptado de" [44].

Tanto a norma ESCC 22900 quanto a MIL-STD-883 (Método 1019) tratam apenas dos padrões necessários para executar o teste de tolerância a radiação ionizante com relação aos efeitos da TID [63],[64]. Para executar testes que promovem os efeitos das radiações ionizantes do tipo DD e SEE, há outras normas a serem utilizadas. Portanto, este trabalho está baseado nestas duas normas e procedimentos, com o objetivo de verificar o comportamento elétrico dos CIs em função dos efeitos da TID. Em ambas as normas, é recomendado o uso de baixas taxas de dose para induzir os efeitos da TID em circuitos integrados fabricados com tecnologia bipolar [63],[64].

Vale ressaltar que a norma ESCC 22900 possui duas janelas de atuação, uma para baixas taxas de dose (*Low Dose Rate* — LDR), que define valores de 0,01rad/s até 0,1rad/s, e outra janela de atuação para altas taxas de dose (*High Dose Rate* — HDR), que vão de 0,1rad/s até 50rad/s.

A metodologia de RHA é foco de pesquisas desde os primeiros contatos de circuitos eletrônicos com os diferentes efeitos das radiações ionizantes encontradas no espaço sideral [40]. Em uma constante busca por aprimoramento dos parâmetros elétricos e tolerância às radiações ionizantes, os transistores com leiaute modificado são introduzidos, agregando melhoras significativas em diversos parâmetros elétricos, quando expostos às radiações ionizantes [14]–[16]. Estes resultados geram muitas possibilidades de aplicação em CIs CMOS complexos, como por exemplo na área de gerenciamento de potência de circuitos analógicos, com reguladores de tensão [65]–[67].

#### 2.4 REGULADORES DE TENSÃO

Os reguladores de tensão produzem uma das funções mais básicas e necessárias para o funcionamento de qualquer CI e consequentemente a dos equipamentos eletrônicos. Eles fazem parte de um conjunto essencial de blocos que pertencem ao conhecido conjunto de ge-renciamento de potência (*Power Management* — PM). Este bloco é responsável por fornecer a tensão de alimentação para todas as partes de um CI, para garantir o funcionamento em diversas condições de operação. Suas principais características são [68]:

- a) Garantir um tensão de alimentação constante e precisa;
- b) Atuar como um filtro de ruído ativo;
- c) Fornecer proteção contra curto-circuitos;
- d) Muitas vezes gerar múltiplas tensões de saída;
- e) Atuar em fontes de corrente constante.

A figura 22 ilustra o diagrama de blocos do gerenciador de potência TIDA-00598 como exemplo, onde o fornecimento da tensão de alimentação para os diferentes blocos é feita por diferentes reguladores de tensão, cada um com uma tensão de saída. Além disso, existe a possibilidade da realização do chaveamento para habilitar ou desabilitar o funcionamento dos reguladores de tensão, permitindo assim que o CI opere em modo de baixo consumo de potência [69].

Figura 22 – Diagrama de blocos do gerenciador de potência TIDA-00598 para aplicação do controlador *bluetooth* da família CC-256X .



Fonte: [69].

A figura 23 apresenta alguns tipos de reguladores de tensão, onde dependendo do tipo de aplicação, há uma melhor topologia a ser escolhida.

Figura 23 – Classificação de alguns dos diferentes tipos de reguladores de tensão, onde a topologia de "controle de fator de amortecimento" foi utilizada no desenvolvimento deste trabalho.



Fonte: Autor.

Neste trabalho, o circuito elétrico projetado e manufaturado foi o regulador de tensão linear CL–LDO com controle de fator de amortecimento (*Damping Factor Control* — DFC). No nível zero da figura 23 são apresentados os reguladores lineares e os reguladores chaveados [26], [27]. Uma das grandes diferenças entre esses dois grupos trata-se da sua eficiência energética, ou seja, quanto de potência elétrica é consumida pelo regulador de tensão em relação ao que ele entrega para o CI, em função da tensão de entrada [28]. Em termos gerais, a eficiência de reguladores chaveados é muito maior que a dos reguladores lineares por possuírem um modo de operação alternado, fazendo com que seu consumo final seja drasticamente reduzido. Em contrapartida, os reguladores lineares operam de forma contínua, drenando sempre uma mesma corrente elétrica, que garante o ponto de operação de seus transistores e por consequência o seu funcionamento adequado, definida como corrente quiescente ( $I_q$ ) [28]. Devido ao seu funcionamento alternado, os reguladores chaveados inserem um ruído ao seu sinal de saída decorrente do seu próprio funcionamento, algo que não é aceitável para algumas aplicações de CIs, como por exemplo, os circuitos integrados de rádio frequência e equipamentos de comunicação [68]. Já com reguladores lineares não há essa inserção de ruído acoplado à sua tensão de saída, além de possuírem uma característica intrínseca de operar também como filtro ativo [68].

Uma outra característica bastante significativa relacionada aos reguladores lineares é que eles não dependem de bobinas para seu o funcionamento, algo que aumenta a área de silício utilizada e consequentemente custo na fabricação do circuito integrado [26]–[28],[68].

### 2.4.1 Reguladores de tensão lineares

Os reguladores de tensão lineares podem ser classificados de duas maneiras: os reguladores de tensão série e os reguladores de tensão paralelo (Figura 23 – Nível 2). Ambos possuem um funcionamento contínuo, diferindo o modo como cada um polariza o seu dispositivo de controle (Geralmente um transistor), que é responsável por gerar a tensão regulada de saída [26]–[28],[68]. A seguir são apresentados os circuitos simplificados das topologias série (Figura 24a) e paralelo (Figura 24b). Na topologia série, é utilizada a ideia de malha de realimentação ativa para mensurar o que ocorre em sua saída e consequentemente polarizar o dispositivo de passagem para que haja uma correção da tensão de saída. Na topologia paralela também se utiliza a ideia de controle por realimentação através do conjunto resistivo ( $R_1 e R_2$ ), porém a tensão de saída é corrigida através do aumento ou diminuição da corrente de passa pelo dispositivo ativo, aumentando ou diminuindo assim a queda de potencial em  $R_S$ , alterando assim a tensão de saída.





Fonte: Autor "adaptado de" [70].

onde  $V_{in}$  é a tensão de entrada do regulador de tensão,  $V_{out}$  é a tensão de saída do regulador de tensão,  $V_{ref}$  é a tensão de saída do bloco "Circuito de Referência",  $V_{DO}$  é a diferença de tensão

entre a tensão de entrada e a tensão de saída (Tensão de *dropout*),  $R_1 e R_2$  são os resistores que fornecem uma amostra da tensão de saída através de uma configuração de divisor de tensão,  $R_{load}$  é a resistência de carga,  $R_s$  é o resistor série posicionado entre os nós de entrada e saída da topologia paralelo,  $I_{REF}$  é a corrente de polarização do "Circuito de Referência",  $I_{EA}$  é a corrente de polarização do estágio amplificador de erro,  $I_{FR}$  é a corrente de polarização do par de resistores  $R_1 e R_2$ ,  $I_{AD}$  é a corrente de polarização do "Dispositivo Ativo", "Circuito de Referência" é um circuito gerador de tensão de referência independente de temperatura; "Dispositivo Ativo" e "Dispositivo de Passagem" são transistores de tecnologia bipolar ou MOSFET.

Ambas as topologias possuem uma corrente quiescente ( $I_q$ ) que é dada pela equação 28 para reguladores de topologia série e é dada pela equação 29 para reguladores de topologia paralela. A corrente quiescente é um importante fator a ser considerado para o desenvolvimento do projeto de um regulador de tensão linear integrado, e está diretamente relacionado com a potência elétrica consumida pelo CI [28],[70].

$$I_q = I_{REF} + I_{EA} + I_{FR} \tag{28}$$

$$I_q = I_{REF} + I_{EA} + I_{FR} + I_{AD} \tag{29}$$

No caso de reguladores de tensão série, o dispositivo de passagem recebe uma polarização proveniente da diferença da tensão entre o circuito de referência e a tensão proporcional de saída que é amostrada pela divisor de tensão da matriz de resistores, de acordo com a equação 30 [28],[70].

$$V_{ref} = V_{out} \times \frac{R_2}{R_1 + R_2} \tag{30}$$

Para reguladores de tensão lineares com topologia paralela, a tensão  $V_{ref}$  passa por um estágio de amplificação de erro, que fornece uma corrente de polarização para o dispositivo denominado ativo, que sempre se mantém com um mesmo nível de polarização, concedendo uma estabilidade da tensão a saída. Esse tipo de resposta é limitado a uma certa faixa de operação e também tem um ponto negativo a ser considerado, que seria sua elevada potência consumida [71]–[74].

#### 2.4.2 Reguladores de tensão linear série

Os reguladores de tensão linear série podem ser classificados por dois tipos de topologias, conforme nível dois da figura 23: Os reguladores LDO e os reguladores CL–LDO. Primeiramente, o termo LDO se origina do inglês e significa *Low-Dropout*, cujo significado denota a baixa queda de tensão sobre o dispositivo de passagem, que é responsável pela regulação da tensão saída (Figura 24a). A equação 31 fornece o valor da tensão de *dropout* ( $V_{DO}$ ) em função das tensões de entrada e saída de um regulador de tensão da topologia LDO:

$$V_{DO} = V_{in} - V_{out} \tag{31}$$

Os circuitos integrados com essa topologia são bastante eficientes para regulação de baixas tensões de entrada ( $V_{in}$  – Figura 24) pois a única queda de tensão entre a entrada e a saída será a tensão de *dropout* [28],[70].

Sendo assim, o dispositivo de passagem é o responsável pelo controle da corrente que é disponibilizada para os CIs CMOS seguintes, que serão alimentados pela sua saída. O primeiro estudo a ser realizado para o projeto de um regulador de tensão linear LDO deve levar em consideração a escolha do tipo de dispositivo de passagem a ser usado, dependendo do tipo de aplicação. A figura 25 apresenta diferentes configurações de dispositivos de passagem, utilizando tecnologia de fabricação bipolar e MOSFET [28].







onde  $V_{sat}$  é a tensão de saturação do transistor bipolar,  $V_{BE}$  é a tensão entre os terminais de emissor e base de um transistor bipolar, e  $I_b$  é a corrente de base do transistor bipolar PNP.

A tabela 3 apresenta a dependência entre a estrutura de dispositivo de passagem a ser utilizado, sua tecnologia de fabricação (CMOS ou bipolar), e seu desempenho elétrico em relação às variáveis de especificação do CI a ser projetado [28].

PARÂMETRO	ESTRUTURA					
	Darlington	NPN	PNP	NMOS	PMOS	
I <sub>o,max</sub>	Alta	Alta	Alta	Média	Média	
$\mathbf{I}_{\mathbf{q}}$	Média	Média	Alta	Baixa	Baixa	
V <sub>DO</sub>	$V_{sat} + 2V_{BE}$	$V_{sat} + V_{BE}$	Vsat	$V_{DSsat} + V_{GS}$	V <sub>DSsat</sub>	
Resposta	Rápida	Rápida	Lenta	Média	Média	

Tabela 3 – Comparativo qualitativo do desempenho elétrico de diferentes estruturas de dispositivos de passagem utilizados em reguladores de tensão série.

Fonte: [28].

onde  $I_{o,max}$  é a corrente máxima de saída do regulador de tensão e "Resposta" é uma variável meramente qualitativa para representar a resposta transiente do circuito regulador de tensão, em uma análise de grandes sinais [28].

Os transistores bipolares NPN e a configuração Darlington com transistores bipolares possuem a capacidade de fornecer grandes quantidades de corrente máxima de saída ( $I_{o,max}$ ), e tem um consumo de corrente quiescente ( $I_q$ ) "médio" (Tabela 3), fazendo com que sejam fortes candidatos a transistores de passagem para aplicações de CIs de potência, onde o consumo elétrico é alto. Porém, possuem uma grande queda de tensão de *dropout* entre os terminais de coletor e emissor, o que não favorece seu funcionamento para aplicações de baixa queda de tensão entre a entrada e a saída, que são conhecidos como circuitos de baixa tensão (*Low Voltage Circuits*) [32],[33].

Tradicionalmente, o transistor bipolar PNP foi utilizado para as aplicações de baixa queda de tensão *dropout*, principalmente porque ele permite facilmente ser habilitado com uma baixa queda de tensão entre seus terminais de coletor e emissor [28]. No entanto, ele tem uma alta corrente quiescente e baixa eficiência, que não são ideais em aplicações nas quais a maximização da eficiência energética é uma prioridade [28].

O dispositivo de passagem nMOSFET se torna vantajoso devido à sua baixa resistência série de canal ( $r_{ds}$ ), possibilitando melhores respostas dinâmicas em alta frequência devido

ao fato de seu canal ser formado por elétrons, cuja mobilidade é maior que a mobilidade das lacunas, quando comparado ao pMOSFET [32]–[35],[75]. Porém, por conta do dispositivo de passagem nMOSFET estar configurado como amplificador de fonte comum, a tensão da porta do mesmo deve ser maior que a tensão de entrada [32]–[35],[75]. Com isso, é exigido uma maior área útil do CI para comportar circuitos adjacentes, como por exemplo circuitos geradores de *clock* e circuitos de *Charge Pump*, que promovem o aumento da tensão de porta do dispositivo a um nível mais alto que a tensão de entrada. Sendo assim, o nMOSFET é pouco utilizado como dispositivo de passagem [80],[83].

Os dispositivos de passagem pMOSFET possuem melhor desempenho elétrico que a maioria dos transistores bipolares, fazendo deste transistor a estrutura que melhor se enquadra para exercer a função de dispositivo de passagem em reguladores lineares de tensão [28],[70], [78].

A equação 32 apresenta a eficiência dos reguladores de tensão lineares série ( $\eta$ ). Essa figura de mérito (FOM) auxilia na escolha do tipo de dispositivo de passagem que atenda ao melhor compromisso entre seu desempenho elétrico e a sua potência elétrica consumida [28],[70].

$$\eta = \frac{I_o \times V_{out}}{(I_o + I_q) \times V_{in}} \times 100 = \eta_I \frac{V_{out}}{V_{in}} \times 100$$
(32)

onde  $\eta_I$  é a eficiência de corrente elétrica de um regulador de tensão linear série.

Observa-se que  $\eta$  é inversamente proporcional a tensão de entrada ( $V_{in}$ ). Quanto menor é o valor de  $V_{DO}$  (Equação 31), maior será a eficiência final do regulador de tensão série (Equação 32). Tal comportamento permite também o prolongamento maior da vida útil de sistemas de armazenamento de carga, como pilhas e baterias de uso comercial, se  $I_q$  tende a zero [26],[28],[70].

#### 2.4.3 Reguladores de tensão LDO e CL–LDO

Nesta seção serão explicitadas as diferenças entre os reguladores de tensão LDO (*Low-Dropout*) e CL–LDO (*Capacitor-Less Low-Dropout*), conforme a figura 23 – nível 2.

Considerando que o dispositivo de passagem destas duas configurações de reguladores de tensão seja um pMOSFET, o princípio de funcionamento de um regulador de tensão série LDO se baseia em polarizar o terminal de porta deste transistor de passagem para fornecer uma tensão de saída fixa, suportada por uma faixa de tensão de entrada ( $V_{in}$ ) e uma corrente máxima de saída ( $I_{o,max}$ ) [28],[70].

Esta topologia pode ser dividida em quatro blocos funcionais principais: Um circuito gerador de tensão e corrente de referência ("Bandgap"); Um dispositivo de passagem (pMOS-FET); Um circuito divisor de tensão resistivo ( $R_1 \ e \ R_2$ ); Um estágio de amplificação de erro (*Error Amplifier* — EA) [32],[33]. Há também um componente externo ao CI, um capacitor comercial. Este componente possui uma resistência equivalente em série (*Equivalent Series Resistance* — ESR) cujo valor é descrito nos manuais dos fabricantes de cada capacitor, e é suscetível à variações grandes, na ordem de 20% de seu valor nominal [28],[70],[79].

Devido a este fato, a estabilidade do regulador de tensão torna-se mais difícil de ser atingida, além de ocupar uma área externa ao CI, ou seja, um componente não integrado, aumentando assim o custo do projeto final [28],[70],[79].

Como solução para um regulador de tensão série sem capacitor externo ao CI, a topologia CL–LDO é apresentada [80]–[83]. A mesma configuração dos reguladores de tensão LDO é utilizada para esta configuração, porém de uma forma a integrar o capacitor externo ao CI CMOS, havendo assim uma redução significativa de área de silício utilizada no projeto e diminuindo possíveis erros de funcionamento, como má fabricação da solda até o capacitor, ou a dependência de componentes com problemas, como no caso de capacitores de cerâmica ou eletrolíticos [80]–[83].

A seguir são apresentados os diagramas de bloco dos reguladores de tensão série do tipo LDO (Figura 26a) e do tipo CL–LDO (Figura 26b) [80]–[83].





Fonte: Autor "adaptado de" [80].

onde  $R_1 e R_2$  são os resistores do divisor de tensão,  $R_{esr}$  é a impedância série equivalente de um capacitor externo ao CI, capaz de alterar a margem de fase e margem de ganho do regulador [79],  $C_{load}$  é a capacitância de carga, "EA" representa um estágio de amplificação de erro diferencial com saída não-diferencial, "Bandgap" representa um circuito que fornece referência de tensão estável a variação de temperatura, chamado circuito "Bandgap",  $I_{bg}$  é a corrente de referência gerada pelo circuito "Bandgap",  $I_{in}$  é a corrente de entrada do circuito regulador de tensão linear série, e  $V_{bg}$  é a tensão de referência gerada pelo circuito "Bandgap" [32],[33].

O funcionamento dos reguladores de tensão CL-LDO se baseia em criar um polo domi-

nante de compensação interno, sem a necessidade de um valor de capacitância muito alto, fazendo isso através do princípio de compensação Miller, garantindo assim a estabilidade do sistema [32],[33],[80]–[84].

Conforme citado anteriormente, a topologia do regulador de tensão série CL–LDO é constituída por 4 sub-blocos principais. Com relação ao circuito integrado de referência, conhecido como circuito "Bandgap", é responsável por gerar uma tensão de referência independente das variações térmicas [32],[33].

Através do circuito "Bandgap", dois sub-blocos são desenvolvidos: um gerador de tensão de referência e um gerador de corrente de referência. Enquanto que o gerador de tensão fornece uma tensão fixa de comparação para o estágio de amplificação de erro, a corrente de referência é responsável por polarizar todos os circuitos do sistema ( $I_{bg}$  – Figura 26). A referência de tensão estável a temperatura ( $V_{bg}$  – Figura 26) é a base para o correto funcionamento do sistema de regulação, uma vez que seu valor é base para a tensão de saída do regulador de tensão, conforme a relação dada pela equação 30 [28],[70].

### 2.4.4 Terminologia dos reguladores de tensão LDO e CL-LDO

Esta seção visa apresentar as diferentes FOMs que possibilitam modelar e estudar o comportamento elétrico dos reguladores de tensão lineares série, sendo os mesmos com capacitor integrado ao CI CMOS ou capacitor externo ao *die*.

### **2.4.4.1** Tensão de dropout $(V_{DO})$

A tensão de *dropout* ( $V_{DO}$ ) é dada pela a diferença entre a tensão de entrada ( $V_{in}$ ) e a tensão de saída ( $V_{out}$ ). Esse parâmetro tende a ser igual a queda de tensão entre os terminais de fonte e dreno do MOSFET de passagem, sendo este um nMOSFET [ $(V_{DS})_n$ ] ou pMOSFET [ $(V_{SD})_p$ ]. A partir da equação 31, a equação 33 relaciona a tensão de *dropout* com parâmetros elétricos intrínsecos do MOSFET [28],[68],[70],[75].

$$V_{DO} = (V_{DS})_n = (V_{SD})_p = V_{in} - V_{out} \simeq (I_o \times r_{ds})$$

$$(33)$$

Por esta relação, é possível observar que um dispositivo de passagem que tenha capacidade de fornecer uma alta corrente de saída ( $I_o$ ), com uma baixa resistência série de canal  $r_{ds}$ , promove por consequência uma baixa queda de tensão entre os terminais de entrada e saída ( $V_{DO}$ ) do sistema, possibilitando dessa forma um funcionamento mais eficiente até mesmo quando a tensão de entrada se aproxima da tensão de saída [28],[68],[70].

A figura 27 mostra comportamento da tensão de saída em função do tempo, considerando uma rampa de  $V_{in}$  para o regulador de tensão linear série. São mostradas três regiões: Corte, *Dropout* e Regulação. Cada uma dessas regiões representa uma faixa de polarização do dispositivo de passagem. Na condição de corte, a diferença de tensão  $V_{in} - V_{out}$  é tão baixa que o dispositivo de passagem se encontra em corte. Para a região de *Dropout*, o dispositivo de passagem se encontra em triodo, e por fim, na região de regulação o dispositivo de passagem se encontra em saturação, para  $V_{in}$  até o valor da tensão máxima de entrada ( $V_{in,max}$ ) [70].

Figura 27 – Tensão de saída  $(V_{out})$  em função da tensão de entrada  $(V_{in})$  de um regulador de tensão linear, e suas regiões de operação.



Fonte: Autor "adaptado de" [70].

### 2.4.4.2 Corrente quiescente $(I_q)$

Este parâmetro está diretamente relacionado à potência elétrica consumida pelo regulador de tensão série. A corrente quiescente ( $I_q$ ), ou corrente de terra, é dada como a corrente necessária para que o regulador de tensão linear série opere na região de regulação com ausência de carga em seu nó de saída, e é dada pela equação 34 [28],[70].

$$I_q \simeq I_{in} - I_o \tag{34}$$

Dependendo da complexidade do sistema de regulação, circuitos adicionais ao regulador de tensão linear série se fazem necessários, elevando assim a corrente quiescente ( $I_q$ ) drenada. Como exemplo, para cada topologia de regulador de tensão linear, há diferentes valores de correntes quiescentes (Equação 28 e 29) [28],[70]– [74].

Além disso, a figura 28 ilustra o comportamento das correntes quiescentes em função da corrente de saída de dois reguladores de tensão lineares série, sendo que os dispositivos de passagem foram implementados com dois tipos de transistores: Um bipolar e o outro MOSFET [28],[70]–[74].





Fonte: Autor "adaptado de" [70].

É possível concluir que o dispositivo de passagem do regulador de tensão linear série implementado com MOSFET possui uma menor corrente quiescente que aquele implementado com um transistor bipolar, além de ter uma menor dependência de  $I_q$  com a corrente de saída ( $I_o$ ) [28],[70]–[74]. Isso ocorre pois o elemento de passagem série do tipo bipolar é um dispositivo acionado por corrente, fazendo com que  $I_q$  aumente proporcionalmente com  $I_o$ . Para os MOS-FETs, a corrente quiescente tem um valor quase constante em relação a corrente de saída pois o dispositivo é acionado por tensão [28],[70]–[74].

#### 2.4.4.3 *Eficiência* (η)

A eficiência ( $\eta$ ) de um regulador de tensão linear série é dada pela equação 32. Quanto menor for a sua corrente quiescente, e maior for sua corrente de saída, maior será sua eficiência [28],[70].

Em contra partida, mesmo que haja uma alta eficiência em corrente elétrica ( $\eta_I$ ), o regulador de tensão linear série pode ter uma baixa eficiência, caso a tensão de entrada for muito alta, e sua tensão de saída for muito baixa. Desta forma, a razão  $V_{out}/V_{in}$  diminui, degradando assim o valor final de  $\eta$ , ou seja, fazendo com que a potência dissipada pelo dispositivo de passagem se torne alta [28],[70].

# 2.4.4.4 Regulação de carga (V<sub>load</sub>)

O parâmetro de regulação de carga mensura a capacidade do circuito regulador de manter sua tensão de saída ( $V_{out}$ ) estabilizada em relação à variação de corrente de saída fornecida para a carga ( $I_o$ ). A regulação de carga ( $V_{load}$ ) de um regulador de tensão linear série é definida pela equação 35 [28],[70]:

$$V_{load} = \frac{\triangle V_{out}}{\triangle I_o} \tag{35}$$

onde  $\Delta V_{out}$  é a variação da tensão de saída e  $\Delta I_o$  é a variação da corrente de saída.

A figura 29 apresenta o circuito elétrico simplificado de um regulador de tensão linear série.

### Figura 29 – Diagrama de blocos simplificado de um regulador de tensão série.



Fonte: Autor "adaptado de" [28].

onde  $\beta$  é o ganho intrínseco do pMOSFET de passagem ( $\beta$  é igual a  $\mu \cdot C_{ox} \cdot \frac{W}{L}$ ), e  $g_{ea}$  é a transcondutância do amplificador de erro.

A equação 36 é gerada através de uma análise de malha dos blocos da figura 29. Como

a regulação de carga é um parâmetro extraído após o equilíbrio do sistema, os componentes capacitivos e indutivos conectados ao nó de saída ( $V_{out}$ ) não são considerados [28],[70].

$$V_{load} = \frac{1}{\beta \times g_{ea}} \left( \frac{R_1 + R_2}{R_2} \right) \tag{36}$$

Analisando-se a equação 36, observa-se que a regulação de carga ( $V_{load}$ ) é inversamente proporcional a transcondutância do amplificador de erro ( $g_{ea}$ ) e o fator de ganho do pMOSFET ( $\beta$ ) [28],[70]. O aumento de  $\beta$  e  $g_{ea}$  geram uma diminuição na variação da tensão de saída. A figura 30 mostra o comportamento da tensão de saída quando um pulso de corrente elétrica é aplicado a saída, com um valor que vai de zero até a corrente máxima ( $I_{o,max}$ ), considerando um tempo de subida ( $t_r$ ) e um tempo de descida ( $t_f$ ).





Fonte: Autor "adaptado de" [28].

A caracterização elétrica desta FOM é obtida pela razão entre a diferença dos valores das tensões de saída ( $\Delta V_{out}$ ) do regulador de tensão linear série, e o valor do degrau de corrente aplicada em sua saída ( $\Delta I_o$ ), que pela figura 30 vale  $I_{o,max}$  (Equação 35). Os valores de  $V_{out}$ devem ser obtidos nas condições de regime permanente, sem considerar os transitórios que ocorrem quando o pulso da corrente de saída é aplicado. A caracterização elétrica da regulação de carga é feita considerando a mínima tensão de entrada ( $V_{in}$ ), gerando assim a pior condição de polarização para o circuito regulador de tensão linear série. Quanto menor o valor de  $V_{load}$ , melhor é o seu desempenho elétrico [28],[70].

#### 2.4.4.5 Regulação de linha (V<sub>line</sub>)

A regulação de linha ( $V_{line}$ ) é uma medida que indica a capacidade do circuito regulador de tensão linear série de manter uma tensão fixa de saída em função de uma variação na sua tensão de entrada, e é definido pela equação 37 [28],[70].

$$V_{line} = \frac{\triangle V_{out}}{\triangle V_{in}} \tag{37}$$

O pior caso de regulação de linha ocorrerá quando o regulador de tensão linear série estiver fornecendo a máxima corrente de saída da especificação ( $I_{o,max}$ ). Um outro fator que prejudica esta figura de mérito é quando ocorre uma variação entre a tensão mínima de entrada ( $V_{in,min}$ ) e a tensão máxima de entrada ( $V_{in,max}$ ) em um curto período de tempo, com valores baixos de  $t_f$  e  $t_r$  [28],[70].

Esta figura de mérito depende do ganho de corrente de malha aberta do sistema ( $\beta \times g_{ea}$ ), e dos resistores  $R_1$  e  $R_2$ . Adicionalmente a essas componentes, há a influência da resistência de canal do dispositivo de passagem ( $r_{ds}$ ) e da impedância de carga ( $R_{load}$ ). A equação 38 expressa a relação entre esses parâmetros que compõem a regulação de linha [28],[70]:

$$V_{line} = \left(\frac{1}{(r_{ds} + R_{load})\beta \times g_{ea}}\right) \left(\frac{R_1 + R_2}{R_2}\right)$$
(38)

A figura 31 mostra o comportamento da tensão de saída do regulador de tensão linear série quando é aplicado um pulso de tensão na entrada, considerando um tempo de subida  $(t_r)$  e um tempo de descida  $(t_f)$ .

Figura 31 – Formas de onda da tensão de entrada  $(V_{in})$ e da tensão de saída  $(V_{out})$  em função do tempo, utilizada para a caracterização elétrica da regulação de linha.



Fonte: Autor "adaptado de" [28].

A caracterização elétrica desta FOM é obtida pela razão entre a diferença das tensões de saída ( $\Delta V_{out}$ ) do regulador de tensão linear série, e o valor do degrau de tensão aplicado em sua entrada ( $\Delta V_{in}$ ), que pela figura 31 é  $V_{in,max}$  subtraído de  $V_{in,min}$  (Equação 37). Os valores de  $V_{out}$  devem ser obtidos nas condições de regime permanente, sem considerar os transitórios que ocorrem quando o pulso de tensão na entrada é aplicado. A caracterização elétrica da regulação de linha é feita para a máxima corrente de saída ( $I_{o,max}$ ), gerando assim a pior condição de polarização do circuito regulador de tensão linear série. Quanto menor o valor de  $V_{line}$ , melhor é o seu desempenho elétrico [28],[70].

### 2.4.4.6 Resposta a transientes (V<sub>drop</sub>)

Para as caracterizações elétrica das regulações de linha e de carga, espera-se que haja uma menor variação da tensão de saída, e também que se estabilize no menor tempo possível, nos períodos de transição da aplicação dos pulsos ou corrente elétrica na saída ou de tensão na entrada. A resposta a transientes ( $V_{drop}$ ) mensura a máxima amplitude de tensão de saída ( $V_{out}$ ), quando um pulso de corrente elétrica na saída ( $I_o$ ) ou um pulso de tensão na entrada ( $V_{in}$ ) é aplicado. A equação 39 descreve o comportamento deste parâmetro, para um determinado transiente de carga [28],[70]:

$$V_{drop} = \frac{I_{o,max}}{C_{load}} \times \Delta t_1 + \Delta V_{esr}$$
(39)

onde  $\Delta t_1$  é o tempo para que a tensão de saída se estabilize, e que está relacionado a largura de banda do sistema e  $\Delta V_{esr}$  é a variação da tensão no resistor  $R_{esr}$ .





Fonte: Autor "adaptado de" [28].

onde  $V_{drop,l}$  é a amplitude do pico de descida da tensão na saída e  $V_{drop,h}$  é a amplitude do pico de subida da tensão na saída. Estas duas variáveis são utilizadas para avaliar as respostas de transiente de regulação de linha e de transiente de regulação de carga.

Este parâmetro é de suma importância para a concepção do projeto de um regulador de tensão linear série, porém é muito difícil de mensurar sem a ajuda de um simulador SPICE, por lidar não só com coeficientes elétricos de pequenos sinais, mas também estar sobre uma forte influência de elementos parasitas em condições de teste em grandes sinais, que variam conforme o desenvolvimento do leiaute do CI e também dos componentes discretos que irão ou não

se comunicar com o circuito final [28],[32]-[34],[70].

A caracterização elétrica de  $V_{drop,l}$  é obtida pela amplitude do pico de descida da tensão na saída, considerando a aplicação de um pulso de corrente na saída que varia de zero para  $I_{o,max}$ . De maneira similar é feita a extração do parâmetro  $V_{drop,h}$ , que é obtida pela amplitude do pico de tensão na saída considerando a aplicação de um pulso de corrente na saída que varia de  $I_{o,max}$  para zero. O teste de resposta a transientes é feita para a mínima tensão de entrada ( $V_{in}$ ), gerando a pior condição de polarização do circuito regulador de tensão linear série [28],[70].

#### 2.4.4.7 Resposta em frequência

No projeto de um regulador de tensão linear série, é necessário entender o comportamento de todos os componentes ativos e passivos do sistema, além da influência da carga no conjunto final. Esta seção trata do comportamento da resposta em frequência, de um regulador de tensão linear, e da modelagem elétrica dos principais polos e zeros, que influenciam em sua estabilidade perante as mudanças abruptas das condições de operação da carga, no domínio do tempo.

A figura 33 mostra os principais elementos que formam um regulador linear de tensão utilizando a topologia série, com um modelo simplificado de pequenos sinais para o pMOSFET de passagem [28],[70],[81]. O amplificador de erro é modelado pela sua transcondutância ( $g_{ea}$ ), e sua resistência de saída composta por um resistor ( $R_{ea}$ ) em paralelo a um capacitor ( $C_{ea}$ ). A capacitância  $C_b$  é um capacitor utilizado como um filtro de altas frequências, com objetivo de diminuir as variações das tensões de pico da saída nas respostas a transientes de linha e de carga [28],[70],[81].





Fonte: Autor "adaptado de" [28].

onde  $Z_o$  é a impedância de saída do regulador de tensão linear série, e  $V_x$  é o nó da malha de realimentação do regulador de tensão linear série.

Para modelagem do regulador de tensão linear série, é necessário considerar que sua malha de realimentação está aberta no ramo  $V_x$ . Desta forma, o mesmo deve possuir um ganho de tensão unitário entre os nós de entrada ( $V_{bg}$ ) e a saída ( $V_X$ ), portanto a função de transferência do ganho de tensão em malha aberta [ $A_0(s)$ ] pode ser expressa pela equação a seguir [28],[70],[81]:

$$A_0(s) = \frac{V_X}{V_{bg}}(s) = \left(\frac{g_{ea} \cdot R_{ea} \cdot g_m \cdot Z_o}{1 + s \cdot R_{ea} \cdot C_{ea}}\right) \cdot \left(\frac{R_2}{R_1 + R_2}\right)$$
(40)

A impedância de saída do regulador de tensão linear série ( $Z_o$ ), representada pela equação 41, é composta por três componentes de impedância que estão associadas em paralelo: A impedância de saída do regulador ( $R_{LDO}$ ) vista pelo nó de saída ( $V_{out}$ ), a impedância ( $R_{esr}$ ) associada em série com o capacitor de carga ( $C_{load}$ ) e por fim o capacitor  $C_b$  [28],[70],[81].

$$Z_o = R_{LDO} /\!\!/ \left( R_{esr} + \frac{1}{s \cdot C_{load}} \right) /\!\!/ \frac{1}{s \cdot C_b}$$

$$\tag{41}$$

$$Z_o = \frac{R_{LDO} \left(1 + s \cdot R_{esr} \cdot C_{load}\right)}{s^2 \cdot R_{LDO} \cdot R_{esr} \cdot C_{load} \cdot C_b + s \left[\left(R_{LDO} + R_{esr}\right) C_{load} + R_{LDO} \cdot C_b\right] + 1}$$
(42)

onde  $R_{LDO} = r_{ds} / (R_1 + R_2).$ 

Levando em consideração que a resistência de saída do pMOSFET de passagem é muito menor que a soma dos resistores de realimentação, uma aproximação pode ser feita, onde  $R_{LDO} \simeq r_{ds}$ . Com isto, a partir da equação 42, a impedância de saída de malha aberta do regulador de tensão linear série ( $Z_o$ ) pode ser reescrita conforme a equação 43 [28],[70],[81].

$$Z_o \simeq \frac{r_{ds} \left(1 + s \cdot R_{esr} \cdot C_{load}\right)}{\left[1 + s \left(r_{ds} + R_{esr}\right) C_{load}\right] \cdot \left[1 + s \left(r_{ds} / / R_{esr}\right) C_b\right]}$$
(43)

Desta forma, os polos  $P_o$  e  $P_b$ , assim como o zero  $Z_{esr}$  do regulador de tensão linear série podem ser encontrados através da equação 43, considerando que  $r_{ds} > R_{esr}$ . A seguir, são dadas as equações dos polos (Equação 44 e 45) e a equação do zero (Equação 46) da função de transferência do sistema [28],[70],[81].

$$P_o = \frac{1}{2\pi \cdot (r_{ds} + R_{esr}) \cdot C_{load}} \simeq \frac{1}{2\pi \cdot r_{ds} \cdot C_{load}} \simeq \frac{I_o}{2\pi \cdot V_{EA} \cdot C_{load}}$$
(44)

$$P_b = \frac{1}{2\pi \cdot (r_{ds} /\!\!/ R_{esr}) \cdot C_b} \simeq \frac{1}{2\pi \cdot R_{esr} \cdot C_b}$$
(45)

$$Z_{esr} \simeq \frac{1}{2\pi \cdot R_{esr} \cdot C_{load}} \tag{46}$$

Há a existência de um outro polo proveniente da impedância de saída do amplificador operacional, representado na figura 33 por  $R_{ea}$  e  $C_{ea}$ , dando origem ao polo  $P_a$ , que é dado pela equação 47 [28],[70], [81].

$$P_a \simeq \frac{1}{2\pi \cdot R_{ea} \cdot C_{ea}} \tag{47}$$

Reordenando a equação 40, obtêm-se a função de transferência completa do regulador de tensão linear série (Equação 48) [28],[70],[81]:

$$A_o(s) = \frac{V_X}{V_{bg}}(s) = g_{ea} \cdot R_{ea} \cdot g_m \cdot \left(\frac{R_2}{R_1 + R_2}\right) \cdot \left(\frac{Z_{esr}}{P_o \cdot P_a \cdot P_b}\right)$$
(48)

A figura 34 mostra um típico comportamento do ganho de tensão  $(A_v)$  em função da frequência (f) para um regulador de tensão linear série, levando em consideração os seus polos e zeros [28],[70],[81].





Para caracterização experimental da estabilidade de reguladores de tensão linear série, duas abordagens podem ser consideradas. Caso este CI esteja sendo projetado do zero, deve-se considerar no projeto a malha de realimentação aberta e com acesso externo por PADs. Dessa forma, a extração de margem de fase e ganho, por exemplo, é feita através da utilização de equipamentos como fontes de tensão e analisadores de malha.

A outra abordagem de caracterização experimental se faz necessária caso o CI já tenha sido projetado e fabricado. Dessa forma, uma abordagem não invasiva, com acesso apenas aos pinos de entrada e saída, utiliza equipamentos como fontes de tensão, analisadores de malha e analisadores de modulação de injeção de corrente [85].

### 2.4.4.8 Razão de rejeição da fonte de alimentação (PSRR)

Para análise desta figura de mérito, é necessário que o regulador de tensão série esteja com sua malha de realimentação fechada, conforme figura 35, que exemplifica o modelo elétrico equivalente do PSRR para altas frequências [28],[86],[87].

Fonte: Autor "adaptado de" [70].

Figura 35 – Circuito elétrico simplificado de um regulador de tensão linear série (a) e seu circuito elétrico equivalente para altas frequências (b).



Fonte: Autor "adaptado de" [86].

onde  $Z_{o-reg}$  é a impedância de saída do regulador de tensão linear série e  $Z_{o-load}$  é a impedância de carga do regulador de tensão linear série.

Também conhecido por rejeição de "ripple", o parâmetro de PSRR mede a habilidade do circuito regulador de tensão linear série em atenuar as flutuações da tensão na saída ( $V_{out}$ ) causadas pelas variações da tensão em seu nó de entrada ( $V_{in}$ ). A mesma razão usada pela regulação de linha (Equação 37) entre a variação de tensão na saída pela variação na tensão da entrada é aplicada para definir o PSRR. Contudo, nesta FOM é considerada a resposta do regulador de tensão linear série para todo o espectro de frequências [28],[86],[87].

Conforme observado na figura 35, o caminho de menor impedância para o ruído da entrada alcançar a saída do regulador de tensão linear série é através do pMOSFET de passagem. Portanto, a resistência diferencial de pequenos sinais do pMOSFET de passagem tem forte influência no resultado final desta FOM, assim como a resistência equivalente série do capacitor de carga ( $R_{esr}$ ) [28],[86],[87].

O modelo simplificado da equação 49 consiste em uma combinação entre a resistência do pMOSFET de passagem ( $r_{ds}$ ) e a associação paralela entre as impedâncias de saída ( $Z_{o-reg}$ ) e de carga ( $Z_{o-load}$ ) do regulador de tensão linear série [28],[86],[87].

$$PSRR = \frac{\Delta V_{out}}{\Delta V_{in}} = \frac{(Z_{o-reg} || Z_{o-load})}{r_{ds} + (Z_{o-reg} /| Z_{o-load})}$$
(49)

onde

$$Z_{o-reg} = \frac{Z_{o-load} /\!\!/ r_{ds}}{A_0} \times \frac{R_1 + R_2}{R_2}$$
(50)

$$Z_{o-load} = \left(\frac{1}{s \cdot C_{load}} + R_{esr}\right) /\!\!/ (R_1 + R_2)$$
(51)

Como aplicação prática, uma boa rejeição de ruído de fonte é de suma importância quando o regulador de tensão linear série está sendo alimentado por um conversor de tensão chaveado DC/DC, pois o mesmo insere um ruído na sua tensão de saída [28],[86],[87].

Baixos valores de  $R_{esr}$ , junto à grandes valores de capacitância de saída ( $C_{load}$ ) contribuem para uma melhor resposta de atenuação de ruído de fonte em altas frequências, funcionando como um filtro passa baixa [28],[86],[87].

Sua caracterização experimental é feita analisando o gráfico de atuação em função da frequência, obtido através de equipamentos como fontes de tensão, geradores de funções acoplados ao terminal de entrada, osciloscópios, e analisadores de espectro de frequência no terminal de saída. Cada projeto tem um tipo de especificação distinta para cada frequência de interesse. Neste trabalho serão analisadas as atenuações a frequências de 1Hz e 10kHz.

A partir das seguintes seções, o termo "regulador de tensão CL–LDO" se refere ao regulador de tensão linear série LDO sem capacitor externo de compensação (CL–LDO).

### 3 PROJETO E SIMULAÇÃO DO REGULADOR DE TENSÃO CL-LDO

Esta seção descreve o desenvolvimento do projeto de um regulador de tensão CL–LDO utilizando pMOSFETs de passagem implementados com geometrias de porta retangular (CL–LDO–RM) e de porta octogonal (CL–LDO–OM), acompanhado dos resultados de simulações SPICE em diferentes condições de *process voltage temperature* (PVT), utilizando o software Virtuoso® versão IC6.1.6, com o pacote de desenvolvimento (*Process Design Kit* — PDK) dada pela tecnologia de SiGe BiCMOS 8HP de 130 nm da GlobalFoundries.

# 3.1 TOPOLOGIA E ESPECIFICAÇÕES DO PROJETO

A figura 36 ilustra o circuito elétrico simplificado do regulador de tensão CL–LDO contendo um circuito de controle de fator de amortecimento (*Damping Factor Control* — DFC), que foi a topologia escolhida para ser implementada nesta pesquisa [80]–[83].

Figura 36 – Circuito elétrico simplificado do regulador de tensão CL–LDO escolhido para ser implementado em tecnologia de SiGe BiCMOS de 130 nm.



Fonte: Autor "adaptado de" [83].

onde  $C_{m1}$  e  $C_{m2}$  são capacitâncias de compensação interna responsáveis pela estabilidade do circuito, onde  $C_{m1}$  funciona como um caminho mais curto de realimentação para o pMOSFET; "Gerador de Corrente" é o circuito responsável por polarizar por corrente elétrica todos os circuitos que compõem o regulador de tensão CL–LDO; "OTA" é o amplificador operacional de transcondutância, que regula o funcionamento do regulador de tensão CL–LDO através da diferença de tensão entre o nó de referência e o valor amostrado na malha de realimentação, composta por  $R_1$  e  $R_2$ ; "gm Boost" é o circuito não inversor multiplicador de transcondutância, responsável por aumentar o ganho de tensão de malha aberta do regulador de tensão CL–LDO e também atuar como um *buffer* para o pMOSFET de passagem; "DFC" é o circuito de controle do fator de amortecimento, responsável por criar o polo dominante através do teorema de Miller; "AGND" é o terminal da tensão de terra analógico.

Esta topologia foi escolhida pois apresenta baixos valores de corrente quiescente, em diferentes condições de  $I_o$ , quando comparado com as outras topologias de reguladores de tensão CL–LDO apresentadas anteriormente (Figura 23) [80].

Um outro fator que definiu a escolha da topologia utilizada neste projeto de pesquisa foi aquela que leva em conta a figura de mérito  $FOM_1$ , dada em pico segundos (Equação 52), que mede o desempenho elétrico dos reguladores de tensão CL–LDO, onde quanto menor o seu valor, melhor é o seu desempenho elétrico [89].

$$FOM_1 = \frac{C_{load} \cdot V_{drop} \cdot I_q}{(I_{o,max})^2}$$
(52)

A tabela 4 descreve as especificações e objetivos a serem atingidos pelas simulação SPICE e pelos resultados experimentais a serem realizados. A tensão de entrada ( $V_{in}$ ) foi limitada a 2,5V por conta da máxima diferença de potencial entre os terminais de um MOSFET permitida pelo PDK da tecnologia a ser utilizada neste projeto de pesquisa. Os valores das FOMs a seguir foram sugeridos levando em conta outros trabalhos de pesquisa com reguladores de tensão CL–LDO para aplicações em SoC (*System on Chip*) [80]–[83].

PARÂMETRO	SÍMBOLO	MIN	TIP	MÁX	UNID
Tensão de entrada	Vin	1,5	_	2,5	V
Corrente de saída	$I_o$	0	_	20	mA
Tensão de saída	Vout	1,14	1,2	1,26	V
Capacitância de compensação	C <sub>int</sub>	—	_	10	pF
Capacitância de carga	$C_{load}$	—	13	1000	pF
Tensão de referência	V <sub>ref</sub>	_	0,4	_	V
PSRR (1Hz)	PSRR@1Hz	-39,2	-40	_	dB
PSRR (10kHz)	<b>PSRR@</b> 10k	-39,2	-40	_	dB
Corrente quiescente @ $I_o = 0A$	$I_q$	25	30	35	μA
Temperatura de operação	Т	-55	40	125	°C

Tabela 4 – Especificações adotadas para o regulador de tensão CL–LDO a ser projetado por este projeto de pesquisa.

Fonte: Autor.

onde  $C_{int}$  é a capacitância interna total de compensação do regulador de tensão CL–LDO, representada pela soma das capacitâncias  $C_{m1}$  e  $C_{m2}$ .

A abordagem deste projeto de pesquisa foi feita utilizando a metodologia "Top–Down", que se baseia num fluxo de projetos analógicos que contempla as fases de sistema, blocos, circuitos, e leiautes [88]. Para este projeto de pesquisa, o desenvolvimento de cada um dos blocos citados anteriormente (Figura 36) foi feito inicialmente levando em consideração a sua especificação de potência estática consumida ( $I_q \times V_{in}$ ), para operar com a tensão mínima de alimentação, que neste caso é de 1,5V. Essa consideração induz o pior caso de polarização no regulador de tensão CL–LDO. Após este primeiro dimensionamento dos diferentes blocos básicos, vários ajustes e interações foram realizadas para que os resultados das simulações SPICE de todos estes blocos básicos atingissem as especificações desejadas do regulador de tensão CL–LDO (Tabela 4).

A figura 37 apresenta o circuito elétrico completo do regulador de tensão CL–LDO implementado em nível de transistores [80],[81],[83]. A única diferença entre os reguladores de tensão CL–LDO–RM e CL–LDO–OM é o bloco do "pMOSFET de passagem", onde cada um dos CIs possui um tipo de leiaute para esses pMOSFETs (Retangular e octogonal).







#### 3.2 CIRCUITO DO GERADOR DE CORRENTE

Os circuitos integrados analógicos incorporam tanto sinais de referência em tensão quanto em corrente elétrica. Estas referências geralmente apresentam dependências com diversos fatores, tais como a tensão de alimentação, os parâmetros do processo de fabricação de CIs CMOS, da temperatura, etc. [32],[33],[36].

O principal objetivo de um circuito de referência, seja de tensão ou de corrente elétrica, é o de gerar a mínima variação de seu valor nominal de saída ao longo de uma grande faixa de valores de temperatura [32],[33]. No caso deste trabalho, a faixa de temperatura considerada para as simulações SPICE do regulador de tensão CL–LDO é aquela relacionada às aplicações militares, onde os seus valores variam de -55°C a +125°C [64]. A figura 38 ilustra o circuito elétrico em nível de transistores implementado para geração de uma corrente de referência proporcional à temperatura (*Proportional to Absolute Temperature* — PTAT), e com características independentes de  $V_{in}$ , que varia de 1,5V a 2,5V [32],[33].

Figura 38 – Circuito elétrico do gerador de corrente elétrica PTAT de referência contendo um circuito de *start-up*.



Fonte: Autor "adaptado de" [33]. Legenda: Figura extraída do software Virtuoso Schematic XL.

onde K é o fator de ganho do espelho de corrente, C é o capacitor do circuito de *start–up*, R é o resistor do circuito gerador de corrente, os transistores (P1, P2, P3 e Pst) são pMOSFETs e os transistores (N1, N2, Nst1, Nst2) são nMOSFETs.

Os MOSFETs da figura 38 com as terminações "st" (Nst1, Nst2, Pst) e o capacitor C foram adicionados ao circuito gerador de corrente para auxiliar no transiente de inicialização do circuito (*Start–up*), cuja função é elevar a corrente de referência lentamente, fazendo com que o regulador de tensão inicie sua regulação de forma controlada [33].

Conforme a figura 38, os transistores P1 e P2 possuem a mesma razão de aspecto (W/L), e consequentemente, apresentam a mesma corrente  $I_{DS}$ , fazendo com que  $I_{ref1}$  seja igual a  $I_{ref2}$ . A partir dessa afirmação, a seguinte relação se torna válida:

$$(V_{GS})_{N1} = (V_{GS})_{N2} + I_{ref2}R$$
(53)

onde  $(V_{GS})_{N1}$  é a tensão  $V_{GS}$  do transistor N1 e  $(V_{GS})_{N2}$  é a tensão  $V_{GS}$  do transistor N2.

Como todos os transistores estão polarizados na região de saturação, substituindo na equação 53 a equação de *I*<sub>DS</sub>, obtêm-se a equação 54.

$$\sqrt{\frac{2I_{ref2}}{\mu_n C_{ox} (W/L)_{N1}}} + V_{th1} = \sqrt{\frac{2I_{ref2}}{\mu_n C_{ox} (W/L)_{N2}}} + V_{th2} + I_{ref2}R$$
(54)

Assumindo que os transistores "N1" e "N2" são casados, substituindo  $(W/L)_{N2}$  por  $K(W/L)_{N1}$ , obtêm-se a equação 55.

$$\sqrt{\frac{2I_{ref2}}{\mu_n C_{ox} \left(\frac{W}{L}\right)_{N1}}} \times \left(1 - \frac{1}{\sqrt{K}}\right) = I_{ref2}R$$
(55)

Portanto, a corrente de saída ( $I_{ref2}$ ) depende da resistência (R) e do fator de ganho do espelho de corrente "K" formado pelos transistores N1 e N2, conforme descrito na equação 56.

$$I_{ref2} = \frac{2}{\mu_n C_{ox} K (W/L)_{N1}} \times \frac{1}{(R)^2} \times \left(1 - \frac{1}{\sqrt{K}}\right)^2$$
(56)

A figura 39 mostra o comportamento DC da corrente de referência de saída do transistor P3 ( $I_{bg}$ ) em função da temperatura, que foi obtida através de simulações SPICE. Foram mantidas as mesmas razões dos transistores P1, P2 e P3 para diminuir a influência do descasamento desses dispositivos. O resultado DC considerou uma tensão de entrada  $V_{in}$  de 1,5V, obtendo uma corrente  $I_{bg}$  de aproximadamente 1,5 $\mu A$ , para uma temperatura de 40°C.



Figura 39 – Corrente elétrica de saída  $(I_{bg})$  do circuito gerador de referência em função da temperatura.

Legenda: Figura extraída do software Virtuoso ADE.

Dessa forma, as correntes *Iref*1 e *Iref*2 consomem aproximadamente  $3\mu$ A, e os ramos compostos pelos transistores de *start–up* Pst e Nst2 consomem aproximadamente 1,7 $\mu$ A, considerando *V<sub>in</sub>* igual a 1,5V. Portanto, conforme ilustrado pela figura 39, considerando toda a variação de corrente de saída e temperatura, o circuito gerador de corrente possui uma variação de corrente de referência muita baixa, na ordem de 1,9 nA/°C.

A resposta da corrente de referência ( $I_{bg}$ ) em função do tempo, para uma rampa de tensão de subida que foi aplicada na entrada  $V_{in}$  do regulador de tensão CL–LDO, é apresentada na figura 40, considerando uma temperatura de 40°C, uma tensão de entrada de 1,5V e com tempo de subida ( $t_r$ ) igual a 10 $\mu$ s.

Figura 40 – Corrente elétrica de saída  $(I_{bg})$  e tensão de entrada  $(V_{in})$  do circuito gerador de referência em função do tempo, contendo os dispositivos de *start-up* (C, Nst1, Nst2, Pst).



Fonte: Autor. Legenda: Figura extraída do software Virtuoso ADE.

É possível observar que os dispositivos de inicialização (C, Nst1, Nst2, Pst) promovem

seu correto funcionamento do circuito gerador de corrente ao longo do tempo, elevando de forma controlada a sua corrente de saída ( $I_{bg}$ ) em relação ao aumento da tensão  $V_{in}$ .

A tabela 5 indicada as razões de aspecto dos MOSFETs que compõem o circuito gerador de corrente de referência, cujos resultados de simulação com extração parasitária foram apresentados anteriormente (Figura 39 e figura 40), onde C é igual a 0,5pF e R é igual a 7,2k $\Omega$ . Tais valores foram dimensionados para atender as especificações de consumo estático e da capacitância interna total de compensação ( $C_{int}$ ) do regulador de tensão CL–LDO.

MOSFET	W/L	MOSFET	W/L
P1	12/3	N2	15/4
P2	12/3	Nst1	14/1
P3	12/3	Nst2	8/2
N1	12/4	Pst	4/10

Tabela 5 – Razão de aspecto dos MOSFETs do circuito elétrico gerador de corrente.

Fonte: Autor.

Para o leiaute deste circuito, dentre os diferentes resistores possíveis fornecidos pelo PDK [90], foi utilizado o resistor de difusão N+, que apresenta um coeficiente de temperatura positivo igual a 1800 ppm/C<sup>o</sup> e resistência de folha igual a 77 $\Omega$ /sq. Este resistor foi escolhido por conta de ter o maior coeficiente de temperatura apresentado pelo PDK, promovendo uma menor área ativa utilizada do CI.

# 3.3 DIMENSIONAMENTO DO REGULADOR DE TENSÃO CL-LDO

Nesta seção é descrito o projeto dos diferentes blocos do regulador de tensão CL–LDO, sendo eles: Circuito OTA, circuito gm Boost, circuito DFC, pMOSFET de passagem e malha de realimentação.

Como destacado anteriormente, o pMOSFET de passagem do regulador de tensão CL– LDO é o responsável pelo fornecimento de corrente elétrica para os diferentes circuitos digitais e analógicos que compõem um determinado CI. Desta forma, o dimensionamento dele é crucial para atingir um bom desempenho sem prejudicar a área total ocupada pelo regulador de tensão CL–LDO. Grande parte desta área é ocupada apenas pelo transistor de passagem, cerca de 30% ou mais, dependendo do tipo de topologia utilizada e das especificações de corrente elétrica de saída [27],[28],[75],[80],[81],[83].

A figura 41 apresenta a vista superior de um dedo do pMOSFET com geometria de porta octogonal. No intuito de se obter o máximo de multi-dedos em uma mesma área ativa de silício, o projeto do pMOSFET de passagem com geometria de porta octogonal foi feito para que a largura do lado maior do trapézio unitário ( $W_{oc}$ ) que compõe o OM fosse muito menor que a largura de máscara do canal (W), fazendo com que a altura B' deste trapézio fosse a mais reduzida possível, diminuindo a distância entre o polisilício e o contato ( $L_{pc}$ ), acomodando assim o máximo de multi-dedos do pMOSFET em uma mesma área ativa, conforme a equação 57.

$$L_{cc} = 2L_{pc} + 2B'(1-c) + L \tag{57}$$

Figura 41 – Leiaute da região de porta de um dedo do pMOSFET de passagem implementado com leiaute octogonal, e suas respectivas dimensões (B',  $L_{cc}$  e  $L_{pc}$ ).



Fonte: Autor.

Legenda: A região 1 representa o trapézio que compõe o leiaute não convencional (Octogonal) do pMOSFET de passagem. Figura extraída do software Virtuoso Layout XL.

Foi utilizada a técnica de leiaute de multi-dedos para a implementação dos pMOSFETs de passagem, auxiliando assim na melhora do seu próprio desempenho elétrico e ajustando sua geometria de forma simétrica ao CI. A figura 42 apresenta os leiautes simplificados das

estruturas que foram utilizadas no projeto dos pMOSFETs de passagem, com região de porta retangular (Figura 42a) e com região de porta octogonal (Figura 42b). Também é ilustrado na figura 42b um unitário do pMOSFET do tipo octogonal (UN\_OM).



Figura 42 – Leiautes simplificados dos pMOSFETs de passagem de leiaute do tipo RM (a) e OM (b), utilizando a técnica de multi-dedos.

Fonte: Autor.

O valor do comprimento de canal mínimo de  $0,24\mu$ m utilizado foi definido pelo próprio PDK dessa tecnologia para os MOSFETs que possuem uma maior espessura de óxido, que neste caso é de 5,5nm. Possuem, portanto, uma tolerância maior a diferenças de potencial entre seus terminais do que os MOSFETs comuns, que também são definidos por essa tecnologia de CIs, e possuem menor espessura de óxido, igual a 2,2nm. Já o valor do comprimento de canal mínimo de  $0,26\mu$ m é sugerido pelo PDK para geometrias de porta que contenham angulações não ortogonais, como no caso do transistor de leiaute octogonal (OM), que apresenta ângulos com múltiplos de 45° entre suas arestas [90].

Para verificar a capacidade de fornecimento de corrente  $I_{SD}$  dos pMOSFETs de passagem fabricados em tecnologia de CIs BiCMOS de SiGe de 130nm, o circuito elétrico apresentado pela figura 43 foi utilizado para obter a curva de  $I_{SD}$  em função de  $V_{GS}$ , considerando as razões de aspecto  $\left(\frac{W}{L}\right)$  de  $\frac{24\mu}{0,24\mu}$  para um dedo do pMOSFET de passagem do tipo RM e de  $\frac{24\mu}{0.26\mu}$  para um dedo do pMOSFET de passagem do tipo OM.

No circuito elétrico da figura 43 são comparados os desempenhos elétricos dos OMs com diferentes  $W_{oc}$  (0,12 $\mu$ m, 0,24 $\mu$ m, 0,36 $\mu$ m e 0,72 $\mu$ m), mantendo o valor do fator de corte constante em 50%, para que haja a menor área ativa utilizada, polarizando os terminais de fonte (S) com uma tensão  $V_S$  igual a 1,5V (Tensão mínima de entrada da especificação), para obter o pior caso de simulação, com baixo  $V_{DO}$ , e os terminais de dreno (D) com uma tensão  $V_D$  igual a 1,2V (Tensão de saída nominal da especificação). A temperatura nominal de operação para esta simulação foi de T igual a 40°C e a polarização de  $V_{GS}$  variou de -1,5V a 0.

Figura 43 – Circuito elétrico para caracterização elétrica, por simulação SPICE, das curvas  $I_{SD}$  em função das tensões  $V_{GS}$  para o RM e os OMs (Implementados com diferentes larguras  $W_{oc}$ ).



Fonte: Autor.

Legenda: "OM\_0w12" é um OM com  $W_{oc}$  igual a 120nm, "OM\_0w24" é um OM com  $W_{oc}$  igual a 240nm, "OM\_0w36" é um OM com  $W_{oc}$  igual a 360nm, e "OM\_0w72" é um OM com  $W_{oc}$  igual a 720nm. Figura extraída do software Virtuoso Schematic XL.

Foram adicionados resistores (r) nos terminais de dreno com valores nulos para que pudessem ser feitas as medidas das correntes  $I_{SD}$  dos diferentes leiautes de dedos pMOSFETs.

Os ângulos  $\alpha$  utilizados para a geometria de porta octogonal dos pMOSFETs foram de

90°. Isto foi feito para não haver erros na verificação das regras de leiaute provenientes de ângulos diferentes de múltiplos de 45° da camada de polisilício [90].

As figuras 44 e 45 mostram os resultados de simulação SPICE com extração parasitária do circuito elétrico apresentado na figura 43. A extração parasitária dos leiautes foi efetuada para cada um dos dispositivos simulados.

Figura 44 – Curva  $I_{SD}$  em função da tensão  $V_{GS}$  para o RM e os OMs (Implementados com diferentes larguras  $W_{oc}$ ).



Fonte: Autor.

Legenda: "OM\_0w12" é um OM com  $W_{oc}$  igual a 120nm, "OM\_0w24" é um OM com  $W_{oc}$  igual a 240nm, "OM\_0w36" é um OM com  $W_{oc}$  igual a 360nm, e "OM\_0w72" é um OM com  $W_{oc}$  igual a 720nm. Figura extraída do software Virtuoso ADE.





Fonte: Autor.

Legenda: "OM\_0w12" é um OM com  $W_{oc}$  igual a 120nm, "OM\_0w24" é um OM com  $W_{oc}$  igual a 240nm, "OM\_0w36" é um OM com  $W_{oc}$  igual a 360nm, e "OM\_0w72" é um OM com  $W_{oc}$  igual a 720nm. Figura extraída do software Virtuoso ADE.

Para as condições acima citadas, a máxima diferença de corrente elétrica fornecida, entre os diferentes valores de  $W_{oc}$ , para um valor de  $V_{GS}$  igual a -1,5V, foi de  $18,92\mu$ A. Por conta
desta diferença entre os ganhos de corrente nessas condições ser baixo, houve a preferência por utilizar  $W_{oc}$  de 120nm, porque quanto menor for o valor desta largura de base do trapézio unitário (Figura 41), menor será a altura (B') exigida para haver um mesmo fator de corte (c), reduzindo assim a área de porta utilizada ( $A_G$ ), e também reduzindo a área ativa utilizada pelo pMOSFET de passagem.

O circuito elétrico da figura 46 foi utilizado para obter as curvas de  $I_{SD}$  em função de  $V_{GS}$ , para os OMs com diferentes valores do fator de corte (50%, 33%, 16% e 0%) e mantendo o valor de  $W_{oc}$  fixo em 120nm. Para todos os pMOSFETs da figura 46, as dimensões consideradas foram de W igual a 24 $\mu$ m, comprimento mínimo de canal do RM foi de 240nm e do OM foi de 260nm. A temperatura nominal de operação para esta simulação foi de T igual a 40°C e a polarização  $V_{GS}$  variou de -1,5 a 0V, com  $V_S$  igual a 1,5V e  $V_D$  igual a 1,2V.

Figura 46 – Circuito elétrico para caracterização elétrica, por simulação SPICE, das curvas  $I_{SD}$  em função das tensões  $V_{GS}$  para o RM e os OMs (Implementados com diferentes fatores de corte).



Fonte: Autor.

Legenda: "OM\_c33" é um OM com c igual a 33%, "OM\_c16" é um OM com c igual a 16% e "OM\_c0" é um OM com c igual a 0%. Figura extraída do software Virtuoso Schematic XL.

As figuras 47 e 48 mostram os resultados de simulação SPICE com extração parasitária do circuito elétrico apresentado pela figura 46, onde é possível observar o aumento das correntes entre fonte e dreno ( $I_{SD}$ ) dos OMs, em função dos diferentes fatores de corte (c), em relação ao RM.

Figura 47 – Curva  $I_{SD}$  em função da tensão  $V_{GS}$  para o RM e os OMs (Implementados com diferentes fatores de corte).



Fonte: Autor.

Legenda: "OM\_c33" é um OM com c igual a 33%, "OM\_c16" é um OM com c igual a 16% e "OM\_c0" é um OM com c igual a 0%. Figura extraída do software Virtuoso ADE.





Legenda: "OM\_c33" é um OM com c igual a 33%, "OM\_c16" é um OM com c igual a 16% e "OM\_c0" é um OM com c igual a 0%. Figura extraída do software Virtuoso ADE.

Pode-se observar que, quanto menor o fator de corte da geometria de porta octogonal de um dedo do pMOSFET, maiores são os efeitos LCE e PAMDLE, que levam a uma maior condução de corrente elétrica  $I_{SD}$ , para uma mesma polarização de  $V_{GS}$ .

Após esta análise dos OMs, com diferentes fatores de corte e larguras  $W_{oc}$ , foram levantadas as dimensões necessárias para que o pMOSFET de passagem RM estivesse em conformidade com as especificações propostas para o regulador de tensão CL–LDO (Tabela 4). Para uma razão de aspecto do RM de  $\frac{24\mu}{0.24\mu}$  e com 30 multi-dedos, o dimensionamento do pMOSFET de passagem foi feito para se obter a máxima corrente de saída de 20mA, possibilitando ainda uma excursão de 250mV da tensão  $V_{GS}$ . Quanto maior a razão de aspecto do pMOSFET de passagem, maior é o valor desta excursão, considerando uma mesma corrente de saída especificada de 20mA. Para estas dimensões, foi utilizada uma área total de  $(23,5 \times 26,52)\mu m^2$ , da qual foi base para alocar 28 multi-dedos do OM com razão de aspecto de  $\frac{24\mu}{0,26\mu}$ ,  $W_{oc}$  igual a 120nm e c igual a 33%. Este fator de corte possibilitou maior efeito LCE e PAMDLE nos multi-dedos dos OMs sem acarretar um aumento da área ativa utilizada no leiaute do pMOSFET de passagem.

A figura 49 apresenta a curva  $I_{SD}$  em função de  $V_{GS}$ , com resultados de simulação SPICE com extração parasitária, de ambos os pMOSFETs de passagem implementados com técnica de leiaute multi-dedos. Para uma mesma área ativa utilizada e com as mesmas condições de polarização entre os seus terminais, o OM apresentou uma maior corrente elétrica  $I_{SD}$  em relação ao RM, representando um aumento de 11,17%, possibilitando assim maior excursão de corrente de saída ( $I_o$ ) do regulador de tensão CL–LDO–OM para uma mesma tensão  $V_{DO}$  de 300mV.

Figura 49 – Curva da corrente de dreno ( $I_{SD}$ ) em função da tensão de  $V_{GS}$  para os pMOSFETs de passagem RM e OM, com  $V_{DO}$  igual a 0,3V.



Fonte: Autor. Legenda: Figura extraída do software Virtuoso ADE.

Ainda que possuindo as mesmas dimensões físicas de largura de canal (W =  $24\mu$ m) entre os dispositivos RM e OM, a extração parasitária feita pelo software Cadence Virtuoso® resultou em larguras de canal maiores, dependendo do leiaute octogonal utilizado, compensando o aumento de comprimento de canal de 240nm (RM) para 260nm (OM), promovendo o aumento nas correntes *I*<sub>SD</sub>. Isso justifica os resultados encontrados pelas figuras 44 a 49.

Conforme resultados experimentais publicados anteriormente a respeito da razão de aspecto (Fator geométrico,  $\frac{W}{L}$ ) dos MOSFETs implementados com geometria de porta octogonal, observa-se que a extração parasitária dos MOSFETs do tipo multi-dedos (*Multifinger*), cujos leiautes foram feitos com várias células unitárias utilizando-se os MOSFETs do tipo octogonal, não é capaz de obter com precisão os valores reais da razão de aspecto (Fator geométrico,  $\frac{W}{L}$ ) desses MOSFETs [13]. Para compensar esse fato, o desenvolvimento do regulador de tensão CL-LDO prima por fazer adaptações nos circuitos de polarização do pMOSFET de passagem do tipo octogonal (OM) para que ele possa ter o mesmo desempenho elétrico que seu equivalente RM.

Uma vez que o pMOSFET de passagem é dimensionado, atingindo uma máxima corrente de dreno fornecida para as condições de polarização de  $V_{GS}$  igual a -1,25V e  $V_{DO}$  igual a 300mV, os demais circuitos que compõem o regulador de tensão CL–LDO devem ser dimensionados. Dois sub-blocos foram adicionados em série, o amplificador operacional de transcondutância (*Operational Transconductance Amplifier* — OTA) e o circuito multiplicador de transcondutância (gm Boost), Com o intuito de aumentar o ganho de tensão em malha aberta do circuito regulador de tensão CL–LDO, conforme o diagrama de blocos da figura 36.

Para o circuito amplificador de erro, foi utilizada a topologia OTA, com a entrada diferencial pMOSFET, tensão de modo comum de 400mV e saída unitária, ilustrado pela figura 50. Este estágio foi projetado para ter um consumo estático de potência menor ou igual a  $7\mu W$  para uma tensão de entrada  $V_{in}$  igual a 1,5V (Menor tensão de entrada da especificação, promovendo pior caso de simulação), resultando em 4,67 $\mu$ A de corrente máxima. Foram consideradas condições de polarização entre fonte e dreno menor que  $V_{in}/3$ , sendo eles do tipo nMOSFET ou pMOSFET. Este valor foi utilizado por haver três MOSFETs em série entre os terminais de terra analógico e o terminal  $V_{in}$ .





Fonte: Autor. Legenda: Figura extraída do software Virtuoso Schematic XL.

onde "VinP" é a entrada positiva do OTA, "VinN" é a entrada negativa do OTA, "V1" é a tensão

 $V_{DS}$  do transistor M4, "V2" é a tensão  $V_{DS}$  do transistor M3, "V3" é a tensão  $V_{SD}$  do transistor M7, e os termos  $g_m$  e  $r_o$  representam, nesta ordem, a transcondutância e impedância de saída dos dispositivos M1 a M8.

Analisando a malha externa da figura 50b, têm-se a equação 58.

$$-V_3 + (I_1 - g_{m5} \cdot V_2) \cdot r_{o5} - (I_2 - g_{m6} \cdot V_1) \cdot r_{o6} + V_{out} = 0$$
(58)

Por simetria  $I_1$  é igual a  $-I_2$ , e  $r_{o5}$  é igual a  $r_{o6}$ . Reescrevendo a equação 58, obtêm-se a equação 59.

$$-V_3 + 2 \cdot I_1 \cdot r_{o6} - g_{m6} \cdot r_{o6} \cdot (V_1 - V_2) + V_{out} = 0$$
<sup>(59)</sup>

Considerando o gerador de corrente  $I_{ref}$  ideal (Impedância de saída infinita), o nó P se torna um ponto de alta impedância, fazendo com que a diferença  $V_1 - V_2$  seja a saída do par diferencial com carga ativa simples, cujo ganho de tensão  $A_v$  é de aproximadamente  $-g_{m2} \cdot \frac{1}{g_{m4}}$ [33]. Sendo assim,  $V_1 - V_2$  é igual a  $A_v \cdot (V_{inP} - V_{inN})$ . Portanto, a relação entre a tensão  $V_3$  e  $V_{out}$  é dada pela equação 60.

$$V_{3} = -I_{1} \cdot \frac{1}{g_{m7}} = -\frac{V_{out}}{g_{m7} \cdot r_{o8} \cdot \left(1 + \frac{g_{m8}}{g_{m7}}\right)}$$
(60)

Substituindo a equação 60 na equação 59, obtêm-se a equação 61.

$$-\frac{V_{out}}{g_{m7} \cdot r_{o8} \cdot \left(1 + \frac{g_{m8}}{g_{m7}}\right)} + 2 \cdot \frac{V_{out}}{r_{o8} \cdot \left(1 + \frac{g_{m8}}{g_{m7}}\right)} \cdot r_{o6} + V_{out} = g_{m6} \cdot r_{o6} \cdot \left[-g_{m2} \cdot \frac{1}{g_{m4}} \cdot \left(v_{inP} - v_{inN}\right)\right]$$

$$(61)$$

Como M7 e M8 são iguais, a função de transferência do OTA é dada pela equação 62.

$$A_{v} = \frac{V_{out}}{V_{inP} - V_{inN}} = \frac{-g_{m6} \cdot r_{o6} \cdot g_{m2} \cdot \frac{1}{g_{m4}}}{1 + \frac{1}{2 \cdot r_{o8} \cdot g_{m8}} + \frac{r_{o6}}{r_{o8}}}$$
(62)

A equação 62 foi usada para se obter o melhor compromisso entre o ganho de tensão de malha aberta, a impedância de saída e o consumo de potência estática do circuito amplificador

de erro.

A tabela 6 apresenta os valores das dimensões dos dispositivos que formam o circuito amplificador de erro, obtidos após um conjunto de simulações SPICE realizadas para atender as especificações do regulador de tensão CL–LDO (Tabela 4).

DISPOSITIVO	w/L	DISPOSITIVO	W/L
M1	10/1	M6	16/11
M2	10/1	M7	4/18
M3	8/11	M8	4/18
M4	8/11	M9	18/5,5
M5	16/11		

Tabela 6 – Dimensões dos MOSFETs que compõem o circuito OTA.

Fonte: Autor.

O circuito multiplicador de transcondutância (Figura 51) de configuração não inversora desempenha o papel de aumentar o ganho de tensão de malha aberta final do regulador de tensão CL–LDO, promovendo assim melhores resultados nas análises de regulação de linha e de carga. Este circuito também desempenha a função de *buffer* de corrente para o estágio seguinte, o pMOSFET de passagem [83].



Figura 51 – Circuito elétrico do circuito multiplicador de transcondutância.

onde "VGM\_IN" é o terminal de entrada do circuito e "VGM\_OUT" é o terminal de saída do circuito.

Conforme mostra a figura 51, através do aumento das razões de aspecto dos transistores "Ngm21" e "Ngm22" por um valor inteiro "K" qualquer, a corrente elétrica que flui nos transistores "Ngm11" e "Ngm12" será espelhada com uma razão "K", fazendo com que o ganho de transcondutância do sistema seja igual a  $2Kg_m$  [83].

O dimensionamento dos dispositivos deste circuito foram projetados para conduzir valores de corrente elétrica proporcionais a  $I_{bg}$ . Dessa forma, o transistor "PIref2" foi projetado para conduzir  $2 \times I_{bg}$ , que é igual a  $3\mu$ A, e os transistores "Pgm21" e "Pgm22" foram projetados para conduzir  $4 \times I_{bg}$ , que é igual a  $6\mu$ A. Como resultado, o circuito "gm Boost" possui uma potência estática de P igual a  $13,5\mu$ W para uma tensão de entrada  $V_{in}$  igual a 1,5V. A tabela 7 relaciona as razões de aspecto dos transistores do circuito "gm Boost", obtidas após um conjunto de simulações SPICE realizadas para atender as especificações do regulador de tensão CL–LDO (Tabela 4).

DISPOSITIVO	W/L	DISPOSITIVO	W/L
PIref2	36/5,5	Ngm22	12/1
Ngm11	6/1	Pgm21	6/0,8
Ngm12	6/1	Pgm22	6/0,8
Ngm21	12/1		

Tabela 7 – Dimensões dos MOSFETs que compõem o circuito multiplicador de transcondutância.

Fonte: Autor.

Levando em consideração apenas um espelho de corrente conectado como carga no terminal de dreno do pMOSFET de passagem, a figura 52 ilustra a malha de saída do regulador de tensão CL–LDO, composto pelos os resistores de realimentação ( $R_1 \ e R_2$ ) e o pMOSFET de passagem. Considerando o pior caso do funcionamento do regulador de tensão CL–LDO, a menor tensão  $V_{DO}$ , segundo a especificação, é igual a 0,3V para um  $V_{in}$  igual a 1,5V e  $V_{out}$  igual a 1,2V (Equação 33). Nesta situação, a tensão de porta do pMOSFET de passagem RM deve estar dentro de uma variação que permita o mesmo estar sempre polarizado em região de saturação para ausência de corrente de carga, garantindo assim estabilidade do sistema. Esta condição é levada em consideração por conta das simulações posteriores em frequência e de transitório, onde a mudança do ponto de operação deste pMOSFET de passagem pode levar o circuito regulador de tensão CL–LDO a instabilidade.

Até esta fase do projeto, foram consumidos aproximadamente  $18,5\mu$ A de corrente elétrica, através dos circuitos "gerador de corrente", "OTA" e "gm Boost", restando ainda  $11,5\mu$ A para ser utilizada pelo circuito "DFC" e pelo pMOSFET de passagem, de acordo com a especificação de  $30\mu$ A de corrente quiescente nominal consumida pelo regulador de tensão CL–LDO (Tabela 4).



Figura 52 – Circuito elétrico simplificado, para o dimensionamento do ramo de realimentação.

Fonte: Autor. Legenda: Figura extraída do software Virtuoso Schematic XL.

onde N11, N12, N21 e N22 são nMOSFETs configurados como espelho de corrente.

Nesta etapa, além do dimensionamento do pMOSFET de passagem, é necessário também dimensionar os resistores de realimentação  $R_1$  e  $R_2$ , em uma proporção onde a tensão  $V_{ref}$ seja igual a  $V_{out} \times \frac{R_2}{R_1+R_2}$  (Equação 30). Outra relação a ser considerada é que a soma destes resistores irá aumentar ou diminuir a corrente quiescente do regulador de tensão CL–LDO, e é responsável por fornecer a mínima corrente necessária para manter o pMOSFET de passagem na região de saturação, quando  $I_o$  é igual a 0. Desta forma, para uma tensão de referência de 0,4V e  $V_{out}$  igual a 1,2V, a relação entre os resistores é dada pela equação 63.

$$V_{ref} = V_{out} \times \frac{R_2}{R_1 + R_2} \Rightarrow R_1 = 2 \cdot R_2 \tag{63}$$

O valor de  $V_{ref}$  foi definido de tal forma que a relação entre os resistores  $R_1$  e  $R_2$  gerasse um valor inteiro, facilitando assim o casamento entre esses resistores. Além disso, foi utilizada a técnica de centroide comum para fazer o leiaute desses resistores [33].

Sabendo que o valor da especificação da tensão de saída ( $V_{out}$ ) é de 1,2V, é considerada uma corrente quiescente de 10µA de consumo no ramo do pMOSFET de passagem RM, restando ainda 1,5µA para o circuito "DFC". Com isso, a equação 64 mostra a relação da malha de saída do regulador de tensão CL–LDO e o consumo estático máximo considerado.

$$\frac{V_{out}}{R_1 + R_2} \le 10\mu A \tag{64}$$

Portanto, considerando as equações 63 e 64,  $R_1$  pode ser definido com um valor de 80k $\Omega$  e  $R_2$  igual a 40k $\Omega$ .

A figura 53a apresenta  $V_{out}$  do regulador de tensão CL–LDO em função da temperatura, para condição de baixa corrente de saída, e a figura 53b apresenta  $V_{out}$  do regulador de tensão CL–LDO em função da temperatura, para condição de alta corrente de saída ( $I_o$  igual a 20mA). Em ambos os casos de simulação, o valor de  $V_{in}$  foi igual a 1,5V.

Figura 53 – Tensão de saída ( $V_{out}$ ) do regulador de tensão CL–LDO–RM em função da temperatura, considerando duas diferentes correntes de saída.



Fonte: Autor. Legenda: (a)  $I_o$  igual a 0A; (b)  $I_o$  igual a 20mA. Figura extraída do software Virtuoso ADE.

Em ambos os resultados anteriores, é possível observar que o regulador de tensão implementado com dispositivo de passagem RM está dentro das especificações da tensão de saída e temperatura, tanto para condição de mínima ( $I_o = 0$ ) quanto para a condição de máxima corrente de saída ( $I_o = 20$ mA).

A figura 54 apresenta os resultados de  $V_{out}$  em um intervalo de temperatura proposto para aplicações militares, com diferentes valores de tensão de entrada (1,5; 2,0; 2,5)V, quando  $I_o$  é igual a zero.

Figura 54 – Tensão de saída ( $V_{out}$ ) do regulador de tensão CL–LDO–RM em função da temperatura para diferentes valores de tensão de entrada ( $V_{in}$ ) e corrente de saída igual a zero.



Fonte: Autor.

Legenda: Figura extraída do software Virtuoso ADE.

Para as diferentes condições de tensões de entrada (1,5; 2,0; 2,5)V e corrente de saída igual a zero, o regulador de tensão CL– LDO–RM mostrou-se apto para atender as especificações propostas, para toda a faixa de variação da temperatura, pois os valores das tensões de saída foram sempre maiores que 1,176V (Especificação de tensão de saída mínima).

Assumindo uma rampa de subida DC da tensão de entrada de 0 a 2,5V, a figura 55 apresenta as curvas de  $V_{out}$  em função de  $V_{in}$  para diferentes valores de corrente de saída ( $I_o$ ), com uma temperatura nominal igual a 40°C.

Figura 55 – Tensão de saída ( $V_{out}$ ) do regulador de tensão CL–LDO–RM em função da tensão de entrada, variando de 0 a 2,5V, para diferentes valores de  $I_o$ .



Fonte: Autor. Legenda: "Vout(Io=0)" significa o sinal V<sub>out</sub> para I<sub>o</sub> igual a 1nA e "Vout(Io=20mA)" significa o sinal V<sub>out</sub> para I<sub>o</sub> igual a 20mA. Figura extraída do software Virtuoso ADE.

É interessante observar o comportamento de subida da tensão  $V_{out}$  para um aumento de  $V_{in}$ , onde o parâmetro de corrente de saída influencia diretamente no seu resultado. Para uma corrente de saída baixa, a tensão de saída acompanha a tensão de entrada. Porém, no caso de uma corrente alta de saída, o valor de  $V_{out}$  começa a ter um comportamento de subida apenas quando o valor da tensão  $V_{in}$  é suficiente para mudar a região de polarização do pMOSFET de passagem, de triodo para saturação, no caso 1,4V.

A figura 56 ilustra  $V_{out}$  em função da corrente de saída  $I_o$ , em duas condições de tensão de entrada, uma com tensão mínima e outra com tensão máxima de entrada, promovendo assim um  $V_{DO}$  de 0,3V e 1,3V, respectivamente.

Figura 56 – Tensão de saída ( $V_{out}$ ) do regulador de tensão CL–LDO–RM em função da corrente de saída ( $I_o$ ), para diferentes valores de  $V_{in}$ .





À medida que a tensão de entrada diminui (De 2,5V para 1,5V) e se aproxima da tensão

de saída regulada (1,2V), o aumento de corrente de saída promove o deslocamento do ponto de operação do pMOSFET de passagem, até um ponto crítico no qual o regulador de tensão CL–LDO não pode mais manter uma tensão de saída regulada em 1,2V [70]. Neste momento, o pMOSFET de passagem começa a operar em região de triodo, pois  $V_{DO}$  passa a ser menor que  $V_{GS} - V_{th}$ , fazendo com que o mesmo se comporte como um resistor. Dessa forma, sua transcondutância tende a diminuir, promovendo assim a diminuição do ganho de tensão de malha aberta do regulador de tensão CL–LDO, que por sua vez diminui a eficiência da regulação de carga ( $V_{load}$ ), conforme a equação 36.

Os resultados da figura 57 apresentam um comparativo de desempenho do teste de regulação de carga dos reguladores de tensão CL–LDO–RM e CL–LDO–OM, com os resultados das simulações SPICE com extração parasitária, para  $V_{in} = 1,5$ V.

Figura 57 – Tensão de saída ( $V_{out}$ ) em função da corrente de saída ( $I_o$ ) dos reguladores de tensão CL–LDO–RM e CL–LDO–OM.



Fonte: Autor.

Legenda: (a) Curva completa; (b) Curva ampliada ressaltando um aumento de corrente de saída para mesmos valores de tensão de saída. Figura extraída do software Virtuoso ADE.

Conforme a figura 57, para uma corrente de carga  $I_o$  menor que 20mA, as tensões de saída de ambos os reguladores de tensão estudados não variaram mais do que 2% de seu valor nominal ( $V_{out}$  igual a 1,176V).

Com a utilização do pMOSFET de passagem OM, houve uma pequena melhora da regulação de carga em 3%, considerando  $V_{in}$  igual a 1,5V. Com o aumento do valor da transcondutância de porta  $(g_m)$  do pMOSFET de passagem implementado com leiaute octogonal, houve um aumento do ganho de tensão na malha de realimentação do regulador de tensão CL–LDO– OM em relação ao CL–LDO–RM, diminuindo desta forma a variação de tensão de saída ( $\Delta V_{out}$ ) proporcional ao aumento da corrente de saída (Equação 36).

#### 3.4 ANÁLISE DE MONTE CARLO

Os resultados a seguir foram obtidos por meio de simulações SPICE considerando as variações de processo pré estabelecidas pela tecnologia de fabricação SiGe BiCMOS 8HP de 130nm da GlobalFoundries. Essas variações são denominadas *corners* de processo, e são definidas pelos termos TT, SS, SF, FS, FF [90],[91]. Normalmente, o modelo típico (TT) é gerado a partir dos dados medidos em uma única rodada de fabricação [91].

Convencionalmente, a variabilidade do processo é modelada a base do pior caso dos quatro *corners*, sendo dois deles para aplicações analógicas e dois deles para aplicações digitais. Os *corners* para aplicações analógicas são gerados a partir de *slow* NMOS e *slow* PMOS (SS) para modelar o pior caso de velocidade, e de *fast* NMOS e *fast* PMOS (FF) para modelar o pior caso de potência consumida. Os *corners* para aplicações digitais são gerados a partir do *fast* NMOS e *slow* PMOS (FS) para modelar o pior caso de nível lógico 1, e de *slow* NMOS e *fast* PMOS (SF) para modelar o pior caso de nível lógico 0 [91].

A seguir são descritos os parâmetros elétricos e de processo utilizados na análise de Monte Carlo dos reguladores de tensão CL–LDO estudados em condição DC. Os valores dos parâmetros a seguir são consequência das especificações do projeto (Tabela 4).

- a)  $V_{in} = \{1,5; 2,0; 2,5\}$  V;
- b) T = {-55; 40; 125} °C;
- c)  $I_o = \{0; 1m; 10m; 20m\} A;$
- d) Processo =  $\{TT\};$
- e) Total de possibilidades = 36.

O total de possibilidades de teste é encontrado pela multiplicação do número de possibilidades de cada parâmetro elétrico. Como exemplo deste caso, são consideradas três tensões  $V_{in}$ , três temperaturas, quatro correntes  $I_o$  e cinco *corners* de processos, totalizando 36 possibilidades de resultados. Os resultados das simulações DC para as características elétricas de corrente quiescente ( $I_q$ ) e tensão de saída ( $V_{out}$ ) foram feitos através de uma análise estatística de Monte Carlo, com variação de processo e *mismatch* simultaneamente, contemplando uma variância de +/- 3 sigmas, conforme disponibilidade do PDK da tecnologia de fabricação utilizada [90]. Vale ressaltar que a análise estatística de Monte Carlo foi feita considerando o *corner* de fabricação típico (TT), algo que é imposto pelo próprio PDK [90].

Com o propósito de analisar a sensibilidade das respostas a diferentes variáveis, a figura 58 mostra um exemplo dos valores da corrente quiescente ( $I_q$ ) para os reguladores de tensão CL–LDO–RM e CL–LDO–OM, considerando ausência de corrente na saída. De igual maneira, foram extraídos os valores de  $I_q$  para os reguladores de tensão estudados em condição de carga máxima na saída ( $I_o = 20$ mA), além das tensões de saída ( $V_{out}$ ) nas condições de ausência de carga na saída ( $I_o = 0$ A) e com carga máxima ( $I_o = 20$ mA). Foram analisadas mil possibilidades de descasamento entre os componentes dos reguladores de tensão estudados, que são denominadas pela figura 58 como amostras.

Figura 58 – Resultados da análise de Monte Carlo para a corrente quiescente  $(I_q)$  dos reguladores de tensão estudados, na condição de ausência de carga de saída.



Legenda: (a) CL–LDO–RM,  $V_{in} = 1,5V \text{ e } I_o = 0A$ . (b) CL–LDO–OM,  $V_{in} = 1,5V \text{ e } I_o = 0A$ . Figura extraída do software Virtuoso ADE XL.

onde  $\bar{x} e \sigma$  representam, respectivamente, a média e o desvio padrão dos resultados da análise de Monte Carlo para corrente quiescente.

Um sumário geral comparando os resultados dos reguladores de tensão para as duas topologias de pMOSFETs de passagem é apresentado na tabela 8, com condições onde os reguladores de tensão CL–LDO estão com ausência de carga na saída ( $I_o = 0A$ ) e com carga máxima ( $I_o = 20$ mA).

CARGA	TOPOLOGIA	$I_q [\mu$	$I_q \ [\mu A]$		$V_{out}$ [V]	
	101020011	$\overline{\mathbf{X}}$	σ	$\overline{\mathbf{X}}$	σ	
L = 0mA	CL-LDO-RM	30,5585	2,08626	1,20028	5,81278m	
	CL-LDO-OM	30,5577	2,05037	1,20035	5,9975m	
I = 20mA	CL-LDO-RM	29,9604	2,04374	1,20025	5,81226m	
$I_0 = 20001$	CL-LDO-OM	29,9759	2,01281	1,20032	5,99725m	

Tabela 8 – Valores das correntes quiescentes ( $I_q$ ) e tensões de saída ( $V_{out}$ ) dos reguladores de tensão CL–LDO–RM e CL–LDO–OM, resultantes da análise de Monte Carlo.

Fonte: Autor.

Legenda: Os resultados de  $I_q$  e  $V_{out}$  dos reguladores CL–LDO–RM e CL–LDO–OM são apresentados na forma de média ( $\bar{x}$ ) e desvio padrão ( $\sigma$ ), para as diferentes possibilidades de testes citadas anteriormente.

Uma análise comparativa pode ser feita levando em conta a figura de mérito de corrente quiescente  $(I_q)$ , para os reguladores de tensão CL–LDO–RM e CL–LDO–OM. Como observado pelos trabalhos [9]–[11], a menor corrente de fuga  $(I_{leak})$  e menor corrente de estado desligado  $(I_{off})$  do pMOSFET com leiaute modificado pode ser comprovada por simulação. Comparando o regulador CL–LDO–RM ao CL–LDO–OM, para ausência de carga, houve uma diminuição do valor da média de  $I_q$  entre os dois reguladores estudados em torno de 1nA, com diminuição de espalhamento do desvio padrão na ordem de 35nA.

Através do sumário apresentado pela tabela 8 sobre uma análise DC dos reguladores com pMOSFETs de passagem RM e OM, observa-se uma diminuição no consumo estático de corrente quiescente na ordem de 1,72% para o desvio padrão desta figura de mérito quando o pMOSFET com leiaute do tipo octogonal é utilizado. De forma similar, ao se utilizar o OM, há um aumento do desvio padrão de 3,18% para a tensão de saída.

Comparando o desempenho elétrico do regulador para as figuras de mérito  $I_q$  e  $V_{out}$  em uma condição de 20mA de corrente drenada, ainda há uma diminuição no consumo estático de corrente quiescente na ordem de 1,51% para o desvio padrão com regulador OM, mantendo o aumento percentual do desvio padrão em 3,18% para a tensão de saída. Portanto, é possível concluir que a implementação do pMOSFET de passagem com leiaute octogonal não alterou a resposta do regulador de tensão CL–LDO, para a análise acima citada.

#### 3.5 ANÁLISE DE ESTABILIDADE E DO PSRR

Conhecer a localização dos polos e zeros do regulador de tensão assegura que, quando há uma mudança da sua corrente de saída, a margem de fase e a margem de ganho sejam suficientes para que não provoque instabilidade e oscilação da sua tensão de saída [28],[81]. Para isso é feita uma análise de pequenos sinais em malha aberta, verificando assim a função de transferência do regulador de tensão CL–LDO, para a faixa de operação de corrente que o pMOSFET de passagem irá trabalhar, que neste caso vai de 0 a 20mA. Sob o efeito de diferentes correntes  $i_{SD}$ , o pMOSFET de passagem irá alterar dinamicamente seu comportamento, portanto sua transcondutância (Equação 8) e sua impedância de saída (Equação 12).

A partir do diagrama de blocos do regulador de tensão CL–LDO (Figura 59), pode-se calcular sua função de transferência em três parcelas: Bloco "Amp. Erro" sendo composto pelos circuitos OTA e multiplicador de transcondutância; Bloco "Disp. de Passagem" que engloba o pMOSFET de passagem (RM ou OM) e a impedância de saída do sistema ( $Z_o$ ); Bloco "Feedback", que é formado pelos resistores do ramo de saída  $R_1$  e  $R_2$ , levando em consideração a capacitância de saída ( $C_{load}$ ) [81].

Figura 59 – Diagrama de blocos simplificado do regulador de tensão CL-LDO.



Fonte: Autor "adaptado de" [81].

A tabela 9 descreve as funções de transferência dos três principais blocos acima citados, e a partir deles, o posicionamento dos polos e zeros do regulador de tensão CL–LDO em função das transcondutâncias e das impedâncias de saída de cada estágio [81].

Bloco	Função de transferência	Polo/Zero
Amp. Erro	$\frac{g_{ea}R_{ea}}{1+sR_{ea}C_{ea}}$	$p_1 = \frac{1}{R_{ea}C_{ea}}$
		$p_2 = \frac{1}{\left(C_{out} + C_{gd}\right)Z_o}$
Disp. de Passagem	$\frac{-g_m Z_o \left(1-s \frac{C_{gd}}{g_m}\right)}{1+s \left(C_{out}+C_{gd}\right) Z_o}$	
		$z_1 = \frac{g_m}{C_{gd}}$
Feedback	$\left[\frac{R_2}{R_1 + R_2}\right]_{DC} \times \left[\frac{1}{1 + s\left(R_1 / / R_2\right)C_{load}}\right]_{AC}$	$p_3 = \frac{1}{(R_1 /\!\!/ R_2) C_{load}}$
	-	

Tabela 9 – Funções de transferência ob	otidas pela análise c	de pequenos sinais d	los principais blo-
cos do regulador CL–LDO.			

Fonte: Autor "adaptado de" [81].

Os resultados de simulação de estabilidade para ambos os reguladores de tensão foram feitos sem considerar inicialmente os efeitos parasitários decorrentes de encapsulamento, ou seja, apenas considerando os resultados das extrações parasitárias de ambos os reguladores de tensão. Para a execução destes resultados, foi utilizada a instância "iprobe", localizada no ramo de realimentação dos reguladores de tensão [92]. As figuras 60 e 61 representam os diagramas de Bode dos reguladores com pMOSFET de passagem RM e OM, respectivamente, sob a influência de mudança de corrente de saída, considerando os seguintes parâmetros PVT:  $V_{in}$  igual a 1,5V; T igual a 40°C;  $V_{ref}$  igual a 0,4V;  $I_o$  igual a 0 e 20mA; Processo TT.





Fonte: Autor. Legenda: Figura extraída do software Virtuoso ADE.

Figura 61 – Diagrama de Bode do regulador de tensão CL–LDO–OM, mostrando a tendência do ganho de tensão  $A_0$  e da fase em função da frequência, para  $I_o$  iguais a 0 e 20mA.



Fonte: Autor. Legenda: Figura extraída do software Virtuoso ADE.

Conforme os resultados acima, o aumento da corrente de saída de 0 para 20mA é responsável pela diminuição do ganho de tensão  $A_0$  e também pelo deslocamento no polo dominante do regulador de tensão CL–LDO. Por consequência do efeito Miller, o capacitor de realimentação  $C_{m1}$  (Figura 36) sofre o efeito de *pole splitting* [33],[36], criando dois polos equivalentes nos terminais que este capacitor está conectado, aumentando a frequência de atuação do polo dominante e diminuindo a frequência de atuação do polo de alta frequência [32],[33].

O efeito Miller no capacitor depende do ganho de tensão da malha de realimentação que está inserido, e este ganho de tensão é variável conforme a mudança na corrente de saída ( $I_o$ ) do

regulador, que muda a transcondutância do pMOSFET de passagem, sendo este implementado com RM ou com OM, alterando assim o valor da capacitância Miller equivalente de  $C_{m1}$ .

Outras observações também são evidenciadas, como o ganho de tensão de malha aberta do regulador de tensão, que passa de 80,83dB para 83,58dB, respectivamente, para o CL–LDO– RM e o CL–LDO–OM, em condição de carga máxima ( $I_o = 20$ mA). Dessa forma, o comportamento das capacitâncias intrínsecas e extrínsecas do OM reduzem a frequência do polo dominante, que se torna mais evidente com  $I_o$  igual a 20mA, quando o polo dominante do CL–LDO– OM vale 82,3Hz e vale 111,5Hz para o CL–LDO–RM. A equação 65 apresenta a área de porta ocupada pelo pMOSFET de passagem implementado com RM. Para este leiaute, foram considerados 30 multi-dedos.

$$A_G(RM) = 30 \times W \times L = 30 \times 24 \mu m \times 0, 24 \mu m = 172, 8 \mu m^2$$
(65)

onde  $A_G(RM)$  é a área de porta do pMOSFET de passagem RM.

Para a base de cálculo da área do OM, foram consideradas duas parcelas, uma área retangular e outra contendo vários trapézios menores de área  $A_{oct}$ , conforme a figura 62. A equação 66 representa os cálculos da área total ocupada pela região de porta do pMOSFET de passagem OM. Para este leiaute, foram considerados 28 multi-dedos.



Figura 62 – Leiaute representativo da região de porta do OM, ressaltando a área do trapézio  $(A_{oct})$ .

Fonte: Autor.

$$A_G(OM) = (28 \times W \times L) + (28 \times 2 \times 190 \times A_{oct}) =$$
(66)

$$28 \times 24 \mu m \times 0,26 \mu m + 28 \times 2 \times 190 \times \left[\frac{(0,12+0,04) \times 0,04}{2}\right] \mu m^2 = 208,768 \mu m^2$$

onde  $A_G(OM)$  é a área de porta do pMOSFET de passagem OM.

Tal aumento da área da região de porta do OM em relação aquela do RM, acarreta na mudança dos valores de margem de fase (*Phase Margin* — PM) e margem de ganho (*Gain Margin* — GM) dos reguladores de tensão. A tabela 10 apresenta o efeito da corrente de saída ( $I_o$ ) nos reguladores de tensão estudados com relação as figuras de mérito de estabilidade em sistemas realimentados.

Tabela 10 – Resultados de PM,  $f_T$  e GM para os reguladores de tensão CL–LDO–RM e CL–LDO–OM, em duas condições de  $I_o$ .

TOPOLOGIA	<i>I</i> <sub>0</sub> [ <b>A</b> ]	<b>PM</b> [°]	$f_T$ [Hz]	GM [dB]
CI_LDO_RM	0	54,904	1,461M	13,03
	20m	53,743	1,192M	12,188
	0	58,372	1,333M	12,349
CL-LDO-OM	20m	53,269	1,198M	12,122

Fonte: Autor.

onde  $f_T$  é a frequência de ganho de tensão unitário.

Na condição de ausência de carga na saída, comparando as figuras de mérito do regulador com pMOSFET de passagem implementado com RM em relação ao implementado com OM, houve um aumento da margem de fase na ordem de 6,32%, uma diminuição de  $f_T$  na ordem de 8,76% e uma diminuição da margem de ganho na ordem de 5,23% em dB, conforme a tabela 10.

Conforme a tabela 10, na condição de carga máxima na saída, comparando as figuras de mérito do regulador com pMOSFET de passagem implementado com RM em relação ao implementado com OM, houve uma diminuição da margem de fase na ordem de 0,88% com aumento de  $f_T$  na ordem de 0,5% e uma diminuição da margem de ganho na ordem de 0,54%, não degradando assim o funcionamento do regulador de tensão CL–LDO com a implementação do pMOSFET de passagem com um leiaute octogonal. Estes valores são justificados pelo aumento da transcondutância e também da capacitância de porta do OM.

Ainda mantendo uma análise AC, na simulação de rejeição do ruído vindo do terminal

de entrada, o ponto de teste para o circuito não é mais no ramo de realimentação, mas sim entre os terminais de entrada ( $V_{in}$ ) e de saída ( $V_{out}$ ). Uma fonte de tensão alternada com magnitude unitária é inserida na entrada para verificar a atenuação do sinal na saída.

Para as simulações de rejeição de ruído de fonte (PSRR) apresentadas a seguir, assim como todas as considerações do sistema (Seção 3.7), foram utilizadas as seguintes variações dos parâmetros elétricos e de processo:

- a)  $V_{in} = \{1,5; 2,0; 2,5\}$  V;
- b) T = {-55; 40; 125} °C;
- c)  $I_o = \{0; 1m; 10m; 20m\} A;$
- d) Processo = {TT; SS; SF; FS; FF};
- e) Total de possibilidades = 180.

Contendo uma análise de *corners*, as figuras 63 e 64 apresentam, respectivamente, os resultados das simulações de *corners* para os reguladores de tensão CL–LDO com pMOSFET de passagem RM e com pMOSFET de passagem OM, mostrando os ganhos de atenuação de ruído de entrada (PSRR) em dB em função da frequência.





Fonte: Autor. Legenda: Figura extraída do software Virtuoso ADE XL.

Figura 64 – Análise de *corners* da simulação de PSRR em dB em função da frequência, para o regulador de tensão CL–LDO–OM.



Fonte: Autor.

Legenda: Figura extraída do software Virtuoso ADE XL.

Um sumário geral dos resultados das análises de *corners* do PSRR em dB comparando as duas topologias de reguladores de tensão estudados é apresentada na tabela 11, com dois pontos de frequências de interesse, 1 Hz e 10 kHz, considerando as médias e desvios padrão para todos os resultados das variações de PVT.

Tabela 11 – Sumário da análise de *corners* para a simulação de PSRR dos reguladores CL–LDO–RM e CL–LDO–OM.

TOPOLOGIA	FREQ [Hz]	MIN [dB]	MAX [dB]	$\overline{\mathbf{x}}[\mathbf{dB}]$	σ [ <b>dB</b> ]
CL-LDO-RM	1	-56,85	-45,46	-52,92	5,701
	10k	-53,59	-39,918	-47,24	6,242
CL-LDO-OM	1	-56,85	-43,21	-53,22	3,833
	10k	-53,59	-39,917	-47,54	4,905

Fonte: Autor.

Legenda: Os resultados de PSRR dos reguladores CL–LDO–RM e CL–LDO–OM são apresentados na forma de média ( $\bar{x}$ ) e desvio padrão ( $\sigma$ ), para as diferentes possibilidades de testes citadas anteriormente.

Uma melhora significativa nos resultados apresentados pela tabela 11 pode ser observado, onde a diminuição resistência série do canal ( $r_{ds}$ ) e um aumento do ganho de tensão de malha aberta ( $A_o$ ), por conta de maior transcondutância do OM, resultaram em um menor espalhamento em cerca de 1,868dB para sinais em 1Hz, representando uma melhora de 32,77% do desvio padrão. Para uma análise de sinais em 10kHz, uma melhora no espalhamento de resultados (Tabela 11) para o CL–LDO–OM foi de 1,337dB, representando uma melhora de 21,42% do desvio padrão, conforme esperado pela teoria expressa pelas equações 49 a 50 da seção anterior.

### 3.6 ANÁLISE DE TRANSIENTE DE REGULAÇÃO DE LINHA E DE CARGA

Os resultados apresentados nesta seção, de regulação de carga e de regulação de linha, possuem um período inicial de subida das curvas de tensão de saída (Tempo de 0 a  $10\mu$ s), ocasionados pelo circuito de *start-up*. Todos os valores para os testes de transiente foram considerados após este tempo de inicialização dos reguladores de tensão CL–LDO–OM e CL–LDO–RM.

A figura 65 apresenta um exemplo deste comportamento para duas situações, com rampa de tensão em  $V_{in}$  de 0 até 1,5V, para condições de carga mínima ( $I_{o,min} = 0$ ) e carga máxima ( $I_{o,max} = 20$ mA).

Figura 65 – Análise de transiente de  $V_{out}$  em função de uma rampa de subida em  $V_{in}$ , para o regulador CL–LDO–RM, nas condições de corrente de saída de  $I_{o,min}$  e  $I_{o,max}$ .



Fonte: Autor. Legenda: Figura extraída do software Virtuoso ADE.

A figura 66 mostra a rampa de subida da tensão de referência  $(V_{ref})$ , no intervalo de 0 a 10 $\mu$ s, e a tensão de saída  $(V_{out})$  para as seguintes condições de PVT:  $V_{in}$  igual a 1,5V; T igual a 40°C; Processo TT.

Nesta simulação é possível verificar a relação de um terço entre as tensões de referência (400mV) e saída (1,2V), respeitando a relação de  $R_1$  igual a  $2 \cdot R_2$  utilizada nos circuitos reguladores de tensão CL–LDO estudados (Equação 4).

Figura 66 – Análise de transiente de  $V_{out}$  em função de uma rampa de subida em  $V_{ref}$ , para o regulador de tensão CL–LDO–RM.



Fonte: Autor. Legenda: Figura extraída do software Virtuoso ADE.

Observando as figuras 65 e 66, é possível concluir que ocorre o funcionamento correto do sistema de inicialização do regulador de tensão CL–LDO, tanto para um rampa de subida da tensão de entrada ( $V_{in}$ ), quanto para uma rampa de subida da tensão de referência ( $V_{ref}$ ), mostrando estabilidade após o tempo de 10 $\mu$ s.

São mostrados a seguir os resultados das simulações de transiente de regulação de linha, com as seguintes variações dos parâmetros elétricos e de processo, conforme as especificações do projeto.

- a)  $V_{in,min} = 1,5$  V;
- b)  $V_{in,max} = 2,5$  V;
- c)  $t_r = t_f = 1 \mu s;$
- d)  $I_o = \{0; 20m\} A;$
- e)  $T = \{-55; 40; 125\}$  °C;
- f) Processo = {TT; SS; SF; FS; FF};
- g) Total de possibilidades = 30.

Contendo uma análise de todas as possibilidades acima citadas, a figura 67 apresenta os resultados da análise de *corners* para o regulador com pMOSFET de passagem implementado com RM e OM. Nesta simulação, é gerado um pulso na tensão de entrada de *V<sub>in,min</sub>* para *V<sub>in,max</sub>*,

no intervalo de tempo entre  $50\mu s$  e  $60\mu s$ , para o regulador de tensão CL–LDO–RM e um pulso na tensão de entrada de  $V_{in,min}$  para  $V_{in,max}$ , no intervalo de tempo entre  $70\mu s$  e  $80\mu s$ , para o regulador de tensão CL–LDO–OM. Foram escolhidos estes intervalos de tempo para comparar o comportamento dos reguladores de tensão estudados em um mesmo gráfico.

Figura 67 – *V<sub>out</sub>* em função do tempo para uma análise de *corners* do teste de regulação de linha dos reguladores de tensão CL–LDO–RM e CL–LDO–OM.



Fonte: Autor Legenda: Figura extraída do software Virtuoso ADE XL.

Um sumário geral da análise de *corners* para o teste de regulação de linha comparando os resultados dos reguladores de tensão estudados são apresentadas na tabela 12, com dois pontos de interesse, tensão mínima de entrada e tensão máxima de entrada, considerando as médias e desvios padrão para todos os resultados das variações de PVT.

TOPOLOGIA	VARIÁVEL	MIN [V]	MAX [V]	<b>x</b> [V]	σ [V]
	$V_{drop,l}$	34,87m	64,04m	46,78m	7,948m
CL-LDO-RM	$V_{drop,h}$	66,29m	122,9m	87,31m	13,57m
	$V_{out}(V_{in}=1,5V)$	1,177	1,198	1,188	9,929m
	$V_{out}(V_{in}=2,5V)$	1,179	1,2	1,19	9,928m
	$V_{drop,l}$	34,82m	64,4m	46,89m	8,043m
CL-LDO-OM	$V_{drop,h}$	66,63m	123,1m	87,32m	13,55m
	$V_{out}(V_{in}=1,5V)$	1,178	1,198	1,188	9,652m
	$V_{out}(V_{in}=2,5V)$	1,18	1,2	1,19	9,641m

Tabela 12 – Sumário da análise de *corners* para a simulação de transiente de regulação de linha dos reguladores de tensão CL–LDO–RM e CL–LDO–OM.

Fonte: Autor.

Legenda: Os resultados de regulação de linha dos reguladores CL–LDO–RM e CL–LDO–OM são apresentados na forma de média ( $\bar{x}$ ) e desvio padrão ( $\sigma$ ), para as diferentes possibilidades de testes citadas anteriormente.

Os resultados mostrados pela tabela 12 comparam o desempenho elétrico dos reguladores de tensão CL–LDO–OM e CL–LDO–RM. Todos os valores estão muito próximos em relação aos dois reguladores de tensão, fazendo a ressalva do desvio padrão para  $V_{in}$  igual a 1,5V e  $V_{in}$  igual a 2,5V que são, respectivamente, 277  $\mu$ V e 287 $\mu$ V menores para a topologia CL–LDO–OM. Portanto, a implementação do OM de passagem no regulador de tensão CL–LDO não degradou os resultados do transiente de regulação de linha, representando 2,8% de melhora para  $V_{in}$  igual a 1,5V e 2,9% de melhora para  $V_{in}$  igual a 2,5V.

Em seguida, são mostrados os resultados das simulações de transiente de regulação de carga, com as seguintes variações dos parâmetros elétricos e de processo, conforme as especificações do projeto.

- a)  $I_{o,min} = 0$  A;
- b)  $I_{o,max} = 20 \text{ mA};$
- c)  $t_r = t_f = 1 \mu s;$
- d)  $V_{in} = \{1,5; 2,0; 2,5\}$  V;
- e)  $T = \{-55; 40; 125\}$  °C;
- f) Processo = {TT; SS; SF; FS; FF};

g) Total de possibilidades = 45.

A figura 68 contém os resultados de *corners* para o regulador de tensão com pMOSFETs de passagem RM e OM para a simulação de transiente de regulação de carga. Nesta simulação, é gerado um pulso na corrente de saída de  $I_{o,min}$  para  $I_{o,max}$  no intervalo de tempo entre 40 $\mu s$  e 55 $\mu s$  para o regulador de tensão CL–LDO–RM e pulso na corrente de saída de  $I_{o,min}$  para  $I_{o,max}$  no intervalo de tempo entre 60 $\mu s$  e 75 $\mu s$  para o regulador de tensão CL–LDO–RM e pulso na corrente de saída de  $I_{o,min}$  para  $I_{o,max}$  no intervalo de tempo entre 60 $\mu s$  e 75 $\mu s$  para o regulador de tensão CL–LDO–OM.

Figura 68 – *V<sub>out</sub>* em função do tempo para uma análise de *corners* do teste de regulação de carga dos reguladores de tensão CL–LDO–RM e CL–LDO–OM.



Fonte: Autor.

Legenda: Figura extraída do software Virtuoso ADE XL.

Os primeiros  $20\mu$ s são resultado das rampas de subida nas diferentes condições de PVT ao qual os reguladores foram submetidos. A seguir são mostradas as curvas ampliadas observando dois parâmetros em especial, que são: A tensão mais baixa atingida pela regulação  $(V_{drop})$  e a mínima tensão fornecida após estabilidade do circuito  $(V_{load})$  para um degrau de carga máxima de corrente na saída.

Assim como foi observado na análise AC, o aumento da capacitância de entrada do transistor de passagem promove um aumento da tensão  $V_{drop}$  quando é feita uma análise no tempo, levando a um pico maior da tensão de saída até a estabilidade do regulador CL–LDO–OM. Isso se deve ao fato de que a constante de tempo entre a impedância do estágio de saída do multiplicador de transcondutância e a capacitância de entrada do OM aumente, por conta da maior área de porta ocupada, requisitando desta forma um *slew rate* maior do estágio anterior para compensar.

Em contrapartida, o aumento da transcondutância e diminuição da impedância do pMOS-FET geram um aumento da regulação de carga ( $V_{load}$ ), quando comparado ao regulador CL– LDO–RM, como observado pela figura 69, onde o nível médio do conjunto de resultados está mais próximo a especificação de 1,2V de tensão de saída.



Figura 69 – Resultados ampliados da simulação de regulação de carga dos reguladores de tensão CL–LDO–RM e CL–LDO–OM.

Fonte: Autor.

Legenda: Figura extraída do software Virtuoso ADE XL.

Um sumário geral da análise de *corners* para o teste de regulação de carga comparando os resultados das duas topologias de pMOSFETs de passagem é apresentada na tabela 13, onde os valores estão considerando as médias e desvios padrão para todos os resultados das variações de PVT.

Tabela 13 – Sumário da análise de *corners* para a simulação de transiente de regulação de carga dos reguladores CL–LDO–RM e CL–LDO–OM.

TOPOLOGIA	VARIÁVEL	MIN [V]	MAX [V]	<b>x</b> [V]	σ [V]
	$V_{drop,l}$	19,79m	68,91m	31,54m	13,99m
CL-LDO-RM	$V_{drop,h}$	726u	18,13m	6,817m	4,275m
	$V_{out}(I_o = 0A)$	1,197	1,2	1,198	931,7u
	$V_{out}(I_o = 20mA)$	1,177	1,18	1,178	939,9u
CL-LDO-OM	$V_{drop,l}$	19,24m	77,78m	33,51m	16,69m
	$V_{drop,h}$	937,9u	18,12m	7,224m	4,207m
	$V_{out}(I_o=0A)$	1,197	1,2	1,198	931,5u
	$V_{out}(I_o = 20mA)$	1,178	1,181	1,179	948,2u

Fonte: Autor.

Legenda: Os resultados de regulação de carga dos reguladores CL–LDO–RM e CL–LDO–OM são apresentados na forma de média ( $\bar{x}$ ) e desvio padrão ( $\sigma$ ), para as diferentes possibilidades de testes citadas anteriormente. Os resultados mostrados acima descrevem os resultados de simulação dos reguladores de tensão CL–LDO–RM e CL–LDO–OM. Houve um aumento de 2mV e 3,7mV para a média e desvio padrão da variável  $V_{drop,l}$  e praticamente mantidos os valores para a tensão transiente de  $V_{drop,h}$ . Quanto as tensões após estabilidade da tensão de saída, houve uma melhora de 1mV na média gaussiana para a condição de carga máxima de saída ( $I_{o,max}$ ), mantendo os valores de tensão de saída sem carga quase inalterados. No pior caso de simulação, houve um aumento do valor máximo da tensão  $V_{drop,l}$  de 8,87mV.

Nos piores casos de simulação de regulação de carga, houve um aumento da tensão  $V_{drop,l}$  de 12,9%, quando há a implementação do pMOSFET de passagem com leiaute octogonal. Este resultado é consequência da maior capacitância de porta apresentada pelo OM em uma mesma área ativa, resultando em maiores picos de tensão transiente.

O leiaute final do regulador de tensão CL–LDO com pMOSFET de passagem RM (Figura 70), contendo o circuito gerador de corrente de referência, foi projetado utilizando uma área 107,34  $\mu$ m por 92,59  $\mu$ m, totalizando 0,00994mm<sup>2</sup>. O regulador de tensão CL–LDO com pMOSFET de passagem OM foi projetado utilizando a mesma área, apenas modificando o leiaute do pMOSFET de passagem.



Figura 70 – Leiaute final do regulador de tensão CL–LDO, implementado com p-MOSFET de passagem RM.

Fonte: Autor. Legenda: Figura extraída do software Virtuoso Layout XL.

A seguir são mostradas as áreas 1, 2 e 3 destacadas pela figura anterior, onde é possível observar a disposição dos diferentes dispositivos (MOSFETs, resistores, capacitores) presentes neste trabalho.



Figura 71 – Leiaute final do regulador de tensão CL–LDO, implementado com pMOSFET de passagem RM, destacando a área 1.

Fonte: Autor.

Legenda: Figura extraída do software Virtuoso Layout XL.





Fonte: Autor. Legenda: Figura extraída do software Virtuoso Layout XL.



Figura 73 – Leiaute final do regulador de tensão CL–LDO, implementado com pMOSFET de passagem RM, destacando a área 3.

Fonte: Autor. Legenda: Figura extraída do software Virtuoso Layout XL.

# 3.7 CONSIDERAÇÕES DO SISTEMA DE TESTE

Após a elaboração do regulador de tensão CL–LDO com os diferentes pMOSFETs de passagem, houve a necessidade de uma modelagem dos componentes discretos externos ao *die*, como por exemplo o tipo de encapsulamento, o *wire bond* e a proteção eletrostática, que são as questões discutidas nesta seção, e que são parte importante do fluxo de projeto analógico para desenvolvimento de circuitos integrados de forma geral.

## 3.7.1 Proteção eletrostática do die

A necessidade de dispositivos de proteção contra descargas eletrostáticas (*EletroStatic Discharge* — ESD) em todos os PADs de um circuito integrado foi bem investigada e documentada ao longo dos anos. Estima-se que o dano de ESD seja diretamente responsável por aproximadamente 25% das causas de falha dos circuitos integrados. Uma das coisas importantes para se lembrar é que um evento ESD pode ocorrer entre dois PADs quaisquer de um CI e, portanto, um caminho desejado de baixa impedância através de dispositivos de proteção ESD deve estar disponível. Os dispositivos de proteção ESD devem não apenas fornecem um caminho desejado para a descarga ESD, mas também serem capazes de lidar com as correntes envolvidas nesses eventos, na ordem de unidades de amperes [98]–[100]. Há três tipos comuns de especificações de modelos para eventos ESD, e são eles: Modelo de corpo humano (*Human Body Model* — HBM); Modelo de dispositivo carregado (*Charged Device Model* — CDM); Modelo de máquina (*Machine Model* — MM) [100],[101]. Como o próprio nome sugere, o modelo HBM é descrito por um descarga proveniente de uma pessoa tocando no *die*, enquanto os outros dois modelos são provenientes do próprio equipamento de teste e/ou encapsulamento. Para este trabalho, apenas o modelo HBM foi implementado para proteção dos circuitos reguladores de tensão CL–LDO–RM e CL–LDO–OM.

O evento HBM é representado por um pulso de corrente que atua durante 150ns e possui tempo de subida entre 5-10ns. É modelado por um circuito RC série, sendo que a resistência possui valor de 1,5k $\Omega$  e o capacitor de 100pF, produzindo uma corrente de pico no valor de 1 a 3A, segundo o método ESD STM5.1-2007 da ESD Association (ESDA) e método JESD22-A114F do American National Standards Institute (ANSI) [100],[101].

O circuito integrado desenvolvido não utilizou o circuito de *power-clamp* [90], responsável pela proteção contra surtos ESD que se originam do terminal de entrada ( $V_{in}$ ), para não influenciar o teste de regulação de linha. Por ser um teste que promove uma variação de tensão na entrada em um curto intervalo de tempo, caso houvesse um circuito de proteção de *powerclamp*, o mesmo entraria em funcionamento, desviando a corrente de entrada do regulador de tensão CL–LDO para os diodos de proteção, impedindo o correto funcionamento do teste de regulação de linha.

O circuito elétrico da figura 74 mostra a configuração para um surto de corrente ESD positiva do terminal de terra analógico (AGND) para o terminal de entrada ( $V_{in}$ ), quando o capacitor do modelo RC série se encontra com uma condição inicial de carga igual a 2kV, gerando assim uma corrente máxima de 1,33A a ser absorvida pelos componentes internos do regulador de tensão CL–LDO. Foram utilizados diodos de proteção ESD especialmente desenvolvidos pela tecnologia, e possuem como dimensões a área de difusão igual a 144  $\mu$ m<sup>2</sup> e perímetro de difusão igual a 404,64  $\mu$ m, subdivididos em múltiplos. Como noção de ordem de grandeza, os PADs projetados neste trabalho de pesquisa possuem dimensão quadrada com lado de 100  $\mu$ m.





Fonte: Autor.

Legenda: "ic" significa a condição inicial de carga do capacitor, em Volts. Os terminais "VREF\_0v4\_OCT", "VIN\_OCT" e "VOUT\_OCT" são, respectivamente, os terminais de tensão de referência, de entrada e de saída do regulador de tensão CL-LDO-OM. Figura extraída do software Virtuoso Schematic XL.

A figura 75 mostra a corrente de entrada gerada por um evento de ESD ( $I_{ESD,in}$ ), e a corrente que flui através do regulador de tensão CL–LDO gerada por um evento de ESD ( $I_{ESD,clldo}$ ), que é indiretamente mensurada pelo resistor (r) de valor 0 $\Omega$ . A corrente elétrica de ESD é gerada no terminal de terra analógico de ambos os reguladores de tensão CL–LDO estudados. Este teste foi efetuado para ambos os reguladores de tensão estudados, apresentando os mesmo comportamentos elétricos.
Figura 75 – Corrente de entrada no sistema ( $I_{ESD,in}$ ) e corrente que flui através do regulador de tensão CL–LDO ( $I_{ESD,clldo}$ ) em função do tempo, para o teste de transiente da proteção ESD.



Fonte: Autor.

Mesmo com uma proteção de 96% de eficiência, as especificações finais de proteção para este tipo de evento não foram atingidas. Para uma melhor proteção dos circuitos reguladores de tensão CL–LDO, a área utilizada pelos diodos de proteção deveria ser no mínimo duplicada, e por conta de espaço disponível no *die*, optou-se por manter esta relação de proteção e consumo de área ativa para fabricação.

#### 3.7.2 Encapsulamento do die

Conhecer o encapsulamento e seu processo de fabricação pode levar o projeto a ter uma resposta mais realista, por serem considerados diferentes elementos passivos e ativos ainda no momento de desenvolvimento do circuito integrado. Dependendo do tipo de encapsulamento e o tipo de conexão do CI, como por exemplo *wire bond* ou *flip chip*, o tipo de modelagem comportamental para descrever os efeitos de sinais externos no nível de transistores do CI será bastante distinto [36],[93]–[95].

Este trabalho será encapsulado em um empacotamento duplo em linha (*Dual In-line Package* — DIP) com 28 pinos e conexão do *chip* através de *wire bond*. O modelo utilizado nas simulações foi uma configuração RLC, conforme ilustrado pela figura 76, onde R é igual a 118,75m $\Omega$ , C é igual a 1,92nF e L é igual a 110,53fH [93]. Para esta etapa do projeto, não foram considerados elementos decorrentes de interações entre os *wire bonds*, somente a modelagem do *wire bond* e sua interação com o substrato do CI [36].

Legenda: Este tipo de simulação foi efetuado para ambos os reguladores de tensão CL–LDO estudados. Figura extraída do software Virtuoso ADE.



Figura 76 – Modelo RLC utilizado para considerar os efeitos parasitários decorrentes dos *wire bonds*.

Fonte: Autor.

A figura 77 ilustra o circuito final dos reguladores de tensão implementados com pMOS-FETs de passagem RM e OM, e a modelagem RLC dos *wire bonds* juntamente com as cargas a serem consideradas para cada terminal ( $V_{in}$ ,  $V_{out}$ ,  $V_{ref}$  e AGND), assim como as fontes de tensão e de corrente independentes para fornecimento dos estímulos externos simulando os diferentes testes descritos nas subseções anteriores. A instância "ldo\_v1p2\_top" contém os circuitos dos dois reguladores de tensão, o CL–LDO–RM e o CL–LDO–OM, além dos circuitos de proteção ESD, e os diodos contra o efeito antena [33].

Figura 77 – Circuito elétrico para caracterização elétrica por simulação SPICE de todas as FOMs da especificação, contemplando o modelo RLC dos *wire bond* em todos os terminais do CI.



Fonte: Autor.

Legenda: Os terminais "VREF\_0v4\_OCT", "VIN\_OCT" e "VOUT\_OCT" são, respectivamente, os terminais de tensão de referência, de entrada e de saída do regulador de tensão CL-LDO-OM. Figura extraída do software Virtuoso Schematic XL.

A seguir são mostrados: I) O circuito elétrico completo em nível de transistores (Figura 78) contendo todos os PADs de acesso externo; II) os reguladores de tensão CL–LDO implementados com pMOSFETs de passagem RM e OM; III) Os circuitos de proteção ESD; IV) Os diodos contra o efeito antena; V) O leiaute equivalente do circuito elétrico completo de teste descrito anteriormente (Figura 79); VI) O leiaute final que foi submetido ao serviço de fabricação MOSIS (Figura 80).





Legenda: Figura extraída do software Virtuoso Schematic XL.

Figura 79 - Leiaute do circuito elétrico final contendo as proteções ESD em cada PAD e dois reguladores de tensão CL-LDO, sendo um com o pMOSFET de passagem RM e o outro com pMOSFET de passagem OM.



Fonte: Autor.

Legenda: Os terminais "Vref\_Oct", "Vin\_Oct" e "Vout\_Oct" são, respectivamente, os terminais de referência, entrada e saída do regulador de tensão CL-LDO-OM. Figura extraída do software Virtuoso Layout XL.



Figura 80 – Leiaute final enviado ao serviço MOSIS contendo três reguladores CL–LDO–RM e três reguladores CL–LDO–OM.

Fonte: Autor. Legenda: Figura extraída do software Virtuoso Layout XL.

### 3.8 SUMÁRIO DOS RESULTADOS SIMULADOS (SPICE)

A tabela 14 apresenta os resultados de todas as figuras de mérito dos reguladores de tensão CL–LDO–OM e CL–LDO–RM, e também as especificações elétricas utilizadas para o projeto dos mesmos. Foram levadas em consideração as variações dos parâmetros elétricos de projeto, variações de temperatura e variações dos parâmetros de processo em 3–sigmas, além dos componentes de extração parasitária e a modelagem RLC do *wire bond* (Seção 3.7).

		TOPOLOGIA				
FOM	ESPECIFICAÇÕES	CL-LDO-RM		CL-LD	CL-LDO-OM	
		$\overline{\mathbf{X}}$	σ	$\overline{\mathbf{X}}$	σ	
V <sub>out</sub> [V]	$1,2\pm2\%$	1,2	5,8 <i>m</i>	1,2	6,0 <i>m</i>	
$V_{line}\left[mV/V ight]$	$\pm(1,2 imes2\%)$	12	9,93	12	9,65	
$V_{drop}(Linha)\left[mV\right]$	$\pm(1,2 imes5\%)$	87,31	13,57	87,32	13,55	
$V_{load} \left[ mV/mA  ight]$	$\pm(1,2 imes2\%)$	1	0,94	1	0,95	
$V_{drop}(Carga)[mV]$	$\pm(1,2 imes5\%)$	31,54	14	33,51	16,7	
PSRR@1Hz[dB]	-40 + 2%	-55,76	5,7	-55,78	3,8	
PSRR@10kHz[dB]	-40 + 2%	-48,81	6,2	-48,81	4,9	
$\mathbf{I_q}\left[\mu\mathbf{A} ight]$	$30\pm15\%$	30,56	2,09	30,56	2,05	

Tabela 14 – Resultados simulados das principais FOMs dos reguladores de tensão CL–LDO–RM e CL–LDO–OM.

Fonte: Autor.

Legenda: Os resultados das FOMs dos CL–LDO–RM e CL–LDO–OM são apresentados na forma de média  $(\bar{x})$  e desvio padrão ( $\sigma$ ), para as diferentes possibilidades de testes citadas anteriormente. As FOMs  $V_{drop}$ (Linha) e  $V_{drop}$ (Carga) são os máximos valores relacionados as simulações de transiente de regulação de linha e transiente de regulação de carga, respectivamente.

Como esperado, os resultados de simulação SPICE apresentaram resultados similares para ambos os reguladores de tensão, o CL–LDO–OM e o CL–LDO–RM. No caso dos desvios padrão dos PSRRs, houve melhora no caso do CL–LDO–OM para a frequência de 1Hz em 1,868dB e na frequência de 10kHz em 1,337dB, representando reduções de 32,8% e 21,4%, respectivamente. Tal redução dos valores de atenuações de ruído de fonte expressa uma menor dispersão após a fabricação do CI, se tornando desta forma mais confiável a atender os resultados propostos pela especificação.

Por conta de sua maior capacitância de porta, dada a topologia octogonal do OM, o regulador de tensão CL–LDO–OM gerou em contrapartida um resultado inferior ao esperado, com um aumento de 19% no desvio padrão da tensão  $V_{drop}$  para a simulação de transiente de regulação de carga, em relação aos resultados obtidos pelo CL–LDO–RM.

### **4 RESULTADOS EXPERIMENTAIS**

Esta seção apresenta os procedimentos experimentais utilizados para a caracterização elétrica dos reguladores de tensão CL–LDO estudados, assim como os procedimentos utilizados para realização dos estudos dos efeitos das radiações ionizantes de raios–X nestes circuitos. Também é apresentado o projeto e confecção da placa de teste de circuito impresso (*Printed Circuit Board* — PCB), desenvolvida exclusivamente para validação experimental dos reguladores de tensão, assim como uma descrição dos equipamentos de raios–X e de medidas que foram utilizados para a condução dos experimentos. A figura 81 apresenta o CI CMOS fabricado via MOSIS, utilizando o processo de fabricação de SiGe de 130nm da GF, contendo os reguladores de tensão CL–LDO que foram estudados.

Figura 81 – Microfotografia contendo os reguladores de tensão CL–LDO fabricados via MOSIS, ressaltando o tipo de leiaute de cada pMOSFET de passagem.



Fonte: Autor.

São ressaltados na figura 81 os tipos de reguladores de tensão estudados, sendo eles do tipo CL–LDO–RM ou do tipo CL–LDO–OM, com dispositivo de passagem OM fabricado com fator de corte de 33%,  $\alpha$  igual a 90° e  $W_{oc}$  igual a 120nm.

Para este trabalho foi utilizada uma amostra contendo seis reguladores independentes, três CL–LDO–RM e outros três CL–LDO–OM. Sua fabricação foi feita via MOSIS e encapsulada através do Centro de Tecnologia da Informação Renato Archer (CTI), com apoio do projeto intitulado de Circuitos Integrados Tolerantes a Radiação (CITAR).

As amostras fabricadas foram primeiramente caracterizadas eletricamente, antes de serem encapsuladas através do CTI e sofrerem os procedimentos de exposição às radiações ionizantes de raios–X, com o intuito de verificar possíveis problemas decorrentes do processo de fabricação. Através do micro-provador Cascade Microtech (Figura 82), e pelo analisador de dispositivos semicondutores modelo 4200, da Keithley Instruments Inc, foi realizado um teste DC para validação experimental do funcionamento dos reguladores de tensão estudados.

Figura 82 – Micro-provador Cascade da Microtech utilizado para a validação elétrica dos reguladores de tensão CL–LDO não encapsulados.



Fonte: Autor.

A figura 83 mostra as curvas experimentais dos reguladores CL–LDO–RM e CL–LDO– OM em resposta a uma rampa de tensão de entrada ( $V_{in}$ ), que variou de 0V até 2,5V, com tensão de referência de 0,4V, com uma temperatura ambiente controlada a 22°C, e com diferentes valores de correntes de saída {5, 10, 150} $\mu$ A.

Através dos equipamentos citados acima, foi possível uma análise do CI com estímulos DC diretamente no *die*. Não foram utilizados valores de  $I_o$  maiores que 150 $\mu$ A, caso contrário o sistema não entraria em regulação, pois sua saída seria inferior a -1,2V (Em condição inicial de operação), podendo prejudicar os componentes do CI.

Figura 83 – Curvas experimentais da tensão de saída  $(V_{out})$  em função da tensão de entrada  $(V_{in})$  dos reguladores de tensão estudados.



Legenda: (a) CL–LDO–RM; (b) CL–LDO–RM (Curva ampliada); (c) CL–LDO–OM; (d) CL–LDO–OM (Curva ampliada).

A partir dos gráficos ampliados (Figura 83b e 83d), pode-se observar um espalhamento menor de  $V_{out}$  no regulador de tensão CL–LDO–OM em relação ao CL–LDO–RM, sendo de 1,33 $\mu$ V/ $\mu$ A e 83 $\mu$ V/ $\mu$ A, respectivamente. Este comportamento é justificado devido a uma maior transcondutância e menor impedância de saída apresentada pelo pMOSFET de passagem

octogonal. Com maior  $g_m$ , o sistema gera um maior ganho de tensão na realimentação, diminuindo assim a regulação de linha (Equação 38). Além disso, com a menor impedância de saída apresentada pelo OM, a diferença de potencial entre a tensão de entrada e saída torna-se menor (Equação 33).

A tabela 15 apresenta os resultados das principais figuras de mérito adquiridas experimentalmente, sendo elas  $V_{out}$ ,  $I_q$ ,  $V_{load}$  e  $V_{line}$ . O valor de tensão de *dropout* de 300mV é considerado para o pior caso de funcionamento dos reguladores de tensão estudados.

FOM	CONDICÃO DE TESTE	ТОРО	UNID	
-	· · · · · · · · · · · · · · · · · · ·	CL-LDO-RM	CL-LDO-OM	
Vout	$V_{DO}=0, 3V; I_o=5\mu A$	1,2036	1,1994	V
' out	$V_{DO} = 0, 3V; I_o = 150 \mu A$	1,1911	1,1992	V
Iq	$V_{DO}=0, 3V; I_o=5\mu A$	35,09	34,93	μΑ
V <sub>load</sub>	$V_{DO}=0,3V; I_{o,max}=150\mu A$	83,00	1,33	$\mu V/\mu A$
Ve	$I_o = 5 \mu A$	12,70	6,00	mV/V
<b>v</b> line	$I_o = 150 \mu A$	6,65	6,50	mV/V

Tabela 15 – Resultados experimentais de análise DC dos reguladores de tensão CL--LDO-RM e CL-LDO-OM, obtidos por meio dos CIs não encapsulados.

Fonte: Autor.

Como pode ser observado pela tabela anterior, houve uma melhora na potência estática consumida, conforme esperado pelas simulações com extração parasitária, com uma variação de 160nA na corrente quiescente, resultando em uma redução de 0,5% para o regulador com pMOSFET de passagem OM. No caso da regulação de carga ( $V_{load}$ ), houve uma expressiva melhora nos resultados da ordem de 98,3% em  $V_{DO}$  igual a 300mV, configurando um aumento em  $A_0$  do sistema por conta dos efeitos LCE e PAMDLE. Por fim, a regulação de linha ( $V_{line}$ ) apresentou melhora nas condições de  $I_o$  igual a 5 $\mu A$  e  $I_o$  igual a 150 $\mu A$ , resultando em 52,76% e 2,25% respectivamente.

#### 4.1 PROJETO DA PLACA DE TESTE

O encapsulamento das amostras fabricadas foi necessário com a finalidade de extrair experimentalmente os resultados das diferentes figuras de mérito (Tabela 4), e também para prover as diferentes polarizações necessárias no circuito durante os procedimentos de exposição aos raios–X. É importante ressaltar que foi provisionada uma janela móvel nos CIs, com o objetivo de permitir a exposição total dos circuitos pelas radiações ionizantes de raios–X.

A figura 84 apresenta o diagrama de solda entre os PADs do CI e do encapsulamento, feito em DIP28.

Figura 84 – Diagrama de solda do circuito integrado com um encapsulamento do tipo DIP28.



Fonte: Autor.

A seguir, é apresentado o descritivo da pinagem do DIP28 correspondente aos PADs do diagrama de solda da figura 84. As conexões feitas entre os terminais 19 e 25 (*Wire bond* 1, 2 e 3) foram soldadas como curto circuito, com o objetivo de fazer a caracterização elétrica dos valores RLC dos *wire bonds* em três amostras distintas, tornando assim os resultados de simu-

lação mais próximos aos resultados experimentais. Também são apresentados neste trabalho o circuito elétrico da placa de teste (Apêndice A) e a placa de teste PCB fabricada, juntamente com os componentes discretos soldados (Apêndice B).

			(continua)
PINO	SINAL	TIPO	DESCRIÇÃO
1	AGND	Entrada/Saída	Terminal de terra analógico
2	REF_RM	Entrada	V <sub>ref</sub> do regulador com RM
3	IN_RM	Entrada/Saída	Vin do regulador com RM
4	OUT_RM	Saída	Vout do regulador com RM
5	OUT_OM	Saída	Vout do regulador com OM
6	IN_OM	Entrada/Saída	V <sub>in</sub> do regulador com OM
7	REF_OM	Entrada	V <sub>ref</sub> do regulador com OM
8	AGND	Entrada/Saída	Terminal de terra analógico
9	REF_RM	Entrada	<i>V<sub>ref</sub></i> do regulador com RM
10	IN_RM	Entrada/Saída	V <sub>in</sub> do regulador com RM
11	OUT_RM	Saída	Vout do regulador com RM
12	OUT_OM	Saída	Vout do regulador com OM
13	IN_OM	Entrada/Saída	Vin do regulador com OM
14	REF_OM	Entrada	<i>V<sub>ref</sub></i> do regulador com OM
15	AGND	Entrada/Saída	Terminal de terra analógico
16	REF_RM	Entrada	<i>V<sub>ref</sub></i> do regulador com RM
17	IN_RM	Entrada/Saída	V <sub>in</sub> do regulador com RM
18	OUT_RM	Saída	Vout do regulador com RM
19	WIRE1	Entrada/Saída	Wire bond 1
20	WIRE1	Entrada/Saída	Wire bond 1
21	WIRE2	Entrada/Saída	Wire bond 2
22	-	_	_
23	WIRE2	Entrada/Saída	Wire bond 2
24	WIRE3	Entrada/Saída	Wire bond 3

Tabela 16 – Pinos de entrada e saída do circuito integrado encapsulado em DIP28.

			· · · · ·
PINO	SINAL	TIPO	DESCRIÇÃO
25	WIRE3	Entrada/Saída	Wire bond 3
26	OUT_OM	Saída	Vout do regulador com OM
27	IN_OM	Entrada/Saída	V <sub>in</sub> do regulador com OM
28	REF_OM	Entrada	$V_{ref}$ do regulador com OM

Tabela 17 – Pinos de entrada e saída do circuito integrado encapsulado em DIP28. (conclusão)

Fonte: Autor.

# 4.2 CONDIÇÃO DE PRÉ RADIAÇÃO

Uma análise das FOMs (Tabela 4) dos reguladores de tensão estudados é apresentada a seguir. A geometria utilizada de um dedo do OM de passagem foi de  $\alpha$  igual a 90°, fator de corte igual a 33% e  $W_{oc}$  igual a 120nm. Todos os resultados foram extraídos com uso da placa de teste PCB desenvolvida para este trabalho e apresentada anteriormente. Nesta etapa, a caracterização elétrica das amostras dos CIs foi feita sem a exposição às radiações ionizantes (Condição de pré-rad).

### 4.2.1 Caracterização elétrica de Iq, Vline e Vload

De acordo com a figura 85, com a utilização do multímetro digital Agilent 34401A conectado em série com o gerador de funções Agilent 33220A, foi possível obter a corrente quiescente ( $I_q$ ) consumida pelos reguladores de tensão CL–LDO implementados com pMOS-FETs de passagem RM e OM, cujos valores foram de 115 $\mu$ A e 113 $\mu$ A, respectivamente. O teste foi efetuado com ausência de corrente de carga na saída dos reguladores de tensão, para  $V_{ref}$  igual a 0,4V e  $V_{in}$  igual a 1,5V (Pior caso de funcionamento, seções 2.4.4.4 e 2.4.4.5).

Desta forma, foi possível observar uma diminuição da corrente estática consumida pelo regulador CL–LDO–OM, representando 1,7%. Essa diminuição de corrente consumida é consequência do efeito DEPAMBBRE, que promove a desativação dos MOSFETs parasitários na região de bico de pássaro no pMOSFET de passagem [13].

Os valores para ambas as correntes consumidas é maior que a esperada por simulação. Uma possibilidade para justificar este fato é a presença da corrente de fuga proveniente dos transistores de proteção ESD do CI e componentes discretos que se encontram na placa de teste. Figura 85 – Sistema de medição utilizado para a obtenção experimental da corrente quiescente  $(I_q)$  consumida pelos reguladores de tensão estudados.



Fonte: Autor.

onde "Gen Out" é o canal de saída geradora de funções do osciloscópio Agilent DSO-X 3102A,  $C_{in}$  e  $R_{in}$  são, respectivamente, a capacitância interna e a resistência interna da ponta de prova do osciloscópio Agilent DSO-X 3102A.

O pino "Gen Out" do osciloscópio foi utilizado para gerar a tensão de 0,4V no terminal de referência em cada um dos reguladores de tensão CL–LDO, com uma precisão de  $\pm 1$ mV, e o gerador de funções Agilent 33220A forneceu a polarização de 1,5V no terminal de entrada  $V_{in}$ , conforme a figura 85.

O erro percentual da tensão de saída expressa a exatidão da tensão de saída do regulador em relação a especificação [28],[70]. Quanto maior for a exigência da corrente de saída ( $I_o$ ), maior será o erro percentual da tensão de saída, por conta da regulação de carga ser limitada conforme a área ocupada pelo pMOSFET de passagem. O erro percentual (Erro(%)) é expresso pela equação 67:

$$Erro(\%) = \left(\frac{V_{out,ref} - V_{out,exp}}{V_{out,ref}}\right) \times 100$$
(67)

onde  $V_{out,ref}$  é a tensão de saída de referência e  $V_{out,exp}$  é a tensão de saída experimental.

As curvas experimentais da tensão de saída (Figura 86a) e o erro percentual (Figura 86b) em função da corrente de saída são ilustradas a seguir. Os gráficos representam seus respectivos comportamentos em função do aumento da corrente de saída dos reguladores CL–LDO–RM e CL–LDO–OM, quando polarizados com um  $V_{in}$  igual a 1,5V (Pior caso de funcionamento, seção 2.4.4.4).

Pode-se observar resultados similares para ambos os reguladores de tensão em baixas

cargas de corrente de saída, onde o CL–LDO–OM apresenta um valor de -0,41% comparado com 0,67% do regulador de tensão CL–LDO–RM.





Fonte: Autor.

Portanto, não foi possível atingir a corrente de saída máxima especificada de 20mA, para  $V_{DO}$  igual a 0,3V. Diferentes possibilidades de resistências parasitas em série da saída dos CL–LDO levaram a uma maior queda de tensão em  $V_{out}$ , fazendo com que os reguladores se mantivessem dentro da especificação de erro máximo de 5% de  $V_{out}$  (1,14V) até uma corrente de saída de aproximadamente 13mA. Dentre estas possibilidades estão: A resistência série dos PADs, a resistência série das trilhas da placa de teste, a resistência série da solda do encapsulamento, a resistência dos *wire bonds*, a resistência dos cabos de teste BNC utilizados para levantamento das FOMs, e a impedância interna dos osciloscópios de medida. Todas estas resistências são possíveis fontes de erro conhecidas mas não caracterizadas neste trabalho, que levaram a um incremento no erro das medidas finais em relação as especificações.

O regulador CL–LDO–OM demonstrou um erro de -0,4% da tensão de saída em relação a especificação, enquanto seu equivalente CL–LDO–RM um erro de 0,6%. Pode-se concluir que a implementação do dispositivo de passagem com leiaute octogonal não degradou o funcionamento DC do regulador de tensão, quando comparado ao seu equivalente implementado com dispositivo de passagem com leiaute retangular.

A partir da análise de regulação de carga, uma nova análise foi efetuada, onde a corrente na saída foi estabelecida para ser de 10mA. Foi aplicada uma rampa de tensão na entrada, gerada pelo equipamento Agilent 33220A, onde  $V_{in}$  variou de 0 a 2,5V. A figura 87 apresenta as curvas

experimentais do teste característico de regulação de linha.



Figura 87 – Curvas experimentais da tensão de saída, do reguladores de tensão CL–LDO–OM e CL–LDO–RM, em função da tensão de entrada (*V<sub>in</sub>*) para *I<sub>o</sub>* igual a 10mA.

Para  $V_{in}$  igual a 1,5V e  $I_o$  igual a 10mA, pior caso de polarização (Seção 2.4.4.5), os reguladores de tensão CL–LDO–RM e CL–LDO–OM resultaram em tensões de saída de 1,163V e 1,181V respectivamente, apresentando uma melhora de 48,5% para o CL–LDO–OM em relação ao CL–LDO–RM, quando comparados a especificação de  $V_{out}$  igual a 1,2V.

Como proposta de melhoria para atender as especificações de corrente, há o aumento da razão de aspecto do pMOSFET de passagem, acarretando em menor resistência série ( $r_{ds}$ ) entre os terminais de entrada e saída dos reguladores de tensão estudados. Em contrapartida, isto levaria a uma maior capacitância de porta do pMOSFET, além de ocupar maior área ativa do CI.

#### 4.2.2 Caracterização elétrica do PSRR

A figura 88 ilustra o sistema de medida que foi utilizado para a caracterização elétrica dos PSRRs dos reguladores de tensão CL–LDO implementados com os pMOSFETs de passagem RM e OM.

Figura 88 – Sistema de medição utilizado para a obtenção experimental dos PSRRs dos reguladores de tensão estudados.



Fonte: Autor.

onde CH1 e CH2 são os canais 1 e 2 de aquisição de dados do osciloscópio Agilent DSO-X 3102A(b).

As condições de polarização DC utilizadas para obtenção experimental do PSRR dos reguladores de tensão estudados foram:  $V_{ref}$  igual a 0,4V,  $V_{in}$  igual a 1,5V e  $I_o$  igual a 10mA (Pior caso de funcionamento, seção 2.4.4.4). Para gerar tais condições de polarização, o gerador de tensão do osciloscópio Agilent DSO-X 3102A(a) forneceu a polarização DC de 0,4V, o gerador de tensão do osciloscópio Agilent DSO-X 3102A(b) foi utilizado para fornecer uma tensão para polarizar o espelho de corrente com  $I_o$  igual a 10mA, e o gerador de funções Agilent 33220A forneceu a polarização de 1,5V no terminal de entrada  $V_{in}$ , conforme a figura 88.

A corrente de saída  $(I_o)$  foi gerada através de um espelho de corrente feito com transistores bipolares de junção do tipo NPN. O resistor de 50 $\Omega$ , ligado em série ao transistor B1 de entrada do espelho de corrente, foi utilizado para definir a sua corrente de entrada, que consequentemente foi espelhada para o transistor B2 de saída (Figura 88). Essa corrente de saída foi responsável por definir a corrente de carga de saída do regulador de tensão CL–LDO.

Uma tensão composta por uma componente DC de 1,5V e uma componente AC senoidal de  $10mV_{pp}$  foi aplicada à entrada  $V_{in}$  através do gerador de funções Agilent 33220A, com diferentes frequências. Para cada frequência aplicada, utilizando a função FFT (*Fast Fourier Transform*) do osciloscópio, foram extraídos os valores das componentes principais da tensão de entrada (CH1) e da tensão de saída (CH2) em dBV [102]. Esses dois valores foram transformados em tensões de pico a pico ( $V_{pp}$ ) através da equação 68. Após a conversão dos valores de dBV para as tensões de pico a pico da entrada ( $Vpp_{input}$ ) e da saída ( $Vpp_{output}$ ), os PSRRs dos reguladores de tensão CL–LDO foram calculados a partir da equação 69, para cada uma das frequências estudadas.

$$PSRR = 20\log \frac{VpP_{input}}{VpP_{out put}}$$
(69)

Para ilustrar, considerando o regulador de tensão CL–LDO–OM operando em uma frequência de 500Hz, o valor medido pelo canal CH1 foi de -43dBV, correspondente a  $10mV_{pp}$  (Equação 68). Analogamente, o valor medido pelo canal CH2 foi de -86,1dBV, correspondente a  $70,07\mu V_{pp}$  (Equação 68). Aplicando-se a equação 69, o valor do PSRR obtido experimentalmente para o CL–LDO–OM operando em uma frequência de 500Hz foi igual a -43,1dB [103].

Esse procedimento foi efetuado para uma faixa de frequências do sinal de entrada que variou de 1Hz a 1MHz, para ambos os reguladores de tensão estudados. A figura 89 ilustra os resultados experimentais dos PSRRs em função da frequência dos reguladores de tensão CL–LDO–RM e CL–LDO–OM.





Analisando os PSRRs dos reguladores de tensão CL–LDO estudados, observa-se que seus comportamentos elétricos experimentais estão de acordo com as simulações SPICE realizadas por este projeto de pesquisa. É possível observar graficamente uma melhora na atenuação de ruído de fonte de baixas frequências do regulador de tensão CL–LDO–OM em relação aquele observado pelo CL–LDO–RM. Para as regiões na qual o PSRR é praticamente constante (Especificação que vai de 1Hz a 10kHz), os resultados para o regulador CL–LDO–RM foram de PSRR (1Hz) igual a -38,4dB e PSRR (10kHz) igual a -38,8dB, enquanto que os resultados para o regulador CL–LDO–OM foram de PSRR (1Hz) igual a -43,1dB e PSRR (10kHz) igual a -41,1dB.

Esses resultados são justificados pelo fato do MOSFET de passagem com leiaute octogonal apresentar um maior  $g_m$  e menor  $r_{ds}$  em relação ao MOSFET com leiaute retangular [13]. A maior transcondutância do pMOSFET de passagem leva o CL–LDO–OM a um maior ganho de tensão de malha aberta (Equação 40), melhorando assim o PSRR (Equação 49). A menor impedância de canal do OM auxilia diretamente no aumento do valor do PSRR (Equação 49). Consequentemente, os resultados dessa FOM mostraram que o regulador de tensão CL–LDO– OM teve uma melhora de 12% e 6% para as frequências de 1Hz e 10kHz, respectivamente, quando comparado ao regulador de tensão CL–LDO–RM.

Portanto, a implementação de um MOSFET de passagem com leiaute octogonal pode ser considerada uma alternativa para potencializar o desempenho elétrico dos reguladores de tensão CL–LDO em relação ao PSRR, e por consequência, potencializar o desempenho elétrico dos circuitos integrados e sistemas eletrônicos que são alimentados por estes reguladores de tensão, e que tem como especificação o baixo ruído de fonte.

### 4.2.3 Caracterização elétrica da regulação de linha e de carga

O sistema de medição necessário para efetuar o teste de transiente de regulação de linha foi o mesmo utilizado na análise de PSRR (Figura 88). A única diferença foi o sinal do terminal de entrada ( $V_{in}$ ), que para o teste de transiente de regulação de linha foi gerado um pulso de tensão de 1,5V a 2,5V (Através do gerador de funções Agilent 33220A), com tempos de subida e descida iguais a 1 $\mu$ s, para pior caso de funcionamento (Seção 2.4.4.5), onde a corrente de carga na saída foi de 10mA. O gerador de tensão do osciloscópio Agilent DSO-X 3102A(a) forneceu a polarização DC de 0,4V de tensão de referência e o osciloscópio Agilent DSO-X 3102A(b) foi utilizado para medir as tensões de entrada (Canal CH1) e de saída (Canal CH2). A figura 90 apresenta as curvas experimentais das tensões de entrada e de saída em função do tempo, conforme as condições de polarização citadas.



Figura 90 – Curvas experimentais do teste de regulação de linha dos reguladores de tensão estudados.

Como pode ser observado, as tensões de saída de ambos os reguladores de tensão encontram-se dentro da especificação de transiente, igual a 1,2V $\pm$ 5%. O resultado apresenta um deslocamento do nível médio da tensão de saída do regulador CL–LDO–OM para mais próximo da especificação, justificado pela menor impedância de saída apresentada pelo seu pMOSFET de passagem, gerando um menor  $V_{DO}$  para as mesmas condições de polarização que o regulador de tensão CL–LDO–RM. A tabela 17 exibe um sumário dos resultados mais relevantes para esta FOM.

Tabela 17 – Resultados experimentais do teste de regulação de linha dos reguladores de tensão estudados.

FOM	CL-LDO-RM	CL-LDO-OM	UNID
$V_{out} \left( @V_{in,min}  ight)$	1,174	1,188	V
$V_{out}\left(@V_{in,max}\right)$	1,163	1,181	V
V <sub>drop,l</sub>	15	11	mV
$V_{drop,h}$	19	15	mV
V <sub>line</sub>	11	7	mV/V

Fonte: Autor.

Conforme a tabela anterior, é possível concluir que o regulador de tensão CL-LDO-OM

apresenta um melhor desempenho de regulação de linha, quando comparado ao regulador de tensão CL–LDO–RM. Sua implementação resultou em um aproximação de  $V_{out}$  em relação a especificação de 53,8% e 48,6%, respectivamente, para as tensões de entrada de 1,5V e 2,5V.

De maneira comparativa, houve uma melhora de desempenho de regulação de linha  $(V_{line})$  do CL–LDO–OM na ordem de 36,4% em comparação ao CL–LDO–RM. Para os valores de transiente  $V_{drop,l}$  e  $V_{drop,h}$ , houveram também melhoras de desempenho de 26,7% e 21%, respectivamente. Estes resultados são consequência do maior  $g_m$  do pMOSFET de passagem OM em relação ao RM [13], levando a um maior ganho de corrente em malha aberta do regulador de tensão CL–LDO, diminuindo assim a variação da tensão de saída ( $\Delta V_{out}$ ) quando ocorre uma variação na tensão de entrada do sistema ( $\Delta V_{in}$ ) (Equação 38).

Um indicador relacionado a regulação de linha é o PSRR. Quanto maior o valor da rejeição de ruído de fonte, menor será a variação da tensão de saída regulada, ou seja, melhor será o desempenho da regulação de linha. Como apresentado anteriormente, o PSRR do regulador de tensão CL–LDO–OM apresentou significativa melhora de desempenho, resultando assim em uma melhora de desempenho na regulação de linha, quando comparado ao CL–LDO–RM.

A figura 91 ilustra o sistema de medição necessário para efetuar o teste de transiente de regulação de carga, gerando um pulso de corrente no transistor B1 de 0 a 10mA, através do gerador de funções Agilent 33220A, com tempos de subida e descida iguais a 1 $\mu$ s. O gerador de tensão do osciloscópio Agilent DSO-X 3102A(a) forneceu a polarização DC de 0,4V de tensão de referência e o gerador de tensão do osciloscópio Agilent DSO-X 3102A(a).

Figura 91 – Sistema de medição utilizado para a obtenção experimental da regulação de carga dos reguladores de tensão estudados.



Fonte: Autor.

A figura 92 apresenta o resultado do teste de transiente de regulação de carga conforme as condições de polarização citadas, juntamente com a tabela 18, que apresenta os principais valores de interesse para este teste.



Figura 92 – Curvas experimentais do teste de regulação de carga dos reguladores de tensão estudados.

Fonte: Autor.

Tabela 18 – Resultados experimentais do teste de regulação de carga dos reguladores de tensão estudados.

FOM	CL-LDO-RM	CL-LDO-OM	UNID
$V_{out}\left(@I_{o,min}\right)$	1,194	1,193	V
$V_{out}\left(@I_{o,max}\right)$	1,171	1,181	V
V <sub>drop,l</sub>	10	15	mV
V <sub>drop,h</sub>	3	10	mV
Vload	2,3	1,2	mV/mA

Fonte: Autor.

As regulações de carga dos reguladores de tensão CL–LDO–RM e CL–LDO–OM foram de 2,3 mV/mA e 1,2 mV/mA, respectivamente. De maneira comparativa, houve uma melhora de desempenho de regulação de carga na ordem de 47,8% para o regulador de tensão CL–LDO utilizando o pMOSFET de passagem OM. Sua tensão de saída, para condição de  $I_{o,max}$ , teve uma melhora de 34,5% em relação a especificação de saída de 1,2V.

É possível concluir que o regulador de tensão CL–LDO–OM apresentou um melhor desempenho de regulação de carga, ou seja, menor variação na tensão de saída perante uma variação da corrente de saída, quando comparado ao regulador de tensão CL–LDO–RM. Este fato se justifica por conta do maior  $g_m$  do pMOSFET de passagem com leiaute octogonal em relação ao retangular [13], gerando um aumentando do ganho de corrente em malha aberta do regulador de tensão CL–LDO–OM, melhorando assim a regulação de carga (Equação 36).

A saída do regulador de tensão CL–LDO–OM apresentou um pico de tensão maior que o regulador de tensão CL–LDO–RM. De maneira comparativa, o uso do OM como pMOSFET de passagem resultou em um aumento dos picos de tensão transiente  $V_{drop,l}$  em 50% e  $V_{drop,h}$  em 233%, quando comparado ao uso do RM como pMOSFET de passagem dos reguladores de tensão CL–LDO. Este fato é consequência do aumento de capacitância de porta do pMOSFET de passagem com leiaute octogonal, que apresentou 17% mais área de porta para uma mesma área ativa utilizada (Equações 65 e 66).

#### 4.2.4 Comparativo dos resultados experimentais pré radiação

O projeto de ambos os reguladores de tensão CL–LDO, implementados com MOSFET de passagem RM e OM, tem seus resultados experimentais comparados com outros trabalhos existentes e publicados em diferentes tecnologias de fabricação. Através da figura de mérito  $FOM_1$ , estes resultados são comparados através da tabela 19. Os melhores resultados de cada parâmetro são destacados em negrito.

Para cada tipo de topologia de regulador de tensão CL–LDO implementado, foram levados em conta os devidos resultados experimentais, anteriormente mostrados, com o valor de capacitância interna total de compensação igual a 10pF e  $I_{o,max}$  igual a 13mA.

Conforme a equação 52, quanto menor for o valor da  $FOM_1$ , melhor é o desempenho elétrico do regulador de tensão [89]. Sendo assim, ambas as topologias implementadas neste trabalho (Reguladores de tensão CL–LDO–OM e CL–LDO–RM) demostraram melhores resultados experimentais em relação aos resultados anteriormente publicados na literatura, mesmo com o aumento não esperado da corrente quiescente de ambos os reguladores de tensão CL–LDO em relação aos resultados por simulação SPICE.

Em [107], os autores utilizaram a mesma tecnologia de fabricação aplicada neste trabalho, porém seus resultados não são experimentais e sim de simulação SPICE com extração parasitária.

Características	Trabalhos anteriores			ores	Topologias	
	[104]	[105]	[106]	[107]*	CL-LDO-RM	CL-LDO-OM
Ano	1998	2005	2010	2012	2018	
Tecnologia [µm]	2	0,09	0,35	0,13	0,13	
$V_{in}[V]$	1,2	1,2	1,8	2–1,6	2,5–1,5	
$\mathbf{V}_{out}[\mathbf{V}]$	0,9	0,9	1,6	1,4–0,9	1,2	
$I_q[mA]$	0,23	6	0,02	0,8	0,115	0,113
$\eta_{ ext{I}}[\%]$	99,5	94,3	99,95	99,23	99,43	99,44
$V_{drop}[mV]$	19	90	97	22	10	15
$C_{int}[nF]$	4700	0,6	0,1	0,1	0,01	
C <sub>int</sub> integrado	Não	Sim	Sim	Sim	Sim	
FOM <sub>1</sub> [ps]	8200	32	190	0,16	0,068	0,1

Tabela 19 – Comparativo dos resultados experimentais dos reguladores de tensão linear série estudados com resultados de pesquisas anteriores a este trabalho.

Fonte: Autor.

\*Resultados de simulação SPICE com extração parasitária.

Na condição de pré radiação, os resultados experimentais comprovam um melhor desempenho elétrico de  $FOM_1$  em 32% para o regulador de tensão CL–LDO–RM em relação ao regulador de tensão CL–LDO–OM. Também ouve uma redução da tensão  $V_{drop}$  em 50% para o regulador de tensão CL–LDO–RM em relação ao regulador de tensão CL–LDO–OM.

Comparativamente às outras referências publicadas [104]–[107], mesmo com um consumo quase seis vezes maior de corrente elétrica  $I_q$  em relação a referência [106], o projeto foi efetuado para ter o menor valor de capacitância de compensação ( $C_{int}$ ) possível, fazendo com que a área utilizada fosse menor, além de apresentar os menores valores de tensão  $V_{drop}$ . Esse conjunto de resultados gerou uma melhor resposta na regulação da tensão de saída em função do tempo, tanto para um degrau de corrente na saída quanto para um degrau de tensão na entrada. Sendo assim, os desempenhos elétricos dos reguladores de tensão CL–LDO–OM e CL–LDO–RM demonstraram, respectivamente, reduções de 57,5% e 37,5% de *FOM*<sub>1</sub>, quando comparados à publicação [107].

### 4.3 METODOLOGIA DE TESTE E CONDIÇÃO DE PÓS RADIAÇÃO

Os testes com raios–X foram possíveis através da utilização do difratômetro XRD–6100 da fabricante Shimadzu, instalado no Centro Universitário FEI. Este equipamento possibilita obter raios–X com energia efetiva de 10 keV que, ao interagir com o material do dispositivo, principalmente por efeito fotoelétrico, pode gerar elétrons secundários que ionizam uma extensão de cerca de 500 nm de material, simulando efeitos de TID correspondente a interação de prótons com energia entre 30 e 200 MeV [40]–[43].

Um ponto extremamente positivo do uso de raios–X para testes de tolerância à radiação ionizante é o fato de ser um equipamento de total controle de energia, taxa de dose de radiação, e portanto, de dose total acumulada no dispositivo. Este equipamento permite modificar as taxas de dose, acelerando o processo de testes, modificando a corrente do feixe de elétrons, que vai de 2 mA até 40 mA, e alterando a tensão aceleradora de 20 a 60 kV, modificando assim a energia efetiva do feixe de elétrons no material alvo, provocando a geração de elétrons secundários por diferentes efeitos físicos [108].

A figura 93 ilustra a vista interna do difratômetro XRD–6100, associado ao posicionamento da amostra de teste e o feixe de saída do raio–X.





Fonte: Autor.

Em todos os ensaios de exposição, a fonte do difratômetro estava posicionada a uma distância de  $12\pm0,2$  cm da amostra, sendo calibrado com feixes de raios–X a uma tensão aceleradora de 20kV, gerando uma tensão efetiva de 10 keV, considerando o silício como material alvo. Através de uma corrente do feixe de elétrons de 20mA, a taxa de dose utilizada foi de 53,42 krad(Si)/h, estando dentro da norma ESCC 22900.5 [63].

Todos os terminais dos reguladores de tensão foram polarizados com as máximas tensões propostas pela especificação durante as exposições aos raios–X, simulando seu pleno funcionamento em ambiente com as radiações ionizantes, onde:  $V_{ref}$  igual a 400mV,  $V_{in}$  igual a 2,5V,  $V_{out}$  em alta impedância (High Z). Esta condição induziu o pior caso de campo elétrico vertical nos transistores que compõem o CI e é denominada neste trabalho de condição de polarização ligada.

A condição de polarização com corrente máxima de saída não foi efetuada por conta do projeto da placa PCB, que possui apenas um conjunto de espelhos de corrente, permitindo drenar a corrente de saída de apenas um regulador de tensão por vez. Caso este teste fosse executado, ligando os nós de saída dos seis reguladores de tensão presentes no CI em paralelo, poderia causar instabilidade dos mesmos, e assim prejudicar os resultados experimentais.

Com isso, houve um mesmo procedimento de exposição às radiações ionizantes ao longo do tempo, contemplando seis passos a uma taxa de dose constante. Os valores das diferentes doses acumuladas foram de TID igual a {5; 10; 15; 20; 50; 100} krad(Si).

A figura 94 apresenta os procedimentos que foram seguidos para caracterização elétrica dos CIs em ambiente com as radiações ionizantes (Condição de pós-rad).

Figura 94 – Fluxograma dos procedimentos utilizados para o estudo dos efeitos das radiações ionizantes de raios–X nos reguladores de tensão CL–LDO.



Fonte: Autor "adaptado de" [63].

A janela de tempo entre duas exposições consecutivas foi de, no máximo 1 hora, caso contrário os resultados seriam influenciados pelo recozimento térmico natural (*Annealing*), e não poderiam ser considerados válidos, conforme sugerido pelas normas ESCC 22900 e MIL-STD-883 metodologia de teste 1019 [63],[64]. Na etapa de recozimento térmico natural, a amostra foi mantida polarizada com as devidas condições de teste todo o período, procedimento também sugerido pelas normas ESCC 22900 e MIL-STD-883 metodologia de teste 1019

[63],[64].

Para este trabalho, a etapa de recozimento térmico acelerado em alta temperatura não foi efetuada. A máxima TID utilizada para todos os ensaios foi de 100krad(Si), valor máximo utilizado em CIs comerciais, projetados e testados segundo RHA, exclusivamente desenvolvidos para aplicações tolerantes às radiações ionizantes, pela empresa Texas Instruments [109].

## 4.3.1 Caracterização elétrica de Iq, Vline e Vload

A figura 95 apresenta a curva experimental da tensão de saída (Figura ) em função da TID acumulada. Para extração dos valores de tensão de saída, após cada sessão de exposição às radiações ionizantes, os reguladores foram caracterizados em pior caso de polarização (Seção 2.4.4.4), onde  $V_{in}$  é igual a 1,5V,  $V_{ref}$  é igual a 0,4V e  $I_o$  é igual a 10mA. Para o teste de corrente quiescente, a única diferença entre as polarizações foi a ausência de carga na saída.





Fonte: Autor. Legenda: Condição de polarização ligada durante a exposição às radiações ionizantes.

A especificação de tensão de saída de  $1,2\pm2\%$  foi atendida apenas pelo regulador de tensão CL–LDO–OM, em toda a faixa de dose total acumulada, apresentando o resultado de  $V_{out}$  igual a 1,176V após uma TID de 100krad. No caso do regulador de tensão CL–LDO–RM, seu resultado após uma TID de 100krad foi de  $V_{out}$  igual a 1,169V.

Após a amostra sofrer recozimento térmico natural (Temperatura controlada de 22°C), houve uma diminuição de  $V_{out}$  para ambos os reguladores de tensão, permanecendo abaixo da especificação mínima de 1,176V. Os resultados finais foram de  $V_{out}$  igual a 1,161V e  $V_{out}$  igual a 1,167V. Desta forma, o CL–LDO–OM reduziu em 15,4% a variação da tensão de saída, em referência a especificação de 1,2V, quando comparado ao regulador de tensão CL–LDO–RM.

A seguir é apresentada a curva experimental da corrente quiescente em função da TID acumulada (Figura 96).





Legenda: Condição de polarização ligada durante a exposição às radiações ionizantes.

As especificações de corrente quiescente, para ambos os reguladores de tensão, não foram atendidas após exposição às radiações ionizantes. O regulador de tensão CL–LDO–OM apresentou menor consumo, por conta do efeito DEPAMBBRE e também por utilizar menos múltiplos no leiaute do pMOSFET de passagem, em relação ao CL–LDO–RM, promovendo menos regiões de bico de pássaro, que por sua vez promovem menos transistores parasitários para consumo de corrente estática.

Houve um aumento da corrente quiescente ao longo da TID aplicada (Figura 96), promovido pelo aumento de  $I_{leak}$  dos pMOSFETs de passagem que compõem o CI, aumentando assim a  $I_q$  de ambos os reguladores de tensão. Após recozimento térmico natural, houve uma diminuição de 39,45mA para 29,5mA de consumo do regulador de tensão CL–LDO–RM, e uma diminuição de 33,01mA para 24,35mA para o regulador de tensão CL–LDO–OM.

Conclui-se que o regulador de tensão CL–LDO implementado com pMOSFET de passagem OM apresentou um consumo 17,5% menor em relação ao implementado com pMOSFET de passagem RM, após a exposição a TID de 100krad e etapa de recozimento térmico natural.

#### 4.3.2 Caracterização elétrica do PSRR

São mostradas em seguida as curvas experimentais de rejeição de ruído de entrada a 1Hz em função da dose ionizante total acumulada (Figura 97a) e após recozimento térmico natural (Figura 97b), para condição de polarização ligada durante a exposição às radiações ionizantes. Para extração dos valores de PSRR a 1Hz, após cada sessão de exposição às radiações ionizantes, os reguladores foram caracterizados com polarização de  $V_{in}$  igual a 1,5V,  $V_{ref}$  igual a 0,4V e  $I_o$  igual a 10mA.





Legenda: Condição de polarização ligada durante a exposição às radiações ionizantes.

Assim como observado pela tensão de saída, as curvas de PSRR mostram, para ambas as frequências de interesse, uma tendência de diminuição da rejeição de ruído de entrada proporcional com o aumento da TID até 5krad(Si), e depois uma outra tendência de subida que vai de 15krad(Si) até 50krad(Si).

A especificação de PSRR de  $-40\pm2\%$  para a frequência de 1Hz foi atendida para o caso do regulador de tensão CL–LDO–OM durante toda exposição e também após recozimento térmico natural, com exceção do ponto onde a TID igual a 50krad(Si). Com relação ao regulador de tensão CL–LDO–RM, a especificação para frequência de 1Hz foi atendida somente a doses acumuladas acima de 15krad(Si).

Com a utilização do leiaute octogonal como pMOSFET de passagem, é possível concluir que, além de uma melhor resposta na condição de pré radiação, a rejeição do ruído de entrada, para frequência de 1Hz, apresentou melhores resultados também em ambientes com às radiações ionizantes.

Após recozimento térmico natural, houve uma maior degradação do PSRR para o regulador de tensão CL–LDO–OM devido a maior capacitância de porta apresentada pelo leiaute modificado. Mesmo possuindo menos múltiplos em relação ao pMOSFET de passagem RM do regulador de tensão CL–LDO–RM, seu leiaute octogonal gera maior área de porta, proporcionando assim maior acúmulo de cargas positivas no óxido do pMOSFET de passagem, geradas pela alta TID aplicada, modificando assim suas propriedades elétricas e levando o sistema a uma perda de ganho de tensão em malha aberta.

Foram consideradas as mesmas condições anteriores de polarização dos reguladores de tensão estudados para extração dos valores de PSRR a 10kHz, cujos resultados experimentais são exibidos pela figura 98.





Legenda: Condição ligada de polarização durante a exposição às radiações ionizantes.

Conforme os resultados anteriores, para o PSRR a uma frequência de 10kHz, o regulador de tensão CL–LDO–OM demonstrou melhores resultados, permanecendo dentro das especificações durante toda a faixa de TID, com exceção do ponto onde a TID é igual a 50krad(Si). Para o regulador de tensão CL–LDO–RM, as especificações foram atendidas somente para a dose acumulada de 100krad(Si).

Após recozimento térmico natural, ambos os reguladores permaneceram dentro das especificações. Houve um aumento do PSRR de 2,5% para o regulador de tensão CL–LDO–RM, e uma diminuição do PSRR de 10,9% para o regulador de tensão CL–LDO–OM.

### 4.3.3 Caracterização elétrica da regulação de linha e de carga

A figura 99 apresenta as curvas experimentais do teste de transiente de regulação de linha dos reguladores de tensão implementados com pMOSFETs de passagem OM e RM em diversos valores de TID, desde antes da exposição (pré-rad) até uma dose total acumulada de 100krad(Si). As condições de teste foram as mesmas utilizadas na seção 4.2.3.







<sup>(</sup>a) Regulador de tensão CL-LDO-RM e (b) Regulador de tensão Legenda: Condição de polarização ligada durante a exposição às radiações ionizantes. CL-LD0-OM.

Através de uma análise gráfica, é possível observar a primeira vantagem na utilização do OM como pMOSFET de passagem em reguladores de tensão CL–LDO. O nível médio das curvas experimentais de  $V_{out}$ , em diferentes TIDs, está mais próximo à especificação de 1,2V em comparação as curvas do regulador de tensão CL–LDO–RM. Pode-se observar que, para uma TID de 10krad(Si), houveram os menores valores de níveis médios das curvas de  $V_{out}$  para ambos os reguladores de tensão estudados. No caso do regulador de tensão CL–LDO–RM, após este valor de 10krad de dose acumulada, houve uma tendência de aumento do nível médio, proporcional ao aumento da TID. Para o regulador de tensão CL–LDO–OM, a mesma tendência foi observada porém, a uma TID igual a 100krad(Si), seu nível médio decresceu para o menor encontrado dentre as faixas de doses acumuladas aplicadas.

Após a exposição a uma dose total acumulada de 100krad(Si), ambos os reguladores de tensão apresentaram uma perda efetiva de regulação, porém mantendo-se dentro das especificações propostas pelo projeto para transiente de linha igual a 1,2V $\pm$ 5%. As tensões do regulador CL–LDO–OM foram de  $V_{out}$  igual a 1,176V e  $V_{out}$  igual a 1,167V para as tensões de entrada de 1,5V e 2,5V, respectivamente. Para o caso do regulador CL–LDO–RM, as tensões de saída foram de  $V_{out}$  igual a 1,169V e  $V_{out}$  igual a 1,164V para as tensões de entrada de 1,5V e 2,5V, respectivamente.

Com isso, as regulações de linha dos reguladores CL–LDO–OM e CL–LDO–RM foram de 9mV/V e 5mV/V, respectivamente, para máxima corrente de saída, após a exposição às radiações ionizantes a uma dose total acumulada de 100krad(Si). Portando, a implementação do OM como pMOSFET de passagem em reguladores de tensão CL–LDO melhora em 44,4% o desempenho elétrico da regulação de linha.

A figura 100 apresenta as curvas experimentais do teste de transiente de regulação de linha em condições de pré-rad e após recozimento térmico natural para uma TID igual a 100krad(Si).
Figura 100 – Curvas experimentais da regulação de linha, para os reguladores de tensão estudados, em condição de prérad e após *annealing*.



Ao sofrer recozimento térmico natural, durante a condição de polarização ligada, ambos os reguladores de tensão tiveram seus níveis médios de tensão de saída reduzidos em relação a TID igual a 100krad(Si). Ao analisar a saída perante um  $V_{in}$  igual a 1,5V, o regulador de tensão CL–LDO–RM apresentou  $V_{out}$  igual a 1,161V (Redução de 0,7% em relação ao resultado pré-rad), enquanto que o regulador de tensão CL–LDO–OM apresentou  $V_{out}$  igual a 1,166V (Redução de 1,85% em relação ao resultado pré-rad). Ambos os reguladores apresentaram 4mV/V de regulação de linha após recozimento térmico natural.

Embora a variação final entre as condições pré-rad e após *annealing* do regulador implementado com pMOSFET de passagem OM tenha sido maior, seu desempenho se mostrou 12,8% mais próximo a tensão de saída de 1,2V proposta pela especificação, apresentando assim maior tolerância em seu funcionamento quando inserido em ambientes com as radiações ionizantes.

São mostradas a seguir (Figura 101) as curvas experimentais do teste de transiente de regulação de carga dos reguladores de tensão CL–LDO–RM e CL–LDO–OM em diversos valores de TID, desde antes da exposição (pré-rad) até uma dose total acumulada de 100krad(Si).





Fonte: Autor.

(a) Regulador de tensão CL-LDO-RM e (b) Regulador de tensão Legenda: Condição de polarização ligada durante a exposição às radiações ionizantes. CL-LD0-OM. Assim como foi observado pelo teste de transiente de regulação de linha, para uma TID igual a 10krad(Si), o regulador de tensão CL–LDO–RM mostrou o pior resultado dentre as doses acumuladas aplicadas, com menor nível médio da curva de tensão de saída. Para este teste, houve também uma tendência de aumento do nível médio das curvas experimentais de forma proporcional ao aumento da TID aplicada.

Em contrapartida, o regulador de tensão CL–LDO–OM mostrou um comportamento distinto ao convencional, aumentando o nível médio das curvas experimentais em relação a condição de pré-rad, de forma proporcional ao aumento da dose acumulada, se aproximando ainda mais da especificação de saída de 1,2V.

Para uma TID igual a 100krad(Si), este regulador de tensão demostrou uma diminuição da tensão de saída para máxima corrente de carga. As tensões do regulador CL–LDO–OM foram de  $V_{out}$  igual a 1,176V e  $V_{out}$  igual a 1,167V para as tensões de entrada de 1,5V e 2,5V, respectivamente. Para o caso do regulador CL–LDO–RM, as tensões de saída foram de  $V_{out}$  igual a 1,164V para as tensões de entrada de 1,5V e 2,5V, respectivamente.

Com isso, as regulações de carga dos reguladores implementados com pMOSFETs OM e RM foram de 0,7mV/mA e 1,7mV/mA, respectivamente, para mínima tensão de entrada, após a exposição às radiações ionizantes a uma dose total acumulada de 100krad(Si). Desta forma, antes do recozimento térmico natural, o regulador de tensão com pMOSFET de passagem OM demonstrou uma melhora de regulação de carga de 58,8% em referência ao implementado com pMOSFET de passagem RM.

A figura 102 apresenta as curvas experimentais do teste de regulação de carga após recozimento térmico natural para uma TID igual a 100krad(Si).





nizantes.

Ao sofrer recozimento térmico natural, durante a condição de polarização ligada, ambos os reguladores de tensão tiveram seus níveis médios de tensão de saída reduzidos em relação a TID igual a 100krad(Si). O regulador de tensão CL–LDO–RM apresentou regulação de carga de 1,2mV/mA, enquanto que o regulador de tensão CL–LDO–OM apresentou redução de 0,5mV/ mA. Mesmo após a etapa de *annealing*, o regulador CL–LDO–OM demonstrou uma melhora de regulação de carga de 58,3%.

#### 4.4 SUMÁRIO GERAL DOS RESULTADOS EXPERIMENTAIS

A tabela 20 apresenta um comparativo geral qualitativo dos resultados experimentais das principais FOMs dos reguladores de tensão CL–LDO implementados com pMOSFETs de passagem RM e OM, em três condições: Antes da exposição às radiações ionizantes (PRÉ-RAD), após a exposição às radiações ionizantes (PÓS-RAD) e após sofrer recozimento térmico natural durante 24 horas.

Os resultados experimentais apresentaram uma melhora significativa em quase todas as FOMs analisadas para o regulador de tensão CL–LDO–OM, quando comparado ao seu equivalente CL–LDO–RM. Tabela 20 - Comparativo geral dos resultados experimentais das principais FOMs dos reguladores de tensão CL-LDO-RM e CL-LDO-OM, em condições de pré-rad e pós-rad.

	PRÉ	-RAD		PÓS-	RAD	
FOM	TID =	0krad	TID = 1	00krad	Anne	aling
	CL-LDO-RM	CL-LD0-0M	CL-LDO-RM	CL-LD0-0M	CL-LDO-RM	CL-LD0-OM
$\mathbf{V}_{\mathbf{out}}\left[\mathbf{V}\right]$	0	0	I	+	I	+
$\mathbf{V_{line}}\left[\mathbf{mV/V} ight]$	Ι	+	Ι	+	I	+
$\mathbf{V}_{drop}\left(\mathbf{Linha}\right)\left[\mathbf{V} ight]$	Ι	+	Ι	+	I	+
${f V}_{load}\left[{f mV}/{f mA} ight]$	Ι	+	I	+	I	+
$\mathbf{V}_{drop}\left(\mathbf{Carga} ight)\left[\mathbf{V} ight]$	+	Ι	+	I	+	Ι
PSRR@1Hz[dB]	Ι	+	Ι	+	0	0
PSRR@10kHz[dB]	Ι	+	I	+	+	I
$\mathbf{I_q}\left[\mu\mathbf{A}\right]$	0	0	I	+	Ι	+
Fonte: Autor.						

Legenda: (+) Significa melhor desempenho elétrico; (-) Significa pior desempenho elétrico; (o) Significa desempenho elétrico similar. As FOMs V<sub>drop</sub>(Linha) e V<sub>drop</sub>(Carga) são os máximos valores relacionados aos testes de regulação de linha e regulação de carga, respectivamente.

## **5** CONCLUSÕES

Foi apresentado neste trabalho um estudo das características elétricas do transistor MOS-FET tipo bulk de geometria de porta octogonal e sua aplicação em circuitos analógicos de gerenciamento de potência, como o regulador linear de tensão CL–LDO.

A partir de simulações feitas através do software Cadence Virtuoso®, utilizando resultados com extração parasitária, observou-se que as melhores características elétricas do OM são obtidas com menor fator de corte (c), como já havia sido detalhado na literatura. Foi observado também que a implementação do leiaute não convencional de porta resulta no aumento da largura de canal do transistor SPICE equivalente na extração parasitária pelo software Cadence Virtuoso®.

Uma vez estudada a melhor razão de aspecto do pMOSFET de passagem RM para satisfazer as condições elétricas propostas pela especificação, esta área efetiva ocupada foi igualmente utilizada para comportar tantos múltiplos do pMOSFET de passagem OM quanto possível, a fim de se ter uma comparação de desempenho de reguladores de tensão iguais, com pMOSFETs de passagem diferentes.

Os resultados preliminares de simulação apresentaram melhora de desempenho elétrico do regulador de tensão CL–LDO–OM. Dentre estes resultados estão a melhora na potência estática consumida, que teve uma diminuição na ordem de 35nA para o desvio padrão, considerando uma análise estatística de Monte Carlo dos resultados. Também foram observadas melhoras nas respostas de PSRR, aumentando a atenuação em 1,868dB para frequência de 1Hz e 1,337dB para frequência de 10kHz. Análises de transiente também constataram benefícios nos resultados, sendo de 1mV para o teste de regulação de carga, num degrau de 0 a 20mA, e para o teste de regulação de linha uma melhora de espalhamento em  $300\mu$ V para o desvio padrão dos resultados.

Com o desenvolvimento de uma placa de teste PCB para análises experimentais, foi possível obter os resultados de ambos os circuitos fabricados pelo serviço MOSIS e encapsulados através do CTI. Por conta dos efeitos únicos decorrentes da simples modificação de leiaute, o regulador de tensão CL–LDO–OM mostrou melhores resultados em relação ao CL–LDO–RM. Dentre as vantagens, houve uma menor variação da tensão de saída, aumento das atenuações de ruído de fonte em 12% e 6% para as frequências de 1Hz e 10kHz, melhora da regulação de linha em 36,7% e melhora da regulação de carga em 47,8%.

Após validação dos circuitos em ambiente não radioativo, os mesmos foram submetidos a um difratômetro gerador de ondas eletromagnéticas de raios–X, promovendo efeitos de dose

total acumulada (TID), objetivando analisar a evolução dos parâmetros e características elétricas anteriormente observadas. Ambos os reguladores de tensão foram expostos às radiações ionizantes, sendo polarizados com as máximas tensões propostas pela especificação do projeto, induzindo assim o pior caso de funcionamento para o CI.

Seguindo todos os critérios vigentes pelas normas ESCC 22900 e MIL-STD-883, os reguladores de tensão estudados foram submetidos a diferentes doses totais acumuladas, sendo elas de {5; 10; 15; 20; 50; 100} krad(Si). Após recozimento térmico natural, os resultados apresentaram maior tolerâncias às radiações ionizantes para o regulador de tensão CL–LDO–OM. Dentre as vantagens deste tipo de circuito, houve a redução de 17,5% na corrente quiescente, melhora de 12,9% para regulação de linha e 58,3% de melhora para regulação de carga, comparando com os resultados do regulador de tensão CL–LDO–RM.

Em virtude dos resultados presentes neste trabalho, conclui-se que reguladores lineares de tensão com pMOSFET de passagem implementado com leiaute octogonal, apresentam melhor desempenho que seu equivalente implementado com pMOSFET de passagem retangular, utilizando uma mesma área ativa em ambos os casos. Em todas as figuras de mérito analisadas, além de apresentar melhores resultados, também foi apresentado maior tolerância aos efeitos das radiações ionizantes, mesmo após recozimento térmico natural.

Como sugestões de trabalhos futuros, podemos citar a implementação do regulador de tensão CL–LDO utilizando-se todos os MOSFETs com leiautes de porta octogonais, a utilização de outros fatores de corte (c) para o pMOSFET do tipo octogonal, a utilização de outros tipos de leiautes não convencionais, como por exemplo o tipo Diamante, e também um estudo mais aprofundado sobre a extração parasitária da razão de aspecto (fator geométrico,  $\frac{W}{L}$ ) dos MOSFETs com formatos de porta não convencionais que o software da CADENCE realiza.

### 5.1 CONTRIBUIÇÕES

Consta nesta seção o trabalho publicado anais de congresso durante o programa de mestrado.

## Artigos publicados em anais de congresso

 MARTUCCI, R. F; GIMENEZ, S. P. Using the Octagonal Layout Style to Implement the Pass MOSFET to Improve the Electrical Performance of the CL–LDO Voltage Regulator. In: SYMPOSIUM OF ADVANCED CMOS-COMPATIBLE SEMICON-DUCTOR DEVICES, 233., 2018, Seattle. Proceedings... Seattle, U.S.A: ECS, 2018.

# REFERÊNCIAS

- MOORE, G. E. Cramming more components onto integrated circuits: Reprinted from Electronics, v. 38, n. 8, April 19, 1965, p. 114. IEEE Solid-State Circuits Society Newsletter, v. 11, n. 3, p. 33–35, Set. 2006.
- [2] BAGATIN, M; GERARDIN, S; INIEWSKI, K. Ionizing Radiation Effects in Electronics: From Memories to Imagers. 1. ed. CRC, 2015.
- [3] MRSTIK, B. J. et al. The role of nanocluster in reducing holetrapping in ion implanted oxides. **IEEE Transactions on Nuclear Science**, v. 50, p. 1947–1953, 2003.
- [4] NISHIOKA, Y. Radiation Hardened micron and submicron MOSFETs contains fluorinated oxides. **IEEE Transactions on Nuclear Science**, v. 36, p. 2116–2123, 1989.
- [5] KRANTZ, R. J; SCARPULLA, J; CABLE, J. S. Total dose-induced charge buildup in nitride-oxide MOS devide. IEEE Transactions on Nuclear Science, v. 38, p. 1746–1753, 1991.
- [6] SNOEYS, W. J; GUTIERREZ, T. A. P; ANELLI, G. A. A New NMOS Layout Structure for Radiation Tolerance. **IEEE Transactions on Nuclear Science**, v. 49, n. 4, 2002.
- [7] COLINGE, J. P. Silicon-On-Insulator Technology: Materials to VLSI. 3. ed. Boston: Kluwer, 2004.
- [8] COLINGE, J. P. FinFETS and Others multi gate transistors. 1. ed. Massachussetts: Springer, 2008.
- [9] GIMENEZ, S. P. Diamond MOSFET: An innovative layout to improve performance of ICs. **Solid-State Electronics**, v. 54, p. 1690–1696, Ago. 2010.
- [10] GIMENEZ, S. P. Using diamond layout style to boost MOSFET frequency response of analogue IC. Electronics Letters, v. 50, p. 398–400, Fev. 2014.
- [11] GIMENEZ, S. P; ALATI, D. M. Electrical behavior of the diamond leiaute style for MOSFETs in X-rays ionizing radiation environments. Microelectronic Engineering, v. 148, p. 85–90, Set. 2015.
- [12] GIMENEZ, S. P. et al. A compact diamond MOSFET model accounting for the PAMDLE applicable down the 150 nm node. **Electronics Letters**, v. 1, n. 50, p. 1618–1620, 2014.
- [13] GIMENEZ, S. P. Layout Techniques for MOSFETs. 1. ed. California: Morgan & Claypool, 2017.
- [14] FINO, L. N. S. et al. Total Ionizing Dose Effects on the Digital Performance of Irradiated OCTO and Conventional Fully Depleted SOI MOSFET. In: RADIATION AND ITS EFFECTS ON COMPONENTS AND SYSTEMS (RADECS). Proceedings..., 14; 2013, Oxford, U.K. IEEE, 2013.
- [15] FINO, L. N. S. et al. Improving the X-Ray Radiation Tolerance of the Analog ICs by Using OCTO Layout Style. In: SYMPOSIUM ON MICROELECTRONICS TECHNO-LOGY AND DEVICES (SBMICRO). Proceedings..., 28; 2013, Curitiba, Brasil. IEEE, 2013.

- [16] FINO, L. N. S. et al. Boosting the radiation hardness and higher reestablishing pre-rad conditions by using OCTO layout style for MOSFETs. In: SYMPOSIUM ON MICRO-ELECTRONICS TECHNOLOGY AND DEVICES (SBMICRO). Proceedings..., 29; 2014, Aracaju, Brasil. IEEE, 2014.
- [17] NASIR, S. B; GANGOPADHYAY, S; RAYCHOWDHURY, A. All-Digital Low-Dropout Regulator with Adaptive Control and Reduced Dynamic Stability for Digital Load Circuits. IEEE Transactions on Power Electronics, v. 31, p. 8293–8302, Dec. 2016
- [18] LURIA, K. et al. Dual-Mode Low-Drop-Out Regulator/Power Gate With Linear and On–Off Conduction for Microprocessor Core On-Die Supply Voltages in 14 nm. IEEE Journal of Solid-State Circuits, v. 51, p. 752–762, Mar. 2016.
- [19] DINI, M; ROMANI, A; FILIPPI, M; TARTAGNI, M. A Nanocurrent Power Management IC for Low-Voltage Energy Harvesting Sources. IEEE Transactions on Power Electronics, v. 31, p. 4292–4304, Jun. 2016.
- [20] HUANG, M. et al. A Fully-Integrated Digital LDO with Coarse-Fine-Tuning and Burst-Mode Operation. IEEE Transactions on Circuits and Systems II, v. 63, p. 683–687, Jul. 2016.
- [21] NASIR, S. B; GANGOPADHYAY, S; RAYCHOWDHURY, A. A 0.13µm Fully Digital Low-Dropout Regulator with Adaptive Control and Reduced Dynamic Stability for Ultra-Wide Dynamic Range. In: IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE. 2015, San Francisco. **Proceedings...** CA, U.S.A.: IEEE, 2015. p. 1–3.
- [22] YOON, K. et al. Fully-Integrated Digitally-Assisted Low-Dropout Regulator for NAND Flash Memory System. IEEE Transactions on Power Electronics, v. 33, p. 388–406, Feb. 2017.
- [23] ZARATE-ROLDAN, J. et al. A Capacitor-Less LDO With High-Frequency PSR Suitable for a Wide Range of On-Chip Capacitive Loads. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, v. 24, p. 2970–2982, Mar. 2016.
- [24] VAISBAND, I; FRIEDMAN, E. G. Stability of Distributed Power Delivery Systems With Multiple Parallel On-Chip LDO Regulators. IEEE Transactions on Power Electronics, v. 31, p. 5625–5634, Oct. 2015.
- [25] HONG, S. W; CHO, G. H. High-Gain Wide-Bandwidth Capacitor-Less Low-Dropout Regulator (LDO) for Mobile Applications Utilizing Frequency Response of Multiple Feedback Loops. IEEE Transactions on Circuits and Systems-I: Regular Papers, v. 63, n. 1, p. 46–57, Jan. 2016.
- [26] Texas Instruments; and Switching Voltage Regulator Funda-Linear Report SNVA559, mental part 2; Application 2012. Disponível em: <a>http://www.ti.com/lit/an/snva559a/snva559a.pdf>. Acesso em: 01 fev. 2016.</a>
- [27] ZHANG, H. J; Basic Concepts of Linear Regulator and Switching Mode Power Supplies; Linear Technology, Application Note AN140FA, Out. 2013. Disponível em: <a href="http://www.analog.com/media/en/technical-documentation/applicationnotes/AN140fb.pdf">http://www.analog.com/media/en/technical-documentation/applicationnotes/AN140fb.pdf</a>>. Acesso em: 01 fev. 2016.

- [28] RINCÓN-MORA, G. A. Current Efficient, Low Voltage, Low Drop-Out Regulators. 1996. 177 f. Tese (Doutorado em Engenharia Elétrica) – Georgia Institute of Technology, Georgia, U.S.A.
- [29] GAILLARDIN, M. et al. Radation effects in advanced SOI devices: New insights into Total Ionizing Dose and Single-Event Effects. In: IEEE SOI-3D-SUBTHRESHOLD MI-CROELECTRONICS TECHNOLOGY UNIFIED CONFERENCE (S3S), 2013, Monterey. Proceedings... CA, U.S.A.: IEEE, 2013, p. 1–2.
- [30] GAILLARDIN, M. et al. Impact of SOI Substrate on the Radiation Response of UltraThin Transistors Down to the 20 nm Node. IEEE Transactions on Nuclear Science, v. 60, n. 4, p. 2583–2589, 2013.
- [31] MAY, G. S; SZE, S. M. Fundamentals of Semiconductor Fabrication. 1. ed. New Jersey, USA: Wiley-Blackwell, 2003. 305p.
- [32] ALLEN, P. E; HOLBERG, D. R. CMOS Analog Circuit Design. 2. ed. New York, U.S.A.: Oxford University, 2012.
- [33] RAZAVI, B. Design of Analog CMOS Integrated Circuits. 23. ed. New York, U.S.A.: Tata McGraw-Hill, 2012.
- [34] TSIVIDIS, Y. Operation and Modeling of The MOS Transistor. 17. ed. U.K.: Oxford University, 2011.
- [35] MARTINO, J. A; PAVANELLO, M. A; VERDONCK, P. B. Caracterização Elétrica de Tecnologia e Dispositivos MOS. 1 ed. São Paulo, Brasil: Pioneira Thomson Learning, 2003.
- [36] TSIVIDIS, Y. Mixed analog-digital VLSI devices and technology. New Jersey, U.S.A.: World Scientific Publishing, 2002.
- [37] BINZAID, S.; ATTIA, J. O. "Configurable Active-Region-Cutout-Transistor for Radiation Hardened Circuit Applications," in Canadian Conference on Electrical and Computer Engineering, 2008.
- [38] SILVA, V. C. D. "Estruturas cmos resistentes à radiação utilizando processos de fabricação convencionais," Instituto Militar de Engenharia, 2005.
- [39] FINO, L. N. de S. Efeitos das radiações ionizantes de raios-X no SOI nMOSFET com geometria de porta octogonal. 2017. 206 f. Tese (Doutorado em Engenharia Elétrica) – Centro Universitário da FEI, São Bernardo do Campo, Brasil.
- [40] VELAZCO, R; FOUILLAT, P; REIS, R. Radiation Effects on Embedded Systems. Dordrecht, NE: Springer, 2007.
- [41] SCHWANK, J. R; SHANEYFELT, M. R; DODD, P. E. Radiation Hardness Assurance Testing of Microelectronic Devices and Integrated Circuits: Radiation Environments, Physical Mechanisms, and Foundations for Hardness Assurance. IEEE Transactions on Nuclear Science, v. 60, n. 3, p. 2074–2100, Jun. 2013.

- [42] JUICE INSTRUMENT WORKSHOP, 1; 2011, Darmstadt, Germany. Electronic radiation hardening – Radiation Hardness Assurance and Technology Demonstration Activities... Darmstadt: ESA, 2011. Disponível em: < http://sci.esa.int/jump.cfm?oid=49858>. Acesso em: 01 jul. 2017.
- [43] YOUNG, H. D; FREEDMAN, R. A. Física IV: Ótica e Física Moderna. 14. ed. Pearson Education, 2016.
- [44] POIVEY, C; DAY, J. H. Radiation Hardness Assurance (RHA) for Space Systems. In: IEEE NSREC SHORT COURSE, 2002, Phoenix. Proceedings... AZ, U.S.A.: IEEE, 2002.
- [45] ZELL, H. Radiation Belts with Satellites. 2013. Disponível em: <a href="https://www.nasa.gov/mission\_pages/sunearth/news/gallery/20130228-radiationbelts.html">https://www.nasa.gov/mission\_pages/sunearth/news/gallery/20130228-radiationbelts.html</a>>. Accesso em: 01 jul. 2017.
- [46] STASSINOPOULOS, E. G; RAYMOND, J. P. The space radiation environment for electronics. In: PROCEEDINGS OF THE IEEE, 11., 1988. Proceedings... IEEE, 1988. p. 1423–1442.
- [47] O'GORMAN, T. J. The effect of cosmic rays on the soft error rate of a DRAM at ground level. IEEE Transactions on Electron Device, v. 41, n. 4, p. 553–557, 1994.
- [48] CLAEYS, C; SIMOEN, E. Radiation effects in Advanced Semiconductor Materials and Devices. 1 ed. Berlin: Springer, 2002. 403 p.
- [49] SROUR, J. R; PALKO, J. W. Displacement Damage Effects in Irradiated Semiconductor Devices. IEEE Transactions on Nuclear Science, v. 60, n. 3, p. 1740–1766, Jun. 2013.
- [50] WANG, F; AGRAWAL, V. D. Single Event Upset: An embedded tutorial. In: IEEE IN-TERNATIONAL CONFERENCE ON VLSI DESIGN, 21., Hyderabad. Proceedings... Hyderabad, India: IEEE, 2008. p. 429–434.
- [51] GUENZER, C. S; WOLICKI, E. A; ALLAS, R. G. Single Event Upset of Dynamic RMs by Neutrons and Protons. IEEE Transaction on Nuclear Science, v. 26, n. 6, p. 5048–5052, 1979.
- [52] BAZE, M. P; BUCHNER, S. P. Attenuation of Single Event Induced Pulses in CMOS Combinational Logic. IEEE Transaction on Nuclear Science, v. 44, n. 6, p. 2217–2223, 1997.
- [53] TURFLINGER, T. L. Single Event Effects in Analog and Mixed signal integrated circuits. IEEE Transaction on Nuclear Science, v. 43, n. 2, p. 594–602, 1996.
- [54] SEXTON, F. W. et al. Single Event Gate Rupture in Thin Gate Oxides. IEEE Transaction on Nuclear Science, v. 44, n. 6, p. 2345–2352, 1997.
- [55] SROUR, J. R. Basic mechanisms of radiation effects in electronic materials, devices, and integrated circuits. California, U.S.A.: Northrop, 1987.
- [56] SCHWANK, J. R. et al. Radiation Effects in MOS Oxides. IEEE Transactions on Nuclear Science, v. 55, n. 4, p. 1833–1853, Ago. 2008.

- [57] OLDHAM, T. R; MCLEAN, F. B. Total Ionizing Dose Effects in MOS Oxides and Devices. IEEE Transactions on Nuclear Science, v. 50, n. 3, p. 483–499, Jun. 2008.
- [58] RODGERS, M. P. et al. The Effects of Aging on MOS Irradiation and Annealing Response. IEEE Transactions on Nuclear Science, v. 52, n. 6, p. 2642–2648, Dez. 2005.
- [59] ESQUEDA, I S; BARNABY, H. J. Compact Modeling of Total Ionizing Dose and Aging Effects in MOS Technologies. IEEE Transactions on Nuclear Science, v. 62, n. 4, p. 1501–1515, Ago. 2015.
- [60] FLEETWOOD, D. M. Total Ionizing Dose Effects in MOS and Low-Dose-Rate-Sensitive Linear-Bipolar Devices. IEEE Transactions on Nuclear Science, v. 60, n. 3, p. 1501–1515, Jun. 2013.
- [61] PEASE, R. L. et al. Characterization of Enhanced Low Dose Rate Sensitivity (ELDRS) Effects Using Gated Lateral PNP Transistor Structures. IEEE Transactions on Nuclear Science, v. 51, n. 6, p. 3773–3780, Dez. 2004.
- [62] WITCZAK, S. C. et al. Dose-Rate Sensitivity of Modern nMOSFETs. IEEE Transactions on Nuclear Science, v. 52, n. 6, p. 2602–2608, Dez. 2005.
- [63] EUROPEAN SPACE COMPONENTS COORDINATION. ESCC Basic Specification No 22900: Total dose steady-state irradiation test method. European Space Agency, Issue 5, Jun. 2016. Disponível em : <a href="http://escies.org/escc-specs/published/22900.pdf">http://escies.org/escc-specs/published/22900.pdf</a>>. Acesso em: 01 jul. 2017.
- [64] DEPARTMENT OF DEFENSE UNITED STATES OF AMERICA. Test Method Standard Microcircuits: MIL-STD-883E. Dec. 1996. Disponível em : <a href="http://www.navsea.navy.mil/Portals/103/Documents/NSWC\_Crane/SD-18/Test%20Methods/MILSTD883.pdf">http://www.navsea.navy.mil/Portals/103/Documents/NSWC\_Crane/SD-18/Test%20Methods/MILSTD883.pdf</a>>. Acesso em: 01 jul. 2017.
- [65] RAMACHANDRAN, V. et al. Modeling Total-Dose Effects for a Low-Dropout Voltage Regulator. IEEE Transactions on Nuclear Science, v. 53, n. 6, p. 3223–3231, Dez. 2006.
- [66] JOHNSTON, A. H; RAX, B. G. Failure Modes and Hardness Assurance for Linear Integrated Circuits in Space Applications. IEEE Transactions on Nuclear Science, v. 57, n. 4, p. 1966–1972, Ago. 2010.
- [67] ADELL, P. C; SCHEICK, L. Z. Radiation Effects in Power Systems: A Review. IEEE Transactions on Nuclear Science, v. 60, n. 3, p. 1929–1952, Jun. 2013.
- [68] WOLBERT, Β. Designing With **Low-Dropout** Voltage Re-Micrel Semiconductor, 1998. Disponível gulators. Dez. em: <http://ww1.microchip.com/downloads/en/devicedoc/ldobk.pdf>. Acesso em: 01 fev. 2016.
- [69] Texas Instruments. Low Noise and Small Form Factor Power Management Reference Design for CC256X Bluetooth Controller Datasheet, TIDUA72, Ago. 2015. Disponível em: <a href="http://www.ti.com/lit/ug/tidua72/tidua72.pdf">http://www.ti.com/lit/ug/tidua72/tidua72.pdf</a>. Acesso em: 01 jul. 2017.

- [70] LEE, B. S; Technical Review of Low Dropout Voltage Regulator Operation and Performance; Texas Instruments, Application Report SLVA072, 1999. Disponível em: <a href="http://www.ti.com/lit/an/slva072/slva072.pdf">http://www.ti.com/lit/an/slva072/slva072.pdf</a>>. Acesso em: 01 fev. 2016.
- [71] Texas Instruments. **TL43xx Precision Programmable Reference Datasheet**; SLVS543O, Ago. 2004 – Revisão Jan. 2015. Disponível em: <a href="http://www.ti.com/lit/ds/slvs5430/slvs5430.pdf">http://www.ti.com/lit/ds/slvs5430</a>, Ago. 2004 – Revisão Jan. 2015. Disponível em: <a href="http://www.ti.com/lit/ds/slvs5430/slvs5430.pdf">http://www.ti.com/lit/ds/slvs5430</a>, Ago. 2004 – Revisão Jan. 2015. Disponível em: <a href="http://www.ti.com/lit/ds/slvs5430/slvs5430.pdf">http://www.ti.com/lit/ds/slvs5430</a>, Ago. 2004 – Revisão Jan. 2015. Disponível em:
- [72] ON Semiconductor. TLV431X Low Voltage Precision Adjustable Shunt Regulator Datasheet; TLV431A/D, Fev. 2016 – Revisão 21. Disponível em: <a href="https://www.onsemi.com/pub/Collateral/TLV431A-D.PDF">https://www.onsemi.com/pub/Collateral/TLV431A-D.PDF</a>>. Acesso em: 01 fev. 2016.
- Programmable [73] Fairchild Semiconductor. TL431/TL431A, Shunt Regulator; DS400301, Fev. 2011 \_ Revisão 1.0.4. Disponível em: <a>http://studylib.net/doc/8822056/tl431-tl431a>. Acesso em: 01 fev. 2016.</a>
- [74] NXP Semiconductors. TL431 family, Adjustable precision shunt regulator; Set. 2015 Revisão 5. Disponível em: <a href="https://assets.nexperia.com/documents/data-sheet/TL431\_FAM.pdf">https://assets.nexperia.com/documents/data-sheet/TL431\_FAM.pdf</a>>. Acesso em: 01 fev. 2016.
- [75] PELICIA, M. M. Projeto e Implementação de um Regulador de Tensão Low Dropout Utilizando Tecnologia CMOS. 2002. 114 f. Dissertação (Mestrado em Engenharia Elétrica) – Unicamp, Campinas, Brasil.
- [76] KESTER, W; ERISMAN, B; THANDI, G. Switched Capacitor Voltage Converters: Practical Design Techniques for Power and Thermal Management Tutorial, Section 4. Analog Devices. Disponível em: <a href="http://www.analog.com/media/en/trainingseminars/design-handbooks/power-thermal-mgmt-sect4.pdf">http://www.analog.com/media/en/trainingseminars/design-handbooks/power-thermal-mgmt-sect4.pdf</a>>. Acesso em: 01 jul. 2017.
- [77] JOHNSON, S. Design for a Discrete Charge Pump; Texas Ins-Application Report SLVA398A, Abr. 2010. Disponível truments, em: <a>http://www.ti.com/lit/an/slva398a/slva398a.pdf>. Acesso em: 01 fev. 2016.</a>
- [78] AL-SHYOUKH, M; LEE, H; PEREZ, R. A Transient-Enhanced Low-Quiescent Current Low-Dropout Regulator with Buffer Impedance Attenuation. IEEE Journal of Solid-State Circuits, v. 42, n. 8, p. 1732–1742, Aug. 2007.
- [79] Texas Instruments. ESR, Stability, and the LDO Regulator; Application Report SLVA115, 2002. Disponível em: <a href="http://www.ti.com/lit/an/slva115/slva115.pdf">http://www.ti.com/lit/an/slva115/slva115.pdf</a>>. Acesso em: 01 fev. 2016.
- [80] TORRES, J. et al. Low Drop-Out Voltage Regulators: Capacitor-less Architecture Comparison. IEEE Circuits and Systems Magazine, p. 6–26, May 2014.
- [81] MILLIKEN, R. J. A Capacitor-less Low Dropout Voltage Regulator with Fast Transient Response. 2005. 96 f. Dissertação (Mestrado em Engenharia Elétrica) – Texas A&M University, Texas, U.S.A.
- [82] MILLIKEN, R. J; SILVA-MARTÍNEZ, J; SÁNCHEZ-SINENCIO, E. Full On Chip CMOS Low-Dropout Voltage Regulator. IEEE Transactions on Circuits and Systems-I: Regular Papers, v. 54, n. 9, p. 1879–1890, Set. 2007.

- [83] LEUNG, K. N; MOK, P. K. T. A Capacitor-Free CMOS Low-Dropout Regulator with Damping-Factor-Control Frequency Compensation. IEEE Journal of Solid-State Circuits, v. 38, n. 10, p. 1691–1702, Out. 2003.
- [84] LEUNG, K. N. et al. Three-Stage Large Capacitive Load Amplifier with Damping-Factor-Control Frequency Compensation. IEEE Transactions on Solid-State Circuits, v. 35, n. 2, p. 221–230, Fev. 2000.
- [85] Sandler, S; Hymowitz, C. Non-Invasive Assessment of Voltage Regulator Phase Margin without Access to the Control Loop. Picotest, Application Note, 2010. Disponível em: <a href="https://www.picotest.com/articles/Agilent-App-Notes/Non-Invasive%20Assessment%20of%20Voltage%20Regulator%20Phase%20Margin.pdf">https://www.picotest.com/articles/Agilent-App-Notes/Non-Invasive%20Assessment%20of%20Voltage%20Regulator%20Phase%20Margin.pdf</a>>. Accesso em: 04 jun. 2018.
- [86] GUPTA, V; RINCÓN-MORA, G. A; RAHA, P. Analysis and Design of Monolithic, High PSR, Linear Regulators for SoC Applications. In: IEEE INTERNATIONAL SOC CON-FERENCE, 2004, Santa Clara. Proceedings... CA, U.S.A.: IEEE, 2004. p. 311–315.
- [87] LEE, B. S. Understanding the Terms and Definitions of LDO Voltage Regulator. Texas Instruments, Application Report SLVA079, 1999. Disponível em: <a href="http://www.ti.com/lit/an/slva079/slva079.pdf">http://www.ti.com/lit/an/slva079/slva079.pdf</a>. Acesso em: 01 fev. 2016.
- [88] SILVA, A. S. et al. Fluxo de projeto de blocos de propriedade intelectual analógicos. Disponível em: <a href="https://semanaacademica.org.br/system/files/artigos/artigo-fluxodeprojetodeblocosipanalogicos.pdf">https://semanaacademica.org.br/system/files/artigos/artigofluxodeprojetodeblocosipanalogicos.pdf</a>>. Acesso em: 04 jun. 2018.
- [89] IVANOV, V. Design Methodology and Circuit Techniques for Any-Load Stable LDOs with Instant Load Regulation and Low Noise. In: STEYAERT, M.; ROERMUND, A. H.; CASIER, H. Analog Circuit Design. 1. ed. Dordrecht: Springer, 2009. p. 339–358.
- [90] IBM Microelectronics Division Analog & Mixed Signal Technology Development. BiCMOS8HP Design Manual V1610. IBM Corporation. 22 jun. 2015.
- [91] Saha, S. K. Modeling Process Variability in Scaled CMOS Technology. IEEE Design & Test of Computers, v. 27, p. 8–16, 2010.
- [92] Saxena, V. Analog integrated circuit design: Opamp design and simulation. Disponível em: <a href="https://www.lumerink.com/courses/ece515/Handouts/Opamp%20-Design%20and%20Simulation.pdf">https://www.lumerink.com/courses/ece515/Handouts/Opamp%20-Design%20and%20Simulation.pdf</a>> Acesso em: 04 jun. 2018.
- [93] EL-NOZAHI, M. et al. High PSR Low Drop-Out Regulator With Feed-Forward Ripple Cancellation Technique. IEEE Journal of Solid-State Circuits, v. 45, n. 3, p. 565–577, Mar. 2010.
- [94] Renesas. Semiconductor Package Mount Manual: R50ZZ0003EJ0700, Mar. 2016 – Revisão 7. Disponível em: <a href="https://www.renesas.com/zh-tw/doc/products/others/r50zz0003ej0700\_package.pdf">https://www.renesas.com/zh-tw/doc/products/others/r50zz0003ej0700\_package.pdf</a>>. Acesso em: 15 out. 2016.
- [95] TUMMALA, R. R; RYMASZEWSKI, E. J; KLOPFENSTEIN, A. G. Microelectronics Packaging Handbook: Semiconductor Packaging. 2. ed. Massachusetts, USA: Kluwer Academic, 1999. (Part II)

- [96] GIACOMINI, R. ; MARTINO, J. A. A Simple Current Model for Edgeless SOI nMOS-FET and a 3-D Analysis. Solid-State Electronics, Kidlington, v. 49, p. 1255–1261, 2005.
- [97] MARTIN, D; RUMIN, N. C. Delay prediction from resistance-capacitance models of general MOS circuits. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, v. 12, n.7, Jul. 1993.
- [98] GREEN, T. A review of EOS/ESD field failures in military equipment. In: PROCE-EDINGS OF THE 10TH EOS/ESD SYMPOSIUM. Proceedings... ESD Association, 1988. p. 7–14.
- [99] WAGNER, R. G; SODEN, J; HAWKINS, C.F. Extent and cost of EOS/ESD damage in an IC manufacturing process. In: PROCEEDINGS OF THE 15TH EOS/ESD SYMPO-SIUM. Proceedings... ESD Association, 1993. p. 49–55.
- [100] VINSON, J. E. et al. ESD Design and Analysis Handbook. 1 ed. New York, U.S.A.: Kluwer Academic, 2003.
- [101] VOLDMAN, S. H. ESD Basics: From Semiconductor Manufacturing to Product Use. 1. ed. U.K.: John Wiley & Sons, 2012.
- [102] Agilent Technologies. Agilent InfiniiVision 3000 X-Series Oscilloscopes: User's Guide. Disponível em: <a href="http://web.mit.edu/6.115/www/document/agilent\_mso-x\_manual.pdf">http://web.mit.edu/6.115/www/document/agilent\_msox\_manual.pdf</a>>. Acesso em: 27 abr. 2018.
- [103] Texas Instruments. Measuring PSR in an ADC. Disponível em: <a href="https://e2e.ti.com/blogs\_/b/powerhouse/archive/2015/01/24/measuring-psrr-in-an-adc">https://e2e.ti.com/blogs\_/b/powerhouse/archive/2015/01/24/measuring-psrr-in-an-adc</a>. Acesso em: 27 abr. 2018.
- [104] RINCÓN-MORA, G. A Low-Voltage, Low Quiescent Current, Low Drop-Out Regulator. IEEE Journal of Solid-State Circuits, v. 33, n. 1, p. 36–44, 1998.
- [105] HAZUCHA, P. Area-Efficient Linear Regulator With Ultra-Fast Load Regulation. IEEE Journal of Solid-State Circuits, v. 40, n. 4, 2005.
- [106] HO, E. N. Y. A Capacitor-Less CMOS Active Feedback LDO Regulator with Slew-Rate Enhancement for Portable On-Chip Application. IEEE Transaction On Circuits And Systems, v. 57, n. 2, 2010.
- [107] SOUZA, A. D; BAMPI, S. Design of a Capacitorless Low-Dropout Voltage Regulator with Fast Load Regulation in 130nm CMOS. In: IEEE INTERNATIONAL CONFE-RENCE ON ELECTRONICS, CIRCUITS, AND SYSTEMS (ICECS), 19., 2012, Seville. Proceedings... Seville, Espanha. p. 873–876.
- [108] Shimadzu do Brasil. XRD-6100: Difratômetro de Raios-X. Disponível em: <a href="http://www.shimadzu.com.br/analitica/produtos/difratometros/xrd-6100.shtml">http://www.shimadzu.com.br/analitica/produtos/difratometros/xrd-6100.shtml</a>. Acesso em: 15 dez. 2017.
- [109] Texas Instruments. **TI Space Products Guide 2017:** Revision E. Disponível em: <a href="http://www.ti.com/lit/sg/slyt532e/slyt532e.pdf">http://www.ti.com/lit/sg/slyt532e/slyt532e.pdf</a>>. Acesso em: 27 abr. 2018.

APÊNDICE A – CIRCUITO ELÉTRICO DA PLACA DE TESTE







APÊNDICE B – PLACA DE TESTE PCB

Figura 104 – Leiaute da placa de teste PCB para validação experimental dos reguladores de tensão CL–LDO–RM e CL–LDO–OM.



Fonte: Autor. Legenda: (a) Face inferior; (b) Face superior.

Figura 105 – Placa de teste PCB fabricada para caracterização experimental dos reguladores de tensão CL–LDO estudados, contendo todas as conexões e componentes discretos soldados.



Fonte: Autor.