

**CENTRO UNIVERSITÁRIO DA FEI**  
**BRUNA CARDOSO PAZ**

**MODELAGEM DE NANOFIOS TRANSISTORES MOS SEM JUNÇÕES DE PORTA  
DUPLA E TRIPLA**

**São Bernardo do Campo**  
**2015**

**BRUNA CARDOSO PAZ**

**MODELAGEM DE NANOFIOS TRANSISTORES MOS SEM JUNÇÕES DE PORTA  
DUPLA E TRIPLA**

Dissertação apresentada ao Centro  
Universitário da FEI como parte dos  
requisitos necessários para obtenção do  
título de Mestre em Engenharia Elétrica,  
orientada pelo Prof. Dr. Marcelo Antonio  
Pavanello.

**São Bernardo do Campo**

**2015**

Paz, Bruna Cardoso.

Modelagem de nanofios transistores mos sem junções de porta dupla e tripla / Bruna Cardoso Paz. São Bernardo do Campo, 2015. 139 f. : il.

Dissertação - Centro Universitário da FEI.

Orientador: Prof. Dr. Marcelo Antonio Pavanello.

1. Transistores MOS sem junções. 2. Modelagem. 3. Efeitos de canal curto. I. Pavanello, Marcelo Antonio, orient. II. Título.

CDU 621.382.3

**Aluno:** Bruna Cardoso Paz

**Matrícula:** 113104-4

**Título do Trabalho:** Modelagem de nanofios transistores MOS sem junções de porta dupla e tripla.

**Área de Concentração:** Dispositivos Eletrônicos Integrados

**Orientador:** Prof. Dr. Marcelo Antonio Pavanello

**Data da realização da defesa:** 29/04/2015

**ORIGINAL ASSINADA**

A Banca Examinadora abaixo-assinada atribuiu ao aluno o seguinte:

APROVADO ☒

REPROVADO ☐

São Bernardo do Campo, 29 de Abril de 2015.

**MEMBROS DA BANCA EXAMINADORA**

Prof. Dr. Marcelo Antonio Pavanello

Ass.: \_\_\_\_\_

Prof. Dr. Renato Camargo Giacomini

Ass.: \_\_\_\_\_

Prof.<sup>a</sup> Dr.<sup>a</sup> Sara Dereste dos Santos

Ass.: \_\_\_\_\_

**VERSÃO FINAL DA DISSERTAÇÃO**

**ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS  
RECOMENDAÇÕES DA BANCA EXAMINADORA**

Aprovação do Coordenador do Programa de Pós-graduação

\_\_\_\_\_  
Prof. Dr. Carlos Eduardo Thomaz

A Deus, que sempre guiou e iluminou o meu caminho. Aos meus pais, minha irmã e minha tia por todo o apoio, amor e dedicação.

## **AGRADECIMENTOS**

Primeiramente a Deus por permitir saúde, tranquilidade e paz interior necessária para cumprir as atividades e enfrentar os desafios.

Ao meu orientador Prof. Dr. Marcelo Antonio Pavanello, a quem tenho muito respeito, carinho e admiração, pois sempre me guiou e aconselhou com sua sabedoria e experiência de modo a conciliar o bom desenvolvimento do trabalho com o meu bem estar pessoal, preocupando-se também com a minha satisfação e contentamento profissional. Gostaria de agradecer imensamente pela confiança, pela dedicação, pelo apoio e por compartilhar os seus preciosos conhecimentos, sem os quais este trabalho não poderia ser realizado.

Ao meu pai e à minha mãe que não pouparam esforços e recursos para garantir minha felicidade, me apoiando em todas as escolhas, aconselhando e confortando nos momentos de dificuldade. Minha irmã e minha tia Claudia, que sempre torceram muito pelo meu sucesso, celebrando os momentos felizes ao longo dessa jornada.

Ao Dr. Mikaël Cassé, ao Dr. Gilles Reimbold e ao Dr. Olivier Faynot por me acolher e orientar no CEA – Leti durante os seis meses em que desenvolvi parte deste trabalho na França.

Ao Dr. Antonio Cerdeira, à Dra. Magali Estrada e ao Fernando Ávila pelos comentários e discussões que colaboraram para a evolução deste trabalho e pela recepção carinhosa que recebi durante a estadia no México.

À Dra. Michelly de Souza, ao Dr. Renan Doria Trevisoli e ao Dr. Rodrigo Trevisoli Doria pelos comentários e discussões extremamente válidos e por toda a ajuda que sempre prestaram com muita sabedoria.

À Lígia e à Arianne, a quem tenho como irmãs de coração, que sempre estiveram ao meu lado, pacientes e bem humoradas.

Aos amigos Genaro, Juliana, Márcio, Rafael, Thales, Andrey, Iliass, Johan e Carlos por toda a ajuda e companheirismo.

À FAPESP, processos 2012/24377-3 e 2014/13816-1, ao CNPq e ao Centro Universitário da FEI pelo suporte financeiro a este trabalho.

## RESUMO

Este trabalho tem por objetivo o desenvolvimento de um modelo contínuo em todas as regiões de operação, para descrever a corrente elétrica de transistores MOS sem junções de canal curto. Para desenvolver este modelo, é realizado um estudo de transistores MOS sem junções, com foco especial para dispositivos de canal curto. É feita uma análise dos resultados provenientes de simulações numéricas tridimensionais, as quais são utilizadas também para validar o modelo proposto.

Para a modelagem, são utilizados os resultados de um modelo contínuo, baseado em cargas, para transistores MOS sem junções de porta dupla e com canal longo, proposto por pesquisadores do CINVESTAV, México. Deste modo, o objetivo é a inclusão dos efeitos de canal curto no modelo existente, de forma a torná-lo funcional para descrever as características dos transistores com comprimentos de canal curto. Para isso, o modelo de canal longo é modificado, acrescentando-se a variação do potencial interno da estrutura, a influência dos campos elétricos vertical e lateral na mobilidade dos portadores, o encurtamento do comprimento do canal efetivo em regime de saturação, a redução da tensão de saturação de dreno e, por fim, a influência da resistência série. Os resultados mostram uma boa concordância entre a simulação e o modelo. Os erros médios da corrente elétrica, transcondutância, tensão de limiar, inclinação de sublimiar e DIBL não ultrapassam 10%, comparando o modelo final de porta dupla com as simulações numéricas. A validação do modelo de porta dupla é feita através de simulações numéricas tridimensionais para transistores sem junções com comprimento de canal de até 30nm.

Posteriormente, são incluídas correções na eletrostática do modelo, para que este possa descrever transistores sem junções de porta tripla. A validação do modelo evoluído para transistores sem junções de porta tripla e canal curto é realizada para simulações numéricas tridimensionais com uma extensa gama de valores de altura da aleta de silício e também para diversos resultados provenientes de medidas experimentais. O modelo é comparado com medidas experimentais de transistores com comprimento de canal de até 15nm, o qual apresenta uma degradação de tensão de limiar de 120mV, inclinação de sublimiar igual a 89,6mV/dec e DIBL de 127mV/V.

Através de uma análise dos resultados obtidos de simulações numéricas tridimensionais dos transistores sem junções de porta dupla e tripla, é possível avaliar o comportamento dos transistores de canal curto com relação à variação de algumas de suas características físicas, como a largura do canal, a concentração de dopantes e o comprimento das regiões de fonte e dreno. Adicionalmente, estudando a influência da redução do comprimento do canal dos transistores MOS sem junções, é possível quantificar a ocorrência dos efeitos de canal curto, analisando a degradação de alguns parâmetros elétricos importantes, como a redução da tensão de limiar, aumento da inclinação de sublimiar e do DIBL. Para o caso dos transistores sem junções de porta dupla estudados, verifica-se uma variação máxima de 26mV de tensão de limiar, 73,5mV/V de DIBL e de 10,8mV/dec de inclinação de sublimiar entre os transistores de comprimento de canal mais longo e mais curto, 1000nm e 30nm, respectivamente.

Palavras-chave: transistores MOS sem junções. Modelagem. Efeitos de canal curto. Simulação numérica. Caracterização Elétrica.

## ABSTRACT

This work aims to propose a model that is continuous in all operation regions, which describes the electric current of short channel junctionless MOS transistors. To prepare this model, a study of junctionless MOS transistors is performed, focusing on short channel devices. An analysis of results is done from tridimensional numerical simulations, which is used to validate the proposed model as well.

To model preparation, it is used the results of a continuous charge-based model, designed for long channel double-gate junctionless MOS transistors, proposed by researchers from CINVESTAV, Mexico. Therefore, the goal is to include the short channel effects in the preexisting long channel transistor model, so, it becomes accurate for short channel devices. Thereby, the long channel model is modified to consider the intrinsic potential changing of the structure, the lateral and vertical electric field influence on carriers' mobility, the effective channel length shortening in saturation regime, the drain saturation voltage decrease and, finally, the series resistance influence. The results show a good agreement between the modeled curves and simulations. The mean errors are lower than 10%, considering the current, transconductance, threshold voltage, subthreshold slope and DIBL, comparing the final model for double-gate junctionless and the numerical simulations. Short channel double gate model is validated through tridimensional numerical simulations for junctionless transistor as short as 30nm.

Then, the model is evolved to describe triple-gate junctionless transistors through implemented corrections concerning electrostatics. Model validation for short channel triple gate junctionless devices is performed for numerical simulations with different values of fin height and also results from experimental measurements. Triple gate junctionless model is compared to experimental device with channel length down to 15nm, which presents threshold voltage degradation of 120mV, subthreshold slope of 89.6mV/dec and DIBL of 127mV/V.

Analyzing the results obtained through tridimensional numerical simulations, the short channel devices behavior is evaluated according to the variation of some physical characteristics, such as channel width, doping concentration and source and drain extensions. Moreover, by studying the reduction of the junctionless transistors channel length, the short channel effects occurrence is quantified, analyzing the degradation of some important electrical parameters, such as the reduction of the threshold voltage, the increase of the subthreshold slope and DIBL. For the double-gate junctionless studied in this work, it is noted a maximum variation of 26mV for the threshold voltage, 73.5mV/V for the DIBL and 10.8mV/dec for the subthreshold slope between the longest and the shortest channel length transistors, 1000nm e 30nm, respectively.

**Keywords:** junctionless MOS transistors. Modeling. Short channel effects. Numerical simulation. Electrical characterization.



## LISTA DE FIGURAS

|                                                                                                                                                                                                                                                                                                                                                                |    |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| Figura 1 – Perfil transversal de um SOI nMOSFET. ....                                                                                                                                                                                                                                                                                                          | 27 |
| Figura 2 – Ilustrações de estruturas CMOS fabricadas em tecnologia MOS convencional (A) e em tecnologia SOI (B). ....                                                                                                                                                                                                                                          | 28 |
| Figura 3 – Perfil transversal de um SOI pMOSFET modo acumulação. ....                                                                                                                                                                                                                                                                                          | 31 |
| Figura 4 – Diagramas de faixas de energia de um pMOSFET modo acumulação vertical (A) e lateral (B), para a situação de depleção completa, ilustrada em (C). ....                                                                                                                                                                                               | 32 |
| Figura 5 – Transistor SOI pMOS modo acumulação operando nas seguintes condições: (A) corpo em triodo com superfície em depleção, (B) corpo em saturação com superfície em depleção, (C) corpo e superfície em triodo, (D) corpo em triodo e superfície em saturação, (E) corpo e superfície em saturação. As regiões brancas indicam regiões de depleção. .... | 34 |
| Figura 6 – Mobilidade total e seus mecanismos de espalhamento em função da concentração de dopantes. ....                                                                                                                                                                                                                                                      | 41 |
| Figura 7 – Curva da velocidade dos portadores em função do campo elétrico lateral [49]. ....                                                                                                                                                                                                                                                                   | 42 |
| Figura 8 – Curva $g_m/I_{DS}$ em função de $I_{DS}/(W_{ef}/L)$ de transistor MOS sem junções de porta dupla, com $V_{DS}=1,5V$ . ....                                                                                                                                                                                                                          | 44 |
| Figura 9 – Seção transversal de transistor MOS convencional de canal longo (A) e de canal curto (B). ....                                                                                                                                                                                                                                                      | 46 |
| Figura 10 – Seção transversal de um FD SOI MOSFET com comprimento de canal de um MOS convencional de canal curto. ....                                                                                                                                                                                                                                         | 46 |
| Figura 11 – Comportamento da barreira de potencial da fonte quando aplicado alto valor de tensão de dreno em transistor de canal longo (A) e curto (B). ....                                                                                                                                                                                                   | 48 |
| Figura 12 – Perspectiva (A) e vista frontal (B) de um SOI FinFET. ....                                                                                                                                                                                                                                                                                         | 50 |
| Figura 13 – Perspectiva (A) e vista frontal (B) de um FinFET de porta tripla. ....                                                                                                                                                                                                                                                                             | 51 |
| Figura 14 – Esquema de estrutura multi-dedos de FinFETs porta tripla com indicações de dimensões notáveis (A), seu respectivo layout (B) e layout de MOSFET planar de porta única. (C). ....                                                                                                                                                                   | 52 |
| Figura 15 – Perspectiva (A) e perfil transversal (B) de um transistor SOI nMOS sem junções. ....                                                                                                                                                                                                                                                               | 53 |

|                                                                                                                                                                                                                                                                                                                                                                            |    |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| Figura 16 – Esquema da seção transversal de um JNT operando em depleção completa (A), depleção parcial (B) e acumulação (C), e respectivos diagramas de faixas de energia simplificados.....                                                                                                                                                                               | 55 |
| Figura 17 – Curvas do logaritmo da corrente de dreno em função da tensão de porta, para o transistor modo acumulação (A) e sem junções (B).....                                                                                                                                                                                                                            | 56 |
| Figura 18 – Estrutura bidimensional do transistor sem junções utilizado para a modelagem..                                                                                                                                                                                                                                                                                 | 57 |
| Figura 19 – Carga móvel em função da tensão de porta para diferentes valores de $V_{DS}$ , indicando que $q_n$ vale -0,25 no limiar [21]. ....                                                                                                                                                                                                                             | 61 |
| Figura 20 – Potencial eletrostático ao longo da estrutura para as seções vertical e horizontal, em $L/2$ , para um transistor sem junções com $L=50\text{nm}$ , $V_{GS}=0\text{V}$ e $V_{DS}=50\text{mV}$ (A). Resultados simulados para $\phi_0$ em $W/2$ e $H/2$ em função do comprimento normalizado por $L$ (B), para $V_{GS}=0\text{V}$ e $V_{DS}=1,5\text{V}$ . .... | 65 |
| Figura 21 – Resultados de $y_{\min}$ (A) e $\phi_{\min}$ (B) em função de $V_{DS}$ , para JNTs simulados e modelados com $V_{GS}=0\text{V}$ . ....                                                                                                                                                                                                                         | 67 |
| Figura 22 – Estrutura de transistor porta dupla em regime de saturação. ....                                                                                                                                                                                                                                                                                               | 68 |
| Figura 23 – $V_{Sat}$ versus $V_{GT}$ para modelo e simulação de JNT com $L=50\text{nm}$ . ....                                                                                                                                                                                                                                                                            | 71 |
| Figura 24 – $I_{DS}$ versus $V_{DS}$ para modelo e simulação de JNT com $L=50\text{nm}$ . ....                                                                                                                                                                                                                                                                             | 72 |
| Figura 25 – Ilustração das capacitâncias de canto na visão frontal de um JNT de porta tripla. ....                                                                                                                                                                                                                                                                         | 74 |
| Figura 26 – Curvas simuladas para o potencial em $W/2$ e $L/2$ ao longo da altura do fin em condição de limiar, $L=30$ e $1000\text{nm}$ ( $V_{DS}=0\text{V}$ ).....                                                                                                                                                                                                       | 76 |
| Figura 27 – Resultados simulados de $\phi_s$ , $\phi_0$ e $V_{TH}$ em $V_{DS}=50\text{mV}$ e modelos de $V_{TH}$ para um JNT de porta tripla e dupla. ....                                                                                                                                                                                                                 | 76 |
| Figura 28 – $I_{DS}$ versus $V_{GS}$ , em escala linear e logarítmica, e $g_m$ versus $V_{GS}$ , com $V_{DS} = 50\text{mV}$ (A), $0,5\text{V}$ (B) e $1,5\text{V}$ (C) para modelo e simulação dos transistores.....                                                                                                                                                       | 81 |
| Figura 29 – $I_{DS}$ versus $V_{DS}$ com $V_{GS} = 0,5\text{V}$ (A) e $V_{GS} = 1\text{V}$ , para modelo e simulação dos transistores. ....                                                                                                                                                                                                                                | 82 |
| Figura 30 – $V_{TH}$ e $S$ versus $L$ com $V_{DS} = 50\text{mV}$ , para modelo e simulação dos transistores...                                                                                                                                                                                                                                                             | 83 |
| Figura 31 – DIBL versus $L$ para modelo e simulação dos transistores. ....                                                                                                                                                                                                                                                                                                 | 83 |
| Figura 32 – $I_{DS}/(W_{ef}/L)$ versus $V_{GS}$ para JNTs com diferentes comprimentos de canal, $V_{DS}$ de $50\text{mV}$ (A) e $1,5\text{V}$ (B).....                                                                                                                                                                                                                     | 85 |

|                                                                                                                                                                                                |     |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----|
| Figura 33 – $g_m/(W_{ef}/L)$ versus $V_{GS}$ para JNTs com diferentes valores de $L$ , $V_{DS}=50mV$ e $1,5V$ .<br>.....                                                                       | 86  |
| Figura 34 – $I_{DS}/(W_{ef}/L)$ e $g_D/(W_{ef}/L)$ versus $V_{DS}$ para JNTs com diferentes valores de $L$ e $V_{GT}=200mV$ .<br>.....                                                         | 87  |
| Figura 35 – $I_{DS}$ versus $V_{GS}$ para JNTs com diferentes valores de $W$ , $V_{DS}=50mV$ e $1,5V$ .<br>.....                                                                               | 88  |
| Figura 36 – $g_m$ versus $V_{GS}$ para JNTs com diferentes valores de $W$ com $V_{DS}=50mV$ .<br>.....                                                                                         | 88  |
| Figura 37 – $I_{DS}$ e $g_D$ versus $V_{DS}$ para JNTs com diferentes valores de $W$ e $V_{GT}=200mV$ .<br>.....                                                                               | 89  |
| Figura 38 – $I_{DS}$ versus $V_{GS}$ para JNTs com diferentes valores de $N_D$ , $V_{DS}=50mV$ e $1,5V$ .<br>.....                                                                             | 90  |
| Figura 39 – $g_m$ versus $V_{GS}$ para JNTs com diferentes valores de $N_D$ e $V_{DS}=50mV$ .<br>.....                                                                                         | 90  |
| Figura 40 – $I_{DS}$ e $g_D$ versus $V_{DS}$ para JNTs com diferentes valores de $N_D$ e $V_{GT}=200mV$ .<br>.....                                                                             | 91  |
| Figura 41 – $I_{DS}$ versus $V_{GS}$ para JNTs com diferentes valores de $L_{SD}$ , $V_{DS}=50mV$ e $1,5V$ .<br>.....                                                                          | 93  |
| Figura 42 – $I_{DS}$ versus $V_{DS}$ para JNTs com diferentes valores de $L_{SD}$ e $V_{GT}=200mV$ .<br>.....                                                                                  | 94  |
| Figura 43 – $I_{DS}/(W_{ef}/L)$ versus $V_{GS}$ para diferentes valores de $H$ , $L=30nm$ e $1000nm$ , $V_{DS}=50mV$ (A) e $1,5V$ (B).<br>.....                                                | 96  |
| Figura 44 – $I_{DS} \times L$ e $g_D$ versus $V_{DS}$ para diferentes valores de $H$ , $L=30nm$ e $1000nm$ , $V_{GT}=200mV$ .<br>.....                                                         | 96  |
| Figura 45 – Medidas experimentais e modelo de curvas $I_{DS}$ versus $V_{GS}$ para diferentes valores de $L$ , $V_{DS}=50mV$ e $0,9V$ .<br>.....                                               | 99  |
| Figura 46 – Medidas experimentais e modelo de curvas $I_{DS}$ versus $V_{GS}$ para diferentes valores de $N_D$ e $W$ , com $V_{DS}=0,9V$ .<br>.....                                            | 100 |
| Figura 47 – Medidas experimentais e modelo de curvas $g_m$ versus $V_{GS}$ para diferentes valores de $N_D$ e $W$ , com $V_{DS}=50mV$ .<br>.....                                               | 101 |
| Figura 48 – Curvas $I_{DS}$ versus $V_{GS}$ para JNTs com $L$ variando de $30$ a $1000nm$ , $N_D$ de $1 \times 10^{19}cm^{-3}$ (A) e $5 \times 10^{18}cm^{-3}$ (B), $V_{DS} = 50mV$ .<br>..... | 103 |
| Figura 49 – $V_{TH}$ versus $L$ para JNTs simulados, $N_D$ de $1 \times 10^{19}cm^{-3}$ e $5 \times 10^{18}cm^{-3}$ e $V_{DS} = 50mV$ .<br>.....                                               | 104 |
| Figura 50 – $S$ versus $L$ para JNTs com $L$ de $30$ a $1000nm$ , $N_D$ de $1 \times 10^{19}cm^{-3}$ e $5 \times 10^{18}cm^{-3}$ e $V_{DS} = 50mV$ .<br>.....                                  | 105 |
| Figura 51 – Curvas de $I_{DS}$ em escala logarítmica versus $V_{GS}$ para JNTs com $N_D$ de $1 \times 10^{19}cm^{-3}$ (A) e $5 \times 10^{18}cm^{-3}$ (B), $V_{DS}=50mV$ .<br>.....            | 105 |
| Figura 52 – DIBL versus $L$ para JNTs com $L$ de $30$ a $1000nm$ , $N_D$ de $1 \times 10^{19}cm^{-3}$ e $5 \times 10^{18}cm^{-3}$ .<br>.....                                                   | 106 |

## LISTA DE TABELAS

|                                                                                                                                                                                               |     |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----|
| Tabela 1 – Parâmetros geométricos dos transistores sem junções de porta dupla. ....                                                                                                           | 79  |
| Tabela 2 – Coeficiente de degradação da mobilidade extraído. ....                                                                                                                             | 79  |
| Tabela 3 – Parâmetros geométricos dos transistores sem junções de porta dupla. ....                                                                                                           | 84  |
| Tabela 4 – Parâmetros de ajuste utilizados para modelar os JNTs com $W=10\text{nm}$ e $N_D=1 \times 10^{19}\text{cm}^{-3}$ . ....                                                             | 87  |
| Tabela 5 – Parâmetros extraídos das curvas simuladas e modelos de JNTs com $W=10\text{nm}$ e $N_D=1 \times 10^{19}\text{cm}^{-3}$ . ....                                                      | 91  |
| Tabela 6 – Parâmetros extraídos das curvas simuladas e modelos de JNTs com $L=50\text{nm}$ e $N_D=5 \times 10^{18}\text{cm}^{-3}$ . ....                                                      | 92  |
| Tabela 7 – Parâmetros extraídos das curvas simuladas e modelos de JNTs com $L=50\text{nm}$ e $W=10\text{nm}$ . ....                                                                           | 92  |
| Tabela 8 – Parâmetros de ajuste para modelar a corrente de JNTs de porta tripla. ....                                                                                                         | 97  |
| Tabela 9 – Parâmetros extraídos das curvas simuladas e modelos de JNTs com $L=30\text{nm}$ . ....                                                                                             | 97  |
| Tabela 10 – Parâmetros extraídos das curvas simuladas e modelos de JNTs com $L=1000\text{nm}$ . ....                                                                                          | 98  |
| Tabela 11 – Parâmetros extraídos das curvas medidas e modelos de JNTs com $N_D=1,2 \times 10^{19}\text{cm}^{-3}$ e $W=12\text{nm}$ . ....                                                     | 99  |
| Tabela 12 – Parâmetros extraídos das curvas medidas e modelos de JNTs com $N_D=1,2 \times 10^{19}\text{cm}^{-3}$ e $2 \times 10^{19}\text{cm}^{-3}$ , $L=100\text{nm}$ e $40\text{nm}$ . .... | 101 |
| Tabela 13 – Parâmetros geométricos utilizados para as simulações dos transistores sem junções de porta tripla. ....                                                                           | 102 |

## LISTA DE ABREVIATURAS E SIGLAS

|           |                                                                                                                                                                        |
|-----------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| CEA       | <i>Commissariat à l'énergie atomique et aux énergies alternatives</i> –<br>Comissão de Energia Atômica e Energias Alternativas                                         |
| CINVESTAV | <i>Centro de Investigación y Estudios Avanzados del Instituto Politécnico Nacional</i> – Centro de Investigação e Estudos Avançados do Instituto Politécnico Nacional. |
| CMOS      | <i>Complementary Metal-Oxide-Semiconductor</i> – Metal-Óxido-Semicondutor Complementar                                                                                 |
| CYNTHIA   | <i>Cylindrical Thin-Pillar Transistor</i> – Transistor Cilíndrico Vertical                                                                                             |
| DELTA     | <i>Fully Depleted Lean-channel Transistor</i> – Transistor de Canal Vertical Totalmente Depletado                                                                      |
| DIBL      | <i>Drain-Induced Barrier Lowering</i> – Redução da Barreira Induzida pelo Dreno                                                                                        |
| FD        | <i>Fully depleted</i> – Totalmente depletado                                                                                                                           |
| FinFET    | <i>Fin Field-Effect Transistor</i> – Transistor de Efeito de Campo Fin                                                                                                 |
| GAA       | <i>Gate-All-Around</i> – Porta Circundante                                                                                                                             |
| JNT       | <i>Junctionless Nanowire Transistor</i> – Transistor Nanofio Sem Junções                                                                                               |
| Leti      | <i>Laboratoire d'électronique et de technologie de l'information</i> –<br>Laboratório de Eletrônica da Tecnologia da Informação                                        |
| LW        | Função de Lambert                                                                                                                                                      |
| MFXMOS    | <i>Multi-Fin X MOS</i> – XMOS Multi-dedos                                                                                                                              |
| MOS       | <i>Metal-Oxide-Semiconductor</i> – Metal-Óxido-Semicondutor                                                                                                            |
| MOSFET    | <i>Metal-Oxide-Semiconductor Field-Effect Transistor</i> – Transistor de Efeito de Campo Metal-Óxido-Semicondutor                                                      |
| NFD       | <i>Near-Fully depleted</i> – Quase-Totalmente depletado                                                                                                                |
| nMOS      | <i>n-type Metal-Oxide-Semiconductor</i> – Metal-Óxido-Semicondutor tipo n                                                                                              |
| nMOSFET   | <i>n-type Metal-Oxide-Semiconductor Field-Effect Transistor</i> – Transistor de Efeito de Campo Metal-Óxido-Semicondutor tipo n                                        |
| NPN       | Transistor bipolar composto por junções com materiais do tipo n, p e n                                                                                                 |
| PD        | <i>Partially Depleted</i> – Parcialmente depletado                                                                                                                     |
| pMOS      | <i>p-type Metal-Oxide-Semiconductor</i> – Metal-Óxido-Semicondutor tipo p                                                                                              |

|         |                                                                                                                                              |
|---------|----------------------------------------------------------------------------------------------------------------------------------------------|
| pMOSFET | <i>p-type Metal-Oxide-Semiconductor Field-Effect Transistor</i> – Transistor de Efeito de Campo Metal-Óxido-Semicondutor tipo p              |
| PNP     | Transistor bipolar composto por junções com materiais do tipo p, n e p                                                                       |
| SCE     | <i>Short Channel Effects</i> – Efeitos de Canal Curto                                                                                        |
| SDEVICE | <i>Sentaurus Device Simulator</i> – Simulador de Dispositivo Sentaurus                                                                       |
| SOI     | <i>Silicon-On-Insulator</i> – Silício-Sobre-Isolante                                                                                         |
| SON     | <i>Silicon-On-Nothing</i> – Silício-Sobre-Nada                                                                                               |
| SRH     | Shockley-Read-Hall                                                                                                                           |
| ULSI    | <i>Ultra Large Scale Integration</i> – Altíssima Escala de Integração                                                                        |
| XMOS    | Transistor MOS assim denominado por apresentar seção transversal similar à letra grega $\Xi$ , que corresponde à letra X, no alfabeto latino |

## LISTA DE SÍMBOLOS

|             |                                                                                       |
|-------------|---------------------------------------------------------------------------------------|
| $C_{BOX}$   | Capacitância do óxido enterrado por unidade de área [F/cm <sup>2</sup> ]              |
| $C_{fr}$    | Capacitância de canto por unidade de comprimento [F/cm]                               |
| $C_{ox}$    | Capacitância de porta por unidade de área [F/cm <sup>2</sup> ]                        |
| $C_{ox}'$   | Capacitância de porta por unidade de comprimento [F/cm]                               |
| $C_{Si}$    | Capacitância da camada de silício por unidade de área [F/cm <sup>2</sup> ]            |
| $d$         | Espessura de depleção induzida por um potencial [cm]                                  |
| $d_1$       | Distância entre as placas que formam um capacitor de placas perpendiculares [nm]      |
| $d_2$       | Comprimento da menor das placas que forma um capacitor de placas perpendiculares [nm] |
| $d_i$       | Dimensão relacionada a depleção da junção de fonte e dreno de um SOI MOSFET [cm]      |
| $d_{máx}$   | Espessura máxima de depleção [cm]                                                     |
| $E_C$       | Primeiro nível de energia da banda de condução do semiconductor [eV]                  |
| $E_{crit}$  | Campo elétrico crítico [V/cm]                                                         |
| $E_{eff}$   | Campo elétrico efetivo [V/cm]                                                         |
| $E_F$       | Nível de energia de Fermi do semiconductor [eV]                                       |
| $E_G$       | Largura da banda proibida [eV]                                                        |
| $E_i$       | Nível intrínseco de energia do semiconductor [eV]                                     |
| $E_{M1}$    | Nível de energia de Fermi do material de porta frontal [eV]                           |
| $E_{M2}$    | Nível de energia de Fermi do material de porta traseira [eV]                          |
| $E_s$       | Campo elétrico de superfície [V/cm]                                                   |
| $E_v$       | Último nível de energia da banda de valência do semiconductor [eV]                    |
| $E_{VÁCUO}$ | Nível de energia do vácuo [eV]                                                        |
| $E_y$       | Campo elétrico lateral [V/cm]                                                         |
| $g_D$       | Condutância de saída [S]                                                              |
| $g_m$       | Transcondutância [S]                                                                  |
| $H$         | Altura do <i>fin</i> do transistor de múltiplas portas [nm]                           |
| $h$         | Constante de Planck [6,63x10 <sup>-34</sup> J.s]                                      |
| $I_{acc}$   | Corrente de acumulação do transistor modo acumulação [A]                              |

|            |                                                                                                                                 |
|------------|---------------------------------------------------------------------------------------------------------------------------------|
| $I_b$      | Corrente de corpo do transistor modo acumulação [A]                                                                             |
| $I_{Dfin}$ | Corrente de um transistor de múltiplas portas em uma estrutura multi-dedos [A]                                                  |
| $I_{DS0}$  | Corrente de um transistor planar de porta única com área correspondente a de uma estrutura multi-dedos [A]                      |
| $I_{OFF}$  | Corrente de desligamento [A]                                                                                                    |
| $k$        | Constante de Boltzmann [ $1,38 \times 10^{-23}$ J/K]                                                                            |
| $K$        | Fator associado a mobilidade e as dimensões do dispositivo usado para o cálculo da corrente de dreno de transistores sem junção |
| $\kappa$   | Parâmetro de ajuste do cálculo do comprimento efetivo do canal                                                                  |
| $L$        | Comprimento do canal do transistor [nm]                                                                                         |
| $L_{eff}$  | Comprimento efetivo do canal do transistor [nm]                                                                                 |
| $L_{SD}$   | Comprimento das regiões de fonte e dreno do transistor [nm]                                                                     |
| $m^*$      | Massa de confinamento do portador na direção transversal [kg]                                                                   |
| $m_0$      | Massa do elétron [ $9,11 \times 10^{-31}$ kg]                                                                                   |
| $m_{ce}^*$ | Massa efetiva de condução para elétrons                                                                                         |
| $m_{ch}^*$ | Massa efetiva de condução para lacunas                                                                                          |
| $n$        | Fator de corpo                                                                                                                  |
| $N_A$      | Concentração de impurezas aceitadoras [ $cm^{-3}$ ]                                                                             |
| $N_A^-$    | Concentração de impurezas aceitadoras ionizadas da camada de silício [ $cm^{-3}$ ]                                              |
| $N_D$      | Concentração de impurezas doadoras [ $cm^{-3}$ ]                                                                                |
| $n_i$      | Concentração intrínseca de portadores [ $cm^{-3}$ ]                                                                             |
| $N_{it}$   | Densidade de armadilhas de interface por unidade de área [ $F/cm^2$ ]                                                           |
| $N_{pts}$  | Número de pontos da curva que se deseja calcular o erro médio percentual                                                        |
| $p$        | Número de lacunas livres [ $cm^{-3}$ ]                                                                                          |
| $P$        | Período da estrutura multi-dedos [nm]                                                                                           |
| $q$        | Carga elementar do elétron [ $1,6 \times 10^{-19}$ C]                                                                           |
| $Q_b$      | Densidade de cargas fixas no silício por unidade de área [ $C/cm^2$ ]                                                           |
| $q_b$      | Densidade de cargas fixas no silício por unidade de área normalizada por $C_{ox}\phi_t$                                         |
| $q_n$      | Densidade de cargas móveis normalizada por $C_{ox}\phi_t$                                                                       |
| $Q_n$      | Densidade de cargas móveis por unidade de comprimento [ $C/cm$ ]                                                                |
| $Q_{ox}$   | Densidade de cargas fixas no óxido por unidade de área [ $C/cm^2$ ]                                                             |



|                     |                                                                                                   |
|---------------------|---------------------------------------------------------------------------------------------------|
| $Q_{\text{sem}}$    | Densidade de cargas na metade da camada de silício [ $\text{C}/\text{cm}^2$ ]                     |
| $q_{\text{sem}}$    | Densidade de cargas na metade da camada de silício normalizadas por $C_{\text{ox}}\phi_t$         |
| $Q_{\text{Sif}}$    | Densidade de cargas fixas no silício controladas pela porta [ $\text{C}/\text{cm}^2$ ]            |
| $R$                 | Resistência série associada ao transistor [ $\Omega$ ]                                            |
| $R_{\text{ch}}$     | Resistência associada ao canal do transistor [ $\Omega$ ]                                         |
| $r_j$               | Profundidade da junção de fonte e dreno de um MOSFET convencional [cm]                            |
| $S$                 | Inclinação de sublimar [ $\text{mV}/\text{década}$ ]                                              |
| $T$                 | Temperatura absoluta [K]                                                                          |
| $t_{\text{BOX}}$    | Espessura da camada de óxido enterrado [nm]                                                       |
| $t_{\text{ox}}$     | Espessura do óxido de porta [nm]                                                                  |
| $t_{\text{ox,lat}}$ | Espessura do óxido das portas laterais do transistor de porta dupla [nm]                          |
| $t_{\text{ox,top}}$ | Espessura do óxido de porta no topo do transistor de porta dupla [nm]                             |
| $t_{\text{Si}}$     | Espessura da camada de silício [nm]                                                               |
| $U$                 | Potencial aplicado próximo à fonte [V]                                                            |
| $V$                 | Queda de potencial entre a porta e o dreno [V]                                                    |
| $v$                 | Velocidade de deriva dos portadores [ $\text{cm}/\text{s}$ ]                                      |
| $V_{\text{B}}$      | Tensão do substrato [V]                                                                           |
| $V_{\text{B,acc}}$  | Tensão de substrato necessária para acumular a segunda interface [V]                              |
| $V_{\text{D}}$      | Tensão de dreno [V]                                                                               |
| $V_{\text{DS}}$     | Tensão aplicada entre dreno e fonte [V]                                                           |
| $V_{\text{DS},1}$   | Baixa tensão aplicada entre dreno e fonte utilizada para o cálculo do DIBL [V]                    |
| $V_{\text{DS},2}$   | Alta tensão aplicada entre dreno e fonte utilizada para o cálculo do DIBL [V]                     |
| $V_{\text{DS,eff}}$ | Tensão efetivamente aplicada entre dreno e fonte [V]                                              |
| $V_{\text{DS,Rs}}$  | Tensão aplicada entre dreno e fonte que considera a perda do potencial nas resistências série [V] |
| $V_{\text{FB}}$     | Tensão de faixa plana [V]                                                                         |
| $V_{\text{FB}}'$    | Tensão de faixa plana considerando as cargas fixas no óxido [V]                                   |
| $V_{\text{G}}$      | Tensão de porta [V]                                                                               |
| $V_{\text{GS}}$     | Tensão aplicada entre a porta e a fonte [V]                                                       |
| $V_{\text{GS,eff}}$ | Tensão efetiva aplicada entre a porta e a fonte que considera os efeitos de canal curto [V]       |

|                  |                                                                                                                          |
|------------------|--------------------------------------------------------------------------------------------------------------------------|
| $V_{GS,RS}$      | Tensão aplicada entre porta e fonte que considera a perda do potencial nas resistências série [V]                        |
| $V_{GT}$         | Sobretensão de porta [V]                                                                                                 |
| $V_{modelo}$     | Valor da grandeza que se deseja calcular o erro médio percentual, em um ponto da curva modelada                          |
| $V_S$            | Tensão da fonte [V]                                                                                                      |
| $V_{sat}$        | Tensão de saturação de dreno [V]                                                                                         |
| $v_{sat}$        | Velocidade de saturação [cm/s]                                                                                           |
| $V_{sim/medida}$ | Valor da grandeza que se deseja calcular o erro médio percentual, em um ponto da curva de referência, simulada ou medida |
| $V_{TH}$         | Tensão de limiar [V]                                                                                                     |
| $V_{TH,1}$       | Tensão de limiar obtida quando aplicada baixa tensão de dreno [V]                                                        |
| $V_{TH,2}$       | Tensão de limiar obtida quando aplicada alta tensão de dreno [V]                                                         |
| $V_{TH,acc}$     | Tensão de limiar de FD SOI com a segunda interface em acumulação [V]                                                     |
| $V_{TH,body}$    | Tensão de limiar de pMOS modo acumulação para permitir corrente de corpo [V]                                             |
| $V_{TH,depl}$    | Tensão de limiar de FD SOI com a segunda interface em depleção [V]                                                       |
| $W$              | Largura do <i>fin</i> do transistor de múltiplas portas [nm]                                                             |
| $W_{ef}$         | Largura efetiva de porta do transistor de múltiplas portas [nm]                                                          |
| $x$              | Eixo na direção da largura do transistor                                                                                 |
| $x_{d1}$         | Região de depleção induzida na primeira interface de um transistor modo acumulação                                       |
| $x_{d2}$         | Região de depleção induzida na segunda interface de um transistor modo acumulação                                        |
| $Y$              | Potencial aplicado próximo ao dreno [V]                                                                                  |
| $y_{min}$        | Ponto de mínimo potencial ao longo do comprimento do canal [nm]                                                          |
| $z$              | Eixo na direção da altura do transistor                                                                                  |
| $\hbar$          | Constante de Planck normalizada [ $1,055 \times 10^{-34}$ J.s]                                                           |
| $\Delta V_{GS}$  | Deslocamento da tensão aplicada entre porta e fonte que considera os efeitos de canal curto [V]                          |
| $\alpha$         | Diferença de potencial entre superfície e centro, normalizada pelo potencial térmico                                     |

|                 |                                                                                                                        |
|-----------------|------------------------------------------------------------------------------------------------------------------------|
| $\alpha_s$      | Coeficiente de espalhamento [cm/V]                                                                                     |
| $\alpha_{st}$   | Diferença de potencial entre superfície e centro, normalizada pelo potencial térmico, na condição de sublimar          |
| $\alpha_T$      | Diferença de potencial entre superfície e centro, normalizada pelo potencial térmico, no limiar                        |
| $\beta$         | Parâmetro constante associado a influência da velocidade de saturação na mobilidade                                    |
| $\epsilon_0$    | Permissividade elétrica do vácuo [ $8,85 \times 10^{-14}$ F/cm]                                                        |
| $\epsilon_{ox}$ | Permissividade elétrica do óxido de silício [ $3,45 \times 10^{-13}$ F/cm]                                             |
| $\epsilon_{Si}$ | Permissividade elétrica do silício [ $1,06 \times 10^{-12}$ F/cm]                                                      |
| $\phi$          | Queda de potencial que induz uma região de depleção [V]                                                                |
| $\phi_F$        | Potencial de Fermi [V]                                                                                                 |
| $\phi_{M1}$     | Função trabalho da porta frontal [V]                                                                                   |
| $\phi_{M2}$     | Função trabalho da porta traseira [V]                                                                                  |
| $\phi_{mi}$     | Diferença de função trabalho entre a porta e o silício intrínseco [V]                                                  |
| $\phi_{min}$    | Variação da barreira do mínimo potencial de um transistor de canal curto em relação a um transistor de canal longo [V] |
| $\phi_{MS1}$    | Diferença de função trabalho entre a porta frontal e o silício [V]                                                     |
| $\varphi$       | Potencial [V]                                                                                                          |
| $\varphi_0$     | Potencial no centro do transistor [V]                                                                                  |
| $\varphi_s$     | Potencial de superfície [V]                                                                                            |
| $\varphi_t$     | Potencial térmico [V]                                                                                                  |
| $\lambda$       | Comprimento natural [nm]                                                                                               |
| $\lambda_1$     | Comprimento natural do transistor planar [nm]                                                                          |
| $\lambda_2$     | Comprimento natural do transistor de porta dupla [nm]                                                                  |
| $\lambda_3$     | Comprimento natural do transistor de porta tripla [nm]                                                                 |
| $\lambda_4$     | Comprimento natural do transistor de porta circundante [nm]                                                            |
| $\mu$           | Mobilidade [ $\text{cm}^2/\text{V.s}$ ]                                                                                |
| $\mu_0$         | Mobilidade de baixo campo [ $\text{cm}^2/\text{V.s}$ ]                                                                 |
| $\mu_{0e}$      | Mobilidade de baixo campo para os elétrons [ $\text{cm}^2/\text{V.s}$ ]                                                |

|               |                                                                                                                 |
|---------------|-----------------------------------------------------------------------------------------------------------------|
| $\mu_{0h}$    | Mobilidade de baixo campo para as lacunas [ $\text{cm}^2/\text{V.s}$ ]                                          |
| $\mu_l$       | Mobilidade com degradação do campo elétrico vertical [ $\text{cm}^2/\text{V.s}$ ]                               |
| $\mu_{cce}$   | Mobilidade dos elétrons devido ao espalhamento portador-portador [ $\text{cm}^2/\text{V.s}$ ]                   |
| $\mu_{cch}$   | Mobilidade das lacunas devido ao espalhamento portador-portador [ $\text{cm}^2/\text{V.s}$ ]                    |
| $\mu_{eff}$   | Mobilidade efetiva considerando a degradação devido ao campo elétrico efetivo [ $\text{cm}^2/\text{V.s}$ ]      |
| $\mu_n$       | Mobilidade dos elétrons [ $\text{cm}^2/\text{V.s}$ ]                                                            |
| $\mu_{nie}$   | Mobilidade dos elétrons devido ao espalhamento por impurezas neutras [ $\text{cm}^2/\text{V.s}$ ]               |
| $\mu_{nih}$   | Mobilidade das lacunas devido ao espalhamento por impurezas neutras [ $\text{cm}^2/\text{V.s}$ ]                |
| $\mu_p$       | Mobilidade das lacunas [ $\text{cm}^2/\text{V.s}$ ]                                                             |
| $\mu_{pse}$   | Mobilidade dos elétrons devido ao espalhamento de rede [ $\text{cm}^2/\text{V.s}$ ]                             |
| $\mu_{psh}$   | Mobilidade das lacunas devido ao espalhamento de rede [ $\text{cm}^2/\text{V.s}$ ]                              |
| $\mu_{psiie}$ | Mobilidade dos elétrons devido aos espalhamentos de rede e por impurezas ionizadas [ $\text{cm}^2/\text{V.s}$ ] |
| $\mu_{psiih}$ | Mobilidade das lacunas devido aos espalhamentos de rede e por impurezas ionizadas [ $\text{cm}^2/\text{V.s}$ ]  |
| $\theta$      | Coeficiente de degradação da mobilidade pelo campo elétrico vertical [ $\text{V}^{-1}$ ]                        |
| $\rho$        | Densidade de cargas [ $\text{C}/\text{cm}^3$ ]                                                                  |
| $\rho_e$      | Resistividade elétrica [ $\Omega.\text{cm}$ ]                                                                   |
| $\xi$         | Campo elétrico ao longo da direção x [ $\text{V}/\text{cm}$ ]                                                   |

## SUMÁRIO

|            |                                                                                 |           |
|------------|---------------------------------------------------------------------------------|-----------|
| <b>1</b>   | <b>INTRODUÇÃO .....</b>                                                         | <b>21</b> |
| <b>2</b>   | <b>REVISÃO BIBLIOGRÁFICA.....</b>                                               | <b>26</b> |
| <b>2.1</b> | <b>Tecnologia SOI .....</b>                                                     | <b>26</b> |
| 2.1.1      | SOI MOSFETs Modo Inversão .....                                                 | 29        |
| 2.1.1.1    | Transistor Parcialmente Depletado (Partially Depleted – PD) .....               | 30        |
| 2.1.1.2    | Transistor Totalmente Depletado (Fully Depleted – FD) .....                     | 30        |
| 2.1.1.3    | Transistor Quasi-Totalmente Depletado (Near Fully Depleted – NFD).....          | 31        |
| 2.1.2      | SOI MOSFETs Modo Acumulação .....                                               | 31        |
| <b>2.2</b> | <b>Características Elétricas Básicas .....</b>                                  | <b>35</b> |
| 2.2.1      | Tensão de Limiar – $V_{TH}$ .....                                               | 35        |
| 2.2.2      | Inclinação de Sublimiar – $S$ .....                                             | 37        |
| 2.2.3      | Mobilidade – $\mu$ .....                                                        | 38        |
| 2.2.3.1    | Velocidade de saturação – $v_{sat}$ .....                                       | 42        |
| 2.2.4      | Transcondutância ( $g_m$ ) e razão $g_m/I_{DS}$ .....                           | 43        |
| 2.2.5      | Efeitos de Canal Curto .....                                                    | 45        |
| <b>2.3</b> | <b>Transistores de Múltiplas Portas.....</b>                                    | <b>49</b> |
| 2.3.1      | Transistores Sem Junções – JNTs.....                                            | 53        |
| <b>2.4</b> | <b>Modelo de Corrente Elétrica para Transistores Sem Junções de Porta Dupla</b> | <b>57</b> |
| <b>2.5</b> | <b>Simulador.....</b>                                                           | <b>61</b> |
| <b>3</b>   | <b>MODELAGEM DE NANOFIOS TRANSISTORES MOS SEM JUNÇÕES</b>                       | <b>64</b> |
| <b>3.1</b> | <b>Modelo de JNTs de Porta Dupla.....</b>                                       | <b>64</b> |
| 3.1.1      | Inclusão do Efeito da Velocidade de Saturação.....                              | 69        |
| 3.1.2      | Inclusão do Efeito da Resistência Série .....                                   | 73        |
| <b>3.2</b> | <b>Modelo de JNTs de Porta Tripla .....</b>                                     | <b>73</b> |
| <b>4</b>   | <b>RESULTADOS E DISCUSSÕES .....</b>                                            | <b>78</b> |
| <b>4.1</b> | <b>Validação do Modelo Proposto de Porta Dupla .....</b>                        | <b>78</b> |
| 4.1.1      | Sem Efeito da Velocidade de Saturação .....                                     | 78        |
| 4.1.2      | Com Efeito da Velocidade de Saturação.....                                      | 84        |
| 4.1.3      | Com Efeito da Resistência Série .....                                           | 93        |
| <b>4.2</b> | <b>Validação do Modelo Proposto de Porta Tripla.....</b>                        | <b>94</b> |

|       |                                                                                                                                               |            |
|-------|-----------------------------------------------------------------------------------------------------------------------------------------------|------------|
| 4.2.1 | Simulações .....                                                                                                                              | 95         |
| 4.2.2 | Medidas Experimentais.....                                                                                                                    | 98         |
| 4.3   | <b>Estudo dos Efeitos de Canal Curto em JNTs de Porta Tripla .....</b>                                                                        | <b>102</b> |
| 5     | <b>CONCLUSÕES .....</b>                                                                                                                       | <b>108</b> |
| 6     | <b>ARTIGOS PUBLICADOS .....</b>                                                                                                               | <b>111</b> |
|       | <b>REFERÊNCIAS .....</b>                                                                                                                      | <b>114</b> |
|       | <b>APÊNDICE A – DESCRIÇÃO DA FUNÇÃO DE LAMBERT UTILIZADA PARA<br/>MODELAGEM DOS TRANSISTORES MOS SEM JUNÇÕES .....</b>                        | <b>125</b> |
|       | <b>APÊNDICE B – EXEMPLO DE ARQUIVO PARA GERAR UMA ESTRUTURA DE<br/>UM TRANSISTOR MOS SEM JUNÇÕES NO SENTHAURUS STRUCTURE<br/>EDITOR .....</b> | <b>127</b> |
|       | <b>APÊNDICE C – EXEMPLO DE ARQUIVO DE SIMULAÇÃO DE DISPOSITIVO<br/>NO SENTHAURUS DEVICE.....</b>                                              | <b>135</b> |

## 1 INTRODUÇÃO

Atender às expectativas da Lei de Moore [1] e do progresso da microeletrônica demanda constante aperfeiçoamento e desenvolvimento dos dispositivos e circuitos integrados. A redução das dimensões dos dispositivos que compõem estes circuitos é uma grande aliada da indústria da microeletrônica, pois permite aumentar a quantidade de dispositivos em uma mesma área. Embora o desenvolvimento da tecnologia tenha permitido a fabricação de transistores cujas dimensões do comprimento do canal chegam a cerca de 15nm [2], problemas relacionados à perda de controle da porta sobre as cargas na região do canal de transistores curtos, inviabilizam o uso de transistores MOS (*Metal-Oxide-Semiconductor*) planares em circuitos integrados digitais com altíssima escala de integração (*Ultra Large Scale Integration* – ULSI). Portanto, o estudo de tecnologias alternativas ganhou força e conquistou o interesse tanto da comunidade científica, quanto da indústria de semicondutores, em todo o mundo [3, 4, 5, 6, 7].

A tecnologia silício sobre isolante (*Silicon-On-Insulator* – SOI) trouxe diversas e significativas melhorias nas propriedades elétricas dos transistores MOS convencionais, como, por exemplo, a redução de efeitos parasitários e de canal curto, diminuição das capacitâncias de junção e maior resistência à radiação [8].

Adicionalmente, diferentes estruturas tridimensionais de transistores foram criadas para permitir o escalamento da tecnologia MOS além dos limites existentes para os transistores planares [9]. Por exemplo, transistores de múltiplas portas foram desenvolvidos para aumentar o controle eletrostático das cargas, na região do canal, pelo contato de porta [4]. Esse melhor controle sobre o canal permitiu reduzir os efeitos de canal curto e possibilitar maior miniaturização desses transistores. É necessário um comprimento de canal mais curto para degradar, de forma similar, características de um transistor de múltiplas portas em comparação com dispositivos planares.

Os primeiros transistores com múltiplas portas surgiram no final dos anos 80, construídos em tecnologia SOI, eram chamados de DELTA (*Fully Depleted Lean-channel Transistor*) [3]. Com algumas alterações na estrutura DELTA, que possuía dois canais de condução, em meados dos anos 90, foi criado o transistor conhecido por FinFET [7]. Inicialmente, os FinFETs eram dispositivos que conduziam pelas duas superfícies laterais da aleta de silício, uma vez que possuíam uma camada espessa de óxido de porta no topo da

estrutura [4]. Posteriormente, essa estrutura foi implementada com espessura de óxido de porta uniforme, nos três lados da aleta de silício, de modo que passou a ser denominada Trigate ou FinFET de porta tripla [7].

Apesar do aperfeiçoamento e vantagens trazidas pelos dispositivos de múltiplas portas, com a redução das dimensões destes transistores para apenas alguns nanômetros, aparecem dificuldades no processo de fabricação dessas estruturas, as quais estão relacionadas à criação de junções abruptas entre o dreno e o canal e a fonte e o canal. Para que seja evitada a difusão lateral de dopantes das regiões de fonte e dreno para o interior do canal, é preciso utilizar técnicas avançadas de implantação iônica precisa e ativação ultrarrápida de dopantes. Esse problema motivou o desenvolvimento do transistor nanofio sem junções (*Junctionless Nanowire Transistor* – JNT), o qual apresenta um perfil de concentração de dopantes uniforme ao longo da aleta de silício, desde a fonte, ao longo do canal, até o dreno, resolvendo, assim, os problemas existentes na criação de junções abruptas [10].

A operação do transistor sem junções é um pouco diferente dos outros MOSFETs (*Metal-Oxide-Semiconductor Field-Effect Transistor*), os quais, geralmente, operam em modo inversão. Além disso, transistores sem junções também não são considerados como dispositivos modo acumulação [11], apesar de possuírem uma estrutura semelhante à destes transistores. No caso do JNT nMOS (*n-type Metal-Oxide-Semiconductor*), a camada de silício apresenta alta concentração de dopantes doadores da fonte até o dreno (tipo n+), enquanto no caso do JNT pMOS (*p-type Metal-Oxide-Semiconductor*), a camada de silício apresenta alta concentração de dopantes aceitadores (tipo p+). Devido à fina espessura da camada de silício e à diferença entre a função trabalho da porta e do silício, os JNTs permanecem totalmente depletados quando não há potencial aplicado entre a porta e a fonte, então, o dispositivo encontra-se desligado. Quando aplicado um potencial positivo na porta do JNT nMOS ou negativo na porta do JNT pMOS, a região de depleção começa a se reduzir e há constituição de uma região neutra no corpo do dispositivo, a qual permite a formação de um canal e passagem de corrente elétrica. Nesse caso, o transistor está ligado [12].

Além de maior miniaturização, devido à concentração uniforme de dopantes, os transistores sem junções apresentam boas características digitais, como inclinação de sublimiar próxima do limite teórico de 60mV/dec e menor redução da barreira induzida pelo dreno (*Drain Induced Barrier Lowering* – DIBL) em relação aos FinFETs convencionais [13]. Adicionalmente, diversos estudos mostraram que os JNTs apresentam melhores propriedades



analógicas que os FinFETs e aumento da corrente de dreno com o aumento da temperatura, devido à menor degradação da mobilidade [14, 15, 16]. No entanto, como a concentração de dopantes na região do canal do JNT (da ordem de  $10^{19}\text{cm}^{-3}$ ) é maior em comparação à dos FinFETs (da ordem de  $10^{15}\text{cm}^{-3}$ ), a mobilidade de baixo campo é sensivelmente reduzida, e, consequentemente, a corrente de dreno e a transcondutância [17]. Já na região de fonte e dreno, o JNT (da ordem de  $10^{19}\text{cm}^{-3}$ ) apresenta concentração de dopantes inferior em comparação com os FinFETs (da ordem de  $10^{20}\text{cm}^{-3}$ ), sofrendo maior efeito de resistências série. Outra característica dos transistores sem junções está relacionada à maior variabilidade de sua tensão de limiar com as suas dimensões e concentração de dopantes [18].

Recentemente, alguns modelos de corrente de transistores sem junções foram propostos [19, 20]. No entanto, grande parte destes modelos não aborda de maneira contínua a transição entre todas as regiões de operação do dispositivo. Outros são específicos para transistores com comprimento longo de canal [21]. Uma vez que JNTs foram propostos para eliminar alguns problemas decorrentes da redução do comprimento do canal de transistores MOS, um modelo de corrente para transistores de canal curto é particularmente interessante.

O objetivo deste trabalho é apresentar um novo modelo para descrever a corrente de dreno de transistores MOS sem junções de canal curto, em função dos potenciais aplicados aos eletrodos. Inicialmente, deseja-se obter um modelo para transistores sem junções de porta dupla e, posteriormente, implementar modificações para que este descreva transistores de porta tripla. Para validação dos modelos e análise das características elétricas dos dispositivos, são utilizados resultados provenientes de simulações numéricas tridimensionais. O modelo para transistores de porta tripla é comparado também com resultados de medidas experimentais de transistores fabricados no CEA – Leti [22]. Desse modo, este trabalho proporciona continuidade aos trabalhos sobre os transistores sem junções realizados, os quais compreendem modelagem, simulação e caracterização elétrica destes dispositivos [14, 15, 23, 24, 25]. Embora um modelo analítico já tenha sido desenvolvido para descrever estes transistores [20], como este não é contínuo em todas as regiões de operação, deseja-se obter um modelo para transistores de canal curto que trate a transição entre as regiões de operação de maneira contínua. Para tanto, é utilizado um modelo para transistores de canal longo como base, desenvolvido através de uma colaboração com pesquisadores do CINVESTAV (*Centro de Investigación y Estudios Avanzados del Instituto Politécnico Nacional*) [21].

Este trabalho está dividido em capítulos, conforme discriminado a seguir.

No capítulo 2 é apresentado o resumo da revisão bibliográfica realizada para a fundamentação teórica deste trabalho, cujos tópicos abordam, basicamente, o estudo da tecnologia SOI MOSFET, transistores modo inversão e modo acumulação, os principais parâmetros elétricos que caracterizam um transistor, efeitos de canal curto, transistores de múltiplas portas, transistores MOS sem junções e seu modo de funcionamento e o modelo base que descreve o comportamento de JNTs de porta dupla e canal longo. Também são apresentadas as informações sobre as simulações numéricas tridimensionais, as quais compreendem a descrição do simulador numérico utilizado, os modelos considerados, as características físicas e outros aspectos importantes para a descrição dos dispositivos simulados.

No capítulo 3 são apresentados os modelos propostos para transistores sem junções de porta dupla e de porta tripla. Inicialmente, o modelo para porta dupla é apresentado considerando os efeitos de canal curto que degradam a tensão de limiar e o sublimiar, a mobilidade dependente do campo elétrico vertical e o encurtamento do canal. Em uma subseção, o modelo de porta dupla é aprimorado para incluir o efeito da velocidade de saturação e seu efeito sobre a degradação da mobilidade com o campo elétrico lateral. Em sua fase final, o modelo de porta dupla está completo para descrever transistores sem junções incluindo as resistências série. Posteriormente, é apresentado o modelo de transistores sem junções de porta tripla, o qual compreende a influência da altura da aleta do silício no potencial de superfície do transistor. O modelo de porta tripla é obtido a partir de modificações no modelo proposto para porta dupla e, contém, também, todos os efeitos necessários para descrever JNTs de canal curto.

O capítulo 4 apresenta os resultados deste trabalho, os quais compreendem a validação dos modelos propostos, passo a passo como são descritos em cada seção e subseção do capítulo 3, e, também, uma análise dos efeitos de canal curto de simulações tridimensionais de transistores sem junções de porta tripla, para uma extensa gama de comprimentos de canal, realizada a fim de caracterizar a ocorrência dos efeitos de canal curto, considerando dispositivos com duas concentrações de dopantes distintas. A validação do modelo proposto para JNTs de porta dupla é realizada através de simulações tridimensionais de dispositivos com diferentes concentrações de dopantes, larguras de canal, comprimentos de canal e comprimentos das regiões de fonte e dreno. A validação do modelo proposto para JNTs de porta tripla é realizada através de simulações tridimensionais de dispositivos com diferentes

comprimentos de canal e altura da aleta de silício e, também, de medidas experimentais de transistores com diferentes concentrações de dopantes, larguras de canal e comprimentos de canal.

Por fim, no capítulo 5 estão descritas as conclusões deste trabalho e são apresentadas as propostas para sua continuidade.

## 2 REVISÃO BIBLIOGRÁFICA

Este capítulo apresenta a revisão bibliográfica sobre a tecnologia SOI, transistores modo inversão e modo acumulação, as características elétricas básicas de transistores MOS e introdução teórica sobre dispositivos de múltiplas portas e transistores MOS sem junções, com destaque para o seu modo de funcionamento. Também é descrito o modelo para a corrente elétrica de transistores MOS sem junções de porta dupla e canal longo, que será utilizado como base para o desenvolvimento dos modelos de canal curto propostos. Além disso, são apresentadas as características do simulador numérico utilizado.

### 2.1 Tecnologia SOI

A tecnologia SOI mostrou-se uma importante aliada da indústria da microeletrônica, apresentando diversas vantagens em relação à tecnologia convencional (*bulk*). Em contra partida, a utilização da tecnologia SOI apresenta como desvantagens, por exemplo, o aumento do custo do processo de fabricação do *wafer* [26] e maior efeito de autoaquecimento em relação aos substratos convencionais [27]. Embora a sua utilização não seja uma unanimidade, uma vez que mesmo a Intel não produz seus processadores nessa tecnologia [28], sua difusão no mercado alavancou o início de uma produção comercial em massa de lâminas SOI no final dos anos 90 [8].

Transistores do tipo Metal-Óxido-Semicondutor de efeito de campo (*Metal-Oxide-Semiconductor Field-Effect Transistor* – MOSFET), constituem o maior grupo de dispositivos amplamente utilizados construídos em lâmina SOI [29], os quais se caracterizam pela presença de um material isolante que separa a região do substrato da camada de silício onde os dispositivos são fabricados.

Conforme demonstrado na Figura 1, um SOI nMOSFET (*n-type Metal-Oxide-Semiconductor Field-Effect Transistor*) é formado pelo material de porta, uma fina camada de óxido de porta, de espessura  $t_{ox}$ , uma camada de silício dopada, de espessura  $t_{si}$ , uma camada de óxido enterrado, de espessura  $t_{BOX}$ , e pelo substrato de silício. Essas camadas compõem dois capacitores MOS, sendo um capacitor de porta e um formado pela estrutura substrato/óxido enterrado/silício, e também definem três interfaces, sendo que a interface

óxido de porta/silício é a primeira, silício/óxido enterrado é a segunda e óxido enterrado/substrato é a terceira [8].

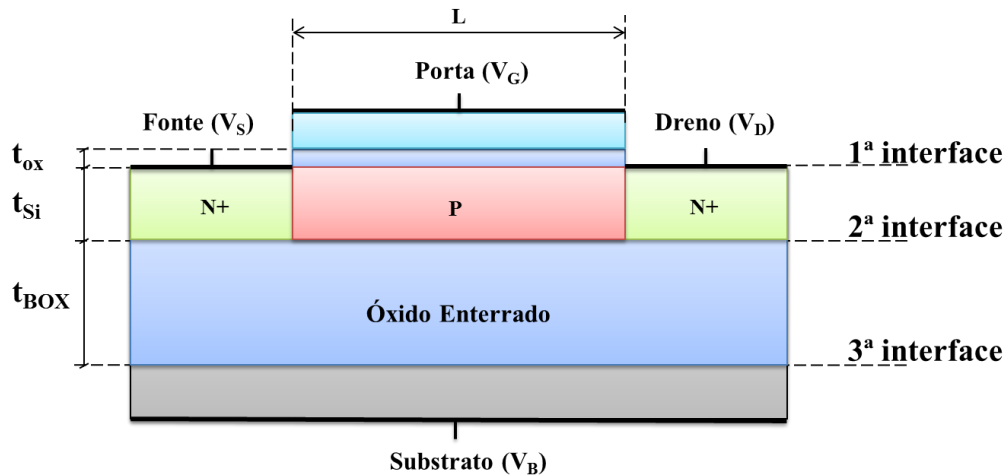


Figura 1 – Perfil transversal de um SOI nMOSFET.

Devido à presença do óxido enterrado, algumas vantagens da tecnologia SOI sobre a tecnologia MOS convencional podem ser destacadas, como, por exemplo [8]:

a) Menores Capacitâncias Parasitárias

Conforme indicado na Figura 2, que esboça duas estruturas CMOS (*Complementary Metal-Oxide-Semiconductor*), a primeira fabricada em tecnologia MOS convencional e a segunda em tecnologia SOI, é possível verificar que, nos MOSFETs convencionais, há pequenas áreas de implantação iônica embaixo do óxido de campo. Essas implantações de campo têm por objetivo evitar a redução de dopantes do silício que ocorre junto ao óxido durante o processo de oxidação. Devido ao aumento da concentração de dopantes em uma região de espessura pequena, essas implantações iônicas contribuem para o aumento de capacitâncias parasitárias. Na estrutura CMOS em tecnologia SOI essas implantações e, consequentemente, capacitâncias parasitárias, não existem, havendo melhor integração entre os transistores pMOS e nMOS. Além disso, no SOI MOSFET, a espessura e a permissividade do óxido enterrado contribuem para uma redução significativa das capacitâncias de junção, o que torna o circuito elétrico de uma lâmina SOI mais veloz [8].

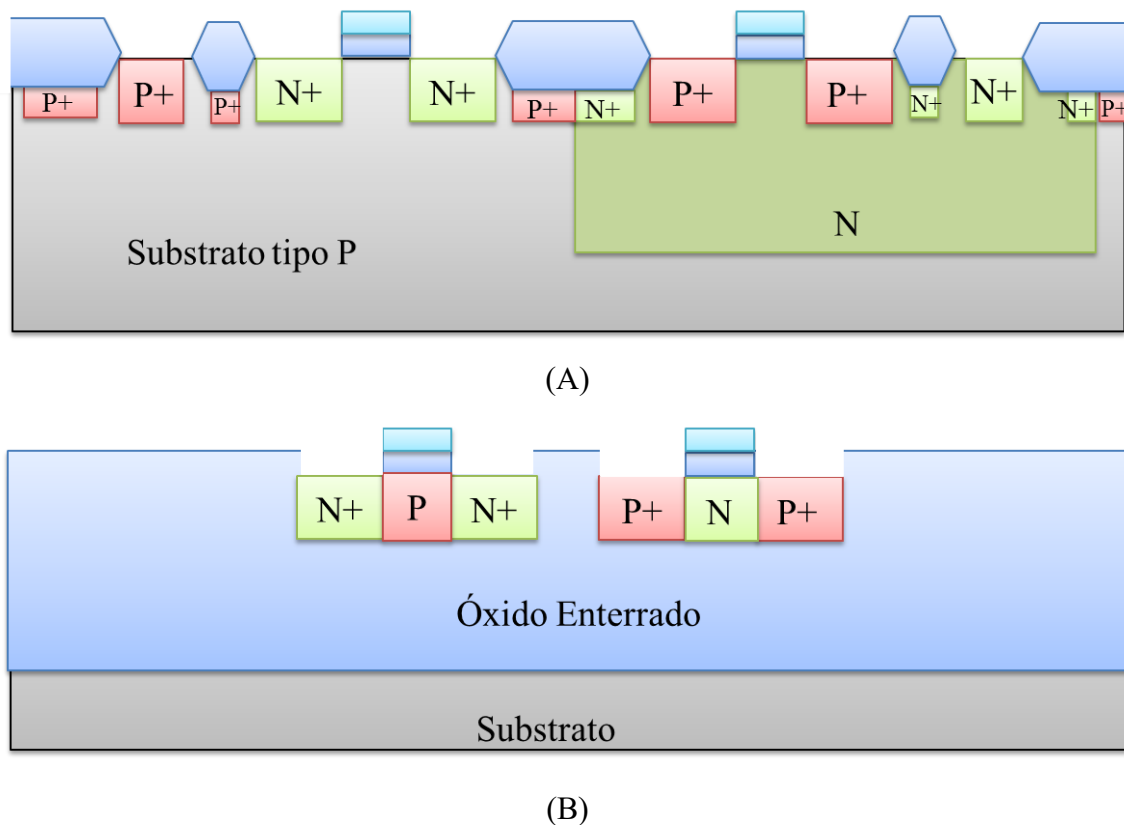


Figura 2 – Ilustrações de estruturas CMOS fabricadas em tecnologia MOS convencional (A) e em tecnologia SOI (B).

b) Maior Densidade de Integração

Conforme observado na Figura 2, nos transistores SOI, devido à separação da região ativa do substrato do dispositivo, não existe uma região no topo da estrutura para realizar o contato com o corpo, como é necessário nos transistores MOS convencionais. Também é possível notar que a isolamento dos dispositivos ocorre de maneira mais compacta, sem a presença do óxido de campo. Dessa forma, para uma mesma área de silício, é possível alocar mais transistores em uma lâmina SOI do que em uma MOS convencional.

c) Maior Resistência à Radiação

Em dispositivos SOI, quando há passagem de uma partícula ionizada, os portadores gerados abaixo do óxido enterrado não interferem na região ativa, devido à isolamento das regiões. Assim, somente os portadores gerados pela radiação na própria região ativa irão interferir na operação do transistor, enquanto que, no transistor MOS convencional, os

portadores gerados em toda a região afetada pela radiação irão interferir na operação do dispositivo [30].

#### d) Eliminação do Efeito Tiristor Parasitário

Nos SOI MOSFETs, é totalmente eliminada a interação indesejada entre os transistores MOS tipo n e tipo p da estrutura CMOS, a qual ocorre na lâmina convencional. Essa interação ocorre devido ao fato de que os substratos de ambos dispositivos estão em contato um com o outro, interligando dois transistores bipolares, um NPN e outro PNP. O efeito tiristor é desencadeado quando um desses transistores bipolares é ativado, pois sua corrente de coletor ativa o outro transistor bipolar, desencadeando um processo cíclico e descontrolado [8].

Além disso, a tecnologia SOI reduz os efeitos de canal curto, os quais são de grande interesse para o estudo deste trabalho e serão detalhados na seção 2.2.5.

Os transistores SOI podem ser divididos em dois tipos, de acordo com a física de seu funcionamento, podendo ser modo inversão, também conhecido como modo enriquecimento, ou modo acumulação.

#### 2.1.1 SOI MOSFETs Modo Inversão

SOI MOSFETs modo inversão são os transistores mais comuns de canal tipo n, nos quais as regiões de fonte e dreno apresentam dopantes com impurezas tipo n e o canal é dopado com material tipo p. Já no pMOSFET (*p-type Metal-Oxide-Semiconductor Field-Effect Transistor*) modo inversão, as regiões de fonte e dreno apresentam dopantes com impurezas tipo p e o canal é dopado com impurezas tipo n. Como possuem material na região do canal de tipo, originalmente, oposto às regiões de fonte e dreno, como na estrutura da Figura 2.B, para haver condução, há a necessidade de inversão dos tipos de portadores da região do canal, de modo que haja uma conexão entre as regiões de fonte e dreno, permitindo o fluxo da corrente elétrica.

Os transistores modo inversão podem ser divididos em três tipos, dependendo da relação entre a espessura da camada de silício e da região máxima de depleção, sendo esta última função da concentração de dopantes e da temperatura. Estes transistores podem ser denominados parcialmente depletados (*Partially Depleted* – PD) ou de camada espessa,

totalmente depletados (*Fully Depleted* – FD) ou de camada fina e quase totalmente depletados (*Near Fully Depleted* – NFD) ou de camada média [8].

#### 2.1.1.1 Transistor Parcialmente Depletado (Partially Depleted – PD)

São aqueles cuja região de depleção jamais ocupará toda a camada de silício. Desse modo, a espessura da camada de silício do dispositivo é maior do que o dobro da máxima espessura de depleção ( $d_{\text{máx}}$ ), definida pela Equação (1) [8].

$$d_{\text{máx}} = \sqrt{\frac{4\epsilon_{\text{Si}}\phi_F}{qN_A}} \quad (1)$$

onde  $\epsilon_{\text{Si}}$  é a permissividade elétrica do silício e  $\phi_F$  é o potencial de Fermi, expresso por  $\phi_F = \frac{k.T}{q} \cdot \ln\left(\frac{N_A}{n_i}\right)$ , onde  $k$  é a constante de Boltzmann,  $q$  é a carga elementar do elétron,  $T$  é temperatura absoluta,  $N_A$  é a concentração de impurezas aceitadoras do substrato e  $n_i$  é a concentração intrínseca de portadores [31].

Desse modo, como  $t_{\text{Si}} > 2d_{\text{máx}}$ , não há interação entre as regiões de depleção, as quais são separadas por uma região neutra. Isto implica no fato de que o comportamento do PD SOI, caso exista contato de corpo e este estiver aterrado, é idêntico ao de transistores MOS convencionais.

#### 2.1.1.2 Transistor Totalmente Depletado (Fully Depleted – FD)

São aqueles cuja camada de silício apresenta depleção completa, independentemente da tensão de substrato. Para que isso ocorra, a espessura da camada de silício deve ser menor que a depleção máxima induzida na primeira interface, obtida quando a tensão aplicada entre a porta e a fonte ( $V_{\text{GS}}$ ) é igual à tensão de limiar ( $V_{\text{TH}}$ ) [31].

Neste caso, em que  $t_{\text{Si}} < d_{\text{máx}}$ , são obtidas as melhores características elétricas dos SOI MOSFETs modo inversão, como maior mobilidade dos portadores, menor inclinação de sublimiar, maior corrente de saturação, menor efeito de canal curto, entre outras [8].



### 2.1.1.3 Transistor Quasi-Totalmente Depletado (Near Fully Depleted – NFD)

São dispositivos que podem ter seu comportamento como de um PD SOI ou de um FD SOI, dependendo das condições de polarização do substrato. Ocorre quando  $d_{\text{máx}} < t_{\text{Si}} < 2d_{\text{máx}}$ .

### 2.1.2 SOI MOSFETs Modo Acumulação

Transistores modo acumulação apresentam o mesmo tipo de dopantes nas regiões de fonte, dreno e canal. Um nMOSFET modo acumulação possui configuração de fonte e dreno tipo n+ e canal tipo n, enquanto que um pMOSFET tem sua camada de silício p+/p/p+, como indicado na Figura 3.

Estes dispositivos só podem ser fabricados em tecnologia SOI que apresente a camada de silício em depleção completa, o que implica dizer que são dispositivos SOI de camada fina. Para funcionar corretamente, quando aplicado um potencial nulo na porta e no substrato do transistor, deve haver depleção completa da camada de silício, de modo que esta impeça o fluxo de corrente elétrica. Assim, não há um transistor equivalente na tecnologia MOS convencional [32].

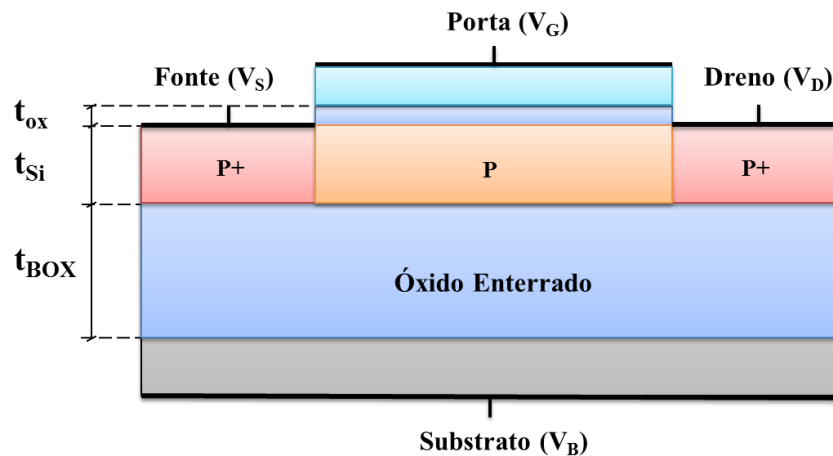
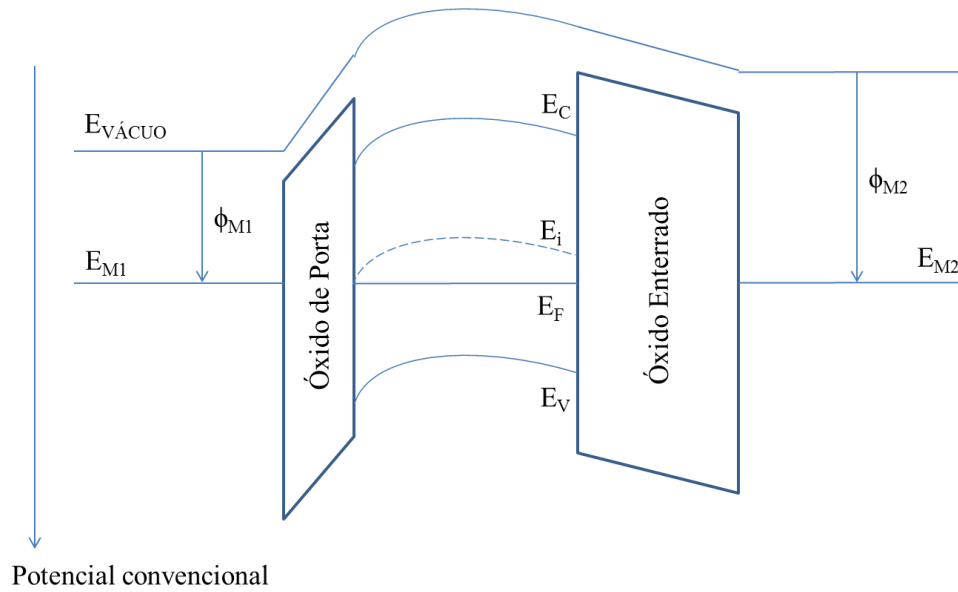
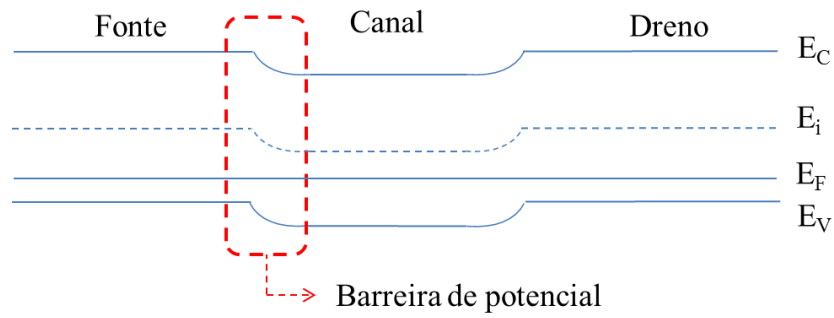


Figura 3 – Perfil transversal de um SOI pMOSFET modo acumulação.

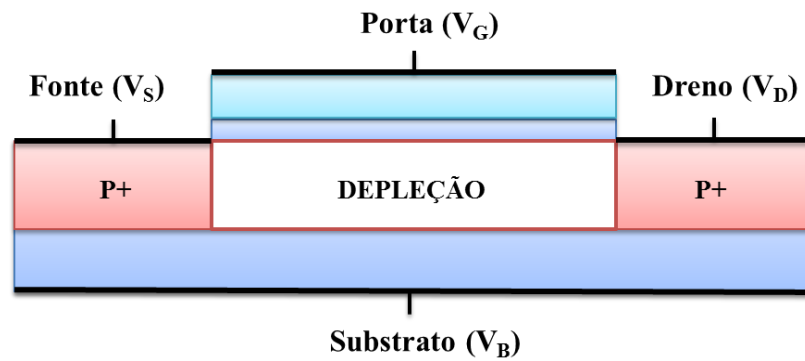
Para ser possível a depleção completa, o material de porta do transistor deve ser escolhido adequadamente. Por exemplo, para o pMOSFET modo acumulação, geralmente é utilizado silício policristalino tipo n+, como na Figura 4, que retrata o diagrama de faixas de energia vertical (A) e lateral (B) para o caso em que o dispositivo está desligado (C).



(A)



(B)



(C)

Figura 4 – Diagramas de faixas de energia de um pMOSFET modo acumulação vertical (A) e lateral (B), para a situação de depleção completa, ilustrada em (C).

Na Figura 4,  $E_{VÁCUO}$  indica o nível de energia do vácuo,  $E_{M1}$  e  $E_{M2}$  são os níveis de energia dos materiais da 1ª e 2ª portas, respectivamente,  $E_C$  é o primeiro nível de energia da

faixa de condução,  $E_F$  é o nível de Fermi,  $E_i$  é o nível intrínseco,  $E_V$  é o último nível de energia da faixa de valência,  $\phi_{M1}$  e  $\phi_{M2}$  são as funções trabalho dos materiais da 1ª e 2ª portas, respectivamente.

Considerando o mesmo pMOSFET modo acumulação da Figura 4, com a redução da tensão de porta, a região de depleção vai diminuindo, a partir do centro do dispositivo. Abaixo da tensão de limiar, isto é,  $V_{GS} < V_{TH}$ , não há mais barreira de potencial no centro da estrutura e a depleção se reduz o suficiente para permitir um fluxo de corrente nesta região, o qual é denominado de corrente de corpo ( $I_b$ ). Quando a tensão de porta é reduzida abaixo da tensão de faixa plana ( $V_{FB}$  – tensão de porta necessária para que o potencial de superfície e a carga no silício sejam nulos),  $V_{GS} < V_{FB} < V_{TH}$ , uma corrente de acumulação começa a fluir na superfície do dispositivo ( $I_{acc}$ ), somando-se a corrente de corpo, para compor a corrente total do dispositivo [11, 33].

Assim, dependendo da tensão aplicada entre dreno e fonte ( $V_{DS}$ ) e de  $V_{GS}$ , diferentes condições de polarização levam as seguintes formas de condução, como ilustrado na Figura 5, adaptada de [8], para o pMOSFET:

- a) Se  $V_{FB} < V_{GS} < V_{TH}$  e  $V_{DS} > (V_{GS} - V_{TH})$ , o dispositivo está conduzindo pelo centro em triodo, de modo que a superfície está em depleção, como na Figura 5.A.
- b) Se  $V_{FB} < V_{GS} < V_{TH}$  e  $V_{DS} < (V_{GS} - V_{TH})$ , o dispositivo está conduzindo pelo centro em saturação, como na Figura 5.B.
- c) Se  $V_{GS} < V_{FB}$  e  $V_{DS} > (V_{GS} - V_{FB})$ , o dispositivo está conduzindo pelo centro e pela superfície, operando em triodo, como na Figura 5.C.
- d) Se  $V_{GS} < V_{FB}$  e  $(V_{GS} - V_{TH}) < V_{DS} < (V_{GS} - V_{FB})$ , o dispositivo está conduzindo pelo centro e pela superfície, com a corrente de corpo em triodo e a corrente de acumulação em saturação, como na Figura 5.D.
- e) Se  $V_{GS} < V_{FB}$  e  $V_{DS} < (V_{GS} - V_{TH})$ , o dispositivo está conduzindo pelo centro e pela superfície, operando em saturação, como na Figura 5.E.

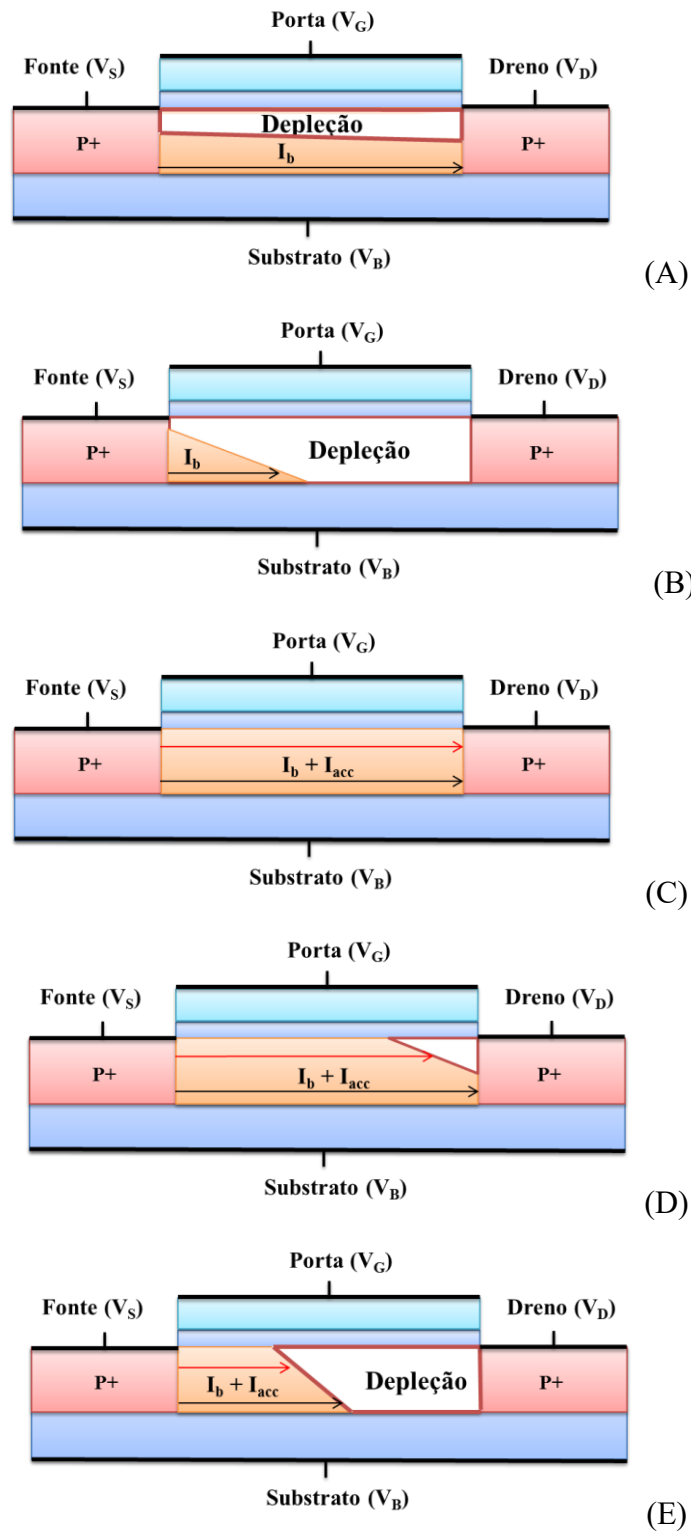


Figura 5 – Transistor SOI pMOS modo acumulação operando nas seguintes condições: (A) corpo em triodo com superfície em depleção, (B) corpo em saturação com superfície em depleção, (C) corpo e superfície em triodo, (D) corpo em triodo e superfície em saturação, (E) corpo e superfície em saturação. As regiões brancas indicam regiões de depleção.

## 2.2 Características Elétricas Básicas

A fim de discutir os parâmetros básicos que definem as características elétricas de um transistor, esta seção apresenta algumas definições da literatura para a tensão de limiar, inclinação de sublimiar, mobilidade, transcondutância e efeitos de canal curto.

### 2.2.1 Tensão de Limiar – $V_{TH}$

A forma mais usual para definir a tensão de limiar de um transistor MOS convencional é como a tensão que, aplicada à porta do dispositivo, leva ao regime de inversão, definido, classicamente, como o momento em que o potencial de superfície atinge o valor de  $2\phi_F$  [31]. Assim, para definir que o dispositivo está ligado e pode conduzir um nível aceitável de corrente elétrica, a tensão de limiar de um transistor MOS convencional é descrita pela Equação (2).

$$V_{TH} = V_{FB'} + 2\phi_F + \frac{q N_A d_{máx}}{C_{ox}} + \frac{2qN_{it}\phi_F}{C_{ox}} \quad (2)$$

onde  $C_{ox}$  é a capacitância de porta por unidade de área, definida por  $C_{ox} = \epsilon_{ox}/t_{ox}$ ,  $N_{it}$  a densidade de armadilhas de interface por unidade de área e  $V_{FB'} = \phi_{MS1} - Q_{ox}/C_{ox}$ , em que  $Q_{ox}$  é a densidade de cargas fixas no óxido por unidade de área e  $\phi_{MS1}$  é a diferença de função trabalho entre a porta e o silício.

Para o PD SOI MOSFET a tensão de limiar é dada pela mesma expressão do MOSFET convencional. Para o FD SOI MOSFET, a expressão de  $V_{TH}$  depende das condições de operação da primeira e segunda interfaces, devido à interação entre as regiões de depleção impostas pela polarização da porta e do substrato [8]. Por exemplo, desconsiderando as armadilhas de interface, a tensão de limiar do nMOS FD SOI é definida pela Equação (3), com a segunda interface em acumulação ( $V_{TH,acc}$ ), e pela Equação (4), com a segunda interface em depleção ( $V_{TH,depl}$ ).

$$V_{TH,acc} = \phi_{MS1} - \frac{Q_{ox}}{C_{ox}} + \left(1 + \frac{C_{Si}}{C_{ox}}\right) 2\phi_F + \frac{q N_A t_{Si}}{2C_{BOX}} \quad (3)$$

$$V_{TH,depl} = V_{TH,acc} - \left(1 + \frac{C_{Si}C_{BOX}}{C_{ox}(C_{Si} + C_{BOX})}\right) (V_B - V_{B,acc}) \quad (4)$$

onde  $C_{Si}$  é a capacitância da camada de silício por unidade de área, definida por  $C_{Si} = \epsilon_{Si}/t_{Si}$ ,  $C_{BOX}$  é a capacitância do óxido enterrado por unidade de área, definida por  $C_{BOX} = \epsilon_{ox}/t_{BOX}$ ,  $V_{B,acc}$  é a tensão de substrato necessária para provocar acumulação de portadores na segunda interface e  $V_B$  é o potencial no substrato.

Assim, em geral, para diversos tipos de transistores MOS, as definições de  $V_{TH}$  consistem em atribuir a condução para um determinado  $V_{GS}$  relacionado ao potencial de Fermi, comumente  $2\phi_F$ . Porém, para transistores cuja concentração de dopantes no canal é muito próxima ou igual à intrínseca, essa relação não é mais válida [34]. Dessa forma, outros métodos foram desenvolvidos para definir a tensão de limiar para esses dispositivos.

Uma forma de definir a tensão de limiar é através da igualdade entre as componentes de corrente de deriva e de difusão [35, 36]. Essa definição baseia-se no fato de que, em regime de sublimiar, a corrente deve-se, predominantemente, à componente de difusão, enquanto que, acima do limiar, a corrente é majoritariamente de deriva.

Outra forma utilizada para definir a tensão de limiar baseia-se na relação de capacitâncias [4, 37], que pode ser utilizada para descrever  $V_{TH}$  para transistores de porta dupla com concentração de dopantes intrínseca, como, por exemplo, FinFETs, conforme indicado na Equação (5).

$$V_{TH} = \phi_{mi} + \frac{kT}{q} \ln \left( \frac{2C_{ox}kT}{q^2 n_i W} \right) + \frac{\pi^2 \hbar^2}{2q m^* W^2} \quad (5)$$

onde  $\phi_{mi}$  é a diferença de função trabalho entre a porta e o silício intrínseco,  $m^*$  é a massa de confinamento do portador na direção transversal,  $\hbar$  é a constante de Planck normalizada e  $W$  é a largura da camada de silício que compõe o canal do transistor.

Nos transistores planares modo acumulação, a tensão de limiar depende das regiões de depleção na primeira e segunda interfaces,  $x_{d1}$  e  $x_{d2}$ , respectivamente. A corrente de dreno do transistor modo acumulação pode fluir pelo corpo e também na primeira e/ou na segunda interfaces. Desconsiderando cargas de armadilhas, a tensão de porta necessária para permitir corrente de corpo em um pMOS modo acumulação ( $V_{TH,body}$ ) é definida pela Equação (6), enquanto que, para condução nas interfaces, a corrente de acumulação começa a fluir para tensão de porta igual à tensão de faixa plana [8].

$$V_{TH,body} = V_{FB} + \frac{q N_A (t_{Si}-x_{d2})^2}{2\epsilon_{Si}} + \frac{q N_A (t_{Si}-x_{d2})}{C_{ox}} \quad (6)$$

Nos transistores MOS sem junções, o limiar é definido como o primeiro ponto em que há redução da camada de depleção suficiente para que haja condução. A tensão de limiar em JNTs é bastante dependente das características físicas do dispositivo, como  $W$ , a altura da camada de silício ( $H$ ) e concentração de dopantes [76, 38]. No método proposto por Trevisoli *et al.* [18], a tensão de limiar para transistores nMOS sem junções de porta tripla e canal longo é definida pela Equação (7).

$$V_{TH} = V_{FB} - qN_D \left[ \frac{WH}{C_{ox}} + \frac{1}{\epsilon_{Si}} \left( \frac{WH}{2H+W} \right)^2 \right] + \frac{\pi^2 \hbar^2}{2qm^*} \left[ \frac{1}{W^2} + \frac{1}{H^2} \right] \quad (7)$$

### 2.2.2 Inclinação de Sublimiar – S

A inclinação de sublimiar ( $S$ ) é definida, na literatura, como a variação de  $V_{GS}$  necessária para que  $I_{DS}$  aumente em uma década [39] e pode ser representada de maneira contínua através da Equação (8). Este parâmetro é uma importante figura de mérito para transistores MOS, pois representa a eficiência do chaveamento do dispositivo.

$$S = \frac{\partial V_{GS}}{\partial (\log I_{DS})} \quad (8)$$

Como a corrente predominante no sublimiar se deve à componente de difusão [31], através da equação da corrente de difusão, é possível obter a Equação (9) [40].

$$S = n \frac{k T}{q} \ln(10) \quad (9)$$

onde  $n$  é o fator de corpo.

O fator de corpo está associado ao acoplamento capacitivo do transistor e, no limite teórico, vale um. Para  $n = 1$ , em temperatura ambiente, a inclinação de sublimiar vale, aproximadamente, 60mV/dec. Assim, como transistores FD SOI possuem melhor acoplamento em relação ao MOS convencional, sua inclinação de sublimiar é menor, o que indica que o dispositivo apresenta melhor chaveamento [8]. Já transistores de múltiplas portas possuem fator de corpo próximo da unidade e sua inclinação de sublimiar é similar a de

transistores FD SOI [41]. Desse modo, transistores sem junções apresentam  $S$  próximo do limite teórico [13].

### 2.2.3 Mobilidade – $\mu$

A mobilidade dos portadores relaciona a velocidade de deriva ( $v$ ) com a qual os portadores fluem e o campo elétrico aplicado, descrevendo o movimento dos portadores dentro de um determinado material. A mobilidade dos portadores de um material semiconductor está sujeita à influência de alguns mecanismos de degradação, os quais a afetam de acordo com as características do material, temperatura e campo elétrico.

São quatro, os principais mecanismos de degradação da mobilidade independente do campo elétrico: espalhamento por fônons ou de rede, por impurezas ionizadas, por impurezas neutras e portador-portador.

O mecanismo de espalhamento por fônons ou de rede ocorre devido à interação entre os portadores e a rede cristalina. Esse mecanismo é bastante influenciado pela temperatura ( $T$ ), pois com redução de  $T$ , há menor vibração da rede e, portanto, os portadores fluem com maior mobilidade. Para o cálculo da influência deste mecanismo, Sah *et al.* propôs o modelo abaixo, em que o índice “ $h$ ” se refere às lacunas e “ $e$ ” aos elétrons [42].

$$\mu_{psh} = \frac{1}{\frac{1}{2502 \left(\frac{T}{300}\right)^{-1,5}} + \frac{1}{591 \left(\frac{T}{300}\right)^{-3,25}}} \quad (10)$$

$$\mu_{pse} = \frac{1}{\frac{1}{4195 \left(\frac{T}{300}\right)^{-1,5}} + \frac{1}{2153 \left(\frac{T}{300}\right)^{-3,13}}} \quad (11)$$

O mecanismo de espalhamento por impurezas ionizadas está associado ao fato de que a concentração de dopantes interfere consideravelmente na mobilidade dos portadores. Dessa forma, para maiores concentrações de dopantes, é verificada uma redução da mobilidade. Portanto, à medida que a temperatura é incrementada, é observado um aumento no número de portadores ionizados que por sua vez causa um decaimento da mobilidade dos portadores. A influência desse mecanismo é considerada pelo modelo proposto por Caughey e Thomas,



juntamente com o mecanismo de espalhamento por fônons [43], conforme as Equações (12) para lacunas e (13) para elétrons.

$$\mu_{psih} = \mu_{minh} + \frac{\mu_{psh} - \mu_{minh}}{1 + \left(\frac{N_A^-}{N_{refh}}\right)^{\alpha_h}} \quad (12)$$

$$\mu_{psie} = \mu_{mine} + \frac{\mu_{pse} - \mu_{mine}}{1 + \left(\frac{N_A^-}{N_{refe}}\right)^{\alpha_e}} \quad (13)$$

onde  $N_A^-$  é a concentração de impurezas aceitadoras ionizadas da camada de silício,  $\mu_{minh} = 110,9 - 25,597 \log T$ ,  $\mu_{mine} = 197,17 - 45,505 \log T$ ,  $N_{refh} = 2,23 \times 10^{17} \left(\frac{T}{300}\right)^{3,2}$ ,  $N_{refe} = 1,12 \times 10^{17} \left(\frac{T}{300}\right)^{3,2}$ ,  $\alpha_h = 0,72 \left(\frac{T}{300}\right)^{0,065}$  e  $\alpha_e = 0,72 \left(\frac{T}{300}\right)^{0,065}$ .

O mecanismo de degradação da mobilidade devido ao espalhamento por impurezas neutras deve-se à quantidade de impurezas não ionizadas em baixa temperatura. Esse fenômeno ocorre porque, com redução de  $T$ , não há energia térmica suficiente para ionizar todos os portadores. Esse mecanismo pode ser descrito pelo modelo proposto por Li *et al.* [44], através das Equações (14) para lacunas e (15) para elétrons.

$$\mu_{nih} = \left( \frac{2 \cdot \pi^3 \cdot q^3 \cdot m_{ch}^*}{5 \cdot \epsilon_{Si} \cdot h^3 \cdot (N_A - N_A^-)} \right) \cdot 10^{-2} \cdot \left[ \frac{2}{3} \cdot \sqrt{\frac{k \cdot T}{E_{nih}}} + \frac{1}{3} \cdot \sqrt{\frac{E_{nih}}{k \cdot T}} \right] \quad (14)$$

$$\mu_{nie} = \left( \frac{2 \cdot \pi^3 \cdot q^3 \cdot m_{ce}^*}{5 \cdot \epsilon_{Si} \cdot h^3 \cdot (N_A - N_A^-)} \right) \cdot 10^{-2} \cdot \left[ \frac{2}{3} \cdot \sqrt{\frac{k \cdot T}{E_{nie}}} + \frac{1}{3} \cdot \sqrt{\frac{E_{nie}}{k \cdot T}} \right] \quad (15)$$

onde  $E_{nih} = 1,136 \cdot 10^{-19} \cdot \left(\frac{m_{ch}^*}{m_0}\right) \cdot \left(\frac{\epsilon_0}{\epsilon_{Si}}\right)^2$ ,  $E_{nie} = 1,136 \cdot 10^{-19} \cdot \left(\frac{m_{ce}^*}{m_0}\right) \cdot \left(\frac{\epsilon_0}{\epsilon_{Si}}\right)^2$ ,  $h$  é a constante de Planck,  $m_{ch}^*$  é a massa efetiva de condução para as lacunas,  $m_{ce}^*$  é a massa efetiva de condução para os elétrons,  $m_0$  é a massa do elétron e  $\epsilon_0$  é a permissividade elétrica do vácuo.

O mecanismo de espalhamento portador-portador serve para descrever o caso em que o número de portadores é alto (maior do que o número de dopantes). Este mecanismo é de grande importância quando há interação, de atração e repulsão, entre os portadores presentes na banda de condução. Em temperaturas menores a mobilidade é maior em virtude da menor

interação entre os portadores. A mobilidade degradada por esse mecanismo é descrita pelas Equações (16) para as lacunas e (17) para os elétrons [45].

$$\mu_{cch} = \frac{2 \times 10^{17}}{\sqrt{N_A} \ln[1 + 8,28 \times 10^8 T^2 (N_A)^{-1/3}]} \quad (16)$$

$$\mu_{cce} = \frac{2 \times 10^{17}}{\sqrt{n_p} \ln[1 + 8,28 \times 10^8 T^2 (n_p)^{-1/3}]} \quad (17)$$

sendo  $n_p = n_i^2/N_A$ .

É possível definir a mobilidade de baixo campo ( $\mu_0$ ), independente do campo elétrico, contabilizando todos estes efeitos através da regra de Mathiessen [46]. As Equações (18) e (19) apresentam a mobilidade total de baixo campo para as lacunas e para os elétrons, respectivamente.

$$\mu_{0h} = \frac{1}{\frac{1}{\mu_{psih}} + \frac{1}{\mu_{cch}} + \frac{1}{\mu_{nih}}} \quad (18)$$

$$\mu_{0e} = \frac{1}{\frac{1}{\mu_{psie}} + \frac{1}{\mu_{cce}} + \frac{1}{\mu_{nie}}} \quad (19)$$

Na Figura 6, observa-se a implementação direta das equações dos modelos de mobilidade descritos. Estão representadas cada uma das componentes de espalhamento da mobilidade e a mobilidade total em função da concentração de dopantes, em temperatura ambiente. Para o caso do transistor sem junções, o mecanismo de degradação mais importante é aquele cuja influência é maior para altas concentrações de dopantes, sendo este o espalhamento por impurezas ionizadas. Como podemos observar na Figura 6, aumentando a concentração de dopantes, a característica da curva da mobilidade total se assemelha a curva da mobilidade definida pelo espalhamento por impurezas ionizadas.

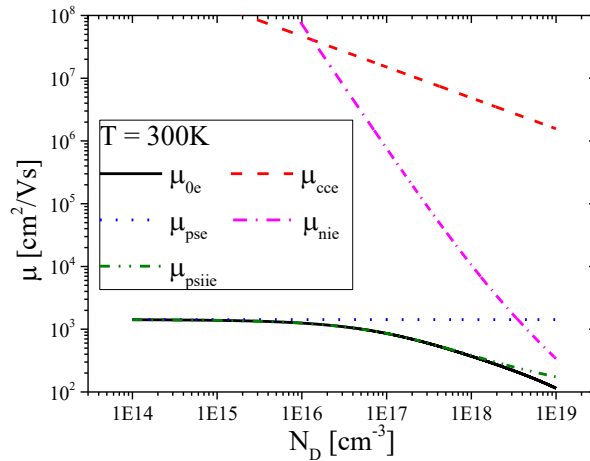


Figura 6 – Mobilidade total e seus mecanismos de espalhamento em função da concentração de dopantes.

Com baixos valores de  $V_{GS}$  e  $V_{DS}$  a mobilidade não depende das polarizações. Porém, para maiores valores de tensão de porta, o campo elétrico vertical aumenta e os portadores são atraídos para a superfície. Devido à rugosidade na interface silício-óxido de porta, a mobilidade dos portadores é degradada. Com aumento do campo elétrico lateral, devido ao efeito da saturação da velocidade dos portadores, o aumento de  $V_{DS}$  também reduz a mobilidade efetiva dos portadores. A Equação (20) define a mobilidade efetiva, considerando a degradação devido ao campo elétrico [47].

$$\mu_{eff} = \frac{\mu_0}{1 + \alpha_s |E_{eff}|} \quad (20)$$

onde  $\alpha_s$  é o coeficiente de espalhamento e  $E_{eff}$  é o campo elétrico efetivo nas direções horizontal e vertical.

Comumente, para considerar a mobilidade efetiva degradada pelo campo elétrico vertical, utiliza-se a Equação (21), válida para  $V_{GS} \geq V_{TH}$  [39].

$$\mu_{eff} = \frac{\mu_0}{1 + \theta (V_{GS} - V_{TH})} \quad (21)$$

onde  $\theta$  é o coeficiente de degradação da mobilidade.

Nos transistores sem junções, os portadores se movimentam pela superfície somente com  $V_{GS}$  maior do que  $V_{FB}$ . Assim, a degradação da mobilidade pelo campo elétrico vertical afeta de maneira diferente as componentes da corrente de superfície e de corpo. Em uma

primeira aproximação, é possível definir a mobilidade efetiva, de acordo com a Equação (22) [48].

$$\mu_{\text{eff}} = \frac{\mu_0}{1 + \theta(V_{\text{GS}} - V_{\text{FB}})} \quad (22)$$

Para incluir o efeito da degradação da mobilidade por conta da influência do campo elétrico lateral, é necessário introduzir o conceito da velocidade de saturação dos portadores, o qual será discutido a seguir.

#### 2.2.3.1 Velocidade de saturação – $v_{\text{sat}}$

Para baixos valores de campo elétrico, a relação entre a velocidade e o campo elétrico lateral ( $E_y$ ) é linear, conforme a Equação (23).

$$v = \mu \times E_y \quad (23)$$

No entanto, quando aplicados altos valores de campo elétrico, os portadores fluem com uma velocidade aproximadamente constante, cujo comportamento assintótico leva a uma velocidade próxima da máxima, denominada velocidade de saturação ( $v_{\text{sat}}$ ). Na Figura 7, adaptada de [49], está apresentada uma curva da dependência da velocidade de deriva dos portadores em função do campo elétrico lateral aplicado, em que é possível observar o comportamento linear e, posteriormente, a saturação da velocidade com  $E_y$ .

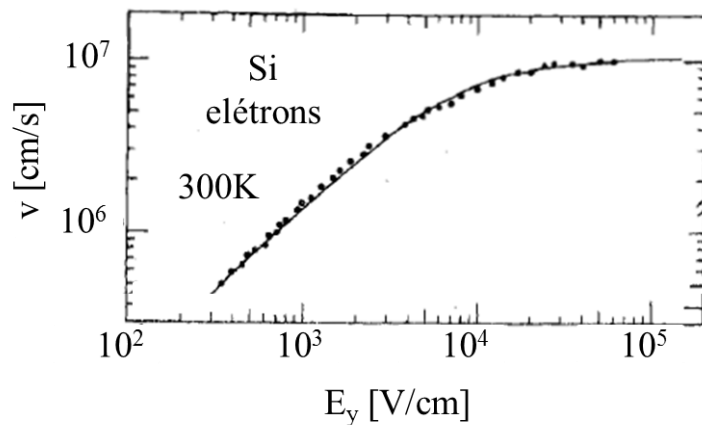


Figura 7 – Curva da velocidade dos portadores em função do campo elétrico lateral [49].

Uma das expressões mais aceitas para o cálculo da velocidade de deriva dos portadores está apresentada na Equação (24) [49].

$$v = v_{\text{sat}} \frac{|E_y|/E_{\text{crit}}}{\left[1 + (|E_y|/E_{\text{crit}})^\beta\right]^{1/\beta}} \quad (24)$$

onde  $E_{\text{crit}}$  é o campo elétrico crítico e  $\beta$  é um parâmetro de ajuste que, tipicamente, varia de 1 a 2. Para o silício, a velocidade de saturação varia de  $5 \times 10^6$  até  $10^7$  cm/s, para camadas de inversão [49].

Desse modo, para considerar o efeito da velocidade de saturação na degradação da mobilidade, pode-se utilizar a Equação (25) [50].

$$\mu_{\text{eff}} = \frac{\mu_0}{\left[1 + \left(\frac{\mu_0 V_{\text{DS}}}{L v_{\text{sat}}}\right)^\beta\right]^{1/\beta}} \quad (25)$$

sendo  $L$  o comprimento do canal do transistor.

A fim de considerar ambas as degradações devido ao campo elétrico vertical e lateral, substitui-se  $\mu_0$  na Equação (25) pela mobilidade incluindo o efeito do campo elétrico vertical, Equação (22).

#### 2.2.4 Transcondutância ( $g_m$ ) e razão $g_m/I_{\text{DS}}$

Um parâmetro elétrico utilizado para mensurar a eficiência do controle da porta sobre a corrente de dreno do dispositivo é a transcondutância ( $g_m$ ), definida pela derivada da corrente em relação à tensão de porta, como indicado na Equação (26) [8].

$$g_m = \frac{\partial I_{\text{DS}}}{\partial V_{\text{GS}}} \quad (26)$$

Outro parâmetro utilizado para mensurar a eficácia de um dispositivo é a razão  $g_m/I_{\text{DS}}$ , que permite avaliar a sua capacidade de traduzir corrente elétrica em transcondutância, associando, assim, a amplificação de um dispositivo ( $g_m$ ) com sua potência dissipada ( $I_{\text{DS}}$ ) [51].

O valor máximo de  $g_m/I_{\text{DS}}$  é dado pela Equação (27) [52]. Ocorre quando o dispositivo opera em regime de inversão fraca e tende ao inverso do potencial térmico ( $\phi_t = kT/q$ ) para

transistores de múltiplas portas, uma vez que apresentam fator de corpo próximo da unidade [53].

$$\frac{g_m}{I_{DS}} = \frac{q}{n k T} \quad (27)$$

Na Figura 8 está apresentada a curva de  $g_m/I_{DS}$  em função de  $I_{DS}/(W_{ef}/L)$ , para transistores MOS sem junções de porta dupla, com tensão de dreno de 1,5V e comprimento de canal de 10 $\mu$ m, obtida através de simulações numéricas tridimensionais. É possível observar pela figura que o valor máximo de  $g_m/I_{DS}$  é de aproximadamente 40V<sup>-1</sup> em temperatura ambiente, o que está de acordo com o inverso do potencial térmico, que vale 38,6V<sup>-1</sup>, com T=300K.

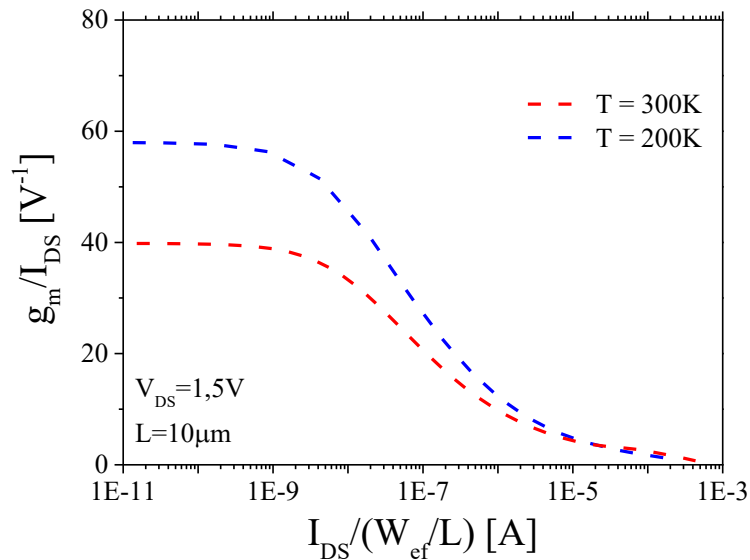


Figura 8 – Curva  $g_m/I_{DS}$  em função de  $I_{DS}/(W_{ef}/L)$  de transistor MOS sem junções de porta dupla, com  $V_{DS}=1,5V$ .

Também se observa que, para o regime de inversão forte, transistores MOS sem junções apresentam razão  $g_m/I_{DS}$  independente da temperatura, devido à menor degradação da mobilidade em relação aos dispositivos MOS modo inversão [15, 54].

O método de  $g_m/I_{DS}$  proposto por Trevisoli *et al.* [55] será utilizado ao longo deste trabalho para obtenção da tensão de limiar dos transistores MOS sem junções estudados, salvo para o cálculo do DIBL, em que será utilizado outro método para calcular  $V_{TH}$ . Para determinar a condição de limiar, este método utiliza a igualdade entre as correntes de deriva e de difusão, as quais predominam acima do limiar e em sublimiar, respectivamente. Foi

verificado que a igualdade entre essas correntes ocorre para a condição apresentada na Equação (28).

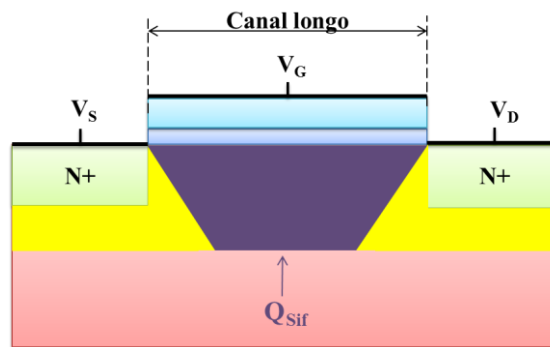
$$\frac{g_m}{I_{DS}} = \frac{q}{2 k T} \quad (28)$$

A tensão de limiar do transistor pode ser obtida na curva de  $g_m/I_{DS}$  em função de  $V_{GS}$ , correspondendo à tensão de porta para a qual  $g_m/I_{DS}$  vale a metade do seu valor máximo.

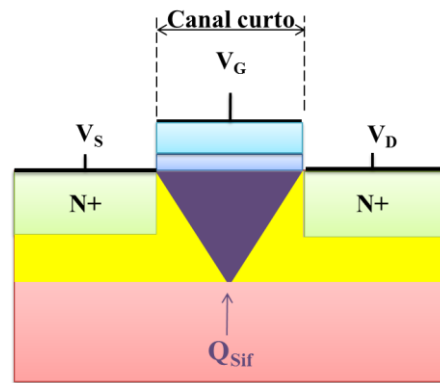
### 2.2.5 Efeitos de Canal Curto

Com o escalamento dos dispositivos e a consequente redução do comprimento de canal dos transistores, são observados efeitos indesejados decorrentes da influência das regiões de fonte e dreno sobre o canal, chamados efeitos de canal curto (SCE – *Short Channel Effects*) [56].

Em transistores com canal longo, as cargas fixas no silício controladas pela porta ( $Q_{Sif}$ ) formam uma região trapezoidal, como indicado na Figura 9.A. Em transistores longos, as cargas controladas pela porta sofrem pouca influência das regiões de fonte e dreno. Com a redução do comprimento do canal, a influência das regiões de depleção de fonte e dreno aumenta e a região que determina  $Q_{Sif}$  tende a adquirir um perfil triangular, Figura 9.B.



(A)



(B)

Figura 9 – Seção transversal de transistor MOS convencional de canal longo (A) e de canal curto (B).

Na Figura 10 está apresentado um transistor FD SOI com mesmo comprimento de canal do transistor MOS convencional de canal curto da Figura 9.B. No transistor FD SOI, a região de depleção de fonte e dreno é menor em relação ao MOS convencional, uma vez que a camada de óxido enterrado está imediatamente abaixo da região de fonte e dreno e não permite a região de depleção estender-se para o substrato. Dessa forma, é maior a quantidade de carga de depleção controlada pela porta em relação à carga total de depleção. Portanto, devido ao maior controle efetivo da porta, os transistores FD SOI sofrem menos efeito de canal curto, o qual se pronuncia para comprimentos de canal menores do que nos transistores MOS convencionais [8].

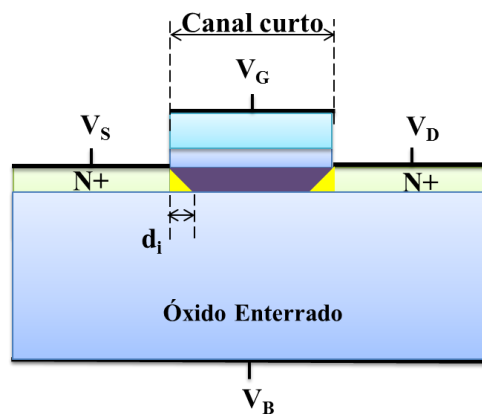


Figura 10 – Seção transversal de um FD SOI MOSFET com comprimento de canal de um MOS convencional de canal curto.



Com a redução das cargas controladas pela porta, os efeitos de canal curto causam redução da tensão de limiar e aumento da inclinação de sublimiar com a redução do comprimento de canal [47], degradando as características dos transistores consideravelmente em relação ao seu comportamento esperado para canal longo.

As cargas controladas pela porta em um transistor de canal longo podem ser aproximadas para  $q \times N_A \times d_{\text{máx}}$  para o MOS convencional e  $q \times N_A \times t_{\text{Si}}$  para o FD SOI. Para os transistores de canal curto,  $Q_{\text{Sif}}$  pode ser calculada através das Equações (29) e (30), para o MOS convencional e para o FD SOI MOSFET, respectivamente [8].

$$Q_{\text{Sif}} = q N_A d_{\text{máx}} \left( 1 - \frac{r_j}{L} \left( \sqrt{1 + \frac{2d_{\text{máx}}}{r_j}} - 1 \right) \right) \quad (29)$$

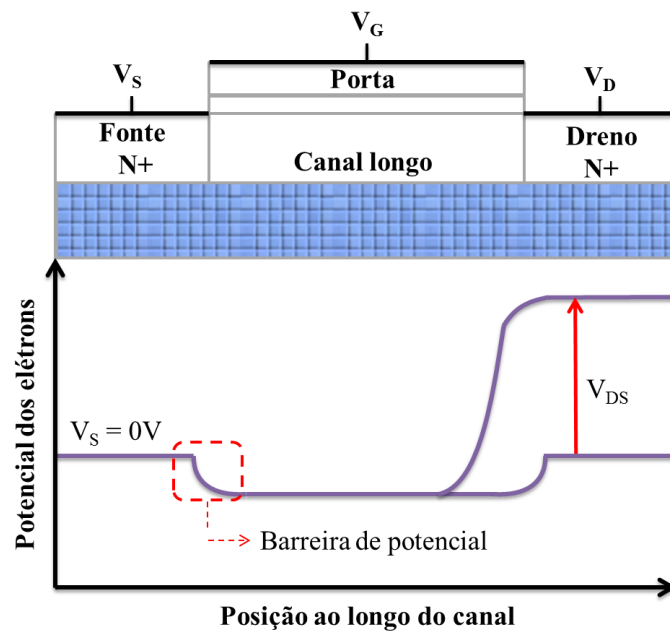
$$Q_{\text{Sif}} = q N_A t_{\text{Si}} \left( 1 - \frac{d_i}{L} \right) \quad (30)$$

onde  $r_j$  é a profundidade da junção de fonte e dreno de um MOSFET convencional e  $d_i$  é a dimensão indicada na Figura 10.

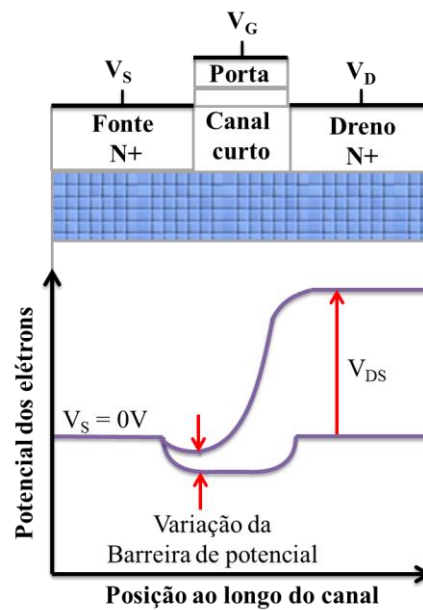
Adicionalmente, com o aumento da tensão de dreno, a região de depleção induzida na interface dreno/canal aumenta e a região de depleção do dreno pode interagir com a da fonte. Em transistores de canal curto, essa interação entre as regiões de depleção do dreno e da fonte é grande, o que reduz significativamente a barreira de potencial junto à fonte, como ilustrado na Figura 11. Com isso, o dispositivo tem sua tensão de limiar reduzida com aumento de  $V_{\text{DS}}$  [56]. Este fenômeno de redução da barreira da fonte induzida pelo dreno pode ser mensurado através de um parâmetro denominado DIBL, o qual consiste em expressar quantos milivolts a tensão de limiar reduz para cada *Volt* aplicado ao dreno, Equação (31) [8].

$$\text{DIBL} = \frac{V_{\text{TH},1} - V_{\text{TH},2}}{V_{\text{DS},2} - V_{\text{DS},1}} \quad (31)$$

onde  $V_{\text{TH},1}$  e  $V_{\text{TH},2}$  são as tensões de limiar obtidas quando aplicadas tensões de dreno baixa e alta,  $V_{\text{DS},1}$  e  $V_{\text{DS},2}$ , respectivamente.



(A)



(B)

Figura 11 – Comportamento da barreira de potencial da fonte quando aplicado alto valor de tensão de dreno em transistor de canal longo (A) e curto (B).

Assim, para contabilizar os efeitos de canal curto sobre  $V_{TH}$ , é necessário considerar a redução da tensão de limiar com a redução do comprimento do canal e também com o aumento da tensão de dreno.

Em dispositivos de múltiplas portas, devido ao melhor controle das cargas na região do canal, os efeitos de canal curto são sensivelmente minimizados em comparação aos transistores planares [4].

Outro parâmetro que pode ser definido é o comprimento natural ( $\lambda$ ), o qual define a distância de penetração das linhas de campo elétrico do dreno para o interior do canal do transistor. Esse é um parâmetro que mensura o efeito de canal curto inerente ao transistor e pode ser calculado de acordo com as Equações (32), (33), (34) e (35), para um transistor de porta simples, dupla, tripla e circundante, respectivamente [4].

$$\lambda_1 = \sqrt{\frac{\epsilon_{Si}}{\epsilon_{ox}} t_{ox} t_{Si}} \quad (32)$$

$$\lambda_2 = \sqrt{\frac{\epsilon_{Si}}{2\epsilon_{ox}} t_{ox} t_{Si}} \quad (33)$$

$$\lambda_3 = \sqrt{\frac{\epsilon_{Si}}{3\epsilon_{ox}} t_{ox} t_{Si}} \quad (34)$$

$$\lambda_4 = \sqrt{\frac{\epsilon_{Si}}{4\epsilon_{ox}} t_{ox} t_{Si}} \quad (35)$$

onde  $\lambda_1$ ,  $\lambda_2$ ,  $\lambda_3$  e  $\lambda_4$  são os comprimentos naturais para um transistor de porta simples, dupla, tripla e circundante, respectivamente.

Aumentando o número de portas do transistor, se reduz  $\lambda$  e, portanto, os efeitos de canal curto. Para evitar a ocorrência desses efeitos, em transistores MOS, o comprimento efetivo da porta deve ser maior do que cinco a dez vezes o comprimento natural [4]. Além disso, é possível fazer comparações geométricas de diferentes estruturas, como, por exemplo, um transistor de porta simples sofre o mesmo efeito de canal curto que um transistor de porta dupla com o dobro da espessura da camada de silício.

### 2.3 Transistores de Múltiplas Portas

Os transistores de múltiplas portas foram desenvolvidos a fim de reduzir os efeitos de canal curto, através do aumento do controle eletrostático das cargas na região do canal. Com a

redução da influência do campo elétrico da região do dreno, os transistores de múltiplas portas permitem maior escalamento em relação aos dispositivos planares [4].

Desde 1984, diversos transistores com mais de uma porta foram propostos, sendo o primeiro destes um transistor de porta dupla, denominado XMOS [57]. No entanto, o primeiro transistor SOI de porta-dupla fabricado foi o DELTA, em 1989 [3]. Este dispositivo era composto por uma aleta de silício estreita e alta, denominada *finger*, *leg* ou *fin*.

Com base na estrutura do transistor DELTA, uma nova estrutura de porta dupla foi proposta, denominada FinFET [7, 58, 59]. O FinFET é um dispositivo similar ao DELTA, apresentando uma camada de dielétrico espessa no topo da aleta de silício, em relação às laterais, como representado na Figura 12. Essa camada é denominada *hard mask* e tem por objetivo evitar os efeitos parasitas de formação de canais de inversão nos cantos superiores do dispositivo, os quais resultam em diferentes tensões de limiar entre os cantos e as superfícies planas, resultando em um fenômeno chamado efeito de canto [60, 61]. Devido à *hard mask*, duas espessuras distintas são obtidas para as camadas de óxido de porta. No FinFET da Figura 12, observa-se que há uma espessura para o óxido de porta acima da aleta de silício,  $t_{ox,top}$ , e uma para o óxido das duas portas laterais do transistor, indicada por  $t_{ox,lat}$ , além disso,  $W$  e  $H$  representam a largura e altura do *fin*, respectivamente. Para que o dispositivo apresente comportamento de um transistor de porta dupla,  $t_{ox,top}$  deve ser tal que permita inibir a influência da porta superior sobre as cargas na região do canal.

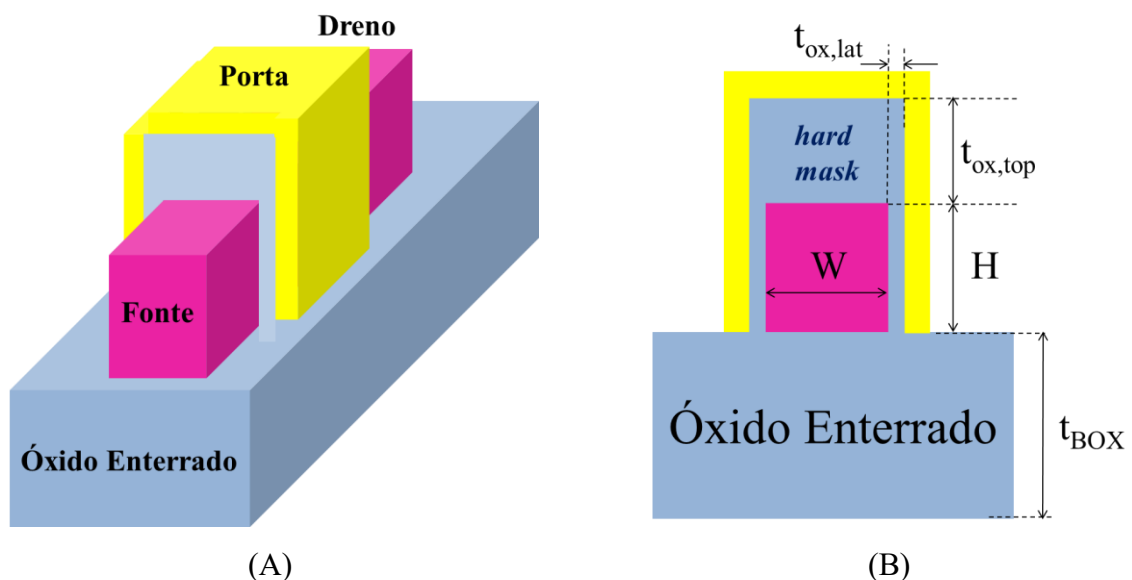


Figura 12 – Perspectiva (A) e vista frontal (B) de um SOI FinFET.

Além do FinFET, outras estruturas de múltiplas portas foram propostas para melhorar o controle eletrostático, como o *Gate-All-Around* (GAA) ou dispositivo de porta circundante [6], o *Silicon-On-Nothing* (SON) MOSFET [62], o Multi-Fin XMOS (MFXMOS) [63], o *triangular-wire* SOI MOSFET [64] e o  $\Delta$ -channel SOI MOSFET [65]. São exemplos de dispositivos com três ou mais portas o Trigate ou FinFET de porta tripla [7], o  $\pi$ -gate [66], o  $\Omega$ -gate [67] e o CYNTHIA (*Cylindrical Thin-Pillar Transistor*) [68].

Dentre estes dispositivos, o que ganhou maior atenção da indústria de semicondutores é o FinFET de porta tripla, que, desde 2011, vem sendo utilizado em processadores da Intel, porém em lâminas de substrato convencional e não SOI [69]. Como ilustrado na Figura 13, em que  $W$  e  $H$  possuem dimensões nanométricas, o FinFET de porta tripla é constituído de uma ilha de silício de camada fina e estreita, envolta por um óxido de porta de espessura constante e portas em três de seus lados.

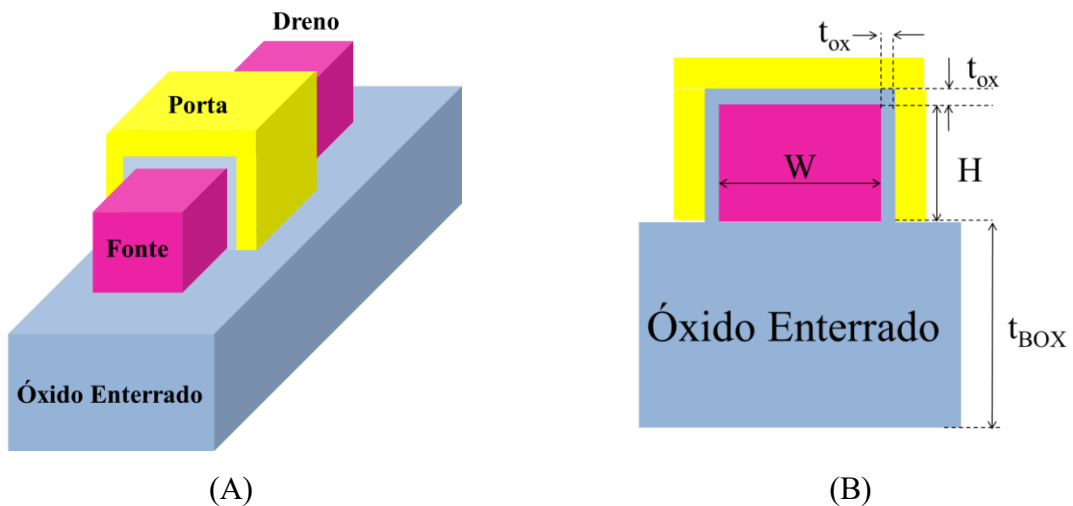


Figura 13 – Perspectiva (A) e vista frontal (B) de um FinFET de porta tripla.

Como apresentam um canal de condução a mais em relação ao dispositivo de porta dupla, transistores de porta tripla possuem um maior nível de corrente. Em uma primeira aproximação, é válido afirmar que a corrente de dreno é proporcional à largura efetiva da porta,  $W_{ef}$ , que vale  $2H$  para o FinFET e  $(2H + W)$  para o FinFET de porta tripla [4]. Porém, como a mobilidade dos portadores da camada de inversão é dependente da orientação cristalográfica [70], a mobilidade dos canais formados no topo e nas laterais não é a mesma. Como os portadores fluem com maior mobilidade no topo do que nas laterais, na prática, a corrente dos transistores de múltiplas portas não segue exatamente a relação de proporção descrita com as dimensões de largura e altura do *fin* [71].

Uma estrutura do tipo multi-*fins* ou multi-dedos pode ser utilizada como alternativa para aumentar a corrente que um único transistor pode fornecer [4]. A Figura 14 apresenta uma estrutura multi-*fins* de um FinFET de porta tripla (A), seu respectivo *layout* (B) e o *layout* de um transistor planar de porta única com área correspondente à estrutura multi-*fins* (C). Na Figura 14.A é possível observar como os dispositivos devem ser arranjados em paralelo para compor a estrutura final, cujo período,  $P$ , delimita a distância entre o início de dois transistores consecutivos. Considerando iguais as mobilidades no topo e nas laterais do Trigate da estrutura exibida na Figura 14.B, sua corrente ( $I_{Dfin}$ ) pode ser descrita através da Equação (36), em que  $I_{DS0}$  representa a corrente da estrutura na Figura 14.C.

$$I_{Dfin} = \frac{I_{DS0} W_{ef}}{P} \quad (36)$$

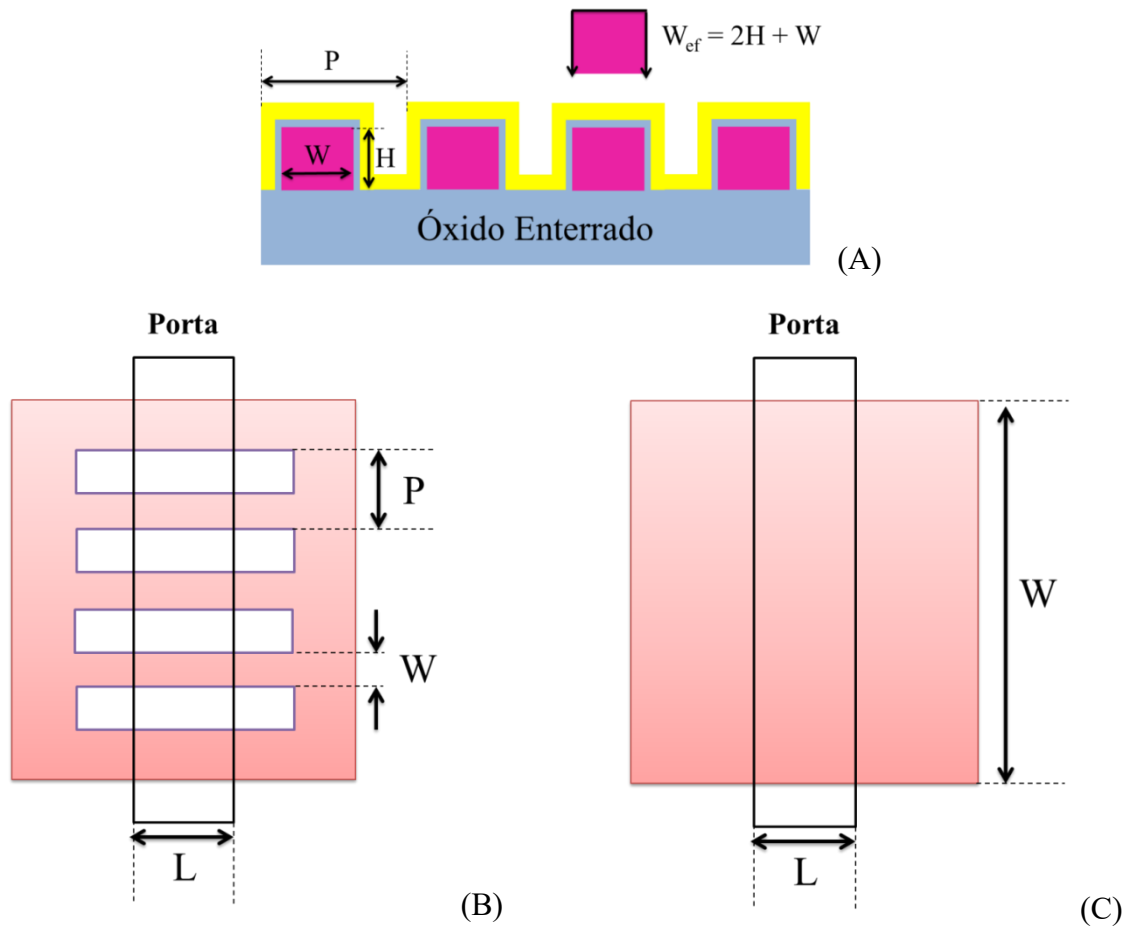


Figura 14 – Esquema de estrutura multi-dedos de FinFETs porta tripla com indicações de dimensões notáveis (A), seu respectivo layout (B) e layout de MOSFET planar de porta única.

(C).

Assim, para garantir que a estrutura multi-*fins* seja vantajosa, o período e as dimensões de  $W$  e  $H$  devem ser tais que a corrente da estrutura completa seja maior do que  $I_{DS0}$ .

Além disso, caso o transistor de múltiplas portas possua uma ou ambas as dimensões  $W$  e  $H$  inferiores a algumas dezenas de nanômetros, podem ocorrer efeitos de confinamento quântico, como o efeito de inversão de volume [6, 72, 73]. Neste efeito, os portadores deixam de ficar confinados na interface silício/óxido de porta, passando a fluir pelo centro do dispositivo. Para considerar os efeitos decorrentes do confinamento quântico, é necessário utilizar a mecânica quântica, através da equação de Schrödinger, juntamente com a física clássica, que no caso é descrita pela equação de Poisson e equações de continuidade [74]. Com uma camada muito fina, devido ao efeito de inversão de volume, os portadores fluem pelo centro e não estão sujeitos aos mecanismos de degradação de superfície e espalhamento de interface [75], o que implica em um aumento da mobilidade e da transcondutância em relação aos dispositivos cuja condução ocorre preponderantemente na superfície [4].

### 2.3.1 Transistores Sem Junções – JNTs

Os transistores MOS sem junções são dispositivos de múltiplas portas que apresentam arquitetura e seção transversal semelhantes às dos transistores de porta dupla ou tripla, conforme representados nas Figuras 12.A e 13.A. Porém, sua camada de silício possui uma concentração de dopantes constante e uniforme ao longo de toda sua seção transversal, como no nMOS da Figura 15, em que  $L_{SD}$  representa o comprimento das regiões de fonte e dreno.

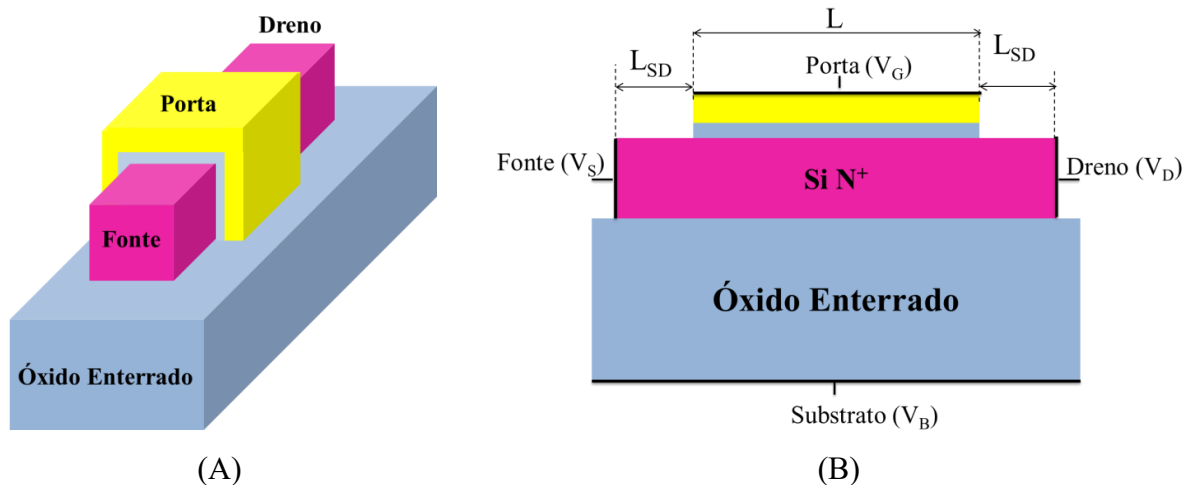


Figura 15 – Perspectiva (A) e perfil transversal (B) de um transistor SOI nMOS sem junções.

Como esses transistores não possuem qualquer gradiente de dopantes ou junções, seu processo de fabricação é mais fácil, em relação ao dos FinFETs. No caso dos FinFETs, a miniaturização dos dispositivos é crítica com relação à influência das difusões laterais de dopantes das regiões de fonte e dreno para o interior do canal. São necessárias criações de junções abruptas, as quais são de difícil implementação prática, uma vez que exige uma variação brusca de concentração de dopantes (da ordem de  $10^{15}\text{cm}^{-3}$  para  $10^{19}\text{cm}^{-3}$ ) ao longo de alguns nanômetros. Assim, o transistor sem junções foi proposto como uma alternativa para solucionar este problema [10].

De forma semelhante aos transistores modo acumulação, os transistores sem junções devem ter suas características físicas definidas de modo a permitir que operem adequadamente, como, por exemplo, deve ser possível a depleção completa da camada de silício quando não é aplicado potencial aos terminais do transistor. Geralmente, os transistores nMOS possuem silício policristalino tipo P+ como material de porta, enquanto os pMOS possuem silício policristalino tipo N+. Adicionalmente, para que a quantidade de portadores seja significativa e o nível de corrente do transistor seja aceitável, esses transistores possuem alta concentração de dopantes (da ordem de  $10^{19}\text{cm}^{-3}$ ). Os JNTs eliminam uma das fontes de flutuações de dopantes no canal, a qual é proveniente de espalhamentos entre fonte/dreno e canal [76]. Porém, como a concentração de dopantes é menor do que a dopagem típica das regiões de fonte e dreno, o JNT possui a desvantagem de sofrer maior resistência série [77].

Na Figura 16 estão apresentados os esquemas das estruturas dos JNTs nMOS e seus diagramas de faixas de energia no centro e na superfície, para cada um dos regimes de operação desse dispositivo, com potencial nulo aplicado no dreno.

Se a alta concentração de dopantes está devidamente adequada à fina espessura da camada de silício, de modo que haja depleção completa em regime de sublimiar, Figura 16.A, é observado que não há passagem da corrente elétrica, uma vez que a região de depleção é livre de portadores. Nessa situação, há uma barreira de potencial no centro e na superfície do dispositivo, porém o potencial de superfície é menor do que no centro, o que torna a barreira de potencial na superfície maior em relação à do centro. Em sublimiar, os portadores se movem somente por difusão.



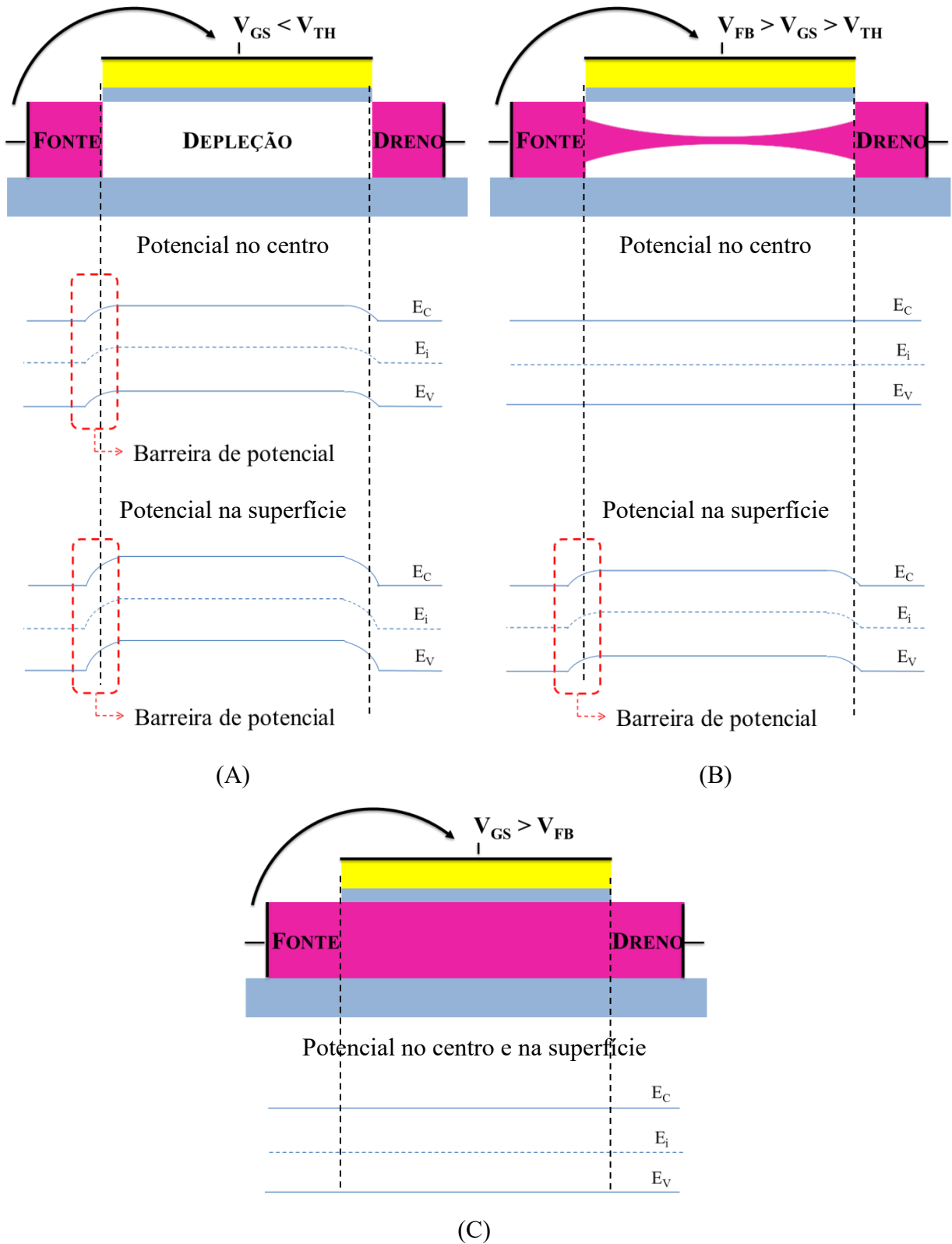


Figura 16 – Esquema da seção transversal de um JNT operando em depleção completa (A), depleção parcial (B) e acumulação (C), e respectivos diagramas de faixas de energia simplificados.

Com a tensão de porta acima da tensão de limiar, porém abaixo da tensão de faixa plana, Figura 16.B, a depleção começa a se reduzir a partir do centro do dispositivo, que se comporta como um resistor controlado pela porta. Se aplicado um campo elétrico lateral, os portadores fluem no centro pelo mecanismo de deriva. Contudo, como ainda há uma barreira de potencial na superfície, os portadores nessa região se movem apenas por difusão. Neste regime em que  $V_{TH} \leq V_{GS} < V_{FB}$ , o transistor opera em depleção parcial, com uma corrente resultante que é praticamente a corrente que flui através do corpo.

Quando a tensão de porta é maior do que a tensão de faixa plana, Figura 16.C, não há mais depleção alguma e o transistor opera em acumulação. Nesta condição de  $V_{GS} > V_{FB}$ , os portadores acumulam-se na superfície e, se aplicado um campo elétrico lateral, compõem uma corrente de superfície. A corrente de superfície se soma à corrente de corpo do transistor, as quais, juntas, integram a corrente total do JNT, que flui pelo mecanismo de deriva.

Como pode ser observado, o funcionamento do JNT é similar ao do transistor modo acumulação, porém, o transistor sem junções opera, durante a maior parte de seu regime de condução, em depleção parcial, enquanto o transistor modo acumulação opera praticamente em regime de acumulação. Na Figura 17 estão apresentadas curvas de simulações numéricas do logaritmo da corrente de dreno ( $I_{DS}$ ) em função de  $V_{GS}$  para um transistor modo acumulação e um JNT, com destaque para os pontos que delimitam os regimes de operação, em que  $V_{TH}$  foi extraído e  $V_{FB}$  calculado como  $\phi_{MS1}$ .

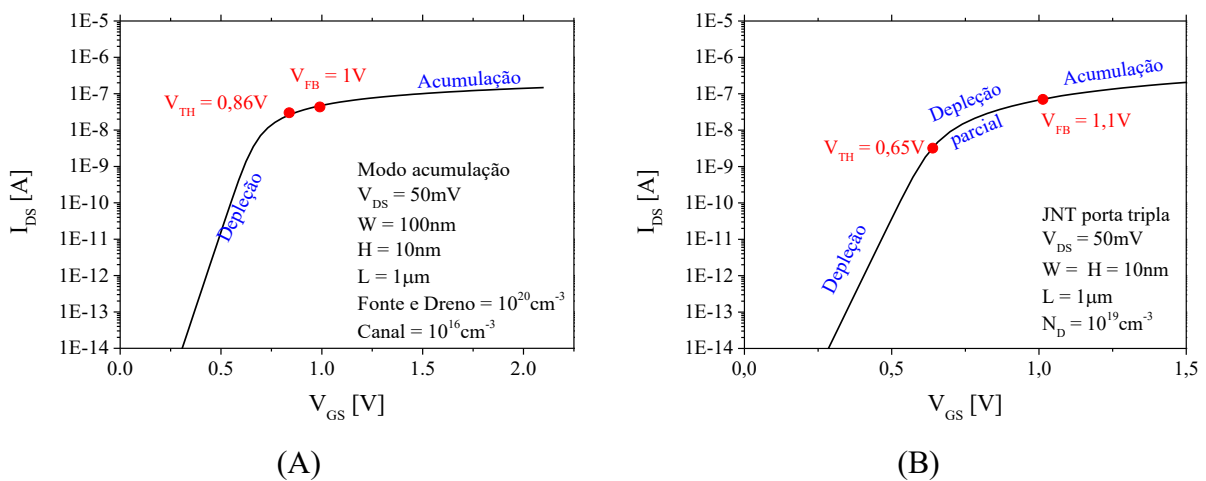


Figura 17 – Curvas do logaritmo da corrente de dreno em função da tensão de porta, para o transistor modo acumulação (A) e sem junções (B).

## 2.4 Modelo de Corrente Elétrica para Transistores Sem Junções de Porta Dupla

Para a modelagem de transistores sem junções de porta dupla com canal curto, o modelo proposto por Cerdeira *et al.* [21], para dispositivos de canal longo, foi utilizado como base. O modelo consiste em uma solução numérica para descrever as características da corrente de dreno de transistores sem junções de porta dupla e canal longo. Através desse modelo, é possível traçar as curvas da corrente de dreno em função da variação das tensões de porta e dreno, analisar a transcondutância e outros parâmetros, como potencial de superfície, densidade de cargas móveis e tensão de limiar.

O modelo desenvolvido é contínuo em todas as regiões de operação, baseia-se na física do dispositivo e parte de uma estrutura simétrica e bidimensional, como a da Figura 18.

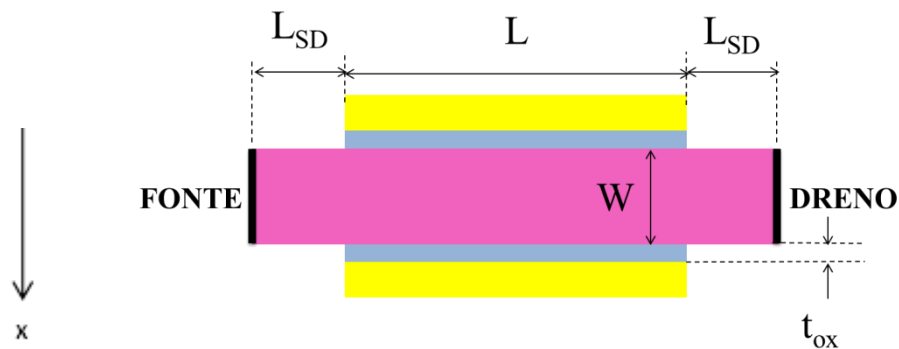


Figura 18 – Estrutura bidimensional do transistor sem junções utilizado para a modelagem.

A densidade de cargas ( $\rho$ ) para a estrutura da Figura 18 é definida pela Equação (37) [39].

$$\rho = q N_D \left( -e^{\frac{\phi - V}{\phi_t}} + 1 \right) \quad (37)$$

onde  $V$  é a queda de potencial entre fonte e dreno.

Então, é aplicada a equação de Poisson para uma dimensão, na camada de silício, desde a superfície até o centro da estrutura, como indicado na Equação (38).

$$\frac{d^2 \phi}{dx^2} = -\frac{d\xi}{dx} = -\frac{\rho}{\epsilon_{Si}} \quad (38)$$

onde  $\xi$  é o campo elétrico ao longo de  $x$ , que vai da superfície até o centro.

Através da relação matemática da Equação (39) [78], tem-se que:

$$\frac{du}{dx} \left( \frac{d^2u}{dx^2} \right) = \frac{1}{2} \frac{d}{dx} \left( \frac{du}{dx} \right)^2 \quad (39)$$

É possível definir uma expressão para o campo elétrico de superfície, como detalhado a seguir.

$$\frac{d\varphi}{dx} \left( \frac{d^2\varphi}{dx^2} \right) = \frac{1}{2} \frac{d}{dx} \left( \frac{d\varphi}{dx} \right)^2 = - \frac{d\varphi}{dx} \frac{\rho(\varphi)}{\epsilon_{Si}} \quad (40)$$

$$\frac{d}{dx} (\xi)^2 = - \frac{2\rho(\varphi)}{\epsilon_{Si}} \frac{d\varphi}{dx} \quad (41)$$

$$E_S^2 = - \frac{2}{\epsilon_{Si}} \int_{\varphi_0}^{\varphi_s} \rho(\varphi) d\varphi \quad (42)$$

O campo elétrico de superfície é definido pela Equação (43).

$$E_S = \text{sign}(\alpha) \varphi_t \frac{C_{ox}}{\epsilon_{Si}} \sqrt{\frac{q_b 2 C_{Si}}{C_{ox}}} \sqrt{e^{\frac{\varphi_S - V}{\varphi_t}} - e^{\frac{\varphi_0 - V}{\varphi_t}} - \left( \frac{\varphi_S - \varphi_0}{\varphi_t} \right)} \quad (43)$$

onde  $\varphi_0$  é potencial no centro do transistor,  $q_b$  é a carga fixa ( $Q_b = qN_D W$ ) normalizada por  $C_{ox}\varphi_t$ ,  $C_{Si}$  é a capacitância da camada de silício ( $C_{Si} = \epsilon_{Si}/W$ ) e  $\alpha$  é a diferença de potencial entre superfície e centro normalizada por  $\varphi_t$  ( $\alpha = (\varphi_S - \varphi_0)/\varphi_t$ ).

A carga na metade da camada de silício ( $Q_{sem}$ ), da superfície até o centro, pode ser expressa pela Equação (44).

$$Q_{sem} = -\epsilon_{Si} E_S = -\text{sign}(\alpha) \varphi_t C_{ox} \sqrt{\frac{q_b 2 C_{Si}}{C_{ox}}} \sqrt{e^{\frac{\varphi_S - V}{\varphi_t}} - e^{\frac{\varphi_0 - V}{\varphi_t}} - \left( \frac{\varphi_S - \varphi_0}{\varphi_t} \right)} \quad (44)$$

De acordo com Sallese *et al.* [79], o potencial de superfície em função do potencial no centro pode ser definido com a Equação (45).

$$\varphi_S = \varphi_0 + \frac{Q_b}{8C_{Si}} \left( e^{\frac{\varphi_0 - V}{\varphi_t}} - 1 \right) \quad (45)$$

Em condição de sublimiar, considerando depleção completa da camada de silício, a diferença de potencial normalizada por  $\phi_t$ ,  $\alpha_{st}$ , é definida pela Equação (46).

$$\alpha_{st} = -\frac{Q_b}{8C_{Si}\phi_t} \quad (46)$$

Com isso, através da Equação (47), utilizando a função de Lambert (LW), descrita no Apêndice A, é possível determinar uma função para o cálculo da diferença de potencial  $\alpha$ .

$$\alpha = \alpha_{st} + LW \left[ -\alpha_{st} e^{-\alpha_{st}} e^{\frac{\phi_s - V}{\phi_t}} \right] \quad (47)$$

Considerando as Equações (45) e (46), é possível estabelecer a relação da Equação (48).

$$e^{\frac{\phi_0 - V}{\phi_t}} + \alpha = 1 - \alpha \left( -1 + \frac{1}{\alpha_{st}} \right) \quad (48)$$

Com a relação estabelecida acima, é possível reescrever a Equação (44) e definir a carga normalizada em metade da camada de silício ( $q_{sem}$ ) na Equação (49).

$$q_{sem} = -\text{sign}(\alpha) \sqrt{\frac{q_b^2 C_{Si}}{C_{ox}}} \sqrt{e^{\frac{\phi_s - V}{\phi_t}} - \left( 1 - \frac{1}{\alpha_{st}} \right) \alpha - 1} \quad (49)$$

Através da Equação (50), definida para o capacitor MOS, é possível definir a relação entre o potencial de superfície e o potencial  $V_{GS}$  aplicado na estrutura. Assim, uma vez obtida uma expressão para  $\alpha$ , é possível calcular, de maneira iterativa, o potencial de superfície ( $\phi_s$ ), utilizando (51).

$$(V_{FB} - V_{GS} - \phi_s) C_{ox} = Q_{Sif} \quad (50)$$

$$V_G - V_{FB} = \phi_s + \text{sign}(\alpha) \phi_t \sqrt{\frac{q_b^2 C_{Si}}{C_{ox}}} \sqrt{e^{\frac{\phi_s - V}{\phi_t}} - \left( 1 - \frac{1}{\alpha_{st}} \right) \alpha - 1} \quad (51)$$

Calculado o potencial de superfície, é possível obter o valor para a carga móvel ( $q_n$ ) no transistor, através da Equação (52).

$$q_n = q_{sem} - \frac{q_b}{2} = -\text{sign}(\alpha) \sqrt{\frac{q_b^2 C_{Si}}{C_{ox}}} \sqrt{e^{\frac{\phi_s - V}{\phi_t}} - \left(1 - \frac{1}{\alpha_{st}}\right) \alpha - 1} - \frac{q_b}{2} \quad (52)$$

A corrente de dreno do transistor, Equação (54), é obtida através da integral da carga móvel, a partir da tensão aplicada na fonte até a tensão aplicada no dreno, multiplicada por um fator K, definido na Equação (53).

$$K = \frac{W_{ef}}{L} C_{ox} \mu_0 \quad (53)$$

$$I_{DS} = K \phi_t \int_{V_s}^{V_D} q_n dV \quad (54)$$

O modelo considera uma mobilidade constante para o transistor, sem degradações devido ao campo elétrico vertical ou lateral. Além disso, como o modelo é unidimensional, não considera a influência da variação do comprimento do canal e da altura do transistor, sendo adequado para descrever transistores sem junções de porta dupla que apresentem comprimento de canal bem longo,  $L > 400\text{nm}$ , e aleta de silício com  $H > 80\text{nm}$ . Essas dimensões foram obtidas após diversos testes e simulações, em que se observou que o modelo não apresentava convergência para  $L < 400\text{nm}$  e que a porta superior começa a apresentar influência sobre o potencial de superfície quando  $H < 80\text{nm}$ .

Após análise do perfil das cargas móveis, descritas na Equação (52), foi verificado que  $q_n$  vale -0,25 na condição de limiar, pois, após este valor, a carga aumenta abruptamente com aumento de  $V_{GS}$ , como observado na Figura 19, adaptada de [21].

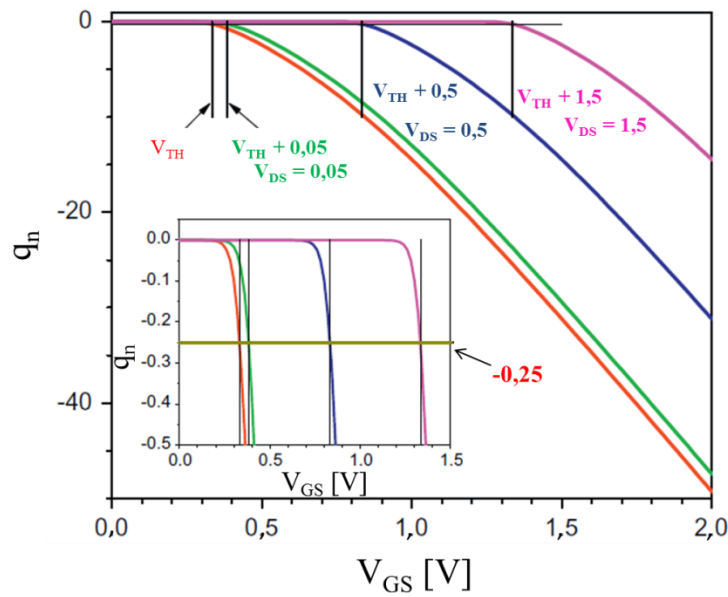


Figura 19 – Carga móvel em função da tensão de porta para diferentes valores de  $V_{DS}$ , indicando que  $q_n$  vale  $-0,25$  no limiar [21].

O cálculo de  $V_{TH}$  foi realizado através da Equação (55):

$$V_{TH} = V_{FB} - \phi_t \left[ \frac{q_b}{2} - \frac{1}{4} - \alpha_T \ln \left( 1 - \frac{\alpha_T}{\alpha_{st}} \right) \right] \quad (55)$$

onde  $\alpha_T$  é a diferença de potencial no limiar, determinada pela Equação (56).

$$\alpha_T = \frac{\alpha_{st}}{1 - \alpha_{st}} \left[ 1 - \alpha_{st} \left( 1 - \frac{1}{2q_b} \right)^2 \right] \quad (56)$$

As Equações (55) e (56) foram obtidas após manipulação matemática das Equações (45), (51) e (52).

## 2.5 Simulador

Para as simulações numéricas tridimensionais dos dispositivos, foi utilizado o Sentaurus Device Simulator (SDEVICE), da Synopsys [80]. Para chegar a uma solução para cada um dos pontos desejados, este simulador resolve equações de continuidade e de Poisson através do método de elementos finitos.

O *software* auxiliar chamado Setaurus Structure Editor [81] também foi utilizado, pois permite realizar a construção das estruturas a serem simuladas através da definição dos materiais, dimensões, concentrações de dopantes, etc. Os arquivos gerados pelo Structure Editor são utilizados como entrada para o arquivo de simulação, onde os modelos analíticos são especificados para considerar os efeitos físicos desejados.

Para as simulações realizadas neste trabalho, a fim de descrever apropriadamente o funcionamento dos transistores, diversos fenômenos físicos foram considerados, de modo que os modelos físicos utilizados descrevem o comportamento da mobilidade dos portadores, os mecanismos de geração e recombinação e o estreitamento da banda proibida.

Para descrever o comportamento da mobilidade dos portadores, foram utilizados os modelos descritos a seguir.

- *PhuMob*

Este modelo, proposto por Klassen [82], define a mobilidade de baixo campo dos portadores (minoritários e majoritários), dependente da temperatura, considerando diversos mecanismos de degradação, como o espalhamento por impurezas ionizadas e o espalhamento portador-portador.

- *Arora*

Este modelo define a mobilidade de baixo campo dependendo da temperatura e da concentração de portadores do semiconductor [83]. Para tanto, considera os mecanismos de espalhamento portador-portador, impurezas ionizadas e de rede, tendo por base as equações propostas por Caughey e Thomas [43].

- *Enormal*

Este modelo considera a atração dos portadores para a interface semiconductor/isolante quando há alto campo elétrico vertical. Este modelo de degradação é descrito por Lombardi [84].

- *HighFieldSaturation*

Este modelo é descrito por Canali *et al.* [49] e determina a influência do alto campo elétrico lateral na mobilidade dos portadores. Estes, por sua vez, na situação de alto campo



elétrico, não fluem com velocidade de deriva dependente deste campo, mas sim com um valor limitado pela velocidade de saturação.

Para considerar o mecanismo de geração e recombinação dos portadores, foram utilizados os modelos a seguir, os quais representam os dois processos de recombinação mais importantes no silício [85].

- *SRH(DopingDep)*

O efeito de *Shockley-Read-Hall* (SRH) quantifica a recombinação dos portadores devido aos defeitos presentes na rede cristalina do semiconductor e é contabilizado pelo modelo que leva o seu nome. Quando utilizado o sub-modelo *DopingDep*, o tempo de vida dos portadores é calculado com base em sua dependência com a concentração de dopantes.

- *Auger*

Este modelo contabiliza o mecanismo de recombinação que ocorre quando o nível de energia resultante de uma recombinação de um elétron mais energético é suficiente para gerar um portador. Esse modelo tem maior importância no caso de regime de alta injeção de portadores.

Para realizar o cálculo da largura da banda proibida foi considerado o modelo a seguir:

- *BandGapNarrowing (OldSlotboom)*

Este modelo é utilizado para considerar o efeito do estreitamento da largura da banda proibida ( $E_G$ ), que ocorre dependendo da concentração de dopantes do semiconductor e da temperatura [86]. O cálculo da largura da banda proibida é bastante importante, pois está diretamente associado ao valor da concentração intrínseca de portadores.

### 3 MODELAGEM DE NANOFIOS TRANSISTORES MOS SEM JUNÇÕES

Nesta seção serão apresentados os novos modelos propostos para transistores sem junções de canal curto de portas dupla e tripla. Para apresentar um modelo funcional para transistores de canal curto, a solução adotada foi a inclusão de uma série de efeitos no modelo para transistores sem junções de porta dupla e canal longo proposto por Cerdeira *et al.* [21].

#### 3.1 Modelo de JNTs de Porta Dupla

Nesta subseção será apresentada a proposta para a inclusão de efeitos de canal curto a fim de complementar o modelo apresentado e descrito na seção 2.4. Inicialmente não serão considerados os efeitos da velocidade de saturação, os quais constituem um mecanismo de degradação da mobilidade decorrente do alto campo elétrico lateral. A influência de  $v_{sat}$  será abordada somente na subseção 3.1.1 e a influência da resistência série na subseção 3.1.2.

Dessa forma, serão incluídos inicialmente os efeitos de canal curto que ocorrem em regime de sublimiar, o efeito de modulação do comprimento do canal e a degradação da mobilidade devido ao alto campo elétrico vertical [8]. Para adicionar os efeitos de canal curto, será considerada essencialmente a variação da barreira de mínimo potencial dentro da região do canal, que ocorre devido ao acoplamento do potencial no dreno, cuja influência sobre a região do canal é maior em transistores de canal curto, em comparação com transistores longos [87].

O potencial interno de transistores com canal mais curto é maior do que em dispositivos de canal longo, então, é possível definir a variação da barreira de mínimo potencial ( $\phi_{min}$ ), como observado na Figura 20.B, que mostra resultados simulados para o potencial no centro dos transistores ao longo do comprimento de canal normalizado por  $L$ . A fim de avaliar a melhor posição ao longo de  $W$  e  $H$  para extrair e analisar os valores de  $\phi_{min}$ , na Figura 20.A é apresentado o potencial eletrostático ao longo da largura e da altura do canal da estrutura de um JNT com  $L=50\text{nm}$  e óxido no topo de  $15\text{nm}$ , em  $L/2$ , para  $V_{GS}=0\text{V}$  e  $V_{DS}=50\text{mV}$ . Na Figura 20.A, como o dispositivo está polarizado com baixa tensão de dreno, o menor potencial ao longo do comprimento do canal está situado na metade do canal, isto é,  $L/2$ . Assim, observando os dois gráficos desta mesma figura, é possível notar que a análise do potencial mínimo pode ser realizada em  $W/2$  e  $H/2$ , como foi feito na Figura 20.B, pois,

embora o óxido no topo e o óxido enterrado não sejam iguais, os pontos de máximo do potencial em  $W$  e  $H$  e, portanto, o centro de condução do transistor, localiza-se no centro do dispositivo,  $W/2$  e  $H/2$ .

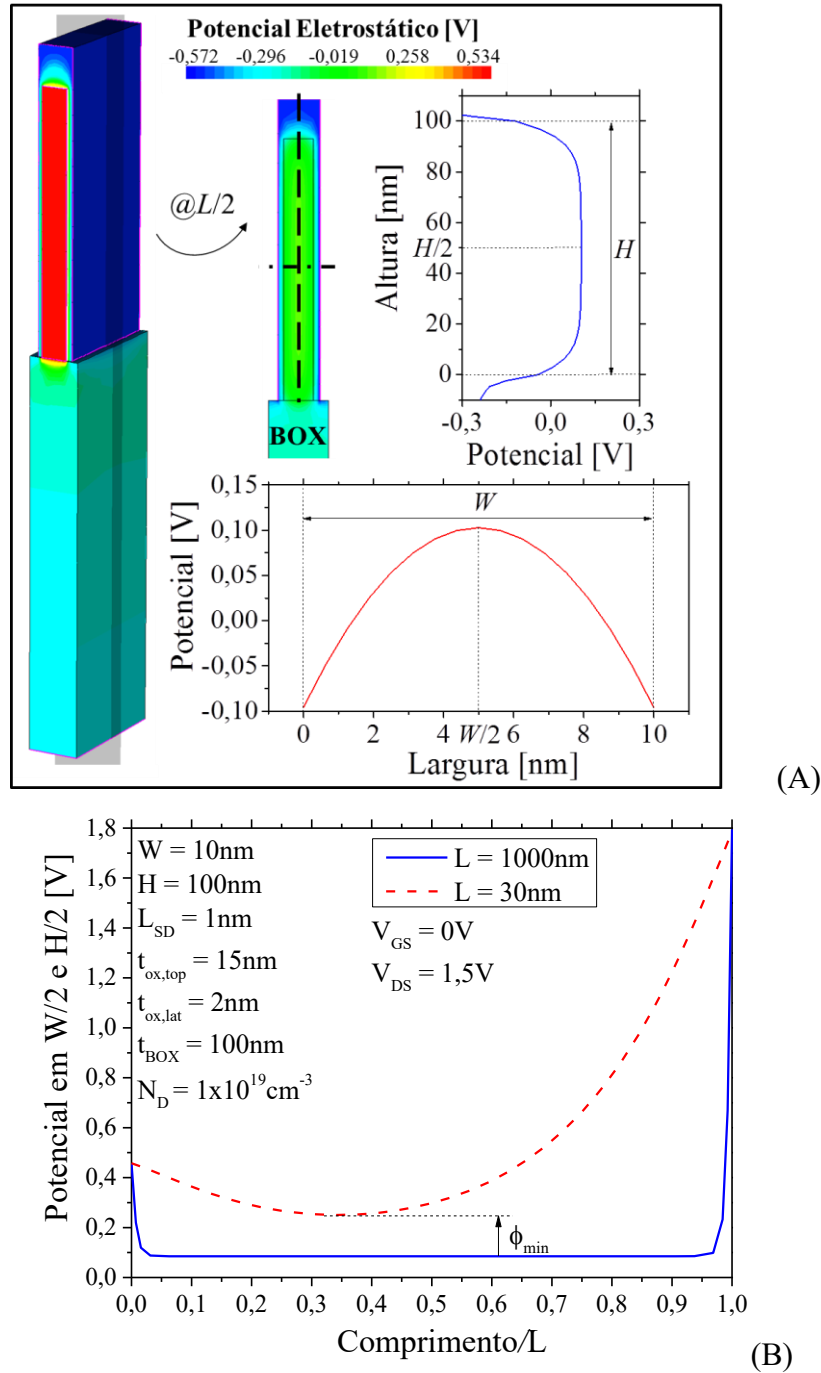


Figura 20 – Potencial eletrostático ao longo da estrutura para as seções vertical e horizontal, em  $L/2$ , para um transistor sem junções com  $L=50\text{nm}$ ,  $V_{GS}=0\text{V}$  e  $V_{DS}=50\text{mV}$  (A). Resultados simulados para  $\phi_0$  em  $W/2$  e  $H/2$  em função do comprimento normalizado por  $L$  (B), para  $V_{GS}=0\text{V}$  e  $V_{DS}=1,5\text{V}$ .

Essa variação do potencial no canal pode ser calculada pela Equação (57), a qual representa uma solução para a equação de Poisson, considerando a influência do potencial do dreno [4].

$$\phi_{\min} = \frac{Y \sinh\left(\frac{y_{\min}}{\lambda}\right) + U \sinh\left(\frac{L - y_{\min}}{\lambda}\right)}{\sinh\left(\frac{L}{\lambda}\right)} \quad (57)$$

onde  $U$  representa o potencial no canal próximo a fonte,  $Y$  é o potencial próximo do dreno ( $Y = U + V_{DS}$ ) e  $y_{\min}$  é o ponto de mínimo potencial ao longo do comprimento do canal.

O potencial próximo à fonte pode ser calculado pela própria expressão do potencial de superfície obtido para o transistor de canal longo, com potencial nulo aplicado ao dreno, isto é,  $V=0V$  na Equação (51).

O ponto de mínimo potencial no canal é descrito pela Equação (58) [88].

$$y_{\min} = \frac{\lambda}{2} \ln \left( \frac{Ue^{\frac{L}{\lambda}} - Y}{Y - Ue^{-\frac{L}{\lambda}}} \right) \quad (58)$$

A expressão para  $y_{\min}$  não é contínua com  $V_{GS} > V_{TH}$ , pois, se  $V_{GS}$  aumenta, o potencial de superfície diminui e o termo dentro do logaritmo Neperiano se torna negativo. Essa expressão é válida somente em regime de sublimar, quando o ponto de mínimo potencial se encontra próximo do centro do canal, pois, com aumento da tensão de porta, esse ponto se desloca para próximo à fonte. Para contornar essa descontinuidade,  $y_{\min}$  será calculado através da Equação (58) para  $V_{GS} \leq V_{TH}$  e através da Equação (59) para  $V_{GS} > V_{TH}$ .

$$y_{\min} = \frac{\lambda}{2} \ln \left( \frac{U(V_{TH})e^{\frac{L}{\lambda}} - Y(V_{TH})}{Y(V_{TH}) - U(V_{TH})e^{-\frac{L}{\lambda}}} \right) \quad (59)$$

Para o transistor de porta dupla uma expressão mais completa para o comprimento natural está apresentada abaixo [4].

$$\lambda_2 = \sqrt{\frac{\epsilon_{Si} t_{Si} t_{ox}}{2\epsilon_{ox}} \left( 1 + \frac{\epsilon_{ox} t_{Si}}{4\epsilon_{Si} t_{ox}} \right)} \quad (60)$$

No entanto, a presença do óxido no topo pode exercer uma pequena influência sobre o canal dependendo de  $t_{ox,top}$ , o que implica no fato de que a interação do campo elétrico aplicado no topo do dispositivo pode interferir, ainda que suavemente, nos efeitos de canal curto do transistor. Deste modo, para contabilizar essa influência, será utilizado um comprimento natural resultante de uma mescla entre o dispositivo de porta dupla e o dispositivo de porta tripla, cujo  $\lambda_3$  é dado pela (61) [4].

$$\lambda_3 = \sqrt{\frac{\epsilon_{Si} t_{Si} t_{ox}}{3\epsilon_{ox}} \left( 1 + \frac{\epsilon_{ox} t_{Si}}{4\epsilon_{Si} t_{ox}} \right)} \quad (61)$$

Para calcular  $\lambda_2$  e  $\lambda_3$ , utilizou-se  $t_{ox,lat}$  e  $t_{ox,top}$  como espessuras de óxido, respectivamente, e  $W$  como espessura do silício. Para associar esses comprimentos naturais, é utilizada a Equação (62) [89].

$$\lambda = \left[ \left( \frac{1}{\lambda_2} \right)^2 + \left( \frac{1}{\lambda_3} \right)^2 \right]^{-\frac{1}{2}} \quad (62)$$

A fim de validar essas expressões, na Figura 21 estão apresentados resultados de  $y_{min}$  (A) e  $\phi_{min}$  (B) em função de  $V_{DS}$ , para JNTs com  $L$  de 30, 50 e 100nm, para  $V_{GS}=0V$ .

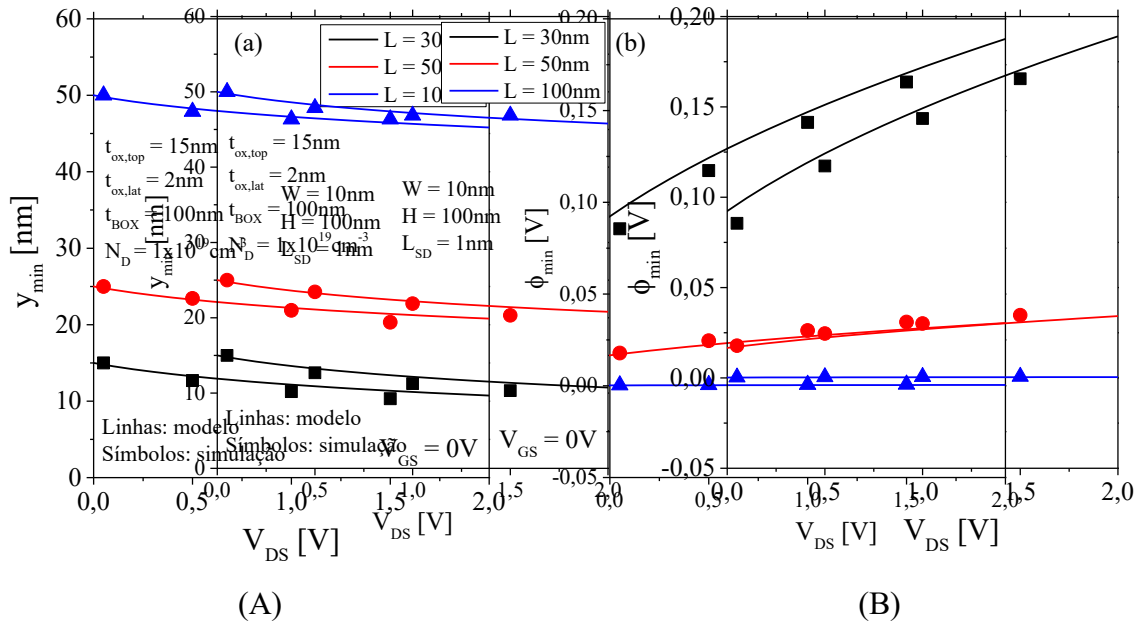


Figura 21 – Resultados de  $y_{min}$  (A) e  $\phi_{min}$  (B) em função de  $V_{DS}$ , para JNTs simulados e modelados com  $V_{GS}=0V$ .

A variação da barreira de mínimo potencial será utilizada como um deslocamento na tensão de porta ( $\Delta V_{GS} = \phi_{\min}$ ). Então, a tensão efetiva da porta ( $V_{GS,eff}$ ) será o potencial aplicado na porta do transistor de canal longo que considera a redução da barreira de potencial em transistores de canal curto, como descrito na Equação (63).

$$V_{GS,eff} = V_{GS} + \phi_{\min} \quad (63)$$

No entanto, o uso de  $V_{GS,eff}$  somente é eficiente para descrever os efeitos que ocorrem em depleção, como os efeitos da variação de  $S$ ,  $V_{TH}$  e DIBL, pois não há variação significativa do potencial da estrutura após o início do regime de acumulação. Portanto, é necessário considerar também outro efeito, que ocorre em regime de saturação, que se torna mais importante com a redução do comprimento do canal. Esse efeito é conhecido como pinçamento do canal (*pinch-off*) ou modulação do comprimento do canal [8].

Ocorre que, com o aumento do potencial do dreno, em regime de saturação, a depleção induzida por este potencial reduz o comprimento efetivo do canal,  $L_{eff}$ , como indicado na Figura 22.

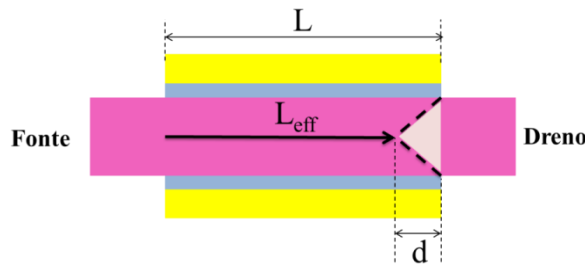


Figura 22 – Estrutura de transistor porta dupla em regime de saturação.

A depleção,  $d$ , induzida por um potencial,  $\phi$ , é determinada de acordo com a expressão abaixo [39].

$$d = \sqrt{\frac{2\epsilon_{Si}\phi}{qN_D}} \quad (64)$$

Considerando que a queda de potencial na região de depleção é igual à sobretensão de saturação de dreno, ( $\phi = V_{DS} - V_{sat}$ ), a expressão que define o comprimento efetivo do canal é a Equação (65), em que é utilizada uma função de tangente hiperbólica de suavização para

atenuar a transição entre o regime de saturação e de triodo. Adicionalmente, a tensão de saturação de dreno ( $V_{sat}$ ) foi considerada igual à sobretensão de porta,  $V_{sat} = V_{GT} = V_{GS} - V_{TH}$ .

$$L_{eff} = L - \sqrt{\frac{2\varepsilon_{Si}(V_{DS} - V_{sat})}{qN_D}} \frac{1}{2} (1 + \tanh((V_{DS} - V_{sat}) \times 10)) \quad (65)$$

Para incluir o efeito da degradação da mobilidade devido ao campo elétrico vertical, foi utilizada a mobilidade definida na Equação (22), em que o coeficiente de degradação da mobilidade pode ser extraído considerando a relação da Equação (66).

$$\mu = \frac{L}{W_{ef} C_{ox} V_{DS}} g_m \quad (66)$$

Para atenuar a transição entre os regimes de condução, é utilizada a função de suavização abaixo, em que a expressão da degradação da mobilidade considerando o campo elétrico vertical ( $\mu_1$ ) só é válida a partir de  $V_{GS} > V_{FB}$ .

$$\mu_1 = \frac{\mu_0}{1 + \theta(V_{GS} - V_{FB}) \frac{1}{2} (1 + \tanh((V_{GS} - V_{FB}) \cdot 2))} \quad (67)$$

Finalmente, a expressão que descreve a corrente de dreno para o transistor sem junções de porta dupla, considerando os efeitos de canal curto, é a Equação (68), a qual é uma função de  $V_{GS,eff}$ .

$$I_{DS} = \frac{W_{ef}}{L_{eff}} C_{ox} \mu_1 \phi_t \int_{V_S}^{V_D} q_n dV \quad (68)$$

### 3.1.1 Inclusão do Efeito da Velocidade de Saturação

Para considerar o efeito da velocidade de saturação, é necessário utilizar a expressão abaixo para incluir a degradação da mobilidade devido ao campo elétrico lateral.

$$\mu_{eff} = \frac{\mu_1}{\left[ 1 + \left( \frac{\mu_1 V_{DS,eff}}{v_{sat} L} \right)^\beta \right]^{\frac{1}{\beta}}} \quad (69)$$

onde  $\beta$  vale 1,109, conforme valor padrão definido no simulador utilizado;  $V_{DS,eff}$  é a tensão efetiva de dreno, que corresponde à tensão de dreno limitada em  $V_{sat}$ ; a velocidade de saturação é considerado um parâmetro de ajuste, pois o termo  $V_{DS,eff}/L$  é uma aproximação para o campo elétrico efetivo. Para calcular  $\mu_1$  é utilizada a Equação (67) e a mobilidade de baixo campo é calculada de acordo com a concentração de dopantes através das equações definidas pela referência [83].

Para calcular  $V_{DS,eff}$ , é necessário definir uma expressão para a tensão de saturação, pois, com a redução do comprimento do canal dos transistores,  $V_{sat}$  reduz em relação ao valor previsto para transistores de canal longo, isto é,  $V_{sat} < V_{GT}$  [90]. Assim, definiu-se a expressão empírica da Equação (70) para o cálculo da tensão de saturação de dreno [91]. Essa expressão foi deduzida após a análise da tensão de saturação para diversas simulações de transistores MOS sem junções de porta dupla, com diferentes valores de  $W$ ,  $N_D$  e  $L$ . Desse modo, foi considerada adequada para descrever o comportamento dos JNTs de porta dupla a serem modelados neste trabalho.

$$V_{sat}' = 0,08 + 0,115(L \times 10^7)^{0,33}(V_{GS} - V_{TH}) \quad (70)$$

A expressão acima foi complementada por uma função de suavização, como indicado na Equação (71), para atribuir à  $V_{sat}$  o menor valor entre  $V_{GT}$  e a expressão empírica definida.

$$V_{sat} = V_{sat}' \frac{1}{2} (1 + \tanh((V_{GS} - V_{TH}) \times 3)) + V_{GT} \frac{1}{2} (1 - \tanh((V_{GS} - V_{TH}) \times 3)) \quad (71)$$

Para validar a Equação (71), na Figura 23 estão apresentados os resultados de simulação e modelo para um transistor com  $L=50nm$ , de modo que se observa a tensão de saturação de dreno em função da sobretensão de porta, em que os símbolos indicam as simulações e as linhas os modelos. Para as simulações,  $V_{sat}$  foi extraído de acordo com o método proposto em [92]. Na Figura 23, a linha sólida indica a tensão de saturação para transistores de canal longo ( $V_{sat} = V_{GT}$ ) e é possível notar que o transistor com canal curto sofre saturação para um valor de  $V_{DS}$  menor. Esse efeito ocorre devido ao maior campo elétrico lateral, responsável por acelerar os portadores, os quais alcançam a velocidade de saturação antes da tensão de dreno esperada, comparando-se com transistores de canal longo.



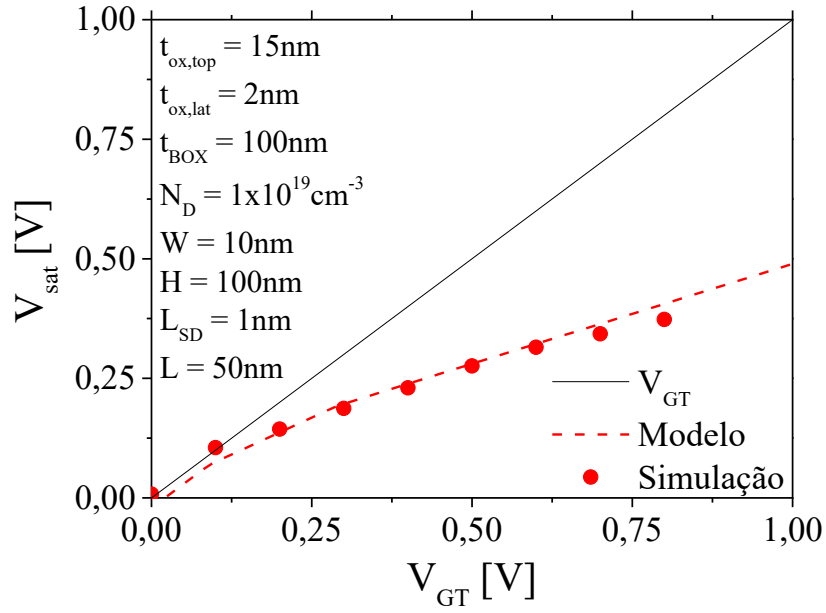


Figura 23 –  $V_{sat}$  versus  $V_{GT}$  para modelo e simulação de JNT com  $L=50\text{nm}$ .

Uma vez calculada a tensão de saturação, é possível definir a tensão efetiva de dreno, através da Equação (72), a qual será utilizada também para o cálculo da corrente de dreno da Equação (68), em que a carga será integrada de  $V_S$  até  $V_{DS,eff}$ .

$$V_{DS,eff} = V_{sat} \frac{1 - \ln \left( 1 + e^{8 \left( 1 - \frac{V_{DS}}{V_{sat}} \right)} \right)}{\ln(1 + e^8)} \quad (72)$$

Adicionalmente, foi inserido um parâmetro de ajuste, kapa, na expressão (65) que define o comprimento efetivo do canal, conforme indicado na Equação (73) [93].

$$L_{eff} = L - \sqrt{\text{kapa} \frac{2\epsilon_{Si} (V_{DS} - V_{sat})}{qN_D} \frac{1}{2} (1 + \tanh((V_{DS} - V_{sat}) \times 10))} \quad (73)$$

O parâmetro kapa varia com  $L$ , pois tem por objetivo ajustar o efeito de modulação do comprimento do canal. Assim como a velocidade de saturação, os valores de kapa foram obtidos iterativamente para o melhor ajuste entre as curvas de simulação e o modelo. A utilização destes parâmetros permite a calibração do modelo proposto para o menor erro possível.

Na Figura 24 observa-se a corrente de dreno em função da tensão de dreno, para diversos valores de  $V_{GT}$ , para o transistor da Figura 23. Essas curvas foram obtidas após implementação de todas as equações que descrevem o efeito da velocidade de saturação, a modulação do comprimento do canal e a tensão efetiva de dreno, considerando a expressão empírica apresentada para a tensão de saturação de dreno.

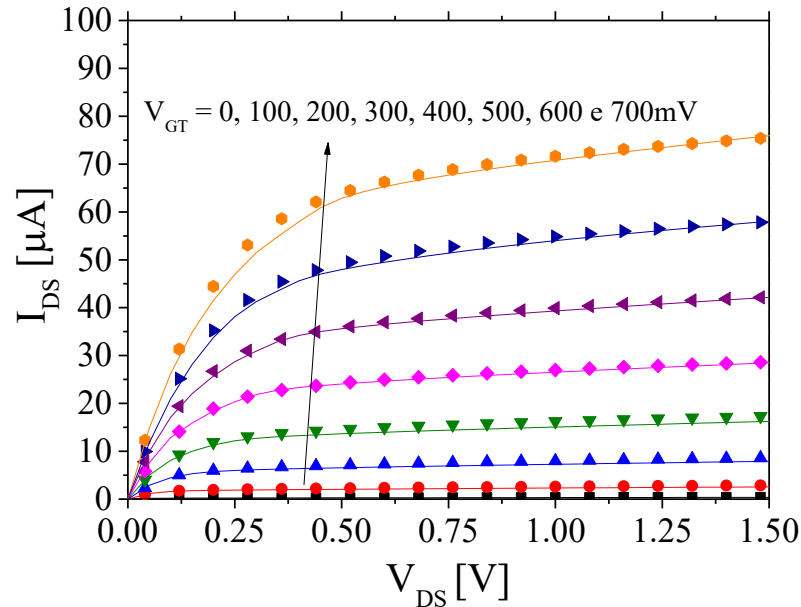


Figura 24 –  $I_{DS}$  versus  $V_{DS}$  para modelo e simulação de JNT com  $L=50\text{nm}$ .

Para averiguar e quantificar a boa concordância entre as curvas geradas através dos modelos propostos e as simulações numéricas ou medidas experimentais, foi calculado o erro médio percentual, Equação (74). Primeiro, é calculado o erro percentual para cada ponto da curva, comparando-se o modelo com a referência (simulação ou medida). Após isso, é feita a média aritmética entre todos os erros percentuais calculados, para cada uma das curvas.

$$\text{Erro} = \frac{\sum_{i=1}^{N_{\text{pts}}} \frac{V_{\text{modelo}} - V_{\text{sim/medida}}}{V_{\text{sim/medida}}} \times 100\%}{N_{\text{pts}}} \quad (74)$$

Esses erros foram calculados somente com  $V_{GS}$  acima de  $V_{TH}$ , porque, para a condição de sublimiar e limiar, o erro entre o modelo e a simulação é avaliado mais corretamente através de  $S$  e  $V_{TH}$ , respectivamente, pois os níveis de corrente e de transcondutância são muito baixos. O maior erro médio observado nas curvas da Figura 24 é de 6,8%.

### 3.1.2 Inclusão do Efeito da Resistência Série

Para considerar os efeitos da influência da resistência série, foram utilizadas as duas equações a seguir para as tensões de porta e de dreno, que correspondem a uma solução numérica.

$$V_{GS, Rs} = V_{GS} - R \times I_{DS} \quad (75)$$

$$V_{DS, Rs} = V_{DS} - 2R \times I_{DS} \quad (76)$$

onde  $R$  é o valor da resistência série, calculada através da Equação (77).

$$R = \rho_e \frac{L_{SD}}{W \times H} \quad (77)$$

onde  $\rho_e$  é a resistividade elétrica.

Os valores obtidos para  $V_{GS, Rs}$  e  $V_{DS, Rs}$  são utilizados como valores efetivos no transistor intrínseco,  $V_{GS}$  e  $V_{DS}$ , nas expressões definidas anteriormente para o cálculo da corrente de dreno.

## 3.2 Modelo de JNTs de Porta Tripla

A fim de evoluir o modelo proposto para transistores de porta dupla e canal curto para descrever a corrente de dreno de JNTs de porta tripla, a expressão para a capacitância de porta por unidade de área foi reescrita de modo a considerar os efeitos das capacitâncias de canto (*fringe capacitances*), representadas por  $C_{fr}$  [94]:

$$C_{ox}' = \frac{\epsilon_{ox}}{t_{ox}} W_{ef} + 4C_{fr} \quad (78)$$

No modelo de porta tripla, a capacitância de porta é considerada por unidade de comprimento ( $C_{ox}'$ ), a fim de compatibilizar a unidade com a expressão de  $C_{fr}$ . As capacitâncias de canto foram consideradas através da expressão para um capacitor de placas perpendiculares, em que

$$C_{fr} = 2 \frac{\epsilon_{ox}}{\pi} \ln \left( 1 + \frac{d_1}{d_2} \right) \quad (79)$$

sendo  $d_1$  a distância entre as placas perpendiculares e  $d_2$  o comprimento da placa menor, como indicado na Figura 25.

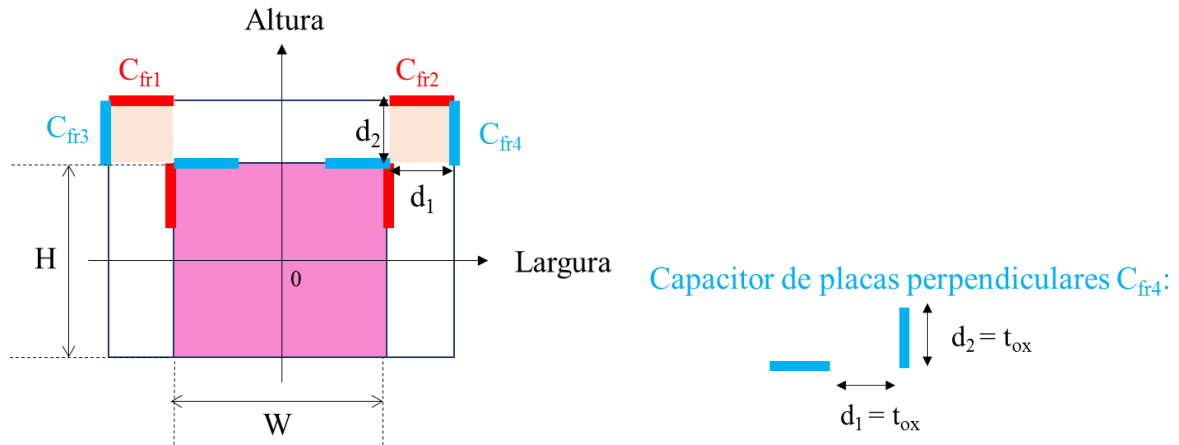


Figura 25 – Ilustração das capacitâncias de canto na visão frontal de um JNT de porta tripla.

Como  $d_1 = d_2 = t_{ox}$ , temos que  $C_{fr}$  é reduzida a uma constante, como indicado na Equação (80).

$$C_{fr} = 2 \frac{\epsilon_{ox}}{\pi} \ln(2) = 1,53 \times 10^{-13} \frac{F}{cm} \quad (80)$$

Em escalas nanométricas, as capacitâncias de canto não podem ser desprezadas. Por exemplo, considerando um transistor de porta tripla de seção quadrada em que  $W = H = 10nm$  e  $t_{ox} = 2nm$ ,  $4C_{fr}$  representam mais de 10% do valor total de  $C_{ox}$ .

O modelo de porta dupla apresenta as expressões para a carga e potenciais normalizadas por  $C_{ox}\phi_t$  e a expressão final da corrente é multiplicada por  $W_{ef}C_{ox}\phi_t$ . Essa abordagem não é mais adequada, porque a expressão da capacitância que será utilizada é considerada por unidade de comprimento. Desse modo, as equações para as cargas e para os potenciais são reescritos como indicado em (81), (82) e (83).

$$Q_n = -\text{sign}(\alpha) W_{\text{ef}} \sqrt{2qN_D \phi_t \epsilon_{\text{Si}}} \sqrt{e^{\frac{\phi_S - V}{\phi_t}} - \left(1 - \frac{1}{\alpha_{\text{st}}}\right) \alpha - 1} - \frac{W q N_D W_{\text{ef}}}{2} \quad (81)$$

$$\alpha_{\text{st}} = -\frac{q N_D W^2}{8 \epsilon_{\text{Si}} \phi_t} \quad (82)$$

$$V_G = V_{\text{FB}} + \phi_S + \text{sign}(\alpha) \frac{W_{\text{ef}}}{C_{\text{ox}}} \sqrt{2qN_D \phi_t \epsilon_{\text{Si}}} \sqrt{e^{\frac{\phi_S - V}{\phi_t}} - \left(1 - \frac{1}{\alpha_{\text{st}}}\right) \alpha - 1} \quad (83)$$

Para adequar o modelo de porta dupla para descrever transistores de porta tripla, é necessário analisar o impacto da redução de  $H$  na eletrostática do transistor. Quando um transistor de múltiplas portas apresenta  $H$  muito maior em relação a  $W$ , ainda que este seja construído com uma porta envolvendo todas as três superfícies, como um dispositivo de porta tripla, seu comportamento será semelhante ao de um transistor de porta dupla, pois a influência da porta superior é muito pequena comparada à influência das portas laterais.

Para analisar a influência de  $H$  no potencial de superfície, foram realizadas simulações tridimensionais de JNTs de porta tripla, com  $N_D = 1 \times 10^{19} \text{cm}^{-3}$ ,  $t_{\text{ox}} = 2 \text{nm}$ ,  $t_{\text{BOX}} = 100 \text{nm}$ ,  $W = 10 \text{nm}$ ,  $L = 30$  e  $1000 \text{nm}$ ,  $L_{\text{SD}}$  de  $1 \text{nm}$  para desprezar a resistência série e  $H = 100, 80, 60, 30, 20$  e  $10 \text{nm}$ . A Figura 26 mostra o potencial ao longo da altura do transistor, extraído em  $W/2$  e  $L/2$ , com  $V_{\text{DS}} = 0 \text{V}$  e  $V_{\text{GS}} = V_{\text{TH}}$ . Nesta figura estão identificados  $\phi_S$  e  $\phi_0$ . Os transistores com  $H$  de  $100 \text{nm}$  e  $80 \text{nm}$  se comportam de maneira similar a um transistor de porta dupla, como comentado anteriormente. Conforme reduzimos  $H$ , os transistores se comportam puramente como um transistor de porta tripla. É possível observar que não há variação significativa do potencial no centro do transistor ( $\phi_0$ ) com  $H$  e que  $\phi_S$  aumenta com a redução de  $H$ .

A partir da Figura 26, se observa que o potencial na superfície é menor do que no centro, o qual é próximo de zero. Por essa razão, a barreira de potencial entre a fonte e o canal é maior na superfície, a qual demanda maior tensão  $V_{\text{GS}}$  para condução ( $V_{\text{FB}}$ ) em comparação com o centro ( $V_{\text{TH}}$ ).

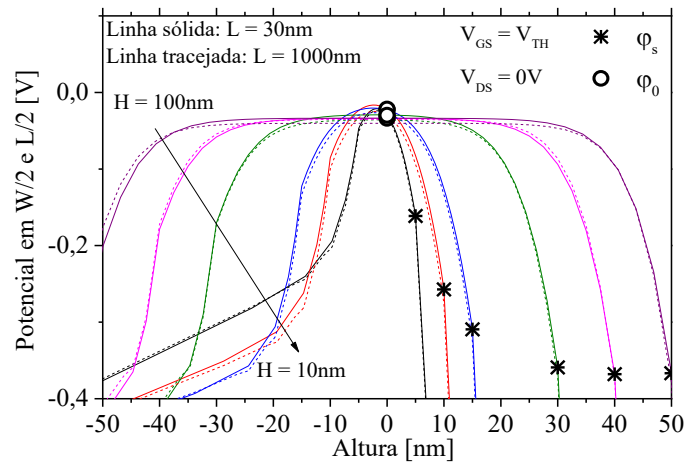


Figura 26 – Curvas simuladas para o potencial em  $W/2$  e  $L/2$  ao longo da altura do fin em condição de limiar,  $L=30$  e  $1000\text{nm}$  ( $V_{DS}=0\text{V}$ ).

Na Figura 27, os símbolos apresentam os resultados extraídos das simulações e as linhas representam modelos. É observado o potencial de superfície, o potencial no centro, a diferença ( $\phi_S - \phi_0$ ) e os valores de  $V_{TH}$  extraídos a partir de curvas  $I_{DS}$  versus  $V_{GS}$  em função de  $H$ . Também estão apresentados os resultados da implementação do modelo proposto por Trevisoli et al. [55], para JNT de porta tripla, e a Equação (55), utilizada no modelo proposto neste trabalho para JNTs de porta dupla.

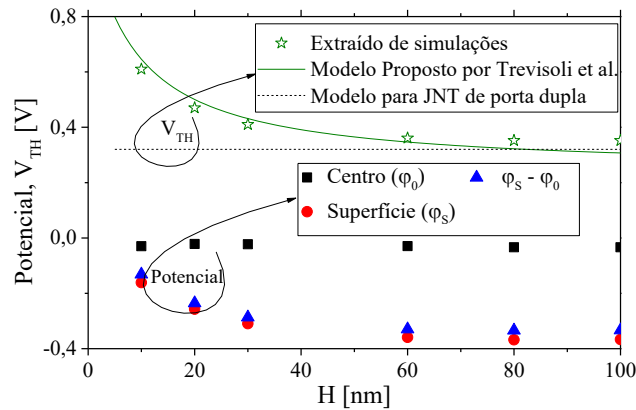


Figura 27 – Resultados simulados de  $\phi_S$ ,  $\phi_0$  e  $V_{TH}$  em  $V_{DS}=50\text{mV}$  e modelos de  $V_{TH}$  para um JNT de porta tripla e dupla.

Os resultados da Figura 27 mostram que  $V_{TH}$  e  $\phi_S$  apresentam a mesma característica, isto é,  $V_{TH}$  aumenta com a mesma proporção que o potencial de superfície, reduzindo  $H$ . O

modelo de  $V_{TH}$  de porta dupla não acompanha essa variação, pois não prevê a influência de  $H$ , enquanto que o modelo proposto por Trevisoli et al. (Equação (7)) reproduz adequadamente a variação da tensão de limiar com  $H$ . Portanto, para modelar os transistores de porta tripla será utilizada a Equação (7) de  $V_{TH}$ .

Para considerar a alteração do potencial de superfície com a variação de  $H$ , será definido  $\Delta V_{TH}$ , que é a diferença entre as tensões de limiar calculadas para o JNT de porta dupla (Equação (55)) e o JNT de porta tripla (Equação (7)). Esse deslocamento de  $V_{TH}$  será contabilizado na expressão de  $Q_n$  como indicado na Equação (84), promovendo o valor adequado para o potencial de superfície.

$$I_{DS} = \frac{\mu_{eff}}{L_{eff}} \int_{V_S}^{V_{DS,eff}} Q_n (V_{GS} - \Delta V_{TH} + \phi_{min}) dV \quad (84)$$

No cálculo da corrente acima,  $L_{eff}$ ,  $\mu_{eff}$  e  $V_{DS,eff}$  são calculados através das expressões descritas anteriormente para JNTs de porta dupla. A única alteração está na expressão para o comprimento natural, que é calculado para o modelo de porta tripla através da Equação (61), definida para  $\lambda_3$ .

Assim como o modelo de porta dupla, este para JNTs de porta tripla considera os efeitos de canal curto, a degradação da mobilidade com os campos elétricos vertical e lateral, a modulação do comprimento do canal e a velocidade de saturação dos portadores.

## 4 RESULTADOS E DISCUSSÕES

Nesta seção são apresentados os resultados obtidos, os quais compreendem a validação de cada uma das etapas da modelagem descritas na seção 3 e uma análise, realizada através de simulações numéricas, dos efeitos de canal curto de JNTs de porta tripla.

### 4.1 Validação do Modelo Proposto de Porta Dupla

A validação do modelo de transistores sem junções de porta dupla, incluindo os efeitos de canal curto, é apresentada através de comparações com simulações numéricas tridimensionais sem o efeito da velocidade de saturação, com o efeito da velocidade de saturação e, em sua forma mais completa, incluindo também o efeito da resistência série.

#### 4.1.1 Sem Efeito da Velocidade de Saturação

Para validar o modelo de canal curto proposto para os transistores sem junções de porta dupla, foram utilizadas simulações numéricas tridimensionais do Sentaurus. Como o efeito da saturação da velocidade dos portadores não foi incluído inicialmente no modelo, essas simulações foram realizadas com velocidade de saturação de  $1 \times 10^8 \text{ cm/s}$ , o que representa um valor alto o suficiente para que este efeito seja desprezado. Adicionalmente, nessas simulações, os transistores tipo N têm concentração de dopantes uniforme de  $5 \times 10^{18} \text{ cm}^{-3}$ , silício policristalino tipo P como material de porta e dióxido de silício como óxido de porta e óxido enterrado. As regiões de fonte e dreno foram simuladas com 1nm para desprezar os efeitos da resistência série. Outras características geométricas estão apresentadas na Tabela 1.



Tabela 1 – Parâmetros geométricos dos transistores sem junções de porta dupla.

| Parâmetros   | Dimensão [nm] | Estrutura |
|--------------|---------------|-----------|
| $t_{ox,lat}$ | 2             |           |
| $t_{ox,top}$ | 40            |           |
| $t_{BOX}$    | 100           |           |
| $W$          | 20            |           |
| $H$          | 100           |           |
| $L_{SD}$     | 1             |           |
| $L$          | de 50 a 1000  |           |

Para a implementação do modelo, foi utilizado o *software* Mathcad [95]. Adicionalmente, uma vez que as simulações foram realizadas com dependência da mobilidade com o campo elétrico vertical, para considerar o efeito da degradação imposta nessas estruturas, foram extraídos os coeficientes de degradação da mobilidade das simulações, para cada transistor, conforme apresentado na Tabela 2.

Tabela 2 – Coeficiente de degradação da mobilidade extraído.

| $L$ [nm] | $\theta$ [ $V^{-1}$ ] |
|----------|-----------------------|
| 1000-625 | 0,00                  |
| 375      | 0,03                  |
| 125      | 0,05                  |
| 100      | 0,08                  |
| 80       | 0,09                  |
| 60       | 0,13                  |
| 50       | 0,15                  |

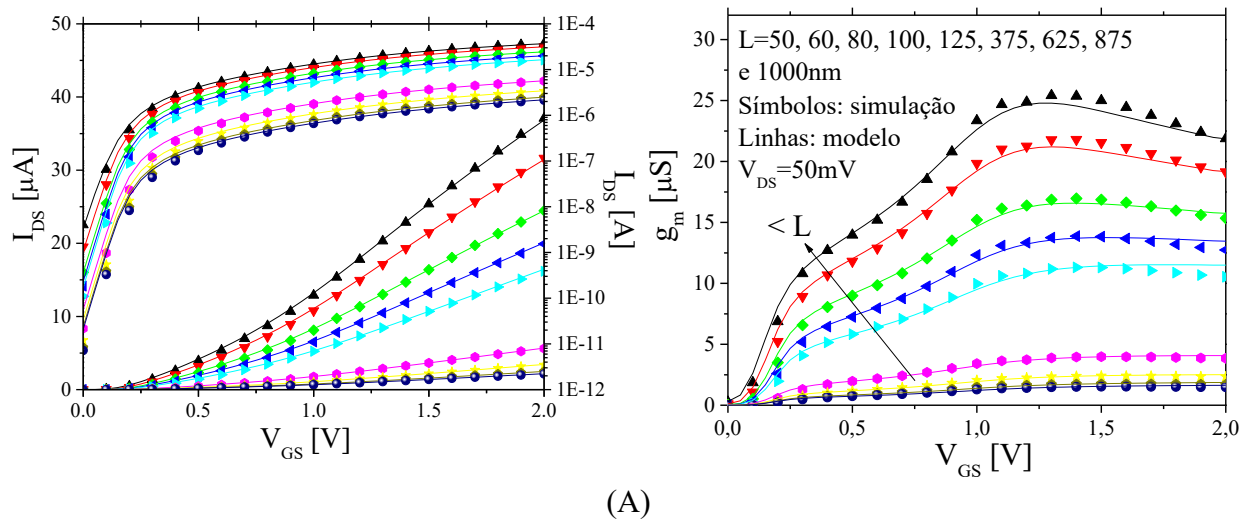
Na Figura 28 estão apresentados os resultados para as curvas simuladas e modeladas dos transistores sem junções de porta dupla. São observadas as curvas da corrente de dreno em função da tensão de porta,  $I_{DS}$  versus  $V_{GS}$ , em escalas linear e logarítmica, como também as curvas para a transcondutância em função da tensão de porta,  $g_m$  versus  $V_{GS}$ , para tensões de dreno iguais a 50mV, 0,5V e 1,5V, respectivamente.

Todos esses resultados têm por objetivo analisar o comportamento do modelo para as condições em que o transistor opera em triodo e saturação, variando  $V_{GS}$ .

É possível notar que há uma boa concordância entre os resultados provenientes de simulação e modelo, tanto para a corrente de dreno, como para a transcondutância. Calculando-se o erro médio percentual acima da condição do limiar, obteve-se um erro máximo de 7,8% para  $V_{DS}$  de 50mV, 11,6% para  $V_{DS}$  de 0,5V e 11,1% para  $V_{DS}$  de 1,5V.

Para o caso de baixo valor de  $V_{DS}$ , as curvas mostram a degradação da mobilidade devido à influência do campo elétrico vertical, para tensões de porta maiores do que cerca de 1,1V, que representa a tensão de faixa plana desses dispositivos.

Através dessas figuras observam-se também a degradação da tensão de limiar com a redução do comprimento do canal e com o aumento da tensão de dreno, bem como o aumento da inclinação de sublimiar com a redução do comprimento do canal. Esses efeitos de canal curto podem ser melhores observados nas curvas da corrente em escala logarítmica, em que o sublimiar está melhor apresentado. A partir desses resultados, é possível afirmar que o modelo proposto está reproduzindo adequadamente os efeitos de canal curto.



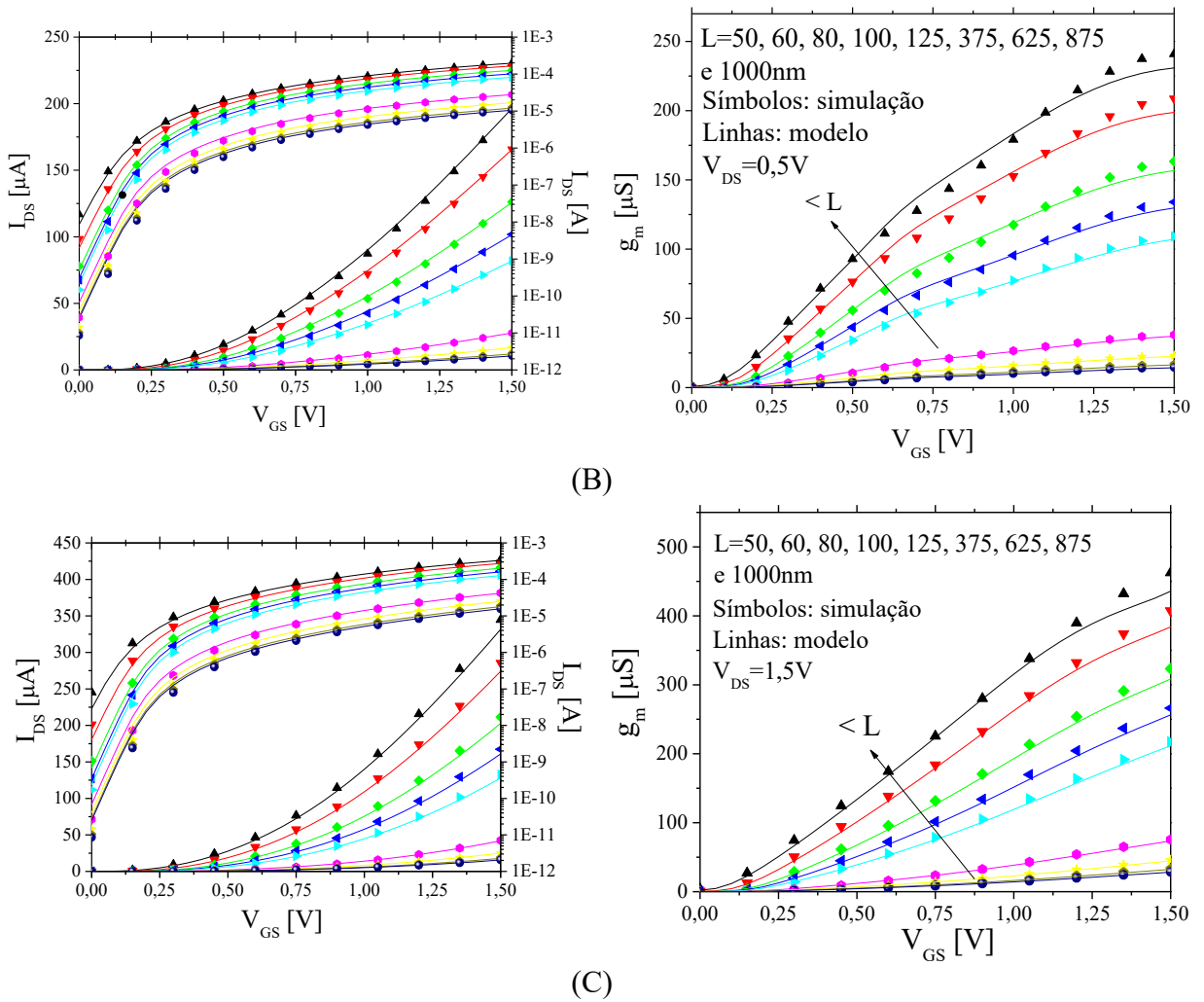


Figura 28 –  $I_{DS}$  versus  $V_{GS}$ , em escala linear e logarítmica, e  $g_m$  versus  $V_{GS}$ , com  $V_{DS} = 50\text{mV}$  (A),  $0,5\text{V}$  (B) e  $1,5\text{V}$  (C) para modelo e simulação dos transistores.

Para analisar o comportamento dos dispositivos e, principalmente, do modelo proposto com a variação do potencial aplicado no dreno, foram simuladas curvas da corrente de dreno em função da tensão de dreno,  $I_{DS}$  versus  $V_{DS}$ . Estes resultados estão apresentados na Figura 29, para tensões de porta de  $0,5\text{V}$  (A) e  $1\text{V}$  (B).

Mais uma vez, as curvas de modelo e simulação apresentam boa correspondência entre si, permitindo afirmar que o modelo representa adequadamente as características de transistores sem junções de porta dupla com canais curtos. Para essas curvas, foram observados erros médios máximos de  $14\%$  para  $V_{GS}$  de  $0,5\text{V}$  e de  $4,7\%$  para  $V_{GS}$  de  $1\text{V}$ , sendo que estes erros pertencem ao transistor de canal mais longo,  $L$  de  $1000\text{nm}$ , o qual

apresenta um nível de corrente mais baixo. O transistor com L de 50nm apresentou erro médio de 13,1% com  $V_{GS}$  de 0,5V e de 3,09% com  $V_{GS}$  de 1V.

Um dos principais efeitos observados nas curvas da Figura 29 é o aumento da modulação do comprimento do canal conforme há redução de L, observado pelo aumento da inclinação da corrente de dreno em saturação, o que degrada a condutância de saída dos transistores [56]. Este efeito está modelado pela Equação (65).

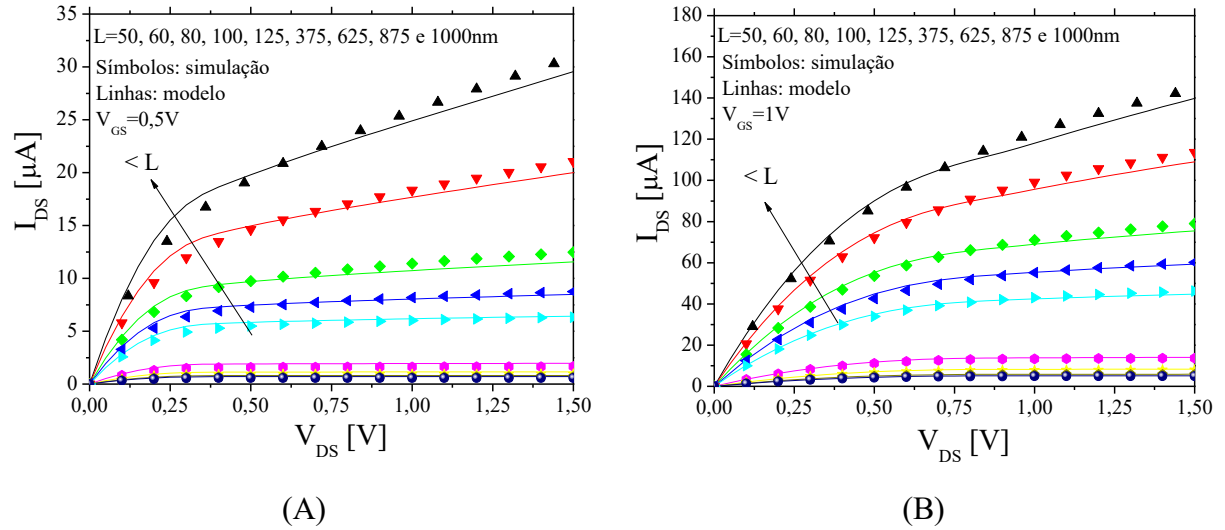


Figura 29 –  $I_{DS}$  versus  $V_{DS}$  com  $V_{GS} = 0,5V$  (A) e  $V_{GS} = 1V$ , para modelo e simulação dos transistores.

Após a validação do modelo através das curvas da corrente de dreno mostradas acima, a partir das curvas de  $I_{DS}$  versus  $V_{GS}$  com  $V_{DS}$  de 50mV e 1,5V, foram extraídos alguns parâmetros. Na Figura 30 estão apresentadas as curvas da tensão de limiar e da inclinação de sublimiar em função de L, para  $V_{DS}$  de 50mV, comparando os resultados provenientes das simulações e do modelo. Na Figura 31 está apresentada a curva de DIBL em função de L, cujos resultados foram obtidos comparando tensões de dreno aplicadas de 50mV e de 1,5V. Para extrair  $V_{TH}$ , para ambos  $V_{DS,1}$  e  $V_{DS,2}$ , foi utilizado o método da corrente constante, válido para altas polarizações de dreno, diferentemente do método de  $g_m/I_{DS}$ . A tensão de limiar é a tensão de porta para uma corrente de dreno descrita conforme a Equação (85) [96].

$$I_{DS} = 10^{-7} \times \frac{(2H+W)}{L} \quad (85)$$

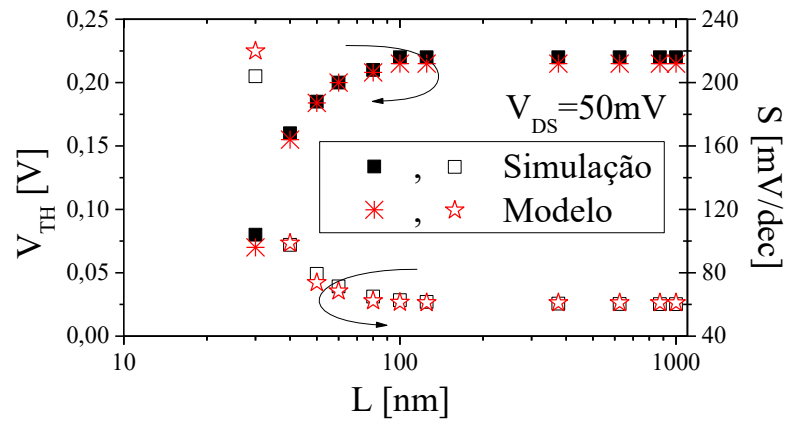


Figura 30 –  $V_{TH}$  e  $S$  versus  $L$  com  $V_{DS} = 50mV$ , para modelo e simulação dos transistores.

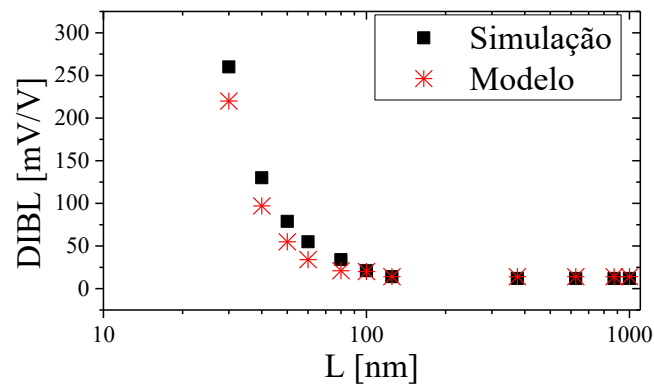


Figura 31 – DIBL versus  $L$  para modelo e simulação dos transistores.

É possível observar uma boa concordância entre os resultados para os parâmetros extraídos a partir das curvas obtidas com o modelo e com as simulações. O máximo erro observado para a tensão de limiar é desprezível, pois equivale ao passo utilizado para executar as simulações, 10% para a inclinação de sublimiar e 40mV/V para o DIBL, para  $L=30nm$ .

Para comprimentos de canais inferiores a 80nm é possível verificar a degradação dos parâmetros apresentados, em que a tensão de limiar reduz e o DIBL e a inclinação de sublimiar começam a aumentar significativamente. Nesta condição, os dispositivos apresentam menor controle da porta sobre as cargas na região do canal e os efeitos de canal curto fazem com que o desempenho do transistor seja menor, em comparação com o JNT com comprimento de canal de 1000nm. Para comprimentos de canais maiores do que 80nm, os transistores mantêm degradação da tensão de limiar inferior a 15%, DIBL próximo de 15mV/V e inclinação de sublimiar próxima do limite teórico, que é 60mV/dec em temperatura ambiente.

#### 4.1.2 Com Efeito da Velocidade de Saturação

Para validar o modelo de canal curto proposto com a inclusão do efeito da velocidade de saturação e a redução da tensão de saturação de dreno, foram simuladas estruturas como indicado na Tabela 3. Nessas simulações, foram considerados transistores tipo N com concentração de dopante uniforme de  $5 \times 10^{18}$ ,  $8 \times 10^{18}$  e  $1 \times 10^{19} \text{ cm}^{-3}$  e silício policristalino tipo P como material de porta. A velocidade de saturação foi ajustada para  $1,5 \times 10^7 \text{ cm/s}$  e  $L_{SD}$  é 1nm para desprezar a resistência série.

Tabela 3 – Parâmetros geométricos dos transistores sem junções de porta dupla.

| Parâmetros   | Dimensão [nm] | Estrutura |
|--------------|---------------|-----------|
| $t_{ox,lat}$ | 2             |           |
| $t_{ox,top}$ | 15            |           |
| $t_{BOX}$    | 100           |           |
| W            | 10, 15 e 20   |           |
| H            | 100           |           |
| $L_{SD}$     | 1             |           |
| L            | de 30 a 1000  |           |

Nas Figuras 32, 33 e 34 estão apresentadas as comparações para resultados simulados e modelados para transistores sem junções com diferentes comprimentos de canal. Todas essas curvas estão normalizadas por  $W_{ef}/L$  para facilitar a comparação entre os diferentes dispositivos. Os parâmetros de ajuste utilizados para modelar essas curvas estão apresentados na Tabela 4. Os parâmetros de ajuste foram obtidos através de uma rotina de *fitting*, implementada no Mathcad, para a maior concordância possível entre o modelo proposto e a curva que se deseja modelar, comparando-se, para tanto, três pontos distintos de polarização.

Na Figura 32, está apresentado o resultado da corrente de dreno normalizada em função da tensão de porta, para  $V_{DS}$  de 50mV (A) e 1,5V (B), em escalas linear e logarítmica. Nas curvas em escala logarítmica, é possível observar que a característica do sublimiar está bem descrita tanto com a redução de  $L$  quanto com o aumento de  $V_{DS}$ , em que a tensão de limiar reduz e a inclinação de sublimiar aumenta. Nas curvas em escala linear, para  $V_{DS}=1,5V$ , os transistores funcionam em regime de saturação e é notada a influência da velocidade de saturação conforme o comprimento de canal é reduzido. O erro médio percentual máximo, considerando a região acima do limiar, é de 1,73%, para as curvas de  $V_{DS}=50mV$ , e de 4,79% para  $V_{DS}=1,5V$ .

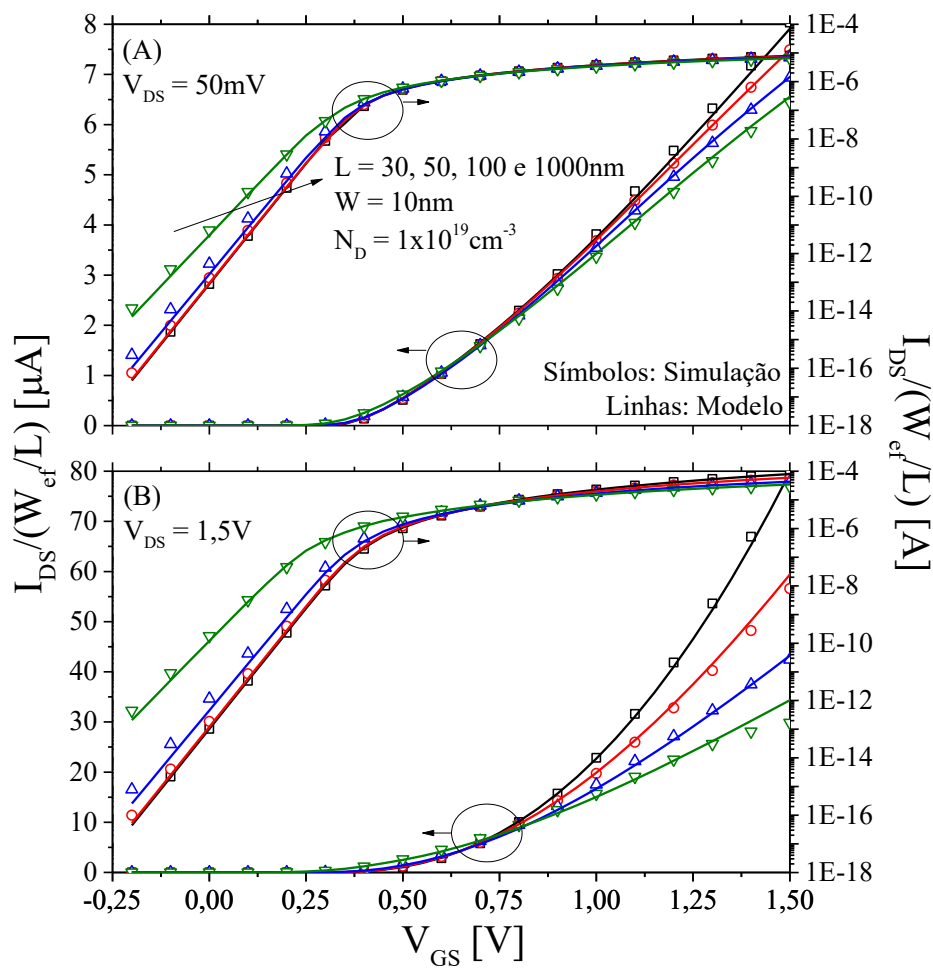


Figura 32 –  $I_{DS}/(W_{ef}/L)$  versus  $V_{GS}$  para JNTs com diferentes comprimentos de canal,  $V_{DS}$  de 50mV (A) e 1,5V (B).

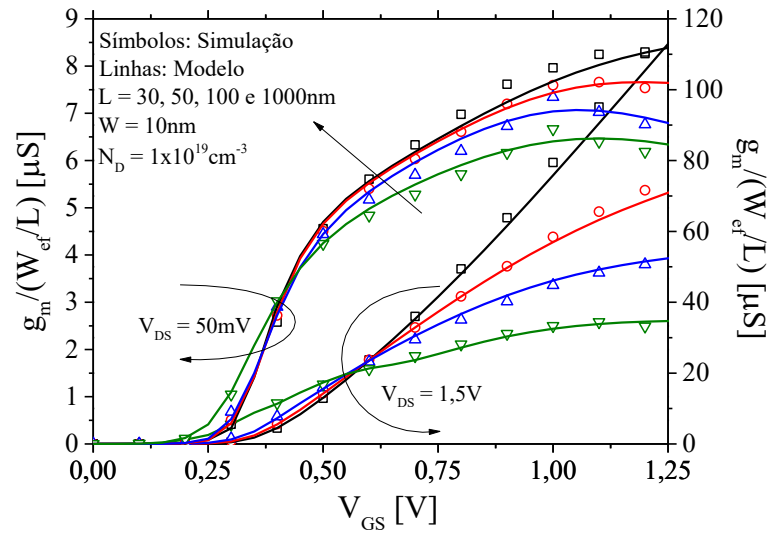


Figura 33 –  $g_m/(W_{ef}/L)$  versus  $V_{GS}$  para JNTs com diferentes valores de  $L$ ,  $V_{DS}=50\text{mV}$  e  $1,5\text{V}$ .

Conforme descrito pela Equação (69), quanto mais curto o canal do dispositivo, maior a influência de  $v_{sat}$  na mobilidade efetiva. Para  $V_{DS}$  de  $50\text{mV}$ , observa-se que os transistores mais curtos sofrem maior influência da degradação da mobilidade devido ao campo elétrico vertical, apresentando maior coeficiente de degradação da mobilidade, como indicado na Tabela 4. Essa influência do campo elétrico vertical na mobilidade do JNT também pode ser percebida na Figura 33, em que é apresentada a transcondutância normalizada em função da tensão de porta, para  $V_{DS}$  de  $50\text{mV}$  e  $1,5\text{V}$ .

Na Figura 34 está apresentada a corrente de dreno e a condutância de saída ( $g_D=dI_{DS}/dV_{DS}$ ), normalizadas, em função de  $V_{DS}$ , para  $V_{GT}$  de  $200\text{mV}$ . Na característica de saída, o comportamento do JNT está descrito apropriadamente e o efeito de modulação do comprimento de canal também está devidamente representado. Esse fenômeno pode ser observado em regime de saturação, através do aumento de  $I_{DS}$  com  $V_{DS}$  e, também, através do aumento do nível de  $g_D$ . Conforme o comprimento do canal se torna menor, a modulação do comprimento de canal é mais significativa e a condutância de saída aumenta, como é possível notar na Figura 34. Para essas curvas, foi observado um erro médio de, no máximo,  $5,84\%$ .



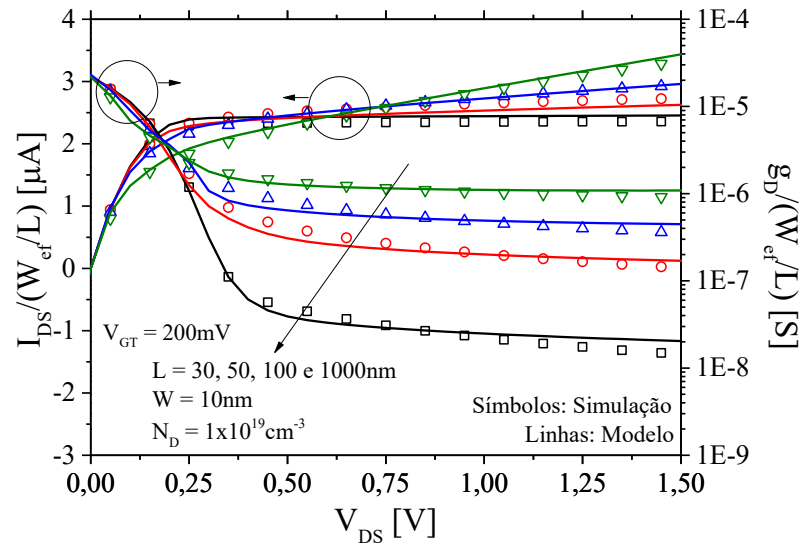


Figura 34 –  $I_{DS}/(W_{ef}/L)$  e  $g_D/(W_{ef}/L)$  versus  $V_{DS}$  para JNTs com diferentes valores de  $L$  e  $V_{GT}=200\text{mV}$ .

Tabela 4 – Parâmetros de ajuste utilizados para modelar os JNTs com  $W=10\text{nm}$  e  $N_D=1 \times 10^{19}\text{cm}^{-3}$ .

| <b>L [nm]</b> | <b><math>\theta [\text{V}^{-1}]</math></b> | <b><math>v_{\text{sat}} [\text{cm/s}]</math></b> | <b>kapa</b> |
|---------------|--------------------------------------------|--------------------------------------------------|-------------|
| 30            | 0,32                                       | $1,20 \times 10^7$                               | 0,50        |
| 50            | 0,26                                       | $1,40 \times 10^7$                               | 0,75        |
| 100           | 0,14                                       | $1,50 \times 10^7$                               | 1,00        |
| 1000          | 0,02                                       | $1,50 \times 10^7$                               | 1,00        |

Para ampliar a validação do modelo para transistores sem junções com diferentes concentrações de dopantes e larguras de canal, a seguir serão apresentados os resultados para as curvas da corrente de dreno em função da tensão de porta, a transcondutância em função da tensão de porta e a corrente de dreno e condutância de saída em função da tensão de dreno, respectivamente.

Inicialmente são apresentados os resultados para dispositivos variando a largura do canal, com  $L=50\text{nm}$ ,  $N_D=5 \times 10^{18}\text{cm}^{-3}$  e  $W$  de 20, 15 e 10nm. A partir destes resultados, é possível afirmar que o modelo descreve bem as características dos transistores, em que há variação significativa da tensão de limiar, mas o segundo ponto de condução, a faixa plana, permanece a mesma, como é possível observar pelo pico mais alto de  $g_m$ , na Figura 36. Através das Figuras 35 e 36, nota-se que, quanto mais estreitos os JNTs, maior a tensão de

limiar e, a partir da Figura 37, é verificado que quanto mais estreito, melhor é a condutância de saída.

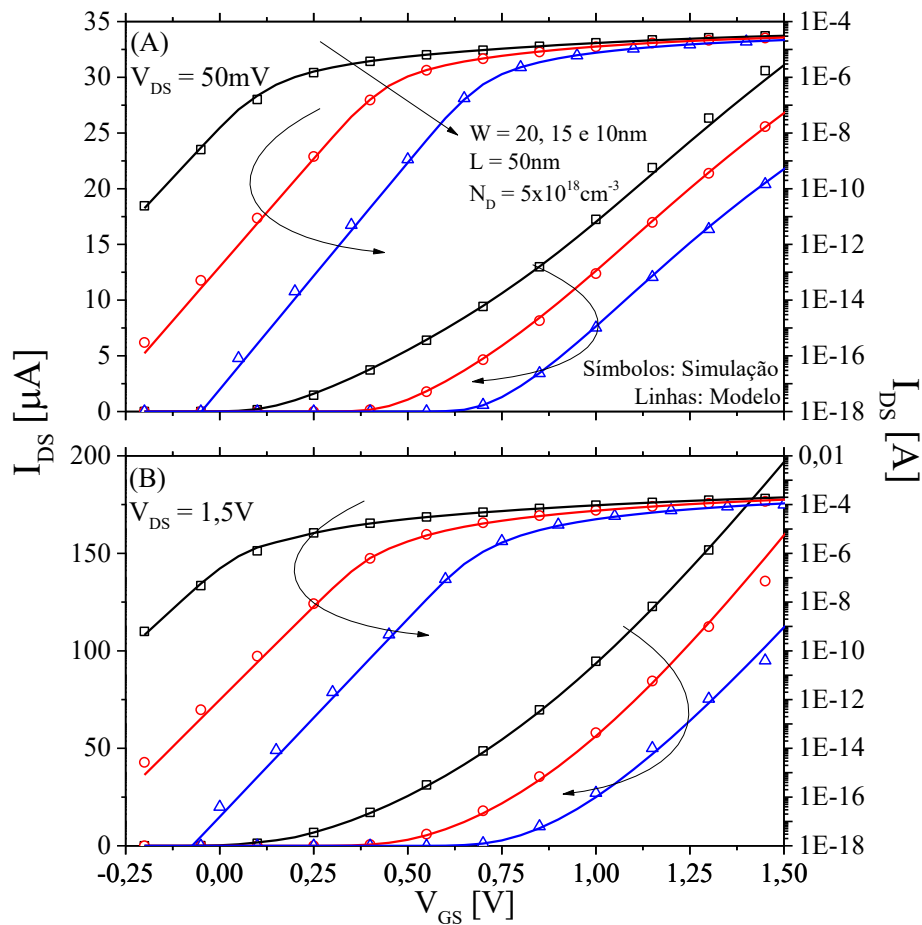


Figura 35 –  $I_{DS}$  versus  $V_{GS}$  para JNTs com diferentes valores de  $W$ ,  $V_{DS}=50\text{mV}$  e  $1,5\text{V}$ .

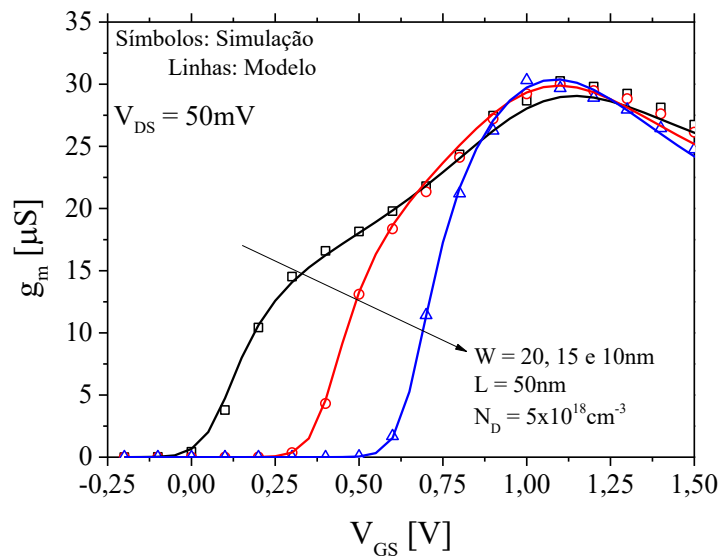


Figura 36 –  $g_m$  versus  $V_{GS}$  para JNTs com diferentes valores de  $W$  com  $V_{DS}=50\text{mV}$ .

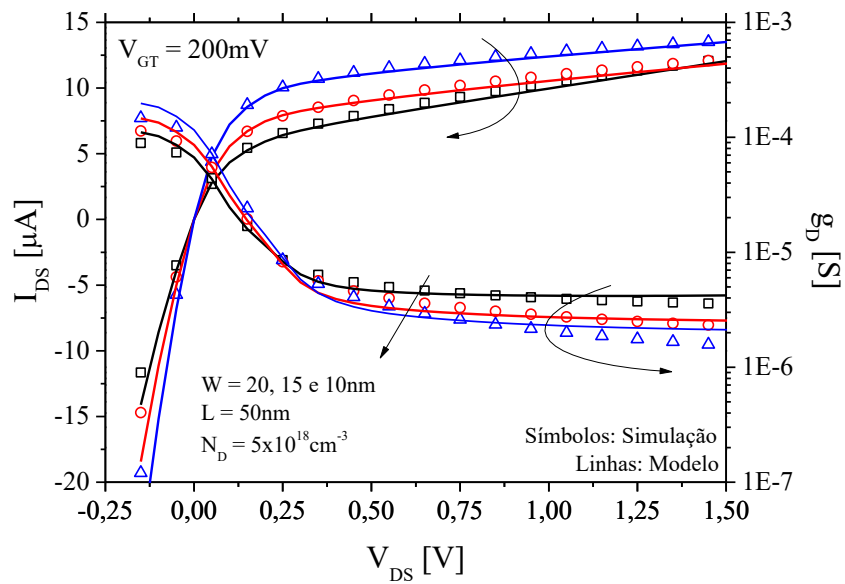


Figura 37 –  $I_{DS}$  e  $g_D$  versus  $V_{DS}$  para JNTs com diferentes valores de  $W$  e  $V_{GT}=200\text{mV}$ .

Nas Figuras 38, 39 e 40, são observados os resultados para diferentes concentrações de dopantes, para dispositivos com  $L=50\text{nm}$ ,  $W=10\text{nm}$  e  $N_D$  de  $5 \times 10^{18}$ ,  $8 \times 10^{18}$  e  $1 \times 10^{19}\text{cm}^{-3}$ . A maior diferença entre esses JNTs é a tensão de limiar, a qual é bastante dependente das características físicas e da concentração de dopantes. Assim, para transistores sem junções com maiores concentrações de dopantes, observam-se menores valores de tensão de limiar. Observa-se que esses transistores sem junções apresentam valores próximos de condutância de saída em regime de saturação. Além disso, a inclinação de sublimiar varia muito pouco entre esses transistores com diferentes concentrações de dopantes. Os resultados mostram uma boa concordância entre as curvas simuladas e modeladas, com uma boa continuidade para a transição entre os diferentes regimes de operação do transistor.

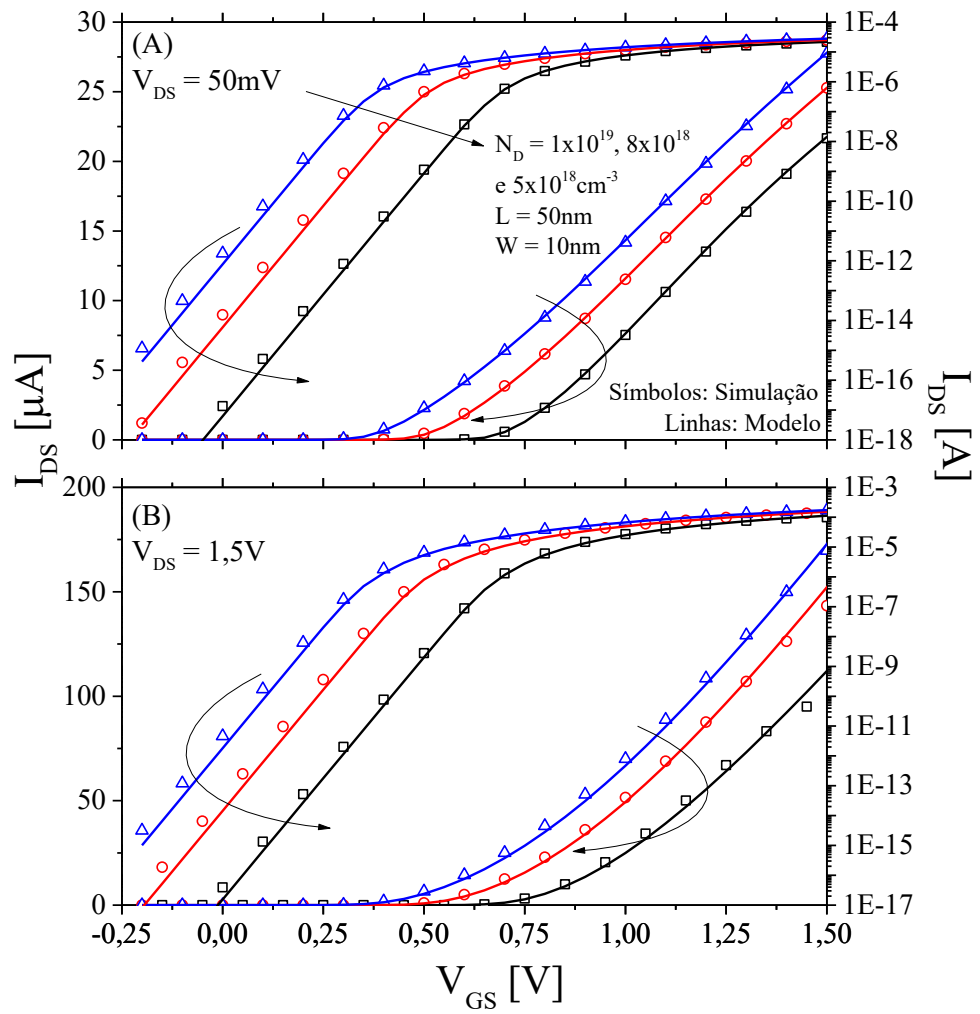


Figura 38 –  $I_{DS}$  versus  $V_{GS}$  para JNTs com diferentes valores de  $N_D$ ,  $V_{DS}=50\text{mV}$  e  $1,5\text{V}$ .

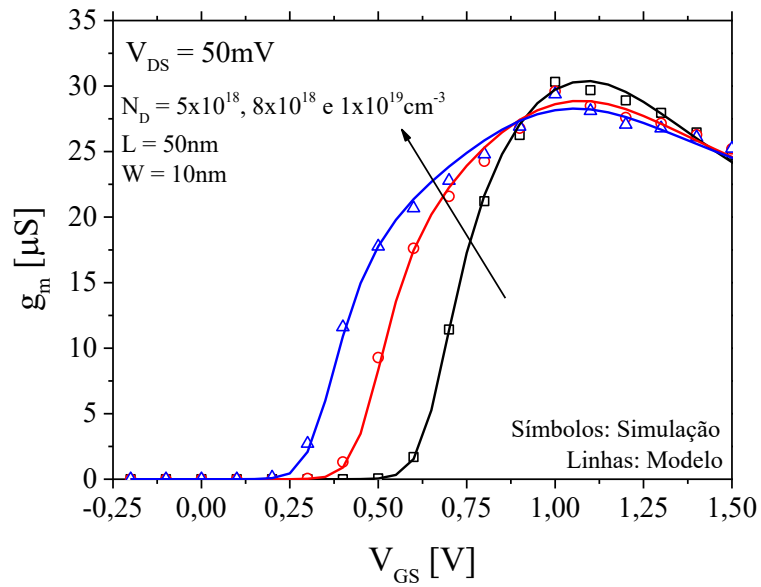


Figura 39 –  $g_m$  versus  $V_{GS}$  para JNTs com diferentes valores de  $N_D$  e  $V_{DS}=50\text{mV}$ .

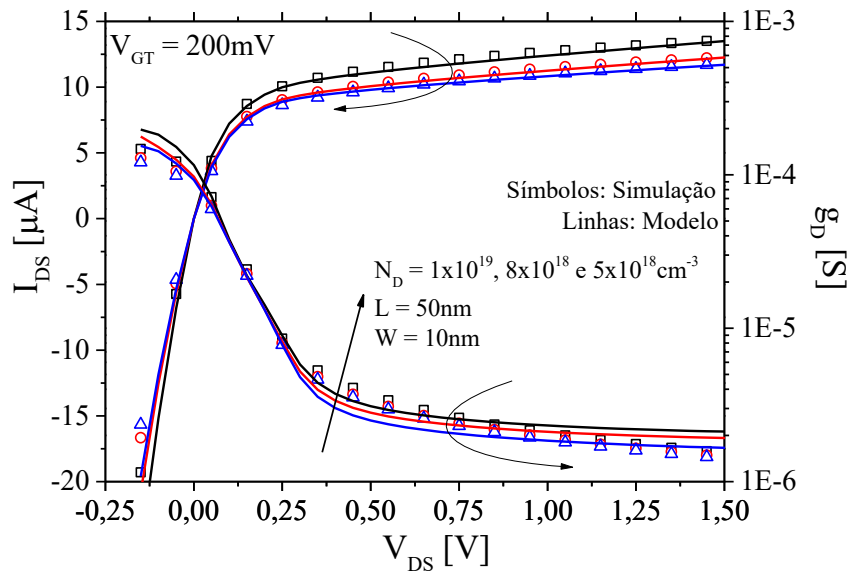


Figura 40 –  $I_{DS}$  e  $g_D$  versus  $V_{DS}$  para JNTs com diferentes valores de  $N_D$  e  $V_{GT}=200\text{mV}$ .

Considerando todos os resultados apresentados para a corrente de dreno, transcondutância e condutância de saída para os transistores MOS sem junções com diferentes valores de  $W$  e de  $N_D$ , foi obtido um erro médio máximo de 7,4% do modelo em relação à simulação.

Nas tabelas a seguir estão apresentados os resultados para  $V_{TH}$ ,  $S$  e DIBL extraídos para os diferentes transistores sem junções com diferentes valores de  $N_D$ ,  $W$  e  $L$ .

Tabela 5 – Parâmetros extraídos das curvas simuladas e modelos de JNTs com  $W=10\text{nm}$  e  $N_D=1\times 10^{19}\text{cm}^{-3}$ .

|                  | Modelo                            |                      |                       | Simulação                         |                      |                       |
|------------------|-----------------------------------|----------------------|-----------------------|-----------------------------------|----------------------|-----------------------|
| <b>L</b><br>[nm] | <b><math>V_{TH}</math></b><br>[V] | <b>S</b><br>[mV/dec] | <b>DIBL</b><br>[mV/V] | <b><math>V_{TH}</math></b><br>[V] | <b>S</b><br>[mV/dec] | <b>DIBL</b><br>[mV/V] |
| 30               | 0,300                             | 70,3                 | 73,8                  | 0,310                             | 73,7                 | 73,5                  |
| 50               | 0,330                             | 61,4                 | 24,7                  | 0,326                             | 62,9                 | 24,4                  |
| 100              | 0,340                             | 59,6                 | 12,3                  | 0,334                             | 62,9                 | 12,3                  |
| 1000             | 0,344                             | 59,5                 | 0,00                  | 0,336                             | 62,9                 | 0,00                  |

Tabela 6 – Parâmetros extraídos das curvas simuladas e modelos de JNTs com  $L=50\text{nm}$  e  $N_D=5 \times 10^{18}\text{cm}^{-3}$ .

|                   | <b>Modelo</b>                 |                       |                        | <b>Simulação</b>              |                       |                        |
|-------------------|-------------------------------|-----------------------|------------------------|-------------------------------|-----------------------|------------------------|
| <b>W<br/>[nm]</b> | <b>V<sub>TH</sub><br/>[V]</b> | <b>S<br/>[mV/dec]</b> | <b>DIBL<br/>[mV/V]</b> | <b>V<sub>TH</sub><br/>[V]</b> | <b>S<br/>[mV/dec]</b> | <b>DIBL<br/>[mV/V]</b> |
| 10                | 0,648                         | 61,5                  | 23,0                   | 0,651                         | 63,3                  | 22,1                   |
| 15                | 0,403                         | 64,3                  | 37,1                   | 0,407                         | 66,8                  | 41,0                   |
| 20                | 0,103                         | 68,4                  | 71,0                   | 0,108                         | 73,4                  | 75,0                   |

Tabela 7 – Parâmetros extraídos das curvas simuladas e modelos de JNTs com  $L=50\text{nm}$  e  $W=10\text{nm}$ .

|                                            | <b>Modelo</b>                 |                       |                        | <b>Simulação</b>              |                       |                        |
|--------------------------------------------|-------------------------------|-----------------------|------------------------|-------------------------------|-----------------------|------------------------|
| <b>N<sub>D</sub><br/>[cm<sup>-3</sup>]</b> | <b>V<sub>TH</sub><br/>[V]</b> | <b>S<br/>[mV/dec]</b> | <b>DIBL<br/>[mV/V]</b> | <b>V<sub>TH</sub><br/>[V]</b> | <b>S<br/>[mV/dec]</b> | <b>DIBL<br/>[mV/V]</b> |
| $5 \times 10^{18}$                         | 0,648                         | 61,5                  | 23,0                   | 0,651                         | 63,3                  | 22,1                   |
| $8 \times 10^{18}$                         | 0,462                         | 61,5                  | 25,3                   | 0,456                         | 63,0                  | 23,6                   |
| $1 \times 10^{19}$                         | 0,330                         | 61,4                  | 24,7                   | 0,326                         | 62,9                  | 24,4                   |

Os resultados apresentados nessas tabelas possuem um erro pequeno entre o modelo e as simulações, com valor máximo inferior a 10%. Através da Tabela 5, é possível quantificar o quanto os transistores sofrem de efeito de canal curto, comparando os valores dos parâmetros extraídos com os do transistor de canal longo,  $L=1000\text{nm}$ .

A mesma análise mostra que quanto mais largos, maior a ocorrência de efeitos de canal curto, como indicado na Tabela 6. Isso se deve ao fato de que a porta apresenta menor controle sobre as cargas no canal. Quanto mais largo o transistor, maior é a penetração das linhas de campo elétrico do dreno, para o interior do canal, pois, para  $W=20\text{nm}$ ,  $\lambda$  é 1,57 vezes maior em relação ao transistor com  $W=10\text{nm}$ .

Por outro lado, a Tabela 7 revela que, para os transistores com diferentes concentrações de dopantes, foram observados resultados semelhantes e pouca variação dos parâmetros extraídos, havendo similares valores de S e DIBL. É válido lembrar que as expressões do comprimento natural não indicam qualquer dependência com  $N_D$ , assim, para qualquer concentração de dopantes, os transistores apresentam o mesmo valor de  $\lambda$ .

#### 4.1.3 Com Efeito da Resistência Série

Para incluir os efeitos da resistência série, foram simulados transistores sem junções com extensões de fonte e dreno,  $L_{SD}$ , variando de 1nm até 500nm.

Nas Figuras 41 e 42 é possível observar a corrente de dreno em função da tensão de porta e da tensão de dreno, respectivamente, para transistores sem junções com  $L$  de 50nm,  $W$  de 15nm e  $N_D$  de  $5 \times 10^{18} \text{ cm}^{-3}$ .

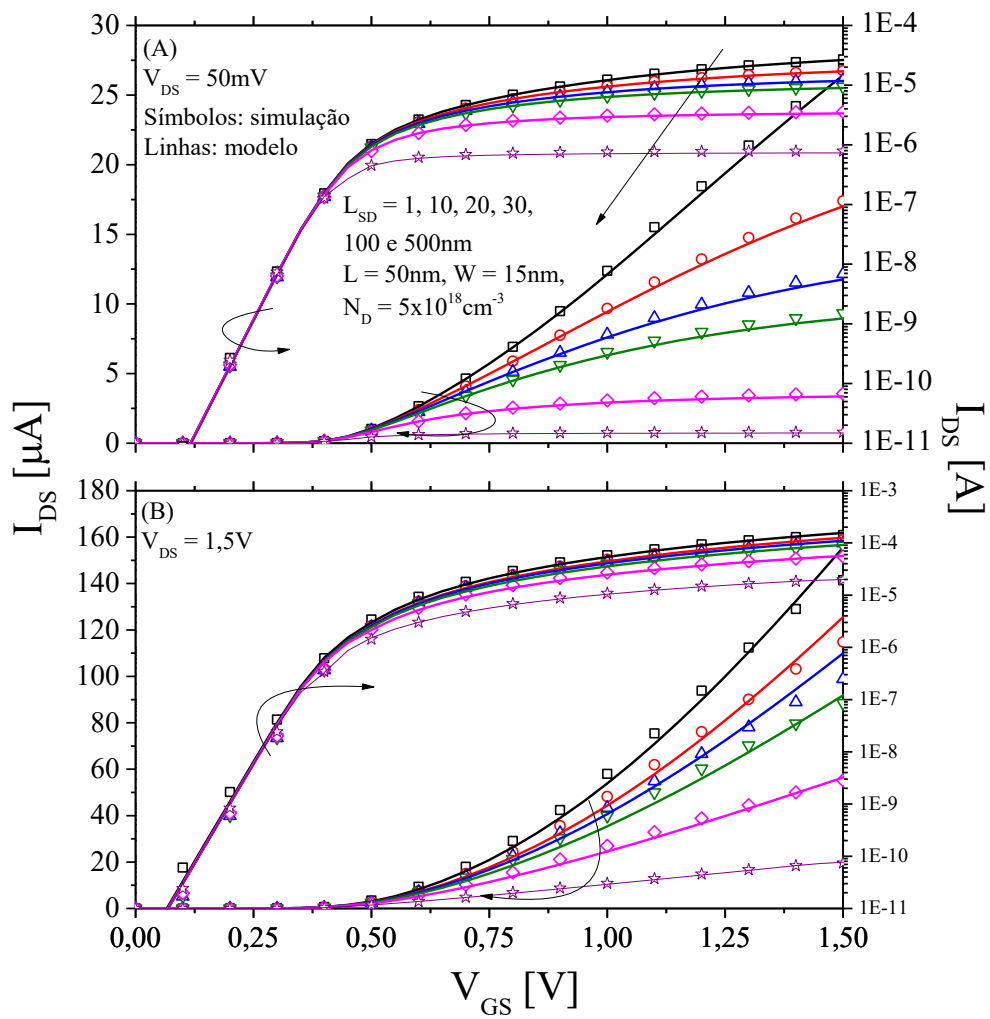


Figura 41 –  $I_{DS}$  versus  $V_{GS}$  para JNTs com diferentes valores de  $L_{SD}$ ,  $V_{DS}=50\text{mV}$  e  $1,5\text{V}$ .

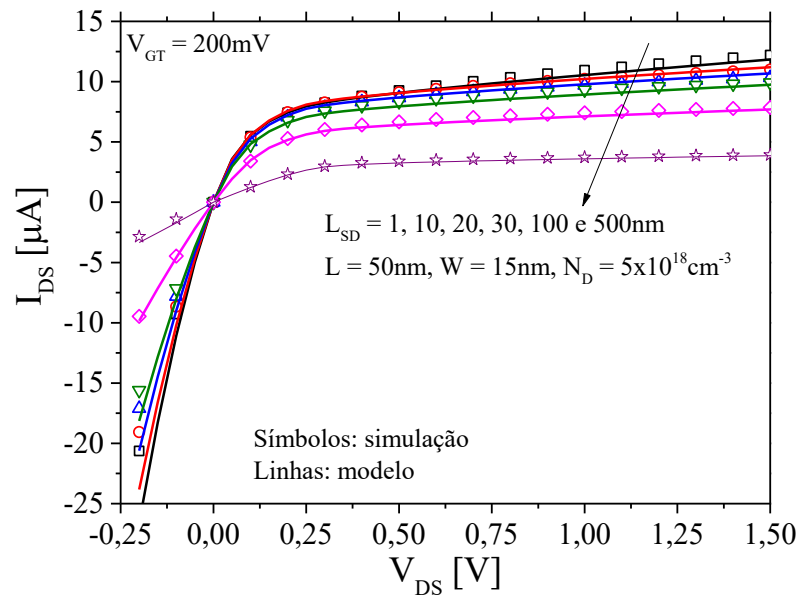


Figura 42 –  $I_{DS}$  versus  $V_{DS}$  para JNTs com diferentes valores de  $L_{SD}$  e  $V_{GT}=200mV$ .

A partir da Figura 41, nota-se que a resistência série não afeta a característica de sublimiar do dispositivo, então todos os transistores possuem os mesmos valores de  $V_{TH}$ ,  $S$  e DIBL. Na Figura 42, observa-se o aumento da degradação da corrente com o aumento das extensões de fonte e dreno, conforme esperado.

Devido à concordância entre simulação e modelo, é possível afirmar que o modelo proposto para canal curto está funcionando adequadamente para descrever o comportamento de transistores sem junções de porta dupla com extensões de fonte e dreno, através da inclusão do modelo clássico de resistência série.

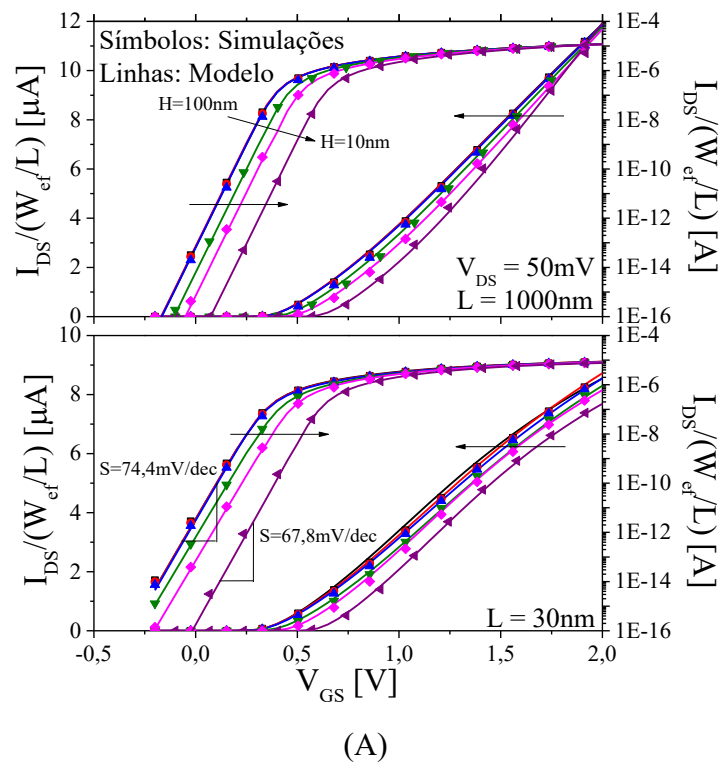
## 4.2 Validação do Modelo Proposto de Porta Tripla

A validação do modelo de transistores sem junções de porta tripla, incluindo os efeitos de canal curto, é apresentada comparando-se, inicialmente, com simulações numéricas tridimensionais para analisar a influência de  $H$  e, posteriormente, com medidas experimentais que foram obtidas durante estágio de pesquisa no CEA – Leti, França.



#### 4.2.1 Simulações

A Figura 43 apresenta curvas normalizadas da corrente de dreno em função da tensão de porta, para  $V_{DS}=50\text{mV}$  (A) e  $1,5\text{V}$  (B), enquanto a Figura 44 apresenta curvas da corrente de dreno multiplicada por  $L$  e da condutância de saída em função da tensão de dreno, com  $V_{GT}=200\text{mV}$ , para diversos valores de  $H$ . Na Figura 43, a degradação da inclinação de sublimiar está destacada para o transistor mais alto ( $H=100\text{nm}$ ) em comparação com  $H=10\text{nm}$ , para  $L=30\text{nm}$ . A redução do controle da porta com o aumento de  $H$  e consequente piora dos efeitos de canal curto estão bem reproduzidas pelo modelo. Na Figura 44, é observada a piora do efeito de modulação do comprimento do canal com a redução de  $L$  e com o aumento de  $H$ . Esse efeito é observável tanto pelo incremento da corrente de saturação com  $V_{DS}$ , quanto pelo aumento da condutância de saída. Os erros observados são bem baixos, de modo que nas curvas de  $I_{DS}$  em função de  $V_{GS}$ , o maior erro médio observado acima do limiar é de 4,48%, enquanto, para  $I_{DS}$  em função de  $V_{DS}$ , os erros permanecem menores do que 1,92%, em saturação.



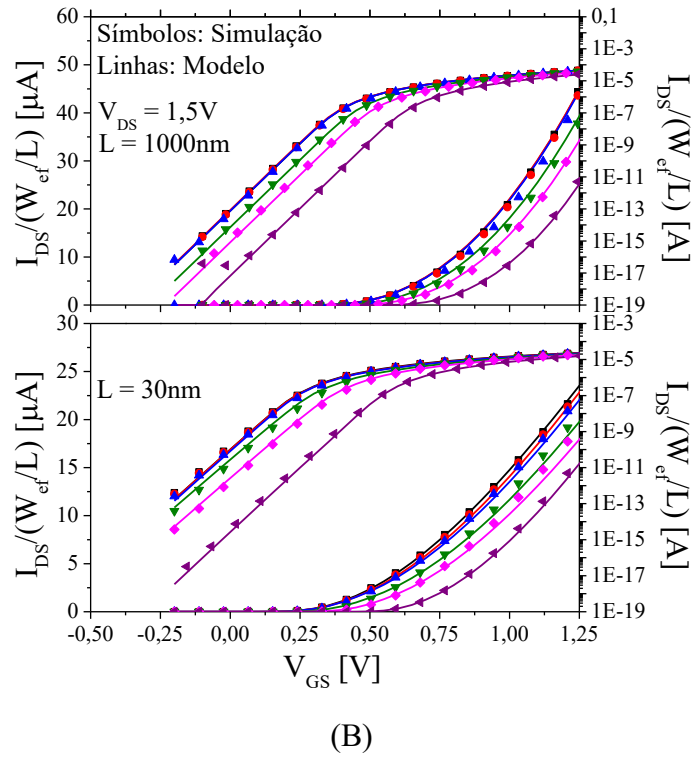


Figura 43 –  $I_{DS}/(W_{ef}/L)$  versus  $V_{GS}$  para diferentes valores de  $H$ ,  $L=30\text{nm}$  e  $1000\text{nm}$ ,  $V_{DS}=50\text{mV}$  (A) e  $1,5\text{V}$  (B).

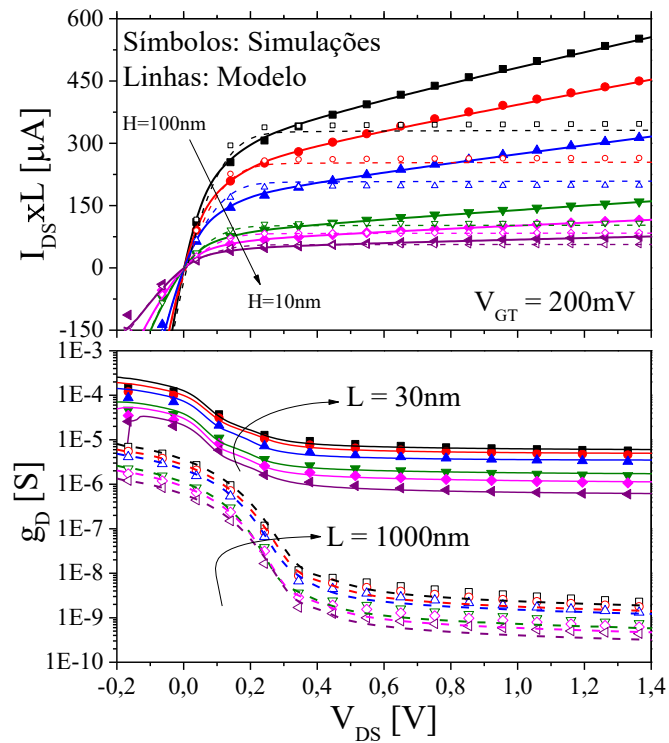


Figura 44 –  $I_{DS} \times L$  e  $g_D$  versus  $V_{DS}$  para diferentes valores de  $H$ ,  $L=30\text{nm}$  e  $1000\text{nm}$ ,  $V_{GT}=200\text{mV}$ .

A Tabela 8 apresenta os parâmetros de ajuste utilizados para modelar as curvas simuladas. Para os transistores de canal longo, não há variação com  $H$ , porém, com a redução do comprimento do canal, para cada valor de  $H$ , há um conjunto de parâmetros que melhor ajusta a característica do transistor.

Tabela 8 – Parâmetros de ajuste para modelar a corrente de JNTs de porta tripla.

|                   | <b>H [nm]</b> | <b><math>\theta</math> [<math>V^{-1}</math>]</b> | <b><math>v_{sat}</math> [cm/s]</b> | <b><math>k_{\alpha}</math></b> |
|-------------------|---------------|--------------------------------------------------|------------------------------------|--------------------------------|
| <b>L = 30nm</b>   | 100           | 0,34                                             | $8,4 \times 10^6$                  | 0,44                           |
|                   | 80            | 0,34                                             | $7,7 \times 10^6$                  | 0,38                           |
|                   | 60            | 0,18                                             | $8,0 \times 10^6$                  | 0,41                           |
|                   | 30            | 0,23                                             | $7,3 \times 10^6$                  | 0,31                           |
|                   | 20            | 0,28                                             | $7,5 \times 10^6$                  | 0,31                           |
|                   | 10            | 0,60                                             | $8,5 \times 10^6$                  | 0,50                           |
| <b>L = 1000nm</b> | 100-10        | $\approx 0$                                      | $1,5 \times 10^7$                  | 1                              |

A partir dos resultados das simulações e do modelo, foram extraídos  $V_{TH}$ ,  $S$  e DIBL para os JNTs de porta tripla com  $L=30nm$  (Tabela 9) e  $L=1000nm$  (Tabela 10).

Tabela 9 – Parâmetros extraídos das curvas simuladas e modelos de JNTs com  $L=30nm$ .

|               | <b>Modelo</b>                  |                                |                    | <b>Simulação</b>               |                                |                    |
|---------------|--------------------------------|--------------------------------|--------------------|--------------------------------|--------------------------------|--------------------|
| <b>H [nm]</b> | <b><math>V_{TH}</math> [V]</b> | <b><math>S</math> [mV/dec]</b> | <b>DIBL [mV/V]</b> | <b><math>V_{TH}</math> [V]</b> | <b><math>S</math> [mV/dec]</b> | <b>DIBL [mV/V]</b> |
| 100           | 0,315                          | 70,8                           | 80,5               | 0,325                          | 74,4                           | 75,3               |
| 80            | 0,320                          | 70,7                           | 77,4               | 0,330                          | 74,3                           | 72,9               |
| 60            | 0,322                          | 70,7                           | 78,8               | 0,333                          | 74,1                           | 74,5               |
| 30            | 0,378                          | 70,0                           | 80,2               | 0,378                          | 72,8                           | 71,8               |
| 20            | 0,445                          | 72,2                           | 72,6               | 0,440                          | 71,4                           | 64,0               |
| 10            | 0,590                          | 66,1                           | 47,3               | 0,592                          | 67,8                           | 51,3               |

Tabela 10 – Parâmetros extraídos das curvas simuladas e modelos de JNTs com  $L=1000\text{nm}$ .

|                   | <b>Modelo</b>                      |                       |                        | <b>Simulação</b>                   |                       |                        |
|-------------------|------------------------------------|-----------------------|------------------------|------------------------------------|-----------------------|------------------------|
| <b>H<br/>[nm]</b> | <b><math>V_{TH}</math><br/>[V]</b> | <b>S<br/>[mV/dec]</b> | <b>DIBL<br/>[mV/V]</b> | <b><math>V_{TH}</math><br/>[V]</b> | <b>S<br/>[mV/dec]</b> | <b>DIBL<br/>[mV/V]</b> |
| 100               | 0,349                              | 60,4                  | 8,79                   | 0,352                              | 60,4                  | 9,06                   |
| 80                | 0,347                              | 60,3                  | 8,46                   | 0,350                              | 60,6                  | 9,45                   |
| 60                | 0,351                              | 60,5                  | 9,07                   | 0,361                              | 60,0                  | 10,1                   |
| 30                | 0,413                              | 60,4                  | 10,2                   | 0,409                              | 60,2                  | 11,0                   |
| 20                | 0,470                              | 60,3                  | 9,20                   | 0,467                              | 62,1                  | 9,15                   |
| 10                | 0,593                              | 60,2                  | 7,00                   | 0,610                              | 60,7                  | 7,20                   |

Para estes parâmetros, os maiores erros observados são para o DIBL, 11,7% para  $L=30\text{nm}$  e 10,5% para  $L=1000\text{nm}$ . Esse parâmetro é mais susceptível ao erro percentual, pois soma os erros de descasamentos na tensão de limiar para dois valores de  $V_{DS}$ . Através da Tabela 9, observa-se que, com o aumento de  $H$ , há maior degradação dos parâmetros  $S$  e DIBL, em relação aos transistores de canal longo. Os efeitos de canal curto são mais pronunciados com o aumento de  $H$ , pois há menor controle da porta superior sobre as cargas no canal.

#### 4.2.2 Medidas Experimentais

Os transistores fabricados no CEA – Leti foram implementados em uma estrutura com 10 fins,  $EOT=1,16\text{nm}$ ,  $H=8\text{nm}$  e  $t_{BOX}=145\text{nm}$  [22]. Para considerar os efeitos da resistência série foi utilizado o procedimento analítico definido em [21].

A Figura 45 apresenta os resultados das medidas experimentais confrontados com o modelo para curvas  $I_{DS}$  em função de  $V_{GS}$ , com  $V_{DS}$  de 50mV e 0,9V, para transistores com diversos comprimentos de canal e  $N_D$  de  $1,2 \times 10^{19}\text{cm}^{-3}$  e  $W=12\text{nm}$ . Uma ótima concordância entre os resultados é verificada. Há apenas uma superestimação da degradação da inclinação do sublimiar para o transistor com  $L=15\text{nm}$  e  $V_{DS}$  de 0,9V. Isso indica que o transistor real sofre menos efeitos de canal curto do que o previsto pelo modelo.

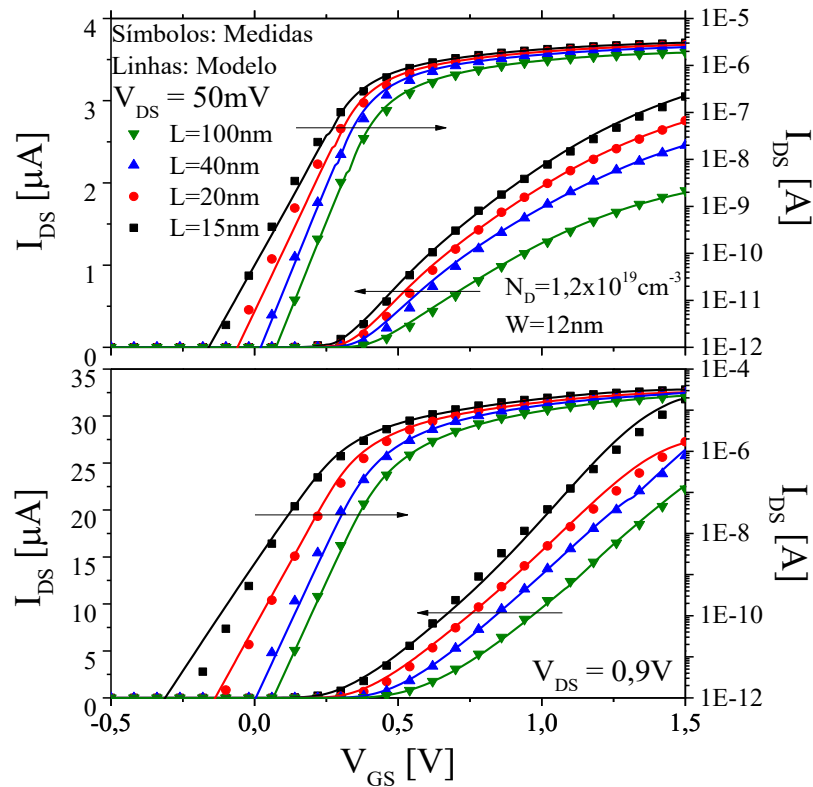


Figura 45 – Medidas experimentais e modelo de curvas  $I_{DS}$  versus  $V_{GS}$  para diferentes valores de  $L$ ,  $V_{DS}=50\text{mV}$  e  $0,9\text{V}$ .

Na Tabela 11 estão apresentados os resultados de  $V_{TH}$ ,  $S$  e  $DIBL$  extraídos das medidas experimentais e das curvas modeladas.

Tabela 11 – Parâmetros extraídos das curvas medidas e modelos de JNTs com  $N_D=1,2\times10^{19}\text{cm}^{-3}$  e  $W=12\text{nm}$ .

|                  | Modelo                            |                                   |                       | Medidas Experimentais             |                                   |                       |
|------------------|-----------------------------------|-----------------------------------|-----------------------|-----------------------------------|-----------------------------------|-----------------------|
| <b>L</b><br>[nm] | <b><math>V_{TH}</math></b><br>[V] | <b><math>S</math></b><br>[mV/dec] | <b>DIBL</b><br>[mV/V] | <b><math>V_{TH}</math></b><br>[V] | <b><math>S</math></b><br>[mV/dec] | <b>DIBL</b><br>[mV/V] |
| 100              | 0,390                             | 62,8                              | 11,4                  | 0,382                             | 60,8                              | 15,2                  |
| 40               | 0,355                             | 67,5                              | 28,0                  | 0,353                             | 67,2                              | 40,1                  |
| 20               | 0,331                             | 75,3                              | 92,0                  | 0,322                             | 81,1                              | 55,0                  |
| 15               | 0,273                             | 85,8                              | 170                   | 0,261                             | 89,6                              | 127                   |

O erro entre os parâmetros  $V_{TH}$  e  $S$ , comparando-se modelo e medidas experimentais, é inferior a 7,2%, no entanto, para o  $DIBL$ , as diferenças são bem significativas, até 68%.

Esse parâmetro é mais sensível a erros, conforme comentado anteriormente. Os transistores modelados apresentam maior degradação de DIBL em relação aos transistores medidos. Maiores descasamentos são esperados comparando-se medidas com modelos, em relação às simulações, pois os valores considerados de  $H$ ,  $W$ ,  $L$  e  $N_D$  são aproximados, podendo apresentar erros, flutuações e desvios significativos.

Na Figura 46 estão as curvas de  $I_{DS}$  em função de  $V_{DS}$  para transistores com diferentes características  $N_D$  ( $1,2 \times 10^{19} \text{ cm}^{-3}$  e  $2 \times 10^{19} \text{ cm}^{-3}$ ) e  $W$  (7nm e 12nm). O modelo descreve bem todas as estruturas e observa-se a redução da tensão de limiar com o aumento de  $W$  através do deslocamento das curvas para a esquerda.

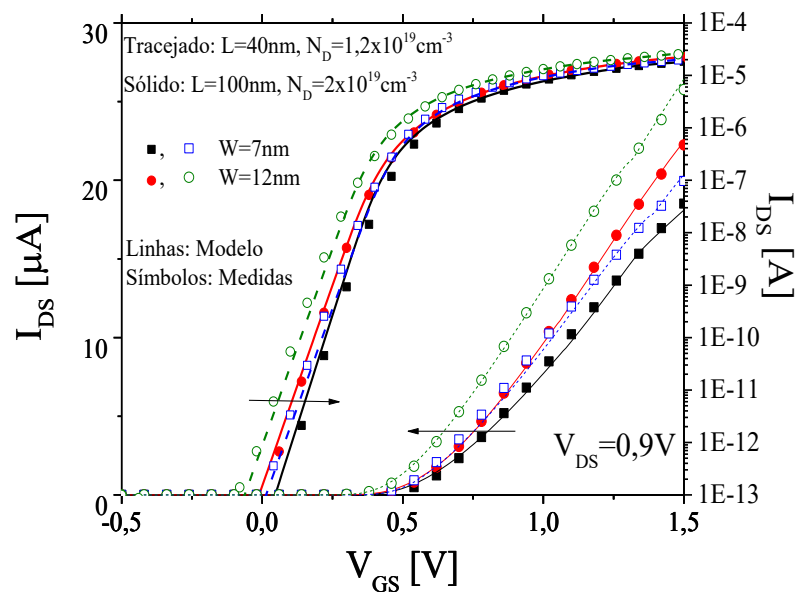


Figura 46 – Medidas experimentais e modelo de curvas  $I_{DS}$  versus  $V_{GS}$  para diferentes valores de  $N_D$  e  $W$ , com  $V_{DS}=0,9\text{V}$ .

Para demonstrar a continuidade do modelo, na Figura 47 estão apresentadas as primeiras derivadas de curvas  $I_{DS}$  versus  $V_{GS}$ , para quatro JNTs de porta tripla com diferentes características, para  $V_{DS}$  de 50mV.

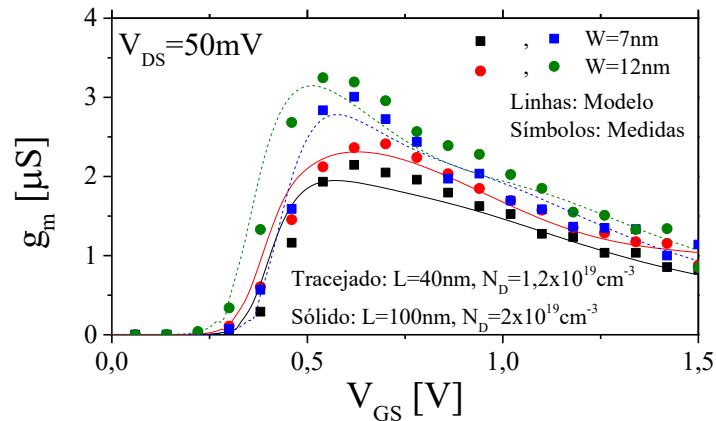


Figura 47 – Medidas experimentais e modelo de curvas  $g_m$  versus  $V_{GS}$  para diferentes valores de  $N_D$  e  $W$ , com  $V_{DS}=50\text{mV}$ .

Na Tabela 12 estão apresentados os resultados de  $V_{TH}$ ,  $S$  e DIBL extraídos das medidas experimentais e das curvas modeladas.

Tabela 12 – Parâmetros extraídos das curvas medidas e modelos de JNTs com  $N_D=1,2 \times 10^{19} \text{ cm}^{-3}$  e  $2 \times 10^{19} \text{ cm}^{-3}$ ,  $L=100\text{nm}$  e  $40\text{nm}$ .

|                                                                         | W<br>[nm] | Modelo          |                 |                | Medidas Experimentais |                 |                |
|-------------------------------------------------------------------------|-----------|-----------------|-----------------|----------------|-----------------------|-----------------|----------------|
|                                                                         |           | $V_{TH}$<br>[V] | $S$<br>[mV/dec] | DIBL<br>[mV/V] | $V_{TH}$<br>[V]       | $S$<br>[mV/dec] | DIBL<br>[mV/V] |
| <b>L=100nm</b><br><b><math>2 \times 10^{19} \text{ cm}^{-3}</math></b>  | 7         | 0,441           | 60,4            | 11,0           | 0,425                 | 60,6            | 14,8           |
|                                                                         | 12        | 0,380           | 61,2            | 15,2           | 0,383                 | 65,3            | 16,3           |
| <b>L=40nm</b><br><b><math>1,2 \times 10^{19} \text{ cm}^{-3}</math></b> | 7         | 0,352           | 67,2            | 40,1           | 0,350                 | 67,5            | 28,0           |
|                                                                         | 12        | 0,362           | 64,7            | 23,0           | 0,371                 | 66,5            | 24,5           |

Para os resultados da tabela acima, os erros atingem valores de cerca de 30%, para o DIBL e permanecem abaixo de 6,9% para  $V_{TH}$  e  $S$ . Para as curvas de corrente nas Figuras 45 e 46, os erros médios, considerando  $V_{GS} > V_{TH}$ , são inferiores a 6,65%, enquanto que, para a transcondutância, modelo e medidas diferem em uma razão de quase 2,3 vezes, levando a erros médios de até 86%. Estes erros na transcondutância e no DIBL estão bastante relacionados aos descasamentos na tensão de limiar entre o modelo e os transistores medidos, os quais ficam mais aparentes analisando-se estes dois parâmetros. Ocorre que  $V_{TH}$  é bastante dependente dos aspectos construtivos do transistor e, nos dispositivos medidos, não há certeza dos valores de  $H$ ,  $W$ ,  $L$  e  $N_D$ , sendo estes todos estimados em torno de valores aproximados.

Além do mais, não há uniformidade destes parâmetros ao longo de todo o transistor, isto é,  $W$  pode variar alguns nanômetros ao longo do comprimento do canal, de modo que os valores utilizados representam uma média do comportamento destes parâmetros.

#### 4.3 Estudo dos Efeitos de Canal Curto em JNTs de Porta Tripla

Uma análise da influência da redução do comprimento de canal de transistores sem junções de porta tripla foi realizada através de simulações numéricas, considerando diversos valores de  $L$ .

Para esse estudo, os dispositivos simulados apresentam concentrações de dopantes uniformes tipo N de  $1 \times 10^{19} \text{ cm}^{-3}$  e  $5 \times 10^{18} \text{ cm}^{-3}$ , silício policristalino tipo P como material de porta e demais parâmetros geométricos conforme indicado na Tabela 13.

Tabela 13 – Parâmetros geométricos utilizados para as simulações dos transistores sem junções de porta tripla.

| Parâmetros       | Dimensão [nm] | Estrutura |
|------------------|---------------|-----------|
| $t_{\text{ox}}$  | 2             |           |
| $t_{\text{BOX}}$ | 100           |           |
| $W$              | 20            |           |
| $H$              | 10            |           |
| $L_{\text{SD}}$  | 20            |           |
| $L$              | de 30 a 1000  |           |

Para a extração da tensão de limiar e da inclinação de sublimiar, foram simuladas curvas de  $I_{\text{DS}}$  em função de  $V_{\text{GS}}$  com baixo valor de  $V_{\text{DS}}$  (50mV) e, para o cálculo do DIBL foram simuladas também curvas com  $V_{\text{DS}}$  alto (1,5V).



Na Figura 48 são apresentadas as curvas da corrente de dreno em função da tensão de porta, quando aplicado baixo campo elétrico no dreno,  $V_{DS}=50\text{mV}$ , para os transistores sem junções simulados com diversos comprimentos de canal ( $L=30, 40, 50, 60, 80, 100, 125, 250, 375, 500, 625, 750, 875$  e  $1000\text{nm}$ ). Além do mais, para comparar a influência das concentrações de dopantes, a mesma escala para  $I_{DS}$  foi utilizada em ambos os gráficos.

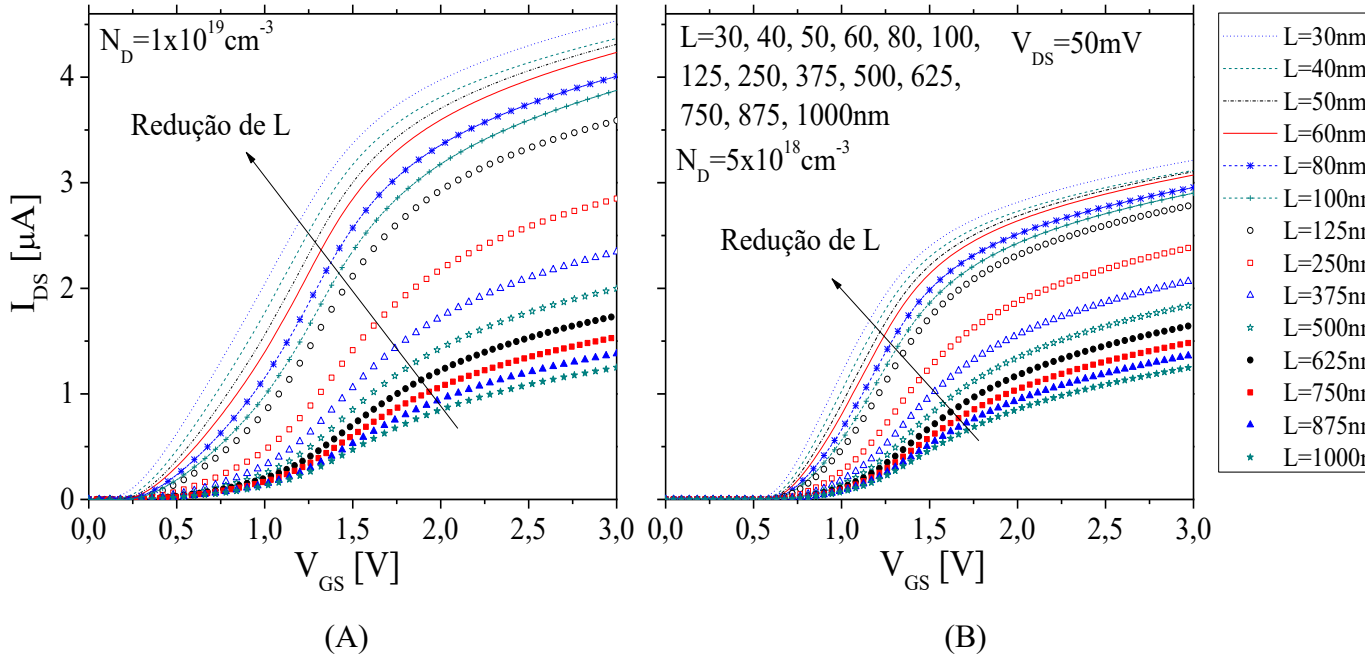


Figura 48 – Curvas  $I_{DS}$  versus  $V_{GS}$  para JNTs com  $L$  variando de 30 a  $1000\text{nm}$ ,  $N_D$  de  $1 \times 10^{19}\text{cm}^{-3}$  (A) e  $5 \times 10^{18}\text{cm}^{-3}$  (B),  $V_{DS} = 50\text{mV}$ .

A partir da Figura 48, é possível notar o aumento de  $I_{DS}$  com a redução do comprimento do canal e com o aumento da concentração de dopantes. Isto ocorre devido à redução da resistência associada ao canal do transistor,  $R_{ch}$ , expressa pela Equação (86).

$$R_{ch} = \frac{L}{WHq(\mu_n N_D + \mu_p p)} \quad (86)$$

onde  $\mu_n$  e  $\mu_p$  são as mobilidades dos elétrons e das lacunas e  $p$  é o número de lacunas livres.

Observa-se que, com a redução do comprimento do canal e o aumento da concentração de dopantes, a resistência associada reduz, provocando aumento da corrente de dreno.

Além disso, pode ser vista uma forte degradação da característica da corrente de dreno para tensões de porta superiores a, aproximadamente,  $1,5\text{V}$ , devido à forte influência da resistência série encontrada nestes dispositivos [77].

A Figura 49 mostra os resultados para os dispositivos simulados em função do comprimento do canal, com  $V_{DS}=50\text{mV}$ .

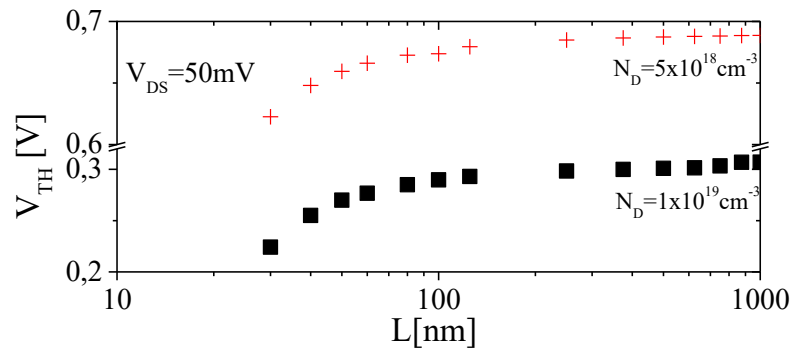


Figura 49 –  $V_{TH}$  versus  $L$  para JNTs simulados,  $N_D$  de  $1 \times 10^{19} \text{ cm}^{-3}$  e  $5 \times 10^{18} \text{ cm}^{-3}$  e  $V_{DS} = 50\text{mV}$ .

A Figura 49 mostra a clara degradação dos valores de  $V_{TH}$  para dispositivos com comprimentos de canal inferiores a 80nm. Considerando  $N_D = 1 \times 10^{19} \text{ cm}^{-3}$ , há uma degradação de 82,8mV para  $V_{TH}$  simulados com comprimento de canal entre 30nm e 1000nm, o que representa 27% do valor máximo ( $V_{TH,m\acute{a}x} = 0,30\text{V}$ ). Para JNTs com  $N_D = 5 \times 10^{18} \text{ cm}^{-3}$ , é observada uma maior tensão de limiar e uma degradação de 66,1mV, que é menor tanto em magnitude quanto em relação ao seu valor máximo ( $V_{TH,m\acute{a}x} = 0,69\text{V}$ ).

A partir da expressão da tensão de limiar indicada na Equação (7), é possível explicar a razão pela qual o aumento da concentração de dopantes causa uma redução dos valores da tensão de limiar. Uma vez que a tensão de limiar apresenta uma dependência negativa com a densidade de cargas, proporcional a  $-q \times N_D$ , concentrações mais altas de dopantes apresentam maiores densidades de carga e, portanto, menores  $V_{TH}$ .

Na Figura 50 estão apresentados os resultados para a inclinação de sublimiar em função do comprimento do canal, para os transistores simulados. Os resultados para a inclinação de sublimiar foram extraídos das curvas de  $I_{DS}$  versus  $V_{GS}$ , com  $V_{DS} = 50\text{mV}$ , através do inverso da curva da derivada de  $\log(I_{DS})$  versus  $V_{GS}$ , uma vez que  $S$  é dado pela Equação (8).

A partir da Figura 50, é possível observar a degradação da inclinação de sublimiar para comprimentos de canais inferiores a 80nm. Além disso, são verificados resultados muito similares e a mesma tendência para ambas as concentrações de dopantes. A inclinação de sublimiar é cerca de 61mV/dec para longos comprimentos de canais, em que não é verificada

nenhuma degradação de  $S$ . Contudo, há um aumento dos efeitos de canal curto para  $N_D$  de  $1 \times 10^{19} \text{cm}^{-3}$ , uma vez que  $S$  degrada mais intensamente do que para  $N_D = 5 \times 10^{18} \text{cm}^{-3}$ .

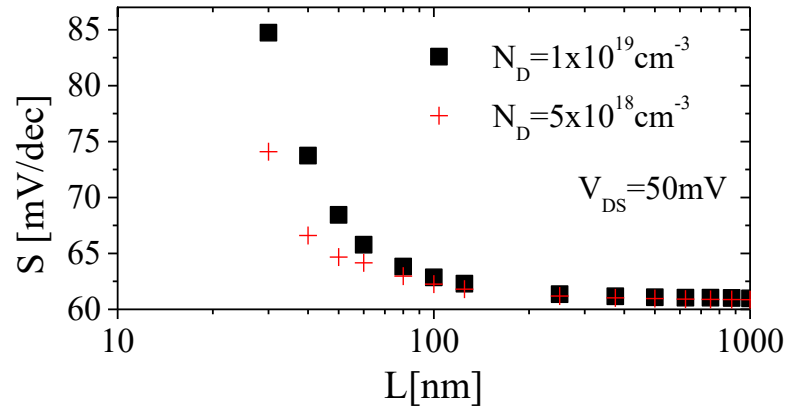


Figura 50 –  $S$  versus  $L$  para JNTs com  $L$  de 30 a 1000nm,  $N_D$  de  $1 \times 10^{19} \text{cm}^{-3}$  e  $5 \times 10^{18} \text{cm}^{-3}$  e  $V_{DS} = 50 \text{mV}$ .

O aumento da inclinação de sublimiar pode ser observado diretamente na curva de  $I_{DS}$  em função de  $V_{GS}$ , considerando uma escala logarítmica para a corrente, como mostra a Figura 51.

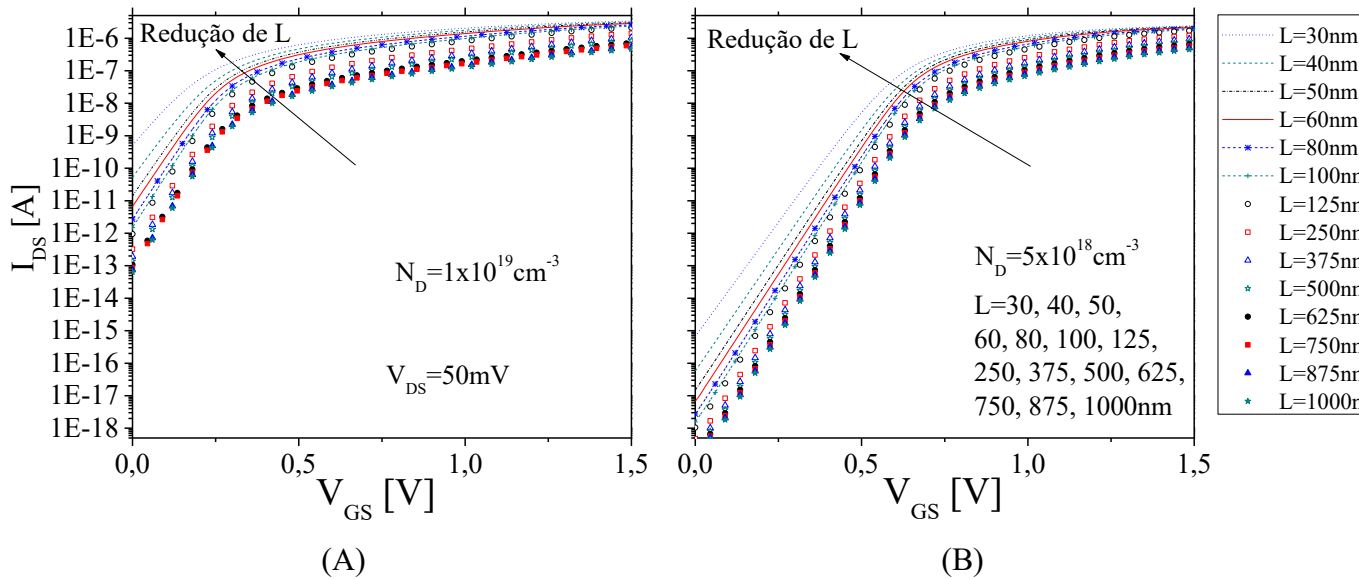


Figura 51 – Curvas de  $I_{DS}$  em escala logarítmica versus  $V_{GS}$  para JNTs com  $N_D$  de  $1 \times 10^{19} \text{cm}^{-3}$  (A) e  $5 \times 10^{18} \text{cm}^{-3}$  (B),  $V_{DS} = 50 \text{mV}$ .

Apesar de ambas as concentrações de dopantes apresentarem resultados muito próximos para a inclinação de sublimiar, como visto na Figura 50, a partir da Figura 51, é observada uma grande diferença para as correntes de desligamento ( $I_{OFF}$ ), definidas como a

corrente de dreno para tensão nula aplicada na porta. Para  $N_D$  de  $5 \times 10^{18} \text{ cm}^{-3}$ , o máximo  $I_{\text{OFF}}$  é de cerca de  $6,6 \times 10^{-16} \text{ A}$  e  $5 \times 10^{-10} \text{ A}$  para  $N_D$  de  $1 \times 10^{19} \text{ cm}^{-3}$ . Esse aumento da corrente de desligamento em concentrações de dopantes mais altas ocorre porque há menor tensão de limiar com similar inclinação de sublimiar. Além disso, a Figura 51 mostra que a corrente de desligamento é maior em dispositivos mais curtos, o que significa que esse parâmetro também é afetado, de maneira negativa, com a miniaturização dos dispositivos. Pode ser notado que, quando desligado, o transistor sem junções com comprimento de canal de 30nm apresenta uma corrente de desligamento de  $5 \times 10^{-10} \text{ A}$ , enquanto que, para  $L=125 \text{ nm}$ , a corrente de fuga é menor do que  $10^{-13} \text{ A}$ , considerando  $N_D$  de  $1 \times 10^{19} \text{ cm}^{-3}$ .

A Figura 52 mostra os resultados do DIBL em função do comprimento do canal para os transistores sem junções simulados, sendo que  $V_{\text{DS},1}$  vale 50mV e  $V_{\text{DS},2}$  é igual a 1,5V.

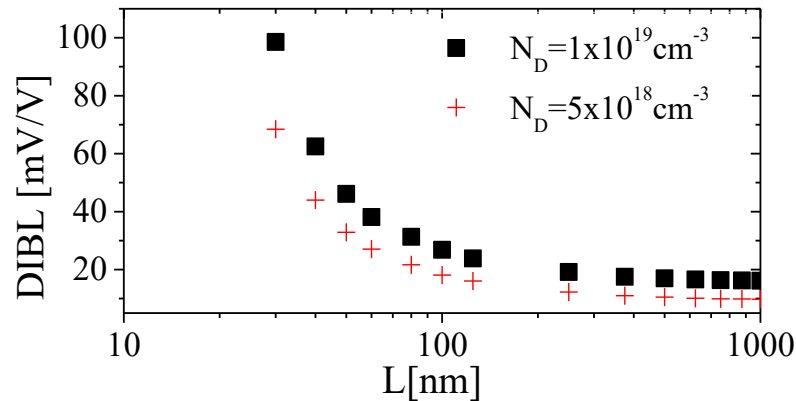


Figura 52 – DIBL versus L para JNTs com L de 30 a 1000nm,  $N_D$  de  $1 \times 10^{19} \text{ cm}^{-3}$  e  $5 \times 10^{18} \text{ cm}^{-3}$ .

A partir da Figura 52, é possível notar a influência do aumento de  $V_{\text{DS}}$  nos transistores sem junções estudados. Como esperado, uma vez que a região de depleção do dreno é mais importante em dispositivos mais curtos, estes apresentam maiores valores de DIBL, fato que indica uma maior variação da tensão de limiar. Assim, há um forte aumento do DIBL para L de 100nm até 30nm, devido à maior influência do campo elétrico próximo ao dreno. No pior caso, DIBL alcança quase 100mV/V, para  $L=30 \text{ nm}$ , em comparação com 16mV/V do transistor sem junções mais longo, para  $N_D$  de  $1 \times 10^{19} \text{ cm}^{-3}$ .

Além do mais, comparando as concentrações de dopantes, para  $N_D=1 \times 10^{19} \text{ cm}^{-3}$  é verificado maior valor de DIBL e maior degradação em relação aos transistores menos dopados. Esse fato está em concordância com os outros resultados, em que é observada uma

piora dos efeitos de canal curto considerando degradações na tensão de limiar, inclinação de sublimiar, corrente de desligamento e DIBL para transistores mais dopados. Esse comportamento é causado pelo aumento do campo elétrico com  $N_D$  que, como consequência, aumenta esses efeitos indesejados [8].

## 5 CONCLUSÕES

Neste trabalho foram apresentados dois modelos para transistores MOS sem junções de canal curto. Um modelo descreve transistores de porta dupla e, outro, JNTs de porta tripla. Os modelos propostos têm por base um modelo contínuo baseado em cargas para transistores sem junções de porta dupla e canal longo. Também foram analisadas estruturas de porta tripla, com diversos comprimentos de canal, com especial enfoque para efeitos de canal curto.

A respeito do modelo proposto para transistores sem junções de porta dupla e canal curto, foram feitas comparações e a validação mostrou seu bom funcionamento para descrever o comportamento dos JNTs. As comparações foram feitas com baixo e alto campo elétrico no dreno e os resultados mostraram uma boa concordância para a corrente de dreno em função da tensão de porta e de dreno, para a transcondutância e para a condutância de saída. Os erros para as curvas de corrente de dreno, transcondutância e condutância de saída foram calculados considerando uma tensão de porta acima do limiar, de modo que os erros médios máximos não ultrapassam 8% para os transistores em que há inclusão do efeito da velocidade de saturação e 14% para os transistores simulados sem a inclusão deste efeito. Estes erros foram calculados através do módulo da diferença entre os resultados do modelo e da simulação, divididos pelos resultados da simulação. Foram comparados transistores simulados com comprimento de canal de até 30nm.

O modelo proposto considera a redução da barreira de potencial de transistores de canal curto, em relação aos de canal longo, devido à maior influência da região de dreno. Também é considerado o efeito da redução do comprimento efetivo do canal, em regime de saturação. Inicialmente, foi incluído um modelo para a degradação da mobilidade devido ao campo elétrico vertical. Posteriormente, o efeito da velocidade de saturação e a redução da tensão de saturação de dreno com a redução do comprimento do canal também foram incluídos.

O modelo foi validado considerando diferentes valores de comprimento de canal, largura de canal e concentração de dopantes. A fim de verificar o funcionamento do modelo para dispositivos com resistências série associadas, também foram validados resultados para dispositivos com diversos comprimentos de extensões de fonte e dreno. Para transistores com comprimento de canal de 50nm, foram simuladas estruturas com extensões de fonte e dreno de até 500nm.

Também foram extraídos alguns parâmetros das curvas modeladas e simuladas dos transistores de porta dupla, a fim de determinar se o modelo descreve apropriadamente a redução da tensão de limiar e o aumento do DIBL e da inclinação de sublimiar. Os resultados para esses parâmetros mostraram erros inferiores a 10% para os transistores simulados com a inclusão do efeito da velocidade de saturação.

Em sua última forma, o modelo foi evoluído para descrever transistores sem junções de porta tripla. Foram realizadas alterações na forma como a densidade de cargas considera o potencial de superfície, através da variação da tensão de limiar que ocorre comparando-se um transistor de porta dupla e um de porta tripla, com as mesmas dimensões. Analisou-se a influência da altura da camada de silício no potencial de superfície através de simulações numéricas. Para modelar adequadamente os transistores de porta tripla, também foi verificada a necessidade de incluir os efeitos das capacitâncias de canto e a alteração da expressão para o comprimento natural.

A validação do modelo de porta tripla foi realizada também para medidas experimentais de transistores de última geração fabricados no CEA – Leti, de dimensões agressivamente reduzidas. Os resultados mostraram uma boa concordância entre modelo e medidas para transistores com dimensões  $L$  de até 15nm e  $W$  de 8nm. Foram comparadas estruturas com diferentes valores de  $N_D$ ,  $L$  e  $W$ , considerando baixa e alta polarização no dreno. Apesar de erros pequenos para as curvas da corrente de dreno, as curvas de transcondutância modeladas mostraram erros significativos, que foram justificados pelo descasamento na tensão de limiar, provenientes de incertezas dos aspectos construtivos dos transistores medidos.

A respeito do estudo para transistores de porta tripla, este trabalho mostrou a influência da redução do comprimento total do canal em alguns parâmetros elétricos afetados pelos efeitos de canal curto para transistores nanofio sem junções com duas diferentes concentrações de dopantes. Foi observado que os dispositivos estudados começam a sofrer de efeitos de canal curto com comprimento de canal de 80nm, considerando  $N_D$  de  $1 \times 10^{19} \text{cm}^{-3}$  e  $5 \times 10^{18} \text{cm}^{-3}$ . Os transistores apresentam inclinação de sublimiar próxima do limite teórico de 60mV/déc, considerando um comprimento de canal longo o suficiente para garantir que o transistor não sofra de efeitos de canal curto.

Analisando o DIBL, foi concluído que este é afetado em mais de seis vezes para  $L$  de 30nm e  $N_D$  igual a  $1 \times 10^{19} \text{cm}^{-3}$ , em comparação com  $L$  de 1000nm. Além do mais, DIBL de

cerca de 100mV/V indica uma influência significativa e indesejada da tensão de dreno na tensão de limiar.

Considerando a influência da concentração de dopantes na operação dos transistores, foi observado que maiores valores de  $N_D$  trazem uma piora dos efeitos de canal curto. A concentração de dopantes de  $1 \times 10^{19} \text{cm}^{-3}$  resultou em uma degradação mais pronunciada da tensão de limiar, da inclinação de sublimiar e do DIBL, para dispositivos mais curtos, em comparação com a concentração de  $5 \times 10^{18} \text{cm}^{-3}$ .

Como sugestão para continuidade deste trabalho, seria interessante implementar uma versão analítica dos modelos propostos. Estes modelos também poderiam ser implementados em um simulador do tipo SPICE, para análise de circuitos. Adicionalmente, seria interessante acrescentar efeitos da influência da temperatura.



## 6 ARTIGOS PUBLICADOS

Durante o projeto de mestrado, os seguintes trabalhos foram aprovados para publicação:

### Periódico:

- “*Double-Gate Junctionless Transistor Model including Short-Channel Effects*”, realizado pelos autores Bruna Cardoso Paz, Fernando Avila, Antonio Cerdeira e Marcelo Antonio Pavanello, publicado na Semiconductor, Science and Technology, vol. 30, 2015.

### Conferências internacionais:

- “*Short Channel Continuous Model for Double-Gate Junctionless Transistors*”, realizado pelos autores Bruna Cardoso Paz, Fernando Avila, Antonio Cerdeira e Marcelo Antonio Pavanello, apresentado no Ninth International Caribbean Conference on DEVICES, CIRCUITS and SYSTEMS – ICCDCS 2014, Playa de Carmen – México, em 02 a 04 de Abril de 2014.
- “*Improved Continuous Model for Short Channel Double-Gate Junctionless Transistors*”, realizado pelos autores Bruna Cardoso Paz, Fernando Avila, Antonio Cerdeira e Marcelo Antonio Pavanello, apresentado no 29<sup>th</sup> Symposium on Microelectronics Technology and Devices – SBMicro 2014, Aracaju – Brasil, de 1º a 5 de Setembro de 2014.
- “*From Double to Triple Gate: Modeling Junctionless Nanowire Transistors*”, realizado pelos autores Bruna Cardoso Paz, Mikaël Cassé, Sylvain Barraud, Fernando Avila-Herrera, Antonio Cerdeira, Gilles Reimbold, Olivier Faynot e Marcelo Antonio Pavanello, apresentado no 2015 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI – ULIS), Bolonha – Itália, de 26 a 28 de Janeiro de 2015.

### Conferências nacionais:

- “*Analysis of Short Channel Effects in Triple-Gate Junctionless Nanowire Transistors with Different Doping Concentrations*”, realizado pelos autores Bruna Cardoso Paz e Marcelo Antonio Pavanello, apresentado no 13th Microelectronics Students Forum – Sforum 2013, em Curitiba, Paraná – Brasil, de 02 a 06 de Setembro de 2013.

- “*Estudo dos Efeitos de Canal Curto em Transistores Sem Junção de Porta Tripla Implementados em Tecnologia SOF*”, realizado pelos autores Bruna Cardoso Paz e Marcelo Antonio Pavanello, apresentado no 3º Simpósio de Pesquisa do Grande ABC – SPGABC 2013, São Bernardo do Campo, São Paulo – Brasil, de 04 a 05 de Novembro de 2013.
- “*Double-Gate Junctionless Modeling for Short Channel Transistors*”, realizado pelos autores Bruna Cardoso Paz, Fernando Avila, Antonio Cerdeira e Marcelo Antonio Pavanello, apresentado no IX Workshop on Semiconductors and Micro & Nano Technology – SEMINATEC 2014, São Paulo – Brasil, de 24 a 25 de Abril de 2014.
- “*Modelagem da Tensão de Limiar de Transistores Sem Junções de Porta Dupla e Canal Curto*”, realizado pelos autores Bruna Cardoso Paz e Marcelo Antonio Pavanello, apresentado no IV Simpósio de Pesquisa do Grande ABC – SPGABC 2014, São Bernardo do Campo, São Paulo – Brasil, 30 de Outubro de 2014.
- “*Short Channel Effects Comparison between Double and Triple Gate Junctionless Nanowire Transistors*”, realizado pelos autores Bruna Cardoso Paz e Marcelo Antonio Pavanello, apresentado no X Workshop on Semiconductors and Micro & Nano Technology – SEMINATEC 2015, São Bernardo do Campo – Brasil, de 09 a 10 de Abril de 2015.

Além disso, os seguintes artigos estão em avaliação:

Periódico:

- “*Compact model for Short-Channel Symmetric Double-Gate Junctionless Transistors*”, realizado pelos autores Fernando Avila, Antonio Cerdeira, Bruna Cardoso Paz, Magali Estrada, Benjamin Iñiguez e Marcelo Antonio Pavanello, submetido para a Solid State Electronics, em 04 de Março de 2015.

Conferência internacional:

- “*Role of the extensions in Double-Gate Junctionless MOSFETs in the drain current at high gate voltage*”, realizado pelos autores Antonio Cerdeira, Magali Estrada, Fernando Avila, Bruna Cardoso Paz e Marcelo Antonio Pavanello, submetido para a SBMicro 2015, em 20 de Abril de 2015.

- “*Analytical Compact Model for Triple Gate Junctionless MOSFETs*”, realizado pelos autores Fernando Avila, Antonio Cerdeira, Bruna Cardoso Paz, Magali Estrada e Marcelo Antonio Pavanello, submetido para a SBMicro 2015, em 20 de Abril de 2015.

## REFERÊNCIAS

- [1] MOORE, G. E.; Cramming more components onto integrated circuits. **Electronics**, v. 38, n. 8, pp. 114-117, 1965.
- [2] YU, B.; WANG, H.; JOSHI, A.; XIANG, Q.; IBOK, E.; LIN, M-R.; 15 nm gate length planar CMOS transistor; **International Electron Devices Meeting, 2001. IEDM Technical Digest**, pp. 937–939, 2001.
- [3] HISAMOTO, D.; KAGA, T.; KAWAMOTO, Y.; TAKEDA, E.; A fully depleted lean-channel transistor (DELTA) - A novel vertical ultrathin SOI MOSFET, **IEEE Electron Device Letters**, vol. 11, n. 1, pp. 36-38, 1990.
- [4] COLINGE, J. P.; **FinFETs and Other Multi-Gate Transistors**. 1. ed. Springer, 2008.
- [5] DOYLE, B. S.; DATTA, S.; DOCZY, M. et al.; High performance fully-depleted tri-gate CMOS transistors, **IEEE Electron Device Letters**, vol. 24, n. 4, pp. 263-265, 2003.
- [6] COLINGE, J. P.; GAO, M. H.; ROMANO-RODRIGUEZ, A.; MAES, H. et al.; Silicon-on-insulator ‘gate-all-around device’, **International Electron Devices Meeting, 1990. IEDM '90. Technical Digest.**, pp. 595-598, 1990.
- [7] HISAMOTO, D.; LEE, W. C.; KEDZIERSKI, J.; TAKEUCHI, H. et al.; FinFET - A self-aligned double-gate MOSFET scalable to 20 nm, **IEEE Transactions on Electron Devices**, vol. 47, n. 12, pp. 2320-2325, 2000.
- [8] COLINGE, J.P. **Silicon-On-Insulator Technology: Materials to VLSI**. 3. ed. Massachusetts: Kluwer Academic Publishers, 2004.
- [9] RAULY, E.; IÑIGUEZ, B.; FLANDRE, D.; Investigation of Deep Submicron Single and Double Gate SOI MOSFETs in Accumulation Mode for Enhanced Performance, **Electrochemical and Solid-State Letters**, vol. 4, n. 3, pp. G28-G30, 2001.

- [10] COLINGE, J. P.; LEE, C. W.; AFZALIAN, A.; AKHAVAN, N. D. et al.; SOI gated resistor: CMOS without junctions, **IEEE International SOI Conference**, 2009, pp. 1-2, 2009.
- [11] COLINGE, J. P.; Conduction mechanisms in thin-film accumulation-mode SOI p-channel MOSFETs, **IEEE Transactions on Electron Devices**, vol. 37, n. 3, pp. 718-723, 1990.
- [12] COLINGE, J. P.; LEE, C. W.; AFZALIAN, A.; AKHAVAN, N. D. et al.; Nanowire transistors without junctions, **Nature Nanotechnology**, vol. 5, n. 3, pp. 225-229, 2010.
- [13] LEE, C. W.; FERAIN, I.; AFZALIAN, A.; YAN, R. et al.; Performance estimation of junctionless multigate transistors, **Solid-State Electronics**, vol. 54, n. 2, pp. 97-103, 2010.
- [14] DORIA, R. T.; PAVANELLO, M. A.; TREVISOLI, R. D.; SOUZA, M. de et al.; Analog operation of junctionless transistors at cryogenic temperatures, **IEEE International SOI Conference**, 2010, pp. 1-2, 2010.
- [15] DORIA, R. T.; PAVANELLO, M. A.; TREVISOLI, R. D.; SOUZA, M. de et al.; Junctionless Multiple-Gate Transistors for Analog Applications, **IEEE Transactions on Electron Devices**, vol. 58, n. 8, pp. 2511-2519, 2011.
- [16] LEE, C. W.; BORNE, A.; FERAIN, I.; AFZALIAN, A. et al.; High-Temperature Performance of Silicon Junctionless MOSFETs, **IEEE Transactions on Electron Devices**, vol. 57, n. 3, pp. 620-625, 2010.
- [17] RUDENKO, T.; NAZAROV, A.; YUB, R.; BARRAUD, S. et al.; Electron mobility in heavily doped junctionless nanowire SOI MOSFETs, **Microelectronic Engineering**, vol. 109, pp. 326-329, 2013.
- [18] TREVISOLI, R. D.; PAVANELLO, M. A.; DORIA, R. T.; SOUZA, M. de et al.; Analytical Model for the Threshold Voltage of Junctionless Nanowire Transistors, **EuroSOI**

**2011 - Seventh Workshop of the Thematic Network on Silicon on Insulator, Technology, Devices and Circuits - Conference Proceedings**, pp. 67-68, 2011.

[19] HOLTIJ, T.; GRAEF, M.; HAIN, F. M.; KLOES, A. et al.; Compact model for short-channel junctionless accumulation mode double gate MOSFETs, **IEEE Transactions on Electron Devices**, vol. 61, pp. 288-299, 2014.

[20] TREVISOLI, R.; DORIA, R.; DE SOUZA, M.; DAS, S. et al.; Surface-Potential-Based Drain Current Analytical Model for Triple-Gate Junctionless Nanowire Transistors, **IEEE Transactions on Electron Devices**, vol. 59, n. 12, pp. 3510-3518, 2012.

[21] CERDEIRA, A. et al.; Charge-based continuous model for longchannel Symmetric Double-Gate Junctionless Transistors, **Solid- State Electronic**, vol. 85, pp. 59–63, 2013.

[22] BARRAUD, S.; BERTHOMÉ, M.; COQUAND, R.; CASSÉ, M. et al.; Scaling of trigate junctionless nanowire MOSFET with gate length down to 13nm, **IEEE Electron Device Letters**, vol. 33, pp. 1225-1227, 2012.

[23] TREVISOLI, R. D.; DORIA, R. T.; SOUZA, M. de and PAVANELLO, M. A.; Drain current model for junctionless nanowire transistors, **ICCDCS 2012 – Eighth International Caribbean Conference on Devices, Circuits and Systems, Conference Proceedings**, vol. 1, pp. 1-4, 2012.

[24] SOUZA, M. de; PAVANELLO, M. A.; TREVISOLI, R. D.; DORIA, R. T. et al.; Cryogenic Operation of Junctionless Nanowire Transistors, **IEEE Electron Device Letters**, vol. 32, n. 10, pp. 1322-1324, 2011.

[25] TREVISOLI, R. D.; DORIA, R. T.; SOUZA, M. de; DAS, S. et al.; The zero temperature coefficient in junctionless nanowire transistors, **Applied Physics Letters**, vol. 101, n. 6, pp. 062101, 2012.

[26] CATALDO, A.; IBM, Intel clash over benefits of SOI, **EE Times**, 1999.

- [27] JENKINS, K. A., et al.; Measurement of I-V Curves of Silicon-on-Insulator (SOI) MOSFET's Without Self-Heating, **IEEE Electron Device Letters**, vol. 16, pp. 145-147, 1995.
- [28] STROJWAS, A. J.; Is the bulk vs. SOI battle over?, **2013 International Symposium on VLSI Technology, Systems, and Applications (VLSI-TSA)**, pp. 1-2, 2013.
- [29] COLINGE, J. P.; SOI devices and circuits, **Proceedings 22nd International Conference on Microelectronics**, vol. 2, pp. 407-414, 2000.
- [30] SCHWANK, J. R.; FERLET-CAVROIS, V.; SHANEYFELT, M.R.; PAILLET, P.; Radiation effects in SOI technologies, **IEEE Transactions on Nuclear Science**, vol. 50, pp. 522-538, 2003.
- [31] SZE, S. M.; **Physics of Semiconductor Devices**. 2. ed. New York: John Wiley and Sons, 1981.
- [32] MACELWEE, T.W.; CALDER, I.D.; Accumulation mode transistors for silicon-on-insulator circuits, **IEEE SOS/SOI Technology Conference**, pp. 171-172, 1989.
- [33] SU, K. W.; KUO, J. B.; Analysis of current conduction in short-channel accumulation-mode SOI PMOS devices, **IEEE Transactions on Electron Devices**, vol. 44, n. 5, pp. 832-840, 1997.
- [34] GARCÍA-SÁNCHEZ, F. J.; ORTIZ-CONDE, A.; MUCI, J.; Understanding threshold voltage in undoped-body MOSFETs: An appraisal of various criteria, **Microelectronics and Reliability**, vol. 46, n. 5-6, pp. 731-742, 2006.
- [35] CUNHA, A. I. A.; PAVANELLO, M. A.; TREVISOLI, R. D.; GALUP-MONTORO, C. et al.; Direct determination of threshold condition in DG-MOSFETs from the gm/ID curve, **Solid-State Electronics**, vol. 56, n. 1, pp. 89-94, 2011.

- [36] SHIH, C. H.; WANG, J. S.; Threshold Voltage of Ultrathin Gate-Insulator MOSFETs, **IEEE Electron Device Letters**, vol. 30, n. 3, pp. 278-281, 2009.
- [37] POIROUX, T.; VINET, M.; FAYNOT, O.; WIDIEZ, J. et al.; Multiple gate devices: advantages and challenges, **Microelectronic Engineering**, vol. 80, pp. 378-385, 2005.
- [38] KRANTI, A.; YAN, R.; LEE, C. W.; FERAIN, I. et al.; Junctionless nanowire transistor (JNT): Properties and design guidelines, **Proceedings of the European Solid-State Device Research Conference (ESSDERC)**, 2010, pp. 357-360, 2010.
- [39] COLINGE, J. P.; COLINGE, C. A.; **Physics of Semiconductor Devices**. 1<sup>a</sup> Edição Massachusetts: Kluwer Academic Publishers, 2002.
- [40] BREWS, J.R.; Subthreshold behavior of uniformly and nonuniformly doped long-channel MOSFET, **IEEE Transactions on Electron Devices**, vol. 26, n. 9, pp. 1282-1291, 1979.
- [41] AKARVARDAR, K.; MERCHA, A.; CRISTOLOVEANU, S.; GENTIL, P. et al.; A Two-Dimensional Model for Interface Coupling in Triple-Gate Transistors, **IEEE Transactions on Electron Devices**, vol. 54, n. 4, pp. 767-775, 2007.
- [42] SAH, C. T.; HO, P. C.; WANG, C. K.; SAH, R. L. Y. et al.; Effect of zinc impurity on silicon solar-cell efficiency, **IEEE Transactions on Electron Devices**, vol. 28, n. 3, pp. 304-313, 1981.
- [43] CAUGHEY, D.M.; THOMAS, R.E.; Carrier mobilities in silicon empirically related to doping and field, **Proceedings of the IEEE**, vol. 55, n. 12, pp. 2192-2193, 1967.
- [44] LI, S. S.; THURDER, W. R.; The dopant density and temperature dependence of electron mobility and resistivity in n-type silicon, **Solid-State Electronics**, vol. 20, n. 7, pp. 609-616, 1977.



- [45] DORKEL, J. M.; LETURCQ, Ph.; Carrier mobilities in silicon semi-empirically related to temperature, doping and injection level, **Solid-State Electronics**, vol. 24, n. 9, pp. 821-825, 1981.
- [46] GUTIERREZ, E. A.; DEEN, J.; CLAYES, C. L.; **Low Temperature Electronics: Physics, Devices, Circuits and Applications**. Academic Press, 1991.
- [47] VEERARAGHAVAN, S.; FOSSUM, J. G.; A physical short-channel model for the thin-film SOI MOSFET applicable to device and circuit CAD, **IEEE Transactions on Electron Devices**, vol. 35, n. 11, pp. 1866-1875, 1988.
- [48] COLINGE, J. P.; LEE, C. W.; FERAIN, I.; AKHAVAN, N. D. et al.; Reduced electric field in junctionless transistors, **Applied Physics Letters**, vol. 96, n. 7, pp. 073510, 2010.
- [49] CANALI, C. et al.; Electron and Hole Drift Velocity Measurements in Silicon and Their Empirical Relation to Electric Field and Temperature, **IEEE Transactions on Electron Devices**, vol. ED-22, n. 11, pp. 1045–1047, 1975
- [50] INIGUEZ, B.; DESSARD, V.; FLANDRE, D.; GENTINNE, B.; A physically-based C infin;-continuous model for accumulation-mode SOI pMOSFETs, **IEEE Transactions on Electron Devices**, vol. 46, n. 12, pp. 2295-2303, 1999.
- [51] SILVEIRA, F.; FLANDRE, D.; JESPERS, P. G. A.; A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA, **IEEE Journal of Solid-State Circuits**, vol. 31, n. 9, pp. 1314-1319, 1996.
- [52] VITTOZ, E. A.; Low-power design: ways to approach the limits, **IEEE International Solid-State Circuits Conference, 1994. Digest of Technical Papers. 41st ISSCC., 1994.**, pp. 14-18, 1994.
- [53] WOO, J. C. S.; PLUMMER, J. D.; Short-channel effects in MOSFET's at liquid-Nitrogen temperature, **IEEE Transactions on Electron Devices**, vol. 33, n. 7, pp. 1012-1019, 1986.

- [54] DORIA, R. T.; PAVANELLO, M. A.; TREVISOLI, R. D.; SOUZA, M. de et al.; Analog Operation Temperature Dependence of nMOS Junctionless Transistors Focusing on Harmonic Distortion, **Journal of Integrated Circuits and Systems**, vol. 6, n. 2, pp. 114-121, 2011.
- [55] TREVISOLI, R. D.; DORIA, R. T.; SOUZA, M. de; COLINGE, J. P. et al.; A Physically-Based Threshold Voltage Definition and Extraction for Junctionless Nanowire Transistors, **EUROSOI 2012 - VIII Workshop of the Thematic Network on Silicon on Insulator Technology, Devices and Circuits**, pp. 69-70, 2012.
- [56] VEERARAGHAVAN, S.; FOSSUM, J. G.; Short-channel effects in SOI MOSFETs, **IEEE Transactions on Electron Devices**, vol. 36, n. 3, pp. 522-528, 1989.
- [57] SEKIGAWA, T.; HAYASHI, Y.; Calculated threshold-voltage characteristics of an X MOS transistor having an additional bottom gate, **Solid-State Electronics**, vol. 27, n. 8-9, pp. 827-828, 1984.
- [58] HUANG, X. Lee, W. C.; KUO, C.; HISAMOTO, D.; CHANG, L. et al.; Sub 50-nm FinFET: PMOS, **International Electron Devices Meeting, 1999. IEDM Technical Digest.**, pp. 67-70, 1999.
- [59] YU, B.; CHANG, L.; AHMED, S.; WANG, H.; FinFET scaling to 10 nm gate length, **Electron Devices Meeting, 2002. IEDM Technical Digest**, pp. 251-254, 2002.
- [60] XIONG, W.; PARK, J. W.; COLINGE, J. P.; Corner effect in multiple-gate SOI MOSFETs, **IEEE International SOI Conference**, 2003., pp. 111-113, 2003.
- [61] FOSSUM, J. G.; YANG, J. W.; TRIVEDI, V. P.; Suppression of corner effects in triple-gate MOSFETs, **IEEE Electron Device Letters**, vol. 24, n. 12, pp. 745-747, 2003.
- [62] JURCZAK, M.; SKOTNICKI, T.; PAOLI, M.; TORMEN, B. et al.; Silicon-on-Nothing (SON) – an innovative process for advanced CMOS, **IEEE Transactions on Electron Devices**, vol. 47, n. 11, pp. 2179, 2000.

- [63] LIU, Y.; ISHII, K.; TSUTSUMI, T.; MASAHARA, M. et al.; Ideal rectangular cross-section Si-Fin channel double-gate MOSFETs fabricated using orientation-dependent wet etching. **IEEE Electron Device Letters**, vol. 24, n. 7, pp. 484-486, 2003.
- [64] HIRAMOTO, T.; Nano-scale silicon MOSFET: towards non-traditional and quantum devices, **IEEE International SOI Conference Proceedings**, 8, 2001.
- [65] JIAO, Z. AND SALAMA, A. T.; A Fully Depleted Delta Channel SOI NMOSFET, **Electrochem. Society Proceedings 2001-3**, 403, 2001.
- [66] PARK, J. T.; COLINGE, J. P.; DIAZ, C. H.; Pi-Gate SOI MOSFET, **IEEE Electron Device Letters**, vol. 22, n. 8, pp. 405-406, 2001.
- [67] YANG, F. L.; CHEN, H. Y.; CHEN, F. C.; HUANG, C. C. et al.; 25 nm CMOS Omega FETs, **International Electron Devices Meeting, 2002. IEDM '02. Technical Digest.**, pp. 255-258, 2002.
- [68] MIYANO, S.; HIROSE, M.; MASUOKA, F.; Numerical analysis of a cylindrical thin-pillar transistor (CYNTHIA), **IEEE Transactions on Electron Devices**, vol. 39, n. 8, pp. 1876-1881, 1992.
- [69] Over Six Decades of Continued Transistor Shrinkage, Innovation. Intel's 22 Nanometer Technology Moves the Transistor Into the 3<sup>rd</sup> Dimension, Intel Corporation, Santa Clara, CA, 2011.
- [70] LANDGRAF, E.; RÖSNER, W.; STÄDELE, M.; DREESKORNFELD, L. et al.; Influence of crystal orientation and body doping on trigate transistor performance, **Solid-State Electronics**, vol. 50, n. 1, pp. 38-43, 2006.
- [71] SUBRAMANIAN, V.; MERCHA, A.; PARVAIS, B.; LOO, J. et al.; Impact of fin width on digital and analog performances of n-FinFETs, **Solid-State Electronics**, vol. 51, n. 4, pp. 551-559, 2007.

- [72] BALESTRA, F.; CRISTOLOVEANU, S.; BENACHIR, M.; BRINI, J. et al.; Double-gate silicon-on-insulator transistor with volume inversion: A new device with greatly enhanced performance, **IEEE Electron Device Letters**, vol. 8, n. 9, pp. 410-412, 1987.
- [73] SRIKANTIAH, J. G.; DASGUPTA, A.; Quantum mechanical effects in bulk MOSFETs from a compact modeling perspective: A review, **IETE Technical Review**, vol. 29, n. 1, pp. 3–28, 2012.
- [74] OUISSE, T.; Self-consistent quantum-mechanical calculations in ultrathin silicon-on-insulator structures, **Journal of Applied Physics**, vol. 76, n. 10, pp. 5989-5995, 1994.
- [75] LEE, J. W.; JANG, D.; MOUIS, M.; KIM, T. G. et al.; Mobility analysis of surface roughness scattering in FinFET devices, **Solid-State Electronics**, v. 62, n. 1, pp. 195-201, 2011.
- [76] COLINGE, J. P.; KRANTI, A.; YAN, R.; LEE, C.W. et al.; Junctionless Nanowire Transistor (JNT): Properties and design guidelines, **Solid-State Electronics**, vol. 65-66, n. 1, pp. 33-37, 2011.
- [77] DORIA, R. T.; TREVISOLI, R. D.; SOUZA, M. de; PAVANELLO, M. A.; Impact of the Series Resistance in the I-V Characteristics of Junctionless Nanowire Transistor and its Dependence on the Temperature, **Journal of Integrated Circuits and Systems**, vol. 7, n. 1, pp. 121-129, 2012.
- [78] NICOLLIAN, E. H.; BREWS, J. R. ; **MOS (Metal Oxide Semiconductor) Physics and Technology**. Wiley-Interscience, 2002.
- [79] SALLESE, J. M.; CHEVILLON, N.; LALLEMENT, C.; INIGUEZ, B. et al.; Charge-Based Modeling of Junctionless Double-Gate Field-Effect Transistors, **IEEE Transactions on Electron Devices**, vol. 58, n. 8, pp. 2628-2637, 2011.
- [80] Sentaurus Device User Guide Version C-2009.06, 2009.

- [81] Sentaurus Structure Editor User's Manual, SYNOPSYS, 2010.
- [82] KLAASSEN, D. B. M.; A Unified Mobility Model for Device Simulation—I. Model Equations and Concentration Dependence, **Solid-State Electronics**, vol. 35, n. 7, pp. 953–959, 1992.
- [83] ARORA, N. D.; HAUSER, J. R.; ROULSTON, D. J.; Electron and Hole Mobilities in Silicon as a Function of Concentration and Temperature, **IEEE Transactions on Electron Devices**, vol. ED-29, n. 2, pp. 292–295, 1982.
- [84] LOMBARDI, C. et al.; A Physically Based Mobility Model for Numerical Simulation of Nonplanar Devices, **IEEE Transactions on Computer-Aided Design**, vol. 7, n. 11, pp. 1164–1171, 1988.
- [85] SCHENK, A.; A Model for the Field and Temperature Dependence of Shockley–Read–Hall Lifetimes in Silicon, **Solid-State Electronics**, vol. 35, n. 11, pp. 1585–1596, 1992.
- [86] SLOTBOOM, J. W.; GRAAFF, H. C. de; Measurements of Bandgap Narrowing in Si Bipolar Transistors, **Solid-State Electronics**, vol. 19, n. 10, pp. 857–862, 1976.
- [87] SUZUKI, K. et al.; Scaling theory for double-gate SOI MOSFETs, **IEEE Transactions on Electron Devices**, vol. 40, pp. 2326, 1993.
- [88] LAKHDAR, N.; DJEFFAL, F.; A two-dimensional analytical model of subthreshold behavior to study the scaling capability of deep submicron double-gate GaN-MESFETs, **Journal of Computational Electronics**, vol. 10, pp. 382–387, 2011.
- [89] CHIANG, T-K.; A Novel Quasi-3-D Threshold Voltage Model for Fully Depleted Quadruple-Gate (FDQG) MOSFETs: With Equivalent Number of Gates (ENG) Included, **IEEE Trans. Nanotechnology**, vol. 12, pp. 1022–1025, 2013.

- [90] AMHOUCHE, Y.; EL ABBASSI, A.; RAIS, K.; RMAILY, R.; New method for determination of drain saturation voltage in submicrometer MOSFETs between liquid helium to room temperature, **Proc. of The 13th International Conference on Microelectronics – ICM**, pp. 63-64, 2001.
- [91] PAZ, B. C.; ÁVILA, F.; CERDEIRA, A.; PAVANELLO, M. A.; Improved Continuous Model for Short Channel Double-Gate Junctionless Transistors, **Proc. of 29th Symposium on Microelectronics Technology and Devices – SBMicro**, 2014 (em publicação).
- [92] FERREIRA, R. S.; PAVANELLO, M. A.; Improved current mirror performance using graded-channel silicon-on-insulator devices in high temperature operation, **Proc. of 19th Symposium on Microelectronics Technology and Devices - SBMicro** 2004-03, pp. 45–50, 2004.
- [93] VLADIMIRESCU, A.; LIU, S.; The Simulation of MOS ICs Using SPICE-2 (**University of California/Berkeley**), 1980.
- [94] RODRIGUEZ, S. S.; TINOCO, J. C.; MARTINEZ-LOPEZ, A. G.; ALVARADO, J. et al.; Parasitic gate capacitance model for triple-gate FinFETs, **IEEE Transactions on Electron Devices**, vol. 60, pp. 3710-3717, 2013.
- [95] Mathcad User's Guide, MathSoft Inc., MA, 1999.
- [96] ORTIZ-CONDE, A.; GARCÍA, F. J.; LIOU, J. J.; CERDEIRA, A. et al.; A review of recent MOSFET threshold voltage extraction methods, **Microelectronics Reliability**, vol. 42, n. 4-5, pp. 583-596, 2002.

**APÊNDICE A – Descrição da função de Lambert utilizada para modelagem  
dos transistores MOS sem junções**

A função de Lambert de uma expressão  $y$ ,  $LW(y)$ , é dada através da sequência de equações abaixo, em que  $f1$ ,  $t1$  e  $wc1$  são variáveis auxiliares.

$$f1 = 1, \text{ se } y = 0$$

$$f1 = 0, \text{ se } y \neq 0$$

$$t1 = \ln(f1+y)$$

$$wc1 = t1 - \ln(t1), \text{ se } t1 > 0$$

$$wc1 = \sqrt{2(e \times y + 1)} - 1, \text{ se } t1 \leq 0$$

Então, são definidas mais duas variáveis auxiliares,  $wc$  e  $ff$ ,

$$wc = wc1$$

$$ff = 1, \text{ se } wc \neq 1$$

$$ff = 0, \text{ se } wc = 1$$

as quais servirão para executar o *loop* descrito a seguir, seis vezes:

$$wc = wc - \frac{wc \times e^{wc} - y}{e^{wc}(wc + ff) - \frac{1}{2} \left[ (wc + 2) \frac{wc \times e^{wc} - y}{(wc + ff)} \right]}$$

O valor que retorna  $wc$  corresponde ao resultado da função  $LW(y)$ .



**APÊNDICE B – Exemplo de arquivo para gerar uma estrutura de um transistor MOS sem junções no Sentaurus Structure Editor**

```

;;;;;;;;;;;;;
;; sde -e -l xx.scm      ;;
;; tecplot_sv xx_msh.tdr ;;
;;;;;;;;;;;;;

; Limpa
(sde:clear)

; dimensoes
(define Wfin      (/ @W@ 1000))
(define Lfin      (/ @L@ 1000))
(define Lfin2     (/ Lfin 2))
(define Hfin      (/ @H@ 1000))
(define Lfonte    (/ @Lfd@ 1000))
(define toxtop    (/ @toxtop@ 1000))
(define tox       (/ @tox@ 1000))
(define toxtop2   (* toxtop 0.20))
(define toxtop3   (* toxtop 0.70))
(define tox2      (* tox 0.20))
(define tox3      (* tox 0.70))
(define Ltotal    (+ Lfin Lfonte))
(define tbox      0.100)
(define Wbox      (+ (/ @W@ 1000) 0.010))
(define dop       @Nd@)

;Nome
(define nome      "L@L@-W@W@-H@H@-toxtop@toxtop@-tox@tox@-Nd@Nd@-
Lfd@Lfd@_msh.tdr")

; Refino
(define refino_fonte      0.020)
(define refino_int_fonte  0.020)

; DefiniÃ§Ã£o refino

(sdodr:define-refinement-size "DefRef0" (/ Wfin 5) (/ Ltotal 20) (/ Hfin 20)
(/ Wfin 40) (/ Ltotal 40) (/ Hfin 40))
(sdodr:define-refinement-size "DefRef1" (/ Wfin 5) (/ Ltotal 10) (/ Hfin 10)
(/ Wfin 20) (/ Ltotal 20) (/ Hfin 20))
(sdodr:define-refinement-size "DefRefD" (/ Wfin 10) (/ Ltotal 80) (/ Hfin 30)
(/ Wfin 50) (/ Ltotal 100) (/ Hfin 50))

```

```

(sdedr:define-refinement-size "DefRefO" (/ Wfin 30) (/ Ltotal 50) (/ Hfin 60)
(/ Wfin 80) (/ Ltotal 70) (/ Hfin 80))

;;;;;;;;;;;;;
;; REGIOES ;;
;;;;;;;;;;;;;

; Define o canal 2D
(define r1 (sdegeo:create-cuboid
  (position (- (/ Wfin 2)) (- (+ (/ Lfin 2) Lfonte)) (- (/ Hfin 2)))
  (position (/ Wfin 2) (+ (/ Lfin 2) Lfonte) (/ Hfin 2))
  "Silicon" "corpo"
)
)

; Define o oxido de porta 2D
(define r3 (sdegeo:create-polygon (list
  (position (- (/ Wfin 2)) (- (/ Lfin 2)) (- (/ Hfin 2)))
  (position (- (+ tox (/ Wfin 2))) (- (/ Lfin 2)) (- (/ Hfin 2)))
  (position (- (+ tox (/ Wfin 2))) (- (/ Lfin 2)) (+ toxtop (/ Hfin
2)))
  (position (+ tox (/ Wfin 2)) (- (/ Lfin 2)) (+ toxtop (/ Hfin
2)))
  (position (+ tox (/ Wfin 2)) (- (/ Lfin 2)) (- (/ Hfin 2)))
  (position (/ Wfin 2) (- (/ Lfin 2)) (- (/ Hfin 2)))
  (position (/ Wfin 2) (- (/ Lfin 2)) (/ Hfin 2))
  (position (- (/ Wfin 2)) (- (/ Lfin 2)) (/ Hfin 2))
  (position (- (/ Wfin 2)) (- (/ Lfin 2)) (- (/ Hfin 2)))
)
  "Oxide" "oxido"
))

; Alonga o oxido de porta no eixo z
(sdegeo:extrude (list (car (find-body-id (position (- (+ (/ Wfin 2) (/ tox
2))) (- (/ Lfin 2)) (- (/ Hfin 2)))))) (- Lfin))

; Define o substrato 3D
(define r4 (sdegeo:create-cuboid
  (position (- (/ Wbox 2)) (- (+ (/ Lfin 2) Lfonte)) (- (/ Hfin
2)))
  (position (/ Wbox 2) (+ (/ Lfin 2) Lfonte) (- (+ (/
Hfin 2) tbox)))

```

```

        "Oxide" "box"
    )
)

;;;;;;;;;;;;;
;; CONTATOS ;;
;;;;;;;;;;;;;

; Contato de porta
(sdegeo:define-contact-set "porta" 0.001 (color:rgb 1 0 0) "##")

(sdegeo:set-current-contact-set "porta")

(sdegeo:define-3d-contact (list (car (find-face-id (position (- (+ tox (/
Wfin 2))) 0.000 0.000 )))) "porta")
(sdegeo:define-3d-contact (list (car (find-face-id (position 0.000
0.000 (+ toxtop (/ Hfin 2)) )))) "porta")
(sdegeo:define-3d-contact (list (car (find-face-id (position (+ tox (/ Wfin
2)) 0.000 0.000 )))) "porta")

; Contato de dreno
(sdegeo:define-contact-set "dreno" 0.001 (color:rgb 1 0 0) "##")

(sdegeo:set-current-contact-set "dreno")

(sdegeo:define-3d-contact (list (car (find-face-id (position 0.000 (+ (/
Lfin 2) Lfonte) 0.000 )))) "dreno")

; Contato de fonte
(sdegeo:define-contact-set "fonte" -0.001 (color:rgb 1 0 0) "##")

(sdegeo:set-current-contact-set "fonte")

(sdegeo:define-3d-contact (list (car (find-face-id (position 0.000 (- (+
(/ Lfin 2) Lfonte)) 0.000)))) "fonte")

; Contato do substrato
(sdegeo:define-contact-set "substrato" -0.001 (color:rgb 1 0 0) "##")

```

```

(sdegeo:set-current-contact-set "substrato")

(sdegeo:define-3d-contact (list (car (find-face-id (position 0.000 0.000 (-
(+ (/ Hfin 2) tbox)) )))) "substrato")

;;;;;;;;;;;;;;
;; DOPAGEM ;;
;;;;;;;;;;;;;;

; Canal
(sdedr:define-constant-profile "definicao_perfil_constante_canal"
"ArsenicActiveConcentration" dop)
(sdedr:define-constant-profile-region "placement_perfil_constante_canal"
"definicao_perfil_constante_canal" "corpo")

; Dreno
; (sdedr:define-refeval-window "DopGaussDrenoJan" "Cuboid" (position (- (/
Wfin 2)) (- (+ (/ Lfin 2) Lfonte)) (- (/ Hfin 2))) (position (/ Wfin 2) (- (/
Lfin 2)) (/ Hfin 2)) )
; (sdedr:define-gaussian-profile "DopGaussDrenoDef"
"ArsenicActiveConcentration" "PeakPos" 0 "PeakVal" 5e20 "Length" 0.0015 "Gauss"
"Length" 0)
; (sdedr:define-analytical-profile-placement "DopGaussDreno"
"DopGaussDrenoDef" "DopGaussDrenoJan" "Both" "NoReplace" "Eval")

; Fonte
; (sdedr:define-refeval-window "DopGaussFonteJan" "Cuboid" (position (- (/
Wfin 2)) (+ (/ Lfin 2) Lfonte) (- (/ Hfin 2))) (position (/ Wfin 2) (/ Lfin
2) (/ Hfin 2)) )
; (sdedr:define-gaussian-profile "DopGaussFonteDef"
"ArsenicActiveConcentration" "PeakPos" 0 "PeakVal" 5e20 "Length" 0.0015 "Gauss"
"Length" 0)
; (sdedr:define-analytical-profile-placement "DopGaussFonte"
"DopGaussFonteDef" "DopGaussFonteJan" "Both" "NoReplace" "Eval")

;;;;;;;;;;;;;;
;; GRADE ;;
;;;;;;;;;;;;;;

```

```
(sdedr:define-refeval-window "Refino0" "Cuboid" (position (- (+ tox2 (/ Wfin
2))) (- (* Lfin2 0.95)) (- (+ toxtop2 (/ Hfin 2)))) (position (+ tox2 (/ Wfin 2))
(* Lfin2 0.95) (+ toxtop2 (/ Hfin 2))))
```

```
;;Grade da regio de silicio;;
```

```
(sdedr:define-refeval-window "Refino1" "Cuboid" (position (-(/ Wfin 2)) (- (+
(/ Lfin 2) Lfonte)) (- (/ Hfin 2))) (position (/ Wfin 2) (+ (/ Lfin 2) Lfonte) (/
Hfin 2)))
```

```
;;Grade mais refinada nas regioes de dreno e fonte;;
```

```
(sdedr:define-refeval-window "RefinoDreno" "Cuboid" (position (-(/ Wfin 2))
(-(* Lfin2 1.05)) (-(/ Hfin 2))) (position (/ Wfin 2) (-(* Lfin2 0.95)) (/ Hfin
2)))
```

```
(sdedr:define-refeval-window "RefinoFonte" "Cuboid" (position (-(/ Wfin 2))
(* Lfin2 1.05) (-(/ Hfin 2))) (position (/ Wfin 2) (* Lfin2 0.95) (/ Hfin 2)))
```

```
(sdedr:define-refeval-window "Refino0x1" "Cuboid" (position (- (+ tox2 (/
Wfin 2))) (/ Lfin 2) (- (+ toxtop2 (/ Hfin 2)))) (position (- (- tox (/ Wfin 2)))
(* Lfin2 0.95) (+ toxtop2 (/ Hfin 2))))
```

```
(sdedr:define-refeval-window "Refino0x2" "Cuboid" (position (- (+ tox2 (/
Wfin 2))) (-(/ Lfin 2)) (- (+ toxtop2 (/ Hfin 2)))) (position (- (- tox (/ Wfin
2))) (-(* Lfin2 0.95)) (+ toxtop2 (/ Hfin 2))))
```

```
(sdedr:define-refeval-window "Refino0x3" "Cuboid" (position (+ tox2 (/ Wfin
2)) (/ Lfin 2) (- (+ toxtop2 (/ Hfin 2)))) (position (- tox (/ Wfin 2)) (* Lfin2
0.95) (+ toxtop2 (/ Hfin 2))))
```

```
(sdedr:define-refeval-window "Refino0x4" "Cuboid" (position (+ tox2 (/ Wfin
2)) (-(/ Lfin 2)) (- (+ toxtop2 (/ Hfin 2)))) (position (- tox (/ Wfin 2)) (-(*
Lfin2 0.95)) (+ toxtop2 (/ Hfin 2))))
```

```
(sdedr:define-refeval-window "Refino0x5" "Cuboid" (position (-(- tox (/ Wfin
2))) (- (/ Lfin 2)) (+ toxtop2 (/ Hfin 2))) (position (- tox (/ Wfin 2)) (-(*
Lfin2 0.95)) (- toxtop2 (/ Hfin 2))))
```

```
(sdedr:define-refeval-window "Refino0x6" "Cuboid" (position (-(- tox (/ Wfin
2))) (/ Lfin 2) (+ toxtop2 (/ Hfin 2))) (position (- tox (/ Wfin 2)) (* Lfin2
0.95) (- toxtop2 (/ Hfin 2))))
```

```
(sdedr:define-refeval-window "Refino0x7" "Cuboid" (position (-(- tox (/ Wfin
2))) (-(/ Lfin 2)) (-(+ toxtop2 (/ Hfin 2)))) (position (- tox (/ Wfin 2)) (-(*
Lfin2 0.95)) (-(- toxtop2 (/ Hfin 2)))))
```

```
(sdedr:define-refeval-window "Refino0x8" "Cuboid" (position (-(- tox (/ Wfin
2))) (/ Lfin 2) (-(+ toxtop2 (/ Hfin 2)))) (position (- tox (/ Wfin 2)) (* Lfin2
0.95) (-(- toxtop2 (/ Hfin 2)))))
```

```
(sdedr:define-refeval-window "Refino0x9" "Cuboid" (position (-(+ tox (/ Wfin
2))) (/ Lfin 2) (-(/ Hfin 2))) (position (-(+ tox3 (/ Wfin 2))) (* Lfin2 0.95)
(+ toxtop (/ Hfin 2))))
```

```
(sdedr:define-refeval-window "Refino0x10" "Cuboid" (position (-(+ tox (/ Wfin
2))) (-(/ Lfin 2)) (-(/ Hfin 2))) (position (-(+ tox3 (/ Wfin 2))) (-(* Lfin2
0.95)) (+ toxtop (/ Hfin 2))))
```

```
(sdedr:define-refeval-window "Refino0x11" "Cuboid" (position (+ tox (/ Wfin
2)) (-(/ Lfin 2)) (-(/ Hfin 2))) (position (+ tox3 (/ Wfin 2)) (-(* Lfin2 0.95))
(+ toxtop (/ Hfin 2))))
```

```
(sdedr:define-refeval-window "Refino0x12" "Cuboid" (position (+ tox (/ Wfin
2)) (/ Lfin 2) (-(/ Hfin 2))) (position (+ tox3 (/ Wfin 2)) (* Lfin2 0.95) (+
toxtop (/ Hfin 2))))
```

```
(sdedr:define-refeval-window "Refino0x13" "Cuboid" (position (-(+ tox (/ Wfin
2))) (/ Lfin 2) (+ toxtop3 (/ Hfin 2))) (position (+ tox (/ Wfin 2)) (* Lfin2
0.95) (+ toxtop (/ Hfin 2))))
```

```
(sdedr:define-refeval-window "Refino0x14" "Cuboid" (position (-(+ tox (/ Wfin
2))) (- (/ Lfin 2)) (+ toxtop3 (/ Hfin 2))) (position (+ tox (/ Wfin 2)) (-(*
Lfin2 0.95)) (+ toxtop (/ Hfin 2))))
```

```
; AplicaÃ§Ã£o refino
```

```
(sdedr:define-refinement-placement "Ref0" "DefRef0" "Refino0" )
(sdedr:define-refinement-placement "Ref1" "DefRef1" "Refino1" )
(sdedr:define-refinement-placement "RefDreno" "DefRefD" "RefinoDreno" )
(sdedr:define-refinement-placement "RefFonte" "DefRefD" "RefinoFonte" )
(sdedr:define-refinement-placement "Ref0x1" "DefRef0" "Refino0x1" )
(sdedr:define-refinement-placement "Ref0x2" "DefRef0" "Refino0x2" )
(sdedr:define-refinement-placement "Ref0x3" "DefRef0" "Refino0x3" )
(sdedr:define-refinement-placement "Ref0x4" "DefRef0" "Refino0x4" )
(sdedr:define-refinement-placement "Ref0x5" "DefRef0" "Refino0x5" )
```

```

(sdedr:define-refinement-placement "Ref0x6" "DefRef0" "Refino0x6" )
(sdedr:define-refinement-placement "Ref0x7" "DefRef0" "Refino0x7" )
(sdedr:define-refinement-placement "Ref0x8" "DefRef0" "Refino0x8" )
(sdedr:define-refinement-placement "Ref0x9" "DefRef0" "Refino0x9" )
(sdedr:define-refinement-placement "Ref0x10" "DefRef0" "Refino0x10" )
(sdedr:define-refinement-placement "Ref0x11" "DefRef0" "Refino0x11" )
(sdedr:define-refinement-placement "Ref0x12" "DefRef0" "Refino0x12" )
(sdedr:define-refinement-placement "Ref0x13" "DefRef0" "Refino0x13" )
(sdedr:define-refinement-placement "Ref0x14" "DefRef0" "Refino0x14" )

```

```

;;;;;;;;;;;;;
;; CONSTRUCAO DA GRADE ;;
;;;;;;;;;;;;;

```

```

(sde:build-mesh "mesh" "-P -R -F tdr" nome)

```



**APÊNDICE C – Exemplo de arquivo de simulação de dispositivo no  
Sentaurus Device**

```

File {
    * output files:
    Output = "IdxVg_Vd50m_L250-W20-H10-tox2-1e19-Lfd20_des.out"
    Plot = "IdxVg_Vd50m_L250-W20-H10-tox2-1e19-Lfd20_des.tdr"
    Current = "IdxVg_Vd50m_L250-W20-H10-tox2-1e19-Lfd20_des.plt"
}

Physics {
    Temperature=300
    Mobility (
        Phumob
        Enormal
        HighFieldSaturation
    )
    Recombination( Auger SRH(DopingDep TempDependence)
    )
    EffectiveIntrinsicDensity (BandGapNarrowing (OldSlotboom))
}

#Physics (Material="Silicon") { eQuantumPotential}

Plot {
    AcceptorConcentration
    BandGap BandGapNarrowing
    ConductionBandEnergy
    ConductionCurrent
    DielectricConstant
    DonorConcentration
    Doping
    DisplacementCurrent
    eCurrent eDensity eDriftVelocity eEffectiveStateDensity
eENormal eEparallel eEquilibriumDensity
    eMobility eQuantumPotential eQuasiFermi
eRelativeEffectiveMass eSaturationVelocity eVelocity
    EffectiveBandGap EffectiveIntrinsicDensity
    ElectricField
    ElectronAffinity

```

```

        Potential EquilibriumPotential
        hCurrent hDensity hDriftVelocity hEffectiveStateDensity
hENormal hEparallel hEquilibriumDensity
        hMobility hQuantumPotential hQuasiFermi
hRelativeEffectiveMass hSaturationVelocity hVelocity
        IntrinsicDensity
        Temperature
        Current
        TotalRecombination
        ValenceBandEnergy
        SpaceCharge
        SRHRecombination
    }

```

```

Device JL{
    File {
        * input files:
        Grid = "L250-W20-H10-tox2-1e19-Lfd20_msh.tdr"
        Parameter = "Param.par"
        * output files:

    }
    Electrode {
        { Name="fonte" Voltage= 0.000 }
        { Name="dreno" Voltage= 0.000 }
        { Name="porta" Voltage= 0.000 Material="PolySi"(P)
    }

        { Name="substrato" Voltage= 0.000
Material="Silicon"(P=1e15) }
    }
}

```

```

System {
    JL t1 (fonte=f dreno=d porta=g substrato=s)
    Vsource_pset Vd (d 0) {dc=0}
}

```

```

Vsource_pset Vg (g 0) {dc=0}
Vsource_pset Vf (f 0) {dc=0}
Vsource_pset Vs (s 0) {dc=0}
Plot "IdxVg_Vd50m_L250-W20-H10-tox2-1e19-Lfd20.txt" (v(g f)
v(d f) v(s f) i(t1 f))
}

Math {
    Extrapolate
    # NotDamped=2
    Iterations=20
    ExitOnFailure
    # Smooth
    Method = pardiso
    number_of_threads = 2
}

Solve {

    Quasistationary ( Initialstep=1 Minstep=1e-12 Maxstep=1
        Goal {Parameter=Vd.dc Value=0 } )
        {Coupled(Iterations=50) { Poisson } CurrentPlot ( Time
= (-1)) }

    Quasistationary ( Initialstep=1 Minstep=1e-12 Maxstep=1
        Goal {Parameter=Vg.dc Value=0 } )
        {Coupled(Iterations=50) { Poisson Electron Hole Circuit
Contact } CurrentPlot ( Time = (-1)) }

    Quasistationary ( Initialstep=1 Minstep=1e-12 Maxstep=1
        Goal {Parameter=Vd.dc Value=0.05 } )
        {Coupled(Iterations=50) { Poisson Electron Hole Circuit
Contact } CurrentPlot ( Time = (-1)) }

```

```

Circuit Contact } CurrentPlot ( Time = (-1)) }

    Quasistationary ( Initialstep=1 Minstep=1e-12 Maxstep=1
        Goal {Parameter=Vg.dc Value=-1 } )
        {Coupled(Iterations=50) { Poisson Electron Hole Circuit
Contact } CurrentPlot ( Time = (-1)) }

    Quasistationary ( Initialstep=1 Minstep=1e-12 Maxstep=1
        Goal {Parameter=Vg.dc Value=3 } )
        {Coupled(Iterations=10) { Poisson Electron Hole Circuit
Contact } CurrentPlot( Time = (range = (0 1) intervals = 200)) }
}

```