

CENTRO UNIVERSITÁRIO DA FEI

Rudolf Theoderich Bühler

**INFLUÊNCIA DE VARIAÇÕES DIMENSIONAIS
DECORRENTES DO PROCESSO DE FABRICAÇÃO
SOBRE PARÂMETROS ELÉTRICOS DE FINFETS**

São Bernardo do Campo

2009

Rudolf Theoderich Bühler

**INFLUÊNCIA DE VARIAÇÕES DIMENSIONAIS
DECORRENTES DO PROCESSO DE FABRICAÇÃO
SOBRE PARÂMETROS ELÉTRICOS DE FINFETS**

Dissertação de Mestrado apresentada ao
Centro Universitário da FEI como parte dos
requisitos necessários para a obtenção do título
de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Renato Camargo Giacomini

São Bernardo do Campo

2009

Bühler, Rudolf Theoderich

Influência de variações dimensionais decorrentes do processo de fabricação sobre parâmetros elétricos de FinFETs / Rudolf Theoderich Bühler. São Bernardo do Campo, 2009.

118 f. : il.

Dissertação - Centro Universitário da FEI.

Orientador: Prof. Dr. Renato Camargo Giacomini

1. Tecnologia SOI. 2. FinFET. 3. Nanotecnologia. I. Giacomini, Renato Camargo, orient. II. Título.

CDU 621.381

Dedico este trabalho à minha mãe e ao meu pai,
Lourdes Maria Bühler (*in memoriam*) e
Hermann Theoderich Bühler,
os quais amo muito e devo tudo o que sou.

AGRADECIMENTOS

Ao Prof. Dr. Renato Camargo Giacomini, amigo e orientador, pela dedicação, atenção, apoio e confiança que sempre depositou em mim, mesmo nos momentos mais difíceis, contribuindo para a realização do sonho de eu me tornar um pesquisador.

Aos professores e amigos Dr. Marcelo Antonio Pavanello e Dr. João Antonio Martino pelas discussões, sugestões e incentivos dados ao longo de diversos trabalhos realizados juntos e que foram fundamentais para a conclusão deste trabalho.

Aos amigos do Centro Universitário da FEI e do grupo SOI-CMOS do LSI / EPUSP pela amizade e companheirismo dados ao longo deste trabalho.

Aos meus amigos Paula Agopian, Michelly de Souza, Márcio Souza, Renan Doria, Marcos Gubiotti e Reginaldo Une que acreditaram em mim e me ajudaram, em todos os momentos.

À minha mãe, Lourdes, que nunca deixou de acreditar em mim e no meu sonho, com muito carinho, amor e fé, me apoiando mesmo nos meus momentos de ausência, assim como meu pai, Hermann.

Ao CNPq, pelo apoio financeiro indispensável para a realização deste trabalho.

Aos vários outros amigos, que participaram deste percurso em minha vida e foram omitidos de forma involuntária.

“... quanto mais eu vivo, mais eu aprendo que não importa o quão longe nós viajamos, ou o quão rápido nós chegamos lá, as descobertas mais profundas não estão necessariamente depois da próxima estrela. Elas estão dentro de nós, tecidas pelas linhas que nos unem. A fronteira final começa aqui. Vamos explorá-la juntos.”

Jornada nas Estrelas

RESUMO

Bühler, R. T. **Influência de Variações Dimensionais Decorrentes do Processo de Fabricação Sobre Parâmetros Elétricos de FinFETs**. 2009. Dissertação (Mestrado) – Centro Universitário da FEI, São Bernardo do Campo, 2009.

A rápida e crescente demanda por tecnologias que permitam a redução das dimensões dos transistores além dos limites físicos permitidos nos transistores planares de porta única, leva a uma nova era de dispositivos com estruturas verticais de geometrias variadas, como estruturas tridimensionais. O FinFET é um desses novos dispositivos. Este trabalho abordou alguns dos principais parâmetros elétricos envolvidos no comportamento e desempenho dos dispositivos FinFET com aletas de formato trapezoidal, destacando quais estruturas apresentam vantagens e desvantagens de acordo com as variações decorrentes do processo de fabricação.

Estudos foram realizados a partir de simulações numéricas tridimensionais de transistores FinFET com aletas de formatos trapezoidais e comprimentos de canal distintos. Foi observada a contribuição das variações dimensionais sobre a transcondutância, a condutância de saída e o ganho intrínseco de tensão que apresentou aumentos de até 1,20 dB, apenas com a variação do formato da aleta. Também foram estudados outros parâmetros de suma importância, como a tensão de limiar e a inclinação de sublimiar.

Os diferentes formatos das aletas, quando submetidos a uma análise AC de pequenos sinais, provaram também possuir influência sobre a frequência de ganho unitário, decorrente da mudança na capacitância de porta, devida à variação do acoplamento das cargas ativas no canal com a porta e com o substrato.

Variações de até 15 % na condutância de saída, como resultado da variação no formato da aleta, e de até 25 %, variando-se a largura do dispositivo, foram observadas. A transcondutância possui maior dependência com o formato do dispositivo, variando até 10,11 % entre alguns formatos de dispositivos. A frequência de ganho unitário obteve valor máximo para dispositivos estreitos e com canal curto, além da dependência com o formato do dispositivo. A dependência da tensão de limiar com a polarização do substrato, variando o formato do dispositivo, também foi observada. Apesar dos dispositivos terem se mostrado pouco susceptíveis à variação da tensão de substrato, para alguns formatos da secção transversal a tensão de limiar apresentou variação de até 5,29 %.

Palavras-chave: Tecnologia SOI, FinFET, Porta Tripla, Secção Transversal Trapezoidal, Paredes Laterais não Paralelas, Parâmetro Analógicos, Nanotecnologia, Transcondutância, Condutância de Saída, Ganho Intrínseco de Tensão, Frequência de Ganho Unitário.

ABSTRACT

Bühler, R. T. **Influence of Dimensional Variations Due to Fabrication Process on FinFETs Electrical Parameters**. 2009. Dissertation (Master) – Centro Universitário da FEI, São Bernardo do Campo, 2009.

The fast growth on demand for technologies to reduce the dimension of transistors beyond the physical limits allowed by single-gate planar devices take us to a new era of devices with vertical structures and various geometries, such as tri-dimensional structures. The FinFET is one of these new devices. This work addressed some of the main electrical parameters involved in the behavior and performance of FinFET devices with trapezoidal fin shapes, highlighting which structures present advantages and disadvantages depending on some variations in the fabrication process.

Studies were carried out from numerical tri-dimensional simulations of FinFET transistors, with trapezoidal fin shapes and distinct channel lengths. It was observed the contribution of dimensional variations over the transconductance, output conductance and intrinsic voltage gain that presented maximum increases up to 1.20 dB with the fin shape variation. Also, other parameters of critical importance were studied, as the threshold voltage and the subthreshold slope.

The different fin shapes, when submitted to a small signal AC analysis, also proved to have influence on the unit-gain frequency, due to the changes in the gate capacitance, caused by variations on channel charges coupling with the gate and substrate.

Variations up to 15 % on output conductance, as a result of fin shape variation, and up to 25 %, varying the device width, were observed. The transconductance have a higher dependence with device shape, with variations up to 10.11 % among some device shapes. The unity-gain frequency has the maximum value for short channel devices, besides the dependence with the device shape. The dependence of threshold voltage with the back-gate bias, varying the device shape, was also observed. Although devices had shown low susceptibility to the back-gate bias, for some cross-section shapes the threshold voltage presented variations up to 5.29 %.

Keywords: SOI Technology, FinFET, Triple-Gate, Trapezoidal Cross-Section, Non-Parallel Sidewalls, Analog Parameters, Nanotechnology, Transconductance, Output Conductance, Intrinsic Voltage Gain, Unit-Gain Frequency.

SUMÁRIO

1	INTRODUÇÃO	22
1.1	VARIAÇÕES NAS ESTRUTURAS SOI MOSFET.....	22
1.2	ORGANIZAÇÃO	24
2	CONCEITOS BÁSICOS	25
2.1	TECNOLOGIA SOI (SILÍCIO-SOBRE-ISOLANTE).....	25
2.1.1	Classificação dos Dispositivos SOI	26
2.1.2	Efeitos de Canal Curto	28
2.2	PARÂMETROS ELÉTRICOS DO TRANSISTOR SOI	29
2.2.1	Tensão de Limiar	29
2.2.2	Efeito de corpo.....	31
2.2.2.1	Transistor convencional	31
2.2.2.2	Transistor SOI Planar de Porta Única	31
2.2.3	Inclinação de Sublimiar	33
2.2.3.1	Transistor convencional	34
2.2.3.2	Transistor SOI.....	34
2.2.4	Transcondutância	36
2.2.5	Relação g_m/I_{DS}	37
2.2.6	Condutância de Saída.....	38
2.2.7	Ganho Intrínseco de Tensão.....	39
2.3	EVOLUÇÃO DOS DISPOSITIVOS SOI.....	39
2.3.1	Transistor SOI DELTA ou FinFET de Porta Dupla (<i>Double-Gate</i> - DG)	40
2.3.2	Transistor SOI FinFET de Porta Tripla (<i>Triple Gate</i> - TG).....	41
3	O TRANSISTOR FINFET DE PORTA TRIPLA.....	43
3.1	PROCESSO DE CORROSÃO E DEFINIÇÃO DAS ALETAS	44
3.2	PARÂMETROS ELÉTRICOS DO TRANSISTOR SOI FINFET	46
3.2.1	Efeitos de Canto.....	46
3.2.2	Tensão de Limiar	47
3.2.3	Efeito de corpo.....	48
3.2.4	Inclinação de Sublimiar	49
3.2.5	Mobilidade.....	49
4	SIMULAÇÃO NUMÉRICA TRIDIMENSIONAL.....	51
4.1	MODELOS FÍSICOS	52

5	ANÁLISE DA DEPENDÊNCIA DE PARÂMETROS ELÉTRICOS COM O FORMATO DA SECÇÃO TRANSVERSAL EM TRANSISTORES SOI FINFET TRAPEZOIDAIS	54
5.1	DISPOSITIVOS SIMULADOS	54
5.2	RESULTADOS E DISCUSSÕES – ANÁLISE DC.....	57
5.2.1	Dispositivos de canal longo	57
5.2.1.1	Tensão de Limiar	57
5.2.1.2	Inclinação de Sublimiar.....	58
5.2.1.3	Condutância de Saída.....	59
5.2.1.4	Perfil da Densidade de Corrente de Condução.....	61
5.2.1.5	Transcondutância	64
5.2.1.6	Ganho Intrínseco de Tensão.....	67
5.2.2	Dispositivos com Comprimento de Canal de 100 nm.....	68
5.2.2.1	Tensão de Limiar	68
5.2.2.2	Condutância de Saída.....	69
5.2.2.3	Transcondutância	71
5.2.2.4	Ganho Intrínseco de Tensão.....	72
5.3	RESULTADOS E DISCUSSÕES – ANÁLISE AC.....	74
5.3.1	Dispositivos de Canal Longo	74
5.3.1.1	Capacitância Total de Porta	74
5.3.1.2	Frequência de Ganho Unitário	75
5.3.2	Dispositivos com Comprimento de Canal de 100 nm.....	76
5.3.2.1	Capacitância Total de Porta	76
5.3.2.2	Frequência de Ganho Unitário	77
5.4	RESULTADOS E DISCUSSÕES – IMPACTOS DA REDUÇÃO DO COMPRIMENTO DE CANAL	78
5.4.1	Transcondutância	78
5.4.2	Condutância de Saída.....	80
5.4.3	Ganho Intrínseco de Tensão.....	81
5.4.4	Capacitância Total de Porta	82
5.4.5	Frequência de Ganho Unitário	83
6	ESTUDO DA INFLUÊNCIA DA POLARIZAÇÃO DE SUBSTRATO EM TRANSISTORES FINFETS COM DOPAGEM NATURAL DA LÂMINA.....	85
6.1	DISPOSITIVOS SIMULADOS	85
6.2	DISPOSITIVOS EXPERIMENTAIS.....	86
6.3	DISPOSITIVOS DE PORTAS LATERAIS PARALELAS	87
6.3.1	Tensão de Limiar	87
6.3.2	Perfil do Potencial Elétrico na Aleta.....	88
6.4	DISPOSITIVOS COM ALETAS DE FORMATO TRAPEZOIDAL.....	90
6.4.1	Tensão de Limiar	90
6.4.2	Perfil do Potencial Elétrico na Aleta.....	92

7	CONCLUSÕES	95
	PUBLICAÇÕES GERADAS DURANTE O PERÍODO DO MESTRADO.....	98
	REFERÊNCIAS BIBLIOGRÁFICAS.....	99
	APÊNDICE A – CONSTRUÇÃO DA ESTRUTURA 3D	107
	APÊNDICE B – SIMULAÇÃO DA ESTRUTURA 3D – DC	113
	APÊNDICE C – SIMULAÇÃO DA ESTRUTURA 3D – AC	116

LISTA DE FIGURAS

Figura 1 – Dispositivo SOI MOSFET de porta tripla.....	23
Figura 2 – Corte da secção transversal de estruturas FinFET. Aleta com formato (a) trapezoidal [9] (b) côncavo [10] (c) triangular [11].....	23
Figura 3 – Corte transversal de um transistor SOI nMOSFET.	25
Figura 4 – Diagramas de faixa de energia em transistores MOS convencionais (a), transistores SOI parcialmente depletados (b), e transistores SOI totalmente depletados (c).	26
Figura 5 – Parcela das cargas de depleção controladas pela fonte e pelo dreno para (a) canal longo, e para (b) canal curto.	28
Figura 6 – Comparação da variação em V_{thf} em função de V_{GB} para dispositivos SOI MOSFET totalmente depletados, modelo teórico e medida experimental [2].....	32
Figura 7 – Inclinação de sublimar utilizada para caracterizar o funcionamento do dispositivo.....	33
Figura 8 – Circuito elétrico capacitivo equivalente no transistor convencional.....	34
Figura 9 – Circuito elétrico capacitivo equivalente no transistor SOI nMOSFET com a segunda interface acumulada.....	35
Figura 10 – Circuito elétrico capacitivo equivalente no transistor SOI nMOSFET com a segunda interface depletada.....	35
Figura 11 – Gráfico comparativo da inclinação de sublimar entre as três configurações descritas anteriormente.	36
Figura 12 – Linha do tempo da evolução das estruturas SOI MOSFET [4].	40
Figura 13 – Estrutura SOI MOSFET de porta dupla.	41
Figura 14 – Estrutura SOI MOSFET de porta tripla.	42
Figura 15 – Corte da secção transversal de estruturas FinFET. Aleta com formato (a) trapezoidal [9] (b) côncavo [10].	45
Figura 16 – (a) Ilustração do efeito de canto em dispositivos SOI FinFET de porta tripla (b) Concentração de portadores em dispositivo nMOSFET FinFET com concentração de dopantes igual à $N_A = 1 \times 10^{17} \text{ cm}^{-3}$	46
Figura 17 – (a) Comparação da variação em V_{thf} em função de V_{GB} para dispositivos SOI MOSFET totalmente depletados, entre o modelo teórico e a medida experimental do transistor planar de porta única [2], junto do comportamento do transistor FinFET de	

porta dupla/tripla (b) As regiões em destaque pertencem simultaneamente à primeira e à segunda interfaces.....	48
Figura 18 – Estrutura SOI FinFET de porta tripla.....	50
Figura 19 – Secção transversal dos dispositivos simulados para: Comprimento de canal de 200 nm e 1 μm ; Comprimento de canal de 50 nm.	55
Figura 20 – Representação esquemática de um transistor FinFET trapezoidal retangular de porta tripla: (a) vista em perspectiva, (b) vista da secção transversal.	55
Figura 21 – Tensões de limiar em função da largura média das aletas em FinFETs para comprimento de canal de 200 nm e 1 μm com concentrações de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$	57
Figura 22 – Inclinações de sublimiar em função da largura média das aletas em FinFETs para comprimento de canal de 200 nm e 1 μm em concentrações de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$	59
Figura 23 – Condutância de saída em função da tensão de dreno para comprimentos de canal de 200 nm e 1 μm para concentração de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$	60
Figura 24 – Condutância de saída em função da largura média da aleta para comprimentos de canal de 200 nm e 1 μm para concentração de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$	61
Figura 25 – Ilustração do local de extração do perfil da densidade de corrente de condução ao longo da primeira interface e o ângulo θ de inclinação das paredes laterais.....	62
Figura 26 – $I_{DS} \times V_{DS}$, g_d e os perfis da densidade de corrente de condução para comprimento de canal de 1 μm para concentração de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$	63
Figura 27 – Transcondutância em transistores FinFETs em função da tensão de porta para comprimentos de canal de 200 nm e 1 μm , em concentrações de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$	64
Figura 28 – Transcondutância em transistores FinFETs em função da largura média da aleta para comprimentos de canal de 200 nm e 1 μm , em concentrações de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$	65
Figura 29 – Transcondutância dividida pela corrente de dreno (g_m/I_{DS}) em transistores FinFETs para comprimentos de canal de 200 nm e 1 μm , em concentrações de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$	66
Figura 30 – Ganho intrínseco de tensão em transistores FinFETs para concentração de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$	68

Figura 31 – Tensões de limiar em função da largura média das aletas em FinFETs para comprimento de canal de 50 nm com concentrações de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$	69
Figura 32 – Condutância de saída em função da largura média da aleta para comprimento de canal de 50 nm para concentração de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$	69
Figura 33 – Planos de corte verticais longitudinais em FinFETs com curvas isométricas de concentração de elétrons para $V_{DS} = 600 \text{ mV}$, $V_{GT} = 340 \text{ mV}$ e $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ em: Comprimento de canal de 50 nm (b) Comprimento de canal de 200 nm.....	70
Figura 34 – Transcondutância em transistores FinFETs em função da largura média da aleta para comprimento de canal de 50 nm, em concentrações de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$	71
Figura 35 – Ganho intrínseco de tensão em transistores FinFETs para concentrações de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$	72
Figura 36 – Capacitância total de porta em FinFETs com comprimento de canal de 200 nm e concentração de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$	74
Figura 37 – Frequência de ganho unitário em FinFETs com comprimento de canal de 200 nm e concentração de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$	75
Figura 38 – Capacitância total de porta em FinFETs com comprimento de canal de 50 nm e concentração de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$	76
Figura 39 – Frequência de ganho unitário em FinFETs com comprimento de canal de 50 nm e concentração de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$	77
Figura 40 – Secções transversais selecionadas para avaliação variando o comprimento de canal.....	78
Figura 41– Transcondutância em FinFETs em função do comprimento do canal, com concentração de dopantes igual a $N_A = 1 \times 10^{15} \text{ cm}^{-3}$	78
Figura 42 – Curvas da transcondutância em FinFETs em função da tensão de porta, com concentração de dopantes igual a $N_A = 1 \times 10^{15} \text{ cm}^{-3}$, evidenciando o primeiro pico prematuro da transcondutância.....	79
Figura 43 – Curvas da concentração de elétrons em função da altura da aleta, com concentração de dopantes igual a $N_A = 1 \times 10^{15} \text{ cm}^{-3}$, apresentando a inversão prematura da segunda interface.	80
Figura 44 – Condutância de saída em FinFETs em função do comprimento do canal, com concentração de dopantes igual a $N_A = 1 \times 10^{15} \text{ cm}^{-3}$	81

Figura 45 – Ganho intrínseco de tensão em FinFETs em função do comprimento do canal, com concentração de dopantes igual a $N_A = 1 \times 10^{15} \text{ cm}^{-3}$	82
Figura 46 – Capacitância total de porta em FinFETs em função do comprimento do canal, com concentração de dopantes igual a $N_A = 1 \times 10^{15} \text{ cm}^{-3}$	83
Figura 47 – Frequência de ganho unitário em FinFETs em função do comprimento do canal, com concentração de dopantes igual a $N_A = 1 \times 10^{15} \text{ cm}^{-3}$	83
Figura 48 – Secção transversal utilizada para o estudo.	86
Figura 49 – Ilustração das estruturas FinFETs trapezoidais simuladas: (a) $W_{\text{Fin Bottom}}$ é mais largo do que $W_{\text{Fin Top}}$, e a situação oposta onde (b) $W_{\text{Fin Bottom}}$ é mais estreito que $W_{\text{Fin Top}}$	86
Figura 50 – Valores da tensão de limiar em função da tensão de substrato em FinFETs com paredes laterais paralelas: (a) Valores simulados, (b) Valores experimentais, com valores de V_{th} para aletas muito estreitas apresentadas no topo direito da figura.	88
Figura 51 – Perfil de potencial em aletas com paredes laterais paralelas.	89
Figura 52 – Valores da tensão de limiar simulados em função da tensão de substrato para FinFETs com aletas trapezoidais.	91
Figura 53 – Perfil de potencial em aletas de dispositivos FinFETs de porta dupla com paredes laterais não paralelas.	92
Figura 54 – Corte do potencial em dispositivos FinFET trapezoidais com $W_{\text{AFW}} = 20 \text{ nm}$. (a),(c) Base da aleta maior do que o topo. (b),(d) Base da aleta mais estreita do que o topo.	93

LISTA DE TABELAS

Tabela 1 – Valores de condutância de saída ($g_d/(W/L)$) em $[\mu S]$ para $W_{AFW} = 40, 45, 55$ e 60 nm, $V_{DS} = 600$ mV.	59
Tabela 2 – Valores de transcondutância ($g_m/(W/L)$) em $[\mu S]$ para $W_{AFW} = 40, 45, 55$ e 60 nm, $V_{DS} = 600$ mV.....	67
Tabela 3 – Valores de ganho intrínseco de tensão (A_v) em [dB] para $W_{AFW} = 40, 45, 55$ e 60 nm, $V_{DS} = 600$ mV.	67
Tabela 4 – Valores de condutância de saída ($g_d/(W/L)$) em $[\mu S]$ para $W_{AFW} = 20, 25, 35$ e 40 nm, $V_{DS} = 600$ mV.	71
Tabela 5 – Valores de transcondutância ($g_m/(W/L)$) em $[\mu S]$ para $W_{AFW} = 20, 25, 35$ e 40 nm, $V_{DS} = 600$ mV.....	72
Tabela 6 – Valores de ganho intrínseco de tensão (A_v) em [dB] para $W_{AFW} = 20, 25, 35$ e 40 nm, $V_{DS} = 600$ mV.	73
Tabela 7 – Valores de frequência de ganho unitário (f_T) em [GHz] para $W_{AFW} = 40, 45, 55$ e 60 nm, $V_{DS} = 600$ mV.	76
Tabela 8 – Valores de frequência de ganho unitário (f_T) em [GHz] para $W_{AFW} = 20, 25, 35$ e 40 nm, $V_{DS} = 600$ mV.	77

LISTA DE SÍMBOLOS

A	Área da secção transversal da região do canal pela qual os elétrons fluem [cm^2]
A_V	Ganho de tensão de malha aberta em baixa frequência [dB]
C_{depl}	Capacitância da região de depleção por unidade de área [F/cm^2]
C_{gb}	Capacitância entre porta e substrato [F]
C_{gg}	Capacitância total de porta [F]
C_{gs}	Capacitância entre porta e fonte [F]
C_{ox}	Capacitância do óxido de porta do transistor MOS por unidade de área [F/cm^2]
C_{oxb}	Capacitância do óxido enterrado por unidade de área [F/cm^2]
C_{oxf}	Capacitância do óxido de porta do transistor SOI por unidade de área [F/cm^2]
C_{Si}	Capacitância da camada de silício por unidade de área [F/cm^2]
D_n	Coeficiente de difusão para elétrons no corpo do transistor [cm^2/s]
E_C	Nível de energia inferior da faixa de condução [eV]
E_F	Nível de Fermi do semiconductor [eV]
E_{FM}	Nível de Fermi do metal/eletrodo de porta [eV]
E_{FB}	Nível de Fermi do metal/eletrodo de substrato [eV]
E_g	Largura da faixa proibida [eV]
E_i	Nível intrínseco [eV]
E_V	Nível de energia superior da faixa de valência [eV]
f_T	Frequência de ganho unitário [Hz]
g_d	Condutância de dreno [S]
$g_{d,\text{sat}}$	Condutância de dreno na região de saturação [S]
g_m	Transcondutância do transistor [S]
$g_{m,\text{máx}}$	Transcondutância máxima do transistor [S]
g_m/I_{DS}	Relação entre a transcondutância e a corrente de dreno do transistor MOS [V^{-1}]
H_{Fin}	Altura da aleta de silício em transistores FinFETs [m]
I_{DS}	Corrente entre dreno e fonte [A]
$I_{\text{DS},\text{sat}}$	Corrente de saturação entre dreno e fonte [A]
$I_{\text{DS}}/(W/L)$	Corrente normalizada entre dreno e fonte [A]
k	Constante de Boltzmann [$1,38066 \times 10^{-23} \text{ J/K}$]
L	Comprimento de máscara do canal do transistor [m]
L_n	Comprimento de difusão dos elétrons [m]

N_A	Concentração de impurezas aceitadoras em um semiconductor [cm^{-3}]
N_D	Concentração de impurezas doadoras em um semiconductor [cm^{-3}]
n_i	Concentração intrínseca de portadores [cm^{-3}]
q	Carga elementar do elétron [$1,6 \times 10^{-19} \text{ C}$]
Q_D	Carga de depleção na camada de silício [C/cm^2]
Q_{depl}	Carga de depleção na camada de silício [C/cm^2]
Q_{invf}	Carga de inversão no óxido de porta por unidade de área [C/cm^2]
Q_{oxf}	Carga fixa no óxido de porta por unidade de área [C/cm^2]
Q_{SB}	Carga do silício no substrato por unidade de área [C/cm^2]
S	inclinação de sublimiar [$\text{mV}/\text{déc}$]
T	Temperatura absoluta [K]
t_{box}	Espessura do óxido enterrado [m]
t_{Si}	Espessura da camada de silício [m]
t_{oxf}	Espessura do óxido de porta [m]
V_B	Tensão aplicada ao substrato do transistor convencional [V]
V_{DS}	Tensão entre dreno e fonte [V]
V_{FBF}	Tensão de faixa plana da estrutura MOS da primeira interface [V]
V_{GB}	Tensão aplicada ao substrato do transistor SOI [V]
$V_{\text{GB,accB}}$	Tensão aplicada ao substrato do transistor SOI com a segunda interface acumulada [V]
V_{GF}	Tensão aplicada entre da primeira porta e fonte do transistor SOI [V]
V_{gs}	Tensão alternada aplicada entre porta e fonte do transistor [V]
V_{GT}	Sobre-tensão de condução [V]
V_{th}	Tensão de limiar de porta do transistor MOSFET convencional [V]
$V_{\text{th,VB}\neq 0}$	Tensão de limiar de porta do transistor MOSFET convencional, adicionandoa dependência com a polarização de substrato [V]
V_{thf}	Tensão de limiar de porta do transistor SOI MOSFET [V]
$V_{\text{thf,accB}}$	Tensão de limiar de porta do transistor SOI MOSFET com a segunda interface acumulada [V]
$V_{\text{thf,deplB}}$	Tensão de limiar de porta do transistor SOI MOSFET com a segunda interface depletada [V]
$V_{\text{thf,invB}}$	Tensão de limiar de porta do transistor SOI MOSFET com a segunda interface invertida [V]
W	Largura de máscara do canal do transistor [m]

W_{AFW}	Largura média da aleta de silício em transistores FinFETs [m]
$W_{Fin\ Bottom}$	Largura da base da aleta de silício em transistores FinFETs [m]
$W_{Fin\ Top}$	Largura do topo da aleta de silício em transistores FinFETs [m]
$x_{d,máx}$	Profundidade máxima da região de depleção [m]
α	Parâmetro resultante da associação das capacitâncias do transistor MOSFET
γ	Constante de efeito de corpo. [$V^{1/2}$] em transistores convencionais. [adimensional] em transistores SOI.
ϵ_{ox}	Permissividade do óxido de silício [$3,45 \times 10^{-13}$ F/cm]
ϵ_{Si}	Permissividade do silício [$1,06 \times 10^{-12}$ F/cm]
E	Campo elétrico [V/cm]
θ	Ângulo formado pelas paredes laterais das aletas no transistor FinFET [graus]
μ_n	Mobilidade efetiva dos elétrons na região do canal [$cm^2/V.s$]
ϕ_F	Potencial de Fermi da camada de silício [V]
Φ_{gs}	Potencial da primeira interface descontando a tensão de faixa plana da primeira interface (V_{FBF}) [V]
ϕ_{MS}	Função trabalho do metal-silício [V]
ϕ_{MSF}	Função trabalho do metal-silício da primeira interface [V]
ϕ_{MSB}	Função trabalho do metal-silício da segunda interface [V]
ϕ_S	Potencial de superfície do transistor SOI [V]
ϕ_{SB}	Potencial de superfície da segunda interface do transistor SOI [V]
ϕ_{SF}	Potencial de superfície da primeira interface do transistor SOI [V]

LISTA ABREVIATURAS

AC	<i>Alternate Current</i>
BOX	<i>Buried OXide</i>
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
DC	<i>Direct Current</i>
DELTA	<i>fully DEpleted Lean-channel TrAnsistor</i>
DG	<i>Double-Gate</i>
ENG	<i>Equivalent Number of Gates</i>
FD	<i>Fully depleted</i>
FinFET	<i>Fin Field Effect Transistor</i>
GIFBE	<i>Gate Induced Floating Body Effect</i>
IMEC	<i>Interuniversity Microelectronics Center</i>
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i>
MTC	<i>Maximum Transconductance Change</i>
NFD	<i>Near-Fully depleted</i>
PD	<i>Partially Depleted</i>
RIE	<i>Reactive Ion Etching</i>
SCEs	<i>Short Channel Effects</i>
SOI	<i>Silicon-On-Insulator</i>
SRH	<i>Shockley-Read-Hall</i>
MOS	<i>Metal-Oxide-Semiconductor</i>
TG	<i>Triple-Gate</i>

1 INTRODUÇÃO

A contínua evolução e redução das dimensões dos transistores da tecnologia CMOS (*Complementary Metal-Oxide Semiconductor* - Metal-Óxido Semicondutor Complementar) convencional vem seguindo a tendência descrita pela Lei de Moore. Segundo a Lei de Moore, a densidade de transistores em circuitos integrados duplica a cada dois anos e novas tecnologias vêm permitindo manter um bom desempenho em escalas sub-micrométricas. Este é um dos principais desafios da indústria de semicondutores, devido aos diversos efeitos indesejados resultantes da redução do comprimento de canal, também conhecidos como efeitos de canal curto [1,2,3].

1.1 Variações nas Estruturas SOI MOSFET

Os dispositivos SOI MOSFET de portas múltiplas apresentam-se como uma alternativa às estruturas CMOS convencionais e SOI CMOS (*Silicon-On-Insulator* – Silício Sobre Isolante) ao possibilitarem a redução mais acentuada das dimensões dos dispositivos, sem comprometimento do desempenho [4].

Na tecnologia SOI CMOS, que já apresenta vantagens em relação à CMOS convencional, os dispositivos são construídos sobre uma fina camada de silício, separada do substrato por um óxido isolante. Esta camada de isolante possui a função de isolar a região ativa da região de substrato, visando minimizar efeitos parasitários indesejados decorrentes da redução das dimensões do dispositivo, como a maior influência das capacitâncias de junção e influências sobre a tensão de limiar pela redução do comprimento de canal [2].

Dispositivos de portas múltiplas são formados geralmente por duas, três ou quatro portas, podendo ser independentes ou interconectadas, como o caso do transistor de porta tripla, ilustrado na figura 1, onde existem três planos de porta interconectados formando um único eletrodo. A camada de silício é delimitada pelo óxido enterrado localizado abaixo. O uso de portas múltiplas em torno do canal melhora a distribuição dos portadores na região ativa do dispositivo pelo aumento da área do canal coberta pelo eletrodo de porta e conseqüente concentração de campo originado pela porta, que influencia os portadores na região do canal [5].

Alguns dispositivos de portas múltiplas vêm sendo estudados pelas indústrias, como a IBM, AMD e Toshiba, com aplicação, por exemplo, em células de memória SRAM [6]. Uma configuração de dispositivo de portas múltiplas com possível aplicação comercial é a estrutura

FinFET [7], desenvolvida pela Universidade da Califórnia, Berkeley, e baseada no conceito do transistor DELTA [8], podendo apresentar duas ou três portas.

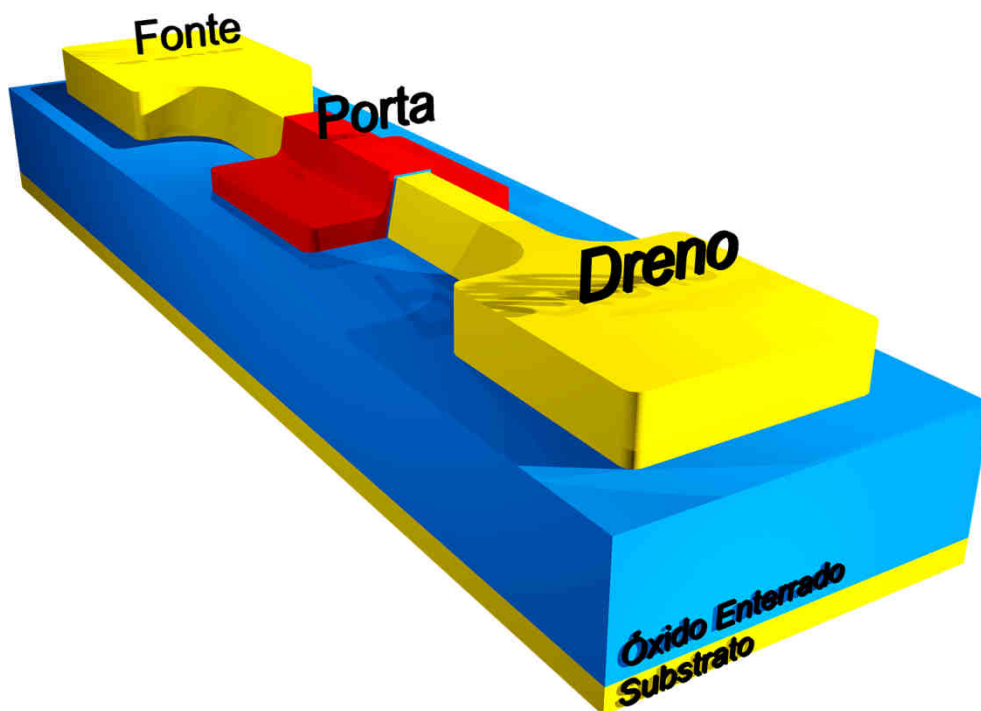


Figura 1 – Dispositivo SOI MOSFET de porta tripla.

O dispositivo SOI MOSFET de portas múltiplas é formado pelas regiões do canal, fonte e dreno, além do óxido de porta, óxido enterrado, substrato e contatos elétricos (eletrodos). Durante o processo de corrosão, podem ocorrer imperfeições ao longo das paredes laterais da aleta de silício que formará a região do canal e, com isso, o que originalmente seria uma aleta com a secção transversal retangular, termina por apresentar as paredes laterais da aleta não paralelas, podendo assumir formas diversas. Entre elas, as mais usuais são as formas trapezoidais [9], côncavas [10] ou até mesmo triangulares [11], como apresentado na figura 2.

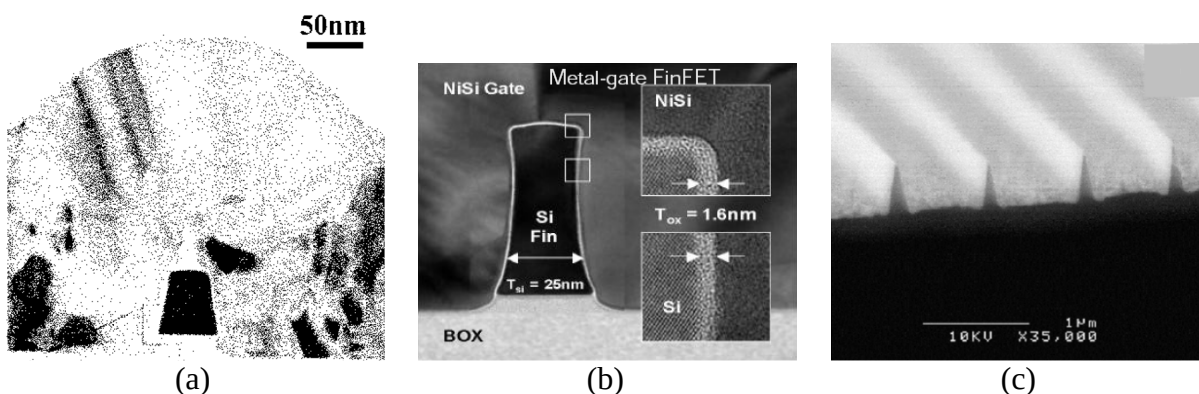


Figura 2 – Corte da secção transversal de estruturas FinFET. Aleta com formato (a) trapezoidal [9] (b) côncavo [10] (c) triangular [11].

Visto que as estruturas de portas múltiplas vêm demonstrando ser uma alternativa viável aos dispositivos planares para tecnologias abaixo dos 22 nm, o estudo dos parâmetros elétricos de dispositivos de paredes não paralelas torna-se fundamental para o entendimento dos transistores SOI construídos em tecnologia FinFET.

O presente trabalho tem como objetivos estudar os principais parâmetros elétricos de transistores de portas múltiplas de seção não retangular, e estudar os acoplamentos das cargas de condução (portadores) às portas e outras superfícies de potencial controladas pelos terminais (dreno, substrato), em especial a influência da tensão de substrato sobre a tensão de limiar.

1.2 Organização

Este trabalho está organizado em sete capítulos. O primeiro capítulo faz uma breve introdução sobre o que será discutido no trabalho. O segundo trata dos conceitos básicos, necessários para o correto entendimento dos tópicos abordados nos capítulos seguintes. O terceiro capítulo foca nos transistores FinFETs, descrevendo suas principais características físicas e elétricas. Uma breve descrição dos principais métodos de corrosão e a consequência na inclinação das paredes laterais são discutidos. O capítulo quatro introduz o simulador numérico tridimensional e suas ferramentas, juntamente dos métodos numéricos iterativos e modelos físicos que foram utilizados ao longo deste trabalho.

Finalmente, nos capítulos cinco e seis, os resultados decorrentes das simulações e medidas experimentais são apresentados, juntamente com sua análise DC e AC de pequenos sinais completa. No sétimo capítulo são apresentadas as conclusões do trabalho, juntamente da recapitulação dos principais tópicos e resultados, seguidos da proposta de sequência do trabalho. A seguir uma lista com as publicações geradas ao longo da dissertação de mestrado é apresentada, seguida pelas referências bibliográficas e pelos apêndices contendo arquivos exemplo utilizados para simulação de alguns dos dispositivos aqui estudados.

2 CONCEITOS BÁSICOS

Neste capítulo serão apresentados os transistores da tecnologia SOI (Silício-Sobre-Isolante) planar, descrevendo sua estrutura, classificação por modos de operação e as principais características analógicas destes dispositivos.

2.1 Tecnologia SOI (Silício-Sobre-Isolante)

Na tecnologia SOI os transistores são construídos em uma fina camada de silício sobre uma camada de óxido enterrado, que atua como um isolante dielétrico (BOX – *Buried Oxide*). A figura 3 ilustra o corte transversal de um transistor SOI MOSFET de canal tipo N.

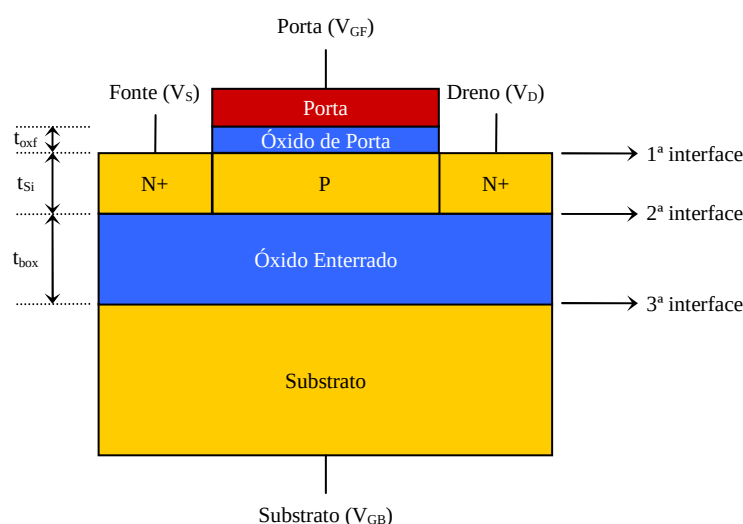


Figura 3 – Corte transversal de um transistor SOI nMOSFET.

Entre um transistor e outro existe um óxido de campo, que chega até o BOX, isolando eletricamente os transistores entre si e reduzindo os efeitos indesejados das junções parasitárias que são comuns na tecnologia CMOS convencional e, portanto, dispensando a criação de regiões mais dopadas entre os transistores. Há também a redução das capacitâncias de junção e entre regiões de fonte e dreno com o substrato. O processo de fabricação da lâmina SOI é complexo e caro, mas, em contrapartida, possui o atrativo da construção do transistor na lâmina de silício SOI ser mais simples que no processo convencional, vantagem que se soma às discutidas anteriormente.

2.1.1 Classificação dos Dispositivos SOI

Os dispositivos SOI MOSFET podem ser classificados dependendo do seu modo de funcionamento ou operação. Quanto ao modo de operação, são dois os modos dos transistores SOI MOSFET, o modo enriquecimento e o modo de acumulação, sendo o primeiro modo o mais comumente utilizado em transistores SOI nMOSFET e o segundo modo em transistores SOI pMOSFET. Se a classificação for feita pelo modo de funcionamento, esta depende da espessura da camada de silício (t_{Si}), da concentração de dopantes da camada (N_A ou N_D) e da temperatura (T), que exercem influência sobre a extensão da camada de depleção [2].

Nos dispositivos MOS convencionais, a espessura máxima da camada de depleção formada ao ser aplicada uma tensão igual ou superior à tensão de limiar no eletrodo de porta do dispositivo é descrita pela equação (1) e ilustrada na figura 4 (a):

$$x_{d,máx} = \sqrt{\frac{2 \cdot \epsilon_{Si} \cdot 2 \cdot \phi_F}{q \cdot N_A}}, \text{ onde: } \phi_F = \frac{k \cdot T}{q} \cdot \ln\left(\frac{N_A}{n_i}\right) \quad (1)$$

onde, ϵ_{Si} representa a permissividade do silício, ϕ_F é o potencial de Fermi, N_A e n_i são a concentração impurezas aceitadoras e a concentração intrínseca, respectivamente, k é a constante de Boltzmann, q a carga elementar do elétron e T a temperatura absoluta.

A dependência com a espessura da camada de silício que há nos transistores da tecnologia SOI é muito importante e leva a três tipos distintos de dispositivos, que são o totalmente depletado, o perto da depleção total e o parcialmente depletado. A figura 4 apresenta os diagramas de faixa de energia do transistor MOS convencional (a), do transistor SOI parcialmente depletado (b), e do transistor SOI totalmente depletado (c), polarizados na tensão de porta igual à tensão de limiar.

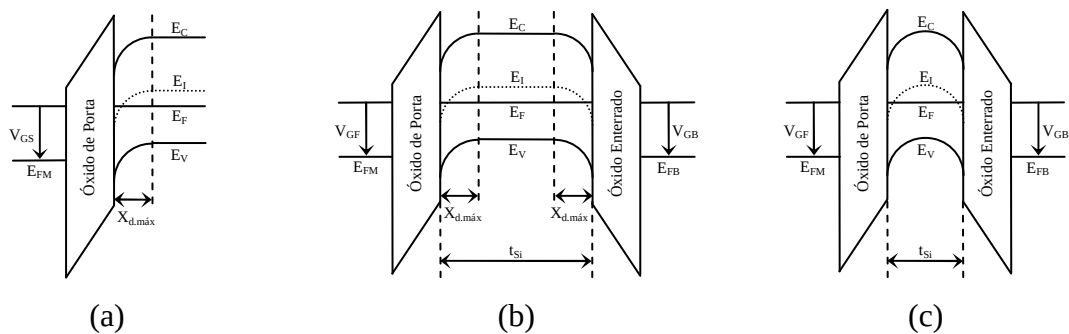


Figura 4 – Diagramas de faixa de energia em transistores MOS convencionais (a), transistores SOI parcialmente depletados (b), e transistores SOI totalmente depletados (c).

onde, E_V e E_C são, respectivamente, o nível energético superior da Faixa de Valência e o nível energético inferior da Faixa de Condução, E_I representa o nível Intrínseco, E_F o nível de Fermi do semiconductor, e E_{FM} e E_{FB} representam, respectivamente, o nível de Fermi do eletrodo de porta e o nível de Fermi do substrato. V_{GF} e V_{GB} são as tensões aplicadas a primeira e segunda porta, respectivamente.

No caso do transistor parcialmente depletado (*Partially Depleted SOI* - PDSOI), a espessura da camada de silício é maior que duas vezes a espessura máxima da camada de depleção ($t_{Si} > 2 \cdot x_{d,máx}$), fazendo com que nunca exista qualquer interação entre as regiões de depleção originadas a partir da primeira e segunda interfaces, independentemente das tensões aplicadas na porta e no substrato, restando, portanto, uma faixa neutra entre as duas regiões, como apresentado na figura 4 (b). Se um contato elétrico for ligado à região neutra do silício e for aterrado, o transistor terá um comportamento equivalente à de um transistor MOSFET convencional, mas caso a região neutra do silício seja deixada flutuando, o transistor poderá sofrer alguns efeitos indesejados de corpo flutuante, como o efeito da elevação abrupta da corrente (efeito *Kink*) e o efeito do transistor bipolar parasitário NPN [12].

O transistor totalmente depletado (*Fully Depleted SOI* - FDSOI) possui uma fina camada de silício que forma a região do canal, a qual é menor que a espessura máxima da camada de depleção ($t_{Si} < x_{d,máx}$) e, com isso, para tensões de porta igual ou superior à tensão de limiar do dispositivo, as regiões de depleção providas de ambas as interfaces estarão sempre em contato e seguramente todo o canal estará depletado, como apresentado na figura 4 (c), desde que não ocorra uma polarização de substrato negativa o suficiente para que se forme uma camada de acumulação junto à segunda interface. Tal característica permite que o dispositivo esteja com o potencial de ambas as interfaces eletricamente acoplados, apresentando vantagens muito interessantes, quando comparado aos demais dispositivos SOI, como a alta transcondutância [13], menor susceptibilidade ao efeito de canal curto [14], melhor comportamento na região de sublimiar e imunidade ao efeito *Kink*.

Um terceiro caso pode ainda existir, onde o dispositivo pode estar totalmente depletado ou parcialmente depletado, dependendo da polarização da porta e do substrato. Nesta situação temos um dispositivo classificado como perto da depleção total (*Near Fully Depleted SOI* - NFDSOI), com uma camada de silício de espessura média, que possui uma operação intermediária entre os dois casos descritos anteriormente e, portanto, a espessura da camada de silício fica entre uma e duas vezes a espessura máxima da camada de depleção ($x_{d,máx} < t_{Si} < 2 \cdot x_{d,máx}$). Caso a polarização da porta e do substrato seja tal que as zonas de depleção providas de ambas as interfaces se encontrem, o dispositivo se comportará

como um transistor totalmente depletado, figura 4 (c), entretanto se as zonas de depleção não se encontrarem o dispositivo irá se comportar como um transistor parcialmente depletado, figura 4 (b).

2.1.2 Efeitos de Canal Curto

Conforme o comprimento de canal é reduzido, a largura da camada de depleção das junções de dreno e fonte torna-se comparável ao comprimento do canal. Dessa forma, a distribuição do potencial no canal depende do campo elétrico transversal e longitudinal (controlados pelas polarizações de porta/substrato e dreno respectivamente). Desta forma a distribuição do potencial torna-se bidimensional e a aproximação do canal gradual com o campo transversal muito superior ao longitudinal não é mais válida. A dependência do potencial com o campo longitudinal resulta na degradação da inclinação de sublimiar, dependência da tensão de limiar com o comprimento do canal e tensões de polarização e comprometimento da corrente de saturação devido à sobreposição das regiões de carga espacial do dreno e da fonte fazendo com que a corrente flua pelo substrato (*punch-through*), o que limita a tensão máxima de operação do transistor.

O aumento do campo elétrico torna a mobilidade do canal dependente do campo e, eventualmente, a corrente de saturação ocorre. O aumento contínuo do campo causa a multiplicação de portadores, levando a corrente de substrato e ao transistor bipolar parasita. Altos campos causam também a injeção de portadores quentes no óxido, causando o carregamento do óxido e conseqüente variação da corrente de tensão de limiar e degradação da transcondutância [15].

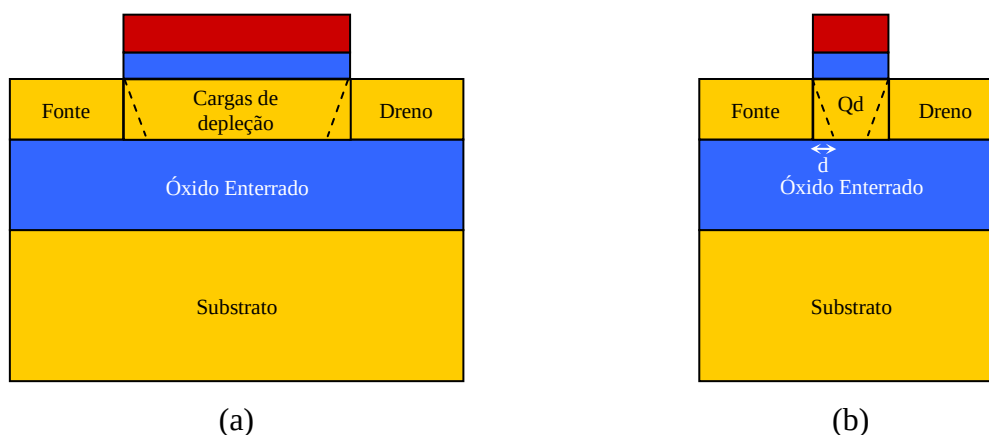


Figura 5 – Parcela das cargas de depleção controladas pela fonte e pelo dreno para (a) canal longo, e para (b) canal curto.

A utilização da tecnologia SOI minimiza a degradação do desempenho do transistor causada pelos efeitos de canal curto. A figura 5 (a) e (b) apresenta a redução do comprimento do canal e o comportamento do volume da camada de depleção da porta, dreno e fonte. Na tecnologia SOI, a largura da camada de depleção das junções de dreno e fonte mantém-se relativamente menores do que o comprimento do canal, portanto, minimizando os efeitos de canal curto.

2.2 Parâmetros Elétricos do Transistor SOI

Nesta seção são apresentados os principais parâmetros elétricos nos transistores SOI utilizados nos capítulos posteriores, focando os dispositivos totalmente depletados planares de porta única.

2.2.1 Tensão de Limiar

A tensão de limiar de um transistor MOSFET planar de porta única é classicamente definida como sendo a tensão que quando aplicada no eletrodo de porta, eleva o potencial na superfície da camada de silício para $2 \cdot \phi_F$. No transistor MOSFET convencional de canal tipo N e nos transistores SOI MOSFET parcialmente depletados ou quase totalmente depletados cujas depleções não estejam em interação, a tensão de limiar é expressa por [15]:

$$V_{thf} = V_{FB} + 2 \cdot \phi_F + \frac{q \cdot N_A \cdot x_{d,máx}}{C_{ox}}, \text{ onde: } V_{FB} = \phi_{MS} - \frac{Q_{ox}}{C_{ox}} \text{ e } C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (2)$$

V_{FB} é a tensão de faixa plana, ϕ_{MS} é a diferença da função trabalho do metal-silício, e Q_{ox} a densidade de carga efetiva fixa no óxido de porta por unidade de área.

Nos transistores SOI MOSFET totalmente depletados, as relações que descrevem o acoplamento das cargas existente entre a porta e o substrato, derivadas das equações de Lim & Fossum, são apresentadas nas equações (3) e (4), desprezando-se as armadilhas de interface [16]:

$$V_{GF} = \phi_{MSF} - \frac{Q_{oxf}}{C_{oxf}} + \left(1 + \frac{C_{Si}}{C_{oxf}}\right) \phi_{SF} - \frac{C_{Si}}{C_{ox}} \phi_{SB} - \frac{\frac{1}{2} Q_{depl} + Q_{invf}}{C_{oxf}} \quad (3)$$

$$V_{GB} = \phi_{MSB} - \frac{Q_{oxb}}{C_{oxb}} - \frac{C_{Si}}{C_{oxb}} \phi_{SF} + \left(1 + \frac{C_{Si}}{C_{oxb}}\right) \phi_{SB} - \frac{\frac{1}{2} Q_{depl} + Q_{SB}}{C_{oxb}} \quad (4)$$

onde Q_{oxf} e Q_{invf} são as densidades de carga fixa e de carga de inversão na primeira interface do transistor SOI ($Q_{invf} < 0$) por unidade de área. $Q_{depl} = -q \cdot N_A \cdot t_{Si}$ é a carga de depleção na camada de silício por unidade de área, Q_{oxb} é a carga fixa na segunda interface por unidade de área, Q_{SB} é a densidade de carga de inversão ($Q_{SB} < 0$) ou de acumulação ($Q_{SB} > 0$) da segunda interface por unidade de área. ϕ_{MSF} e ϕ_{MSB} são respectivamente a diferença de função trabalho entre a porta e a camada de silício e a diferença de função trabalho entre o substrato e a camada de silício. C_{oxf} e C_{oxb} são, respectivamente, as capacitâncias do óxido de porta e do óxido enterrado do dispositivo por unidade de área.

As equações (3) e (4) descrevem as relações de acoplamento entre a porta e o substrato em um SOI nMOSFET totalmente depletado. Combinando-as chegamos à dependência da tensão de limiar do dispositivo:

Segunda interface acumulada ($V_{thf,accB}$) ($\phi_{SF} = 2 \cdot \phi_F$, $\phi_{SB} = 0$ e $Q_{invf} = 0$):

$$V_{thf,accB} = \phi_{MSF} - \frac{Q_{oxf}}{C_{oxf}} + \left(1 + \frac{C_{Si}}{C_{oxf}}\right) 2 \cdot \phi_F - \frac{C_{depl}}{2 \cdot C_{oxf}} \quad (5)$$

Segunda interface invertida ($V_{thf,invB}$) ($\phi_{SF} = 2 \cdot \phi_F$, $\phi_{SB} = 2 \cdot \phi_F$ e $Q_{invf} = 0$):

$$V_{thf,invB} = \phi_{MSF} - \frac{Q_{oxf}}{C_{oxf}} + 2 \cdot \phi_F - \frac{C_{depl}}{2 \cdot C_{oxf}} \quad (6)$$

Segunda interface depletada ($V_{thf,deplB}$) ($\phi_{SF} = 2 \cdot \phi_F$ e $Q_{invf} = Q_{SB} = 0$):

$$V_{thf,deplB} = V_{thf,accB} - \frac{C_{Si} \cdot C_{oxb}}{C_{oxf}(C_{Si} + C_{oxb})} + (V_{GB} - V_{GB,accB}) \quad (7)$$

onde $V_{GB,accB}$ é a tensão aplicada ao substrato que leva à sua acumulação. Estas equações são válidas apenas caso a espessura das regiões de inversão e acumulação sejam desprezíveis.

2.2.2 Efeito de corpo

O efeito de corpo é definido como a dependência da tensão de limiar da porta com a tensão no substrato. O efeito de corpo é descrito por equações distintas conforme o tipo de estrutura.

2.2.2.1 Transistor convencional

A partir da equação (2) da tensão de limiar no transistor nMOSFET convencional sem efeito de corpo, substituindo $x_{d,máx}$ e V_{FB} e desenvolvendo a equação obtêm-se:

$$V_{th} = \phi_{MS} - \frac{Q_{ox}}{C_{ox}} + 2\phi_F + \frac{\sqrt{2 \cdot \epsilon_{Si} \cdot q \cdot N_A \cdot 2\phi_F}}{C_{ox}} \quad (8)$$

Adicionando a influência do potencial de substrato à equação (8), resulta na equação (9), com a dependência da tensão de limiar com a polarização de substrato [17] presente no último termo da equação (9). A constante de efeito de corpo é representada por γ [2].

$$V_{th,VB \neq 0} = V_{th,VB=0} + \gamma(\sqrt{2\phi_F - V_B} - \sqrt{2\phi_F}) \quad (9)$$

$$\text{onde: } \gamma = \frac{\sqrt{2 \cdot \epsilon_{Si} \cdot q \cdot N_A}}{C_{ox}} [V^{1/2}] \quad \text{Constante de efeito de corpo.}$$

Nesta equação, conforme V_B se torna mais negativo, V_{th} cresce seguindo a função da raiz quadrática $\sqrt{2\phi_F - V_B}$. Visto que o termo dependente da tensão de substrato é multiplicado pela constante de efeito de corpo, quanto menor γ for, menor será a variação de V_{th} em função da polarização de substrato, sendo a constante γ classificada como um índice de mérito da tecnologia empregada. Quanto menor for o seu valor, melhor será a tecnologia [18].

2.2.2.2 Transistor SOI Planar de Porta Única

Nos transistores SOI parcialmente depletados não ocorre o acoplamento entre as interfaces, pois as camadas de depleção provenientes de ambas as interfaces não entram em contato e, portanto, a tensão de limiar não sofre influência da polarização de substrato. Se um contato for ligado no corpo do transistor, um comportamento idêntico ao do transistor convencional será observado na tensão de limiar ao variar-se a tensão aplicada neste contato.

Caso o contato ligado no corpo seja deixado flutuante, V_B variará de acordo com os efeitos capacitivos e as correntes nas junções PN e de tunelamento na porta, que influenciarão a tensão de limiar e poderão dar origem ao efeito chamado *Kink* [2].

A variação da tensão de limiar nos transistores SOI MOSFET totalmente depletados em função da condição de polarização do substrato é descrita pelas equações (5), (6) e (7) e o efeito de corpo, representado por α e adimensional, é apresentado na equação (10). A figura 6 apresenta a variação de V_{thf} em função de V_{GB} para dispositivos SOI MOSFET totalmente depletados, comparando o dispositivo SOI MOSFET teórico e experimental [2].

$$\alpha = -\frac{dV_{thf,deplB}}{dV_{GB}} = \frac{\epsilon_{Si} \cdot C_{oxb}}{C_{oxf}(t_{Si} \cdot C_{oxb} + \epsilon_{Si})} \quad (10)$$

Constante de efeito de corpo válida para transistores SOI MOSFET totalmente depletados.

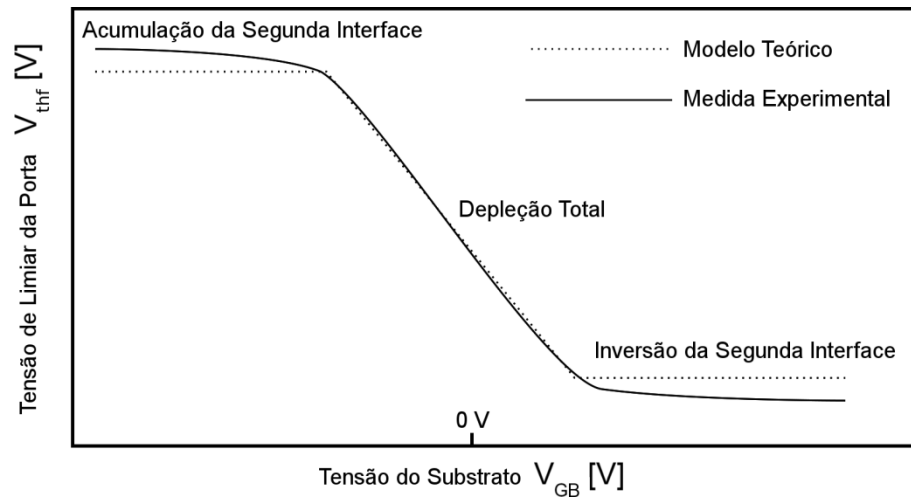


Figura 6 – Comparação da variação em V_{thf} em função de V_{GB} para dispositivos SOI MOSFET totalmente depletados, modelo teórico e medida experimental [2].

Quando a segunda interface estiver em acumulação, V_{thf} permanecerá constante, e no caso da segunda interface estar em inversão, V_{thf} também se manterá constante. A transição da zona de acumulação da segunda interface para a inversão da mesma através da zona de depleção ocorre de forma linear.

O uso da tecnologia SOI proporciona a redução da influência da polarização do substrato sobre a tensão de limiar e, conseqüentemente, sobre a corrente de dreno.

2.2.3 Inclinação de Sublimiar

Quando tensões de porta inferiores à tensão de limiar são aplicadas à porta do transistor, observa-se que a corrente de dreno não é igual à zero. Durante este regime de operação, a corrente de dreno, formada pela corrente de difusão, cresce exponencialmente com o aumento da tensão de porta. A inclinação de sublimiar (S) é definida como o inverso da derivada do logaritmo da corrente de dreno I_{DS} em função da tensão de porta [19], como descrito na equação (11) e apresentado na figura 7:

$$S = \frac{dV_{GS}}{d(\log I_{DS})} \quad (11)$$

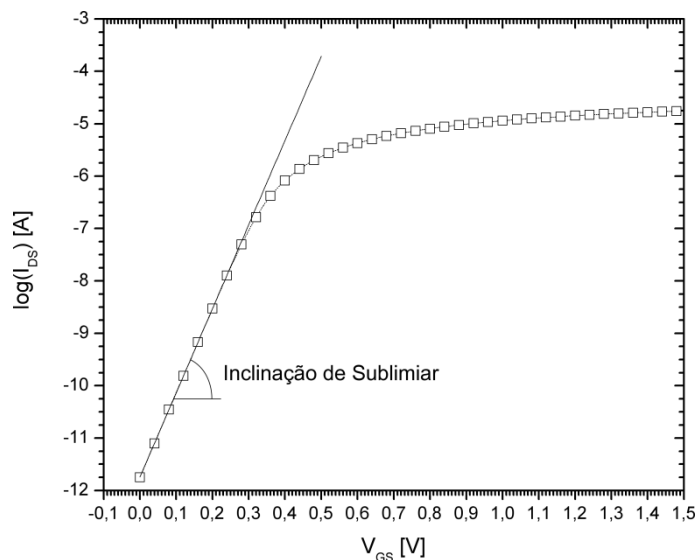


Figura 7 – Inclinação de sublimiar utilizada para caracterizar o funcionamento do dispositivo.

Quanto menor é a relação $dV_{GS} / d(\log I_{DS})$, mais vertical é a inclinação e, portanto, melhor o transistor responde, já que com uma pequena variação na tensão de porta, a corrente de dreno sofre uma grande variação. Estes fatos são importantes para a evolução dos dispositivos visto que as tensões de alimentação tendem a ser cada vez menores [20].

Devido à baixa tensão que é aplicada à porta do transistor, e conseqüentemente um baixo campo elétrico ao longo do canal, a inclinação de sublimiar é independente da corrente de deriva, sendo a corrente de dreno predominantemente de difusão [15], conforme a equação (12).

$$I_{DS} = -q \cdot A \cdot D_n \frac{dn}{dy} \quad (12)$$

onde A é a área da secção transversal da região do canal pelo qual os elétrons fluem. D_n é o coeficiente de difusão para os elétrons.

2.2.3.1 Transistor convencional

O nMOSFET convencional apresenta inclinação de sublimiar, desprezando-se as armadilhas de interface, conforme a equação (13):

$$S = \frac{k \cdot T}{q} \ln(10) \cdot (1 + \alpha), \text{ onde: } \alpha = \frac{C_{depl}}{C_{ox}} \quad (13)$$

onde α representa a razão entre as capacitâncias de depleção e óxido de porta, denominado como fator de acoplamento capacitivo. Eletricamente, isso equivale a dizer que existem dois capacitores ligados em série, a capacitância da região de depleção mais a capacitância do óxido de porta, conforme apresentado na figura 8.



Figura 8 – Circuito elétrico capacitivo equivalente no transistor convencional.

Valores típicos da inclinação de sublimiar em transistores nMOSFET convencionais variam de 80 mV/déc a 120 mV/déc [21].

2.2.3.2 Transistor SOI

No transistor SOI nMOSFET planar de porta única com a segunda interface acumulada, com a equação de sublimiar semelhante ao caso do nMOSFET convencional, também ocorrem dois capacitores em série (C_{Depl} e C_{ox}), mas a capacitância da sua depleção é maior que a do transistor convencional, pois no transistor SOI a espessura da camada de silício é limitada pelo óxido enterrado e, portanto, $C_{Depl} = C_{Si}$ no SOI totalmente depletado. As equações (14) e (15) comparam, respectivamente, a capacitância da região de depleção entre os dispositivos convencional e SOI totalmente depletado, que se diferem em função da profundidade da camada de depleção.

$$C_{\text{Depl,Convencional}} = \frac{\epsilon_{\text{Si}}}{x_{\text{d.máx}}} \quad (14)$$

$$C_{\text{Depl,FDSOI}} = \frac{\epsilon_{\text{Si}}}{t_{\text{Si}}} \quad (15)$$

Lembrando que $x_{\text{d.máx}} > t_{\text{Si}}$, a capacitância de depleção e, conseqüentemente, a capacitância total da associação série no nMOSFET convencional é menor que a do transistor SOI MOSFET com a segunda interface acumulada. A figura 9 apresenta o circuito elétrico capacitivo equivalente para o transistor SOI nMOSFET com a segunda interface acumulada.

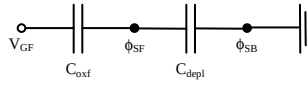


Figura 9 – Circuito elétrico capacitivo equivalente no transistor SOI nMOSFET com a segunda interface acumulada.

No caso do transistor SOI nMOSFET com a segunda interface depletada, ou seja, quando o transistor está totalmente depletado, existem três capacitores ligados em série (C_{oxf} , C_{Si} , e C_{oxb}), em oposição aos casos anteriores, com o circuito elétrico capacitivo equivalente ilustrado na figura 10. Nesta situação, o valor de α passa a ser descrito pela equação (16):

$$\alpha = \frac{C_{\text{Si}} \cdot C_{\text{oxb}}}{C_{\text{oxf}}(C_{\text{Si}} + C_{\text{oxb}})} \quad (16)$$

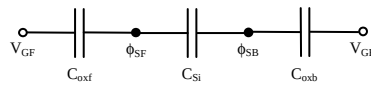


Figura 10 – Circuito elétrico capacitivo equivalente no transistor SOI nMOSFET com a segunda interface depletada.

Devido à presença destes três capacitores ligados em série, o transistor SOI nMOSFET totalmente depletado apresenta a menor capacitância série total equivalente dentre os três descritos.

Com isso, a inclinação de sublimiar resultante apresentará uma melhor resposta, visto que a inclinação de sublimiar é diretamente proporcional à capacitância série equivalente. Portanto:

$$\alpha_{\text{SOI totalmente depletado}} < \alpha_{\text{MOS Convencional}} < \alpha_{\text{SOI com segunda interface acumulada}}$$

A figura 11 ilustra a comparação da inclinação esquemática de sublimiar para as três configurações descritas anteriormente, onde quanto menor é a sua inclinação, ou seja, mais vertical, mais rapidamente o transistor responde às tensões aplicadas em sua porta.

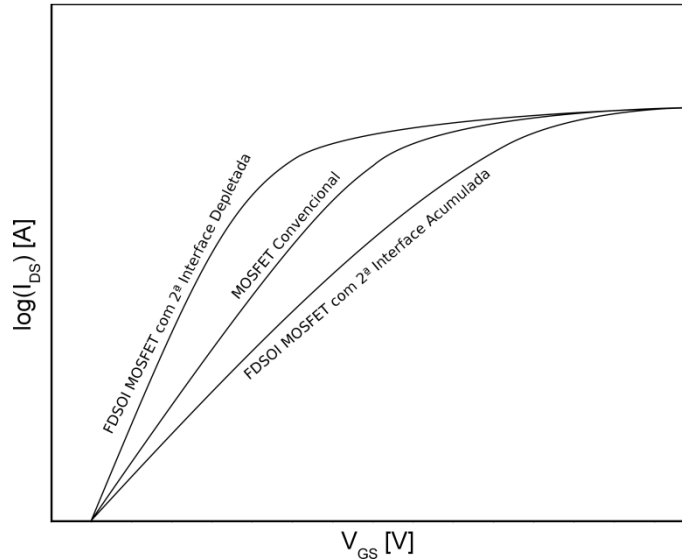


Figura 11 – Gráfico comparativo da inclinação de sublimiar entre as três configurações descritas anteriormente.

Os transistores SOI nMOSFET totalmente depletados apresentam, em temperatura ambiente (300 K), a inclinação de sublimiar em torno de 60 mV/déc, ficando muito próximo do limite teórico de aproximadamente 59,637 mV/déc em temperatura ambiente, onde a capacitância série total tende a zero ($\alpha = 0$) [2].

2.2.4 Transcondutância

A transcondutância (g_m) mostra o quanto a corrente de dreno é sensível à variação da tensão aplicada na porta do transistor, através do seu controle sobre as cargas na região ativa do canal. A transcondutância pode ser definida pela equação (17).

$$g_m = \frac{dI_{DS_{sat}}}{dV_{GF}}, \text{ para } V_{DS} \text{ constante} \quad (17)$$

A partir das equações de corrente de dreno nas regiões de triodo, equação (18), e saturação, equação (20), é possível resolver a transcondutância no SOI MOSFET totalmente depletado em ambas as regiões de operação:

Região de triodo:

$$I_{DS} = \mu_n \cdot C_{oxf} \frac{W}{L} \left[(V_{GF} - V_{th}) V_{DS} - (1 + \alpha) \frac{V_{DS}^2}{2} \right] \quad (18)$$

$$g_m = \mu_n \cdot C_{oxf} \frac{W}{L} V_{DS} \quad (19)$$

Região de saturação:

$$I_{DS} = \frac{\mu_n \cdot C_{oxf}}{(1 + \alpha)} \frac{W}{L} \frac{1}{2} (V_{GF} - V_{thf})^2 \quad (20)$$

$$g_m = \frac{\mu_n \cdot C_{oxf}}{(1 + \alpha)} \frac{W}{L} (V_{GF} - V_{thf}) \quad (21)$$

onde α depende do acoplamento capacitivo. Esta expressão é válida para transistores convencionais e transistores SOI planares de porta única parcialmente e totalmente depletados. W e L são respectivamente a largura e o comprimento do canal, e μ_n a mobilidade dos elétrons.

Recapitulando a relação do acoplamento capacitivo (α):

$$\alpha_{\text{SOI totalmente depletado}} < \alpha_{\text{MOS Convencional}} < \alpha_{\text{SOI com segunda interface acumulada}}$$

Nos transistores SOI MOSFET totalmente depletados, assim como foi discutido na seção 2.2.1, a segunda interface pode se apresentar acumulada ou depletada dependendo do potencial V_B aplicado, valendo ainda as mesmas relações de α para cada situação da segunda interface, discutidas na seção 2.2.3. Como consequência, a transcondutância é maior em dispositivos SOI totalmente depletados, menor nos dispositivos convencionais e ainda menor em dispositivos SOI com a segunda interface acumulada.

2.2.5 Relação g_m/I_{DS}

A relação g_m/I_{DS} está diretamente ligada ao desempenho do circuito, sendo a medida da eficiência do dispositivo em atingir a amplificação da corrente de dreno em função da

energia fornecida ao dispositivo. Em transistores MOSFET convencionais e SOI, o valor de máxima eficiência é atingido na inversão fraca [22], descrito pela equação (22), e decresce com a corrente de dreno na inversão forte [23], descrito pela equação (23):

$$\frac{g_m}{I_{DS}} = \frac{q}{(1 + \alpha)k \cdot T} \quad (22)$$

$$\frac{g_m}{I_{DS}} = \sqrt{\frac{2 \cdot \mu_n \cdot C_{oxf} \cdot W/L}{(1 + \alpha)I_{DS}}} \quad (23)$$

Como consequência do menor acoplamento capacitivo (α) discutido na seção 2.2.4, dispositivos SOI MOSFET totalmente depletados apresentarão valores maiores de g_m/I_{DS} do que os dispositivos convencionais, podendo atingir um valor máximo de 35 V^{-1} em dispositivos SOI MOSFET totalmente depletados e em torno de 25 V^{-1} nos convencionais [24].

2.2.6 Condutância de Saída

A condutância de saída (g_d), ou condutância de dreno, representa a variação da corrente de dreno em função da tensão aplicada no dreno, responsável pelo campo elétrico horizontal. A condutância de saída é descrita pela equação (24):

$$g_d = \frac{dI_{DS}}{dV_{DS}} \quad (24)$$

onde V_{GF} é polarizado em:

$$\begin{aligned} V_{GF} > V_{DS} + V_{th} &\rightarrow \text{triodo} \\ V_{GF} < V_{DS} + V_{th} &\rightarrow \text{saturação} \end{aligned}$$

No modelo de primeira ordem descrito pela equação (24), g_d seria igual a zero quando o dispositivo operasse em saturação. No entanto, devido a efeitos de segunda ordem, entre eles a influência da resistência de fonte e dreno causada pelas respectivas regiões de depleção, a corrente de dreno em função da tensão de dreno apresenta inclinação diferente de zero na saturação.

2.2.7 Ganho Intrínseco de Tensão

O ganho intrínseco de tensão (A_V) é um parâmetro muito utilizado na análise analógica de dispositivos e circuitos. Conforme os transistores vêm se tornando menores e operando em velocidades maiores, as suas propriedades analógicas degradam-se, devido a efeitos indesejados, como o efeito de canal curto e a degradação da condutância de saída conforme o comprimento do canal é reduzido.

Definido pela equação (25), valores maiores de ganho de tensão em dispositivos SOI totalmente depletados são observados devido à relação g_m/I_{DS} ser superior nestes dispositivos [2].

$$A_V = \frac{g_m}{g_d} \quad (25)$$

2.3 Evolução dos Dispositivos SOI

A estrutura MOS convencional evoluiu dando origem à tecnologia SOI, melhorando as características elétricas dos dispositivos, permitindo a redução contínua das dimensões dos transistores. Vale lembrar que a redução do comprimento de canal prejudica o controle efetivo da porta sobre as cargas na região ativa do canal.

Mantendo em mente os benefícios das estruturas CMOS planares de porta única já conhecidas e a necessidade de se ter um controle mais eficiente sobre as cargas presentes na região ativa do canal, estruturas de múltiplas portas foram desenvolvidas e algumas delas tornam-se atrativas, devido à sua fácil implementação no processo de fabricação utilizando-se das técnicas já existentes de fabricação da tecnologia SOI CMOS planar de porta única. Tais estruturas permitem a redução do comprimento de canal a dimensões inferiores a 22 nm [6] pela minimização do efeito de canal curto e permitindo a elevação da corrente de dreno. A corrente de dreno fornecida pelo dispositivo de portas múltiplas é maior do que em dispositivos de porta única, pois a superfície da interface com a porta é maior [4]. A figura 12 ilustra a evolução dos transistores SOI MOSFET em direção aos dispositivos de portas múltiplas [4].

Duas estruturas SOI CMOS de portas múltiplas serão apresentadas, sendo elas a estrutura de Porta Dupla (*Double Gate* - DG) e a estrutura de Porta Tripla (*Triple Gate* – TG).

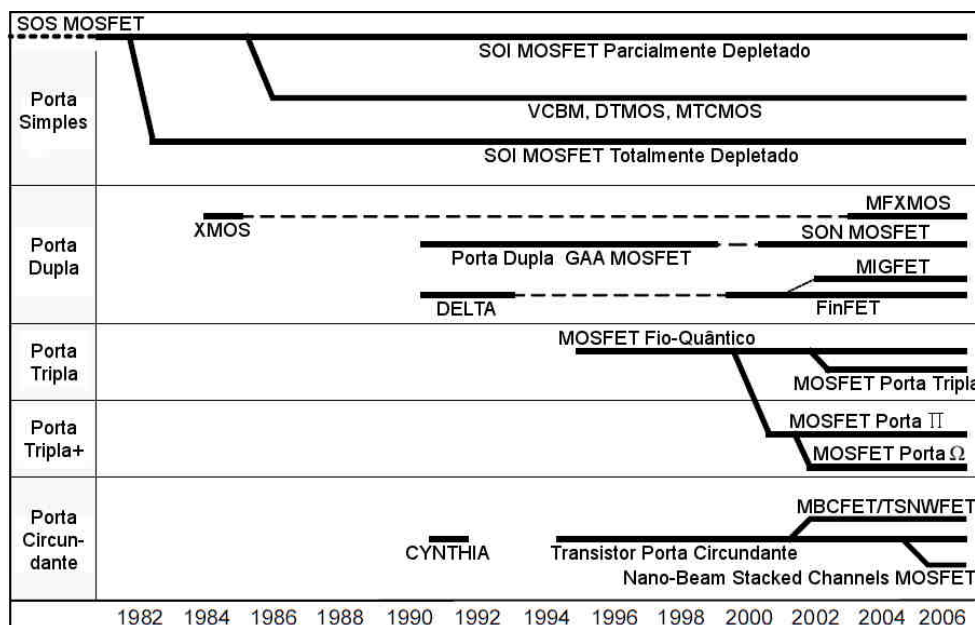


Figura 12 – Linha do tempo da evolução das estruturas SOI MOSFET [4].

2.3.1 Transistor SOI DELTA ou FinFET de Porta Dupla (*Double-Gate* - DG)

O transistor SOI MOSFET de porta dupla, do inglês *Double Gate* - DG, proporciona uma grande redução na influência das linhas de campo geradas pela fonte e o dreno sobre o controle das cargas do canal pelas portas do transistor, o que minimiza os efeitos decorrentes da redução do comprimento de canal (efeito de canal curto) discutidos anteriormente, através da formação de um transistor totalmente depletado com duas portas interconectadas, permitindo o melhor controle sobre as cargas na região de depleção do transistor quando comparado ao SOI MOSFET planar de porta única pela maior área do canal coberta (e portanto controlada) pela porta. O primeiro estudo da estrutura de porta dupla foi publicado em 1984 por T. Sekigawa e Y. Hayashi e o dispositivo foi denominado na época de XMOS, devido ao seu formato, apresentando uma porta acima do canal e outra abaixo do canal [25]. Em 1989 foi fabricado o primeiro transistor de porta dupla utilizando a tecnologia SOI MOSFET e foi denominado DELTA (*fully DEpleted Lean-channel TrAnsistor* – Transistor Totalmente Depletado de Canal Estreito) e está representado na figura 13, construído verticalmente em uma fina e alta aleta de silício sobre o óxido enterrado, com o óxido de porta e o contato de porta circundando a aleta de silício, sendo o óxido de porta no topo do canal mais espesso que os laterais, fazendo com que a influência causada pela porta superior

sobre as cargas na região ativa do canal seja desprezível. Os contatos de fonte e dreno ficam dispostos nas extremidades da aleta [26].

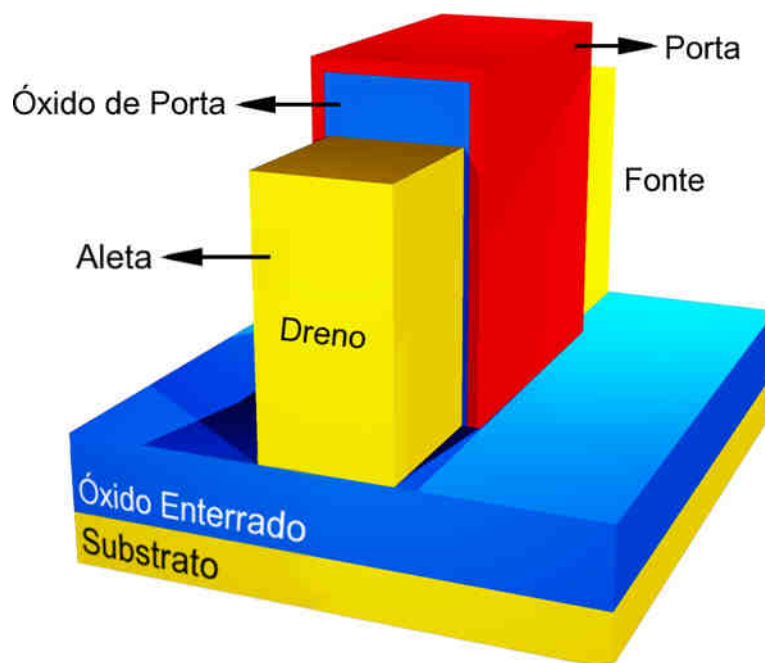


Figura 13 – Estrutura SOI MOSFET de porta dupla.

Outros benefícios além da redução dos efeitos de canal curto foram atingidos nas novas estruturas, como a melhora na inclinação de sublimar, ficando mais próxima do seu limite teórico, a obtenção de valores da corrente de dreno próximos ao dobro quando comparados a dispositivos de porta única em canais de mesmas dimensões pela presença de dois canais e a proporcionalidade da corrente à largura do canal [2], o aparecimento da inversão de volume e o aumento da transcondutância. Outras estruturas SOI MOSFET de canal vertical surgiram, como o FinFET de porta dupla [27] que diferencia-se em relação ao transistor DELTA pela maior espessura de óxido de porta no topo do canal, o MFXMOX [28], o condutor- triangular (*triangular-wire*) [29], e o canal-delta (*Δ -channel*) [30].

2.3.2 Transistor SOI FinFET de Porta Tripla (*Triple Gate* - TG)

Seguindo as mesmas características e tendências dos dispositivos de porta dupla, o transistor denominado porta tripla, do inglês *Triple-Gate* – TG, possui três portas

interconectadas construídas sobre três lados de uma fina e alta aleta de silício, com a fonte e o dreno localizados nas extremidades da aleta de silício e representado na figura 14.

A integridade eletrostática dos campos elétricos atuantes sobre o canal pode ser melhorada estendendo-se as portas laterais para dentro do óxido enterrado, ficando em um nível inferior à base do canal. Tais estruturas são conhecidas como estruturas Porta- Π (Π -Gate) [31,32] e Porta- Ω (Ω -Gate) [33], possuindo um número efetivo de portas equivalente entre três e quatro, comumente também chamados de dispositivos Porta-3+ (*Triple-Plus-Gate*). Esta extensão das portas laterais originando uma pseudoporta inferior proporciona benefícios às características elétricas do dispositivo, aumentando o controle da porta sobre a região ativa do canal e aumentando a imunidade do canal à influência do campo elétrico induzido pelas regiões de fonte e dreno, além de eventuais polarizações do substrato que podem influenciar as condições de operação do dispositivo [34].

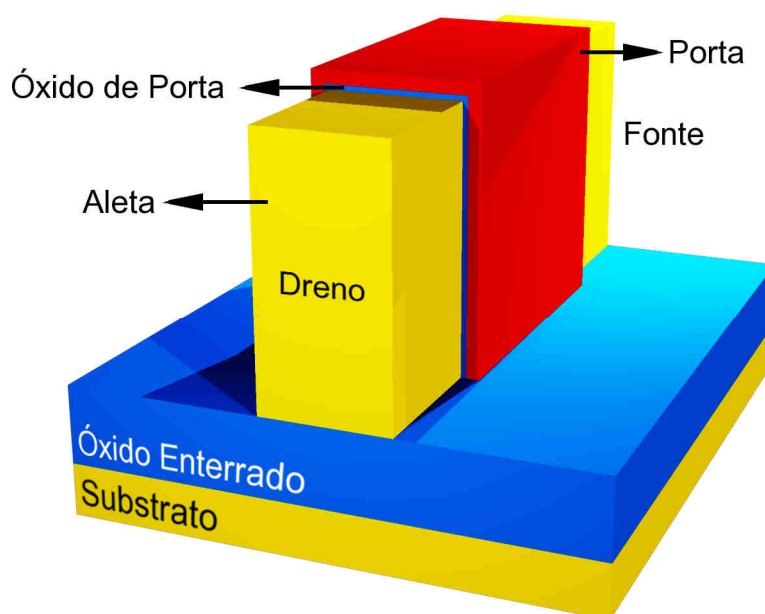


Figura 14 – Estrutura SOI MOSFET de porta tripla.

3 O TRANSISTOR FINFET DE PORTA TRIPLA

Conforme já foi discutido nas seções anteriores, dentre as diversas estruturas investigadas nos últimos anos por pesquisadores de dispositivos eletrônicos, com o objetivo de alcançar melhores desempenhos nos transistores e maior densidade de integração em circuitos integrados, os dispositivos SOI de portas múltiplas apresentam melhor controle das cargas no canal e são menos susceptíveis aos efeitos de canal curto [2,3] do que os transistores MOS convencionais, principalmente em dispositivos com aletas mais estreitas. Alguns dispositivos de portas múltiplas, incluindo o FinFET, também apresentam vantagens relacionadas à melhoria da corrente de dreno e imunidade aos efeitos de canal curto [35,36,37]. O transistor SOI FinFET de porta tripla será o foco deste trabalho a partir deste ponto e, portanto, uma abordagem mais detalhada de suas características é realizada.

Os dispositivos FinFETs foram inicialmente desenvolvidos a partir de variações na tecnologia SOI, mas alguns transistores FinFETs convencionais (sem o óxido enterrado) também foram pesquisados recentemente [38,39]. O transistor FinFET foi originado a partir do transistor DELTA (*fully DEpleted Lean-channel TrAnsistor* – Transistor Totalmente Depletado de Canal Estreito), do qual originalmente diferenciava-se pela maior espessura de óxido de porta no topo do canal, chamada de *hard-mask*. Ele sofreu melhorias em seu processo de fabricação e a oxidação térmica de porta passou a ser realizada nos três lados da aleta de forma igual. Com isso, não há mais a diferenciação na espessura de óxido de porta no topo do canal para as paredes laterais, obtendo uma espessura de óxido de porta uniforme. Como resultando, a corrente de dreno flui pelos três planos do canal da aleta controlados pela porta, resultando no controle superior das cargas na região ativa do canal. Reduzindo-se a espessura da aleta de silício, a proporção de corrente que fluirá pelas paredes laterais do dispositivo será superior à parcela da corrente que fluirá pela parte superior do canal, aproximando-se do comportamento de um transistor de porta dupla. Entretanto, caso a proporção da largura da aleta em relação à altura da mesma faça com que a largura não seja mais proporcionalmente desprezível, ele passará a se comportar como um transistor porta tripla, devido a uma parcela notável de corrente estar fluindo pela parte superior do canal. Caso a largura da aleta seja muito grande, maior do que 500 nm, somada a maior mobilidade no plano superior do canal, a corrente fluindo pelo topo do canal será maior do que a corrente fluindo pelas paredes laterais, aproximando-se do comportamento de um transistor planar de

porta única [58], permitindo a descrição da variação da tensão de limiar pelo modelo de Lim & Fossum [16].

O transistor SOI FinFET, ilustrado na figura 14, tem demonstrado ser uma das mais promissoras e atraentes estruturas de portas múltiplas, possuindo uma grande perspectiva de escalamento, possibilitando dimensões extremamente reduzidas [6] e comprimento de canal tão curto quanto 10 nm [40]. Também apresenta boas características elétricas em aplicações analógicas e digitais [41], com boa resposta em frequência de ganho unitário e ganho intrínseco de tensão [42] e possui um processo de fabricação que não difere significativamente do processo SOI CMOS tradicional [2].

Nas estruturas FinFETs o transporte dos portadores ocorre em diferentes planos cristalográficos, pois a superfície do topo do canal e as paredes laterais têm diferentes orientações. Isto leva a uma distribuição não uniforme da corrente entre os planos do canal [43], uma vez que a mobilidade dos elétrons e das lacunas na camada de silício são dependentes da orientação cristalográfica da interface do silício e da direção do fluxo de corrente.

3.1 Processo de Corrosão e Definição das Aletas

Conforme as dimensões da aleta e do dispositivo em si são reduzidas, seguindo a perspectiva da ITRS (*International Technology Roadmap for Semiconductors*) [44], as dificuldades enfrentadas no processo de corrosão e remoção dos resíduos resultantes do processo de definição da aleta de silício são cada vez maiores. Por isso, a etapa de corrosão e a sua qualidade é um fator chave na fabricação de tais dispositivos microeletrônicos. Novos materiais vêm sendo adotados no processo de fabricação. Entre eles estão o dielétrico de porta com valores maiores de constante dielétrica, permitindo o uso do óxido de porta mais espesso, reduzindo os problemas de corrente de fuga, e o uso de eletrodos de porta metálicos, demandando controles de processo mais precisos conforme dimensões críticas são atingidas. Também a rugosidade da superfície se torna mais significativa.

Apesar dos esforços em produzir corrosões com melhor controle para que se obtenham estruturas mais próximas do desejado, no caso dos FinFETs com as suas paredes laterais verticais e paralelas, o que se obtém na prática são perfis trapezoidais ou côncavos, além de imperfeições nas superfícies laterais decorrentes de defeitos causados durante o bombardeamento de íons, podendo afetar a mobilidade dos portadores na superfície do silício.

Devido a essas imperfeições inerentes ao processo de corrosão, os dispositivos FinFETs sofrem freqüentemente de paredes laterais não verticais, resultando em uma secção transversal do canal não retangular com portas laterais inclinadas, com formatos muitas vezes trapezoidais. Estas variações geométricas podem afetar alguns parâmetros analógicos do dispositivo [11,45,46,47,48,49,50], os quais serão abordados ao longo deste trabalho.

Nas referências [9,10,11], os autores apresentam alguns formatos de aletas de diferentes referências e a figura 15 apresenta alguns cortes realizados em dispositivos experimentais destes formatos. Os formatos mais comuns da secção transversal são o trapezoidal e o côncavo.

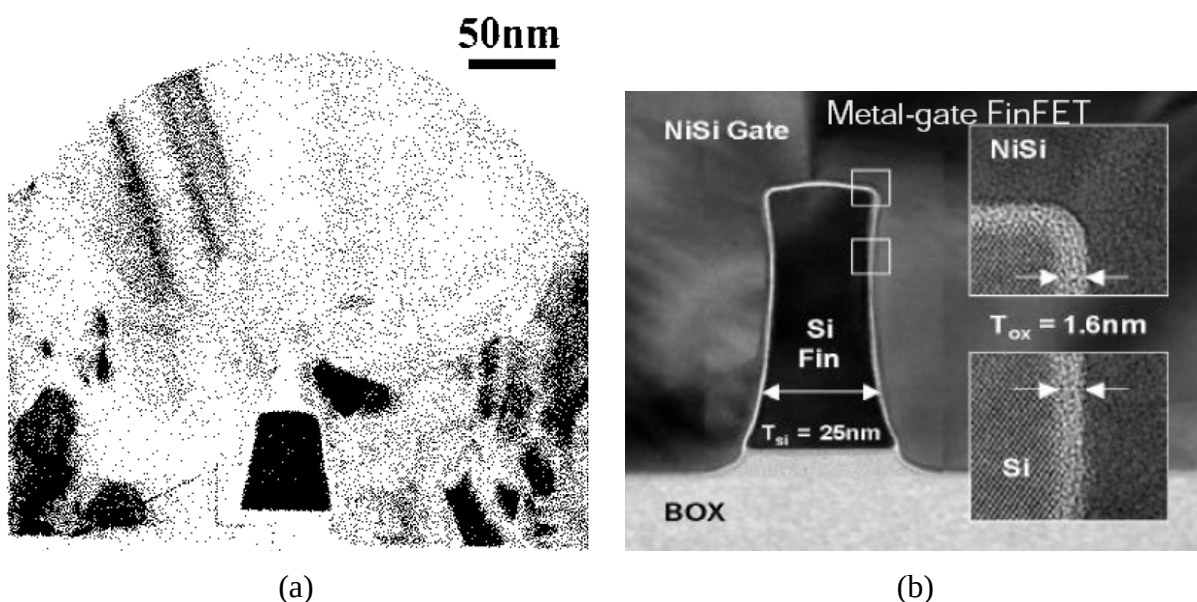


Figura 15 – Corte da secção transversal de estruturas FinFET.
Aleta com formato (a) trapezoidal [9] (b) côncavo [10].

3.2 Parâmetros Elétricos do Transistor SOI FinFET

Nesta seção são apresentados os principais parâmetros elétricos dos transistores SOI FinFET de porta tripla que se diferenciam dos transistores SOI planares de porta única, discutidos anteriormente.

3.2.1 Efeitos de Canto

Os efeitos de canto se apresentam em dispositivos não planares nas regiões da interface entre o silício e o óxido de silício, onde há um canto formado por duas placas de porta adjacentes. Tal fenômeno é presente em transistores FinFETs de porta tripla, quádrupla, Π ou Ω [11,51,52], e são responsáveis pela inversão prematura e pelo aumento da densidade de cargas de inversão do canal nas redondezas da região de canto, com consequências imediatas na densidade de corrente de dreno distribuída ao longo da secção transversal da aleta. O efeito é devido à sobreposição dos campos elétricos próximos ao canto, podendo levar ao surgimento de tensões de limiar distintas e o aparecimento de variações na curva $I_{DS} \times V_{GS}$ na região de sublimiar [53].

Os efeitos de canto são mais relevantes em dispositivos altamente dopados, além de serem dependentes do raio de curvatura do canto [52]. A figura 16 (a) ilustra o efeito de canto em um transistor SOI FinFET de porta tripla, e a figura 16 (b) mostra a maior concentração de portadores próximo às regiões de canto em um dispositivo nMOSFET com concentração de dopantes de $N_A = 1 \times 10^{17} \text{ cm}^{-3}$ e polarização de porta igual à 1 V.

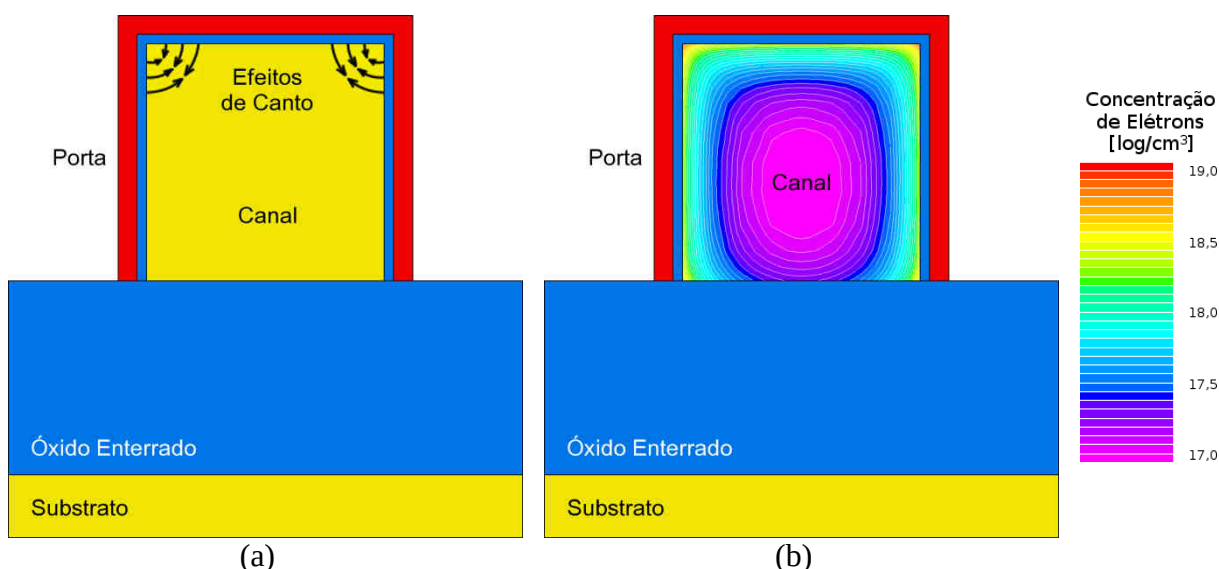


Figura 16 – (a) Ilustração do efeito de canto em dispositivos SOI FinFET de porta tripla (b) Concentração de portadores em dispositivo nMOSFET FinFET com concentração de dopantes igual à $N_A = 1 \times 10^{17} \text{ cm}^{-3}$.

Com o intuito de minimizar o efeito de canto, técnicas são adotadas durante o processo de fabricação do dispositivo, como a criação de uma camada de óxido de porta mais espessa na parte superior do canal nos transistores FinFET reduzindo a influência do campo elétrico proveniente da porta superior. Outro método adotado é o arredondamento dos cantos da aleta de silício durante a fabricação, sendo o raio de curvatura um fator decisivo nas características elétricas do transistor. Os efeitos podem ser atenuados usando-se uma concentração de dopantes mais baixa no canal [54,52,55]. É comum o uso de estruturas de canal com concentração natural da lâmina, diminuindo assim este problema.

3.2.2 Tensão de Limiar

A definição utilizada anteriormente na seção 2.2.1 de que a tensão de limiar é atingida quando $\phi_S = 2 \phi_F$ e, portanto, o dispositivo opera em inversão forte não é mais válida para dispositivos de porta dupla onde, ao contrário do MOSFET planar de porta única, a corrente surge já no regime de inversão fraca [56]. Além disso, como discutido na seção 3.2.1, transistores com porta tripla, quádrupla, Π ou Ω podem apresentar mais de uma tensão de limiar devido à inversão do canal em regiões diferentes pelo efeito de canto.

Um modelo para transistores SOI de porta dupla no modo de inversão com concentrações de dopantes mais elevadas foi desenvolvido por Francis *et al.* [56] e é apresentada na equação (26).

$$V_{thf} = \phi_S + V_{FB} + \frac{k \cdot T \alpha}{q \delta} \sqrt{1 + \frac{\delta}{\alpha}} \quad (26)$$

$$\text{onde } \delta = \frac{C_{ox}}{4 \cdot C_{Si}} \text{ e } \alpha = \frac{q}{k \cdot T} \frac{Q_D}{8 \cdot C_{Si}}$$

Este modelo está restrito à valores de α e δ que atendam à inequação (27)

$$\frac{\delta}{\alpha} \leq 1 \quad (27)$$

O potencial de superfície no limiar é descrito por [56]:

$$\phi_S = 2 \cdot \phi_F + \frac{k \cdot T}{q} \ln \left[\delta \frac{1}{1 - e^{-\alpha}} \right] \quad (28)$$

Comparando o potencial de superfície do dispositivo de porta dupla na equação (28) com o do dispositivo SOI MOSFET planar de porta simples ($\phi_s = 2 \phi_F$) constata-se que a diferença entre os potenciais de superfície do canal de silício na inversão depende da espessura da camada de silício, do óxido de porta e da concentração de dopantes.

Nos transistores de canal vertical, como o DELTA e o FinFET, a dependência da tensão de limiar com a largura da aleta de silício possui a mesma relação que a espessura do filme de silício nos dispositivos horizontais.

3.2.3 Efeito de corpo

Dispositivos de porta dupla e porta tripla com dopagem natural da lâmina foram medidos e modelados respectivamente por Taur [57] e Akarvardar *et al.* [58]. Em situações nas quais o transistor estiver totalmente depletado, pequenas variações na polarização de substrato (V_{GB}), tipicamente próximas de 0 V, farão com que a tensão de limiar da primeira interface (V_{thf}) varie, crescendo ou reduzindo o seu valor de acordo com a redução ou aumento da tensão aplicada ao substrato, respectivamente. As ilustrações da figura 17 auxiliarão no entendimento. O aumento contínuo da V_{GB} eventualmente levará à inversão da segunda interface e estabilizando V_{thf} em um valor inferior ao anterior, sem a aplicação de V_{GB} . Ao caminhar no sentido oposto, reduzindo V_{GB} , V_{thf} sofrerá um incremento e o transistor deixará de operar totalmente depletado. Como consequência, a segunda interface entrará em regime de acumulação, mas desta vez V_{thf} não estabilizará tão imediatamente quanto no caso do SOI planar de porta única, continuando a crescer, mas de forma não linear, como apresentado na figura 17 (a).

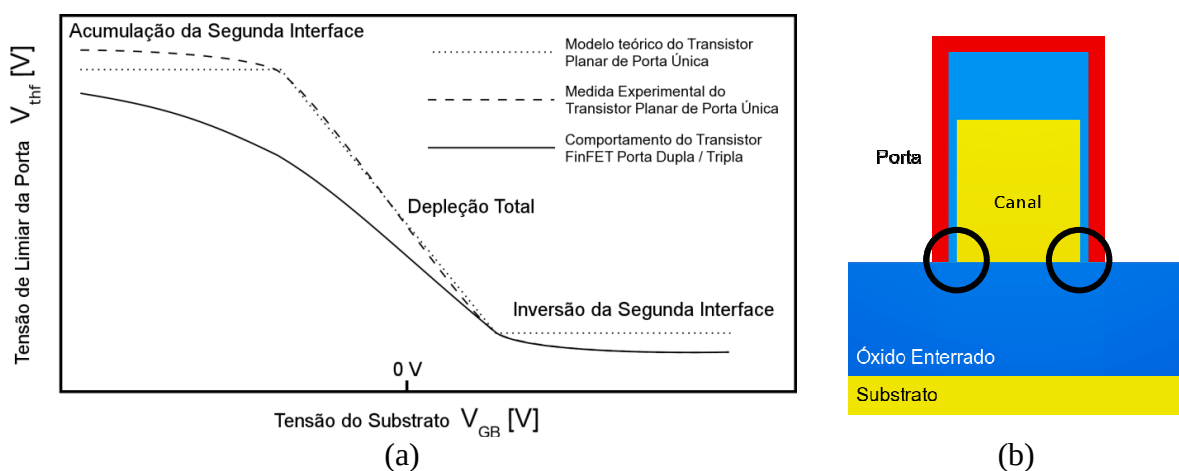


Figura 17 – (a) Comparação da variação em V_{thf} em função de V_{GB} para dispositivos SOI MOSFET totalmente depletados, entre o modelo teórico e a medida experimental do transistor planar de porta única [2], junto do comportamento do transistor FinFET de porta dupla/tripla (b) As regiões em destaque pertencem simultaneamente à primeira e à segunda interfaces.

Este comportamento não linear e bem definido de V_{thf} em função de V_{GB} ocorre devido à camada de acumulação que se forma junto da segunda interface não ser uniforme, como no caso dos transistores SOI planares de porta única. Esta característica ocorre, pois a superfície do óxido enterrado próxima às junções com as portas laterais pertence simultaneamente à primeira e à segunda interfaces, regiões estas que estão assinaladas na figura 17 (b). Com isso, estas regiões não apresentarão acumulação, o que significa que, quando ocorrer a acumulação da segunda interface, ela não será completa.

3.2.4 Inclinação de Sublimiar

Os transistores SOI com múltiplas portas apresentam comportamento muito semelhante aos transistores SOI planares com uma única porta. Através das aproximações realizadas na equação do potencial de superfície em [56] por Francis *et al.*, a equação (29) da inclinação de sublimiar para transistores de porta dupla é obtida como sendo:

$$S = \ln(10) \frac{k \cdot T}{q} \left[1 + \frac{q \cdot D_{it}}{C_{ox}} \right] \quad (29)$$

onde D_{it} é a densidade de cargas de interface uniforme. Quando fabricados em dimensões reduzidas e operando totalmente depletados, eles são capazes de responder com uma melhor inclinação de sublimiar do que os dispositivos planares, ficando muito próximos do limite teórico.

3.2.5 Mobilidade

A mobilidade tem impacto na densidade de corrente de dreno que será obtida numa dada tecnologia, e está ligada à orientação cristalográfica da interface de porta. As estruturas FinFETs retangulares, como a apresentada na figura 18, apresentam tipicamente na superfície do topo do canal a orientação cristalográfica (100) e nas paredes laterais a orientação cristalográfica (110), o que pode levar a uma distribuição não uniforme da corrente entre as paredes laterais e a parede superior do canal [59], visto que os elétrons possuem mobilidade máxima para a superfície com orientação cristalográfica (100), o que leva a uma maior corrente de dreno fluindo pelo topo do canal nestes dispositivos [60,61].

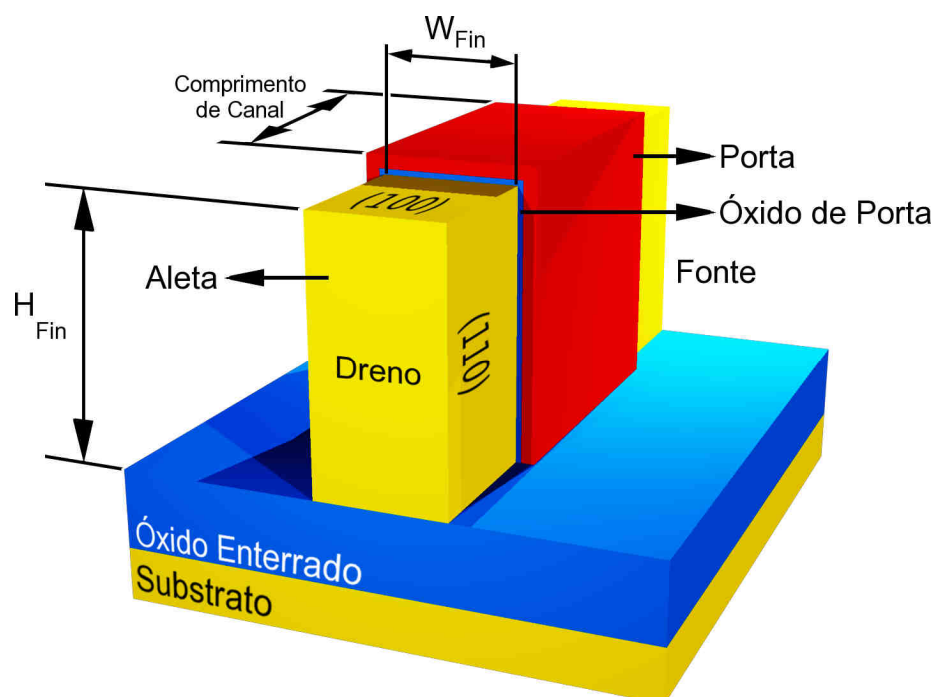


Figura 18 – Estrutura SOI FinFET de porta tripla.

A variação do ângulo das paredes laterais e a conseqüente variação da orientação cristalográfica nos planos laterais do dispositivo afetará a mobilidade que poderá ou não influenciar significativamente a distribuição da densidade de corrente que fluirá pelo dispositivo. A avaliação sobre o quanto será significativa a mudança na distribuição da corrente de dreno no canal do dispositivo dependerá de quanto for a variação angular das paredes laterais [62]. No caso das paredes laterais da aleta de silício possuírem formato côncavo ou convexo a mobilidade não será constante ao longo da parede lateral, tornando-se um caso mais complexo e ainda não bem determinado, sendo necessária uma análise do seu comportamento.

4 SIMULAÇÃO NUMÉRICA TRIDIMENSIONAL

Através da simulação numérica tridimensional foram conduzidos estudos em dispositivos semicondutores SOI FinFET ao longo deste trabalho, permitindo o melhor entendimento dos comportamentos elétricos observados em medidas experimentais. Com a simulação é possível a extrapolação dos dispositivos, através da alteração de parâmetros, dentre eles variações geométricas de sua estrutura, algo possível em certos casos apenas através de simulação ou de várias rodadas de processo de fabricação. A realização da análise de características elétricas e fenômenos físicos que não são possíveis de serem observados diretamente através de medidas em dispositivos experimentais, mas sim apenas através de simuladores numéricos e a obtenção quase sempre mais rápida e barata dos resultados, fazem com que o simulador se torne uma peça fundamental deste trabalho.

Para as simulações, foi utilizado o pacote de ferramentas TCAD da empresa Silvaco Data Systems Inc., que permite a simulação de estruturas bi e tridimensionais. As estruturas tridimensionais dos transistores FinFETs aqui empregadas foram construídas utilizando a ferramenta DevEdit [63], que é um editor de estruturas de dispositivos e grades de pontos, as quais são utilizadas pelo simulador numérico de dispositivos ATLAS [64]. Através do simulador ATLAS é possível analisar dispositivos semicondutores diversos, como transistores MOS, que são discretizados através da grade de pontos. As equações de Poisson e de continuidade para elétrons e lacunas são resolvidas numericamente em cada um dos pontos de cruzamento entre linhas e colunas da grade. Baseando-se em modelos físicos, o simulador numérico prevê as características elétricas que estão associadas às estruturas físicas e condições de polarização específicas, alcançadas através da aplicação de equações diferenciais derivadas da lei de Maxwell e modelos de propriedades físicas, como recombinação, tempo de vida e mobilidade.

Para a realização das simulações, é necessária a criação da estrutura física a ser simulada juntamente das suas características, como tipos de materiais e concentração de dopantes, a seleção dos modelos físicos, as condições de polarização e o método numérico iterativo a ser utilizado para a resolução das equações.

4.1 Modelos Físicos

O simulador dispõe de diversos modelos físicos que são incorporados às simulações de acordo com a necessidade, tornando a simulação precisa. Todas as simulações foram conduzidas à temperatura ambiente, 300 K, e os modelos utilizados foram [64]:

- Estatística dos Portadores:
 - o FERMI (*Fermi-Dirac*): aproximação estatística para a concentração reduzida de portadores em regiões altamente dopadas;
- Estreitamento da Faixa Proibida:
 - o BGN (*Bandgap Narrowing*): considera o estreitamento da faixa proibida, importante em regiões altamente dopadas;
- Mobilidade:
 - o FLDMOB (*Parallel Electric Field Dependence*): considera a degradação da mobilidade pelo campo elétrico lateral, proposto por Caughey e Thomas, calculando a velocidade de saturação dos portadores;
 - o KLA (*Klaassen*): inclui a dependência com a temperatura, concentração de dopantes e a mobilidade inicial, além de aplicar mobilidades diferentes para portadores majoritários e minoritários. Inclui os mecanismos de espalhamento de rede, espalhamento de impurezas e espalhamento portador-portador;
 - o SHI (*Shirahata*): combina os efeitos da camada de inversão com a dependência do campo elétrico perpendicular em óxidos de porta finos;
- Recombinação:
 - o CONSRH (*Shockley-Read-Hall Concentration Dependent*): o tempo de vida dos portadores é dependente da concentração de dopantes;
 - o AUGER: calcula a transição direta do conjunto de portadores, importante em densidades altas de corrente e regiões com concentrações de dopantes altas;
- Ionização por Impacto:
 - o IMPACT SELB (*Selberherr*): inclui a geração de portadores por ionização por impacto na solução da simulação. Modelo utilizado para casos onde o campo longitudinal é elevado (valores de tensão de dreno alto), caso contrário é desconsiderado.

A seguir, diversos dispositivos com diferentes concentrações de dopantes, larguras de aleta, comprimento de canal, condições de polarização de porta, dreno, substrato e efeito de corpo são analisados através de simulações numéricas tridimensionais, para a avaliação da influência dos diferentes ângulos de inclinação das paredes laterais nos parâmetros elétricos, principalmente na transcondutância, condutância de saída e ganho intrínseco de tensão.

5 ANÁLISE DA DEPENDÊNCIA DE PARÂMETROS ELÉTRICOS COM O FORMATO DA SECÇÃO TRANSVERSAL EM TRANSISTORES SOI FINFET TRAPEZOIDAIS

5.1 Dispositivos Simulados

Variações no formato da secção transversal podem ser obtidas por simulação tomando uma ou mais dimensões como parâmetro de entrada do simulador. Nas referencias [45] e [65], para o desenvolvimento de um modelo analítico simples para FinFETs trapezoidais, os autores consideraram que a largura do topo e a altura da aleta deveria ser mantida constante enquanto que a base do trapézio deveria variar, uma vez que a largura do topo é definida pela máscara e a altura depende apenas da espessura original do filme de silício da lâmina SOI. Neste trabalho, a mesma estratégia é adotada, mas a situação inversa também é considerada para comparação. Os formatos das secções transversais simulados são apresentados na figura 19. Na primeira etapa de todas as simulações, a largura da base (distância entre as duas paredes laterais da aleta na interface entre o silício e o óxido enterrado) é mantida constante e a largura do topo é variada. Na segunda etapa, a largura do topo é mantida constante e a largura da base é variada. Com estes dois conjuntos de simulações é possível comparar dispositivos com a mesma largura média e a mesma área de secção transversal, mas com diferentes ângulos de inclinação das paredes laterais. Com respeito às dimensões, este estudo adota a razão entre a largura média da aleta (W_{AFW}) e sua altura (H_{Fin}) de acordo com a classificação em [58]. O aumento da largura do canal leva à redução da influência das paredes laterais e a predominância da porta superior. O estreitamento do canal reduz a dependência com a porta superior. A figura 20 mostra a representação esquemática do dispositivo FinFET trapezoidal, com a (a) vista em perspectiva [2], cotado com as suas principais dimensões, e o (b) corte da secção transversal. $W_{Fin\ Top}$ e $W_{Fin\ Bottom}$ representam respectivamente a largura do topo e da base da aleta de silício e H_{Fin} representa a altura da aleta, θ o ângulo de inclinação das paredes laterais, t_{ox} e t_{box} respectivamente a espessura da camada de óxido de porta e do óxido enterrado, e L o comprimento do canal.

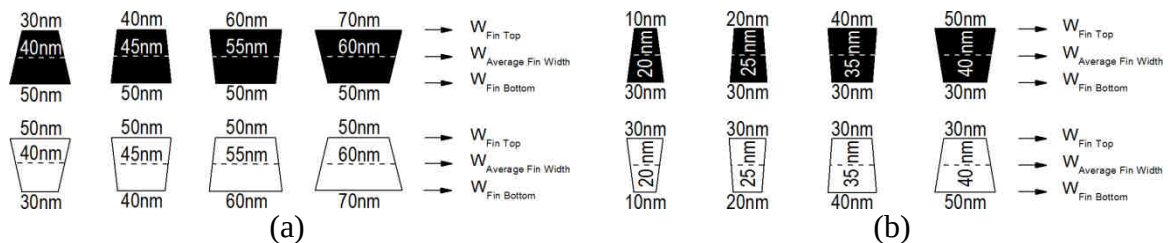


Figura 19 – Secção transversal dos dispositivos simulados para:
Comprimento de canal de 200 nm e 1 μm ;
Comprimento de canal de 50 nm.

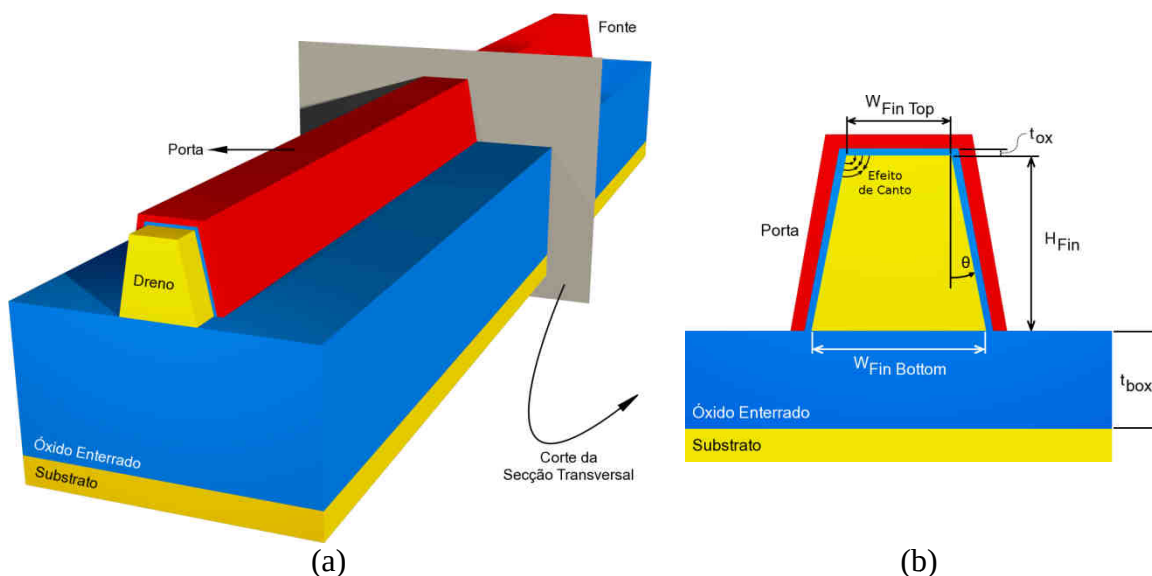


Figura 20 – Representação esquemática de um transistor FinFET trapezoidal retangular de porta tripla:
(a) vista em perspectiva, (b) vista da secção transversal.

Estruturas FinFETs retangulares apresentam, tipicamente, a orientação cristalográfica (110) das paredes laterais [43] e a variação do ângulo das paredes laterais leva à alteração da orientação cristalográfica da superfície. No entanto, um estudo prévio sobre o impacto da orientação na interface em transistores com canal vertical tipo N [62], mostra que ângulos de inclinação das paredes laterais, representados por θ na figura 19 e na figura 20, inferiores a 15 graus em relação à estrutura retangular ($0^\circ < \theta < 15^\circ$), na orientação cristalográfica (110), não causam influência significativa na mobilidade efetiva (inferior à 5 %). Visto que os ângulos de inclinação das paredes laterais dos dispositivos aqui simulados variam de 5,7 à 11,3 graus, a mudança na mobilidade devido à inclinação das paredes laterais não foi considerada. A influência da orientação cristalográfica nos planos de condução do topo para as paredes laterais sobre a mobilidade dos portadores não foi considerada nas simulações. Variações da orientação cristalográfica afetam quantitativamente os resultados obtidos das simulações, no entanto, não as afetam qualitativamente, visto que os acoplamentos entre os planos de porta não são afetados.

Os dispositivos simulados são FinFETs porta tripla totalmente depletados, com concentração de dopantes igual à $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$, espessura de óxido de porta de 2 nm, altura da aleta (H_{Fin}) de 50 nm, óxido enterrado com espessura de 100 nm. A largura média da aleta ($W_{\text{Average Fin Width}} - W_{\text{AFW}}$) varia de 40 nm a 60 nm em dispositivos com comprimento de canal igual à 200 nm e 1 μm , e de 20 nm à 40 nm em dispositivos com 50 nm de comprimento de canal. O material de contato de porta de metal (TiN) possui a função trabalho de 4,63 eV. A corrente de dreno é normalizada pelo fator de forma (W/L) dado pela equação (30) que deriva da figura 20 (b), calculando a largura total da interface do silício com o óxido de porta (em outras palavras, o perímetro da primeira interface na vista do corte da secção transversal, através do teorema de Pitágoras). A transcondutância (g_m) e a condutância de saída (g_d) também são normalizadas. O W_{AFW} é obtido através da equação (31).

$$\frac{W}{L} = \frac{W_{\text{Fin Top}} + \sqrt{4 \cdot H_{\text{Fin}}^2 + (W_{\text{Fin Bottom}} - W_{\text{Fin Top}})^2}}{L} \quad (30)$$

$$W_{\text{Average Fin Width}} = \frac{W_{\text{Fin Top}} + W_{\text{Fin Bottom}}}{2} [\text{nm}] \quad (31)$$

Com a redução das dimensões da secção transversal, como W_{AFW} e H_{Fin} , espera-se obter um melhor controle das cargas do canal pela porta, juntamente com o aumento da transcondutância [4]. As simulações foram realizadas utilizando o simulador de dispositivos Atlas3D [64], utilizando as estatísticas de Fermi Dirac, modelos de recombinação Shockley-Read-Hall e Auger, mobilidade dependente do Campo Elétrico Paralelo e Transversal e o modelo de Ionização por Impacto de Selberherr. A inversão de volume é sempre observada e é mais fortemente presente em dispositivos com concentração de dopantes igual à $N_A = 1 \times 10^{15} \text{ cm}^{-3}$.

5.2 Resultados e Discussões – Análise DC

5.2.1 Dispositivos de canal longo

5.2.1.1 Tensão de Limiar

A tensão de limiar é extraída diretamente da corrente de dreno (I_{DS}) em função da tensão de porta (V_{GS}), para uma polarização de dreno igual à $V_{DS} = 50$ mV, utilizando o método da variação máxima da transcondutância (MTC). A figura 21 apresenta a tensão de limiar (V_{th}) em função de W_{AFW} para comprimentos de canal de 200 nm e 1 μ m para concentrações de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$, para os dois conjuntos de dispositivos (largura do topo fixada e em seguida a largura da base fixada).

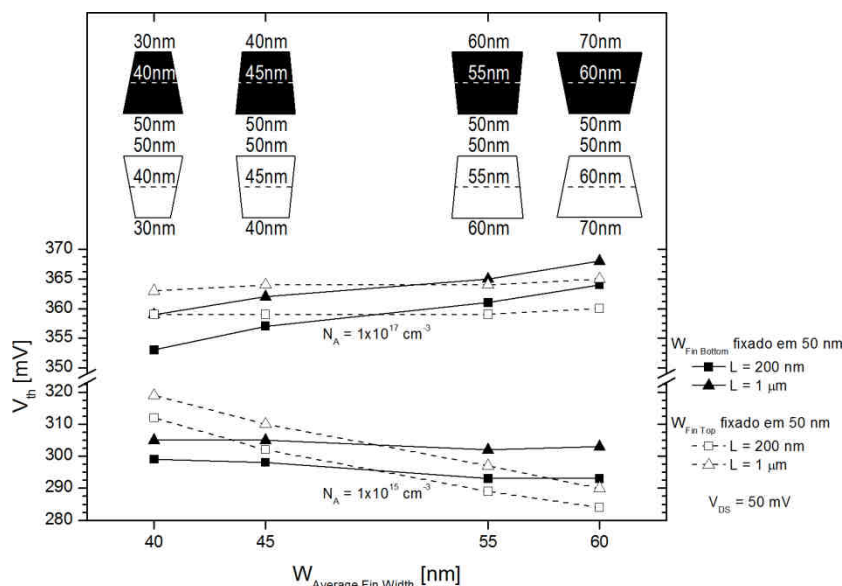


Figura 21 – Tensões de limiar em função da largura média das aletas em FinFETs para comprimento de canal de 200 nm e 1 μ m com concentrações de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$.

Pode ser observado na figura 21 que a inclinação da tensão de limiar em função da largura média das aletas depende da concentração de dopantes. Para dispositivos com concentração igual à $N_A = 1 \times 10^{17} \text{ cm}^{-3}$, uma inclinação positiva de V_{th} é observada conforme W_{AFW} é aumentado, independentemente do comprimento de canal analisado, especialmente quando $W_{Fin\ Bottom}$ é fixado e $W_{Fin\ Top}$ é variado. Por outro lado, nos dispositivos com concentração de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$, o comportamento oposto é observado, com uma inclinação negativa de V_{TH} e maior quando $W_{Fin\ Top}$ é fixada e $W_{Fin\ Bottom}$ é variado. A composição de cargas (carga de depleção e portadores minoritários) na camada de silício possui uma forte

influência no comportamento da tensão de limiar [66]. Enquanto as cargas na camada de silício são na maior parte compostas por cargas de depleção para o dispositivo com concentração de dopantes de $N_A = 1 \times 10^{17} \text{ cm}^{-3}$, no dispositivo com concentração de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ a carga é predominantemente composta por portadores livres, visto que a densidade das cargas de depleção está limitada a $N_A = 1 \times 10^{15} \text{ cm}^{-3}$.

Alguns pesquisadores desenvolveram modelos analíticos da tensão de limiar para dispositivos de porta dupla e tripla [56,57,58,67] que relacionam a largura do dispositivo com o nível da tensão de limiar. Em FinFETs com paredes laterais não verticais, a variação do ângulo implica na variação da largura da aleta ao longo do eixo vertical. Embora o modelo de Francis tenha sido desenvolvido para dispositivos de porta dupla com concentrações de dopantes mais elevadas que atendam à equação (27), a tendência da tensão de limiar em dispositivos com a concentração de dopantes natural da lâmina, apresentados na figura 21, é muito similar à dos resultados dela [56]. Dispositivos de porta dupla com concentração de dopantes igual à $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ foram modelados por Taur [57] e dispositivos de porta tripla por Akarvardar [58]. Ambos os modelos e dados experimentais apresentam as mesmas tendências vistas nos dispositivos com $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ da figura 21. Para dispositivos mais curtos ou largos, os efeitos de canal curto podem se tornar mais relevantes e sobrepor a dependência do formato da aleta observado.

5.2.1.2 Inclinação de Sublimiar

A partir da curva de sublimiar são extraídos os valores da inclinação de sublimiar (S) em função de W_{AFW} para os comprimentos de canal de 200 nm e 1 μm , com concentrações de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$ e com polarização de dreno igual à $V_{DS} = 50 \text{ mV}$, utilizando-se a equação (11). Os valores obtidos são exibidos na figura 22.

Observa-se que a inclinação de sublimiar é dependente do comprimento do canal, da concentração de dopantes e da largura média dos transistores. Conforme a largura média da aleta de silício fica maior, os valores de S crescem, em ambos os conjuntos de dispositivos. Valores maiores de S são observados nos dispositivos com canal mais curto, bem como uma maior sensibilidade à variação de W_{AFW} . A redução de W_{AFW} contribui para a redução de S ao proteger mais o canal da invasão das linhas de campo elétrico proveniente da região de dreno e o aumento do controle das portas sobre as cargas no canal, seguindo a mesma linha de raciocínio traçada na seção 2.2.3.

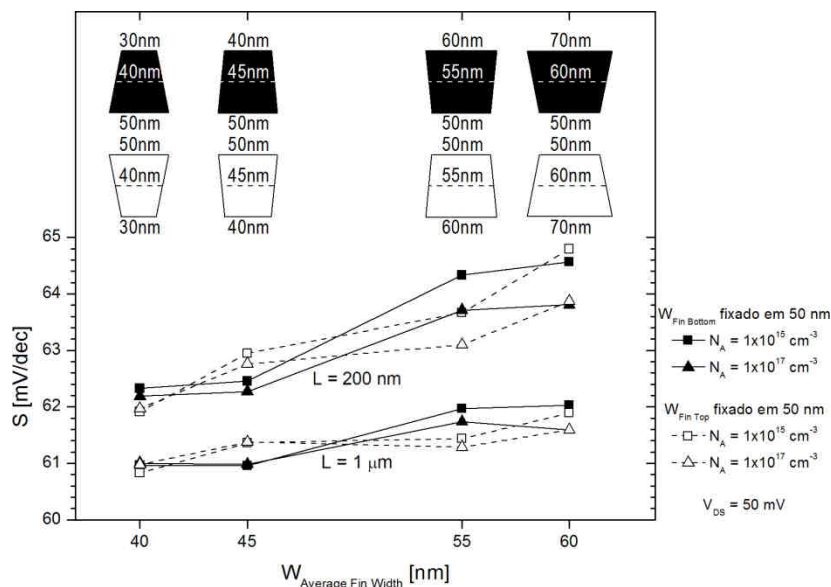


Figura 22 – Inclinações de sublimiar em função da largura média das aletas em FinFETs para comprimento de canal de 200 nm e 1 μm em concentrações de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$.

5.2.1.3 Condutância de Saída

A condutância de saída foi obtida pela extração numérica através da derivada primeira da corrente de dreno em função da tensão aplicada no dreno, segundo a equação (24). A figura 23 apresenta a condutância de saída (g_d) em função da tensão de dreno para dispositivos com concentração de dopantes igual à $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$, com W_{AFW} de 40, 45, 55 e 60 nm, para sobre-tensões de porta ($V_{GT} = V_{GF} - V_{th}$) de 140 mV, 240 mV e 340 mV, para ambos os conjuntos de dispositivos e comprimentos de canal. A tabela 1 apresenta os valores de g_d de cada ponto extraído para $V_{DS} = 600 \text{ mV}$.

Tabela 1 – Valores de condutância de saída ($g_d/(W/L)$) em μS para $W_{AFW} = 40, 45, 55$ e 60 nm, $V_{DS} = 600 \text{ mV}$.

$W_{AFW} \text{ [nm]}$	L = 200 nm $N_A = 1 \times 10^{15} \text{ cm}^{-3}$				L = 1 μm $N_A = 1 \times 10^{15} \text{ cm}^{-3}$				L = 200 nm $N_A = 1 \times 10^{17} \text{ cm}^{-3}$				L = 1 μm $N_A = 1 \times 10^{17} \text{ cm}^{-3}$			
	40	45	55	60	40	45	55	60	40	45	55	60	40	45	55	60
$W_{Fin Bottom}$ fixado em 50 nm	$V_{GT} = 140 \text{ mV}$				1,05	1,19	1,21	1,26	0,27	0,28	0,31	0,32	1,36	1,46	1,66	1,75
	$V_{GT} = 240 \text{ mV}$				2,34	2,43	2,59	2,67	0,85	0,89	0,97	1,02	2,81	2,96	3,24	3,37
	$V_{GT} = 340 \text{ mV}$				3,97	4,08	4,28	4,37	2,19	2,36	2,42	2,50	4,60	4,79	5,13	5,28
$W_{Fin Top}$ fixado em 50 nm	$V_{GT} = 140 \text{ mV}$				1,00	1,08	1,23	1,30	0,31	0,30	0,30	0,30	1,34	1,48	1,65	1,77
	$V_{GT} = 240 \text{ mV}$				2,32	2,42	2,58	2,68	0,97	0,92	0,98	1,01	2,82	2,98	3,20	3,35
	$V_{GT} = 340 \text{ mV}$				4,09	3,92	4,22	4,33	2,40	2,31	2,42	2,43	4,69	4,84	5,06	5,21

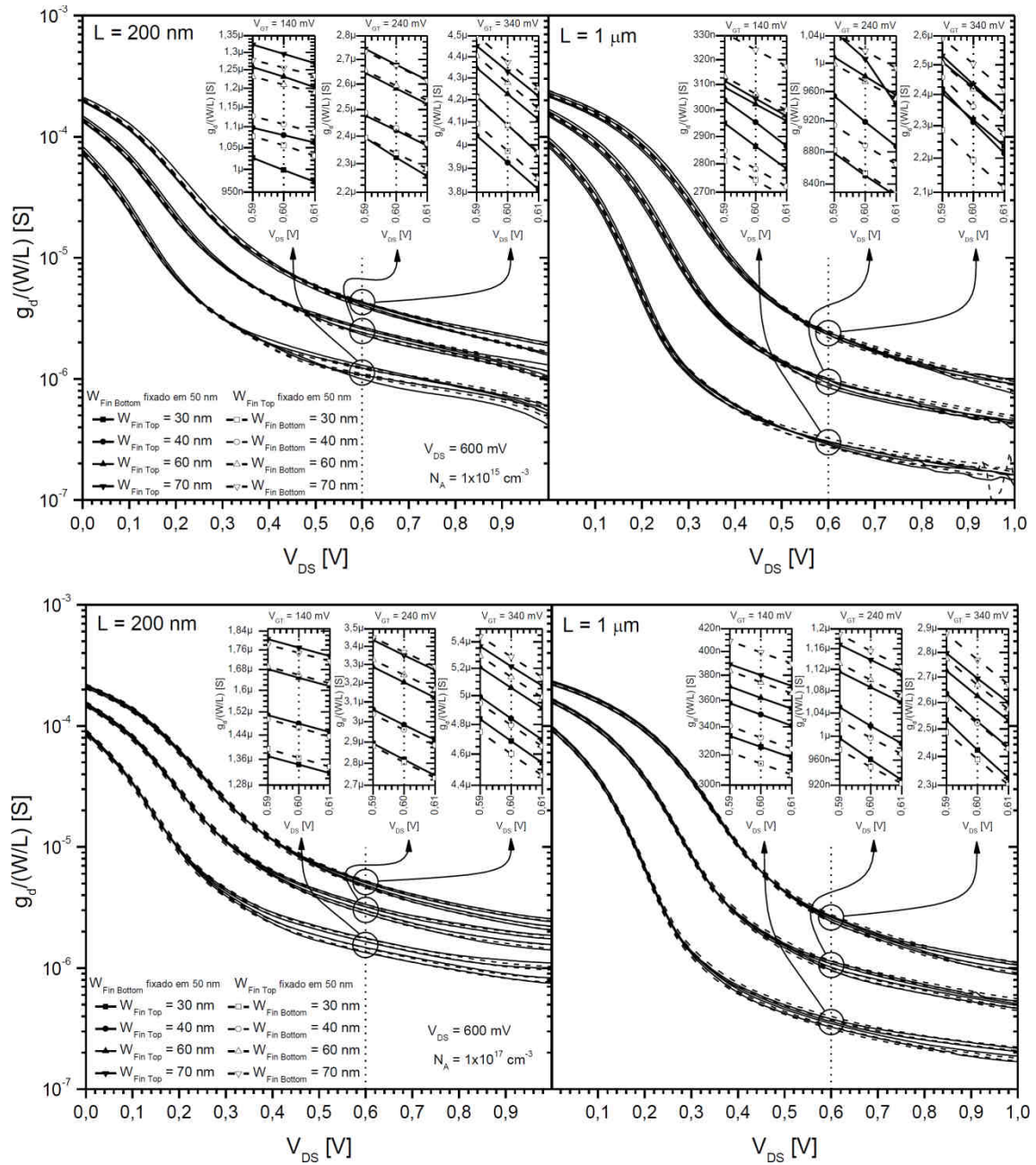


Figura 23 – Condutância de saída em função da tensão de dreno para comprimentos de canal de 200 nm e 1 μm para concentração de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$.

Considerando que o comportamento da condutância de saída é a mesma para toda a parte inferior das curvas, tomando um ponto de polarização particular da tensão de dreno não invalida a análise que se segue e permite uma observação mais detalhada dos resultados. A figura 24 mostra os dados extraídos da figura 23 para $V_{DS} = 600 \text{ mV}$. A condutância de saída é traçada em função de W_{AFW} .

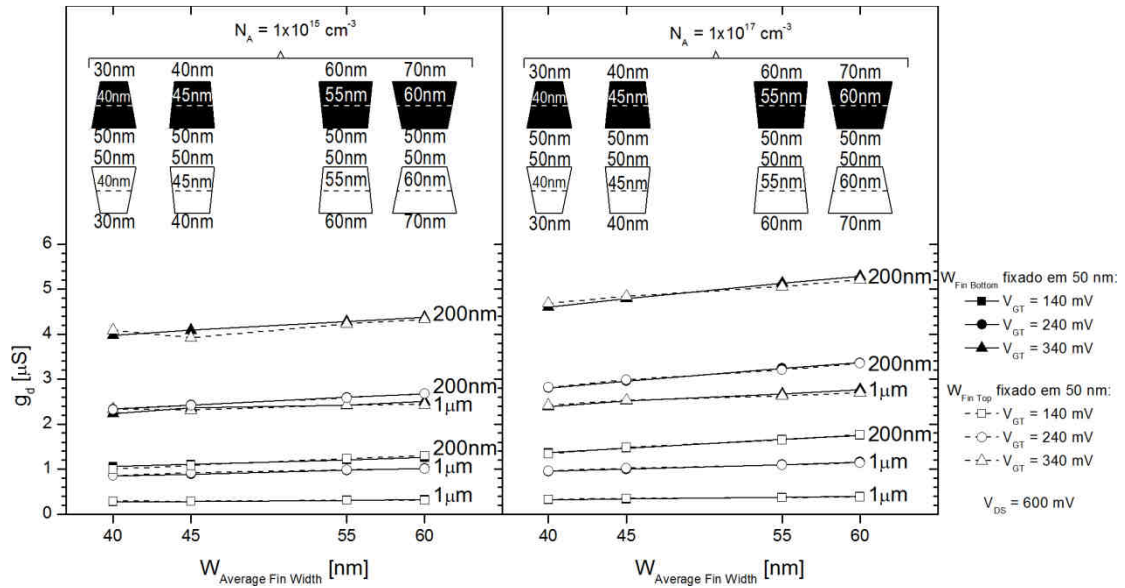


Figura 24 – Condutância de saída em função da largura média da aleta para comprimentos de canal de 200 nm e 1 μm para concentração de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$.

Observa-se que a condutância de saída é maior para canais mais largos, o que é uma característica ruim, pois está relacionada com a inclinação da curva de $I_{DS} \times V_{DS}$ na região de saturação e, conseqüentemente, com a menor tensão de *Early*. O gráfico mostra que ambos os transistores com W_{AFW} igual a 60 nm, de ambos os conjuntos de dispositivos, possuem as maiores condutâncias de saída. Este resultado é justificado pela interpretação física de g_d , relacionando a susceptibilidade do canal ao potencial de dreno. Quanto mais largo é o canal, menor é a imunidade do canal à influência do potencial da junção de dreno. Comparando ambos os conjuntos, torna-se claro que este parâmetro é praticamente independente do ângulo de inclinação das portas laterais, para cada largura média da aleta. Efeitos similares podem ser observados independentemente se a parte mais larga está no topo ou na base da aleta. Este comportamento é observado para ambos os comprimentos de canal em todas as sobre-tensões de porta, com valores superiores em comprimentos de canal mais curtos, devido à maior significância da influencia da região de dreno no comprimento total do canal.

5.2.1.4 Perfil da Densidade de Corrente de Condução

Conforme discutido no item 5.2.1.3, g_d possui pouca dependência com o ângulo de inclinação das portas laterais, para cada largura média da aleta, mas ainda que pequena, existe uma variação na corrente de dreno e conseqüentemente em g_d que segue uma tendência. Para a avaliação da razão pela qual ocorre esta variação, o perfil da densidade de corrente de condução ao longo da primeira interface (canal / óxido de porta) para os diversos W_{AFW} em

dispositivos com concentração de dopantes igual à $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e comprimento de canal igual a $1 \mu\text{m}$ é apresentado na figura 26, juntamente das curvas $I_{DS} \times V_{DS}$ e g_d , para ambos os casos onde $W_{\text{Fin Bottom}}$ é fixado em 50 nm e quando $W_{\text{Fin Top}}$ é fixado em 50 nm. Os perfis são extraídos conforme ilustrado na figura 25, com polarização de dreno de 600 mV e sobre-tensão de porta igual a 340 mV, tensão na qual as cargas estão mais próximas da interface do óxido de porta.

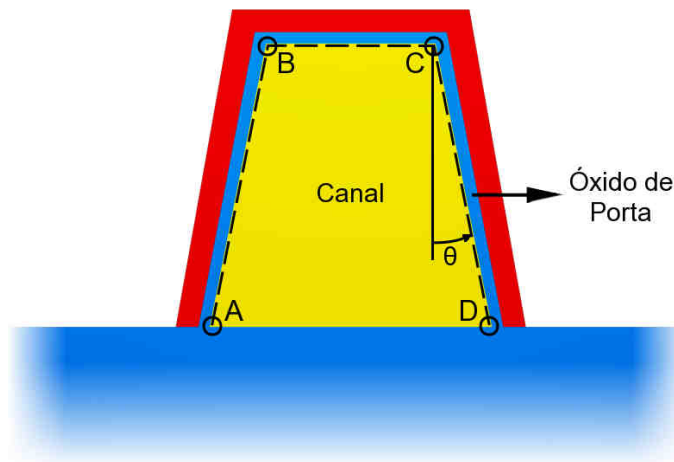


Figura 25 – Ilustração do local de extração do perfil da densidade de corrente de condução ao longo da primeira interface e o ângulo θ de inclinação das paredes laterais.

O perímetro do corte é normalizado por W/L , segundo a equação (30), onde 0,0 é a metade da porta superior (entre os pontos B e C) e -0,5 / 0,5 são as extremidades das portas laterais no ponto de encontro com a região de óxido enterrado, pontos A e D da figura 25, respectivamente.

Observa-se a partir dos gráficos do perfil da densidade decorrente de condução que em dispositivos com o mesmo W_{AFW} , diferentes valores são obtidos e caminham em direções opostas conforme W_{AFW} é variado igualmente para os dispositivos. Os quatro picos presentes no perfil de cada dispositivo correspondem aos cantos do transistor e existem devido ao efeito de canto, discutido na seção 3.2.1. Os dois picos centrais são causados pelos cantos superiores no ponto de união das portas laterais com a porta superior (pontos B e C da figura 25) e os dois picos restantes ocorrem no ponto de encontro das portas laterais com a região do óxido enterrado (pontos A e D da figura 25).

Como mostrado na figura 26, conforme o ângulo θ de inclinação das paredes laterais diminui ($W_{\text{Fin Top}} > W_{\text{Fin Bottom}}$), os picos de densidade de corrente de condução crescem devido ao efeito de canto, e na situação oposta, com o aumento de θ ($W_{\text{Fin Top}} < W_{\text{Fin Bottom}}$), os mesmos picos decrescem. Devido à geometria quadrilátera da secção transversal da aleta de

silício, o efeito de canto na parte superior e inferior da aleta segue tendências opostas, embora os cantos inferiores apresentem picos inferiores aos picos dos cantos superiores devido à grande espessura do óxido enterrado quando comparado à espessura do óxido de porta, reduzindo consideravelmente a influência do substrato. Comportamentos semelhantes foram observados nos dispositivos de canal mais curto ($L = 200$ nm) e em dispositivos com concentração de dopantes igual à $N_A = 1 \times 10^{17} \text{ cm}^{-3}$, sendo mais pronunciados neste último.

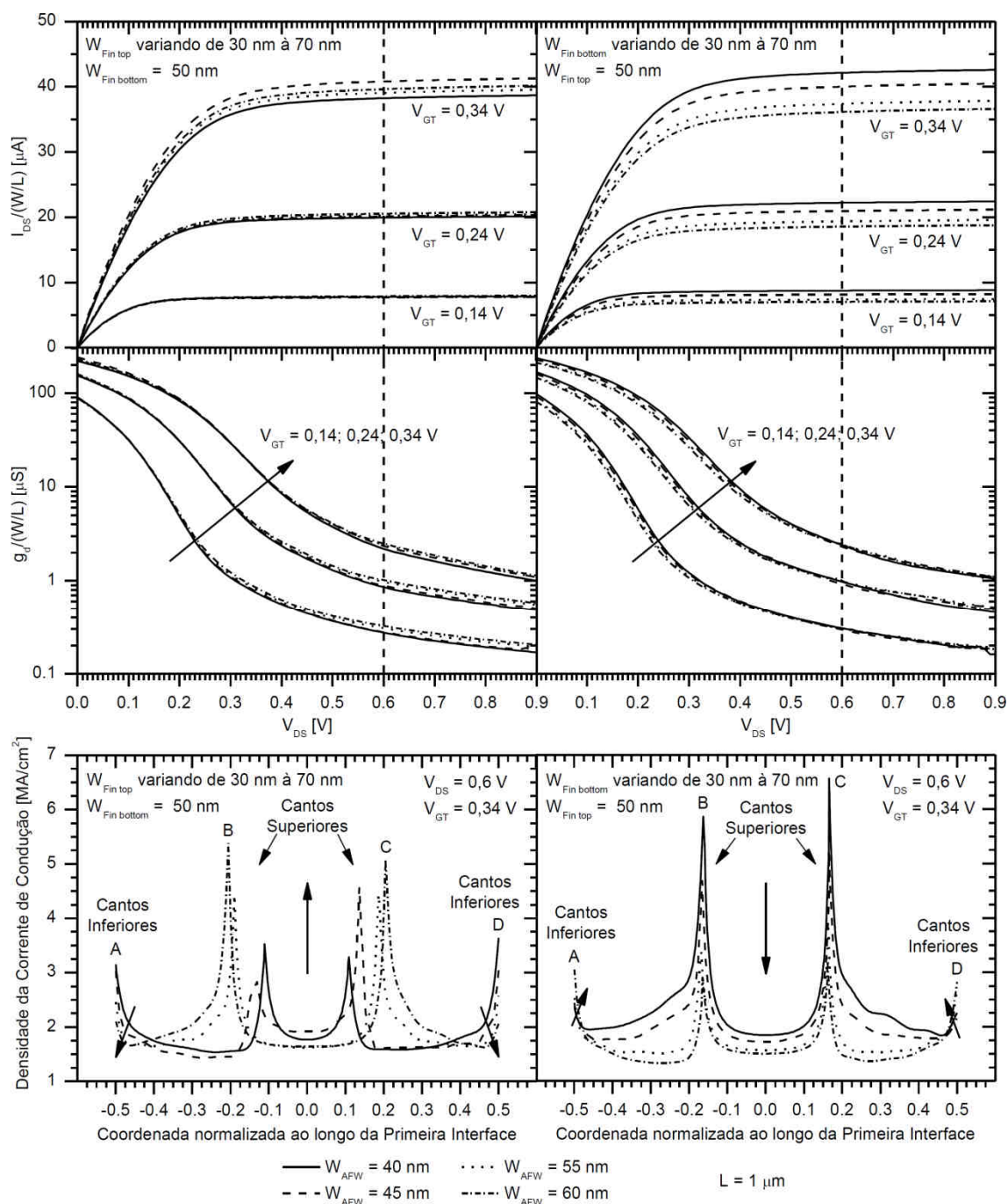


Figura 26 – $I_{DS} \times V_{DS}$, g_d e os perfis da densidade de corrente de condução para comprimento de canal de $1 \mu\text{m}$ para concentração de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$.

5.2.1.5 Transcondutância

A transcondutância foi estudada para os mesmos dispositivos simulados na análise da condutância de saída, com uma tensão de dreno de 600 mV. Os dados foram extraídos da derivada da corrente de dreno em função da tensão de porta ($g_m = dI_{DS}/dV_{GS}$). A figura 27 mostra a transcondutância em função da tensão de porta, para dispositivos com concentração de dopantes igual à $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$.

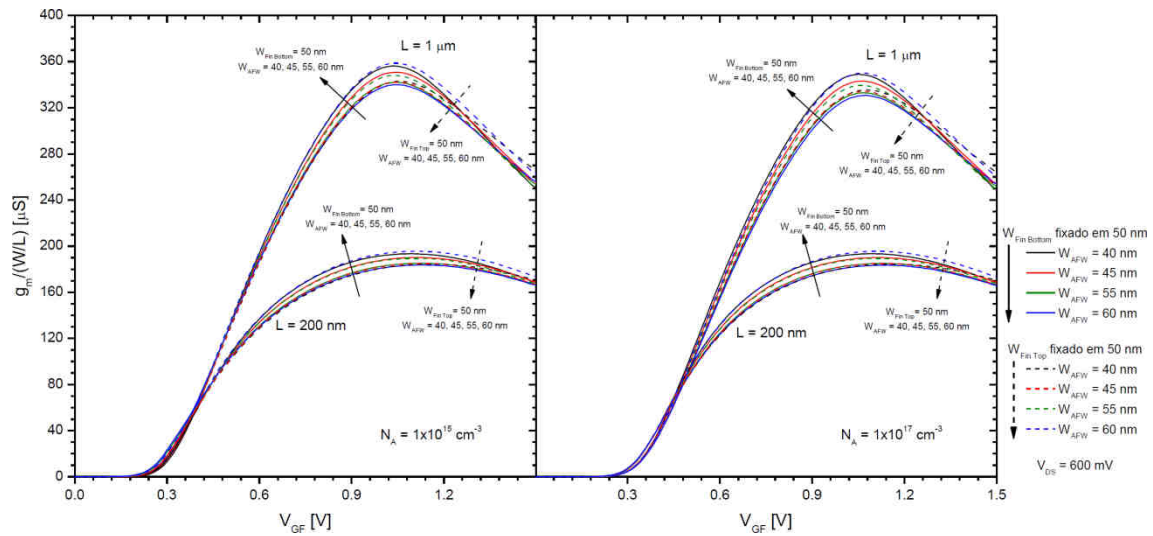


Figura 27 – Transcondutância em transistores FinFETs em função da tensão de porta para comprimentos de canal de 200 nm e 1 μm , em concentrações de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$.

A figura 28 mostra g_m para as sobre-tensões de porta consideradas na análise da condutância de saída, em função de W_{AFW} . Diferentemente do caso de g_d , a transcondutância é uma função do ângulo de inclinação das paredes laterais, o que pode ser observado pela comparação dos dois conjuntos de dispositivos, para cada W_{AFW} .

A transcondutância relaciona a corrente de dreno com a tensão de porta, relacionando a eficiência do controle da corrente de dreno pela porta, a degradação da mobilidade e o nível de inversão decorrente do acoplamento entre as portas. A carga de condução disponível na região de canal está sujeita à distribuição do potencial elétrico. Para um dispositivo longo, há duas principais condições de contorno com potenciais constantes: o conjunto de planos de porta e o plano de substrato. Conseqüentemente, considerando que o substrato está sempre aterrado, a quantidade de carga de condução disponível para uma dada tensão de porta depende de quão forte a região do canal está acoplada à porta ou ao substrato. Conforme a largura do topo da aleta é incrementada, as cargas do canal tornam-se melhor acopladas à porta e menos acopladas ao substrato, principalmente próximo aos cantos, onde o efeito de

canto se torna mais forte [58], e conseqüentemente, a corrente de dreno será melhor controlada pela porta, resultando numa maior transcondutância. À medida que $W_{Fin\ Top}$ da aleta é diminuída, o acoplamento existente entre a porta superior e as portas laterais é reduzido, o que diminui a densidade de cargas de inversão nos cantos superiores do canal, principalmente nos dispositivos com concentrações maiores de dopantes, levando à degradação da transcondutância.

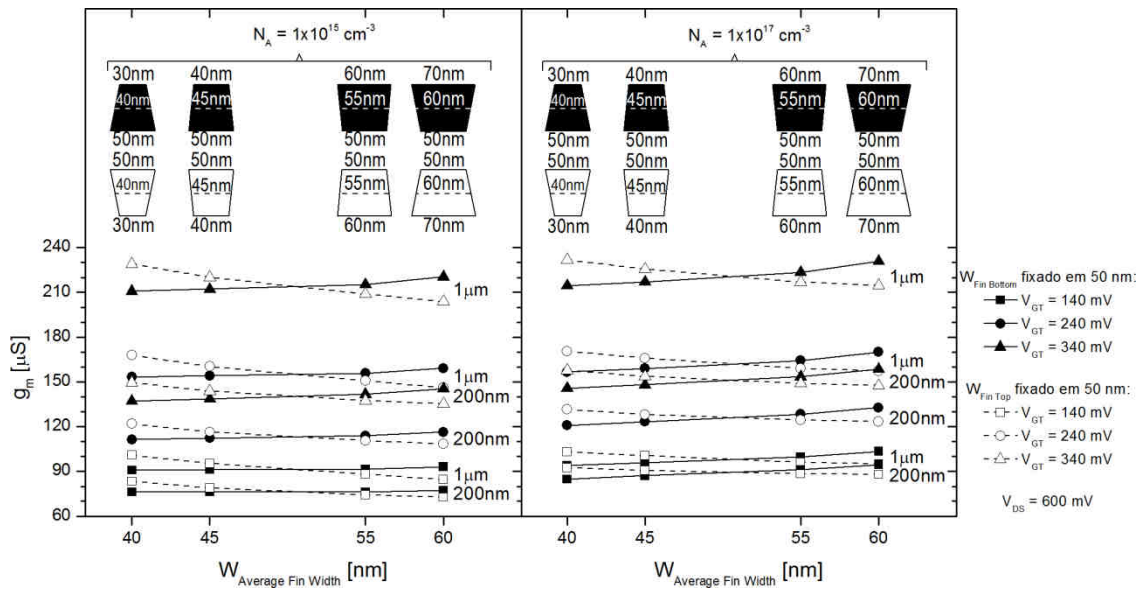


Figura 28 – Transcondutância em transistores FinFETs em função da largura média da aleta para comprimentos de canal de 200 nm e 1 μm , em concentrações de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$.

A relação da transcondutância dividida pela corrente de dreno (g_m/I_{DS}), do ponto de vista do projeto analógico, representa a eficiência da conversão da corrente de dreno em transcondutância [68]. A figura 29 apresenta esta relação em função da corrente de dreno normalizada, $I_{DS}/(W/L)$, para concentração de dopantes igual a $N_A = 1 \times 10^{15} \text{ cm}^{-3}$.

Como mostrado na figura 29, curvas praticamente idênticas de g_m/I_{DS} foram obtidas independentemente do ângulo das paredes laterais da aleta na inversão forte, para ambos os comprimentos de canais, com concentração de dopantes igual a $N_A = 1 \times 10^{15} \text{ cm}^{-3}$. Na inversão fraca, por outro lado, algumas diferenças dependentes do ângulo de inclinação das paredes laterais podem ser notadas. De fato, as variações geométricas têm um forte efeito na condição de polarização de inversão fraca devido à carga de condução distribuída ao longo da secção transversal da aleta de silício. Aumentando-se a tensão de porta, as cargas aproximam-se da interface de óxido de porta, e o comportamento do dispositivo torna-se menos dependente do formato da aleta. Os efeitos de canal curto também influenciam a relação de

g_m/I_{DS} na inversão fraca. Este fato pode ser observado pela comparação da variação entre os dispositivos com comprimento de canal de 200 nm e 1 μm . Na inversão fraca, devido as cargas de condução estarem mais distantes da interface de óxido de porta do que na inversão forte, a relação g_m/I_{DS} depende fortemente do fator de corpo que é afetado pelos efeitos de canal curto. Resultados semelhantes de g_m/I_{DS} foram observados para a concentração de dopantes igual à $N_A = 1 \times 10^{17} \text{ cm}^{-3}$. A tabela 2 apresenta os valores de g_m de cada ponto extraído para $V_{DS} = 600 \text{ mV}$.

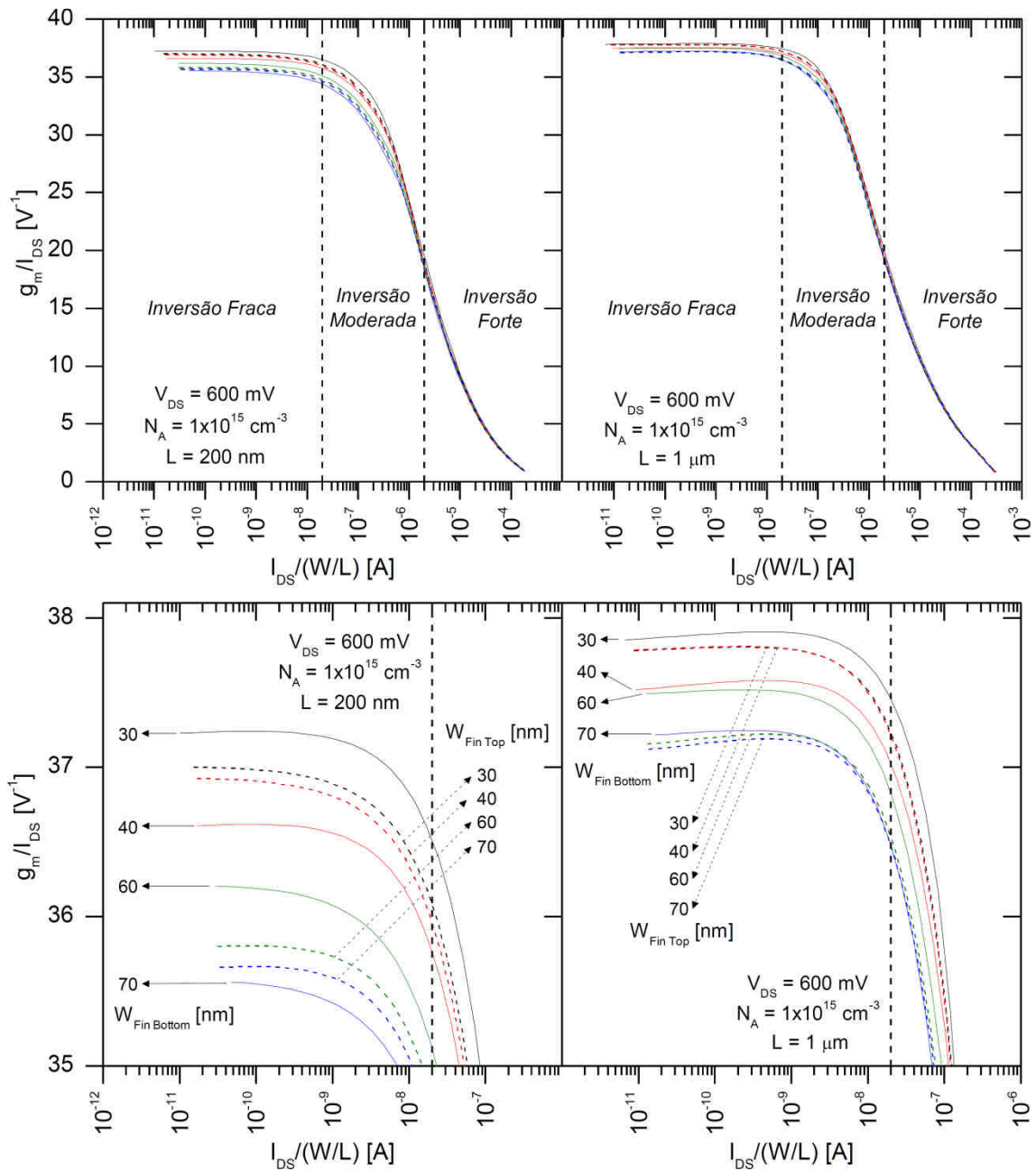


Figura 29 – Transcondutância dividida pela corrente de dreno (g_m/I_{DS}) em transistores FinFETs para comprimentos de canal de 200 nm e 1 μm , em concentrações de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$.

Tabela 2 – Valores de transcondutância ($g_m/(W/L)$) em $[\mu S]$ para $W_{AFW} = 40, 45, 55$ e 60 nm, $V_{DS} = 600$ mV.

W_{AFW} [nm]		L = 200 nm $N_A = 1 \times 10^{15} \text{ cm}^{-3}$				L = 1 μm $N_A = 1 \times 10^{15} \text{ cm}^{-3}$				L = 200 nm $N_A = 1 \times 10^{17} \text{ cm}^{-3}$				L = 1 μm $N_A = 1 \times 10^{17} \text{ cm}^{-3}$			
		40	45	55	60	40	45	55	60	40	45	55	60	40	45	55	60
$W_{Fin Bottom}$ fixado em 50 nm	$V_{GT} = 140\text{mV}$	76,2	76,4	76,3	77,2	90,7	91	91,4	93	84,8	87,1	91,3	94,6	94	95,8	99,6	103,4
	$V_{GT} = 240\text{mV}$	111,5	112,4	113,9	116,3	153,2	154,1	155,9	159,2	120,9	123,4	128,4	132,8	156,7	159,1	164,4	170,2
	$V_{GT} = 340\text{mV}$	137,3	138,7	141,7	145,4	210,7	212,7	215,2	220,4	145,7	148,2	153,5	158,7	214,5	217	223,4	230,8
$W_{Fin Top}$ fixado em 50 nm	$V_{GT} = 140\text{mV}$	83,4	79	74,3	72,8	100,9	95,1	88	84,5	92,5	90,6	88,3	88,1	103,1	100,6	96	95,1
	$V_{GT} = 240\text{mV}$	121,9	116,5	110,5	108,4	168,2	160,3	150,9	146,4	131,5	128,2	124,4	123,5	170,6	166	159,1	157,5
	$V_{GT} = 340\text{mV}$	149,5	143,9	137,4	135,3	229	220	209	204,1	157,8	153,7	148,9	147,6	231,6	225,6	216,8	214,6

5.2.1.6 Ganho Intrínseco de Tensão

O ganho intrínseco de tensão foi calculado utilizando a equação (32) na polarização de dreno de 600 mV, com os valores de A_V de cada ponto extraído em $V_{DS} = 600$ mV apresentados na

tabela 3, e está traçado na figura 30 em função de W_{AFW} para ambas as concentrações de dopantes, com valores maiores para dispositivos com W_{AFW} menores, devido à melhoria de g_d , e ainda maior quando $W_{Fin Top}$ é maior do que $W_{Fin Bottom}$, graças à maior transcondutância. Este efeito é claramente observado em todos os dispositivos, independente do comprimento de canal.

$$A_V = \frac{g_m}{g_d} \quad (32)$$

Tabela 3 – Valores de ganho intrínseco de tensão (A_V) em [dB] para $W_{AFW} = 40, 45, 55$ e 60 nm, $V_{DS} = 600$ mV.

W_{AFW} [nm]		L = 200 nm $N_A = 1 \times 10^{15} \text{ cm}^{-3}$				L = 1 μm $N_A = 1 \times 10^{15} \text{ cm}^{-3}$				L = 200 nm $N_A = 1 \times 10^{17} \text{ cm}^{-3}$				L = 1 μm $N_A = 1 \times 10^{17} \text{ cm}^{-3}$			
		40	45	55	60	40	45	55	60	40	45	55	60	40	45	55	60
$W_{Fin Bottom}$ fixado em 50 nm	$V_{GT} = 140\text{mV}$	37,2	36,1	36	35,8	50,4	50,3	49,5	49,2	35,9	35,5	34,8	34,7	49,5	49,2	48,5	48,3
	$V_{GT} = 240\text{mV}$	33,6	33,3	32,9	32,8	45,1	44,8	44,1	43,9	32,7	32,4	32	31,9	44,4	44,1	43,5	43,4
	$V_{GT} = 340\text{mV}$	30,8	30,6	30,4	30,4	39,6	39,1	39	38,9	30	29,8	29,5	29,5	39,1	38,7	38,4	38,4
$W_{Fin Top}$ fixado em 50 nm	$V_{GT} = 140\text{mV}$	38,4	37,3	35,6	35	50,4	50,2	49,3	48,9	36,8	35,7	34,6	33,9	50	49,2	48,5	48
	$V_{GT} = 240\text{mV}$	34,4	33,6	32,6	32,1	44,7	44,8	43,7	43,3	33,4	32,7	31,8	31,3	45	44,2	43,3	42,8
	$V_{GT} = 340\text{mV}$	31,3	31,3	30,2	29,9	39,6	39,6	38,7	38,5	30,5	30	29,4	29	39,6	39	38,3	38

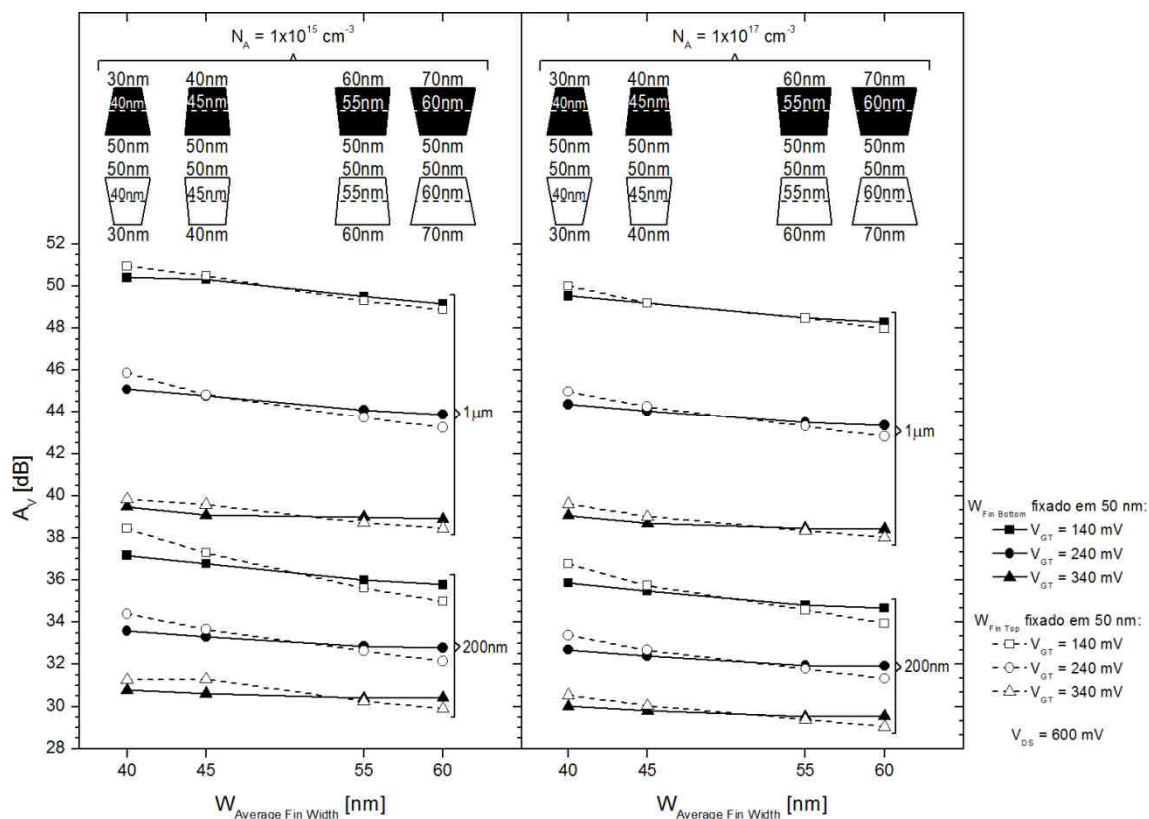


Figura 30 – Ganho intrínseco de tensão em transistores FinFETs para concentração de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$.

5.2.2 Dispositivos com Comprimento de Canal de 100 nm

Os FinFETs foram desenvolvidos como uma alternativa aos dispositivos planares de porta única, permitindo o contínuo escalamento, com comprimentos de canal abaixo dos 100 nm com resultados promissores. Esta seção dedica uma atenção especial a estes dispositivos, com comprimento de canal igual a 50 nm e W_{Fin} variando até o mínimo de 10 nm. As tendências em função da influência do formato da secção transversal nos dispositivos sub-100 nm são analisadas e comparadas com os dispositivos de canal longo.

5.2.2.1 Tensão de Limiar

Utilizando o mesmo método e mesmas características de polarização adotadas anteriormente, a tensão de limiar é apresentada na figura 31 em função de W_{AFW} com concentrações de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$, para ambos os conjuntos.

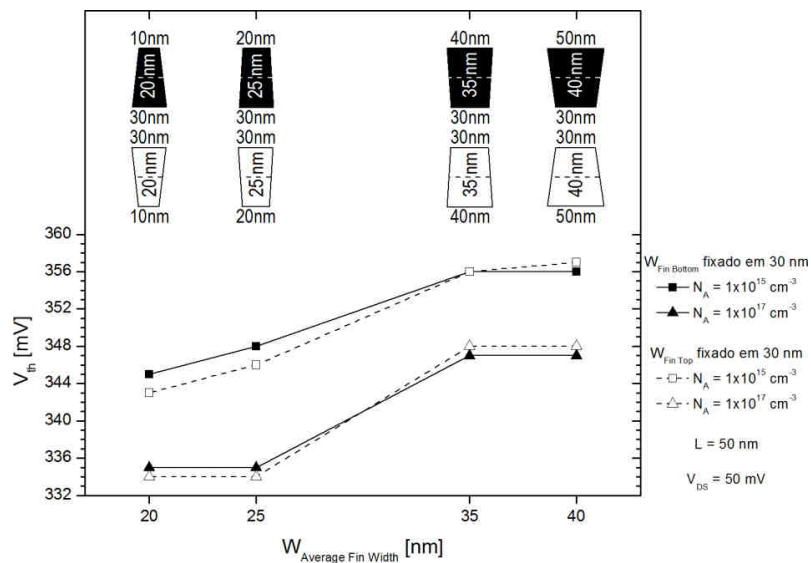


Figura 31 – Tensões de limiar em função da largura média das aletas em FinFETs para comprimento de canal de 50 nm com concentrações de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$.

Diferentemente do observado anteriormente, desta vez V_{th} apresenta a mesma inclinação positiva para ambos os níveis de concentrações de dopantes conforme W_{AFW} aumenta e valores superiores foram obtidos para dispositivos com concentração de dopantes igual à $N_A = 1 \times 10^{15} \text{ cm}^{-3}$.

5.2.2.2 Condutância de Saída

Os dados da condutância de saída extraídos na polarização de dreno $V_{DS} = 600 \text{ mV}$ em função de W_{AFW} são apresentados na figura 32 para sobre-tensões de porta de 140 mV, 240 mV e 340 mV, em ambos os conjuntos.

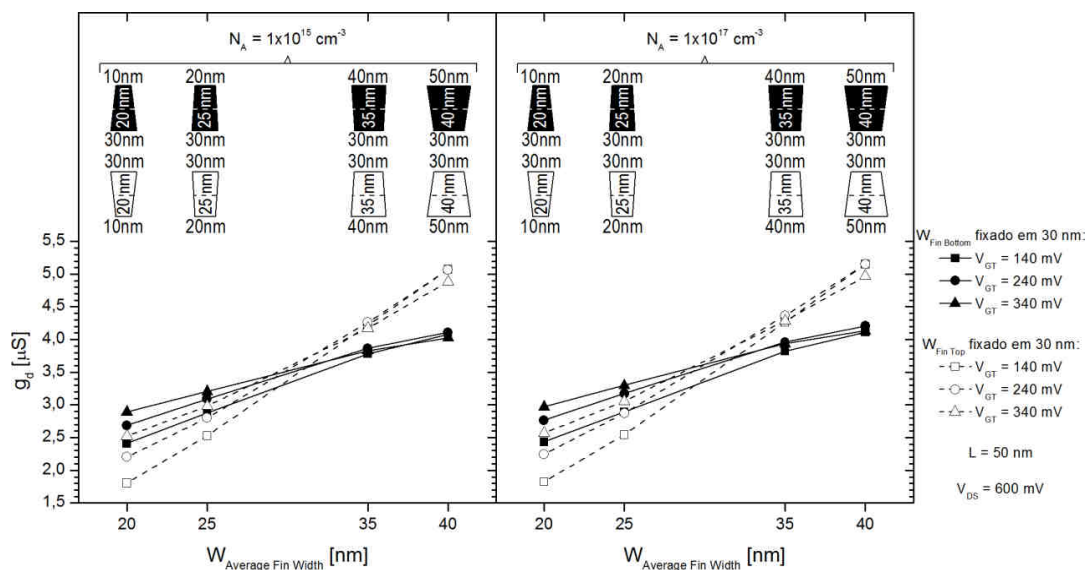


Figura 32 – Condutância de saída em função da largura média da aleta para comprimento de canal de 50 nm para concentração de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$.

Assim como antes, a condutância de saída apresentou valores maiores em canais mais largos, mas desta vez possui uma pequena dependência com o formato do canal e uma variação maior quando W_{AFW} é variado. A figura 33 (a) mostra planos de corte verticais longitudinais com curvas isométricas de concentração de elétrons. Pode ser observado que a influência do potencial de dreno é muito maior na altura onde a aleta é maior. A figura 33 (b) mostra os mesmos planos de corte para dispositivos maiores da seção 5.2.1 e pode ser visto que tal influência é claramente menor nestes dispositivos. A tabela 4 apresenta os valores de g_d extraídos em $V_{DS} = 600$ mV para cada sobre-tensão de porta e concentração de dopantes.

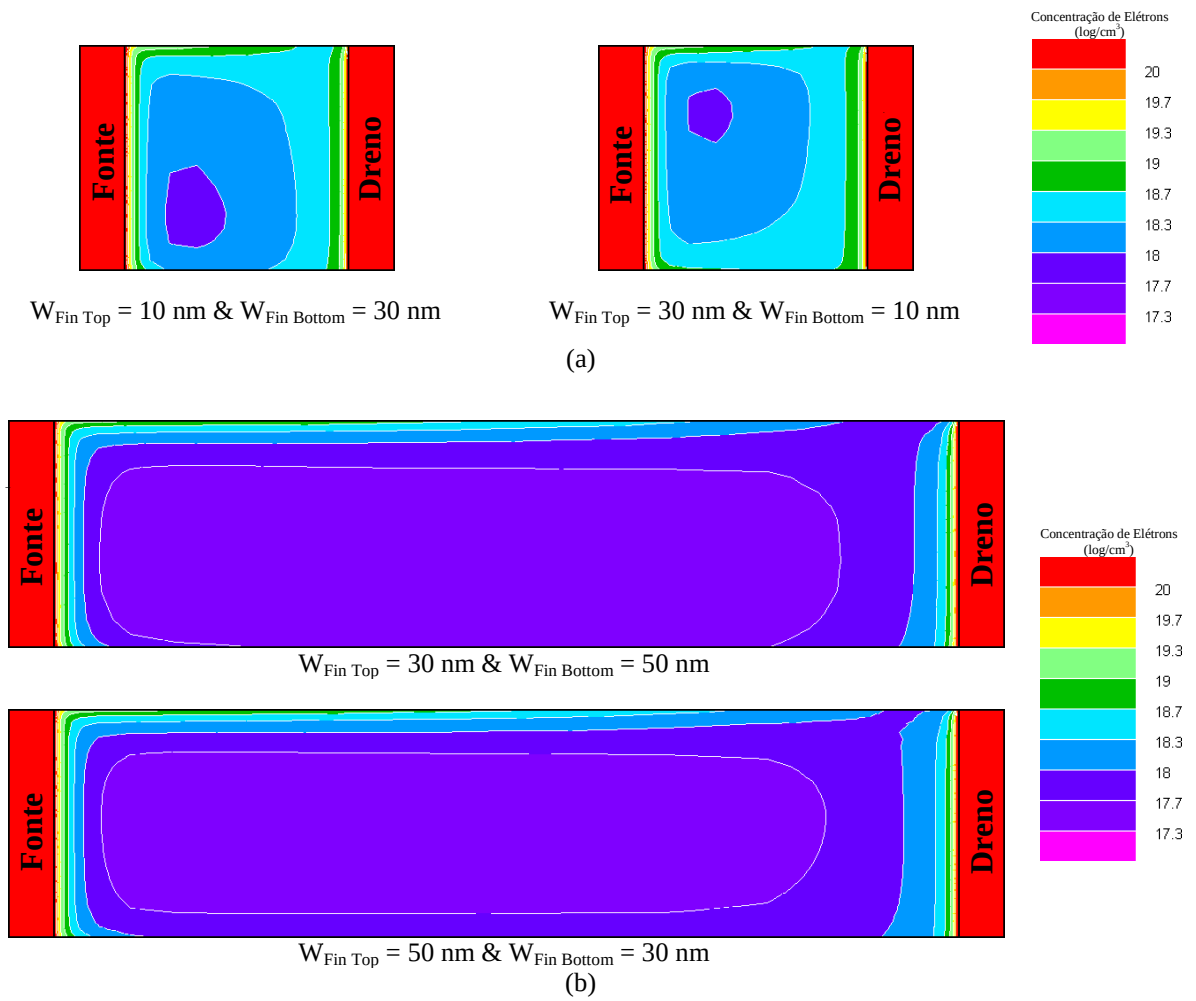


Figura 33 – Planos de corte verticais longitudinais em FinFETs com curvas isométricas de concentração de elétrons para $V_{DS} = 600$ mV, $V_{GT} = 340$ mV e $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ em:
Comprimento de canal de 50 nm (b) Comprimento de canal de 200 nm

Tabela 4 – Valores de condutância de saída ($g_d/(W/L)$) em μS para $W_{\text{AFW}} = 20, 25, 35$ e 40 nm, $V_{\text{DS}} = 600$ mV.

W_{AFW} [nm]		L = 50 nm $N_A = 1 \times 10^{15} \text{ cm}^{-3}$				L = 50 nm $N_A = 1 \times 10^{17} \text{ cm}^{-3}$			
		20	25	35	40	20	25	35	40
$W_{\text{Fin Bottom}}$ fixado em 30 nm	$V_{\text{GT}} = 140 \text{ mV}$	2,41	2,88	3,78	4,08	2,43	2,89	3,82	4,11
	$V_{\text{GT}} = 240 \text{ mV}$	2,69	2,09	3,86	4,11	2,76	3,17	3,96	4,21
	$V_{\text{GT}} = 340 \text{ mV}$	2,89	3,21	3,83	4,02	2,97	3,30	3,93	4,13
$W_{\text{Fin Top}}$ fixado em 30 nm	$V_{\text{GT}} = 140 \text{ mV}$	1,81	2,53	4,22	5,07	1,82	2,54	4,26	5,15
	$V_{\text{GT}} = 240 \text{ mV}$	2,20	2,80	4,26	5,07	2,25	2,87	4,36	5,15
	$V_{\text{GT}} = 340 \text{ mV}$	2,52	2,98	4,17	4,88	2,57	3,06	4,29	4,97

5.2.2.3 Transcondutância

Os dados da transcondutância normalizada obtidos com $V_{\text{DS}} = 600$ mV nas três sobre-tensões de porta e ambas as concentrações de dopantes são apresentadas na figura 34, em função de W_{AFW} . As mesmas tendências observadas para canais mais longos são preservadas para dispositivos de 50 nm, com valores maiores de g_m nos dispositivos com $W_{\text{Fin Top}}$ mais largo do que $W_{\text{Fin Bottom}}$, embora os estes novos valores sejam menores do que os obtidos anteriormente, devido ao canal mais curto.

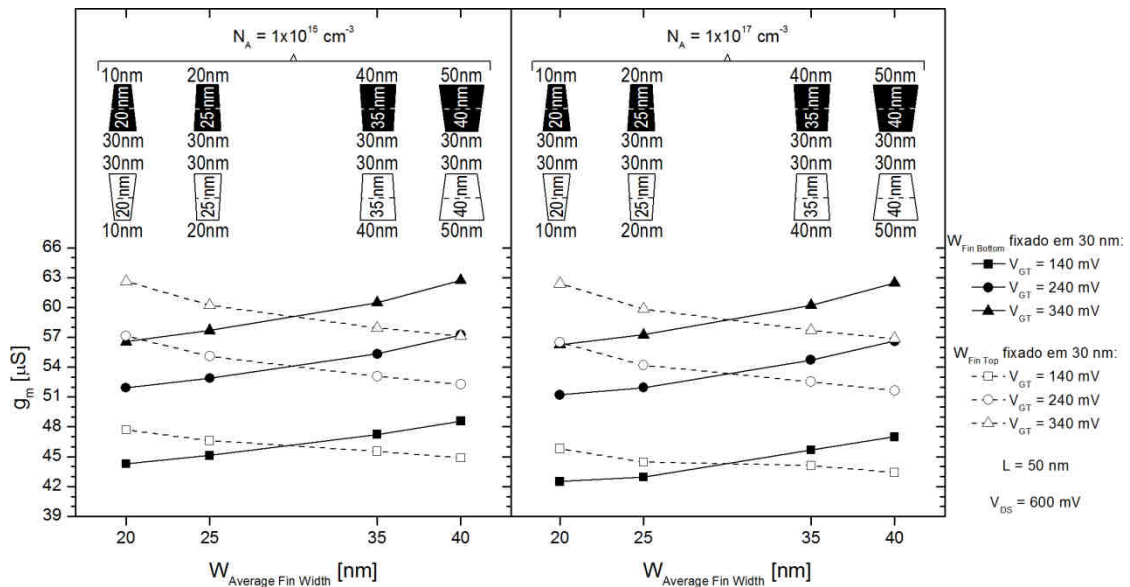


Figura 34 – Transcondutância em transistores FinFETs em função da largura média da aleta para comprimento de canal de 50 nm, em concentrações de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$.

As diferenças em g_m entre os dois níveis de concentração de dopantes não são mais tão expressivas quanto eram antes para dispositivos com canal longo e largo. A tabela 5 apresenta os valores de g_m extraídos em $V_{\text{DS}} = 600$ mV para cada sobre-tensão de porta e concentração de dopantes.

Tabela 5 – Valores de transcondutância ($g_m/(W/L)$) em μS para $W_{AFW} = 20, 25, 35$ e 40 nm, $V_{DS} = 600$ mV.

W_{AFW} [nm]		L = 50 nm $N_A = 1 \times 10^{15} \text{ cm}^{-3}$				L = 50 nm $N_A = 1 \times 10^{17} \text{ cm}^{-3}$			
		20	25	35	40	20	25	35	40
$W_{Fin Bottom}$ fixado em 30 nm	$V_{GT} = 140 \text{ mV}$	44,3	45,1	47,2	48,6	42,5	43,0	45,7	47,0
	$V_{GT} = 240 \text{ mV}$	51,9	52,9	55,3	57,2	51,2	51,9	54,7	56,6
	$V_{GT} = 340 \text{ mV}$	56,6	57,7	60,5	62,7	56,3	57,2	60,2	62,5
$W_{Fin Top}$ fixado em 30 nm	$V_{GT} = 140 \text{ mV}$	47,7	46,6	45,5	44,9	45,8	44,5	44,1	43,4
	$V_{GT} = 240 \text{ mV}$	57,1	55,1	53,1	52,3	56,5	54,2	52,5	51,7
	$V_{GT} = 340 \text{ mV}$	62,6	60,2	57,9	57,1	62,4	59,8	57,7	56,9

5.2.2.4 Ganho Intrínseco de Tensão

Como resultado da mudança de comportamento em g_d , com valores maiores e a diminuição de g_m , uma curva de ganho intrínseco de tensão um pouco diferente foi obtida através da equação (32) com o dreno polarizado em $V_{DS} = 600$ mV, em ambas as concentrações de dopantes. Ainda assim, a mesma tendência de maiores valores de A_V obtidos para $W_{Fin Top}$ maior do que $W_{Fin Bottom}$, especialmente em aletas mais estreitas, são não apenas mantidos, mas são mais expressivos. Ambas as concentrações de dopantes apresentaram valores muito próximos uma da outra, indicando sua fraca dependência com a mesma. A tabela 6 apresenta os valores de A_V extraídos em $V_{DS} = 600$ mV para cada sobre-tensão de porta e concentração de dopantes.

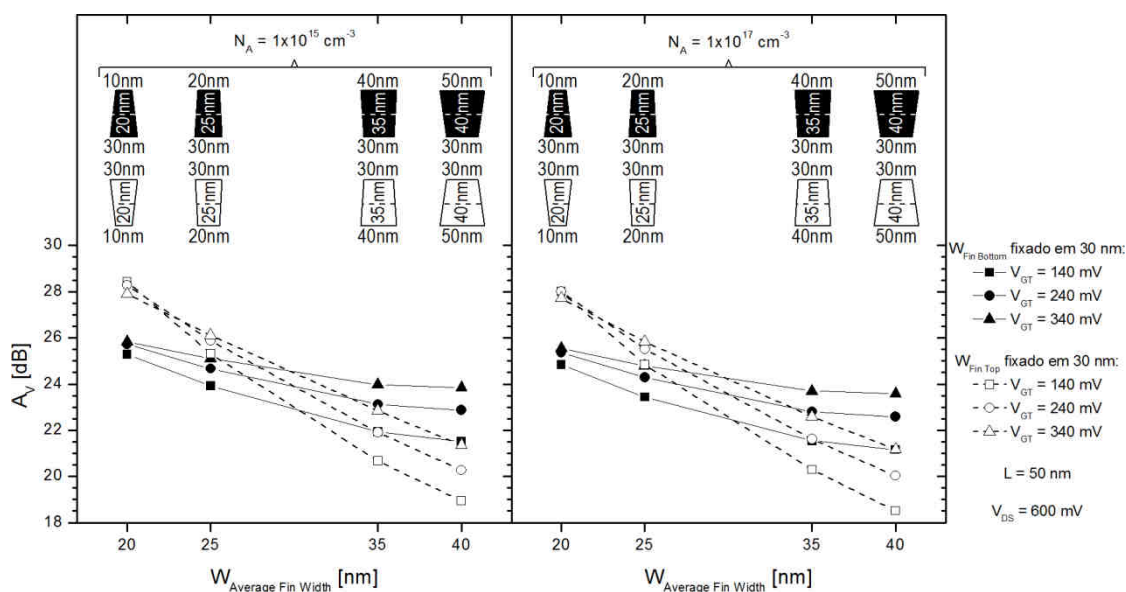


Figura 35 – Ganho intrínseco de tensão em transistores FinFETs para concentrações de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$.

Tabela 6 – Valores de ganho intrínseco de tensão (A_V) em [dB] para $W_{AFW} = 20, 25, 35$ e 40 nm, $V_{DS} = 600$ mV.

W_{AFW} [nm]		L = 50 nm $N_A = 1 \times 10^{15} \text{ cm}^{-3}$				L = 50 nm $N_A = 1 \times 10^{17} \text{ cm}^{-3}$			
		20	25	35	40	20	25	35	40
$W_{Fin Bottom}$ fixado em 30 nm	$V_{GT} = 140 \text{ mV}$	25,3	23,9	21,9	21,5	24,8	23,4	21,5	21,2
	$V_{GT} = 240 \text{ mV}$	25,7	24,7	23,1	22,9	25,4	24,3	22,8	22,6
	$V_{GT} = 340 \text{ mV}$	25,8	25,1	24,0	23,9	25,4	24,8	23,7	23,6
$W_{Fin Top}$ fixado em 30 nm	$V_{GT} = 140 \text{ mV}$	28,4	25,3	20,7	18,9	28,0	24,8	20,3	18,5
	$V_{GT} = 240 \text{ mV}$	28,3	25,9	21,9	20,3	28,0	25,5	21,6	20,0
	$V_{GT} = 340 \text{ mV}$	27,9	26,1	22,8	21,3	27,7	25,8	22,6	21,2

5.3 Resultados e Discussões – Análise AC

Nesta seção, análises AC foram conduzidas em saturação, utilizando o mesmo simulador anterior (Atlas3D), através da extensão AC de pequenos sinais do mesmo. O simulador retornou os dados de condutância e capacitância entre cada par de eletrodos do dispositivo. Para o cálculo da capacitância total de porta e da frequência de ganho unitário, as capacitâncias entre porta-fonte, porta-dreno e porta-substrato foram obtidas fixando-se a frequência do sinal AC em 10 GHz e realizando-se o levantamento da curva, polarizando o dreno em $V_{DS} = 600$ mV (saturação) e variando a polarização de porta em rampa. Vale ressaltar novamente que estamos considerando a simulação de um caso ideal, onde apenas o comportamento do canal é focado e as resistências série são desconsideradas.

5.3.1 Dispositivos de Canal Longo

5.3.1.1 Capacitância Total de Porta

As capacitâncias de porta com o dreno polarizado em 600 mV (saturação) são obtidas pela integração das variações da densidade de cargas da simulação AC. A capacitância total de porta (C_{gg}) é calculada como sendo a soma das capacitâncias entre porta e fonte, porta e dreno e porta e substrato (C_{gs} , C_{gd} , C_{gb}) [69] para cada sobre-tensão de porta e concentração de dopantes, com os resultados apresentados na figura 36 para comprimento de canal igual a 200 nm.

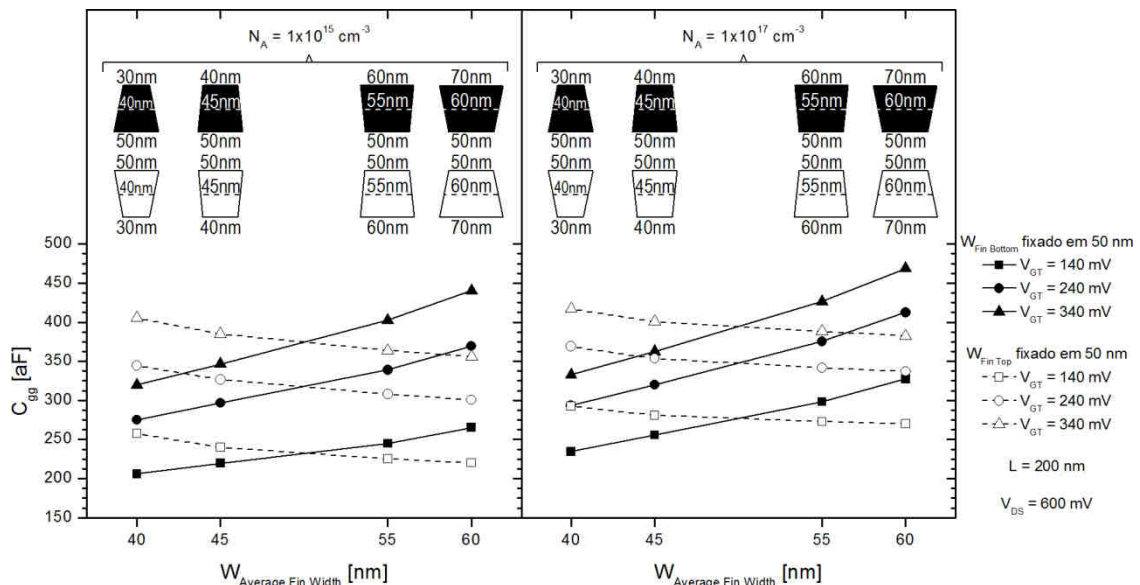


Figura 36 – Capacitância total de porta em FinFETs com comprimento de canal de 200 nm e concentração de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$.

Os valores maiores de C_{gg} para dispositivos com $W_{Fin\ Top}$ maior do que $W_{Fin\ Bottom}$, em ambos os conjuntos, indica que nestas condições as cargas da junção de depleção estão mais próximas das paredes do canal em comparação com o caso oposto, onde $W_{Fin\ Top}$ é menor do que $W_{Fin\ Bottom}$. Como consequência, um piora na frequência é esperada para o segundo caso.

5.3.1.2 Frequência de Ganho Unitário

A frequência de ganho unitário ($f_T = g_m / 2 \cdot \pi \cdot C_{gs}$) com o dreno polarizado em 600 mV (saturação) também foi obtida a partir da simulação AC, utilizando a capacitância entre porta e fonte e a transcondutância [70] para cada sobre-tensão de porta e concentração de dopantes, com os resultados apresentados na figura 37 para comprimento de canal igual a 200 nm.

As frequências de ganho unitário obtidas estão próximas dos 100 GHz, concordando com resultados previamente publicados [70,71]. A comparação entre diferentes inclinações das paredes laterais mostra um melhor desempenho em aplicações de alta frequência com dispositivos de aletas mais estreitas e com o topo da secção transversal menor do que a base. A tabela 7 apresenta os valores de f_T extraídos em $V_{DS} = 600$ mV para cada sobre-tensão de porta e concentração de dopantes.

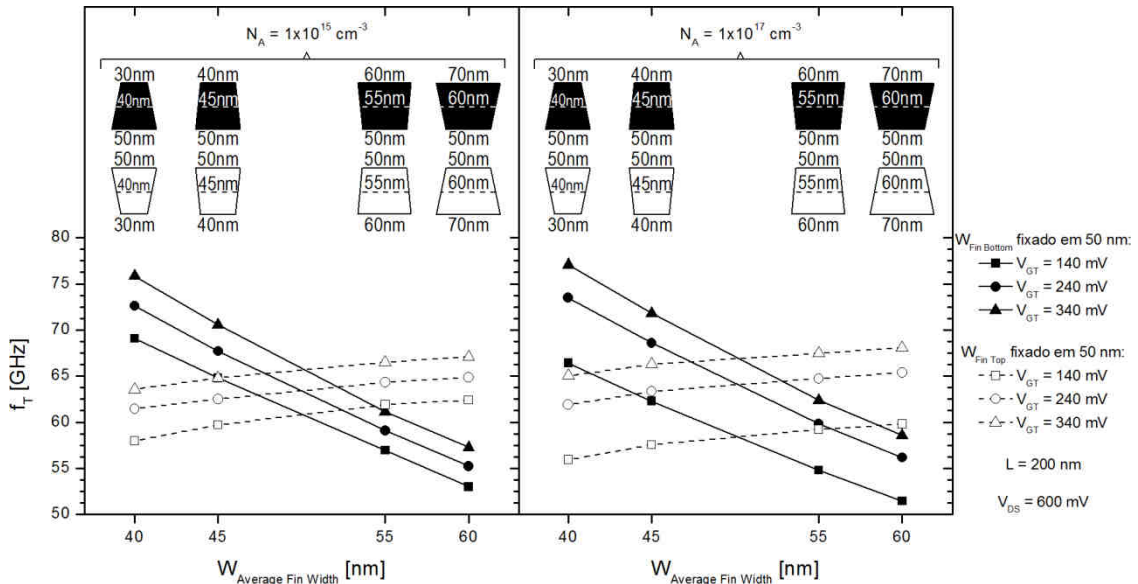


Figura 37 – Frequência de ganho unitário em FinFETs com comprimento de canal de 200 nm e concentração de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$.

Tabela 7 – Valores de frequência de ganho unitário (f_T) em [GHz] para $W_{AFW} = 40, 45, 55$ e 60 nm, $V_{DS} = 600$ mV.

W_{AFW} [nm]		L = 200 nm $N_A = 1 \times 10^{15} \text{ cm}^{-3}$				L = 200 nm $N_A = 1 \times 10^{17} \text{ cm}^{-3}$			
		40	55	55	60	40	45	55	60
$W_{Fin Bottom}$ fixado em 50 nm	$V_{GT} = 140 \text{ mV}$	69,1	64,8	57,0	53,0	66,4	62,3	54,8	51,5
	$V_{GT} = 240 \text{ mV}$	72,6	67,7	59,1	55,2	73,5	68,6	59,8	56,2
	$V_{GT} = 340 \text{ mV}$	75,8	70,6	61,2	57,3	77,1	71,8	62,4	58,6
$W_{Fin Top}$ fixado em 50 nm	$V_{GT} = 140 \text{ mV}$	58,0	59,7	61,9	62,4	55,9	57,5	59,2	59,8
	$V_{GT} = 240 \text{ mV}$	61,5	62,5	64,3	64,8	61,9	63,3	64,7	65,4
	$V_{GT} = 340 \text{ mV}$	63,6	64,8	66,5	67,1	65,0	66,3	67,5	68,1

5.3.2 Dispositivos com Comprimento de Canal de 100 nm

5.3.2.1 Capacitância Total de Porta

Os dados da capacitância total de porta obtidos na polarização de dreno de 600 mV (saturação) para cada sobre-tensão de porta e concentração de dopantes estão apresentados na figura 38, para comprimento de canal de 50 nm e em função de W_{AFW} , para ambos os conjuntos.

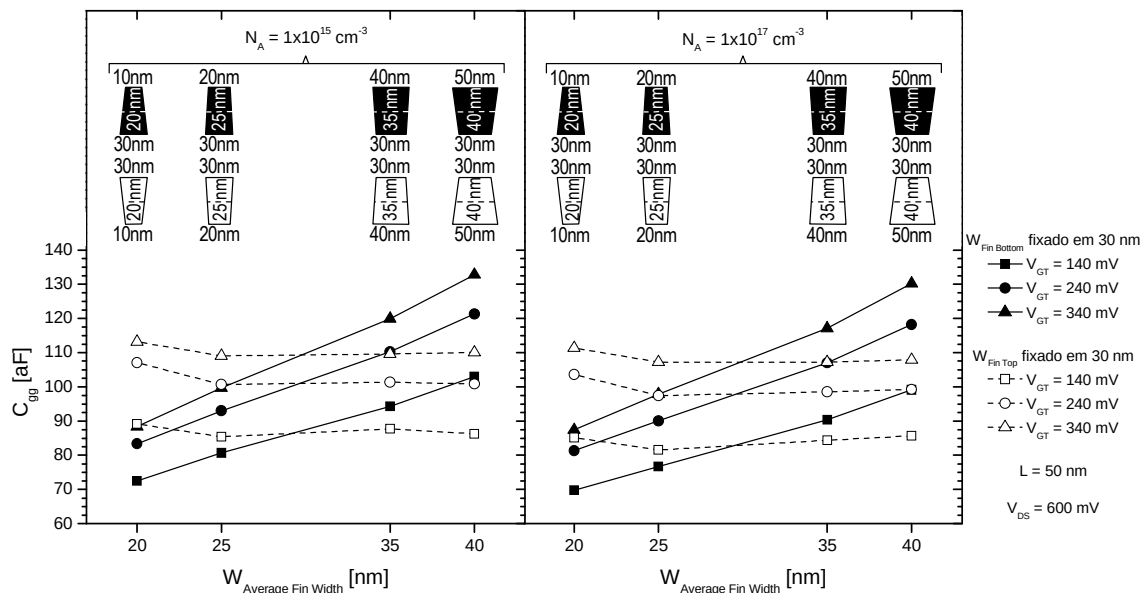


Figura 38 – Capacitância total de porta em FinFETs com comprimento de canal de 50 nm e concentração de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$.

Seguindo a mesma tendência dos dispositivos com comprimento de canal de 200 nm, C_{gg} apresentou valores maiores nos dispositivos com $W_{Fin Top}$ maior do que $W_{Fin Bottom}$. Uma redução significativa de seus valores foi observada em comparação com os dispositivos de 200 nm.

5.3.2.2 Freqüência de Ganho Unitário

A freqüência de ganho unitário com o dreno polarizado em 600 mV (saturação) para cada sobre-tensão de porta e concentração de dopantes é apresentada na figura 39 para comprimento de canal de 50 nm e ambas as concentrações de dopantes.

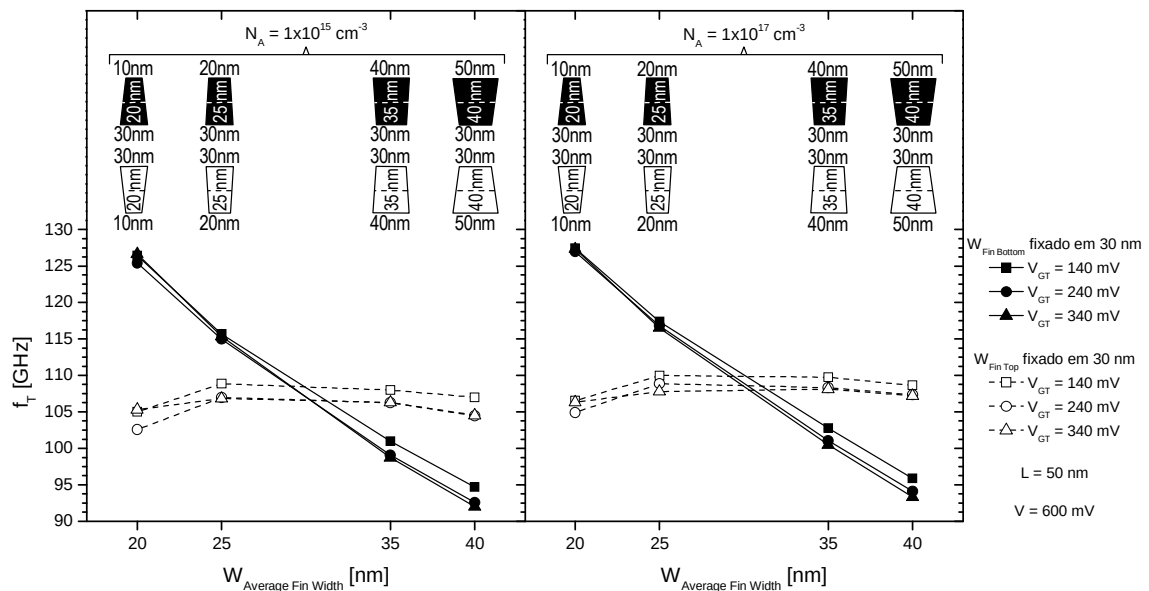


Figura 39 – Freqüência de ganho unitário em FinFETs com comprimento de canal de 50 nm e concentração de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e $N_A = 1 \times 10^{17} \text{ cm}^{-3}$.

As freqüências de ganho unitário, aqui obtidas, também estão na faixa dos 100 GHz e são maiores do que as obtidas em dispositivos de canal longo, como esperado. A tabela 8 apresenta os valores de f_T extraídos em $V_{DS} = 600 \text{ mV}$ para cada sobre-tensão de porta e concentração de dopantes.

Tabela 8 – Valores de freqüência de ganho unitário (f_T) em [GHz] para $W_{AFW} = 20, 25, 35$ e 40 nm , $V_{DS} = 600 \text{ mV}$.

W _{AFW} [nm]		L = 50 nm N _A = 1x10 ¹⁵ cm ⁻³				L = 50 nm N _A = 1x10 ¹⁷ cm ⁻³			
		20	25	35	40	20	25	35	40
W _{Fin Bottom} fixado em 30 nm	V _{GT} = 140mV	283,1	278,8	281,8	287,8	285,4	282,8	288,7	291,5
	V _{GT} = 240mV	280,7	277,1	278,4	281,4	284,3	281,5	284,0	286,0
	V _{GT} = 340mV	283,6	278,0	277,4	279,6	285,2	280,8	282,3	283,6
W _{Fin Top} fixado em 30 nm	V _{GT} = 140mV	277,1	285,5	281,8	282,4	281,2	287,0	286,4	286,7
	V _{GT} = 240mV	270,7	279,9	277,3	275,8	276,9	284,1	282,7	283,3
	V _{GT} = 340mV	277,9	279,2	277,4	275,9	280,6	281,3	282,2	283,0

5.4 Resultados e Discussões – Impactos da Redução do Comprimento de Canal

Seguindo o mesmo conceito de aletas trapezoidais utilizado anteriormente, dois conjuntos de formato das secções transversais das aletas foram selecionados para avaliação comparativa através da variação do comprimento de canal em dispositivos com concentração de dopantes igual a $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e são apresentados na figura 40.

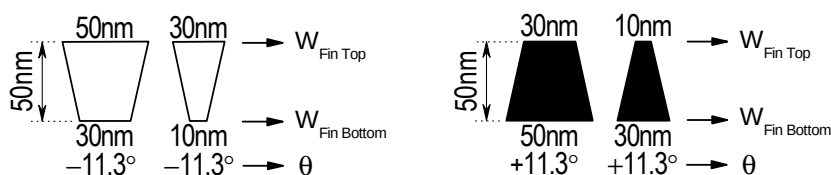


Figura 40 – Secções transversais selecionadas para avaliação variando o comprimento de canal.

A normalização dos parâmetros extraídos e o simulador e seus modelos são mantidos. O comprimento de canal foi reduzido desde $1 \mu\text{m}$ até 30 nm e as sobre-tensões de porta são as mesmas adotadas anteriormente: 140 mV , 240 mV e 340 mV .

5.4.1 Transcondutância

Obtida com a polarização de dreno igual a 600 mV nas três sobre-tensões de porta, a figura 41 apresenta os valores em função do comprimento de canal.

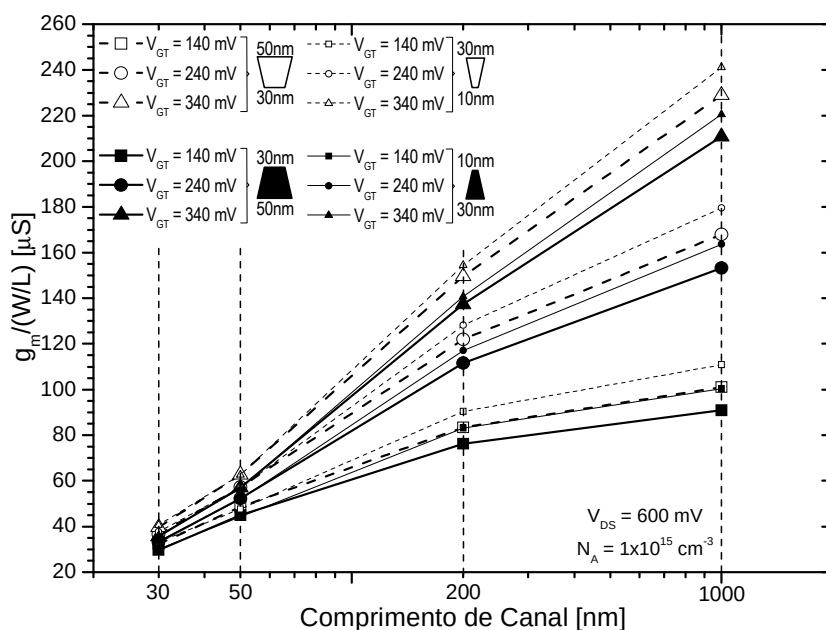


Figura 41– Transcondutância em FinFETs em função do comprimento do canal, com concentração de dopantes igual a $N_A = 1 \times 10^{15} \text{ cm}^{-3}$.

Em dispositivos com comprimento de canal mais longos que 200 nm a transcondutância apresenta grande dependência com o ângulo de inclinação das paredes laterais, por representar o quanto fortemente as cargas de condução estão acopladas à porta ou ao substrato, estando melhor acoplado à porta quando $W_{\text{Fin Top}}$ for maior do que $W_{\text{Fin Bottom}}$. Entretanto, quando o comprimento de canal é reduzido abaixo dos 170 nm, a transcondutância começa a comportar-se diferente, reduzindo a sua dependência com θ .

Como apresentado na figura 42, um primeiro e leve pico prematuro na curva da transcondutância ocorre para comprimentos de canal abaixo dos 170 nm. Este pico prematuro é resultado da inversão prematura da segunda interface. A figura 43 apresenta as curvas de concentração de elétrons que foram extraídas na condição de polarização da porta que leva a inversão prematura da segunda interface (primeiro pico da segunda derivada de I_{DS} vs V_{GS}) e na polarização de porta que leva a inversão da primeira interface. Este efeito ocorre devido à somatória do potencial de dreno ao potencial de porta, conforme o comprimento de canal é reduzido abaixo de 200 nm. O efeito da tensão do dreno sobre o potencial do substrato nos dispositivos SOI é conhecido como sendo a Polarização Virtual do Substrato Induzida pelo Dreno (*Drain-Induced Virtual Substrate Biasing - DIVSB*) [72,73].

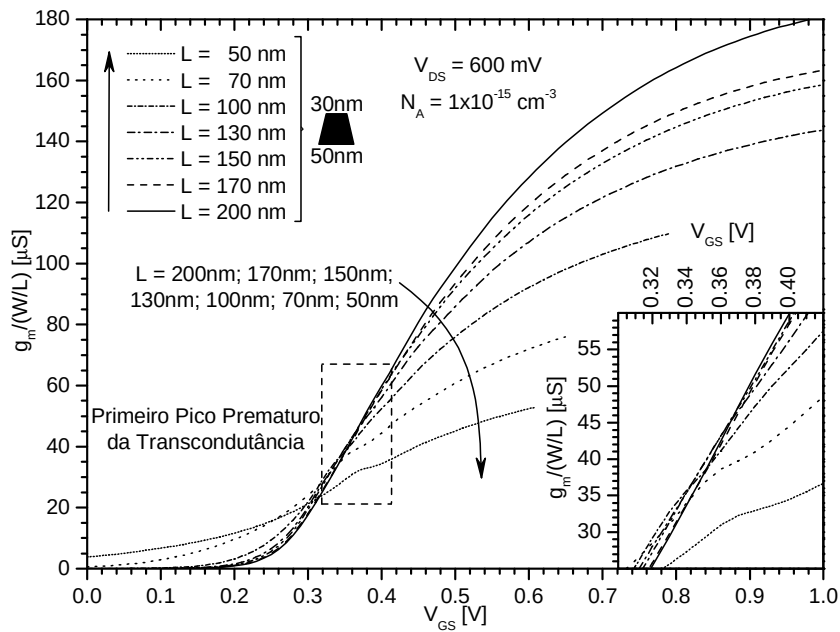


Figura 42 – Curvas da transcondutância em FinFETs em função da tensão de porta, com concentração de dopantes igual a $N_A = 1 \times 10^{15} \text{ cm}^{-3}$, evidenciando o primeiro pico prematuro da transcondutância.

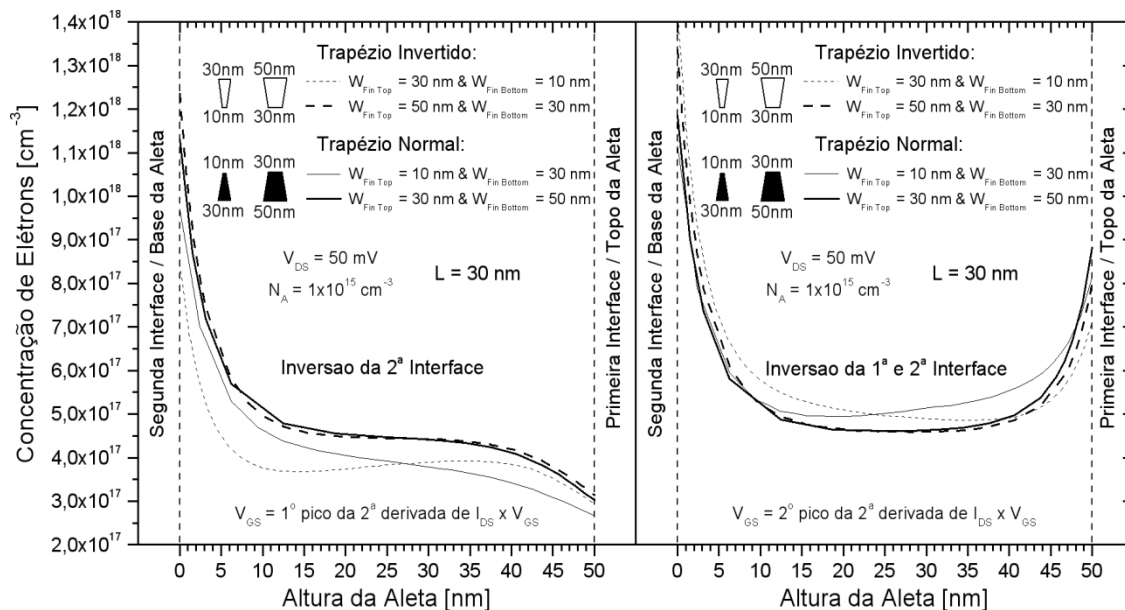


Figura 43 – Curvas da concentração de elétrons em função da altura da aleta, com concentração de dopantes igual a $N_A = 1 \times 10^{15} \text{ cm}^{-3}$, apresentando a inversão prematura da segunda interface.

A posição (V_{GF}) do primeiro pico prematuro caminha em direção a valores maiores de V_{GF} conforme a tensão de dreno é aumentada e fica mais pronunciada conforme o comprimento da aleta é reduzido, principalmente abaixo dos 100 nm. Este efeito pode ser minimizado com o estreitamento da aleta.

5.4.2 Condutância de Saída

Extraída na polarização de dreno de 600 mV nas três sobre-tensões de porta e seus resultados apresentados na figura 44, a condutância de saída possui fraca dependência com o formato da aleta, variando com o comprimento do canal e a largura da aleta. No entanto, quando o comprimento do canal é reduzido abaixo dos 170 nm, g_d passa a sofrer uma leve variação com a mudança do ângulo das paredes laterais.

Dispositivos com aletas mais estreitas, e conseqüente menor área de secção transversal, possuem menores valores de g_d , justificado pela menor susceptibilidade à penetração do potencial de dreno, devido ao acoplamento mais intenso das portas. Para transistores de canal mais curto, a dependência de g_d com o comprimento de canal torna-se mais forte, assim como a dependência com a sobre-tensão de porta reduz. Os diferentes

valores de g_d para cada V_{GT} com o mesmo formato de aleta tendem a convergir e continuar assim com a redução contínua do comprimento do canal. Além disso, a influência do potencial aplicado no dreno aumenta em aletas mais largas, devido à maior exposição das cargas do canal a junção de dreno. Apesar da pequena dependência de g_d com θ , aletas com $W_{Fin\ Top}$ maior do que $W_{Fin\ Bottom}$ possuem valores menores de g_d , característica que é interessante para a obtenção de valores maiores do ganho intrínseco de tensão ($A_V = g_m/g_d$).

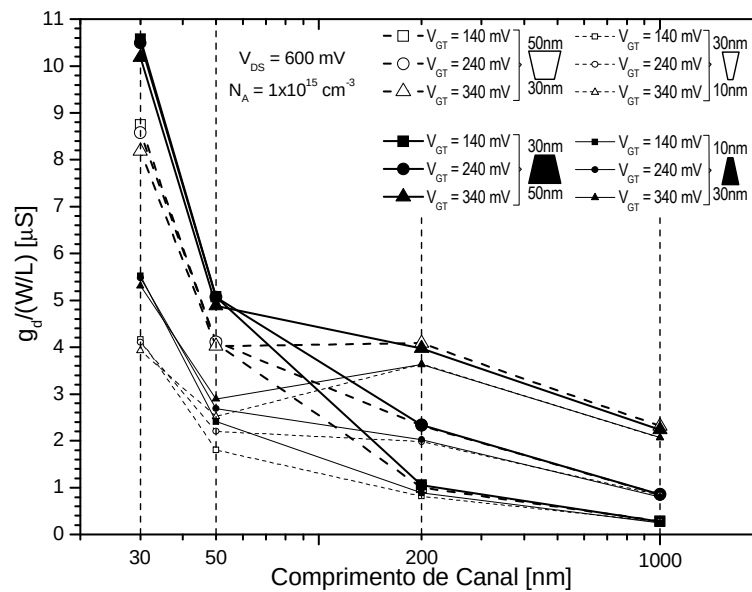


Figura 44 – Condutância de saída em FinFETs em função do comprimento do canal, com concentração de dopantes igual a $N_A = 1 \times 10^{15} \text{ cm}^{-3}$.

5.4.3 Ganho Intrínseco de Tensão

O maior ganho intrínseco de tensão em dispositivos com dreno polarizado em 600 mV e concentração de dopantes de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ é obtido em transistores mais estreitos e com $W_{Fin\ Top}$ maior do que $W_{Fin\ Bottom}$ em todos os comprimentos de canal e a convergência das curvas para cada V_{GT} de um mesmo formato de secção transversal para comprimentos de canal mais curtos ocorre como consequência do comportamento de g_m e de g_d .

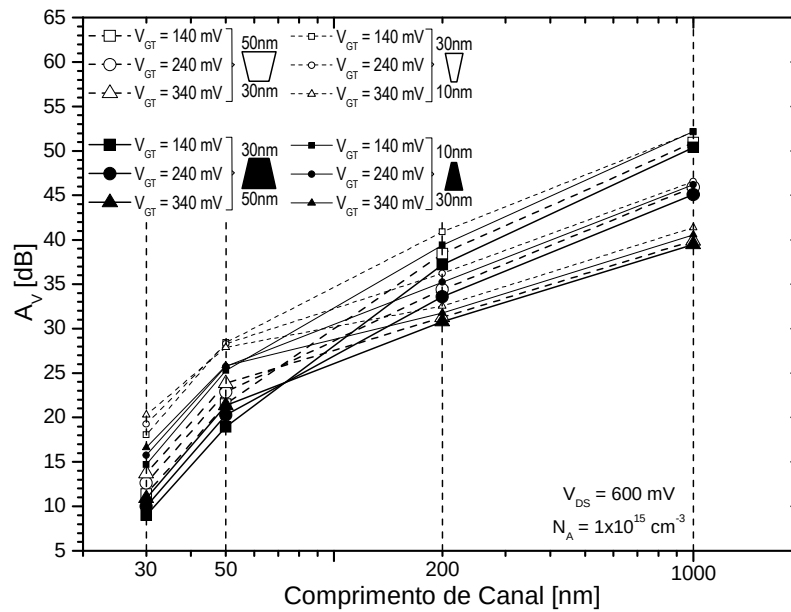


Figura 45 – Ganho intrínseco de tensão em FinFETs em função do comprimento do canal, com concentração de dopantes igual a $N_A = 1 \times 10^{15} \text{ cm}^{-3}$.

5.4.4 Capacitância Total de Porta

Utilizando a extensão AC de pequenos sinais do simulador Atlas3D e extraindo os dados com o dreno polarizado em 600 mV em dispositivos com comprimento de canal variando de 200 nm a 30 nm, a capacitância total de porta, apresentada na figura 46, decresce com a redução do comprimento do canal, apresentando valores maiores nos dispositivos com $W_{Fin\ Top}$ maior do que $W_{Fin\ Bottom}$.

A dependência do formato da aleta diminui com a redução do comprimento do canal conforme os acoplamentos capacitivos diminuem, convergindo C_{gg} e reduzindo o seu valor.

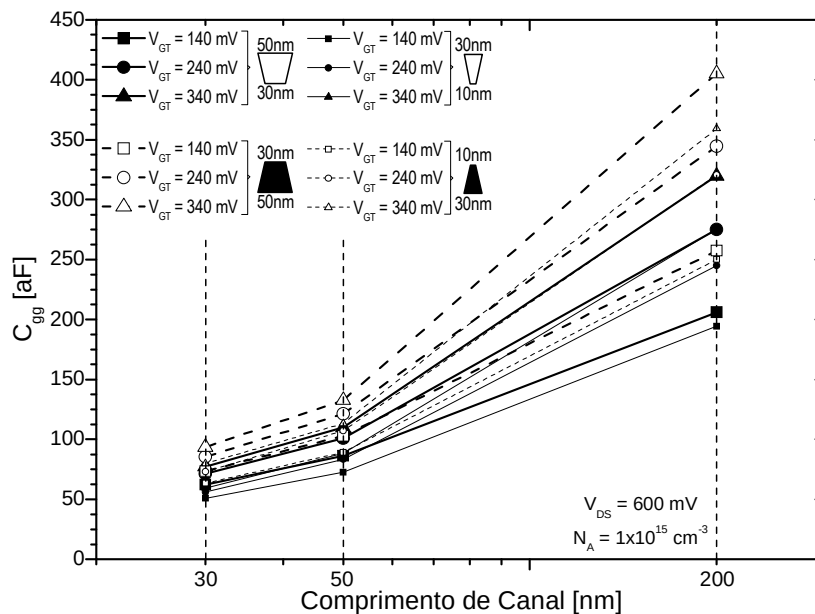


Figura 46 – Capacitância total de porta em FinFETs em função do comprimento do canal, com concentração de dopantes igual a $N_A = 1 \times 10^{15} \text{ cm}^{-3}$.

5.4.5 Freqüência de Ganho Unitário

A capacitância C_{gs} entre porta e fonte extraída com o dreno polarizado em 600 mV em dispositivos com comprimento de canal variando de 200 nm a 30 nm, assim como C_{gg} , é maior para dispositivos com $W_{\text{Fin Top}}$ maior do que $W_{\text{Fin Bottom}}$ e converge mas aumentando seu valor, visto que f_T é inversamente proporcional a C_{gs} . Sua característica é apresentada na figura 47.

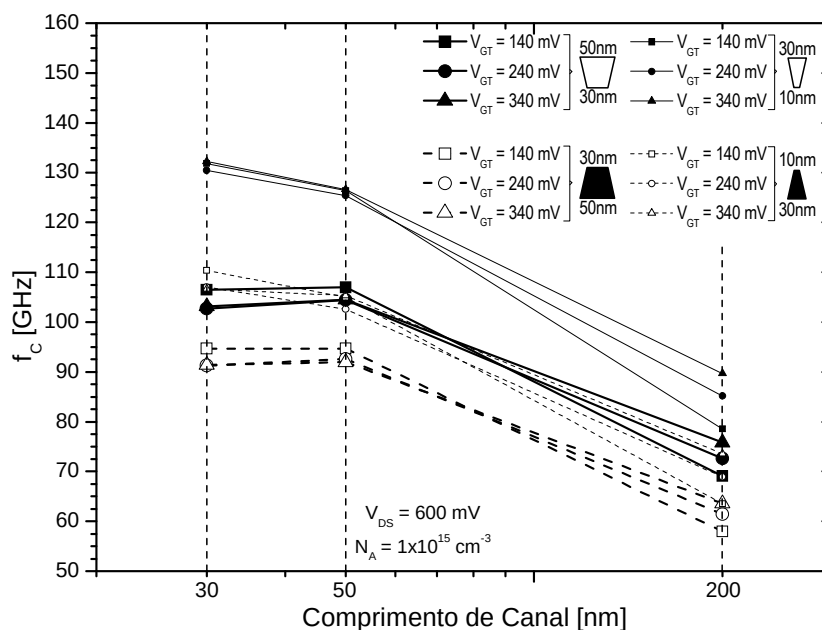


Figura 47 – Freqüência de ganho unitário em FinFETs em função do comprimento do canal, com concentração de dopantes igual a $N_A = 1 \times 10^{15} \text{ cm}^{-3}$.

Assim como visto na seção 5.3.2.2, f_T retorna valores maiores em dispositivos com $W_{Fin\ Top}$ menor do que $W_{Fin\ Bottom}$ e em aletas mais estreitas.

A partir dos resultados obtidos, podemos concluir que a inclinação de sublimiar, a tensão de limiar e a condutância de saída dependem basicamente da largura da aleta de silício e dependem pouco do formato da seção transversal. A transcondutância e a tensão *Early* dependem principalmente do ângulo de inclinação das paredes laterais para cada largura média da aleta, enquanto que a condutância de saída depende principalmente da largura média da aleta. Valores maiores de ganho intrínseco de tensão foram obtidos em dispositivos mais estreitos, devido a melhorias na condutância de saída, e mais acentuadamente em dispositivos com a largura do topo da aleta maior que a base, devido à melhoria na transcondutância. As frequências de ganho unitário maiores foram obtidas em dispositivos menores ($L = 50\text{ nm}$), com aletas mais estreitas (largura média da aleta de 20 nm) e com a largura do topo do canal menor do que a base. A avaliação da redução do comprimento de canal mostrou a redução do valor da transcondutância e a redução da sua dependência com θ , junto do surgimento do primeiro pico prematuro na curva de transcondutância causado pela inversão prematura da segunda interface para comprimentos de canais abaixo dos 170 nm , com consequência na tensão de limiar nesses dispositivos. O aumento da condutância de saída e a redução da dependência com a sobre-tensão de porta com a redução do comprimento do canal ocorre pela maior influência proporcional do potencial de dreno, a qual pode ser reduzida com o estreitamento da aleta e com a largura do topo da aleta maior do que a da base. A frequência de ganho unitário manteve o seu comportamento com valores maiores para aletas mais estreitas e com o topo mais estreito do que a base, e atingiu frequências maiores com a redução do comprimento do canal. Pode-se concluir, portanto que dispositivos com formatos de aleta onde a largura do topo é maior do que a da base possuem melhor desempenho em frequências baixas, com melhor transcondutância, condutância de saída e ganho intrínseco de tensão. Nos dispositivos com formato oposto, a frequência de ganho unitário é privilegiada como consequência da menor capacitância de porta.

6 ESTUDO DA INFLUÊNCIA DA POLARIZAÇÃO DE SUBSTRATO EM TRANSISTORES FINFETS COM DOPAGEM NATURAL DA LÂMINA

A relação existente entre a tensão de limiar e a tensão de polarização aplicada ao substrato em dispositivos SOI FinFET foi explorada anteriormente por Daugé *et al.* [74] em dispositivos FinFET retangulares. Nesta seção do trabalho, a influência da polarização de substrato na tensão de limiar e o comportamento do perfil de potencial elétrico ao longo da secção transversal da aleta são avaliados para dispositivos FinFETs trapezoidais. São estudadas variações causadas por efeitos de primeira e de segunda ordem. Efeitos de primeira ordem estão relacionados a características primárias do transistor como, por exemplo, o comprimento do canal, largura do transistor, tensão de polarização, resistência e capacitância do dispositivo. Efeitos de segunda ordem são dependentes dos parâmetros do dispositivo, como a variação na concentração de dopantes, variação na espessura do óxido, alta intensidade do campo elétrico dentro do canal, ruptura do óxido, entre outros. Tais efeitos se manifestam através da redução da barreira induzida pelo potencial do dreno (DIBL), fuga de corrente pela porta, correntes de tunelamento, portadores quentes, condução de corrente pelo substrato, entre outros. Resultados de simulações para aletas de formato retangular são confrontados com dados experimentais para validação da simulação. Simulações de dispositivos com aletas de formato trapezoidal e diversas distâncias entre as paredes laterais são comparadas com dispositivos possuindo exatamente a mesma área de secção transversal, mas diferentes ângulos de inclinação das paredes laterais dos planos de porta e diferentes distâncias entre as paredes laterais da aleta.

6.1 Dispositivos Simulados

As simulações foram conduzidas utilizando o simulador de dispositivos Atlas 3D para dispositivos com largura média de aleta (W_{AFW}) variando de 20 nm à 10 μ m, altura da aleta (H_{Fin}) de 60 nm, espessura de óxido de porta de 2 nm, espessura do óxido enterrado de 145 nm, comprimento de canal fixo de 1 μ m, e nível de dopagem do canal de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$.

Os resultados das variações ao longo das paredes laterais foram obtidos através da simulação de três formatos básicos de aletas, uma com paredes paralelas e duas com formatos

trapezoidais, como mostrado na figura 48. A largura da aleta W_{AFW} é mantida constante para todos eles. Cada conjunto de simulações consiste em três diferentes formatos de aleta discutidos aqui, com a W_{AFW} fixado em um valor por vez.

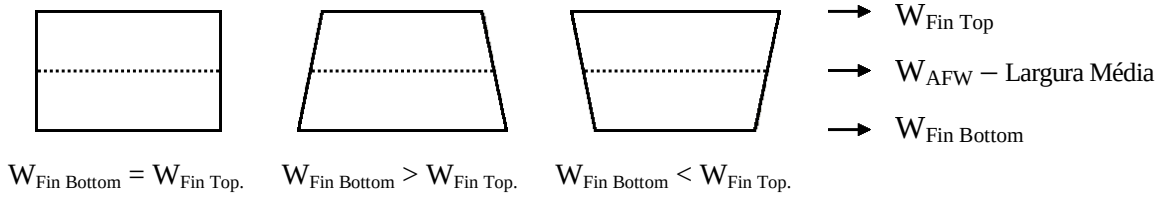


Figura 48 – Secção transversal utilizada para o estudo.

A figura 49 ilustra duas estruturas FinFETs trapezoidais simuladas de $W_{AFW} = 500\text{ nm}$, no caso onde o (a) $W_{Fin\ Bottom}$ é mais largo do que $W_{Fin\ Top}$ e a situação oposta, onde (b) $W_{Fin\ Bottom}$ é mais estreito que $W_{Fin\ Top}$.

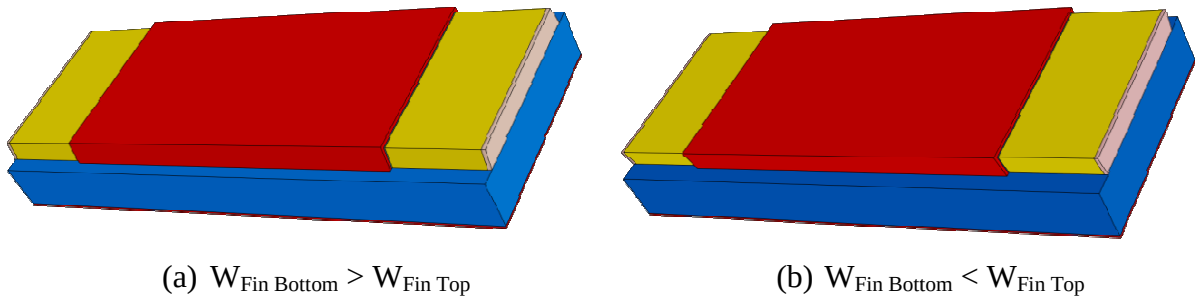


Figura 49 – Ilustração das estruturas FinFETs trapezoidais simuladas:

(a) $W_{Fin\ Bottom}$ é mais largo do que $W_{Fin\ Top}$, e a situação oposta onde (b) $W_{Fin\ Bottom}$ é mais estreito que $W_{Fin\ Top}$.

6.2 Dispositivos Experimentais

Os dispositivos experimentais medidos são FinFETs com canal tipo N com dopagem natural da lâmina ($N_A = 1 \times 10^{15}\text{ cm}^{-3}$), fabricados no Centro Inter-universitário de Microeletrônica (*Interuniversity Microelectronics Center* - IMEC), na Bélgica, seguindo o processo de fabricação descrito na referência [75], disponibilizados pelo IMEC, pelo Professor Cor Clayes. A caracterização elétrica dos dispositivos foi realizada pela pesquisadora Dra. Paula Agopian do grupo de pesquisa SOI da Universidade de São Paulo e professora do Centro Universitário da FEI. Assim como nos dispositivos simulados, a altura da aleta de silício é igual a 60 nm, e a espessura do óxido enterrado é de 145 nm. O óxido de porta foi formado por uma camada de óxido de silício de 1 nm, seguido pela deposição de 2 nm de óxido de háfnio, resultando numa espessura efetiva de óxido de porta de 2 nm. A largura efetiva da aleta do transistor varia entre 20 nm e 10 μm .

6.3 Dispositivos de Portas Laterais Paralelas

6.3.1 Tensão de Limiar

O método utilizado para a extração da tensão de limiar da curva $I_{DS} \times V_{GS}$ com polarização de dreno igual a 25 mV para cada largura de aleta e polarização de substrato foi o método da máxima variação da transcondutância (MTC), o mesmo método utilizado anteriormente.

Os valores da tensão de limiar da primeira interface do canal são apresentados na figura 50 (a) em função da tensão de substrato para W_{AFW} variando de 20 nm à 10 μ m, e a figura 50 (b) apresenta os valores da tensão de limiar experimental também em função da tensão de substrato. Apesar de tensões de substrato com magnitudes tão altas quanto 40 V não serem usuais em aplicações práticas, sendo normalmente polarizado em 0 V, tais magnitudes foram simuladas pela possibilidade que o simulador proporciona em extrapolar a tensão de substrato. O uso destas extrapolações permite confirmar tendências que são observadas em pequenas polarizações. Conforme a tensão de substrato é diminuída, um aumento em V_{th} é observado. Este incremento é maior em dispositivos mais largos do que nos mais estreitos, uma vez que o canal torna-se mais exposto ao potencial de substrato devido ao desacoplamento gradual das portas laterais. De fato, como as regiões de interface com o óxido enterrado próximas as portas laterais pertencem simultaneamente à primeira e à segunda interfaces, elas não acumulam quando a primeira porta é polarizada na tensão de limiar. Com isso, em FinFETs a acumulação da segunda interface é sempre parcial. Para aletas estreitas, a acumulação na segunda interface é muito menor, mesmo para tensões extremamente negativas aplicadas ao substrato, tanto nas simulações como nas medidas experimentais. Para aletas com largura muito pequenas como 20 nm, o acoplamento das portas laterais é tão grande que a tensão de limiar praticamente não sofre variação alguma com a mudança na polarização de substrato. Os resultados medidos apresentando este comportamento são mostrados no topo direito da figura 50 (b). Também é notável a redução da V_{th} com a redução do comprimento de canal, devido aos efeitos de canal curto. Estudos recentes demonstram que para polarizações de substrato extremamente negativas, em torno de -80 V e -100 V, o campo elétrico do substrato torna-se grande o suficiente para se tornar dominante novamente, superando o acoplamento das portas laterais [76]. Comparando ambos os gráficos é possível observar a concordância na tendência dos valores das tensões de limiar para dispositivos com W_{AFW} largos e estreitos.

Para polarizações positivas de substrato há uma elevação abrupta da tensão de limiar em dispositivos onde a razão W_{Fin}/L é alta (a largura da aleta é muito maior do que o comprimento do canal), tendência que concorda com o estudo realizado por Akarvardar *et al* [58]. Esta concordância entre dados de simulação e experimental atesta a validade da simulação para efeitos de primeira ordem sobre I_{DS} e V_{th} , necessários para obter parâmetros acurados para caracterização de dispositivos.

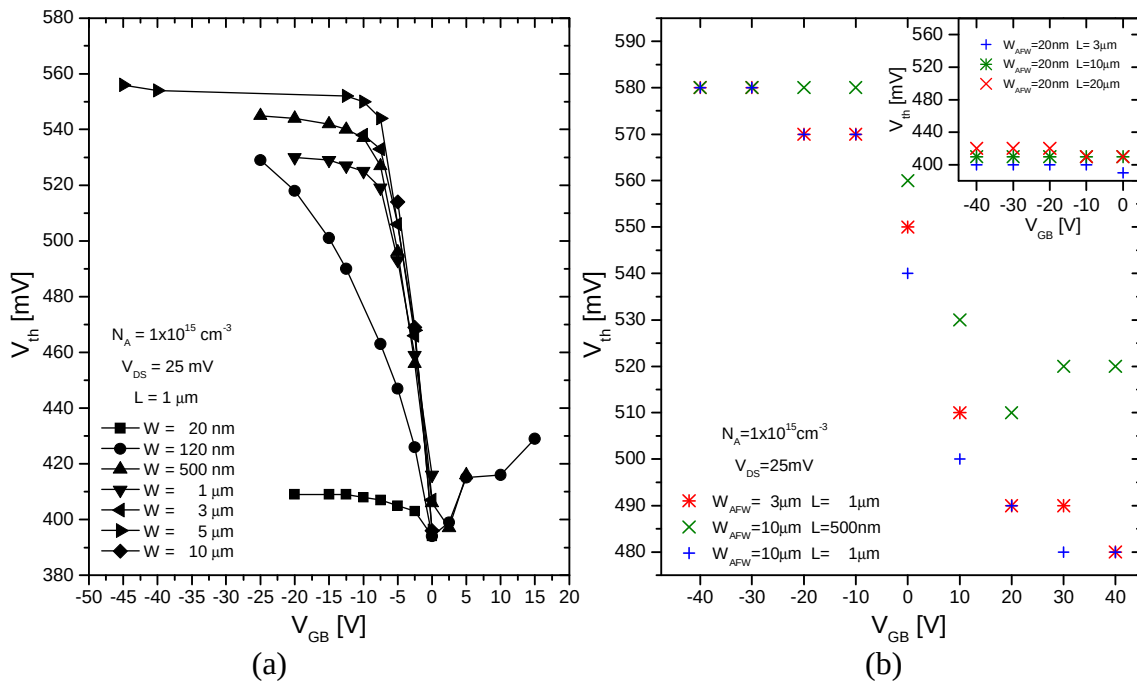


Figura 50 – Valores da tensão de limiar em função da tensão de substrato em FinFETs com paredes laterais paralelas: (a) Valores simulados, (b) Valores experimentais, com valores de V_{th} para aletas muito estreitas apresentadas no topo direito da figura.

6.3.2 Perfil do Potencial Elétrico na Aleta

O efeito da porta superior é bem conhecido e sua influência é dominante em dispositivos com aletas largas. Em tais dispositivos, a tensão de limiar pode ser descrita pelo modelo planar [16], uma vez que seu comportamento é muito similar ao destes transistores. Para quantificar a partir de qual largura (W_{AFW}) os FinFETs analisados podem ser considerados transistores planares, várias simulações foram conduzidas para dispositivos de porta dupla com paredes laterais paralelas e o perfil de potencial perpendicular aos planos das portas na metade da sua altura ($h = 30 \text{ nm}$) foi extraído para quatro diferentes larguras de aletas: 120 nm, 500 nm, 1 μm e 3 μm , realizando-se a diferença entre o perfil de potencial elétrico extraído com e sem a polarização de porta, sendo o potencial em 0 V a referência, correspondendo à região neutra. Os resultados estão apresentados na figura 51. Conforme as

portas laterais ganham distância, o potencial distribuído ao longo da aleta decresce até atingir 0 V, local onde a depleção termina.

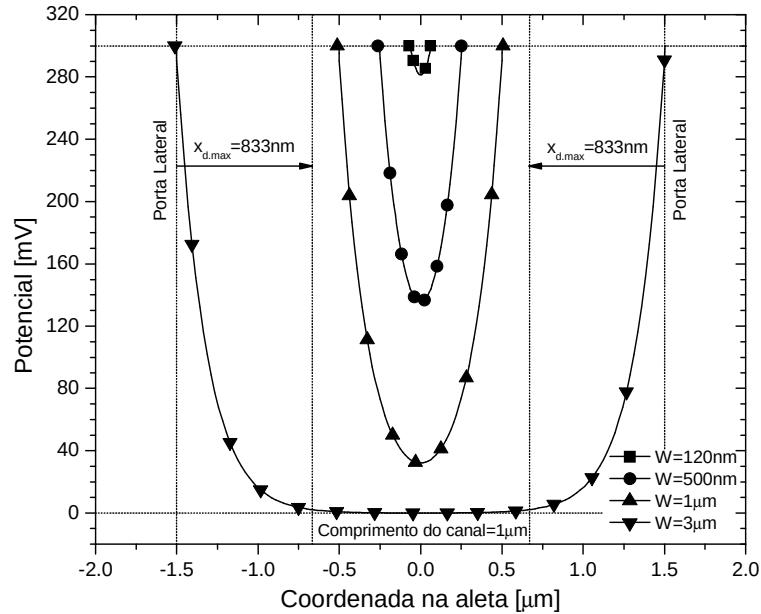


Figura 51 – Perfil de potencial em aletas com paredes laterais paralelas.

A partir dos resultados obtidos através de simulações em dispositivos de porta dupla, é possível observar que as zonas de depleção se estendem desde a interface Si-SiO₂ próxima às portas até a máxima espessura de depleção. A espessura máxima de depleção ($x_{d,máx}$) foi discutida na seção 2.1.1 e é classicamente definida pela equação (1), a qual retorna o valor $x_{d,máx} = 833 \text{ nm}$ para a tecnologia analisada com $N_A = 1 \times 10^{15} \text{ cm}^{-3}$. Por consequência, para dispositivos nesta configuração com W_{AFW} inferior a $1,67 \text{ } \mu\text{m}$ ($W_{AFW} < 2 \cdot x_{d,máx}$), a interação entre as regiões de depleção causadas por ambas as portas nos efeitos de primeira ordem, os quais afetam I_{DS} e V_{th} , não podem mais serem desprezadas devido ao forte acoplamento existente entre elas [2].

Na figura 51, em dispositivos com W abaixo dos $1,67 \text{ } \mu\text{m}$ (ou seja, dispositivos com W igual a 120 nm , 500 nm e $1 \text{ } \mu\text{m}$) não há um platô entre as duas portas, indicando um dispositivo totalmente depletado, platô este que está presente no dispositivo com $W = 3 \text{ } \mu\text{m}$ no potencial próximo a 0 V , indicando um dispositivo parcialmente depletado.

A partir do estudo realizado por Agopian *et al* [77], com a transcondutância medida em função da tensão de porta para diversas polarizações de substrato em FinFETs com $W = 3 \text{ } \mu\text{m}$, $L = 1 \text{ } \mu\text{m}$, $V_{DS} = 25 \text{ mV}$ e repetindo o estudo alterando W para $10 \text{ } \mu\text{m}$, ambos os grupos de curvas de transcondutância que são apresentados no estudo mostram o mesmo

comportamento e é possível identificar efeitos de primeira e de segunda ordem. O efeito de segunda ordem estudado na referência que ocorre em transistores FinFETs, é caracterizado pelo tunelamento da corrente de porta e a elevação anômala nas curvas de transcondutância, também referenciado como o segundo pico da transcondutância. O efeito é identificado na parte posterior da curva de g_m , com o disparo do segundo pico ocorrendo em diferentes tensões de porta quando $W = 3 \mu\text{m}$, mas ocorrendo para o mesmo valor de tensão de porta quando $W = 10 \mu\text{m}$, como consequência da forte dependência com a acumulação na segunda interface.

Como mostrado na figura 51, para um dispositivo de porta dupla com $W = 3 \mu\text{m}$, a acumulação ocorre em uma pequena parte da aleta de silício, na região neutra no centro da aleta, onde as portas laterais não exercem mais influência sobre as cargas na aleta, no entanto para $W = 10 \mu\text{m}$ o volume da acumulação é proporcionalmente muito maior do que as zonas de depleção e a segunda interface é mais facilmente acumulada. Para larguras de aleta menores torna-se mais difícil causar a acumulação da interface com o BOX e conseqüentemente a ocorrência do segundo pico.

6.4 Dispositivos com Aletas de Formato Trapezoidal

Simulações foram conduzidas introduzindo o caso das paredes laterais não paralelas. O formato trapezoidal das aletas foi escolhido e os parâmetros adotados para os dispositivos com paredes laterais paralelas foram mantidos. As simulações dos dispositivos de aletas trapezoidais são comparadas com aqueles obtidos de dispositivos possuindo exatamente a mesma área de secção transversal, mas com diferente ângulo de inclinação das portas laterais.

6.4.1 Tensão de Limiar

O dreno foi polarizado com $V_{DS} = 25 \text{ mV}$ e as tensões de limiar foram obtidas utilizando o método MTC a partir das curvas $I_{DS} \times V_{GS}$ variando a W_{AFW} , o formato da aleta e a tensão de substrato. As tensões de limiar da primeira interface em função de V_{GB} são traçadas na figura 52. A mesma tendência observada nas aletas retangulares é observada nas aletas trapezoidais, com valores maiores de V_{th} em dispositivos mais largos e um V_{th} praticamente constante em dispositivos muito estreitos.

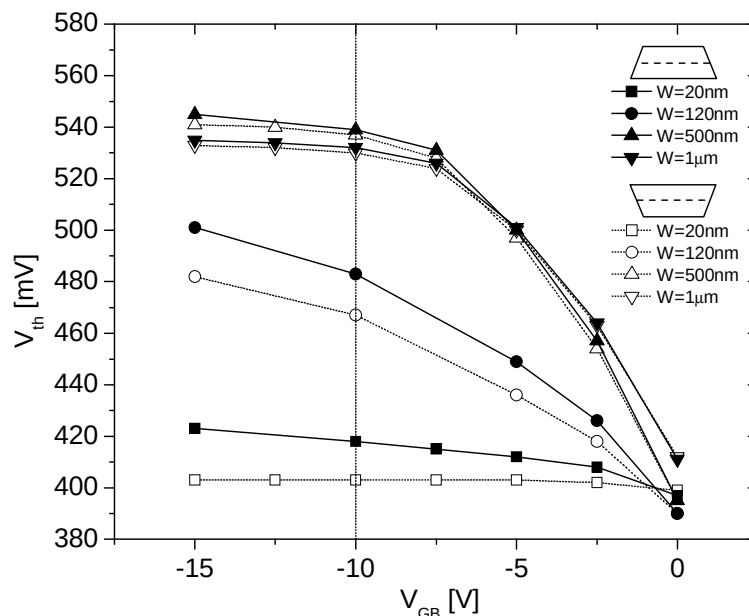


Figura 52 – Valores da tensão de limiar simulados em função da tensão de substrato para FinFETs com aletas trapezoidais.

A variação do ângulo das paredes laterais causa variações em V_{th} , mesmo em dispositivos com iguais W_{AFW} e áreas de secção transversal. Como apresentado na figura 52, dispositivos com a base mais larga que o topo possuem tensão de limiar superiores quando comparadas aos dispositivos refletidos. Esta variação em V_{th} em função da variação do ângulo das paredes laterais é mais significativa em dispositivos onde o W_{AFW} é menor. Este resultado é justificado pela susceptibilidade do canal ao potencial de substrato. Para dispositivos mais estreitos, o acoplamento entre as duas portas laterais é mais forte, reduzindo a influência do substrato e conseqüentemente as paredes laterais possuem maior controle significativo sobre as cargas no canal. Iniciando com as largas das aletas próximas à interface com o óxido enterrado (base da aleta) maiores que a largura do topo, o canal está mais exposto à influência do substrato e uma fina camada de acumulação é formada junto à segunda interface. Olhando agora para o dispositivo refletido, onde a largura da base da aleta é menor do que a largura do topo, a redução da camada de acumulação ocorre devido ao melhor acoplamento das cargas presentes no canal à porta, principalmente próximo aos cantos, onde o efeito de canto torna-se mais forte. As situações extremas seriam a largura da base da aleta tendendo a infinito, resultando em um dispositivo com uma única porta planar com a aleta inteiramente exposta ao substrato, e o caso oposto seria a largura da base da aleta tendendo a zero, resultando em uma aleta completamente isolada da influência do substrato.

6.4.2 Perfil do Potencial Elétrico na Aleta

As variações no formato da aleta foram também analisadas para dispositivos de porta dupla, permitindo visualizar como o potencial comporta-se em função da variação do ângulo de inclinação das portas laterais através do perfil de potencial perpendicular ao eixo vertical na altura média do canal ($h = 30 \text{ nm}$) extraídos das simulações, como apresentado na figura 53. Novamente, o platô próximo do 0 V é presente para dispositivos com W_{AFW} maior que $1,67 \mu\text{m}$.

A curva de potencial para $W = 500 \text{ nm}$ é ampliada próximo ao centro da aleta e é mostrada ao lado do gráfico principal, mostrando um potencial maior para dispositivos com a largura da base da aleta menor que a do topo. Em comparação com a aleta de formato retangular, concordando com os resultados observados em V_{th} .

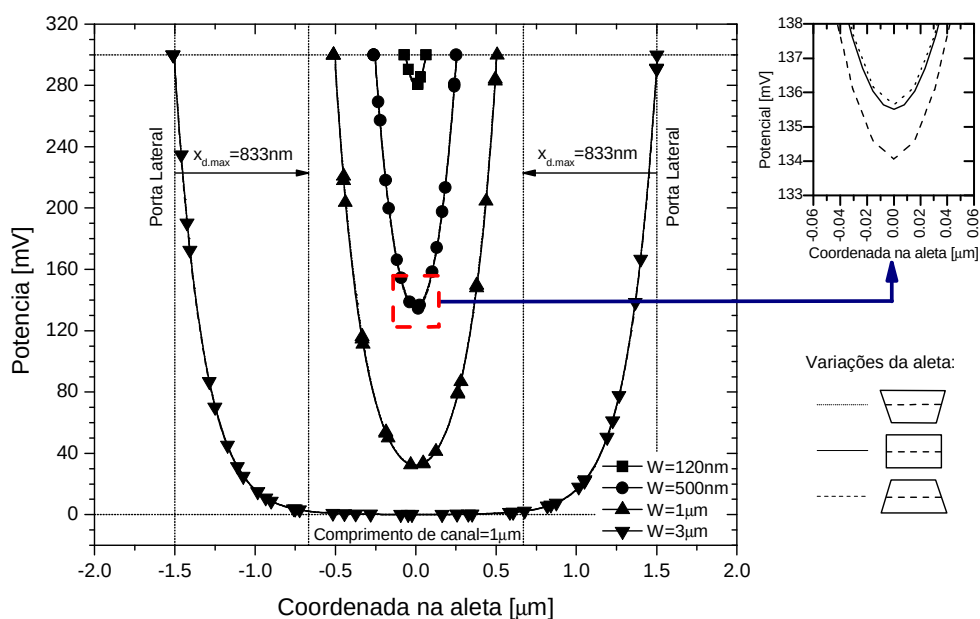


Figura 53 – Perfil de potencial em aletas de dispositivos FinFETs de porta dupla com paredes laterais não paralelas.

Perfis de potencial foram extraídos na metade do comprimento do canal, mostrando a distribuição do potencial ao longo da secção transversal da aleta. A figura 54 de (a) a (d) mostram o corte da aleta em dispositivos com $W_{AFW} = 20 \text{ nm}$. A figura 54 (a) e (c) apresentam o potencial para uma aleta onde a base é mais larga do que o topo e a figura 54 (b) e (d) apresentam o formato refletido da aleta, onde a base é mais estreita do que o topo. A polarização de substrato é de $V_{GB} = -10 \text{ V}$, a sobre-tensão de porta é de

$V_{GT} = 100$ mV e uma polarização de dreno igual à $V_{DS} = 25$ mV. Para valores de larguras pequenas, como 20 nm, o acoplamento das portas laterais é tão forte que o potencial sofre pouca variação com a polarização positiva do substrato. É notável a capacidade das portas laterais em proteger o canal da influencia do substrato próximo à segunda interface quando a distância das paredes laterais é pequena e a largura da base da aleta é menor que a do topo, pelo forte acoplamento das mesmas.

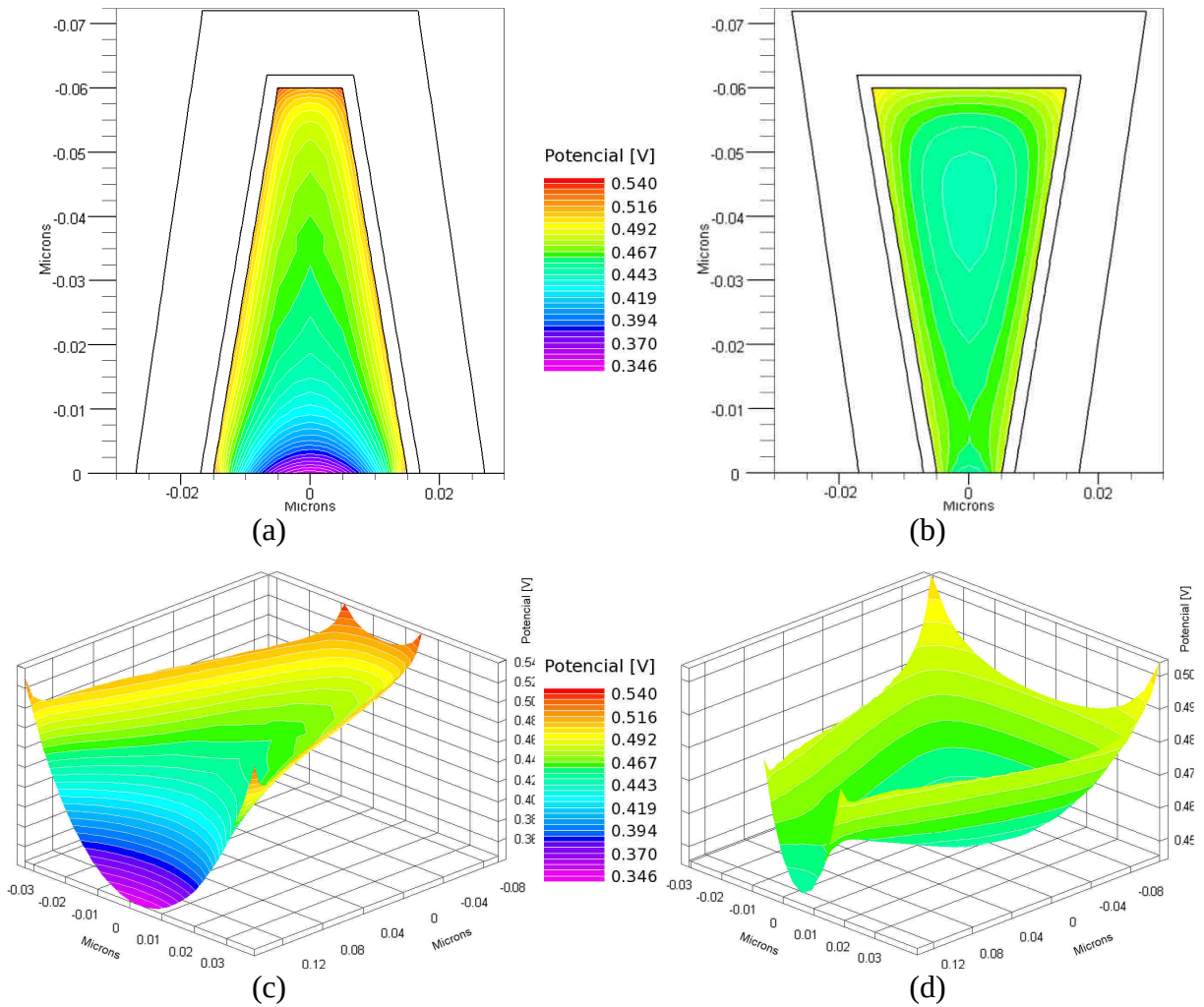


Figura 54 – Corte do potencial em dispositivos FinFET trapezoidais com $W_{AFW} = 20$ nm. (a),(c) Base da aleta maior do que o topo. (b),(d) Base da aleta mais estreita do que o topo.

A partir dos resultados apresentados, efeitos de primeira ordem, decorrentes da variação da largura e do ângulo das paredes laterais do transistor, foram observados e a variação em V_{th} para V_{GB} mais negativo em função do ângulo das paredes laterais é mais pronunciado em aletas mais estreitas. Em dispositivos trapezoidais, com a base da aleta mais estreita, a variação do potencial na aleta pela influência do substrato é diminuída devido à redução da camada de acumulação próxima da interface com o óxido enterrado. Nos

dispositivos com aletas mais largas ($W_{AFW} > 2 \cdot x_{d,m\acute{a}x}$), uma maior influ\^encia da polariza\~ao de substrato no perfil de potencial pr\^oximo da interface com o BOX \^e presente, e conseq\~uentemente na tens\~ao de limiar. Cortes do potencial em dispositivos trapezoidais proporcionalmente estreitos ($W_{AFW} = 20$ nm) mostram uma varia\~ao no potencial do canal no transistor com canal de $W_{Fin\ Top} = 10$ nm e $W_{Fin\ Bottom} = 30$ nm de 194 mV, contra 58 mV no transistor com canal de $W_{Fin\ Top} = 30$ nm e $W_{Fin\ Bottom} = 10$ nm. Isso demonstra a menor varia\~ao do potencial no corte transversal da aleta quando o canal est\~a mais protegido do potencial do substrato, apresentando inclusive n\^iveis de potencial pr\^oximo aos cantos superiores menores que nos transistores mais expostos ao potencial de substrato, apesar dos \^angulos dos cantos superiores serem agudos.

Com os perfis de potencial extra\^idos das aletas retangulares e trapezoidais associados ao estudo pr\^evio da transcondut\^ancia medida em fun\~cao da tens\~ao de porta para diversas polariza\~oes de substrato realizado por Agopian *et al.* [77], os efeitos de segunda ordem, manifestados aqui atrav\^es da corrente de tunelamento, s\~ao relacionados ao volume proporcional ocupado pelas regi\~oes de deple\~ao e ao acoplamento das portas laterais. Dispositivos com a largura da aleta muito maior do que duas vezes a espessura m\~axima da camada de deple\~ao ($W_{AFW} \gg 2 \cdot x_{d,m\acute{a}x}$) podem ter a influ\^encia das paredes laterais desconsiderada, no entanto, caso a largura esteja um pouco acima de duas vezes a espessura m\~axima da camada de deple\~ao, o volume ocupado pelas deple\~oes causadas pelas portas laterais ainda \^e significativo e a influ\^encia das portas laterais n\~ao pode mais ser desconsiderada, devido aos efeitos de segunda ordem observados na curva da transcondut\^ancia com a polariza\~ao negativa do substrato.

7 CONCLUSÕES

Este estudo abordou alguns dos principais parâmetros elétricos importantes na operação de transistores SOI FinFET em função das variações geométricas decorrentes do processo de fabricação dessas estruturas. Foram realizadas simulações numéricas tridimensionais de dispositivos FinFET de porta tripla, com formato trapezoidal da secção transversal do canal, operando em temperatura ambiente (300 K), em triodo e saturação. O comprimento de canal foi variado de 1 μm a 30 nm, com concentração de dopantes igual a $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ e, em casos selecionados, $N_A = 1 \times 10^{17} \text{ cm}^{-3}$.

Na saturação, a condutância de saída possui pouca dependência com o ângulo de inclinação das paredes laterais para dispositivos com comprimento de canal igual ou superior a 200 nm (variação inferior a 15% quando comparadas estruturas de mesma largura média da aleta, mas com ângulo de inclinação das paredes laterais opostos). No entanto, a sua dependência com a largura média da aleta é um pouco mais expressiva (alcançando variações de 25% quando comparado os extremos de largura média da aleta de 40 nm e 60 nm). Com a redução do comprimento de canal de 1 μm para 30 nm, nos dispositivos com largura média de 40 nm, a condutância de saída apresentou aumentos perto de cinco vezes, além da redução da sua dependência com a sobre tensão de porta. Tais características derivam do fato da condutância de saída relacionar a susceptibilidade do canal à penetração do potencial de dreno. Com isso, valores menores (e, portanto, melhores) foram obtidos para canais longos e estreitos (1 μm de comprimento e 40 nm de largura média). Em contrapartida, a transcondutância possui uma dependência mais expressiva com o ângulo de inclinação das paredes laterais, e valores maiores com o aumento do comprimento do canal (aumento que varia entre 8% e 34% dependendo da concentração de dopantes e da sobre-tensão de porta quando comparadas estruturas de 200 nm e 1 μm de comprimento de canal). Observou-se também o surgimento de um primeiro pico prematuro da transcondutância com a redução do comprimento do canal, ocasionado pela inversão prematura da segunda interface (interface canal / óxido enterrado) para comprimentos de canal abaixo dos 170 nm. Um ganho intrínseco de tensão mais elevado foi obtido nos dispositivos com 1 μm de comprimento de canal, com aletas estreitas (largura média de 20 nm) e largura do topo maior do que a da base (aumento médio entre 8,42 dB e 13,68 dB com o aumento do comprimento do canal de 200 nm para 1 μm). O aumento do ganho como resultado da variação do ângulo das paredes laterais foi mais expressivo nos dispositivos com canal mais curto (200 nm) do que nos

dispositivos de canal longo (1 μm) (aumento máximo de 1,20 dB nos dispositivos com 200 nm de comprimento de canal e máximo de 0,60 dB nos dispositivos com comprimento de canal de 1 μm). Este incremento foi resultado da melhoria na transcondutância e na condutância de saída. Através da análise AC de pequenos sinais, observou-se o aumento das capacitâncias em todas as estruturas que possuem a largura do topo da aleta maior do que a largura da base, consequência das cargas da junção de depleção estarem melhor acopladas às paredes do canal em comparação ao caso oposto. Este aumento levou à redução da frequência de ganho unitário (redução que chegou a 16% nos comprimentos de canal de 200 nm). Valores máximos da frequência de ganho unitário foram obtidos com comprimento de canal de 30 nm e 50 nm nas aletas estreitas (largura média de 20 nm) e largura do topo da aleta menor do que a largura da base (um aumento médio de 77% na frequência de ganho unitário com a redução do comprimento do canal de 200 nm para 30 nm e 50 nm e a redução da largura média da aleta para 20 nm).

O estudo do efeito da polarização de substrato sobre a tensão de limiar foi realizado a partir de simulações numéricas tridimensionais em triodo, e da comparação dos resultados simulados com resultados medidos experimentalmente. O comportamento da tensão de limiar em função da polarização de substrato apresentou comportamento não linear, ao contrário do visto em transistores SOI MOSFET planares de porta única. Todos os dispositivos com a largura do topo maior que a base apresentaram menor variação da tensão de limiar, variando a polarização do substrato de 0 V à -10 V (variação de 1,00 % nos dispositivos com largura média de 20 nm) do que os dispositivos com a largura do topo menor que a base (variação de 5,29 %, com largura média de 20 nm), ou dispositivos retangulares (variação de 3,55 %, com largura média de 20 nm).

A partir dos resultados obtidos, dispositivos estreitos (largura média inferior a 40 nm) com a largura do topo da aleta maior do que a da base, possuem melhor desempenho em frequências baixas, melhor transcondutância, condutância de saída, ganho intrínseco de tensão, menor susceptibilidade ao efeito de corpo e melhor escalamento do comprimento do canal. Nos dispositivos com o formato oposto, largura do topo menor do que a largura da base, a frequência de ganho unitário é privilegiada, mas o dispositivo torna-se mais suscetível aos efeitos indesejados da redução do comprimento do canal.

Variações dimensionais decorrentes do processo de fabricação do dispositivo FinFET impactaram os parâmetros elétricos analisados positivamente ou negativamente, dependendo da aplicação que será dada ao dispositivo estudado. Transistores com a largura do topo menor que a base podem ser utilizados quando se deseja trabalhar em alta frequência (nos casos

analisados, frequências da ordem de 100 GHz). Transistores com a largura do topo maior que a base apresentam maior ganho intrínseco, sendo, portanto, destinados a circuitos com maior necessidade de amplificação ou definição de sinais.

A partir dos resultados obtidos neste trabalho, são sugeridos estudos da redução de temperatura nos dispositivos FinFET trapezoidais, visto que estudos recentes [78] mostram resultados interessantes para dispositivos FinFET em baixa temperatura, assim como o estudo da adição do canal tensionado nestas estruturas [79,80].

O uso de novas técnicas no processo de fabricação, como o canal tensionado uni- e bi-axial vêm para proporcionar uma maior longevidade das estruturas SOI FinFET, as quais apresentam um grande espaço para o escalamento em regime sub-10 nm.

PUBLICAÇÕES GERADAS DURANTE O PERÍODO DO MESTRADO

Study of Transconductance for Doped Triple Gate Transistors; Rudolf Theoderich Bühler; Renato Giacomini; Transactions Proceedings of Microelectronics Technology and Devices – SForum 2008, Gramado - RS, Brasil, 2008.

Cross-Section Shape Influence on Trapezoidal Triple-Gate SOI MOSFET Analog Parameters; Rudolf Theoderich Bühler; João Antonio Martino; Marcelo Antonio Pavanello; Renato Giacomini; EuroSOI 2009 - Fifth Workshop of the Thematic Network on Silicon-On-Insulator Technology, Devices and Circuits, v. 1. p. 49-50, Göteborg, Suécia, 2009.

Undoped FinFET Analog Parameters Dependence on Cross-Section Shape; Rudolf Theoderich Bühler; João Antonio Martino; Marcelo Antonio Pavanello; Renato Giacomini;. V SEMINATEC - Workshop on Semiconductors and Micro & Nano Technology, Campinas - SP, Brasil, 2009. (Apresentação Oral do Trabalho)

First and Second Order Substrate Bias Influence on FinFETs; Rudolf Theoderich Bühler; Paula Ghedini Der Agopian; Renato Giacomini; João Antonio Martino; Transactions Proceedings of Microelectronics Technology and Devices – SForum 2009, Natal - RN, Brasil, 2009.

Trapezoidal SOI FinFET Analog Parameters' Dependence on Cross-Section Shape; Rudolf Theoderich Bühler; Renato Giacomini; Marcelo Antonio Pavanello; João Antonio Martino; Semiconductor Science and Technology - SST, n. 11, v. 24, 2009.

From Micro to Nano FinFETs: The Impact of Channel-Shape on Analog Parameters; Rudolf Theoderich Bühler; Renato Giacomini; Marcelo Antonio Pavanello; João Antonio Martino; International Semiconductor Device Research Symposium – ISDRS 2009, Washington DC, Estados Unidos, 2009. (Apresentação Oral do Trabalho)

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] MOORE, G. . Cramming more components onto integrated circuits. **Electronics**, 38, p.114, 1965.
- [2] COLINGE, J. P. . **Silicon on Insulator Technology: Materials to VLSI**, 2nd Edition, Kluwer Academic Publishers, 1997.
- [3] CRISTOLOVEANU, S.; LI, S. S. . **Electrical Characterization of Silicon-on-Insulator Materials and Devices**, Kluwer Academic Publishers, 2nd Edition, 1995.
- [4] COLINGE, J. P. . **FinFETs and Other Multi-Gate Transistors**. 1^a ed. Springer, 2006.
- [5] DENTON, J. P.; Neudeck, G. W. . Fully depleted dual-gated thin-film SOI P-MOSFET's fabricated in SOI islands with an isolated buried polysilicon back gate, **IEEE Electron Device Letters**, vol. 17, p.509-511, 1996.
- [6] Toshiba, IBM, and AMD Develop World's Smallest FinFET SRAM Cell with High-k/Metal Gate, <http://www-03.ibm.com/press/us/en/pressrelease/26291.wss>, 2008.
- [7] HUANG, X.; LEE, W-. C.; KUO, C.; HISAMOTO, D.; CHANG, L.; KEDZIERSKI, J.; ANDERSON, E.; TAKEUCHI, H.; CHOI, Y-. K.; ASANO, K.; SUBRAMANIAN, V.; KING, T-. J.; BOKOR, J.; HU, C. . Sub 50-nm FinFET: PMOS, **International Electron Devices Meeting Technical Digest**, p.67. 1999.
- [8] HISAMOTO, D.; KAGA, T.; TAKEDA; E. . Impact of the vertical SOI 'Delta' Structure on Planar Device Technology, **IEEE Transactions on Electron Devices**, vol. 41, p.745, 1991.
- [9] LINDERT, N.; CHANG, L.; CHOI, Y. -K.; ANDERSON, E. H.; LEE, W. -C.; KING, T. -J.; BOKOR, J.; HU, C. . Sub-60-nm quasiplanar FinFETs fabricated using a simplified process, **IEEE Electron Device Letters**, vol. 22, n. 5, p.487–489, 2001.
- [10] KEDZIERSKI, J.; NOWAK, E.; KANARSKY, T.; ZHANG, Y.; BOYD, D.; CARRUTHERS, R.; CABRAL, C.; AMOS, R.; LAVOIE, C.; ROY, R.; NEWBURY, J.; SULLIVAN, E.; BENEDICT, J.; SAUNDERS, P.; WONG, K.; CANAPERI, D.;

KRISHNAN, M.; LEE, K. -L.; RAINEY, B. A.; FRIED, D.; COTTRELL, P.; WONG, H. -S. P.; IEONG, M.; HAENSCH, W. . Metal-gate FinFET and fully-depleted SOI devices using total gate silicidation, **Technical Digest of International Electron Devices Meeting**, p.247–250, 2002.

[11] WU, X.; CHAN, P. C. H.; CHAN, M. . Impacts of Nonrectangular Fin Cross Section on the Electrical Characteristics of FinFET, **IEEE Electron Devices**, p.63-68, 2005.

[12] KRISHNAN, S.; FOSSUM, J. G. . Grasping SOI floating-body effects, **IEEE Circuits and Devices Magazine**, vol. 14, n. 4, p.32-37, 1998.

[13] KISTLER, N.; WOO, J. . Detailed characterization and analysis of the breakdown voltage in fully depleted SOI n-MOSFET's, **IEEE Transactions on Electron Devices**, vol. 41, n. 7, p.1217-1221, 1994.

[14] YOUNG, K. K. . Short-channel effect in fully depleted SOI MOSFETs, **IEEE Transactions on Electron Devices**, vol. 36, n. 2, p.399-402, 1989.

[15] SZE, S. M. . **Physics of Semiconductor Devices**, 2nd Edition, New York: J. Wiley & Sons, p.446, 1981.

[16] LIM, H. K.; FOSSUM, J.G. . Threshold voltage of thin-film silicon-on-insulator (SOI) MOSFET's, **IEEE Transactions on Electron Devices**, vol. 30, p.1244-1251, 1983.

[17] MULLER, R. S.; KAMIS, T. I. . Device Electronics for Integrated circuits, **J. Wiley & Sons**, p.436, 1986.

[18] CHEN, H. S.; LI, S. S. . Comparison of statistical variation of threshold voltage in bulk and SOI MOSFET, **Solid-State Electronics**, vol. 35, n. 9, p.1233, 1992.

[19] COLINGE, J. P.; COLINGE, C. A. . **Physics of Semiconductor Devices**, 1st Edition, Massachusetts: Kluwer Academic Publishers, 2002.

[20] COLINGE, J. P. . Advanced CMOS devices made in thin SOI films, **Extended Abstracts of 5th International Workshop on Future Electron Devices**, Miyagi-Zao, Japão, p.105-112, 1988.

- [21] MARTINO, J. A.; PAVANELLO, M. A.; VERDONCK, P. B. .**Caracterização Elétrica de Tecnologia e Dispositivos MOS**, Editora Thomson, 1ª Edição, 2004.
- [22] VITTOZ, E. A. . Low power design: ways to approach the limits, **Digest of Technical Papers, 41st ISSCC**, p.4-18, 1994.
- [23] FLANDRE, D. et al. Modeling and application of fully depleted SOI MOSFETs for low voltage, low power analogue CMOS circuits, **Solid-State Electronics**, vol. 39, n. 4, p.455-460, 1996.
- [24] FLANDRE, D. et al. Comparison of SOI versus bulk performances of CMOS micropower single-stage OTAs, **Electronics Letters**, vol. 30, n. 23, p.1933-1934, 1994.
- [25] SEKIGAWA, T.; HAYASHI, Y. . Calculated Threshold Voltage Characteristic of an X MOS Transistor Having an Additional Bottom Gate, **Solid-State Electronics**, vol. 27, n. 8/9, p.827-828, 1984.
- [26] HISAMOTO, D.; KAGA, T.; KAWAMOTO, Y.; TAKEDA, E. . **Technical Digest of International Electron Devices Meeting**, p.833, 1989.
- [27] HUANG, X.; LEE, W-. C.; KUO, C.; HISARNOTO, D.; CHANG, L.; KEDZIERSKI, J.; ANDERSON, E.; TAKEUCHI, H.; CHOI, Y-. K.; ASANO, K.; SUBRARNANIAN, V.; KING, T-. J.; BOKOR, J.; HU, C. . Sub 50-nm FinFET: PMOS, **Technical Digest of International Electron Devices Meeting**, p.67, 1999.
- [28] LIU, Y. K.; ISHII, K.; TSUTSUMI, T.; MASAHARA, M.; TAKAMISHA, H.; SUZUKI, E. . **Electrochemical Society Proceedings 2003-05**, p.255, 2003.
- [29] HIRAMOTO, T. . Nano-scale silicon MOSFET: towards non-traditional and quantum devices, **IEEE International SOI Conference Proceedings**, p.8, 2001.
- [30] JIAO, Z.; SALAMA, AT. . **Electrochemical Society Proceedings**, vol. 2001-3, p.403, 2001.
- [31] MUNTEANU, D.; FERLET-CAVROIS, V.; AUTRAN, J. L.; PAILLET, P.; BAGGIO, J.; FAYNOT, O.; JAHAN, C.; TOSTI, L. .Investigation of Quantum Effects in Ultra-Thin Body Single- and Double-Gate Devices Submitted to Heavy Ion Irradiation,

IEEE Transactions on Nuclear Science, vol. 53-6, p.3363, 2006.

[32] MUSSEAU, O.; LERAY, J. L.; FERLET-CAVROIS, V.; COIC, Y. M.; GIFFARD, B. . SEU in SOI SRAMs – A Static Model, **IEEE Transactions on Nuclear Science**, vol. 41-3, p.607, 1994.

[33] MUNTEANU, D.; AUTRAN, J. L.; CASTELLANI-COULI, K.; FERLET-CAVROIS, V.; PAILLET, P.; BAGGIO, J. . 3D Quantum Numerical Simulation of Single-Event Transients in Multiple-Gate Nanowire MOSFETs, **IEEE Transactions on Nuclear Science**, 2007.

[34] FREI, J.; JOHNS, C.; VAZQUEZ, A.; XIONG, W.; CLEAVELIN, C. R.; SCHULZ, T.; CHAUDHARY, N.; GEBARA, G. ZAMAN, J. R.; GOSTKOWSKI, M.; MATTHEWS, K.; COLINGE, J. P. . **IEEE Electron Device Letters**, vol. 25, n. 12, p.813, 2004.

[35] BALESTRA, F.; CRISTOLOVEANU, S.; BENACHIR, M.; ELEWA, T. . **IEEE Electron Device Letters**, vol. 8, p.410, 1987.

[36] GE, L. ; FOSSUM, J. . **IEEE Transaction on Electron Devices**, vol. 49, n. 2, p.287-294, 2002.

[37] LIANG, X. ; TAUR, Y. . **IEEE Transaction on Electron Devices**, vol. 51, p.1385-1391, 2004.

[38] POLJAK, M.; JOVANOVIĆ, V.; SULIGOJ, T. . SOI vs. Bulk FinFET: Body Doping and Corner Effects Influence on Device Characteristics, **Electrotechnical Conference - MELECON 2008**, p.425-430, 2008.

[39] SHAMIRYAN, D.; REDOLFI, A.; BOULLART, W. . Dry Etching Process for Bulk FinFET Manufacturing, **Microelectronic Engineering**, p.96-98, 2009.

[40] BIN, Y.; LELAND, C.; AHMED, S.; HAIHONG, W.; BELL, S.; CHIH-YUH, Y.; TABERY, C.; CHAU, H.; QI, S.; TSU-JAE, K.; BOKOR, J.; HU, C.; MING-REN, L.; KYSER, D. . FinFET Scaling to 10nm Gate Length, **Technical Digest of International Electron Devices Meeting**, p.251, 2002.

- [41] YANG, J. W.; FOSSUM, J. G. . **IEEE Transactions on Electron Devices**, vol. 52, n. 6, p.1159, 2005.
- [42] LEDERER, D.; KILCHYTSKA, V.; RUDENKO, T.; COLLAERT, N.; FLANDRE, D.; DIXIT, A.; MEYER, K.; RASKIN, J. P. . **Solid-State Electronics**, vol. 49, n. 9, p.1488, 2005.
- [43] RUDENKO, T.; COLLAERT, N.; GENDT, S.; KILCHYTSKA, V.; JURCZAK, M.; FLANDRE, D. . **Microelectronic Engineering**, p.386, 2005.
- [44]International Technology Roadmap for Semiconductors – ITRS, <http://www.itrs.net>
- [45] GIACOMINI, R.; MARTINO, J. A.. . Trapezoidal Cross-Sectional Influence on FinFET Threshold Voltage and Corner Effects, **Journal of the Electrochemical Society**, vol. 155, p.H213-H217, 2008.
- [46] BÜHLER, R. T.; GIACOMINI, R. . Study of Transconductance for Doped Triple Gate Transistors, **23rd International Symposium on Microelectronics Technology and Devices**, Gramado, 2008.
- [47] BÜHLER, R. T.; MARTINO, J. A.; PAVANELLO, M. A.; GIACOMINI, R. . Cross-Section Shape Influence on Trapezoidal Triple-Gate SOI MOSFET Analog Parameters, **Proceedings of EuroSOI 2009**, p.49-50, 2009.
- [48] BÜHLER, R. T.; MARTINO, J. A.; PAVANELLO, M. A.; GIACOMINI, R. . Undoped FinFET Analog Parameters Dependence on Cross-Section Shape, **V SEMINATEC - Workshop on Semiconductors and Micro & Nano Technology**, p.37, 2009.
- [49] BÜHLER, R. T.; GIACOMINI, R.; PAVANELLO, M. A.; MARTINO, J. A. . Trapezoidal SOI FinFET Analog Parameters' Dependence on Cross-section Shape, **Semiconductor Science and Technology - SST**, vol. 24, n. 11, 2009.
- [50]BÜHLER, R. T.; GIACOMINI, R.; PAVANELLO, M. A.; MARTINO, J. A. . From Micro to Nano FinFETs: The Impact of Channel-Shape on Analog Parameters, **International Semiconductor Device Research Symposium**, 2009.
- [51] FOSSUM, J. G. et al. **IEEE Electron Devices Letters**, vol. 24 p.745, 2003.

- [52] XIONG, W.; PARK, J. W.; COLINGE, J. P. . Threshold Voltage and Subthreshold Slope of Multiple-Gate SOI MOSFETs, **Proceedings of the IEEE International SOI Conference**, p.111-113, 2003.
- [53] FOSTER, D. J. . Subthreshold currents in CMOS transistors made on oxygen-implanted silicon. *Electronics Letters*, vol. 19-17, p.684, 1983
- [54] YAN, R.-H.; OURMAZD, A.; LEE, K. F. . Scalling the Si MOSFET: From Bulk to SOI to Bulk, **IEEE Transactions on Electron Devices**, vol. 39, n. 7, p.1704-1710, 1992.
- [55] COLINGE, J. P.; PARK, J. W.; XIONG, W. . Threshold voltage and subthreshold slope of multiple-gate SOI MOSFETs, **IEEE Electron Device Letters**, vol. 28-8, p.515, 2003.
- [56] FRANCIS, P.; TERAOKA, A.; FLANDRE, D.; WIELE, F. V. . Modeling of ultrathin double-gate nMOS-SOI transistors, **IEEE Transaction on Electron Devices**, vol. 41, n. 5, p.715-720, 1994.
- [57] TAUR, Y. . An analytical solution to a double-gate MOSFET with undoped body, *IEEE Electron Device Letters*, vol. 21, n.5, p.245-247, 2000.
- [58] AKARVARDAR, K.; MERCHA, A.; CRISTOLOVEANU, S.; GENTIL, P.; SIMOEN, E.; SUBRAMANIAN, V.; CLAYES, C. . **IEEE Transactions on Electron Devices**, vol. 54, p.767-775, 2007.
- [59] RUDENKO, T.; COLLAERT, N.; GENDT, S.; KILCHYTSKA, V.; JURCKAK, M.; FLANDRE, D. . **Microelectronic Engineering**, p.386, 2005.
- [60] SATO, T.; TAKEISHI, Y.; HARA, H. . Effects of Crystalgraphical Orientation on Mobility, Surface State Density and Noise in p-Type Inversion Layer on oxidized Si Surfaces. **Japanese Journal of Applied Physics**, vol. 8-5, p.588, 1969.
- [61] SATO, T.; TAKEISHI, Y.; HARA, H. . Mobility Anisotropic of Electron in Inversion Layers on Oxidized Silicon Surfaces. **Physical Review**, vol. B 4-6, 1950/1971.
- [62] GOEBEL, B.; SCHUMANN, D.; BERTAGNOLLI, E. . Vertical N-Channel MOSFETs for Extremely High density Memories: The Impact of Interface Orientation on Device Performance, **IEEE Transactions on Electron Devices**, vol. 48, p.897-906, May 2001.

- [63] DevEdit User's Manual, v. 2.8.R, Silvaco Internacional Santa Clara, CA, 2006.
- [64] Atlas Device Simulator User's Manual, v. 5.14.0.R, Silvaco Internacional Santa Clara, CA, 2008.
- [65] RAO, R.; BANSAL, A.; KIM, J.; ROY, K.; CHUANG, C. T. . **Proceedings of the IEEE International SOI Conference**, Indian Wells, p.47-48, 2007.
- [66] GIACOMINI, R.; MARTINO, J. A. . **21rd International Symposium on Microelectronics Technology and Devices**, p.275-281, 2006.
- [67] MARTINS, G.; GIACOMINI, R.; MARTINO, J. A. . **23rd International Symposium on Microelectronics Technology and Devices**, Gramado, 2008.
- [68] SOUZA, M.; PAVANELLO, M. A. . **21rd International Symposium on Microelectronics Technology and Devices**, p.217-226, 2006.
- [69] KRANTI, A.; ARMSTRONG, G. A. . Design and Optimization of FinFETs for Ultra-Low-Voltage Analog Applications, **IEEE Transactions on Electron Devices**, vol. 54, no. 12, p.3308-3316, December, 2007.
- [70] SUBRAMANIAN, V.; PARVAIS, B.; BORREMANS, J.; MERCHA, A.; LINTEN, D.; WAMBACQ, P.; LOO, J.; DEHAN, M.; GUSTIN, C.; COLLAERT, N.; KUBICEK, S.; LANDER, R.; HOOKER, J.; CUBAYNES, F.; DONNAY, S.; JURCZAK, M.; GROESENEKEN, G.; SANSEN, W.; DECOUTERE, S. . Planar Bulk MOSFETs Versus FinFETs: An Analog/RF Perspective, **IEEE Transactions on Electron Devices**, vol. 53, no. 12, December 2006.
- [71] WAMBACQ, P.; VERBRUGGEN, B.; SCHEIR, K.; BORREMANS, J.; DEHAN, M.; LINTEN, D.; HEYN, V. D.; PALS, G. V. D.; MERCHA, A.; PARVAIS, B.; GUSTIN, C.; SUBRAMANIAN, V.; COLLAERT, N.; JURCZAK, M.; DECOUTERE, S. . The Potential of FinFETs for Analog and RF Circuit Applications, **IEEE transactions on Electron Devices**, vol. 54, no. 11, p.2541-2551, November, 2007.
- [72] ERNST, T.; CRISTOLOVEANU, S. . Buried Oxide Fringing Capacitance: A New Physical Model And Its Implication On SOI Device Scaling And Architecture,

Proceedings IEEE International SOI Conference, p.38-39, 1999.

[73] ERNST, T.; RITZENTHALER, R.; FAYNOT, O.; CRISTOLOVEANU, S. . A Model Of Fringing Fields In Short-Channel Planar And Triple-Gate SOI MOSFETS, **IEEE TED**, vol. 54, no. 6, 2007.

[74] DAUGÉ, F.; PRETET, J.; CRISTOLOVEANU, S.; VANDOOREN, A.; MATHEW, L.; JOMAAH, J.; NGUYEN, B. –Y. . **Solid State Electronics**, vol. 48, p.535-542, 2004.

[75] COLLAERT, N. et. al. **Symposium VLSI Technichal Digest Technical Paper**, p.108, 2005.

[76] AGOPIAN, P. G. D. . Study of gate induced floating body effect in the linear bias region in deep submicrometer nMOSFETs devices, p.131, 2008. Available at http://www.teses.usp.br/teses/disponiveis/3/3140/tde-09022009-190025/publico/Vrevisada_agopian.pdf

[77] AGOPIAN, P. G. D.; PACHECO, V. H.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. . Gate induced floating body effect behavior in uniaxially strained SOI nMOSFETs, **Fifth Workshop of the Thematic Network on Silicon-On-Insulator, Technology, Devices and Circuits, EUROSIO 2009**, Goteborg, vol. 1, p.39-40, 2009.

[78] PAVANELLO, M. A.; MARTINO, J. A.; SIMOEN, E.; CLAEYS, C. . Cryogenic Operation of FinFETs aiming at Analog Applications, **Science-Direct Cryogenics**, vol. 49, p.590-594, 2009.

[79] LACONTE, J.; FLANDRE, D.; RASKIN, J. –P. . **Micromachined Thin-Film Sensors for SOI-CMOS Co-Integration**, 1st Edition, Springer, 2006.

[80] CRESSLER, J. D. . **SiGe and Si Strained-Layer Epitaxy for Silicon Heterostructure Devices**, 1st Edition, CRC Press, 2005.

APÊNDICE A – CONSTRUÇÃO DA ESTRUTURA 3D

Exemplo de arquivo para construção de uma das estruturas FinFET de porta tripla trapezoidal utilizando o DevEdit3D:

```
#####
# Triple-gate para avaliacao analogica #
# Canal tipo N                          #
# Comprimento de canal: 200nm           #
# Largura do topo do canal: 10nm        #
# Largura da base do canal: 30nm        #
# Altura do canal: 50nm                 #
#####

#####
# Inicia o DevEdit3D #
#####

go devedit simflags="-3d"
bnd.cond when=automatic rounding.unit=1e-5

#####
# Variaveis em um #
#####

set wt = 0.010
set wb = 0.030
set hc = 0.050
set eo = 0.002
set eg = 0.004
set lc = 0.200
set ls = 0.010
set lt = 0.010

set canto = ((("$wb"-$"wt")*$"eo")/(2*$"hc"))

set wtmc = $"wt"/2
set wbmc = $"wb"/2

set wtmo = $"wt"/2 + $"eo" - $"canto"
set wbmo = $"wb"/2 + $"eo"
set ho   = $"hc"   + $"eo"

set wtmg = $"wt"/2 + $"eo" + $"eg" - $"canto"
set wbmgs = $"wb"/2 + $"eo" + $"eg"
set hg    = $"hc"   + $"eo" + $"eg"

set lmc = $"lc"/2
set lms = $"lc"/2+$"ls"
set lmt = $"lc"/2+$"ls"+$"lt"
```

```

#####
# Regioes #
#####

# Porta
region reg=1 name=gate mat=PolySilicon elec.id=1 work.func=0 z1=-$"lmc" z2=
    $"lmc" \
    polygon=-$"wbmg",0 -$"wtmg",$"hg" $"wtmg",$"hg" $"wbmg",0"

# Isolante de Porta
region reg=2 name=toxf mat="Silicon Oxide" z1=-$"lmc" z2= $"lmc" \
    polygon=-$"wbmo",0 -$"wtmo",$"ho" $"wtmo",$"ho" $"wbmo",0"

# Aleta
region reg=3 name=fin mat=Silicon z1=-$"lmc" z2= $"lmc" \
    polygon=-$"wbmc",0 -$"wtmc",$"hc" $"wtmc",$"hc" $"wbmc",0"

# Espacador de Dreno
region reg=4 name=drain mat=Silicon z1=-$"lms" z2=-$"lmc" \
    polygon=-$"wbmc",0 -$"wtmc",$"hc" $"wtmc",$"hc" $"wbmc",0"

# Espacador de Fonte
region reg=5 name=source mat=Silicon z1= $"lmc" z2= $"lms" \
    polygon=-$"wbmc",0 -$"wtmc",$"hc" $"wtmc",$"hc" $"wbmc",0"

# Contato de Dreno
region reg=6 name=drain mat=Silicon elec.id=2 work.func=0 z1=-$"lmt" z2=-
    $"lms" \
    polygon=-$"wbmc",0 -$"wtmc",$"hc" $"wtmc",$"hc" $"wbmc",0"

# Contato de Fonte
region reg=7 name=source mat=Silicon elec.id=3 work.func=0 z1= $"lms" z2=
    $"lmt" \
    polygon=-$"wbmc",0 -$"wtmc",$"hc" $"wtmc",$"hc" $"wbmc",0"

# Oxido Enterrado
region reg=8 name=box mat="Silicon Oxide" z1=-$"lmt" z2= $"lmt" \
    polygon="-0.1,0 0.1,0 0.1,-0.1 -0.1,-0.1"

# Contato de Substrato
region reg=9 name=substrate mat=Silicon elec.id=4 work.func=0 z1=-$"lmt"
    z2= $"lmt" \
    polygon="-0.100,-0.100 0.100,-0.100 0.100,-0.120 -0.100,-0.120"

#####
# Dados fornecidos para construação da grade xy #
#####

# Largura do topo: 0.010000
# Largura da base: 0.030000
# Altura do canal: 0.050000
# Espessura do oxido de porta: 0.002000
# Quanto a grade fina deve invadir o canal: 0.004000
# Quanto a grade fina lateral deve se distanciar da borda externa do oxido
    de porta: 0.002000
# Altura de cada seccao de grade fina: 0.001500
# Valor de max.height na grade geral: 0.004000
# Valor de max.width na grade geral: 0.004000
# Valor de max.height na grade fina: 0.001500
# Valor de max.width na grade fina: 0.001500

```

```
#####
# Grade no plano xy #
#####
```

```
# Grade geral
```

```
constr.mesh id=1 x1=-0.017000 y1=-0.007000 x2=0.017000 y2=0.052000 default
max.height=0.004000 max.width=0.004000
```

```
# Grade fina superior
```

```
constr.mesh id=2 x1=-0.007000 y1= 0.046000 x2=0.007000 y2=0.052000 default
max.height=0.001500 max.width=0.001500
```

```
# Grade fina inferior
```

```
constr.mesh id=3 x1=-0.017000 y1= 0.000000 x2=0.017000 y2=0.002000 default
max.height=0.003000 max.width=0.003000
```

```
# Grade fina lateral esquerda
```

```
constr.mesh id=4 x1=-0.015000 y1=0.000000 x2=-0.010700 y2=0.001500 default
max.height=0.001500 max.width=0.001500
constr.mesh id=5 x1=-0.014700 y1=0.001500 x2=-0.010400 y2=0.003000 default
max.height=0.001500 max.width=0.001500
constr.mesh id=6 x1=-0.014400 y1=0.003000 x2=-0.010100 y2=0.004500 default
max.height=0.001500 max.width=0.001500
constr.mesh id=7 x1=-0.014100 y1=0.004500 x2=-0.009800 y2=0.006000 default
max.height=0.001500 max.width=0.001500
constr.mesh id=8 x1=-0.013800 y1=0.006000 x2=-0.009500 y2=0.007500 default
max.height=0.001500 max.width=0.001500
constr.mesh id=9 x1=-0.013500 y1=0.007500 x2=-0.009200 y2=0.009000 default
max.height=0.001500 max.width=0.001500
constr.mesh id=10 x1=-0.013200 y1=0.009000 x2=-0.008900 y2=0.010500 default
max.height=0.001500 max.width=0.001500
constr.mesh id=11 x1=-0.012900 y1=0.010500 x2=-0.008600 y2=0.012000 default
max.height=0.001500 max.width=0.001500
constr.mesh id=12 x1=-0.012600 y1=0.012000 x2=-0.008300 y2=0.013500 default
max.height=0.001500 max.width=0.001500
constr.mesh id=13 x1=-0.012300 y1=0.013500 x2=-0.008000 y2=0.015000 default
max.height=0.001500 max.width=0.001500
constr.mesh id=14 x1=-0.012000 y1=0.015000 x2=-0.007700 y2=0.016500 default
max.height=0.001500 max.width=0.001500
constr.mesh id=15 x1=-0.011700 y1=0.016500 x2=-0.007400 y2=0.018000 default
max.height=0.001500 max.width=0.001500
constr.mesh id=16 x1=-0.011400 y1=0.018000 x2=-0.007100 y2=0.019500 default
max.height=0.001500 max.width=0.001500
constr.mesh id=17 x1=-0.011100 y1=0.019500 x2=-0.006800 y2=0.021000 default
max.height=0.001500 max.width=0.001500
constr.mesh id=18 x1=-0.010800 y1=0.021000 x2=-0.006500 y2=0.022500 default
max.height=0.001500 max.width=0.001500
constr.mesh id=19 x1=-0.010500 y1=0.022500 x2=-0.006200 y2=0.024000 default
max.height=0.001500 max.width=0.001500
constr.mesh id=20 x1=-0.010200 y1=0.024000 x2=-0.005900 y2=0.025500 default
max.height=0.001500 max.width=0.001500
constr.mesh id=21 x1=-0.009900 y1=0.025500 x2=-0.005600 y2=0.027000 default
max.height=0.001500 max.width=0.001500
constr.mesh id=22 x1=-0.009600 y1=0.027000 x2=-0.005300 y2=0.028500 default
max.height=0.001500 max.width=0.001500
constr.mesh id=23 x1=-0.009300 y1=0.028500 x2=-0.005000 y2=0.030000 default
max.height=0.001500 max.width=0.001500
constr.mesh id=24 x1=-0.009000 y1=0.030000 x2=-0.004700 y2=0.031500 default
max.height=0.001500 max.width=0.001500
constr.mesh id=25 x1=-0.008700 y1=0.031500 x2=-0.004400 y2=0.033000 default
max.height=0.001500 max.width=0.001500
```

```

constr.mesh id=26 x1=-0.008400 y1=0.033000 x2=-0.004100 y2=0.034500 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=27 x1=-0.008100 y1=0.034500 x2=-0.003800 y2=0.036000 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=28 x1=-0.007800 y1=0.036000 x2=-0.003500 y2=0.037500 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=29 x1=-0.007500 y1=0.037500 x2=-0.003200 y2=0.039000 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=30 x1=-0.007200 y1=0.039000 x2=-0.002900 y2=0.040500 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=31 x1=-0.006900 y1=0.040500 x2=-0.002600 y2=0.042000 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=32 x1=-0.006600 y1=0.042000 x2=-0.002300 y2=0.043500 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=33 x1=-0.006300 y1=0.043500 x2=-0.002000 y2=0.045000 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=34 x1=-0.006000 y1=0.045000 x2=-0.001700 y2=0.046500 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=35 x1=-0.005700 y1=0.046500 x2=-0.001400 y2=0.048000 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=36 x1=-0.005400 y1=0.048000 x2=-0.001100 y2=0.049500 default
    max.height=0.001500 max.width=0.001500

# Grade fina lateral direita
constr.mesh id=37 x1=0.015000 y1=0.000000 x2=0.010700 y2=0.001500 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=38 x1=0.014700 y1=0.001500 x2=0.010400 y2=0.003000 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=39 x1=0.014400 y1=0.003000 x2=0.010100 y2=0.004500 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=40 x1=0.014100 y1=0.004500 x2=0.009800 y2=0.006000 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=41 x1=0.013800 y1=0.006000 x2=0.009500 y2=0.007500 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=42 x1=0.013500 y1=0.007500 x2=0.009200 y2=0.009000 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=43 x1=0.013200 y1=0.009000 x2=0.008900 y2=0.010500 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=44 x1=0.012900 y1=0.010500 x2=0.008600 y2=0.012000 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=45 x1=0.012600 y1=0.012000 x2=0.008300 y2=0.013500 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=46 x1=0.012300 y1=0.013500 x2=0.008000 y2=0.015000 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=47 x1=0.012000 y1=0.015000 x2=0.007700 y2=0.016500 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=48 x1=0.011700 y1=0.016500 x2=0.007400 y2=0.018000 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=49 x1=0.011400 y1=0.018000 x2=0.007100 y2=0.019500 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=50 x1=0.011100 y1=0.019500 x2=0.006800 y2=0.021000 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=51 x1=0.010800 y1=0.021000 x2=0.006500 y2=0.022500 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=52 x1=0.010500 y1=0.022500 x2=0.006200 y2=0.024000 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=53 x1=0.010200 y1=0.024000 x2=0.005900 y2=0.025500 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=54 x1=0.009900 y1=0.025500 x2=0.005600 y2=0.027000 default
    max.height=0.001500 max.width=0.001500

```

```

constr.mesh id=55 x1=0.009600 y1=0.027000 x2=0.005300 y2=0.028500 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=56 x1=0.009300 y1=0.028500 x2=0.005000 y2=0.030000 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=57 x1=0.009000 y1=0.030000 x2=0.004700 y2=0.031500 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=58 x1=0.008700 y1=0.031500 x2=0.004400 y2=0.033000 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=59 x1=0.008400 y1=0.033000 x2=0.004100 y2=0.034500 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=60 x1=0.008100 y1=0.034500 x2=0.003800 y2=0.036000 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=61 x1=0.007800 y1=0.036000 x2=0.003500 y2=0.037500 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=62 x1=0.007500 y1=0.037500 x2=0.003200 y2=0.039000 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=63 x1=0.007200 y1=0.039000 x2=0.002900 y2=0.040500 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=64 x1=0.006900 y1=0.040500 x2=0.002600 y2=0.042000 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=65 x1=0.006600 y1=0.042000 x2=0.002300 y2=0.043500 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=66 x1=0.006300 y1=0.043500 x2=0.002000 y2=0.045000 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=67 x1=0.006000 y1=0.045000 x2=0.001700 y2=0.046500 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=68 x1=0.005700 y1=0.046500 x2=0.001400 y2=0.048000 default
    max.height=0.001500 max.width=0.001500
constr.mesh id=69 x1=0.005400 y1=0.048000 x2=0.001100 y2=0.049500 default
    max.height=0.001500 max.width=0.001500

# Grade fina inferior
constr.mesh id=70 x1=-0.017000 y1=-0.001000 x2=0.017000 y2=0.000000 default
    max.height=0.001000 max.width=0.003000

# Realizando operacoes de grade
Mesh Mode=MeshBuild

#####
# Grade no eixo z #
#####

# Define espacamento e taxa de variacao maxima
z.plane max.spacing=1e6 max.ratio=1.5

# Grade fina contato dreno
z.plane z=-"$lmt" spacing=0.500

# Grade fina dreno
z.plane z=-"$lms" spacing=0.500

# Grade fina canal central
z.plane z=-"$lmc"          spacing=0.00005
z.plane z=(-"$lmc"-0.006) spacing=0.008
z.plane z=(-"$lmc"-0.010) spacing=0.050
#z.plane z=(-"$lmc"-0.110) spacing=0.050
z.plane z= 0.000          spacing=0.055
#z.plane z= ("lmc"-0.110) spacing=0.050
z.plane z= ("lmc"-0.010) spacing=0.050
z.plane z= ("lmc"-0.006) spacing=0.008
z.plane z= "$lmc"         spacing=0.00005

```

```

# Grade fina fonte
z.plane z= $"lms" spacing=0.500

# Grade fina contato fonte
z.plane z= $"lmt" spacing=0.500

#####
# Salva estrutura #
#####

structure outf=L$"lc"um-Wt$"wt"umWb$"wb"um.str

#####
# Inicia o Atlas #
#####

go atlas simflags="-P 32"

#####
# Fim #
#####

quit

```


APÊNDICE B – SIMULAÇÃO DA ESTRUTURA 3D – DC

Exemplo de arquivo de simulação de uma das estruturas FinFET de porta tripla trapezoidal utilizando o simulador Atlas3D, com polarização DC:

```
#####
# Triple-gate para avaliacao analogica #
# Canal tipo N                          #
# Comprimento de canal: 200nm           #
# Largura do topo do canal: 10nm        #
# Largura da base do canal: 30nm        #
# Altura do canal: 50nm                 #
# Concentracao de dopantes: 1e15        #
#####

#####
# Levantamento da curva Ids x Vgs #
#####

#####
# Inicia o Atlas #
#####

go atlas simflags="-P 32"

#####
# Dopagem #
#####

set Na1=1
set Na2=15

#####
# Variaveis em um #
#####

set wt = 0.010
set wb = 0.030
set lc = 0.200

#####
# Carrega a estrutura #
#####

mesh infile=L"$lc"um-Wt"$wt"umWb"$wb"um.str

#####
# Define a concentracao da dopagem #
#####

# Porta
doping uniform conc=1e21          n.type reg=1

# Canal
doping uniform conc="$Na1"e"$Na2" p.type reg=3
```

```

# Espacador de Dreno
doping uniform conc=1e21          n.type reg=4

# Espacador de Fonte
doping uniform conc=1e21          n.type reg=5

# Contato de Dreno
doping uniform conc=1e21          n.type reg=6

# Contato de Fonte
doping uniform conc=1e21          n.type reg=7

# Contato de Substrato
doping uniform conc=1e21          n.type reg=9

#####
# Define a carga de interface #
#####

interf qf=3e10 region=2

#####
# Define a funcao trabalho da porta #
#####

contact name=gate tungsten

#####
# Salva estrutura #
#####

structure outf=L$"lc"um-Wt$"wt"umWb$"wb"um-na$"Na1"e$"Na2"_doped.str

#####
# Selecciona os modelos #
#####

model fermi ni.fermi hcte.el evsatmod=0 fldmob print auger bgn consrh shi
    kla temp=300

# Selecciona o modelo de impacto
#impact selb

#####
# Define os metodos #
#####

method newton autonr bicgst dvlimit=1 maxtraps=6 atrap=0.1

#####
# Inicia a simulacao #
#####

# Especifica a solucao anterior como aproximacao inicial
solve previous

# Polariza o dreno
solve name=drain vdrain=0.050
save outf=IDSxVGS-L$"lc"um-Wt$"wt"umWb$"wb"um-
    na$"Na1"e$"Na2"_solve_Vth.str master

```

```

#load  infile=IDSxVGS-L$"lc"um-Wt$"wt"umWb$"wb"um-
      na$"Na1"e$"Na2"_solve_Vth.str master

# Inicia o log
log outf=IDSxVGS-L$"lc"um-Wt$"wt"umWb$"wb"um-na$"Na1"e$"Na2"_Vth.log

# Polarizacoes do gate

solve name=gate vgate=0.000 vfinal=0.500 vstep=0.010
save  outf=IDSxVGS-L$"lc"um-Wt$"wt"umWb$"wb"um-
      na$"Na1"e$"Na2"_solve_Vth.str master

#solve name=gate vgate=0.510 vfinal=1.000 vstep=0.010
#save  outf=IDSxVGS-L$"lc"um-Wt$"wt"umWb$"wb"um-
      na$"Na1"e$"Na2"_solve_Vth.str master

#solve name=gate vgate=1.010 vfinal=1.500 vstep=0.010
#save  outf=IDSxVGS-L$"lc"um-Wt$"wt"umWb$"wb"um-
      na$"Na1"e$"Na2"_solve_Vth.str master

# Fim do log
log off

#####
# Fim #
#####

quit

```

APÊNDICE C – SIMULAÇÃO DA ESTRUTURA 3D – AC

Exemplo de arquivo de simulação de uma das estruturas FinFET de porta tripla trapezoidal utilizando o simulador Atlas3D, com polarização AC:

```
#####
# Triple-gate para avaliacao analogica #
# Canal tipo N                          #
# Comprimento de canal: 200nm           #
# Largura do topo do canal: 10nm        #
# Largura da base do canal: 30nm        #
# Altura do canal: 50nm                 #
#####

#####
# Inicia o Atlas #
#####

go atlas simflags="-P 32"

#####
# Dopagem #
#####

set Na1=1
set Na2=15

#####
# Variaveis em um #
#####

set wt = 0.010
set wb = 0.030
set lc = 0.200

#####
# Carrega a estrutura #
#####

mesh infile=L"$lc"um-Wt"$wt"umWb"$wb"um.str

#####
# Define a concentracao da dopagem #
#####

# Porta
doping uniform conc=1e21          n.type reg=1

# Canal
doping uniform conc="$Na1"e"$Na2" p.type reg=3

# Espacador de Dreno
doping uniform conc=1e21          n.type reg=4

# Espacador de Fonte
doping uniform conc=1e21          n.type reg=5
```

```

# Contato de Dreno
doping uniform conc=1e21          n.type reg=6

# Contato de Fonte
doping uniform conc=1e21          n.type reg=7

# Contato de Substrato
doping uniform conc=1e21          n.type reg=9

#####
# Define a carga de interface #
#####

interf qf=3e10 region=2

#####
# Define a funcao trabalho da porta #
#####

contact name=gate tungsten

#####
# Salva estrutura #
#####

structure outf=L$"lc"um-Wt$"wt"umWb$"wb"um-na$"Na1"e$"Na2"_doped.str

#####
# Selecciona os modelos #
#####

model fermi ni.fermi evsatmod=0 fldmob print auger bgn consrh shi kla
temp=300

#####
# Define os metodos #
#####

method newton autonr bicgst dvlimit=1 maxtraps=6 atrap=0.1

#####
# Inicia a simulacao #
#####

# Especifica a solucao anterior como aproximacao inicial
solve previous

# Polariza o dreno
solve name=drain vdrain=0.100 vfinal=0.600 vstep=0.100
save outf=IDSxVGS-AC-L$"lc"um-Wt$"wt"umWb$"wb"um-na$"Na1"e$"Na2"_solve.str
master
#load infile=IDSxVGS-AC-L$"lc"um-Wt$"wt"umWb$"wb"um
na$"Na1"e$"Na2"_solve.str master

# Inicia o log
log outf=IDSxVGS-AC-L$"lc"um-Wt$"wt"umWb$"wb"um-na$"Na1"e$"Na2".log

# Polarizacoes do gate

solve name=gate vgate=0.000 vfinal=0.500 vstep=0.010 ac freq=1e10

```

```

save  outf=IDSxVGS-AC-L$`lc`um-Wt$`wt`umWb$`wb`um-na$`Na1`e$`Na2`_solve.str
      master

solve name=gate vgate=0.510 vfinal=1.000 vstep=0.010 ac freq=1e10
save  outf=IDSxVGS-AC-L$`lc`um-Wt$`wt`umWb$`wb`um-na$`Na1`e$`Na2`_solve.str
      master

solve name=gate vgate=1.010 vfinal=1.500 vstep=0.010 ac freq=1e10
save  outf=IDSxVGS-AC-L$`lc`um-Wt$`wt`umWb$`wb`um-na$`Na1`e$`Na2`_solve.str
      master

# Fim do log
log off

#####
# Fim #
#####

quit

```