

CENTRO UNIVERSITÁRIO FEI
FERNANDO JOSÉ DA COSTA

ESTUDO DO EFEITO DE AUTOAQUECIMENTO EM TRANSISTORES SOI-MOSFET
FABRICADOS EM TECNOLOGIA DE CAMADAS ULTRA FINAS (UTB E UTBB)

São Bernardo do Campo
2018

FERNANDO JOSÉ DA COSTA

ESTUDO DO EFEITO DE AUTOAQUECIMENTO EM TRANSISTORES SOI-MOSFET
FABRICADOS EM TECNOLOGIA DE CAMADAS ULTRA FINAS (UTB E UTBB)

Dissertação apresentada ao Centro
Universitário FEI, como parte dos requisitos
necessários para obtenção do título de Mestre
em Engenharia Elétrica. Orientado pelo Prof.
Rodrigo Trevisoli Doria.

São Bernardo do Campo

2018

José da Costa, Fernando.

ESTUDO DO EFEITO DE AUTOAQUECIMENTO EM
TRANSISTORES SOI-MOSFET FABRICADOS EM TECNOLOGIA
DE CAMADAS ULTRA FINAS (UTB E UTBB) / Fernando José da
Costa. São Bernardo do Campo, 2018.

126 p. : il.

Dissertação - Centro Universitário FEI.

Orientador: Prof. Dr. Rodrigo Trevisoli Doria.

1. SOI MOSFET. 2. UTBB. 3. Autoaquecimento. 4. Polarização do
Substrato. I. Trevisoli Doria, Rodrigo, orient. II. Título.

Aluno: Fernando José da Costa

Matrícula: 116310-4

Título do Trabalho: Estudo do efeito de autoaquecimento em transistores SOI-MOSFET fabricados em tecnologia de camadas ultra finas (UTB e UTBB).

Área de Concentração: Nanoeletrônica e Circuitos Integrados

Orientador: Prof. Dr. Rodrigo Trevisoli Doria

Data da realização da defesa: 29/06/2018

ORIGINAL ASSINADA

Avaliação da Banca Examinadora:

São Bernardo do Campo, 29 / 06 / 2018.

MEMBROS DA BANCA EXAMINADORA

Prof. Dr. Rodrigo Trevisoli Doria

Ass.: _____

Prof. Dr. Genaro Mariniello da Silva

Ass.: _____

Prof. Dr. Dennis Lozano Toufen

Ass.: _____

A Banca Julgadora acima-assinada atribuiu ao aluno o seguinte resultado:

APROVADO

REPROVADO

VERSÃO FINAL DA DISSERTAÇÃO

**APROVO A VERSÃO FINAL DA DISSERTAÇÃO EM QUE
FORAM INCLUÍDAS AS RECOMENDAÇÕES DA BANCA
EXAMINADORA**

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz

Dedico este trabalho à minha mãe Josefa que sempre me apoia e me dá forças ao longo da minha vida em tudo, ao meu pai José e meu irmão Fabiano, In Memoriam, pelos exemplos de dedicação e vida, à minha esposa Livia pelo incentivo, ajuda e paciência que foram essenciais na elaboração deste trabalho e aos meus sobrinhos Larissa, Letícia, Pedro, Levi e Nicolas que são fontes de ânimo e alegria constantes em minha vida.

AGRADECIMENTOS

À Deus que tem me mostrado o caminho a seguir sempre e foi abrindo as portas necessárias para que eu chegasse até aqui.

Ao meu orientador e professor Dr. Rodrigo Trevisoli Doria que me orientou nesta caminhada, tornando-a mais leve e divertida.

Aos professores Dr(a)s. Marcelo Antonio Pavanello, Michelly de Souza e Renan Trevisoli Doria que acreditaram em meus esforços e moveram céus e terras para que eu pudesse estudar e esse trabalho vir a ser realizado.

Aos professores Drs. Renato Camargo Giacomini, Rudolf T. Büller e Salvador Pinillos Gimenez pelas aulas e ensinamentos.

Ao coordenador do Depto. de Pós-Graduação Stricto Sensu em Engenharia Elétrica professor Dr. Carlos Eduardo Thomaz e ao Centro Universitário FEI, em especial ao Depto. de Assistência Social na pessoa da Sra. Cleide Mara de Souza pela concessão da bolsa, sem a qual esse trabalho não seria possível.

Ao Sr. Ricardo Mendes da Secretaria de Pós-Graduação Stricto Sensu, sempre atencioso e prestativo em tudo o que precisei.

Aos amigos que fiz ao longo do curso, Nilton, Fernando Oliveira, Camila, Renan Freitas, Fernando Dainese, Claudio, Rafael, Flávio, Thales e Vinícius pelo apoio e momentos divertidos que passamos juntos.

À minha mãe Josefa por todo apoio, dedicação e ensinamentos de vida.

Ao meu pai José e meu irmão Fabiano, In Memoriam, que foram e continuam sendo exemplos de força e dedicação ao trabalho e aos estudos.

Minha maravilhosa esposa Lívia que, com seu constante apoio e seu sorriso, me fortalece e anima a cada dia mais.

Às minhas irmãs Priscilla e Patrícia pelo apoio, compreensão e por trazerem sempre meus sobrinhos para alegrar meu dia.

E a todos que, de alguma forma, contribuíram para a realização deste trabalho e que involuntariamente não foram citados.

Muito obrigado!

“O temor do Senhor é o princípio do conhecimento” (Provérbios 1:7)

RESUMO

A tecnologia silício sobre isolante (*Silicon-on-Insulator* – SOI), aplicada à transistores MOS de efeito de campo, constitui um dos avanços na área de micro e nanoeletrônica. Uma vez adotada em substituição aos transistores MOS convencionais, ela diminui consideravelmente os efeitos de canal curto, promovendo uma série de melhorias nas características elétricas dos dispositivos. Apesar das vantagens apresentadas, alguns novos obstáculos são detectados ao se utilizar a tecnologia SOI, como o efeito de autoaquecimento. O calor gerado por efeito Joule, dissipado através do substrato em transistores MOS convencionais, encontra no óxido enterrado usado como isolante nos transistores SOI, um obstáculo, pois este isolante possui baixa condutividade térmica em relação ao silício utilizado no substrato do MOS convencional. O aumento da temperatura produz alterações no funcionamento do dispositivo como a redução na corrente de dreno decorrente da degradação da mobilidade dos elétrons. A fabricação de transistores SOI em camadas de silício e óxido enterrado ultrafinas, (*Ultra Thin Body and Buried Oxide* - UTBB), tem demonstrado melhorias em suas propriedades físicas e elétricas. A menor espessura do óxido enterrado torna possível uma influência mais significativa da polarização do substrato no funcionamento do transistor, bem como uma redução significativa no efeito autoaquecimento. Assim, este trabalho teve como objetivo o estudo das propriedades térmicas em transistores de camadas ultrafinas de óxido enterrado e silício, bem como a influência da polarização do substrato em suas propriedades térmicas. O estudo efetuado através de simulações e medidas experimentais demonstrou que a implementação do plano de terra não provocou mudanças significativas nas propriedades térmicas, bem como a polarização do substrato produz uma variação na resistência térmica de 9 % com potencial aplicado ao substrato entre -2 e 2 V, uma vez que o perfil de distribuição de cargas ao longo canal se altera de acordo com o potencial aplicado.

Palavras-chave: SOI MOSFET. UTBB. Autoaquecimento. Polarização do Substrato.

ABSTRACT

The Silicon-on-Insulator (SOI) technology, applied to field effect MOS transistors is one of the advances in the field of micro and nanoelectronics. Once adopted in detriment of conventional MOS transistors, it considerably reduces short-channel effects, promoting several improvements in the electrical characteristics of the devices. Despite the advantages presented, some new issues are detected when using SOI technology, such as the self-heating effect. The heat generated by the Joule effect, dissipated through the substrate in conventional MOS transistors, finds an obstacle in the buried oxide used as insulator in the SOI transistors, since this insulator has lower thermal conductivity than silicon used in the conventional MOS substrate. The temperature increase produces undesirable changes in the devices characteristics such as the reduction of the drain current due to the degradation of the electrons' mobility. The fabrication of SOI transistors in ultrathin layers of silicon and buried oxide (UTBB) has shown to improve their physical and electrical properties. The smaller thickness of the buried oxide makes the influence of the substrate (Back Gate) bias on the devices operation more significant as well as reduces the self-heating effect occurrence. Thus, this work has the purpose of studying the thermal properties of transistors fabricated with ultrathin layers of buried oxide and silicon, as well as the influence of the back-gate bias on their thermal properties. The study was carried out through simulations and experimental measurements and showed that the implementation of the ground plane did not resulted in significant changes in the thermal properties. On the other hand, the substrate biasing produces a variation of 9 % in the thermal resistance with the potential applied to the substrate between -2 and 2 V, since the charge distribution profile along the channel changes according to the applied potential.

Keywords: SOI MOSFET. UTBB. Self-heating. Back Gate Bias.

LISTA DE ILUSTRAÇÕES

Figura 1 - Gráfico representando a lei de Moore.	33
Figura 2 - Estrutura de um transistor MOS em (A) e com a descrição de seus terminais em (B).	37
Figura 3 - Esboço da secção transversal (A) de um transistor MOS convencional tipo N e (B) de um transistor MOS tipo N fabricado em tecnologia SOI.	39
Figura 4 - Inversor CMOS (A) em tecnologia MOS (BULK) convencional e (B) em tecnologia SOI.	40
Figura 5 - Transistor SOI PD (A) e SOI FD (B).	41
Figura 6 - Curva indicando a elevação abrupta da corrente de dreno I_{DS} devido a ionização por impacto.	42
Figura 7 - Esquema da seção transversal de um par de transistores CMOS fabricados na tecnologia (A) SOI UTBB e (B) SOI UTB.	43
Figura 8 – Concentração de elétrons com a aplicação de polarização de substrato nos transistores com variação de espessura do óxido enterrado.	44
Figura 9 – Diagrama de bandas de energia (A) SOI parcialmente depletado (PD) e (B) SOI totalmente depletado (FD).	46
Figura 10 - Curva de g_m/I_{DS} em função de V_{GS}	50
Figura 11 - Gráfico de I_{DS} por V_{DS} (A) e de I_{DS} por V_{GS} (B) com indicação das regiões de polarização de um transistor.	51
Figura 12 - Gráfico de I_{DS} em escala log por V_{GS} , com indicação da curva na região de sublimiar em vermelho.	53
Figura 13 - Comportamento de V_{th} com a polarização do substrato.	55
Figura 14 – Curva da g_m em função de V_{GS} para dispositivo com L de 25 nm e BOX de 10 nm.	56
Figura 15 - Curva de g_D em função de V_{DS} para dispositivo com L de 100 nm e BOX de 10 nm.	57
Figura 16 - Movimento dos elétrons, sem aplicação de um campo elétrico em (A) e com a aplicação de um campo elétrico em (B).	58
Figura 17 - Perfil de cargas no canal de dispositivos longos em A e curtos em B.	60
Figura 18 - Comportamento da tensão de limiar em relação ao encurtamento de canal.	61
Figura 19 - Comportamento da inclinação de sublimiar em relação ao encurtamento de canal.	61

Figura 20 - Figura indicando a variação da barreira de potencial ao longo do canal de transistores MOS de diferentes comprimentos de canal.	62
Figura 21 - Curvas I_{DS} x V_{GS} com diferentes V_{DS} para extração do DIBL.	63
Figura 22 - Estruturas atômicas com arranjo cristalino a esquerda, característico do silício intrínseco e com arranjo amorfo a direita, característico do dióxido de silício que constitui o óxido enterrado.....	65
Figura 23 - Temperatura ao longo de transistores BULK convencional em (A), SOI MOSFET UTBB em (B) e SOI MOSFET UTB em (C).....	67
Figura 24 - Concentração intrínseca de portadores (n_i) e o potencial (E_g) em função da temperatura.....	68
Figura 25 - Mobilidade por espalhamento de impurezas neutras em função da temperatura.	69
Figura 26 - Mobilidade por espalhamento de rede e por impurezas ionizadas em função da temperatura.....	71
Figura 27 - Mobilidade por espalhamento portador-portador em função da temperatura.	72
Figura 28 - Mobilidade por espalhamento da rede em função da temperatura.	73
Figura 29 – Curvas I_{DS} x V_{DS} mostrando a degradação na corrente de dreno.....	74
Figura 30 - Curvas g_D x V_{DS} mostrando a degradação na condutância de saída.....	74
Figura 31 - Um dos transistores simulados representado por uma rede de pontos discretizada (grade).	75
Figura 32 – Figura indicando o esquema dos cortes para a extração de informações dos dispositivos simulados.	76
Figura 33 - Figura representando um pulso aplicado ao dreno no método “Hot Chuck”.	78
Figura 34– Curvas experimentais de I_{DS} x V_{DS} , DC em preto e pulsadas a diferentes temperaturas de 300, 325, 350, 375, 400 e 425 K em vermelho.	79
Figura 35 - Comportamento de I_{DS} em função da temperatura do Chuck.	80
Figura 36 - Curva DC em conjunto com as curvas livres de autoaquecimento em diferentes temperaturas com o detalhe das intersecções entre as curvas em círculos vermelhos.....	81
Figura 37 - Gráfico da temperatura em função da potência normalizada, onde a inclinação da reta obtida indica o valor da resistência térmica normalizada.	82
Figura 38 - Gráfico da condutância de saída g_D em função da frequência.	83
Figura 39 - Corrente de dreno nos dispositivos simulados em função da tensão do dreno.	84
Figura 40 - Arranjo dos caminhos de dissipação da energia térmica em um transistor MOS com os valores das resistividades térmicas atribuídas aos contatos.....	86

Figura 41 – Fotografia da lâmina posicionada no microprovador.	87
Figura 42 - Curva da corrente de dreno pela tensão de porta dos transistores com variação do comprimento de canal.	89
Figura 43 - Curva da tensão de limiar em função do comprimento de canal.....	90
Figura 44 – Curva monologarítmica de I_{DS} x V_{GS}	91
Figura 45 - Gráfico do comportamento da inclinação de sublimiar com o comprimento de canal.	91
Figura 46 - Gráfico indicando o comportamento do DIBL com o comprimento de canal.	92
Figura 47 - Curvas indicando o comportamento da corrente de dreno em função de V_{DS} para diferentes comprimentos de canal.	93
Figura 48 - Gráfico indicando o comportamento da corrente de dreno com o comprimento de canal em curvas considerando e negligenciando o autoaquecimento.....	93
Figura 49 - Gráfico indicando a temperatura no interior dos canais dos transistores à distância de 1 nm do dreno.....	94
Figura 50 - Curvas I_{DS} x V_{DS} a diferentes temperaturas acima e curva da temperatura com a potência normalizada indicando o valor da resistência térmica para o transistor de $L = 25$ nm.	95
Figura 51 - Curvas I_{DS} x V_{DS} a diferentes temperaturas acima e curva da temperatura com a potência normalizada indicando o valor da resistência térmica para o transistor de $L = 50$ nm.	96
Figura 52 - Curvas I_{DS} x V_{DS} a diferentes temperaturas acima e curva da temperatura com a potência normalizada indicando o valor da resistência térmica para o transistor de $L = 100$ nm.	96
Figura 53 - Curvas I_{DS} x V_{DS} a diferentes temperaturas acima e curva da temperatura com a potência normalizada indicando o valor da resistência térmica para o transistor de $L = 200$ nm.	97
Figura 54 - Curvas I_{DS} x V_{DS} a diferentes temperaturas acima e curva da temperatura com a potência normalizada indicando o valor da resistência térmica para o transistor de $L = 500$ nm.	97
Figura 55 - Curvas I_{DS} x V_{DS} a diferentes temperaturas acima e curva da temperatura com a potência normalizada indicando o valor da resistência térmica para o transistor de $L = 800$ nm.	98
Figura 56 - Curvas I_{DS} x V_{DS} a diferentes temperaturas acima e curva da temperatura com a potência normalizada indicando o valor da resistência térmica para o transistor de $L = 1000$ nm.	98

Figura 57 - Curva indicando o comportamento resistência térmica em função do comprimento de canal para dispositivos com $t_{\text{box}} = 400$ nm.	99
Figura 58 – Curvas indicando o comportamento da tensão de limiar em função da espessura do BOX para transistores de diferentes comprimentos de canal.....	100
Figura 59 - Curvas indicando o comportamento da inclinação de sublimiar em função da espessura do BOX.	101
Figura 60 - Curvas indicando o comportamento do DIBL em função da espessura do BOX para dispositivos de diferentes comprimentos de canal.	102
Figura 61 - Curvas $I_{\text{DS}} \times V_{\text{DS}}$ com diferentes espessuras do BOX.....	103
Figura 62 - Curvas indicando o comportamento da resistência térmica com a espessura do BOX.	104
Figura 63 – Gráfico indicando o comportamento da variação da condutância de saída devido ao autoaquecimento (Δg_{DSH}) em função da espessura do BOX.....	105
Figura 64 - Figura ilustrando a distribuição de elétrons no canal com aplicação de V_{SUB} de -2V para um dispositivo com $L = 25$ nm e $t_{\text{box}} = 10$ nm.	106
Figura 65 - Figura ilustrando a distribuição de elétrons no canal com a aplicação de V_{SUB} de 2V para um dispositivo com $L = 25$ nm e $t_{\text{box}} = 10$ nm.	107
Figura 66 - Curvas da tensão de limiar (V_{TH}) em função da tensão no substrato (V_{SUB}) para diferentes espessuras de BOX.	108
Figura 67 - Curvas da inclinação de sublimiar (SS) em função da tensão no substrato (V_{SUB}) para diferentes espessuras de BOX.	108
Figura 68 - Curvas do DIBL em função da tensão no substrato (V_{SUB}) para diferentes espessuras de BOX e dispositivo com comprimento de canal de 25 nm.	109
Figura 69 - Gráfico indicando o comportamento da resistência térmica em função da tensão no substrato (V_{SUB}).....	110
Figura 70 - Gráficos indicando o comportamento da condutância de saída em função da frequência para diferentes V_{SUB} em (A) e o comportamento do Δg_{DSH} em função de V_{SUB} em (B).	111
Figura 71 - Corte na estrutura indicando a densidade de corrente no interior do canal para V_{SUB} igual a -2, 0 e 2 V.	112
Figura 72 - Corte na estrutura indicando temperatura no interior do canal para V_{SUB} igual a -2, 0 e 2 V.	113
Figura 73 – Figura representando a configuração dos pulsos em (A) e o detalhe da mesma curva mostrando o ponto livre de autoaquecimento em (B).	114

Figura 74 – Curvas experimentais DC e pulsadas para diferentes V_{SUB} em (A) e o detalhe das curvas indicando a diferença percentual entre as curvas DC e pulsadas em (B).	115
Figura 75 – Figura indicando as diferenças em porcentagem entre as curvas DC e pulsadas para dispositivos com comprimento de canal de 100, 300 e 500 nm em relação a V_{SUB}	116
Figura 76 - Estrutura simulada com a implementação de GP tipo P com dopagem extra de boro logo abaixo do BOX.....	117
Figura 77 - Estrutura simulada com a implementação de GP tipo N com dopagem extra de arsênio logo abaixo do BOX.....	118
Figura 78 - Gráficos indicando o comportamento da condutância de saída em função da frequência para diferentes GP.	119
Figura 79 - Curvas indicando o comportamento da resistência térmica com a espessura do BOX com diferentes GP.	120
Figura 80 - Gráfico indicando o comportamento da resistência térmica em função da tensão no substrato (V_{SUB}) com diferentes GP.	120
Figura 81 - Gráfico indicando o comportamento da resistência térmica em função da potência normalizada com a aplicação de polarização no substrato (V_{SUB}) e com diferentes GP.	121

LISTA DE TABELAS

Tabela 1 - Valores das constantes para cálculo da mobilidade por espalhamento de rede e por impurezas ionizadas.	70
Tabela 2 - Validação dos resultados simulados em relação aos experimentais apresentados em (52).	85

LISTA DE SÍMBOLOS

C_{OX1}	Capacitância do óxido de porta por unidade de área [F/cm^2]
C_{OX2}	Capacitância do óxido enterrado por unidade de área [F/cm^2]
C_{Si}	Capacitância do silício por unidade de área [F/cm^2]
E_C	Energia do nível de condução [eV]
E_F	Energia do nível de Fermi [eV]
E_g	Banda proibida (Band Gap) [eV]
E_I	Energia do nível intrínseco [eV]
E_V	Energia do nível de valência [eV]
$E_{VÁCUO}$	Energia do nível de vácuo [eV]
g_D	Condutância de saída [$S/\mu m$]
g_m	Transcondutância [$S/\mu m$]
I_{DS}	Corrente entre dreno e fonte [A]
k	Constante de Boltzmann [$1,38066 \times 10^{-23}$ J/K]
K	Constante de condutibilidade térmica [W/Km]
L	Comprimento de canal [nm]
l_{sd}	Comprimento das regiões de fonte e dreno. [nm]
m	Massa dos portadores [g]
n	Fator de corpo do transistor
N_A	Concentração de impurezas tipo P [cm^{-3}]
N_D	Concentração de impurezas tipo N [cm^{-3}]
n_i	Concentração intrínseca de portadores [cm^{-3}]
P_{norm}	Potência normalizada [$W/\mu m$]
q	Carga elementar do elétron [$1,6 \times 10^{-19}$ C]
Q_{DEPL}	Carga de depleção total no silício [C/cm^2]

Q_{INV}	Carga de inversão por unidade de área na primeira interface [C/cm^2]
Q_{OX1}	Densidade de cargas fixas no óxido de porta por unidade de área [C/cm^2]
Q_{OX2}	Densidade de cargas fixas no óxido enterrado por unidade de área [C/cm^2]
Q_{S1}	Carga na primeira interface [C/cm^2]
Q_{S2}	Carga na segunda interface [C/cm^2]
R_{TH}	Resistência térmica [Km/W].
SS	Inclinação de sublimiar [mV/dec]
T	Temperatura [K]
t_{box}	Espessura do óxido enterrado [nm]
t_{ox}	Espessura do óxido de porta. [nm]
T_{OX1}	Espessura do óxido de porta [nm]
T_{OX2}	Espessura do óxido enterrado [nm]
t_{si}	Espessura da camada de silício do canal [nm]
t_{sib}	Espessura do silício abaixo do óxido [nm]
t_{sisd}	Espessura das elevações de fonte e dreno. [nm]
V_{DS}	Tensão entre dreno e fonte [V]
V_{G1}	Tensão aplicada à porta [V]
V_{G2}	Tensão aplicada ao substrato [V]
V_{GS}	Tensão entre porta e fonte [V]
V_m	Velocidade dos portadores [cm^2/s]
V_{SUB}	Tensão aplicada ao substrato [V].
V_{th}	Tensão de limiar [V]
$V_{th1acc2}$	Tensão de limiar com a segunda interface em acumulação [V]
$V_{th1depl2}$	Tensão de limiar com a segunda interface em depleção [V]
$V_{th1inv2}$	Tensão de limiar com a segunda interface em inversão [V]
W	Largura de canal [nm]

$x_{d\text{máx}}$	Comprimento máximo é da região de depleção [nm]
α	Parâmetro resultante da associação das capacitâncias do transistor MOS
γ	Efeito de corpo [V^{-1}]
Δg_{DSH}	Varição de g_D devido ao SHE [$S/\mu\text{m}$]
Δg_{DSUB}	Varição de g_D devido ao efeito de substrato [$S/\mu\text{m}$]
ϵ_{OX}	Permissividade do óxido no vácuo [F/cm]
ϵ_{Si}	Permissividade do silício vácuo [F/cm]
θ	Coefficiente de degradação da mobilidade
τ	Tempo médio entre as colisões dos portadores [s]
Φ	Potencial [V]
Φ_F	Potencial de Fermi [V]
Φ_M	Função trabalho do metal [V]
Φ_{MS1}	Diferença entre a função trabalho do metal da porta e do silício [V]
Φ_{MS2}	Diferença entre a função trabalho do silício do substrato e do silício do canal [V]
Φ_{OX1}	Queda de potencial no óxido de porta [V]
Φ_{OX2}	Queda de potencial no óxido enterrado [V]
Φ_{S1}	Potencial de superfície na primeira interface [V]
Φ_{S2}	Potencial de superfície na segunda interface [V]
Φ_{SiB}	Energia necessária para se extrair elétrons do substrato [V]
Φ_{SiF}	Energia necessária para se extrair elétrons do silício do canal [V]
ξ	Campo elétrico [V/s]
ξ_{S1}	Campo elétrico na primeira interface [V/s]
μ	Mobilidade dos portadores [cm^2/Vs]
μ_0	Mobilidade dos portadores em baixo campo elétrico [cm^2/Vs]
μ_{cc}	Mobilidade em função dos espalhamento portador-portador [cm^2/Vs]
μ_{ni}	Mobilidade em função de espalhamento por impurezas neutras [cm^2/Vs]

μ_{ps}	Mobilidade em função do espalhamento fônon [cm^2/Vs]
μ_{psii}	Mobilidade em função de impurezas ionizadas [cm^2/Vs]
μ_{eff}	Mobilidade efetiva dos portadores [cm^2/Vs]

LISTA DE ABEVIATURAS

BOX	<i>(Buried Oxide)</i>
CMOS	<i>(Complementary Metal-Oxide-Semiconductor)</i>
DIBL	<i>(Drain Induced Barrier Lowering)</i> [V/V]
FD	<i>(Fully Depleted)</i>
GP	<i>(Ground Plane)</i>
MOS	<i>(Metal-Oxide-Semiconductor)</i>
MOSFET	<i>(Metal-Oxide-Semiconductor Field Effect Transistor)</i>
MuGFET	<i>(Multiple Gate Field Effect Transistor)</i>
PD	<i>(Partially Depleted)</i>
RF	Rádio Frequência
SCE	<i>(Short-Channel-Effect)</i>
SHE	<i>(Self-Heating-Effect)</i>
SOI	<i>(Silicon-on Insulator)</i>
UTB	<i>(Ultra-Thin-Body)</i>
UTBB	<i>(Ultra-Thin-Body and Buried Oxide)</i>

SUMÁRIO

1 INTRODUÇÃO E JUSTIFICATIVA	33
2 CONCEITOS FUNDAMENTAIS	37
2.1 TRANSISTOR MOS	37
2.2 TECNOLOGIA SOI.....	38
2.2.1 Funcionamento dos Transistores SOI	41
2.3 TRANSISTORES SOI UTB E UTBB	43
2.4 PRINCIPAIS PARÂMETROS ELÉTRICOS.....	45
2.4.1 Tensão de Limiar	45
2.4.2 Corrente de Dreno	50
2.4.3 Inclinação de Sublimiar	52
2.4.4 Efeito de Corpo	54
2.4.5 Transcondutância (g_m)	56
2.4.6 Condutância de Saída (g_D)	57
2.5 MOBILIDADE	58
2.6 EFEITOS DE CANAL CURTO (<i>Short Channel Effects</i> – SCEs)	59
3 O EFEITO DO AUTOAQUECIMENTO (<i>SELF-HEATING EFFECT</i> - SHE)	64
3.1 O CONCEITO DE FÔNON.....	65
3.2 INFLUÊNCIA DA TEMPERATURA NA MOBILIDADE DOS PORTADORES	68
4 METODOLOGIAS DA PESQUISA	75
4.1 SIMULAÇÕES	75

4.2 O MÉTODO “HOT CHUCK”	77
4.3 MÉTODO DA CONDUTÂNCIA DE SAÍDA AC.	82
4.4 VALIDAÇÃO DAS SIMULAÇÕES ATRAVÉS DE RESULTADOS EXPERIMENTAIS	84
4.5 MEDIDAS EXPERIMENTAIS	87
5 ANÁLISE DAS CARACTERÍSTICAS ELÉTRICAS DOS DISPOSITIVOS	88
5.1 RESULTADOS SIMULADOS	88
5.2 COMPORTAMENTO DA TENSÃO DE LIMIAR EM RELAÇÃO AO COMPRIMENTO DE CANAL.....	88
5.3 COMPORTAMENTO DA INCLINAÇÃO DE SUBLIMIAR EM RELAÇÃO AO COMPRIMENTO DE CANAL.	90
5.4 COMPORTAMENTO DO DIBL EM RELAÇÃO AO COMPRIMENTO DE CANAL	91
5.5 COMPORTAMENTO DA CORRENTE DE DRENO COM E SEM O EFEITO DO AUTOAQUECIMENTO.	92
5.6 RESISTÊNCIA TÉRMICA EM FUNÇÃO DO COMPRIMENTO DE CANAL	94
5.7 COMPORTAMENTO TÉRMICO EM FUNÇÃO DA ESPESSURA DO BOX.....	99
5.8 COMPORTAMENTO TÉRMICO EM RELAÇÃO À POLARIZAÇÃO DO SUBSTRATO	105
5.9 COMPORTAMENTO TÉRMICO EM RELAÇÃO À POLARIZAÇÃO DO SUBSTRATO EM MEDIDAS EXPERIMENTAIS.....	113
5.10 DISPOSITIVOS IMPLEMENTADOS COM PLANO DE TERRA (<i>GROUND PLANE</i> - GP)	117
6 CONCLUSÕES	122
REFERÊNCIAS BIBLIOGRÁFICAS	124

APENDICE A: ARQUIVO DE SIMULAÇÃO PARA A OBTENÇÃO DA ESTRUTURA VIRTUAL..... 129

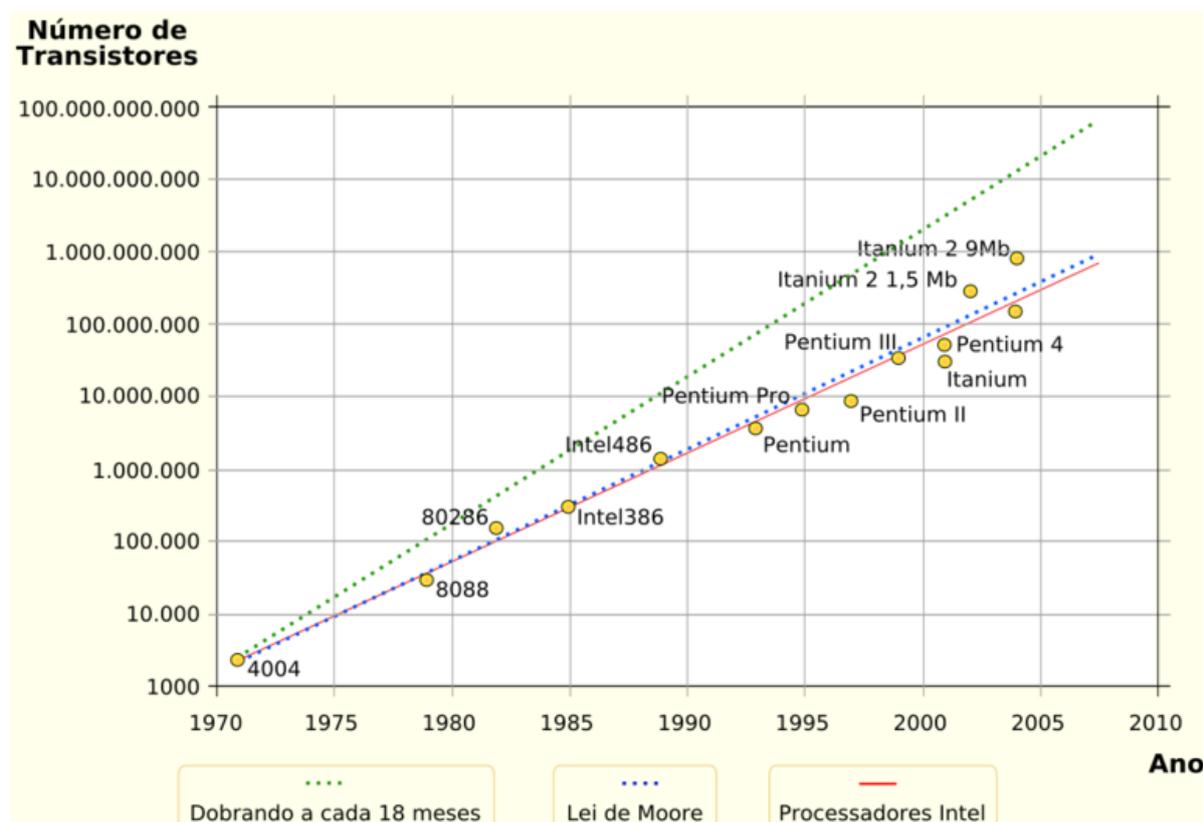
APENDICE B: ARQUIVO DE SIMULAÇÃO PARA A OBTENÇÃO DAS CARACTERÍSTICAS DE SAÍDA DOS DISPOSITIVOS 133

1 INTRODUÇÃO E JUSTIFICATIVA

Desde meados da década de 1950, tem ocorrido um rápido crescimento tecnológico no campo da eletrônica, onde a integração de circuitos cada vez mais complexos tem sido uma constante (1). Logo, adotou-se o termo “microeletrônica” para designar a área de estudos e pesquisas dos componentes com alto grau de integração.

A alta demanda por processamento de dados requer um nível alto de integração, que somente pode ser atingido através de redução das dimensões físicas dos dispositivos. Desde meados da década de 1960, a miniaturização dos circuitos integrados tem buscado acompanhar a lei de Moore (1), segundo a qual, o número de dispositivos em uma lâmina de silício deveria dobrar a cada 18 meses a fim de manter o ritmo de evolução na microeletrônica. A figura 1 apresenta o ritmo de crescimento do nível de integração ao longo de 40 anos, de 1970 até 2010. A curva em verde indica o movimento de dobra a cada 18 meses, a azul a cada 24 meses e a curva em vermelho indica o desempenho da Intel, que tem acompanhado bem de perto o movimento de dobra a cada 24 meses.

Figura 1 - Gráfico representando a lei de Moore.



Fonte: https://pt.wikipedia.org/wiki/Lei_de_Moore, acesso em: 21 maio 2018.

Entretanto, ao se reduzir as dimensões de transistores MOS, estes apresentam efeitos de segunda ordem, denominados efeitos de canal curto (*Short Channel Effects* – SCEs). Tais efeitos decorrem da redução do controle da porta sobre as cargas na região do canal, uma vez que parte considerável da carga da região de canal passa a ser controlada pelas regiões de depleção devido às junções de fonte e dreno (2).

A tecnologia silício-sobre-isolante (*Silicon-on-Insulator* – SOI) constitui uma alternativa à tecnologia MOS convencional, visto que promove diversas melhorias devido à presença de uma camada de isolante entre a região ativa da lâmina (onde são fabricados os dispositivos) e o substrato, a qual é comumente denominada óxido enterrado (*Buried Oxide* – BOX) (3). Esta camada de óxido enterrado proporciona melhor densidade de integração devido à ausência de ilhas de dopagem, fazendo os circuitos CMOS ocuparem uma menor área ao longo da lâmina. Além disso, esta camada é responsável por eliminar o efeito tiristor parasitário (4), formado entre a região ativa e o substrato do dispositivo. Adicionalmente, a camada de óxido enterrado é responsável por um melhor acoplamento capacitivo, que leva à redução do fator de corpo, reduzindo a inclinação de sublimiar a valores próximos ao ideal e à diminuição significativa nos efeitos de canal curto (3).

Os transistores SOI são divididos em dois tipos. Se os dispositivos apresentarem camada de silício (t_{Si}) com espessura maior que duas vezes a espessura máxima da camada de depleção, são denominados parcialmente depletados (*Partially Depleted* – PD). De outro modo, quando t_{Si} for menor que a espessura de camada de depleção máxima, o dispositivo é denominado totalmente depletado (*Fully Depleted* – FD). Neste caso, haverá depleção total do silício durante todo o processo de condução (5). Estes últimos apresentam características elétricas superiores às de transistores parcialmente depletados e MOS convencionais. Por este motivo, grande parte das indústrias interessadas na aplicação da tecnologia SOI têm focado suas pesquisas em transistores totalmente depletados, sendo estes, também o objeto de estudo deste trabalho.

Visando melhorar ainda mais o acoplamento capacitivo dos dispositivos SOI, levando à possibilidade da fabricação de transistores ainda mais curtos, ao longo da última década foram desenvolvidos dispositivos SOI com camada de silício ultrafina (6). Embora estes dispositivos, denominados UTB (*Ultra-thin Body*), apresentassem melhor desempenho em aplicações digitais, a menor espessura da camada de silício prejudicava ainda mais a dissipação térmica, tornando o autoaquecimento um efeito particularmente sério em UTBs (7).

Entretanto, como uma evolução dos transistores UTB, foi demonstrada a fabricação transistores SOI FD com espessuras das camadas de silício e óxido enterrado extremamente finas

(t_{Si} da ordem de 6-10 nm e espessura da camada de óxido enterrado da ordem de 10-20 nm) (8; 9), a qual foi denominada UTBB (*Ultra-Thin Body and Box*). Esta tecnologia mantém o excelente acoplamento capacitivo apresentado por transistores UTB e, como vantagem adicional, permite a polarização ativa do substrato de transistores individuais (sem a necessidade de polarização de todo o substrato da lâmina) (10). Assim, podem funcionar de modo similar a transistores de múltiplas portas (*Multiple Gate Field Effect Transistors* – MuGFETs) (11), onde um melhor controle das cargas do canal pode ser obtido através da polarização do substrato, que funciona como uma segunda porta. A única diferença é que, nos dispositivos MuGFETs, todas as portas são curto-circuitadas, ou seja, o potencial aplicado é igual em todas as portas. No caso dos UTBB, este potencial pode ser diferente, uma vez que porta e substrato são terminais independentes. Devido à camada ultrafina de óxido enterrado, a polarização de substrato nos UTBBs é mais efetiva em comparação aos SOI MOSFETs convencionais, influenciando de maneira substancial na formação do canal.

A polarização individual do substrato de cada um dos transistores UTBB pode ser efetuada através de um contato lateral, uma vez que a tecnologia apresentada dispõe de um processo de fabricação em que a região de silício abaixo do óxido enterrado pode apresentar concentrações de dopantes tipo N ou P, a qual é denominada Plano de Terra (*Ground Plane* - GP) (9).

Alguns trabalhos publicados recentemente (12; 13; 14) demonstram que a polarização do substrato pode influenciar diversos parâmetros elétricos dos transistores UTBB como acoplamento capacitivo, inclinação de sublimiar, transcondutância, condutância de saída e ganho de tensão. Deste modo, pode-se definir a tensão a ser aplicada ao substrato dos dispositivos visando à otimização de seu desempenho para uma dada aplicação. Adicionalmente, alguns trabalhos recentes têm demonstrado uma melhora nos efeitos do autoaquecimento em relação à transistores UTB, em virtude da redução da espessura da camada de óxido enterrado (15; 16).

O trabalho atual visa explorar através de simulações e medidas experimentais, alguns aspectos do autoaquecimento ainda desconhecidos, como a influência do tipo de dopante presente no Plano de Terra e a influência da polarização do substrato, que altera o acoplamento capacitivo da estrutura.

Foi elaborada uma revisão bibliográfica sobre dispositivos MOSFET e suas tecnologias mais atuais, como a silício sobre isolante e as novas propostas com os transistores de camada de silício e óxido ultrafinas. O trabalho atual está dividido em seis capítulos, conforme a estrutura apresentada abaixo.

O capítulo 2 traz uma revisão teórica sobre os temas que serão abordados ao longo da dissertação como características físicas, arquitetura e os modelos mais atuais do dispositivo SOI MOSFET. Neste capítulo serão abordados todos os conceitos fundamentais de transistores MOS, tecnologia SOI, transistores UTB e UTBB, além de seus principais parâmetros elétricos.

No capítulo 3, são abordados todos os conceitos necessários para o entendimento das propriedades térmicas dos transistores SOI MOSFETs, bem como introduzido o efeito de autoaquecimento em transistores SOI MOS.

O capítulo 4 detalha o simulador utilizado ao longo do trabalho, apresentando de forma sucinta todos os modelos utilizados. Adicionalmente, é apresentado de forma detalhada o método utilizado para a extração da resistência térmica dos dispositivos analisados ao longo do trabalho.

No capítulo 5 são apresentados os resultados obtidos através de simulações e de medidas experimentais, onde são efetuadas as análises do comportamento térmico de transistores UTB e UTBB em função da variação de diversos parâmetros como o comprimento de canal, a espessura da camada de óxido enterrado e o potencial aplicado ao substrato dos dispositivos. Neste capítulo, também será analisada a influência do Plano de Terra (*Ground Plane*) nas propriedades elétricas e térmicas dos dispositivos UTBB.

Finalmente, no capítulo 6, são apresentadas as conclusões, as sugestões de trabalhos futuros seguidas da bibliografia e dos apêndices.

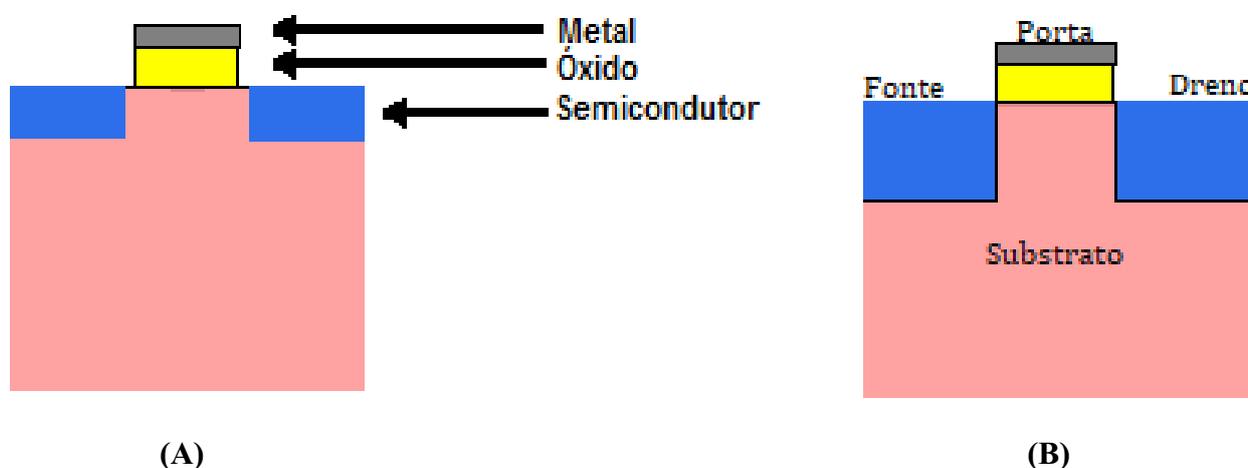
2 CONCEITOS FUNDAMENTAIS

Neste capítulo, será apresentado o dispositivo SOI MOSFET, bem como os conceitos fundamentais que definem seu funcionamento.

2.1 TRANSISTOR MOS

Como mencionado anteriormente, transistores fabricados na tecnologia Metal-Óxido-Semicondutor (MOS) são considerados os principais dispositivos utilizados na indústria microeletrônica desde meados da década de 1960. Estes dispositivos são fundamentais na confecção de quaisquer circuitos integrados digitais ou analógicos. O esboço da seção transversal de um transistor de efeito de campo (*Field Effect Transistor* – FET) fazendo uso do arranjo metal-óxido-semicondutor é apresentado na figura 2 (A) e a nomenclatura de seus terminais em (B).

Figura 2 - Estrutura de um transistor MOS em (A) e com a descrição de seus terminais em (B).



Fonte: Autor.

A estrutura vertical partindo-se do metal, forma juntamente com o óxido e com o semicondutor um capacitor MOS.

A aplicação de potencial ao metal, que adquire o nome de terminal de porta, induz a um comportamento na região da interface entre o óxido e o semicondutor. Quando potencial positivo é aplicado em um transistor nMOS, elétrons são atraídos para essa região. Caso contrário, se um potencial negativo for aplicado, os elétrons são repelidos desta região. Ainda na figura 2, no

semicondutor, as regiões em azul possuem dopagem diferente do restante do semicondutor. Estas regiões passarão a ser denominadas regiões de fonte e dreno e o restante do semicondutor de substrato, ao qual serão atribuídos terminais.

Como já mencionado, as regiões de fonte e dreno possuem dopagem diferente do restante do substrato, onde são adicionadas impurezas no material semicondutor, que podem deixar o material com características de material doador ou aceitador de elétrons. No caso do material doador de elétrons, ou tipo N, a dopagem é feita com arsênio (As) ou fósforo (P), enquanto que para a formação de um material aceitador de elétrons, ou tipo P, a dopagem é feita com boro (B).

Na figura 2, assume-se que a dopagem do substrato é do tipo P e as das regiões de fonte e dreno são do tipo N. Desta forma, se for aplicado uma diferença de potencial entre a fonte e o dreno, não há caminho para os elétrons fluírem entre estes terminais, pois ambas as regiões estão isoladas pelo substrato, que possui dopagem diferente. Como mencionado, com a aplicação de potencial no terminal de porta há a atração ou repulsão de elétrons na região de interface entre o óxido e o semicondutor. Desta forma, um caminho para o fluxo de elétrons pode ser formado de acordo com a aplicação de potencial no terminal de porta, o qual é denominado canal. Este é o princípio de funcionamento de um dispositivo MOSFET, onde o fluxo de corrente entre os terminais de fonte e dreno é controlado pelo terminal de porta, definindo-o como dispositivo ideal para a confecção de circuitos integrados.

Para a formação do canal, é necessária a aplicação de um potencial mínimo no terminal de porta (V_{GS}). Este potencial recebe o nome de tensão de limiar (V_{th}) e será abordado com mais detalhes no item 2.4.1.

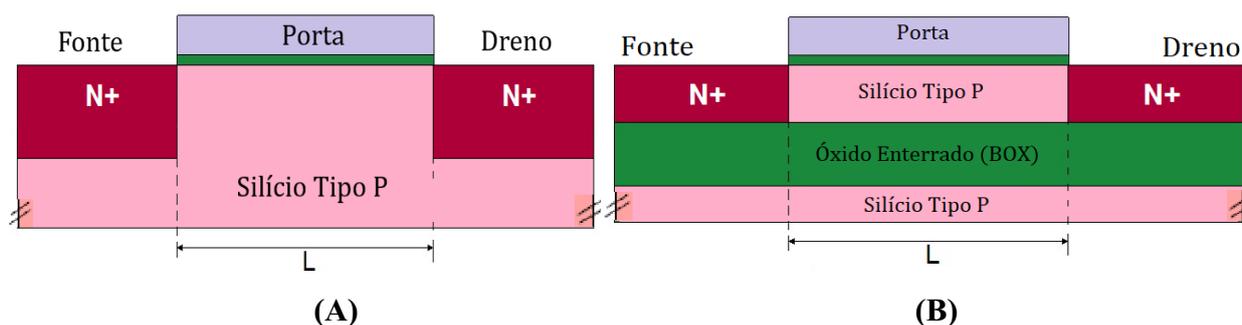
2.2 TECNOLOGIA SOI

Com o avanço da tecnologia e a crescente demanda por velocidade e capacidade de processamento, os dispositivos MOSFET passaram por modificações em suas estruturas. A principal delas foi a redução das dimensões do dispositivo, pois o uso de um número cada vez maior de transistores integrados é necessário para uma maior capacidade de processamento. Ao atingir um certo grau de integração e, conseqüentemente, uma redução significativa de suas dimensões, efeitos indesejáveis passaram a ser notados nos dispositivos. Efeitos como a perda do controle do terminal de porta sobre parte dos elétrons no canal, bem como alterações na tensão de limiar passaram a coexistir. Estes efeitos são denominados efeitos de canal curto (2), uma vez que

que se pronunciam mais intensamente a medida que o comprimento do dispositivo ficar menor. Os efeitos de canal curto serão abordados com mais detalhes no item 2.6.

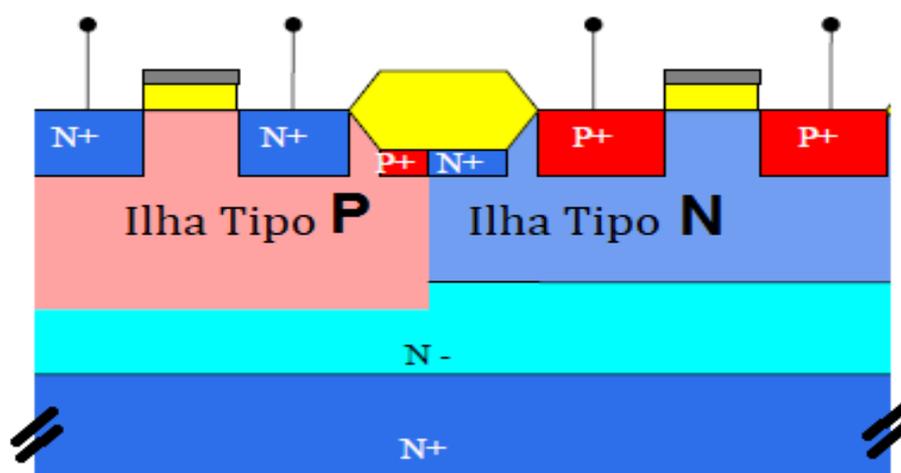
Neste contexto, foi desenvolvido o dispositivo SOI MOSFET, que adicionou uma camada de material isolante de dióxido de silício, chamado de óxido enterrado (BOX), entre a região ativa do dispositivo e o substrato, promovendo uma melhoria significativa em relação aos efeitos de canal curto, além de permitir maiores escalas de integração em virtude da otimização do espaço ocupado na lâmina de silício devido à ausência das ilhas de dopagens, antes necessárias no MOSFET convencional (2). Na figura 3, é apresentado um esboço das secções longitudinais de transistores MOS convencionais (A) e de transistores fabricados em tecnologia SOI (B) e, na figura 4, as diferentes densidades de integração em lâminas de ambas as tecnologias na construção de um inversor. As ilhas com diferentes dopagens em 4 (A) definem os transistores do inversor, sendo que um do tipo nMOS necessita de substrato do tipo P e o complementar do tipo pMOS necessita do substrato tipo N. Devido à camada de óxido enterrado, estas ilhas com diferentes dopagens não são necessárias em um inversor SOI. Desta forma, o espaço em lâmina é mais bem aproveitado na tecnologia SOI em detrimento da tecnologia convencional, permitindo maiores escalas de integração.

Figura 3 - Esboço da secção transversal (A) de um transistor MOS convencional tipo N e (B) de um transistor MOS tipo N fabricado em tecnologia SOI.

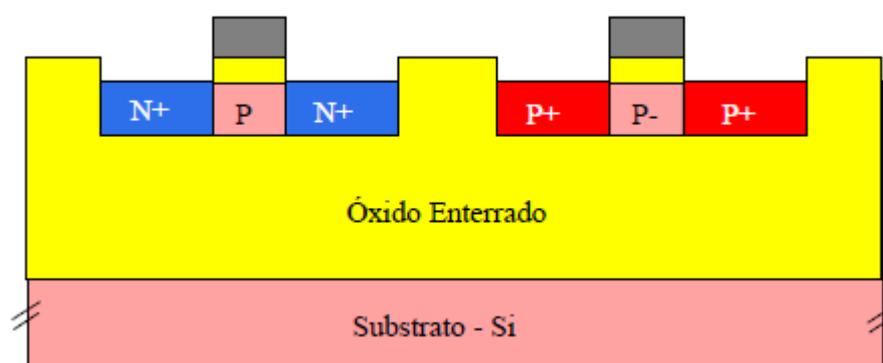


Fonte: Autor.

Figura 4 - Inversor CMOS (A) em tecnologia MOS (BULK) convencional e (B) em tecnologia SOI.



(A)



(B)

Fonte: Autor "Adaptado de" COLINGE, J. P. 2004 (3)..

O emprego da camada de material isolante trouxe um efeito nocivo no funcionamento dos dispositivos SOI MOSFETs. Trata-se do autoaquecimento (*Self-Heating-Effect* – SHE), que ocorre em virtude do óxido enterrado possuir propriedades térmicas inferiores em relação ao silício, dificultando o transporte de energia térmica (7). O calor, que antes era dissipado através do substrato, tem seu percurso dificultado pela presença do óxido enterrado, fazendo com que a temperatura na região do canal aumente. Com o aumento da temperatura, a mobilidade dos portadores sofre uma degradação, que provoca efeitos indesejáveis nas características de saída do

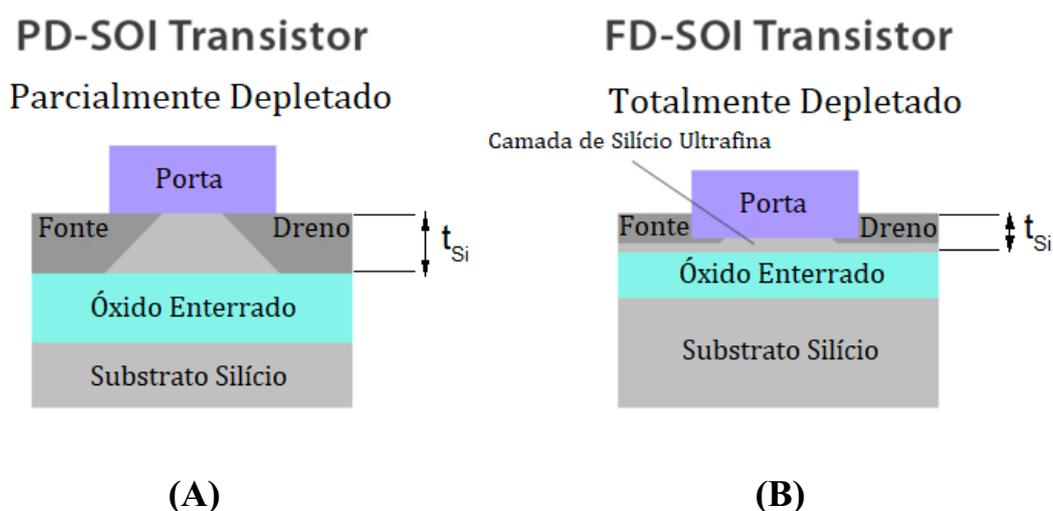
transistor, como uma redução da corrente de dreno (I_{DS}). O efeito do auto aquecimento será tratado especificamente no capítulo 3.

2.2.1 Funcionamento dos Transistores SOI

Da mesma forma como mencionado para transistores MOS convencionais, a aplicação de potencial positivo no terminal de porta atrai elétrons para a região do canal em um substrato tipo P. A atração de elétrons, primeiramente, irá provocar depleção, que consiste da ausência de portadores livres, na região do canal, pois os elétrons atraídos ocuparão as lacunas ali existentes em virtude da dopagem do canal tipo P. Os transistores SOI MOS são classificados de acordo com a espessura que a camada de depleção atinge ao longo da região de canal.

Dispositivos do tipo SOI MOSFET parcialmente depletados (*Partially Depleted* - PD) são aqueles onde a região depletada não ocupa todo o silício da região ativa, sendo que, sua espessura é maior que o dobro da espessura máxima da camada de depleção, e os dispositivos totalmente depletados (*Fully Depleted* - FD) são aqueles onde a região depletada ocupa todo o silício da região ativa, sendo que, sua espessura é menor que a espessura máxima da camada de depleção. A figura 5 ilustra os transistores parcialmente depletados em A, e os transistores totalmente depletados em B.

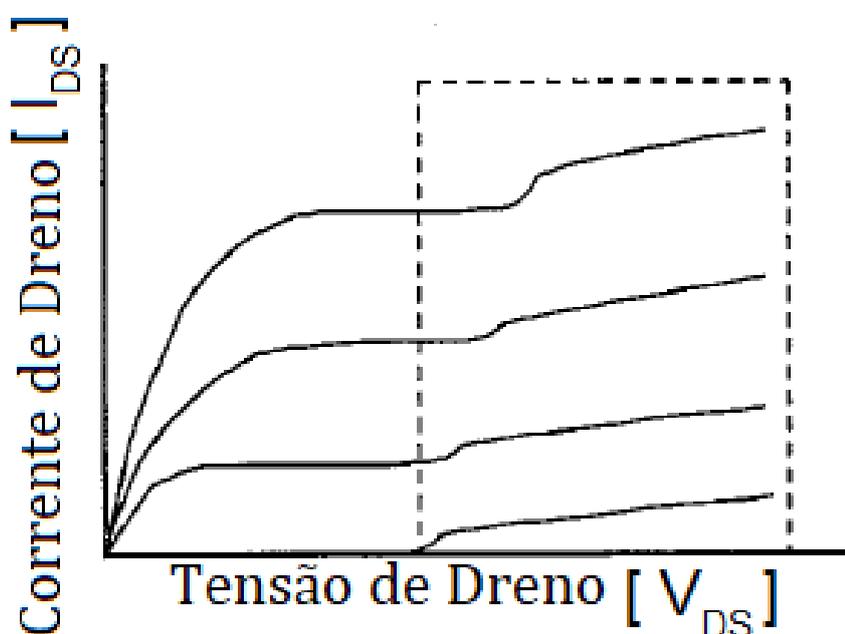
Figura 5 - Transistor SOI PD (A) e SOI FD (B).



Fonte: Autor "adaptado de" OLEJARZ, P. et al. 2012 (8).

Transistores parcialmente depletados sofrem com diversos efeitos que degradam suas características elétricas em virtude do corpo flutuante, uma vez que não ocorre depleção total do silício na região do canal. Um dos mais importantes destes efeitos resulta em uma elevação abrupta da corrente de dreno sem que haja aumento no potencial aplicado à porta (3). A ionização por impacto consiste na geração de portadores livres através do choque de elétrons acelerados com átomos da rede cristalina. A partir de um determinado potencial aplicado entre os terminais de fonte e dreno (V_{DS}), este efeito é mais intenso e os elétrons gerados são incorporados à corrente de dreno provocando uma elevação abrupta (*Kink Effect*), como indicado na figura 6, que apresenta curvas de I_{DS} em função de V_{DS} indicando a elevação abrupta da corrente. As lacunas, por sua vez, migram para a região de menor potencial, junto à fonte. Este efeito não ocorre em transistores SOI MOS FD, que dependendo da espessura da camada de silício do canal, podem ser designados por transistores de camada de silício ultrafina (*Ultra Thin Body - UTB*) que apresentam ainda melhores características elétricas tais como, melhor inclinação de sublimiar, maior mobilidade e menor ocorrência de efeitos de canal curto, sendo estes os dispositivos SOI mais comercialmente empregados pela indústria nos últimos anos (6).

Figura 6 - Curva indicando a elevação abrupta da corrente de dreno I_{DS} devido a ionização por impacto.

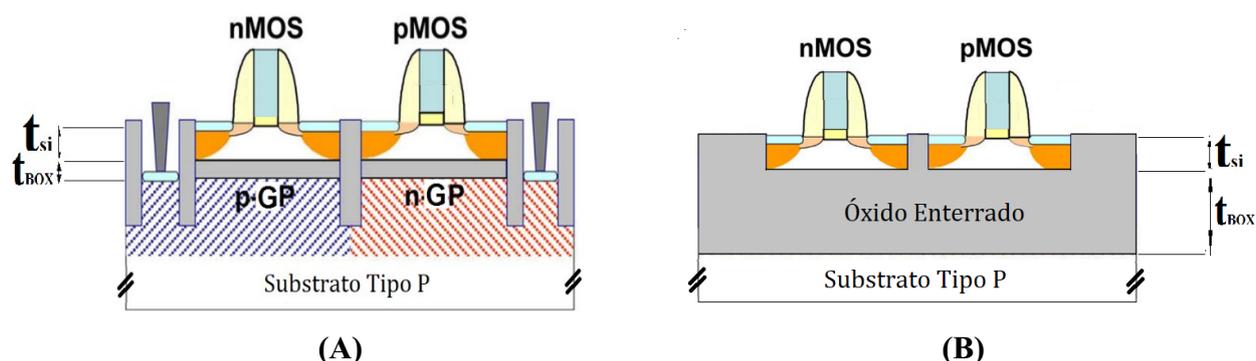


Fonte: Autor "Adaptado de" COLINGE, J. P. 2004 (3).

2.3 TRANSISTORES SOI UTB E UTBB

Como dito anteriormente, transistores SOI UTBs apresentam camada de silício ultrafina, da ordem de 6 a 10 nm. Em virtude disso, sofrem mais intensamente com o efeito do autoaquecimento devido à menor dissipação térmica em função da menor espessura da camada de silício. Sendo assim, visando uma melhora no acoplamento capacitivo do dispositivo, bem como uma atenuação do autoaquecimento um novo dispositivo foi proposto, o transistor de camadas de silício e óxido enterrado ultrafinas (*Ultra Thin Body and Buried Oxide – UTBB*). Além da camada de silício da região do canal, este também apresenta camada de óxido enterrado ultrafina, da ordem de 10 a 40 nm. A figura 7 apresenta o SOI UTBB em (A) e o SOI UTB em (B), onde as regiões em cinza representam o material isolante (BOX).

Figura 7 - Esquema da seção transversal de um par de transistores CMOS fabricados na tecnologia (A) SOI UTBB e (B) SOI UTB.



Fonte: Autor “adaptado de” NOEL, J-P. et al. 2011 (10).

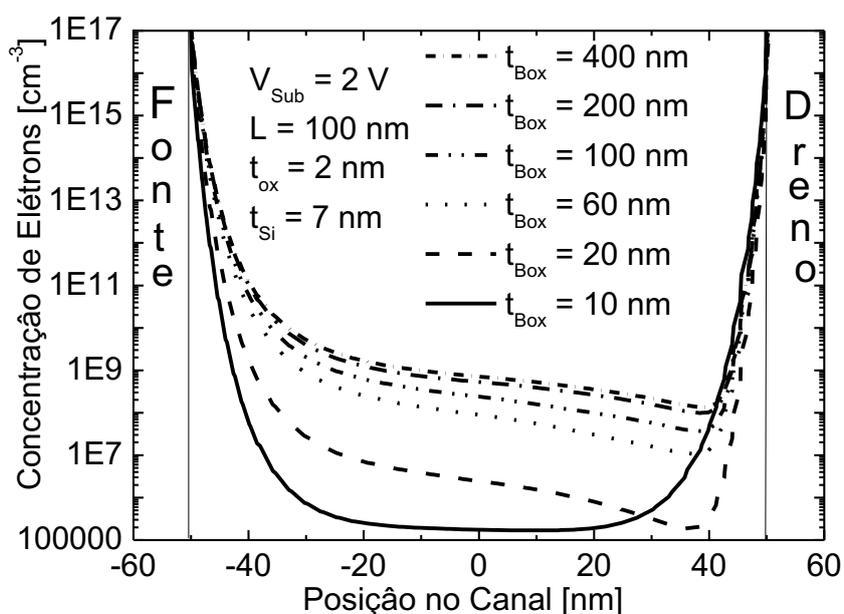
Além das melhorias esperadas já mencionadas, o uso de camadas ultrafinas de material isolante proporciona uma maior influência da polarização do substrato na região do canal, algo não possível em dispositivos com camadas de óxido espessas. A polarização do substrato pode ser utilizada como uma segunda porta (*Back Gate*) e o dispositivo assume um funcionamento semelhante ao dos transistores de múltiplas portas (*Multiple Gate Field Effect Transistors – MugFETs*), com a exceção de que nos dispositivos UTBB as portas são independentes, podendo receber polarizações diferentes, enquanto que nos de múltiplas portas, as portas estão interligadas de modo que todas recebem a mesma polarização (10).

De modo similar ao que acontece com a aplicação de potencial no terminal de porta, quando potencial positivo é aplicado ao substrato, elétrons são atraídos para a região de interface

entre o silício do canal e o óxido enterrado, denominado de segunda interface. Caso contrário, se potencial negativo for aplicado, os elétrons são repelidos desta região. A figura 8 ilustra, a partir de simulações numéricas, a influência da polarização do substrato na concentração de elétrons ao longo do canal de transistores UTBB e UTB simulados com diferentes espessuras de óxido enterrado. Em todos os dispositivos apresentados foi aplicado um potencial de 2 V no substrato (V_{sub}) enquanto que, nos demais terminais, foram aplicados potencial zero. Foi observado o perfil de concentração de elétrons ao longo do canal através de um corte feito nas estruturas simuladas à distância de 1 nm abaixo do óxido de porta. Maiores detalhes sobre o trabalho de simulação, bem como dos cortes e dos dispositivos simulados serão apresentados nos capítulos 4 e 5.

Através da observação da figura 8, percebe-se que a aplicação de potencial positivo no substrato promove a atração dos elétrons do canal para a região da segunda interface e, na região próxima à primeira interface onde o corte foi feito, verifica-se uma redução da concentração de elétrons, ou seja, a aplicação de potencial ao substrato em transistores UTBB altera significativamente o acoplamento capacitivo da estrutura, principalmente nos dispositivos com camada de óxido enterrado mais fina.

Figura 8 – Concentração de elétrons com a aplicação de polarização de substrato nos transistores com variação de espessura do óxido enterrado.



Fonte: Autor.

Um outro recurso disponível nos UTBBs é a aplicação de dopagem extra na região do substrato logo abaixo do óxido enterrado, denominada Plano de Terra (*Ground Plane – GP*), que possibilita que a segunda porta dos dispositivos seja polarizada individualmente (9) (em dispositivos convencionais a polarização do substrato influí em todos os transistores que ocupem a mesma lâmina de silício). Ainda na figura 7 A, pode se verificar a implantação do Plano de Terra, tipo N e tipo P, nos transistores do circuito CMOS ilustrado.

2.4 PRINCIPAIS PARÂMETROS ELÉTRICOS

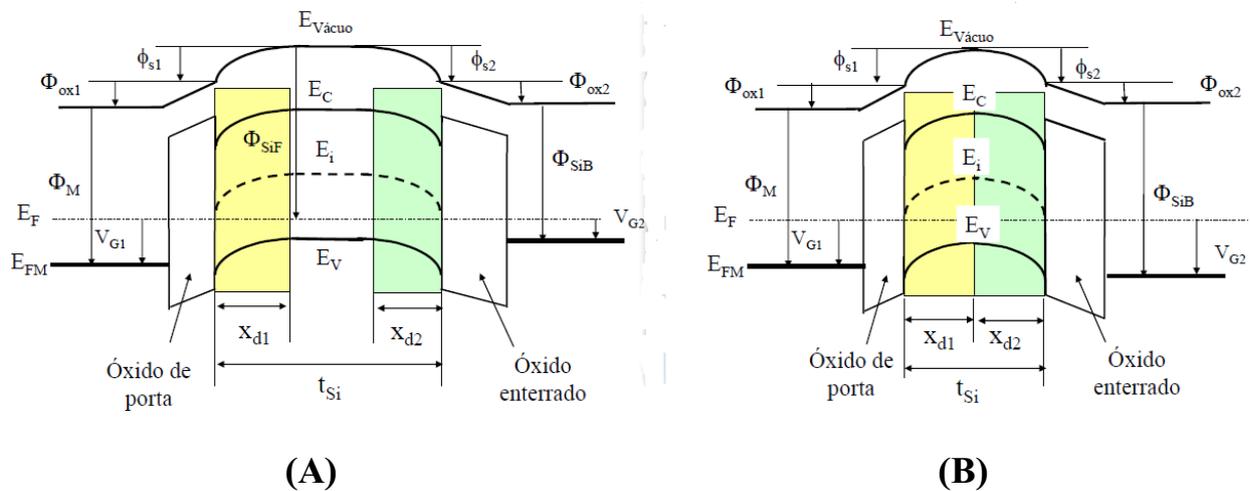
Ao longo deste item serão apresentados os principais parâmetros elétricos que caracterizam os transistores SOI MOS.

2.4.1 Tensão de Limiar

A tensão de limiar define-se como a diferença de potencial que, aplicada entre a porta e a fonte, forma o canal de inversão de elétrons em um substrato do tipo P, responsável pela condução de corrente entre os terminais de fonte e dreno do transistor.

O diagrama de bandas de energia, utilizado para representar a estrutura de um transistor SOI MOS, consiste na representação dos níveis energéticos e dos potenciais necessários para mover os elétrons do nível de valência para o nível de condução. Através de seu estudo, são obtidas as equações iniciais que são essenciais para o desenvolvimento das expressões que descrevem a tensão de limiar do dispositivo SOI MOSFET. A figura 9 mostra o diagrama de bandas de energia para transistores PD em A e FD em B.

Figura 9 – Diagrama de bandas de energia (A) SOI parcialmente depletado (PD) e (B) SOI totalmente depletado (FD).



Fonte: Autor.

No diagrama de bandas, E_V representa a energia do nível de valência que é o nível máximo de energia ocupado por elétrons, E_F representa a energia do nível de Fermi, onde há a probabilidade de 50% de haver um elétron, E_I representa a energia do nível intrínseco, que representa o nível de Fermi em um semiconductor intrínseco, E_C representa a energia do nível de condução, o primeiro nível energético livre de elétrons, $E_{VÁCUO}$ é a energia do nível de vácuo, que representa o nível energético para extrair elétrons do material, Φ_{S1} é o potencial de superfície na primeira interface (entre o óxido de porta e o silício do canal), Φ_{S2} é o potencial de superfície na segunda interface (entre o silício do canal e o óxido enterrado), Φ_{OX1} é a queda de potencial no óxido de porta, Φ_{OX2} é a queda de potencial no óxido enterrado, Φ_M é a função trabalho do metal, que representa a energia necessária para se extrair elétrons do material, Φ_{SIF} e Φ_{SIB} representam a energia necessária para se extrair elétrons do silício do canal e do substrato, respectivamente.

Na figura 9, temos os diagramas de bandas de energia dos transistores SOI PD e FD, onde o comprimento máximo da região de depleção ($x_{d_{máx}}$) é dado pela equação 1:

$$x_{d_{máx}} = \sqrt{\frac{2\epsilon_{Si}2\phi_F}{qN_a}} \quad (1)$$

onde: Φ_F é o potencial de Fermi, dado pela expressão 2, ϵ_{Si} é a permissividade do silício, q é a carga do elétron, e N_a a concentração de impurezas aceitadoras do substrato tipo P.

$$\phi_F = \frac{KT}{q} \ln \left(\frac{Na}{ni} \right) \quad (2)$$

onde ni , é a concentração intrínseca de portadores, que é dada pela equação 3, K é a constante de Boltzmann e T a temperatura absoluta.

$$ni = \sqrt{BT^3 e^{-\frac{E_g}{KT}}} \quad (3)$$

onde B é uma constante que depende do material ($B = 5,4 \times 10^{31} \text{ k}^{-3} \text{ cm}^{2/3}$ para o silício), e E_g é a banda proibida (*Bandgap*).

Na Figura 9 (B), temos o diagrama de bandas de energia de um transistor totalmente depletado. Fazendo a circuitação da estrutura, temos as equações 4 e 5:

$$V_{G1} = \Phi_{S1} + \Phi_{Ox1} + \Phi_{MS1} \quad (4)$$

$$V_{G2} = \Phi_{S2} + \Phi_{Ox2} + \Phi_{MS2} \quad (5)$$

onde V_{G1} é a tensão aplicada à porta, Φ_{MS1} a diferença entre a função trabalho do metal da porta e do silício do canal, V_{G2} é a tensão aplicada ao substrato, Φ_{S2} é o potencial de superfície na interface entre o óxido de enterrado e o silício do canal e Φ_{MS2} a diferença entre a função trabalho do silício do substrato e do silício do canal.

Aplicando-se o teorema de Gauss nos dois óxidos, temos os potenciais no óxido de porta e no BOX dados pelas equações 6 e 7:

$$\Phi_{Ox1} = \frac{\epsilon_{Si} \xi_{S1} - Q_{inv} - Q_{ox1}}{C_{ox1}} \quad (6)$$

$$\Phi_{Ox2} = \frac{\epsilon_{Si} \xi_{S1} - qN_{at_{si}} - Q_{ox2} - Q_{S2}}{C_{ox2}} \quad (7)$$

onde ξ_{S1} é o campo elétrico na primeira interface, Q_{INV} é a carga de inversão por unidade de área na primeira interface, Q_{OX1} é a densidade de cargas fixas no óxido de porta por unidade de área, C_{OX1} é a capacitância do óxido de porta por unidade de área (ξ_{OX}/T_{OX1} , sendo ξ_{OX} a permissividade do óxido e T_{OX1} a espessura do óxido de porta), t_{si} é a espessura da camada de silício do canal,

Q_{ox2} é a densidade de cargas fixas no óxido enterrado por unidade de área, Q_{s2} é a carga de acumulação ($Q_{s2} > 0$) ou inversão ($Q_{s2} < 0$) na segunda interface e C_{ox2} é a capacitância do óxido enterrado por unidade de área (ξ_{ox}/T_{ox2} , onde T_{ox2} é a espessura do óxido enterrado).

Partindo-se da equação de Poisson e integrando duas vezes o potencial em função da profundidade da camada de silício (17), obtemos uma expressão para o potencial em 8 e outra para o campo elétrico em 9:

$$\Phi(x) = \frac{qNax^2}{2\varepsilon_{si}} + \left(\frac{\Phi_{s2} - \Phi_{s1}}{t_{si}} - \frac{qNat_{si}}{2\varepsilon_{si}} \right) x + \Phi_{s1} \quad (8)$$

$$\xi(x) = -\frac{qNa}{\varepsilon_{si}} x - \frac{\Phi_{s2} - \Phi_{s1}}{t_{si}} + \frac{qNat_{si}}{2\varepsilon_{si}} \quad (9)$$

Tomando o campo elétrico na posição $x = 0$ obtemos uma equação para ξ_{s1} em 10:

$$\xi_{s1} = \frac{\Phi_{s2} - \Phi_{s1}}{t_{si}} + \frac{qNat_{si}}{2\varepsilon_{si}} \quad (10)$$

Substituindo 10 em 6 e 7 e incorporando-as em 4 e 5, obtém-se a tensão em cada uma das portas V_{G1} e V_{G2} conforme equações 11 e 12:

$$V_{G1} = \Phi_{ms1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{si}}{C_{ox1}} \right) \Phi_{s1} - \left(\frac{C_{si}}{C_{ox1}} \right) \Phi_{s2} - \frac{\frac{Q_{depl}}{2} - Q_{inv}}{C_{ox1}} \quad (11)$$

$$V_{G2} = \Phi_{ms2} - \frac{Q_{ox2}}{C_{ox2}} + \left(\frac{C_{si}}{C_{ox2}} \right) \Phi_{s2} - \left(1 + \frac{C_{si}}{C_{ox2}} \right) \Phi_{s1} - \frac{\frac{Q_{depl}}{2} - Q_{s2}}{C_{ox2}} \quad (12)$$

onde C_{si} é a capacitância do silício por unidade de área (ε_{si}/t_{si} , onde ε_{si} é a permissividade do silício e t_{si} a espessura da camada de silício) e Q_{depl} é a carga de depleção total no silício.

Em transistores SOI totalmente depletados, os potenciais da primeira e da segunda interface interagem entre si, de modo que a tensão aplicada ao terminal de porta (*front gate*) necessária para a condução de corrente da fonte para o dreno vai depender da polarização do substrato (*back gate*).

Deste modo, a tensão de limiar será dada por diferentes expressões, para cada condição do potencial na segunda interface.

- Segunda interface em acumulação ($V_{th1acc2}$): o potencial de superfície na segunda interface será zero. Admite-se que a carga de inversão também seja zero, dessa forma o potencial na primeira interface Φ_{s1} será igual a $2\Phi_F$.

$$V_{th1acc2} = \Phi_{ms1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{si}}{C_{ox1}}\right) 2\Phi_F - \frac{Q_{depl}}{2C_{ox1}} \quad (13)$$

- Segunda interface em depleção ($V_{th1depl2}$): o potencial de superfície na segunda interface será maior que zero, porém menor que $2\Phi_F$. Dessa forma, a tensão de limiar dependerá da polarização do substrato.

$$V_{th1depl2} = V_{th1acc2} - \frac{C_{si}C_{ox2}}{C_{ox1}(C_{si} + C_{ox2})} (V_{G2} - V_{G2acc2}) \quad (14)$$

- Segunda interface em inversão ($V_{th1inv2}$): os potenciais de superfície em ambas as interfaces Φ_{s1} e Φ_{s2} serão iguais a $2\Phi_F$ e a carga de inversão admitida como zero.

$$V_{th1inv2} = \Phi_{ms1} - \frac{Q_{ox1}}{C_{ox1}} + 2\Phi_F - \frac{Q_{depl}}{2C_{ox1}} \quad (15)$$

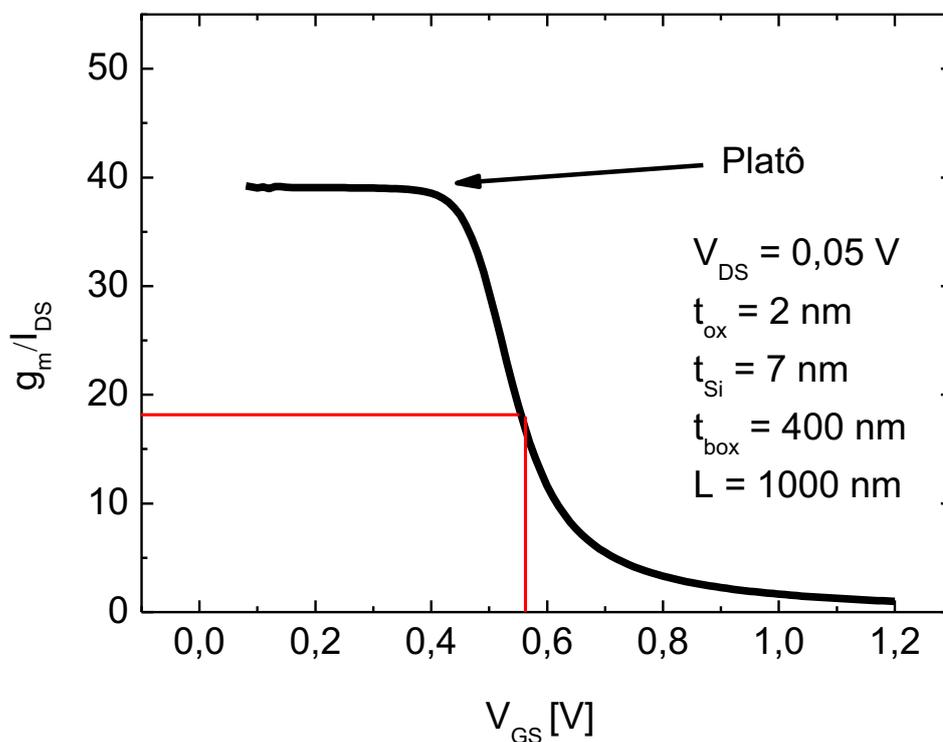
A aplicação do método descrito em (18) foi utilizado neste trabalho para a extração da tensão de limiar de cada um dos dispositivos estudados. O método consiste na aplicação das seguintes etapas.

- Obtém-se a curva da corrente de dreno (I_{DS}) em função da tensão de porta (V_{GS}) com baixa tensão de dreno;
- Extraí-se o \ln (Logaritmo Natural) da curva I_{DS} x V_{GS} ;
- Faz-se a derivada da curva $\ln(I_{DS})$ x V_{GS} , a qual corresponde à transcondutância (g_m) dividida por I_{DS} ;

- Plota-se o resultado em função de V_{GS} ;

A curva fica com a característica daquela apresentada na figura 10.

Figura 10 - Curva de g_m/I_{DS} em função de V_{GS} .



Fonte: Autor.

A metade do valor de g_m/I_{DS} a partir do platô observado para baixos valores de V_{GS} corresponde à tensão de limiar do transistor. A transcondutância será abordada no capítulo 2.4.5.

2.4.2 Corrente de Dreno

Em dispositivos do tipo SOI MOSFET, a corrente de dreno é definida através de um modelo de primeira ordem (3) onde as equações 16 e 17 definem a corrente de dreno.

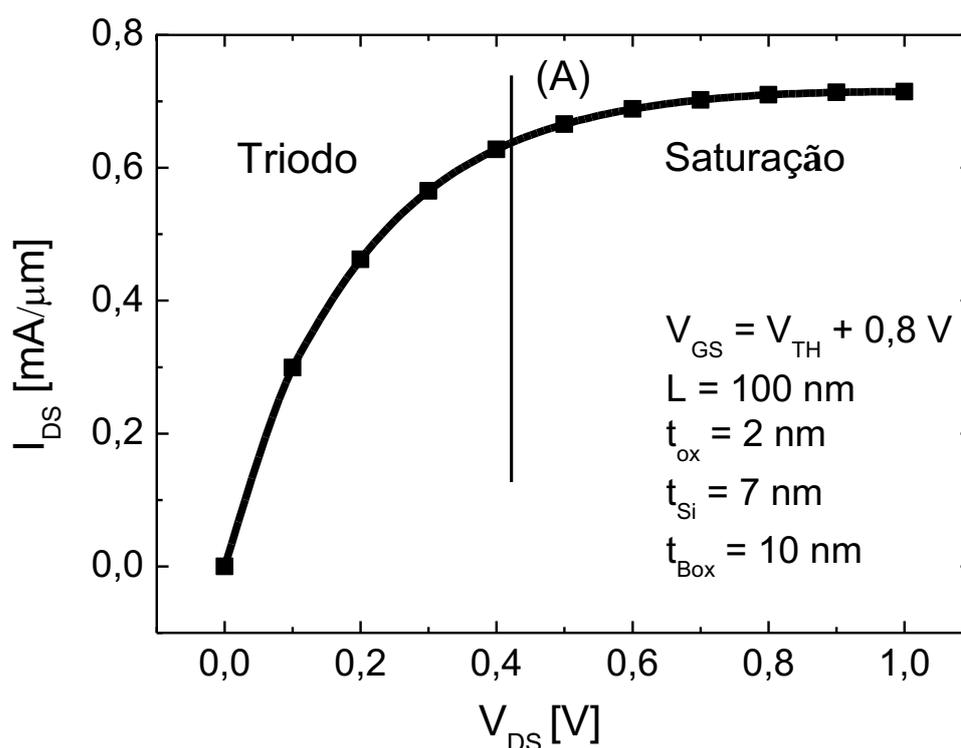
$$I_{DS} = \mu C_{ox1} \frac{W}{L} \left[(V_{G1} - V_{th1}) V_{DS} - (1 + \alpha) \left(\frac{V_{DS}^2}{2} \right) \right] \quad (16)$$

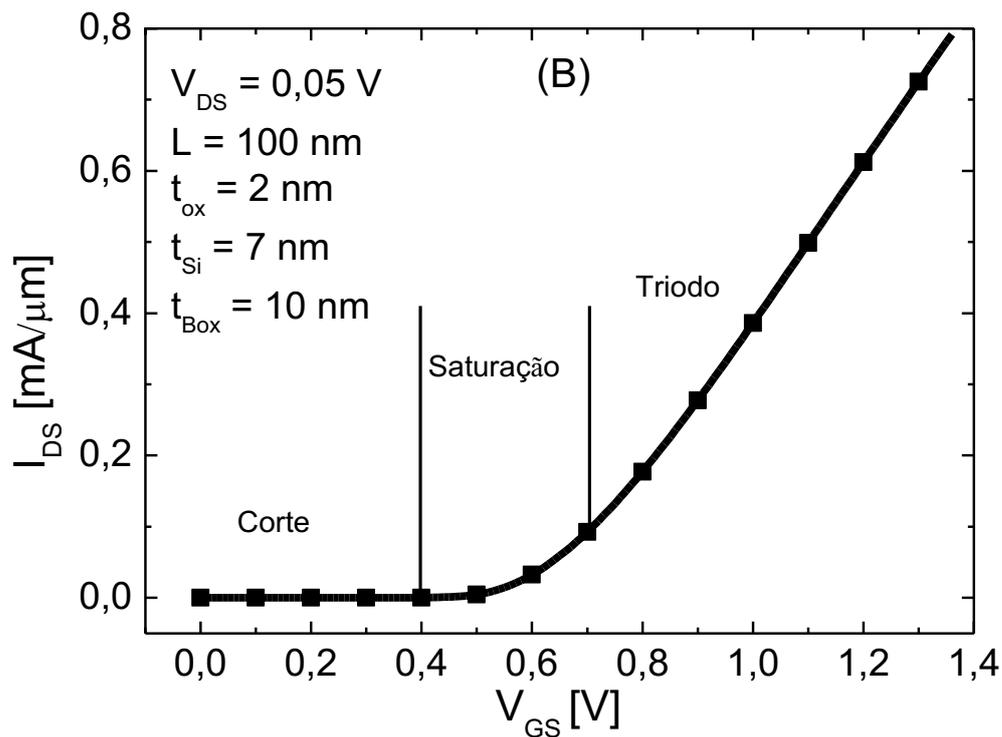
$$I_{DS} = \mu C_{ox1} \frac{W}{L} \frac{(V_{G1} - V_{th1})^2}{2(1 + \alpha)} \quad (17)$$

onde: α representa a associação das capacitâncias do dispositivo de acordo com o estado da segunda interface, que será definido no item 2.4.3, W é a largura do canal, L o comprimento do canal e μ é a mobilidade dos elétrons ao longo da rede cristalina do semiconductor.

A equação 16 define a corrente de dreno com o transistor polarizado na região triodo, onde $V_{GS} > V_{th}$ e $V_{DS} < V_{GS} - V_{th}$, ao passo que, a equação 17 define a corrente de dreno com o transistor polarizado na região de saturação, que apresenta $V_{GS} > V_{th}$ e $V_{DS} > V_{GS} - V_{th}$. A figura 11 apresenta a curva da corrente de dreno em função da tensão de dreno em (A) e de porta (B) de um transistor SOI MOS através de simulação, evidenciando suas regiões de polarização onde, em (A), para um V_{DS} acima de 0,8 V, o dispositivo encontra-se em saturação e em (B) o dispositivo fica em saturação para um V_{GS} entre 0,4 e 0,7 V, aproximadamente.

Figura 11 - Gráfico de I_{DS} por V_{DS} (A) e de I_{DS} por V_{GS} (B) com indicação das regiões de polarização de um transistor.



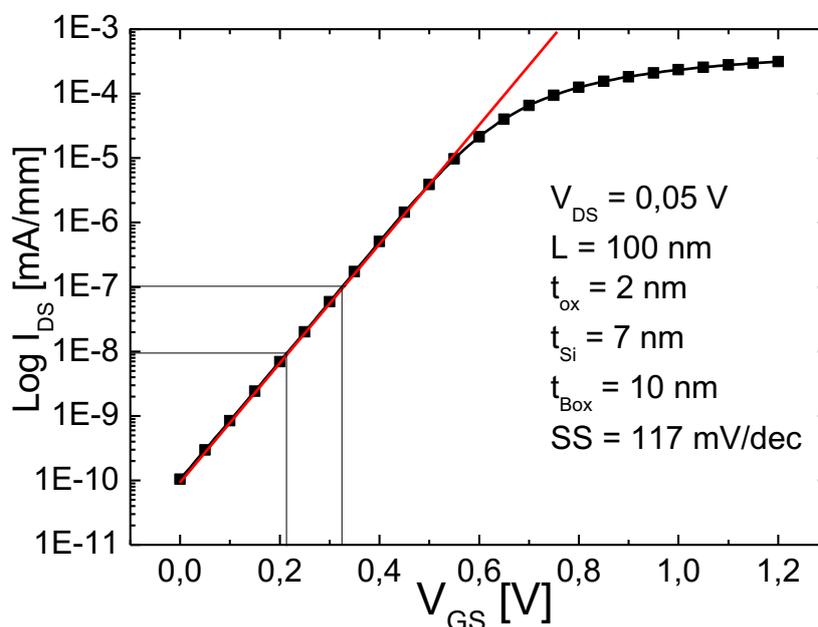


Fonte: Autor.

2.4.3 Inclinação de Sublimiar

Mesmo com uma tensão de porta (V_{GS}) menor que a tensão de limiar do transistor, observa-se uma corrente pequena fluindo da fonte para o dreno (I_{DS}). Nessa condição, a corrente I_{DS} depende exponencialmente da tensão de porta (V_{GS}), pois o mecanismo de difusão predomina em relação ao mecanismo de deriva na componente da corrente I_{DS} (3). Desta forma, na figura 12, podemos determinar a inclinação de sublimiar (SS) de um dispositivo simulado através do gráfico monologarítmico de I_{DS} por V_{GS} , através do inverso do coeficiente angular da curva resultante.

Figura 12 - Gráfico de I_{DS} em escala log por V_{GS} , com indicação da curva na região de sublimiar em vermelho.



Fonte: Autor.

A inclinação da reta é definida pela equação 18, que determina em um intervalo da reta qual a variação de tensão de porta (eixo x) necessária para que a corrente tenha um incremento de 1 década (eixo y) de 10^{-8} mA a 10^{-7} mA, como na figura 12.

$$SS = \frac{dV_{GS}}{d(\text{Log } I_{DS})} \quad (18)$$

A inclinação de sublimiar está diretamente relacionada com a velocidade de chaveamento com que o transistor sai do estado de corte para condução. A equação que define a inclinação de sublimiar pode ser reescrita de forma pontual, como apresentada em 19.

$$SS = \frac{KT}{q} \text{Ln}(10)n \quad (19)$$

onde: n representa o fator de corpo, sendo $n = (1 + \alpha)$, onde α representa a associação das capacitâncias do dispositivo de acordo com o estado da segunda interface.

$$\alpha = \frac{C_{Si}}{C_{ox1}} \quad \text{Para a segunda interface em acumulação.} \quad (20)$$

$$\alpha = \frac{C_{Si}C_{ox2}}{C_{ox1}(C_{Si} + C_{ox2})} \quad \text{Para a segunda interface em depleção.} \quad (21)$$

$$\alpha = \frac{Q_{depl}}{C_{ox}} \quad \text{Para transistores MOS convencional e para SOI PD.} \quad (22)$$

2.4.4 Efeito de Corpo

O efeito de corpo (γ) traduz-se na dependência da tensão de limiar (V_{th}) com a polarização do substrato. Em dispositivos totalmente depletados, o efeito de corpo pode ser obtido através da derivada das equações 13, 14 e 15 em função de V_{G2} conforme apresentado nas equações 23, 24 e 25 abaixo.

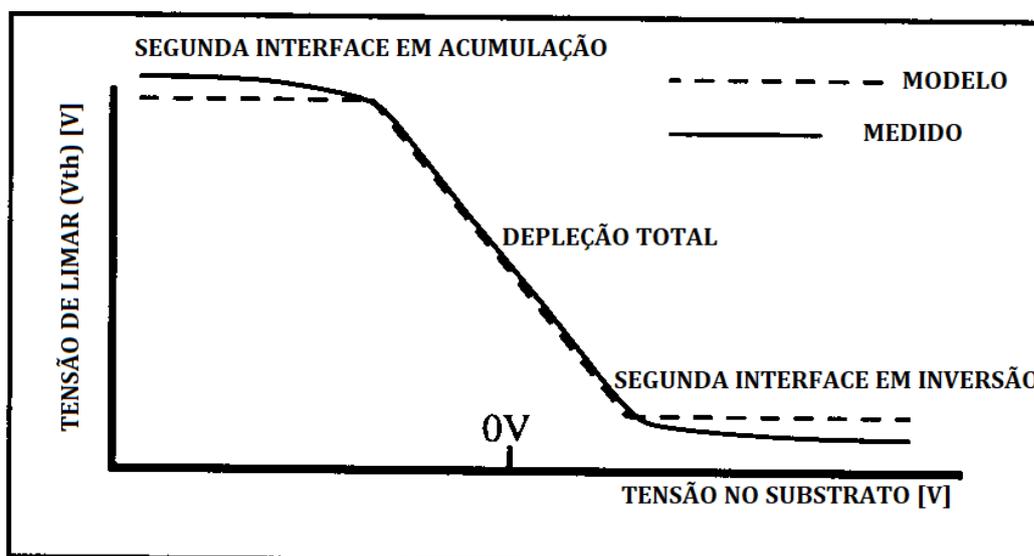
$$V_{th1acc2} = \Phi_{ms1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right) 2\Phi_f - \frac{Q_{depl}}{2C_{ox1}} \quad \therefore \quad \frac{dV_{th1acc2}}{dV_{G2}} = 0 \quad (23)$$

$$V_{th1depl2} = V_{th1acc2} - \frac{C_{Si}C_{ox2}}{C_{ox1}(C_{Si} + C_{ox2})} (V_{G2} - V_{Gacc2}) \quad \therefore \quad \frac{dV_{th1depl2}}{dV_{G2}} = - \frac{C_{Si}C_{ox2}}{C_{ox1}(C_{Si} + C_{ox2})} = - \frac{\epsilon_{Si}C_{ox2}}{C_{ox1}(t_{Si}C_{ox2} + \epsilon_{Si})} = \gamma \quad (24)$$

$$V_{th1inv2} = \Phi_{ms1} - \frac{Q_{ox1}}{C_{ox1}} + 2\Phi_f - \frac{Q_{depl}}{2C_{ox1}} \quad \therefore \quad \frac{dV_{th1inv2}}{dV_{G2}} = 0 \quad (25)$$

Pode se notar que o efeito de corpo só está presente em dispositivos que apresentam a camada de silício depletada junto à segunda interface. Desta forma, o comportamento de V_{th} com a polarização do substrato apresenta a seguinte característica representada na figura 13 (3).

Figura 13 - Comportamento de V_{th} com a polarização do substrato.



Fonte: Autor “adaptado de” COLINGE, J. P. 2004 (3)

Pela figura 13 conclui-se que, para qualquer valor negativo aplicado na porta abaixo da tensão de faixa plana, que consiste no potencial aplicado que faz com que a diferença da função trabalho dos materiais seja nula, a segunda interface entra em acumulação e Φ_{s2} será igual a zero, de maneira que uma redução na polarização do substrato não influenciará mais tensão de limiar V_{th} . De modo semelhante, ao se aplicar um valor alto de polarização positiva no substrato a segunda interface atingirá sua tensão de limiar. Assim, Φ_{s2} será igual a $2\Phi_f$, de modo que um incremento positivo na tensão do substrato já não influenciará mais na tensão de limiar do dispositivo, embora resulte na inversão da segunda interface, que passará a conduzir corrente elétrica.

2.4.4.1 Influência de V_{G2} no acoplamento capacitivo com a segunda interface em depleção.

Conforme mencionado no item 2.4.4, a região de polarização de V_{G2} (polarização do substrato) onde a segunda interface encontra-se em depleção é onde o dispositivo tem maior dependência de V_{TH} com a polarização do substrato, isto ocorre devido ao diferente acoplamento capacitivo, conforme demonstrado na equação 24, na estrutura com a aplicação de diferentes V_{G2} nesta região da segunda interface em depleção.

Os diferentes acoplamentos capacitivos produzem efeitos significativos também em outras características elétricas dos dispositivos, bem como nas características térmicas que serão demonstradas ao longo deste trabalho.

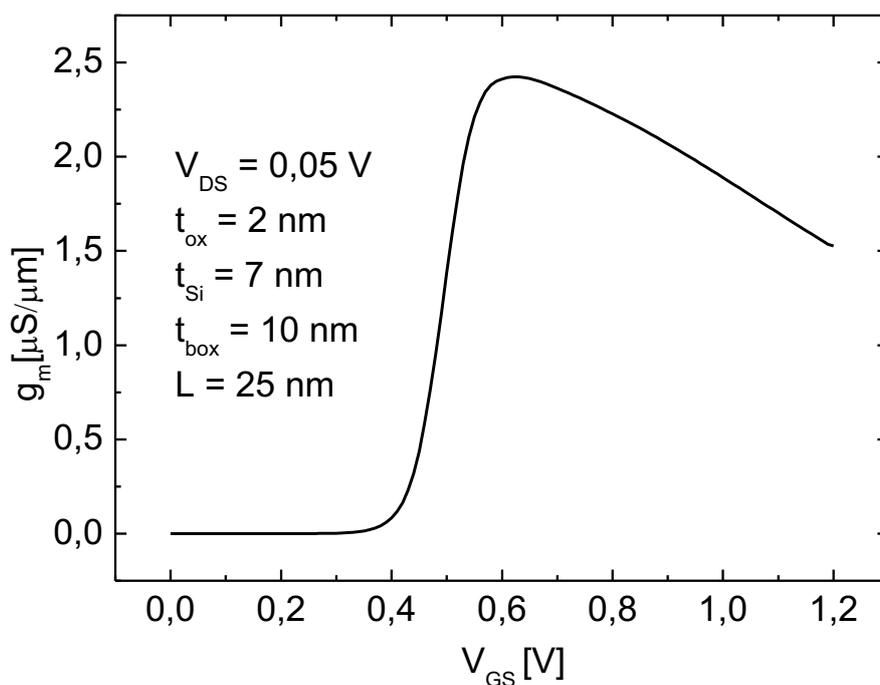
2.4.5 Transcondutância (g_m)

A transcondutância é definida como a eficiência na conversão de uma tensão de entrada (V_{GS}) em corrente de dreno (I_{DS}). É uma figura de mérito importante em transistores SOI MOSFET e é definida de acordo com a equação 26.

$$g_m = \frac{dI_{DS}}{dV_{GS}} \quad (26)$$

A figura 14 mostra uma curva da transcondutância em função da tensão de porta V_{GS} e observa-se o comportamento clássico da transcondutância onde, após a tensão de limiar de 0,38 V a transcondutância aumenta acompanhando V_{GS} até 0,6 V e a partir deste ponto ele começa um processo de redução que ocorre em função da degradação pelo campo elétrico transversal (20).

Figura 14 – Curva da g_m em função de V_{GS} para dispositivo com L de 25 nm e BOX de 10 nm.



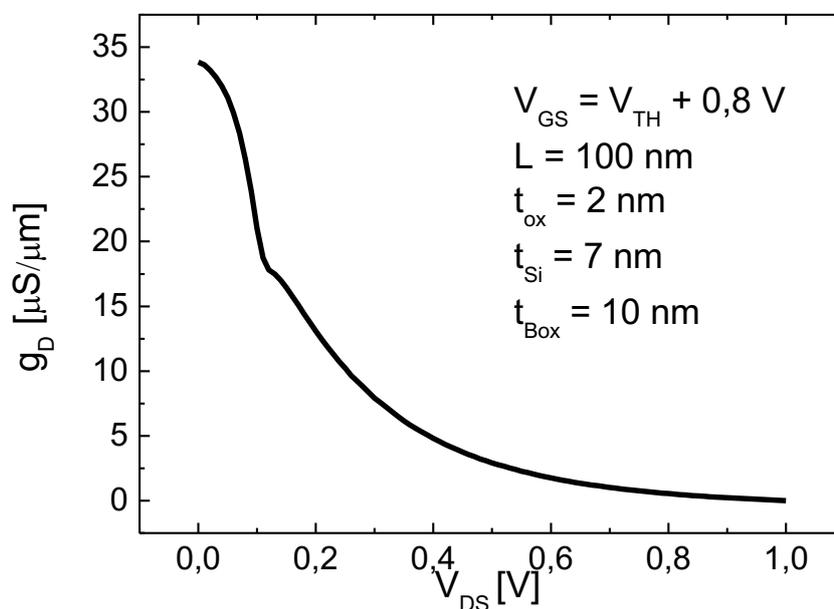
2.4.6 Condutância de Saída (g_D)

De forma análoga à transcondutância, a condutância de saída é a resposta da corrente de dreno I_{DS} ao potencial aplicado ao terminal de dreno V_{DS} do dispositivo (16), importante figura de mérito dos transistores SOI MOSFET, pois é um parâmetro determinante no ganho de tensão dos dispositivos, que sofre influência do autoaquecimento. É definida de acordo com a equação 27.

$$g_D = \frac{dI_{DS}}{dV_{DS}} \quad (27)$$

A figura 15 mostra uma curva da condutância de saída em função da tensão de dreno V_{DS} apresentando o comportamento clássico da condutância de saída onde, observa-se uma redução de g_D mais intensa enquanto o dispositivo está polarizado na região de triodo, quando o dispositivo se aproxima do regime de saturação, a redução de g_D é menos intensa.

Figura 15 - Curva de g_D em função de V_{DS} para dispositivo com L de 100 nm e BOX de 10 nm.



Fonte: Autor.

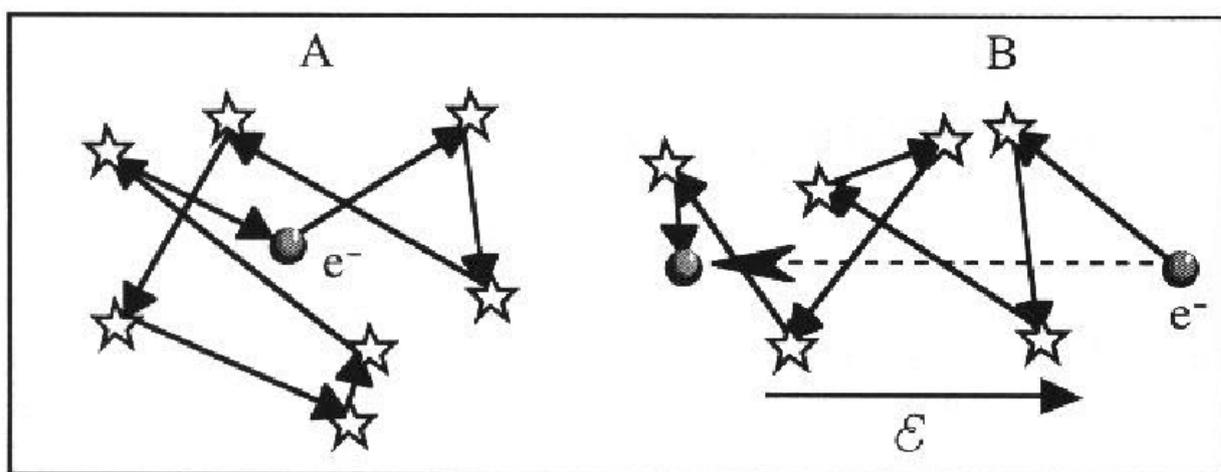
2.5 MOBILIDADE

A mobilidade (μ) é um parâmetro que define a movimentação dos portadores ao longo do silício. Está diretamente relacionada às características de saída do dispositivo e é definida como a velocidade média de deslocamento (V_m) dos portadores pelo campo elétrico (ξ) (19), conforme expresso na equação 28.

$$\mu = -\frac{V_m \text{ [cm}^2\text{]}}{\xi \text{ [Vs]}} \quad (28)$$

O movimento dos elétrons ao longo de uma rede cristalina não é livre, de modo que eles estão, a todo instante, sofrendo colisões com os átomos que compõem a rede ou com outros elétrons. Este processo é ilustrado na Figura 16 (19), onde é possível observar o choque dos elétrons sem a aplicação de um campo elétrico em (A) e com a aplicação do campo elétrico em (B) onde observa-se que o movimento dos elétrons adquire um sentido.

Figura 16 - Movimento dos elétrons, sem aplicação de um campo elétrico em (A) e com a aplicação de um campo elétrico em (B).



Fonte: Autor "adaptado de" COLINGE, J. P.; COLINGE C. A. 2002 (19).

Com a aplicação de um campo elétrico, o movimento dos elétrons adquire um sentido, então a mobilidade pode ser definida também, conforme a equação 29.

$$\mu = \frac{q\tau}{m} \quad (29)$$

onde: τ é o tempo médio entre as colisões e m a massa efetiva dos portadores.

Em um transistor MOS, é importante a chamada mobilidade de superfície (19), pois a região na qual os portadores se movem fica junto a interface entre o silício do canal e o óxido de porta do dispositivo. Para baixos valores de V_{GS} e V_{DS} considera-se que esta mobilidade é independente dos campos elétricos vertical e horizontal e pode ser denominada como mobilidade de baixo campo (μ_0), a qual é definida pela equação 30.

$$\mu_0 = \frac{L}{WC_{ox1}V_{DS}} g_{mm\acute{a}x} \quad (30)$$

onde $g_{mm\acute{a}x}$ é a transcondutância máxima. Ao se aumentar V_{GS} , a mobilidade passa a sofrer uma degradação em função do campo elétrico vertical e um coeficiente de degradação θ deve ser considerado, passando, a mobilidade efetiva μ_{eff} , a ser definida pela equação 31.

$$\mu_{eff} = \frac{\mu_0}{1 + \theta(V_{GS} - V_{th1})} \quad (31)$$

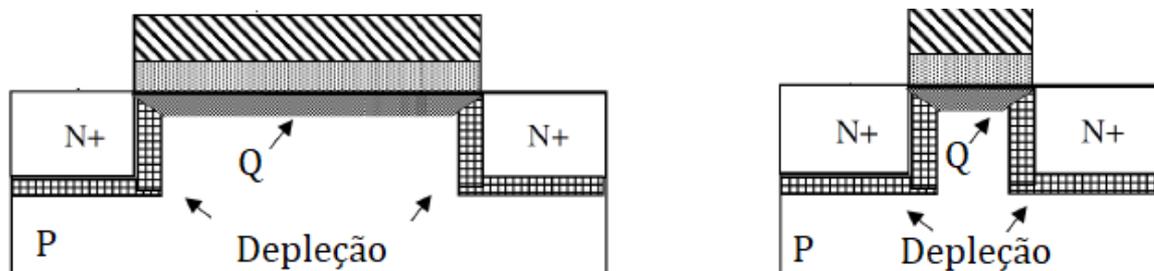
Como verificado através da equação 29, a mobilidade está associada ao tempo médio de colisão dos portadores. Assim, a elevação da temperatura provoca alterações na estrutura da rede cristalina, as quais vão influir diretamente na mobilidade, como será tratado no item 3.2.

2.6 EFEITOS DE CANAL CURTO (*SHORT CHANNEL EFFECTS* – SCES)

Os efeitos de canal curto (*Short Channel Effects* - SCEs) são efeitos de segunda ordem que ocorrem em função do encurtamento do canal (L) do dispositivo, no qual correções precisam ser efetuadas aos modelos físicos e às equações demonstradas nos capítulos anteriores. Esses efeitos ocorrem devido ao fato de que as cargas no canal, que antes estavam sob o controle praticamente integral do potencial aplicado ao terminal de porta do dispositivo, agora passam a ser controladas parcialmente pelas regiões de depleção das junções dreno/substrato e fonte/substrato. A figura 17 ilustra o perfil que a carga de depleção (Q_{depl}) assume em dispositivos longos em A e curtos em

B. Percebe se que o perfil de cargas tem uma forma trapezoidal no dispositivo longo, enquanto no curto passa a assumir um formato quase retangular.

Figura 17 - Perfil de cargas no canal de dispositivos longos em A e curtos em B.

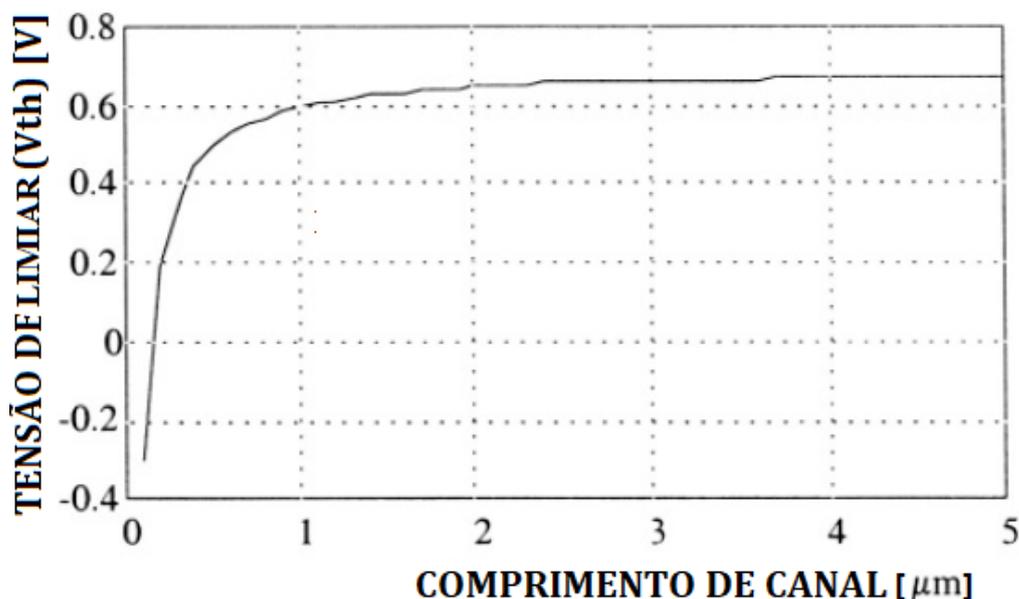


Fonte: Autor.

A redução na densidade de cargas controladas pelo terminal de porta faz com que, em dispositivos curtos, ocorra uma significativa redução da tensão de limiar, de modo que, uma pequena variação no comprimento do canal implique em uma grande alteração na tensão de limiar. A figura 18 ilustra o efeito da redução do comprimento de canal na tensão de limiar dos dispositivos MOS convencionais (19).

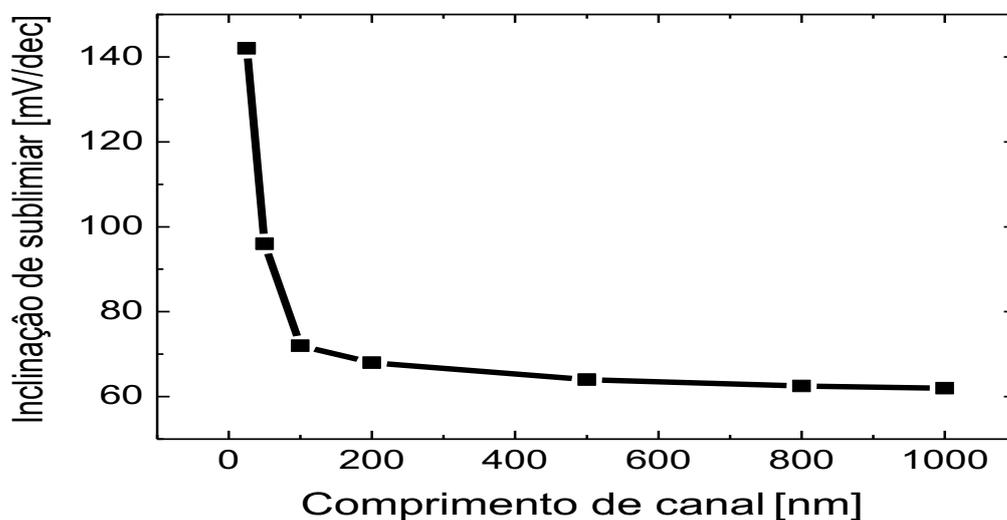
Mudanças na inclinação de sublimiar são observadas também em função dos efeitos de canal curto. Neste caso, a inclinação é levada a valores mais distantes do limite teórico, afetando de forma negativa a velocidade de chaveamento do dispositivo. A figura 19 ilustra o efeito da redução do comprimento de canal na inclinação de sublimiar dos dispositivos MOS convencionais (19).

Figura 18 - Comportamento da tensão de limiar em relação ao encurtamento de canal.



Fonte: Autor "adaptado de" COLINGE, J. P.; COLINGE C. A. 2002 (19).

Figura 19 - Comportamento da inclinação de sublimiar em relação ao encurtamento de canal.

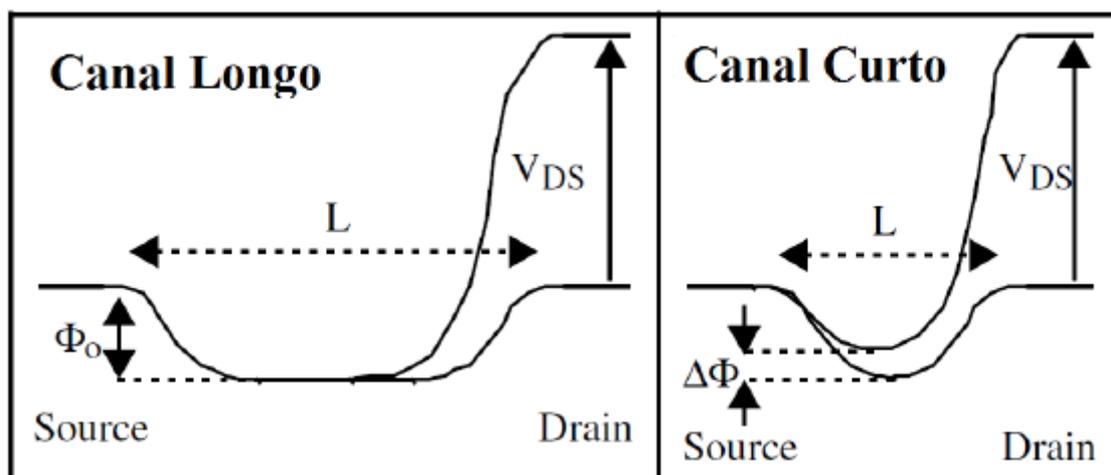


Fonte: Autor "adaptado de" COLINGE, J. P.; COLINGE C. A. 2002 (19).

Um outro efeito indesejável decorrente do encurtamento de canal é o DIBL (*Drain Induced Barrier Lowering*), que consiste em um efeito que ocorre ao se aumentar a tensão aplicada ao dreno em transistores de canal curto, fazendo com que as regiões de depleção entre fonte e dreno possam interagir. Desta forma, o aumento de V_{DS} pode causar uma redução da barreira de potencial junto à fonte ($\Delta\phi$) e, com isso, a tensão de limiar sofre uma redução com o aumento de

V_{DS} , como indicado na figura 20, onde são apresentados os diagramas do potencial ao longo do canal de dois dispositivos com diferentes L . Nota-se que, à medida que o dispositivo fica mais curto, o potencial junto a fonte tende a ser menor, fazendo com que a influência de V_{DS} seja mais significativa na tensão de limiar.

Figura 20 - Figura indicando a variação da barreira de potencial ao longo do canal de transistores MOS de diferentes comprimentos de canal.

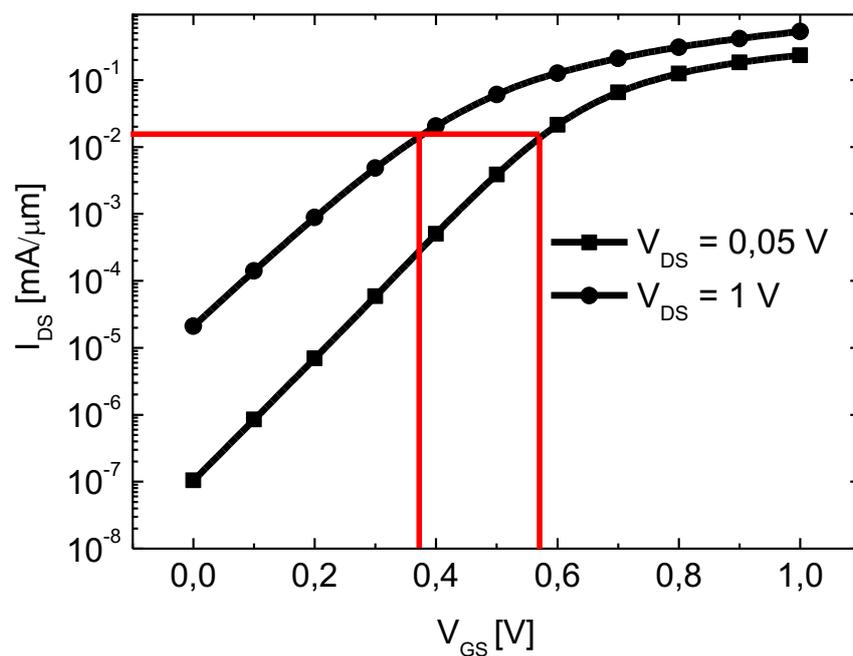


Fonte: Autor “adaptado de” COLINGE, J. P.; COLINGE C. A. 2002 (19).

A extração do DIBL para os dispositivos simulados foi feita obtendo as curvas $I_{DS} \times V_{GS}$, onde foram obtidas as tensões de limiar dos dispositivos segundo o método descrito no item 2.4.1 com diferentes tensões de dreno de 0,05 e 1 V, como na figura 21. Em seguida, verificou-se o valor de I_{DS} para o qual o valor de V_{GS} é igual V_{th} na curva com V_{DS} de 0,05 V e, utilizando-se este valor de corrente, determinou-se o V_{th} correspondente com o dispositivo polarizado com V_{DS} de 1 V. O DIBL é calculado como sendo a razão entre a diferença dos V_{th} pela diferença dos V_{DS} como demonstrado na equação 32.

$$DIBL = \frac{(V_{thV_{DS}0,05V} - V_{thV_{DS}1V})}{(1 - 0,05)} \quad (32)$$

Figura 21 - Curvas I_{DS} x V_{GS} com diferentes V_{DS} para extração do DIBL.



Fonte: Autor.

Existem ainda outros efeitos indesejáveis decorrentes do encurtamento de canal como a tensão de perfuração MOS (*Punchthrough Voltage*) (20) e o GIDL (*Gate Induced Drain Leakage*) (19), que não serão abordados ao longo deste trabalho.

3 O EFEITO DO AUTOAQUECIMENTO (*Self-Heating Effect* - SHE)

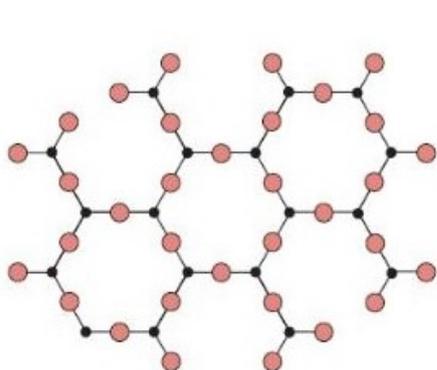
Em transistores fabricados na tecnologia SOI, a camada de óxido enterrado impede a dissipação, através do substrato, de parte do calor gerado por efeito Joule, uma vez que a condutividade térmica do dióxido de silício (SiO_2) empregado no BOX é sensivelmente inferior à do silício (Si). O dióxido de silício apresenta constante térmica da ordem de $K=1,4 \text{ W/K.m}$, enquanto que o silício apresenta $K=148 \text{ W/K.m}$ (21; 22). Além disso, em transistores SOI, a dissipação lateral pelos contatos metálicos é menos efetiva que a observada em transistores MOS convencionais (23). Assim, transistores fabricados em tecnologia SOI são mais susceptíveis ao efeito de autoaquecimento, que é especialmente importante em dispositivos eletrônicos atuais, tais como os empregados em *smartphones* que trabalham com sistemas complexos de RF (24; 25; 26).

Se uma parte do calor gerado por efeito Joule não pode ser dissipado, ocorre um incremento da temperatura na região de canal do dispositivo, o que aumenta a agitação térmica dos portadores, reduzindo a mobilidade (27). Tal efeito é mais pronunciado quando o transistor está polarizado em saturação, onde os portadores adquirem sua máxima velocidade. Neste caso, a curva da corrente de dreno (I_{DS}) em função da tensão de dreno (V_{DS}) apresenta uma degradação das características de saída (28).

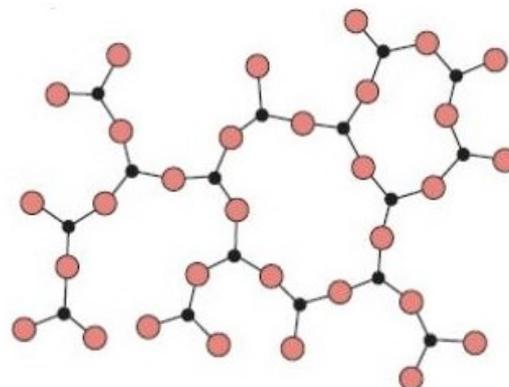
Ao se mensurar o efeito do autoaquecimento através de uma técnica de medidas pulsadas (29; 30), pode se verificar que a constante de tempo relacionada ao processo é da ordem de dezenas de nanossegundos e dificilmente interfere nas características do dispositivo quando o mesmo é aplicado à circuitos digitais. Por outro lado, o autoaquecimento é um fator importante a ser observado em circuitos analógicos. Seu efeito torna a condutância de saída (g_D) dependente da frequência de operação, influenciando diretamente em circuitos SOI como espelhos de corrente e amplificadores (25).

A dissipação térmica pelo substrato fica prejudicada com a utilização do óxido enterrado, que possui propriedades de condução de energia térmica inferiores à do silício devido à estrutura amorfa do arranjo dos átomos. Esta estrutura é diferente do silício, que possui um arranjo cristalino. A figura 22 mostra a diferença entre a organização dos átomos da estrutura cristalina do silício intrínseco à esquerda, onde os átomos estão dispostos de maneira uniforme, seguindo um padrão ao longo de todo o material, em relação a uma estrutura amorfa à direita, onde os átomos estão dispostos de maneira aleatória, como é o caso do óxido enterrado isolante nos transistores SOI.

Figura 22 - Estruturas atômicas com arranjo cristalino a esquerda, característico do silício intrínseco e com arranjo amorfo a direita, característico do dióxido de silício que constitui o óxido enterrado.



Estrutura com arranjo uniforme



Estrutura com arranjo amorfo

Fonte: Autor.

3.1 O CONCEITO DE FÔNON

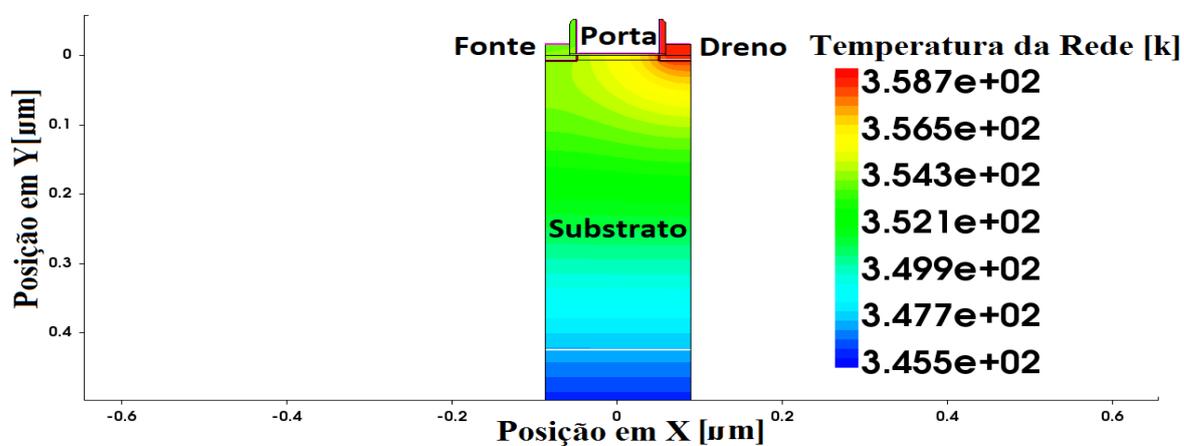
Em materiais semicondutores, a energia térmica é transportada ao longo do material através de um modelo físico cujo portador é denominado fônons. Este transporte ocorre através de uma perturbação na estrutura atômica devido à energia térmica advinda, no caso do transistor, da corrente de elétrons que flui da fonte para o dreno (31). Essa perturbação ocorre em virtude da aceleração dos elétrons sob a influência de um campo elétrico, se chocando com os átomos da rede.

Este fenômeno provoca uma onda vibratória ao longo da estrutura da rede cristalina do material, de modo que a vibração uniforme na estrutura cristalina transporta a energia térmica ao longo do material. Essa onda se propaga pelo silício até um certo ponto, em que se define o caminho médio livre para os fônons (31; 32). Em virtude da utilização do óxido enterrado e também da redução das dimensões dos dispositivos, o caminho livre para os fônons em transistores SOI é limitado, diferente do que ocorre no MOS convencional. Sendo o caminho médio inferior ao caminho a ser percorrido até seu relaxamento, o fônons não tem sua energia térmica plenamente consumida, o que faz com que a onda vibratória se espalhe pelo material aumentando ainda mais a energia térmica, fazendo com que a temperatura no material aumente. Em uma estrutura amorfa, como a do óxido enterrado, a vibração tem sua condução dificultada

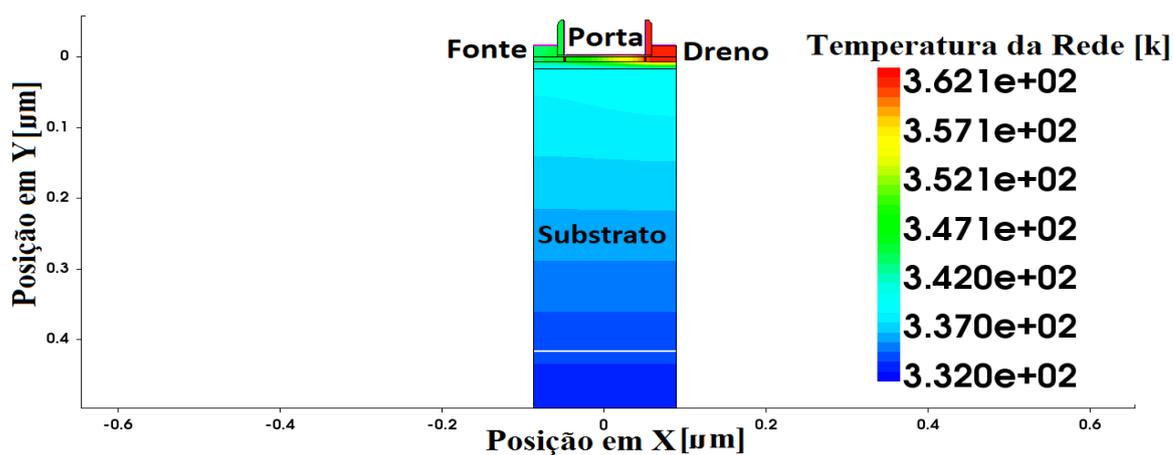
em virtude do arranjo disforme dos átomos. O processo do transporte de energia térmica em silício semiconductor é estudado em detalhes em (32).

A dissipação da temperatura é prejudicada, como dito anteriormente, pelo óxido enterrado. Com o intuito de verificar e comparar a dissipação térmica, foram realizadas simulações em dispositivos com comprimento de canal de 200 nm utilizando-se o *software* Sentaurus Device e as figuras 23 (A) (B) e (C) mostram a temperatura nas estruturas simuladas nas mesmas condições de polarização, que constituem transistores BULK na figura 23 (A) que não possui óxido enterrado, SOI UTBB na figura 23 (B) que apresenta óxido enterrado de 10 nm e o SOI UTB na figura 23 (C), que apresenta óxido enterrado de 400 nm. Analisando as figuras, pode-se notar a distribuição da energia térmica ao longo das estruturas simuladas. A principal fonte de calor também denominada “*Hot Spot*” pode ser verificada na região do dreno, como o ponto de temperatura mais alta devido a presença de campo elétrico mais intenso nesta região. No transistor BULK MOSFET, figura 23 (A), a temperatura está bem distribuída ao longo da estrutura, de modo que a diferença de temperatura entre a região mais quente e a mais fria é da ordem de 13 K apenas. No transistor SOI UTBB, figura 23 (B), a diferença de temperatura ao longo da estrutura já é maior, em torno de 30 K. No caso do transistor SOI UTB na figura 23 (C), é apresentada a maior diferença de temperatura, superior a 150 K.

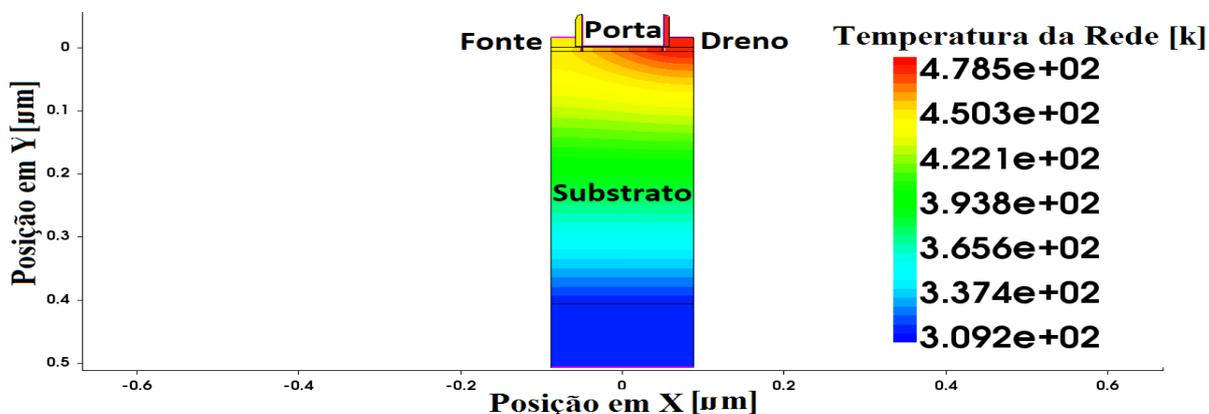
Figura 23 - Temperatura ao longo de transistores BULK convencional em (A), SOI MOSFET UTBB em (B) e SOI MOSFET UTB em (C).



(A)



(B)

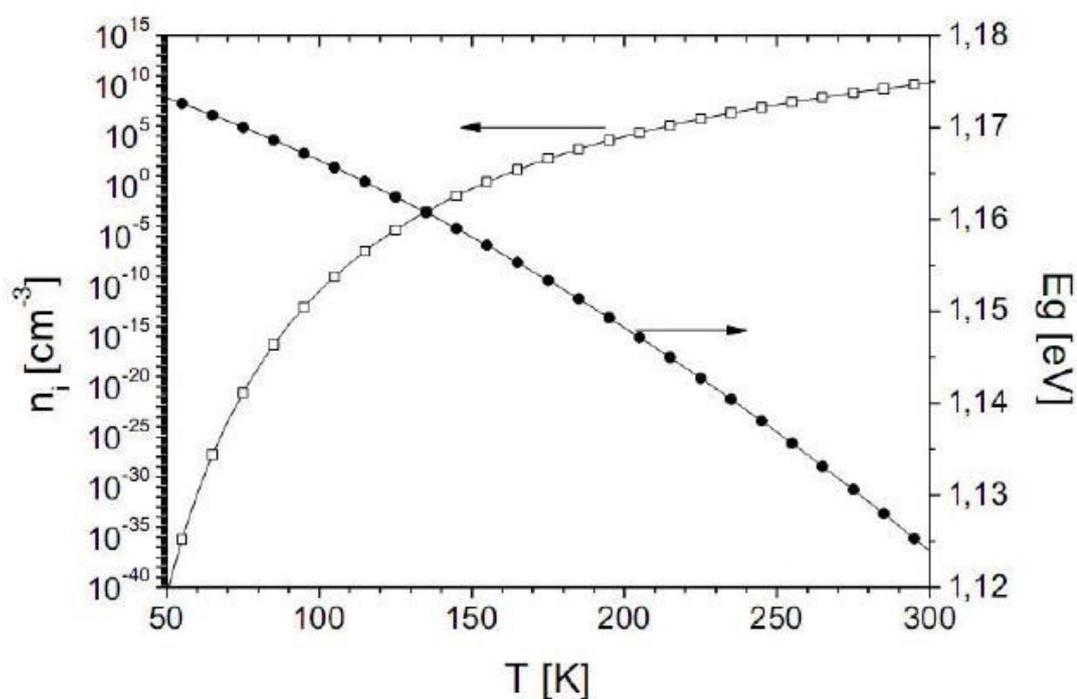


(C)

3.2 INFLUÊNCIA DA TEMPERATURA NA MOBILIDADE DOS PORTADORES

No capítulo 2.4.1, foi mostrado que o potencial de Fermi e a concentração intrínseca de portadores possuem dependência com a temperatura através das equações 2 e 3. Esta relação é mais claramente demonstrada na figura 24, em que são apresentadas as curvas da concentração intrínseca e do potencial em função da temperatura.

Figura 24 - Concentração intrínseca de portadores (n_i) e o potencial (E_g) em função da temperatura.



Fonte: Autor “adaptado de” MCCONNELL, A. D.; GOODSON, K. E. 2005 (33).

No capítulo 2.5, equação 29, foi mostrado que a mobilidade é a razão do tempo médio entre as colisões (τ) e a massa efetiva dos portadores. Como o aumento da temperatura produz um aumento significativo da concentração intrínseca de portadores, o tempo médio entre as colisões tende a diminuir, provocando uma redução da mobilidade. Desta forma, podemos definir um conjunto de fatores que influenciam diretamente na mobilidade dos portadores em relação a temperatura, cuja influência na mobilidade pode ser considerada através da regra de Mathiessen (34), conforme mostrado na equação 33.

$$\mu_0 = \frac{1}{\frac{1}{\mu_{cc}} + \frac{1}{\mu_{psii}} + \frac{1}{\mu_{ni}}} \quad (33)$$

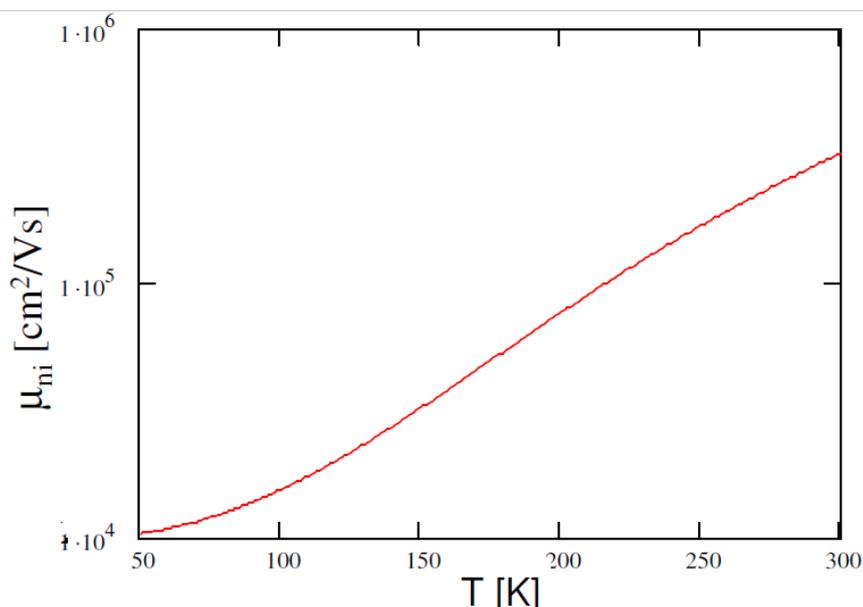
onde μ_0 é a mobilidade dependente da temperatura, μ_{cc} , μ_{psii} e μ_{ni} são os fatores que influem na mobilidade, os quais são descritos a seguir.

Espalhamento por impurezas neutras (μ_{ni} – *neutral impurity scattering*): é causada pelo fato de todas as impurezas não serem completamente ionizadas em baixas temperaturas. É de difícil modelamento em relação aos outros fatores que influenciam diretamente na mobilidade e tem maior impacto em dispositivos funcionando em temperaturas criogênicas (35).

$$\mu_{ni} = \left(\frac{0.041 q m_{de}^*}{A_B \frac{h}{2\pi} m_0 \epsilon_r N_N} \right) \left[\frac{2}{3} \sqrt{\frac{KT}{E_N}} + \frac{1}{3} \sqrt{\frac{E_N}{KT}} \right] \quad (34)$$

onde m_{de}^* é a massa efetiva da densidade de estados para elétrons, A_B é o raio de Bohr, h é a constante de Planck, m_0 é a massa elementar do elétron no vácuo, ϵ_r é a permissividade relativa no vácuo, N_N é a quantidade de impurezas neutras e $E_N = 1,1136 \cdot 10^{-19} (m_{de}^*/m_0) (\epsilon_0/\epsilon_r)$. A figura 25 apresenta o comportamento da mobilidade considerando o espalhamento por impurezas neutras em função da temperatura.

Figura 25 - Mobilidade por espalhamento de impurezas neutras em função da temperatura.



Fonte: Autor.

Espalhamento por impurezas ionizadas (μ_{psii} – *ionized impurities scattering*): é um efeito que ocorre em função das dopagens em altas concentrações, sendo que a concentração de dopantes influencia na mobilidade dos portadores. O modelo proposto por Caughey e Thomas, baseado em observações empíricas, contabiliza os efeitos de espalhamento de rede por impurezas ionizadas em uma única equação (36) como a demonstrada na equação 35 deste trabalho.

$$\mu_{psii,n,p} = \left[\mu_{min,n,p} + \frac{\mu_{ps,n,p} - \mu_{min,n,p}}{1 + \left(\frac{N_{D,A}}{N_{ref,n,p}} \right)^{\alpha_{n,p}}} \right] \quad (35)$$

onde as constantes $\mu_{min,n,p}$, $N_{ref,n,p}$ e $\alpha_{n,p}$ estão dispostas na tabela 1 a seguir.

Os dados da tabela 1 foram obtidos através dos experimentos realizados por Caughey e Thomas em seu trabalho (36), onde, para uma determinada faixa de concentração e tipo de dopante, são atribuídos valores às constantes da equação 35.

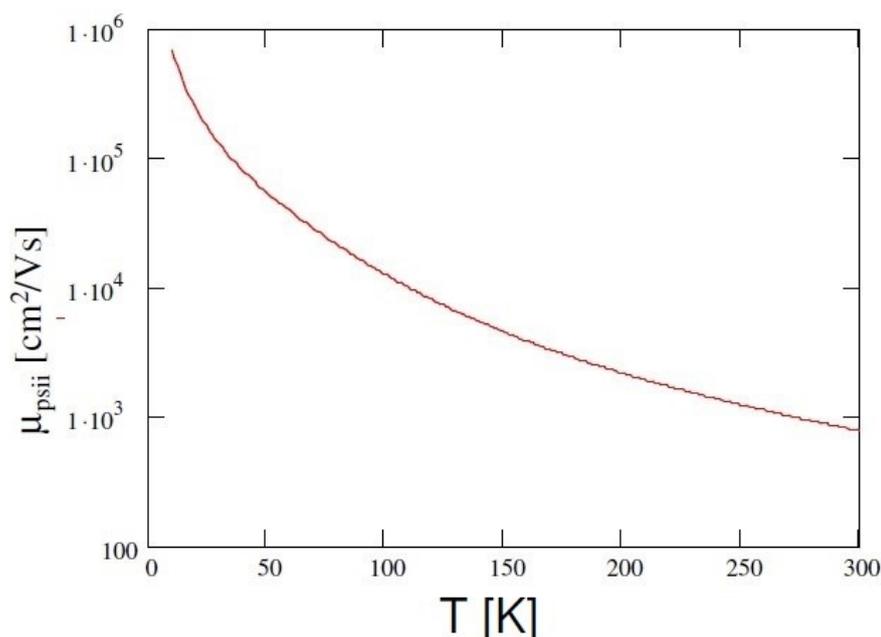
Tabela 1 - Valores das constantes para cálculo da mobilidade por espalhamento de rede e por impurezas ionizadas.

$\mu_{min n}$ [cm ² /V.s]	$\mu_{min p}$ [cm ² /V.s]	α_n	α_p	$N_{ref n}$ [cm ⁻³]	$N_{ref p}$ [cm ⁻³]
55.24	49.71	0.733	0.700	1.072x10 ¹⁷	1.606x10 ¹⁷
92.00	47.70	0.910	0.760	1.300x10 ¹⁷	6.300x10 ¹⁶
65.00	65.00	0.720	0.610	8.500x10 ¹⁶	2.400x10 ¹⁷
71.12	44.90	0.729	0.719	1.059x10 ¹⁷	2.230x10 ¹⁷
52.20	47.70	0.680	0.760	9.680x10 ¹⁶	1.900x10 ¹⁷
68.50		0.711		9.200x10 ¹⁶	

Fonte: Autor “adaptado de” DORKEL, J. M.; LETURCQ, P. 1981 (36).

A figura 26 apresenta o comportamento da mobilidade por espalhamento de rede e por impurezas ionizadas em função da temperatura.

Figura 26 - Mobilidade por espalhamento de impurezas ionizadas em função da temperatura.



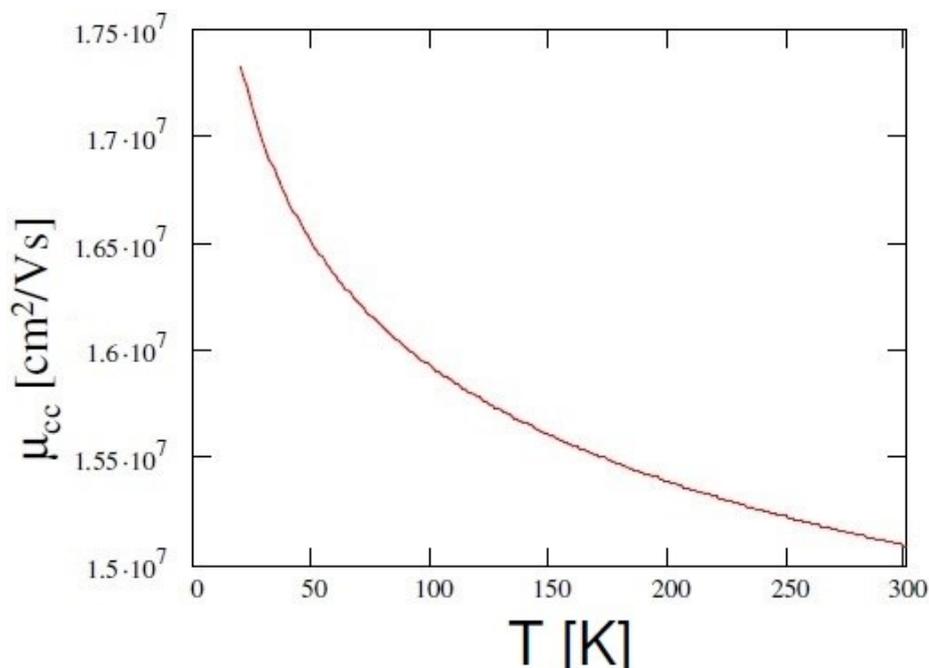
Fonte: Autor.

Espalhamento portador-portador (μ_{cc} – *carrier to carrier scattering*): fator que se apresenta em dispositivos de dimensões reduzidas, com alta injeção de portadores, e em dispositivos de alta densidade de potência, onde a quantidade de portadores pode ultrapassar a concentração de dopantes (37).

$$\mu_{cc} = \frac{\left(\frac{2 \times 10^{17}}{\sqrt{N_{A,D}}}\right)}{\ln\left(1 + 8.28 \times 10^8 T^2 N_{A,D}^{-\frac{1}{3}}\right)} \quad (36)$$

A figura 27 apresenta o comportamento da mobilidade por espalhamento portador-portador em função da temperatura.

Figura 27 - Mobilidade por espalhamento portador-portador em função da temperatura.



Fonte: Autor.

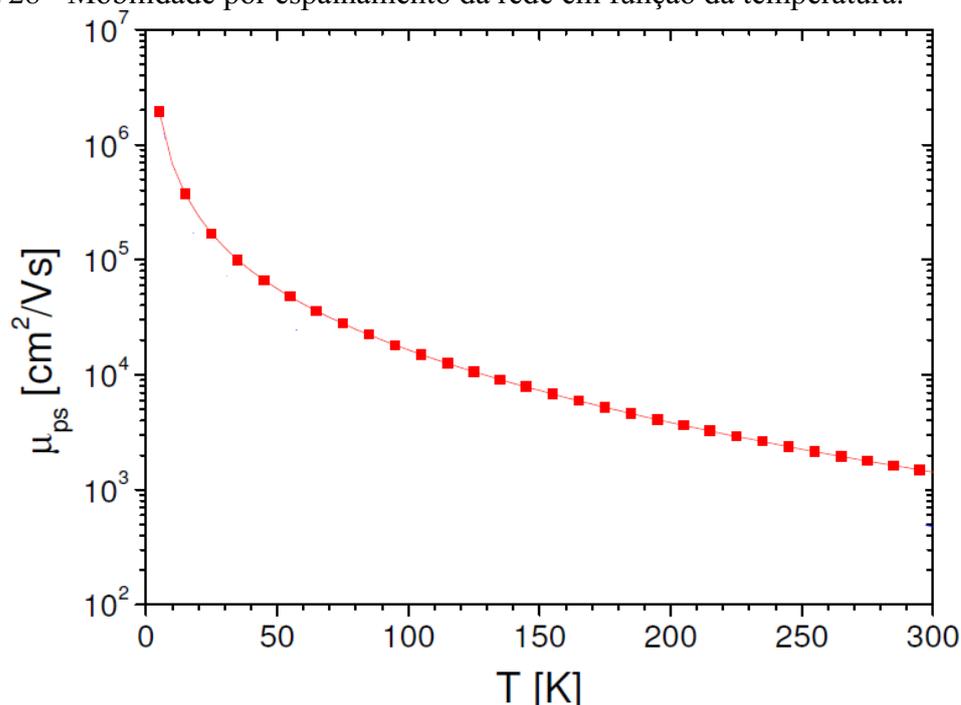
Espalhamento de rede ou por fônons ($\mu_{ps} - lattice scattering$): além dos efeitos anteriores que são combinados na regra de Mathiessen, temos o espalhamento por fônons que é o principal fator que afeta a mobilidade dos portadores em função da temperatura. Está relacionado com as vibrações da rede, vibrações essas denominadas fônons (vide seção 3.1). O aumento da temperatura provoca uma redução da mobilidade dos portadores em função de uma maior ocorrência de vibrações, que induz a um maior número de choques do portador, diminuindo o tempo médio entre as colisões descrito pela equação 29. Diversos modelos matemáticos têm sido propostos para o modelamento deste efeito e o mais utilizado é o descrito em (38), cuja expressão final é apresentada em 37.

$$\mu_{ps_{n,p}} = \left[\frac{1}{\frac{1}{\mu_{ONA,OPA} \left(\frac{1}{300}\right)^{-\alpha_{na,pa}}} + \frac{1}{\mu_{ONB,OPB} \left(\frac{1}{300}\right)^{-\beta_{nb,pb}}}} \right] \quad (37)$$

onde $\mu_{ONA}=4195 \text{ cm}^2/\text{Vs}$, $\mu_{ONB}=2153 \text{ cm}^2/\text{Vs}$, $\mu_{OPA}=2502 \text{ cm}^2/\text{Vs}$, $\mu_{OPB}=591 \text{ cm}^2/\text{Vs}$, $\alpha_{na}=1,5$, $\alpha_{pa}=1,5$, $\beta_{nb}=3,13$ e $\beta_{pb}=3,25$.

A figura 28 apresenta o comportamento da mobilidade por espalhamento da rede em função da temperatura.

Figura 28 - Mobilidade por espalhamento da rede em função da temperatura.

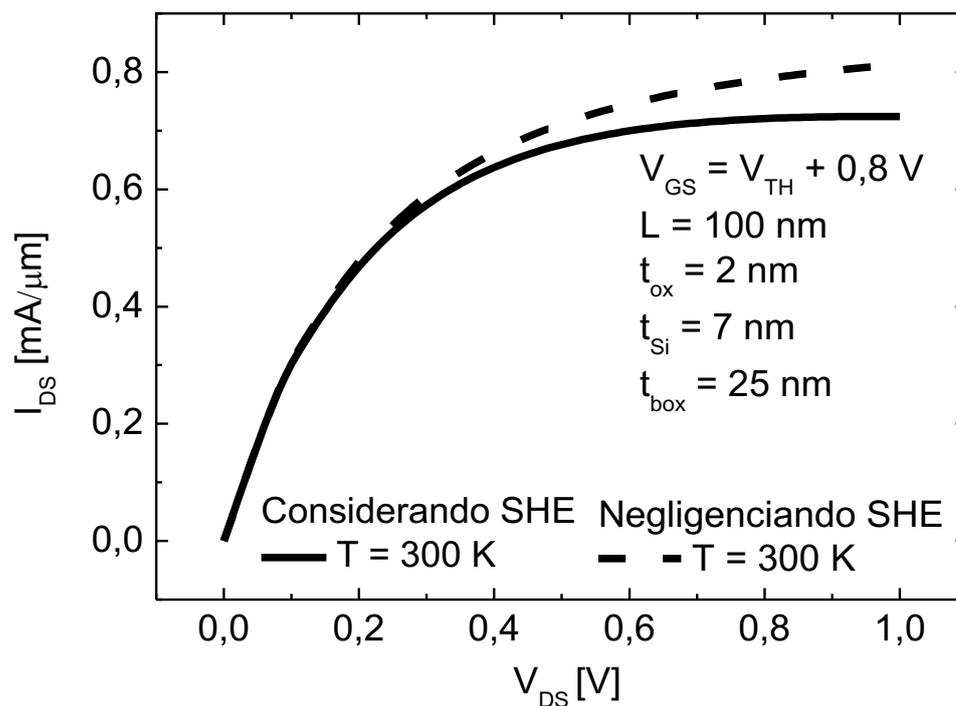


Fonte: Autor.

Com a presença do efeito do autoaquecimento, a temperatura na região do canal aumenta. Desta forma, os mecanismos de espalhamento que tem sua influência mais significativa com o aumento de temperatura passam a ser mais pronunciados, influenciando diretamente na mobilidade dos portadores, provocando as mudanças observadas na figura 29, em que são apresentadas curvas simuladas da corrente de dreno de um transistor SOI UTBB com e sem o efeito de autoaquecimento.

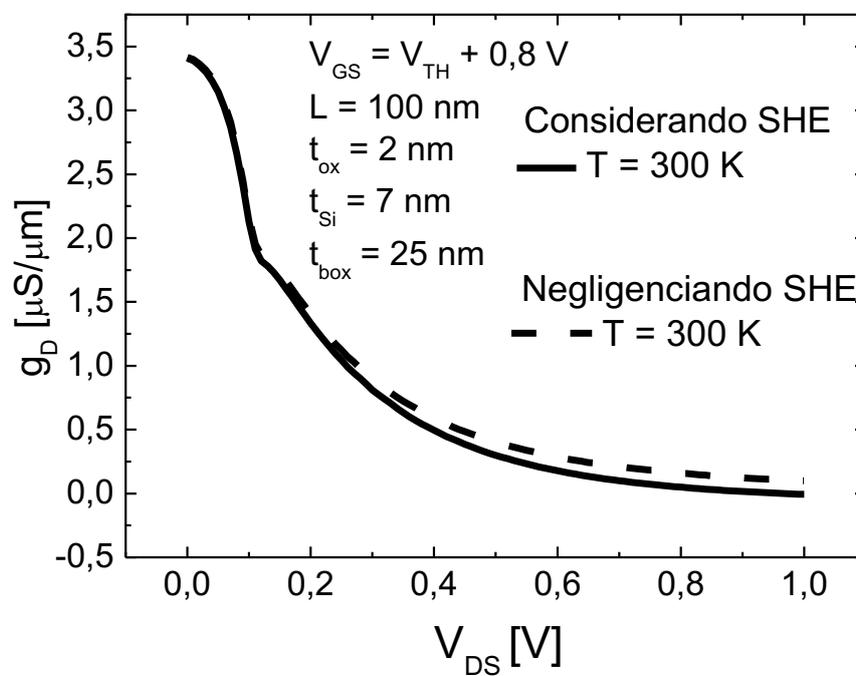
Na figura 29, a degradação de I_{DS} se manifesta mais intensamente quando o transistor está polarizado com maior tensão no dreno. Dessa forma, quanto maior a potência de operação do dispositivo, maiores serão as degradações. Para V_{DS} de 1 V é apresentado uma redução de até 12% na corrente comparando a curva considerando o autoaquecimento, traço contínuo, com a curva com o autoaquecimento sendo negligenciado, traço pontilhado. Na figura 30, a degradação da condutância de saída apresenta o mesmo comportamento em relação a corrente de dreno, a diferença entre g_D considerando e negligenciando o autoaquecimento é maior a medida que o dispositivo é polarizado em maiores condições de potência apresentando uma diferença de 6% entre as curvas com o dispositivo operando com V_{DS} de 1 V.

Figura 29 – Curvas I_{DS} x V_{DS} mostrando a degradação na corrente de dreno.



Fonte: Autor.

Figura 30 - Curvas g_D x V_{DS} mostrando a degradação na condutância de saída.



Fonte: Autor

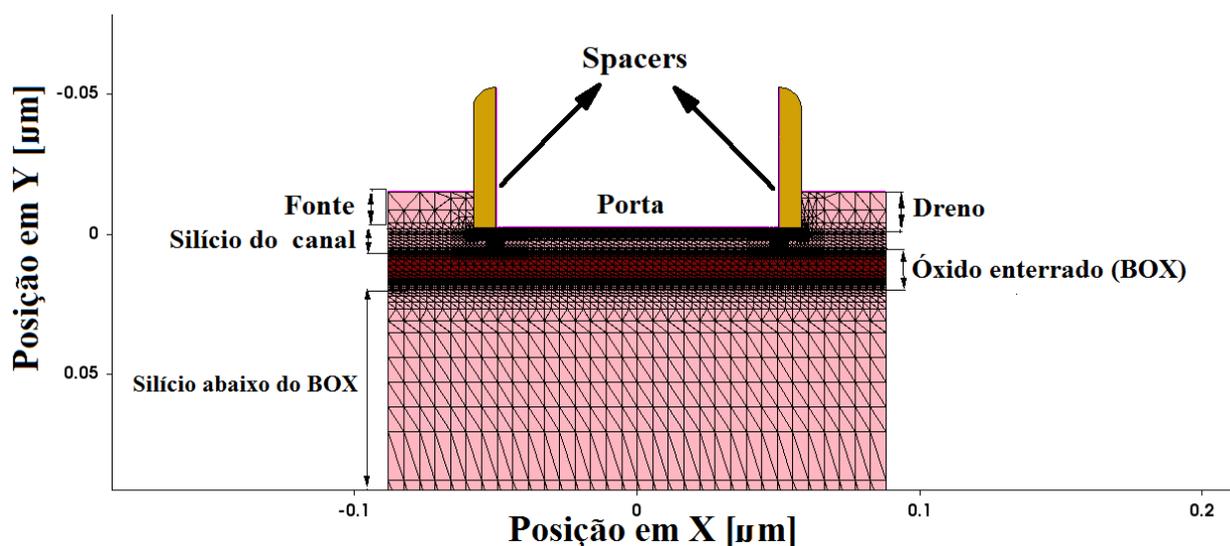
4 METODOLOGIAS DA PESQUISA

4.1 SIMULAÇÕES

O trabalho foi baseado, principalmente, em simulações numéricas de pontos finitos 2D, utilizando-se o software Synopsys Sentaurus Device (39), que simula o comportamento de um dispositivo isolado ou de vários dispositivos dispostos em um circuito. O comportamento do dispositivo, as correntes e tensões em seus terminais, bem como os perfis das cargas e do campo elétrico são calculados computacionalmente através de equações que compõem cada modelo utilizado para descrever sua física de funcionamento. As simulações são feitas de maneira ordenada, onde o cálculo só prossegue ao ponto seguinte quando é encontrada uma solução para o ponto atual com um percentual de erro mínimo aceitável.

Na figura 31 está a representação de um dos muitos transistores utilizados neste trabalho na forma de uma malha de pontos discretizada. A grade de pontos é mais densa nas regiões próximas às interfaces, onde ocorrem as maiores alterações no perfil de cargas do dispositivo devido à aplicação de potencial. As regiões em amarelo são os *spacers*, que constituem uma isolamento entre a porta do dispositivo e as regiões de fonte e dreno.

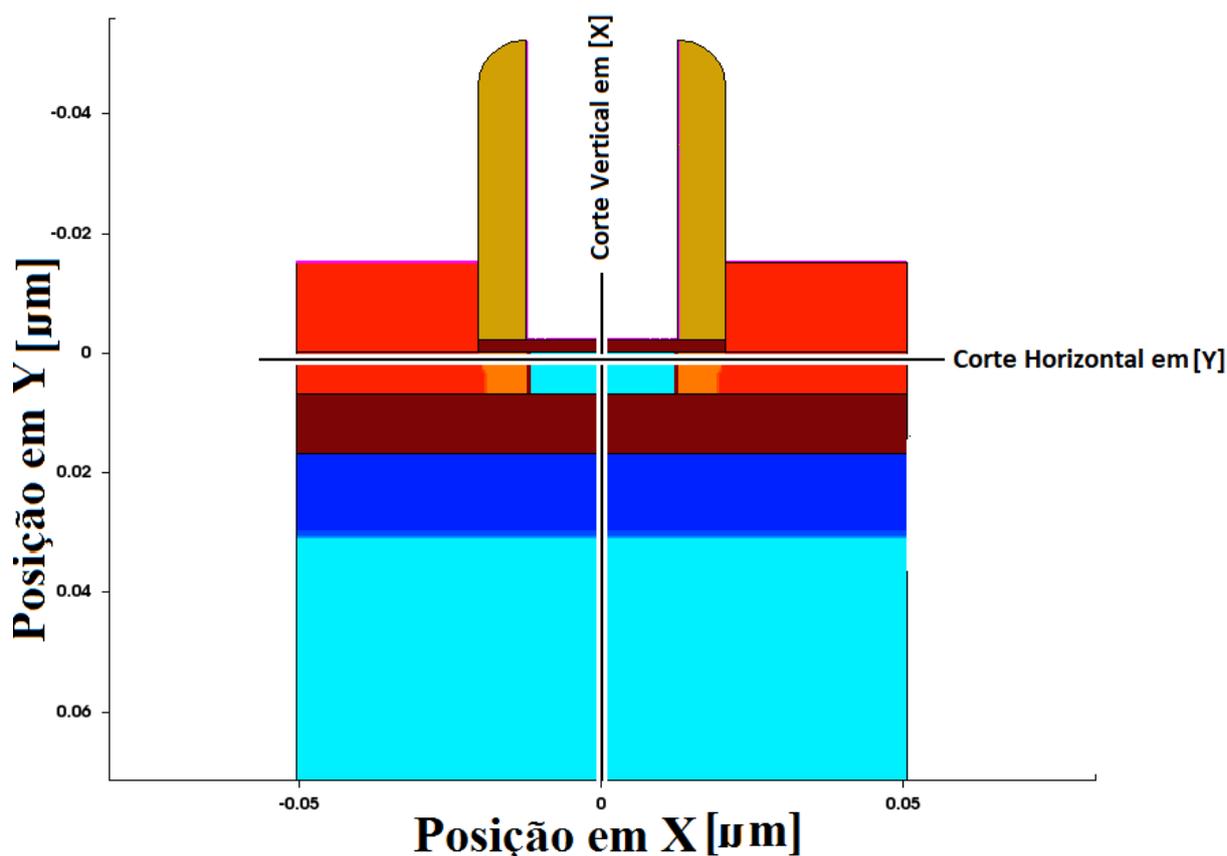
Figura 31 - Um dos transistores simulados representado por uma rede de pontos discretizada (grade).



Fonte: Autor.

O dispositivo virtual é desenvolvido perante um arquivo de entrada que define as dimensões da estrutura bem como o material de cada região, os perfis de dopagem, os contatos e a estrutura da grade de pontos. Ao ser simulado, o arquivo de entrada gera o dispositivo, que é salvo em um arquivo com extensão TDR, o qual contém todas as informações referentes ao dispositivo em questão. Pode-se fazer cortes ao longo da estrutura simulada afim de serem extraídas informações do estado da estrutura após a simulação como, densidade de corrente, de elétrons, temperatura, etc. A figura 32 mostra um dos dispositivos simulados indicando os esquemas dos cortes. O arquivo de entrada utilizado como base para a construção dos dispositivos estudados ao longo deste trabalho encontra-se no Apêndice A.

Figura 32 – Figura indicando o esquema dos cortes para a extração de informações dos dispositivos simulados.



Fonte: Autor.

O Sentaurus Device possui suporte à simulação 1D, 2D e 3D, bem como uma extensa lista de modelos que descrevem a física e o comportamento dos semicondutores. Neste trabalho, foram utilizados para a mobilidade os modelos PHUMOB (40), que determina a mobilidade de baixo campo elétrico, ENORMAL (41), que leva em conta o efeito do campo elétrico vertical na mobilidade efetiva e de dependência com a dopagem (42). Para a combinação e recombinação de portadores foi utilizado o modelo SRH considerando a dependência com a temperatura e com a dopagem (43). Além disso, foram utilizados o modelo de estreitamento de banda BGN OLDSLOTBOOM (44) e o modelo de saturação para alto campo elétrico HIGHFIELDSATURATION (45). Efeitos quânticos não foram considerados, uma vez que o dispositivo apresenta t_{si} da ordem de 7 nm (46). Para levar em conta os efeitos da temperatura nas simulações, o mecanismo de transporte HYDRODYNAMIC (47; 48; 49; 50), que contabiliza a velocidade de saturação e a ionização por impacto foi utilizado. Um exemplo do arquivo de entrada para a obtenção das curvas $I_{DS} \times V_{GS}$ e $I_{DS} \times V_{DS}$ encontra-se no Apêndice B.

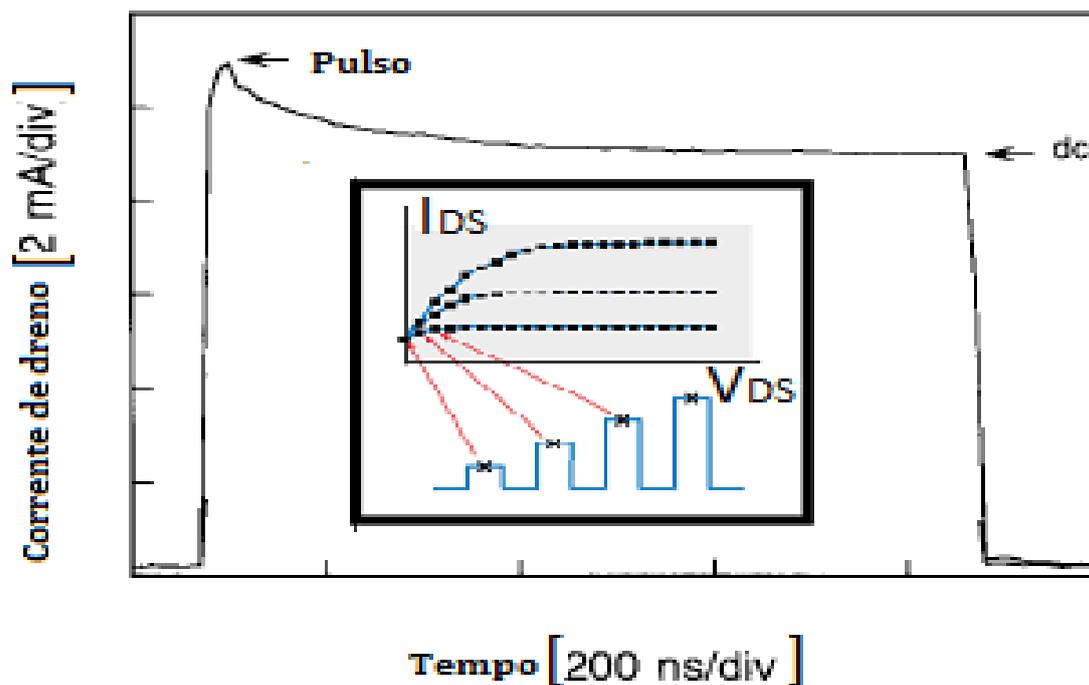
Ao longo do trabalho, foram feitas simulações 2D com a temperatura variando de 300 até 700 K em transistores do SOI tipo NMOS com as seguintes características: comprimento de canal (L) de 1000, 800, 500, 200, 100, 50 e 25 nm, espessura da camada de silício do canal (t_{si}) de 7 nm, comprimento das regiões de fonte e dreno (L_{sd}) de 30 nm, elevação de fonte e dreno (t_{sisd}) de 15 nm, óxido de porta (t_{ox}) com espessura de 2 nm, óxido enterrado (t_{box}) com espessura de 400, 200, 100, 80, 60, 40, 20 e 10 nm e uma camada de silício abaixo do óxido enterrado (t_{sib}) com espessura de 100 nm. As dopagens utilizadas foram $1 \times 10^{15} \text{ cm}^{-3}$ de boro na região de canal, $5 \times 10^{20} \text{ cm}^{-3}$ de arsênio nas regiões de fonte e dreno e, nos dispositivos em que foram implementados GP, a dopagem foi de $1 \times 10^{18} \text{ cm}^{-3}$ de dopantes, tanto para os planos de terra tipo P como para tipo N.

4.2 O MÉTODO “HOT CHUCK”

Uma forma experimental de se caracterizar o autoaquecimento é através de medidas pulsadas (51), onde se aplica um sinal sob a forma de pulso no terminal de porta do transistor, como na figura 33, que apresenta uma curva experimental (51) de um pulso com uma duração de 800 ns, aproximadamente com o detalhe da obtenção de uma curva $I_{DS} \times V_{DS}$. Nota-se que, no início do pulso, a corrente apresenta um valor máximo e diminui com o passar do tempo devido à atuação do autoaquecimento, e o intervalo entre a aplicação de pulsos sequenciais permite que o canal se resfrie e, desta forma, podem ser obtidas curvas livres de autoaquecimento compondo

a curva $I_{DS} \times V_{DS}$ dos pontos de máxima corrente de cada pulso como mostrado no detalhe na figura 33.

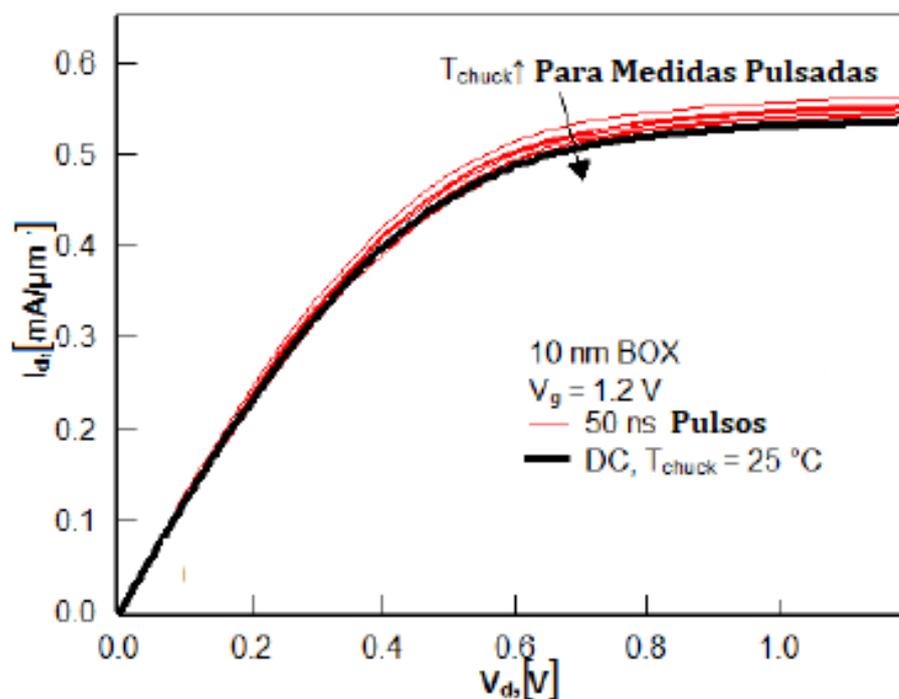
Figura 33 - Figura representando um pulso aplicado ao dreno no método “Hot Chuck”.



Fonte: Autor “adaptado de” JENKINS, K. A.; SUN, J. Y-C.; GAUTIER. 1997 (51).

Para avaliar a temperatura no canal do dispositivo, são medidas curvas $I_{DS} \times V_{DS}$ livres de autoaquecimento em diferentes temperaturas. Neste caso, a base (*chuck*) onde fica situada a lâmina contendo o dispositivo é ajustada para diferentes temperaturas e pulsos são aplicados ao terminal de porta do transistor. Assim, a temperatura interna do dispositivo é controlada pelo ajuste de temperatura feito no *chuck* e curvas livres de autoaquecimento em diferentes temperaturas podem ser obtidas, como mostrado na figura 34, onde são apresentadas curvas obtidas de forma experimental (52).

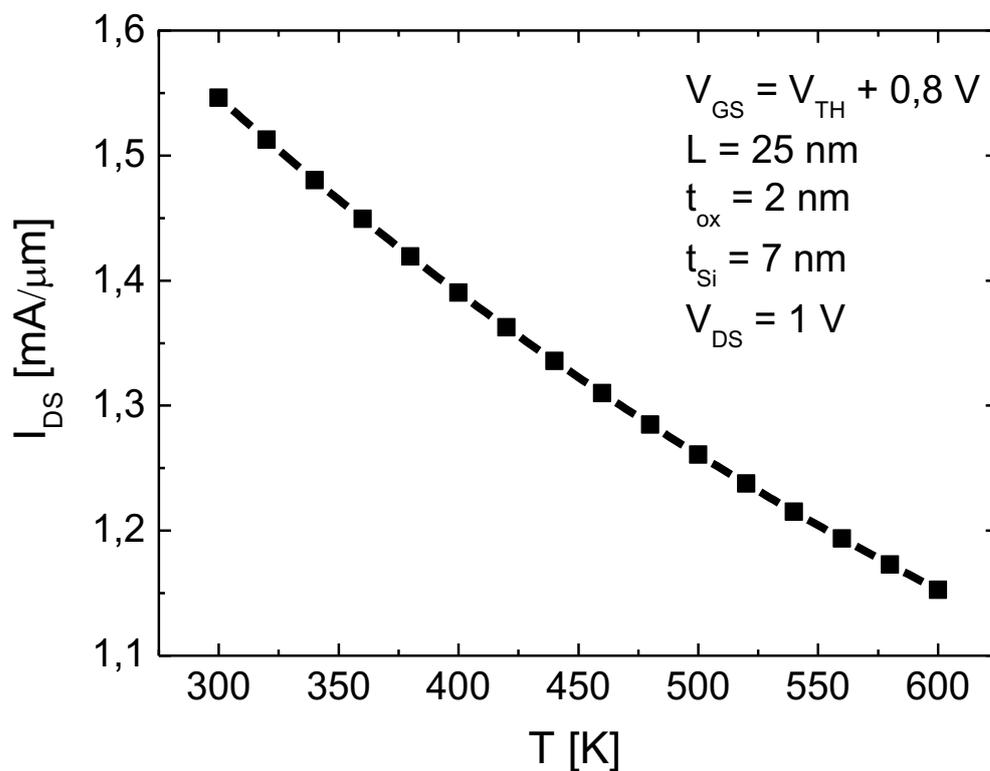
Figura 34– Curvas experimentais de I_{DS} x V_{DS} , DC em preto e pulsadas a diferentes temperaturas de 300, 325, 350, 375, 400 e 425 K em vermelho.



Fonte: Autor “adaptado de” MAKOVEJEV, S. et al 2012 (52).

No caso das curvas simuladas, o modelo HYDRODYNAMIC nos fornece as curvas de corrente com os efeitos de ionização por impacto, que apresenta resultados mais próximos dos obtidos experimentalmente em relação à corrente de dreno, e de autoaquecimento, que apresenta degradação em função da temperatura. Uma característica deste modelo é a possibilidade de se manipular os cálculos das equações que o compõem. Desta forma, pode-se obter as curvas livres de autoaquecimento semelhantes às curvas pulsadas dos trabalhos experimentais, simplesmente fazendo uso deste recurso que o modelo oferece. Pode-se obter curvas livres de autoaquecimento removendo a variável “Temperature” na seção de soluções do arquivo de simulação (vide arquivo de simulação no Apêndice B). O comportamento da corrente de dreno apresenta uma redução aproximadamente linear com o aumento da temperatura ambiente simulada, devido à atuação dos mecanismos de degradação da corrente, como mostrado na figura 35, para uma sobretensão de porta ($V_{GS} - V_{TH}$) de 0,8 V.

Figura 35 - Comportamento de I_{DS} em função da temperatura do Chuck.



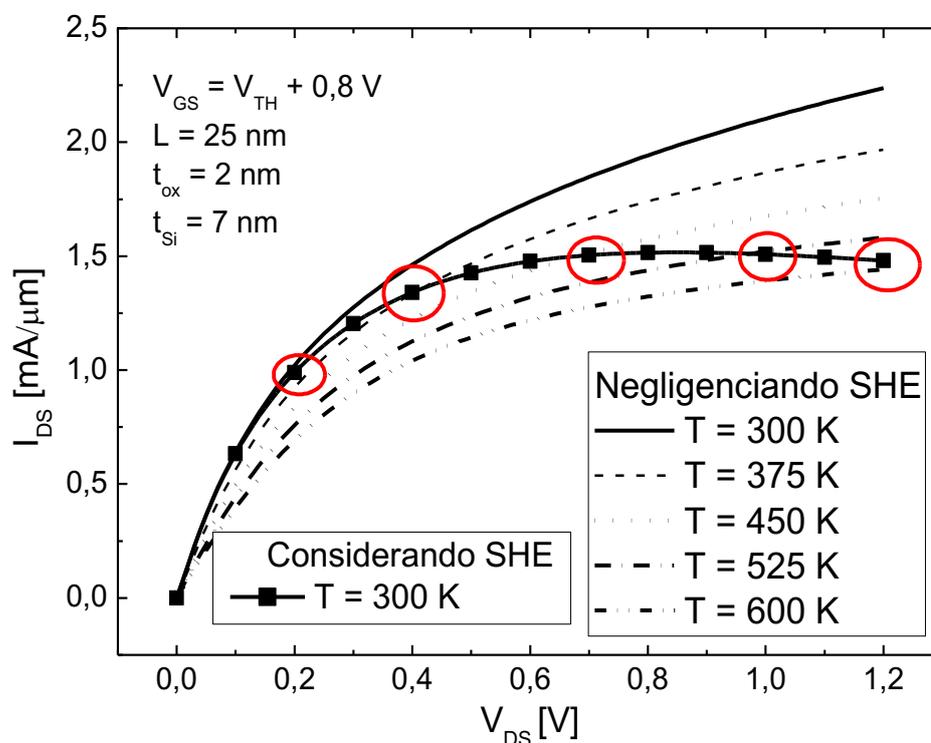
Fonte: Autor.

Plotando simultaneamente as curvas livres de autoaquecimento e a curva considerando o autoaquecimento, os pontos de intersecção entre as curvas nos permite comparar a temperatura no interior do canal, de acordo com a polarização em cada ponto, como demonstrado na figura 36. Pode se notar que o aumento de temperatura é acompanhado do aumento da tensão no dreno, o que indica que a temperatura aumenta de acordo com o aumento da potência normalizada dissipada no dispositivo. A potência normalizada (P_{norm}), por sua vez, é definida de acordo com a equação 38.

$$P_{norm} = I_{DS} / \left(\frac{W}{L} \right) V_{DS} \quad (38)$$

onde I_{DS} é a corrente de dreno, W a largura do dispositivo que é de $1 \mu\text{m}$ em virtude de o trabalho tratar-se de simulações 2D, L o comprimento do canal do dispositivo e V_{DS} a tensão no dreno.

Figura 36 - Curva DC em conjunto com as curvas livres de autoaquecimento em diferentes



Fonte: Autor.

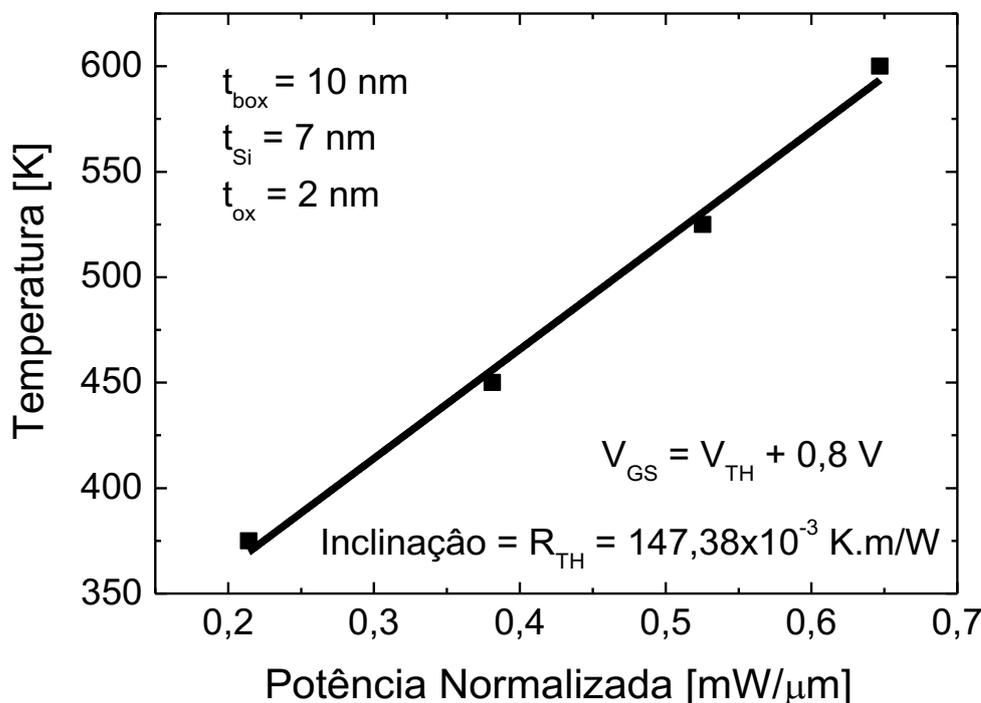
A figura 37 representa a curva da temperatura em função da potência normalizada. Esta curva apresenta uma dependência linear do aumento da temperatura em função do aumento da potência normalizada, fazendo com que tenha a característica de uma reta, cuja inclinação nos fornece o valor da resistência térmica normalizada.

A resistência térmica é a dificuldade de condução de energia térmica (33) que um dado material possui. Nos semicondutores é obtida através de curvas da temperatura em função da potência normalizada dissipada pelo material. Devido a isso, atribui-se o nome de resistência térmica normalizada (R_{TH}). É obtida através da razão da temperatura pela potência normalizada conforme a equação 39.

$$R_{TH} = \frac{\Delta T}{\Delta P} \quad (39)$$

onde ΔT é a variação da temperatura e ΔP a variação da potência normalizada. R_{TH} é expressa em Kelvin por Watt (K/W).

Figura 37 - Gráfico da temperatura em função da potência normalizada, onde a inclinação da reta obtida indica o valor da resistência térmica normalizada.



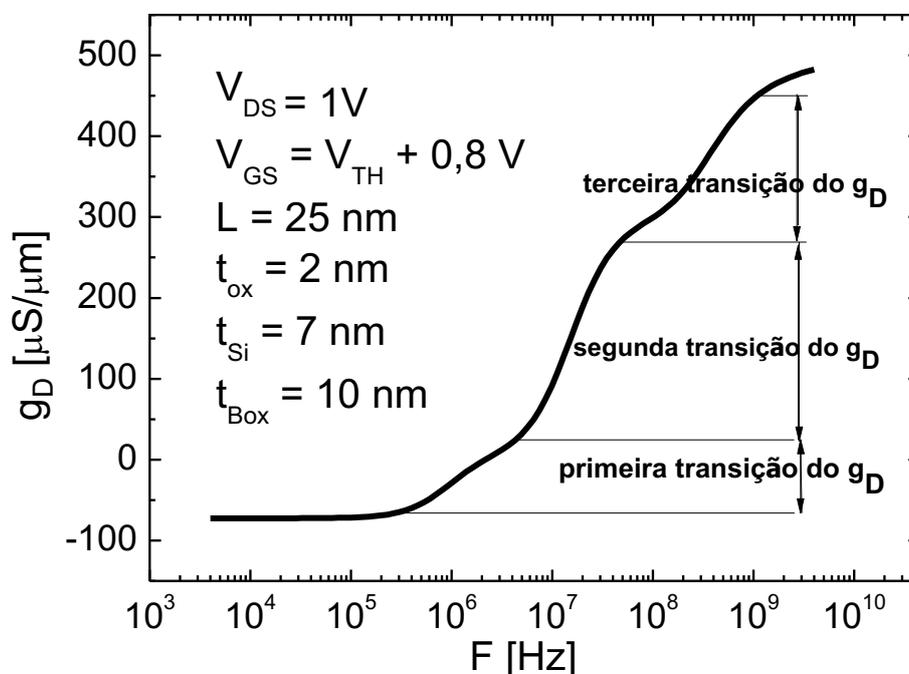
Fonte: Autor.

4.3 MÉTODO DA CONDUTÂNCIA DE SAÍDA AC.

Como dito anteriormente, os dispositivos SOI UTBB são fortes candidatos em aplicações RF, onde o comportamento analógico tem uma importância significativa. Desta forma, neste trabalho também foi efetuada uma análise dos dispositivos através de simulações AC. A condutância de saída (g_D) descrita no capítulo 2.4.6 constitui uma importante figura de mérito em funcionamento analógico dos transistores, e diferentes trabalhos têm mostrado que g_D sofre degradação em função do autoaquecimento (53; 54) fazendo com que o funcionamento do dispositivo fique dependente da sua frequência de operação. Um outro método de se analisar as propriedades térmicas dos dispositivos SOI MOSFET se baseia no seu comportamento em regime AC (55), onde aplica-se um sinal no terminal de porta dos dispositivos e verifica-se a resposta a esse sinal através da corrente de dreno. O Sentaurus Device nos fornece a condutância de saída (g_D) no arquivo de saída que contém os resultados da simulação. A figura 38 mostra o comportamento da condutância de saída em função da frequência em um dispositivo simulado, onde observa-se 3 transições ao longo da curva. A primeira delas, situada entre 230 KHz e 4 MHz, constitui uma variação do g_D em função de efeitos de substrato ($\Delta g_{D\text{SUBMIN}}$), onde os portadores

minoritários no substrato não respondem ao sinal AC aplicado resultando na elevação de g_D . A segunda transição, situada entre 4 MHz e 50 MHz, constitui uma variação do g_D devido ao autoaquecimento (Δg_{DSH}), onde a frequência do sinal aplicado é menor que a constante de tempo do autoaquecimento. Desta forma, o aumento da temperatura já não consegue responder ao sinal AC, resultando em outra elevação de g_D . Por fim, a terceira transição de g_D , que ocorre entre 50 MHz e 1 GHz, diz respeito ao efeito do substrato ($\Delta g_{DSUBMAJ}$), onde os portadores majoritários no substrato não respondem ao sinal AC aplicado, resultando em uma terceira elevação de g_D (52; 53; 54). Os efeitos de substrato não são abordados neste trabalho.

Figura 38 - Gráfico da condutância de saída g_D em função da frequência.



Fonte: Autor

A resistência térmica do dispositivo pode ser obtida também pelo método descrito em (56), através da equação 40.

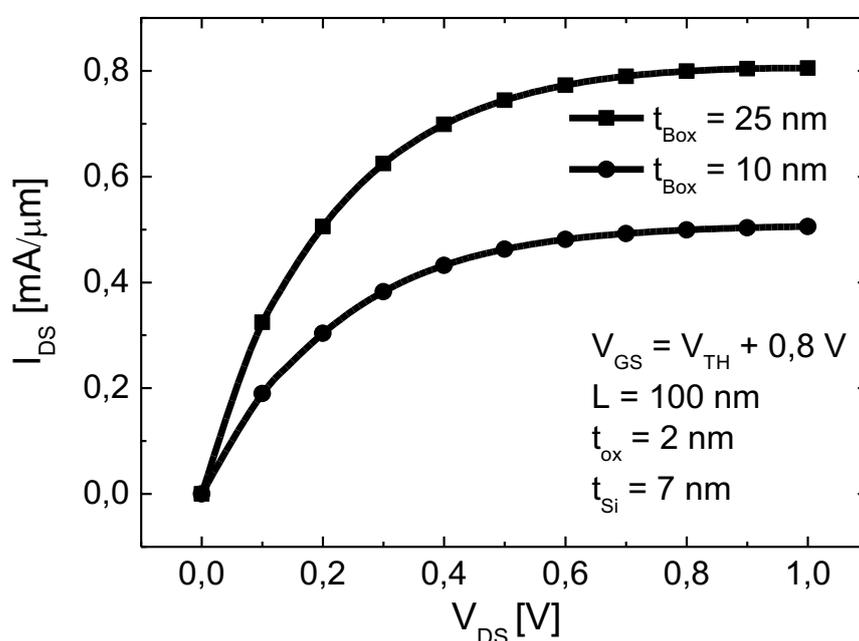
$$R_{TH} = \frac{\Delta g_{DSH}}{(I_{DS} + g_{DSH} V_{DS}) \frac{\partial I_{DS}}{\partial T_p}} \quad (40)$$

onde Δg_{DSH} é a variação do g_{D} devido ao SHE, g_{DSH} é o valor de g_{D} no início da transição devido ao SHE e $\frac{\partial I_{\text{DS}}}{\partial T_p}$ é a variação da corrente de dreno de acordo com a temperatura, obtida através do coeficiente angular da reta apresentada na figura 35, que indica a dependência da corrente de dreno com a temperatura.

4.4 VALIDAÇÃO DAS SIMULAÇÕES ATRAVÉS DE RESULTADOS EXPERIMENTAIS

Para obter um grau de proximidade com as características de dispositivos reais, o arquivo de simulação foi ajustado a fim de que suas características de saída apresentassem resultados semelhantes aos apresentados em (52). A figura 39 apresenta a corrente de dreno em função da tensão de dreno para os dispositivos simulados para uma sobretensão de porta de 0,8 V com polarização de substrato de 0 V.

Figura 39 - Corrente de dreno nos dispositivos simulados em função da tensão do dreno.



Fonte: Autor.

As estruturas simuladas na figura 39 apresentam as seguintes características: dispositivos SOI do tipo nMOS com comprimento de canal de 100 nm, espessura da camada de silício do canal e 7 nm, elevação de fonte e dreno (t_{sisd}) de 15 nm, óxido de porta de 2 nm, óxido enterrado (BOX) de 10 e de 25 nm. A diferença de corrente I_{DS} apresentada nos dispositivos com BOX de 10 e 25

nm está relacionada com o efeito do substrato. Trata-se de um acoplamento parasitário do silício do substrato com as regiões de fonte e dreno em virtude da menor espessura do BOX. A observação deste efeito não é abordada neste trabalho. A tabela 2 apresenta os valores simulados e os obtidos experimentalmente para a corrente de dreno, resistência térmica e variação da condutância de saída devido ao SHE (Δg_{DSH}).

Tabela 2 - Validação dos resultados simulados em relação aos experimentais apresentados em (52).

Parâmetro	t_{box}	Comparação dos Dados		
		<i>Simulado</i>	<i>Experimental</i>	<i>% Erro</i>
Corrente de Dreno [mA/ μ m] ($V_{GS} = V_{TH} + 0,8$ V e $V_{DS} = 1$ V)	10 nm	0,50	0,50	0
	25 nm	0,80	0,80	0
Resistência Térmica (R_{TH}) [Km/W]	10 nm	69	70	1,42
	25 nm	80	84	4,34
Δg_{DSH} [μ s/ μ m] ($V_{GS} = V_{TH} + 0,8$ V e $V_{DS} = 1$ V)	10 nm	29	30	3,40
	25 nm	36	35	2,80

Fonte: Autor.

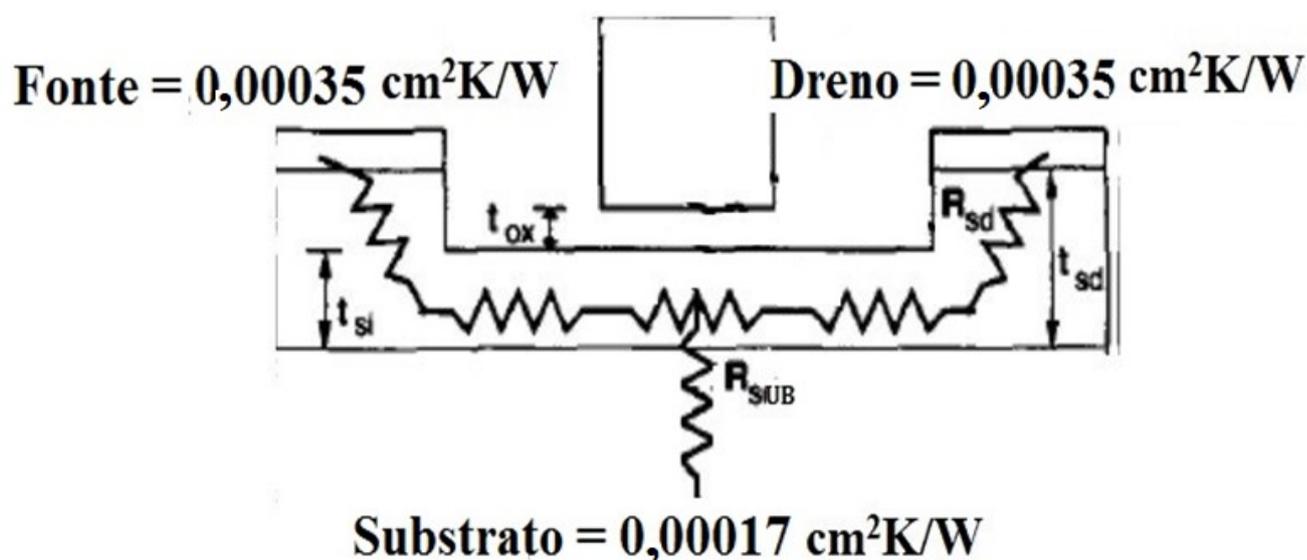
Em trabalhos baseados em simulação, onde há cálculos que contabilizam a temperatura, o comportamento do dispositivo em relação ao ambiente externo deve ser considerado. Portanto, um aspecto importante a ser mencionado é a definição da resistividade térmica dos contatos de fonte, dreno, porta e substrato, que determinam como é feita a troca de energia térmica entre o dispositivo e o ambiente com relação à dissipação de calor. O contato de porta foi considerado adiabático, ou seja, não participa da interação do dispositivo com o meio ambiente com respeito

à dissipação de calor. Como mencionado em (15), a espessa camada de passivação sobre o contato de porta impede a dissipação de calor. Para os outros contatos, foram consideradas resistividades térmicas de $0,00035 \text{ cm}^2\text{K/W}$ para os contatos de fonte e dreno e $0,00017 \text{ cm}^2\text{K/W}$ para o contato de substrato.

O contato de substrato possui resistividade térmica menor em relação aos demais em função de o substrato ser o principal meio de dissipação de calor nos transistores MOS. Isso ocorre devido à concentração de dopantes no substrato ser menor que a concentração das regiões de fonte e dreno, fazendo com que a energia térmica encontre maior facilidade de ser conduzida. No caso de transistores reais, os dissipadores de calor (*Heat Sink*) são posicionados sempre na região externa do dispositivo encapsulado, a qual fica em contato direto com o substrato de toda a lâmina.

A figura 40 indica o arranjo das resistividades dos contatos. O ajuste das resistividades térmicas dos contatos foi feito de maneira que se obtivessem valores absolutos e um crescimento no valor da resistência térmica no transistor com BOX de 25 nm em relação ao com BOX de 10 nm compatível com os valores obtidos no trabalho experimental.

Figura 40 - Arranjo dos caminhos de dissipação da energia térmica em um transistor MOS com os valores das resistividades térmicas atribuídas aos contatos.

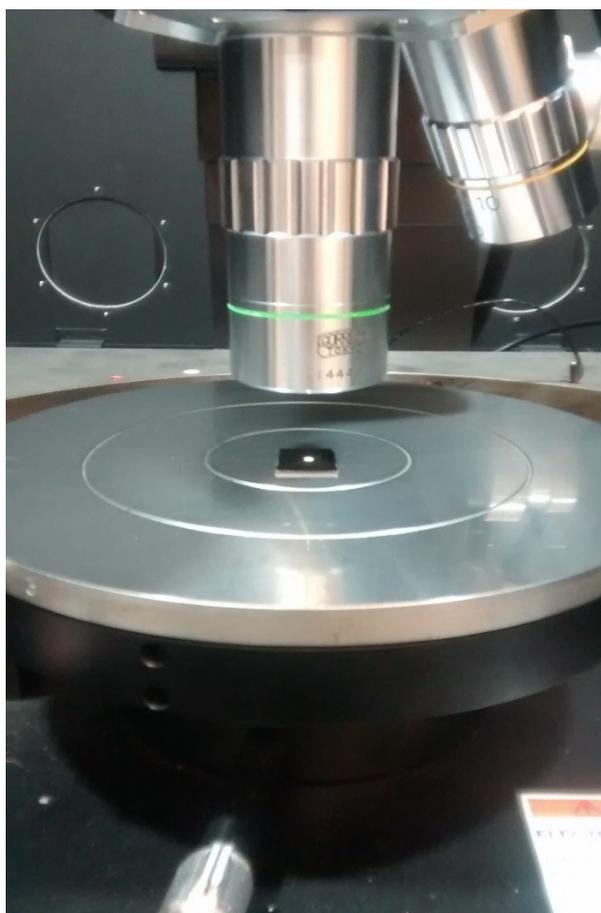


Fonte: Autor "adaptado de" POP, E.; DUTTON, R.; GOODSON, K. 2003 (55).

4.5 MEDIDAS EXPERIMENTAIS

A fim de observar os efeitos estudados através de simulações, foram efetuadas medidas pulsadas, conforme descritas no item 4.2, para a obtenção de curvas $I_{DS} \times V_{DS}$ experimentais utilizando um analisador de parâmetros B1500A (57) da Keysight em conjunto com um microprovador Cascade da Microtech (58) em dispositivos com t_{box} de 100 nm e comprimento de canal de 100, 300 e 500 nm dispostos em uma lâmina com terminais de fonte e dreno comum e canal em cascata disponíveis no Centro Universitário FEI, a figura 41 apresenta uma fotografia da lâmina posicionada no microprovador onde foram efetuadas as medidas. Buscando verificar o comportamento térmico dos dispositivos em relação à polarização do substrato, foram efetuadas análises em curvas $I_{DS} \times V_{DS}$ bem como não foram feitas análises em comportamento AC uma vez que os dispositivos não dispunham de recursos de fabricação que possibilitavam tal análise. A resistência térmica (R_{TH}) e a análise AC foram estudadas apenas via simulação.

Figura 41 – Fotografia da lâmina posicionada no microprovador.



Fonte: Autor.

5 ANÁLISE DAS CARACTERÍSTICAS ELÉTRICAS DOS DISPOSITIVOS

Neste capítulo serão apresentados os resultados obtidos para cada análise efetuada.

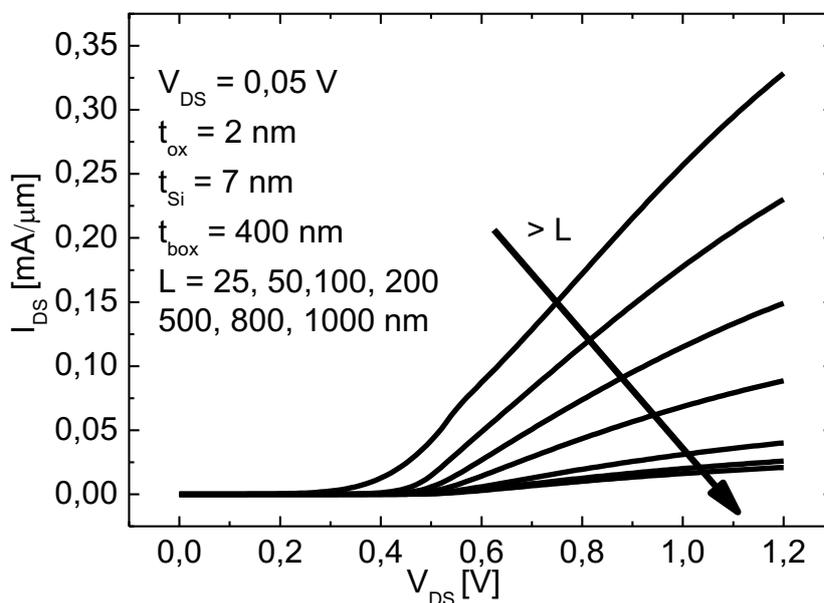
5.1 RESULTADOS SIMULADOS

Após devida validação do arquivo de simulação com resultados experimentais como mostrado no capítulo anterior, foram efetuadas simulações 2D de estruturas SOI do tipo nMOS com as seguintes características: comprimento de canal de 1000, 800, 500, 200, 100, 50 e 25 nm, espessura da camada de silício do canal de 7 nm, comprimento das regiões de fonte e dreno de 30 nm, elevação de fonte e dreno de 15 nm, óxido de porta com espessura de 2 nm, óxido enterrado (BOX) com espessura de 400 nm e uma camada de silício abaixo do óxido enterrado com espessura de 100 nm. As dopagens utilizadas foram: $1 \times 10^{15} \text{ cm}^{-3}$ de boro na região de canal, $5 \times 10^{20} \text{ cm}^{-3}$ de arsênio nas regiões de fonte e dreno e, nos dispositivos em que foram implementados GP, a dopagem foi de $1 \times 10^{18} \text{ cm}^{-3}$ de dopantes, tanto para os planos de terra tipo P como para tipo N.

5.2 COMPORTAMENTO DA TENSÃO DE LIMIAR EM RELAÇÃO AO COMPRIMENTO DE CANAL

Inicialmente, foi feita a extração da tensão de limiar (V_{th}) de cada estrutura utilizando o método g_m/I_{DS} , (18) através de curvas $I_{DS} \times V_{GS}$ com baixa tensão de dreno ($V_{DS} = 0,05 \text{ V}$), como as demonstradas na figura 42. Observa-se que o dispositivo com menor comprimento de canal apresenta maior corrente de dreno, conforme a equação 16 apresentada no item 2.4.2.

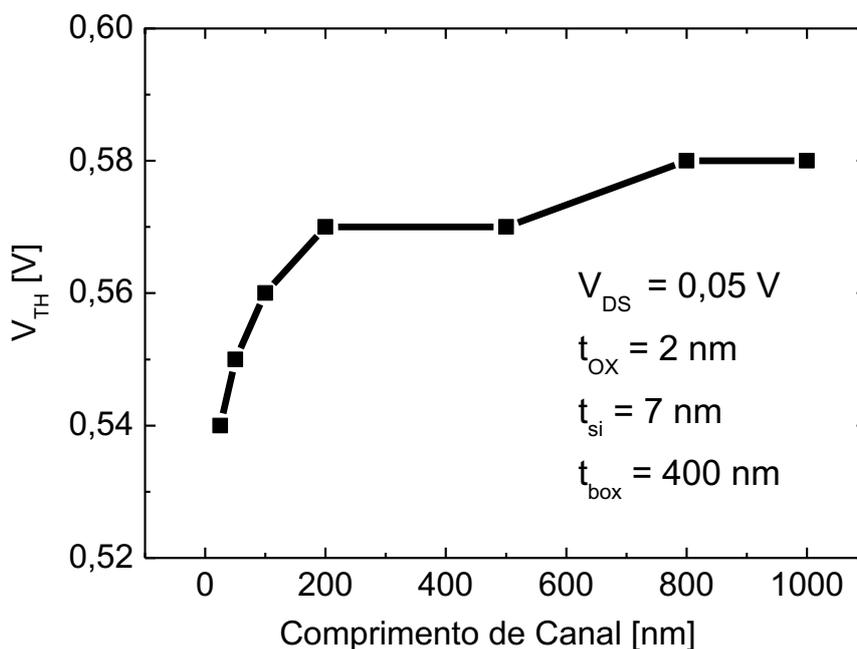
Figura 42 - Curva da corrente de dreno pela tensão de porta dos transistores com variação do comprimento de canal.



Fonte: Autor.

A tensão de limiar foi extraída para cada estrutura simulada e a curva de V_{th} em função do comprimento de canal está apresentado na figura 43, onde constata-se a redução da tensão de limiar com a redução do comprimento de canal devido à ocorrência de efeitos de canal curto. Neste caso, o controle das cargas do canal, antes exercido predominantemente pela porta, passa a ser influenciado significativamente pelas regiões de depleção de fonte e dreno. Essa redução da quantidade de cargas controladas pela porta provoca uma redução em V_{th} .

Figura 43 - Curva da tensão de limiar em função do comprimento de canal.

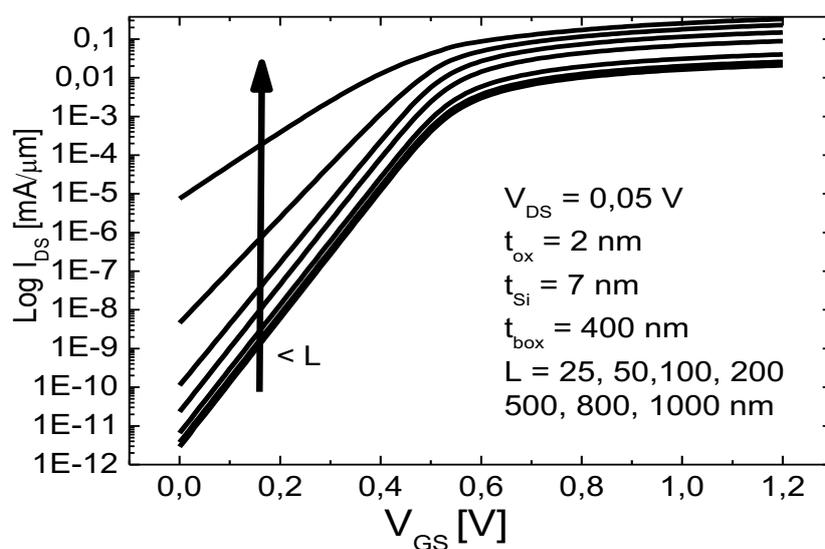


Fonte: Autor.

5.3 COMPORTAMENTO DA INCLINAÇÃO DE SUBLIMIAR EM RELAÇÃO AO COMPRIMENTO DE CANAL.

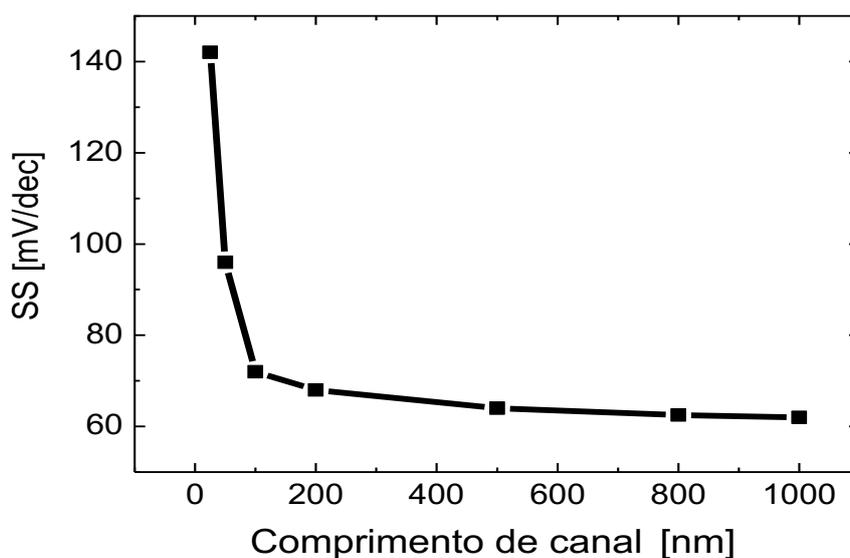
A redução de L influencia também a inclinação de sublimiar, como pode ser verificado na figura 44, onde a degradação do regime sublimiar altera a inclinação da curva abaixo da tensão de limiar. A figura 45 indica o comportamento de SS, que foi obtido conforme descrito no item 2.4.3, que aumenta com a redução de canal.

Figura 44 – Curva monologarítmica de I_{DS} x V_{GS} .



Fonte: Autor.

Figura 45 - Gráfico do comportamento da inclinação de sublimiar com o comprimento de canal.



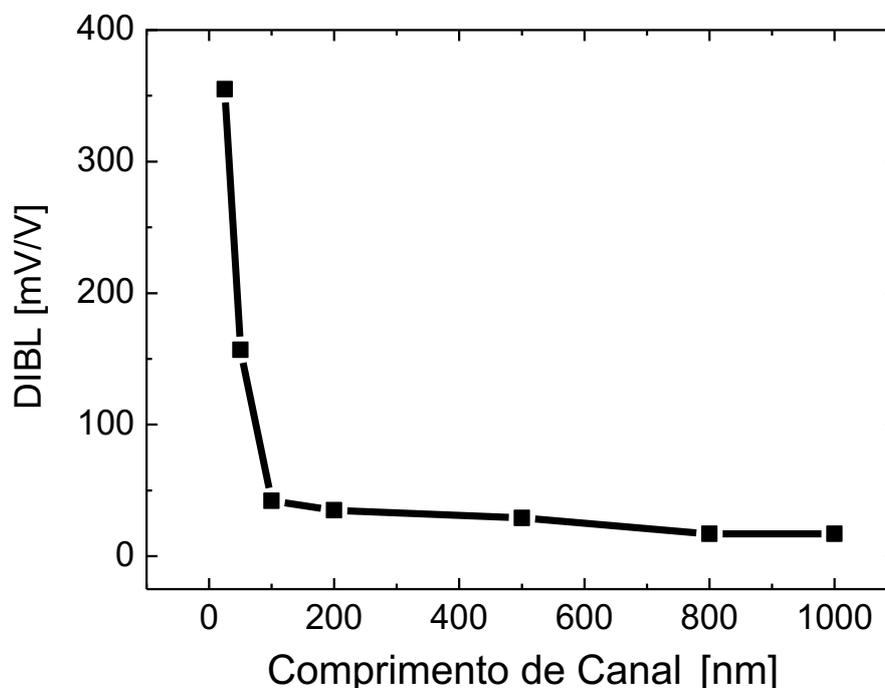
Fonte: Autor.

5.4 COMPORTAMENTO DO DIBL EM RELAÇÃO AO COMPRIMENTO DE CANAL

A figura 46 mostra o comportamento do DIBL com o encurtamento de canal do dispositivo. Observa-se que o efeito se acentua conforme o dispositivo fica mais curto. Para dispositivos de 1000 até 100 nm de comprimento de canal, o DIBL sofreu uma variação de 20

mV/V a 50 mV/V, enquanto que, ao reduzir L até 25 nm, o DIBL variou pouco mais de 300 mV/V.

Figura 46 - Gráfico indicando o comportamento do DIBL com o comprimento de canal.



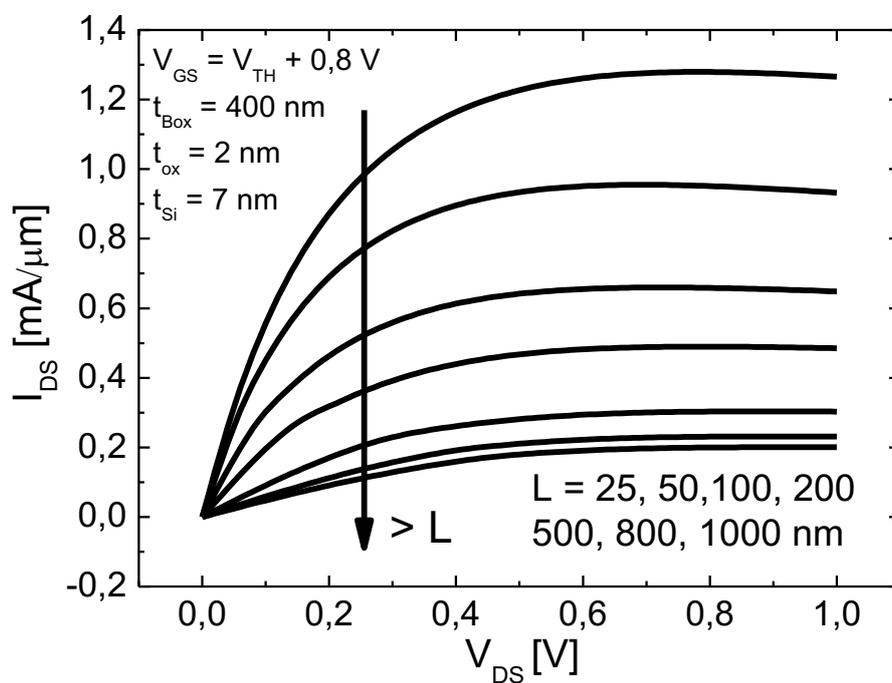
Fonte: Autor.

5.5 COMPORTAMENTO DA CORRENTE DE DRENO COM E SEM O EFEITO DO AUTOAQUECIMENTO.

De acordo com as equações 16 e 17, a corrente de dreno depende diretamente da razão (W/L). Com a redução de L , a corrente de dreno aumenta, como indicado na figura 47, em que são apresentadas as curvas de $I_{DS} \times V_{DS}$ para comprimentos de canal de 1000, 800, 500, 200, 100, 50 e 25 nm, para um valor de $V_{GS} - V_{th} = 0,8$ V.

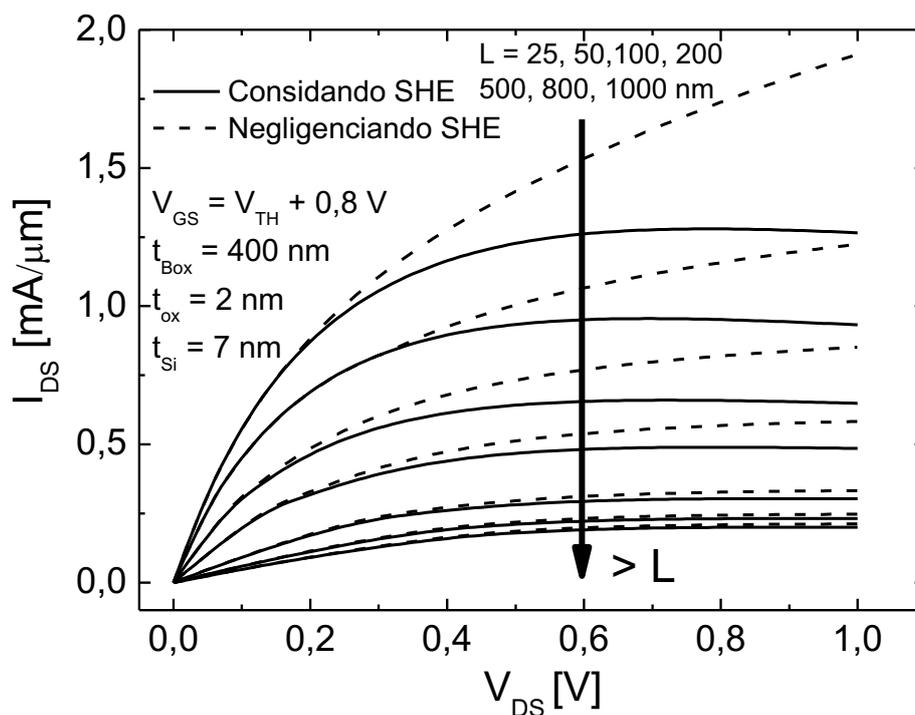
A figura 48 apresenta curvas simuladas com autoaquecimento e curvas livres do efeito para os diferentes comprimentos de canal. Observa-se que o efeito é mais intenso à medida que o dispositivo fica mais curto. Isto se deve a uma maior ocorrência de degradação por espalhamento de rede ou fônons. Conforme o dispositivo fica mais curto, perde-se o caminho médio livre necessário para o fônon relaxar sua energia, fazendo com que a onda vibratória continue a se propagar no interior do canal, mantendo a temperatura elevada.

Figura 47 - Curvas indicando o comportamento da corrente de dreno em função de V_{DS} para diferentes comprimentos de canal.



Fonte: Autor.

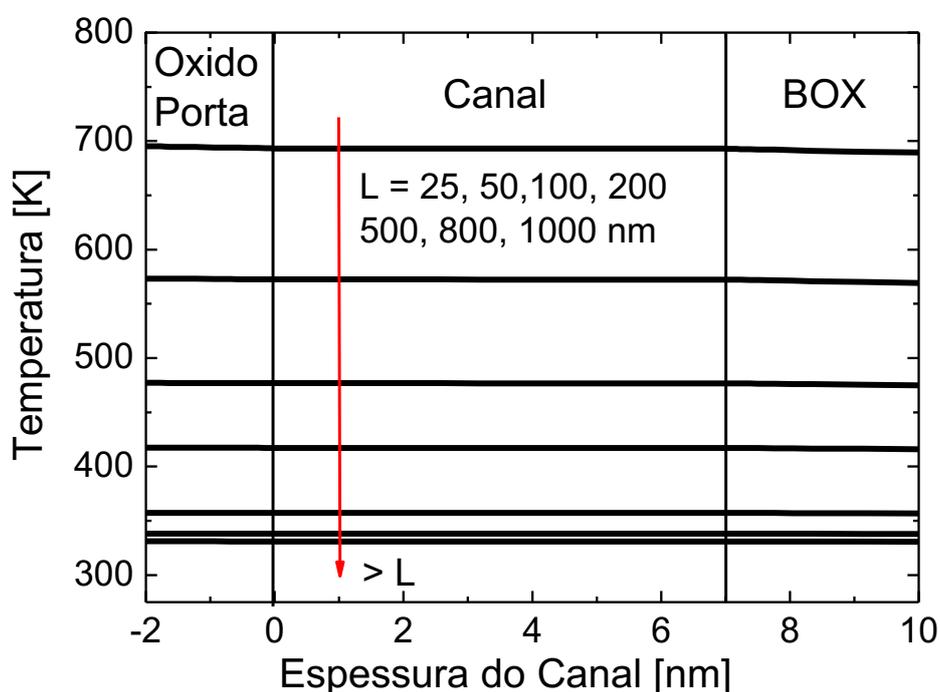
Figura 48 - Gráfico indicando o comportamento da corrente de dreno com o comprimento de canal em curvas considerando e negligenciando o autoaquecimento.



Fonte: Autor.

Devido à maior influência do autoaquecimento nos dispositivos mais curtos, estes apresentam uma maior diferença entre as correntes com e sem autoaquecimento e, conseqüentemente, temperaturas maiores no interior do canal, como verificado na figura 49, que apresenta a temperatura ao longo da seção vertical das estruturas simuladas à distância de 1 nm da região de dreno.

Figura 49 - Gráfico indicando a temperatura no interior dos canais dos transistores à distância de 1 nm do dreno.



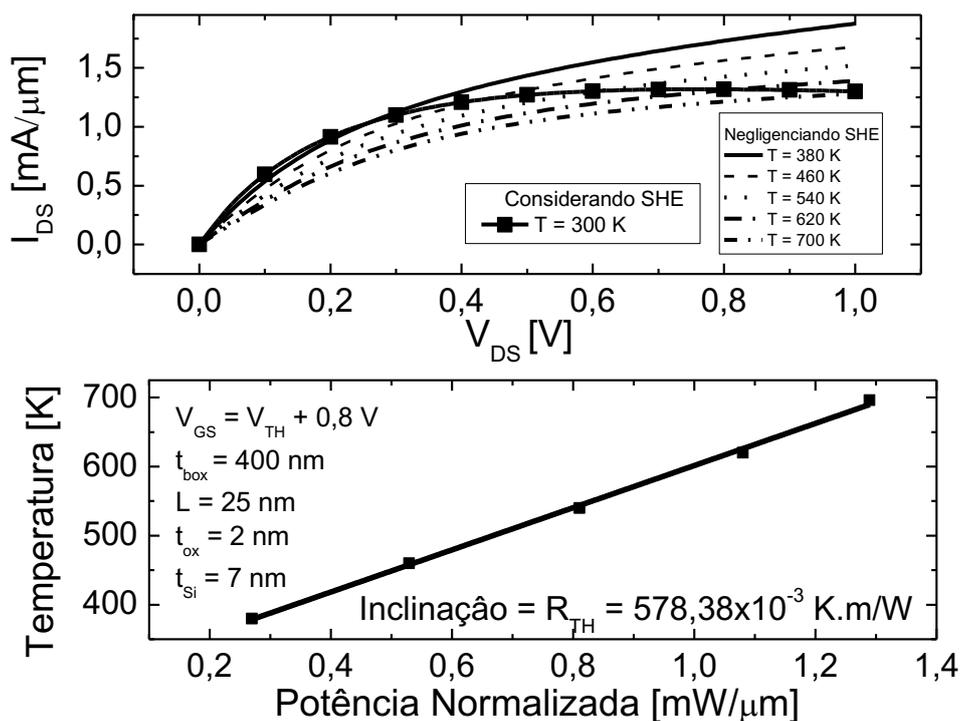
Fonte: Autor.

5.6 RESISTÊNCIA TÉRMICA EM FUNÇÃO DO COMPRIMENTO DE CANAL

Foi realizada a extração da resistência térmica dos dispositivos simulados e, como já verificado anteriormente, uma maior degradação da corrente, bem como maiores temperaturas, são observadas no interior do canal dos dispositivos mais curtos. Estes apresentam maior resistência térmica. As figuras 50 a 56 indicam as curvas $I_{DS} \times V_{DS}$ sem autoaquecimento plotadas em conjunto com a curva considerando o autoaquecimento e o comportamento da temperatura em relação à potência normalizada, indicando a resistência térmica para os dispositivos com comprimentos de canal de 1000, 800, 500, 200, 100, 50 e 25 nm. Em todos os casos, a resistência

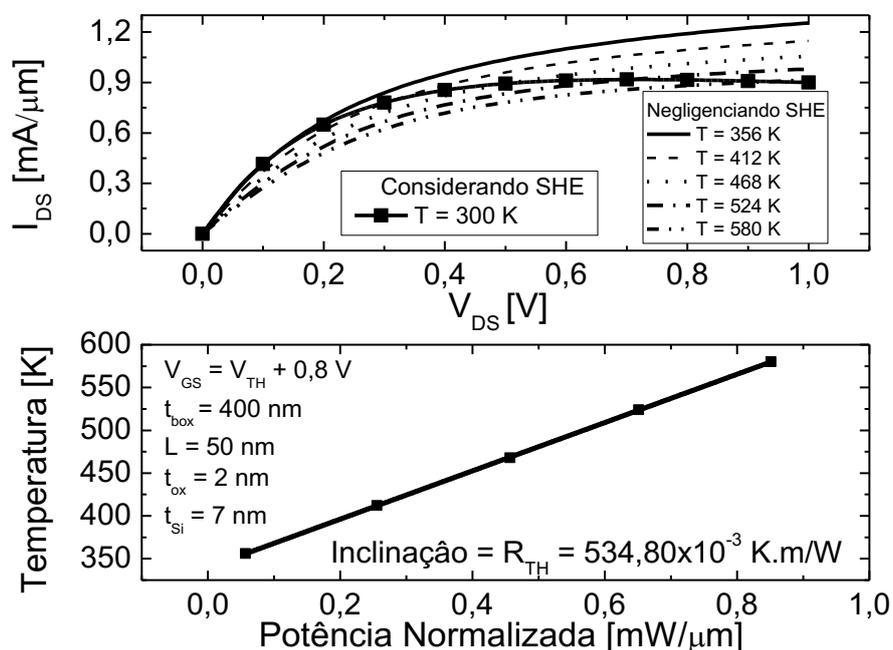
térmica dos dispositivos foi extraída de acordo com o método do “Hot Chuck”, descrito no item 4.1.

Figura 50 - Curvas I_{DS} x V_{DS} a diferentes temperaturas acima e curva da temperatura com a potência normalizada indicando o valor da resistência térmica para o transistor de $L = 25$ nm.



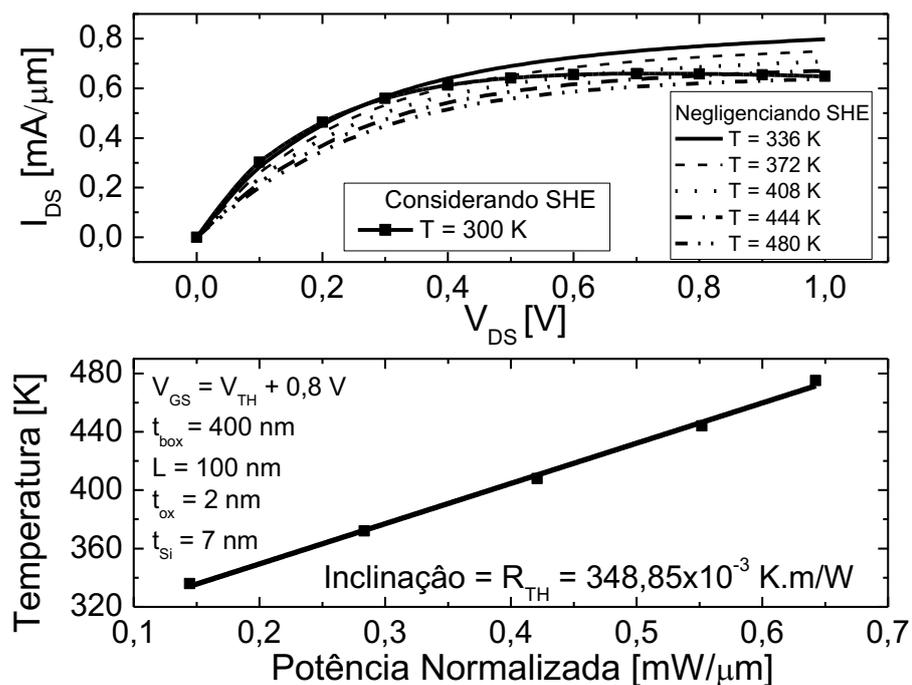
Fonte: Autor.

Figura 51 - Curvas I_{DS} x V_{DS} a diferentes temperaturas acima e curva da temperatura com a potência normalizada indicando o valor da resistência térmica para o transistor de $L = 50$ nm.



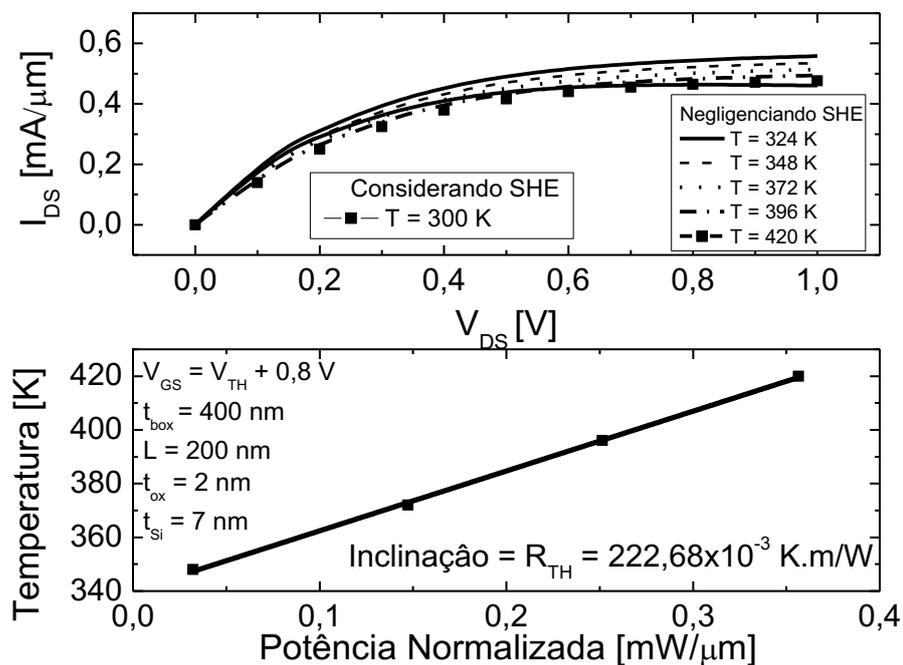
Fonte: Autor.

Figura 52 - Curvas I_{DS} x V_{DS} a diferentes temperaturas acima e curva da temperatura com a potência normalizada indicando o valor da resistência térmica para o transistor de $L = 100$ nm.



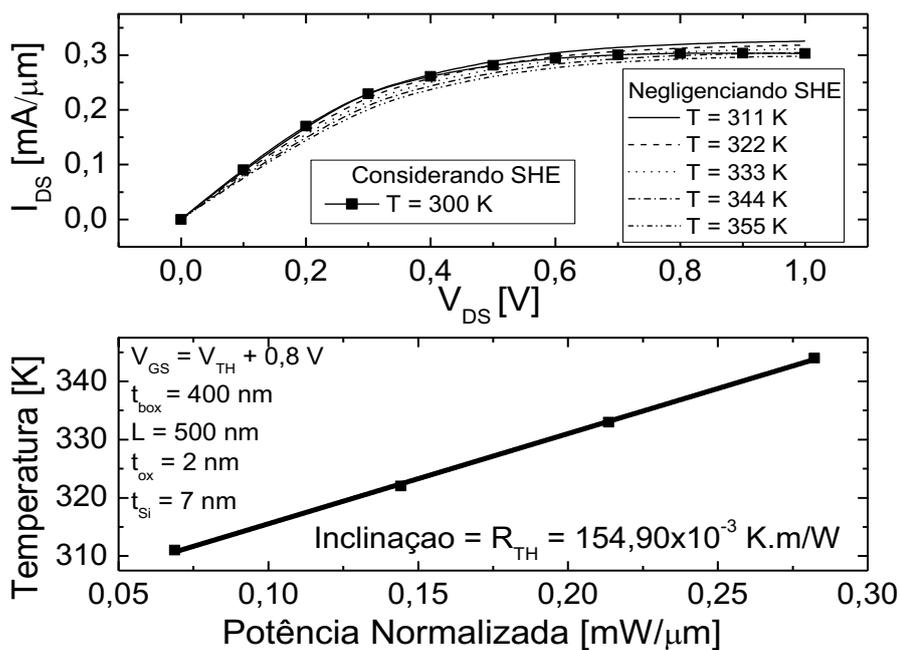
Fonte: Autor.

Figura 53 - Curvas I_{DS} x V_{DS} a diferentes temperaturas acima e curva da temperatura com a potência normalizada indicando o valor da resistência térmica para o transistor de $L = 200$ nm.



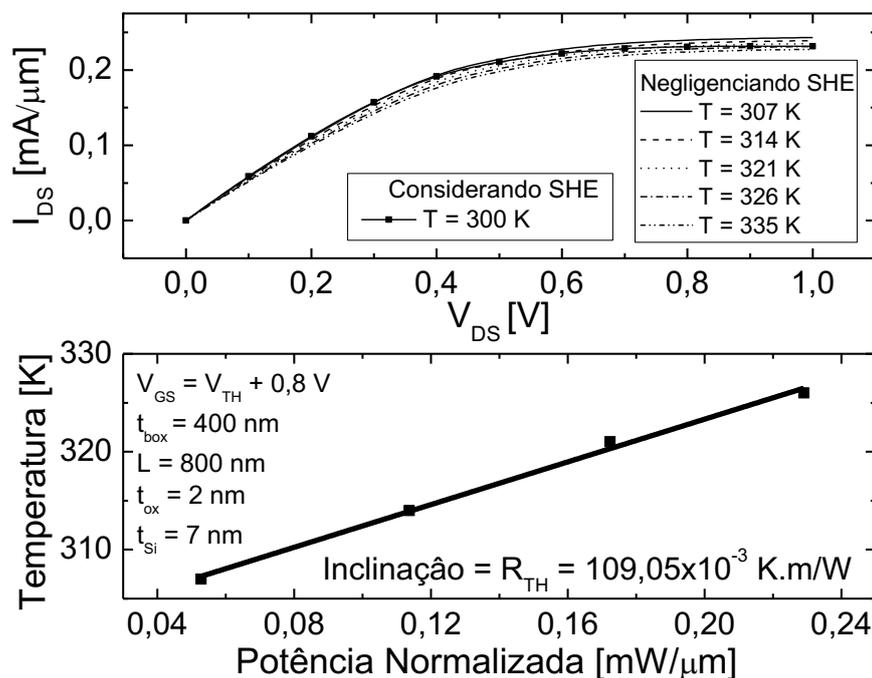
Fonte: Autor.

Figura 54 - Curvas I_{DS} x V_{DS} a diferentes temperaturas acima e curva da temperatura com a potência normalizada indicando o valor da resistência térmica para o transistor de $L = 500$ nm.



Fonte: Autor.

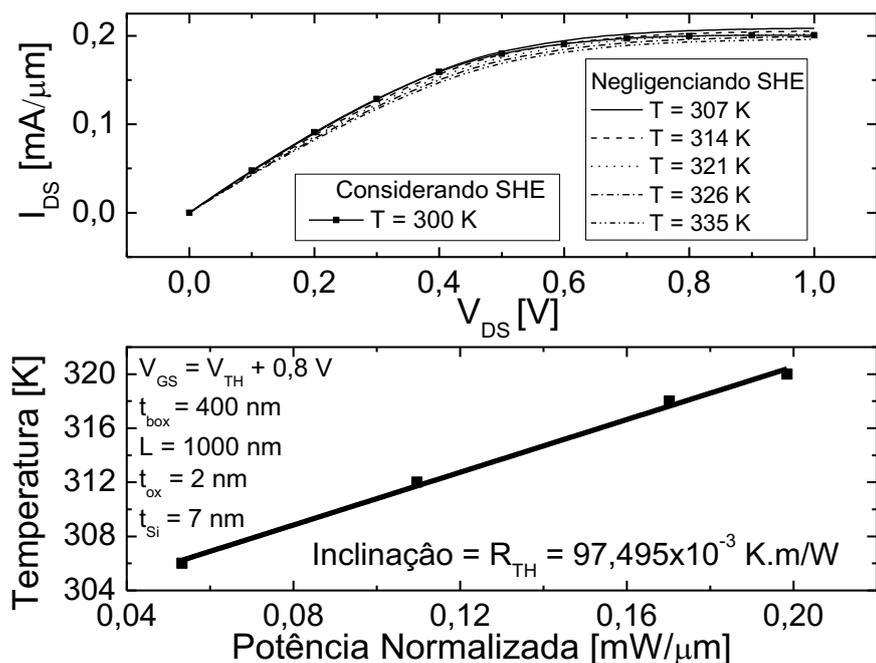
Figura 55 - Curvas I_{DS} x V_{DS} a diferentes temperaturas acima e curva da temperatura com a potência normalizada indicando o valor da resistência térmica para o transistor de $L = 800$ nm.



Fonte: Autor.

Normalized Power [mW/ μ m]

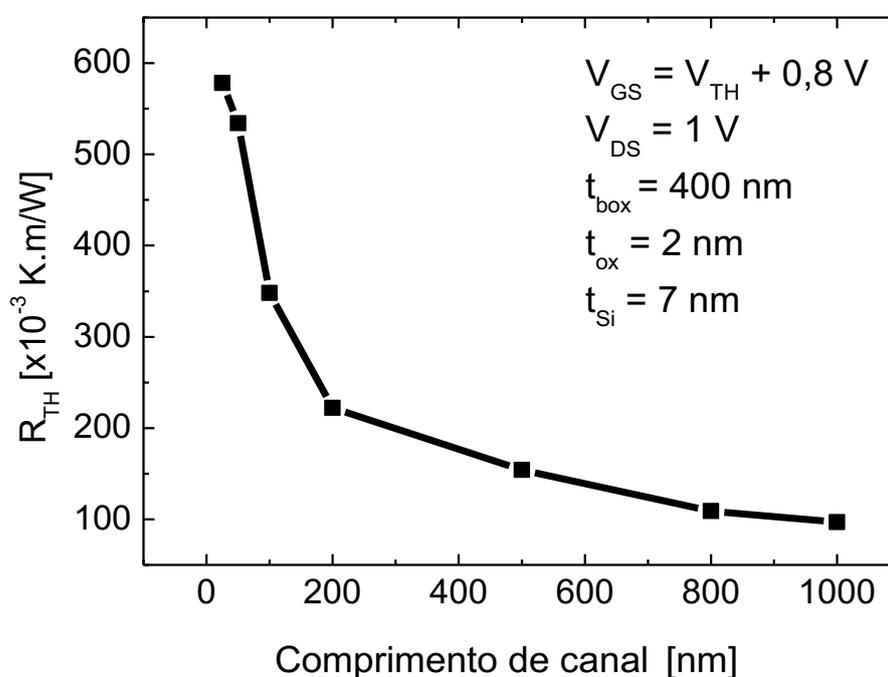
Figura 56 - Curvas I_{DS} x V_{DS} a diferentes temperaturas acima e curva da temperatura com a potência normalizada indicando o valor da resistência térmica para o transistor de $L = 1000$ nm.



Fonte: Autor.

A figura 57 indica a variação da resistência térmica em relação ao comprimento de canal dos transistores. A resistência térmica aumenta de maneira mais significativa quando os dispositivos apresentam menores comprimentos de canal, de 1000 até 200 nm a resistência sofreu uma variação de 125 %, e de 200 até 25 nm a variação foi maior, acima de 150 %. Este efeito está relacionado à limitação do caminho médio livre dos fônons que é acentuada à medida que o dispositivo fica mais curto.

Figura 57 - Curva indicando o comportamento resistência térmica em função do comprimento de canal para dispositivos com $t_{\text{box}} = 400$ nm.



Fonte: Autor.

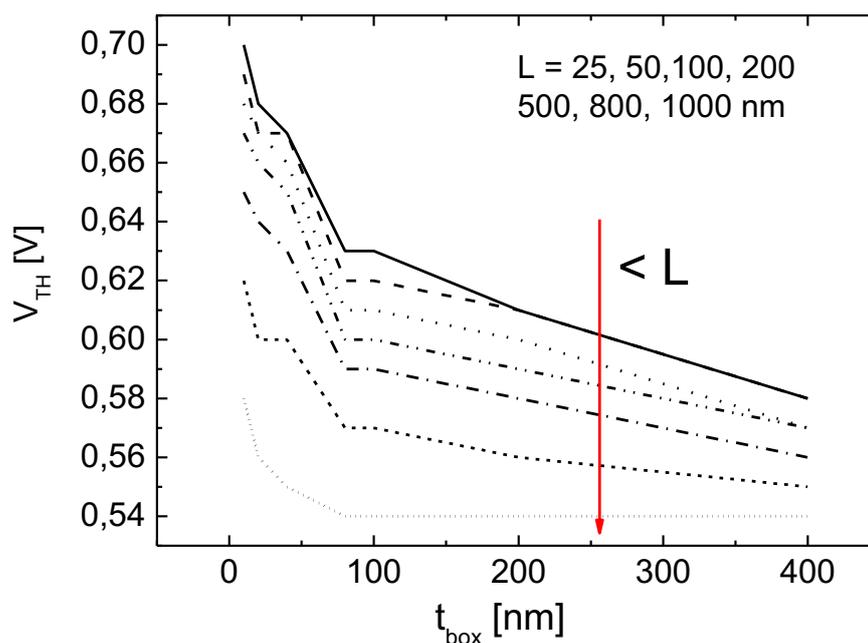
5.7 COMPORTAMENTO TÉRMICO EM FUNÇÃO DA ESPESSURA DO BOX.

Buscando avaliar o impacto da espessura da camada de óxido enterrado nas propriedades térmicas, foram simuladas estruturas semelhantes às anteriores variando-se a espessura do BOX, que agora assumiram as dimensões de 400, 200, 100, 80, 60, 40, 20 e 10 nm. É importante mencionar que, para cada redução de espessura do BOX, foi adicionado o equivalente em silício extra ao substrato dos dispositivos a fim de manter uma espessura total de material abaixo do silício do canal de 500 nm. Foram também avaliados os efeitos da variação do BOX em relação à

tensão de limiar, à inclinação de sublimiar e ao DIBL, que apresentaram variações, uma vez que, ao alterar-se a espessura do BOX, o acoplamento capacitivo também é alterado.

A figura 58 indica o comportamento da tensão de limiar, que foi extraída de acordo com método já utilizado (18), com relação à espessura do BOX e pode se verificar um aumento na tensão de limiar com a redução da espessura do BOX com uma taxa de variação menor à medida que o dispositivo fica mais curto. O dispositivo com comprimento de canal de 1000 nm apresentou um aumento de 0,12 V com a espessura do BOX indo de 400 até 10 nm de variação, ao passo que o dispositivo com comprimento de canal de 25 nm apresentou um aumento de 0,07 V com o BOX variando nas mesmas condições. Este efeito ocorre em função do diferente arranjo capacitivo que o dispositivo assume a cada espessura do BOX.

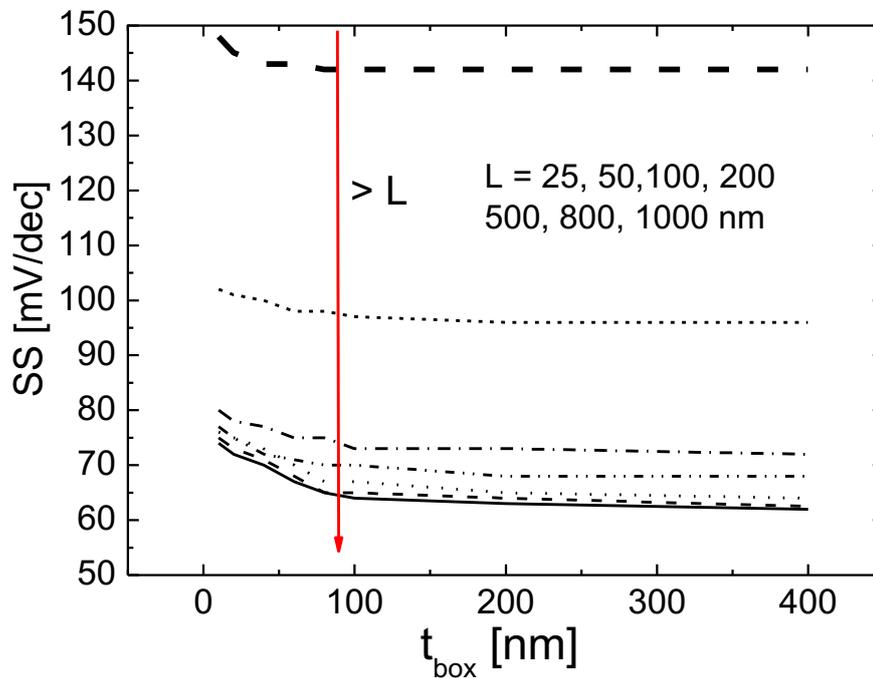
Figura 58 – Curvas indicando o comportamento da tensão de limiar em função da espessura do BOX para transistores de diferentes comprimentos de canal.



Fonte: Autor.

A figura 59 trata da inclinação de sublimiar, que apresenta um comportamento similar ao da tensão de limiar. Pode-se observar um aumento da inclinação de sublimiar com a redução da espessura do BOX, cuja taxa de variação apresenta uma redução à medida que o dispositivo fica mais curto. No dispositivo com L de 1000 nm, a inclinação apresenta uma variação de 10 mV/dec, enquanto que o dispositivo com L de 25 nm apresenta variação de 5 mV/dec. Em relação à variação de t_{box} de 10 a 400 nm.

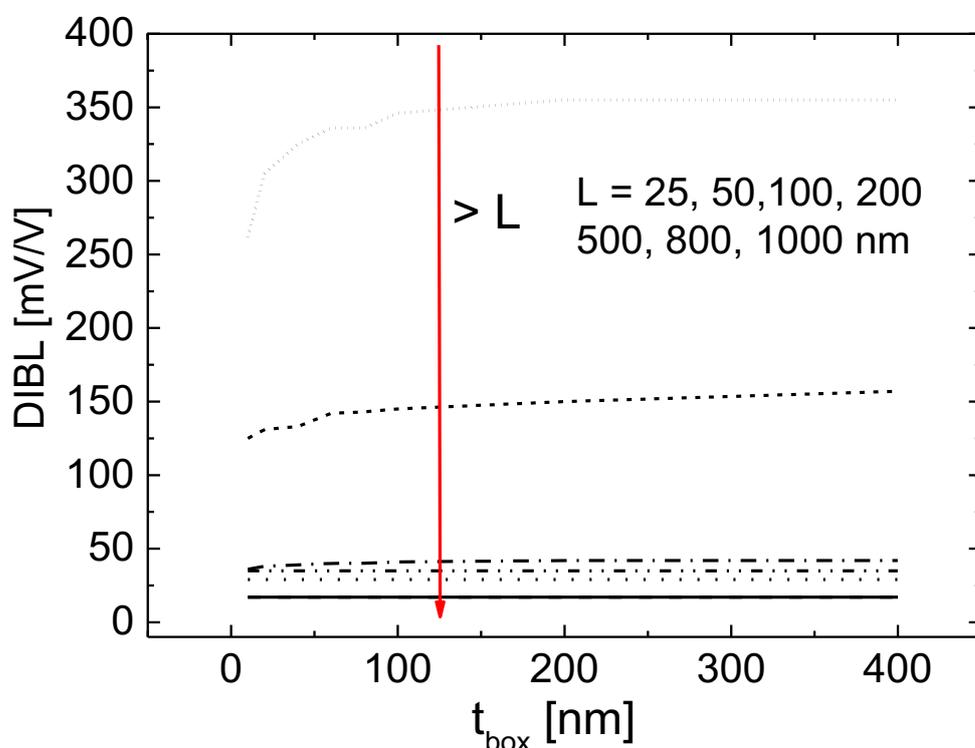
Figura 59 - Curvas indicando o comportamento da inclinação de sublimiar em função da espessura do BOX.



Fonte: Autor.

A figura 60 indica o comportamento do DIBL, que diminui com a redução da espessura do BOX. Nesta figura, pode-se perceber uma taxa de variação maior à medida que o dispositivo fica mais curto. Este efeito também decorre de um diferente arranjo capacitivo em função da variação da espessura do BOX. Enquanto que no dispositivo mais longo não houve variação do DIBL com a espessura do BOX, o dispositivo mais curto apresentou uma variação de 100 mV/V, com o BOX sendo reduzido de 400 para 10 nm.

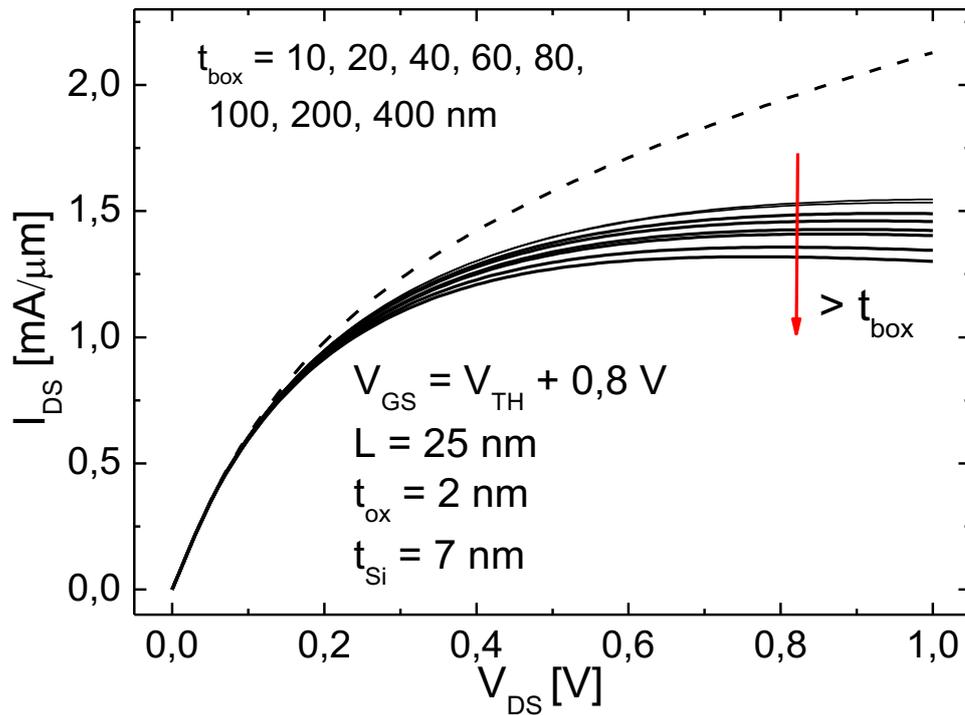
Figura 60 - Curvas indicando o comportamento do DIBL em função da espessura do BOX para dispositivos de diferentes comprimentos de canal.



Fonte: Autor.

Na figura 61 são apresentadas curvas da corrente de dreno em função da tensão de dreno da estrutura com comprimento de canal de 25 nm para diferentes espessuras do BOX. A curva tracejada representa o comportamento da corrente de dreno sem contabilizar o autoaquecimento e pode ser considerada como uma referência para as demais. Observa-se uma maior degradação da corrente de dreno para as maiores espessuras do BOX em função dos dispositivos com BOX mais espesso apresentarem autoaquecimento mais intenso.

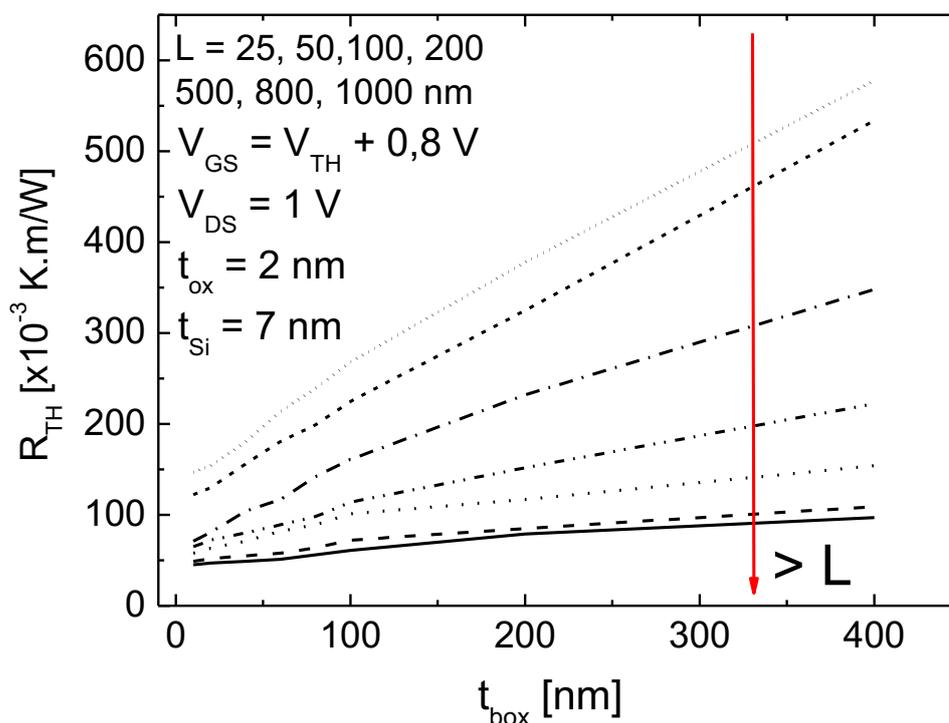
Figura 61 - Curvas I_{DS} x V_{DS} com diferentes espessuras do BOX.



Fonte: Autor.

A figura 62 indica o comportamento da resistência térmica, confirmando que a espessura do BOX apresenta uma relação aproximadamente linear com R_{TH} . A taxa de inclinação das curvas obtidas é maior quanto menor for o comprimento de canal do dispositivo. Ao se variar t_{box} de 400 a 10 nm, o dispositivo mais longo apresentou uma variação em R_{TH} de 50 KmW^{-1} , enquanto que no dispositivo mais curto essa variação foi de mais de 500 KmW^{-1} . A observação destes efeitos está associada ao fato de os dispositivos mais curtos apresentarem uma influência do autoaquecimento mais intensa, associada à menor área para a dissipação térmica.

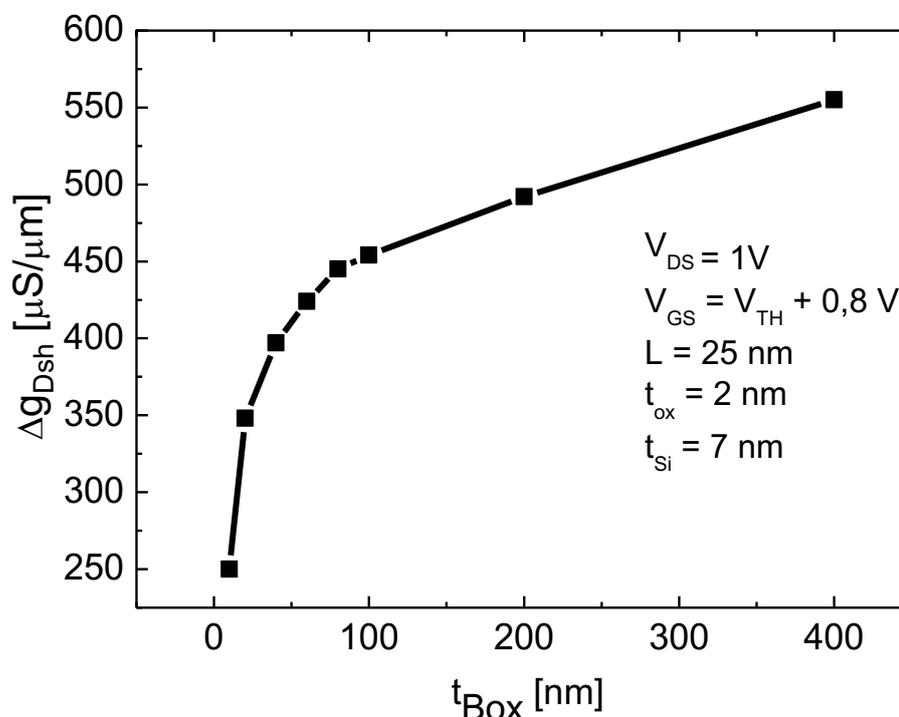
Figura 62 - Curvas indicando o comportamento da resistência térmica com a espessura do BOX.



Fonte: Autor.

Os resultados da análise AC são apresentados na figura 63, que mostra um gráfico da variação de g_D devido ao autoaquecimento (Δg_{DSH}) em função da espessura do BOX. Nesta figura, observa-se que Δg_{DSH} apresenta a mesma tendência verificada na análise anterior. Quanto maior a espessura do BOX, maior será Δg_{DSH} , indicando que a degradação de g_D é maior em dispositivos com BOX mais espessos. A variação de $250 \mu\text{S}/\mu\text{m}$ é observada no dispositivo com BOX de 10 nm ao passo que, no dispositivo com o BOX de 400 nm, a variação é de mais de $550 \mu\text{S}/\mu\text{m}$, indicando um aumento de mais de 120 %.

Figura 63 – Gráfico indicando o comportamento da variação da condutância de saída devido ao autoaquecimento (Δg_{Dsh}) em função da espessura do BOX.



Fonte: Autor.

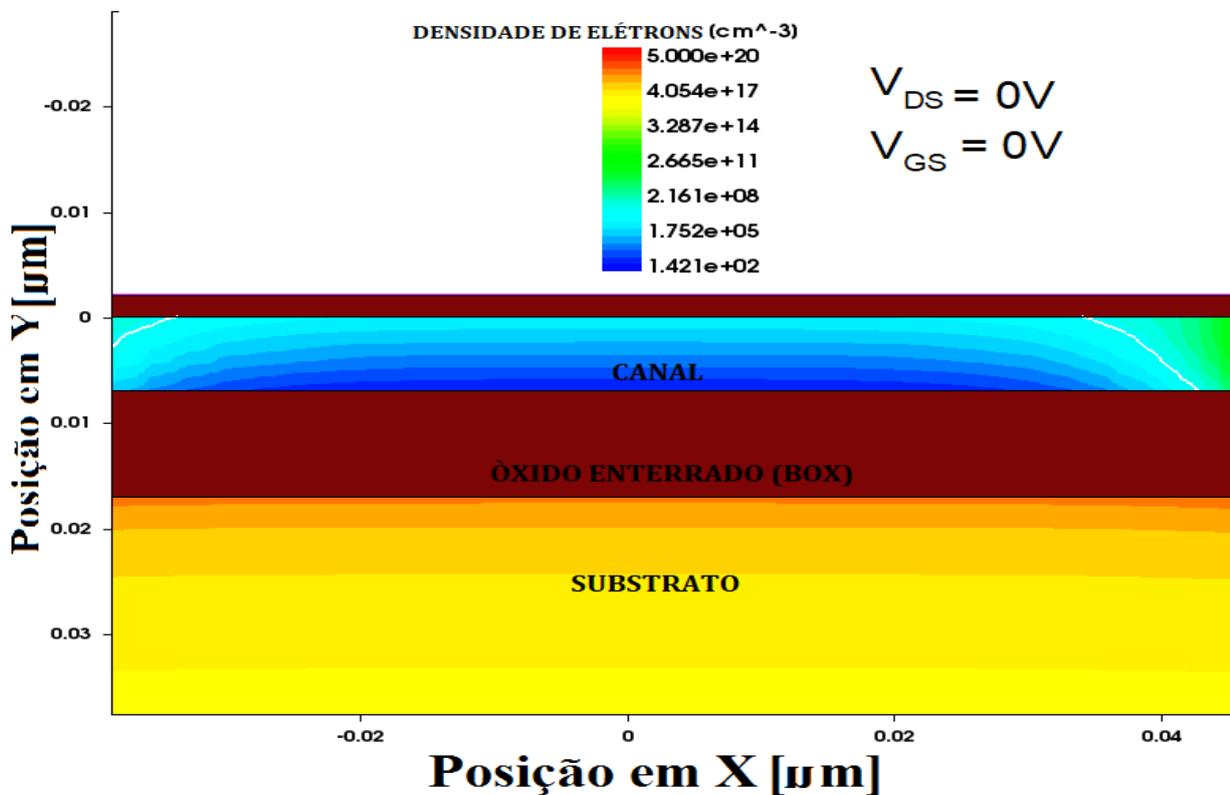
5.8 COMPORTAMENTO TÉRMICO EM RELAÇÃO À POLARIZAÇÃO DO SUBSTRATO

Como mencionado no item 2.3, em transistores de camada de silício e óxido ultrafinas (UTBB), a polarização do substrato é mais efetiva, provocando uma maior influência no comportamento das cargas no canal do dispositivo. Este recurso atribui características de uma segunda porta (*Back Gate*) à polarização do substrato.

Foram aplicadas tensões de -2 e 2 V apenas ao terminal de substrato (V_{SUB}), mantendo-se os demais terminais com polarização nula, e as figuras 64 e 65 ilustram a distribuição das cargas no interior do canal do dispositivo com espessura do BOX de 10 nm e comprimento de canal de 100 nm. É importante relembrar que os dispositivos simulados são do tipo nMOS, que são transistores cujo canal de condução de corrente da fonte para o dreno é formado por elétrons, sendo estes chamados de portadores minoritários. Quando -2 V é aplicado ao substrato, os elétrons na região da segunda interface, formada pelo silício do canal e o óxido enterrado, são repelidos. Como mostrado na figura 64, pode-se notar uma menor concentração de elétrons na região da segunda interface. Por outro lado, quando é aplicado 2 V no terminal de substrato, os portadores

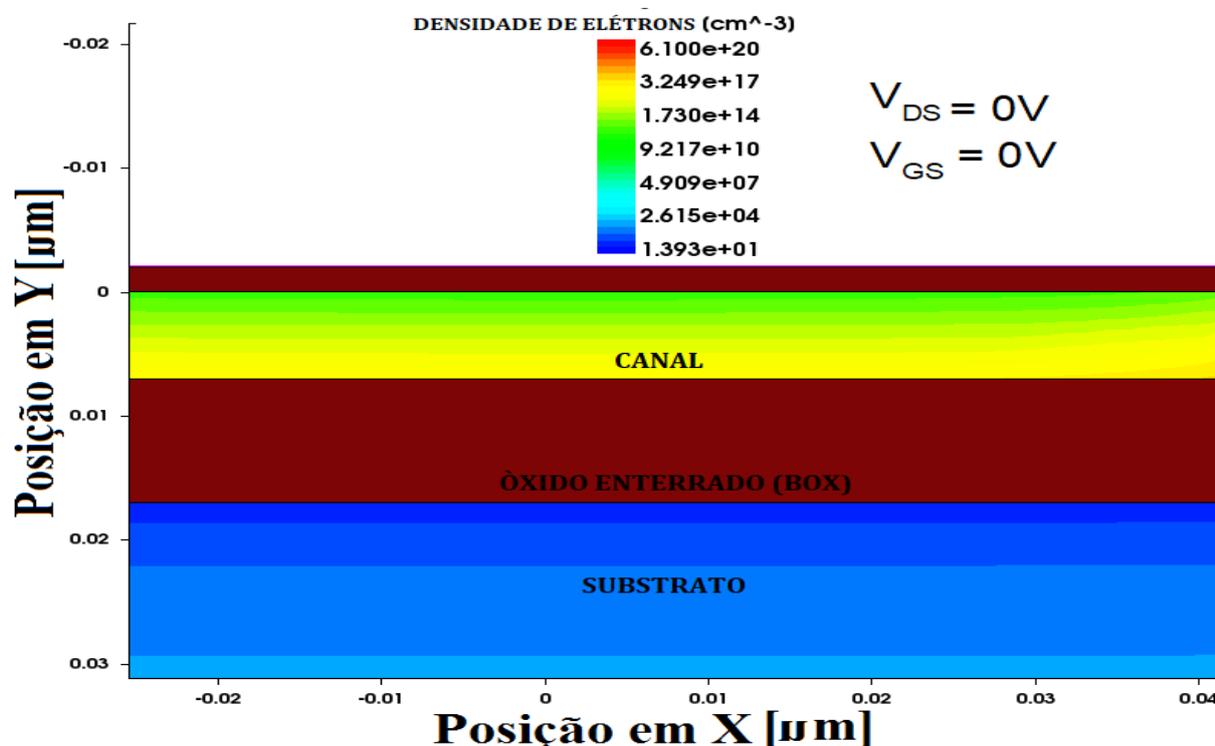
minoritários são atraídos para a região da segunda interface. Desta forma, a figura 65 indica uma maior concentração de elétrons na região próxima à segunda interface. Esta distribuição dos elétrons ao longo da camada de silício acaba por provocar uma influência na tensão de limiar dos dispositivos, uma vez que a tensão aplicada a porta necessária para que ocorra a inversão do canal deverá ser suficiente para compensar o efeito da polarização de substrato.

Figura 64 - Figura ilustrando a distribuição de elétrons no canal com aplicação de V_{SUB} de -2V para um dispositivo com $L = 25$ nm e $t_{box} = 10$ nm.



Fonte: Autor.

Figura 65 - Figura ilustrando a distribuição de elétrons no canal com a aplicação de V_{SUB} de 2V para um dispositivo com $L = 25$ nm e $t_{BOX} = 10$ nm.

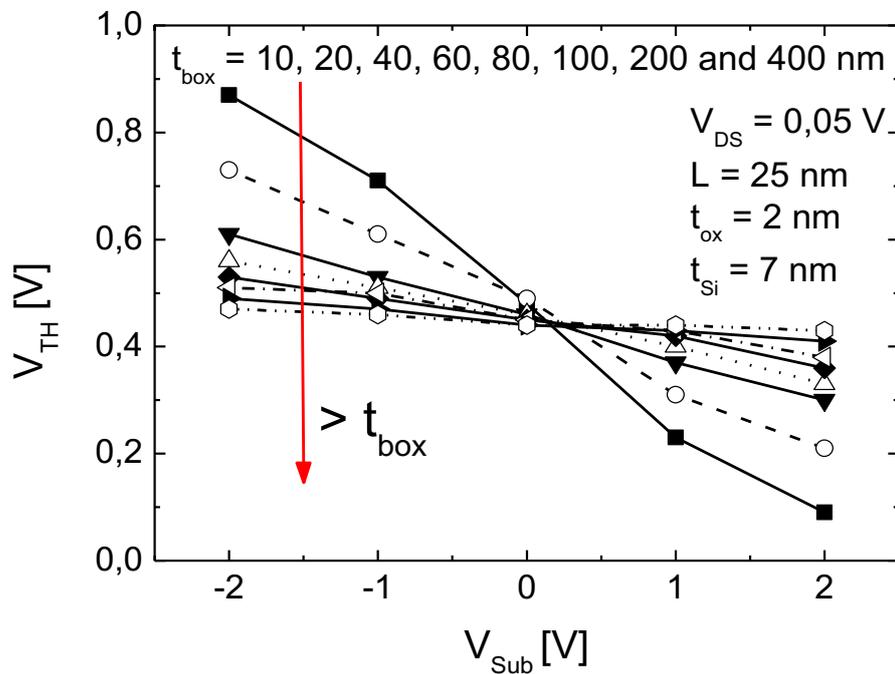


Fonte: Autor.

Uma influência considerável na tensão de limiar, na inclinação de sublimiar e no DIBL (10) é observada com a polarização do substrato, que neste trabalho foi submetido a uma faixa de tensão de -2 a 2 V. Esta análise foi efetuada considerando-se apenas o dispositivo mais curto, de comprimento de canal de 25 nm, que é mais suscetível aos efeitos de canal curto (SCEs), com todas as espessuras de BOX analisadas até então.

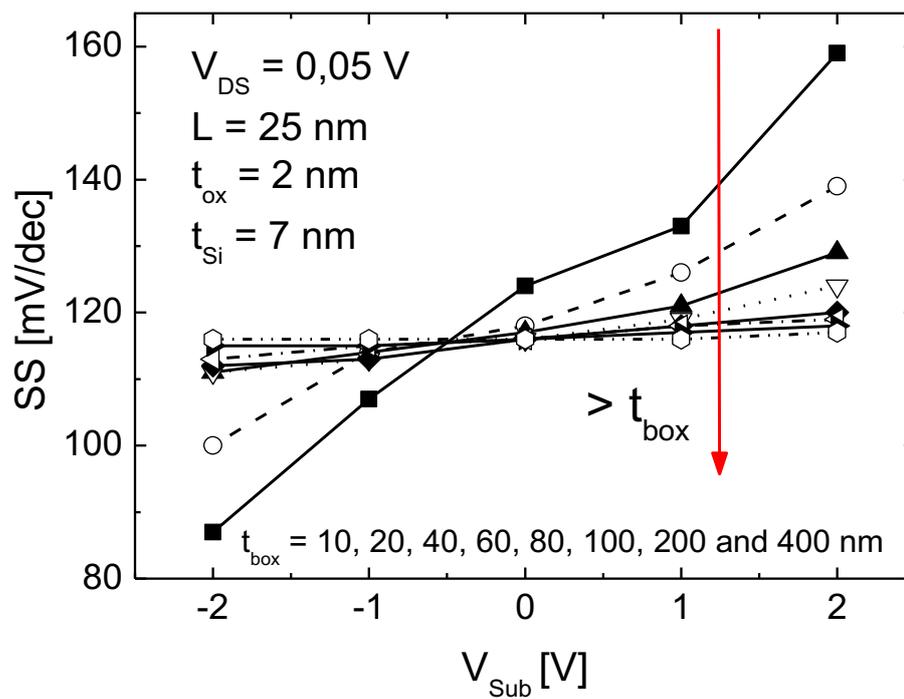
Observa-se, nas figuras 66, 67 e 68, que a polarização do substrato tem sua influência reduzida a medida que o BOX fica mais espesso. No dispositivo com a menor espessura de BOX (10 nm), variando-se a tensão no substrato de -2 a 2 V, nota-se que a tensão de limiar tem uma variação de 0,8 V, que compreende a uma faixa de 0,9 a 0,1 V. A inclinação de sublimiar apresenta uma variação de 83%, que compreende uma faixa de 87 a 159 mV/dec e o DIBL apresenta uma variação de 118% que compreende uma faixa de 147 a 321 mV/V. Todos efeitos observados ocorrem em função de um diferente acoplamento capacitivo que os dispositivos assumem com a utilização da polarização do substrato.

Figura 66 - Curvas da tensão de limiar (V_{TH}) em função da tensão no substrato (V_{SUB}) para diferentes espessuras de BOX.



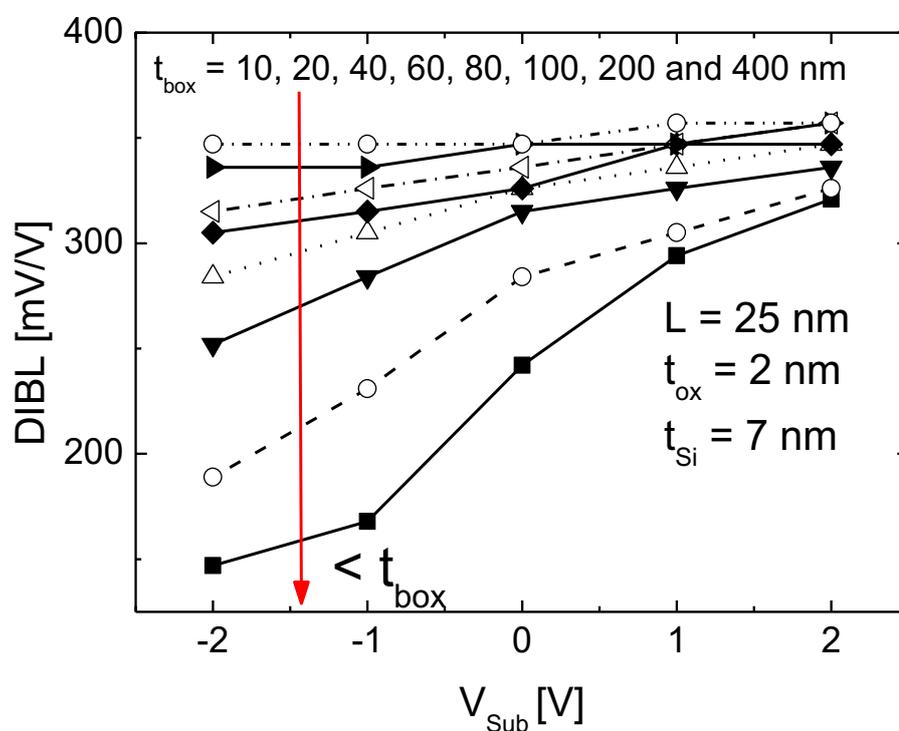
Fonte: Autor.

Figura 67 - Curvas da inclinação de sublimiar (SS) em função da tensão no substrato (V_{SUB}) para diferentes espessuras de BOX.



Fonte: Autor.

Figura 68 - Curvas do DIBL em função da tensão no substrato (V_{SUB}) para diferentes espessuras de BOX e dispositivo com comprimento de canal de 25 nm.

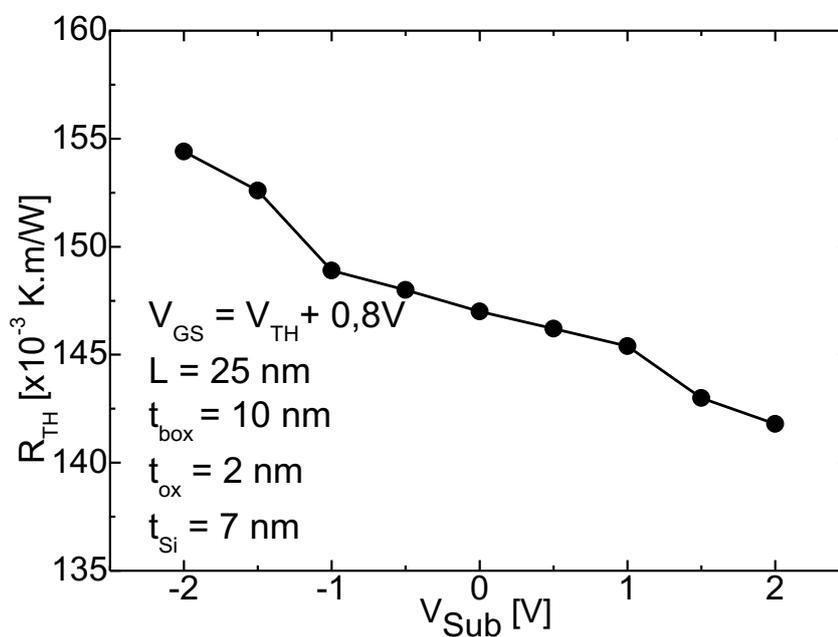


Fonte: Autor.

Como verificado, a espessura do BOX tem uma influência direta nos efeitos da polarização do substrato, sendo que o dispositivo com menor BOX obteve variações mais consideráveis nos efeitos nocivos de canal curto. Uma análise inédita foi efetuada nas propriedades térmicas em relação à polarização do substrato do dispositivo com BOX de 10 nm de espessura e comprimento de canal de 25 nm.

A figura 69 indica que a resistência térmica sofre um aumento com a redução da tensão do substrato, em um comportamento aproximadamente linear. A resistência térmica apresenta uma variação de 9 %, que compreende uma faixa de 154 a 141 KmW^{-1} .

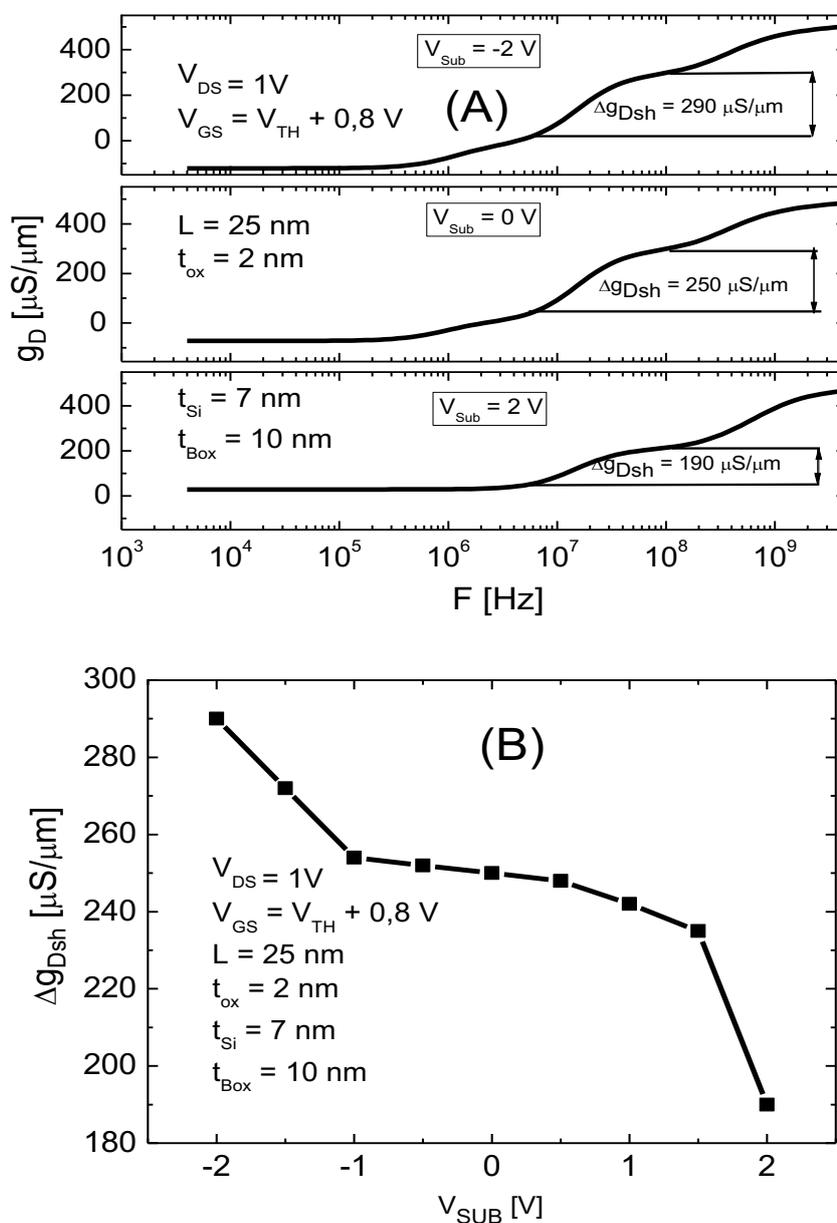
Figura 69 - Gráfico indicando o comportamento da resistência térmica em função da tensão no substrato (V_{SUB}).



Fonte: Autor

A análise AC do dispositivo com a aplicação de V_{SUB} demonstra comportamento semelhante, conforme indicado na figura 70 (A), que mostra as curvas de g_D em função da frequência para diferentes V_{SUB} . Na figura 70 (B), o comportamento de Δg_{DSH} apresenta a mesma tendência para todo o intervalo de V_{SUB} -2 a 2 V. A degradação da condutância de saída aumenta à medida que V_{SUB} é reduzido, indicando que o SHE é mais acentuado nos dispositivos com V_{SUB} mais baixos.

Figura 70 - Gráficos indicando o comportamento da condutância de saída em função da frequência para diferentes V_{SUB} em (A) e o comportamento do Δg_{Dsh} em função de V_{SUB} em (B).

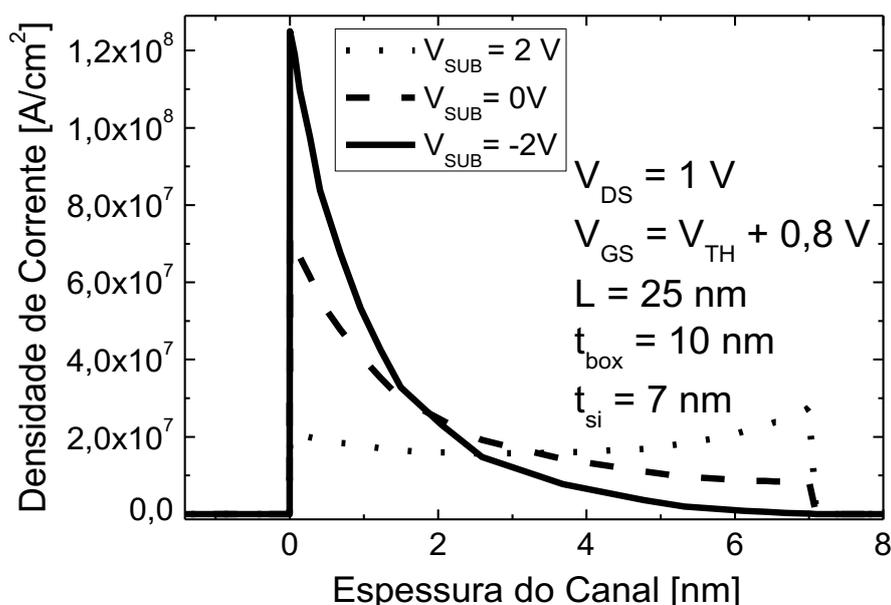


Fonte: Autor.

Este comportamento ocorre devido a um acoplamento capacitivo diferente a cada polarização do substrato que muda a distribuição das cargas no interior do canal como indicado na figura 71, que consiste de um corte vertical feito no centro da estrutura. Verifica-se uma maior densidade de cargas na região superior do canal, no dispositivo com o substrato polarizado com -

2 V e uma distribuição de cargas em toda a espessura do canal no dispositivo com o substrato polarizado em 2 V.

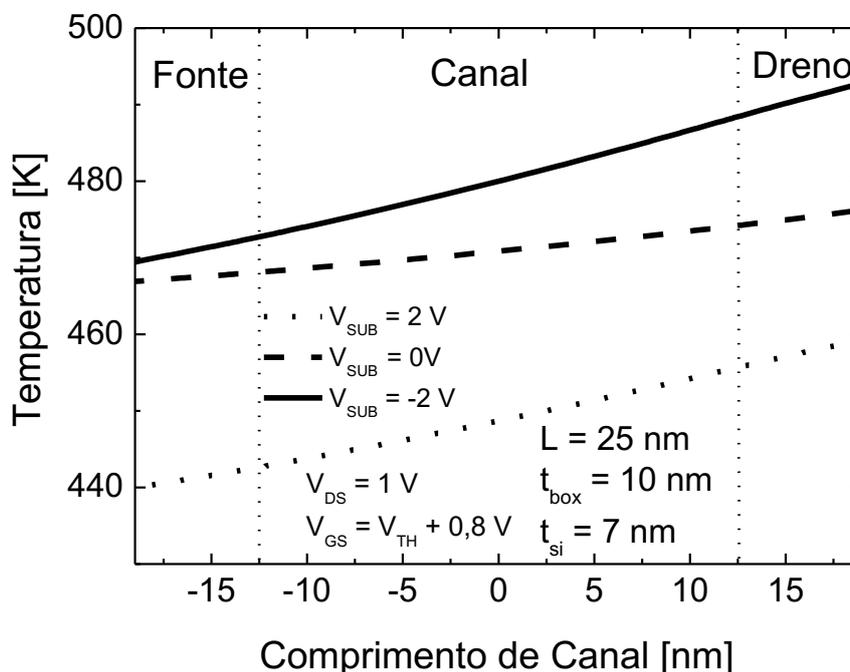
Figura 71 - Corte na estrutura indicando a densidade de corrente no interior do canal para V_{SUB} igual a -2, 0 e 2 V.



Fonte: Autor

Como visto anteriormente, ao polarizar o substrato com -2 V, os elétrons são repelidos da segunda interface, fazendo com que a corrente flua concentrada na região superior do canal. A temperatura no interior do canal para as diferentes polarizações do substrato é apresentada na figura 72, ao longo do comprimento do canal, 1 nm abaixo do óxido de porta. As curvas extraídas também acompanham a tendência, exibindo uma temperatura mais elevada para o substrato polarizado em -2 V. Verifica-se um comportamento diferente no dispositivo com o substrato polarizado com 2 V. Neste caso, os elétrons são atraídos para a região da segunda interface, fazendo com que a corrente flua mais distribuída ao longo do canal, exibindo uma temperatura menor como indicado na figura 72. Em todas as condições de polarização do substrato, o dispositivo apresenta um incremento na temperatura na região próxima ao dreno como descrito no item 3.1.

Figura 72 - Corte na estrutura indicando temperatura no interior do canal para V_{SUB} igual a -2, 0 e 2 V.



Fonte: Autor.

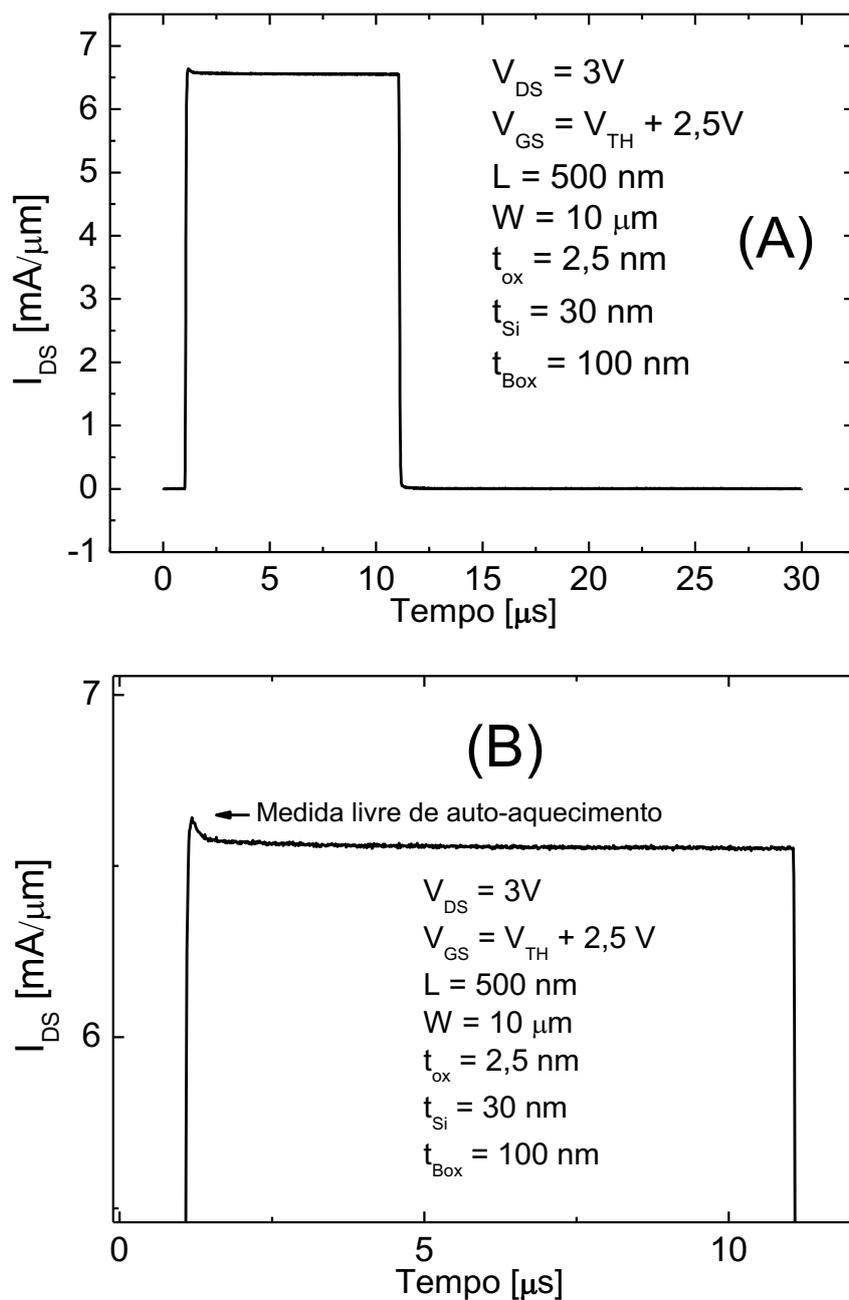
5.9 COMPORTAMENTO TÉRMICO EM RELAÇÃO À POLARIZAÇÃO DO SUBSTRATO EM MEDIDAS EXPERIMENTAIS.

Visando comprovar experimentalmente os resultados simulados, foram efetuadas medidas experimentais pulsadas, conforme descrito no item 4.2, em dispositivos do tipo FDSOI nMOS com as seguintes características: comprimento de canal de 500, 300 e 100 nm, largura de canal (W) de $10\mu\text{m}$, espessura da camada de silício do canal de 30 nm, comprimento das regiões de fonte e dreno de 50 nm, elevação total fonte e dreno de 80 nm, óxido de porta com espessura de 2,5 nm, óxido enterrado (BOX) com espessura de 100 nm. Foram feitas medidas iniciais afim de determinar o tempo de subida dos pulsos para que o dispositivo medido apresentasse corrente livre de SHE, tempo de subida longo acaba por reduzir a eficácia da medida pulsada, uma vez que ao chegar ao valor máximo do pulso de tensão, o canal do dispositivo já apresentaria aumento na temperatura não permitindo deste modo a obtenção de uma medida livre de SHE.

Foram utilizados pulsos com tempo de subida e descida de 100 ns, largura de $10\mu\text{s}$ e intervalo entre os pulsos de $20\mu\text{s}$, como indicado na figura 73 (A). A figura 73 (B) exhibe o detalhe

do pulso indicando o ponto na curva livre de autoaquecimento, onde o analisador de parâmetros utilizado (B1500A) coleta a corrente para produzir curvas $I_{DS} \times V_{DS}$ livres de autoaquecimento.

Figura 73 – Figura representando a configuração dos pulsos em (A) e o detalhe da mesma curva mostrando o ponto livre de autoaquecimento em (B).

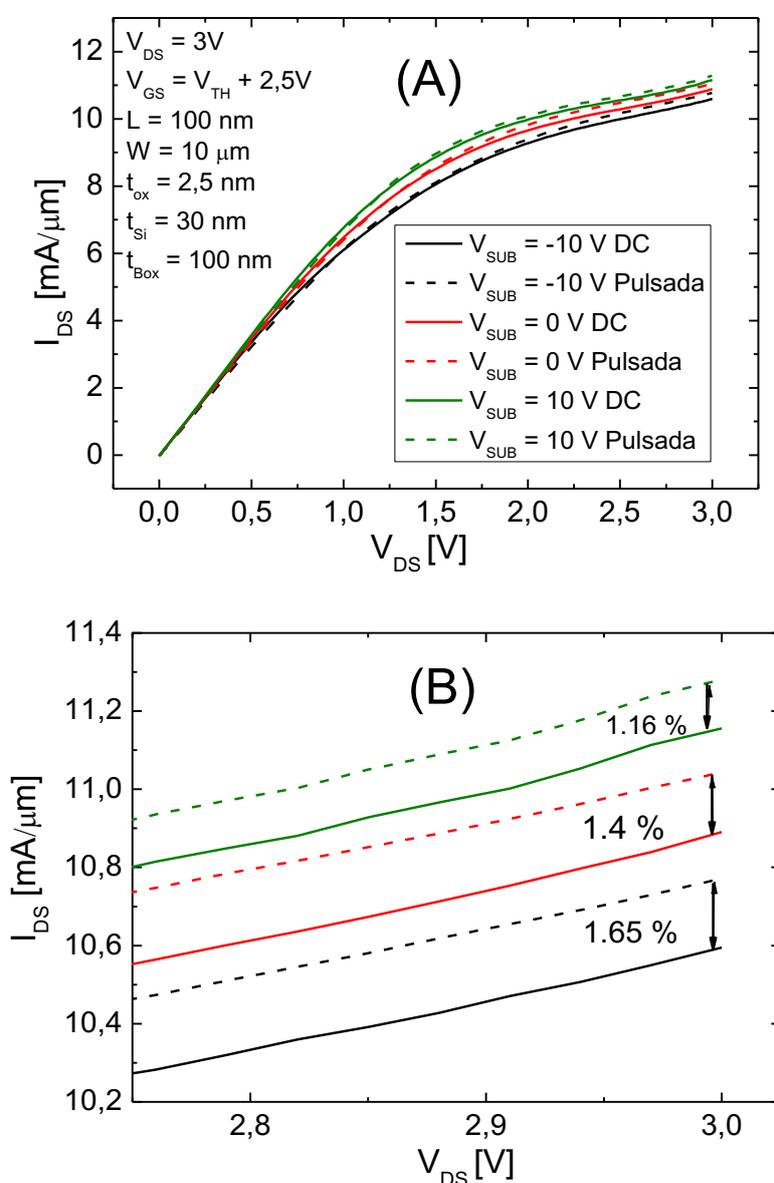


Fonte: Autor

As curvas na figura 74 (A) indicam o comportamento dos dispositivos com a aplicação de V_{SUB} , onde são observados que as correntes das diferentes polarizações de V_{SUB} não apresentam

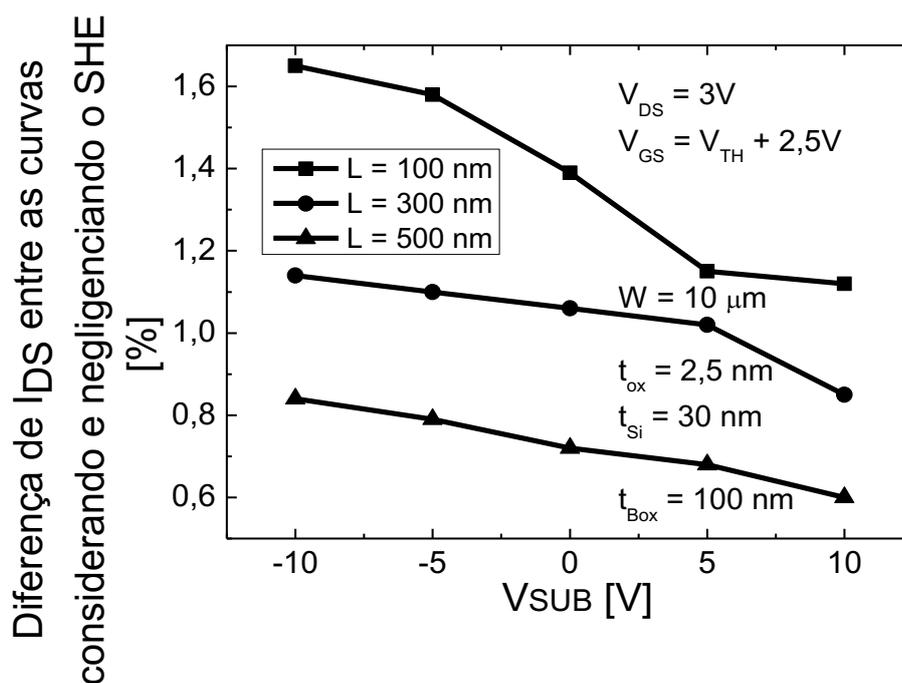
uma diferença significativa ficando em torno de 5 %, indicando que o dispositivo está polarizado na mesma condição de consumo em quaisquer dos V_{SUB} . Verifica-se que as curvas pulsadas apresentam uma diferença com relação às curvas DC, e esta diferença aumenta conforme se reduz V_{SUB} . Na figura 74 (B) está o detalhe das curvas no ponto com tensão de dreno (V_{DS}) de 3 V, que permite uma melhor visualização das diferenças entre as curvas DC e pulsadas. Para V_{SUB} de -10 V, a diferença é de 1,65%, enquanto que em V_{SUB} de 10 V, a diferença reduz para 1,16% e, sem a aplicação de V_{SUB} , a diferença fica em 1,4%.

Figura 74 – Curvas experimentais DC e pulsadas para diferentes V_{SUB} em (A) e o detalhe das curvas indicando a diferença percentual entre as curvas DC e pulsadas em (B).



A figura 75 indica a diferença de corrente entre as curvas DC (considerando o SHE) e pulsadas (removendo-se o SHE) com a aplicação de V_{SUB} . Observa-se que o efeito do autoaquecimento é mais intenso com a aplicação de V_{SUB} de -10 V nos três dispositivos, pois apresenta a maior diferença. Verifica-se também que o comportamento é mais intenso no dispositivo mais curto com L de 100 nm, devido à menor região para dissipação térmica, este dispositivo apresenta diferenças entre as curvas DC e pulsadas de 1,65 e 1,12 % com V_{SUB} em -10 e 10 V respectivamente enquanto que o dispositivo com L de 500 nm apresenta diferenças de 0,84 e 0,60 % nas mesmas condições de polarização de V_{SUB} . A resistência térmica não foi extraída, onde apenas a observação das diferenças entre as curvas DC e pulsadas foram suficientes para a observação dos efeitos obtidos através das simulações dos dispositivos, assim como a análise AC não foi efetuada uma vez que os dispositivos experimentais não dispunham de características necessárias para este tipo de análise. Os resultados das medidas experimentais apresentaram o mesmo comportamento da análise efetuada através das simulações, dispositivos mais curtos apresentaram maior influência do SHE devido ao espalhamento fônons uma vez que a área de dissipação é menor nos dispositivos mais curtos, bem como também a polarização do substrato apresentou a mesma tendência onde o SHE é mais intenso com a redução de V_{SUB} .

Figura 75 – Figura indicando as diferenças em porcentagem entre as curvas DC e pulsadas para dispositivos com comprimento de canal de 100, 300 e 500 nm em relação a V_{SUB} .

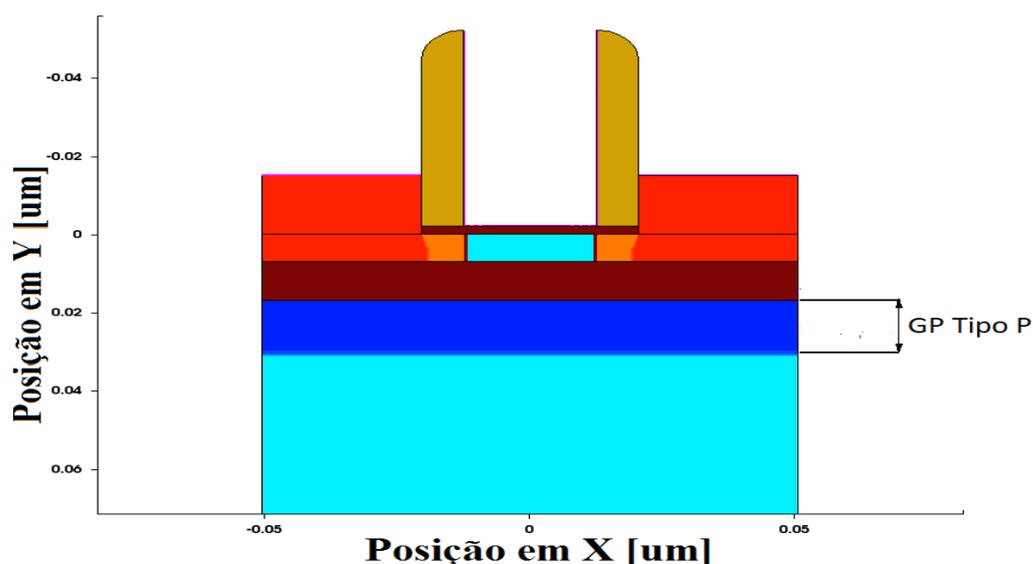


5.10 DISPOSITIVOS IMPLEMENTADOS COM PLANO DE TERRA (*GROUND PLANE*- GP)

Transistores SOI UTBB apresentam melhores propriedades térmicas em relação ao SOI UTB devido à camada ultrafina de óxido enterrado (BOX), mas com a redução da espessura do BOX, um efeito indesejável passa a ocorrer, que trata se de um acoplamento parasitário das regiões de fonte e dreno com o substrato, denominado de efeito de substrato (*Substrate Effect*). Este efeito provoca uma alteração nas características de saída dos dispositivos, particularmente na condutância de saída (53). A implementação de um Plano de Terra (*Ground Plane* - GP) permite a redução do efeito de substrato (16), além de possibilitar a polarização individual do substrato de cada dispositivo (10), que antes era comum a todos os dispositivos da lâmina. Esta implementação se dá através de uma dopagem extra realizada no substrato da lâmina, na região abaixo do BOX. Face aos benefícios do Plano de Terra, foi efetuada a análise das características térmicas dos dispositivos, com a introdução da dopagem extra abaixo do BOX, que constitui o GP.

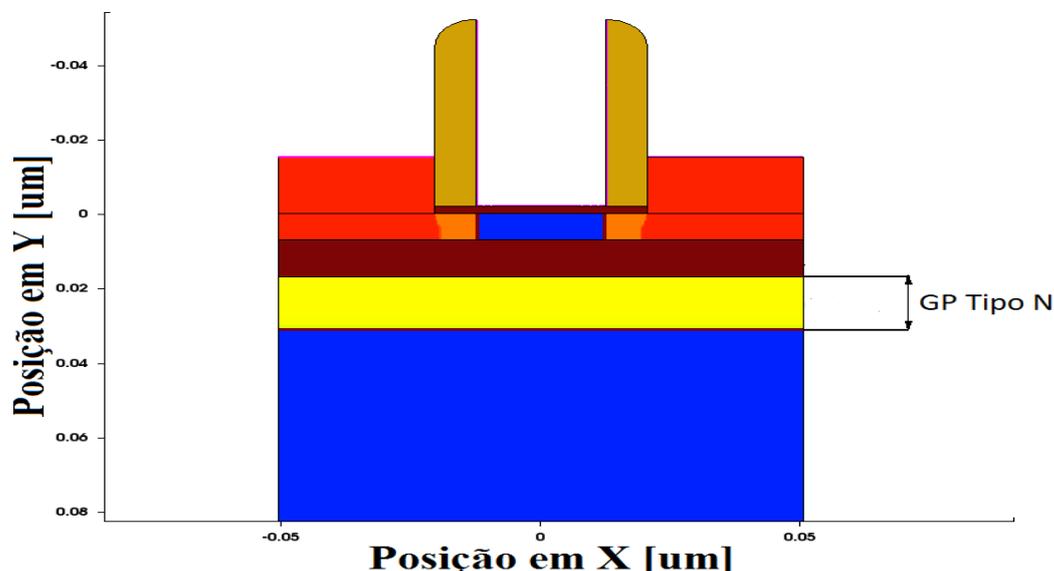
As figuras 76 e 77 ilustram as estruturas simuladas com o Plano de Terra. É importante mencionar que a concentração de dopantes dos GPs, tipo P e tipo N, é de $1 \times 10^{18} \text{ cm}^{-3}$ e ambos apresentam uma espessura de 10 nm.

Figura 76 - Estrutura simulada com a implementação de GP tipo P com dopagem extra de boro logo abaixo do BOX.



Fonte: Autor.

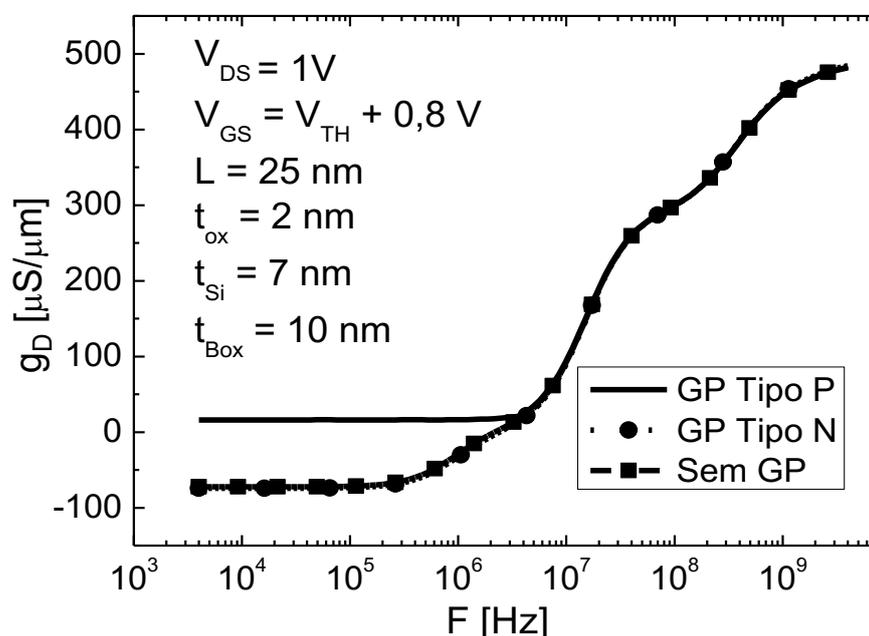
Figura 77 - Estrutura simulada com a implementação de GP tipo N com dopagem extra de arsênio logo abaixo do BOX.



Fonte: Autor.

A figura 78 apresenta curvas da condutância de saída em função da frequência para dispositivos com diferentes GPs, onde constata-se a eficácia do Plano de Terra na redução dos efeitos de substrato para o GP tipo P. A variação de g_D devido aos efeitos do substrato é reduzida, especialmente na região do $\Delta g_{D\text{SUBMIN}}$ referente aos portadores minoritários onde houve um acréscimo de $85 \mu\text{S}$ com a supressão do $\Delta g_{D\text{SUBMIN}}$ referente aos portadores minoritários. Este efeito ocorre em função da redução do acoplamento parasitário (efeito do substrato) entre as regiões de fonte e dreno e o substrato do dispositivo promovido pela dopagem tipo P presente no GP. O GP tipo N não apresentou uma diferença significativa em relação ao dispositivo sem GP, assim como $\Delta g_{D\text{SH}}$ não apresentou uma diferença significativa em relação a quaisquer dos GPs.

Figura 78 - Gráficos indicando o comportamento da condutância de saída em função da frequência para diferentes GP.

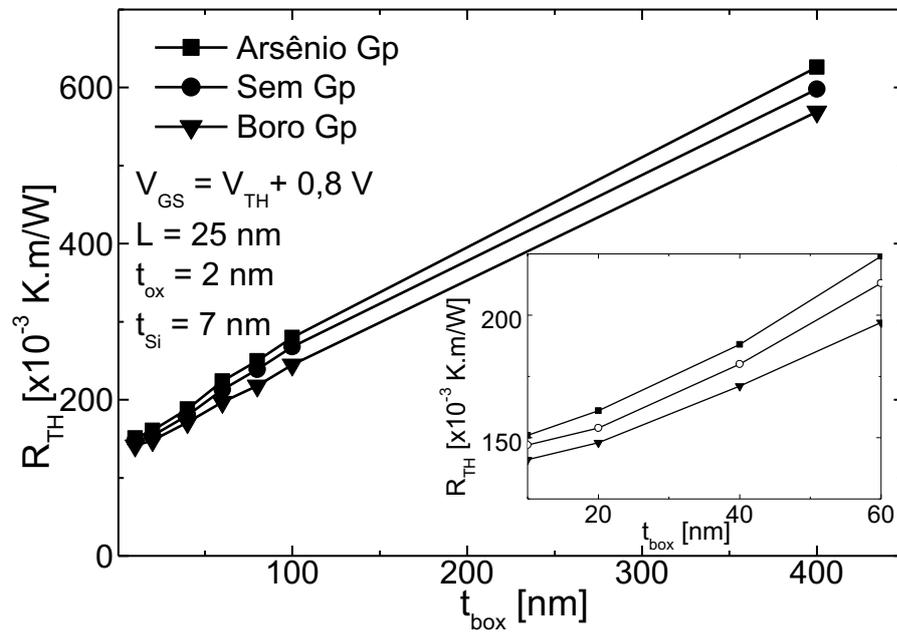


Fonte: Autor.

A análise efetuada através de simulações considerando e desprezando o autoaquecimento demonstrou que a resistência térmica pode apresentar uma variação de 5% entre os Planos de Terra. O dispositivo que apresentou o maior valor de R_{TH} foi o de GP tipo N, seguido pelo dispositivo sem GP e com GP tipo P, como indicado nas figuras 79 e 80, que ilustram o comportamento da resistência térmica em relação à espessura do BOX e em relação à polarização do substrato, respectivamente.

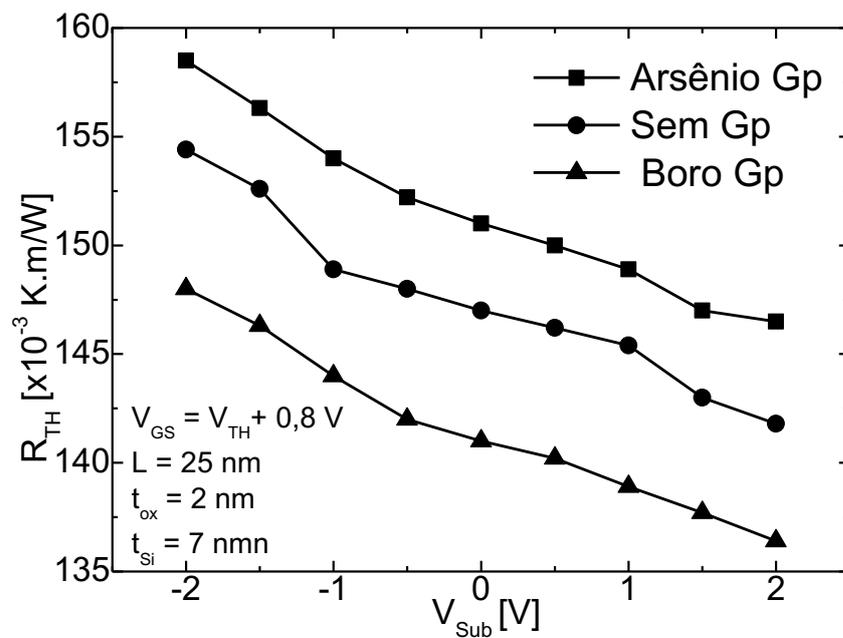
A diferença de 5% na resistência térmica dos dispositivos ocorre em virtude da espessura do GP que pode ser considerado também de camada ultrafina, de apenas 10 nm. O comportamento entre os GPs observado está associado também ao diferente acoplamento capacitivo induzido pelos GPs. Com relação à polarização do substrato, a resistência térmica teve uma variação de 9% com V_{SUB} variando de -2 a 2 V nos diferentes GPs.

Figura 79 - Curvas indicando o comportamento da resistência térmica com a espessura do BOX com diferentes GP.



Fonte: Autor.

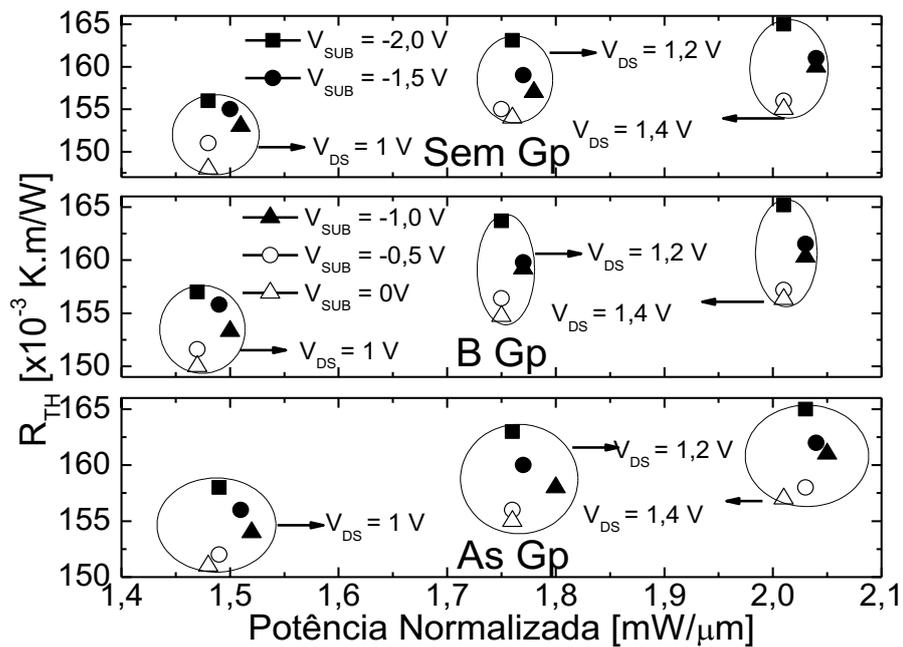
Figura 80 - Gráfico indicando o comportamento da resistência térmica em função da tensão no substrato (V_{SUB}) com diferentes GP.



Fonte: Autor.

A figura 81 indica que o dispositivo não sofre alteração significativa com relação à potência normalizada com a implementação dos Planos de Terra, como também não sofre alteração com a variação da polarização do substrato, indicando que o dispositivo está polarizado nas mesmas condições de consumo de potência em qualquer um dos casos da análise efetuada.

Figura 81 - Gráfico indicando o comportamento da resistência térmica em função da potência normalizada com a aplicação de polarização no substrato (V_{SUB}) e com diferentes GP.



Fonte: Autor.

6 CONCLUSÕES

Ao longo deste trabalho, foram analisadas as propriedades térmicas dos dispositivos tipo UTB e UTBB, quanto à espessura da camada de óxido enterrado, à utilização da polarização do substrato e à implementação do Plano de Terra, através de simulações 2D utilizando o software Sentaurus Device e medidas experimentais. Os resultados obtidos através das simulações indicam que, quanto menor a espessura do BOX, menor será a resistência térmica, apresentando uma variação aproximadamente linear; com uma atenuação nas espessuras menores que 40 nm, uma vez que o óxido enterrado oferece dificuldade à dissipação de calor através do substrato. Com a variação de t_{box} de 400 a 10 nm, o dispositivo mais longo apresentou uma variação na resistência térmica de 50 KmW^{-1} , enquanto que no dispositivo mais curto essa variação foi de mais de 500 KmW^{-1} indicando que dispositivos mais curtos são mais suscetíveis ao autoaquecimento.

A polarização do substrato produz uma variação linear onde, a resistência térmica aumenta com a redução da tensão aplicada ao substrato. Foi verificado uma variação de 9% na resistência térmica com a polarização do substrato entre -2 e 2 V, uma vez que a polarização do substrato altera o perfil da distribuição da corrente ao longo do canal.

Nas medidas experimentais não foi executado a extração da resistência térmica dos dispositivos medidos, pois buscou-se apenas a observação dos efeitos obtidos através das simulações efetuadas nas diferenças entre as medidas das curvas DC e pulsadas. Os resultados experimentais confirmaram o comportamento observado nas simulações quanto às dimensões dos dispositivos e em respeito à polarização do substrato. O dispositivo com menor comprimento de canal, de 100 nm apresentou maiores diferenças entre as curvas DC e pulsadas de 1,65 e 1,12 % com a polarização do substrato entre -10 e 10 V enquanto que o dispositivo com L de 500 nm apresentou diferenças de 0.84 e 0.60 % nas mesmas condições de polarização do substrato indicando que dispositivos mais curtos sofrem mais intensamente com o autoaquecimento assim como a polarização do substrato, onde observa-se uma maior influência do autoaquecimento com a redução da polarização do substrato.

Nas simulações, a implementação do Plano de Terra é importante em dispositivos com BOX de camadas ultrafinas, sendo responsável por uma variação de 5% na resistência térmica entre os diferentes Planos de Terra, sendo o de maior resistência o tipo N, seguido pelo dispositivo sem Plano de Terra e pelo com Plano de Terra tipo P. A condutância de saída através da simulação AC, apresenta um comportamento semelhante ao das análises DC, onde as variações da condutância de saída devido ao autoaquecimento são maiores nos dispositivos com BOX mais

espessos e a polarização do substrato faz com que a variação aumente com a redução da polarização do substrato. E por fim, os dispositivos polarizados com diferentes tensões no substrato e com diferentes GPs também não apresentaram uma mudança significativa na potência normalizada dissipada, indicando que os dispositivos estão polarizados nas mesmas condições de consumo de potência.

Como sugestões de trabalhos futuros, poderão ser efetuados: a extração da resistência térmica dos dispositivos experimentais tanto pelo método *Hot Chuck* quanto pelo método da análise AC descritos ao longo deste trabalho e também uma análise aprofundada dos efeitos do substrato quanto à espessura do BOX e com respeito à polarização do substrato.

REFERÊNCIAS BIBLIOGRÁFICAS

- 1 MOORE, G. E. Cramming more components onto integrated circuits. **IEEE Solid-state Circuits Society Newsletter**, [S. L.], v. 11, n. 3, p.33-35, set. 2006. Disponível em: <<https://ieeexplore.ieee.org/document/4785860/>>. Acesso em: 12 maio 2018.
- 2 YOUNG, K.K. Short-channel effect in fully depleted SOI MOSFETs. **IEEE Transactions on Electron Devices**, [S. L.], v. 36, n. 2, p.399-402, fev. 1989. Disponível em: <<https://ieeexplore.ieee.org/document/19942/>>. Acesso em: 12 maio 2018.
- 3 COLINGE, J.P. **Silicon-On-Insulator Technology: Materials to VLSI**. 3. ed. Massachusetts: Kluwer Academic Publishers, 2004.
- 4 TROUTMAN, R.R. Latchup in CMOS technology. **IEEE Circuits and Devices Magazine**, [S. L.], v. 3 n. 3 p.15-21, mai. 1987. Disponível em: <<https://ieeexplore.ieee.org/abstract/document/6323272/>>. Acesso em: 12 maio 2018.
- 5 CRISTOLOVEANU, S. **Electrical Characterization of Silicon-On-Insulator Materials and Devices**, Springer, 1995.
- 6 CHOI, Y. K. et al Ultrathin-Body SOI MOSFET for Deep-Sub-Tenth Micron Era. **IEEE Electron Device Letters**, [S. L.], v. 21, n. 5, p.254-255, mai. 2000. Disponível em: <<https://ieeexplore.ieee.org/document/841313/>>. Acesso em: 12 maio 2018.
- 7 BRACCIOLI, M. et al. Simulation of self-heating effects in different SOI MOS architectures. **Solid-State Electronics**, [S. L.], v. 53, n. 4, p.445–451, abr. 2009. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S0038110108004036>>. Acesso em: 12 maio 2018.
- 8 OLEJARZ, P. et al. 0.5 μ W Sub-Threshold Operational Transconductance Amplifiers Using 0.15 μ m Fully Depleted Silicon-on-Insulator (FDSOI) Process. **Journal of Low Power Electronics and Applications**, [S. L.], v. 2, n. 2, p.155–167, mai. 2012. Disponível em: <<http://www.mdpi.com/2079-9268/2/2/155>>. Acesso em: 12 maio 2018.
- 9 FENOUILLET-BERANGER, C. et al. Impact of a 10nm Ultra-Thin BOX (UTBOX) and Ground Plane on FDSOI devices for 32nm node and below. **ESSCIRC, 2009. Proceedings**, [S. L.], p.88-91 nov. 2009. Disponível em: <<https://ieeexplore.ieee.org/document/5325994/>>. Acesso em: 12 maio 2018.
- 10 NOEL, J. P. et al. Multi- V_T UTBB FDSOI Device Architectures for Low-Power CMOS Circuit. **IEEE Transactions on Electron Devices**, [S. L.], v. 58, n. 8, p.2473-2482, jun. 2011. Disponível em: < <https://ieeexplore.ieee.org/document/5887404/> >. Acesso em: 12 maio 2018.
- 11 COLINGE, J.P. **FinFETs and Other Multi-Gate Transistors**, ed. 1. Springer, 2008.
- 12 MAZURIER, J. et al. Ultra-Thin Body and Buried Oxide (UTBB) FDSOI Technology with Low Variability and Power Management Capability for 22 nm Node and Below. **Journal of Low Power Electronics**, [S. L.], v. 8, n. 1, p.125-132, fev. 2012. Anual, Disponível em: <<http://www.ingentaconnect.com/content/asp/jolpe/2012/00000008/00000001/art00013>>. Acesso em: 12 maio 2018.

- 13 SKOTNICKI, T. Competitive SOC with UTBB SOI. **SOI Conference (SOI), 2011 IEEE International** [S. L.], nov. 2011. Disponível em: <<https://ieeexplore.ieee.org/document/6081792/>>. Acesso em: 12 maio 2018.
- 14 MD ARSHAD, M.K. et al. UTBB SOI MOSFETs analog figures of merit: Effects of ground plane and asymmetric double-gate regime. **Solid-State Electronics**, [S. L.], v. 90, p.56-64, dez. 2013. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S0038110113001123> >. Acesso em: 12 maio 2018.
- 15 FIEGNA, C. et al. Analysis of Self-Heating Effects in Ultrathin-Body SOI MOSFETs by Device Simulation. **IEEE Transactions on Electron Devices**, [S. L.], v. 55, n. 1, p.233–244, jan. 2008. Disponível em: <<https://ieeexplore.ieee.org/document/4408783/>>. Acesso em: 12 maio 2018.
- 16 MAKOVEJEV, S. **Characterisation of Thermal and Coupling Effects in Advanced Silicon MOSFETs**. 2012. 193 f. Tese (Doutorado) - Curso de Engenharia Elétrica, School of Electrical And Electronic Engineering, Newcastle University, Newcastle, 2012.
- 17 LIM, H. K.; FOSSUM, J. Threshold voltage of thin-film silicon-on- insulator (SOI) MOSFETs. **IEEE Transactions on Electron Devices**, [S. L.], v. 30, n. 10, p.1244-1251, out. 1983, Disponível em: <<https://ieeexplore.ieee.org/abstract/document/1483183/>>. Acesso em: 12 maio 2018.
- 18 CUNHA, A. I. A. et al. Direct determination of threshold condition in DG-MOSFETs from the gm/ID curve. **Solid-State Electronics**, [S. L.], v. 56, n. 1 p.89-94, fev. 2011. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S003811011000359X> >. Acesso em: 12 maio 2018.
- 19 COLINGE, J. P.; COLINGE, C. A. **Physics of Semiconductor Devices**, 1. ed. Massachusetts, Kluwer Academic Publishers, 2002.
- 20 MARTINO, J. A. ; PAVANELLO, M. A. ; VERDONCK, P. B. **Caracterização Elétrica de Tecnologia e Dispositivos MOS**. 1. ed. São Paulo: Thomson, 2003.
- 21 POP, E.; DUTTON, R.; GOODSON, K. Thermal analysis of ultra-thin body device scaling. **Electron Devices Meeting, 2003**, [S. L.], p.883–884, mar. 2004. Disponível em: <<https://ieeexplore.ieee.org/document/1269420/> >. Acesso em: 12 maio 2018.
- 22 OLIVEIRA, S. E. B. **Estudo do efeito de auto-aquecimento em transistores SOI com estrutura de canal gradual - GC SOI MOSFET**. 2007, 92 f. Dissertação (Mestrado) - Curso de Engenharia Elétrica, Escola Politécnica da Universidade de São Paulo, São Paulo, 2007.
- 23 JOMAAH, J. et al. Impact of self-heating effects on the design of SOI devices versus temperature. **Proceedings of IEEE International SOI Conference**, [S. L.], p.114-115, out. 1995. Disponível em: <<https://ieeexplore.ieee.org/document/526487/> >. Acesso em: 12 maio 2018.
- 24 ASHEGHI, M. et al. Thermal conductivity model for thin silicon-on-insulator layers at high temperatures. **Proceedings of IEEE International SOI Conference**, [S. L.], p.51-52, dez. 2002. Disponível em: <<https://ieeexplore.ieee.org/document/1044411/> >. Acesso em: 12 maio 2018.
- 25 NGUYEN, B.-Y.; CELLER, G.; MAZURÉ, C. A review of SOI technology and its applications. **Journal of Integrated Circuits and Systems**, [S. L.], v. 4, p.51-54, jan. 2009. Disponível em:

- <https://www.researchgate.net/publication/268424306_A_Review_of_SOI_Technology_and_its_Applications>. Acesso em: 12 maio 2018.
- 26 SZE, S. M. **Physics of Semiconductor Devices**. 2. ed. New York: John Wiley and Sons, 1981.
 - 27 PRADEEP, K. **Exploring the Nano-Scale Self-Heating Mechanisms in SOI/Bulk MOS Devices**. 2015. 102f. Dissertação (Mestrado) – Curso de Engenharia Elétrica. École Polytechnique Fédérale de Lausanne, Lausanne 2015.
 - 28 SU, L.T. et al. Measurement and modeling of self-heating effects in SOI nMOSFETs. **Electron Devices Meeting, 1992. IEDM '92. Technical Digest**, [S. L.], p.357-361, ago. 1992. Disponível em: <<https://ieeexplore.ieee.org/document/307377/>>. Acesso em: 12 maio 2018.
 - 29 BRODSKY, J.S. et al. A physics-based, dynamic thermal impedance model for SOI MOSFETs. **IEEE Transactions on Electron Devices**, [S. L.], v. 44, n. 6, p.957-964, jun. 1997. Disponível em: <<https://ieeexplore.ieee.org/document/585551/>>. Acesso em: 12 maio 2018.
 - 30 LE NEEL, O.; HAOND, M. Electrical transient study of negative resistance in SOI MOS transistors. **Electronic Letters**, [S. L.], v. 26, n. 1, p.73-74, jan. 1990. Disponível em: <<https://ieeexplore.ieee.org/document/44884/>>. Acesso em: 12 maio 2018.
 - 31 MAKOVEJEV, S. et al. Time and Frequency Domain Characterization of Transistor Self-Heating. **IEEE Transactions on Electron Devices**, [S. L.], v. 60, n. 6, p.1844-1851, mai. 2013. Disponível em: <<https://ieeexplore.ieee.org/document/6515360/>>. Acesso em: 12 maio 2018.
 - 32 JU, Y. S.; GOODSON, K. E. Phonon scattering in silicon thin films with thickness of order 100 nm. **Applied Physics Letters**, [S. L.], v. 74, p.3005–3007, mar. 1999. Disponível em: <<https://aip.scitation.org/doi/10.1063/1.123994>>. Acesso em: 12 maio 2018.
 - 33 MCCONNELL, A.D.; GOODSON, K.E. Thermal Conduction in Silicon Micro and Nanostructures. **Annual Review of Heat Transfer**, [S. L.], v. 14, p.129-168, abr. 2005. Disponível em: <<http://www.dl.begellhouse.com/references/5756967540dd1b03,371bc8506484b55c,4a3e375c36ae4401.html>>. Acesso em: 12 maio 2018.
 - 34 CHOI, Y. K. et al. Ultrathin-Body SOI MOSFET for Deep-Sub-Tenth Micron Era. **IEEE Electron Device Letters**, [S. L.], v. 21, n. 5, p.254-255, mai. 2000. Disponível em: <<https://ieeexplore.ieee.org/document/841313/>>. Acesso em: 12 maio 2018.
 - 35 KASAP, S. et al. in **Springer Handbook of Electronic and Photonic Materials** 2. ed. Springer, p19-45, 2007.
 - 36 DORKEL, J. M.; LETURCQ, P. Carrier mobilities in silicon semi-empiric related to temperature, doping and injection level. **Solid-State Electronics**, [S. L.], v. 24, p.821-825, set. 1981. Disponível em: <<https://www.sciencedirect.com/science/article/pii/0038110181900976>>. Acesso em: 12 maio 2018.
 - 37 CAUGHEY, D. M.; THOMAS, R. E. Carrier mobilities in silicon empirically related to doping and field. **Proceedings of the IEEE**, [S. L.], p.2192-2193, dez. 1967. Disponível em: <<https://ieeexplore.ieee.org/document/1448053/>>. Acesso em: 12 maio 2018.

- 38 SELBERHERR, S. MOS Device Modeling at 77 K. **IEEE Transactions on Electron**, [S. L.], 8 ed., v. 36, p.1464-1474, ago. 1989. Disponível em: <<https://ieeexplore.ieee.org/document/30960/>>. Acesso em: 12 maio 2018.
- 39 SYNOPSIS. **Sentaurus Device Manual**, Synopsys, U. S. A., 2013.
- 40 KLAASSEN, D. B. M. A Unified Mobility Model for Device Simulation—I. Model Equations and Concentration Dependence. **Solid-State Electronics**, [S. L.], v. 35, n. 7, p. 953–959, jul. 1992. Disponível em: <<https://www.sciencedirect.com/science/article/pii/0038110192903257>>. Acesso em: 12 maio 2018.
- 41 LOMBARDI, C. A. et al. Physically Based Mobility Model for Numerical Simulation of Nonplanar Devices. **IEEE Transactions on Computer-Aided Design**, [S. L.], v. 7, n. 11, p. 1164–1171, nov. 1988. Disponível em: <<https://ieeexplore.ieee.org/document/9186/>>. Acesso em: 12 maio 2018.
- 42 FOSSUM, J. G.; LEE, D. S. A Physical Model for the Dependence of Carrier Lifetime on Doping Density in Nondegenerate Silicon. **Solid-State Electronics**, [S. L.], v. 25, n. 8, p.741–747, ago. 1982. Disponível em: <<https://www.sciencedirect.com/science/article/pii/0038110182902039>>. Acesso em: 12 maio 2018.
- 43 SCHENK, A. A Model for the Field and Temperature Dependence of Shockley–Read–Hall Lifetimes in Silicon. **Solid-State Electronics**, [S. L.], v. 35, n. 11, p. 1585–1596, nov. 1992. Disponível em: <<https://www.sciencedirect.com/science/article/pii/003811019290184E>>. Acesso em: 12 maio 2018.
- 44 SLOTBOOM, J. W.; DE GRAAFF, H. C. Bandgap Narrowing in Silicon Bipolar Transistors. **IEEE Transactions on Electron Devices**, [S. L.], v. 24, n. 8, p.1123–1125, ago. 1977. Disponível em: <<https://ieeexplore.ieee.org/document/1479081/>>. Acesso em: 12 maio 2018.
- 45 CANALI, C. et al Electron and Hole Drift Velocity Measurements in Silicon and Their Empirical Relation to Electric Field and Temperature. **IEEE Transactions on Electron Devices**, [S. L.], v. 22, n. 11, p.1045–1047, nov. 1975. Disponível em: <<https://ieeexplore.ieee.org/document/1478102/>>. Acesso em: 12 maio 2018.
- 46 FERRY, D. K.; AKIS, R.; VASILESKA, D. Quantum effects in MOSFETs: use of an effective potential in 3D Monte Carlo simulation of ultra-short channel devices. **Electron Devices Meeting, 2000**, [S. L.], ago. 2002 Disponível em: <<https://ieeexplore.ieee.org/abstract/document/904313/>>. Acesso em: 12 maio 2018.
- 47 KELLS, K. **General Electrothermal Semiconductor Device Simulation**. 1994. 187 f. Tese (Doutorado) – Curso de Engenharia Elétrica. Swiss Federal Institute of Technology Zurich, 1994.
- 48 STRATTON, R. Diffusion of Hot and Cold Electrons in Semiconductor Barriers. **Physical Review**, [S. L.], v. 126, n. 6, p.2002–2014, jun. 1962. Disponível em: <https://www.researchgate.net/publication/243700699_Diffusion_of_Hot_and_Cold_Electrons_in_Semiconductor_Barriers>. Acesso em: 12 maio 2018.
- 49 BLØTEKJÆR, K. Transport Equations for Electrons in Two-Valley Semiconductors. **IEEE Transactions on Electron Devices**, [S. L.], v. 17, n. 1, p.38–47, jan. 1970. Disponível em: <<https://ieeexplore.ieee.org/document/1476105/>>. Acesso em: 12 maio 2018.
- 50 BENVENUTI, A. et al. Evaluation of the Influence of Convective Energy in HBTs Using a Fully Hydrodynamic Model. **Electron Devices Meeting, 1991. IEDM '91. Technical Digest**,

- [S. L.], p.499–502, dez. 1991. Disponível em: <<https://ieeexplore.ieee.org/document/235347/>>. Acesso em: 12 maio 2018.
- 51 JENKINS, K. A.; SUN, J. Y.-C.; GAUTIER, J. Characteristics of SOI FET's Under Pulsed Conditions. **IEEE Transactions on Electron Devices**, [S. L.], v. 44, n. 11, nov. 1997. Disponível em: <<https://ieeexplore.ieee.org/document/641362/>>. Acesso em: 12 maio 2018.
- 52 MAKOVEJEV, S. et al. On Extraction of Self-Heating Features in UTBB SOI MOSFETs. **Ultimate Integration on Silicon**, [S. L.], mai. 2012. Disponível em: <<https://ieeexplore.ieee.org/document/6193369/>>. Acesso em: 12 maio 2018.
- 53 MAKOVEJEV, S. et al. Impact of self-heating and substrate effects on small-signal output conductance in UTBB SOI MOSFETs. **Solid-State Electronics**, [S. L.], v. 71, p. 93-100, mai. 2012. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S003811011100390X>>. Acesso em: 12 maio 2018.
- 54 TENBROEK, B. M. et al. Self-Heating Effects in SOI MOSFET's and Their Measurement by Small Signal Conductance Techniques. **IEEE Transactions on Electron Devices**, [S. L.], v. 43, n. 12, p.2240–2248, dez. 1996. Disponível em: <<https://ieeexplore.ieee.org/document/544417/>>. Acesso em: 12 maio 2018.
- 55 POP, E.; DUTTON, R.; GOODSON, K. Thermal analysis of ultra-thin body device scaling. **Electron Devices Meeting, 2003.**, [S. L.], p.883–884, mar. 2004. Disponível em: <<https://ieeexplore.ieee.org/document/1269420/>>. Acesso em: 12 maio 2018.
- 56 KARIM, M. A. et al. Extraction of Isothermal Condition and Thermal Network in UTBB SOI MOSFETs. **IEEE Electron Device Letters**, [S. L.], v. 33, p.1306–1308, ago. 2012. Disponível em: <<https://ieeexplore.ieee.org/document/6256692/>>. Acesso em: 12 maio 2018.
- 57 KEYSIGHT. **B1500A user manual**, Keysight Technologies, 2017.
- 58 MICROTECH. **Cascade user manual**, Microtech, Inc. 2012.

APENDICE A: ARQUIVO DE SIMULAÇÃO PARA A OBTENÇÃO DA ESTRUTURA VIRTUAL.

```

; Limpa
(sde:clear)

; dimensoes
(define L          (/ 100 1000))
(define tsi        (/ 10 1000))
(define Lspacer    (/ 8 1000))
(define Lfd        (/ 30 1000))
(define tox        (/ 2 1000))
(define tbox       (/ 100 1000))
(define tporta     (/ 50 1000))
(define tsib       (/ 100 1000))
(define tsifd      (/ 15 1000))

;Nome
(define nome          "L100-tsi10-tox2-tbox100_msh.tdr")

; Refino
(define refino_FD 0.10)
(define refino_canal 0.10)

;; Variaveis Grade
(sdedr:define-refinement-size "Si" 0.005 0.002 0.004
0.001) ;Silicio
(sdedr:define-refinement-size "Sib" 0.010 0.025 0.006
0.020) ;Silico abaixo do BOX
(sdedr:define-refinement-size "Ox" 0.005 0.003 0.004
0.002) ;Oxido

;;;;;;;;;;;;;
;; REGIOES ;;
;;;;;;;;;;;;;
; Define o oxido de porta
(define r1 (sdegeo:create-rectangle
(position (- (+ (/ L 2) Lspacer)) (- tox) 0.0) (position (+ (/ L 2)
Lspacer) 0.0 0.0) "SiO2" "oxido_porta")
)

; Define o silicio
(define r2 (sdegeo:create-rectangle
(position (- (+ (/ L 2) Lspacer Lfd) tsi 0.0) (position (+ (/ L 2)
Lspacer Lfd) 0.0 0.0) "Silicon" "silicio")
)

; Define o oxido enterrado
(define r3 (sdegeo:create-rectangle
(position (- (+ (/ L 2) Lspacer Lfd) (+ tsi tbox) 0.0) (position (+ (/ L
2) Lspacer Lfd) tsi 0.0) "SiO2" "oxido_enterrado")
)

```

```

; Define o silicio abaixo do oxido
(define r4 (sdegeo:create-rectangle
  (position (- (+ (/ L 2) Lspacer Lfd)) (+ tsi tbox tsib) 0.0) (position (+
(/ L 2) Lspacer Lfd) (+ tsi tbox) 0.0) "Silicon" "siliciob")
)

; Define spacers
(define r51 (sdegeo:create-rectangle
  (position (- (+ (/ L 2) Lspacer)) (- tox) 0.0) (position (- (+ (/ L 2)))
(- (+ tox tporta)) 0.0) "Si3N4" "spacer_e")
)
(define r52 (sdegeo:create-rectangle
  (position (+ (/ L 2) Lspacer) (- tox) 0.0) (position (+ (/ L 2)) (- (+
tox tporta)) 0.0) "Si3N4" "spacer_d")
)

; Define porta
(define r61 (sdegeo:create-rectangle
  (position (- (/ L 2)) (- (+ tox 0.005)) 0.0) (position (/ L 2) (- tox)
0.0) "TiN" "porta")
)
(define r62 (sdegeo:create-rectangle
  (position (- (/ L 2)) (- (+ tox 0.005)) 0.0) (position (/ L 2) (- (+ tox
tporta)) 0.0) "PolySilicon" "portat")
)

; Define Fonte e Dreno
(define r71 (sdegeo:create-rectangle
  (position (- (+ (/ L 2) Lspacer Lfd)) (- tsifd) 0.0) (position (- (+ (/ L
2) Lspacer)) 0.0 0.0) "Silicon" "silicio_f")
)
(define r72 (sdegeo:create-rectangle
  (position (+ (/ L 2) Lspacer Lfd) (- tsifd) 0.0) (position (+ (/ L 2)
Lspacer) 0.0 0.0) "Silicon" "silicio_d")
)

; Cantos Si3N4
(sde:define-parameter "fillet-radius" 0.008 0.0 0.0 )
(sdegeo:fillet-2d (find-vertex-id (position (- (+ (/ L 2) Lspacer)) (- (+ tox
tporta)) 0.0)) fillet-radius)
(sdegeo:fillet-2d (find-vertex-id (position (+ (/ L 2) Lspacer) (- (+ tox
tporta)) 0.0)) fillet-radius)

;;;;;
;;Contatos
;;;;;

;Definicao contatos
(sdegeo:define-contact-set "source" 4.0 (color:rgb 1.0 0.0 0.0 ) "###" )
(sdegeo:define-contact-set "drain" 4.0 (color:rgb 0.0 1.0 0.0 ) "###" )
(sdegeo:define-contact-set "gate" 4.0 (color:rgb 0.0 0.0 1.0 ) "###" )
(sdegeo:define-contact-set "substrate" 4.0 (color:rgb 1.0 1.0 0.0 ) "###" )

;Contatos
(sdegeo:define-2d-contact (find-edge-id (position (- (+ (/ L 2) Lspacer (/ Lfd 2)))
(- tsifd) 0.0)) "source")
(sdegeo:define-2d-contact (find-edge-id (position (+ (/ L 2) Lspacer (/ Lfd 2)) (-
tsifd) 0.0)) "drain")

```

```

(sdegeo:define-2d-contact (find-edge-id (position 0.0 (+ tsi tbox tsib) 0.0))
"substrate")

;Contato Porta
(sdegeo:set-current-contact-set "gate")
(sdegeo:set-contact-boundary-edges (find-body-id (position 0.0 (- (+ tox 0.003)
0.0)))
(sdegeo:delete-region (find-body-id (position 0.0 (- (+ tox 0.003) 0.0)))
(sdegeo:set-contact-boundary-edges (find-body-id (position 0.0 (- (+ tox tporta)
0.0)))
(sdegeo:delete-region (find-body-id (position 0.0 (- (+ tox tporta) 0.0)))

;;;;
;;Dopagem
;;;;
; Canal
(sdedr:define-constant-profile "perfil_const" "BoronActiveConcentration" 1e+15)
(sdedr:define-constant-profile-material "placement_perfil_const" "perfil_const"
"Silicon")

; Dreno
(sdedr:define-refeval-window "DopGaussDrenoJan" "Rectangle" (position (+ (/ L 2)
Lspacer Lfd) (- tsifd) 0.0) (position (+ (/ L 2) Lspacer ) tsi 0.0) )
(sdedr:define-gaussian-profile "DopGaussDrenoDef" "ArsenicActiveConcentration"
"PeakPos" 0 "PeakVal" 5e20 "Length" 0.010 "Gauss" "Length" 0)
(sdedr:define-analytical-profile-placement "DopGaussDreno" "DopGaussDrenoDef"
"DopGaussDrenoJan" "Both" "NoReplace" "Eval")
(sdedr:define-refeval-window "DopGaussDrenoJan2" "Rectangle" (position (+ (/ L 2))
0.0 0.0) (position (+ (/ L 2) Lspacer) tsi 0.0) )
(sdedr:define-gaussian-profile "DopGaussDrenoDef2" "ArsenicActiveConcentration"
"PeakPos" 0 "PeakVal" 5e19 "Length" 0.003 "Gauss" "Length" 0)
(sdedr:define-analytical-profile-placement "DopGaussDreno2" "DopGaussDrenoDef2"
"DopGaussDrenoJan2" "Both" "NoReplace" "Eval")

; Fonte
(sdedr:define-refeval-window "DopGaussFonteJan" "Rectangle" (position (- (+ (/ L 2)
Lspacer Lfd)) (- tsifd) 0.0) (position (- (+ (/ L 2) Lspacer)) tsi 0.0) )
(sdedr:define-gaussian-profile "DopGaussFonteDef" "ArsenicActiveConcentration"
"PeakPos" 0 "PeakVal" 5e20 "Length" 0.010 "Gauss" "Length" 0)
(sdedr:define-analytical-profile-placement "DopGaussFonte" "DopGaussFonteDef"
"DopGaussFonteJan" "Both" "NoReplace" "Eval")
(sdedr:define-refeval-window "DopGaussFonteJan2" "Rectangle" (position (- (+ (/ L
2))) 0.0 0.0) (position (- (+ (/ L 2) Lspacer)) tsi 0.0) )
(sdedr:define-gaussian-profile "DopGaussFonteDef2" "ArsenicActiveConcentration"
"PeakPos" 0 "PeakVal" 5e19 "Length" 0.003 "Gauss" "Length" 0)
(sdedr:define-analytical-profile-placement "DopGaussFonte2" "DopGaussFonteDef2"
"DopGaussFonteJan2" "Both" "NoReplace" "Eval")

;GP
(sdedr:define-refeval-window "GPJan" "Rectangle" (position (- (+ (/ L 2) Lspacer
Lfd)) (+ tsi tbox) 0.0) (position (+ (/ L 2) Lspacer Lfd) (+ tsi tbox 0.010) 0.0)
)
(sdedr:define-gaussian-profile "GPDef" "BoronActiveConcentration" "PeakPos" 0
"PeakVal" 1e18 "Length" 0.010 "Gauss" "Length" 0)
(sdedr:define-analytical-profile-placement "GP" "GPDef" "GPJan" "Both" "NoReplace"
"Eval")
;;;;
;;Grade
;;;;

```

```

; Canal
; Interface canal-oxido
(sdedr:define-refinement-function "Si" "MaxLenInt" "Silicon" "Oxide" 0.0001 1.5
"DoubleSide")
(sdedr:define-refinement-region "GradeSi" "Si" "silicio")
; Interface canal-oxido enterrado
(sdedr:define-refinement-function "Sib" "MaxLenInt" "Silicon" "Oxide" 0.0002 1.5
"DoubleSide")
(sdedr:define-refinement-region "RefSi" "Sib" "siliciob" )
; Oxido
(sdedr:define-refinement-material "RefOx" "Ox" "Oxide" )

; Multibox fonte-canal-dreno
;;Fonte-Canal-Dreno
(sdedr:define-refeval-window "CanalFonte" "Rectangle" (position (- (/ L 2)) 0.0 0.0)
(position 0.0 tsi 0.0) )
(sdedr:define-refeval-window "CanalDreno" "Rectangle" (position (/ L 2) 0.0 0.0)
(position 0.0 tsi 0.0) )
(sdedr:define-refeval-window "Fonte" "Rectangle" (position (- (/ L 2)) 0.0 0.0)
(position (- (+ (/ L 2) Lspacer)) tsi 0.0) )
(sdedr:define-refeval-window "Dreno" "Rectangle" (position (/ L 2) 0.0 0.0) (position
(+ (/ L 2) Lspacer) tsi 0.0) )

(sdedr:define-multibox-size "MultiboxCanalFonte" 0.005 0.002 0.0005 0.002 1.3 1)
(sdedr:define-multibox-size "MultiboxCanalDreno" 0.005 0.002 0.0005 0.002 -1.3 1)
(sdedr:define-multibox-size "MultiboxFonte" 0.005 0.002 0.0005 0.002 -1.3 1)
(sdedr:define-multibox-size "MultiboxDreno" 0.005 0.002 0.0005 0.002 1.3 1)
; Aplicação multibox
(sdedr:define-multibox-placement "RefMultiboxCanalFonte" "MultiboxCanalFonte"
"CanalFonte")
(sdedr:define-multibox-placement "RefMultiboxCanalDreno" "MultiboxCanalDreno"
"CanalDreno")
(sdedr:define-multibox-placement "RefMultiboxFonte" "MultiboxFonte" "Fonte")
(sdedr:define-multibox-placement "RefMultiboxDreno" "MultiboxDreno" "Dreno")

; Meshing the device structure
(sde:build-mesh "snmesh" "" nome)

```

APENDICE B: ARQUIVO DE SIMULAÇÃO PARA A OBTENÇÃO DAS CARACTERÍSTICAS DE SAÍDA DOS DISPOSITIVOS

```

File {
    * output files:
    Output = "IdxVg_L100-tsi10-tox2-tbox100_des.out"
    Plot = "IdxVg_L100-tsi10-tox2-tbox100_des.tdr"
    Current = "IdxVg_L100-tsi10-tox2-tbox100_des.plt"
    PMIPath = "."
}

Physics {
    Temperature=300
    Mobility (
        Phumob
        Enormal
        HighFieldSaturation
    )
    Recombination( SRH(DopingDep TempDependence)
    )
    EffectiveIntrinsicDensity (BandGapNarrowing (OldSlotboom))
Hydrodynamic (eTemperature)
}

Physics (Material="Silicon") { HeatPreFactor = 0 }

Plot {
    AcceptorConcentration
    BandGap BandGapNarrowing
    ConductionBandEnergy
    ConductionCurrent
    DielectricConstant
    DonorConcentration
    Doping
    DisplacementCurrent
    eCurrent eDensity eDriftVelocity eEffectiveStateDensity eENormal
eEparallel eEquilibriumDensity eTemperature
    eMobility eQuantumPotential eQuasiFermi eRelativeEffectiveMass
eSaturationVelocity eVelocity
    EffectiveBandGap EffectiveIntrinsicDensity
    ElectricField
    ElectronAffinity
    Potential EquilibriumPotential
    hCurrent hDensity hDriftVelocity hEffectiveStateDensity hENormal
hEparallel hEquilibriumDensity hTemperature
    hMobility hQuantumPotential hQuasiFermi hRelativeEffectiveMass
hSaturationVelocity hVelocity
    IntrinsicDensity
    Temperature
    Current
    TotalRecombination
}

```

```

ValenceBandEnergy
SpaceCharge
SRHRecombination
}

Device JL{
  File {
    * input files:
    Grid = "L100-tsil0-tox2-tbox100_msh.tdr"
    #Parameter = "Param.par"
    * output files:

  }
  Electrode {
    { Name="source" Voltage= 0.000 }
    { Name="drain" Voltage= 0.000 }
    { Name="gate" Voltage= 0.000 Workfunction=4.7 }
    { Name="substrate" Voltage= 0.000 }
  }
  Material="Silicon"(P=1e15)
}

Thermode {
{ Name= "source" Temperature =300 SurfaceResistance= 0.001}
{ Name= "drain" Temperature =300 SurfaceResistance= 0.001}
#{ Name= "gate" Temperature =300 SurfaceResistance= 0.01}
{ Name= "substrate" Temperature =300 SurfaceResistance= 0.0006}
}

# CurrentPlot {
# Potential ((0,0,0) (0,-0.45,0) (0,0.45,0) (0.005,0,0)
(0.005,-0.45,0) (0.005,0.45,0))
# eDensity ( Average( Window[(-0.005,-0.45,-0.005) (0.005,-
0.4,0.005)] )
# Average( Window[(-0.005,0.45,-0.005)
(0.005,0.4,0.005)] )
# )
# }
}

System {
  JL t1 (source=f drain=d gate=g substrate=s)
  Vsource_pset Vd (d 0) {dc=0}
  Vsource_pset Vg (g 0) {dc=0}
  Vsource_pset Vf (f 0) {dc=0}
  Vsource_pset Vs (s 0) {dc=0}
  Plot "IdxVg_L100-tsil0-tox2-tbox100.txt" (v(g f) v(d f) v(s f)
i(t1 f))
}

Math {
  Extrapolate
  # NotDamped=2
}

```

```

    Iterations=20
    ExitOnFailure
#   Smooth
    Method = pardiso
    number_of_threads = 2
}

Solve {

    Quasistationary ( Initialstep=1 Minstep=1e-12 Maxstep=1
        Goal {Parameter=Vg.dc Value=0 } )
        {Coupled(Iterations=50) { Poisson } CurrentPlot ( Time =
(-1)) }

    Quasistationary ( Initialstep=1 Minstep=1e-12 Maxstep=1
        Goal {Parameter=Vg.dc Value=0 } )
        {Coupled(Iterations=50) { Poisson Temperature eTemperature
} CurrentPlot ( Time = (-1)) }

    Quasistationary ( Initialstep=1 Minstep=1e-12 Maxstep=1
        Goal {Parameter=Vg.dc Value=0 } )
        {Coupled(Iterations=50) { Poisson Electron Hole Temperature
eTemperature } CurrentPlot ( Time = (-1)) }

    Quasistationary ( Initialstep=1 Minstep=1e-12 Maxstep=1
        Goal {Parameter=Vd.dc Value=0.05 } )
        {Coupled(Iterations=50) { Poisson Electron Hole Temperature
eTemperature } CurrentPlot ( Time = (-1)) }

    Quasistationary ( Initialstep=1 Minstep=1e-12 Maxstep=1
        Goal {Parameter=Vg.dc Value=1.2} )
        {Coupled(Iterations=10) { Poisson Electron Hole Temperature
eTemperature } CurrentPlot( Time = (range = (0 1) intervals = 120))
}}

```