

CENTRO UNIVERSITÁRIO DA FEI

Eduardo Luiz Ronchete da Silva

**OBTENÇÃO E ANÁLISE DE RUÍDO DE BAIXA
FREQUÊNCIA EM TRANSISTORES SOI MOSFETs DE
CANAL GRADUAL**

São Bernardo do Campo

2011

Eduardo Luiz Ronchete da Silva

**OBTENÇÃO E ANÁLISE DE RUÍDO DE BAIXA
FREQUÊNCIA EM TRANSISTORES SOI MOSFETs DE
CANAL GRADUAL**

Dissertação apresentada ao Centro Universitário da FEI como parte dos requisitos necessários para a obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Marcelo Antonio Pavanello

São Bernardo do Campo

2011

Silva, Eduardo Luiz Ronchete da
Obtenção e análise de ruído de baixa frequência em transistores
SOI MOSFETs de canal gradual / Eduardo Luiz Ronchete da Silva.
São Bernardo do Campo, 2011.
114 f. : il.

Dissertação - Centro Universitário da FEI.
Orientador: Prof. Marcelo Antonio Pavanello

1. SOI. 2. Canal Gradual (GC SOI). 3. Ruído de Baixa Frequência
4. Valor. I. Pavanello, Marcelo Antonio, orient. II. Título.

CDU 621.381



**APRESENTAÇÃO DE DISSERTAÇÃO
ATA DA BANCA JULGADORA**

PGE- 10

Centro Universitário da FEI

Programa de Mestrado de Engenharia Elétrica

Aluno: Eduardo Luiz Ronchete da Silva

Matrícula: 109102-4

Título do Trabalho: **OBTENÇÃO E ANÁLISE DE RUÍDO DE BAIXA FREQUÊNCIA EM TRANSISTORES SOI MOSFETs DE CANAL GRADUAL.**

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof. Dr. Marcelo Antonio Pavanello

Data da realização da defesa: 12 / abril / 2011

A Banca Julgadora abaixo-assinada atribuiu ao candidato o seguinte:

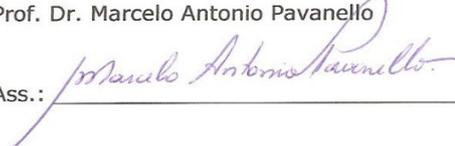
APROVADO

REPROVADO

São Bernardo do Campo, 12 / 04 / 2011.

MEMBROS DA BANCA JULGADORA

Prof. Dr. Marcelo Antonio Pavanello

Ass.: 

Prof. Dr. Salvador Pinillos Gimenez

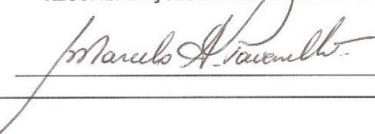
Ass.: 

Prof. Dr. Leandro Tiago Manera

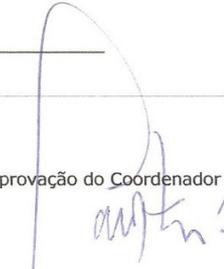
Ass.: 

VERSÃO FINAL DA DISSERTAÇÃO

**ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS
RECOMENDAÇÕES DA BANCA EXAMINADORA**



Aprovação do Coordenador do Programa de Pós-graduação



Prof. Dr. Carlos Eduardo Thomaz

Dedico este trabalho a Deus. Aos meus pais,
minha avó, meu irmão e minha noiva por
todo incentivo e colaboração.

AGRADECIMENTOS

A Deus pela oportunidade de estudar, de adquirir conhecimento e por toda a sabedoria. Graças a Deus e a família que Ele me concedeu conquistei todas as coisas até hoje e continuarei a conquistar.

Ao meu orientador Prof. Dr. Marcelo Antonio Pavanello pela contribuição, incentivo e confiança para realização de um trabalho pioneiro na FEI.

Ao Centro Universitário da FEI por disponibilizar a infraestrutura necessária para o desenvolvimento das atividades de pesquisa, além de todos os seus funcionários.

À Fundação de Amparo à Pesquisa do Estado de São Paulo (FAPESP) pelo suporte financeiro durante o último ano do mestrado, apostando em um trabalho já iniciado, porém com muito potencial de crescimento.

Aos professores Dr. Salvador Pinillos Gimenez, Dr. Renato Camargo Giacomini e Dr. Leandro Tiago Manera pelos conselhos e contribuições advindas da qualificação e da defesa de mestrado.

Aos professores Dr. Alfredo Arnaud e Ms. Matias Miguez por toda a colaboração e pelos conselhos que fizeram com que este trabalho pudesse se tornar bem sucedido.

Aos meus pais Laercio e Maria de Lourdes, meu irmão Fausto e minha avó Silvina pelo incentivo, carinho e contribuições ao longo de todos estes anos.

A minha noiva e futura esposa Natasha pela compreensão, carinho e todo amor ao longo destes anos.

A professora Dra. Michelly de Souza pelas contribuições, principalmente na parte técnica, ao longo de todo este trabalho. Aos meus colegas do mestrado pela convivência e pelas contribuições referentes à parte técnica.

A todo o pessoal do CLE que sempre esteve disposto a contribuir para o desenvolvimento deste trabalho.

“Se buscares a sabedoria como a prata e como a tesouros escondidos a procurares,

Então, entenderás o temor do Senhor e acharás o conhecimento de Deus.

Porque o Senhor dá a sabedoria, e da sua boca vem a inteligência e o entendimento.

Ele reserva a verdadeira sabedoria para os retos; é escudo para os que caminham na sinceridade.”

Provérbios 2: 3-7

RESUMO

Neste trabalho é apresentado um estudo do ruído de baixa frequência em dispositivos SOI MOSFETs convencionais, de canal uniformemente dopado, e SOI MOSFETs de canal gradual (“Graded Channel” - GC). Esta estrutura é assim denominada por exibir dois perfis de dopagem no interior do canal, de maneira a preservar a dopagem natural da lâmina na região próxima ao dreno, com o intuito de minimizar os efeitos indesejáveis do campo elétrico. Resultados disponíveis na literatura apresentam uma série de características que fazem do dispositivo GC interessante para aplicações de circuitos integrados analógicos, tais como maior nível de corrente de dreno, maior transcondutância máxima, entre outros. Uma série de simulações numéricas do dispositivo foi executada para a análise do ruído de baixa frequência. Sendo que as primeiras têm o intuito de demonstrar os melhores resultados analógicos do GC SOI em comparação com o SOI convencional, através de parâmetros importantes para a realização desta comparação. Foram realizadas simulações específicas com o intuito de estudar exclusivamente o ruído de baixa frequência, tanto para os dispositivos GC SOI como para SOI convencional. Também foram realizadas simulações para estudo da influência da temperatura. Todas estas simulações foram obtidas para dispositivos com comprimentos de canal (L) de 1 e 2 μm , e utilizando várias razões L_{LD}/L . Além disso, medidas experimentais foram feitas para comprovar todos os resultados obtidos nas simulações numéricas bidimensionais. Os resultados obtidos experimentalmente e através das simulações mostram que, embora o GC SOI MOSFET apresente melhores resultados quanto ao desempenho analógico, este dispositivo apresenta maior densidade espectral de ruído de corrente (S_I) do que aquele observado no SOI convencional com mesmo comprimento de canal. O ruído de baixa frequência também demonstrou aumentar nos dispositivos GC SOI conforme é aumentada a razão L_{LD}/L . Através das simulações também foi possível averiguar um aumento do ruído de baixa frequência, uma vez que a temperatura era reduzida.

Palavras-Chave: SOI. canal gradual (GC SOI). Ruído de baixa frequência.

ABSTRACT

In this work a study of low-frequency noise in Standard SOI MOSFETs devices, with uniformly-doped channel, and the graded-channel SOI MOSFETs (GC) is presented. This structure receives its name due to the presence of two different doping profiles in the channel, maintaining the natural doping concentration of the Silicon film in the drain side in order to minimize the effects of electric field. This structure presents several advantages over the uniformly doped one, which make this device interesting for analog applications, as higher level of drain current, higher maximum transconductance and among others. Numerical simulations of GC devices were performed for analysis of low-frequency noise. Firstly with the aim to demonstrate the improved performance of GC SOI compared to a Standard SOI by using important electrical parameters, such as threshold voltage and transconductance. Simulations were also performed aiming to study the low frequency noise, both for GC SOI and Standard SOI devices. Also were performed simulations to study the influence of temperature. These simulations were obtained for devices with channel lengths equal to 1 and 2 μm , and using several L_{LD}/L ratios. In addition, experimental measurements were made to prove the simulation results. The simulated and experimental results show that although the GC SOI MOSFET provides better analog performance, these devices present higher current noise spectral density (S_I) than Standard SOI transistor with the same total channel length. The low-frequency noise also increases in GC SOI devices, and increases for higher L_{LD}/L ratio. Through the numerical simulations it was also possible to ascertain the increases of low-frequency noise in all devices with the temperature decrease.

Keywords: SOI. Graded-Channel (GC SOI). Low-frequency noise.

LISTA DE FIGURAS

Figura 2.1 – Perfil transversal de um transistor SOI nMOSFET.	25
Figura 2.2 – Diagrama de faixas de energia dos transistores MOS convencional.	27
Figura 2.3 – Diagrama de faixas de energia dos transistores SOI parcialmente depletado..	27
Figura 2.4 – Diagrama de faixas de energia dos transistores SOI totalmente depletado.	27
Figura 2.5 – Distribuição da região de depleção dos transistores MOS convencionais de canal curto (A) e canal longo (B).	35
Figura 2.6 – Distribuição da região de depleção dos transistores FD SOI de canal curto (A) e canal longo (B).	36
Figura 2.7 – Perfil transversal de um transistor GC SOI nMOSFET.	38
Figura 2.8 – Forma de onda do ruído.	41
Figura 2.9 – Curva da distribuição de Gauss em conjunto com a forma de onda do ruído..	41
Figura 2.10 – Descrição esquemática do ruído RTS no MOSFET [28].	47
Figura 2.11 – Representação da sobreposição do ruído RTS, formando-se então, o perfil de ruído 1/f [28].	48
Figura 2.12 – Descrição esquemática do modelo de ruído segundo McWhorter em dispositivos MOSFETs.	50
Figura 2.13 – Ruído total associado [28].	57
Figura 2.14 – Identificação Prática de um dispositivo GC MOSFET [45].	58
Figura 3.1 – Descrição esquemática do dispositivo ideal e o dispositivo modelado para o ruído de corrente, com as fontes de corrente aleatórias conectadas as suas portas.	61
Figura 3.2 – Curvas $I_{DS} \times V_{GF}$ com $V_{DS} = 50$ mV para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 1 \mu\text{m}$ (A) e $L = 2 \mu\text{m}$ (B).	64
Figura 3.3 – Curvas $I_{DS} \times V_{GF}$ com $V_{DS} = 1,0$ V (A) e $V_{DS} = 0,75$ V (B) para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 2 \mu\text{m}$	66
Figura 3.4 – Curvas $g_m \times V_{GF}$ com $V_{DS} = 50$ mV para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 1 \mu\text{m}$ (A) e $L = 2 \mu\text{m}$ (B).	69
Figura 3.5 – Curvas $g_m \times V_{GF}$ com $V_{DS} = 1,0$ V (A) e $V_{DS} = 0,75$ V (B) para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 2 \mu\text{m}$	71

Figura 3.6 – Curvas $I_{DS} \times V_{DS}$ com $V_{GT} = 200$ mV para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 1$ μm (A) e $L = 2$ μm (B).	73
Figura 3.7– Curvas $S_I \times$ Frequência com $V_{GT} = 200$ mV para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 1$ μm (A) e $L = 2$ μm (B).	76
Figura 3.8 – Curvas $S_I \times$ Frequência com $V_{DS} = 1,2$ V e $V_{GS} = 1,0$ V para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 2$ μm (B)	78
Figura 3.9 – Curvas $S_I \times I_{DS}$ com $V_{DS} = 50$ mV e $f = 10$ Hz para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 1$ μm (A) e $L = 2$ μm (B).	78
Figura 3.10 – Curvas $S_I \times (I_{DS} / (W / L_{eff}))$ com $V_{DS} = 50$ mV e $f = 10$ Hz para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 1$ μm (A) e $L = 2$ μm (B).	80
Figura 3.11 – Curvas $S_I \times (g_m / I_{DS})$ com $V_{DS} = 50$ mV e $f = 10$ Hz para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 1$ μm (A) e $L = 2$ μm (B).	82
Figura 3.12 – Curva S_I Normalizada e $(g_m / I_{DS})^2 \times I_{DS}$ com $V_{DS} = 50$ mV e $f = 10$ Hz para dispositivo SOI Convencional de $L = 2$ μm	83
Figura 3.13 Curva S_I Normalizada e $(g_m / I_{DS})^2 \times I_{DS}$ com $V_{DS} = 50$ mV e $f = 10$ Hz para dispositivo GC SOI de $L_{LD}/L=0,5$ de $L = 2$ μm	84
Figura 3.14 – Curvas $I_{DS} \times V_{GF}$ e $I_{DS} \times g_m$ com $V_{DS} = 50$ mV para o dispositivo SOI convencional de comprimento $L = 2$ μm em diferentes temperaturas.	85
Figura 3.15 – Curvas $I_{DS} \times V_{GF}$ com $V_{DS} = 50$ mV para o dispositivo SOI convencional de comprimento $L = 2$ μm em diferentes temperaturas.	86
Figura 3.16 – Curvas $I_{DS} \times V_{GF}$ com $V_{DS} = 50$ mV para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 2$ μm , na temperatura $T = 150\text{K}$	87
Figura 3.17 – Curva de $V_T \times$ Temperatura com $V_{DS} = 50$ mV para os dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 2$ μm	88
Figura 3.18 – Curvas $I_{DS} \times g_m$ com $V_{DS} = 50$ mV para o dispositivo SOI MOSFET convencional de comprimento $L = 2$ μm em diferentes temperaturas.	89
Figura 3.19 – Curvas $I_{DS} \times g_m$ com $V_{DS} = 50$ mV para o dispositivo GC de $L_{LD}/L = 0,5$ e comprimento $L = 2$ μm em diferentes temperaturas.	89
Figura 3.20 – Curva de $g_{m\text{máx}} \times$ Temperatura com $V_{DS} = 50$ mV para os dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 2$ μm	90

Figura 3.21 – Curvas S_I x Frequência com $V_{GT} = 200$ mV para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 2$ μm e temperatura de 150K (A) e 300K (B).....	92
Figura 4.1 – Leiaute de parte do chip utilizado na caracterização.	94
Figura 4.2 – Curvas I_{DS} x V_{GF} com $V_{DS} = 50$ mV para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de comprimento $L = 2$ μm	95
Figura 4.3 – Curvas (I_{DS} / W) x V_{GF} com $V_{DS} = 50$ mV para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de comprimento $L = 2$ μm	96
Figura 4.4 – Curvas g_m x V_{GF} com $V_{DS} = 50$ mV para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 2$ μm	98
Figura 4.5 – Curvas I_{DS} x V_{DS} medidas com $V_{GT} = 200$ mV para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 2$ μm	100
Figura 4.6 – Circuito utilizado para realização das medidas de ruído nos dispositivos GC SOI e SOI convencional.	101
Figura 4.7 – Circuito utilizado para realização a primeira etapa das medidas, necessário para obtenção do ruído base..	102
Figura 4.8 – Circuito polarizado, utilizado para realização da segunda etapa das medidas, a fim de obter o ruído nos dispositivos GC SOI e SOI convencional... ..	103
Figura 4.9 – Curvas S_I x Frequência com $V_D = 1,2$ V e $V_G = 1.0$ V para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 2$ μm	104
Figura 4.10 – Curvas S_I x Frequência com $V_D = 1,2$ V e $V_G = 1.0$ V para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 2$ μm	105

LISTA DE TABELAS

Tabela 3.1 – Concentrações de dopantes e parâmetros tecnológicos para simular os transistores GC SOI e SOI convencional.....	62
Tabela 3.2 – Valores de corrente I_{DS} para uma tensão fixa de $V_{GF} = 1,5$ V para todos os dispositivos simulados ($V_{DS} = 50$ mV).....	64
Tabela 3.3 – Tensão de limiar (V_T) obtida para todos os dispositivos simulados ($V_{DS} = 50$ mV).....	66
Tabela 3.4 – Tensão da Inclinação de Sublimar (S) obtida para todos os dispositivos simulados ($V_{DS} = 50$ mV).....	67
Tabela 3.5 – Valores de transcondutância máxima ($g_{mm\acute{a}x}$) para todos os dispositivos simulados ($V_{DS} = 50$ mV).....	69
Tabela 3.6 – Valores de transcondutância máxima ($g_{mm\acute{a}x}$) para todos os dispositivos simulados ($V_{DS} = 1,0$ V).....	71
Tabela 3.7 – Valores de condutância de dreno (g_D) para todos os dispositivos simulados ($V_{GT} = 200$ mV).....	74
Tabela 3.8 – Valores de ganho de tensão de malha aberta (A_V) para todos os dispositivos simulados com $L = 2$ μ m ($V_{GT} = 200$ mV e $V_{DS} = 0,75$ V).....	74
Tabela 3.9 – Valores de S_1 para correntes fixas nos três nívéis de inversão dos dispositivos simulados ($V_{DS} = 50$ mV e $f = 10$ Hz).....	79
Tabela 3.10 – Tensão da Inclinação de Sublimar (S) obtida para todos os dispositivos ($V_{DS} = 50$ mV) nas diferentes temperaturas simuladas.....	91
Tabela 4.1 – Concentrações de dopantes e parâmetros tecnológicos dos dispositivos GC SOI e SOI convencional caracterizados.....	94
Tabela 4.2 – Valores de corrente (I_{DS} / W) para uma tensão fixa de $V_{GF} = 1,5$ V para os dispositivos simulados e medidos ($V_{DS} = 50$ mV).....	97
Tabela 4.3 – Tensão de limiar (V_T) obtida para todos os dispositivos simulados ($V_{DS} = 50$ mV).....	97
Tabela 4.4 – Valores de transcondutância máxima ($g_{mm\acute{a}x}$) para os dispositivos medidos ($V_{DS} = 50$ mV).....	99

Tabela 4.5 – Valores de condutância de dreno (g_D) para todos os dispositivos medidos ($V_{DS} = 50$ mV).....	100
Tabela 4.6 – Valores da corrente de dreno medidos experimentalmente para todos os dispositivos.....	104

LISTA DE SÍMBOLOS

AC	Corrente alternada
A_V	Ganho de Tensão em Malha Aberta [dB]
c	Coefficiente de elétrons capturados [cm^3/s]
C_D	Capacitância de depleção por unidade de área [F/cm^2]
C_I	Capacitância da camada de inversão por unidade de área [F/cm^2]
C_{oxb}	Capacitância do óxido de porta da segunda interface por unidade de área [F/cm^2]
C_{oxf}	Capacitância do óxido de porta da primeira interface por unidade de área [F/cm^2]
C_{Si}	Capacitância de depleção do filme de silício por unidade de área [F/cm^2]
C_{SS}	Capacitância do estado de interface por unidade de área [F/cm^2]
E_C	Nível de Energia inferior da faixa de condução [eV]
E_F	Nível de Fermi do semiconductor [eV]
E_{FB}	Nível de Fermi do substrato [eV]
E_{FM}	Nível de Fermi do eletrodo de porta [eV]
E_i	Nível de Energia intrínseco [eV]
E_T	Nível de Energia da armadilha [eV]
E_V	Nível de Energia superior da faixa de valência [eV]
$E_{\text{v\u00e1cuo}}$	Nível de Energia no v\u00e1cuo [eV]
f	Frequ\u00eancia [Hz]
f_T	Fra\u00e7\u00e3o de armadilhas preenchidas sob condi\u00e7\u00e3o do estado estacion\u00e1rio

F_T	Nível de quasi-Fermi da armadilha [eV]
f_{pT}	Nível de Fermi do semiconductor [eV]
g_D	Condutância de dreno [A/V]
g_m	Transcondutância do transistor [S]
g_m / I_{DS}	Razão entre a transcondutância e a corrente de dreno do transistor MOS [V ⁻¹]
g_{mmax}	Transcondutância máxima do transistor [S]
GR	Ruído de geração e recombinação
I_D	Corrente de dreno [A]
I_{DS}	Corrente entre dreno e fonte [A]
$i_n(t)$	Flutuação aleatória da corrente no tempo
k	Constante de Boltzmann [1,381 x 10 ⁻²³ J/K]
K_F	Constante característica do material adquirida no processo de fabricação
L	Comprimento de canal do transistor [μm]
L_{eff}	Comprimento efetivo do canal do transistor [μm]
L_{HD}	Comprimento da região fortemente dopada no canal do transistor GC SOI [μm]
L_{LD}	Comprimento da região fracamente dopada no canal do transistor GC SOI [μm]
L_{LD}/L	Razão entre o comprimento da região fracamente dopada e o comprimento de canal, no transistor GC SOI
m	Valor médio
n	Fator de corpo
N	Número total de portadores no semiconductor
N_A	Concentração de dopantes do tipo P em um semiconductor [cm ⁻³]

N_{AH}	Concentração de dopantes da camada de silício do transistor GC SOI na região fortemente dopada do canal [cm^{-3}]
N_{AL}	Concentração de dopantes da camada de silício do transistor GC SOI na região fracamente dopada do canal [cm^{-3}]
N_D	Concentração de dopantes do tipo N em um semiconductor [cm^{-3}]
n_i	Concentração Intrínseca de portadores [cm^{-3}]
$N_{\text{intrínseco}}$	Concentração Intrínseca de Dopantes em um semiconductor [cm^{-3}]
N_{itf}	Densidade de armadilhas de interface na primeira interface por unidade de área [F/cm^2]
N_n	Número médio de armadilhas preenchidas
N_p	Número médio de armadilhas vazias
n_s	Concentrações de portadores na superfície [cm^{-3}]
N_T	Soma do número médio de armadilhas preenchidas e vazias
q	Carga elementar do elétron [$1,6 \times 10^{-19} \text{ C}$]
Q_{depl}	Carga de depleção na camada de silício [C/cm^2]
Q_{oxf}	Densidade de cargas fixa no óxido da primeira interface por unidade de área [C/cm^2]
R	Resistência [Ω]
S	Inclinação de sublimiar [mV/dec]
S_I	Densidade espectral de potência do ruído da corrente [A^2/Hz]
S_V	Densidade espectral de potência do ruído da tensão [V^2/Hz]
T	Temperatura absoluta [K]
t_{oxb}	Espessura do óxido enterrado [nm]
t_{oxf}	Espessura do óxido de porta [nm]
t_{Si}	Espessura da camada de silício [nm]

V_D	Tensão aplicada ao dreno do transistor SOI [V]
V_{GB}	Tensão aplicada ao substrato do transistor SOI [V]
$V_{GB,accB}$	Tensão aplicada ao substrato com a segunda interface acumulada [V]
V_{GF}	Tensão aplicada à primeira porta do transistor SOI [V]
V_{GT}	Sobretensão de porta [V]
V_S	Tensão aplicada à fonte do transistor SOI [V]
V_{sat}	Tensão de saturação em inversão forte [V]
V_T	Tensão de limiar [V]
V_{thf}	Tensão de limiar da primeira interface em inversão forte [V]
$V_{thf,accB}$	Tensão de limiar da primeira interface com a segunda interface acumulada [V]
$V_{thf,deplB}$	Tensão de limiar da primeira interface com a segunda interface depletada [V]
$V_{thf,invB}$	Tensão de limiar da primeira interface com a segunda interface invertida [V]
W	Largura do canal do transistor [μm]
x_{dmax}	Profundidade máxima da região de depleção [μm]
ΔN	Modelo de ruído proposto por McWhorter
$\Delta\mu$	Modelo de ruído proposto por Hooge
Φ_{invf}	Densidade de cargas de inversão na primeira interface [V]
ϕ_F	Potencial de Fermi [V]
Φ_{MSF}	Diferença da função trabalho entre o material de porta da primeira interface e o silício [V]
Φ_{SB}	Potencial de superfície na segunda interface [V]
Φ_{SF}	Potencial de superfície na primeira interface [V]

α_H	Parâmetro empírico de Hooge
α_t	Constante de tempo de tunelamento de McWhorter [s]
α_{VT}	Parâmetro utilizado no cálculo da variação da tensão de limiar com a temperatura
ϵ_{Si}	Permissividade do silício [$1,06 \times 10^{-12}$ F/cm]
γ	Fator exponencial da frequência
μ_n	Mobilidade efetiva dos elétrons na região do canal [$\text{cm}^2/\text{V}\cdot\text{s}$]
μ_{ps}	Mobilidade dos portadores devido ao espalhamento de rede [$\text{cm}^2/\text{V}\cdot\text{s}$]
μ_{psii}	Mobilidade dos portadores devido aos espalhamentos de rede e por impurezas ionizadas [$\text{cm}^2/\text{V}\cdot\text{s}$]
σ	Desvio-padrão
τ	Tempo de transição dos portadores na armadilha [s]
τ_c	Tempo de captura de portadores na armadilha [s]
τ_e	Tempo de emissão de portadores na armadilha [s]
τ_{max}	Tempo máximo de transição de portadores na armadilha [s]

SUMÁRIO

1	INTRODUÇÃO E MOTIVAÇÃO	21
1.1	Objetivos do Trabalho	23
2	CONCEITOS BÁSICOS	24
2.1	Tecnologia SOI MOSFET	24
2.2	Tipos de Transistores SOI	25
2.3	Características Elétricas.....	28
2.3.1	Tensão de Limiar	28
2.3.2	Inclinação de Sublimiar	31
2.3.3	Mobilidade	32
2.3.4	Transcondutância	34
2.3.5	Efeito de Canal Curto	35
2.4	GC SOI nMOSFET (Graded-Channel)	37
2.4.1	Melhorias nas características elétricas relacionadas ao GC SOI MOSFET	38
2.5	Ruído.....	39
2.5.1	Propriedades do Ruído.....	40
2.6	Ruído de Baixa Frequência.....	48
2.6.1	Modelos de Ruído de Baixa Frequência.....	49
2.6.2	Modelo de McWhorter [35].....	49
2.6.3	Modelo de Hooge [32].....	55
2.7	Ruído Total Associado	57
2.7.1	Identificação Prática	57
3	SIMULAÇÕES NUMÉRICAS	59
3.1	Simulador.....	59
3.1.1	Modelos Utilizados	60
3.1.2	Simulação de Ruído no ATLAS	61
3.2	Resultados e Discussões das Simulações Bidimensionais.....	62
3.2.1	Curva característica $I_{DS} \times V_{GF}$	63
3.2.2	Tensão de Limiar	66
3.2.3	Inclinação de Sublimiar	67
3.2.4	Transcondutância	68
3.2.5	Curva característica $I_{DS} \times V_{DS}$	72

3.2.6	Ruído de Baixa Frequência.....	75
3.3	Resultados e Discussões das Simulações em Baixa Temperatura.....	85
3.3.1	Curva característica $I_{DS} \times V_{GF}$ em Baixa Temperatura.....	85
3.3.2	Tensão de Limiar em Baixa Temperatura.....	87
3.3.3	Transcondutância em Baixa Temperatura	88
3.3.4	Inclinação de Sublimiar em Baixa Temperatura.....	90
3.3.5	Ruído de Baixa Frequência em Baixa Temperatura	91
4	RESULTADOS EXPERIMENTAIS	93
4.1	Características dos Dispositivos Analisados	93
4.2	Resultados e Discussões Experimentais	95
4.2.1	Curva Característica $I_{DS} \times V_{GF}$	95
4.2.2	Tensão de Limiar	97
4.2.3	Transcondutância.....	98
4.2.4	Curva característica $I_{DS} \times V_{DS}$	99
4.2.5	Medidas de Ruído Experimental	101
5	CONCLUSÕES FINAIS E TRABALHOS FUTUROS	107
	REFERÊNCIAS	109
	APÊNDICE A	113

1 INTRODUÇÃO E MOTIVAÇÃO

A evolução dos trabalhos em circuitos integrados envolvendo transistores de alto desempenho e de pequenas dimensões é uma realidade. A necessidade por velocidade e alta integração tem feito com que as pesquisas tenham de acelerar cada vez mais em busca de tecnologias revolucionárias para os transistores [1].

Com a evolução tecnológica e o passar do tempo, uma tecnologia que tem demonstrado grande potencial, é a tecnologia chamada de Silício sobre Isolante (*Silicon On Insulator*), ou apenas SOI. No início, a tecnologia SOI permaneceu restrita a poucas aplicações, como operação em ambientes sujeitos à radiação [1] e altas temperaturas [1], devido à baixa qualidade das lâminas SOI disponíveis [1]. Porém, com a chegada da década de 90, esta tecnologia começou a emergir como uma real alternativa para a tecnologia MOS convencional, devido à enorme quantidade de estudos efetuados nas áreas de materiais e dispositivos SOI, permitindo a obtenção de lâminas de boa qualidade e menor custo, além da redução das suas dimensões, possibilitando sua utilização em um maior número de aplicações [1].

Apesar do grande número de vantagens, os transistores SOI apresentam reduzida tensão de ruptura de dreno, pois estes dispositivos possuem uma camada espessa de óxido enterrado, que separa a região ativa do transistor do substrato de silício, fazendo com que a ausência de um contato de corpo no transistor SOI, faça a região ativa ficar eletricamente flutuando, ocasionando este tipo efeito na tensão de ruptura [2]. Este efeito ocorre, pela influência existente da estrutura bipolar parasitária intrínseca [1], onde a fonte é o emissor, o canal é a base e o dreno é o coletor .

Com o intuito de reduzir a ocorrência dos efeitos bipolares parasitários, e assim aumentar a tensão de ruptura dos dispositivos SOI, foi projetada uma nova estrutura denominada transistor SOI de Canal Gradual (*Graded-Channel SOI MOSFET*) [2]. Esta estrutura apresenta um perfil de concentração de dopantes assimétrico na região do canal do transistor, resultante de uma pequena modificação no processo de fabricação dos transistores SOI convencionais, onde o canal é dividido em duas regiões distintas, a primeira região, próxima à fonte, apresenta a concentração usual de dopantes dos transistores SOI totalmente depletados (N_{AH}), responsável por determinar a tensão de limiar

do dispositivo e a outra região, mais próxima ao dreno, apresenta uma concentração reduzida de dopantes (N_{AL}), onde o intuito é reduzir a ionização por impacto no transistor. A estrutura GC SOI tem demonstrado visíveis melhorias em relação aos SOI MOSFETs convencionais em aplicações analógicas. Comparativamente, o GC SOI MOSFET apresenta maior nível de corrente e de transcondutância máxima [3], quando comparadas aos resultados obtidos em dispositivos SOI convencionais. E quando operando em saturação, ocasiona uma redução na condutância de dreno e, conseqüentemente, aumento na tensão Early, o que é muito importante para aplicações analógicas [4].

Este estudo irá contribuir para a análise de uma outra variável importante para averiguar o desempenho analógico dos dispositivos, o ruído de baixa frequência. Deseja-se que os transistores que são aplicados a circuitos analógicos adicionem pouco ruído ao sinal de entrada, de modo que a saída não seja alterada, mantendo a fidelidade daquilo que se esperava para saída [5]. Este ruído deve-se a pequenas flutuações na tensão ou na corrente elétrica, que são provocadas pelo próprio dispositivo, tipicamente representado pela sua densidade espectral de potência [5].

Aparecendo em todos os tipos de dispositivos eletrônicos e alguns outros sistemas, o ruído de baixa frequência tem ganhado a atenção de muitas pesquisas, principalmente nas áreas de física e eletrônica [6]. O interesse da engenharia sobre este tipo de ruído tem crescido principalmente nas últimas décadas, pois com avanço da microeletrônica e da capacidade de melhoria nos processos de fabricação dos dispositivos, resultando numa miniaturização dos transistores, a maneira de alcançar melhores resultados passa pela minimização do ruído e das suas conseqüências. Desta forma, como nos últimos anos houve uma consolidação da tecnologia SOI, o estudo do ruído de baixa frequência se dará sobre essa tecnologia.

Devido à sua natureza aleatória, o ruído não pode ser eliminado, então o ruído deve ser detectado e tratado em um circuito eletrônico. Dessa forma, o ruído será estudado neste trabalho tanto em transistores SOI MOSFET de canal gradual, como em SOI MOSFET convencionais. O ruído é um problema fundamental, onde é importante compreender, caracterizar e analisar, a fim de ser capaz de minimizar os seus efeitos e melhorar a detecção dos sinais desejados.

1.1 Objetivos do Trabalho

Este trabalho tem como objetivo estudar o ruído de baixa frequência de transistores GC SOI nMOSFETs operando na região de saturação e triodo, comparando-os com o obtido para transistores SOI nMOSFETs convencionais, utilizando resultados experimentais e simulações numéricas bidimensionais.

Para atingir o objetivo proposto, este trabalho foi dividido em seis capítulos, cujas estruturas estão apresentadas a seguir.

No Capítulo 2 serão abordados todos os tópicos relativos à introdução teórica necessária para o entendimento do trabalho. Inicialmente, serão colocados alguns conceitos fundamentais dos dispositivos SOI e GC SOI MOSFETs. A seguir, será feita uma explicação sobre o ruído e suas propriedades matemáticas. Assim, será apresentada a definição de ruído de baixa frequência e seus modelos mais relevantes, além do método para a identificação prática do tipo de modelo que justifica o ruído.

No Capítulo 3 constará uma breve introdução dos simuladores utilizados e, então serão dispostos os resultados obtidos nas simulações, tanto para as características mais básicas do transistor, como tensão de limiar, inclinação de sublimiar, transcondutância, entre outros, até as simulações envolvendo temperatura e ruído de baixa frequência.

O Capítulo 4 destina-se à apresentação dos resultados obtidos experimentalmente. Neste capítulo constarão as características dos dispositivos medidos, tanto para os parâmetros mais comuns, como tensão de limiar, inclinação de sublimiar, transcondutância, entre outros, como também para medidas de ruído de baixa frequência.

No Capítulo 5 serão explicitadas as conclusões obtidas ao longo do trabalho desenvolvido, através do confronto entre os resultados obtidos em simulações no Capítulo 3 e aqueles medidos experimentalmente no Capítulo 4. Além disso, também serão expostas propostas para continuação deste trabalho.

2 CONCEITOS BÁSICOS

Neste capítulo serão apresentados os transistores em tecnologia SOI, assim como os transistores de canal gradual, que serão abordados ao longo do trabalho. Serão também mostradas as principais características elétricas de cada um dos dispositivos estudados. Na seqüência, serão apresentados também os conceitos de ruído de baixa frequência dos transistores e seus modelos normalmente utilizados.

2.1 Tecnologia SOI MOSFET

A partir da evolução da microeletrônica e da capacidade de melhoria nos processos de fabricação dos dispositivos, resultando numa miniaturização dos transistores, se tornou viável a utilização de transistores SOI (*Silicon On Insulator* – silício sobre isolante). Este transistor foi criado com o intuito de melhorar os resultados obtidos, até então, com a tecnologia MOS convencional (*Bulk MOS*) [1].

A tecnologia SOI consiste basicamente na separação do substrato, da região ativa da lâmina, onde os dispositivos são fabricados, através de um material isolante. Dessa forma ocorre a redução de capacitâncias parasitárias existentes na tecnologia MOS convencional e a eliminação do efeito tiristor parasitário [1].

O perfil transversal do dispositivo SOI nMOSFET, é apresentado na Figura 2.1, onde estão indicadas as polarizações de porta (V_{GF}), substrato (V_{GB}), fonte (V_S) e dreno (V_D) e as espessuras dos óxidos de porta (t_{oxf}) e óxido enterrado (t_{oxb}), além da camada de silício (t_{Si}). Também está esquematizado as três interfaces Si–SiO₂ existentes na estrutura.

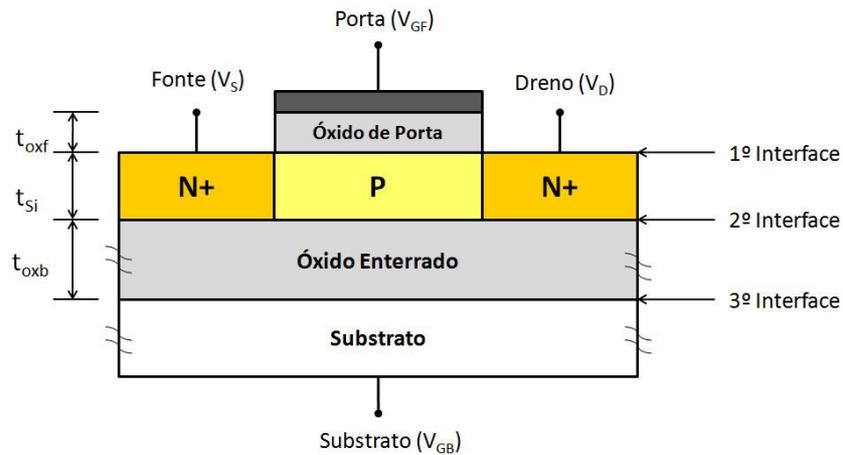


Figura 2.1 – Perfil transversal de um transistor SOI nMOSFET.

2.2 Tipos de Transistores SOI

Os transistores SOI podem ser divididos em três tipos, que dependem da espessura da camada de silício (t_{Si}), da concentração de dopantes e da temperatura, parâmetros estes que influenciam na extensão da região de depleção, alterando o comportamento do transistor.

Os três tipos são: dispositivo parcialmente depletado (*Partially Depleted* - PD), totalmente depletado (*Fully Depleted* - FD) e quase totalmente depletado (*Near Fully Depleted* - NFD).

A princípio, para analisar o tipo de SOI MOSFET, é necessário observar a espessura da camada de depleção, portanto, em um dispositivo MOS convencional, a espessura máxima de depleção, x_{dmax} , é dada por [7]:

$$x_{dmax} = \sqrt{\frac{2\epsilon_{Si} \cdot 2\phi_F}{q \cdot N_A}} \quad (2.1)$$

onde q é a carga elementar do elétron, ϵ_{Si} é a permissividade do silício, N_A é a concentração de dopantes aceitadores do substrato e ϕ_F é o potencial de Fermi, que é dado por [7]:

$$\phi_F = \frac{kT}{q} \cdot \ln\left(\frac{N_A}{n_i}\right) \quad (2.2)$$

onde T é a temperatura absoluta, k é a constante de Boltzmann e n_i é a concentração intrínseca de portadores no silício.

Desta forma, observando a espessura da região de depleção do transistor e confrontado-a com a espessura da camada de silício podemos classificar o transistor. Se a espessura da camada de silício for maior que o dobro da profundidade máxima de depleção, ou seja, $t_{Si} > 2.x_{dmax}$, aparecerá uma região neutra entre as regiões de depleção induzidas a partir da primeira e segunda interfaces [1]. Neste caso, o dispositivo é chamado de SOI MOSFET parcialmente depletado (PD SOI). Este transistor poderá apresentar diferentes comportamentos devido a região neutra existente, região esta que pode possuir ou não um contato elétrico. No caso de existir um contato de corpo e este estiver aterrado, o dispositivo terá comportamento semelhante ao de um MOSFET convencional. Caso este contato esteja eletricamente flutuando, o transistor apresentará efeitos de corpo flutuante [8].

No caso da espessura da camada de silício ser menor que a profundidade máxima de depleção do dispositivo, $t_{Si} < x_{dmax}$, as regiões de depleção da primeira e segunda interfaces estarão em contato, fazendo com que o dispositivo esteja totalmente depletado (FD) para tensões de porta acima da tensão de limiar. Assim, o dispositivo é chamado de SOI MOSFET totalmente depletado (FD SOI).

Se a espessura t_{Si} for maior que x_{dmax} mas menor que 2 vezes o valor de x_{dmax} , ou seja, $x_{dmax} > t_{Si} > 2.x_{dmax}$, então o dispositivo será chamado de quase totalmente depletado (NFD SOI), que poderá ter ou não a intersecção entre as duas regiões de depleção, dependendo da tensão aplicada à porta e ao substrato (V_{GB}) do dispositivo. Portanto, o transistor poderá se comportar como um SOI totalmente depletado ou parcialmente depletado.

As Figuras 2.2, 2.3 e 2.4 apresentam os diagramas de faixas de energia dos transistores MOS convencional, SOI parcialmente depletado e SOI totalmente depletado, respectivamente.

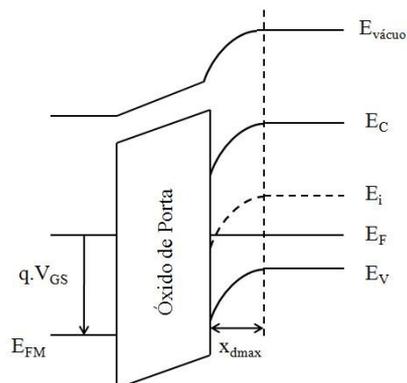


Figura 2.2 – Diagrama de faixas de energia dos transistores MOS convencional.

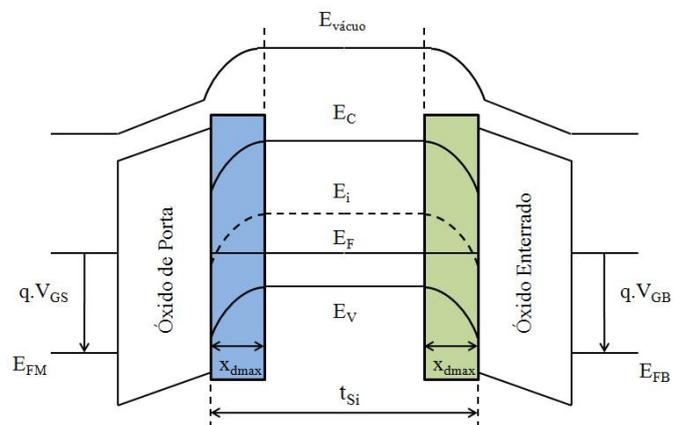


Figura 2.3 – Diagrama de faixas de energia dos transistores SOI parcialmente depletado.

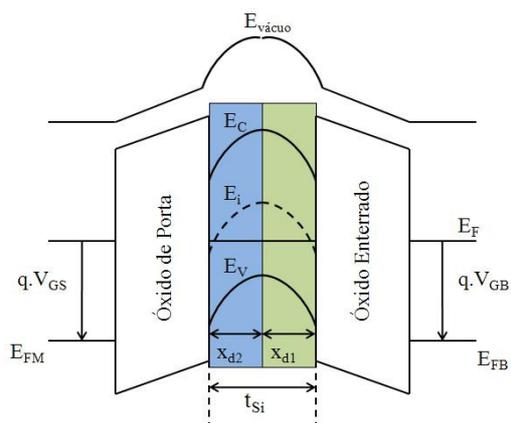


Figura 2.4 – Diagrama de faixas de energia dos transistores SOI totalmente depletado.

Nas figuras 2.2, 2.3 e 2.4, o $E_{\text{v\u00e1cuo}}$ representa o n\u00edvel de energia da faixa de v\u00e1cuo, E_C representa o n\u00edvel de energia inferior da faixa de condu\u00e7\u00e3o, E_V o n\u00edvel de energia superior da faixa de val\u00eancia, E_i o n\u00edvel de energia intr\u00ednseco, E_F o n\u00edvel de Fermi da camada de semiconductor (sil\u00edcio, no caso da tecnologia SOI), E_{FM} o n\u00edvel de Fermi do eletrodo de porta e E_{FB} o n\u00edvel de Fermi do substrato.

\u00c9 importante ressaltar que apenas transistores totalmente depletados ser\u00e3o utilizados neste trabalho. Isso ocorrer\u00e1, pois, este tipo de transistor apresenta melhores caracter\u00edsticas quando comparados ao MOSFET convencional como, por exemplo, a inclina\u00e7\u00e3o de sublimiar se aproxima do valor m\u00ednimo te\u00f3rico de 60 mV/dec, melhorando a velocidade de chaveamento do transistor [1], a maior mobilidade dos portadores na regi\u00e3o do canal [9], a diminui\u00e7\u00e3o nos efeitos de canal curto [10], entre outras. Estas vantagens apresentadas por este tipo de transistor est\u00e3o relacionadas com menor fator de corpo, e tamb\u00e9m s\u00e3o proporcionais \u00e0s menores capacit\u00e2ncias parasitas em rela\u00e7\u00e3o ao MOSFET convencional [11].

2.3 Caracter\u00edsticas El\u00e9tricas

Nesta se\u00e7\u00e3o ser\u00e3o apresentadas caracter\u00edsticas el\u00e9tricas dos transistores SOI que ser\u00e3o vistas nos pr\u00f3ximos cap\u00edtulos. As caracter\u00edsticas el\u00e9tricas apresentadas a seguir mostram o comportamento dos dispositivos operando, de maneira geral, no modo totalmente depletados. Ser\u00e3o comentadas tamb\u00e9m altera\u00e7\u00f5es decorrentes da redu\u00e7\u00e3o da temperatura sobre estes par\u00e2metros e em alguns casos as rela\u00e7\u00f5es com o ru\u00eddo.

2.3.1 Tens\u00e3o de Limiar

A tens\u00e3o de limiar, em um transistor MOS, representa a tens\u00e3o, aplicada a porta, necess\u00e1ria para que ocorra a invers\u00e3o de portadores na regi\u00e3o do canal, ou seja, eleva o potencial na superf\u00edcie da camada de sil\u00edcio para $2\cdot\Phi_F$ [7].

Em transistores SOI totalmente depletados, a tens\u00e3o de limiar depende da polariza\u00e7\u00e3o do substrato V_{GB} . Assim, em fun\u00e7\u00e3o da intera\u00e7\u00e3o das regi\u00f5es de deple\u00e7\u00e3o da primeira e da segunda interface, que poder\u00e1 estar acumulada, invertida ou depletada, temos

três tipos de situações, que resultam em três equações para a tensão de limiar. Tais equações são derivadas das equações de Lim & Fossum [11] e são apresentadas nas seguintes situações:

1. Segunda interface em acumulação.

Para termos tensão de limiar com a segunda interface em acumulação considera-se o potencial de superfície na segunda interface nulo ($\Phi_{SB} = 0$), o potencial de superfície na primeira interface igual a $2\Phi_F$ ($\Phi_{SF} = 2\Phi_F$) e a densidade de cargas de inversão na primeira interface nula ($\Phi_{invf} = 0$).

$$V_{thf,accB} = \Phi_{MSF} - \frac{Q_{oxf}}{C_{oxf}} + \left(1 + \frac{C_{Si}}{C_{oxf}}\right) \cdot 2\Phi_F - \frac{Q_{depl}}{2 \cdot C_{oxf}} \quad (2.4)$$

2. Segunda interface invertida.

Para termos tensão de limiar com a segunda interface invertida considera-se o potencial de superfície na segunda interface igual a $2\Phi_F$ ($\Phi_{SB} = 2\Phi_F$), o potencial de superfície na primeira interface igual a $2\Phi_F$ ($\Phi_{SF} = 2\Phi_F$) e a densidade de cargas de inversão na primeira interface nula ($\Phi_{invf} = 0$).

$$V_{thf,invB} = \Phi_{MSF} - \frac{Q_{oxf}}{C_{oxf}} + 2\Phi_F - \frac{Q_{depl}}{2 \cdot C_{oxf}} \quad (2.5)$$

3. Segunda interface depletada.

Para termos tensão de limiar com a segunda interface depletada considera-se o potencial de superfície na segunda interface igual a um valor intermediário entre zero e $2\Phi_F$ ($0 < \Phi_{SB} < 2\Phi_F$), o potencial de superfície na primeira interface igual a $2\Phi_F$ ($\Phi_{SF} = 2\Phi_F$) e a densidade de cargas de inversão na primeira interface nula ($\Phi_{invf} = 0$).

$$V_{\text{thf,deplB}} = V_{\text{thf,accB}} - \frac{C_{\text{Si}} \cdot C_{\text{Oxb}}}{C_{\text{Oxf}} \cdot (C_{\text{Si}} + C_{\text{Oxb}})} \cdot (V_{\text{GB}} - V_{\text{GB,accB}}) \quad (2.6)$$

Nestas equações, $V_{\text{GB,accB}}$ é a tensão aplicada ao substrato para que a segunda interface acumule, C_{Oxf} é a capacitância do óxido de porta da primeira interface por unidade de área, C_{Oxb} é a capacitância do óxido enterrado da segunda interface por unidade de área, C_{Si} é a capacitância de depleção do silício por unidade de área, Q_{depl} é a densidade de cargas de depleção por unidade de área, Q_{Oxf} é a densidade de cargas fixa no óxido da primeira interface por unidade de área e Φ_{MSF} é a diferença da função trabalho entre o material de porta da primeira interface e o silício.

Com relação à dependência com a temperatura, em um transistor MOSFET convencional ou SOI parcialmente depletado, a tensão de limiar sofre alterações, devido ao aumento do potencial de Fermi, fazendo com que a parcela das armadilhas de interface seja mais significativa. Portanto, incluindo-se o efeito das armadilhas de interface, a tensão de limiar de um transistor MOS, convencional ou SOI parcialmente depletado, é dada por [12]:

$$V_{\text{thf}} = \Phi_{\text{MS}} - \frac{Q_{\text{Ox}}}{C_{\text{Oxf}}} + \frac{qN_{\text{itf}}\Phi_{\text{F}}}{C_{\text{Oxf}}} - \frac{Q_{\text{depl}}}{C_{\text{Oxf}}} + 2\Phi_{\text{F}} \quad (2.7)$$

onde N_{itf} é a densidade de armadilhas de interface na primeira interface por unidade de área.

Para transistores MOS convencionais e SOI parcialmente depletados, a densidade de carga de depleção por unidade de área, é dada por $Q_{\text{depl}} = -qN_{\text{A}}x_{\text{dmax}}$. Assim, diferenciando a equação (2.7) com relação à temperatura, encontramos a variação da tensão de limiar, que pode ser expressa por [12]:

$$\frac{dV_{\text{thf}}}{dT} = \frac{d\Phi_{\text{F}}}{dT} \left[1 + \alpha_{V_{\text{T}}} \frac{q}{C_{\text{Ox}}} \left(\frac{\epsilon_{\text{Si}} N_{\text{A}}}{kT \ln(N_{\text{A}}/n_{\text{i}})} \right)^{1/2} + \frac{qN_{\text{itf}}}{C_{\text{Oxf}}} \right] \quad (2.8)$$

onde $\alpha_{V_{\text{T}}} = 1$.

Para um transistor SOI totalmente depletado, a variação da carga de depleção com a temperatura pode ser desprezada e a variação da tensão de limiar com a temperatura pode ser dada pela equação (2.8) com $\alpha_{V_T} = 0$ [1]. Caso este dispositivo apresente a mesma densidade de armadilhas de interface que um MOS convencional, a variação da tensão de limiar com a temperatura no SOI MOSFET totalmente depletado será menor que no MOS convencional. Caso as armadilhas de interface fossem desprezadas, a variação da tensão de limiar com a temperatura no transistor SOI MOSFET totalmente depletado será a própria variação de ϕ_F [1].

De um modo geral, para facilitar a compreensão no restante do trabalho, a tensão de limiar será referenciada apenas através do símbolo V_T . Se houver a necessidade, caso a caso, o símbolo será alterado e comentado.

2.3.2 Inclinação de Sublimiar

A inclinação de sublimiar (S) é definida, em transistores MOS, como sendo a variação na tensão de porta necessária a fim de se aumentar a corrente de dreno em uma década [12], quando o transistor está operando em inversão fraca e é descrita pela seguinte expressão:

$$S = \frac{1}{\frac{d(\log I_{DS})}{dV_{GF}}} \quad (2.9)$$

Como a componente predominante de corrente no sublimiar é a de difusão [7], pode-se obter que [13]:

$$S \cong n \frac{kT}{q} \ln(10) \quad (2.10)$$

onde n é o fator de corpo do transistor.

A partir desta equação, pode-se notar que a inclinação de sublimiar depende diretamente do fator de corpo do transistor. E como o dispositivo SOI totalmente depletado apresenta fator de corpo menor que o MOS convencional, o resultado, portanto, é uma

inclinação de sublimiar menor [1]. Para transistores MOS convencionais os valores de inclinação de sublimiar se aproximam do valor de 80 mV/dec, enquanto para transistores SOI MOSFETs totalmente depletados, o valor da inclinação de sublimiar se aproxima do valor mínimo teórico de 60 mV/dec. Portanto, sabendo que valores baixos de inclinação de sublimiar são importantes para um chaveamento mais rápido e eficiente dos transistores, o SOI totalmente depletado se apresenta como melhor opção para essa função.

Com relação à temperatura, pode-se perceber, pela equação (2.10), que S é diretamente proporcional à temperatura. Assim, diminuindo a temperatura é esperada uma diminuição em S .

2.3.3 Mobilidade

A mobilidade, parâmetro intrínseco ao material, é muito importante, por exemplo, nos transistores MOS, pois influencia diretamente na capacidade dos dispositivos de fornecerem corrente elétrica. O movimento dos portadores em um cristal semiconductor é limitado por mecanismos de espalhamento, ou seja, dependem de colisões que ocorrem na rede cristalina dos dispositivos [7], além de outros mecanismos.

De um modo simplificado, para semicondutores como o silício, a mobilidade depende da interação ocorrida entre portadores e fônons, que são as vibrações na rede cristalina, além de distorção da rede causada por defeitos cristalinos e impurezas ionizadas. Também temos uma dependência significativa da mobilidade com temperatura e com a concentração de impurezas dopantes.

Desta forma, serão apresentados a seguir, os dois tipos de espalhamento, que tem relevância quanto à observação do ruído, uma vez que aparecem em um dos modelos de ruído de baixa frequência propostos na seqüência do trabalho. Também serão apresentadas suas dependências com a temperatura.

1. Espalhamento de Rede (*lattice scattering* - μ_{ps}):

Este mecanismo se refere à interação entre os portadores e as vibrações na rede cristalina, transmitidas pelos fônons. Tais vibrações diminuem com a redução da

temperatura, aumentando a mobilidade. Para os elétrons, esse espalhamento pode ser descrito através da seguinte expressão [14]:

$$\mu_{pse} = \frac{1}{\left(\frac{1}{\mu_{0ea} \left(\frac{T}{300}\right)^{-\alpha_e}} + \frac{1}{\mu_{0eb} \left(\frac{T}{300}\right)^{-\beta_e}} \right)} \quad (2.11)$$

onde $\mu_{0ea} = 4195 \text{ cm}^2/\text{Vs}$, $\mu_{0eb} = 2153 \text{ cm}^2/\text{Vs}$, $\alpha_e = 1,5$ e $\beta_e = 3,13$. Para lacunas, devem ser alterados os coeficientes para, $\mu_{0ha} = 2502 \text{ cm}^2/\text{Vs}$, $\mu_{0hb} = 591 \text{ cm}^2/\text{Vs}$, $\alpha_h = 1,5$ e $\beta_h = 3,25$. Neste modelo a combinação dos fônons ópticos e acústicos é feita pela regra de Mathiessen [7].

2. Espalhamento por impurezas ionizadas (*ionized impurity scattering* - μ_{psii}):

Este mecanismo está relacionado com a diminuição da mobilidade dos portadores devido à alta concentração de dopantes. E apesar de existir um modelo analítico bastante preciso para o cálculo da mobilidade devido ao espalhamento por impurezas ionizadas [15], este não pode ser combinado ao espalhamento de rede, utilizando a regra de Mathiessen, pois estes mecanismos não são totalmente independentes. Foi então proposto por Caughey e Thomas [16] um modelo empírico que considera os mecanismos de espalhamento por rede e por impurezas ionizadas em uma única equação, dada por [16]:

$$\mu_{psii} = \mu_{\min,e} + \frac{\mu_{pse} - \mu_{\min,e}}{1 + \left(\frac{N_A}{N_{\text{ref},e}}\right)^{\alpha_{ae}}} \quad (2.12)$$

onde $\mu_{\min,e} = 197,17 - 45,505 \cdot \log(T)$; $N_{\text{ref},e} = 1,12 \times 10^{17} \cdot (T / 300)^{3,2}$ e $\alpha_{ae} = 0,72 (T / 300)^{0,0065}$. Para lacunas, o índice e deve ser substituído por h , resultando então em, $\mu_{\min,h} = 110,90 - 25,597 \cdot \log(T)$; $N_{\text{ref},h} = 2,23 \times 10^{17} \cdot (T / 300)^{3,2}$ e $\alpha_{ah} = \alpha_{ae}$.

Além destes mecanismos de espalhamento, também existem outros tipos, como espalhamento portador-portador e espalhamento por impurezas neutras. Estas não serão definidas neste trabalho por serem menos importantes com relação ao ruído de baixa frequência.

2.3.4 Transcondutância

A transcondutância de um transistor MOS (g_m), representa a medida da eficácia do controle da tensão de porta sobre a corrente de dreno (I_{DS}), dado por:

$$g_m = \frac{dI_{DS}}{dV_{GF}} \quad (2.13)$$

As equações para a transcondutância de transistores SOI totalmente depletados, podem ser obtidas através das equações de corrente, descritas pelo modelo de Lim & Fossum [17] para os transistores operando em:

1. Triodo.

$$I_{DS} \cong \mu_n C_{oxf} \frac{W}{L} \cdot \left[(V_{GF} - V_{thf}) V_{DS} - n \frac{V_{DS}^2}{2} \right] \quad (2.14)$$

2. Saturação.

$$I_{DSsat} \cong \mu_n C_{oxf} \frac{W}{2L} \cdot (V_{GF} - V_{thf})^2 \quad (2.15)$$

onde W é a largura do canal do transistor, L o comprimento de canal do transistor, μ_n a mobilidade efetiva dos elétrons no canal e o n o fator de corpo do transistor.

A partir das equações (2.14) e (2.15) são extraídas as expressões de transcondutância para transistores operando em triodo e saturação, respectivamente:

$$g_m = \mu_n C_{oxf} \frac{W}{L} V_{DS} \quad (2.16)$$

$$g_m = \frac{\mu_n C_{oxf} W}{n L} (V_{GF} - V_{thf}) \quad (2.17)$$

Como pode ser observada nas equações (2.16) e (2.17), a transcondutância possui uma dependência direta com a mobilidade dos portadores, que por sua vez influencia I_{DS} . Dessa forma, como a transcondutância possui uma dependência direta com a mobilidade, ela também sofrerá alterações devido à temperatura.

2.3.5 Efeito de Canal Curto

Com a evolução dos processos de fabricação, a diminuição dos transistores tem ocorrido de forma continuada. Assim, ao reduzirmos a dimensão do transistor, é comum ocorrer à redução do comprimento do canal, o que faz com que a carga da região de canal consumida pelas regiões de depleção, tanto do dreno, quanto da fonte, comecem a se tornar mais significativas, interferindo no controle das cargas do canal [1]. Na Figura 2.5 é possível visualizar a distribuição das regiões de depleção em transistores MOS convencionais de canal curto e canal longo.

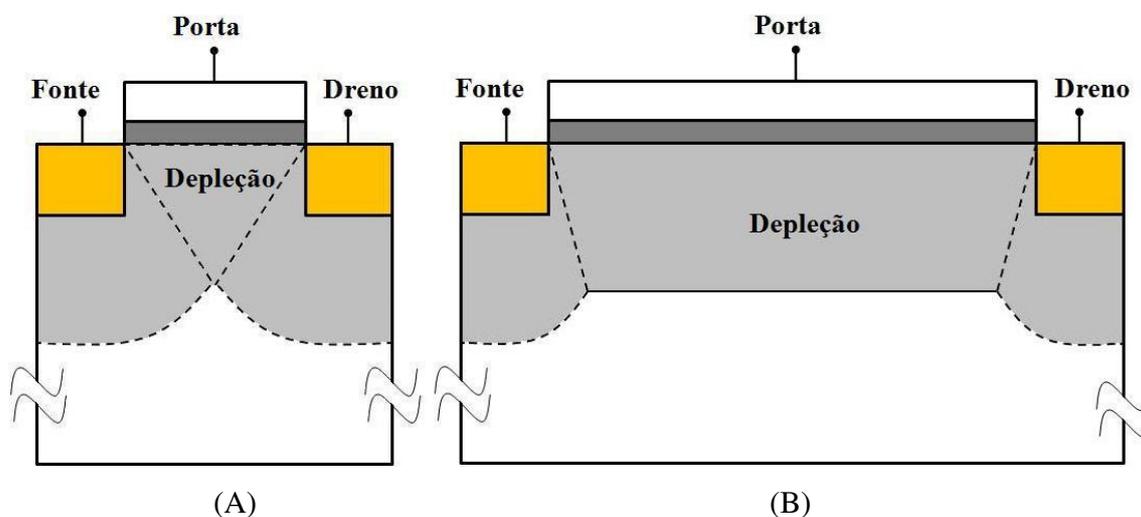


Figura 2.5 – Distribuição da região de depleção dos transistores MOS convencionais de canal curto (A) e canal longo (B).

Como consequência, o efeito de canal curto, gera a diminuição da tensão de limiar e o aumento da inclinação de sublimiar, pois a carga de depleção controlada pela porta será menor para o dispositivo com canal curto em relação ao de canal longo [1].

O efeito de canal curto pode causar também o chamado efeito de redução de barreira induzida pelo dreno (*Drain Induced Barrier Lowering - DIBL*) [18]. Esse efeito ocorre, pois em um dispositivo de canal curto, ao aplicarmos tensão sobre o dreno, o aumento da região de depleção no mesmo, pode induzir a redução da barreira de potencial na fonte que depende desta tensão. O que não ocorre em um dispositivo de canal longo. Assim, o DIBL provoca a diminuição das cargas controladas pela porta, reduzindo a tensão de limiar para valores altos de tensões aplicadas entre o dreno e a fonte [18].

Quando se trata de efeito de canal curto, comparando o transistor MOS convencional com o SOI totalmente depletado, temos uma resistência a este efeito no FD SOI, devido à presença do óxido enterrado. Isso ocorre devido os transistores FD SOI possuírem uma camada mais fina de silício, sofrendo então, uma influência menor dos efeitos de canal curto, visto que a porcentagem de cargas controladas pela porta é maior que do MOS convencional. Na Figura 2.6 é apresentada a distribuição das regiões de depleção em transistores SOI de canal curto e canal longo.

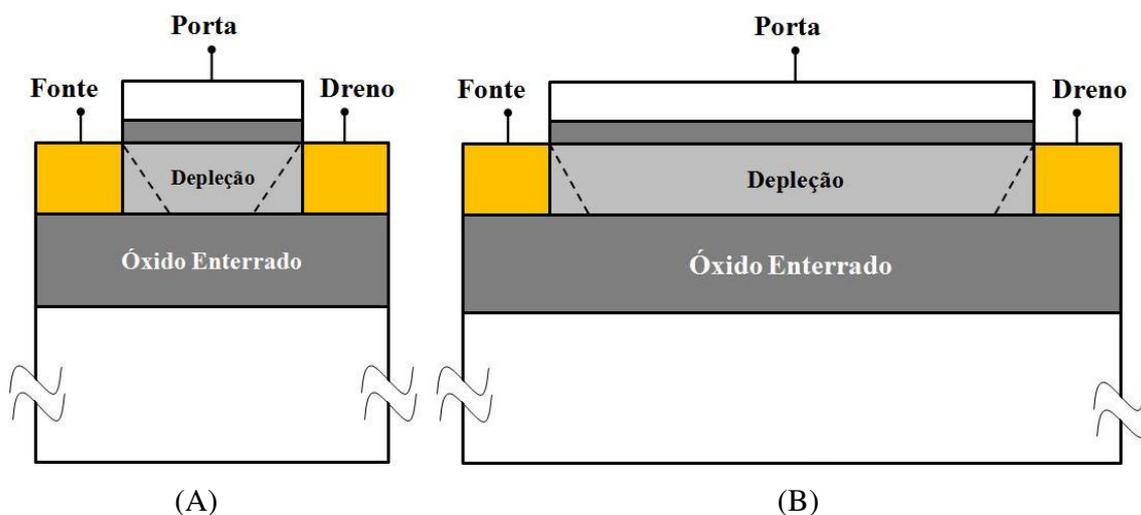


Figura 2.6 – Distribuição da região de depleção dos transistores FD SOI de canal curto (A) e canal longo (B).

Com relação à diminuição da temperatura, a consequência observada é a diminuição da porcentagem da carga total que sofre influência das regiões de depleção da fonte e do dreno reduzindo os efeitos de canal curto [19] devido ao aumento da região de depleção decorrente do aumento do potencial de Fermi.

2.4 GC SOI nMOSFET (Graded-Channel)

Quando tratamos de dispositivos SOI MOSFETs, estes possuem uma camada espessa de óxido enterrado, que separa a região ativa do transistor do substrato de silício [1]. Portanto, com a ausência de um contato de corpo no transistor SOI, a região ativa fica eletricamente flutuando, ocasionando assim uma redução da tensão de ruptura de dreno [1]. Este efeito ocorre, pois existe a influência de um transistor bipolar parasitária intrínseco, presente no SOI MOSFET, onde a fonte é o emissor, o canal é a base e o dreno é o coletor.

Para reduzir o efeito do transistor bipolar parasitário, uma alternativa tradicionalmente adotada é a diminuição da concentração de dopantes em um dos lados da junção, originando a redução da barreira de potencial e, dessa forma, reduzindo o campo elétrico nessa região. Com um campo elétrico menor, diminui o número de portadores gerados pela ionização por impacto. Assim, com uma concentração de dopantes menor, menor será a corrente de polarização do transistor bipolar parasitário.

Para que ocorra a diminuição da concentração de dopantes em um dos lados da junção, é feita uma estrutura com o dreno fracamente dopado, técnica chamada de LDD (*Lightly Doped Drain*) [20]. Esta técnica consiste em uma estrutura com uma região com concentração reduzida de dopante tipo n, entre a região de canal (tipo p) e a região de dreno (tipo n), com o objetivo de diminuir a barreira de potencial da junção, diminuindo-se a ionização por impacto. Porém, essa estrutura provoca um aumento da resistência série associada ao transistor, o que é ruim principalmente para o transistor SOI, pois este já apresenta uma resistência de série elevada, devido à redução da espessura da camada de silício da região ativa [21].

Em uma busca comprometida com a redução dos efeitos bipolares parasitários, diminuindo a ionização por impacto e mantendo as características do funcionamento do dispositivo, foi desenvolvida uma nova estrutura SOI totalmente depletada com um perfil de dopantes assimétrico na região de canal. Esta nova estrutura foi chamada de transistor SOI MOSFET de canal gradual, GC SOI MOSFET (Graded-Channel SOI MOSFET) [2].

O perfil de dopantes assimétrico na região do canal, que caracteriza este tipo de transistor, é dividido em duas regiões distintas, como pode ser visto na Figura 2.7, onde é apresentado o perfil transversal de um GC SOI nMOSFET. A primeira região, próxima à

fonte e com comprimento L_{HD} , apresenta a concentração usual de dopantes dos transistores SOI totalmente depletados (N_{AH}), que é responsável por determinar a tensão de limiar do dispositivo. A outra região, mais próxima ao dreno, apresenta uma concentração reduzida de dopantes (N_{AL}), cujo o intuito é reduzir a ionização por impacto no transistor. Esta região, que normalmente é denominada fracamente dopada, pode ser entendida como uma extensão da região de dreno, pois permanece invertida mesmo quando um potencial nulo é aplicado à porta e com isso reduz o comprimento de canal efetivo do dispositivo ($L_{eff} = L - L_{LD}$, onde L é o comprimento de máscara do dispositivo e L_{LD} é o comprimento da região fracamente dopada).

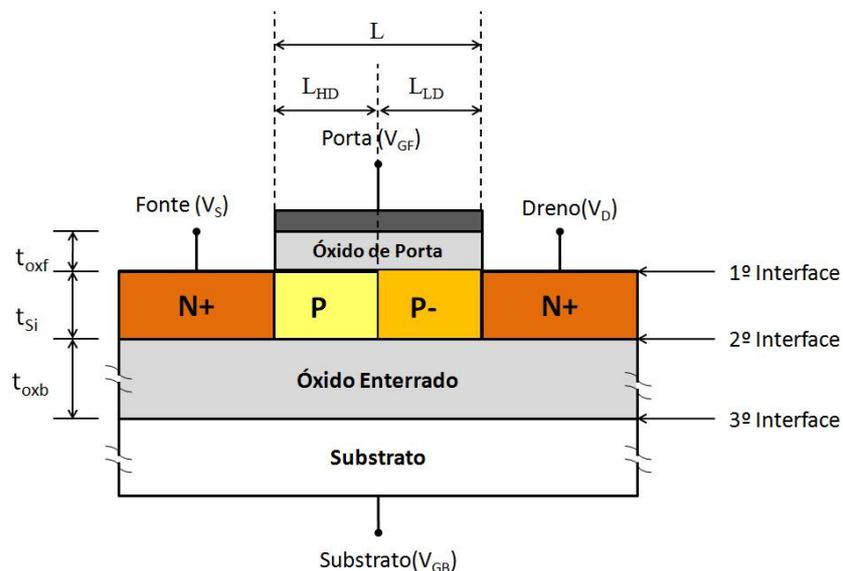


Figura 2.7 – Perfil transversal de um transistor GC SOI nMOSFET.

2.4.1 Melhorias nas características elétricas relacionadas ao GC SOI MOSFET

A estrutura GC SOI que foi desenvolvida para minimizar a ocorrência de efeitos bipolares parasitários inerentes aos transistores SOI, tem demonstrado visíveis melhorias comparativamente com os SOI MOSFETs convencionais, ou seja, com canal uniformemente dopado.

Comparativamente, o GC SOI MOSFET apresenta maior nível de corrente de dreno e de transcondutância máxima [3], quando comparadas aos resultados obtidos em dispositivos SOI convencionais com mesmo comprimento de canal. Isso é devido à redução do comprimento efetivo de canal, que se torna menor a medida que se aumenta a relação L_{LD}/L [22].

O transistor GC SOI MOSFET, quando operando em saturação, faz com que a maior parte do potencial aplicado ao dreno seja absorvida na região fracamente dopada [22]. Isso ocasiona uma redução na condutância de dreno e, conseqüentemente, aumento na tensão Early, resultando também em um aumento do ganho de tensão intrínseco, o que é muito importante para aplicações analógicas [4].

Trabalhos realizados com circuitos analógicos tem demonstrado um enorme potencial dos dispositivos GC SOI MOSFETs, como por exemplo, na utilização destes, em amplificadores operacionais [23], espelhos de corrente [24] e aplicações em circuitos de rádio frequência (RF) [25].

Pela óptica da fabricação, os dispositivos GC SOI também podem ser facilmente obtidos a partir do processo de fabricação do transistor SOI de porta simples [26]. Durante a etapa de implantação iônica para fixar a tensão de limiar, é preservada a dopagem natural da lâmina na região junto ao dreno (com comprimento L_{LD}), utilizando a mesma máscara que protege o transistor pMOSFET desta implantação. Assim, nenhuma máscara precisa ser adicionada ao processo CMOS tradicionalmente utilizado, não alterando significativamente o processo padrão [22]. Dessa forma, a implantação iônica ocorre apenas na região próxima à fonte (com comprimento L_{HD}), a qual será responsável pelo controle da tensão de limiar do dispositivo.

2.5 Ruído

O ruído, no sentido mais amplo, pode ser definido como qualquer perturbação indesejável que interfere ou dificulta a inteligibilidade do sinal de interesse [27]. Distúrbios muitas vezes vêm de fontes externas ao sistema que está sendo estudada e pode resultar de acoplamento eletrostático ou eletromagnético entre o circuito e, por exemplo, linhas de alimentação AC, transmissores de rádio, ou quaisquer circuitos adjacentes. Com exceção do ruído de tempestades elétricas e radiação cósmica, a maioria destes tipos de distúrbios são

causados pela interferência de equipamentos elétricos que podem ser barrados por uma proteção adequada, aterrando, ou mudando o leiaute dos componentes do circuito. Em casos extremos, alterando a localização física do sistema, afastando-o do ruído [28].

O ruído neste trabalho representa sinais aleatórios ou flutuações espontâneas que resultam da física dos dispositivos e materiais. Assim, o ruído aparece em todos os semicondutores elétricos em temperaturas acima do zero absoluto [28], o que será discutido no decorrer deste e dos demais capítulos. Esse ruído fundamental não pode ser previsto com exatidão, nem pode ser totalmente eliminado, mas pode ser observado e estudado e, então, ter seus efeitos minimizados.

Portanto, o estudo do ruído é muito importante na engenharia, já que o ruído pode limitar o funcionamento de um circuito, uma vez que o maior nível de sinal que pode ser processado é limitado pelas características do circuito, mas o menor nível detectável é definida pelo ruído [28].

Neste sentido, o ruído será estudado em transistores do tipo MOSFET, com ênfase principal ao ruído de baixa frequência.

2.5.1 Propriedades do Ruído

O ruído é constituído por um sinal totalmente aleatório, sendo formado por componentes de frequência que são variáveis na amplitude e na fase. Embora o valor eficaz possa ser medido, a amplitude exata a qualquer instante de tempo não pode ser prevista [28]. Se tivesse como prever a amplitude instantânea do ruído, o ruído não seria um problema.

A figura 2.8 ilustra como um sinal eletrônico flutua aleatoriamente devido ao ruído. Neste caso o sinal é considerado uma corrente, que pode ser descrito como [28]:

$$I(t) = \bar{I} + i_n(t) \quad (2.18)$$

onde \bar{I} é a corrente média e o $i_n(t)$ é a flutuação aleatória da corrente. O valor de i_n é aleatório em qualquer ponto no tempo e não pode ser previsto. Portanto, em vez de descrever o ruído com as médias de i_n , por exemplo, o estudo do ruído é construído sobre

os métodos matemáticos da teoria das probabilidades, o que nos permite definir médias adequadas para as variáveis aleatórias com as quais estamos lidando.

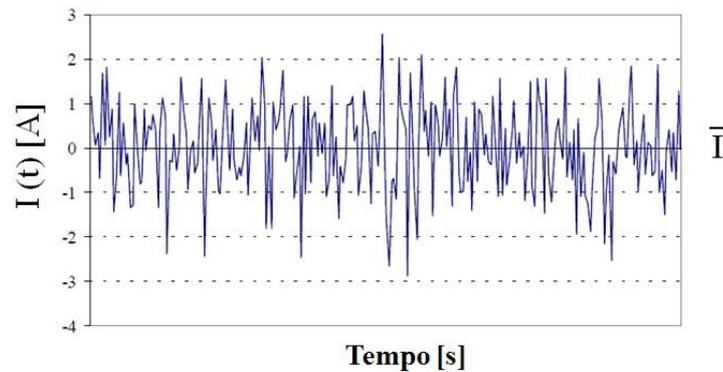


Figura 2.8 – Forma de onda do ruído [28].

Portanto, através de métodos probabilísticos é possível prever a aleatoriedade do ruído. E alguns tipos de ruídos contam com uma distribuição normal ou Gaussiana de amplitudes instantâneas com o tempo [29]. A curva da distribuição de Gauss comum é representada na figura 2.9, juntamente com a ilustração da forma de onda do ruído.

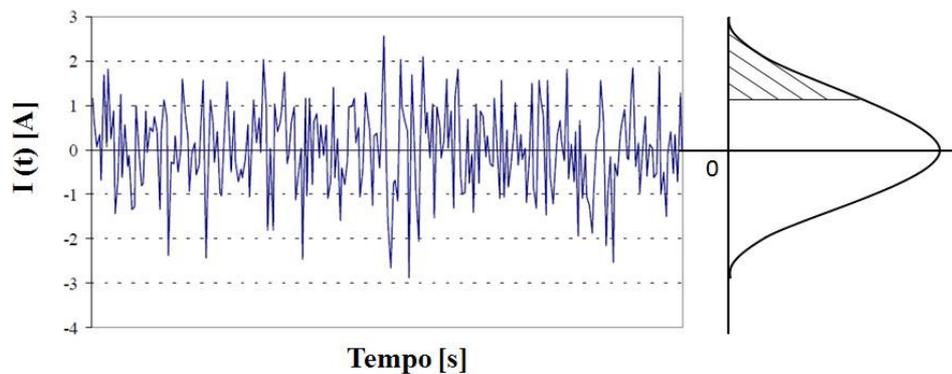


Figura 2.9 – Curva da distribuição de Gauss em conjunto com a forma de onda do ruído.

A distribuição de Gauss prevê a probabilidade do sinal de ruído medido ter um valor específico em um ponto qualquer no tempo. Esta curva de Gauss limita a forma de onda do sinal de ruído produzido, com a sobreposição de uma coordenada imaginária para a estrutura de grade. Se fosse possível provar uma grande coleção de pontos de dados e

calcular o número de ocorrências quando o nível de sinal de ruído é igual ou superior a um determinado nível, a curva de Gauss seria o resultado. Matematicamente, a distribuição pode ser descrita como [28]:

$$f(x) = \frac{1}{\sigma\sqrt{2\pi}} \exp - \left[\frac{(x-m)^2}{2\sigma^2} \right] \quad (2.19)$$

onde m é o valor médio e σ é o desvio-padrão da variável x , que representa a medida mais comum da dispersão estatística, no caso, o ruído. A função $f(x)$ é referida como a função densidade de probabilidade [28]. No entanto, por se tratar de aproximações e pelas inúmeras diferenças entre tipos de ruído, o valor exato da função densidade de probabilidade para o ruído é dificilmente conhecida, o que fez ser necessário mais pesquisas sobre como ser possível dimensionar o ruído.

Como as correntes e tensões são facilmente medidos ao longo do tempo, estas foram utilizadas para obter informações sobre o ruído. Com a média do ruído da tensão ou ruído da corrente elevada ao quadrado, estes valores são utilizados para descrever o ruído. Valores estes chamados de densidade espectral de potência, ou S , que é dado pela função de autocorrelação $R(s)$, de acordo com o teorema de Wiener-Khintchine [30][31]:

$$S_x(f) = 4 \int_0^{\infty} R(s) \cos(2\pi fs) ds \quad (2.20)$$

onde S_x é a transformada de Fourier de $R(s)$, que é dado por:

$$R(s) = \overline{X(t)X(t+s)} = \lim_{T \rightarrow \infty} \frac{1}{T} \int_0^T X(t)X(t+s) dt \quad (2.21)$$

ou

$$R(s) = \int_0^{\infty} S_x \cos(2\pi fs) df \quad (2.22)$$

quando $s = 0$, obtém-se a variação ou potência do ruído:

$$\overline{X^2(t)} = \int_0^\infty S_x(f)df = \lim_{T \rightarrow \infty} \frac{1}{T} \int_0^T X^2(t)dt \quad (2.23)$$

Essa densidade espectral da potência do ruído é medida com um analisador de espectro, o qual será discutido na sequência do trabalho. A densidade espectral de potência fornece informações sobre como a potência do ruído é distribuído com relação à frequência. E a densidade espectral de potência no ruído de corrente e no ruído de tensão tem suas unidades especificadas como, A^2/Hz e V^2/Hz , respectivamente.

Com relação ao ruído, quando este ocorre e S é constante para todas as frequências, tal ruído é chamado de ruído branco [28]. Nota-se também, que a densidade espectral de potência do ruído é dependente da frequência, e quando observado em baixas frequências se comporta de uma maneira específica, sendo chamado de ruído de baixa frequência. E quando observado para frequências maiores, o ruído é uma sobreposição de várias fontes de ruído, sendo chamado nesta faixa de ruído branco, mantendo um valor constante de S .

Desta forma, serão apresentados agora três tipos principais de ruído, relevantes em semicondutores:

1. Ruído Térmico

O ruído térmico, também chamado de ruído Johnson-Nyquist, provém da agitação térmica dos portadores de carga (normalmente os elétrons) no interior de um condutor elétrico, no equilíbrio, o que acontece, independentemente de qualquer potencial elétrico aplicado [32].

Este espectro de ruído é sempre encontrado, qualquer que seja a natureza do processo de condução, ou a natureza da mobilidade dos portadores de carga. Portanto, o ruído térmico é gerado em qualquer material com uma resistência elétrica (R) e uma temperatura (T) diferente de zero, tendo sua densidade espectral de ruído da corrente (S_I) e da tensão (S_V), respectivamente, sendo dada como [32]:

$$S_I = \frac{4kT}{R} \quad (2.24)$$

$$S_V = 4kTR \quad (2.25)$$

onde k é a constante de Boltzmann.

É possível notar que quanto maior a temperatura aplicada no semicondutor, mais ruído térmico é gerado, então uma forma simples de reduzir a contribuição deste ruído seria sua utilização em temperatura criogênicas.

2. Ruído Shot

A corrente que flui através de uma barreira potencial, como a junção pn, não é contínua, devido à natureza discreta das cargas eletrônicas, ou seja, os elétrons [32]. A corrente elétrica através de uma barreira de potencial é dada pelo número de portadores, cada um carregando a carga elétrica q , que atravessa a barreira durante um período de tempo. Uma corrente elétrica que contém o ruído shot é gerada quando os elétrons atravessam a barreira de potencial independentemente e ao acaso. O ruído oscila com uma densidade de potência espectral igual à [32]:

$$S_I = 2qI \quad (2.26)$$

onde I é a corrente dc através da barreira de potencial. Este tipo de ruído está presente no MOSFET devido as junções associadas as regiões de fonte e dreno [32].

Neste tipo de ruído é possível notar que, quanto maior a corrente no semicondutor, mais ruído shot será gerado, então para se reduzir a contribuição deste ruído seria necessário a redução da corrente no dispositivo, entretanto, a relação sinal/ruído se torna uma variável importante, pois ao se diminuir o sinal de interesse, no caso a corrente do dispositivo, diminui também o ruído, porém esta relação pode continuar sendo ruim para a inteligibilidade do sinal no semicondutor, portanto para solucionar este problema é necessário se aprofundar ainda mais no estudo deste ruído.

3. Ruído de Geração e Recombinação

O ruído de geração e recombinação (GR) é proveniente de armadilhas que capturam e emitem portadores aleatoriamente, assim causando flutuações no número de portadores disponíveis no fluir da corrente elétrica [32]. As armadilhas são caracterizadas como sendo estados de energia dentro da região proibida (“*bandgap*”), e existem devido à presença de vários defeitos ou impurezas no semicondutor e em suas superfícies. Se os portadores estão presos em alguns pontos críticos, a carga presa também pode induzir variações na mobilidade, no coeficiente de difusão, no campo elétrico, entre outros [32].

Assim, o número de elétrons livres na faixa de condução pode variar por causa do processo de geração e recombinação entre faixas de energia e armadilhas. O número de variações causam alterações na condutância elétrica (G), e portanto, na resistência elétrica (R) [32], como pode ser modelado através da equação (2.27):

$$\frac{S_R}{R^2} = \frac{S_G}{G^2} = \frac{S_N}{N^2} = \overline{(\Delta N)^2} \cdot \frac{4\tau}{1+(2\pi f)^2\tau^2} \quad (2.27)$$

onde τ é o tempo de transição de geração e recombinação, característica de uma armadilha, usualmente na faixa de 10^{-6} segundos a 10^{-3} segundos e N é o número de portadores. A forma do espectro dado pela equação (2.27) é chamado de Lorentzian, onde o ruído tem um redução relacionada com o quadrado da frequência, ou seja, $1/f^2$ [5]. O ruído GR é somente significativo quando o nível da energia de Fermi está próximo do nível de energia da armadilha. Então, o tempo de captura τ_c e o tempo de emissão τ_e são quase iguais. Se o nível de Fermi está muito acima ou muito abaixo do nível de energia da armadilha, a armadilha estará preenchida ou vazia a maior parte do tempo e poucas transições ocorrerão para produzir ruído. O inverso da variância pode ser descrita como [28]:

$$\frac{1}{\overline{(\Delta N)^2}} = \frac{1}{N} + \frac{1}{N_n} + \frac{1}{N_p} \quad (2.28)$$

onde N_n é o número médio de armadilhas preenchidas e N_p é o número médio de armadilhas vazias. No nível de Fermi e assumindo que $N \gg N_T$ ($N_T = N_p + N_n$) [28]:

$$\overline{(\Delta N)^2} = \frac{N_T}{4} \quad (2.29)$$

Usando as equações (2.28) e (2.29) e sabendo que a corrente elétrica num dispositivo é proporcional ao número de portadores de carga, temos [28]:

$$S_I = I^2 \frac{N_T}{N^2} \frac{\tau}{1+(2\pi f)^2 \tau^2} \quad (2.30)$$

E como pode ser visto, a densidade espectral de potência é proporcional ao número de armadilhas e inversamente proporcional ao quadrado do número de portadores.

Um caso especial do ruído GR é chamado de ruído Sinal Telegráfico Aleatório, ou RTS (*Random-Telegraph-Signal*), que é visto como um evento de discreta comutação no período do tempo, apresentado na Figura 2.10, onde a corrente de dreno se alterna entre dois níveis dependendo da condição das armadilhas [28]. Portanto, se apenas algumas armadilhas estão preenchidas, a corrente pode alternar, o que se assemelha com uma onda de sinal telegráfico aleatório, devido ao armadilhamento e desarmadilhamento dos portadores. A densidade espectral de potência das flutuações de corrente é determinada pela seguinte expressão [28]:

$$S_I(f) = \frac{4(\Delta I)^2}{(\tau_l + \tau_h)[(1/\tau_l + 1/\tau_h)^2 + (2\pi f)^2]} \quad (2.31)$$

onde o τ_h é o período de tempo onde a corrente elétrica se encontra no nível superior e o τ_l é o período de tempo onde a corrente elétrica se encontra no nível inferior, ambas conforme a Figura 2.10.

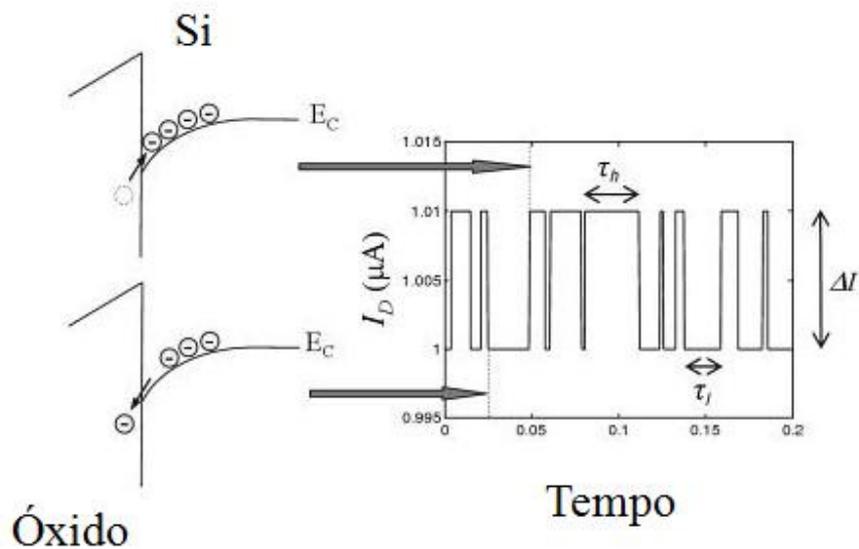


Figura 2.10 – Descrição esquemática do ruído RTS no MOSFET [28].

Portanto, é possível verificar pela equação (2.31), que a natureza da captura e emissão constante de elétrons no tempo, o ruído RTS, produz um espectro de ruído correspondente ao Lorentzian [33]. Estudos demonstram que este tipo de ruído RTS, quando observado em pequenas áreas dos dispositivos MOSFETs demonstram uma queda de $1/f^2$ [33], porém quando ocorre a somatória do ruído RTS ao longo de toda a área do dispositivo MOSFET, com distribuições estratégicas de constantes de tempo, o que ocorre é o aparecimento de um espectro do tipo $1/f$ [33], conforme pode ser visualizado na Figura 2.11. Dessa forma então, acredita-se que o ruído RTS, se torna um componente importante na explicação do ruído de baixa frequência, sendo utilizado em um dos modelos proposto por McWhorter, o qual será abordado na sequência do trabalho.

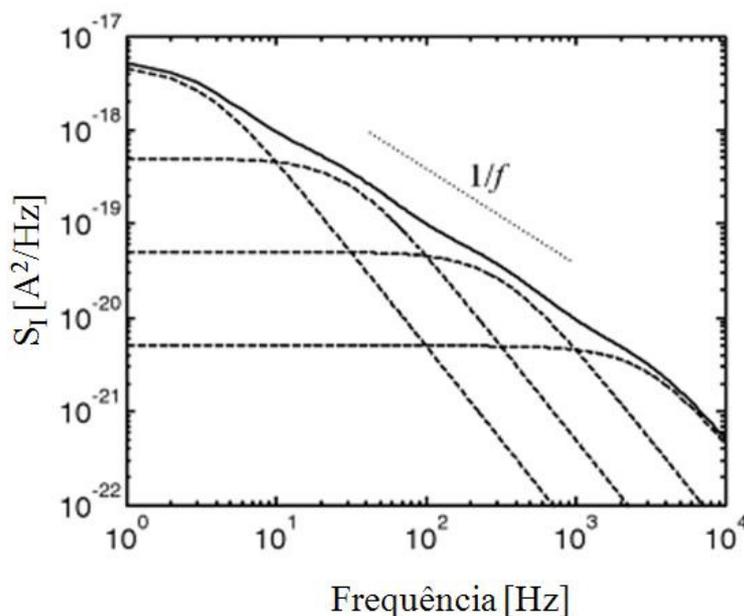


Figura 2.11 – Representação da sobreposição do ruído RTS, formando-se então, o perfil de ruído $1/f$ [28].

2.6 Ruído de Baixa Frequência

Aparecendo em todos os tipos de dispositivos, desde resistores de filme de metal homogêneo e semicondutores a células químicas concentradas, o ruído de baixa frequência tem ganhado a atenção de muitas pesquisas, principalmente nas áreas de física e eletrônica [5].

O interesse da engenharia sobre este tipo de ruído tem crescido principalmente nas últimas décadas, pois com avanço da microeletrônica e da capacidade de melhoria nos processos de fabricação dos dispositivos, resultando numa miniaturização dos transistores, a maneira de alcançar melhores resultados passa pela minimização do ruído e das suas consequências.

Quando um valor constante de tensão é aplicado em um dispositivo semiconductor, a corrente elétrica exhibe variações. Para altas frequências, como já visto, em geral o espectro de frequência se apresenta constante, devido a sobreposição dos diferentes tipos de ruído mencionados. Entretanto, quando se trata de baixa frequência, o que pode ser entendido como uma frequência menor do que 10 KHz [34], o espectro do ruído é proporcional a $1/f^\gamma$, onde γ está na faixa de 0,7 a 1,3 [35]. Assim, o ruído de baixa frequência é também

chamada de $1/f$. Este tipo de ruído foi observado primeiramente em válvulas, a mais de 80 anos [32]. Desde então, explicações físicas não totalmente satisfatórias foram desenvolvidas, sem uma definição sobre a origem desse tipo de ruído.

Atualmente dois modelos de ruído de baixa frequência tem polarizado as explicações na literatura: a teoria de variação de número de portadores, proposto por McWhorter [35], e a teoria de variação de mobilidade, proposto por Hooge [32]. Estes dois modelos serão discutidos a seguir.

2.6.1 Modelos de Ruído de Baixa Frequência

Visto que a corrente elétrica em um dispositivo é proporcional ao produto da mobilidade (μ) pela densidade ou número de portadores de carga (N), variações de baixa frequência no transporte das cargas são causadas por mudanças aleatórias em algum desses parâmetros [35]. Em muitos casos, variações na corrente elétrica, ou mais especificamente no produto μ vezes N são monitoradas, mas a dificuldade de separá-los numa análise tem complicado a identificação da fonte dominante do ruído $1/f$ [35]. Essa dualidade também explica as duas escolas de pensamento, dois modelos diferentes de explicação para o ruído de baixa frequência.

2.6.2 Modelo de McWhorter [35]

O modelo de McWhorter, também chamado de modelo ΔN , foi originalmente proposto para o ruído $1/f$ no germânio e assume que a origem das variações é causada pelo tunelamento de portadores na superfície do semiconductor, ou seja, ocorre o armadilhamento e o desarmadilhamento aleatório de cargas móveis que estão localizadas na interface Si-SiO₂ e no interior do óxido. Isso pode ser visualizado através da Figura 2.12.

$$f_T = \frac{1}{1 + \exp((E_T - F_T)/kT)} \quad (2.33)$$

com E_T sendo o nível da energia das armadilhas em eV e o F_T o nível de quasi-Fermi das armadilhas em eV.

A variação de dn_t causa flutuação dos portadores livres do canal dN , que por sua vez causam variações na corrente elétrica do canal (dI_{DS}). Sob condição de inversão forte, o valor de dn_t é igual a dN [38]. E de acordo com a teoria do MOSFET, o número de portadores livres N elementar é dado por [38]:

$$qN = \int_0^L qn(x)dx = \int_0^L WC_{ox}(V_{GS} - V_T - V(x))dx \quad (2.34)$$

onde $n(x)$ é o número de portadores livres por unidade de comprimento, $V(x)$ é o potencial elétrico no ponto infinitesimal e a corrente elétrica entre dreno e fonte é dada por:

$$I_{DS} = qn(x)\mu \frac{dV(x)}{dx} \quad (2.35)$$

A partir das equações (2.34) e (2.35) o espectro das variações de corrente de dreno devido a variação de portadores armadilhados em um volume elementar (ΔV) é dado por [38]:

$$S_I = \left(\frac{I_{DS}}{Ln(x)} \right)^2 dN^2 = \frac{\mu q^2 I_{DS}}{L^2 C_{ox}(V_{sat} - V(x))} \frac{dV(x)}{dx} dn_t^2 \quad (2.36)$$

Deste modo, para calcular o ruído $1/f$ causado por todas as armadilhas distribuídas no espaço, é necessário integrar a equação (2.36) ao longo do canal, sob as faixas de energia e dentro do óxido. A expressão geral do espectro de ruído da corrente elétrica é dada por [38]:

$$S_I = \int_0^{V_{DS}} \int_{E_V}^{E_C} \int_0^d \frac{\mu q^2 I_{DS}}{L^2 C_{ox}(V_{sat} - V(x))} \frac{4\tau(y,E,V)}{1 + (2\pi f)^2 \tau^2(y,E,V)} N_T(E, y) f_T(E, V) f_{pT}(E, V) dy dE dV \quad (2.37)$$

onde E_V e E_C representam os níveis de energia da faixa de valência e condução, respectivamente, e d é a profundidade em que a armadilha está localizada no óxido.

Para avaliar essa integral deve-se primeiro determinar a distribuição de $N_t(E,y)$, $\tau(y,E,V)$ e a função $f_T(E,V)$.

Quando observado uma simples armadilha com uma distribuição uniforme no óxido, $N_T(E,y)$ se torna igual a $N_T(E)$. Dessa forma, a distribuição constante de tempo de armadilhamento $\tau(y,E,V)$ é determinada baseada na estatística de SRH e no modelo de tunelamento proposto por McWhorter, demonstrada pelas seguintes equações [38]:

$$\tau(y) = \tau_0 \exp(\alpha_t y) \quad (2.38)$$

onde:

$$\tau_0 = \frac{1}{c(n_s + n_1)} \quad (2.39)$$

sendo α_t a constante de tunelamento de McWhorter, cujo valor esta na ordem de 10^8 cm^{-1} , c é o coeficiente de elétrons capturados, com valor de $10^{-8} \text{ cm}^3/\text{s}$ e n_s e n_1 são concentrações de portadores na superfície dados por:

$$n_s = n_i \exp\left(\frac{F_n - E_i}{kT}\right) \quad (2.40)$$

$$n_1 = n_i \exp\left(\frac{F_t - E_i}{kT}\right) \quad (2.41)$$

No caso prático onde a contante de tempo de armadilhamento (τ_0) é igual a 10^{-10} s, as armadilhas são distribuídas no óxido numa distância de $d = 50\text{Å}$ e o máximo da constante de tempo de armadilhamento (τ_{max}) é igual a 5×10^{11} s [38]. É essa ampla taxa de constante de tempo do armadilhamento que é responsável pela ampla gama de ruído $1/f$ observado [38].

Com as informações contidas nas equações (2.37), (2.38) e (2.39) é possível trabalhar na integral que se refere ao óxido:

$$\int_0^d \frac{4\tau(y,E,V)}{1+(2\pi f)^2\tau^2(y,E,V)} N_T(E) \cdot \frac{1}{\alpha_t(2\pi f)} [\arctan((2\pi f)\tau_{\max}) - \arctan((2\pi f)\tau_0)] = N_T(E) \frac{1}{4\alpha_t f} \text{ para } \frac{1}{2\pi\tau_{\max}} < f < \frac{1}{2\pi\tau_0} \quad (2.42)$$

Sob a condição de uma distribuição constante de armadilhas ao longo da estrutura do transistor, o espectro puro do ruído $1/f$ é obtido na faixa de frequência de $10^{-13} < f < 10^9$ Hz. Porém, como dito anteriormente, este valor é suprimido pelos outros tipos de ruído, chamados de branco, tornando o ruído $1/f$ relevante até 10^4 Hz [38].

Como normalmente a distribuição das armadilhas no espaço não é constante, o espectro mostra o ruído com $1/f^\gamma$ onde γ varia entre 0,7 e 1,3 [35].

Agora, também é possível resolver a integral sob a distribuição de armadilhas nas faixas de energia. E como a exata distribuição de armadilhas $N_T(E)$ é de menor importância, as únicas armadilhas que são efetivas na geração do ruído, são as armadilhas em volta do elétron do nível de quasi-Fermi (F_n) [38]. Portanto, uma boa aproximação para a integral sob as bandas de energia é dado por [38]:

$$\int_{E_V}^{E_C} N_T(E) f_T(E, V) dE = 4kTN_T(F_n) f_T(F_n) f_{pT}(F_n) \quad (2.43)$$

Depois de resolvidas essas equações, a equação (2.37) pode ser reduzida e descrito como:

$$S_I = \frac{\mu q^2 I_{DS}}{L^2 C_{ox}} \frac{kT}{\alpha_t f} \int_0^{V_{DS}} \frac{1}{(V_{sat} - V(x))} N_T(F_n) f_T(F_n) f_{pT}(F_n) dV \quad (2.44)$$

O nível de quasi-Fermi não é uma constante ao longo do canal, devido a isso, a função $f_T f_{pT}$ varia e sua expressão usando a estatística de SHR é [38]:

$$f_T(F_n) f_{pT}(F_n) = \frac{n_s^4(x)}{(2n_s(x)^2 + n_i^2)^2} \quad (2.45)$$

onde $n_s(x)$ é a densidade superficial dos elétrons invertidos no canal de um nMOSFET, que esta de acordo com a teoria do MOSFET elementar relacionado ao potencial do canal como [38]:

$$n_s = n_{s0} \frac{V_{sat} - V(x)}{V_{sat}} \quad (2.46)$$

Para o simples caso onde $N_T(F_n)$ é distribuído uniformemente na banda de energia ou pelo menos próximo de F_n , a integral resulta em [38]:

$$S_I = \frac{\mu q^2 I_{DS}}{L^2 C_{ox}} \frac{k T N_T}{\alpha_{tf}} \frac{1}{16} \ln \left[\frac{2}{2 \left(\frac{V_{sat} - V_{DS}}{V_{sat}} \right)^2 + \left(\frac{n_i}{n_{s0}} \right)^2} \right] \quad (2.47)$$

Esta solução para o espectro do ruído $1/f$ é válido quando as armadilhas são distribuídas uniformemente no espaço e nas bandas de energia, ou pelo menos estão próximas ao nível de quasi-Fermi F_n do elétron, assim como dito anteriormente. Além disso, a área trabalhada para esta fórmula é a região de triodo até o ponto do início da saturação, $V_{DS} > V_{sat} = V_{GS} - V_T$.

Quando operando em saturação ($V_{DS} > V_{sat}$) parte da equação (2.47) pode ser desprezada, fazendo com que a corrente de dreno aumente com relação ao aumento da tensão de dreno e fonte. Portanto, a equação é reduzida para [38]:

$$S_I = \frac{\mu q^2 I_{DS}}{L^2 C_{ox}} \frac{k T N_T}{\alpha_{tf}} \frac{1}{16} \ln \left[\frac{\sqrt{2} n_{s0}}{n_i} \right] = \frac{K_F I_{DS}}{C_{ox}^2 W L f} \quad (2.48)$$

onde K_F é, portanto, uma constante característica do material, pois depende particularmente de valor adquiridos durante o processo de fabricação do dispositivo.

É possível, através de métodos matemáticos, combinar a equação (2.48) com a transcondutância (g_m), já discutida anteriormente, e chegar a uma outra equação que define a densidade espectral de potência das variações na corrente elétrica do SOI MOSFET, dada por [39]:

$$S_I = \frac{K_F g_m^2}{C_{ox}^2 W L f} \quad (2.49)$$

Algumas outras aplicações em MOSFETs da teoria de McWhorter tem sido feitas. Entre estas, vale a pena ressaltar, um modelo adicional que leva em conta todas as componentes capacitivas do circuito equivalente de pequenos sinais, desenvolvido por Reimbold [40], de forma a ter todos os regimes de operação do transistor. Este estudo foi feito em inversão fraca, e resulta numa densidade espectral como [41]:

$$S_I = \frac{K_F q^4 I_{DS}^2}{n^2 k T W L f} \frac{N_T}{(C_{ox} + C_{SS} + C_D + C_I)^2} \quad (2.50)$$

onde C_{SS} é a capacitância dos estados de interface, C_D é a capacitância de depleção e C_I é a capacitância da camada de inversão, todas por unidade de área.

2.6.3 Modelo de Hooge [32]

O modelo de Hooge, também chamado de modelo $\Delta\mu$, é puramente empírico e foi proposto inicialmente para explicar o ruído $1/f$ em semicondutores homogêneos, como por exemplo, resistores com contatos ôhmicos ideais de baixo ruído. O modelo de Hooge assume que a origem das variações introduzidas pelo ruído é causada pela mobilidade.

Foi observado por Hooge que a corrente normalizada da densidade espectral de corrente de ruído para uma ampla faixa de materiais pode ser representada pela seguinte relação empírica [42]:

$$\frac{S_I}{I^2} = \frac{\alpha_H}{N f} \quad (2.51)$$

onde α_H é chamado de parâmetro de Hooge e o N é o número total de portadores no condutor. Na equação (2.51) é assumido que o dispositivo mostra uma característica I-V linear de modo que a densidade espectral de corrente está em escala com I^2 .

Originalmente, imaginava-se que o parâmetro α_H era uma constante fundamental para todos os materiais, de um valor aproximado a 10^{-3} [42]. E é possível observar que o α_H

é dimensionado somente para um espectro $1/f$ puro, ou seja, com o expoente γ da frequência exatamente igual a 1. Atualmente, α_H é considerado um parâmetro do material, que pode variar em muitas décadas, dependendo da qualidade do material. Um material considerado bom tem um baixo valor de α_H , o que corresponde a um baixo ruído $1/f$. Para o silício, os valores encontrados para α_H estão na faixa de 5×10^{-6} até 2×10^{-3} [43].

Assim, o parâmetro α_H e o ruído $1/f$ podem de modo geral ser utilizados para investigar a qualidade da estrutura e os defeitos induzidos no processo da tecnologia do dispositivo. O maior problema no estudo de ruídos é identificar as fontes responsáveis, quando existem muitos processos de variações a serem considerados [43].

O fato de que o α_H não é uma constante, mas depende muito da qualidade da estrutura cristalina do material, tem levado ao seguinte refinamento [43]:

$$\alpha_H = \alpha_{latt} \left(\frac{\mu}{\mu_{latt}} \right)^2 \quad (2.52)$$

com α_{latt} sendo a mobilidade devido ao espalhamento de rede com um valor constante de aproximadamente 2×10^{-3} e o μ a mobilidade do portador. É assumido aqui que independente de diferentes mecanismos de espalhamento a serem ativados em paralelo, resulta na mobilidade total que segue a regra de Matthiesen e é menor do que μ [28]. A partir da equação (2.52) é apresentado que o espalhamento de rede é o dominante na geração do ruído $1/f$, enquanto outros tipos de espalhamento, relacionados a defeitos, são suprimidos em baixa frequência.

O modelo Hooge tem sido bem sucedido em explicar o ruído $1/f$ em metais e transistores bipolares. Em transistores MOSFET, por outro lado, a corrente que flui passa por um área estreita perto da superfície do canal, sob o óxido de porta. Nesse caso, o mais provável é que as armadilhas no óxido de porta sejam a fonte de ruído dominante $1/f$. No entanto, o modelo $\Delta\mu$ pode ser utilizado para explicar o transistor MOSFET quando este está operando na região de triodo, pois o canal do transistor neste caso pode ser interpretado como um resistor. Além disso, o modelo proposto por Hooge, tende a ser melhor para explicar o ruído $1/f$ em transistores pMOSFETs, conforme alguns estudos realizados tem demonstrado [44].

Assim, o modelo de ruído proposto por Hooge é empírico e não sugere uma explicação física por trás das flutuações de mobilidade. Apesar do sucesso do modelo, a falta de um modelo teórico baseado em princípios físicos é um ponto fraco. Várias boas tentativas foram feitas para desenvolver um modelo teórico de ruído pela mobilidade, mas até agora nenhum deles é totalmente aceito [35].

2.7 Ruído Total Associado

Após descrever os principais tipos de ruído com relevância para a baixa frequência, a resposta típica do ruído associado de baixa frequência presente na corrente elétrica de um transistor MOSFET é apresentada esquematicamente na Figura 2.13, identificando as diversas componentes descritas anteriormente.

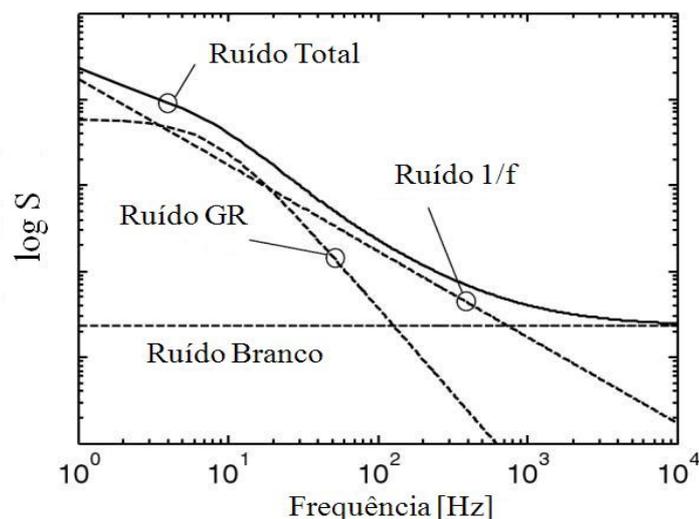


Figura 2.13 – Ruído total associado [28].

2.7.1 Identificação Prática

A fim de discriminar as diferenças entre as fontes de ruído 1/f, o seguinte processo simples é recomendado [41]. Como primeiro passo, a densidade espectral de ruído da corrente normalizada deve ser colocada em função da corrente de dreno, ambas em escala logarítmica, e comparada com a razão (g_m / I_{DS}).

Se ambas as curvas tiverem características paralelas, as variações de número de portadores, modelo ΔN , domina o comportamento total do ruído 1/f. Se as curvas não forem paralelas, a interpretação do resultado deve ser de que as variações de mobilidade, modelo $\Delta\mu$, estarão dominando o comportamento do ruído 1/f [45].

Conforme visualizado na Figura 2.14, um exemplo de identificação prática é realizada em um dispositivo GC medido experimentalmente [45], onde as curvas não são paralelas, o que resulta em um predomínio do comportamento do ruído 1/f resultante das variações de mobilidade.

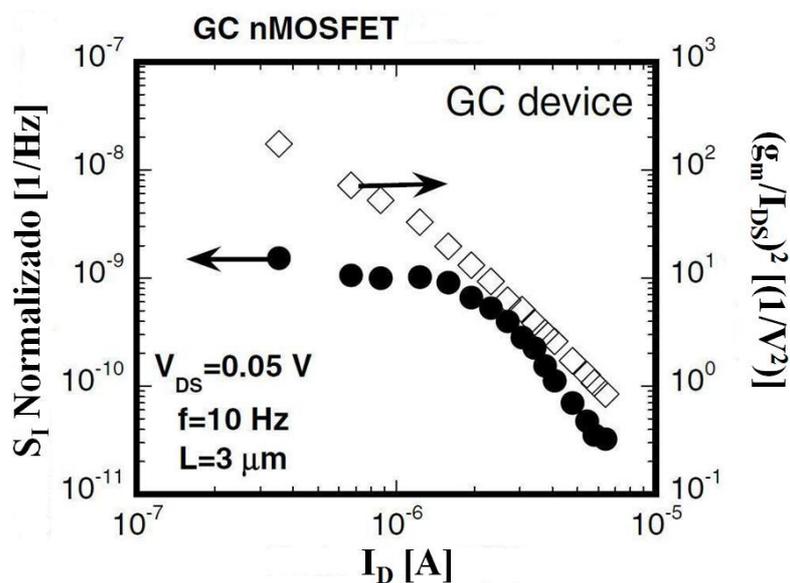


Figura 2.14 – Identificação Prática de um dispositivo GC MOSFET [45].

Adicionalmente, variações de mobilidade estarão presentes quando a densidade espectral de ruído da tensão (S_V) mostra um aumento quadrático com a sobretensão de porta. Estas variações de mobilidade podem então ser a origem do ruído 1/f se a corrente do dreno normalizada variar de acordo com $1/I_D$, especialmente na fraca inversão [45].

Essas identificações serão realizadas no decorrer do trabalho, para que assim possa ser feita uma análise de qual tipo de modelo se trata o ruído 1/f.

3 SIMULAÇÕES NUMÉRICAS

Este capítulo é iniciado com uma breve introdução ao simulador ATLAS [46] que foi utilizado em todas as simulações numéricas bidimensionais executadas neste trabalho. Na seqüência, serão descritos os modelos utilizados e, posteriormente, os resultados das simulações serão apresentados, explicitando as curvas obtidas desde as características básicas $I_{DS} \times V_{GF}$ e $I_{DS} \times V_{DS}$ dos dispositivos SOI convencional e GC SOI MOSFET, até os resultados de densidade espectral de ruído das curvas obtidas nos mesmos dispositivos.

Contudo, para chegar a análise do ruído de baixa frequência, outras características foram analisadas, como as curvas de transcondutância (g_m) e da inclinação de sublimar (S) em função da tensão de porta V_{GF} , para que se pudesse obter respostas que traduzissem com maior exatidão o melhor aproveitamento do transistor GC SOI em aplicações analógicas. Para todo o estudo, foram utilizados dispositivos GC SOI com diversas razões L_{LD}/L e dispositivos SOI convencionais, ou seja, com dopagem uniforme no canal.

3.1 Simulador

O simulador ATLAS suporta simulações numéricas bidimensionais ou tridimensionais e é baseado em equações físicas, fazendo com que ele possa prever características elétricas nos regimes de corrente contínua e corrente alternada, associadas com estruturas físicas específicas e condições de polarização do dispositivo. Para que todo esse processo possa ser iniciado, é necessário que o dispositivo simulado seja discretizado em uma grade bidimensional ou tridimensional [46]. Essa grade é utilizada para solucionar as equações fundamentais dos semicondutores, que são resolvidas numericamente em cada nó de grade (cruzamentos entre linhas e colunas) [46].

Nas simulações ATLAS, os comandos devem ser descritos sequencialmente. Dessa maneira, inicialmente deve ser estabelecida uma grade para a geração de um dispositivo, adicionados os modelos físicos a serem utilizados e, finalmente, definidas as condições de polarização, para as quais, as características elétricas serão simuladas [46].

Neste trabalho, para solucionar equações fundamentais dos semicondutores as equações foram resolvidas pelo método de Gummel [46].

3.1.1 Modelos Utilizados

Segundo a seqüência descrita para as simulações ATLAS, é importante a escolha acertada dos modelos que incluam os mecanismos físicos adequados para que os resultados obtidos sejam equivalentes aos resultados das caracterizações experimentais. Os modelos utilizados são selecionados pelos usuários conforme a aplicação. Esses modelos podem ser específicos para a mobilidade de portadores, para a recombinação de portadores, para a largura de faixa proibida, para a ionização por impacto, etc.

A seguir serão descritos brevemente todos os modelos utilizados para a execução das simulações realizadas neste trabalho [46].

- ⇒ CVT (*Lombardi Model*): Modelo de mobilidade, que inclui dependência com concentração de portadores, temperatura, campo elétrico paralelo e campo elétrico perpendicular.
- ⇒ BGN (*Bandgap Narrowing*): importante em regiões altamente dopadas, este modelo diz respeito ao estreitamento da faixa proibida e é necessário para a correta modelagem do ganho do transistor bipolar parasita intrínseco ao transistor SOI.
- ⇒ CONSRH (*Concentration Dependent Lifetime SRH*): modelo de recombinação onde o tempo de vida dos portadores depende da concentração. Recomendado para estruturas de silício.
- ⇒ AUGER: modelo de recombinação através da transição direta de três partículas, onde um portador de carga é capturado ou emitido. Importante em altas densidades de corrente.
- ⇒ SELB (*Selberherr*): embora não seja definido juntamente com os demais (definido em uma linha a parte após o comando IMPACT), este modelo de ionização por impacto dependente do campo elétrico horizontal em um ponto específico da

estrutura e é recomendado para a maioria dos casos. Inclui parâmetros dependentes da temperatura.

- ⇒ INCOMPLETE: considera a ionização incompleta das impurezas com a redução da temperatura.
- ⇒ IONIZ: usado como complemento do modelo INCOMPLETE, considerando ionização completa em silício com alta concentração de dopantes.

Estes dois últimos modelos serão utilizados somente em simulações referentes à baixa temperatura.

3.1.2 Simulação de Ruído no ATLAS

O ruído investigado nas simulações realizadas no ATLAS é um produto baseado em simulações do ruído de pequenos sinais gerados pelos dispositivos [46]. O ruído para o simulador ATLAS em um dispositivo é obtido por meio do cálculo do comportamento estatístico de fontes aleatórias de tensão e/ou corrente equivalente, conectada aos terminais de um determinado dispositivo, como pode ser visto na Figura 3.1. O ruído no ATLAS é uma extensão da análise AC de um dispositivo, portanto, uma simulação de ruído pode ser realizada em qualquer dispositivo, de uma ou duas portas, onde a análise de pequenos sinais AC é feita [46].

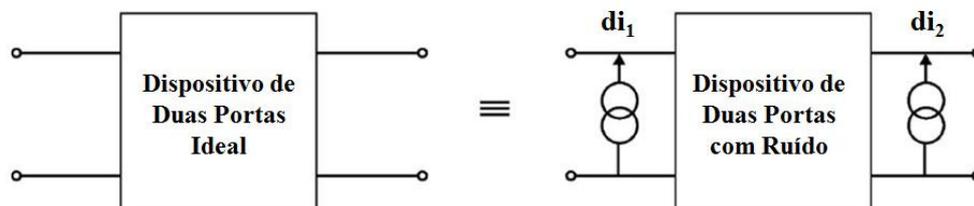


Figura 3.1 – Descrição esquemática do dispositivo ideal e o dispositivo modelado para o ruído de corrente, com as fontes de corrente aleatórias conectadas as suas portas.

O simulador ATLAS faz os seguintes passos para calcular o ruído de um dispositivo. Primeiro toma um pequeno volume de um dispositivo e calcula as variações aleatórias de corrente nesse volume. Depois, utiliza a impedância para calcular a tensão resultante no contato. Então repete os passos acima até que o ruído de cada parte do dispositivo seja calculado, obtendo assim o ruído total de um dispositivo.

O ruído no ATLAS é subdividido em alguns modelos, entre eles estão, o ruído de geração e recombinação, o ruído shot e o ruído 1/f, baseado no modelo $\Delta\mu$, proposto por Hooge.

3.2 Resultados e Discussões das Simulações Bidimensionais

As simulações foram realizadas no simulador ATLAS, para obtenção das informações nos transistores GC SOI e SOI convencional com comprimento de canal de 1 e 2 μm , operando na região de triodo e na saturação. No caso do transistor GC foram simulados diferentes razões L_{LD}/L ($L_{LD}/L = 0,1; 0,2; 0,3; 0,5$). As concentrações de dopantes utilizados para simular os transistores, bem como as medidas utilizadas são apresentadas na Tabela 3.1.

Tabela 3.1 – Concentrações de dopantes e parâmetros tecnológicos para simular os transistores GC SOI e SOI convencional.

Espessura do Óxido de Porta (t_{oxf})	30 nm
Espessura do filme de Silício (t_{Si})	80 nm
Espessura do Óxido Enterrado (t_{oxb})	390 nm
Concentração de Dopantes do tipo P (N_A)	$6 \times 10^{16} \text{ cm}^{-3}$
Concentração de Dopantes do tipo N (N_D)	$5 \times 10^{20} \text{ cm}^{-3}$
Concentração Intrínseca de Dopantes ($N_{\text{intrínseco}}$)	$1 \times 10^{15} \text{ cm}^{-3}$

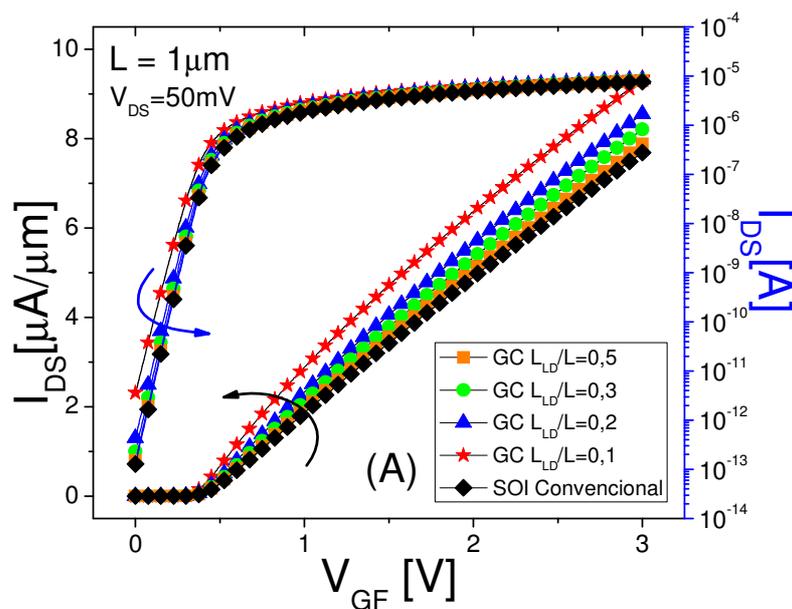
Para que os modelos de ruído fossem incluídos nas simulações, inclusive o ruído $1/f$, foi inserido o parâmetro da constante de Hooge, α_H , cujo valor é de 2×10^{-3} [35].

3.2.1 Curva característica $I_{DS} \times V_{GF}$

Nesta seção serão apresentadas as simulação das características elétricas dos dispositivos desenvolvidas em um arquivo ATLAS. Neste arquivo são acrescentadas as cargas fixas na interface, as funções trabalho aos contatos de porta e os modelos definidos no item 3.1.1. Também são dados os potenciais para a simulação das curvas (informações contidas no Apêndice A).

Foram geradas as curvas $I_{DS} \times V_{GF}$ com $V_{DS} = 50$ mV para cada um dos dispositivos, um tendo $L = 1$ μm e outro tendo $L = 2$ μm . Essas curvas têm o intuito de obter a tensão de limar dos dispositivos simulados e também demonstrar que o dispositivo GC SOI possui um maior nível de corrente comparativamente com o SOI convencional, de canal uniformemente dopado.

Na Figura 3.2 são apresentadas as curvas da corrente de dreno (I_{DS}) em função da tensão de porta (V_{GF}), para os diferentes transistores de comprimento L igual a 1 e 2 μm simulados, ambos com $V_{DS} = 50$ mV.



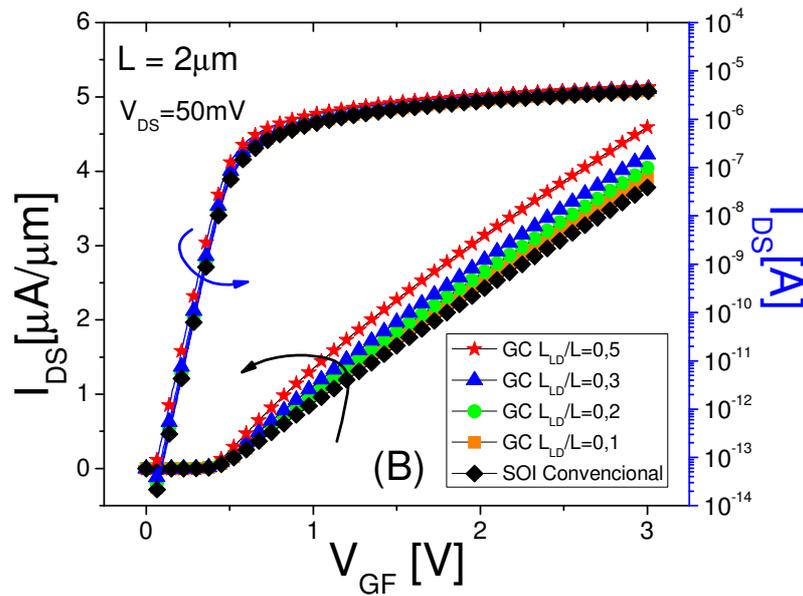


Figura 3.2 – Curvas I_{DS} x V_{GF} com $V_{DS} = 50$ mV para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 1 \mu\text{m}$ (A) e $L = 2 \mu\text{m}$ (B).

Através das curvas obtidas pode-se comprovar o aumento do nível de corrente previsto na seção 2.4, devido à redução do comprimento efetivo de canal proporcionado pela estrutura GC para transistores com um mesmo comprimento de máscara, ao se aumentar a razão L_{LD}/L [3].

Este aumento de I_{DS} pode ser visualizado na Tabela 3.2, que apresenta os valores de corrente em todos os dispositivos simulados, quando fixada a tensão $V_{GF} = 1,5$ V.

Tabela 3.2 – Valores de corrente I_{DS} para uma tensão fixa de $V_{GF} = 1,5$ V para todos os dispositivos simulados ($V_{DS} = 50$ mV).

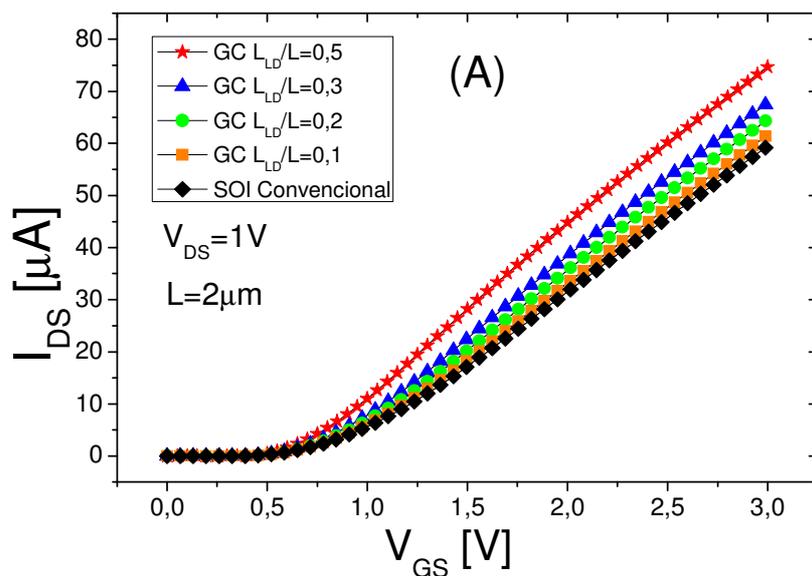
I_{DS} [μA]	GC SOI nMOSFET				SOI nMOSFET Convencional
	$L_{LD}/L=0,5$	$L_{LD}/L=0,3$	$L_{LD}/L=0,2$	$L_{LD}/L=0,1$	
L = 1 μm	4,723	4,055	3,785	3,532	3,425
L = 2 μm	2,273	1,973	1,834	1,732	1,653

A Tabela 3.2 apresenta um aumento de mais de 1,37 vezes no nível de corrente de dreno do transistor GC SOI de $L_{LD}/L = 0,5$ em relação ao SOI convencional para ambos os comprimentos de canal.

Também foi feita a curva $I_{DS} \times V_{GF}$ com $V_{DS} = 1,0$ V para o dispositivo tendo $L = 2$ μm . Essa curva tem o intuito de demonstrar a corrente de dreno quando o dispositivo simulado está operando na região de saturação, modo de operação mais relevante para os circuitos analógicos, como discutido anteriormente. Também demonstra que o dispositivo GC SOI possui um maior nível de corrente de dreno comparativamente ao do SOI convencional, de canal uniformemente dopado.

Na Figura 3.3 são apresentadas as curvas da corrente de dreno (I_{DS}) em função da tensão de porta (V_{GF}), para o transistor de comprimento L igual a 2 μm simulado com $V_{DS} = 1,0$ V e 0,75 V.

Através da curva obtida pode-se comprovar o aumento do nível de corrente de dreno, devido à redução do comprimento efetivo de canal proporcionado pela estrutura GC para transistores com um mesmo comprimento de máscara, ao se aumentar a razão L_{LD}/L , se comportando da mesma forma que no modo triodo, observado anteriormente, considerando as mesmas condições de operação.



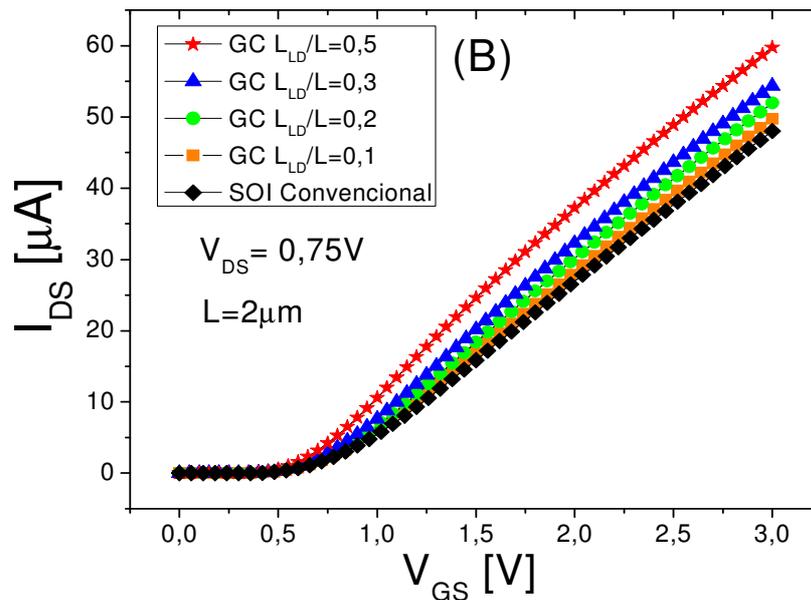


Figura 3.3 – Curvas I_{DS} x V_{GF} com $V_{DS} = 1,0 V$ (A) e $V_{DS} = 0,75 V$ (B) para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 2 \mu m$.

3.2.2 Tensão de Limiar

Determinar o valor da tensão de limiar é de fundamental importância, uma vez que serve como base para a simulação da característica I_{DS} x V_{DS} dos dispositivos e permite a polarização dos transistores em uma mesma sobretensão de porta ($V_{GT} = V_{GF} - V_T$).

Através das curvas I_{DS} x V_{GF} com $V_{DS} = 50 mV$, pode-se determinar a tensão de limiar dos dispositivos estudados através de várias formas. Especificamente neste estudo, será utilizado o método da segunda derivada [47], que consiste na observação no ponto de máximo da curva obtida a partir da derivada de segunda ordem da corrente de dreno em função da tensão de porta. Os resultados obtidos para todos os dispositivos de comprimento $L = 1$ e $2 \mu m$ simulados podem ser vistos na Tabela 3.3.

Tabela 3.3 – Tensão de limiar (V_T) obtida para todos os dispositivos simulados ($V_{DS} = 50 mV$).

V_T [V]	GC SOI nMOSFET				SOI nMOSFET Convencional
	$L_{LD}/L=0,5$	$L_{LD}/L=0,3$	$L_{LD}/L=0,2$	$L_{LD}/L=0,1$	
L = 1 μm	0,365	0,390	0,395	0,400	0,405
L = 2 μm	0,410	0,415	0,415	0,415	0,415

Através dos resultados apresentados na Tabela 3.3, observa-se que nos dispositivos de comprimento de canal de 1 μm , a tensão de limiar sofre uma leve redução tanto quando se diminui o comprimento de máscara do canal, como quando se aumenta a razão L_{LD}/L . Uma maior redução de V_T é observada apenas para o transistor de $L = 1 \mu\text{m}$ com razão de $L_{LD}/L = 0,5$, indicando que este dispositivo está sofrendo de efeitos de canal curto, como demonstrado em estudos anteriores [18] para dispositivos mesmo comprimento L .

Da mesma forma, segundo a Tabela 3.3, a determinação da tensão de limiar feita nos dispositivos maior com $L = 2 \mu\text{m}$, mostrou resultados praticamente constantes ao se variar L_{LD}/L , indicando a independência entre o comprimento efetivo de canal e a tensão de limiar.

3.2.3 Inclinação de Sublimar

Como mencionado no Capítulo 2, valores baixos de inclinação de sublimar são importantes para um chaveamento mais rápido e eficiente dos transistores, por isso é um parâmetro importante de ser investigado [14].

Neste trabalho, foi obtida a inclinação de sublimar de cada um dos dispositivos simulados de comprimentos de canal $L = 1 \mu\text{m}$ e $L = 2 \mu\text{m}$, a partir do primeiro ponto do patamar da curva dada por $1 / (d \log(I_{DS}) / dV_{GF}) \times V_{GF}$. Na Tabela 3.4 estão apresentados os valores de S para cada um dos dispositivos simulados.

Tabela 3.4 – Tensão da Inclinação de Sublimar (S) obtida para todos os dispositivos simulados ($V_{DS} = 50$ mV).

S [mV/dec]	GC SOI nMOSFET				SOI nMOSFET Convencional
	$L_{LD}/L=0,5$	$L_{LD}/L=0,3$	$L_{LD}/L=0,2$	$L_{LD}/L=0,1$	
L = 1 μm	73,3	68,5	67,8	67,1	66,8
L = 2 μm	66,5	65,4	65,2	65,1	64,9

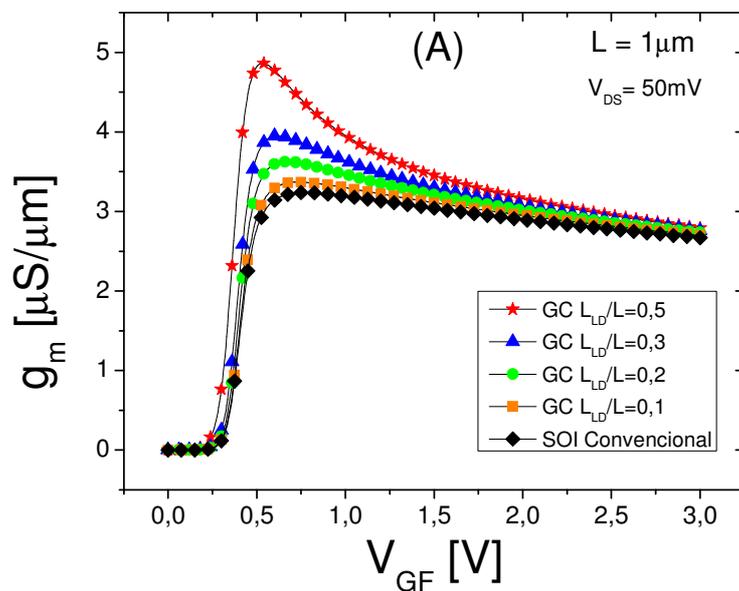
Como mencionado em estudos anteriores [22] e observado na Tabela 3.4, a elevação da relação L_{LD}/L tende a degradar a inclinação de sublimar dos GC SOI em relação ao SOI

convencional, devido ao compartilhamento de cargas no interior do canal, reduzindo a carga total controlada pela porta. O que significa, em outras palavras, que os dispositivos GC SOI são mais susceptíveis a efeitos de canal curto conforme se aumenta a relação L_{LD}/L , devido ao menor comprimento efetivo de canal.

3.2.4 Transcondutância

A transcondutância, como visto no Capítulo 2, corresponde à derivada dI_{DS} / dV_{GF} e indica a eficiência do controle exercido pela tensão de porta na corrente de dreno.

Inicialmente foi determinada nas simulações, a curva característica da transcondutância em função da tensão de porta, com o intuito de analisar, primeiramente seu aspecto mais geral e na sequência, utilizá-la na verificação do ruído, o que será mostrado no decorrer do trabalho. Logo, as características de $g_m \times V_{GF}$ foram obtidas para $V_{DS} = 50 \text{ mV}$ em todos os transistores estudados, conforme disposto na Figura 3.4, na qual são apresentadas as curvas simuladas para os transistores SOI convencionais e GC SOI de diferentes L_{LD}/L e com comprimentos de canal de $1 \mu\text{m}$ e $2 \mu\text{m}$.



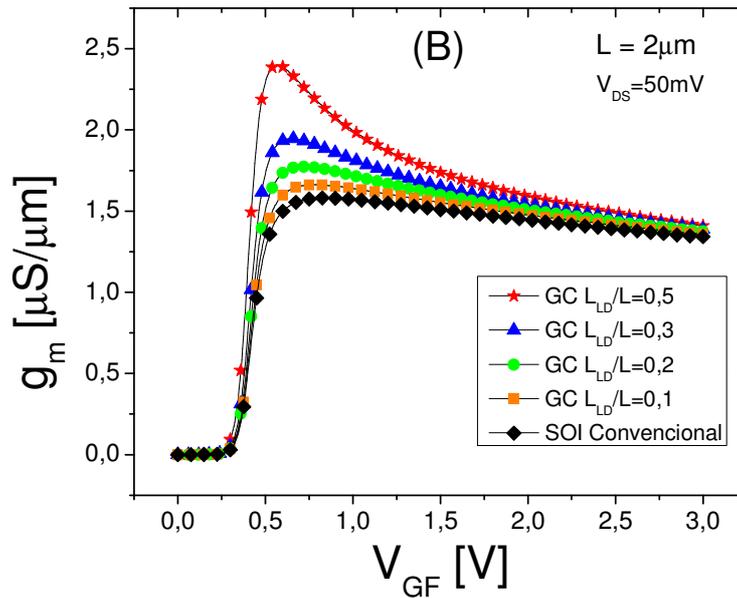


Figura 3.4 – Curvas $g_m \times V_{GF}$ com $V_{DS} = 50$ mV para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 1 \mu\text{m}$ (A) e $L = 2 \mu\text{m}$ (B).

Através dos gráficos da Figura 3.4, verifica-se que os valores da curva de transcondutância aumentam conforme aumenta a razão L_{LD}/L . Também se torna evidente que quando menor for o comprimento efetivo do canal L (L_{eff}), maior será a transcondutância g_m . Para demonstrar essa análise, os valores de transcondutância máxima ($g_{m\text{máx}}$) serão apresentados na Tabela 3.5.

Tabela 3.5 – Valores de transcondutância máxima ($g_{m\text{máx}}$) para todos os dispositivos simulados ($V_{DS} = 50$ mV).

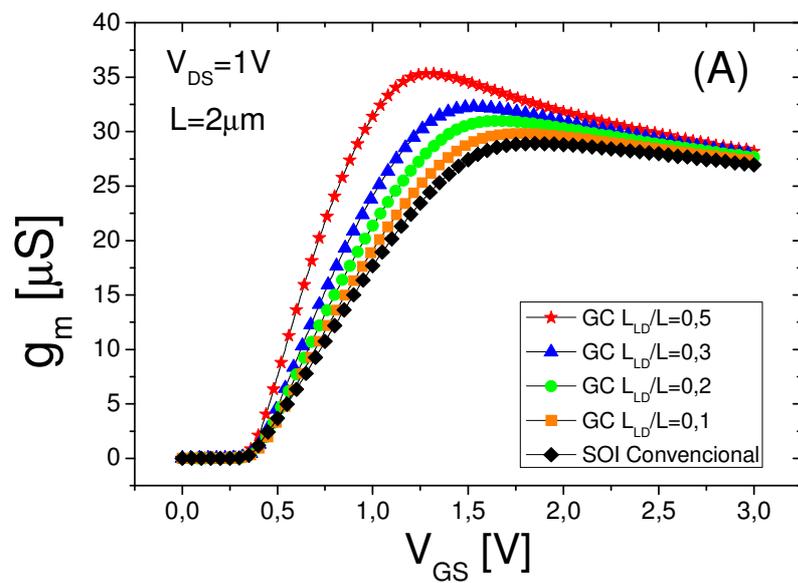
$g_{m\text{máx}}$ [μS]	GC SOI nMOSFET				SOI nMOSFET Convencional
	$L_{LD}/L=0,5$	$L_{LD}/L=0,3$	$L_{LD}/L=0,2$	$L_{LD}/L=0,1$	
L = 1 μm	4,861	3,950	3,624	3,368	3,236
L = 2 μm	2,400	1,947	1,774	1,662	1,581

Conforme estudos realizados, a curva da transcondutância e suas derivadas em função de V_{GF} permitem uma análise da mobilidade, o que pode ser útil na análise do ruído, tanto na observação do g_m diretamente com o ruído, importante parâmetro no modelo de

ruído proposto por McWhorter, visto anteriormente, como também a observação da mobilidade, dado que o modelo de ruído proposto por Hooge, modelo $\Delta\mu$, deduz que o ruído $1/f$ advém das variações da mobilidade no canal. Essa e demais análises serão detalhadas posteriormente.

Nos resultados obtidos com relação à Figura 3.4 também pode-se observar que a transcondutância se iguala para valores de V_{GF} com aproximadamente 2,0 V, isso devido a degradação da mobilidade.

Na Figura 3.5 as características de $g_m \times V_{GF}$ foram obtidas para $V_{DS} = 1,0$ V em todos os transistores estudados, na qual são apresentadas as curvas simuladas para os transistores SOI convencionais e GC SOI de diferentes L_{LD}/L e com comprimentos de canal de 2 μm . Essa curva é importante, pois tem o intuito de demonstrar a transcondutância quando o dispositivo simulado está em saturação, modo de operação mais relevante para as aplicações de circuitos integrados analógicos.



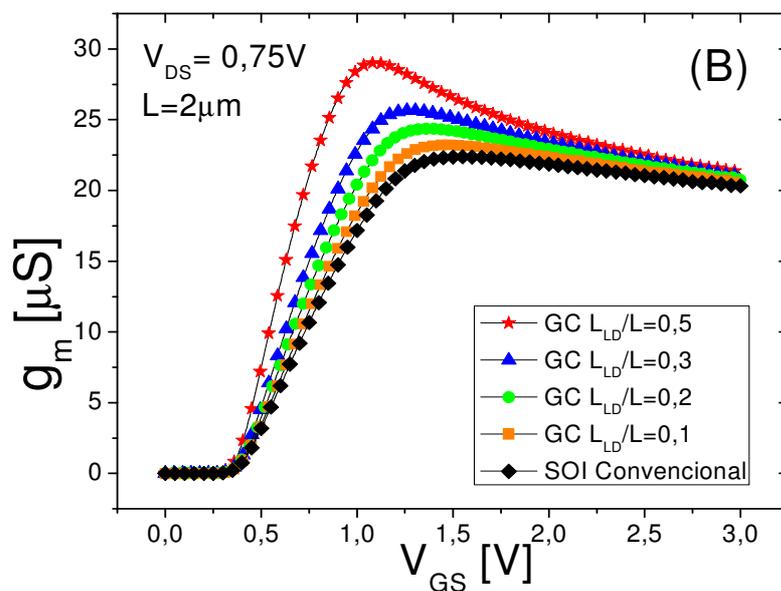


Figura 3.5 – Curvas $g_m \times V_{GS}$ com $V_{DS} = 1,0$ V (A) e $V_{DS} = 0,75$ V (B) para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 2 \mu\text{m}$.

Através dos gráficos da Figura 3.5, verifica-se que os valores da transcondutância aumentam conforme aumenta a razão L_{LD}/L . Para demonstrar essa análise, os valores de transcondutância máxima ($g_{m\text{máx}}$) para os dispositivos na região de saturação serão apresentados na Tabela 3.6.

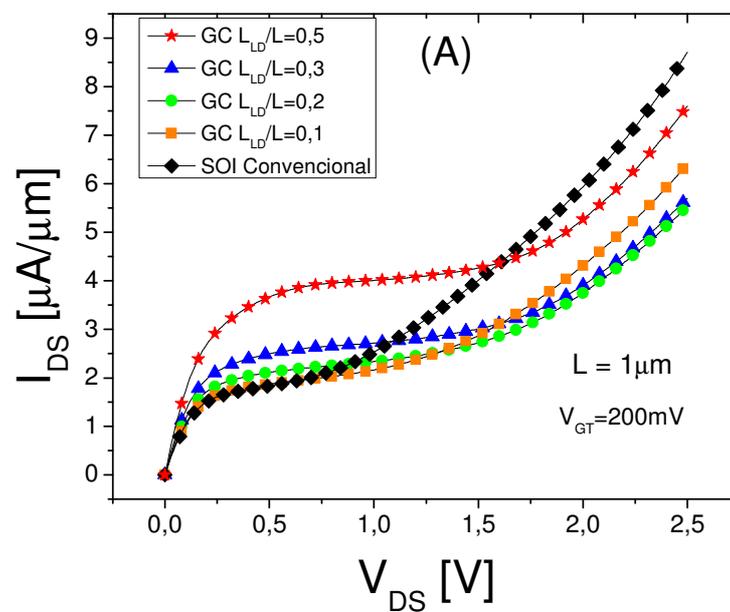
Tabela 3.6 – Valores de transcondutância máxima ($g_{m\text{máx}}$) para todos os dispositivos simulados ($V_{DS} = 1,0$ V).

$g_{m\text{máx}}$ [μS]	GC SOI nMOSFET				SOI nMOSFET Convencional
	$L_{LD}/L=0,5$	$L_{LD}/L=0,3$	$L_{LD}/L=0,2$	$L_{LD}/L=0,1$	
L = 2 μm	35,32	32,26	30,99	29,83	28,92

Como é possível visualizar na Figura 3.5, verifica-se que a transcondutância obtida aumenta conforme aumenta a razão L_{LD}/L . A Tabela 3.6 apenas confirma essa constatação com os valores de transcondutância máxima, onde há um aumento de mais de 1,22 vezes o nível de corrente do transistor GC SOI de $L_{LD}/L = 0,5$ em relação ao SOI convencional para o comprimento de canal $L = 2 \mu\text{m}$, considerando-se as mesmas condições de operação.

3.2.5 Curva característica $I_{DS} \times V_{DS}$

Com as simulações das curvas de $I_{DS} \times V_{GF}$ foi possível realizar a determinação de V_T , então, uma nova simulação ATLAS foi executada de forma a obter as características $I_{DS} \times V_{DS}$ dos dispositivos. Assim, como acontece com as curvas $I_{DS} \times V_{GF}$, ao se simular $I_{DS} \times V_{DS}$ é possível observar uma maior corrente de dreno conforme a razão L_{LD}/L dos transistores GC SOI é aumentada. Nas curvas apresentadas na Figura 3.6, pode-se observar este aumento na corrente de dreno nos dispositivos com comprimentos de canal de $1 \mu\text{m}$ e $2 \mu\text{m}$ para uma sobretensão de porta ($V_{GT} = V_{GF} - V_T$) de 200 mV .



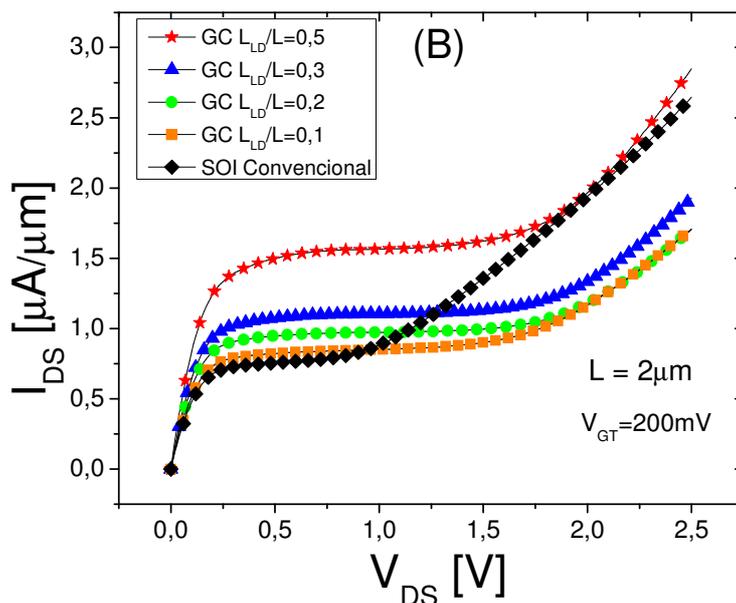


Figura 3.6 – Curvas I_{DS} x V_{DS} com $V_{GT} = 200$ mV para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 1$ μm (A) e $L = 2$ μm (B).

Analisando as características exibidas, observa-se que os transistores GC SOI dispõem de uma tensão de ruptura superior à exibida pelo SOI convencional, uma vez que nos dispositivos GC, o patamar apresentado na região de saturação se estende para valores de V_{DS} superiores aos obtidos nos SOI MOSFETs convencionais. Além disso, pode-se perceber que o transistor de $L = 1$ μm com $L_{LD}/L = 0,1$ tem uma característica bem próxima à do dispositivo convencional, o que se deve à concentração de dopantes não atingir a concentração natural da lâmina na região menos dopada.

Também é possível notar que na região de saturação, as curvas relativas aos dispositivos com canal gradual têm um aspecto um pouco mais constante, o que leva a uma menor condutância de dreno e, por consequência, a uma elevação na tensão Early e que resulta num maior ganho de tensão em malha aberta [18].

A condutância de dreno pôde ser determinada diretamente a partir da derivada de I_{DS} x V_{DS} e os resultados obtidos para os transistores de comprimento $L = 1$ μm e 2 μm podem ser visualizados na Tabela 3.7. Estes valores foram extraídos em $V_{DS} = 0,75$ V.

Tabela 3.7 – Valores de condutância de dreno (g_D) para todos os dispositivos simulados ($V_{GT} = 200$ mV).

g_D [A/V]	GC SOI nMOSFET				SOI nMOSFET Convencional
	$L_{LD}/L=0,5$	$L_{LD}/L=0,3$	$L_{LD}/L=0,2$	$L_{LD}/L=0,1$	
L = 1 μm	$2,75 \times 10^{-7}$	$3,41 \times 10^{-7}$	$4,68 \times 10^{-7}$	$8,27 \times 10^{-7}$	$2,33 \times 10^{-6}$
L = 2 μm	$6,31 \times 10^{-8}$	$3,40 \times 10^{-8}$	$4,80 \times 10^{-8}$	$7,18 \times 10^{-8}$	$1,05 \times 10^{-7}$

Através da Tabela 3.7 verifica-se que os dispositivos GC SOI proporcionam uma condutância de dreno extremamente reduzida em relação aos SOI convencionais com mesmo L. Para L = 1 μm , a redução em g_D atinge valores próximos a uma ordem de grandeza, para L = 2 μm o valor também pode atingir valores próximos a uma ordem de grandeza. Ao se aumentar a razão L_{LD}/L , no entanto, ocorre uma degradação de g_D , uma vez que os dispositivos têm seu comprimento efetivo de canal (L_{eff}) reduzidos.

Com os valores de condutância de dreno (g_D) e transcondutância (g_m) é possível verificar o ganho de tensão em malha aberta (A_V). Este valor de ganho de tensão de malha aberta é interessante a fim de analisar as características analógicas dos transistores.

O ganho de tensão de malha aberta em baixas frequências, A_V , de um transistor MOS operando como amplificador de tensão é dado por [48]:

$$A_V = \frac{g_m}{g_D} \quad (3.1)$$

Portanto, o ganho de tensão de malha aberta (A_V) pôde ser determinado diretamente a partir da equação (3.1) e os resultados obtidos para o transistor de comprimento L = 2 μm podem ser visualizado na Tabela 3.8. Estes valores foram extraídos de $V_{DS} = 0,75$ V e $V_{GT} = 200$ mV.

Tabela 3.8 – Valores de ganho de tensão de malha aberta (A_V) para todos os dispositivos simulados com L = 2 μm ($V_{GT} = 200$ mV e $V_{DS} = 0,75$ V).

A_V [dB]	GC SOI nMOSFET				SOI nMOSFET Convencional
	$L_{LD}/L=0,5$	$L_{LD}/L=0,3$	$L_{LD}/L=0,2$	$L_{LD}/L=0,1$	
L = 2 μm	45,5	47,0	44,7	42,8	38,9

Como pode ser visto na Tabela 3.8, o ganho de tensão de malha aberta aumenta mais de 2,5 vezes para o transistor GC SOI $L_{LD}/L = 0,3$ em comparação com o valor do SOI MOSFET convencional.

3.2.6 Ruído de Baixa Frequência

Neste item serão apresentados os resultados das simulações do ruído de baixa frequência realizadas no simulador ATLAS. Este arquivo de simulação tem as mesmas características presentes nas simulações das curvas características, apenas acrescentado os comandos para incluir o ruído e o parâmetro de Hooge, para o cálculo do ruído $1/f$.

Neste tópico o ruído $1/f$ será analisado, dando ênfase à análise da densidade espectral de potência do ruído da corrente de dreno (S_I), que pode ser considerada mais importante, no caso do ruído, uma vez que a partir da corrente de dreno são extraídas as principais informações, pois é principalmente através da corrente de dreno que se observam as variações causadas pelo ruído.

Devido ao comportamento de natureza não homogênea do canal em saturação, a modelagem de ruído $1/f$ torna-se bastante complexo [49][50], portanto, neste estudo, a maioria das análises das simulações serão feitas em transistores operando em triodo.

Primeiramente, foram geradas as curvas $S_I \times$ Frequência com $V_{GT} = 200$ mV para cada um dos dispositivos, um tendo $L = 1 \mu\text{m}$ e outro tendo $L = 2 \mu\text{m}$. Essas curvas têm o intuito de demonstrar o perfil do ruído $1/f$ na baixa frequência, como foi discutido anteriormente no trabalho, além de comparar os dispositivos GC SOI com o SOI convencional, de canal uniformemente dopado.

Na Figura 3.7 são apresentadas as curvas de densidade espectral de potência do ruído da corrente de dreno (S_I) em função da Frequência, para os transistores de comprimento L igual a 1 e 2 μm simulados, ambos com $V_{GT} = 200$ mV e $V_{DS} = 50$ mV.

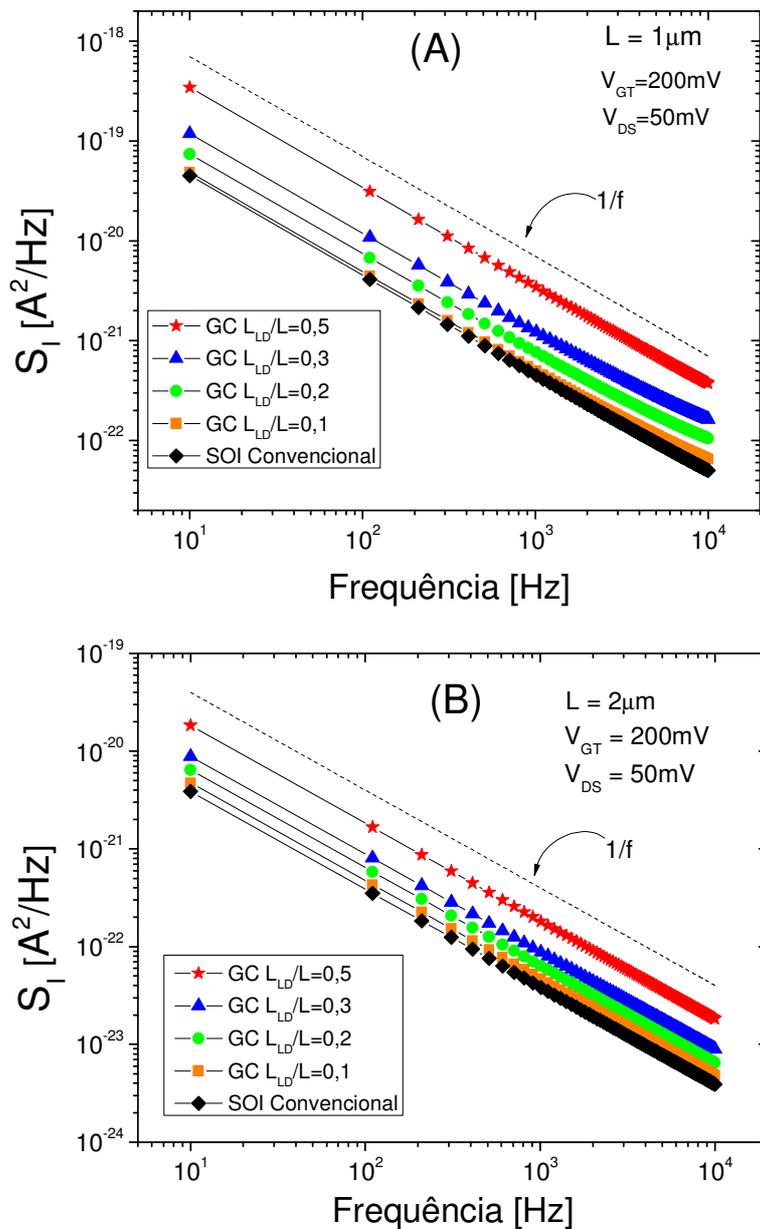


Figura 3.7 – Curvas S_1 x Frequência com $V_{GT} = 200 \text{ mV}$ para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 1 \mu\text{m}$ (A) e $L = 2 \mu\text{m}$ (B).

Em uma primeira análise das curvas obtidas é possível observar que estas seguem a tendência de $1/f$ em baixa frequência, conforme foi discutido no Capítulo 2, o que é proposto, tanto pelo modelo $\Delta\mu$, como pelo modelo ΔN .

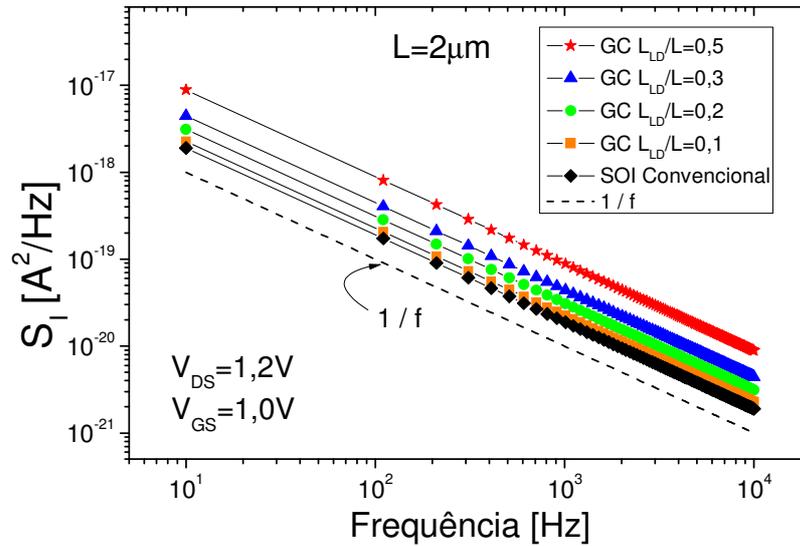


Figura 3.8 – Curvas S_I x Frequência com $V_{DS} = 1,2$ V e $V_{GS} = 1,0$ V para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 2 \mu\text{m}$ (B).

Na Figura 3.8 são apresentadas as curvas de densidade espectral de potência do ruído da corrente de dreno (S_I) em função da Frequência, para os transistores de comprimento L igual a $2 \mu\text{m}$ simulados, com $V_{DS} = 1,2$ V e $V_{GS} = 1,0$ V.

Nota-se através das curvas apresentadas na Figura 3.8, que mesmo operando na região de saturação, o ruído de baixa frequência se comporta da mesma maneira do que o ruído de baixa frequência operando na região de triodo, tendo a mesma tendência.

Através das curvas obtidas pode-se comprovar o maior nível de ruído $1/f$ para dispositivos GC SOI em comparação com o SOI convencional, como já previsto em trabalhos anteriores [45]. Também nota-se que ao aumentar a relação L_{LD}/L nos dispositivos GC SOI, o ruído $1/f$ também aumenta. Este aumento de ruído $1/f$ pode ser explicado de maneira simplificada, devido ao aumento de corrente de dreno presente nos dispositivos GC SOI. Essa relação entre ruído e corrente de dreno pode ser visualizada na relação proposta por Hooge, no modelo $\Delta\mu$ [5]:

$$S_I = \frac{\alpha_H I_{DS}^2}{Nf} \quad (3.2)$$

Com base nessa relação de ruído e corrente de dreno, é necessário analisar o ruído $1/f$ com relação à corrente, para que assim seja feita uma observação mais detalhada sobre as diferenças de ruído em relação à corrente I_{DS} .

Dessa forma, na Figura 3.9 são apresentadas as curvas de densidade espectral de potência da corrente (S_I) em função de I_{DS} , para os transistores de comprimento L igual a 1 e 2 μm simulados, ambos com $V_{DS} = 50\text{ mV}$ e $f = 10\text{ Hz}$.

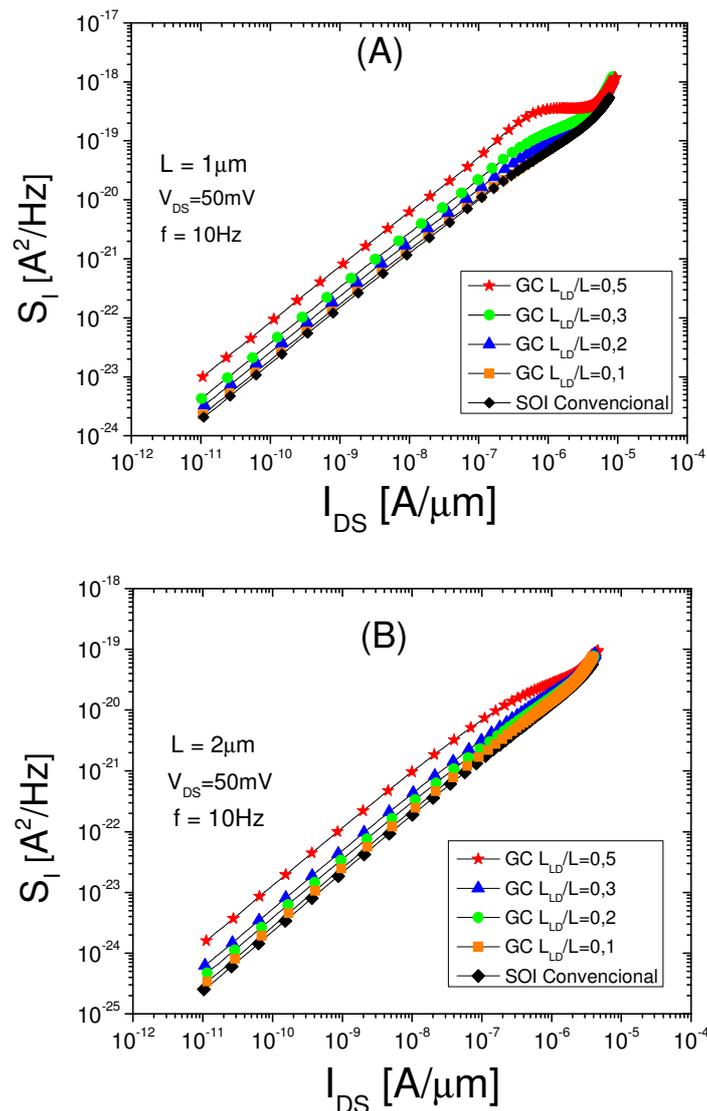


Figura 3.9 – Curvas $S_I \times I_{DS}$ com $V_{DS} = 50\text{ mV}$ e $f = 10\text{ Hz}$ para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 1\ \mu\text{m}$ (A) e $L = 2\ \mu\text{m}$ (B).

Observando as curvas obtidas pode-se notar que, o ruído $1/f$ aumenta conforme a corrente de dreno que flui pelo dispositivo aumenta, e também que os dispositivos GC SOI

em comparação com o SOI convencional apresentam maior nível de ruído $1/f$, mas agora em função da corrente de dreno do dispositivo. A fim de comparar este nível de aumento será apresentado na Tabela 3.9, onde estão os valores de ruído $1/f$ para uma corrente fixada em $I_{DS} = 1 \times 10^{-9}$ A para inversão fraca, $I_{DS} = 1 \times 10^{-7}$ A para inversão moderada e $I_{DS} = 3 \times 10^{-6}$ A para inversão forte em ambos os comprimentos de canal.

Tabela 3.9 – Valores de S_I para correntes fixas nos três níveis de inversão dos dispositivos simulados ($V_{DS} = 50$ mV e $f = 10$ Hz).

S_I [10^{-21} A ² /Hz]		GC SOI nMOSFET				SOI nMOSFET Convencional
		$L_{LD}/L=0,5$	$L_{LD}/L=0,3$	$L_{LD}/L=0,2$	$L_{LD}/L=0,1$	
L = 1 μm	Inversão Fraca	0,81	0,35	0,25	0,18	0,17
	Inversão Moderada	56,42	24,17	15,29	10,75	10,16
	Inversão Forte	357,07	245,48	209,94	179,38	163,90
L = 2 μm	Inversão Fraca	0,120	0,051	0,036	0,028	0,022
	Inversão Moderada	6,91	3,37	2,45	1,88	1,58
	Inversão Forte	52,95	49,00	47,42	46,97	40,23

A Tabela 3.9 apresenta para o dispositivo com $L = 1 \mu\text{m}$ um aumento de 4,76 vezes o nível de ruído da corrente do dispositivo GC de $L_{LD}/L = 0,5$ em relação ao SOI convencional em inversão fraca, um aumento de 5,55 vezes o nível de ruído da corrente do GC de $L_{LD}/L = 0,5$ em relação ao SOI convencional em inversão moderada e um aumento de 2,19 vezes o nível de ruído da corrente do GC de $L_{LD}/L = 0,5$ em relação ao SOI convencional em inversão forte. Com relação ao dispositivo com canal de $L = 2 \mu\text{m}$, a mesma tabela 3.9 apresenta um aumento de 5,45 vezes o nível de ruído da corrente do dispositivo GC de $L_{LD}/L = 0,5$ em relação ao SOI convencional em inversão fraca, um aumento de 4,37 vezes o nível de ruído da corrente do GC de $L_{LD}/L = 0,5$ em relação ao SOI convencional em inversão moderada e um aumento de 2,32 vezes o nível de ruído da corrente do GC de $L_{LD}/L = 0,5$ em relação ao SOI convencional em inversão forte.

Com base nestas diferenças entre os comprimentos dos dispositivos, faz-se necessário a mesma análise, do ruído $1/f$ em função da corrente I_{DS} , porém agora com a corrente de dreno normalizada ($I_{DS} / (W / L_{eff})$).

Sendo assim, na Figura 3.10 são apresentadas as curvas de densidade espectral de potência da corrente (S_I) em função da corrente de dreno normalizada ($I_{DS} / (W / L_{eff})$), para os transistores simulados de comprimento $L = 1 \mu\text{m}$ e comprimento $L = 2 \mu\text{m}$, ambos com $V_{DS} = 50 \text{ mV}$ e $f = 10 \text{ Hz}$.

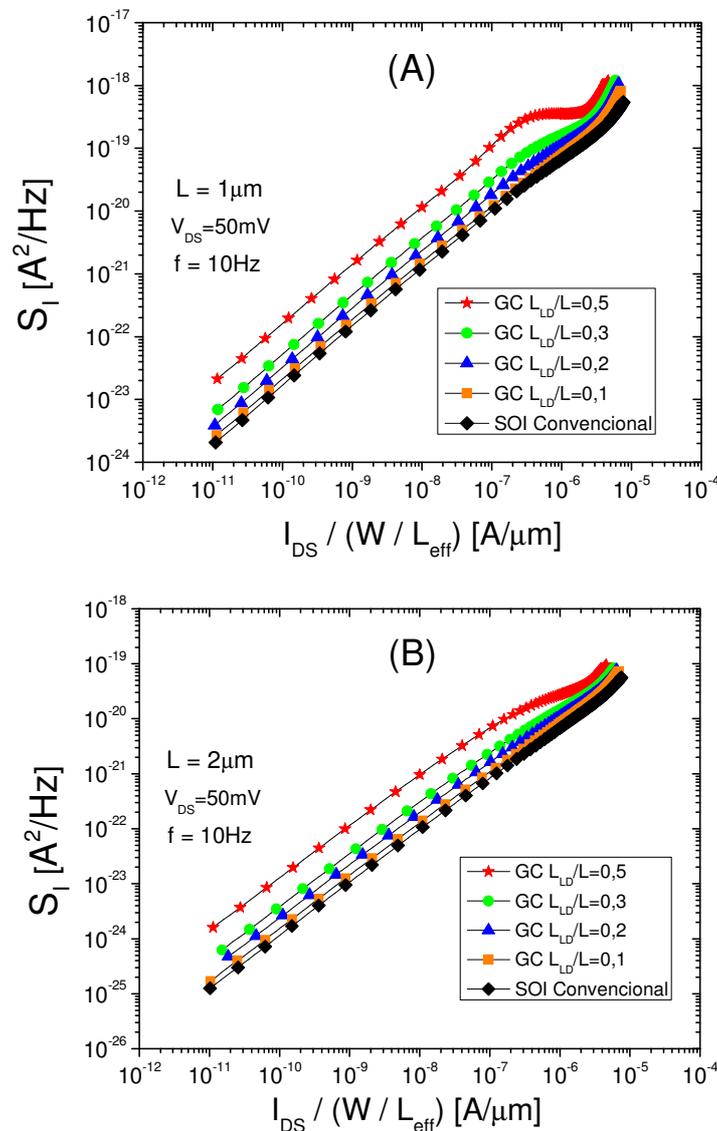


Figura 3.10 – Curvas $S_I \times (I_{DS} / (W / L_{eff}))$ com $V_{DS} = 50 \text{ mV}$ e $f = 10 \text{ Hz}$ para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 1 \mu\text{m}$ (A) e $L = 2 \mu\text{m}$ (B).

Como pode ser visto na Figura 3.10, as curvas obtidas do ruído $1/f$ em função da corrente normalizada ($I_{DS} / (W / L_{eff})$) apresentam as mesmas características da curva em função da corrente de dreno sem estar normalizada em função de W/L , conforme Figura 3.9, que são, o ruído $1/f$ aumenta conforme a corrente de dreno que flui pelo dispositivo aumenta, e também que os dispositivos GC SOI em comparação com o SOI convencional apresentam maior nível de ruído $1/f$.

Portanto, fica demonstrado que, a partir desses resultados, o ruído $1/f$ é mais elevado na estrutura de GC SOI, mesmo quando é realizada a normalização da corrente de dreno I_{DS} pela área de dreno, sugerindo que as alterações nas dimensões dos dispositivos não mudam a tendência do ruído $1/f$.

Este aumento de ruído presente nas estruturas GC SOI, pode ser explicado por meio de algumas deduções já estudadas, conforme é proposto na equação (3.3) da densidade espectral de ruído da corrente de dreno, que já foi vista anteriormente neste trabalho, e é dada por [39]:

$$S_I = \frac{K_F g_m^2}{C_{ox}^2 W L_{eff} f} \quad (3.3)$$

Através da equação (3.3), a piora do ruído $1/f$ apresentada pelos dispositivos GC SOI podem estar associados, entre outros motivos, aos aumentos de transcondutância g_m que são proporcionados por este tipo de dispositivo, o que já foi amplamente investigado em outros trabalhos [3]. Além disso, outro fator que pode influenciar é o comprimento efetivo de canal L_{eff} , que para transistores GC SOI se alteram para as diferentes razões de L_{LD}/L , e como foi visto, o ruído $1/f$ aumenta conforme aumenta a razão L_{LD}/L e desta forma, diminui o comprimento efetivo do canal [51].

Assim, como a transcondutância g_m e corrente de dreno I_{DS} se tornam relevantes, será apresentada a Figura 3.11, onde estão presentes as curvas de densidade espectral de potência da corrente (S_I) em função de (g_m / I_{DS}), para os transistores GC SOI de diferentes razões de L_{LD}/L e SOI convencional simulados, com comprimento de canal de $1 \mu\text{m}$ e $2 \mu\text{m}$, ambos com $V_{DS} = 50 \text{ mV}$ e $f = 10 \text{ Hz}$.

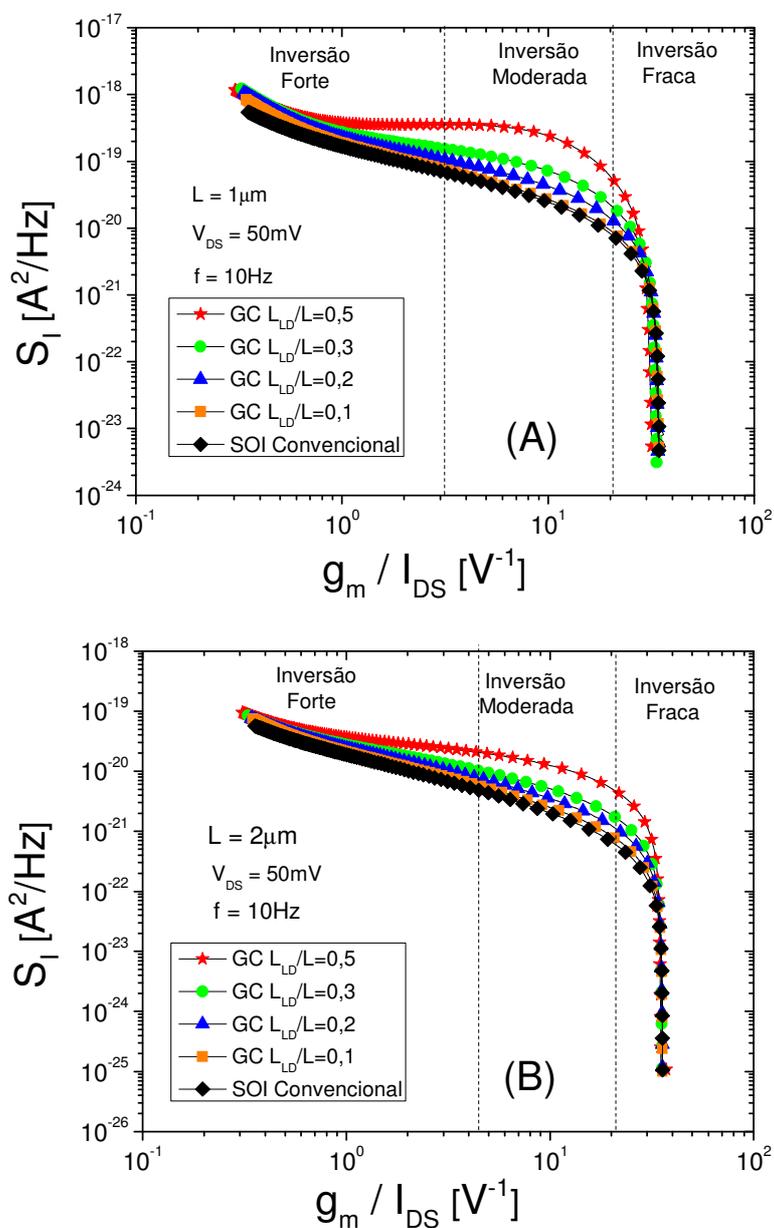


Figura 3.11 – Curvas $S_I \times (g_m / I_{DS})$ com $V_{DS} = 50 \text{ mV}$ e $f = 10 \text{ Hz}$ para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 1 \mu\text{m}$ (A) e $L = 2 \mu\text{m}$ (B).

Na Figura 3.11, as curvas obtidas do ruído 1/f em função da razão (g_m / I_{DS}) mostram dois aspectos distintos para as diferentes regiões de inversão. Primeiramente, o ruído 1/f aumenta na inversão moderada, tornando maior conforme se aumenta a razão

L_{LD}/L . Também é possível observar que independente do dispositivo, o ruído $1/f$ permanece praticamente inalterado, tanto para inversão fraca, como para a inversão forte.

Este comportamento do ruído $1/f$, tanto na inversão fraca como na inversão forte, pode ser explicado da seguinte forma: na inversão fraca, antes do dispositivo ter uma polarização que alcance o nível da tensão de limiar, os dispositivos GC SOI e SOI convencional se comportam da mesma maneira, como se fossem o mesmo dispositivo [22]; agora na inversão forte, este comportamento está relacionado com a concentração de elétrons da superfície ao longo do canal, desde a fonte até dreno, e com as diferentes tensões aplicadas na porta, uma vez que para a inversão forte, a concentração de elétrons da superfície ao longo do canal se torna semelhante em ambos os dispositivos, o GC SOI e o SOI convencional, conforme estudos anteriores [52].

Agora serão apresentadas as curvas para a identificação prática proposta no Capítulo 2. Para isso, serão analisados um dispositivo SOI convencional e um dispositivo GC SOI de razão $L_{LD}/L = 0,5$, ambos com comprimento de canal de $L = 2 \mu\text{m}$.

A Figura 3.12 apresenta a curva S_I Normalizada (S_I / I_{DS}^2) e a razão $(g_m / I_{DS})^2$ em função da corrente de dreno I_{DS} com $V_{DS} = 50 \text{ mV}$ e $f = 10 \text{ Hz}$ para dispositivo SOI Convencional de comprimento $L = 2 \mu\text{m}$.

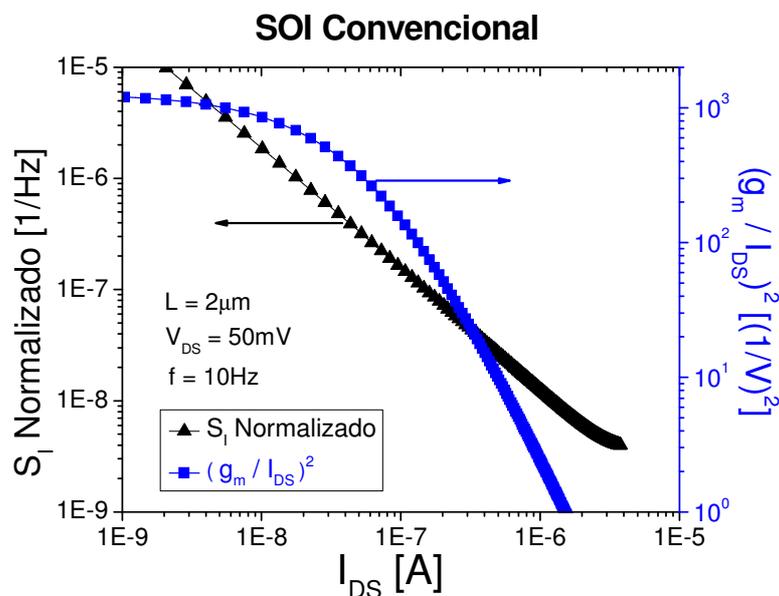


Figura 3.12 – Curva S_I Normalizada e $(g_m / I_{DS})^2 \times I_{DS}$ com $V_{DS} = 50 \text{ mV}$ e $f = 10 \text{ Hz}$ para dispositivo SOI Convencional de $L = 2 \mu\text{m}$.

Assim, a fim de discriminar as diferenças entre as fontes de ruído $1/f$, o processo de identificação prático proposto [41] foi reproduzido em simulações numéricas. E observando as curvas da Figura 3.12, como estas se cruzam, a interpretação do resultado é que as variações de mobilidade dominam o comportamento do ruído $1/f$ para o dispositivo SOI convencional, comportamento este descrito no modelo $\Delta\mu$, proposto por Hooge.

A Figura 3.13 apresenta a curva S_I Normalizada (S_I / I_{DS}^2) e a razão $(g_m / I_{DS})^2$ em função da corrente de dreno I_{DS} com $V_{DS} = 50$ mV e $f = 10$ Hz para dispositivo GC SOI de razão $L_{LD}/L = 0,5$ com comprimento $L = 2$ μm .

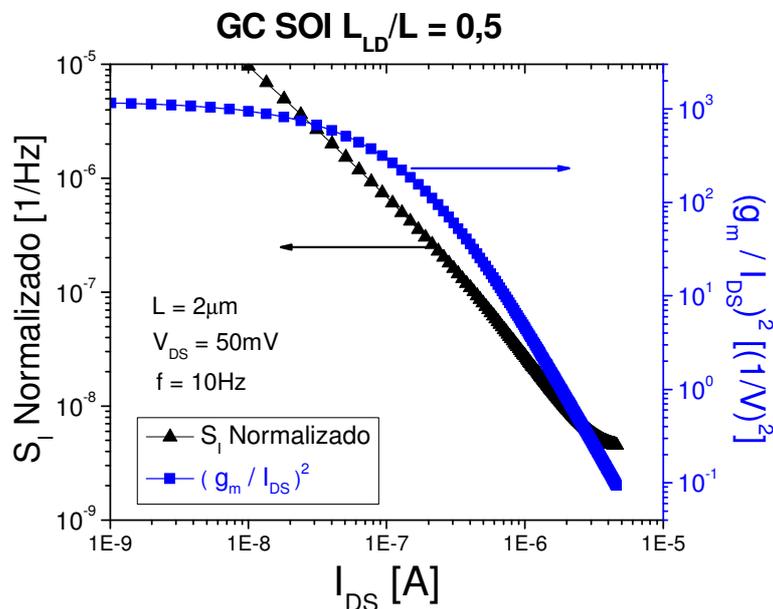


Figura 3.13 Curva S_I Normalizada e $(g_m / I_{DS})^2 \times I_{DS}$ com $V_{DS} = 50$ mV e $f = 10$ Hz para dispositivo GC SOI de $L_{LD}/L=0,5$ de $L = 2$ μm .

Analisando as curvas da Figura 3.13, como elas se cruzam, a interpretação do resultado, é que as variações de ruído $1/f$ são causadas pela mobilidade, conforme o modelo $\Delta\mu$, e assim as variações de corrente ocorrem devido variações de mobilidade, dominando o comportamento do ruído $1/f$ para o dispositivo GC SOI de $L_{LD}/L = 0,5$.

Ambas as análises demonstram um resultado coerente, pois as simulações foram realizadas considerando o modelo de Hooge como método de ruído de baixa frequência, justamente o que foi visualizado nas curvas de identificação prática, validando tanto as simulações como o método de identificação prático.

3.3 Resultados e Discussões das Simulações em Baixa Temperatura

Neste tópico do trabalho serão apresentados de modo objetivo os principais resultados referentes a simulações em baixa temperatura.

Serão apresentados os resultados das curvas obtidas para os dispositivos SOI convencional e GC SOI, desde as características mais básicas como as curvas de $I_{DS} \times V_{GF}$, além da tensão de limiar (V_T), transcondutância (g_m) e da inclinação de sublimar (S) em função da baixa temperatura, com intuito maior de observar e entender os efeitos da baixa temperatura, principalmente para os resultados do ruído $1/f$ nos dispositivos GC SOI e SOI convencional.

Nestas simulações de baixa temperatura são acrescentadas, além das cargas fixas na interface, as funções trabalho aos contatos de porta e os modelos definidos no item 3.1.1. Também são dados os potenciais para a simulação das curvas.

3.3.1 Curva característica $I_{DS} \times V_{GF}$ em Baixa Temperatura

Na Figura 3.14 são apresentadas as curvas da corrente de dreno (I_{DS}) em função da tensão de porta (V_{GF}), para o transistor SOI MOSFET convencional simulado com diferentes temperaturas, com comprimento L igual a $2 \mu\text{m}$ e com $V_{DS} = 50 \text{ mV}$.

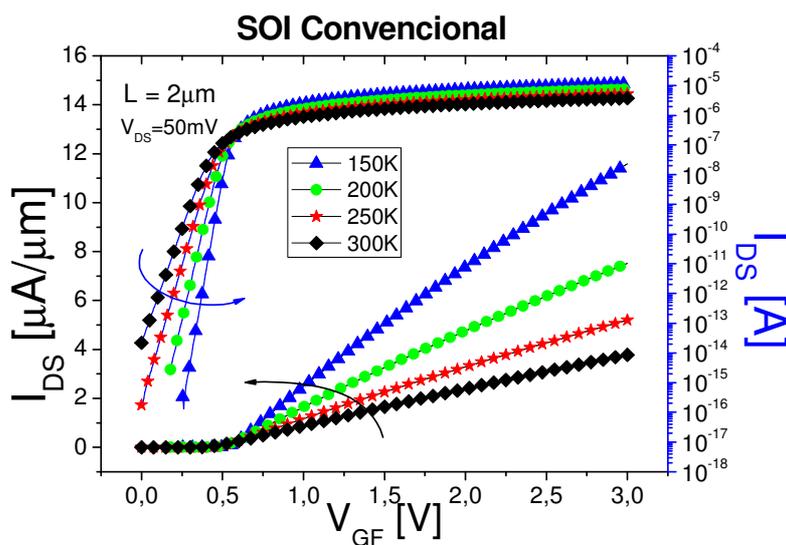


Figura 3.14 – Curvas $I_{DS} \times V_{GF}$ com $V_{DS} = 50 \text{ mV}$ para o dispositivo SOI convencional de comprimento $L = 2 \mu\text{m}$ em diferentes temperaturas.

Pode-se notar na Figura 3.14 que conforme a temperatura aplicada na simulação diminui, a corrente de dreno I_{DS} que flui pelo dispositivo SOI convencional aumenta. Este resultado confirma as expectativas, pois conforme foi discutido anteriormente, uma vez que diminuída a temperatura temos um aumento de mobilidade, propiciando uma maior corrente de dreno no dispositivo.

Na Figura 3.15 são apresentadas as curvas da corrente de dreno (I_{DS}) em função da tensão de porta (V_{GF}), para o transistor GC $L_{LD}/L = 0,5$ simulado com diferentes temperaturas, com comprimento L igual a $2 \mu\text{m}$ e com $V_{DS} = 50 \text{ mV}$.

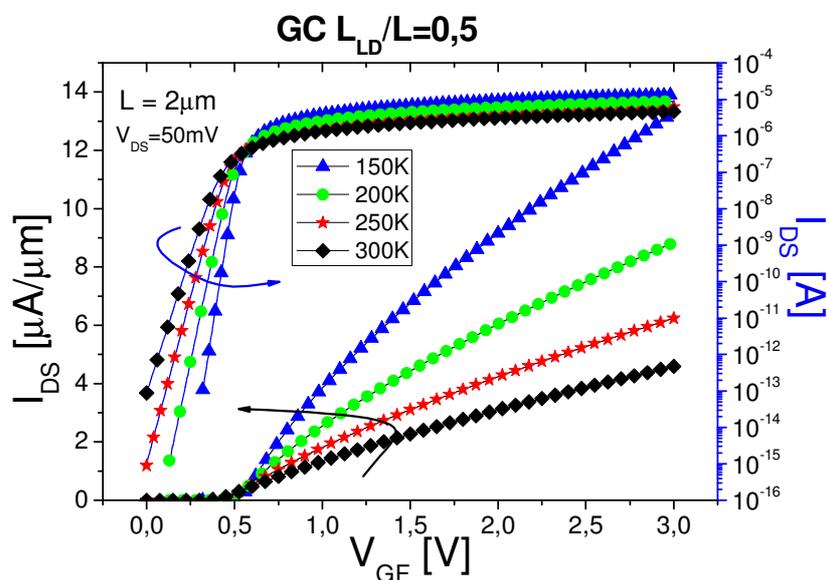


Figura 3.15 – Curvas $I_{DS} \times V_{GF}$ com $V_{DS} = 50 \text{ mV}$ para o dispositivo GC de $L_{LD}/L = 0,5$ e comprimento $L = 2 \mu\text{m}$ em diferentes temperaturas.

Nas curvas apresentadas na Figura 3.15 observa-se que, da mesma forma que ocorre com o transistor SOI convencional, a corrente de dreno I_{DS} do GC de $L_{LD}/L = 0,5$ aumenta para menores temperaturas.

Comparando-se ambas as curvas obtidas, no dispositivo SOI convencional e GC de $L_{LD}/L = 0,5$, é possível visualizar uma maior corrente na estrutura GC do que no SOI convencional. Isso reforça os resultados obtidos anteriormente.

A fim de confirmar os resultados obtidos na seção 3.2.1, foi realizada a mesma simulação de $I_{DS} \times V_{GF}$ para comprimento de canal de $L = 2 \mu\text{m}$, porém agora com a temperatura de 150K. Portanto, a Figura 3.16 apresenta as curvas da corrente de dreno (I_{DS}) em função da tensão de porta (V_{GF}), para transistores GC com diferentes razões de L_{LD}/L e SOI convencional simulados com temperaturas $T = 150\text{K}$, com comprimento L igual a $2 \mu\text{m}$ e com $V_{DS} = 50 \text{ mV}$.

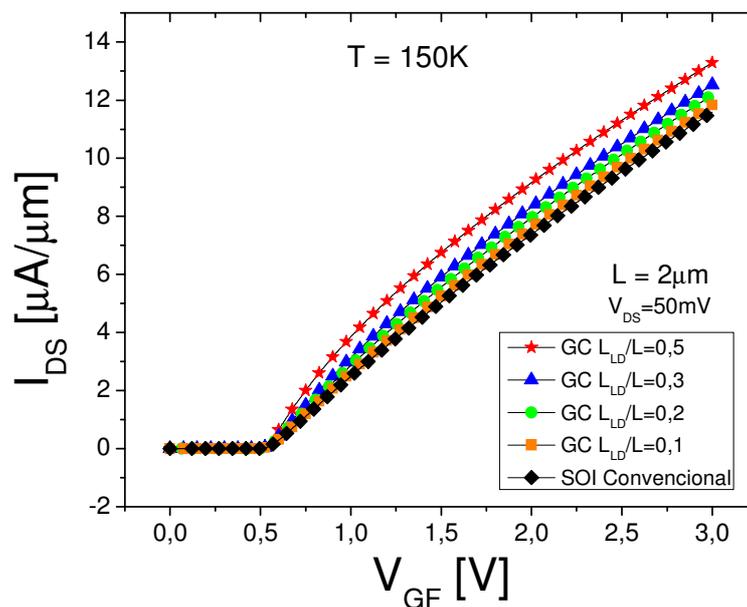


Figura 3.16 – Curvas $I_{DS} \times V_{GF}$ com $V_{DS} = 50 \text{ mV}$ para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 2 \mu\text{m}$, na temperatura $T = 150\text{K}$.

Através das curvas obtidas pode-se comprovar o aumento do nível de corrente previsto ao se aumentar a razão L_{LD}/L , que ocorre tanto em temperatura ambiente como em baixa temperatura.

3.3.2 Tensão de Limiar em Baixa Temperatura

Para que possa ser melhor visualizado o comportamento dos dispositivos GC SOI em relação ao SOI convencional nas diferentes temperaturas, foram feitas extrações das tensões de limiar em ambos os dispositivos. Assim como na seção 3.2.2, será utilizado o método da segunda derivada [49]. Os resultados obtidos para todos os dispositivos de

comprimento $L = 2 \mu\text{m}$, nas diferentes temperaturas simuladas podem ser vistos na Figura 3.17.

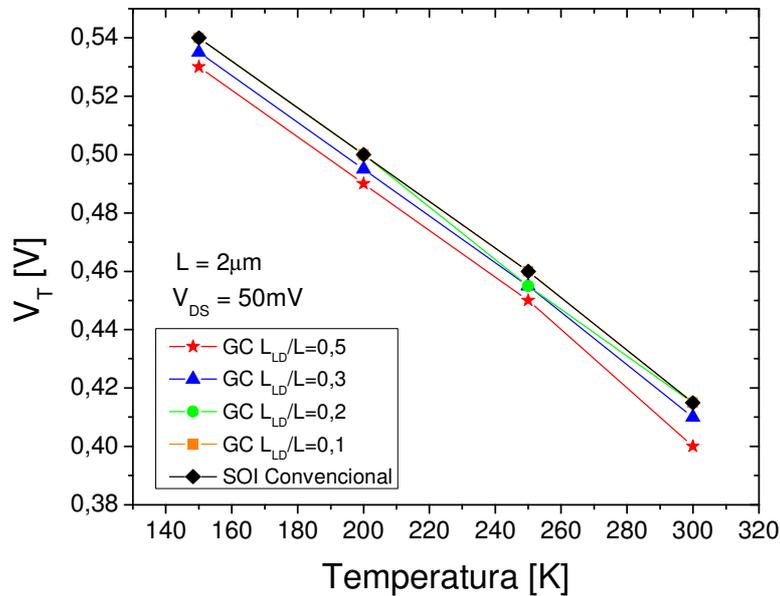


Figura 3.17 – Curva de V_T x Temperatura com $V_{DS} = 50 \text{ mV}$ para os dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 2 \mu\text{m}$.

Conforme visto na seção 2.3.1, a tendência da tensão de limiar dos dispositivos SOI de aumentar seu valor de acordo com a diminuição da temperatura é demonstrada nesta simulação, comprovando o que foi mencionado.

3.3.3 Transcondutância em Baixa Temperatura

Ainda com o intuito de observar o comportamento dos dispositivos GC SOI em relação ao SOI convencional nas diferentes temperaturas, foram simuladas as curvas de transcondutância em ambos os dispositivos. Vale a pena ressaltar que a transcondutância é um parâmetro importante para o ruído de baixa frequência e que poderá influenciar nos resultados do mesmo em baixa temperatura, portanto será investigado nesta seção.

Na Figura 3.18 são apresentadas as curvas da transcondutância (g_m) em função da tensão de porta (V_{GF}), para o transistor SOI MOSFET convencional simulado com diferentes temperaturas, com comprimento L igual a $2 \mu\text{m}$ e com $V_{DS} = 50 \text{ mV}$.

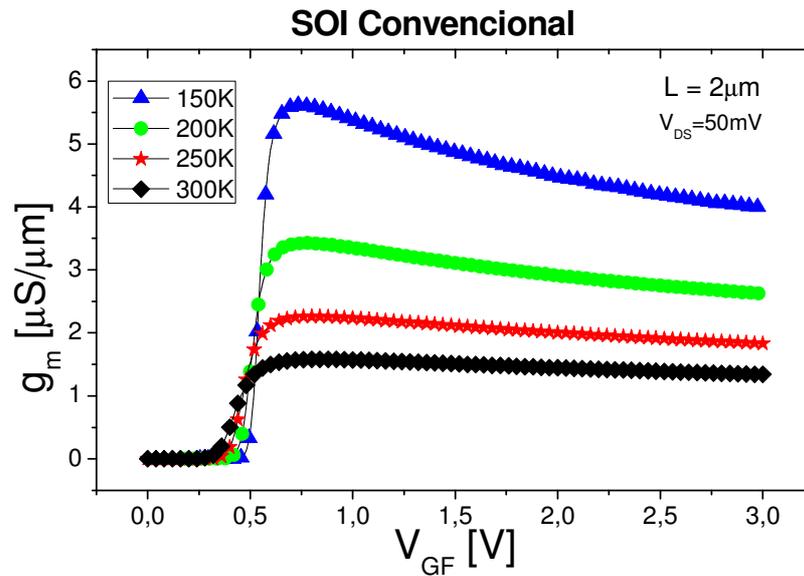


Figura 3.18 – Curvas I_{DS} x g_m com $V_{DS} = 50$ mV para o dispositivo SOI MOSFET convencional de comprimento $L = 2$ μm em diferentes temperaturas.

Na Figura 3.19 são apresentadas as curvas da transcondutância (g_m) em função da tensão de porta (V_{GF}), para o transistor GC $L_{LD}/L = 0,5$ simulado com diferentes temperaturas, com comprimento L igual a 2 μm e com $V_{DS} = 50$ mV.

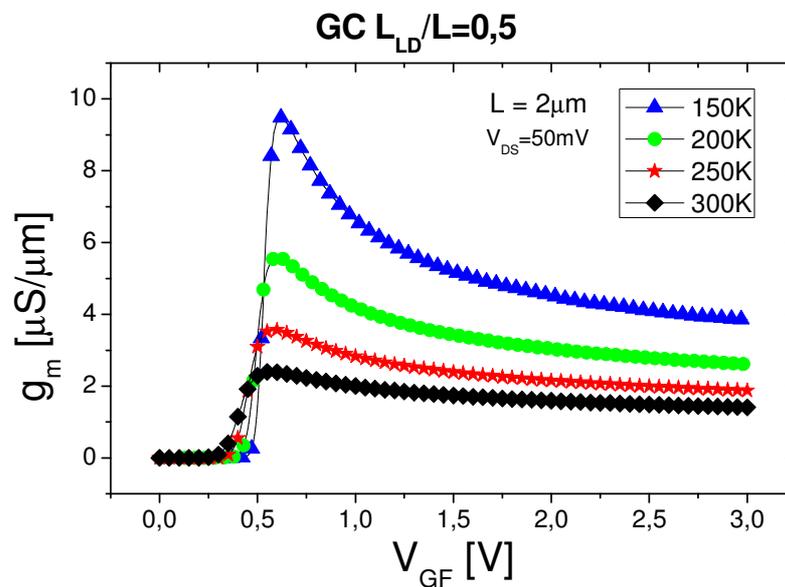


Figura 3.19 – Curvas I_{DS} x g_m com $V_{DS} = 50$ mV para o dispositivo GC de $L_{LD}/L = 0,5$ e comprimento $L = 2$ μm em diferentes temperaturas.

Tanto na Figura 3.18 como na Figura 3.19 é possível notar que ao se diminuir a temperatura, o que ocorre é um maior nível máximo de transcondutância. Para tornar isso mais explícito, será apresentado na Figura 3.20 as curvas da transcondutância máxima ($g_{mm\acute{a}x}$) em função das diferentes temperaturas aplicadas nas simulações, contendo os transistores GC SOI de diferentes razões de L_{LD}/L e o SOI convencional, com comprimento L igual a $2\ \mu\text{m}$ e com $V_{DS} = 50\ \text{mV}$.

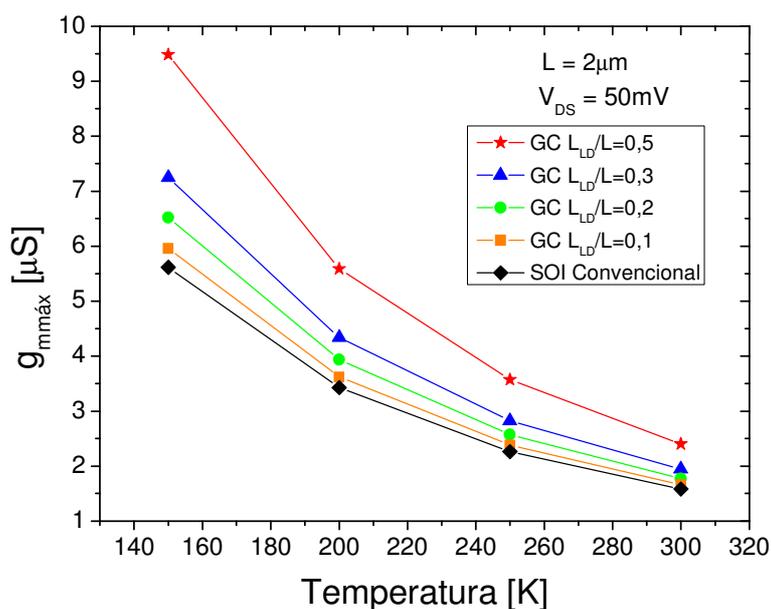


Figura 3.20 – Curva de $g_{mm\acute{a}x}$ x Temperatura com $V_{DS} = 50\ \text{mV}$ para os dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 2\ \mu\text{m}$.

É possível observar nestas curvas que, conforme a uma redução de temperatura a transcondutância máxima dos dispositivos aumenta. Este resultado pode ser entendido conforme dito na seção 2.3.4, onde a transcondutância possui uma dependência com a mobilidade dos portadores, que interfere na corrente I_{DS} e faz com que a transcondutância também sofra alterações devidas à redução temperatura conforme visto na Figura 3.20.

3.3.4 Inclinação de Sublimiar em Baixa Temperatura

Para que possa ser melhor visualizado o comportamento dos dispositivos GC SOI em relação ao SOI convencional nas diferentes temperaturas, foram feitas extrações das

inclinações de sublimar (S) em ambos os dispositivos. Como mencionado na seção 2.3.2, valores baixos de inclinação de sublimar são importantes para um chaveamento mais rápido e eficiente dos transistores [14].

Na Tabela 3.10 estão apresentados os valores de S para cada um dos dispositivos em todas as temperaturas simuladas.

Tabela 3.10 – Tensão da Inclinação de Sublimar (S) obtida para todos os dispositivos ($V_{DS} = 50$ mV) nas diferentes temperaturas simuladas.

S [mV/dec]	GC SOI nMOSFET				SOI nMOSFET Convencional
	$L_{LD}/L=0,5$	$L_{LD}/L=0,3$	$L_{LD}/L=0,2$	$L_{LD}/L=0,1$	
T = 150 K	32,9	32,3	32,2	32,2	32,2
T = 200 K	44,0	43,4	43,3	43,3	43,2
T = 250 K	55,2	54,2	54,0	54,0	53,9
T = 300 K	66,5	65,4	65,2	65,1	64,9

Conforme mencionado anteriormente na Equação 2.10, S é diretamente proporcional à temperatura, dessa forma, com a redução da temperatura é demonstrada a diminuição da inclinação de sublimar, isso pode ser visualizado e demonstrado através dos valores da Tabela 3.10.

3.3.5 Ruído de Baixa Frequência em Baixa Temperatura

Com o objetivo de compreender as conseqüências da redução da temperatura no ruído foram feitas simulações que reproduzem a densidade espectral do ruído de corrente em função da frequência em diferentes temperaturas.

Portanto, foram geradas as curvas $S_I \times$ Frequência com $V_{GT} = 200$ mV para cada um dos dispositivos, tendo $L = 2$ μ m. Essas curvas têm o intuito de demonstrar o perfil do ruído $1/f$ na baixa frequência nas baixas temperaturas, como foi discutido anteriormente no trabalho, além de comparar os dispositivos GC SOI com o SOI convencional, de canal uniformemente dopado.

Na Figura 3.21 são apresentadas as curvas de densidade espectral de potência de ruído da corrente (S_I) em função da Frequência, para os transistores de comprimento L a $2 \mu\text{m}$ simulados nas temperaturas de 150K e 300K , ambos com $V_{GT} = 200 \text{ mV}$ e $V_{DS} = 50 \text{ mV}$.

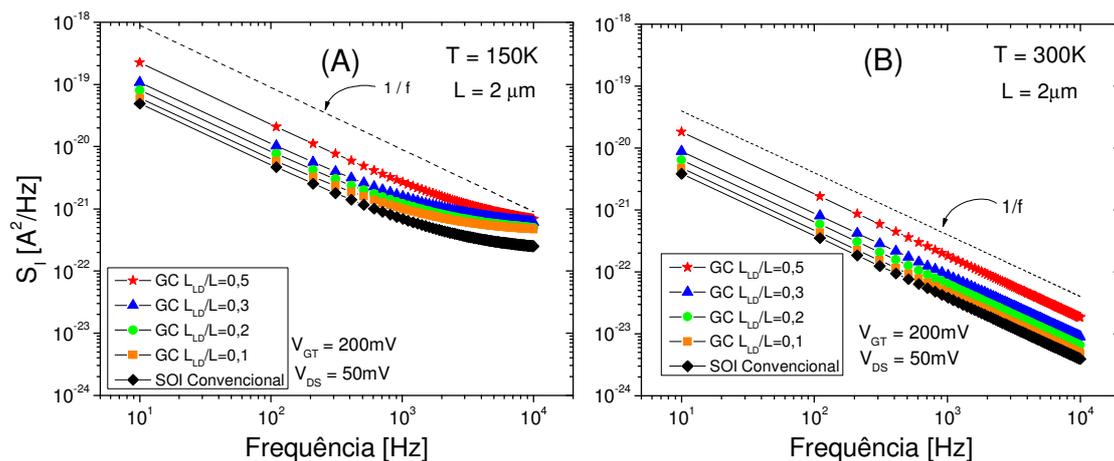


Figura 3.21 – Curvas S_I x Frequência com $V_{GT} = 200 \text{ mV}$ para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 2 \mu\text{m}$ e temperatura de 150K (A) e 300K (B).

Analisando as curvas obtidas é possível observar que estas seguem a tendência de $1/f$ em baixa frequência, assim como na temperatura ambiente, conforme foi discutido no Capítulo 2, o que é proposto, tanto pelo modelo $\Delta\mu$, como pelo modelo ΔN . Porém, também é possível observar, que para todos os dispositivos simulados, ocorre uma antecipação do que é chamado de ruído branco, onde os demais tipos de ruído se sobrepõem ao ruído de baixa frequência, criando um patamar, o qual pode ser visto se iniciando nestas curvas.

Com a redução de temperatura nota-se que os valores de S_I aumentaram em quase uma ordem de grandeza. Demonstrando que a diminuição da temperatura nos dispositivos GC SOI e SOI convencional causa mais ruído $1/f$ [53].

4 RESULTADOS EXPERIMENTAIS

Neste capítulo estão contidos todos os resultados experimentais obtidos no trabalho, tendo como objetivo comprovar em dispositivos fabricados os resultados alcançados através das simulações dispostas no Capítulo 3. Estas comprovações serão feitas, na sua maioria, por meio de tendências, para que sejam analisados os resultados simulados.

Inicialmente, serão abordadas as características de fabricação dos dispositivos medidos e peculiaridades do processo. Na seqüência, será feita a análise das curvas características dos dispositivos, conforme realizado no Capítulo 3. Finalmente, será apresentada a medida referente ao ruído $1/f$.

Neste capítulo, entretanto, não serão apresentados dados experimentais idênticos ao que foi simulado, uma vez que foram escolhidas as melhores estruturas que estavam disponíveis no chip analisado.

4.1 Características dos Dispositivos Analisados

Os dispositivos utilizados neste trabalho para caracterização foram fabricados no Laboratório de Microeletrônica da Universidade Católica de Louvain (*Université Catholique de Louvain – UCL*) – Bélgica, um dos centros de excelência mundiais na área de tecnologia SOI. A fabricação dos dispositivos GC SOI e SOI convencional se deu através do processo descrito na referência [54]. A estrutura de canal gradual, assim como descrito anteriormente em 2.4.1, foi obtida através de um deslocamento da máscara utilizada para a proteção dos transistores pMOS na etapa de implementação iônica para o ajuste da tensão de limiar.

Os dispositivos utilizados foram fabricados cada um com largura do canal $W = 20 \mu\text{m}$, comprimento de canal $L = 2 \mu\text{m}$ e estão apresentados na Figura 4.1, onde está parte do layout utilizado na caracterização.

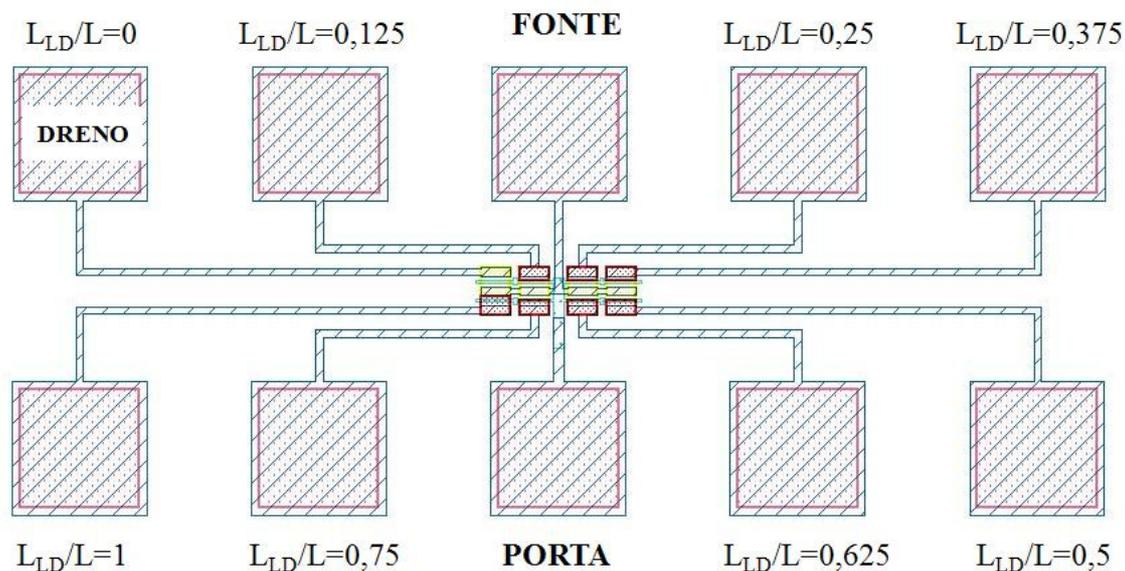


Figura 4.1 – Leiaute de parte do chip utilizado na caracterização.

No leiaute constam os L_{LD}/L de máscara dos dispositivos fabricados. Para que possa ser obtida a razão L_{LD}/L efetiva dos dispositivos, foram realizados os procedimentos propostos em estudos anteriores [3], de onde foi retirada a seguinte expressão:

$$\frac{L_{LD}}{L} = 1 - \frac{I_{D,SOI \text{ convencional}}}{I_{D,GC SOI}} \quad (4.1)$$

Dessa forma, foram extraídas as razões L_{LD}/L efetivas dos transistores e foram escolhidas as razões L_{LD}/L iguais a 0,20; 0,40; 0,65. Foram escolhidas essas razões de L_{LD}/L , pois, foram aqueles transistores que apresentaram melhores respostas durante a caracterização elétrica. As concentrações de dopantes utilizados para simular os transistores, bem como as medidas dos dispositivos estão apresentadas na Tabela 4.1.

Tabela 4.1 – Concentrações de dopantes e parâmetros tecnológicos dos dispositivos GC SOI e SOI convencional caracterizados.

Espessura do Óxido de Porta (t_{oxf})	31 nm
Espessura do filme de Silício (t_{Si})	80 nm

Espessura do Óxido Enterrado (t_{oxb})	400 nm
Concentração de Dopantes do tipo P (N_A)	$6 \times 10^{16} \text{ cm}^{-3}$
Concentração Intrínseca de Dopantes ($N_{\text{intrínseco}}$)	$1 \times 10^{15} \text{ cm}^{-3}$

4.2 Resultados e Discussões Experimentais

A partir de agora serão apresentadas as caracterizações realizadas nos transistores do chip que apresentaram melhor resposta.

4.2.1 Curva Característica $I_{\text{DS}} \times V_{\text{GF}}$

Na Figura 4.2 são apresentadas as curvas da corrente de dreno (I_{DS}) em função da tensão de porta (V_{GF}), para os transistores de comprimento L igual $2 \mu\text{m}$, ambos com $V_{\text{DS}} = 50 \text{ mV}$, idêntico a uma das curvas realizadas nas simulações apresentadas no item 3.2.1, a fim de possibilitar uma breve comparação entre os resultados medidos e simulados.

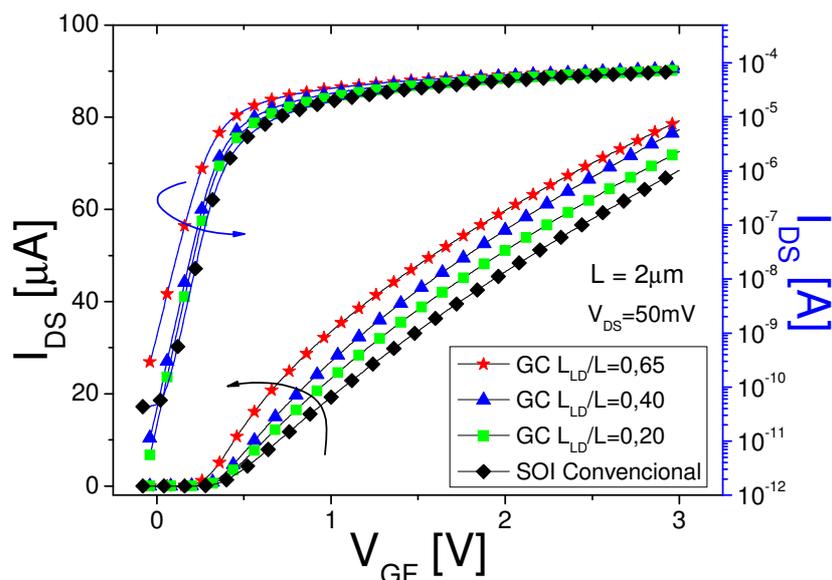


Figura 4.2 – Curvas $I_{\text{DS}} \times V_{\text{GF}}$ com $V_{\text{DS}} = 50 \text{ mV}$ para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de comprimento $L = 2 \mu\text{m}$.

Nas curvas experimentais foram caracterizados os transistores GC SOI de $L_{LD}/L = 0,20$; $0,40$ e $0,65$, para satisfazer o objetivo do estudo de comparar os dados experimentais com os simulados, uma vez que segue a mesma tendência das razões L_{LD}/L simuladas no capítulo anterior.

Através da curva presente na Figura 4.2 pode-se notar que, assim como observado na Figura 3.2 (B), as curvas dos dispositivos caracterizados confirmam um aumento em I_{DS} , à medida que se aumenta L_{LD}/L , devido à redução do comprimento efetivo de canal L_{eff} . Nos dispositivos reais, porém, a corrente I_{DS} apresentada é maior que aquela exibida nos transistores simulados. Isso ocorre uma vez que a largura de canal dos transistores reais é maior que aquela dos dispositivos simulados.

Para retirar esta dúvida, a corrente nos dispositivos medidos será normalizada, de forma a tornar possível a comparação com a obtida através de simulações. Esta curva está apresentada na Figura 4.3.

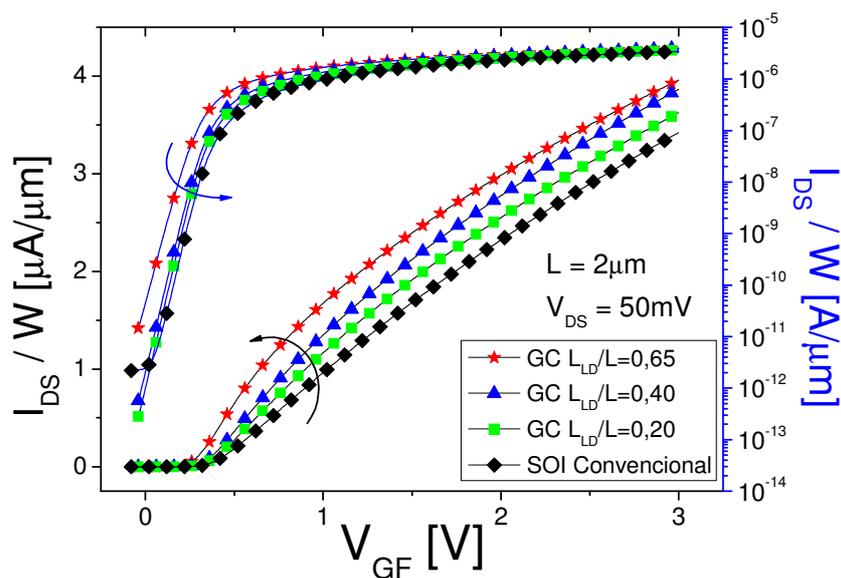


Figura 4.3 – Curvas $(I_{DS} / W) \times V_{GF}$ com $V_{DS} = 50$ mV para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de comprimento $L = 2$ μm .

Para comparar as correntes I_{DS} simuladas com as medidas experimentais, será fixada a tensão de porta $V_{GF} = 1,5$ V. Estes valores serão apresentados na Tabela 4.2.

Tabela 4.2 – Valores de corrente (I_{DS} / W) para uma tensão fixa de $V_{GF} = 1,5$ V para os dispositivos simulados e medidos ($V_{DS} = 50$ mV).

I_{DS} [μ A]	GC SOI nMOSFET			SOI nMOSFET Convencional
	$L_{LD}/L=0,65$	$L_{LD}/L=0,4$	$L_{LD}/L=0,2$	
L = 2 μm	2,40	2,12	1,91	1,68

Com a corrente I_{DS} normalizada, é possível observar que os valores obtidos com tensão de porta $V_{GF} = 1,5$ V se aproximaram dos valores simulados. Porém, ambas as curvas de corrente de dreno simulada e medida apresentam diferenças, uma vez que, os parâmetros utilizados nas simulações não foram otimizados, já que a caracterização dos dispositivos foi feita com o intuito de comprovar apenas as tendências dos resultados obtidos em simulações bidimensionais. Esta diferença no nível de corrente, no entanto, não acarretará mudanças nas demais variáveis a serem obtidas ao longo deste capítulo.

4.2.2 Tensão de Limiar

Conforme realizado na seção 3.2.2, para se obter a tensão de limiar dos dispositivos caracterizados, foram determinadas as curvas de $I_{DS} \times V_{GS}$ para $V_{DS} = 50$ mV e a partir do ponto de máximo de sua derivada de segunda ordem foi possível extrair a tensão de limiar. Os valores resultantes de V_T para os dispositivos caracterizados são apresentados na Tabela 4.3 para os transistores GC SOI de $L_{LD}/L = 0,20, 0,40$ e $0,65$ e SOI convencional.

Tabela 4.3 – Tensão de limiar (V_T) obtida para todos os dispositivos simulados ($V_{DS} = 50$ mV).

V_T [V]	GC SOI nMOSFET			SOI nMOSFET Convencional
	$L_{LD}/L=0,65$	$L_{LD}/L=0,4$	$L_{LD}/L=0,2$	
L = 2 μm	0,33	0,35	0,36	0,36

Através dos resultados apresentados na Tabela 4.3, observa-se que, assim como nos dispositivos simulados, os resultados obtidos nos dispositivos medidos com comprimento L

= 2 μm apresentam tensão de limiar praticamente constante ao se variar a razão L_{LD}/L , indicando a independência entre o comprimento efetivo de canal e a tensão de limiar.

4.2.3 Transcondutância

Da mesma forma que realizado no Capítulo 3, a transcondutância, medida através da derivada de dI_{DS} / dV_{GF} , indica a eficiência do controle exercido pela tensão de porta na corrente de dreno.

Assim como nas simulações, foi determinada a curva característica da transcondutância em função da tensão de porta. Logo, a caracterização de $g_m \times V_{GF}$ foi obtida para $V_{DS} = 50 \text{ mV}$, para um transistor com comprimento de canal de $L = 2 \mu\text{m}$ em transistores GC SOI e SOI convencional, conforme mostra a Figura 4.4. E da mesma forma que a curva $I_{DS} \times V_{GS}$, nos dispositivos reais, a corrente I_{DS} apresentada é maior do que nos transistores simulados, pois a largura de canal dos transistores reais é maior que aquela dos dispositivos simulados.

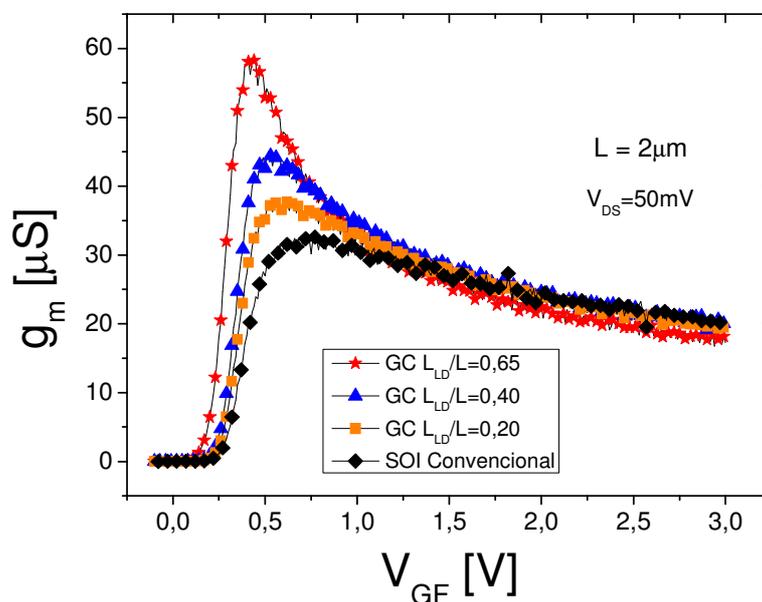


Figura 4.4 – Curvas $g_m \times V_{GF}$ com $V_{DS} = 50 \text{ mV}$ para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 2 \mu\text{m}$.

Contudo, a corrente de dreno nos dispositivos medidos poderia ser normalizada, de forma a tornar possível a comparação com a obtida através de simulações. Porém, como a caracterização dos dispositivos foi feita apenas com o intuito de comprovar as tendências dos resultados obtidos em simulações, os resultados não serão normalizados.

Então, através das curvas da Figura 4.4, comprova-se que a transcondutância obtida aumenta conforme aumenta a razão L_{LD}/L , de acordo com as simulações realizadas no Capítulo anterior. Também se torna evidente que quando menor for o comprimento do canal L , maior será a transcondutância g_m . Para demonstrar essa análise, os valores de transcondutância máxima ($g_{mmáx}$) serão apresentados na Tabela 4.4, também sem serem normalizados.

Tabela 4.4 – Valores de transcondutância máxima ($g_{mmáx}$) para os dispositivos medidos ($V_{DS} = 50$ mV).

$g_{mmáx}$ [μS]	GC SOI nMOSFET			SOI nMOSFET Convencional
	$L_{LD}/L=0,65$	$L_{LD}/L=0,4$	$L_{LD}/L=0,2$	
$L = 2 \mu m$	58,50	44,40	37,82	32,57

4.2.4 Curva característica $I_{DS} \times V_{DS}$

Com os valores da tensão de limiar V_T , foi possível executar as medidas nos dispositivos de modo a obter as curvas $I_{DS} \times V_{DS}$ dos dispositivos. Assim como acontece com as curvas $I_{DS} \times V_{GF}$, ao se medir $I_{DS} \times V_{DS}$ é notável uma maior corrente de dreno conforme a razão L_{LD}/L dos transistores GC SOI é aumentada. Nas curvas apresentadas na Figura 4.5, pode-se observar este aumento na corrente de dreno nos dispositivos com comprimentos de canal $2 \mu m$ para uma sobretensão de porta (V_{GT}) de 200 mV.

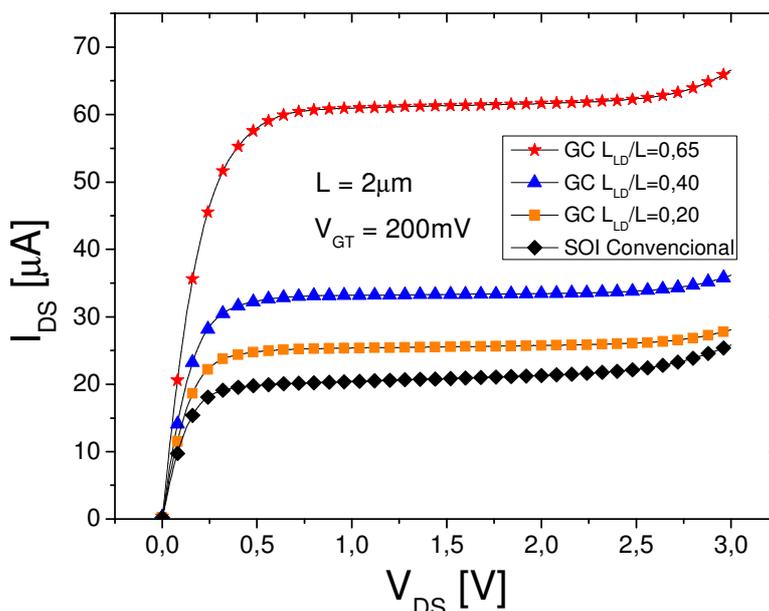


Figura 4.5 – Curvas I_{DS} x V_{DS} medidas com $V_{GT} = 200$ mV para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 2$ μm .

Analisando-se as características exibidas, observa-se que os transistores GC SOI dispõem de uma tensão de ruptura superior à exibida pelo SOI convencional, uma vez que nos dispositivos GC, o patamar apresentado na região de saturação se estende para valores de V_{DS} superiores aos obtidos em SOI convencionais, igualmente ao apresentado pelas simulações. Além disso, também como apresentado na seção 4.2.5, nota-se que, nas curvas medidas, na região de saturação, os dispositivos com canal gradual têm um aspecto ligeiramente mais constante, o que leva a uma menor condutância de dreno.

Os resultados obtidos da condutância de dreno obtidos para os transistores GC SOI e SOI convencional medidos de comprimento $L = 2$ μm podem ser visualizados na Tabela 4.5.

Tabela 4.5 – Valores de condutância de dreno (g_D) para todos os dispositivos medidos ($V_{GT} = 200$ mV).

g_D [A/V]	GC SOI nMOSFET			SOI nMOSFET Convencional
	$L_{LD}/L=0,65$	$L_{LD}/L=0,4$	$L_{LD}/L=0,2$	
$L = 2$ μm	$1,08 \times 10^{-7}$	$1,05 \times 10^{-7}$	$5,37 \times 10^{-7}$	$8,75 \times 10^{-7}$

Através da Tabela 4.5 verifica-se que os dispositivos GC SOI proporcionam uma condutância de dreno reduzida em relação ao SOI convencional, assim como observado nas simulações.

4.2.5 Medidas de Ruído Experimental

O ruído medido experimentalmente foi realizado no mesmo *chip* apresentado em todo Capítulo 4. Foram feitas medidas nos dispositivos GC SOI MOSFET de razão $L_{LD}/L = 0,65$ e $0,30$ e SOI convencional.

Para realizar essas medidas foi necessário utilizar o Analisador de Espectros da Agilent, modelo 4395A, depois de um estágio de amplificação do ruído, onde foi utilizado um amplificador de baixo ruído (*Low-Noise Amplifier* – LNA), da *Linear Technology*, modelo LT1028. Esse LNA foi alimentado por baterias de nove volts, que não introduzem ruído ao sistema. A Figura 4.6 apresenta o circuito utilizado para realizar as medidas experimentais de ruído nos dispositivos GC SOI e SOI convencional.

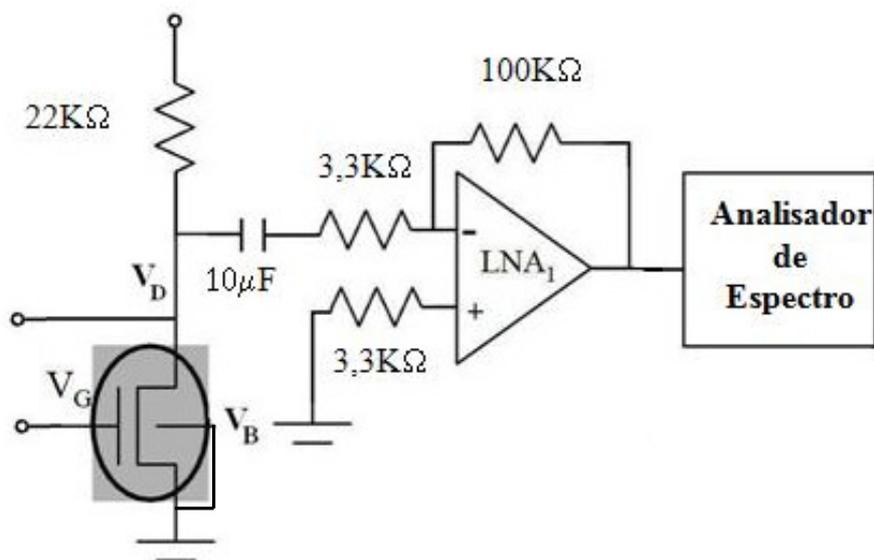


Figura 4.6 – Circuito utilizado para realização das medidas de ruído nos dispositivos GC SOI e SOI convencional.

O sistema de medidas foi polarizado com o equipamento Keithley 4200, que aplicava tensões sobre o resistor de $22\text{K}\Omega$, o dreno do transistor (V_D), a porta do transistor (V_G) e o substrato (V_B) do transistor. O substrato especificamente não foi polarizado, sendo mantido aterrado. Desse modo, no ponto entre o resistor de $22\text{K}\Omega$ e o dreno do transistor foi amplificado o sinal para que pudesse ser observado o ruído neste ponto.

Para observar apenas o ruído do transistor foi necessário calibrar o sistema de modo que, a cada medida que era realizada, era necessário antes fazer a medida do ruído base. O ruído base, nada mais é do que a medida de ruído de todo o circuito, apenas sem polarizar o transistor. Essa etapa da medição é visualizada conforma a Figura 4.7.

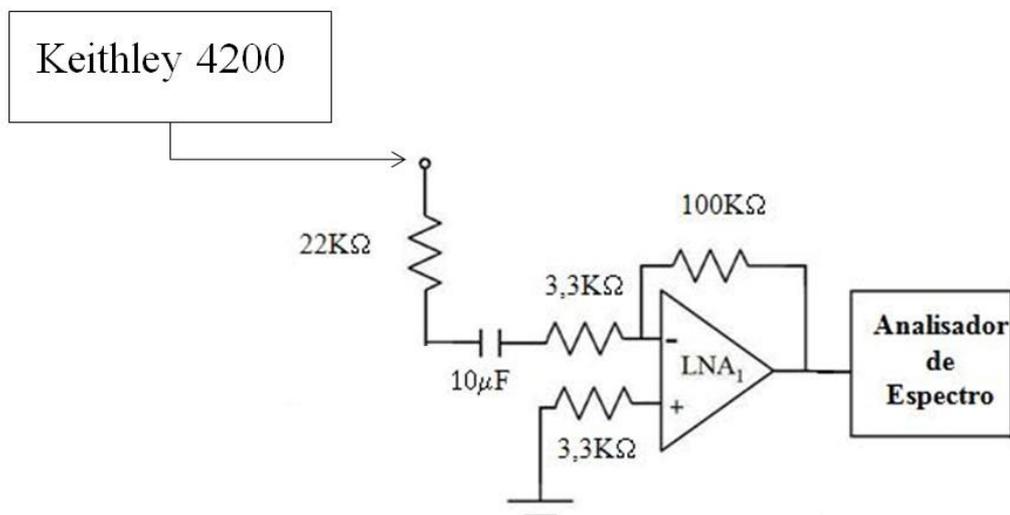


Figura 4.7 – Circuito utilizado para realização a primeira etapa das medidas, necessário para obtenção do ruído base.

A partir de então, era realizada a medida de ruído de todo o sistema, incluindo o transistor, conforme a Figura 4.8. Com essas duas medidas, era feita a seguinte subtração: o ruído de todo o sistema, menos o ruído base, permanecendo então, o valor exclusivamente do ruído que o transistor introduziu na medida.

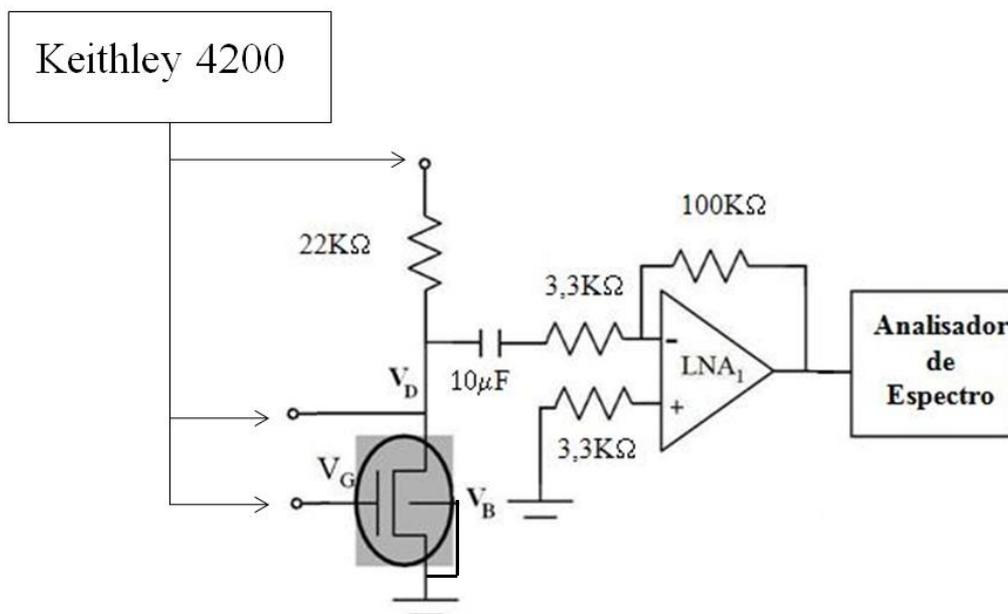


Figura 4.8 – Circuito polarizado, utilizado para realização da segunda etapa das medidas, a fim de obter o ruído nos dispositivos GC SOI e SOI convencional.

A curva de ruído de baixa frequência em função da frequência foi feita também extraindo os valores de 60 Hz da corrente elétrica da rede, bem como os seus harmônicos. Essa extração se deu por meio de software.

Todas as medidas foram realizadas com o transistor operando em saturação, aplicando o valor de $V_D = 1,2$ V, $V_G = 1,0$ V e o substrato aterrado.

Dessa forma, a Figura 4.9 apresenta as curvas de densidade espectral de potência da corrente (S_I) em função da Frequência, frequência essa até 10 KHz, para os transistores GC SOI com razões $L_{LD}/L = 0,30$ e $0,65$ e SOI convencional de comprimento de canal L igual a $2 \mu\text{m}$, com $V_D = 1,2$ V e $V_G = 1,0$ V.

Primeiramente, analisando-se as curvas obtidas, é possível notar que as medidas de ruído seguem a tendência de $1/f^\gamma$ em baixa frequência, conforme foi discutido no Capítulo 2 e apresentado nas simulações do Capítulo 3. No caso dessas medidas, verificou-se que o expoente γ da razão $1/f$ é igual a $0,8$, dentro do esperado, já que normalmente a distribuição das armadilhas no espaço não é constante e o espectro mostra o ruído com $1/f^\gamma$ onde γ varia entre $0,7$ e $1,3$ [35].

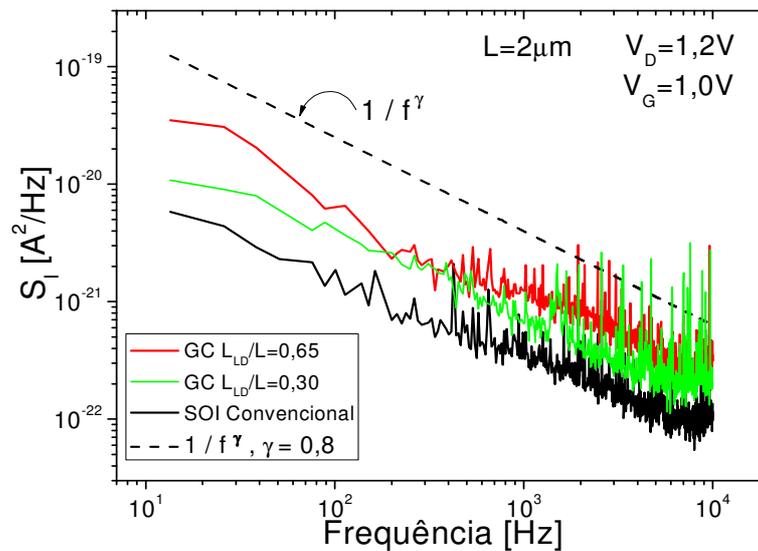


Figura 4.9 – Curvas S_I x Frequência com $V_D = 1,2$ V e $V_G = 1,0$ V para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 2$ μm .

Através das curvas obtidas pode-se também comprovar o maior nível de ruído $1/f$ para dispositivos GC SOI em comparação com o SOI convencional, como já previsto nas simulações. Também nota-se que ao aumentar a relação L_{LD}/L nos dispositivos GC SOI, o ruído $1/f$ também aumenta. Isso ocorre devido ao maior valor da corrente de dreno que flui nos diferentes tipos de transistor estudados. Esse aumento pode ser visualizado na Tabela 4.6, onde estão os valores da corrente de dreno medidos experimentalmente.

Tabela 4.6 – Valores da corrente de dreno medidos experimentalmente para todos os dispositivos.

I_{DS} [μA]	GC SOI nMOSFET		SOI nMOSFET Convencional
	$L_{LD}/L=0,65$	$L_{LD}/L=0,30$	
$L = 2$ μm	352,7	208,8	137,2

Conforme é possível notar na Tabela 4.6, o valor da corrente de dreno que flui pelo transistor GC SOI de $L_{LD}/L = 0,5$ é mais do que o dobro do valor da corrente de dreno do SOI convencional. Essa deve ser a principal razão pela qual o valor da densidade espectral do ruído da corrente é maior no GC SOI. Como visto anteriormente, conforme mostra a

Equação 2.48, a densidade espectral do ruído da corrente é diretamente proporcional a corrente, fazendo com que, quanto maior a corrente elétrica, maior o ruído no dispositivo.

Também é possível observar, na Figura 4.9, que ao atingir valores de frequência da ordem de aproximadamente 6×10^3 o ruído começa a se comportar como ruído branco, isso ocorre devido ao método utilizado para a realização das medidas experimentais de ruído, os quais podiam não eliminar todos os ruídos do ambiente, fazendo com que não fosse possível ver a queda de $1/f$ em toda a faixa de baixa frequência, que deveria ser de 10 KHz.

Na Figura 4.10 são apresentas as curvas de densidade espectral de potência da corrente (S_I) em função da Frequência, porém para uma menor faixa de frequência, dando mais ênfase a esta faixa, explicitando a baixa frequência. Essa medida experimental foi realizada para os transistores GC SOI com razões $L_{LD}/L = 0,30$ e $0,65$ e SOI convencional de comprimento de canal L igual a $2 \mu\text{m}$, com $V_D = 1,2 \text{ V}$ e $V_G = 1,0 \text{ V}$.

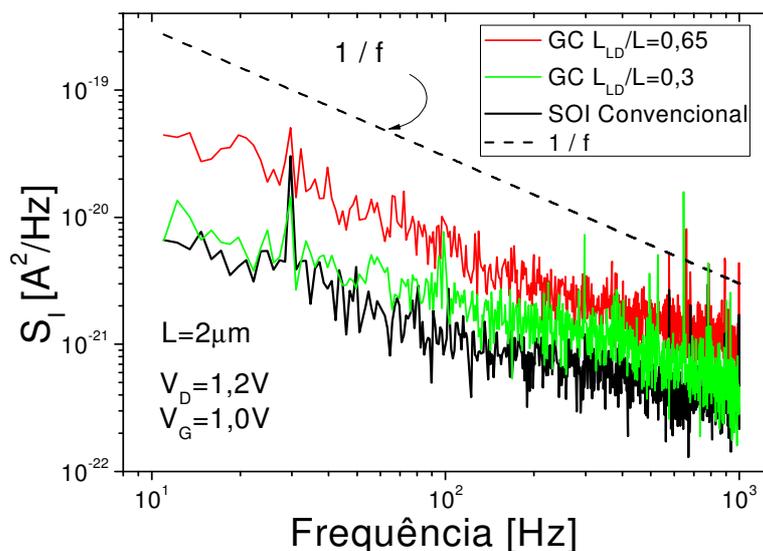


Figura 4.10 – Curvas S_I x Frequência com $V_D = 1,2 \text{ V}$ e $V_G = 1,0 \text{ V}$ para dispositivos GC com diferentes L_{LD}/L e SOI Convencional de $L = 2 \mu\text{m}$.

Nota-se que as medidas de ruído seguem a tendência de $1/f$ em baixa frequência, conforme amplamente discutido nos Capítulos anteriores.

Através das curvas obtidas pode-se comprovar o maior nível de ruído $1/f$ para dispositivos GC SOI em comparação com o SOI convencional nas frequências mais baixas

como foi discutido anteriormente neste trabalho, e como já foi previsto nas simulações numéricas. Também nota-se que ao aumentar a razão L_{LD}/L nos dispositivos GC SOI, o ruído $1/f$ também aumenta, devido ao aumento da corrente de dreno e a diminuição do comprimento efetivo do canal (L_{eff}).

5 CONCLUSÕES FINAIS E TRABALHOS FUTUROS

Neste trabalho foram avaliados os desempenhos dos transistores GC SOI com diferentes razões de L_{LD}/L e SOI MOSFETs convencionais em relação ao ruído de baixa frequência.

Com o intuito de estudar as respostas do ruído nestes dispositivos foram feitas simulações numéricas bidimensional dos dispositivos para a obtenção das principais características elétricas dos transistores. Estas características foram obtidas, sem a otimização dos parâmetros envolvidos, uma vez que as análises efetuadas foram feitas visando apenas determinar tendências, não sendo necessária a precisão de resultados.

Com base nas características obtidas, foram extraídos os diversos parâmetros para a análise em saturação e triodo, tais como a tensão de limiar, inclinação de sublimiar, transcondutância, e todas estas grandezas foram analisadas com relação à redução do comprimento de canal e à variação da razão L_{LD}/L , sempre levando em conta as possíveis influências do ruído, principalmente no de baixa frequência.

Durante a análise efetuada nos dispositivos, foi observado que o GC SOI MOSFET apresente melhores resultados quanto ao desempenho analógico, uma vez que este dispositivo apresenta um aumento do nível de corrente de dreno de aproximadamente 1,4 vezes em comparação com um SOI MOSFET convencional, além de aumento de mais de 1,5 vezes o valor de transcondutância máxima, reduções de até duas ordens de grandeza na condutância de dreno e maior ganho de tensão de malha aberta, todos estes valores observados na comparação de um GC SOI de razão $L_{LD}/L = 0,5$ comparado ao SOI MOSFET convencional.

Embora o GC SOI MOSFET apresente melhores resultados quanto ao desempenho analógico, este dispositivo apresenta maior densidade espectral de ruído de corrente do que um SOI convencional, o que pode ser um problema para aplicações de baixo ruído e baixa frequência. Este aumento do nível do ruído de baixa frequência é de aproximadamente uma ordem de grandeza com relação a densidade espectral de ruído de corrente do GC SOI com razão de $L_{LD}/L = 0,5$ em comparação ao SOI MOSFET convencional, e está associado aos aumentos do nível de corrente de dreno e de transcondutância. Outra observação importante

é que o ruído de baixa frequência aumenta nos dispositivos GC SOI conforme é aumentada a razão L_{LD}/L .

Com relação a temperatura, foi possível notar um aumento do nível do ruído de baixa frequência em quase uma ordem de grandeza com a redução da temperatura, o que é causado por um aumento do nível de corrente de dreno nos dispositivos quando se diminui a temperatura. Além disso, pode-se averiguar uma antecipação do chamado ruído branco em todos os dispositivos analisados, uma vez que a temperatura diminui.

As medidas experimentais demonstraram as mesmas tendências observadas nas simulações bidimensionais. Também tendo sido demonstrado que os transistores GC SOI apresentam maior ruído $1/f$ do que os dispositivos SOI MOSFETs convencionais.

Com base nos resultados e análises deste trabalho, são sugeridos como propostas de continuidade do estudo, a integração do sistema de medida de ruído com o novo amplificador de baixo ruído, equipamento da “*Stanford Research*” SR560, o qual não foi utilizado para as medidas experimentais deste trabalho. Além de também realizar medidas experimentais em baixas temperaturas e comparar com os resultados das simulações numéricas apresentadas neste trabalho. Outra possível abordagem é a observação da relação sinal/ruído nos dispositivos simulados e nos medidos experimentalmente.

REFERÊNCIAS

- [1] COLINGE, J. P. **Silicon-on-Insulator Technology: Materials to VLSI**. 3rd ed. Massachusetts. Kluwer Academic Publishers, 2004.
- [2] PAVANELLO, M.A. et al. The graded-channel SOI MOSFET to alleviate the parasitic bipolar effects and improve the output characteristics. *Silicon-on-Insulator Technology and Devices 1999*, Pennington. **The Electrochemical Society**, p. 293-298, 1999.
- [3] PAVANELLO, M. A. et al. Graded-channel Fully Depleted Silicon-On-Insulator nMOSFET for Reducing the Parasitic Bipolar Effects. **Solid-State Electronics**, v. 44, n. 6, p. 917-922, 2000.
- [4] PAVANELLO, M. A.; MARTINO J. A.; FLANDRE, D. Analog Performance and Applications of Graded-Channel Fully Depleted SOI MOSFETs. **Solid-State Electronics**, v. 44, n. 7, p. 1219-1222, 2000.
- [5] SIMOEN, E. et al. Low-frequency Noise in Silicon-on-insulator Devices and Technologies. **Solid-State Electronics**, v. 51, p. 16-37, 2007.
- [6] WONG, H. Low-frequency Noise Study in Electron Devices: review and update. **Microelectronics Reliability**, v. 43, p. 585-599, 2003.
- [7] SZE, S.M. **Physics of semiconductor devices**, 2nd ed. New York (EUA). John Wiley and Sons, 1981.
- [8] KRISHNAN, S.; FOSSUM, J.G. Grasping SOI floating-body effects. **IEEE Circuits and Devices Magazine**, v. 14, n. 4, p. 32-37, 1998.
- [9] YOSHIMI, M. Two-dimensional simulation and measurement of high-performance MOSFETs made on a very thin SOI film. **IEEE Transactions on Electron Devices**, v. 36, n. 3, p. 493-503, 1989.
- [10] YOUNG, K. K. Short-channel effect in fully depleted SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 36, n. 2, p. 399-402, 1989.
- [11] LIM, H.K.; FOSSUM, J.G. Threshold voltage of thin-film silicon-on-insulator (SOI) MOSFETs. **IEEE Transactions on Electron Devices**, v. 30, p. 1244-1251, 1983.
- [12] COLINGE, J. P.; COLINGE, C. A. **Physics of Semiconductor Devices**, 1st ed. Massachusetts. Kluwer Academic Publishers, p. 436, 2002.
- [13] BREWS, J. R. Subthreshold behavior of uniformly and nonuniformly doped longchannel MOSFET. **IEEE Transactions on Electron Devices**, v. 26, n. 9, p. 1282-1291, 1979.

- [14]SAH, C. T. et al. Effect of zinc impurity in silicon solar-cell efficiency. **IEEE Transactions on Electron Devices**, v. 28, n. 3, p. 304-313, 1981.
- [15]CONWELL, E.; WEIAAKOPF, V. F. Theory of impurity scattering in semiconductors. **Physics Review**, v. 77, n. 3, p. 388-390, 1950.
- [16]CAUGHEY, D. M.; THOMAS, R. E. Carrier mobilities in silicon empirically related to doping and field. **Proc. IEEE**, v. 52, p. 2192-2193, 1967.
- [17]LIM, H.K.; FOSSUM, J.G. Current-voltage characteristics of thin-film SOI MOSFET's in strong inversion. **IEEE Transactions on Electron Devices**, v. 31, p. 401-408, 1984.
- [18]VEERARACHAVAN, S.; FOSSUM, J. G. Short-channel effects in SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 36, n. 3, p. 522-528, 1989.
- [19]WOO, J. C. S.; PLUMMER, J. D. Short-channel effects in MOSFETs at liquid-nitrogen temperature. **IEEE Transactions on Electron Devices**, v. 33, n. 7, p. 1012-1019, 1986.
- [20]SANCHEZ, J.J.; HSUEH, K.K.; DEMASSA, T.A. Drain-engineered hot-electronresistant device structures: a review. **IEEE Transactions Electron Devices**, v. 36, n. 6, p. 1125-1132, 1989.
- [21]JENG, M.-C. et al. The effects of source/drain on deep submicrometer device performance. **IEEE Transactions on Electron Devices**, v. 37, n. 11, p. 2408-2410, 1990.
- [22]PAVANELLO, M. A. **Projeto, Fabricação e Caracterização Elétrica de uma Nova Estrutura para o SOI MOSFET, 2000**. Tese de Doutorado – Escola Politécnica da Universidade de São Paulo, São Paulo, 2000.
- [23]GIMENEZ, S.P. et al. Design of operational transconductance amplifiers with improved gain by using graded-channel SOI nMOSFETs. **Proceedings of 16th Symposium on Integrated Circuits and Systems Design**, p. 26-31, 2003.
- [24]SANTOS, A. A.; FLANDRE, D.; PAVANELLO, M. A. Impact of Graded-channel SOI MOSFET Application on the Performance of Cascode and Wilson Current Mirrors. **Microelectronics Technology and Devices - SBMicro2007**. v. 9, p. 441-450, 2007.
- [25]KILCHYTSKA, V. et al. Influence of Device Engineering on the Analog and RF Performances of SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 50, n. 3, p. 577-588, 2003.

- [26] FLANDRE, D. et al. Modeling and Application of Fully Depleted SOI MOSFETs for Low Voltage, Low Power Analog CMOS Circuits. **Solid-State Electronics**, v. 39, n. 4, p. 455-460, 1996.
- [27] MATCHENBACHER, C. D. et al. **Low-Noise Electronic System Design**. 1st ed. Wiley-Interscience Publication, 1993.
- [28] VON HAARTMAN, M. et al. **Low-Frequency Noise in Advanced MOS devices**. 1st ed. Springer Publishers, 2007.
- [29] BENNETT, A. R. **Electrical Noise**. McGraw-Hill Publishers, New York, 1960.
- [30] WIENER, N. Generalized harmonic analysis. **Acta Math**, v. 55, p. 117, 1930.
- [31] KHINTCHINE, A. **Acta Math**, v. 109, p. 604, 1934.
- [32] HOOGE, P.N. 1/f Noise Sources. **IEEE Transactions on Electron Device**, v. 41, n. 11, p. 1926-1935, 1994.
- [33] UREN, M.J. et al. **Advanced Physics**, v. 38, p. 367, 1989.
- [34] CHRISTENSSON, S.; LUNDSTRÖM, I.; SVENSSON, C. **Solid-State Electronics**, v. 11, p. 2176, 1994.
- [35] SIMOEN, E.; CLAEYS, C. On the Flicker Noise in Submicron Silicon MOSFETs. **Solid-State Electronics**, v. 43, p. 865-882, 1999.
- [36] SHOCKLEY, W.; READ W.T. Statistics of the Recombination of Holes and Electrons. **Physics Review**. v. 87, n. 952, p. 835-842.
- [37] HALL, R.N. Electron Hole Recombination in Germanium. **Physics Review**, v. 87, p. 387, 1952.
- [38] CHANG, Z. Y.; SANSEN, W. M. C. **Low-Noise Wide-Band Amplifiers in Bipolar and CMOS Technologies**. 1st ed. Kluwer Academic Publishers, 1991.
- [39] BABCOCK, J. A.; SCHRODER, D. K.; TSENG, Y. C. Low-frequency noise in near-fully-depleted TFOSI MOSFETs. **IEEE Electron Devices Letters**, v. 19, n. 2, p. 40-43, 1998.
- [40] REIMBOLD, G. **IEEE Trans. Electron Devices**, n. 31, p. 1190, 1984.
- [41] GHIBAUDO, G.; ROUX, O. et al. Improved Analysis of Low Frequency Noise in Field-Effect MOS Transistor. **Physica States Solidi (a)**, vol. 124, p. 571, 1991.
- [42] HOOGE, F.N. **Physics Letters**, vol. 29 A, p. 139, 1969.

- [43] HOOGE, F.N. **IEEE Trans. Electron Devices**, n. 41, p. 1926, 1994.
- [44] CHANG, J.; ABIDI, A. A.; VISWANATHAN, C.R. **IEEE Trans. Electron Devices**, n. 41, p. 1965, 1994.
- [45] SIMOEN, E.; CLAEYS, C. et al. The Low-frequency Noise Behavior of Graded-Channel SOI nMOSFETs. **Solid-State Electronics**, v. 51, p. 260-267, 2007.
- [46] Atlas Users' Manual. Device simulation software; Silvaco, 2010.
- [47] ORTIZ-CONDE, A. et al. A Review of Recent MOSFET Threshold Voltage Extraction Methods. **Microelectronics Reliability**, v. 42, p. 583-596, 2002.
- [48] SILVEIRA, F. et al. A g_m/I_D based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. **IEEE Journal of Solid-State Circuits**, v. 31, n. 9, p. 1314-1319, 1996.
- [49] VAN DER ZIEL, A. **Solid-State Electronics**; v. 29, p. 29, 1986.
- [50] LI, X. S.; VANDAMME, L. K. J. **Solid-State Electronics**, v. 36, p. 1515, 1993.
- [51] SILVA, E. L. R. et al. Analysis of the Low-Frequency Noise in Graded-Channel and Standard SOI nMOSFET. **SBMicro2010**, v. 31, p. 359 – 366, 2010.
- [52] CERDEIRA, A.; et al; **IEEE Transactions on Electron Devices**, v. 52, n. 5, p. 967-972, 2005.
- [53] SILVA, E. L. R.; PAVANELLO, M. A. Comparison Between the Low-Frequency Noise in Graded-Channel SOI nMOSFETs and Conventional SOI nMOSFET at Low. **WOLTE9**, vol. 1, p. 99 – 101, 2010.
- [54] FLANDRE, D. et al. **Solid-State Electronics**, v. 45, n. 4, p. 541-549, 2001.

APÊNDICE A

Exemplo de arquivo de simulação ATLAS de um transistor SOI de canal gradual (GC) levando em conta o ruído em $T = 300\text{K}$.

```

go atlas
TITLE Transistor GCSOI  $L_{LD}/L=0,5$  -  $T=300\text{K}$ 
*****
# Analise de ruido  $L=2$  um
#  $t_{Si}=80$  nm -  $t_{oxf}=30\text{nm}$  -  $t_{oxb}=390$  nm
# Temperatura de 300 K
*****
mesh space.mult=1.0
#
x.mesh loc=0.00 spac=0.05
x.mesh loc=0.24 spac=0.005
x.mesh loc=0.25 spac=0.005
x.mesh loc=0.26 spac=0.005
x.mesh loc=0.75 spac=0.01
x.mesh loc=1.0 spac=0.05
x.mesh loc=1.25 spac=0.05
x.mesh loc=1.5 spac=0.05
x.mesh loc=1.75 spac=0.01
x.mesh loc=2.24 spac=0.005
x.mesh loc=2.25 spac=0.005
x.mesh loc=2.26 spac=0.005
x.mesh loc=2.5 spac=0.05
#
y.mesh loc=-0.03 spac=0.01
y.mesh loc=0.00 spac=0.001
y.mesh loc=0.03 spac=0.01
y.mesh loc=0.06 spac=0.01
y.mesh loc=0.08 spac=0.005
y.mesh loc=0.09 spac=0.05
y.mesh loc=0.1 spac=0.1
y.mesh loc=0.4 spac=0.1
y.mesh loc=0.45 spac=0.05
y.mesh loc=0.47 spac=0.01
#
region num=1 y.max=0 oxide
region num=2 y.min=0 y.max=0.08 silicon
region num=3 y.min=0.08 oxide
#
***** define the electrodes *****
# #1-GATE #2-SOURCE #3-DRAIN #4-SUBSTRATE (below oxide)
#
electrode name=gate x.min=0.25 x.max=2.25 y.min=-0.03 y.max=-0.03
electrode name=source x.min=0 x.max=0.1 y.min=-0.03 y.max=0
electrode name=drain x.min=2.4 x.max=2.5 y.min=-0.03 y.max=0
electrode substrate
#
***** define the doping concentrations *****
#
doping uniform conc=1e15 boron reg=2 x.min=0 x.max=2.5 y.min=0 y.max=2
doping uniform conc=6e16 boron reg=2 x.min=0.25 x.max=1.25 y.min=0 y.max=0.08

doping gaussian arsenic conc=5e20 char=0.08 lat.char=0.00304 reg=2 x.r=0.25
doping gaussian arsenic conc=5e20 char=0.08 lat.char=0.00304 reg=2 x.l=2.25

```

```

# set interface charge separately on front and back oxide interfaces
interf qf=5e10 y.max=0.05
interf qf=5e10 y.min=0.05
#
# set workfunction of gate
contact name=gate n.poly
contact name=substrate workfunc=4.95
output minset j.el

# select models
models cvt bgn consrh auger print temp=300
material region=2 hoogen=2E-3 hoogep=2E-3

solve init

#
# do IDVG characteristic
#
method gummel autonr trap maxtrap=10
impact selb

#*****
# Eleva Vds para 0.05 V
#*****
solve vfinal=0.05 vstep=0.01 name=drain
#*****
# Vt=0.40 V
#*****

save outf=GC_L2_LLD_05_CVT_SI_x_VGS.str
#*****
# Solucao AC/Noise
log outf=GC_L2_LLD_05_CVT_SI_x_VGS.log inport=gate outport=drain noise.v z.param
noise.all noise.i
solve noise.ss direct vgate=0.000 vfinal=3.0 vstep=0.005 name=gate ac freq=1e1
log off

quit

```