CENTRO UNIVERSITÁRIO DA FEI

MORENO CATTANEO

EFEITO DE CORPO EM TRANSISTORES SOI DE PORTA DUPLA VERTICAL

São Bernardo do Campo

2009

MORENO CATTANEO

EFEITO DE CORPO EM TRANSISTORES SOI DE PORTA DUPLA VERTICAL

Dissertação apresentada ao Centro Universitário da FEI como parte dos requisitos necessários para a obtenção do título de Mestre em Engenharia Elétrica.
Orientador: Prof. Dr. Renato Giacomini.

São Bernardo do Campo
2009

Cattaneo, Moreno
Efeito de corpo em transistores SOI de porta dupla vertical / Moreno Cattaneo. São Bernardo do Campo, 2009.
182 f. : il.

Dissertação - Centro Universitário da FEI.
Orientador: Prof. Dr. Renato Camargo Giacomini

1. SOI. 2. FinFET. 3. Efeito de Corpo. I. Giacomini, Renato Camargo, orient. II. Título.

CDU 621.382

A Deus, pela oportunidade da vida.

A Jesus, pelo aprendizado de seus ensinamentos.

Aos meus queridos pais

Anna Maria Ferrari e Alberto Cattaneo, pelo

alicerce recebido através da educação.

À minha querida esposa

Maria Evania, pelo apoio por mais esta etapa.

AGRADECIMENTOS

Ao professor Dr. Renato Camargo Giacomini, pelos esclarecimentos, orientações e apoio ao longo deste trabalho, receba o meu apreço.

A Fundação Educacional Inaciana “Pe. Sabóia de Medeiros” pelos recursos, mediante a bolsa de estudos, para realização deste trabalho.

Ao professor Dr. Marcelo Antonio Pavanello, Coordenador do Programa de Mestrado, além dos ensinamentos e esclarecimentos transmitidos durante e após as aulas, pela cordialidade e apoio na obtenção da bolsa de estudos.

Aos professores Dr. Marcello Bellodi e Dr. Salvador Pinillos Gimenez pelos ensinamentos durante as aulas, pela cordialidade e pelos esclarecimentos que auxiliaram no trabalho de dissertação.

A equipe da secretaria do mestrado, Adriana, Rejane e Ricardo por todo auxílio prestado.

Ao colega Rodrigo Trevisoli Doria, por toda colaboração prestada durante o trabalho.

Aos colegas aos quais tive a oportunidade de conhecer durante o mestrado, por todos os momentos vivenciados durante o período de estudo e que contribuíram de algum modo para a realização deste trabalho.

A CAPES, pelo suporte financeiro concedido ao longo deste período.

RESUMO

Este trabalho tem como objetivo apresentar um estudo da influência da polarização de substrato ou porta inferior em dispositivos FinFET SOI com paredes paralelas e canal n, por meio de simulações numéricas tridimensionais.

O FinFET possui maior controle das cargas na região ativa em relação aos transistores SOI planares, por isso é mais imune aos efeitos de canal curto. São estruturas que apresentam dimensões na ordem de dezenas de nanômetros. Os dispositivos FinFETs estudados são estruturas de porta dupla.

O que se deseja, é analisar o comportamento do parâmetro da tensão de limiar (V_{TH}) para inversão na interface óxido de porta e região ativa de silício (1ª interface) do dispositivo para as variações positivas e negativas de tensão aplicada na porta inferior (substrato). Realiza-se uma análise da distribuição de cargas e do comportamento da tensão de limiar devido à influência das portas laterais e da porta inferior na 2ª interface do dispositivo, levando-se em consideração a variação da largura W_{Fin} e a variação da concentração de dopagem N_a.

Através desta análise demonstra-se que os dispositivos FinFETs com largura (W_{Fin}) menor apresentam uma menor influência da polarização de porta inferior na região ativa de silício, o que significa um menor efeito de corpo e que é caracterizado pela menor inclinação na curva característica da tensão de limiar (V_{TH}) em função da tensão de porta inferior (V_{G2}). Este fato traz vantagens em termos de parâmetros elétricos e características operacionais, tais como o controle de maior corrente de dreno pela porta, menor inclinação de sublimiar, menor variação na amplitude da tensão de limiar e aumento no intervalo de valores de tensão de substrato em que o dispositivo permanece totalmente depletado.

Além disso, observa-se que os dispositivos estudados não apresentam a 2ª interface totalmente acumulada em nenhuma condição de tensão de substrato (até - 30V), quando a primeira interface encontra-se invertida. Este fato deve-se ao compartilhamento de uma região ativa (cantos inferiores) que pertencem simultaneamente às duas interfaces. Sendo assim, em função de V_{G2}, há condições de acumulação parcial da 2ª interface. Esta acumulação surge inicialmente no centro da seção transversal e, conforme a tensão de substrato torna-se mais negativa, esta região acumulada cresce e aproxima-se dos cantos. Como conseqüência há leve (quantificada no trabalho) variação da tensão de limiar com $V_{G2,}$ mesmo para acumulação na 2ª interface, o que não se observa em dispositivos planares.

A dependência da tensão de limiar com a polarização de substrato ficou bem caracterizada nos FinFETs estudados, bem como a distribuição da densidade de corrente.

Palavras-chave: SOI. FinFET. Efeito de Corpo

ABSTRACT

The purpose of this work is to present a study of the substrate or back-gate bias influence in an n channel FinFET SOI device with parallel sidewalls, based on threedimension numeric simulations.

The Fin FET has a better channel charges control in the active region than planar SOI MOSFET transistors, resulting in a decrease of the short channel effects. This structures present nanoscale dimensions. The FinFETs SOI devices studied are dual gate structures.

The analysis is based on behaviour of parameters threshold voltage V_{TH}, on the front-gate device influenced by negatives and positives variations of the bias applied on the back-gate (substrate).

Carrying out one analyse of the charges distribution and behaviour of threshold voltage when the back interface is influenced by lateral gates and back-gate, having variations on the width W_{Fin} and variations of the doping concentration (N_a).

Through this analyses has been demonstrated that FinFETs devices with narrow widths W_{Fin}, have a low influence in the silicon film from the back-gate bias, which result in a lower body effect and it is observed by the reduced slope of $V_{TH}(V_{G2})$ curve characteristic. The advantages which can be obtained by this fact in terms of electrical parameters and operations characteristics are control of the higher drain current by the front-gate, lower subthreshold slope, lower difference on threshold voltage variations and increase on the break in of values of the substrate voltage in a fully depleted device condition.

Besides, has been observed that the studied devices not have the back interface fully accumulated in not any condition of substrate voltage (until - 30V), when the front interface is inverted. This fact is owing to sharing of the one active silicon region (bottom corners) that belongs simultaneously to the both interfaces. Hence, there is in function of V_{G2} conditions to be the back interface partially accumulated. This accumulation layer begins on the center of the cross section structure, and according to the substrate voltage is more negative, the accumulated region approach to the corners. Hence, there is a light variation (evaluated on the study) of threshold voltage with back-gate voltage (V_{G2}), even for accumulation at the back interface, which is not observed on planar devices.

The dependence of threshold voltage with the substrate bias has been well characterized in FinFETs studied, such as the distribution of current density.

Key-words: SOI. FinFET. Body-effect

LISTA DE FIGURAS

Fig. 1.1 Seção transversal do dispositivo SOI MOSFET de porta ΠFET, com as capacitâncias utlizadas para o cálculo do fator de corpo.....27

Fig. 1.2 Perfis de três dispositivos SOI MOSFET convencionais, comparando-se o efeito de corpo, a inclinação de sublimiar (S) e o efeito de canal curto (SCE). (a) Planar DG, (b) SG FD e (c) DG (porta inferior) mesmo potencial do substrato.....29

Fig. 1.3 Perfil do dispositivo utilizado no modo ativo com o substrato depletado.....30

Fig. 1.4 - Variação da tensão de limiar do canal de porta como uma função da tensão de substrato ou porta inferior, para várias larguras de W_{Fin} do dispositivo FinFET SOI de porta tripla.....32

Fig. 1.5 - Dispositivo tridimensional FinFET SOI de porta dupla.....33

Fig. 2.1 - FinFET 37

Fig. 2.2 - DELTA MOSFET.....37

Fig. 2.3 - Seção transversal de um SOI MOSFET de porta única, com as indicações das regiões de fonte e dreno, da região ativa de silício, da porta superior e porta inferior, do óxido de porta e óxido enterrado, do substrato de silício, da 1ª e 2ª interfaces, das polarizações, espessuras do óxido de porta e óxido enterrado e comprimento do canal.....38

Fig. 2.4 - Ação da radiação iônica em dispositivos SOI (à esquerda) e junção PN de substrato de silício convencional (à direita) 40

Fig. 2.5 - Mostra a ramificação do desenvolvimento do SOI e dos MOSFETs de múltiplas portas.....42

Fig. 2.6 - SOI MOSFET Totalmente Depletado (F D)….....43

Fig. 2.7 - SOI MOSFET Parcialmente Depletado (P D).....43

Fig. 2.8 - Perfil do potencial em dispositivo SOI MOSFET totalmente depletado (FD) 43

Fig. 2.9 - Degradação devido aos portadores quentes em MOSFETs: com aumento de V_{TH} e diminuição da mobilidade no canal.....48

Fig. 2.10 - Curva característica experimental $I_D(V_D)$ de um SOI MOSFET, mostrando o efeito Kink , o qual pode ser eliminado com o aterramento do corpo (linha tracejada).....50

Fig. 2.11 - Mostra o acoplamento capacitivo do potencial de corpo para fonte, dreno, porta superior e porta inferior, as duas junções de diodos e a corrente de fonte associada com a ionização por impacto (à esquerda). Um transistor bipolar na estrutura SOI MOSFET de canal n (à direita).....51

Fig. 2.12 - Transistor Bipolar Parasita do SOI MOSFET.....52

Fig. 2.13 - Efeito de Canal Curto em um MOSFET. Vista da seção transversal ao longo do comprimento, mostrando a carga compartilhada (zona triangular).....54

Fig. 2.14 - Distribuição das cargas de depleção no SOI MOSFET canal longo (à esquerda) e canal curto (à direita), onde Qd1 é a carga de depleção controlada pela porta 54

Fig. 2.15 - Dreno induzindo redução de barreira (DIBL). Distribuição do potencial ao longo do canal em um MOSFET, para canal longo e canal curto.....55

Fig. 2.16 - DELTA MOSFET.....57

Fig. 2.17 - SOI MOSFET de porta tripla.....57

Fig. 2.18 - Dispositivo Cynthia e sua seção transversal.....58

Fig.2.19 - Seção transversal, dispositivos MOSFET de porta Π (pi) e porta Ω (ômega).....58

Fig. 2.20 - Distribuição do potencial em dispositivo de porta Π em SOI MOSFETs, com diferentes avanços nas profundidades de porta e duas diferentes larguras da ilha de silício (W).....59

Fig. 2.21 - Dispositivo GAA.....60

Fig. 2.22 - Perfil da concentração de elétrons em um SOI MOSFET de porta dupla em função da profundidade na região ativa de silício para diferentes valores de espessura da camada de silício (t_{si}), e com $V_G > V_{TH}$. 61

Fig. 2.23 - Corte transversal das estruturas não planares: Portas Ω (ômega) com: (A) r_{sup} igual a r_{inf} e (B) r_{sup} diferente de r_{inf}. Onde r_{sup} e r_{inf} são os raios de curvatura dos cantos superiores e inferiores, respectivamente. 62

Fig. 3.1 - Dependência da tensão de limiar com a polarização do substrato, para substrato convencional e SOI MOSFET totalmente depletado 68

Fig. 3.2 - Variação da tensão de limiar na porta superior com a polarização da porta inferior, em um dispositivo SOI MOSFET totalmente depletado 70

Fig. 3.3 - Transcondutância de um dispositivo SOI MOSFET totalmente depletado de canal n, para diferentes valores de tensão de porta inferior 74

Fig. 3.4 - Distribuição do campo elétrico em um dispositivo de substrato convencional e em um Dispositivo SOI totalmente depletado com a 2ªinterface depletada. 76

Fig. 3.5 - Variação da mobilidade em função da variação da espessura do silício, em um MOSFET de porta dupla.....77

Fig. 3.6 - Curva semi-logarítmica de $I_D(V_G)$ de um dispositivo n MOS 78

Fig. 3.7 - Circuito equivalente da associação de capacitores, para o dispositivo de substrato convencional. 81

Fig. 3.8 - Circuito equivalente da associação de capacitores, para o dispositivo SOI totalmente depletado. 82

Fig. 5.1 - Curva característica da 2ª derivada da corrente de dreno, (d^2I_{DS}/dV_{GS}^2) em função da tensão de porta (V_{GS}), obtendo a tensão de limiar (V_{TH}) pelo pico máximo desta curva.....89

Fig. 5.2 - Curva característica Log I_{DS} x V_{GS} para obtenção da inclinação de sublimiar (S)..90

Fig. 5.3 - 1ª derivada da corrente de dreno (dI_{DS}/dV_{GS}) em função da tensão de porta (V_{GS}), obtendo-se a transcondutância ($g_{m\,máx}$) pelo pico máximo desta curva.....91

Fig. 5.4 - Curva V_{TH} em função de $\sqrt{2\Phi_F + |V_B|}$ para determinação da constante de efeito de corpo.....93

Fig. 5.5 - Estrutura tridimensional do dispositivo FinFET SOI de porta dupla com indicações da fonte, dreno, porta (V_{G1}), porta inferior (V_{G2}), óxido de topo, óxido de porta, óxido enterrado, largura do corpo de silício (W_{Fin}) e comprimento de canal (L) 94

Fig. 5.6 - Seção transversal do dispositivo FinFET SOI de porta dupla com a indicação da altura do corpo de silício (H_{Fin}), largura do corpo de silício (W_{Fin}), espessura do óxido de porta (t_{ox1}), espessura do óxido enterrado (t_{ox2}), porta V_{G1}) e porta inferior (V_{G2}) 95

Fig. 5.7 - Seção transversal da estrutura, mostrando o detalhamento da grade nas regiões de interface óxido de porta e região ativa de silício, óxido de topo e região ativa de silício, região ativa de silício e óxido enterrado (região de corpo do Si) 97

Fig. 5.8 - Seção longitudinal da estrutura, mostrando o detalhamento da grade nas regiões de interface óxido de topo e região ativa de silício, região ativa de silício e óxido enterrado, junção dreno e região ativa de silício e junção fonte e região ativa de silício.....97

Fig. 5.10 - Curvas características de $I_{DS}(V_{G1})$ no dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.....100

Fig. 5.11 - Curvas características da 1ª derivada da corrente de dreno dI_{DS}/dV_{G1} em função de (V_{G1}) para obtenção da transcondutância (g_m), no dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.....101

Fig. 5.12 - Transcondutância de um dispositivo SOI MOSFET totalmente depletado de canal n, para diferentes valores de tensão de porta inferior. 101

Fig. 5.13 - Curvas características da 2ª derivada da corrente de dreno $d^2I_{DS}/V_{G1}{}^2$ em função de (V_{G1}) para obtenção da tensão de limiar (V_{TH}), no dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.....102

Fig. 5.14 - Corte transversal da estrutura, evidenciando a concentração de elétrons nos cantos, na região ativa de silício. Com V_{G2} = 1,0 V, V_{G1} = 0,31V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.....104

Fig. 5.15 - Comparativo da concentração de dopantes com a concentração de elétrons nos cantos inferiores. Com V_{G2} = 1,0 V, V_{G1} = 0,31V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.....105

Fig. 5.16 - Comparativo da concentração de dopantes com a concentração de elétrons nos cantos superiores. Com V_{G2} = 1,0 V, V_{G1} = 0,31V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.....105

Fig. 5.17 - Corte transversal da estrutura, evidenciando a concentração de elétrons nos cantos, na região ativa de silício. Com V_{G2} = 1,0 V, V_{TH} = 0,37V e V_{DS} = 0,05 V, para o dispositivo Fin FET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.....106

Fig. 5.18 - Comparativo da concentração de dopantes com a concentração de elétrons nos cantos inferiores na 2ª interface. Com V_{G2} = 1,0 V, V_{TH} = 0,37V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.....107

Fig. 5.19 - Comparativo da concentração de dopantes com a concentração de elétrons nos cantos superiores na interface com o óxido de topo. Com V_{G2} = 1,0 V, V_{TH} = 0,37 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.....108

Fig. 5.20 - Corte transversal da estrutura, evidenciando a concentração de elétrons nos cantos, na região ativa de silício. Com V_{G2} = 1,0 V, V_{G1} = 0,59 V e V_{DS} = 0,05 V, para o dispositivo Fin FET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.....109

Fig. 5.21 - Comparativo da concentração de dopantes com a concentração de elétrons nos cantos inferiores na 2ª interface. Com V_{G2} = 1,0 V, V_{G1} = 0,59 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.....110

Fig. 5.22 - Comparativo da concentração de dopantes com a concentração de elétrons nos cantos superiores na interface com o óxido de topo. Com V_{G2} = 1,0 V, V_{G2} = 0,59 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.....110

Fig. 5.23 - Corte transversal da estrutura, evidenciando a concentração de elétrons nos cantos superiores na interface com o óxido de topo. Com V_{G2} = -9,0 V, V_{G1} = 0,59 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.....112

Fig. 5.24 - Comparativo da concentração de dopantes com a concentração de elétrons nos cantos superiores na interface com o óxido de topo. Com V_{G2} = -9,0 V, V_{G1} = 0,59 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}..... 113

Fig. 5.25 - Comparativo da concentração de dopantes com a concentração de elétrons nos cantos inferiores na 2ª interface. Com V_{G2} = -9,0 V, V_{G1} = 0,59 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.....113

Fig. 5.26 - Comparativo da concentração de cargas na 2ª interface (elétrons, lacunas e dopantes) para o dispositivo de porta dupla 70-70-500 (nm) e dop. unif. 1e17 cm-3 com V_{G2} = -8,0 V e V_{G1} = V_{TH} = 0,49 V.....115

Fig. 5.27 - Comparativo da concentração de cargas na 2ª interface (eletrons, lacunas e dopantes) para o dispositivo de porta dupla 70-70-500 (nm) e dop. unif. 1e17 cm^{-3} com V_{G2} = -7,0 V e V_{G1} = V_{TH} = 0,48 V.....116

Fig. 5.28 - Comparativo da concentração de cargas na 2ª interface (elétrons, lacunas e dopantes) para o dispositivo de porta dupla 70-70-500 (nm) e dop. unif. 1e17 cm-3 com V_{G2} = 0 V e V_{G1} = V_{TH} = 0,40 V.....117

Fig. 5.29 - Comparativo da concentração de cargas na 2ª interface (elétrons, lacunas e dopantes) para o dispositivo de porta dupla 70-70-500 (nm) e dop. unif. 1e17 cm-3 com V_{G2} = 1,0 V e V_{G1} = V_{TH} = 0,37 V.....117

Fig. 5.30 - Comparativo da concentração de cargas na 2ª interface (elétrons, lacunas e dopantes) para o dispositivo de porta dupla 70-70-500 (nm) e dop. unif. 1e17 cm-3 com V_{G2} = 2,0 V e V_{G1} = V_{TH} = 0,38 V.....118

Fig. 5.31 - Curva característica V_{TH} em função de V_{G2} com V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.....119

Fig. 5.32 - Variação da tensão de limiar na porta com a polarização da porta inferior, em um dispositivo SOI MOSFET totalmente depletado.....119

Fig. 5.33 - Corte transversal da estrutura, evidenciando a região de acumulação na interface região ativa de silício e óxido enterrado (2ª interface) com V_{G2} = -12 V, V_{G1} = V_{TH} = 0,52 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.....120

Fig. 5.34 - Comparativo da concentração de dopantes com a concentração de elétrons e lacunas na 2ª interface, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}, com V_{G2} = -12 V, V_{G1} = V_{TH} = 0,52 V e V_{DS} = 0,05 V. Região de acumulação na 2ª interface.....121

Fig. 5.35 - Corte transversal da estrutura, evidenciando a região de depleção (lacunas) na interface região ativa de silício e óxido enterrado (2ª interface) com V_{G2} = -3,0 V, V_{G1} = V_{TH} = 0,45 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.....122

Fig. 5.36 - Corte transversal da estrutura, evidenciando a região de depleção (elétrons) na interface região ativa de silício e óxido enterrado (2ª interface) com V_{G2} = -3,0 V, V_{G1} = V_{TH} = 0,45 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}. 122

Fig. 5.37 - Comparativo da concentração de dopantes com a concentração de elétrons e lacunas na 2ª interface, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3} com V_{G2} = -3,0 V, V_{G1} = V_{TH} = 0,45 V e V_{DS} = 0,05V. Região de depleção na 2ª interface.....123

Fig. 5.38 - Corte transversal da estrutura, evidenciando a região de inversão na interface região ativa de silício e óxido enterrado (2ª interface) com V_{G2} = 4,0 V, V_{G1} = V_{TH} = 0,39 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.....124

Fig. 5.39 - Comparativo da concentração de dopantes com a concentração de elétrons e lacunas na 2ª interface, para o dispositivo de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}, com V_{G2} = 4,0 V, V_{G1} = V_{TH} = 0,39 V e $V_{D\ S}$ = 0,05 V. Região de inversão na 2ª interface.....125

Fig. 5.40 - Curvas características de $I_{DS}(V_{DS})$ na região de acumulação, com V_{G2} = -12V, V_{G1} = (0,52 V = (V_{TH}), 0,75 V e 1,0 V) e V_{DS} variando de (0 a 1,5 V), para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.....127

Fig. 5.41 - Curvas características de $I_{DS}(V_{DS})$ na região de depleção, com V_{G2} = -3 V, V_{G1} = (0,45 V = (V_{TH}), 0,75 V e 1,0 V) e V_{DS} variando de (0 a 1,5 V), para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.....127

Fig. 5.42 - Curvas características de $I_{DS}(V_{DS})$ na região de inversão, com V_{G2} = 4 V, V_{G1} = (0,39 V = (V_{TH}), 0,75 V e 1,0 V) e V_{DS} variando de (0 a 1,5 V), para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.....128

Fig. 5.43 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -4 V, V_{G1} = V_{TH} = 0,46 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.....129

Fig. 5.44 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -10 V, V_{G1}= V_{TH} = 0,51 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.....129

Fig. 5.45 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -14 V, V_{G1} = V_{TH} = 0,53 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}..... 130

Fig. 5.50 - Curva característica V_{TH} em função de V_{G2} com V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 5e17 cm^{-3}.....135

Fig. 5.51 - Curvas características de $I_{DS}(V_{G1})$ para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 5e17 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V 131

Fig. 5.52 - Curvas características da 1ª derivada da corrente de dreno dI_{DS}/dV_{G1} em função de (V_{G1}) para obtenção da transcondutância (g_m), no dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 5e17 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.....132

Fig. 5.53 - Curvas características da 2ª derivada da corrente de dreno d^2I_{DS}/dV_{G1}^2 em função de (V_{G1}) para obtenção de V_{TH}, no dispositivo de dimensões 70 x 70 x 500 (nm) e N_a = 5e17 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.....133

Fig. 5.54 - Curvas características de $I_{DS}(V_{DS})$ na região de acumulação, com V_{G2} = -8 V, V_{G1} = (0,71 V = (V_{TH}), 0,75 V e 1,0 V) e V_{DS} variando de (0 a 1,5 V), para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 5e17 cm^{-3}.....136

Fig. 5.55 - Curvas características de $I_{DS}(V_{DS})$ na região de depleção com V_{G2} = -1,0 V, V_{G1} = (0,62 V = (V_{TH}), 0,75 V e 1,0 V) e V_{DS} variando de (0 a 1,5 V), para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 5e17 cm^{-3}.....136

Fig. 5.56 - Curvas características de $I_{DS}(V_{DS})$ na região de inversão com V_{G2} = 5,0 V, V_{G1} = (0,57 V = (V_{TH}), 0,75 V e 1,0 V) e V_{DS} variando de (0 a 1,5 V), para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 5e17 cm^{-3}.....137

Fig.5.60 - Curva característica V_{TH} em função de V_{G2} com V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.....141

Fig.5.61 - Curvas características de $I_{DS}(V_{G1})$ no dispositivo de dimensões 70 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.....138

Fig.5.62 - Curvas características da 1ª derivada da corrente de dreno dI_{DS}/dV_{G1} em função de (V_{G1}) para obtenção da transcondutância (g_m), no dispositivo de dimensões 70 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.....139

Fig.5.63 - Curvas características da 2ª derivada da corrente de dreno d^2I_{DS}/dV_{G1}^2 em função de (V_{G1}) para obtenção da tensão de limiar (V_{TH}), no dispositivo de dimensões 70 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V 139

Fig.5.64 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -4 V, V_{G1} = V_{TH} = 0,40 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.....142

Fig.5.65 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -10 V, V_{G1} = V_{TH} = 0,43 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e15 cm^{-3} 142

Fig. 5.66 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -20 V, V_{G1} = V_{TH} = 0,45 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.....143

Fig 5.70 - Curva característica V_{TH} em função de V_{G2} com V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e16 cm^{-3}.....147

Fig 5.71 - Curvas características de $I_{DS}(V_{G1})$ no dispositivo de dimensões 70 x 70 x 500 (nm) e N_a = 1e16 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.....144

Fig.5.72 - Curvas características da 1ª derivada da corrente de dreno dI_{DS}/dV_{G1} em função de (V_{G1}) para obtenção da transcondutância (g_m), no dispositivo de dimensões 70 x 70 x 500 (nm) e N_a = 1e16 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.....145

Fig. 5.73 - Curvas características da 2ª derivada da corrente de dreno d^2I_{DS}/dV_{G1}^2 em função de (V_{G1}) para obtenção da tensão de limiar (V_{TH}), no dispositivo de dimensões 70 x 70 x 500 (nm) e N_a = 1e16 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V 145

Fig.5.80 - Curva característica V_{TH} em função de V_{G2} com V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 30 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.....152

Fig.5.81 - Curvas características de $I_{DS}(V_{G1})$ no dispositivo de dimensões 30 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.....148

Fig.5.82 - Curvas características da 1ª derivada da corrente de dreno dI_{DS}/dV_{G1} em função de (V_{G1}) para obtenção da transcondutância (g_m), no dispositivo de dimensões 30 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.....149

Fig.5.83 - Curvas características da 2ª derivada da corrente de dreno d^2I_{DS}/dV_{G1}^2 em função de (V_{G1}) para obtenção da tensão de limiar (V_{TH}), no dispositivo de dimensões 30 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.....150

Fig. 5.84 - Corte transversal da estrutura, com a equipotencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -4,0 V, V_{G1} = V_{TH} = 0,36 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 30 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.....153

Fig. 5.85 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -10 V, V_{G1} = V_{TH} = 0,38 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 30 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.....153

Fig.5.86 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -20 V, V_{G1} = V_{TH} = 0,38 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 30 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.....154

Fig. 5.90 - Curva característica V_{TH} em função de V_{G2} com V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 30 x 70 x 500 (nm) e N_a = 1e16 cm^{-3} 156

Fig 5.100 - Curva característica V_{TH} em função de V_{G2} com V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 200 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.....161

Fig. 5.101 - Curvas características de $I_{DS}(V_{G1})$ para o dispositivo FinFET SOI de dimensões 200 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.....158

Fig. 5.102 - Curvas características da 1ª derivada da corrente de dreno dI_{DS}/dV_{G1} em função de (V_{G1}) para obtenção da transcondutância (g_m), no dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.....159

Fig. 5.103 - Curvas características da 2ª derivada da corrente de dreno d^2I_{DS}/dV_{G1}^2 em função de (V_{G1}) para obtenção de V_{TH}, no dispositivo de dimensões 200 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.....159

Fig. 5.104 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -2 V, V_{G1} = V_{TH} = 0,42 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 200 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.....162

Fig. 5.105 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -4 V, V_{G1} = V_{TH} = 0,48 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 200 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.....163

Fig. 5.106 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -9 V, V_{G1} = V_{TH} = 0,52 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 200 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.....163

Fig 5.110 - Curva característica V_{TH} em função de V_{G2} com V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 200 x 70 x 500 (nm) e N_a = 1e16 cm^{-3}.....166

Fig 5.115 - Curvas características V_{TH} em função de V_{G2} com V_{DS} = 0,05 V, para o dispositivo FinFET SOI de porta tripla e porta dupla de dimensões 200 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.....169

Fig. 5.116 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -9 V, V_{G1} = V_{TH} = 0,52 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de porta dupla nas dimensões 200 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.....170

Fig. 5.117 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -9 V, V_{G1} = V_{TH} = 0,47 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de porta tripla nas dimensões 200 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.....171

Fig 5.120 - Curvas características V_{TH} em função de (V_{G2}) com variação de dopagem N_a. Para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) nas concentrações Na = 1e15, 1e16, 1e17 e 5e17 (cm^{-3}).....172

Fig 5.121 - Curvas características V_{TH} em função de (V_{G2}) com variação de largura $W_{Fin.}$ Para o dispositivo FinFET SOI com concentrações de dopagem Na = 1e15 e 1e16 (cm^{-3}), nas dimensões 30 x 70 x 500 (nm), 70 x 70 x 500 (nm) e 200 x 70 x 500 (nm).....173

LISTA DE TABELAS

Tabela 5.1 - Dimensões do dispositivo, largura W_{Fin} e concentrações de dopantes (N_a) estudados.....96

Tabela 5.2 - Valores de V_{TH} obtidos, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3} 114

Tabela 5.3 - Valores de V_{TH} obtidos, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 5e17 cm^{-3}.....134

Tabela 5.4 - Valores de V_{TH} obtidos, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.....140

Tabela 5.5 - Valores de V_{TH} obtidos, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e16 cm^{-3}.....146

Tabela 5.6 - Valores de V_{TH} obtidos, para o dispositivo FinFET SOI de dimensões 30 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.....151

Tabela 5.7 - Valores de V_{TH} obtidos, para o dispositivo FinFET SOI de dimensões 30 x 70 x 500 (nm) e N_a = 1e16 cm^{-3}.....155

Tabela 5.8 - Valores de V_{TH} obtidos, para o dispositivo FinFET SOI de dimensões 200 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.....160

Tabela 5.9 - Valores de V_{TH} obtidos, para o dispositivo FinFET SOI de dimensões 200 x 70 x 500 (nm) e N_a = 1e16 cm^{-3}.....165

Tabela 5.10 - Valores de V_{TH} obtidos, para o dispositivo FinFET SOI de porta tripla nas dimensões 200 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.....168

Tabela 5.11 - Indicação das regiões de acumulação, depleção e inversão nas curvas características $V_{TH}(V_{G2})$ para o dispositivo FinFET SOI nas dimensões 30 x 70 x 50 (nm) com concentrações 1e15 e 1e16 (cm^{-3}), 70 x 70 x 500 (nm) com concentrações 1e15, 1e16, 1e17 e 5e17 (cm^{-3}) e 200 x 70 x 500 (nm) com concentrações 1e15 e 1e16 cm^{-3}.....174

LISTA DE SÍMBOLOS

ξ_O Permissividade do vácuo [8,85x10^{-14} F/cm]

ξ_{OX} Permissividade do óxido [F/cm]

ξ_{Si} Permissividade do silício [F/cm]

Φ_{min} Potencial mínimo na camada de silício [V]

Φ_{MS} Diferença de função trabalho entre metal e semicondutor no MOSFET [V]

Φ_{MS1} Diferença de função trabalho na interface óxido de porta e região ativa de silício (1^a interface) no SOI MOSFET [V]

Φ_{MS2} Diferença de função trabalho na interface região ativa de silício e óxido enterrado (2^a interface) no SOI MOSFET [V]

Φ_F Potencial de Fermi [V]

Φ_{S1} Potencial de superfície na interface óxido de porta e região ativa de silício (1^a interface) no SOI MOSFET [V]

Φ_{S2} Potencial de superfície na interface região ativa de silício e óxido enterrado (2^a interface) no SOI MOSFET [V]

α Parâmetro de efeito de corpo.

β Ganho de corrente emissor comum do transistor bipolar.

γ Constante de efeito de corpo [$V^{1/2}$]

ΔV_{G2} Variação da tensão de entrada na porta inferior [V]

ΔV_{TH} Variação da tensão de limiar na porta superior [V]

ρ Densidade volumétrica de cargas [C. cm^3]

Θ_1 Fator de redução de mobilidade [V^{-1}]

E_{s1} Campo elétrico superficial na interface óxido de porta e região ativa de silício (1^a interface) [V/cm]

μ_0 Mobilidade efetiva dos portadores para baixo campo elétrico [cm^2/V. s]

μ_n Mobilidade de elétrons na camada de silício [cm^2/V. s]

C_b Associação série das capacitâncias (C_{Si} e C_{ox2}) no SOI MOSFET [F/cm^2]

C_{CH-GND} Associação série das capacitâncias (C_{Si} e C_{ox2}) no SOI MOSFET [F/cm^2]

C_{G-CH} Capacitância do Óxido de porta no SOI MOSFET [F/cm^2]

C_G Capacitância do Óxido de porta no SOI MOSFET [F/cm^2]

C_{it} Capacitância de armadilha na interface óxido de porta e região ativa de silício no MOSFET [F/cm^2]

C_{it1} Capacitância de armadilha na interface óxido de porta e região ativa de silício (1^a interface) no SOI MOSFET [F/cm^2]

C_{it2} Capacitância de armadilha na interface região ativa de silício e óxido enterrado (2^a interface) SOI MOSFET [F/cm^2]

C_L Capacitância entre o canal lateral e a interface região ativa de silício e óxido enterrado [F/cm^2]

C_{ox} Capacitância do Óxido de porta no MOSFET [F/cm^2]

C_{ox1} Capacitância do Óxido de porta no SOI MOSFET [F/cm^2]

C_{ox2} Capacitância do Óxido enterrado no SOI MOSFET [F/cm^2]

C_{si} Capacitância da camada de silício [F/cm^2]

C_{SUB} Capacitância do Óxido de porta no SOI MOSFET [F/cm^2]

C_D Capacitância de depleção [F/cm^2]

d É a profundidade abaixo da interface óxido de porta e região ativa de silício na qual o potencial diminuiu de $K \cdot T/q$ do valor do potencial de superf. para o MOSFET [nm]

d_s Distância de blindagem [nm]

d_{ext} É a profundidade do avanço de porta no óxido enterrado [nm]

D_n Coeficiente de difusão do elétron [cm^2/V**.**s]

E_{s1} Campo elétrico superficial na interface óxido de porta e região ativa de silício (1ª interface) no MOSFET [V/cm]

g_m Transcondutância [Ω^{-1}, S]

H Altura do corpo de silício do dispositivo SOI MOSFET [nm]

H_{Fin} Altura do corpo de silício do dispositivo FinFET [nm]

I_{D0} Corrente de dreno de um dispositivo planar de porta única por unidade de largura [A/cm]

I_D Corrente de dreno [A]

I_{DS} Corrente entre dreno e fonte do transistor ou corrente de dreno [A]

I_{DSsat} Corrente de saturação entre dreno e fonte do transistor ou corrente de saturação de dreno [A]

K Constante de Boltzman [1,38x10^{-23} J/K]

L Comprimento do canal do dispositivo MOSFET e SOI MOSFET [nm]

L_{Fin} Comprimento do canal do dispositivo FinFET [nm]

L_{eff} Comprimento efetivo de canal para o dispositivo MOSFET e SOI MOSFET [nm]

M Fator de multiplicação.

N_a Concentração de impurezas aceitadoras do semicondutor tipo p [cm^{-3}]

N_d Concentração de impurezas doadoras do semicondutor tipo n [cm^{-3}]

N_{it} Densidade de armadilhas de interface óxido de porta e região ativa de silício para o dispositivo MOSFET [cm^{-2}**.** eV^{-1}]

N_{it1} Densidade de armadilhas de interface óxido de porta e região ativa de silício (1ª interface) para o dispositivo SOI MOSFET [cm^{-2} **.** eV^{-1}]

N_{it2} Densidade de armadilhas de interface região ativa de silício e óxido enterrado (2ª interface) para o dispositivo SOI MOSFET [cm^{-2}**.** eV^{-1}]

n Fator de corpo ou coeficiente de corpo

ni Concentração intrínseca de portadores [$1{,}45x10^{10}$ cm^{-3}]

n_{po} Concentração de elétrons na região neutra do semicondutor tipo p [cm^{-3}]

q Carga elementar do elétron [$1{,}6x10^{-19}$ C]

Q_b Carga máxima induzida no silício [C/cm^2]

Q_d Carga de depleção na camada de silício [C/cm^2]

Q_{INV1} Carga de inversão na interface óxido de porta e região ativa de silício (1ª interface) [C/cm^2]

Q_{ox} Densidade de cargas fixas no óxido de porta do dispositivo MOSFET [C/cm^2]

Q_{ox1} Densidade de cargas fixas no óxido de porta do dispositivo SOI MOSFET [C/cm^2]

Q_{ox2} Densidade de cargas fixas no óxido enterrado do dispositivo SOI MOSFET [C/cm^2]

Q_{S2} Carga de inversão ou acumulação na interface região ativa de silício e óxido enterrado (2ª interface) [C/cm^2]

r Raio de curvatura dos cantos da região ativa de silício. [nm]

S Inclinação da região de sublimiar [mV/década]

t_{ox} Espessura da camada de óxido de porta no dispositivo MOSFET [nm]

t_{ox1} Espessura da camada de óxido de porta no dispositivo SOI MOSFET [nm]

t_{ox2} Espessura da camada de óxido enterrado no dispositivo SOI MOSFET [nm]

t_{ox3} Espessura da camada de óxido de topo no dispositivo SOI MOSFET [nm]

t_{si} Espessura da camada de silício [nm]

T Temperatura absoluta [K]

V_B Tensão de substrato [V]

V_{IN} Amplitude do sinal de entrada senoidal aplicada ao transistor [V]

V_{OUT} Amplitude do sinal de saída senoidal aplicada ao transistor [V]

V_D Tensão de dreno [V]

V_{DS} Diferença de potencial entre dreno e fonte do transistor [V]

V_{Dsat} Tensão de saturação de dreno [V]

V_{FB} Tensão de faixa plana [V]

V_G Tensão de porta do dispositivo MOSFET [V]

V_{GS} Diferença de potencial entre porta e fonte do transistor [V]

V_{G1} Tensão de entrada aplicada na porta do dispositivo SOI MOSFET (porta superior) [V]

V_{G1S} Diferença de potencial entre porta e fonte do transistor Fin FET SOI [V]

V_{G2} Tensão de entrada aplicada no substrato do dispositivo SOI MOSFET (porta inferior) [V]

V_{TH}	Tensão de limiar [V]
Vs	Tensão de fonte [V]
$X_{dmáx}$	Máxima largura da região de depleção [nm]
W	Largura do corpo de silício do dispositivo MOSFET [nm]
Wsi	Largura do corpo de silício do dispositivo SOI MOSFET [nm]
W_{Fin}	Largura do corpo de silício do dispositivo SOI FinFET [nm]

LISTA DE ABREVIATURAS

AC	Tensão Alternada
AD	*Accumulated Drain* (Acumulada no Dreno)
AS	*Accumulated Source* (Acumulada na Fonte)
DC	Tensão Contínua
CMOS	*Complementary Metal-Oxide-Semiconductor* (Complementar Metal-Óxido-Semicondutor)
DELTA	*Fully Depleted Lean-Channel Transistor* (Transistor Totalmente Depletado de Canal Vertical)
DD	*Depleted Drain* (Depletada no dreno)
DGMOS	*Dual Gate Metal-Oxide- Semicondutor* (Metal-Óxido-Semicondutor de Porta Dupla)
DIBL	*Drain Induced Barrier Lowering* (Redução da Barreira Induzida pelo Dreno)
DG	*Double Gate* (Transistor de Porta Dupla)
DS	*Depleted Source* (Depletada na Fonte)
FD	*Fully Depleted* (Totalmente Depletado)
FET	*Field- Effect Transistor* (Transistor de Efeito de Campo)
GAA	*Gate-All-Around* (Porta Circundante)
GC	*Graded-Channel* (Canal Gradual)
ID	*Inverted Drain* (Invertida no Dreno)
IGFET	*Insulated Gate Field Effect Transistor (*Transistor de Porta Isolada por Efeito de Campo)
IS	*Inverted Source* (Invertida na Fonte)
JFET	*Junction Gate Field- Effect Transistor* (Transistor de Efeito de Campo)
MOS	*Metal-Oxide-Semiconductor* (Metal-Óxido-Semicondutor)
MuGFET	*Multiple Gate Field- Effect Transistor* (Transistor de Efeito de Campo de Múltiplas Portas)
MOSFET	*Metal-Óxide-Semiconductor Field-Effect Transistor (*Transistor Metal-Óxido-Semicondutor por Efeito de Campo)
NFD	*Near Fully Depleted* (Quase Totalmente Depletado)
PD	*Partially Depleted* (Parcialmente Depletado)
PN	Junção de Difusão Silício tipo P e tipo N
SG	*Single Gate* (Transistor de Porta Única)
SiO_2	Dióxido de Silício
SCE	*Short Channel Effects* (Efeito de Canal Curto)
SOI	*Silicon-on-Insulator* (Silício sobre Isolante)
VLSI	*Very Large Scale of Integration* (Escala muito grande de integração)
1D	Plano Unidimensional
2D	Plano Bidimensional
3D	Plano Tridimensional

SUMÁRIO

1 INTRODUÇÃO 26

1.1 Objetivo e estrutura 32

2 TRANSISTORES SOI MOSFETs 35

2.1 Histórico sobre a tecnologia MOS. 35

2.2 Conceitos sobre a tecnologia SOI – Silício sobre isolante 40

2.2.1 Dispositivos totalmente e parcialmente depletados 42

2.2.2 Efeitos parasitas 46

2.2.3 Capacitância 46

2.2.4 Efeito elétrons quentes 48

2.2.5 Efeito Kink 49

2.2.6 Corpo flutuante e efeitos parasitas em BJT 50

2.2.7 Anormalidade na inclinação de sublimiar 51

2.2.8 Efeitos de canal curto 52

2.2.9 Redução de barreira induzida pelo dreno 55

2.3 SOI MOSFETs de múltiplas portas 56

2.3.1 SOI MOSFET de porta dupla 56

2.3.2 SOI MOSFET de porta tripla 57

2.3.3 SOI MOSFET de porta circundante 57

2.3.4 SOI MOSFET de porta tripla mais ($3^{+)}$ 58

2.3.5 Inversão de volume 59

2.3.6 Efeito de canto 61

3 PARÂMETROS ELÉTRICOS 63

3.1 Tensão de limiar 63

3.2 Efeito de corpo 67

3.3 Características de corrente e tensão 71

3.4 Transcondutância 73

3.5 Mobilidade 75

3.6 Inclinação de sublimiar 78

4 SIMULADOR DE DISPOSITIVOS 84

4.1 Simulador numérico Atlas 84

4.2 Ferramentas interativas.....85

4.2.1 DeckBuild.....85

4.2.2 DevEdit.....86

4.2.3 TonyPlot.....86

4.2.4 Definição dos modelos físicos utilizados na simulação do dispositivo.....86

4.25 Definição da grade.....88

5 DISPOSITIVOS UTILIZADOS E RESULTADOS......89

5.1 Obtenção de parâmetros.....89

5.1.1 Tensão de limiar: Método da segunda derivada.....89

5.1.2 Inclinação de sublimiar: Método da extração pela curva I_{DS} x V_{GS}.....90

5.1.3 Transcondutância: Método da derivada da curva I_{DS} x V_{GS}.....91

5.1.4 Constante de efeito de corpo (γ).....92

5.2 Descrição do dispositivo 94

5.2.1 Dimensões, dopagem e polarização.....94

5.2.2 Definição da Grade.....96

5.3 Resultados.....98

5.3.1 Procedimentos 98

5.3.2 Obtenção dos valores de V_{TH} para o dispositivo FinFET SOI com W_{Fin} (70 nm).....100

5.3.2.1 Dispositivo FinFET SOI com dimensões 70 x 70 x 500 (nm) e concentração N_a = 1e17 cm^{-3} 100

5.3.3 Estudo da variação dos níveis de concentração de dopagem (N_a) no dispositivo FinFET SOI com dimensões 70 x 70 x 500 (nm).....131

5.3.3.1 Concentração N_a = 5e17 cm^{-3}.....131

5.3.3.2 Concentração N_a = 1e15 cm^{-3}.....138

5.3.3.3 Concentração N_a = 1e16 cm^{-3}.....144

5.3.4 Estudo da variação da largura (W_{Fin}) no dispositivo FinFET SOI.....148

5.3.4.1 Dispositivo FinFET SOI com dimensões 30 x 70 x 500 (nm) e concentração N_a = 1e15 cm^{-3}.....148

5.3.4.2 Dispositivo FinFET SOI com dimensões 30 x 70 x 500 (nm) e concentração N_a = 1e16 cm^{-3}.....155
5.3.4.3 Dispositivo FinFET SOI com dimensões 200 x 70 x 500 (nm) e concentração N_a = 1e15 cm^{-3}.....158
5.3.4.4 Dispositivo FinFET SOI com dimensões 200 x 70 x 500 (nm) e concentração N_a = 1e16 cm^{-3}.....165
5.3.5 Estudo comparativo entre o dispositivo FinFET SOI de porta tripla e porta dupla com dimensões 200 x 70 x 500 (nm) e concentração N_a = 1e15 cm^{-3}.....168
5.3.6 Curvas características $V_{TH}(V_{G2})$ para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) variando-se as concentrações de dopagem N_a (1e15, 1e16, 1e17 e 5e17 (cm-3)). 172
5.3.7 Curvas características $V_{TH}(V_{G2})$ para o dispositivo FinFET SOI com concentrações de dopagem N_a (1e15 e 1e16 (cm-3)) variando-se a largura W_{Fin} (30, 70 e 200 (nm)), ou seja nas dimensões 30 x 70 x 500 (nm), 70 x 70 x 500 (nm), e 200 x 70 x 500 (nm) 173

6 CONCLUSÕES 175

7 REFERÊNCIAS BIBLIOGRÁFICAS 177

1 INTRODUÇÃO

Vários estudos tem sido realizados em dispositivos MOSFETs de porta única, levando-se em consideração o parâmetro de efeito de corpo (α). É um importante parâmetro para polarização de substrato e é determinado pela relação da influência do substrato sobre a tensão de limiar ($\alpha = |\Delta V_{TH} / \Delta V_{G2}|$), onde ΔV_{TH} é a variação da tensão de limiar na porta e ΔV_{G2} é a variação da tensão de substrato ou porta inferior.

Em relação aos dispositivos SOI MOSFETs de múltiplas portas *Multi-Gates* MOSFETs, há menor quantidade de estudos realizados, em que α tende a ser menor se comparado com o planar [1, 2], entre os estudos em múltiplas portas podemos citar: "*Body Effect in Tri and Pi-Gate SOI MOSFETs"* "Efeito de Corpo em SOI MOSFETs de Porta Tripla e Pi" [1]. Os dispositivos chamados de porta Π (pi), e Ω (ômega) são basicamente dispositivos de porta tripla com uma extensão do eletrodo de porta abaixo da região ativa de silício, trazendo como vantagem o aumento do controle de corrente e melhora dos efeitos de canal curto [3]. O acréscimo da porta pode ser formado por uma leve sobre corrosão do óxido enterrado durante o processo [3].

Este estudo "Efeito de Corpo em SOI MOSFETs de Porta Tripla e Pi" desenvolveu um modelo simplificado baseado na representação do acoplamento de efeito capacitivo entre porta, porta inferior e canais de porta, ampliando a técnica de circuito capacitivo equivalente já utilizada no cálculo do efeito de corpo para o SOI MOSFET de porta simples e porta dupla [3]. O modelo foi validado em função dos resultados obtidos experimentalmente (dispositivo fabricado), e mediante simulação numérica para determinação do efeito de corpo [1]. Concluiu-se que o fator de corpo é muito menor do que no dispositivo SOI MOSFET de porta única (estrutura planar), devido ao aumento do acoplamento entre porta e canal ($C_{G\text{-}CH}$ - capacitância entre eletrodo de porta e canal) e da isolação ou blindagem (mais evidente no dispositivo de porta Pi do que no de porta tripla) da região ativa de silício pelas portas laterais com avanço no óxido enterrado do campo eletrostático proveniente da porta inferior (reduzindo a penetração dessas linhas de campo), reduzindo assim, o fator de corpo [1].

Em um dispositivo SOI MOSFET totalmente depletado pode-se escrever $\left|dV_{TH} / dV_{G2}\right| = -1 + n$ ou $dV_{TH} / dV_{G2} = 1 - n$ onde n é o fator ou coeficiente de corpo, e representa a dependência da tensão de limiar V_{TH} da porta, da influência da polarização de porta inferior $V_{G2.}$ Esse fator de corpo pode ser calculado para uma gama de dispositivos

utilizando-se um simples circuito de equivalência capacitiva e a relação $n = (1+\alpha) = 1+\left(C_{CH-GND}/C_{G-CH}\right)$ [1, 3].

onde:

C_{CH-GND} é capacitância entre o canal (em inversão fraca) ou (abaixo, no caso de regime de sublimiar) e porta inferior ou substrato aterrado (0 V), da associação série das capacitâncias (C_{OX2} e C_{Si}).

C_{G-CH} é a capacitância entre eletrodo de porta e canal, do óxido de porta.

α é o parâmetro resultante da relação das capacitâncias do transistor.

Para o dispositivo SOI MOSFET de porta única totalmente depletado, as capacitâncias têm a seguinte relação: [3] $C_{G-CH} = C_{OX1}$ e $C_{GH-GND} = \left((C_{OX2} \bullet C_{Si})/(C_{OX2} + C_{Si})\right)$.

Para o dispositivo estudado, conforme figura 1.1, as capacitâncias têm a seguinte relação: [1]

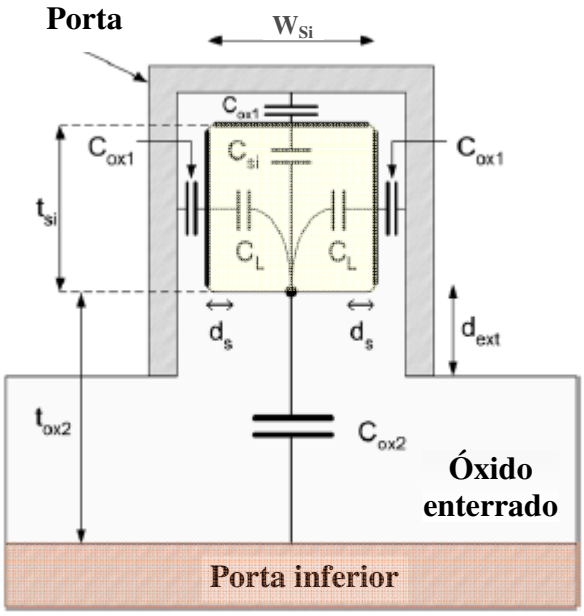


Fig. 1.1 - Seção transversal do dispositivo SOI MOSFET de porta ΠFET, com as capacitâncias utilizadas para o cálculo do fator de corpo [3].

$C_{G-CH} = 3C_{OX1}$

$C_{CH-GND} = \left(C_{OX2} \bullet \left((C_{Si} + 2C_L)\right)/(C_{OX2} + C_{Si} + 2C_L)\right)$ entre os canais e a porta inferior.

$C_{OX2} = \left(\varepsilon_{ox}/t_{ox2}\right) \bullet \left(W_{Si} - 2d_s\right)$

onde:

W_{Si} é a largura do corpo de silício do dispositivo SOI MOSFET

d_s é a distância de blindagem e representa a redução da área efetiva da capacitância entre a porta inferior e o limite inferior da região ativa ou corpo de silício.

$$Csi = (\varepsilon_{si}/t_{si})$$

onde:

C_{Si} é a capacitância da camada de silício (entre limite superior e inferior da região ativa de silício).

$$C_L = (C_{si}/\pi)\ln(W_{Si}/r)$$

onde:

C_L é a capacitância entre o canal lateral e a interface limite inferior da região ativa de silício ou interface região ativa de silício e óxido enterrado.

r é o raio de curvatura dos cantos da região ativa de silício.

d_{ext} é a profundidade do avanço de porta no óxido enterrado.

No estudo "Lateral coupling and immunity to substrate effect in ΩFET devices" "Acoplamento lateral e imunidade ao efeito ou influência de substrato em dispositivos ΩFET" [4,5], o efeito de acoplamento é analisado através de simulação numérica 3D e experimentalmente mediante caracterização elétrica do dispositivo. Concluiu-se que a influência da porta inferior é menor para dispositivos com largura pequena (30, 50 nm) devido ao forte acoplamento entre as laterais da porta, de forma que para o dispositivo totalmente depletado a tensão de limiar e a inclinação de sublimiar não sofrem praticamente influência da polarização de porta inferior, tornando-se virtualmente imune [4, 5]. Nesta situação a porta inferior perde o controle sobre o canal na interface região ativa de silício e óxido enterrado, que passa a ser controlado pelas linhas de campo das portas laterais (acoplamento horizontal) e que também penetram o óxido enterrado [4, 5]. Para grandes larguras, o ΩFET se comporta como um *Single Gate fully depleted* (FDSOI) dispositivo SOI MOSFET de porta única totalmente depletado [4, 5], e a tensão de limiar na porta passa a sofrer a influência da porta inferior ou substrato. Quando o substrato passa da acumulação para a inversão, esta decresce linearmente apresentando uma queda mais acentuada quando o canal na interface região ativa de silício e óxido enterrado inferior está ativado ou invertido [4, 5].

No caso de dispositivos MOSFET *Dual-Gate* de porta dupla (superior e inferior - horizontais), abordados no estudo *"Future Electron Devices and SOI Technology - Semi-Planar SOI MOSFETs with Sufficiente Body Effect"* "Dispositvos Futuros na Tecnologia SOI - Semi-planar SOI MOSFETs com Efeito de Corpo Apropriado" não há possibilidade de controle de V_{TH} pela polarização de substrato, devido ao fato da porta dupla (inferior) estar localizada entre o canal e a porta inferior impedindo que as linhas de campo elétrico provenientes da porta inferior atinjam o canal. Implica, portanto, que ($\alpha = 0$) [6].

Neste mesmo estudo foram realizadas algumas comparações entre efeito de corpo, inclinação de sublimiar (S) e efeito de canal curto (SCE) em três tipos convencionais de SOI MOSFET: planar de porta dupla (DG), planar de porta dupla, com a porta inferior no mesmo potencial do substrato e porta única totalmente depletado (SG), cujos resultados estão indicados nos próprios perfis (Fig. 1.2) [6].

$\alpha = C_{SUB}/C_G$

$S = \frac{K \cdot q}{T} \cdot \ln(10) \cdot (1+\alpha)$ $\quad S = 60 \cdot (1+\alpha)$ para canal longo e temperatura ambiente.

(S = 60 mV/década – teórico)

onde:

C_{SUB} é a capacitância entre canal e substrato.

C_G é capacitância de porta (eletrodo de porta e canal).

V_B é a tensão de substrato.

No planar de porta dupla tem-se: ($\alpha = 0$), C_G elevada e S próximo de 60 (mV/década) e apresenta um menor efeito de canal curto (em relação ao de porta única total totalmente depletado), devido ao forte controle das portas do potencial nos canais [6].

No planar de porta única totalmente depletado tem-se: α depende do valor de C_{SUB}, caso seja pequeno se obtém uma boa inclinação de sublimiar (S), porém existe o efeito de canal curto (SCE) [6].

No planar de porta dupla, com a porta inferior no mesmo potencial do substrato tem-se: o controle de V_{TH} pela porta inferior, um alto α pode ser obtido devido à existência de elevado C_{SUB}. Porém a inclinação de sublimiar (S) é severamente degradada pelo alto valor de C_{SUB}, apresentando também um menor efeito de canal curto (SCE) (em relação ao de porta única total totalmente depletado) [6].

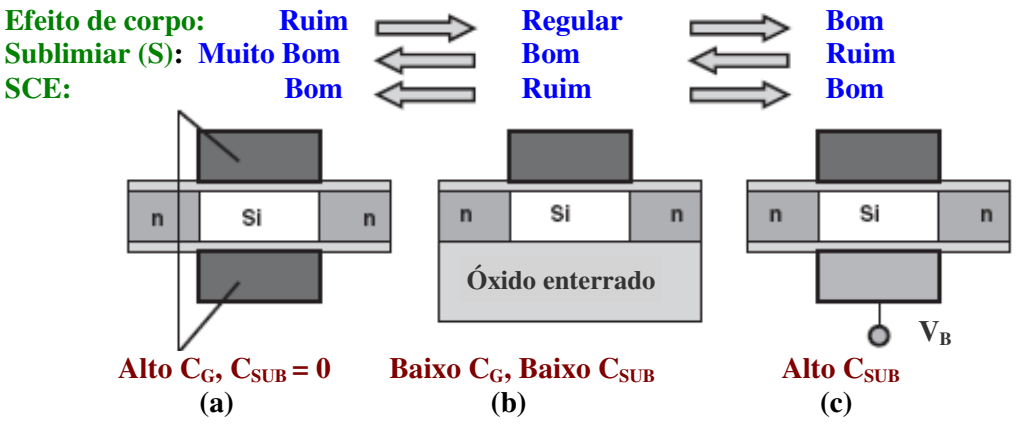


Fig. 1.2 - Perfis de três dispositivos SOI MOSFET convencionais, comparando-se o efeito de corpo, a inclinação de sublimiar (S) e o efeito de canal curto (SCE). (a) Planar DG, (b) SG FD e (c) DG (porta inferior) mesmo potencial do substrato [6].

Em um dispositivo de porta única SOI MOSFET (FD), o estudo *"Variable Body Effect Factor Fully Depleted SOI MOSFET for Ultra Low-Power Variable-Threshold-Voltage CMOS Applications"* "Fator de Efeito de Corpo Variável em SOI MOSFET Totalmente Depletado para Baixa Potência e Tensão de Limiar Variável Aplicada a CMOS" foi feito considerando-se o fator de corpo variável em função da capacitância de substrato, operando o dispositivo no modo ativo (*active mode*) (alta corrente controlada e velocidade), nesta condição o substrato está depletado tornando o parâmetro de efeito de corpo (α) menor, e no modo espera (*standby mode*) (suprimindo a corrente de sublimiar), nesta condição o substrato permanece acumulado ou invertido, tornando o parâmetro de efeito de corpo (α) maior e obtendo-se uma alta variação de V_{TH} com $\alpha = C_B/C_G$ [7, 8].

Onde:

C_G é a capacitância entre porta e canal e corresponde a C_{OX1}

C_{OX1} é a capacitância do óxido de porta.

C_B é a capacitância entre canal e substrato

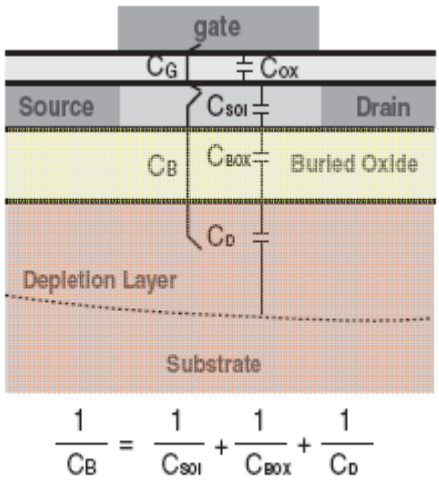
No caso do dispositivo operar no modo ativo o substrato encontra-se depletado e C_B é a série de capacitâncias $C_{SOI,}$ C_{BOX} e $C_{D.}$ (Fig. 1.3).

C_{SOI} é a capacitância da região ativa de silício

C_{BOX} é capacitância do óxido enterrado e corresponde a C_{OX2}

C_D é a capacitância da camada de depleção do substrato.

No caso do dispositivo operar no modo espera o substrato encontra-se invertido ou acumulado e C_B é a série $C_{SOI,}$ $C_{BOX.}$



Substrato Depletado

Fig. 1.3 - Perfil do dispositivo utilizado no modo ativo com o substrato depletado [8].

Normalmente os estudos de fator de corpo em FinFETs são realizados com canais levemente dopados (*undoped*) N_a = 1e15 cm^{-3} e 1e16 cm^{-3} [5, 6, 9, 10].

Um ponto importante em FinFETs SOI é a redução do efeito de canal curto com a redução da largura W_{Fin} [9, 11]. Com larguras reduzidas, o potencial do corpo de silício sofre por parte das portas laterais um maior controle, basicamente porque é reduzido o efeito de compartilhamento das cargas entre o canal superior e os canais laterais na região ativa de silício, o que implica em uma menor tensão de limiar atenuando o efeito de canal curto [9].

O efeito de acoplamento entre porta e porta inferior é um fenômeno bem conhecido em SOI MOSFETs (FD) [12], em FinFETs SOI este fenômeno, também é bem visível e o parâmetro responsável ou crítico é a largura W_{Fin} [9], assim ele pode operar com 2, 3 e até 4 canais, neste caso o substrato é polarizado para a formação da região de inversão na interface região ativa de silício e óxido enterrado (2ª interface) [9].

Para o caso de W_{Fin} reduzido (10 nm), a porta inferior perde o controle do potencial na interface região ativa de silício e óxido enterrado (2ª interface), devido ao fato do potencial de superfície nesta interface ser controlado pelas linhas de campo provenientes do lado inferior das portas laterais e que se propagam em direção à região ativa de silício e ao óxido enterrado [9, 10]. E também, porque estando as portas laterais muito próximas, o acoplamento entre as mesmas é muito mais forte do que em relação ao acoplamento vertical, o que possibilita a ocorrência mais cedo da inversão nos canais laterais, controlando assim os potenciais de superfície da porta superior e da porta inferior [9, 10].

Com W_{Fin} muito grande (4,5µm), quando a distância entre as portas laterais é muito maior do que a espessura, ou seja, de H_{Fin} - altura da camada de silício, o efeito destas passa a ser desprezível em relação à distribuição do potencial na região ativa de silício, e o FinFET SOI de porta tripla torna-se equivalente a um dispositivo de porta única SOI MOSFET (FD) planar totalmente depletado, onde a variação da tensão de limiar (V_{TH}) em relação a tensão de porta inferior (V_{G2}) passa a ser descrita pelo modelo de Lim e Fossum (1D - unidimensional), em que $V_{TH,\ 2}$ é máxima para a 2ª interface em acumulação, decresce linearmente quando a 2ª interface é controlada da acumulação para depleção e torna-se mínima quando a 2ª interface inverte [10].

Ao reduzir-se a largura W_{Fin} de um valor muito grande para um valor reduzido, a inclinação decresce, com a variação da tensão de limiar da porta superior para a 2ª interface em depleção ($dV_{TH,\ 2\ Depl}$ /dV_{G2}), devido ao aumento da influência das portas laterais, reduzindo a influência do acoplamento vertical (unidimensional) e conduzindo para o

acoplamento bidimensional [10]. O efeito de acoplamento entre a porta e a porta inferior é resumido pela característica $V_{TH}(V_{G2})$ [9].

Segue a curva característica $V_{TH}(V_{G2})$ (Fig. 1.4) obtida do estudo *"A Two-Dimensional Model for Interface Coupling in Triple-Gate Transistors"* "Modelo Bidimensional do Acoplamento entre Interfaces em Transistores de Porta Tripla" mostrando o efeito de acoplamento entre porta e porta inferior ou substrato, que é o parâmetro de efeito de corpo (α), em função da variação de W_{Fin}, por meio de simulação, conforme [10]. O dispositivo FinFET SOI de porta tripla considerado tem altura da camada de silício H_{Fin} = 60 nm, espessura do óxido enterrado t_{ox2} = 145 nm, espessura óxido de porta t_{ox1} = 2,2 nm, largura W_{design} = 5 um a 180 nm com ($W_{Fin} = W_{design}$ -150 nm), V_{DS} = 50 mV e N_a = 1e16 cm^{-3} [10].

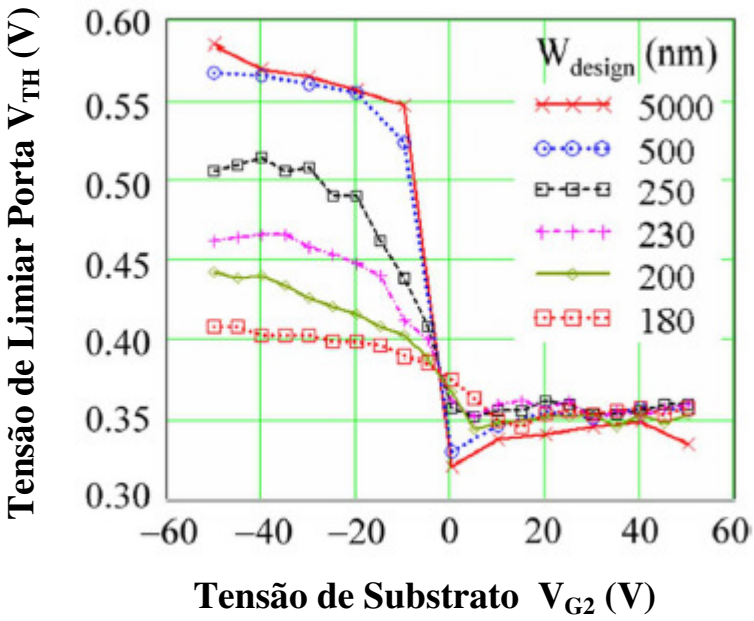


Fig. 1.4 - Variação da tensão de limiar do canal de porta como uma função da tensão de substrato ou porta inferior, para várias larguras de W_{Fin} do dispositivo FinFET SOI de porta tripla [10].

1.1 Objetivo e estrutura

Este trabalho tem como objetivo apresentar o estudo da influência da polarização de substrato ou porta inferior sobre o dispositivo FinFET SOI de porta dupla (Fig. 1.5), com paredes paralelas e canal n, por meio de simulações numéricas tridimensionais.

Foi definido o FinFET por serem estruturas atuais e que apresentam vantagens em relação às características de operação do SOI MOSFET de porta única de estrutura planar.

Pretende-se analisar o comportamento da tensão de limiar (V_{TH}) na porta, através da variação da tensão positiva e negativa aplicada à porta inferior (V_{G2}) do dispositivo. O estudo aborda variações da largura W_{Fin} e da concentração de dopantes ou impurezas aceitadoras (N_a) no substrato tipo P da região ativa de silício. Pretende-se também, observar os efeitos do acúmulo de portadores majoritários na região ativa de silício.

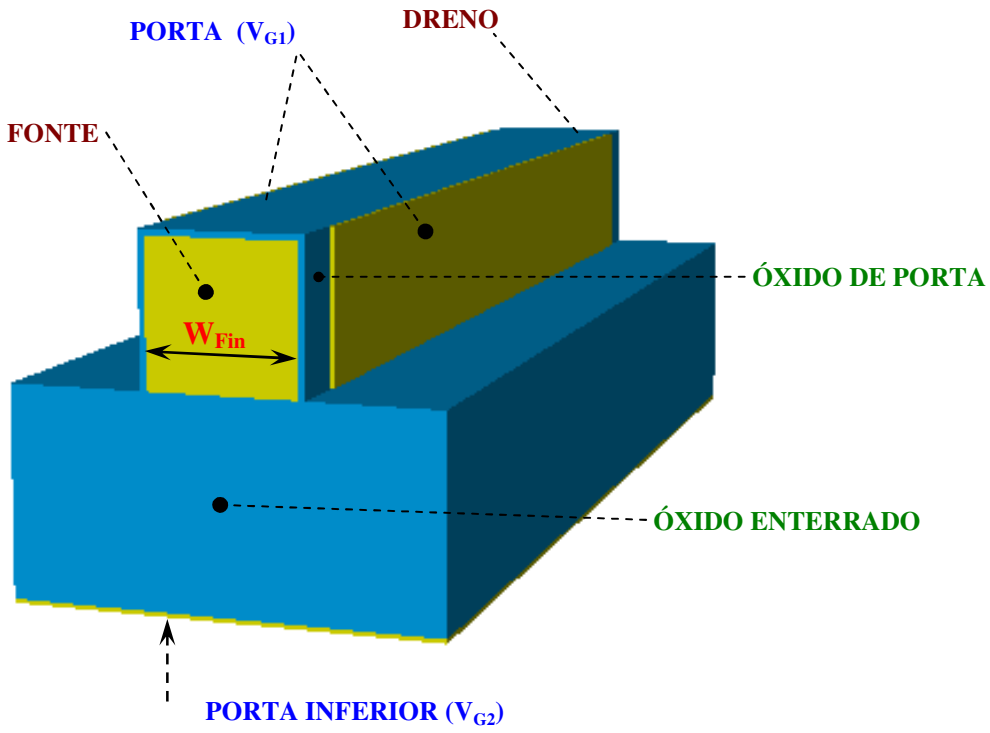


Fig. 1.5 - Dispositivo tridimensional FinFET SOI de porta dupla.

As simulações numéricas tridimensionais foram realizadas no simulador de dispositivos ATLAS, versão 2.6.0.R [13].

O Trabalho está dividido em 6 seis capítulos, definidos como segue.

- **Capítulo 2: Transistores SOI MOSFETs -** São apresentados conceitos teóricos sobre a tecnologia SOI e suas possibilidades em termos de dispositivos, sempre de forma comparativa em relação à tecnologia MOS convencional.
- **Capítulo 3: Parâmetros Elétricos** - São apresentados os aspectos principais dos vários parâmetros elétricos, utilizados para modelagem e análise de transistores MOS.
- **Capítulo 4: Simulador de Dispositivos -** Aborda o simulador numérico Atlas, trazendo uma breve descrição da sua aplicação e das ferramentas iterativas utilizadas, para composição do arquivo de entrada, análise da estrutura, comportamento dos portadores e obtenção e análise das curvas características.

- **Capítulo 5: Dispositivos Utilizados e Resultados Obtidos** - São abordados os métodos utilizados para obtenção dos parâmetros, a partir das curvas de corrente de dreno em função da tensão de porta, obtidas por meio de simulação.
  Descrição das características dos dispositivos FinFET simulados e dos procedimentos adotados. São também apresentados os resultados obtidos.
- **Capítulo 6: Conclusões** - São apresentadas as principais conclusões do estudo proposto em função dos conceitos teóricos apresentados nos capítulos precedentes. Também são relacionadas propostas para continuidade do trabalho ou de novos trabalhos que utilizem estas informações.

2 TRANSISTORES SOI MOSFETs:

2.1 Histórico sobre a tecnologia MOS

No século XIX pouco se sabia a respeito de semicondutores e muito menos de dispositivos feitos com estes materiais. Contudo, alguns trabalhos experimentais, já aconteciam, como é o caso da invenção do retificador a estado sólido por F. Braun, em 1874.

No inicio do século XX, houve um grande progresso na teoria da Física, com o desenvolvimento da mecânica quântica por Bohr, de Broglie, Heisenberg, Schrödinger entre outros. Paralelamente a este fato, surge o primeiro conceito ou descrição de um transistor de porta isolada por efeito de campo (IGFET) e, posteriormente do (MOSFET) transistor metal-óxido-semicondutor de efeito de campo, através da patente de LilienField, datada de 1928. Na época a sua realização prática não teve sucesso. Esta patente descreve um dispositivo de três terminais, onde a corrente que flui da fonte para o dreno é controlada por efeito de campo de uma porta dieletricamente isolada do restante do dispositivo [14].

Já nos anos 30, houve um grande desenvolvimento nas teorias quânticas em sólidos, trazendo os conceitos de bandas de energia, banda proibida, portadores, entre outros. Através destes conceitos foi possível entender melhor os semicondutores e motivar a sua pesquisa para o desenvolvimento dos dispositivos.

Em 1936 a Bell Labs criou um grupo de pesquisa para estudo e desenvolvimento de dispositivos semicondutores, com o objetivo de fabricar dispositivos de efeito de campo. Este trabalho recebeu uma contribuição muito significativa de outro grupo, da Universidade de Purdue.

Em meados dos anos 40, a eletrônica era baseada nos seguintes dispositivos: válvulas termiônicas, muito frágeis, caras e de alto consumo de corrente e dos relés eletromecânicos, de comutação muito lenta.

Em 1946, após a II Guerra mundial, a Bell Labs recriou seu grupo de pesquisa, agora sob a liderança de William Shockley, no desenvolvimento dos semicondutores de Si e Ge e de transistores de efeito de campo [15, 16, 17, 18, 19, 20, 21, 22, 23].

Em 16 de dezembro de 1947 Brattain e Bardeen descobriram ao acaso, já que as pesquisas eram direcionadas ao FET, o efeito de transistor bipolar. Esse transistor era constituído por uma base de Ge tipo n e duas junções de contato tipo p na superfície, sendo um emissor e o outro coletor, próximos entre si. Porém, o desenvolvimento teórico “da

injeção de portadores minoritários pela junção emissor-base", assim como as informações do funcionamento deste transistor bipolar se deveram a W. Shockley. O anúncio público da descoberta foi feita em junho de 1948 pela Bell Labs. A teoria foi comprovada por meio de um transistor vertical fabricado em fevereiro de 1948, por J. Shive.

Contudo, as pesquisas para obtenção do transistor de efeito de campo continuavam, e em 1952 [24], I. Ross e G. Dacey demonstraram o primeiro transistor tipo JFET, onde a porta era constituída por uma junção pn, que controlava a passagem de corrente pelo canal [25].

Um fato importante que contribuiu muito para o desenvolvimento da microeletrônica, ocorreu em 1952, da Labs licenciar seu invento a outras empresas, mediante um preço, para aprendizado e uso da tecnologia de fabricação de transistores.

Em 1955, Shockley deixou a Bell Labs e fundou a própria empresa, Shockley Semicondutores, marcando o inicio e a origem do Vale do Silício, no estado da Califórnia (EUA). O seu início se deu através de pesquisadores e empreendedores de alto nível, os quais mais tarde criaram a Fairchild em 1957, a Intel em 1958 entre outras. Entre os pesquisadores destacavam-se Gordon Moore, Robert Noyce e Andrew Grove.

O inicio da comercialização de CI's se deu a partir de 1962, crescendo em termos de volume e densidade de transistores por chip.

Em 1960, um grupo da Bell Labs, D. Kahng e M. Atalla demonstrou o primeiro trabalho com MOSFETs [26], quando a tecnologia atingiu um nível de processo ou desenvolvimento adequado para fabricação de óxidos de porta de boa qualidade. Porém, apresentavam uma estabilidade pobre, decorrente da falta de controle de contaminação de impurezas aceitadoras, responsáveis pelas cargas positivas dentro do isolante de porta, e que causavam um desvio na tensão de limiar dos transistores.

Em 1963 F. Wanlass propôs a tecnologia CMOS, combinando a tecnologia MOS de canal n e p num mesmo substrato. A partir de 1966, utilizou-se a camada de silício policristalino dopado como material de porta nos transistores e a técnica de implantação de íons para ajuste da tensão de limiar.

No Brasil, as atividades industriais de microeletrônica tiveram inicio em meados de 1960, através da instalação da fábrica da Philco em São Paulo, para fabricar diodos e transistores. Porém, as atividades de pesquisa em semicondutores e dispositivos já se verificavam desde a década de 50 e 60 por algumas universidades [27].

Tem-se até este ponto, uma idéia do desenvolvimento da microeletrônica neste curto período de tempo. A evolução da microeletrônica não se restringe à criação de dispositivos,

mas a outros aspectos tão importantes quanto, como a redução contínua das dimensões mínimas, a eficiência de empacotamento, e a evolução na redução de custos por transistor.

O surgimento de circuitos integrados monolíticos deu à tecnologia MOSFET um impulso importante no mundo da microeletrônica, permitindo que uma grande quantidade de componentes fossem produzidos em uma única pastilha, além de proporcionar a sua produção em grande escala.

Quanto ao FinFET (Fig. 2.1), tema de nosso estudo, é uma estrutura similar à estrutura do dispositivo DELTA- *fully Depleted Lean-channel Transistor* (Fig. 2.2), criado em 1989, cujo corpo de silício é alto e delgado e chamado de *"finger", "fin"* ou *"leg"*. Constituído de porta dupla, nas laterais do delgado corpo de silício, conduz por canais formados junto a essas portas. No FinFET tem-se a presença de uma isolação espessa (meio dielétrico) localizada na parte superior do corpo delgado que torna a parte superior da porta menos influente no funcionamento do transistor que as portas laterais. A sua criação data aproximadamente de 1999 [28].

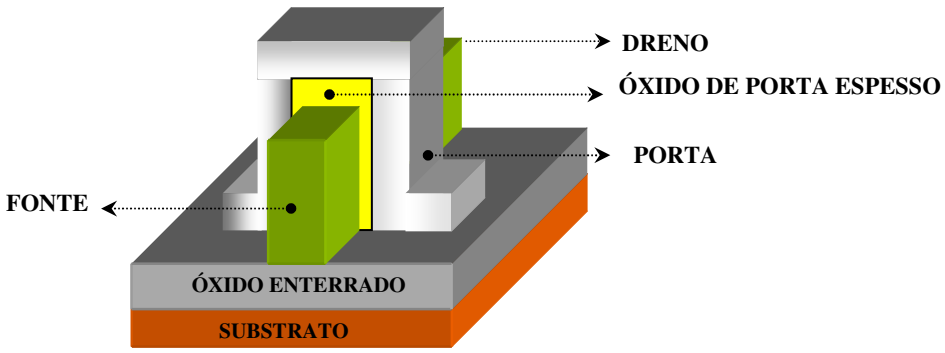


Fig. 2.1- FinFET

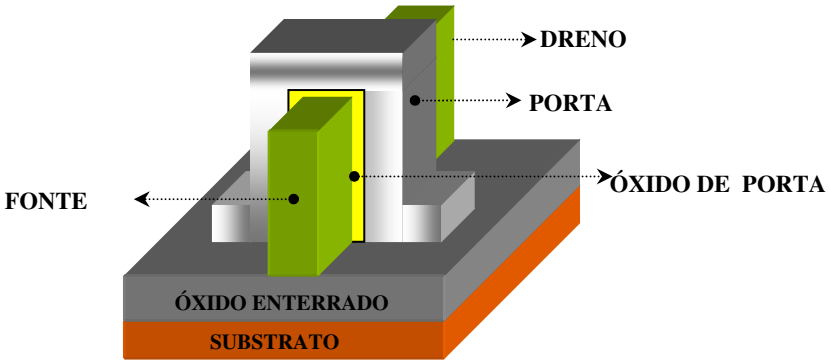


Fig. 2.2 – DELTA MOSFET

As vantagens do FinFET em relação aos transistores SOI planares são: menor efeito de canal curto, menor fator de corpo, potencial elevado em relação ao escalamento, menor consumo, maior densidade de integração. Com relação ao SOI de porta única são: as já citadas, maior controle e amplitude de corrente, melhor desempenho, melhor inclinação de sublimiar [11, 29].

O efeito de corpo para o SOI de porta única tem como definição a dependência da tensão de limiar com relação à tensão aplicada na porta inferior (V_{G2}). Ou seja, para uma variação da tensão de entrada na porta inferior (ΔV_{G2}) teremos uma variação da tensão de limiar (ΔV_{TH}) na porta superior $\alpha = \left|\frac{\Delta V_{TH}}{\Delta V_{G2}}\right|$ [7, 8]. Isto significa que quanto maior o efeito de corpo mais interferência haverá na tensão de limiar e portanto, um menor controle da porta sobre o canal o que também significa uma menor corrente.

A Fig. 2.3 mostra a seção longitudinal de um SOI MOSFET de porta única com as indicações das regiões de fonte, de dreno, da região ativa de silício, de porta superior e porta inferior (substrato), do óxido de porta e óxido enterrado, do substrato de silício, da 1ª e 2ª interfaces, das polarizações, da espessura do óxido de porta e óxido enterrado e do comprimento de canal, onde:

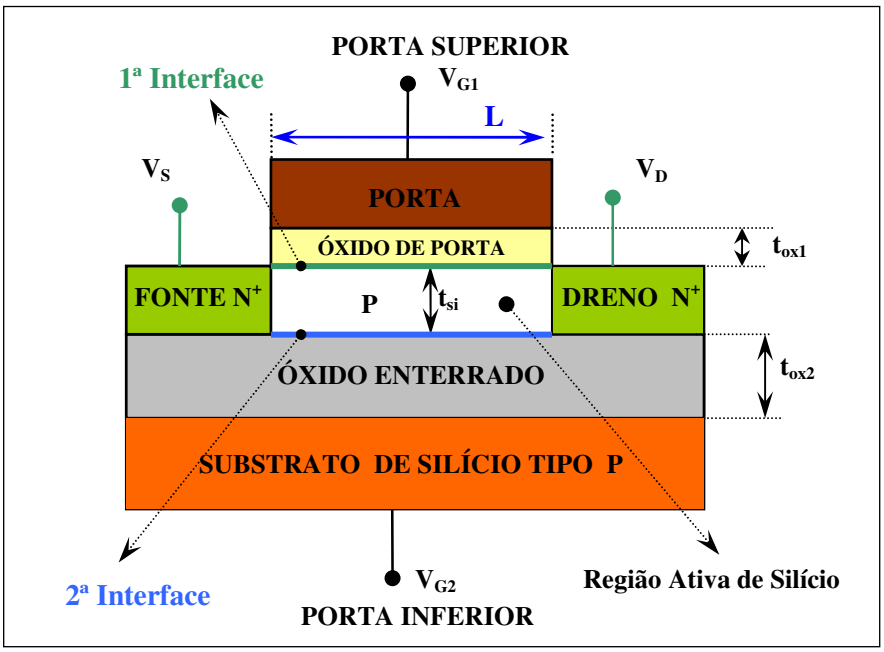


Fig. 2.3 – Seção longitudinal de um SOI MOSFET de porta única, com as indicações das regiões de fonte e dreno, da região ativa de silício, da porta superior e porta inferior, do óxido de porta e óxido enterrado, do substrato de silício, da 1ª e 2ª interfaces, das polarizações, espessuras do óxido de porta e óxido enterrado e comprimento do canal.

Na Fig. 2.3 – Seção longitudinal de um SOI MOSFET de porta única, temos:

L Comprimento do canal do dispositivo SOI MOSFET

t_{ox1} Espessura da camada de óxido de porta no dispositivo SOI MOSFET.

t_{ox2} Espessura da camada de óxido enterrado no dispositivo SOI MOSFET.

t_{si} Espessura da camada de silício.

V_D Tensão de dreno.

V_{G1} Tensão de entrada aplicada na porta do dispositivo SOI MOSFET (porta superior).

V_{G2} Tensão de entrada aplicada no substrato do dispositivo SOI MOSFET (porta inferior).

V_S Tensão de fonte.

1ª Interface É a interface óxido de porta e região ativa de silício.

2ª Interface É a interface região ativa de silício e óxido enterrado.

De outro modo podemos dizer que o efeito de corpo é a relação das capacitâncias $\alpha = \frac{C_b}{C_{OX1}}$ [7, 8], conforme os vários modos de operação na interface óxido de porta e região ativa de silício (1ª interface) e na interface região ativa de silício e óxido enterrado (2ª interface) do dispositivo. Estas interfaces podem estar em acumulação, depleção ou inversão em função da polarização na porta superior e na porta inferior.

Onde:

C_{OX1} Capacitância do óxido de porta no SOI MOSFET.

C_b Associação série das capacitâncias (C_{si} e C_{OX2}) em função do modo de operação do dispositivo.

C_{si} Capacitância da camada de silício, que varia segundo a distribuição de carga.

C_{OX2} Capacitância do óxido enterrado no SOI MOSFET.

O efeito de corpo em dispositivos FinFETs deve apresentar-se semelhante ao de um SOI de porta única, conforme será abordado no item 3.2 – Efeito de corpo. Isto, porque o FinFET também apresenta os vários modos de operação na 1ª interface e na 2ª interface, segundo a polarização aplicada na porta superior e na porta inferior. Há porém, particularidades relativas à estrutura deste dispositivo e que poderão ser observadas e estudadas através das simulações tridimensionais (3D).

2.2 Conceitos sobre a tecnologia SOI – Silício sobre isolante

As estruturas SOI foram introduzidas há aproximadamente 30 anos. Surgiram da idéia de separação ou isolação do dispositivo ativo de uma influência prejudicial do substrato de silício [11]. A principal motivação para o desenvolvimento da tecnologia SOI foi sua excelente tolerância ou resistência aos efeitos de transientes da radiação, decorrentes da penetração de partículas ionizantes, tais como partículas alfa ou íons pesados provenientes do espaço [29].

Pode-se perceber através da Fig. 2.4 que a penetração das partículas ionizantes gerando pares elétron-lacuna [30], afetam principalmente os dispositivos de substrato de silício convencional, já que grande parte da ionização e da desestruturação cristalina fica isolada no SOI, em função do óxido enterrado. Isto implica que, no SOI, somente serão coletadas para as junções, as cargas provenientes da camada de silício acima do óxido enterrado. Logo a quantidade de portadores será muito menor se comparada com o volume do dispositivo convencional.

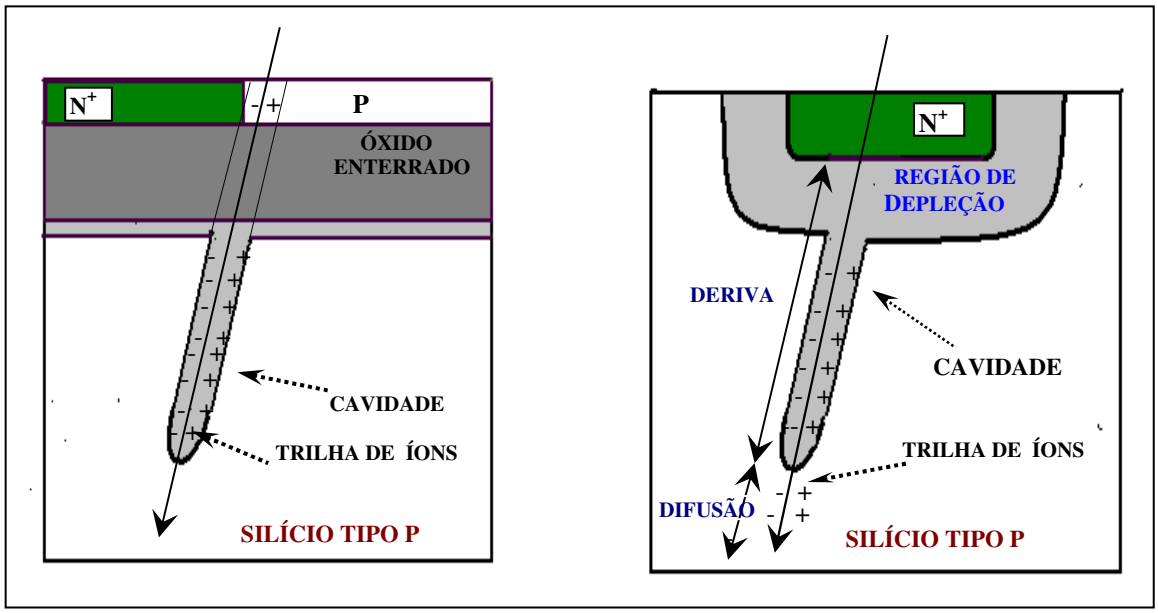


Fig. 2.4 – Ação da radiação em dispositivos SOI (à esquerda) e junção PN de substrato de silício, convencional (à direita) [29].

Em virtude do rápido desenvolvimento tecnológico, o substrato de silício convencional vem enfrentando limitações relevantes, pois, em um transistor MOS, somente a região superficial (0,1 a 0,2 μm) da espessura da lâmina de silício é realmente útil para o transporte de elétrons, enquanto que o volume inativo, mais do que 99,9% da lâmina, é

responsável pelos indesejáveis efeitos parasitas, em decorrência da interação entre o dispositivo e o substrato [11]. A partir deste ponto, a tecnologia SOI tem se tornado mais atrativa, pois os dispositivos SOI são mais adequados às condições de escalamento, assim como apresentam um melhor desempenho em termos de velocidade em relação aos de substrato convencional [11].

A distância entre dispositivos é também menor no SOI. Uma limitação crítica do substrato de silício convencional para circuitos VLSI vem da necessidade de afastamento das regiões de difusão pertencentes aos componentes adjacentes [11].

No SOI, as regiões de fonte e dreno prolongam-se até o isolante e somente os lados voltados para o canal servem como junções. A superfície de tal junção é muito menor do que no de substrato convencional [11]. Esta menor superfície fornece uma apreciável redução nas capacitâncias parasitárias, assim como no retardo de inversão e na potência dinâmica dissipada. Isso implica, considerando-se o consumo de uma potencia pré-definida, em circuitos mais compactos e rápidos que podem ser integrados na lâmina SOI [11].

A estruturação de circuitos CMOS em SOI é mais simples do que em substratos de silício convencional. Entre as vantagens básicas do SOI em relação ao substrato convencional tem-se: menor número de etapas de processamento, maior resistência à radiação, mais dispositivos por lâmina [11] ou densidade de integração, menor capacitância de junção, menor efeito de canal curto, melhor inclinação de sublimiar, menor consumo e eliminação do efeito parasitário *latch up* [29].

A figura 2.5 mostra a ramificação da evolução tecnológica do SOI MOSFET, dos dispositivos de porta simples parcialmente depletados para os dispositivos de múltiplas portas totalmente depletados [28].

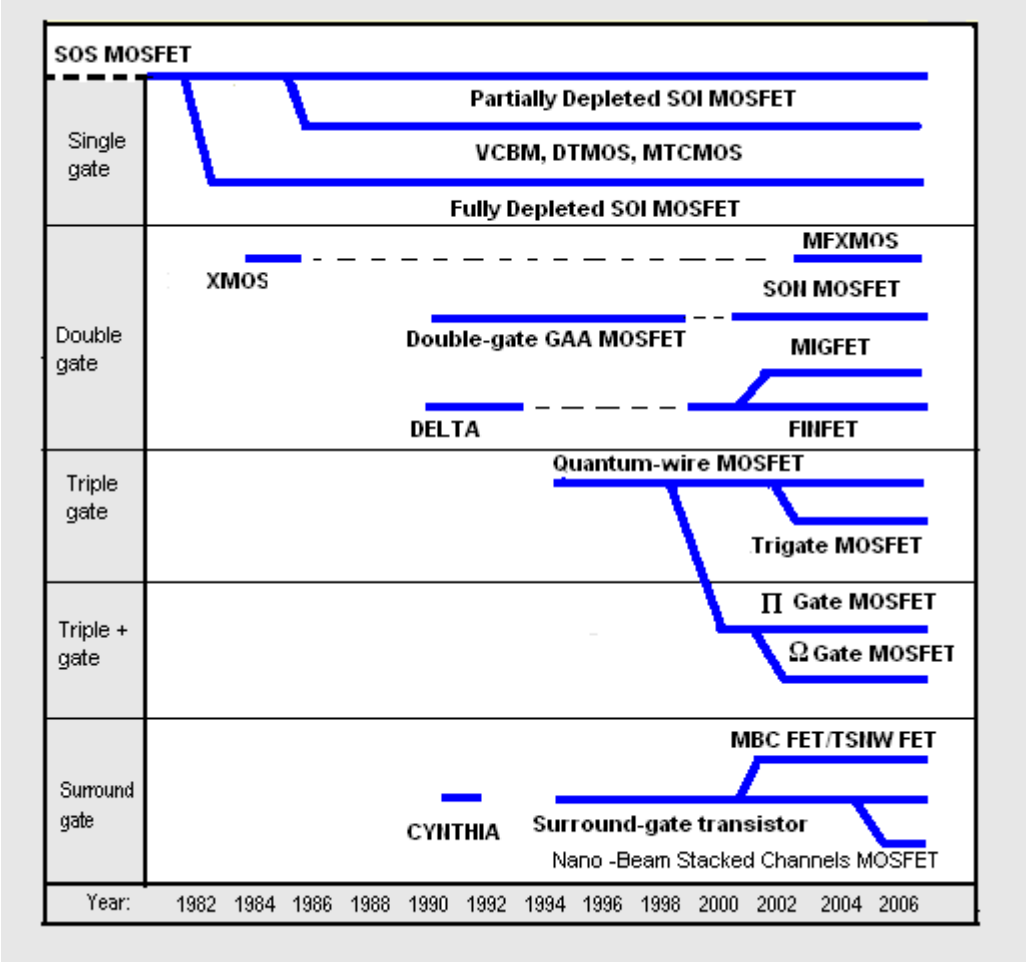


Fig.2.5 - Ramificação do desenvolvimento do SOI e dos MOSFETs de múltiplas portas [3].

2.2.1 Dispositivos totalmente e parcialmente depletados

A tecnologia SOI MOSFET é altamente dependente da espessura e concentração de dopagem da camada de silício na qual são fabricados.

A espessura da lâmina de silício tipicamente varia entre 20 e 200 nm, enquanto que a espessura do óxido, abaixo dela chamado de óxido enterrado, geralmente varia entre 80 e 400 nm. Se a espessura da camada de silício (t_{si}) for suficientemente fina, de modo que a largura máxima da região de depleção (x_{dmax}) abaixo da porta se estenda até a superfície ou interface do óxido enterrado, o dispositivo é chamado Totalmente Depletado (Fig. 2.6).

Caso a largura máxima da região de depleção (x_{dmax}) seja menor que metade da espessura da camada de silício, o dispositivo é chamado Parcialmente Depletado (Fig. 2.7).

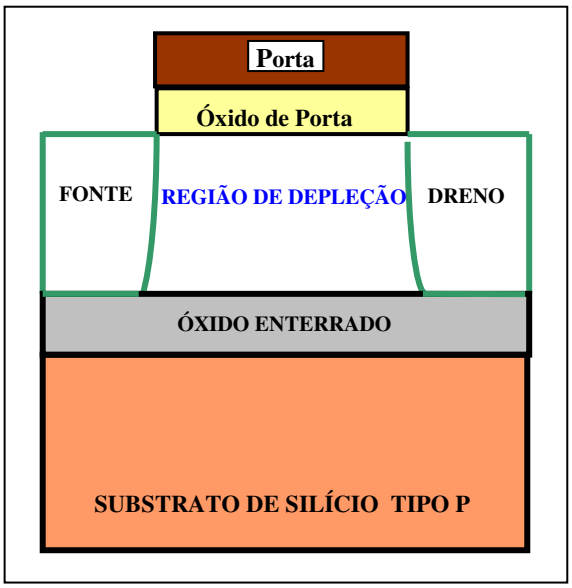


Fig.2.6 - SOI MOSFET Totalmente Depletado [29].

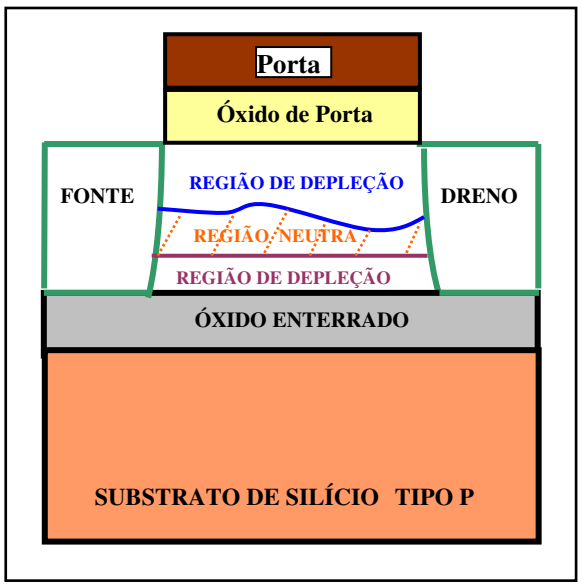


Fig.2.7 - SOI MOSFET Parcialmente Depletado [29].

No SOI MOSFET parcialmente depletado, basicamente, opera no mesmo modo de um transistor de substrato convencional, se a região neutra da camada de silício for conectada à terra [29].

Em um dispositivo SOI totalmente depletado, o potencial de superfície, na parte superior da camada de silício permanece acoplado ao potencial de superfície inferior da camada de silício do dispositivo [29]. Se a concentração da dopagem na camada de silício for uniforme, o potencial é aproximadamente uma função parabólica da profundidade conforme a figura 2.8.

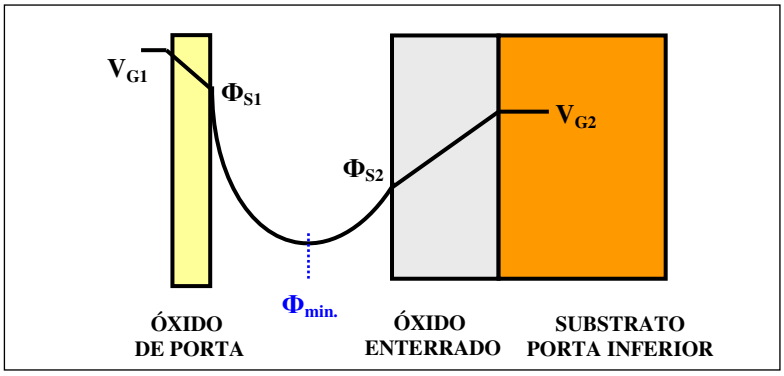


Fig. 2.8 - Perfil do potencial em dispositivo SOI MOSFET totalmente depletado (FD) [31].

Na Fig.2.8 - Potencial em dispositivos SOI MOSFET totalmente depletado, tem-se:

V_{G1} Tensão de entrada aplicada na porta do dispositivo SOI MOSFET (porta superior).

V_{G2} Tensão de entrada aplicada no substrato do dispositivo SOI MOSFET (porta inferior).

Φ_{S1} Potencial de superfície na interface óxido de porta e região ativa de silício (1ª interface).

Φ_{S2} Potencial de superfície na interface região ativa de silício e óxido enterrado (2ª interface).

Φ_{min} Potencial mínimo na camada de silício.

Devido à presença de óxido de porta e óxido enterrado, o SOI apresenta duas portas, definidas como, porta superior e inferior.

Para o SOI MOSFET totalmente depletado as equações do modelo de primeira ordem são potencialmente idênticas àquelas do MOSFET de substrato convencional, em particular as equações da corrente de dreno e a inclinação de sublimiar, que são dadas por: [31].

$$I_{DS} = \mu_n \bullet C_{ox} \bullet \frac{W}{L} \bullet \left[(V_{GS} - V_{TH}) \bullet V_{DS} - \frac{1}{2} \bullet n \bullet V^2_{DS} \right] \quad \text{Região de Triodo} \qquad (1)$$

$$I_{DSsat} = \mu_n \bullet C_{ox} \bullet \frac{W}{L} \bullet \frac{(V_{GS} - V_{TH})^2}{2 \bullet n} \quad \text{Região de Saturação} \qquad (2)$$

$$S = \frac{K \bullet T}{q} \bullet \ln(10) \bullet n \qquad (3)$$

onde:

C_{Ox} Capacitância do Óxido de porta no MOSFET.

I_{DS} Corrente entre dreno e fonte do transistor.

K Constante de Boltzman [1,38x10^{-23} J/K].

L Comprimento do canal do dispositivo MOSFET e SOI MOSFET.

n Fator de corpo ou coeficiente de corpo. $n = (1 + \alpha)$

q Carga elementar do elétron [1,6x10^{-19} C].

S Inclinação da região de sublimiar.

T Temperatura absoluta [K].

V_{DS} Diferença de potencial entre dreno e fonte do transistor.

V_{GS} Diferença de potencial entre porta e fonte do transistor.

W Largura do corpo de silício do dispositivo MOSFET.

μ_n Mobilidade de elétrons na camada de silício.

O SOI MOSFET totalmente depletado, tem como característica marcante a dependência da tensão de limiar com relação à polarização de porta inferior, cujo fator de corpo n é muito menor do que no MOSFET de substrato convencional. Os valores típicos de n são: 1,5 para o MOSFET de substrato convencional e 1,05 para o SOI MOSFET [31]. Disto resulta que a corrente controlada no dispositivo SOI MOSFETs é maior do que a corrente

controlada no MOSFET de substrato convencional e sua inclinação sublimiar é seguramente melhor do que a do MOSFET de substrato convencional [31].

Em um dispositivo (PDSOI) SOI Parcialmente Depletado, não há interação entre as zonas de depleção originadas das interfaces óxido de porta e região ativa de silício (1^a interface) e região ativa de silício e óxido enterrado (2^a interface), existindo uma região neutra abaixo da região de depleção [29].

Se essa região neutra de silício, chamada de corpo, for conectada à terra por um contato de corpo, as características do dispositivo serão exatamente iguais àquelas do dispositivo de substrato convencional. Porém, se o corpo permanecer eletricamente flutuante, o dispositivo irá apresentar alguns efeitos chamados de efeitos de corpo flutuante, como o efeito *kink* e também, um transistor bipolar NPN parasita com base aberta entre a fonte e o dreno, influenciando as propriedades elétricas do dispositivo [29].

Entre todos os tipos de dispositivos SOI, os dispositivos totalmente depletados apresentam as mais atrativas propriedades, tais como: baixo campo elétrico, alta transcondutância, comportamento excelente de canal curto e característica quase ideal de inclinação sublimiar [29].

Os dispositivos SOI (NFDSOI) Quase Totalmente Depletados são um caso intermediário entre o totalmente depletado e o parcialmente depletado, e são obtidos nos casos onde a espessura da camada de silício (t_{si}) é menor que duas vezes a largura ou profundidade máxima da região de depleção ($2x_{dmax}$) e maior que a largura ou profundidade máxima da região de depleção (x_{dmax}) [29].

Se a polarização de porta inferior é tal que as regiões de depleção na 1^a interface e 2^a interface não se tocam, ou se 2^a interface é neutra ou acumulada, o transistor terá um comportamento de um dispositivo parcialmente depletado. Se por outro lado, a presença de polarização na porta inferior induz uma sobreposição nas regiões de depleção entre as interfaces óxido de porta e região ativa de silício (1^a interface) e região ativa de silício e óxido enterrado (2^a interface) o dispositivo terá o comportamento do totalmente depletado.

Cada interface pode estar em acumulação, depleção ou inversão. Existem, portanto, nove modos possíveis de operação em um transistor SOI totalmente depletado, como uma função da tensão de entrada aplicada na porta do dispositivo SOI MOSFET (porta superior) (V_{G1}) e da Tensão de entrada aplicada no substrato do dispositivo SOI MOSFET (porta inferior) (V_{G2}) [32]. Porém, muitos desses modos de operação não são de uso prático [29].

De maneira geral, a presença de camadas de acumulação, depleção ou inversão é também uma função da tensão de dreno. Assim, a 2ª interface pode por exemplo, estar acumulada próximo à fonte e depletada próximo ao dreno.

Vale ressaltar que as mais vantajosas propriedades do dispositivo totalmente depletado podem ser perdidas se uma camada de acumulação estiver presente na 2ª interface.

2.2.2 Efeitos parasitas

A maioria dos efeitos parasitas em dispositivos MOS de substrato convencional têm sua origem na interação entre o dispositivo e o substrato.

No SOI MOSFET, a total isolação dielétrica previne a ocorrência da maioria dos efeitos parasitas experimentados em dispositivos de substrato de silício convencional, assim como minimiza alguns outros. Por outro lado, alguns novos problemas também surgem com essa tecnologia. O bom entendimento das questões relacionadas ao efeito de corpo contempla a análise desses problemas e efeitos parasitas [29].

2.2.3 Capacitância

Um desses efeitos é a capacitância entre a região de difusão da fonte e do dreno com o substrato. Essa capacitância de junção aumenta com a dopagem do substrato e torna-se grande em dispositivos sub-micrométricos, onde a concentração de dopagem no substrato pode ser maior do que nas tecnologias MOS precedentes [29].

A capacitância de fonte e dreno não se limita à capacitância das regiões de depleção decorrentes das junções, mas também inclui a capacitância entre a junção e o canal fortemente dopado localizado abaixo da região do óxido de porta.

Nos circuitos SOI a máxima capacitância entre as junções e o substrato é a capacitância do óxido enterrado, que tende a zero se a espessura do isolante utilizado é suficiente, tal como na tecnologia SOS (*Silicon on Sapphire)* (Al_2O_3) [33, 34]. Essa capacitância é proporcional à constante dielétrica do material utilizado como isolante.

As características da capacitância de porta de dispositivos SOI MOSFETs, comparativamente com MOSFETs de substrato convencional, podem ser obtidas mediante alguns modos de operação, resultantes dos vários caminhos de condução. Do acoplamento da fonte ou dreno com a porta através do corpo flutuante, da combinação entre as capacitâncias

do óxido de porta superior e óxido enterrado de porta inferior, dos efeitos de substrato flutuante e dos fenômenos relacionados com a ionização por impacto [35, 36].

- Na região de sublimiar, a capacitância de porta superior com valores baixos de tensão de dreno (V_D) e com a 2ª interface invertida é maior do que o valor da capacitância do MOSFET de substrato convencional.
- A ativação do transistor bipolar parasitário induz a uma diminuição na capacitância de dreno-porta, reduzindo esta capacitância para valores negativos, quando os valores de V_D são elevados.
- O mecanismo de ionização por impacto causa um aumento constante na capacitância de fonte-porta em função da tensão de dreno, em dispositivos totalmente e parcialmente depletados.

Para dispositivos operando no modo acumulação, a capacitância de porta apresenta as seguintes características: [37]

- Dependência da capacitância de porta com a tensão de porta, que tende a desaparecer quando uma polarização positiva é aplicada na porta inferior.
- Uma maior capacitância de porta (comparativamente com o MOSFET de substrato convencional), quando se está em regime de operação abaixo da limiar.
- Um menor valor de capacitância de fonte-porta (comparativamente com o MOSFET de substrato convencional), em acumulação moderada e abaixo da limiar.
- O efeito Kink nas curvas de capacitância dreno-porta em função da tensão de porta (V_G) na região de transição entre os regimes de operação triodo e saturação do transistor.

2.2.4 Efeito elétrons quentes

Em um dispositivo de canal n , quando o transistor opera no modo saturação, um alto campo elétrico pode desenvolver-se entre o pinçamento no canal e a junção de dreno.
Assim, quando um elétron se desloca da fonte para o dreno ao longo do canal, ele ganhará energia cinética decorrente da energia potencial eletrostática na região de pinçamento próximo ao dreno devido à tensão de dreno (V_D) ser suficientemente elevada, tornando-se um elétron quente. Uns poucos elétrons podem tornar-se suficientemente energizados, superando a barreira de potencial entre o canal na região ativa de silício e o óxido de porta e atravessando o óxido de porta, sendo coletados como corrente de porta, reduzindo assim a impedância de entrada [38, 39].

Alguns desses elétrons podem ser armadilhados no óxido de porta tornando-se cargas fixas, aumentando a tensão de faixa plana e portanto, a tensão de limiar [40]. Além disso, esses portadores quentes energizados podem romper as ligações entre silício e hidrogênio (Si-H) que existem na interface óxido de porta e região ativa de silício (Si-SiO_2), danificando a interface [39], e criando rapidamente estados de interface que degradam os parâmetros do MOSFET, tal como a transcondutância e a inclinação de sublimiar. O resultado de tal degradação, por portadores quentes é mostrado na (Fig. 2.9), onde podemos ver o aumento de (V_{TH}) e a diminuição da inclinação de sublimiar e como conseqüência, a degradação da transcondutância na entrada [40].

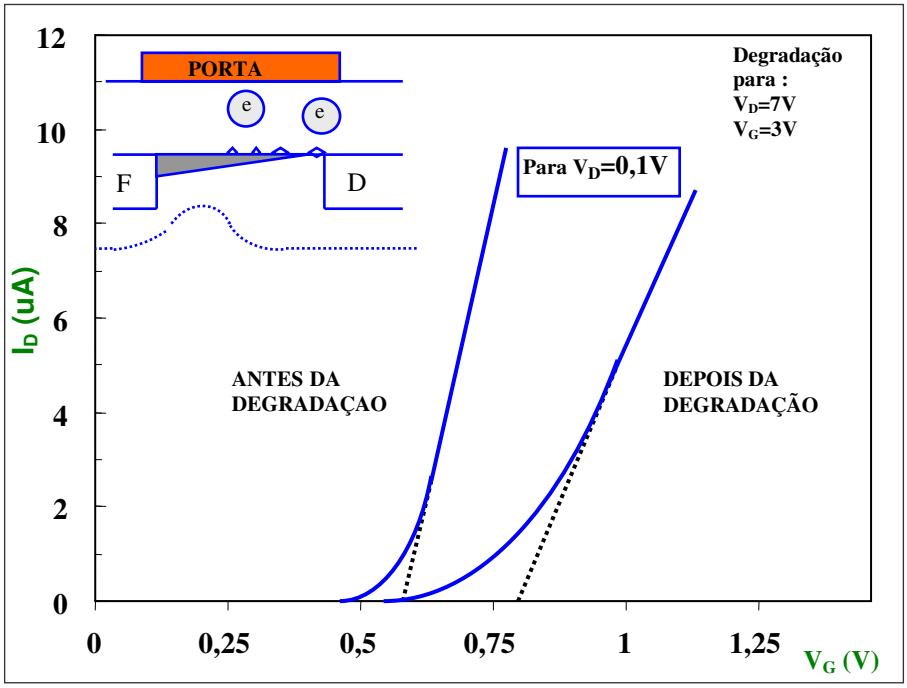


Fig. 2.9 - Degradação devido aos portadores quentes em MOSFETs: com aumento de V_{TH} e diminuição da mobilidade no canal. [40]

2.2.5 Efeito Kink

É caracterizado por um aumento abrupto da corrente de saturação de um SOI MOSFET canal n, parcialmente depletado com a 2ª interface em acumulação e a 1ª interface operando em inversão forte [11, 29].

Na região de saturação os portadores do canal geram pares elétrons-lacunas, mediante o mecanismo de ionização por impacto próximo ao dreno, decorrente do alto campo elétrico nesta região. Enquanto esses portadores minoritários (elétrons) são coletados pelo dreno, os portadores majoritários (lacunas) deslocam-se em direção à fonte, através do corpo Si. Como a barreira de potencial entre a junção fonte-corpo de silício (N^+- P) é elevada, torna-se necessário que o potencial do corpo de silício aumente (com o aumento gradual da carga armazenada no corpo) até o valor da barreira de potencial (diodo), possibilitando que as lacunas sigam para a fonte. Esse aumento do potencial de corpo induz a uma redução da tensão de limiar na porta superior. O sucessivo aumento no potencial de corpo induz a diminuição da tensão de limiar e da barreira de potencial da fonte. Mais portadores minoritários estarão habilitados para fluir da fonte para o canal, causando uma corrente de dreno excessiva, que produz muito mais pares através do processo de avalanche. Essa realimentação positiva resulta em um aumento repentino da corrente de dreno (I_{DS}) ou Kink na curva característica da corrente de dreno em função da tensão de dreno $I_{DS}(V_D)$.

O alcance do efeito Kink está limitado pela elevação da recombinação de portadores acumulados, agindo como uma realimentação negativa na corrente.

Eventualmente a polarização direta do corpo para a junção de fonte é suficiente para ligar o transistor bipolar dando início nos MOSFETs a um segundo Kink.

Aumentando-se a tensão de porta diminui-se lentamente o processo de ionização por impacto, retardando o início do efeito Kink. Em camadas de SOI com elevado tempo de vida de portadores, o Kink é bem definido e aparece para tensão baixa de V_D [41], podendo ser suprimido pelo uso de contato de corpo (Fig. 2.10 linhas tracejadas) [11].

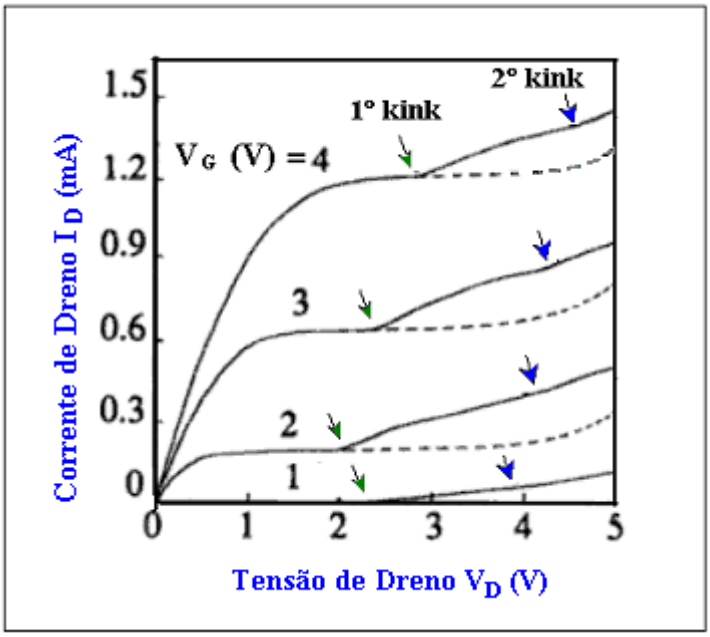


Fig. 2.10 - Curva característica experimental $I_D(V_D)$ de um SOI MOSFET, mostrando o efeito Kink , o qual pode ser eliminado com o aterramento do corpo (linha tracejada) [11].

Os dispositivos totalmente depletados são naturalmente isentos do efeito Kink, visto que a barreira de potencial entre fonte e corpo é menor em uma camada depletada. Os portadores majoritários aparentemente podem penetrar mais facilmente na fonte, evitando assim, a acumulação do excesso de portadores [11]. Contudo, de acordo com Choi e Fossum [42], o aumento do potencial de corpo é de fato acentuado em camadas finas depletadas, devido ao campo lateral ser maior e a taxa de recombinação estar confinada a pequenos volumes [42].

O efeito *kink* não é encontrado em dispositivos de substrato convencional operando na temperatura ambiente, quando os contatos de substrato e de cavidade estão presentes, mas é observado para baixas temperaturas [43], devido ao aumento da resistividade do substrato.

2.2.6 Corpo flutuante e efeitos parasitas BJT

O corpo neutro de um SOI MOSFET parcialmente depletado é eletricamente flutuante se nenhuma conexão for feita. O potencial de corpo é determinado pelo fluxo de corrente que entra e que sai, assim como pelo acoplamento capacitivo entre o corpo, fonte, dreno e porta superior e inferior (Fig. 2.11). Como o potencial de corpo influencia a tensão de limiar, transientes de tensão de corpo resultam em tensão de limiar e corrente de dreno instáveis.

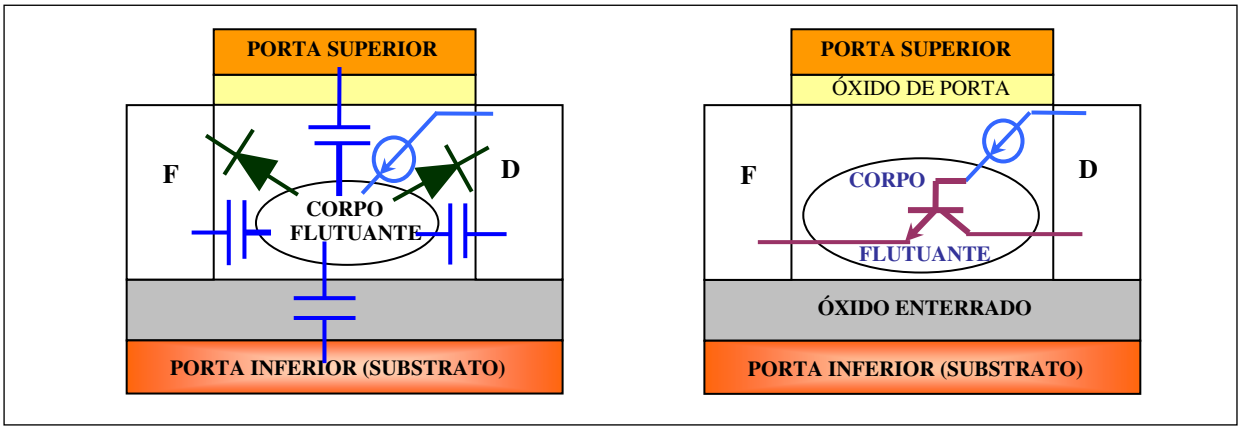


Fig. 2.11 - Mostra o acoplamento capacitivo do potencial de corpo para fonte, dreno, porta superior e porta inferior, as duas junções de diodos e a corrente de fonte associada com a ionização por impacto (à esquerda). Um transistor bipolar na estrutura SOI MOSFET de canal n (à direita) [29].

Em um dispositivo de substrato convencional, a base do transistor bipolar é normalmente aterrada, pela existência de contato de substrato. Porém, em um dispositivo SOI, o corpo que é equivalente à base de um transistor, estará flutuando se não for providenciado o contato de corpo. Esse transistor bipolar parasita poderá amplificar a corrente de ionização por impacto. Isso é indesejável por não haver possibilidade de controle.

2.2.7 Anormalidade na inclinação de sublimiar

A geração de portadores majoritários, lacunas no caso de transistor SOI MOSFET de canal n, por ionização por impacto próximo ao dreno pode originar um aumento do potencial de corpo e diminuir a tensão de limiar.

Algumas vezes, um efeito similar pode ocorrer para tensões de porta menores do que a tensão de limiar. Se a tensão de dreno é suficientemente alta, a ionização por impacto pode ocorrer na região de sublimiar, mesmo que a corrente de dreno seja muito pequena.

Este efeito é observado em dispositivos SOI MOSFETs parcialmente depletados e totalmente depletados com a interface região ativa de silício e óxido enterrado (2ª interface) em acumulação, e a sua explicação é a seguinte:

Quando o dispositivo é desligado, não há ionização por impacto e o potencial de corpo é igual a zero, desde que, não haja corrente da base para fonte. Com o aumento da tensão de porta, a corrente de inversão fraca pode sofrer ionização por impacto na região de alto campo elétrico próxima ao dreno, onde as lacunas são geradas, aumentando o potencial de corpo e reduzindo a tensão de limiar. Conseqüentemente, toda a curva característica da corrente de dreno em função da diferença de potencial entre porta e fonte $I_{DS}(V_{GS})$, desloca-se para a

esquerda e a corrente pode aumentar com a tensão de porta com uma inclinação maior do que (60 mV/década) [44, 45].

Se o tempo de vida dos portadores minoritários na camada de silício é alto suficiente, então o transistor bipolar parasita presente na estrutura NPN de um dispositivo MOS, pode amplificar a corrente de base, amplificando a corrente de lacunas geradas pela ionização por impacto na região próxima ao dreno (Fig. 2.12).

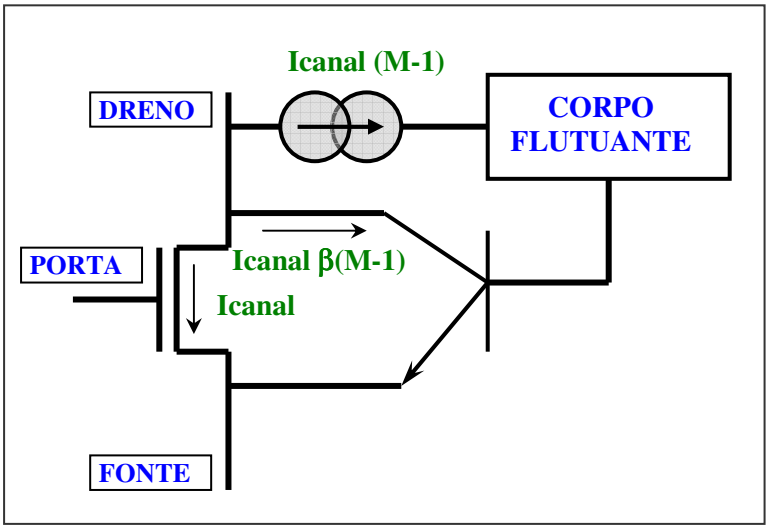


Fig. 2.12 - Transistor Bipolar Parasita do SOI MOSFET [29].

Esse aumento de corrente de dreno constitui um anel de realimentação positiva na corrente fluindo através do dispositivo: a corrente repentinamente aumenta e a inclinação de sublimiar é igual a zero (0) mVolt/década. Este fenômeno é conhecido como disparo do transistor bipolar parasitário (*single transistor latchup)* [46, 47, 48, 49].

2.2.8 Efeitos de canal curto

Em pequenas geometrias de transistores MOS, as zonas de depleção induzidas pelas junções de fonte e dreno tornam-se significativas, impedindo o controle da porta sobre toda a região de carga espacial. O mecanismo é devido ao chamado compartilhamento de cargas entre a fonte e dreno e a porta.

Os problemas mais comuns originados pelos efeitos de canal curto são: a variação da tensão de limiar, degradação da inclinação de sublimiar, diminuição da barreira induzida pelo dreno (DIBL), perfuração, ação do transistor bipolar.

Os dispositivos SOI são mais imunes aos efeitos de canal curto, uma vez que a extensão das regiões de fonte e dreno é limitada pelo tamanho da junção e pelo controle de porta dupla (porta superior e a porta inferior do substrato de silício) do potencial de superfície.

Traçando-se a tensão de limiar como uma função do comprimento de canal em MOSFETs, verifica-se que V_{TH} diminui com a redução do comprimento do canal (L) para geometrias muito pequenas [11]. Esse efeito pode ser mais bem compreendido, através da seguinte análise.

Da equação da tensão de limiar (V_{TH}), um dos termos é a carga de depleção embaixo da porta, sob o óxido de porta (Q_d):

$$V_{TH} = \Phi_{MS} - \frac{Q_{ox}}{C_{ox}} - \frac{Q_d}{C_{ox}} + 2\Phi_F \qquad (4)$$

onde:

Φ_{MS} Diferença de função trabalho entre metal e semicondutor.

C_{Ox} Capacitância do Óxido de porta no MOSFET.

Q_d Carga de depleção na camada de silício.

Q_{Ox} Densidade de cargas no óxido de porta do dispositivo MOSFET.

Φ_F Potencial de Fermi.

Para substrato convencional:

$$Q_d = q \bullet N_a \bullet x_{d\,\max} \qquad (5)$$

onde:

q Carga elementar do elétron [$1{,}6 \times 10^{-19}$ C].

N_a Concentração de impurezas aceitadoras do semicondutor tipo p.

$X_{dmáx}$ Máxima largura da região de depleção.

Eletricamente as cargas de depleção que são compartilhadas com as regiões de fonte e dreno não devem ser consideradas na expressão de V_{TH}. Pode-se lidar com esse efeito, pela substituição da carga de depleção Q_d original localizada na região retangular embaixo da porta, por uma carga de depleção Q_{d1} menor, localizada na região trapezoidal (Fig. 2.13).

Para dispositivos de canal longo, a carga de depleção das regiões triangulares próximas à fonte e ao dreno é uma fração muito pequena da carga total de depleção embaixo da porta. Porém, para o comprimento de canal reduzido, o compartilhamento das cargas, torna-se uma fração considerável, resultando em uma variação de V_{TH} como função de L.

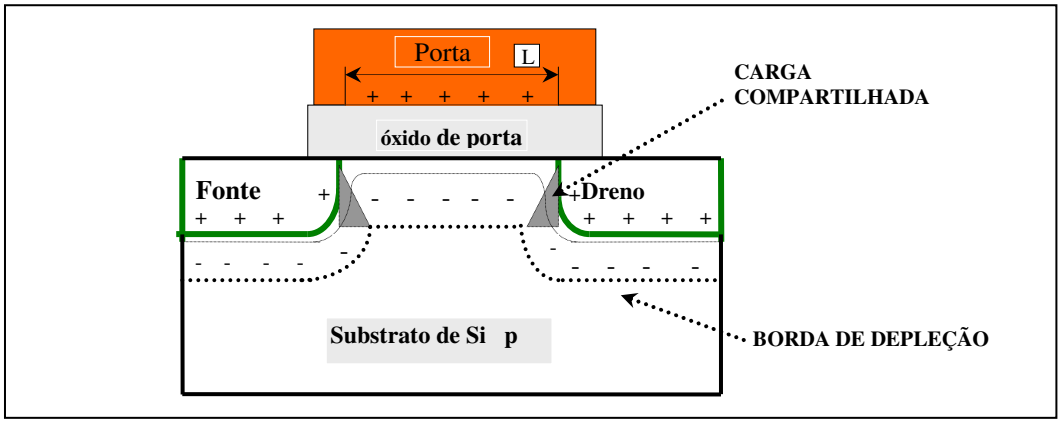


Fig.2.13 - Efeito de Canal Curto em um MOSFET. Vista da seção transversal ao longo do comprimento, mostrando a carga compartilhada (zona triangular).

No SOI MOSFET totalmente depletado, para as mesmas dimensões e condições de polarização em relação ao de substrato convencional, tem-se que a região de depleção avança e se estende por toda superfície do óxido enterrado (Fig. 2.14), fazendo com que as cargas compartilhadas com as regiões de fonte e dreno, sejam ainda menores do que aquelas que são compartilhadas em MOSFETs de substrato convencional. Isto se dá em função de haver somente um dos lados das junções agindo na região ativa de silício, diminuindo assim as regiões triangulares.

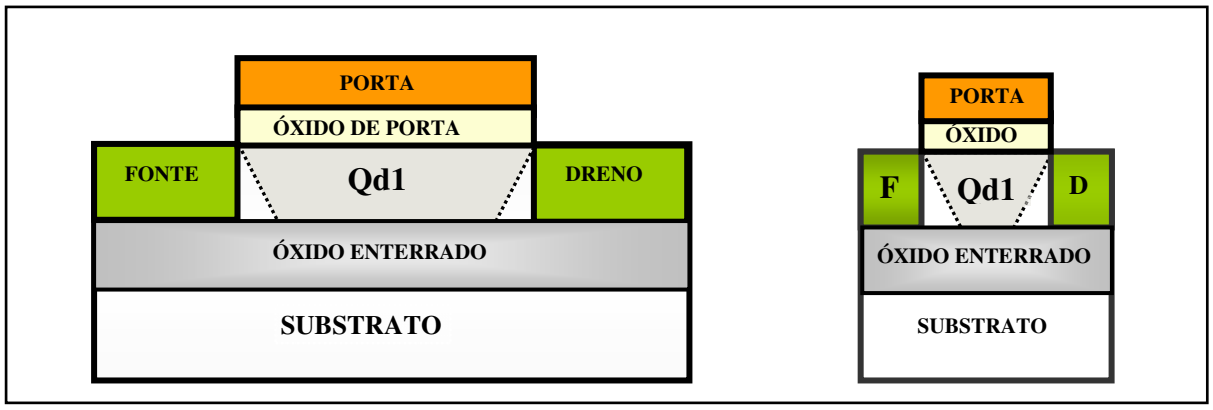


Fig.2.14 – Distribuição das cargas de depleção no SOI MOSFET canal longo (à esquerda) e canal curto (à direita), onde Qd1 é a carga de depleção controlada pela porta.

Para dispositivos de canal curto, vale o mesmo princípio, no que se refere à carga compartilhada, ou seja, no SOI MOSFET há uma menor variação na carga de depleção controlada pela porta, em relação ao MOSFET de substrato convencional. Isso implica numa menor variação da tensão de limiar nos dispositivos SOI.

Em dispositivos de múltiplas portas (*Multi-Gate)* de canal curto, a variação na carga de depleção controlada pelas portas é menor em relação ao SOI MOSFET de porta única, em decorrência do volume do corpo de silício estar sendo envolvido pelas portas, reduzindo, ainda mais, as influências da fonte e do dreno.

2.2.9 Redução de barreira induzida pelo dreno

Se o escalamento para pequeno comprimento de canal do MOSFET não for apropriado e as junções de fonte e dreno forem bastante profundas ou a dopagem do canal for bastante leve, pode ocorrer a existência de interação eletrostática entre a fonte e o dreno, isto é conhecido como (DIBL) Redução de barreira induzida pelo dreno. Isso pode levar à fuga por perfuração entre a fonte e o dreno com a perda de controle da porta. O fenômeno pode ser compreendido pela figura 2.15, onde está esquematicamente configurado o potencial de superfície ao longo do canal, para dispositivo de canal longo e curto. Observa-se que, como a polarização do dreno é aumentada a largura de depleção na região do dreno amplia-se [40].

No MOSFET de canal longo, a polarização do dreno não afeta a barreira de potencial da fonte para o canal, que corresponde ao potencial gerado na junção p-n, fonte-canal. Por isso, a menos que a polarização de porta seja aumentada para diminuir a barreira de potencial, existirá uma pequena corrente de dreno. Para um MOSFET de canal curto, como a polarização do dreno é aumentada com o aumento recíproco da largura de depleção do dreno, a barreira de potencial da fonte-canal é reduzida.

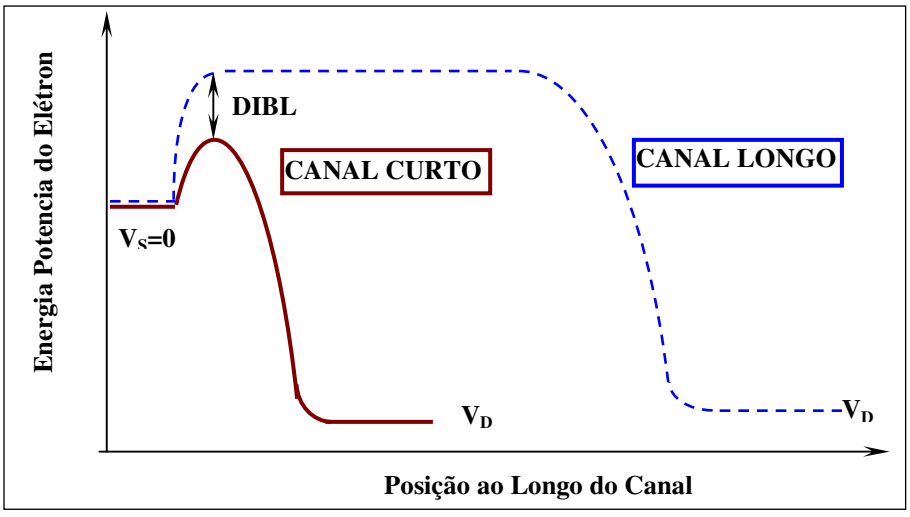


Fig. 2.15 - Dreno induzindo redução de barreira (DIBL). Distribuição do potencial ao longo do canal em um MOSFET, para canal longo e canal curto [40].

2.3 SOI MOSFETs de múltiplas portas

A necessidade do controle de correntes maiores e de melhores características de canal curto fez com que os transistores SOI MOS dos dispositivos planar e de porta simples evoluíssem para os dispositivos tridimensionais com múltiplas portas: portas dupla, tripla e quádrupla ou MuGFETs.- Transistor de efeito de campo elétrico de múltiplas portas [29].

Dois fatores interessam nos SOI MOSFETs de múltiplas portas: ter controle de alta corrente por unidade de área do silício, devido à formação de múltiplos canais, e ter excelentes características de canal curto, devido ao potencial da região do canal ser controlado por mais de uma porta [29].

2.3.1 SOI MOSFET de porta dupla

Uma das primeiras publicações sobre transistores MOS de porta dupla (DGMOS) em termos conceituais data de 1984 [50], e trata da significativa redução dos efeitos de canal curto, que poderia ser obtida através do dispositivo XMOS, cujo nome vem da semelhança da letra grega Ξ (csi), e que apresentava um excelente controle do potencial na camada de silício, através da utilização de uma porta situada na parte superior e outra na parte inferior.

Obtém-se um melhor controle na região de depleção do canal e portanto, uma menor influência das regiões de depleção da fonte e dreno na região do canal, que corresponde a uma redução das linhas de campo da fonte e do dreno que atingem o canal.

Conforme [51], simulações têm mostrado que em dispositivos SOI MOSFET de porta dupla com uma espessura do óxido de 3 nm, e uma espessura da camada de silício de 5 a 20 nm, deixam de sofrer efeitos de canal curto significativos, quando os comprimentos de porta são maiores do que 70 nm, além de apresentar valores da transcondutância de até 2300 m S/mm [28].

O primeiro SOI MOSFET de porta dupla implementado (fabricado), foi o transistor (DELTA, 1989) totalmente depletado de canal vertical, onde as portas laterais estão reciprocamente alinhadas e os canais estão situados nas laterais do delgado corpo de silício (Fig.2.16) [50, 52].

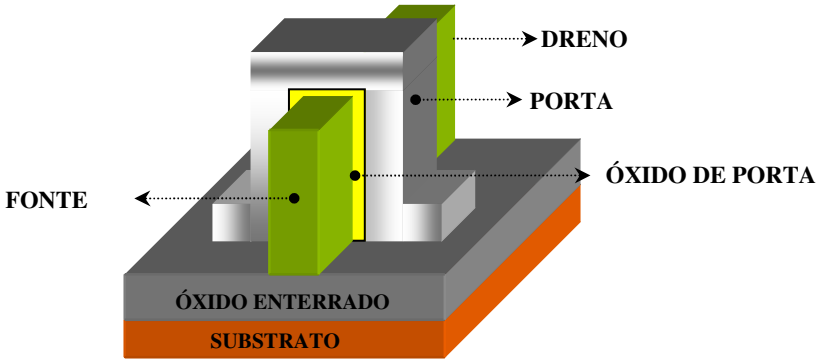


Fig. 2.16 – DELTA MOSFET

2.3.2 SOI MOSFET de porta tripla

Consiste de uma fina camada formando uma ilha estreita de silício, com uma porta em três de seus lados (Fig.2.17).

Implementações incluem o SOI MOSFET de estrutura quântica [53], dispositivo onde a largura e-ou espessura assumem valores menores do que 10 nanômetros.

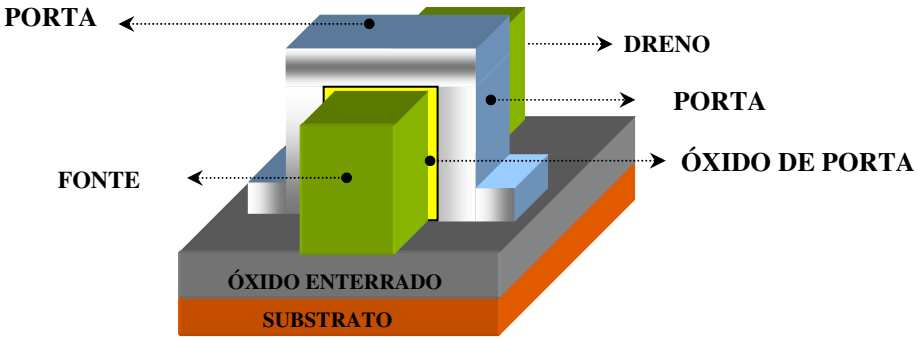


Fig. 2.17 – SOI MOSFET de porta tripla

2.3.3 SOI MOSFET de porta circundante

A estrutura que teoricamente oferece a melhor possibilidade de controle da região do canal, ou seja, controle de corrente e controle dos efeitos de canal curto é o MOSFET de porta circundante. Tal dispositivo é normalmente produzido utilizando-se uma coluna de silício com um canal vertical. A fonte e o dreno estão situados em diferentes profundidades na camada de silício (Fig. 2.18). Essa estrutura inclui o dispositivo cilíndrico (CYNTHIA) – dispositivo de seção circular [54], com a porta circular.

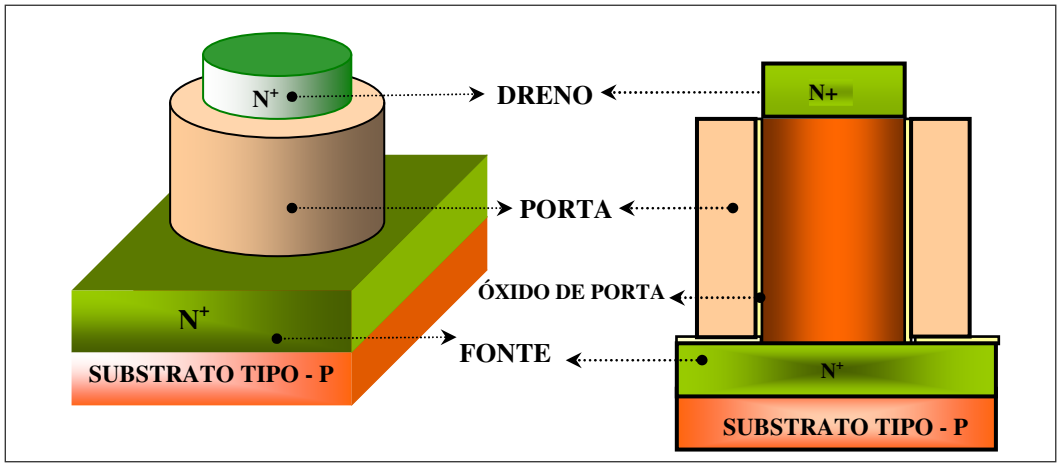


Fig. 2.18 – Dispositivo Cynthia e sua seção transversal. [29]

2.3.4 SOI MOSFET de porta tripla mais (3^+)

Os dispositivos chamados de porta Π (pi) [55, 56], e Ω (ômega) [57, 58], figura 2.19, são basicamente dispositivos de porta tripla com uma extensão do eletrodo de porta abaixo da região ativa de silício, trazendo como vantagem o aumento do controle de corrente e melhora dos efeitos de canal curto. O acréscimo da porta pode ser formado por uma leve sobre corrosão do óxido enterrado durante o processo [29].

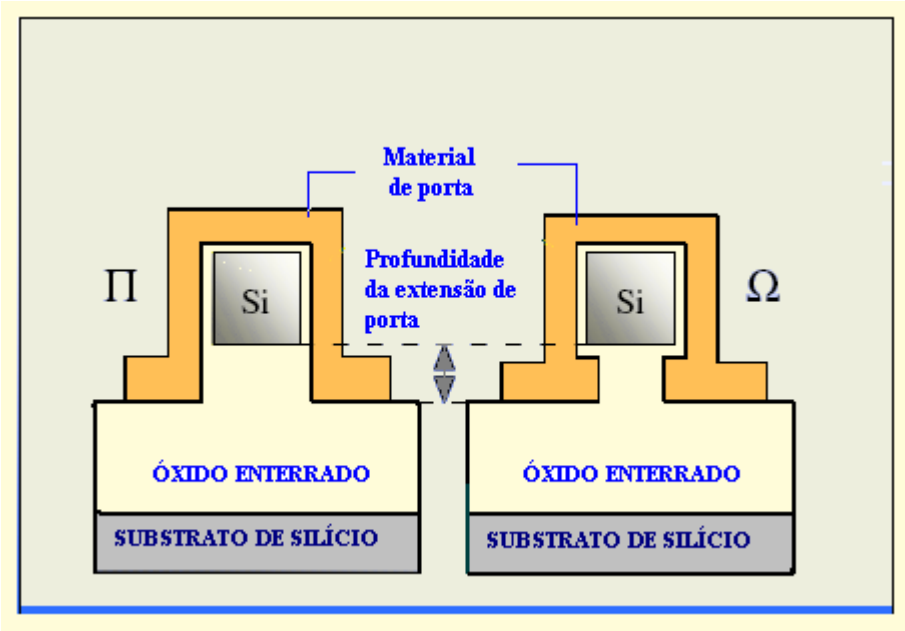


Fig. 2.19 – Seção transversal dispositivos MOSFET de porta Π (pi) e porta Ω (ômega).

Esse acréscimo na extensão da porta forma um campo induzido no elétrodo de porta, abaixo do dispositivo, bloqueando as linhas de campo elétrico do dreno que avançam na região do canal pelo lado inferior do silício ativo. Essa estrutura de porta é muito eficaz na redução dos efeitos de canal curto.

O controle eficiente da região do canal e a blindagem das linhas de campo elétrico induzidas pelo dreno, só é eficaz quando a largura do dispositivo for suficientemente pequena.

Pode-se verificar na figura 2.20, a distribuição do potencial em dispositivos de porta em Π (pi) com t_{si} = 30 nm e vários avanços na extensão de porta.

O controle da região sob a ilha de silício pelo potencial de porta, claramente aumenta com a extensão da profundidade de porta.

No dispositivo mais largo a distância entre as duas extensões de porta é excessivamente grande para que esse efeito ocorra. Desse modo, verifica-se que o fundo da ilha de silício não é controlado pelo potencial de porta [29].

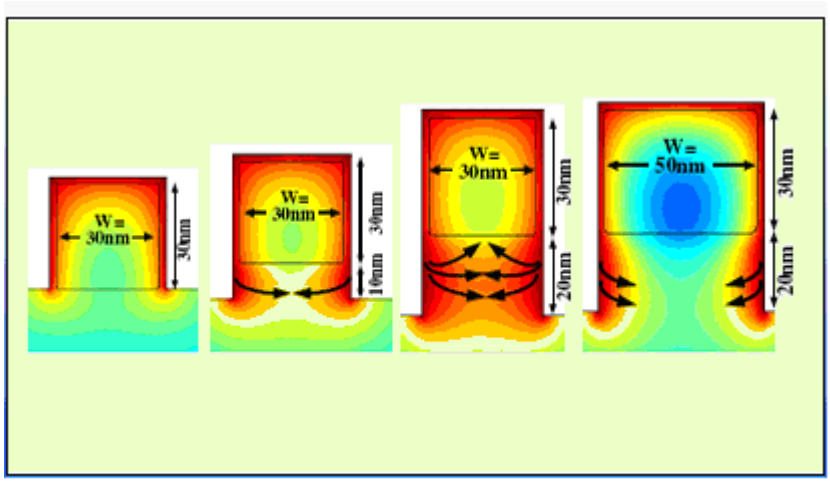


Fig. 2.20 - Distribuição do potencial em dispositivo de porta Π em SOI MOSFETs, com diferentes avanços nas profundidades de porta e duas diferentes larguras da ilha de silício (W) [29].

2.3.5 Inversão de volume

Em MUGFETs ocorre o fenômeno conhecido por inversão de volume. A inversão de volume foi descoberta em 1987 [59], por Balestra, sendo inicialmente observada em MOSFETs de porta dupla do tipo GAA (*Gate all around*) em 1990 [60]. A inversão de volume é um fenômeno que aparece nos dispositivos SOI MOSFET de múltiplas portas de camada fina. Os portadores de inversão não ficam confinados perto da interface óxido de porta e região ativa de silício (Si-SiO_2), como ocorre nos dispositivos clássicos, mas distribuem-se em toda a camada de silício.

A maior transcondutância obtida através deste fenômeno, foi observada experimentalmente em 1990, na primeira implementação prática de um MOSFET de porta dupla planar chamado de dispositivo (GAA), de porta circundante ao canal. (Fig. 2.21) [60].

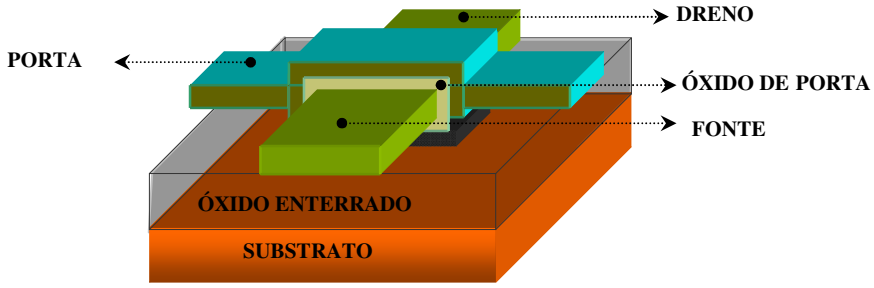


Fig. 2.21 – Dispositivo GAA

Para uma avaliação apropriada da inversão de volume na simulação de dispositivos, com efeito quântico, deve-se considerar a solução consistente das equações de Poisson e Schrödinger. Os efeitos quânticos permitem uma melhor análise de funcionamento, principalmente, para dispositivos com dimensões reduzidas menores que 10 nm. Segundo a teoria quântica, a energia das sub-bandas ou sub-faixas aumenta quando as dimensões dos dispositivos são reduzidas, o que implica num aumento da tensão de limiar maior do que sem o efeito quântico [61].

Aumentando-se a tensão aplicada à porta, a concentração de elétrons torna-se maior nas proximidades das interfaces, embora aumente em toda a profundidade do canal, mantendo assim, a camada de inversão em toda a sua espessura. A figura 2.22 mostra o perfil da concentração de elétrons em função da profundidade na região ativa de silício em um SOI MOSFET de porta dupla, ou seja, o fenômeno do volume de inversão [28].

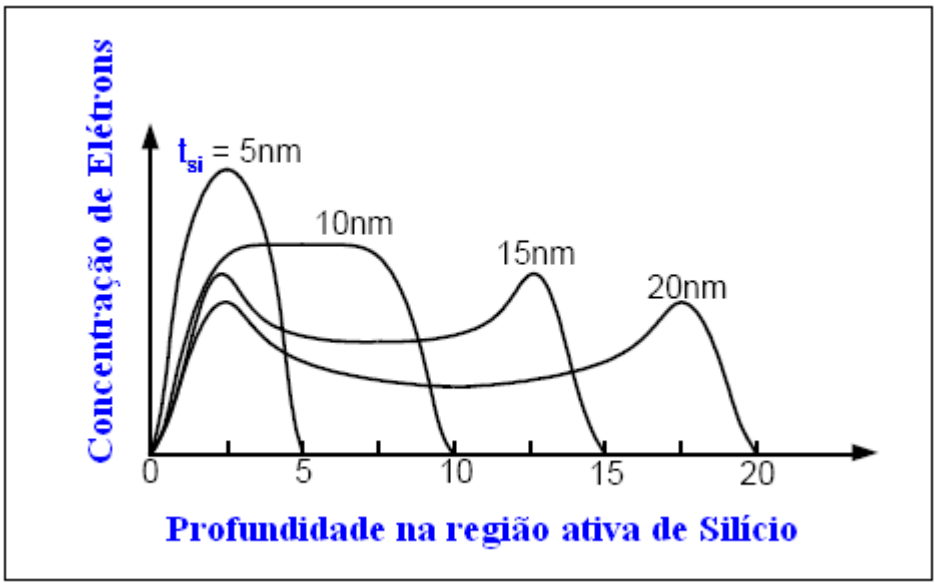


Fig. 2.22 - Perfil da concentração de elétrons em um SOI MOSFET de porta dupla em função da profundidade na região ativa de silício (t_{si}), e com $V_G > V_{TH}$ [28].

O efeito mecânico quântico da inversão de volume foi primeiramente simulado e medido em dispositivos SOI MOSFET de porta dupla a partir de 1994 [62, 63] e tem sido desde então, observado por diversos grupos de pesquisa [64]. O fenômeno da inversão de volume pode ser também observado nos dispositivos SOI de porta tripla [65]. Uma conseqüência direta da inversão de volume é o aumento da mobilidade de portadores de inversão em dispositivos de camada fina [28].

2.3.6 Efeito de canto

Nos dispositivos de porta tripla, quádrupla, Π (pi) ou Ω (ômega) que são estruturas não planares, os cantos fazem parte da estrutura intrínseca do transistor, e implicam no aparecimento do efeito de canto (*corner effect*) (Fig. 2.23).

Tais efeitos podem levar a formar-se prematuramente uma região de inversão nos cantos da estrutura SOI, em decorrência do compartilhamento de cargas que existe entre duas portas adjacentes. Com isso, observa-se o aparecimento de duas tensões de limiar, uma nos cantos e uma na interface óxido de porta e região ativa de silício (Si-SO_2) da porta superior ou da porta lateral [66]. Além disso, a presença dos efeitos de canto pode degradar a característica de sublimiar de um dispositivo.

O raio de curvatura dos cantos tem um impacto significativo nas características elétricas dos dispositivos SOI MOSFETs não planares, podendo alterar o valor medido da

tensão de limiar. Devido à interação e relação entre as correntes nos cantos e na superfície plana desses dispositivos [67].

Nos dispositivos de múltiplas portas o efeito de canto pode ser reduzido utilizando-se uma dopagem reduzida na região do canal, ou utilizando cantos com valores altos de raios de curvatura [68, 69]; ou ainda, canais não dopados em conjunto com um metal de porta *midgap.* Esta é a tendência geral dos fabricantes [36, 70].

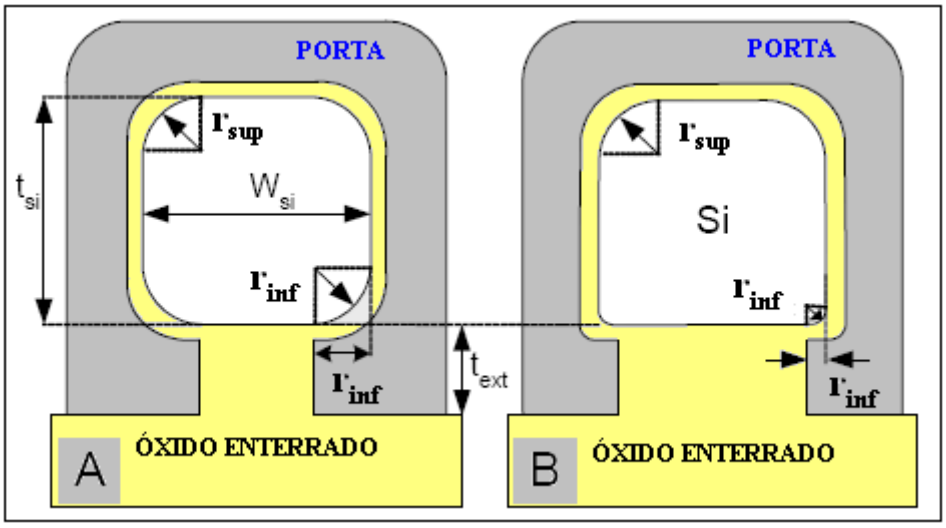


Fig 2.23 - Corte transversal das estruturas não planares: Portas Ω (ômega) com: (A) r_{sup} igual a r_{inf} e (B) r_{sup} diferente de r_{inf}. Onde r_{sup} e r_{inf} são os raios de curvatura dos cantos superiores e inferiores, respectivamente [28].

3 Parâmetros Elétricos

3.1 Tensão de limiar

A tensão de limiar (V_{TH}) para o MOSFET é definida como sendo o valor de tensão aplicada na porta de um transistor, a partir do qual haverá a formação de uma camada superficial de elétrons livres, sob a interface entre o óxido de porta e região ativa de silício, possibilitando a condução de corrente entre dreno e fonte (I_{DS}), ainda, bastante reduzida [71].

A expressão da tensão de limiar de um MOSFET de substrato convencional com canal n no modo acumulação é dada por:

$$V_{TH} = V_{FB} + 2\Phi_F + \frac{q \bullet N_a \bullet x_{d\,\max}}{C_{ox}} \tag{6}$$

Onde:

$$V_{FB} = \Phi_{MS} - \frac{Q_{ox}}{C_{ox}} \tag{7}$$

$$\Phi_F = \frac{K \bullet T}{q} \bullet \ln\left(\frac{N_a}{n_i}\right) \tag{8}$$

$$x_{d\,\max} = \sqrt{\frac{4 \bullet \varepsilon_{si} \bullet \Phi_F}{q \bullet N_a}} \tag{9}$$

Onde:

V_{FB} Tensão de faixa plana.

Φ_F Potencial de Fermi.

x_{dmax} Máxima largura de depleção.

Em um dispositivo SOI MOSFET parcialmente depletado, a expressão da tensão de limiar é a mesma que em um transistor de substrato convencional [29].

Para um dispositivo SOI totalmente depletado de canal n no modo enriquecimento, onde existe a interação entre as zonas de depleção, a tensão de limiar pode ser obtida pela solução da equação de Poisson, utilizando-se a aproximação da depleção [29].

$$\frac{d^2\Phi}{dx^2} = \frac{q \bullet N_a}{\varepsilon_{si}} \tag{10}$$

Utilizando-se o Modelo de Lim e Fossum [67], e integrando a equação duas vezes, obtém-se o potencial como uma função da profundidade da camada de silício, x .

$$\Phi(x) = \frac{q \bullet N_a}{2\varepsilon_{si}} \bullet x^2 + \left(\frac{\Phi_{s2} - \Phi_{s1}}{t_{si}} - \frac{q \bullet N_a \bullet t_{si}}{2\varepsilon_{si}} \right) \bullet x + \Phi_{s1} \tag{11}$$

onde:

Φ_{s1} Potencial de superfície na interface óxido de porta e região ativa de silício (1ª interface).

Φ_{s2} Potencial de superfície na interface região ativa de silício e óxido enterrado (2ª interface).

N_a Concentração de impurezas aceitadoras do semicondutor tipo p. (uniforme)

O campo elétrico na camada de silício é dado pela expressão:

$$E(x) = \frac{-q \bullet N_a}{\varepsilon_{si}} \bullet x - \left(\frac{\Phi_{s2} - \Phi_{s1}}{t_{si}} - \frac{q \bullet N_a \bullet t_{si}}{2\varepsilon_{si}} \right) \tag{12}$$

Com a fórmula do campo elétrico na superfície da interface óxido de porta e região ativa de silício (1ª interface), E_{s1} para x=0

$$E_{s1} = \left(\frac{\Phi_{s2} - \Phi_{s1}}{t_{si}} + \frac{q \bullet N_a \bullet t_{si}}{2\varepsilon_{si}} \right) \tag{13}$$

E aplicando-se o teorema de Gauss, pode-se obter a queda de potencial $\Phi_{ox1,}$ no óxido de porta:

$$\Phi_{ox1} = \frac{\varepsilon_{si} \bullet E_{s1} - Q_{ox1} - Q_{inv1}}{C_{ox1}} \tag{14}$$

Onde:

Q_{ox1} Densidade de cargas fixas no óxido de porta do dispositivo SOI MOSFET.

Q_{inv1} Carga de inversão do canal na interface óxido de porta e região ativa de silício (1ª interface). $Q_{inv1}<0$.

C_{ox1} Capacitância do óxido de porta no SOI MOSFET.

De maneira análoga para a 2ª interface, podemos obter a queda de potencial $\Phi_{ox2,}$ no óxido enterrado.

$$\Phi_{ox2} = \frac{\varepsilon_{si} \bullet E_{s1} - q \bullet N_a \bullet t_{si} + Q_{ox2} + Q_{s2}}{C_{ox2}} \tag{15}$$

Q_{ox2} Densidade de cargas fixas no óxido enterrado do dispositivo SOI MOSFET.

C_{ox2} Capacitância do óxido enterrado no SOI MOSFET.

Q_{s2} Carga em inversão ($Q_{s2} < 0$) ou acumulação ($Q_{s2} > 0$) na interface região ativa de silício e óxido enterrado (2ª interface).

Considerando-se que as tensões de entrada aplicadas na porta superior (V_{G1}) e no substrato porta inferior (V_{G2}) em um dispositivo SOI MOSFET, são dadas por:

$$V_{G1} = \Phi_{s1} + \Phi_{ox1} + \Phi_{MS1} \tag{16}$$

$$V_{G2} = \Phi_{s2} + \Phi_{ox2} + \Phi_{MS2} \tag{17}$$

Onde:

Φ_{MS1} Função trabalho na interface óxido de porta e região ativa de silício (1ª interface).

Φ_{MS2} Função trabalho na interface região ativa de silício e óxido enterrado (2ª interface).

Combinando-se as equações (13), (14) e (15) obtém-se a relação entre a tensão de porta superior e o potencial de superfície:

$$V_{G1} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{si}}{C_{ox1}}\right) \bullet \Phi_{s1} - \frac{C_{si}}{C_{ox1}} \bullet \Phi_{s2} - \frac{\frac{1}{2}Q_d + Q_{inv1}}{C_{ox1}} \tag{18}$$

Onde $C_{si} = \frac{\varepsilon_{si}}{t_{si}}$ e $Q_d = -q \bullet N_a \bullet t_{si}$ é a carga total de depleção na camada de silício.

De maneira análoga, a tensão de porta inferior e o potencial de superfície.

$$V_{G2} = \Phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} - \frac{C_{si}}{C_{ox2}} \bullet \Phi_{s1} + \left(1 + \frac{C_{si}}{C_{ox2}}\right) \bullet \Phi_{s2} - \frac{\frac{1}{2}Q_d + Q_{s2}}{C_{ox2}} \tag{19}$$

As equações (18) e (19) descrevem a relação da carga de acoplamento entre a tensão de entrada aplicada na porta superior (V_{G1}) e tensão de entrada aplicada no substrato porta inferior (V_{G2}) em um dispositivo SOI MOSFET totalmente depletado. Combinando-se as equações, temos a dependência da tensão de limiar da 1ª interface em relação à polarização de porta inferior, ou seja, em relação à variação de carga da 2ª interface.

A tensão de limiar na 1ª interface com a 2ª interface em acumulação, ($V_{TH1,\ acc2}$) será:

Considerando-se:

$V_{TH1,\ acc2} = V_{G1}$

$\Phi_{s2} = 0$

$Q_{inv1} = 0$

$\Phi_{s1} = 2\Phi_F$

$$V_{TH1,\ acc2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{si}}{C_{ox1}}\right) \bullet 2\Phi_F - \frac{Q_d}{2C_{ox1}} \tag{20}$$

A tensão de limiar da 1ª interface com a 2ª interface em inversão, ($V_{TH1,\ inv2}$) será:
Considerando-se:

$V_{TH1,\ inv2} = V_{G1}$

$\Phi_{s2} = 2\Phi_F$

$Q_{inv1} = 0$

$\Phi_{s1} = 2\Phi_F$

$$V_{TH1,\,inv2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + 2\Phi_F - \frac{Q_d}{2C_{ox1}} \tag{21}$$

Neste caso, o dispositivo entrará em condução, mesmo se $V_{G1} < V_{TH1,\ inv2}$, desde que exista um canal de inversão ligando a fonte ao dreno pelo fundo da camada de silício. Porém, tal dispositivo seria inútil para qualquer aplicação prática do circuito [29].

Para a superfície da interface região ativa de silício e óxido enterrado (2ª interface) em depleção, Φ_{s2} dependerá da tensão de porta inferior, (V_{G2}) podendo seu valor variar entre 0 e $2\Phi_F$.

O valor da tensão de porta inferior para o qual a 2ª interface atinja a acumulação, estando a 1ª interface na região de limiar, ($V_{G2,\ acc2}$) é obtida da equação (19).
Considerando-se:

$\Phi_{s1} = 2\Phi_F$

$\Phi_{s2} = 0$

$Q_{s2} = 0$

De maneira análoga, a tensão de porta inferior para a qual a 2ª interface atinja a inversão ($V_{G2,\ inv2}$), é obtida da equação (19).
Considerando-se:

$\Phi_{s1} = 2\Phi_F$

$\Phi_{s2} = 2\Phi_F$

$Q_{s2} = 0$

Quando $V_{G2,\ acc2} < V_{G2} < V_{G2,\ inv2}$, a tensão de limiar da interface óxido de porta e região ativa de silício (1ª interface) é obtida pela combinação das equações (18) e (19).

Considerando-se:

$\Phi_{s1} = 2\Phi_F$

$Q_{inv1} = Q_{s2} = 0$

$$V_{TH1,\,depl2} = V_{TH1,\,acc2} - \frac{C_{si} \bullet C_{ox2}}{C_{ox1} \bullet \left(C_{si} + C_{ox2}\right)} \bullet \left(V_{G2} - V_{G2,\,acc2}\right) \tag{22}$$

As relações acima serão válidas se as espessuras das camadas de inversão ou acumulação forem pequenas com relação à espessura da camada de silício. Poderá não ser o caso para dispositivos de camada ultrafina, para estes casos, a largura das zonas de acumulação ou inversão deve ser subtraída da espessura da camada de silício, de modo a se obter a espessura efetiva de silício. A espessura efetiva é igual a largura efetiva da camada de depleção, substituindo t_{si} nas expressões acima. Em camadas muito finas ($t_{si} < 10$ nm), poderá ocorrer uma interação complexa entre a 1ª interface e a 2ª interface, originando a diminuição da mobilidade de portadores [29].

Para dispositivos de múltiplas portas a tensão de limiar será menor, em função do maior acoplamento entre as portas, permitindo o aparecimento mais rápido do canal de inversão sob o óxido de porta. Como estas portas aumentam a concentração de elétrons nos canais formados no corpo de silício, favorecem o aparecimento mais rápido da inversão de volume [28].

3.2 Efeito de corpo

Para um dispositivo de substrato convencional o efeito de corpo é definido como a dependência da tensão de limiar com relação à polarização de substrato. Para um transistor SOI a definição é análoga: a dependência da tensão de limiar com relação à polarização de porta inferior.

Em um transistor de substrato convencional canal n, a tensão de limiar é expressa por: [72]

$$V_{TH} = \Phi_{MS} + 2\Phi_F - \frac{Q_{ox}}{C_{ox}} + \frac{Q_b}{C_{ox}} \tag{23}$$

onde a carga máxima induzida no silício é:

$$Q_b = \sqrt{2 \bullet \varepsilon_{si} \bullet q \bullet N_a \bullet \left(2\Phi_F - V_B\right)} \tag{24}$$

logo, a tensão de limiar pode ser expressa, como:

$$V_{TH} = \Phi_{MS} + 2\Phi_F - \frac{Q_{ox}}{C_{ox}} + \frac{\sqrt{2\varepsilon_{si} \cdot q \cdot N_a \cdot (2\Phi_F - V_B)}}{C_{ox}} \tag{25}$$

Definindo a constante de corpo (γ):

$$\gamma = \frac{\sqrt{2\varepsilon_{si} \cdot q \cdot N_a}}{C_{ox}} \tag{26}$$

temos:

$$V_{TH} = \Phi_{MS} + 2\Phi_F - \frac{Q_{ox}}{C_{ox}} + \gamma \cdot \sqrt{2\Phi_F} + \gamma \cdot \left(\sqrt{(2\Phi_F - V_B)} - \sqrt{2\Phi_F}\right) \tag{27}$$

O último termo da equação (27) descreve a dependência da tensão de limiar com relação à polarização de substrato (Fig. 3.1).

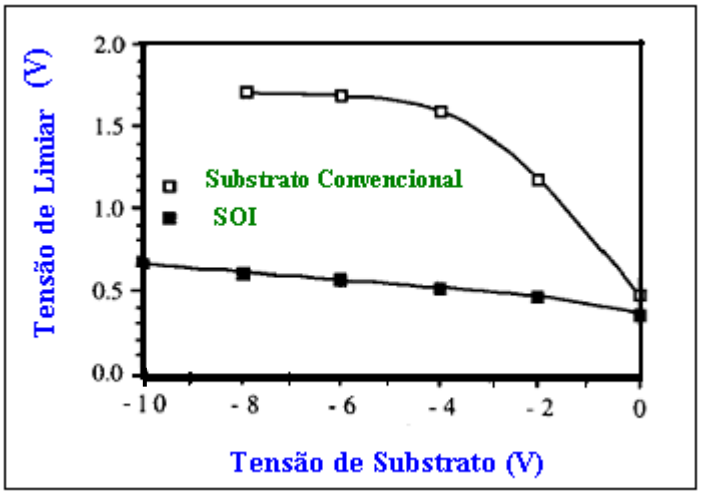


Fig. 3.1- Dependência da tensão de limiar com a polarização do substrato, para substrato convencional e SOI MOSFET totalmente depletado [29].

Aplicando-se uma polarização negativa ao substrato, em relação à fonte, a tensão de limiar aumenta com a raiz quadrada da polarização de substrato, cuja expressão é:

$$V_{TH}(V_B) = V_{TH\,0} + \gamma \cdot \left(\sqrt{(2\Phi_F + V_B)} - \sqrt{2\Phi_F}\right) \tag{28}$$

V_{TH0} é a tensão de limiar com polarização zero no substrato.

Se tomarmos como referência o substrato aterrado, e considerando-se a tensão de fonte (Vs) diferente de zero, a expressão passa a ser:

$$V_{TH}(V_S) = V_S + V_{FB} + 2\Phi_F + \gamma \cdot \sqrt{2\Phi_F + V_S}$$

$$V_{TH}(V_S) = V_{TH0} + V_S + \gamma \cdot \left(\sqrt{2\Phi_F + V_S} - \sqrt{2\Phi_F}\right) \tag{29}$$

Linearizando-se a expressão, de modo a simplificar a modelagem de dispositivos, tem-se:

$$V_{TH} = V_{TH0} + (1+\alpha) \cdot V_S = V_{TH0} + n \cdot Vs \tag{30}$$

Onde:

n É o coeficiente de efeito de corpo ou fator de corpo do dispositivo.

Em um dispositivo SOI MOSFET parcialmente depletado com um contato de corpo, o efeito de corpo é idêntico ao de um MOSFET de substrato convencional.
No caso do corpo estar flutuando, o potencial de corpo será determinado pelo efeito capacitivo e pela corrente na junção PN, resultando na variação da tensão de limiar em função desses parâmetros.

Em um dispositivo parcialmente depletado a tensão de limiar não varia com a polarização de porta inferior, devido a não existência de acoplamento entre a 1ª e 2ª interfaces.

Em dispositivos SOI totalmente depletados, a variação da tensão de limiar pode ser obtida derivando-se as equações (20), (21) e (22).

$$\frac{dV_{TH1,acc2}}{dV_{G2}} = 0 \tag{31}$$

$$\frac{dV_{TH1,inv2}}{dV_{G2}} = 0 \tag{32}$$

$$\frac{dV_{TH1,depl2}}{dV_{G2}} = -\frac{C_{Si} \bullet C_{OX2}}{C_{OX1} \bullet (C_{Si} + C_{OX2})} = -\frac{\varepsilon_{si} \bullet C_{OX2}}{C_{OX1} \bullet (t_{si} \bullet C_{OX2} + \varepsilon_{si})} \equiv -\alpha \tag{33}$$

Em um dispositivo de substrato convencional, α é o resultado de uma linearização da expressão (29) mais complexa, enquanto que para um dispositivo totalmente depletado, α é a expressão exata da variação da tensão de limiar com a polarização de porta inferior. Em muitos casos a aproximação pode ser feita com: $\alpha \cong -\frac{C_{OX2}}{C_{OX1}} = -\frac{t_{ox1}}{t_{ox2}}$ [2].

Onde:

t_{ox1} Espessura da camada de óxido de porta no dispositivo SOI MOSFET.

t_{ox2} Espessura da camada de óxido enterrado no dispositivo SOI MOSFET.

Como uma primeira ordem de aproximação, com polarização positiva aplicada na porta inferior, quando a 2ª interface estiver invertida, Φ_{S2} será aproximadamente igual a $2\Phi_{F.}$ De modo análogo, com uma grande polarização negativa aplicada na porta inferior, quando a 2ª interface estiver acumulada, Φ_{S2} será aproximadamente igual a zero volt (0 V). Nestas condições o aumento de polarização positiva (na inversão) ou negativa (na acumulação) na porta inferior, não modificará a tensão de limiar na 1ª interface.

Porém, um dispositivo real, o potencial de superfície (Φ_{S2}) da 2ª interface pode exceder $2\Phi_F$ com a 2ª interface em inversão ou tornar-se menor do que (0V) com a 2ª interface em acumulação, sendo que essa excursão está limitada em alguns K.T/q, que é o potencial térmico intrínseco ao material.

Como resultado a tensão de limiar na 1ª interface aumenta (diminui) levemente quando a tensão de porta inferior é aumentada negativamente (positivamente) em relação à tensão de porta inferior na condição de acumulação (inversão) (Fig. 3.2). Observa-se que a relação (33) independe da concentração de impurezas aceitadoras do semicondutor tipo p, ou de dopantes (N_a). Se C_{ox1} e C_{ox2} forem conhecidos, pode-se através da mesma, determinar a espessura da camada de silício [73].

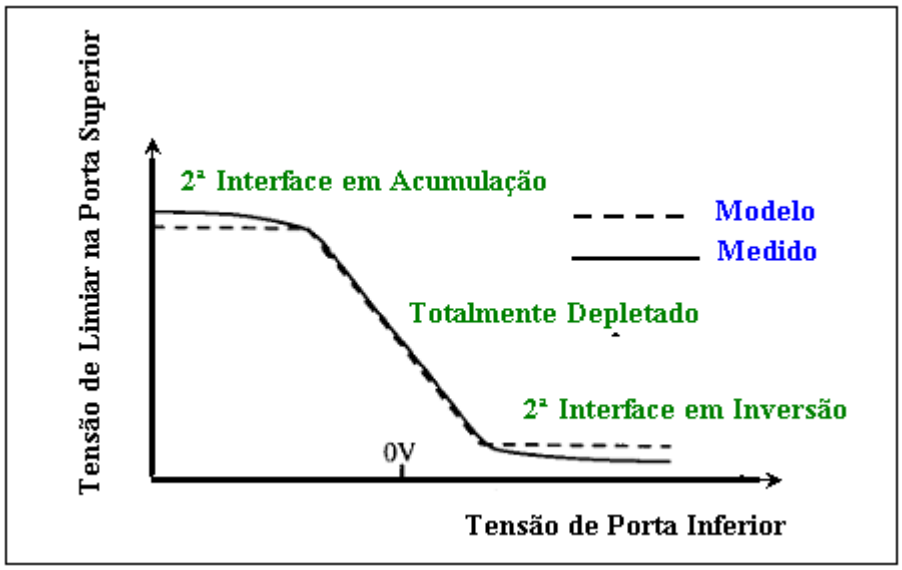


Fig. 3.2 Variação da tensão de limiar na porta superior com a polarização da porta inferior, em um dispositivo SOI MOSFET totalmente depletado [29].

A dependência da tensão de porta superior com a polarização de porta inferior diminui com o aumento de t_{ox2}. Quando t_{ox2} é muito espesso, ($C_{ox2} \cong 0$) a tensão de limiar é praticamente independente da polarização de porta inferior.

A variação do potencial de superfície do substrato tem alguma influência na tensão de limiar, mas esta influência é pequena, e pode ser omitida, enquanto a espessura da camada de óxido enterrado seja maior comparativamente com a do óxido de porta superior [74, 75].

O reduzido efeito de corpo de um dispositivo SOI, é uma importante característica. Um grande efeito de corpo reduz a eficiência do controle de corrente do transistor, do qual a fonte não está diretamente conectada a terra [29].

Para dispositivos de múltiplas portas totalmente depletados, o fator de corpo (n) será ainda menor, devido a uma menor capacitância de depleção formada no corpo de silício.

3.3 Características de corrente e tensão

Para um transistor de substrato convencional na condição de triodo, a corrente de dreno tem a seguinte expressão [31].

$$I_{DS} = \mu_n \bullet C_{ox} \bullet \frac{W}{L} \bullet \left[\left(V_G - V_{FB} - 2\Phi_F - V_S - \frac{V_{DS}}{2} \right) \bullet V_{DS} - \frac{2}{3} \gamma \bullet \left(2\Phi_F + V_D \right)^{\frac{3}{2}} - \left(2\Phi_F + V_S \right)^{\frac{3}{2}} \right] \quad (34)$$

Onde:

V_S Tensão de fonte.

V_G Tensão de porta.

V_D Tensão de dreno.

V_{FB} Tensão de faixa plana.

Φ_F Potencial de Fermi.

μ_n Mobilidade de elétrons na camada de silício.

Com $V_{DS} = V_D - V_S$ e $\gamma = \frac{\sqrt{2\varepsilon_{si} \bullet q \bullet N_a}}{C_{OX}}$

Na maioria das vezes a expressão (34), é linearizada, fornecendo uma expressão mais simples, na condição de triodo.

$$I_{DS} = \mu_n \bullet C_{ox} \bullet \frac{W}{L} \bullet \left[\left(V_{GS} - V_{TH} \right) \bullet V_{DS} - \frac{1}{2} n \bullet V^2{}_{DS} \right] \quad (35)$$

E na saturação:

$$I_{DSsat} = \frac{1}{2n} \bullet \mu_n \bullet C_{ox} \bullet \frac{W}{L} \bullet \left(V_{GS} - V_{TH} \right)^2 \quad (36)$$

Sendo a tensão de saturação do dreno dada por:

$$V_{Dsat} = \frac{V_{GS} - V_{TH}}{n} + V_S \quad (37)$$

Onde:

$$V_{TH} = V_{TH0} + n \bullet V_S \quad (38)$$

As características de corrente de dreno e tensão de limiar de um SOI MOSFET parcialmente depletado com corpo aterrado são idênticas àquelas de um transistor de substrato convencional; se o corpo não é aterrado uma série de efeitos, chamados de efeitos de corpo

flutuante aparecem. Estas características de corrente de dreno e tensão de limiar para um SOI MOSFET totalmente depletado são descritas pelo modelo Lim & Fossum.

De uma forma geral, a expressão da corrente de saturação no dreno é:

$$I_{DSsat} = \frac{1}{2} \bullet \frac{W}{L \bullet (1+\alpha)} \bullet \mu_n \bullet C_{ox1} \bullet (V_{GS} - V_{TH})^2 \qquad (39)$$

$\alpha = \frac{C_{si}}{C_{ox1}}$ Para dispositivo totalmente depletado com a 2ª interface em acumulação.

$\alpha = \frac{C_{si} \bullet C_{ox2}}{C_{ox1} \bullet (C_{si} + C_{ox2})}$ Para dispositivo totalmente depletado com a 2ª interface em depleção.

$\alpha = \frac{C_D}{C_{ox1}} = \frac{\varepsilon_{si}}{x_{d\,\max} \bullet C_{ox1}}$ Para transistor MOS de substrato convencional.

$n = 1 + \alpha$ Coeficiente de efeito de corpo ou fator de corpo.

Os valores numéricos de n seguem a seguinte relação:

n do SOI totalmente depletado **<** n do MOS substrato convencional **<** n do SOI com a 2ª interface em acumulação.

Como resultado a corrente de saturação é maior no dispositivo totalmente depletado, menor no dispositivo MOS de substrato convencional e ainda menor no dispositivo totalmente depletado com 2ª interface em acumulação.

O baixo coeficiente de efeito de corpo de um SOI MOSFET totalmente depletado, leva a um maior controle de corrente de dreno, comparado com um dispositivo de substrato convencional, o qual contribui enormemente para um melhor desempenho de velocidade em circuitos SOI CMOS totalmente depletados (FD) [29]. O maior controle de corrente de dreno em um dispositivo SOI é na verdade 20 a 30% maior do que o controle de um dispositivo de substrato convencional [76]. A maior eficiência do controle de corrente de dreno nos dispositivos SOI (FD) é de certo modo degradada quando são considerados comprimentos de canal curto, como resultado do efeito de saturação da velocidade. Observou-se ainda, que dispositivos SOI (FD) apresentam uma melhoria de 25% no controle de corrente de dreno em relação aos dispositivos de substrato convencional, para um comprimento de porta de 0,2 μm [77].

Em dispositivos de múltiplas portas o controle de corrente é ainda melhor, devido ao menor efeito de corpo apresentado, em relação ao SOI MOSFET de porta única [28].

3.4 Transcondutância

A transcondutância (g_m) de um MOSFET é a medida da eficácia do controle de corrente de dreno em relação à tensão de porta [76].

A transcondutância de um MOSFET de substrato convencional ou SOI MOSFET parcialmente depletado, na saturação, pode facilmente ser derivada da equação (36): $I_{DSsat} = \frac{1}{2n} \bullet \mu_n \bullet C_{ox} \bullet \frac{W}{L} \bullet (V_{GS} - V_{TH})^2$

$g_m = \frac{dI_{DSsat}}{dV_{GS}}$ para $V_{DS} > V_{Dsat}$ com $\alpha = \frac{\varepsilon_{si}}{x_{d\,\max}}$

$$g_m = \frac{W}{L} \bullet \frac{\mu_n \bullet C_{ox1}}{(1+\alpha)} \bullet (V_{GS} - V_{TH}) \qquad (40)$$

A transcondutância de um SOI MOSFET totalmente depletado pode ser obtida das equações definidas no modelo de Lim e Fossum:

$I_{DSsat,\,acc2}$ Corrente de saturação no dreno com a 2ª interface em acumulação.

$I_{DSsat,\,depl2}$ Corrente de saturação no dreno com a 2ª interface em depleção.

$$g_m = \frac{dI_{DSsat}}{dV_{G1S}} = \frac{W}{L} \bullet \frac{\mu_n \bullet C_{ox1}}{(1+\alpha)} \bullet (V_{G1S} - V_{TH}) \qquad \text{para } V_{DS} > V_{Dsat} \qquad (41)$$

Com:

$\alpha = \frac{C_{si}}{C_{ox1}}$ Para dispositivo totalmente depletado com a 2ª interface em acumulação.

$\alpha = \frac{C_{si} \bullet C_{ox2}}{C_{ox1} \bullet (C_{si} + C_{ox2})}$ Para dispositivo totalmente depletado com a 2ª interface em depleção [78].

Como no caso da análise da corrente de saturação no dreno, onde α representa a razão C_b/C_{ox1} de dois capacitores.

C_{ox1} Capacitância do óxido de porta no SOI MOSFET.

C_b Associação série das capacitâncias (C_{si} e C_{OX2}) em função do modo de operação do dispositivo. (canal de inversão e o terra.)

Tem-se:

Para um dispositivo convencional, com substrato aterrado: $C_b = C_D = \frac{\varepsilon_{si}}{x_{d\,\max}}$.

Para um dispositivo SOI MOSFET totalmente depletado com a 2ª interface em acumulação, sendo o potencial da camada de acumulação aproximadamente igual a

zero volt (0V), este atua como um terra virtual: $C_{si} = \frac{\varepsilon_{si}}{t_{si}}$, a capacitância entre o canal e a camada acumulada da 2ª interface aterrada, é igual à capacitância da camada de silício.

Para um dispositivo SOI MOSFET totalmente depletado com a 2ª interface em depleção: $C_b = \frac{C_{si} \bullet C_{ox2}}{(C_{si} + C_{ox2})}$, a capacitância entre o canal e a porta inferior aterrada é dada pela associação série de C_{si} e C_{ox2}.

Como resultado os valores de α estão na seguinte ordem:

n do SOI totalmente depletado **<** n do substrato convencional **<** n do SOI com 2ª interface em acumulação.

Logo, a transcondutância é maior em um dispositivo totalmente depletado, menor em um substrato convencional e ainda menor em um dispositivo totalmente depletado com 2ª interface em acumulação.

Devido ao acoplamento eletrostático entre a porta superior e a porta inferior, a variação da transcondutância com a tensão de porta superior em um SOI MOSFET totalmente depletado pode apresentar-se de modo bastante diferente, em comparação com dispositivo de substrato convencional. Como a corrente depende da polarização de porta superior e da tensão de porta inferior, pode-se caracterizar g_m como uma função da tensão de porta superior (V_{G1}) para diferentes valores de V_{G2} (Fig.3.3) [79, 80].

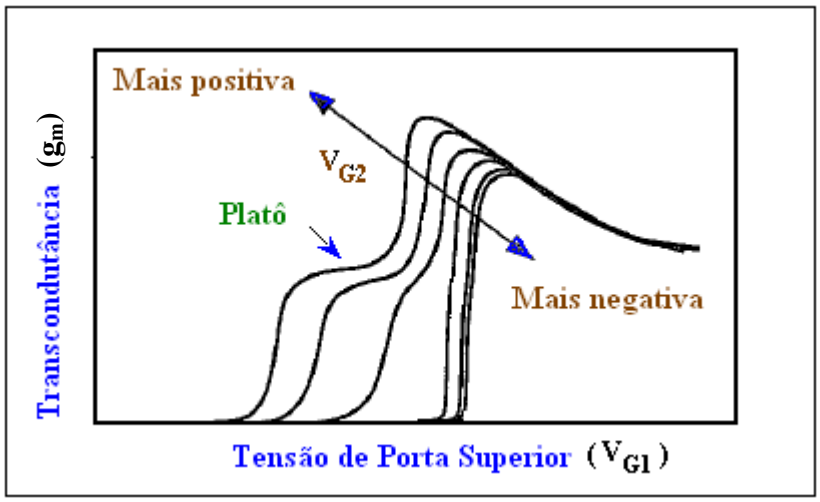


Fig. 3.3 Transcondutância de um dispositivo SOI MOSFET totalmente depletado de canal n, para diferentes valores de tensão de porta inferior [29].

Aplicando-se uma polarização negativa na porta inferior (V_{G2}), tem-se a formação de uma camada de acumulação no fundo do dispositivo, a curva da transcondutância obtida é similar àquela de um dispositivo de substrato convencional. Com o incremento de V_{G2} torna-se a 2ª interface depletada, fazendo com que a curva g_m desloque-se para a esquerda. Sendo a

tensão de limiar da 1ª interface reduzida pela polarização de porta inferior, conforme a relação (33): $-\frac{\varepsilon_{si} \bullet C_{ox2}}{C_{ox1} \bullet \left(t_{si} \bullet C_{ox2} + \varepsilon_{si}\right)} \equiv -\alpha$

Para valores, ainda mais positivos de $V_{G2,}$ temos o aparecimento da inversão na interface região ativa de silício e óxido enterrado (2ª interface).

A carga de inversão não depende somente da polarização de porta inferior, mas também, da tensão de porta superior, desde que a tensão de limiar da 2ª interface diminua, quando a tensão de porta superior é aumentada.

Essa variação da corrente no canal da 2ª interface com a tensão de porta superior (V_{G1}), origina um platô nas características da transcondutância (g_m) em função de tensão de porta superior (V_{G1}); o qual ocorre somente nos dispositivos SOI (FD) totalmente depletados. Para dispositivos de múltiplas portas, o valor da transcondutância aumenta, pois a corrente controlada pelas portas é maior para uma variação menor na tensão de porta.

3.5 Mobilidade

A mobilidade dos elétrons na camada de inversão de um MOSFET de canal n é também uma função do campo elétrico vertical abaixo do óxido de porta, e pode ser aproximada por:

$$\mu_n(y) = u_{\max} \bullet \left[\frac{E_c}{E_{eff}(y)}\right]^c \text{ para } E_{eff}(y) \text{ maior que } E_{c.} \quad (42)$$

Onde μ_{max}, E_c e c: são parâmetros de ajuste que dependem do processo de oxidação da porta e das propriedades do dispositivo [81, 82].

$$E_{eff}(y) = E_{s1}(y) - \frac{Q_{inv1}(y)}{2\varepsilon_{si}} \quad (43)$$

O campo elétrico vertical abaixo do óxido de porta é dado por:

$$E_{s1}(y) = \left(\frac{\Phi_{s1}(y) - \Phi_{s2}(y)}{t_{si}} + \frac{q \bullet N_a \bullet t_{si}}{2\varepsilon_{si}}\right) \quad (44)$$

A carga de inversão, $Q_{inv1}(y)$ e o potencial de superfície da 2ª interface, $\Phi_{s2}(y)$ podem ser obtidos das equações: (17) e (19)

A expressão do campo elétrico superficial E_{s1}, pode ser simplificada para dispositivos totalmente depletados operando com baixa tensão de dreno $V_{DS} \approx 0V$, de maneira que os potenciais de superfície sejam independentes de (y). Assim, se a 2ª interface estiver depletada,

mas próximo da inversão, teremos Φ_{s1}-$\Phi_{s2} \approx 0$ e o campo elétrico superficial na interface óxido de porta e região ativa de silício (1ª interface) $E_{s1,}$ será igual a :

$$E_{s1} = \frac{q \bullet N_a \bullet t_{si}}{2\varepsilon_{si}} \tag{45}$$

O qual será menor em relação ao campo elétrico do correspondente dispositivo de substrato convencional, desde que a espessura da camada de silício seja menor que a largura máxima da região de depleção ($t_{si} < x_{dmax}$).

$$E_{s1} = \frac{q \bullet N_a \bullet x_{d\,\max}}{\varepsilon_{si}} \tag{46}$$

Se a camada da 2ª interface estiver totalmente depletada, no caso do SOI MOSFET, e ainda não próximo da inversão, uma boa aproximação para o cálculo do campo elétrico será:

$$E_{s1} = \frac{q \bullet N_a \bullet x_1}{\varepsilon_{si}} \tag{47}$$

Onde x_1 é o ponto de mínimo potencial na camada de silício.

O campo elétrico continuará menor em relação ao campo de um dispositivo de substrato convencional, desde que $x_1 < t_{si} < x_{dmax.}$

Para a mesma concentração de dopagem ou concentração de impurezas aceitadoras do semicondutor tipo p (N_a), o campo elétrico na superfície superior E (x = 0) é menor para o dispositivo SOI MOSFET, do que para o dispositivo de substrato convencional (Fig. 3.4).

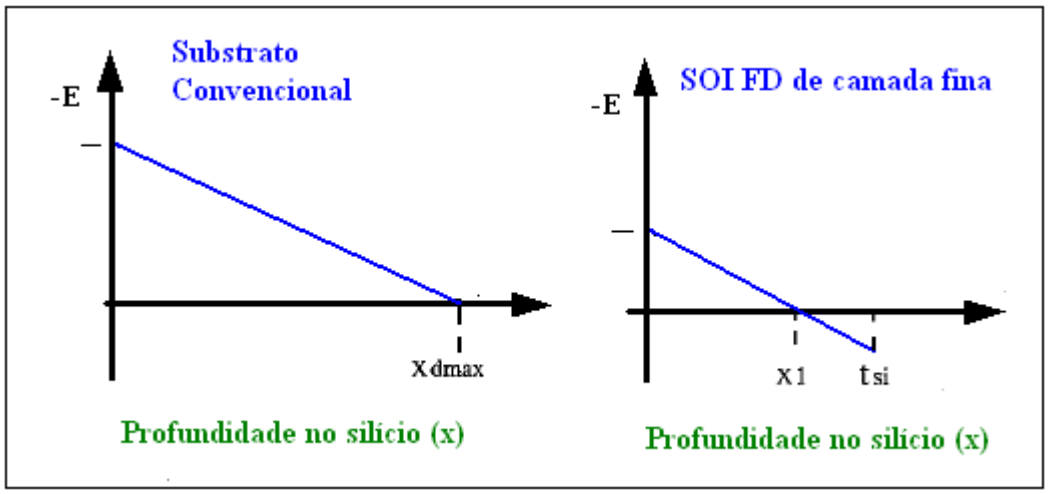


Fig. 3.4 Distribuição do campo elétrico em um dispositivo de substrato convencional e em um dispositivo SOI totalmente depletado. [29]

O aumento na mobilidade superficial de dispositivos SOI totalmente depletados, tem sido descritos por vários autores [83, 84]. Normalmente os dispositivos SOI MOSFETs seguem a mesma lei experimental de redução de mobilidade dos dispositivos MOSFETs de substrato convencional.

A degradação da mobilidade pode ser definida através da equação da corrente de dreno para o MOSFET:

Operando em triodo: [85]

$$I_{DS} = \frac{\mu_0}{1 + \frac{\theta_1}{n} \cdot (V_{GS} - V_{TH})} \cdot C_{ox} \cdot \frac{W}{L} \cdot \left[(V_{GS} - V_{TH}) \cdot V_{DS} - \frac{1}{2n} \cdot V_{DS}^{\,2} \right] \tag{48}$$

Operando em saturação:

$$I_{DS} = \frac{1}{2n} \cdot \frac{\mu_0}{1 + \frac{\theta_1}{n} \cdot (V_{GS} - V_{TH})} \cdot C_{ox} \cdot \frac{W}{Le_{ff}} \cdot (V_{GS} - V_{TH})^2 \tag{49}$$

Θ_1 Fator de redução de mobilidade ou coeficiente de degradação da mobilidade.

n Fator de corpo ou coeficiente de corpo.

μ_0 Mobilidade efetiva dos portadores para baixo campo elétrico.

L_{eff} Comprimento efetivo de canal para o dispositivo MOSFET e SOI MOSFET

A mobilidade dos portadores depende da espessura da camada de silício em dispositivos SOI muito finos. Geralmente o aumento de mobilidade é observado, quando a espessura da camada é reduzida abaixo de 20 nm. Porém, quando a redução da espessura é abaixo de 10 nm, ocorre uma acentuada redução de mobilidade. Abaixo de 20 nm temos a subdivisão das bandas de energia em sub-bandas, ocorrendo uma redistribuição dos elétrons nessas sub-bandas.

Segue a figura 3.5, onde mostra a dependência da mobilidade em função da espessura da camada de silício para um dispositivo MOSFET de porta dupla.

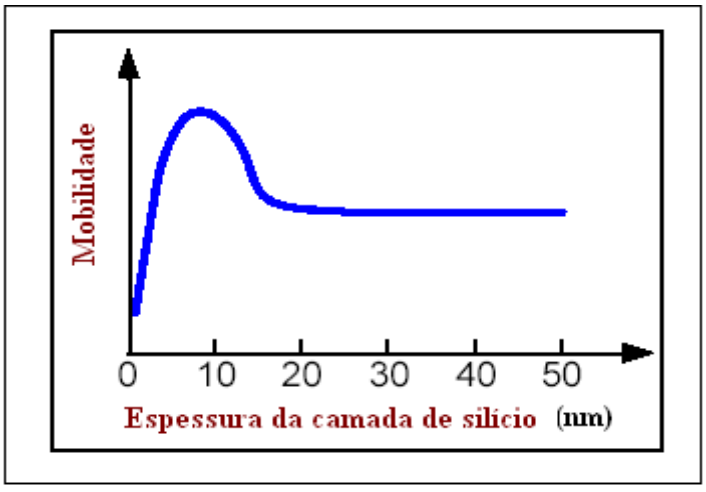


Fig. 3.5 Variação da mobilidade em função da variação da espessura da camada de silício, em um MOSFET de porta dupla [29].

Para dispositivos de múltiplas portas a mobilidade aumenta, mesmo que a mobilidade na interface da parede lateral, e do topo, sob as portas, possam ser diferentes em função da orientação cristalina das mesmas [86], porém como já descrito, nestes dispositivos tem-se a formação do canal de inversão no centro do corpo de silício, onde também há fluxo de corrente.

3.6 Inclinação de sublimiar

O inverso da inclinação de sublimiar é definido como o inverso da inclinação da curva de I_{DS} em função de V_G. É representada graficamente através, do log da corrente de dreno (I_{DS}) em função da tensão de porta (V_G) (Fig. 3.6), expressa em Volts ou milivolts por década e representa quantos milivolts deve ser aumentada a tensão de porta para que a corrente de dreno seja aumentada de uma década. O menor valor da inclinação de sublimiar (S), representa a mais eficiente e rápida comutação de um dispositivo do estado desligado para o estado ligado, e é definida pela expressão:

$$S = \frac{dV_G}{d(\log I_{DS})} \tag{50}$$

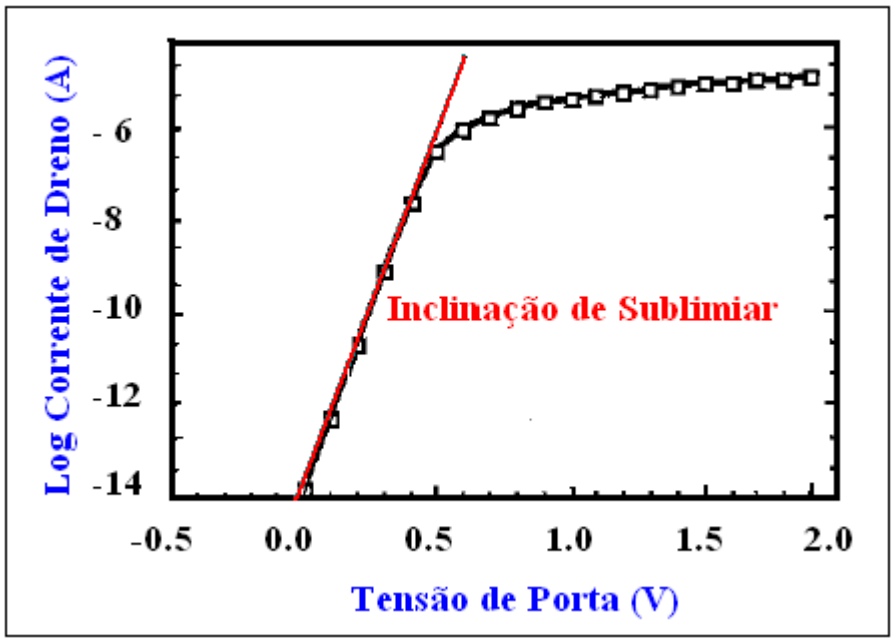


Fig. 3.6 - Curva semi-logarítmica da corrente de dreno em função da tensão de porta $I_{DS}(V_G)$ de um dispositivo n MOS [29].

Em um transistor MOS a corrente de sublimiar independe da tensão de dreno, devido à predominância do mecanismo de difusão em relação ao de deriva [87, 88].

$$I_{DS} = -q \bullet A \bullet D_n \bullet \frac{dn}{dy} = q \bullet A \bullet D_n \bullet \frac{n(0) - n(L)}{L} \tag{51}$$

Onde:

A Área da seção transversal da camada de inversão na região do canal.

D_n Coeficiente de difusão para os elétrons.

n(0) Concentração de elétrons na borda da junção da fonte.

n(L) Concentração de elétrons na borda da junção do dreno.

Assim:

$$n(0) = n_{po} \bullet \exp\left(\frac{q \bullet \Phi_S}{K \bullet T}\right) \tag{52}$$

$$n(L) = n_{po} \bullet \exp\left(\frac{q \bullet (\Phi_S - V_{DS})}{K \bullet T}\right) \tag{53}$$

Com a fonte em (0V) aterrada e $n_{po} = \frac{{n_i}^2}{N_a}$

Onde:

Φ_S Potencial de superfície do semicondutor para o dispositivo MOSFET.

n_i Concentração intrínseca dos portadores do silício.

n_{po} Concentração de elétrons na região neutra do semicondutor tipo p.

Considerando-se a concentração de elétrons uniforme de maneira a simplificar os cálculos em vez da variação segundo uma exponencial $\exp\left(\frac{q \bullet \Phi_{(X)}}{K \bullet T}\right)$, até uma profundidade (d) abaixo da superfície temos:

$$d = \frac{K \bullet T / q}{E_S} \qquad \text{onde: } E_S = -\left.\frac{d\Phi_{(X)}}{dx}\right|_{x=0} \tag{54}$$

Para as equações acima (51) a (54) e a relação de Einsten $D_n = \frac{K \bullet T}{q} \bullet \mu_n$.

considerando-se $A = W \bullet d$

Onde:

d É a profundidade abaixo da interface óxido de porta e região ativa de silício na qual o potencial diminuiu de $\frac{K \bullet T}{q}$ do valor do potencial de superfície para o MOSFET.

W Largura do corpo de silício do dispositivo MOSFET.

Temos que a expressão da corrente de sublimiar:

$$I_{DS} = \mu n \cdot \frac{W}{L} \cdot q \cdot \left(\frac{K \cdot T}{q} \right)^2 \cdot \frac{n_i^2}{N_a} \cdot \left[1 - \exp\left(- q \cdot V_{DS} \Big/ K \cdot T \right) \right] \cdot \frac{\exp\left(q \cdot \Phi_S \Big/ K \cdot T \right)}{- \frac{d\Phi_S}{dx}} \tag{55}$$

Pela definição: (50)

$$S = \frac{dV_{GS}}{d\left(\log I_{DS}\right)}$$

Substituindo-se a base logarítmica pela base neperiana temos:

$$S = \frac{\ln(10)}{\frac{d\left(\ln I_{DS}\right)}{dV_{GS}}} \tag{56}$$

Como: $\frac{d\left(\ln I_{DS}\right)}{dV_{GS}} = \frac{1}{I_{DS}} \cdot \frac{d(\ln I_{DS})}{d\Phi_S} \cdot \frac{d\Phi_S}{dV_{GS}}$

Temos: $\frac{d\left(\ln I_{DS}\right)}{dV_{GS}} = \left[\frac{q}{K \cdot T} - \frac{\frac{d}{d\Phi_S}\left(- \frac{d\Phi_S}{dx} \right)}{- \frac{d\Phi_S}{dx}} \right] \cdot \frac{d\Phi_S}{dV_{GS}}$ (57)

Para o dispositivo de substrato convencional e SOI parcialmente depletado, temos que:

$$\frac{d\Phi_S}{dV_{GS}} = \frac{C_{OX}}{C_{OX} + C_D + C_{it}} \tag{58}$$

onde: $C_D = \frac{dQ_D}{d\Phi_S}$, $Q_d = q \cdot N_a \cdot x_{d\,\max}$ e $C_{it} = q \cdot N_{it}$

C_{it} Capacitância de armadilhas de interface óxido de porta e região ativa de silício para o dispositivo MOSFET. ($C_{it} = q \cdot N_{it}$)

N_{it} Densidade de armadilhas de interface óxido de porta e região ativa de silício para o dispositivo MOSFET.

logo: $S = \frac{K \cdot T}{q} \cdot \ln(10)\left(1 + \frac{C_D + C_{it}}{C_{OX}} \right)$ (59)

Desconsiderando a capacitância de armadilhas de interface (C_{it}), temos:

$$S = \frac{K \cdot T}{q} \cdot \ln(10)\left(1 + \frac{C_D}{C_{OX}} \right) \tag{60}$$

O termo $\frac{C_{OX}}{C_{OX}+C_D+C_{it}}$ com $C_{it} = 0$, pode ser representado pelo circuito equivalente da associação de capacitores (Fig.3.7).

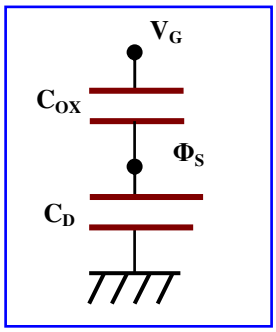


Fig.3.7 - Circuito equivalente da associação de capacitores, para o dispositivo de substrato convencional [29].

Para o dispositivo SOI totalmente depletado, com a 2ª interface depletada, temos:

$$\frac{d\Phi_{S1}}{dV_{G1}} = \frac{\frac{1}{C_{si}} + \frac{1}{C_{OX2}}}{\frac{1}{C_{OX1}} + \frac{1}{C_{si}} + \frac{1}{C_{OX2}}} \tag{61}$$

Logo tem-se:

$$S = \frac{K \bullet T}{q} \bullet \ln(10)\left[\left(1 + \frac{C_{it1}}{C_{OX1}} + \frac{C_{si}}{C_{OX1}}\right) - \left(\frac{\frac{C_{si}}{C_{OX2}} \bullet \frac{C_{si}}{C_{OX1}}}{1 + \frac{C_{it2}}{C_{OX2}} + \frac{C_{si}}{C_{OX2}}}\right)\right] \tag{62}$$

Onde:

C_{it1} Capacitância de armadilhas de interface óxido de porta e região ativa de silício (1ª interface) para o dispositivo SOI MOSFET. ($C_{it1} = q \bullet N_{it1}$)

C_{it2} Capacitância de armadilhas de interface região ativa de silício e óxido enterrado (2ª interface) para o dispositivo SOI MOSFET. ($C_{it2} = q \bullet N_{it2}$)

C_{Ox1} Capacitância do óxido de porta no SOI MOSFET.

C_{Ox2} Capacitância do óxido enterrado no SOI MOSFET.

C_{si} Capacitância da camada de silício. ($C_{si} = \varepsilon_{si} / t_{si}$)

N_{it1} Densidade de armadilhas de 1ª interface para o dispositivo SOI MOSFET.

N_{it2} Densidade de armadilhas de 2ª interface para o dispositivo SOI MOSFET.

Desconsiderando-se as capacitâncias de armadilhas de interface (C_{it1}) e (C_{it2}), temos:

$$S = \frac{K \bullet T}{q} \bullet \ln(10)\left[1 + \frac{1}{C_{OX1}} \bullet \left(\frac{C_{si} \bullet C_{OX2}}{C_{si} + C_{OX2}}\right)\right] \tag{63}$$

O termo $\dfrac{\dfrac{1}{C_{si}} + \dfrac{1}{C_{OX2}}}{\dfrac{1}{C_{OX1}} + \dfrac{1}{C_{si}} + \dfrac{1}{C_{OX2}}}$ com $C_{it1} = 0$ e $C_{it2} = 0$, pode ser representado pelo circuito equivalente da associação de capacitores (Fig.3.8).

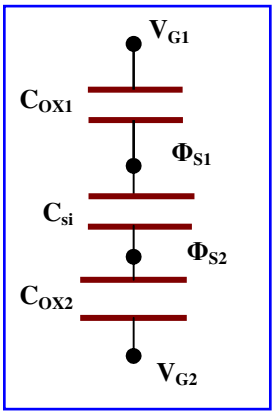


Fig.3.8 - Circuito equivalente da associação de capacitores, para o dispositivo SOI totalmente depletado [29].

Geralmente em dispositivos SOI MOSFETs totalmente depletados temos que: $C_{OX2} << C_{OX1}$ e $C_{OX2} << C_{si}$, assim, $\dfrac{d\Phi_{S1}}{dV_{G1}}$ tende a unidade, simplificando a expressão da inclinação de sublimiar [29].

$$S = \frac{K \bullet T}{q} \bullet \ln(10) \tag{64}$$

De forma genérica a inclinação de sublimiar pode ser expressa:

$$S = \frac{K \bullet T}{q} \bullet \ln(10)(1 + \alpha) = n \bullet \frac{K \bullet T}{q} \bullet \ln(10) \tag{65}$$

α representa a relação C_b/C_{OX1}, onde C_{ox1} é a Capacitância do óxido de porta no SOI MOSFET, e C_b é associação série das capacitâncias (C_{si} e C_{OX2}) e n é o fator ou coeficiente de corpo.

Sendo o valor de C_b igual a:

$C_D = \frac{\varepsilon_{si}}{x_{d\max}}$ Capacitância de depleção em um dispositivo de substrato convencional.

$C_{si} = \frac{\varepsilon_{si}}{t_{si}}$ Capacitância da camada de silício em um dispositivo com a 1ª interface depletada e a 2ª interface em acumulação.

$C_b = \frac{C_{si} \bullet C_{ox2}}{(C_{si} + C_{ox2})}$ Capacitância da associação série C_{si} e C_{ox2} em um dispositivo totalmente depletado.

Os valores de α estão na seguinte seqüência:

α SOI totalmente depletado < α substrato convencional < α SOI 2ª interface em acumulação.

O inverso da inclinação de sublimiar (S) tem o menor valor no dispositivo totalmente depletado, maior no de substrato convencional e ainda maior no totalmente depletado com a 2ª interface em acumulação.

O valor teórico mínimo de 60 mV/década não pode ser obtido na temperatura ambiente devido a presença de armadilhas na interface óxido de porta e região ativa de silício ($Si\text{-}SiO_2$) e devido ao valor limitado de C_{OX2}. Porém, valores na faixa de 65 mV/década podem ser facilmente obtidos.

O ótimo valor da inclinação de sublimiar em um dispositivo SOI totalmente depletado, permite utilizar valores menores de tensão de limiar em relação aos dispositivos de substrato convencional ou mesmo em relação aos dispositivos SOI de camada espessa, sem aumento da corrente de fuga para $V_{G\,1} = 0V$. Isso resulta numa melhor velocidade de resposta, especialmente para baixa tensão de alimentação [89].

Como nos dispositivos de substrato convencional, um aumento da inclinação de sublimiar também é observado em dispositivos SOI totalmente depletados de canal curto, porém, os SOI MOSFETs de camada fina apresentam uma menor degradação em relação aos transistores de substrato convencional [90, 91].

Para dispositivos de múltiplas portas a inclinação de sublimiar se aproxima de 60 mV/década, em função de apresentar um menor efeito de corpo e há menor degradação em canais curtos. Como o efeito de corpo é a relação das capacitâncias $\alpha = C_b / C_{OX1}$, e como as capacitâncias do óxido de porta (C_{OX1}) e óxido enterrado (C_{OX2}) no SOI MOSFET permanecem constantes, a variação está na capacitância do silício (C_{si}) do dispositivo totalmente depletado.

4 SIMULADOR DE DISPOSITIVOS

4.1 Simulador numérico Atlas

Atlas é um simulador baseado na física do dispositivo, para estruturas bidimensionais ou tridimensionais. Além disso, permite a sua utilização com vários tipos de ferramentas interativas, entre as quais, tem-se: DeckBuild, TonyPlot, DevEdit, MaskViews e Optimizer [13].

Como simulador, o Atlas calcula as características elétricas que estão associadas à estrutura física e às condições de polarização do dispositivo. O resultado é obtido através de solução numérica mediante as equações dos semicondutores aplicadas na grade ou matriz de pontos do dispositivo. Essas grades podem ser bidimensionais ou tridimensionais, constituindo desse modo, um número de pontos de grade, os quais são denominados nós [13].

Pela aplicação de um conjunto de equações diferenciais derivadas das leis de Maxwell, nestas grades, pode-se simular o comportamento dos portadores através da estrutura. Isto significa que o desempenho elétrico de um dispositivo pode ser estudado nos seguintes modos de operação: DC, AC ou transientes.

A simulação baseada na física do dispositivo tem se tornado muito importante, por dois motivos: [13]

- Geralmente é mais rápida e mais barata em relação ao desenvolvimento prático.
- Fornece informações de difícil medição ou mesmo que não permitam a sua medição.

Os inconvenientes deste tipo de simulador que é baseado na física do dispositivo são:

- Toda física relevante do dispositivo deve ser incorporada ao simulador, através da indicação dos modelos.
- Os procedimentos numéricos utilizados devem ser implementados para a resolução das equações associadas à grade de pontos.

A especificação do dispositivo a ser simulado, utilizando-se das ferramentas de simulação baseada na física do dispositivo, deve definir: [13]

- A estrutura física.
- Os modelos físicos.
- As condições de polarização em relação às características elétricas.

4.2 Ferramentas interativas

4.2.1 DeckBuild

Plataforma operacional interativa com simuladores de dispositivos e de processos. Pode ser também utilizado como editor de texto para criar o arquivo de entrada com os comandos que serão executados pelo Atlas. O arquivo de entrada contém uma seqüência de declarações, onde cada declaração compõe-se de uma palavra chave que identifica a declaração e um conjunto de parâmetros [13].

Existem 5 (cinco) grupos de declarações, que devem ocorrer na devida ordem.

Os grupos com as respectivas declarações seguem a seguinte ordem:

Grupos	**Declarações**
1- Especificação da estrutura	*Mesh, Region, Electrod, Doping*
2- Especificação do material e modelos	*Material, Models, Contact, Interface*
3 - Seleção do método numérico	*Method*
4 - Especificação da solução	*Log, Solve, Load, Save*
5 - Análise dos resultados	*Extract, TonyPlot*

O Deckbuild permite acompanhar a execução de cada comando, incluindo-se as mensagens de erro, também, decorrentes de erro de sintaxe, mensagens de aviso, extração de parâmetros, além de outras informações que permitem avaliar cada comando executado.

Possibilita definir através de um comando o nome do arquivo para que armazene automaticamente o resultado completo da simulação. Fornece o histórico da simulação, permitindo ao usuário, verificar ou rastrear uma condição precedente.

Foi projetado para minimizar o tempo requerido na construção e calibração do arquivo de entrada. Pode acionar outras ferramentas de apoio ao simulador Atlas, tais como: TonyPlot, DevEdit e MaskView.

4.2.2 DevEdit

É um editor de estruturas de dispositivos. Pode ser utilizado para especificar ou modificar uma estrutura. Além disso, possui um módulo que permite a geração de grades em uma estrutura existente, assim como refinar estas grades ou mesmo desfazer o refinamento.

Permite modificar ou criar um dispositivo a partir de uma interface gráfica, bem como definir e modificar a dopagem através de funções analíticas.

Um modo especial do DevEdit suporta a definição e os pontos da grade para estruturas tridimensionais [13].

4.2.3 TonyPlot

É uma ferramenta de visualização. Suporta todos os modos normais de visualização de dados científicos, incluindo-se a representação gráfica nas coordenadas xy com eixos lineares e logarítmicos, assim como a representação gráfica da superfície e contornos do dispositivo em análise, contendo os respectivos textos e legendas.

Possibilita também animação, que permite visualizar uma seqüência de gráficos para mostrar soluções em função de algum parâmetro, o qual pode ser modificado mediante controle. Além disso, as estruturas, uma de suas faces, ou ainda uma seção transversal ao longo do eixo z podem girar continuamente, permitindo uma melhor compreensão na análise da estrutura física.

4.2.4 Definição dos modelos físicos utilizados na simulação do dispositivo.

Existe uma variedade de modelos físicos, que podem ser agrupados em cinco classes: mobilidade, recombinação, estatística para portadores, ionização por impacto e tunelamento e que devem ser selecionados em função da tecnologia adotada.

A combinação entre os modelos dependerá das características próprias, pois poderá haver incompatibilidade entre os modelos, impedindo a combinação entre eles [13].

Seguem os modelos e suas características, utilizados nas simulações dos dispositivos estudados.

AUGER	Modelo de recombinação: ocorre através da transição direta de três partículas, onde o portador é capturado ou emitido, é importante para altas densidades de corrente.
BGN	Modelo estatístico para portadores: Importante para regiões altamente dopadas.
CONMOB	Modelo de mobilidade: relaciona a dependência entre a mobilidade e a concentração de dopantes. Utilizado para temperatura de 300 K, somente em estruturas de (Si) silício e (GaAs) Arseneto de Gálio.
FERMI	Modelo estatístico para portadores: concentração reduzida de portadores em regiões fortemente dopadas.
NI.FERMI	Inclui o efeito de Fermi estatístico no cálculo da concentração intrínseca das expressões de recombinação de SRH.
FLDMOB	Modelo de mobilidade: relaciona a mobilidade com o campo elétrico paralelo, utilizado em estruturas de (Si) silício e (GaAs) Arseneto de Gálio. Requerido na modelagem do efeito da velocidade de saturação.
KLA	Modelo de mobilidade: (Klaassen Model) depende da temperatura da concentração intrínseca de portadores e concentração de dopagem. Separa a mobilidade dos portadores minoritários e majoritários. Deve ser utilizado como modelo de baixo campo elétrico na simulação de estruturas de silício. Recomendado para dispositivos com tecnologia SOI.
SRH	Modelo de mobilidade: (Shockley-Read-Hall), o tempo de vida dos portadores minoritários é definido. Utilizado na maioria das simulações.
IMPACT SELB	Modelo de Selberherr: Modelo de ionização por impacto é dependente do campo elétrico horizontal, suficientemente elevado, em um determinado ponto da estrutura. Inclui parâmetros dependentes da temperatura.

4.25 Definição da grade

A definição de uma boa grade ou matriz de pontos é um ponto crucial em simulações de dispositivos.

A precisão exige uma grade refinada, ou seja, com um maior número de pontos ou nós, que decomponha a estrutura em soluções numéricas mais próximas da solução real, enquanto que a eficiência numérica, o que significa menor tempo de simulação, se aplica a grade simples, ou seja, com pouca quantidade de pontos, ou nós [13].

Normalmente o tempo em que a CPU necessita para obter a solução é proporcional a N^{α}, sendo N o número de nós e α o número entre 2 e 3, conforme a complexidade do problema (modelos utilizados e equações a serem solucionadas). Portanto, o caminho mais eficiente é definir uma grade refinada nas áreas críticas e simples nas áreas restantes. [13]

Os três fatores mais importantes a serem observados em uma grade são: [13]

- Assegurar uma densidade de malha apropriada em áreas de alto campo elétrico, nas interfaces dos materiais.
- Evitar triângulos obtusos no caminho da corrente ou em áreas de alto campo elétrico.
- Evitar descontinuidade abrupta na densidade de malha, na região ativa de silício.

Todos os programas tridimensionais (3D) no Atlas, suportam estruturas prismáticas em 3D. Estas estruturas podem ter geometria arbitrária em duas dimensões, consistindo a terceira dimensão de múltiplas fatias.

Existem dois métodos para se criar uma estrutura 3D, a ser utilizada no simulador Atlas:

- Comandos por meio de sintaxe no Atlas.
- Por uma interface DevEdit .

Convencionalmente as fatias são construídas perpendicularmente ao eixo Z, ou seja, a grade é triangular nos eixos xy e retangular nos eixos xz e yz.

Para simulações 3D no Atlas, existe um limite no número de nós na grade, que é de 200.000 (duzentos mil) nós e não mais do que 20.000 (vinte mil) nós em qualquer plano no eixo z [13].

A memória virtual utilizada pelo programa dependerá do número de nós, dos modelos utilizados e do número de equações solucionadas, satisfazendo o critério de convergência [13].

5 DISPOSITIVOS UTILIZADOS E RESULTADOS

Neste capítulo serão abordados os métodos utilizados para obtenção dos parâmetros, as características dos dispositivos FinFET SOI de porta dupla, e os resultados obtidos.

5.1 Obtenção dos parâmetros

A obtenção dos parâmetros é fator relevante para o estudo do comportamento dos dispositivos, entre os quais podemos citar: a tensão de limiar (V_{TH}), a inclinação de sublimiar(S), a transcondutância (g_m) e a constante de efeito de corpo (γ). A seguir, serão descritos os métodos utilizados para obtenção dos parâmetros.

5.1.1 Tensão de limiar: Método da segunda derivada.

É obtido através da 2ª derivada da corrente de dreno, $\left(d^2 I_{DS} / dV_{GS}^{\ 2} \right)$, ou derivada da transcondutância [92, 93, 96], a partir da curva característica de I_{DS} x V_{GS}, e o valor de V_{TH} é o pico máximo para transistores nMOS e pico mínimo para pMOS, para valores baixos de tensão entre dreno e fonte (V_{DS}), tipicamente menor que 100 mV [94]. Este método pode ser utilizado em dispositivos MOS no modo Depleção [95]. No exemplo que segue para um transistor nMOS (Fig 5.1), V_{GS} varia de (0 a 1,0 V) com V_{DS} = 50 mV.

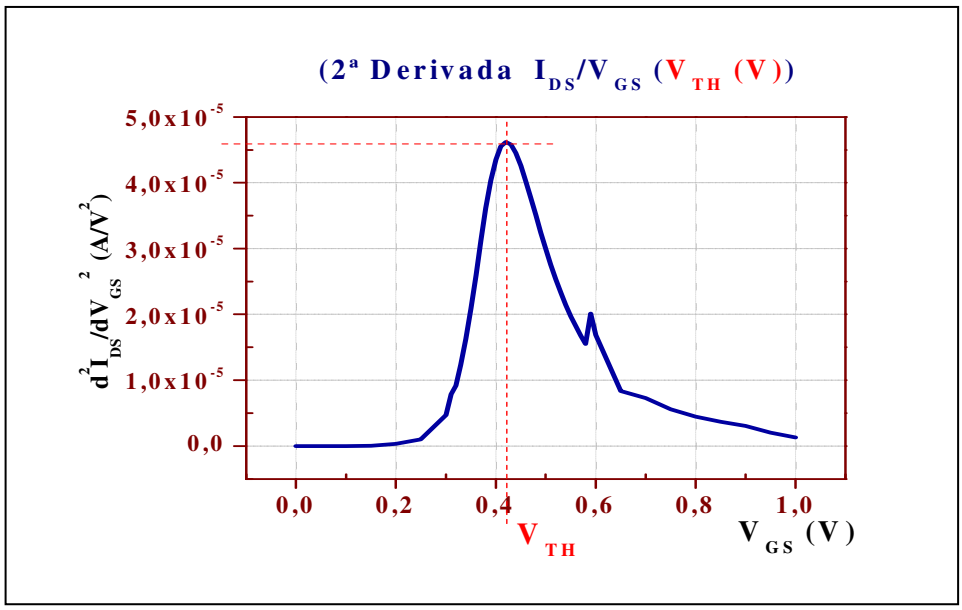


Fig. 5.1 – Curva característica da 2ª derivada da corrente de dreno, (d^2I_{DS}/dV_{GS}^2) em função da tensão de porta (V_{GS}), obtendo a tensão de limiar (V_{TH}) pelo pico máximo desta curva.

5.1.2 Inclinação de sublimiar: Método da extração pela curva I_{DS} x V_{GS}

Através da curva I_{DS} x V_{GS} com valor de V_{DS} baixo, tipicamente menor que 100 mV [94], para $V_{GS} < V_{TH,}$ pode-se obter o percentual de variação da corrente entre dreno e fonte (I_{DS}) em relação à tensão de porta (V_{GS}), na região de sublimiar [71, 96]. Nesta condição a corrente I_{DS} evidencia uma dependência exponencial de V_{GS}, pois a componente de difusão predomina em relação a componente de deriva [29].

Fazendo-se um gráfico monologarítmico de I_{DS} x $V_{GS,}$ pode-se obter a inclinação de sublimiar (S) por meio do inverso do coeficiente angular da curva resultante na região de sublimiar (Fig. 5.2) [71, 96]. Neste exemplo, V_{GS} varia de (0 a 1,6 V) com V_{DS} = 50 mV.

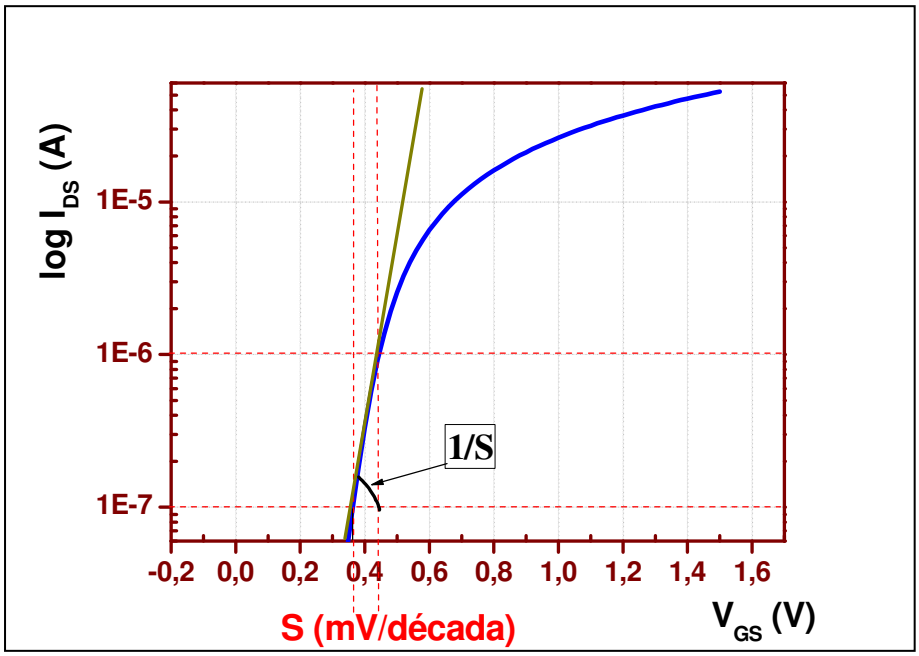


Fig 5.2 - Curva característica Log I_{DS} x V_{GS} para obtenção da inclinação de sublimiar (S)

5.1.3 Transcondutância: Método da derivada da curva I_{DS} x V_{GS}

Deve-se inicialmente, obter a curva característica de I_{DS} x $V_{GS,}$ fazendo-se a seguir a sua derivada [96]. O valor da transcondutância máxima ($g_{m\ max}$ (S)) será o pico máximo desta curva (Fig. 5.3) [78]. Neste exemplo, V_{GS} varia de (0 a 0,8 V) com V_{DS} = 50 mV.

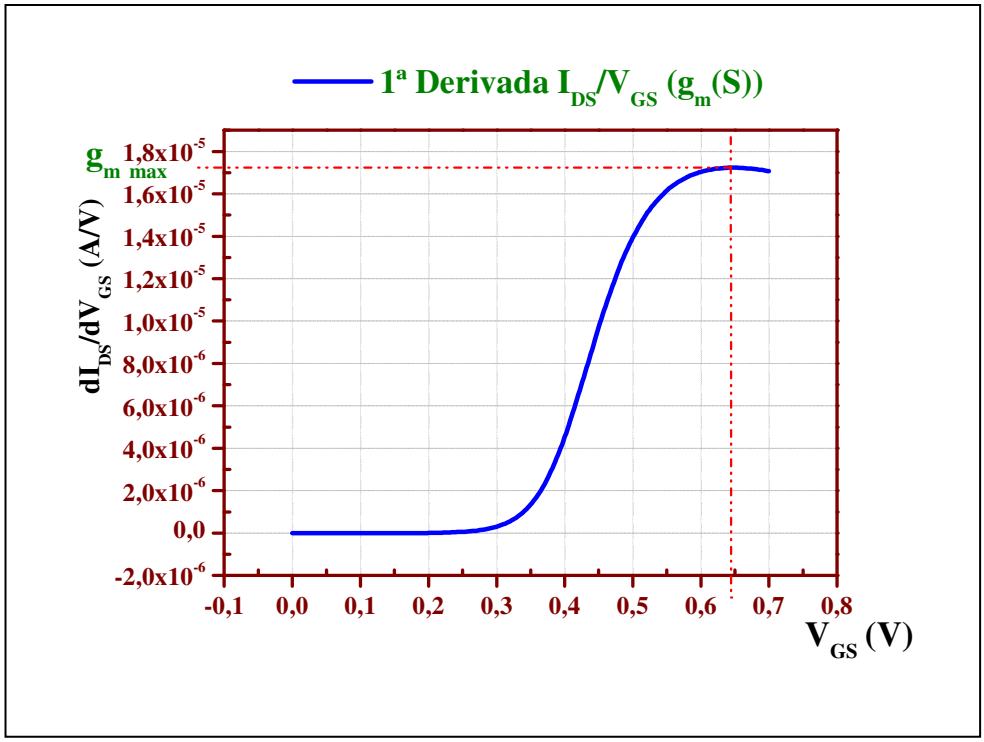


Fig. 5.3 - 1ª derivada da corrente de dreno (dI_{DS}/dV_{GS}) em função da tensão de porta (V_{GS}), obtendo-se a transcondutância ($g_{m\ máx}$) pelo pico máximo desta curva..

5.1.4 Constante de efeito de corpo (γ)

A constante de efeito de corpo indica a dependência entre a tensão de limiar e a polarização de substrato [71].

Em um transistor de substrato convencional canal n, NMOSFET a tensão de limiar é expressa por: [72]

$$V_{TH} = \Phi_{MS} + 2\Phi_F - \frac{Q_{ox}}{C_{ox}} + \frac{Q_b}{C_{ox}}$$

Onde:

a carga máxima induzida no silício é:

$$Q_b = \sqrt{2 \bullet \varepsilon_{si} \bullet q \bullet N_a \bullet (2\Phi_F - V_B)}$$

e a tensão de faixa plana é:

$$V_{FB} = \Phi_{MS} - \frac{Q_{ox}}{C_{ox}}$$

Se houver polarização reversa de substrato, a tensão de limiar pode ser expressa, como:

$$V_{TH} = V_{FB} + 2\Phi_F + \frac{\sqrt{2\varepsilon_{si} \bullet q \bullet N_a \bullet (2\Phi_F + |V_B|)}}{C_{ox}}$$

Onde a constante de efeito de corpo (γ) é:

$$\gamma = \frac{\sqrt{2\varepsilon_{si} \bullet q \bullet N_a}}{C_{ox}}$$

temos então:

$$V_{TH}(V_B) = V_{TH\,0} + \gamma \bullet \left(\sqrt{(2\Phi_F + |V_B|)} - \sqrt{2\Phi_F}\right)$$

$$V_{TH}(V_B) - V_{TH\,0} = \gamma \bullet \left(\sqrt{(2\Phi_F + |V_B|)} - \sqrt{2\Phi_F}\right)$$

O último termo da equação descreve a dependência da tensão de limiar com relação à polarização de substrato. Quanto menor for a constante de efeito de corpo (γ), menor será a variação da tensão de limiar com relação à polarização reversa de substrato, sendo este, portanto, um índice de mérito de uma dada tecnologia. Logo, quanto menor o valor de γ melhor será [71].

Para substratos uniformes, γ é uma constante, função da concentração de dopantes (N_a) e espessura da camada de óxido de porta no dispositivo (t_{ox}). Valores típicos da tecnologia MOS, (γ = 0,3 a 1,0 $V^{1/2}$). Para substratos não-uniformes, γ varia também com V_B [71].

Para obtenção desse parâmetro, faz-se a curva V_{TH} x $\sqrt{2\Phi_F + |V_B|}$, onde se obtém o coeficiente angular da curva (Fig.5.4) [71].

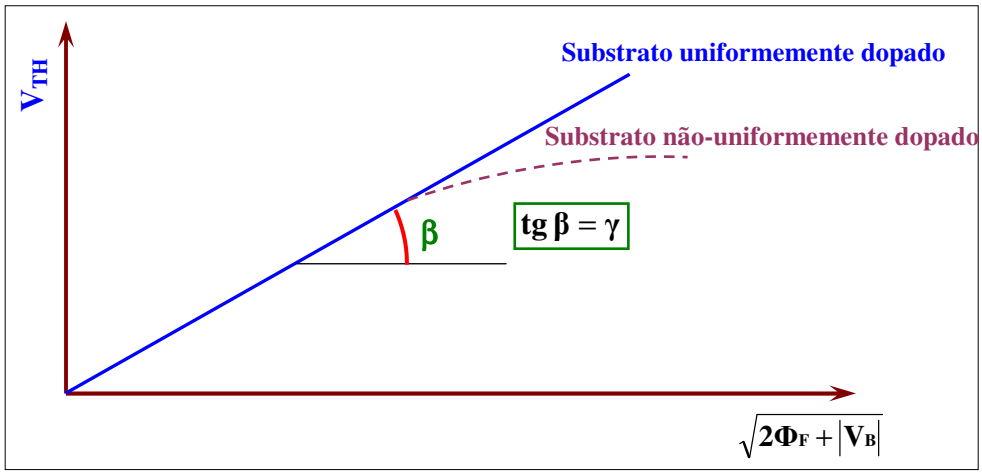


Fig. 5.4 - Curva V_{TH} em função de $\sqrt{2\Phi_F + |V_B|}$ para determinação da constante de efeito de corpo. [71]

5.2 Descrição do dispositivo

5.2.1 Dimensões, dopagem e polarização.

As estruturas físicas geradas para simulação do dispositivo FinFET SOI de canal n e porta dupla, representadas pelas figuras (Fig. 5.5 - Estrutura tridimensional do dispositivo) e (Fig. 5.6 - Seção transversal do dispositivo) tem as seguintes dimensões: Comprimento de canal (L_{Fin} = 500 nm), largura do corpo de silício (W_{Fin} = 30 nm, W_{Fin} = 70 nm e W_{Fin} = 200 nm), altura do corpo de silício (H_{Fin} = 70 nm), espessura do óxido de porta (t_{ox1} = 3 nm) e espessura do óxido enterrado (t_{ox2} = 0,1 µm). Material de porta tem função trabalho de 4,63 eV. Os valores adotados nas dimensões são baseados em literatura e artigos de estudo em FinFETs, e situam-se dentro dos valores utilizados nesses estudos [28, 10]. O valor de W_{Fin} de 200 nm foi adotado apenas como complemento de estudo uma vez que, para dispositivos reais não poderia ser desprezado o efeito da porta sobre o plano superior do transistor, mesmo para óxidos bem espessos.

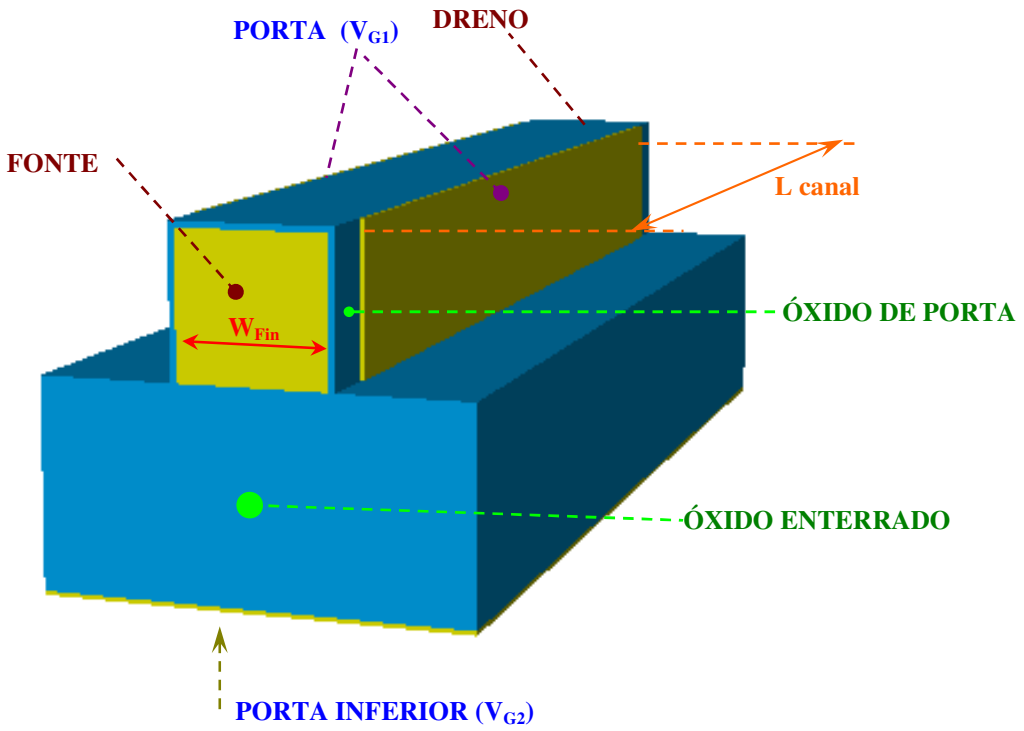


Fig. 5.5 - Estrutura tridimensional do dispositivo FinFET SOI de porta dupla com indicações da fonte, dreno, porta (V_{G1}), porta inferior (V_{G2}), óxido de porta, óxido enterrado, largura do corpo de silício (W_{Fin}) e comprimento de canal (L) .

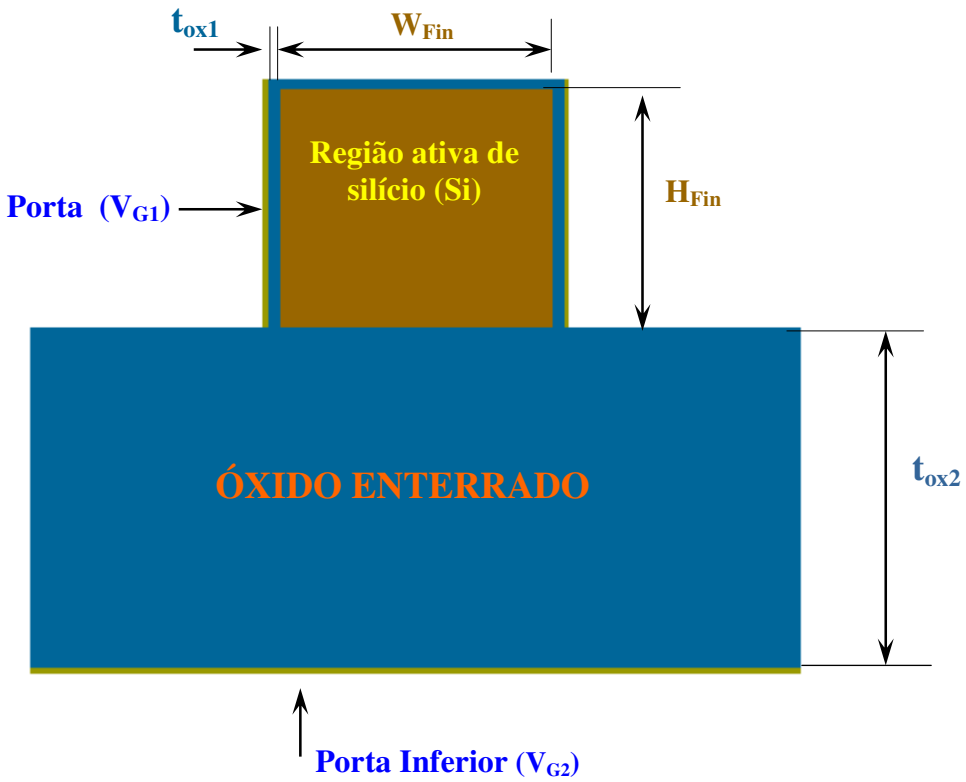


Fig. 5.6 - Seção transversal do dispositivo FinFET SOI de porta dupla com a indicação da altura do corpo de silício (H_{Fin}) , largura do corpo de silício (W_{Fin}), espessura do óxido de porta (t_{ox1}), espessura do óxido enterrado (t_{ox2}), porta (V_{G1}) e porta inferior (V_{G2}) .

Para o dispositivo com as dimensões W_{Fin} = 70 nm, H_{Fin} = 70 nm e L = 0,5 µm, a região ativa de silício tipo p (região de corpo) terá as seguintes concentrações de dopantes, a serem simuladas: 1e15 cm^{-3}; 1e16 cm^{-3}; 1e17 cm^{-3} e 5e17 cm^{-3}. Para o mesmo dispositivo, porém com a dimensão da largura do corpo de silício W_{Fin} = 30 nm e W_{Fin} = 200 (nm), a região ativa de silício terá as seguintes concentrações 1e15 cm^{-3} e 1e16 cm^{-3}. A finalidade em variar, seja a largura W_{Fin}, como a concentração de dopantes na região ativa de silício é verificar:

- O efeito de corpo, no comportamento da tensão de limiar (V_{TH}) em função da influência das portas laterais e da porta inferior na 2ª interface do dispositivo.
- Obter os cortes transversais das estruturas com as curvas isométricas de potencial, na 2ª interface, para o dispositivo com W_{Fin} = 30 nm na concentração 1e15 cm^{-3}, W_{Fin} = 70 nm nas concentrações 1e15 cm^{-3} e 1e17 cm^{-3} e W_{Fin} = 200 nm na concentração 1e15 cm^{-3}.

Segue tabela 5.1 indicando as dimensões do dispositivo, largura W_{Fin} e a concentração de dopantes N_a estudados.

Tabela 5.1 - Dimensões do dispositivo, largura W_{Fin} e concentrações de dopantes N_a estudados.

Dispositivo FinFET SOI **Dimensões (nm)**	**Largura** W_{Fin} **(nm)**	**Concentração de dopantes** N_a **(cm^{-3})**
70 x 70 x 500	**70**	**1e17**
70 x 70 x 500	**70**	**5e17**
70 x 70 x 500	**70**	**1e15**
70 x 70 x 500	**70**	**1e16**
30 x 70 x 500	**30**	**1e15**
30 x 70 x 500	**30**	**1e16**
200 x 70 x 500	**200**	**1e15**
200 x 70 x 500	**200**	**1e16**

As características de polarização serão as seguintes: tensão de fonte (V_S = 0 V); a diferença de potencial entre dreno e fonte (V_{DS} = 50 mV) que é a própria tensão de dreno (V_D), a diferença de potencial entre porta e fonte (V_{G1S}) variando de (0 a 1,5 V) que é a própria tensão de porta (V_{G1}).

As difusões N^+ fonte e dreno tem como concentração de dopantes: 1e21 cm^{-3}.

5.2.2 Definição da Grade

A definição da grade ou matriz de pontos é um ponto crucial em simulações de dispositivos. Devem procurar atender às condições de exatidão e eficiência numérica.

Seguem as seções transversal (Fig. 5.7) e longitudinal (Fig. 5.8) evidenciando a definição da grade na estrutura física gerada, através do arquivo de entrada. Na figura 5.7 - Seção transversal, são indicadas as interfaces óxido de porta e região ativa de silício (1ª interface) e região ativa de silício e óxido enterrado (2ª interface). Na figura 5.8 - Seção longitudinal, são indicadas a interface região ativa de silício e óxido enterrado, as junções de fonte e região ativa de silício, de dreno e região ativa de silício.

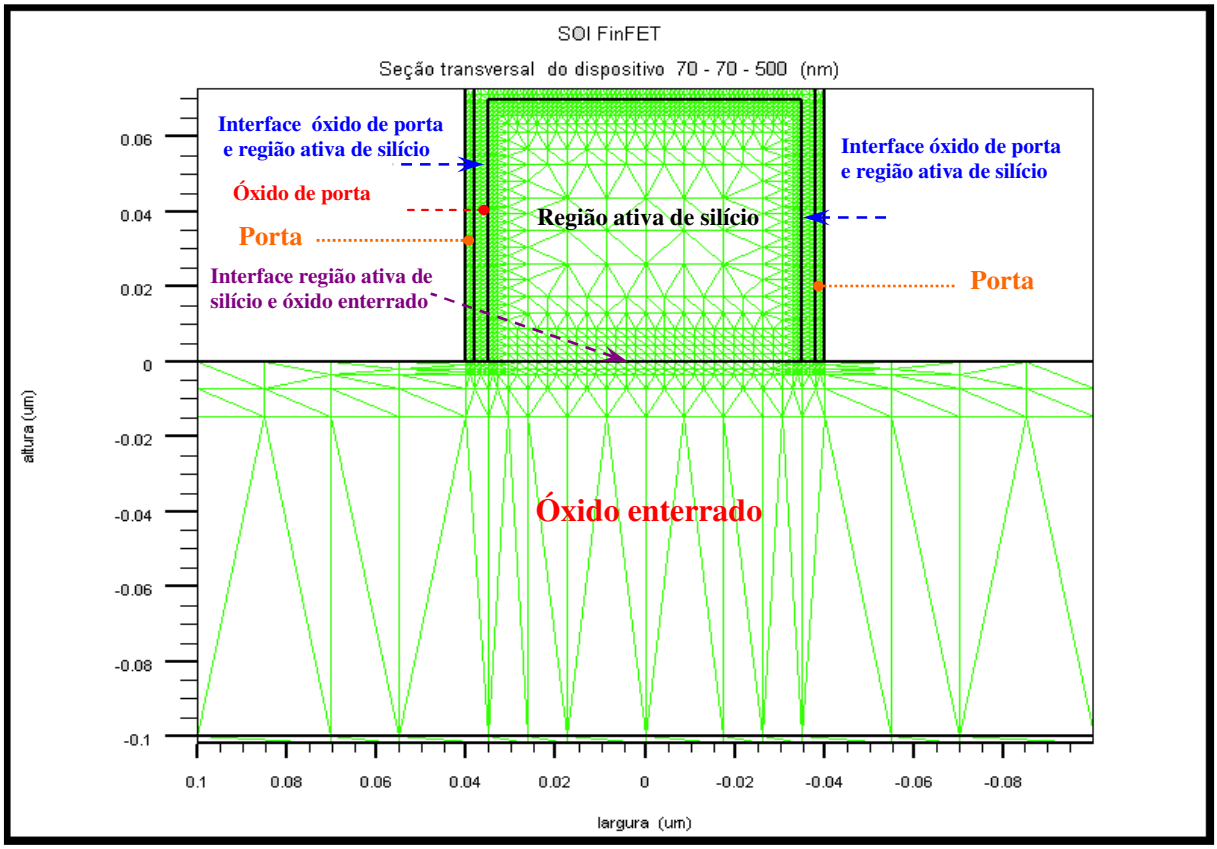


Fig. 5.7 - Seção transversal da estrutura, mostrando o detalhamento da grade nas regiões de interface óxido de porta e região ativa de silício e região ativa de silício e óxido enterrado.

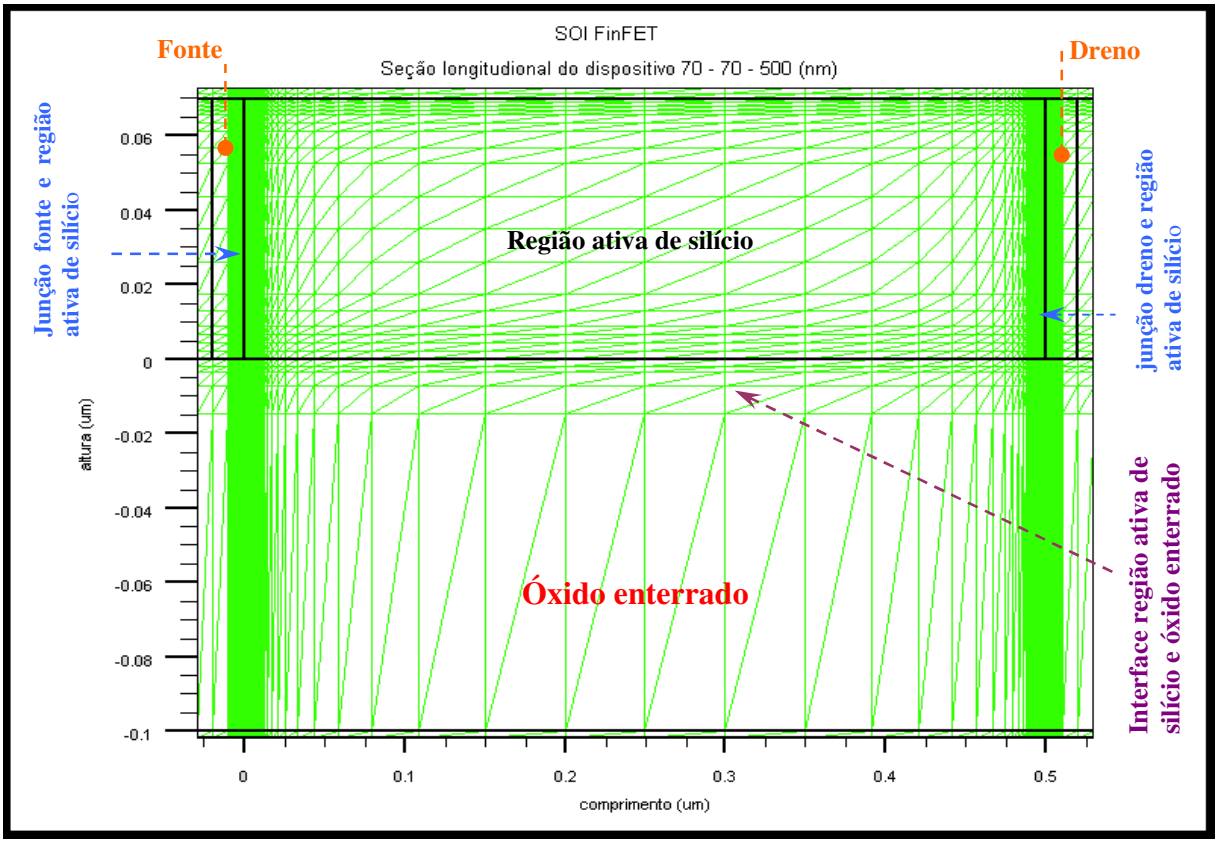


Fig. 5.8 - Seção longitudinal da estrutura, mostrando o detalhamento da grade nas regiões de interface região ativa de silício e óxido enterrado, junção dreno e região ativa de silício e junção fonte e região ativa de silício.

5.3 Resultados

Este trabalho tem como finalidade estudar a influência da polarização de substrato ou porta inferior sobre o dispositivo FinFET SOI. Como já definido no item 3.2 - Efeito de corpo, para dispositivos SOI é a dependência da tensão de limiar com relação à tensão de entrada aplicada no substrato (porta inferior) (V_{G2}) a qual também denominaremos como tensão de substrato (V_B). Isto significa que, para uma variação de polarização (ΔV_{G2}) na porta inferior teremos uma variação da tensão de limiar (ΔV_{TH}) na porta $\alpha = \left|\frac{\Delta V_{TH}}{\Delta V_{G2}}\right|$.

5.3.1 Procedimentos

A primeira etapa caracterizou-se pela simulação dos dispositivos para vários valores de tensão de porta inferior (V_{G2}), para obter-se uma família de curvas da corrente de dreno (I_{DS}) em função da tensão de porta (V_{G1}). Desse modo, através da 2ª derivada da corrente de dreno (I_{DS}) em função da tensão porta (V_{G1}) (d^2I_{DS}/dV_{G1}^2) que é a curva característica da tensão de limiar (V_{TH}), foi possível extrair os valores da tensão de limiar (V_{TH}) no pico máximo desta curva, para cada tensão de porta inferior (V_{G2}) aplicada.

Os valores inicialmente adotados de tensão de entrada na porta inferior V_{G2} foram os seguintes: tensões positivas (0, 5, 10, 15, 20 e 30 V) e negativas (0, -5, -10, -15, -20 e -30 V). Procurou-se identificar as regiões de inversão e acumulação, na 2ª interface, estando a 1ª interface em início de inversão.

Esses valores da tensão de limiar (V_{TH}) foram inicialmente obtidos, considerando-se um único portador (elétron), para o dispositivo com largura W_{Fin} = 70 nm e concentrações 1e17 cm^{-3} e 5e17 cm^{-3}, pelo fato da simulação ser mais rápida para um portador (elétron) do que para dois portadores (elétron e lacuna), permitindo uma análise antecipada dos resultados que poderiam ser obtidos com dois portadores, pois nesse caso há uma concentração significativa de lacunas na 2ª interface. Com base nos valores obtidos da tensão de limiar para dois portadores, observou-se que coincidem com os resultados obtidos para um portador (elétron) com a 2ª interface na região de inversão e quando o dispositivo está totalmente depletado e passam a diferir na região de acumulação.

Para as tensões negativas aplicadas na porta inferior, onde há a formação da região de acumulação, a tensão de limiar (V_{TH}) não permanece constante como em transistores planares SOI MOSFET, pois a 2ª interface não se encontrará totalmente acumulada, e nem há condições para isso, em decorrência das portas verticais interagirem nos cantos da superfície

na 2ª interface. Logo V_{TH} continuará aumentando com variações para mais e para menos em função da tensão de porta inferior (V_{G2}), porém de maneira bem menos acentuada, (se comparada com o dispositivo totalmente depletado).

A dependência da tensão de limiar com a concentração de impurezas aceitadoras (N_a) é tal que, para uma mesma dimensão do dispositivo e com maior concentração de dopantes a tensão de limiar é maior, isto devido à maior carga de depleção.

No que se refere à dependência da tensão de limiar com o aumento da largura W_{Fin} do dispositivo para uma mesma concentração de dopantes N_a, a mesma também aumentará em decorrência da maior influência da polarização de substrato ou porta inferior $V_{G2.}$ Em função de uma menor densidade de linhas de campo provenientes do lado inferior das portas laterais que controlam o potencial de superfície da 2ª interface e que se propagam em direção à região ativa de silício e ao óxido enterrado, também pelo fato do acoplamento entre as portas laterais estar mais fraco.

Como resultado tem-se que para dimensões menores de W_{Fin} com concentrações menores de dopantes (N_a), a variação da tensão de limiar será menor.

Pode-se ter uma idéia do comportamento, de V_{TH} em função de V_{G2}, no estudo realizado em FinFETs SOI de porta tripla [10].

Observou-se durante as simulações que para FinFETs de porta dupla:

- À medida que diminuímos a tensão de porta inferior (V_{G2}), menores devem ser os incrementos em V_{G2} adotados para a sua obtenção e ainda menores devem ser os incrementos em V_{G1}, para que haja convergência na simulação. Para o caso das tensões positivas aplicadas na porta inferior, a dificuldade é menor, não havendo necessidade de uma redução tão acentuada nos incrementos adotados para polarização. Para um dispositivo de determinada largura, à medida que aumentamos a concentração de dopantes, mais dificultosa será a convergência para tensões negativas ou positivas aplicadas na porta inferior (V_{G2}). Se a largura for maior, maiores serão as dificuldades existentes para a solução das equações pelo simulador Atlas.

Deve-se ressaltar que este estudo foi iniciado com o dispositivo de dimensões 70 x 70 x 500 nm e concentrações de dopantes N_a igual a 1e17 cm^{-3} e 5e17 cm^{-3}, para o qual foram obtidas também as curvas características da corrente de dreno (I_{DS}) em função da tensão de dreno (V_{DS}).

5.3.2 Obtenção dos valores de V_{TH} para o dispositivo com W_{Fin} (70 nm).

5.3.2.1 Dispositivo FinFET SOI com dimensões 70 x 70 x 500 (nm) e concentração $N_a = 1e17cm^{-3}$.

As curvas características da corrente de dreno em função da tensão de porta $I_{DS}(V_{G1})$ obtidas nas simulações são apresentadas na figura 5.10. Os comportamentos da 1ª derivada da corrente de dreno em função da tensão de porta $(dI_{DS}/dV_{G1})(V_{G1})$ e 2ª derivada da corrente de dreno em função da tensão de porta $(d^2I_{DS}/dV_{G1}^2)(V_{G1})$, com polarizações positivas e negativas de porta inferior (V_{G2}) e V_{DS} = 0,05V, são apresentadas nas figuras 5.11 e 5.12.
A indicação da seta nas curvas será sempre do menor valor para o maior valor (extremidade com a ponta).

- Curvas características de $I_{DS}(V_{G1})$, 1ª derivada $(dI_{DS}/dV_{G1})(V_{G1})$ e 2ª derivada $(d^2I_{DS}/dV_{G1}^2)(V_{G1})$ com valores de V_{G2} positivos e negativos.

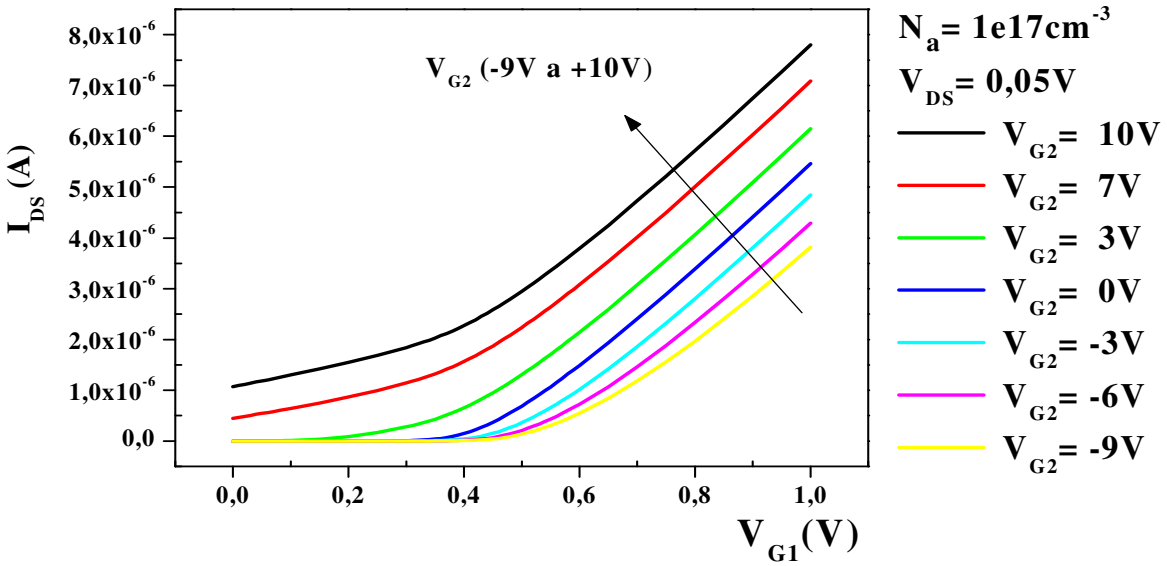


Fig. 5.10 - Curvas características de $I_{DS}(V_{G1})$ no dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.

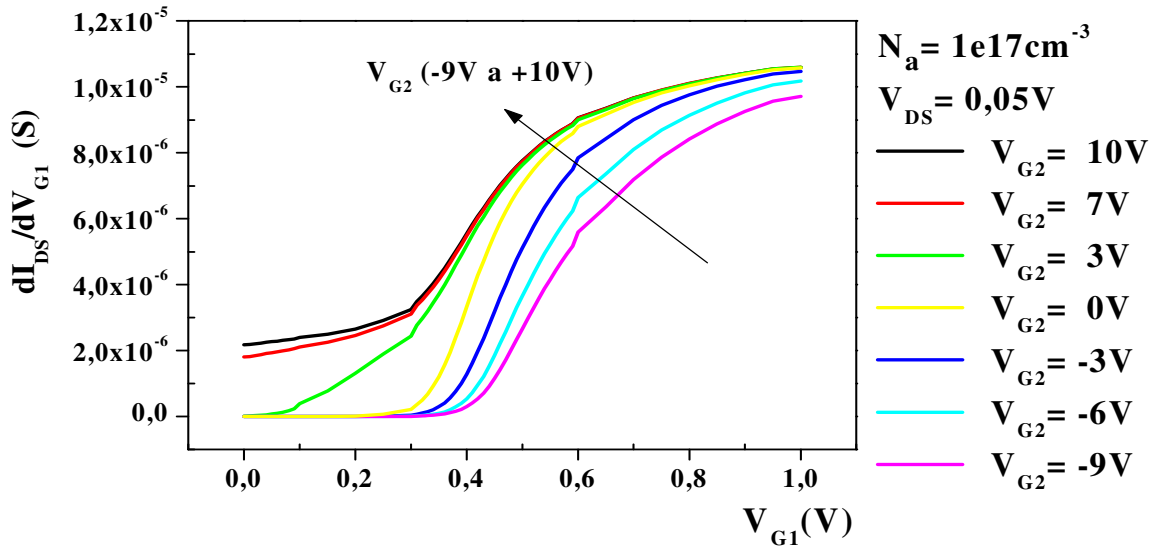


Fig. 5.11 - Curvas características da 1ª derivada da corrente de dreno I_{DS}/V_{G1} em função de (V_{G1}) para obtenção da transcondutância (g_m), no dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.

Pode-se observar o comportamento similar da curva característica da 1ª derivada de $dI_{DS}/dV_{G1}(V_{G1})$ acima (Fig. 5.11), obtida por meio das simulações, com a referência figura 5.12 a seguir, item 3.4 – Transcondutância, para dispositivos planares SOI MOSFET.

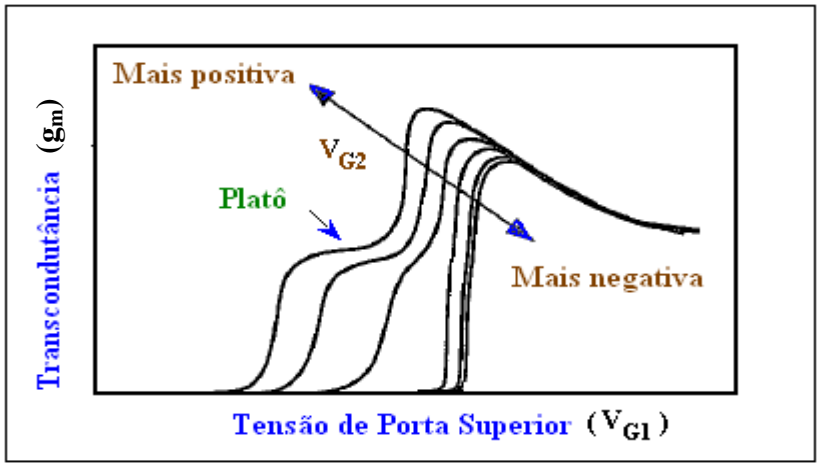


Fig. 5.12 - Transcondutância de um dispositivo SOI MOSFET totalmente depletado de canal n, para diferentes valores de tensão de porta inferior. [2]

Com valores de tensão mais positivos, na porta inferior (V_{G2}) do dispositivo, tem-se a formação mais acentuada de um platô, enquanto que para potenciais mais negativos, isto não ocorre.

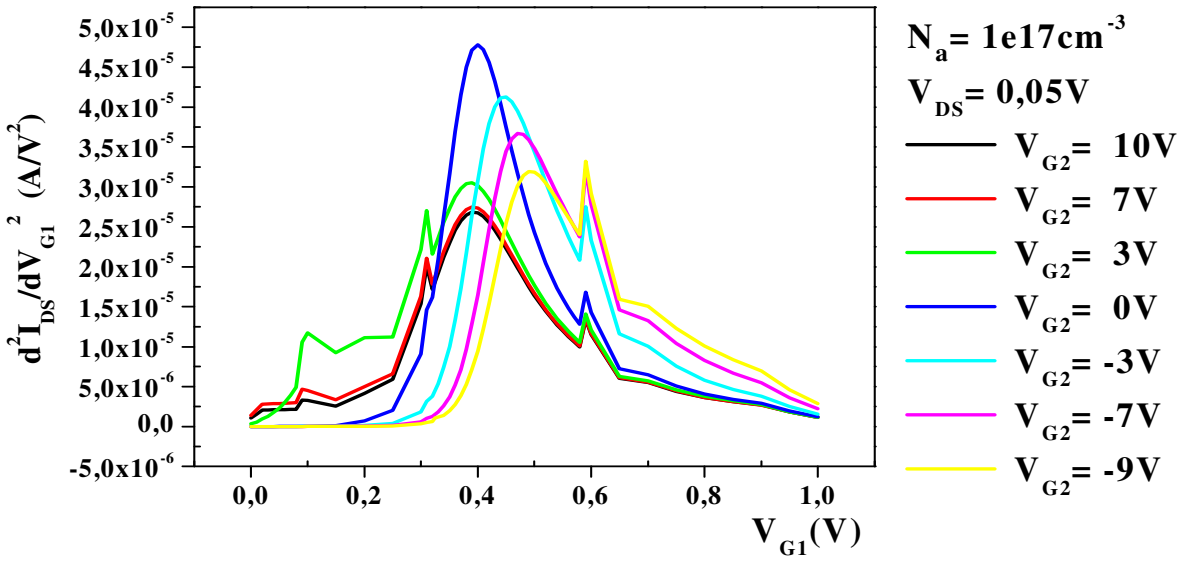


Fig. 5.13 - Curvas características da 2ª derivada da corrente de dreno I_{DS}/V_{G1} em função de (V_{G1}) para obtenção da tensão de limiar (V_{TH}), no dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V .

- Determinação da região de inversão nos cantos do dispositivo e que resultam nos picos de tensão nas curvas características de $V_{TH}(V_{G1})$.

Para este dispositivo de dimensões 70 x 70 x 500 nm e concentração de 1e17 cm^{-3} foram definidos alguns procedimentos, também válidos para as concentrações 5e17 cm^{-3}, 1e15 cm^{-3} e 1e16 cm^{-3} e para as outras dimensões de W_{Fin} nas suas respectivas concentrações de dopantes, como é o caso do processo de determinação da região de inversão nos cantos do dispositivo e que resultam nos picos de tensão nas curvas características de $V_{TH}(V_{G1})$. Fez-se o corte transversal da estrutura (plano xy, na região mediana do eixo z), com as curvas isométricas de concentração de portadores e comparou-se a concentração de elétrons com a concentração de dopantes N_a, na região obtida mediante corte longitudinal na 2ª interface, para a largura W_{Fin} (para observação dos cantos inferiores) e na interface óxido de topo e região ativa de silício (para observação dos cantos superiores).

Observa-se nas curvas de V_{TH} figura 5.13, picos situados à direita e à esquerda do valor máximo da curva. Com valores positivos de V_{G2}, estes ocorrem nos dois lados do valor máximo da curva (V_{TH}) apresentando uma pequena variação na amplitude, enquanto que para valores negativos de V_{G2}, estes picos se localizam à direita do valor máximo da curva (V_{TH}) e

apresentam uma variação maior na sua amplitude, conforme V_{G2} seja mais negativo. No caso de V_{G2} positivo, estes picos se localizam num mesmo ponto à esquerda, cujo potencial V_{G1} é 0,31V e num mesmo ponto à direita, cujo potencial V_{G1} é 0,59V, no caso de V_{G2} negativo, estes picos também se localizam no mesmo ponto à direta, cujo potencial V_{G1} é 0,59V. Trata-se da interferência dos cantos da estrutura, como abordado no item 2.3.6 gerando prematuramente nos mesmos uma região de inversão, em relação ao restante da 1ª interface.

Vale salientar que as estruturas físicas geradas para simulação numérica tridimensional do dispositivo FinFET SOI, foram definidas com os cantos perpendiculares entre si, o que difere dos dispositivos fabricados, que apresentam um certo grau de arredondamento nos cantos em decorrência do processo de fabricação.

Seguem as figuras do corte transversal da estrutura com as curvas isométricas da concentração de portadores, evidenciando a concentração de elétrons nos cantos da região ativa de silício do dispositivo e das curvas comparativas da concentração de dopantes com a concentração de elétrons nos cantos superiores e inferiores evidenciando as regiões de inversão para o exemplo com V_{G2} = 1,0 V na tensão onde ocorre o pico (V_{G1} = 0,31V) (Figs 5.14, 5.15 e 5.16).

As linhas de corte adotadas para a figura 5.15 e 5.16, foram feitas na superfície da interface região ativa de silício e óxido enterrado (2ª interface) (para os cantos inferiores) e da interface região ativa de silício e óxido de topo (para os cantos superiores), com largura W_{Fin} = 70 nm.

- **Para V_{G2} = 1 V e V_{G1} = 0,31 V.**

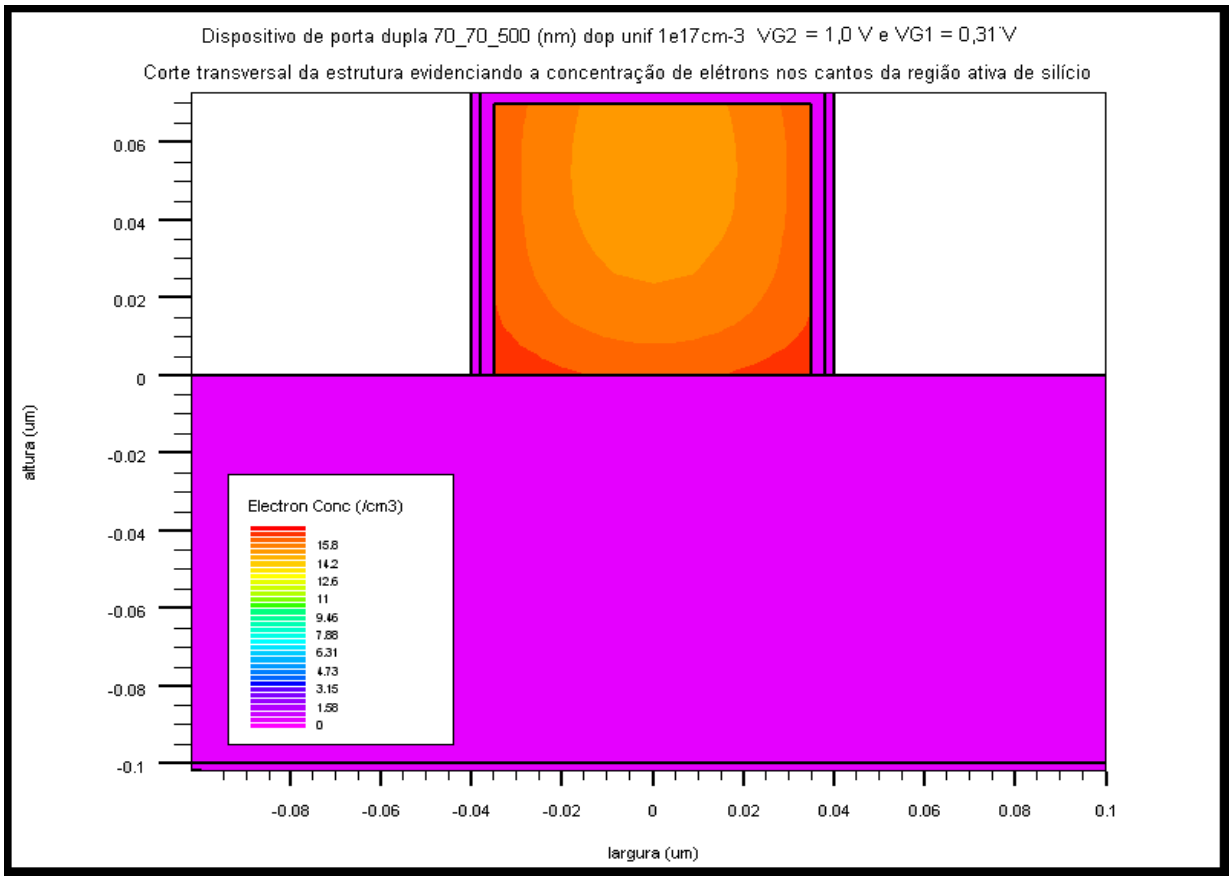


Fig. 5.14 - Corte transversal da estrutura, evidenciando a concentração de elétrons nos cantos, na região ativa de silício. Com V_{G2} = 1,0 V, V_{G1} = 0,31V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.

Na figura 5.14, tem-se a distribuição de elétrons na região ativa de silício, observa-se uma concentração mais acentuada de cargas (elétrons) nos cantos inferiores do que nos cantos superiores.

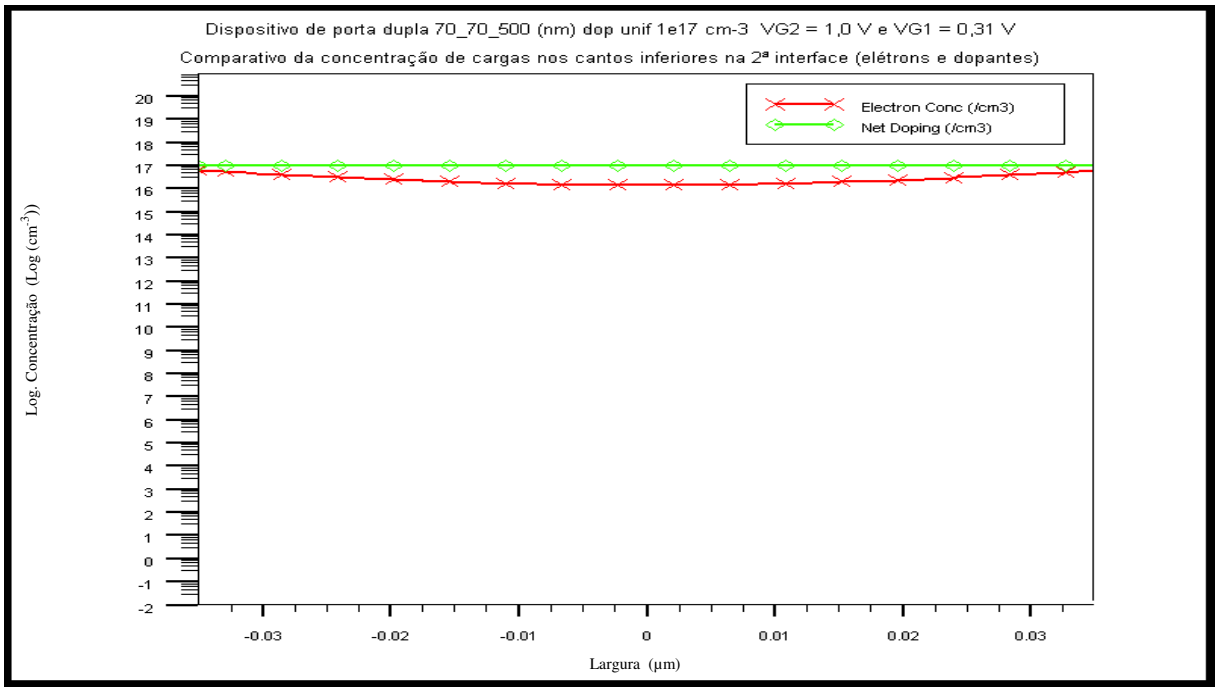


Fig. 5.15 - Comparativo da concentração de dopantes com a concentração de elétrons nos cantos inferiores. Com V_{G2} = 1,0 V, V_{G1} = 0,31V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.

Na figura 5.15, relativa ao comparativo de concentração de cargas entre elétrons e dopantes nos cantos inferiores, para a condição V_{G2} = 1,0 V e V_{G1} = 0,31 V observa-se que a inversão dos cantos inferiores na (2ª interface) esta próxima de ocorrer nas extremidades (cantos direito e esquerdo) do dispositivo.

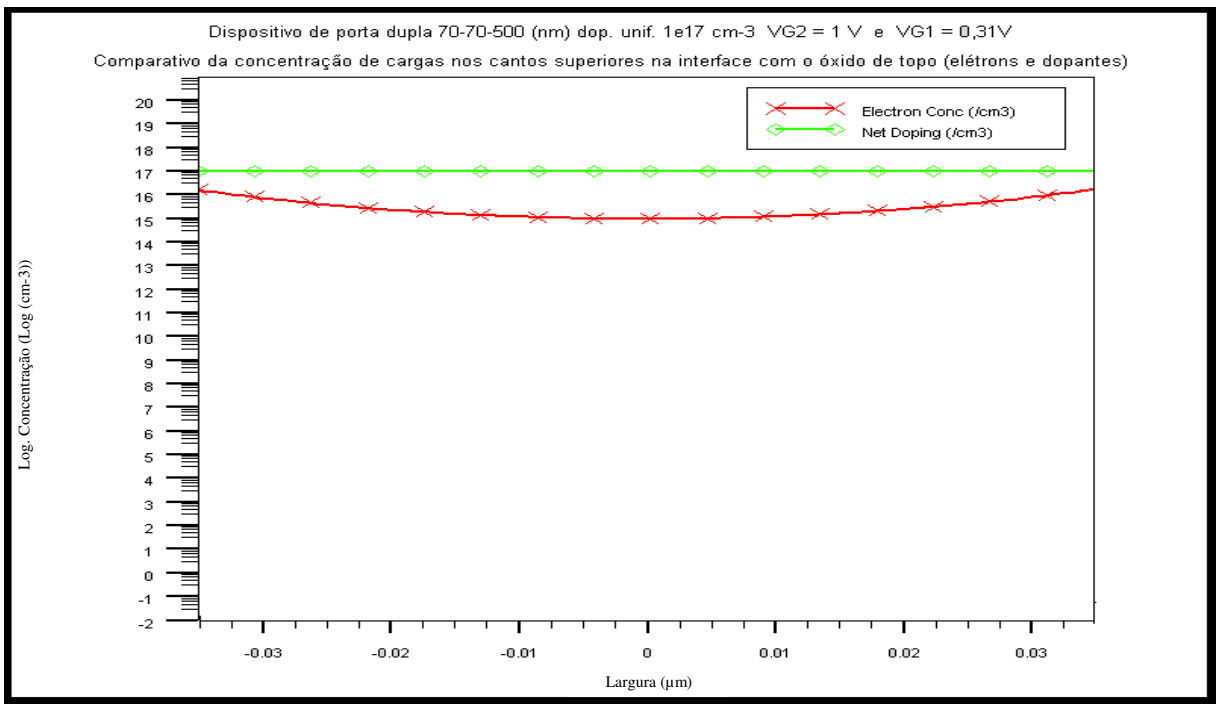


Fig. 5.16 - Comparativo da concentração de dopantes com a concentração de elétrons nos cantos superiores. Com V_{G2} = 1,0 V, V_{G1} = 0,31V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.

Na figura 5.16, relativa ao comparativo de concentração de cargas entre elétrons e dopantes nos cantos superiores, para a condição V_{G2} = 1,0 V e V_{G1} = 0,31 V observa-se que a inversão dos cantos superiores na interface limite superior da região ativa de silício é inexistente, devido a menor concentração de elétrons em relação à concentração de dopantes 1e17 cm^{-3}.

Seguem as figuras do corte transversal da estrutura com as curvas isométricas da concentração de portadores, evidenciando a concentração de elétrons nos cantos da região ativa de silício do dispositivo e das curvas comparativas da concentração de dopantes com a concentração de elétrons nos cantos superiores e inferiores evidenciando as regiões de inversão para o exemplo com V_{G2} = 1,0 V na tensão de limiar (V_{G1} = V_{TH} = 0,37 V) (Fig 5.17, Fig. 5.18 e Fig. 5.19).

As linhas de corte adotadas para as figuras 5.18 e 5.19, foram feitas na superfície da (2ª interface) (para os cantos inferiores) e da interface região ativa de silício e óxido de topo (para os cantos superiores), com largura W_{Fin} = 70 nm.

- **Para V_{G2} = 1 V e V_{TH} = 0,37 V.**

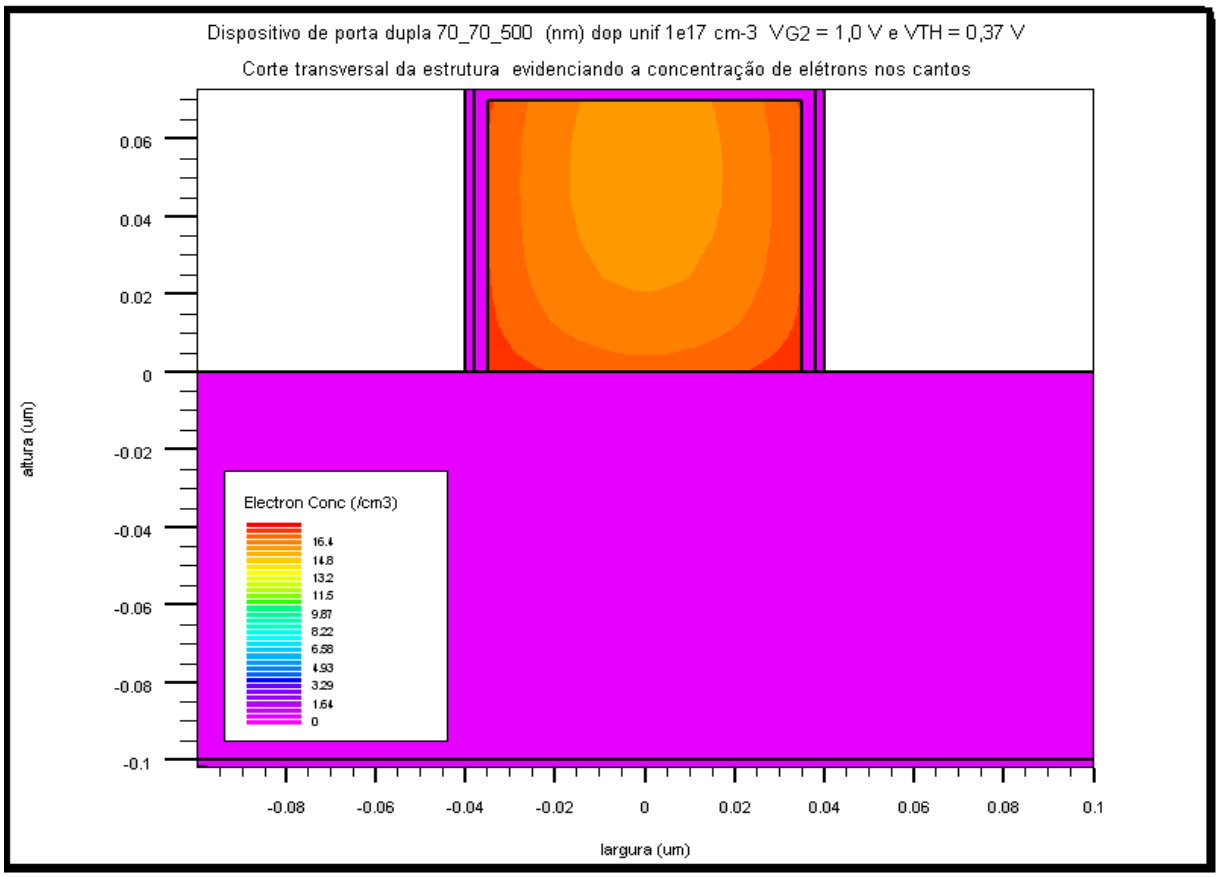


Fig. 5.17 - Corte transversal da estrutura, evidenciando a concentração de elétrons nos cantos, na região ativa de silício. Com V_{G2} = 1,0 V, V_{TH} = 0,37V e V_{DS} = 0,05 V, para o dispositivo Fin FET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.

Na figura 5.17, tem-se a distribuição de elétrons na região ativa de silício, observa-se um aumento na concentração destas cargas nos cantos inferiores e superiores, em relação à estrutura precedente figura 5.14. Há uma concentração mais acentuada das cargas (elétrons) nos cantos inferiores do que nos cantos superiores.

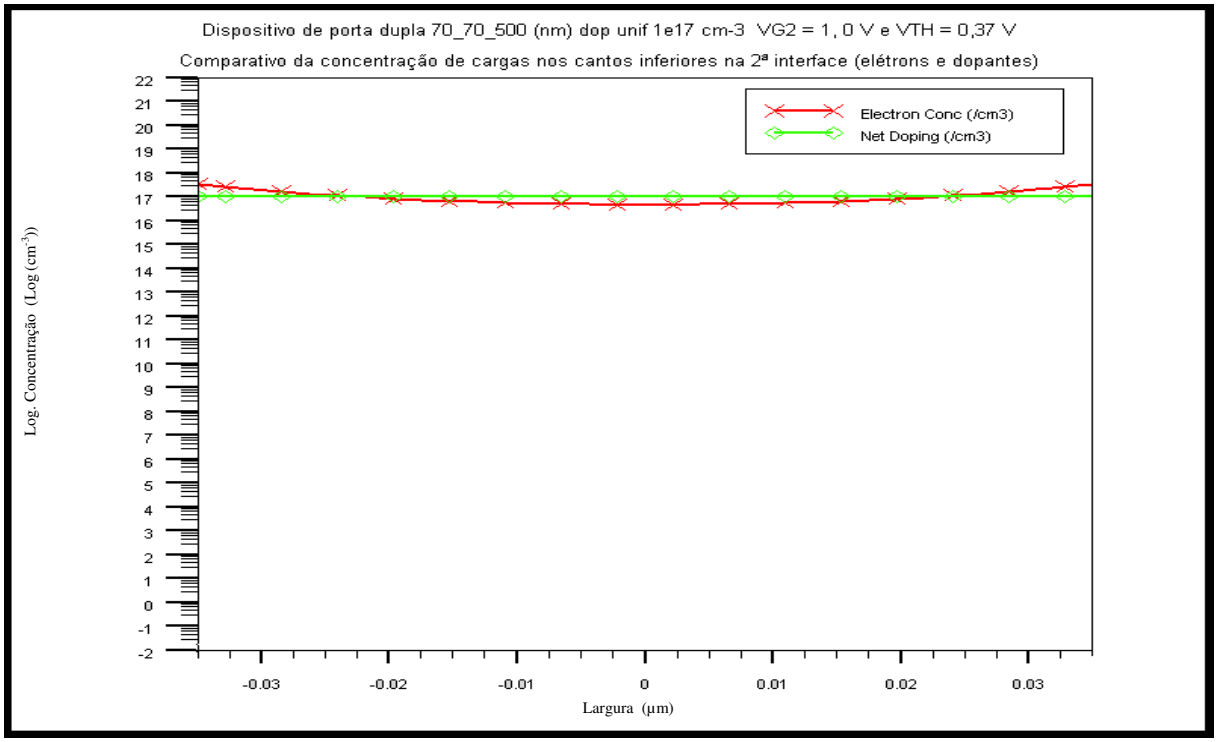


Fig. 5.18 - Comparativo da concentração de dopantes com a concentração de elétrons nos cantos inferiores na 2ª interface. Com V_{G2} = 1,0 V, V_{TH} = 0,37 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.

Na figura 5.18, relativa ao comparativo de concentração de cargas entre elétrons e dopantes nos cantos inferiores, à medida que V_{G1} aumenta para a condição V_{G2} = 1,0 V e $V_{G1} = V_{TH}$ = 0,37 V observa-se que a inversão dos cantos inferiores na interface região ativa de silício e óxido enterrado (2ª interface) aumenta e avança em direção ao centro da 2ª interface do dispositivo.

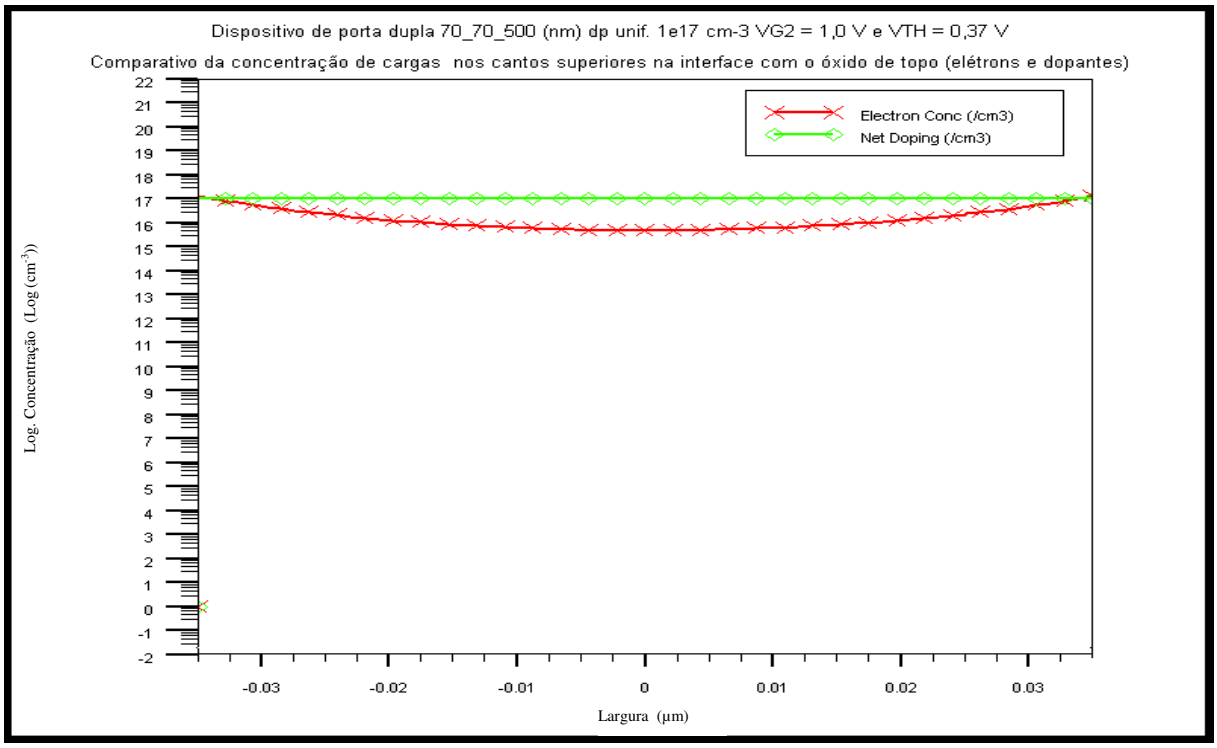


Fig. 5.19 - Comparativo da concentração de dopantes com a concentração de elétrons nos cantos superiores na interface com o óxido de topo. Com V_{G2} = 1,0 V, V_{TH} = 0,37 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.

Na figura 5.19, relativa ao comparativo de concentração de cargas entre elétrons e dopantes nos cantos superiores, para a condição V_{G2} = 1,0 V e V_{G1} = V_{TH} = 0,37 V observa-se que a inversão dos cantos superiores na interface limite superior da região ativa de silício, também ocorre nas suas extremidades, de maneira reduzida. Como neste caso, para V_{G2} = 1,0 V e V_{G1} = V_{TH} = 0,37 V, a interface sob a porta já se apresenta em inicio de inversão, resulta uma única tensão de limiar.

Seguem as figuras do corte transversal da estrutura com as curvas isométricas da concentração de portadores, evidenciando a concentração de elétrons nos cantos da região ativa de silício do dispositivo e das curvas comparativas da concentração de dopantes com a concentração de elétrons nos cantos superiores e inferiores evidenciando as regiões de inversão para o exemplo com V_{G2} = 1,0 V na tensão onde ocorre o pico (V_{G1} = 0,59V) (Fig. 5.20, Fig. 5.21 e Fig. 5. 22).

As linhas de corte adotadas para as figuras 5.21 e 5.22, foram feitas na superfície da interface região ativa de silício e óxido enterrado (2ª interface) (para os cantos inferiores) e da interface região ativa de silício e óxido de topo (para os cantos superiores), com largura W_{Fin} = 70 nm.

- **Para V_{G2} = 1 e V_{G1} = 0,59V**

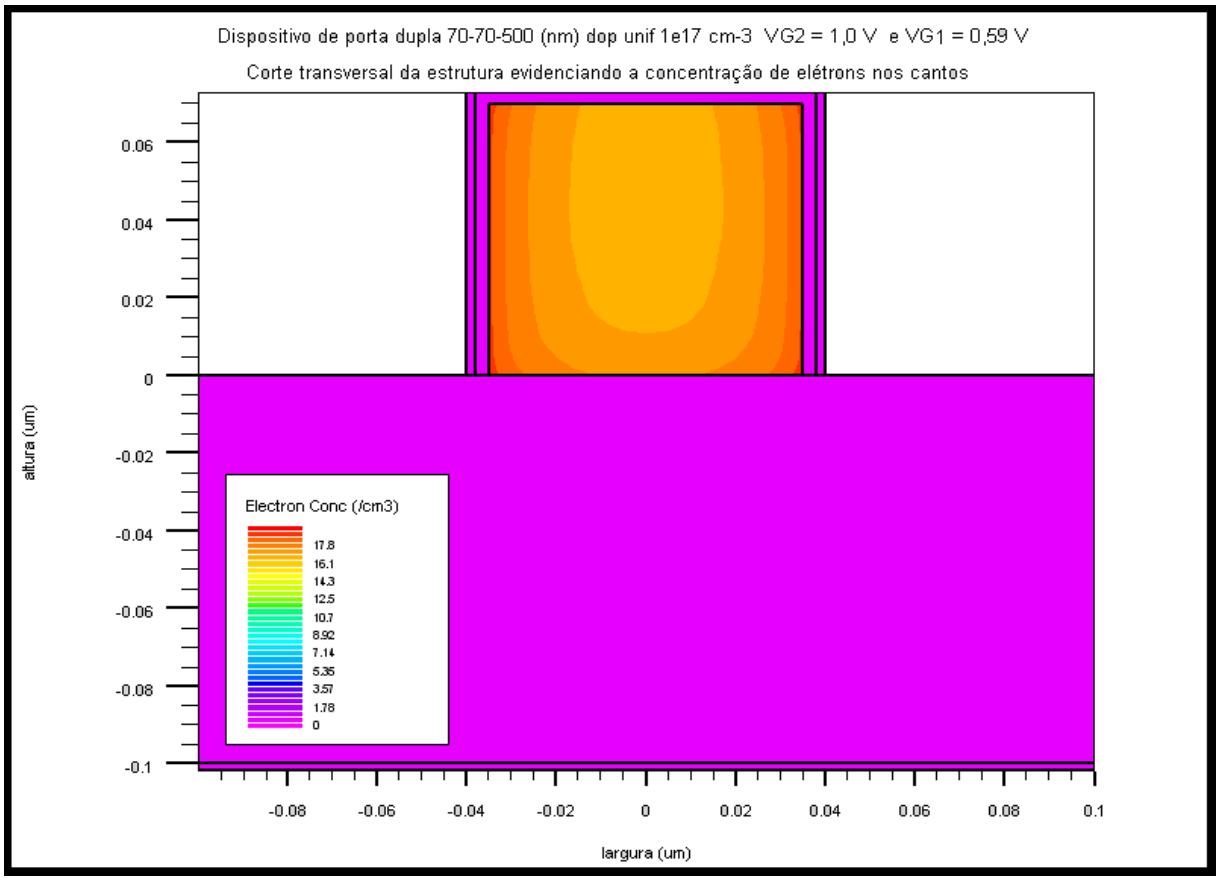


Fig. 5.20 - Corte transversal da estrutura, evidenciando a concentração de elétrons nos cantos, na região ativa de silício. Com V_{G2} = 1,0 V, V_{G1} = 0,59 V e V_{DS} = 0,05 V, para o dispositivo Fin FET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.

Na estrutura da figura 5.20, tem-se a distribuição de elétrons na região ativa de silício, observa-se um aumento mais acentuado na concentração das cargas nos cantos inferiores e superiores, em relação à estrutura precedente figura 5.17. Nesta estrutura há uma concentração de cargas (elétrons) nos cantos inferiores, similar a concentração dos cantos superiores, resultante da maior influência da porta (portas laterais) pela elevação da tensão de entrada V_{G1}.

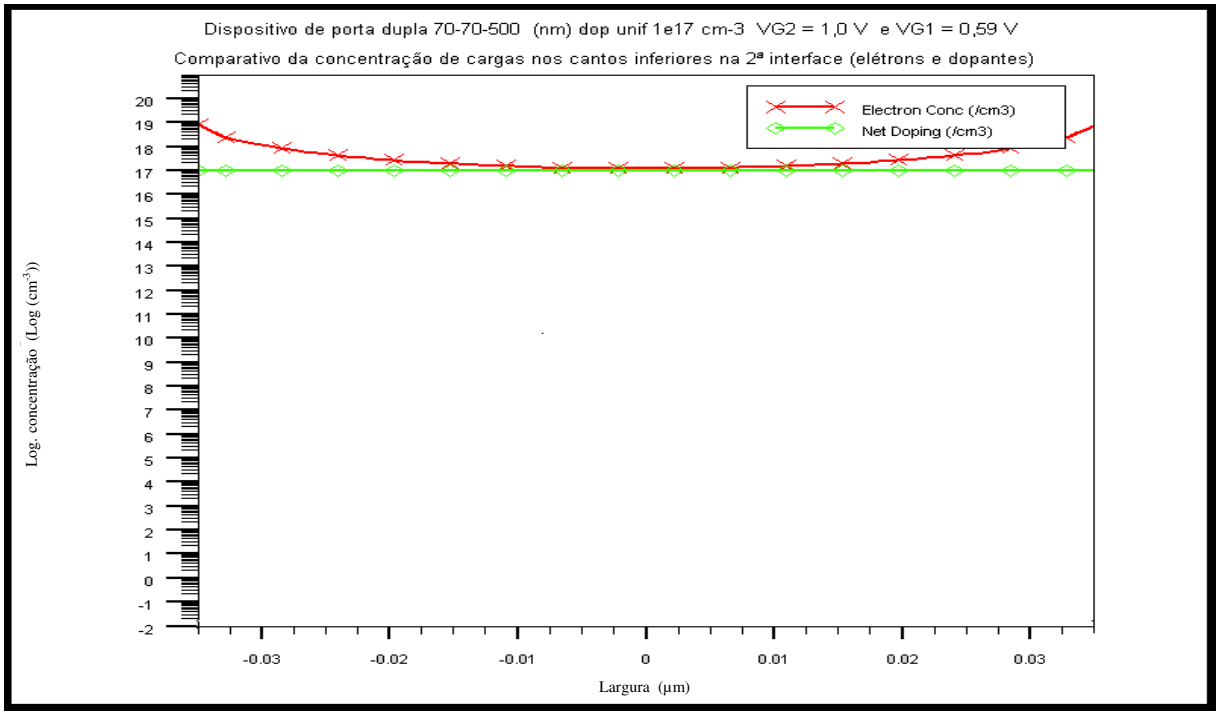


Fig. 5.21 - Comparativo da concentração de dopantes com a concentração de elétrons nos cantos inferiores na 2ª interface. Com V_{G2} = 1,0 V, V_{G1} = 0,59 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.

Na figura 5.21, relativa ao comparativo de concentração de cargas entre elétrons e dopantes nos cantos inferiores, para a condição V_{G2} = 1,0 V e V_{G1} = 0,59 V observa-se que a inversão dos cantos inferiores na (2ª interface) é mais acentuada, além disso pode-se observar que a 2ª interface está praticamente invertida.

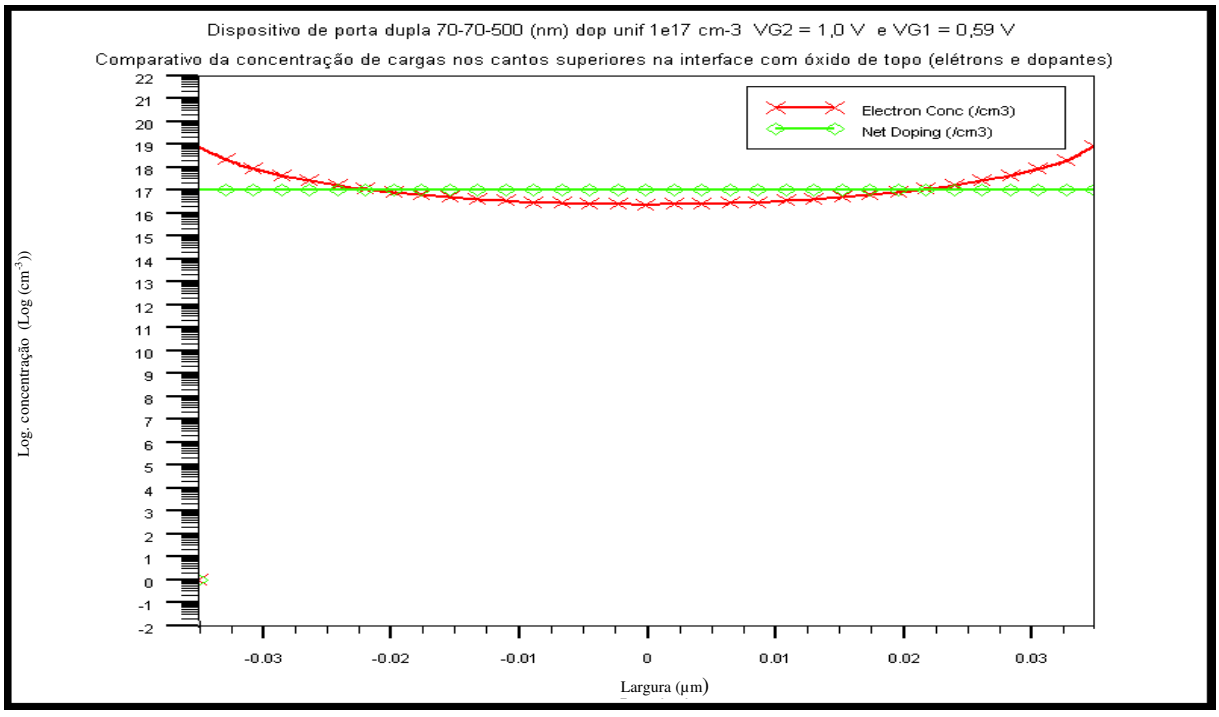


Fig. 5.22 - Comparativo da concentração de dopantes com a concentração de elétrons nos cantos superiores na inteface com o óxido de topo. Com V_{G2} = 1,0 V, V_{G1} = 0,59 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.

Na figura 5.22, relativa ao comparativo de concentração de cargas entre elétrons e dopantes nos cantos superiores, para a condição V_{G2} = 1,0 V e V_{G1} = 0,59 V observa-se que a inversão dos cantos superiores na interface limite superior da região ativa de silício, é também mais acentuada, apresentando em termos de concentração (nas extremidades) valores bastante próximos aos dos cantos inferiores. Essa inversão prematura nos cantos em relação à superfície sob a porta (laterais) possibilitará o aparecimento de uma tensão de limiar específica e diferente da tensão de limiar na interface sob a porta, cuja amplitude dependerá da máxima largura da região de depleção.

Seguem as figuras do corte transversal da estrutura com as curvas isométricas de concentração de portadores, evidenciando a concentração de elétrons nos cantos da região ativa de silício do dispositivo e das curvas comparativas da concentração de dopantes com a concentração de elétrons nos cantos superiores e inferiores evidenciando as regiões de inversão para o exemplo com V_{G2} = -9 V na tensão onde ocorre o pico (V_{G1} = 0,59 V) (Fig. 5.23 e Fig. 5.243 e 5.25).

As linhas de corte adotadas para figura 5.23, foram feitos na superfície da interface região ativa de silício e óxido enterrado (2ª interface) (para os cantos inferiores) e da interface região ativa de silício e óxido de topo (para os cantos superiores), com largura W_{Fin} = 70 nm.

- **Para V_{G2} = - 9 V e V_{G1} = 0,59V**

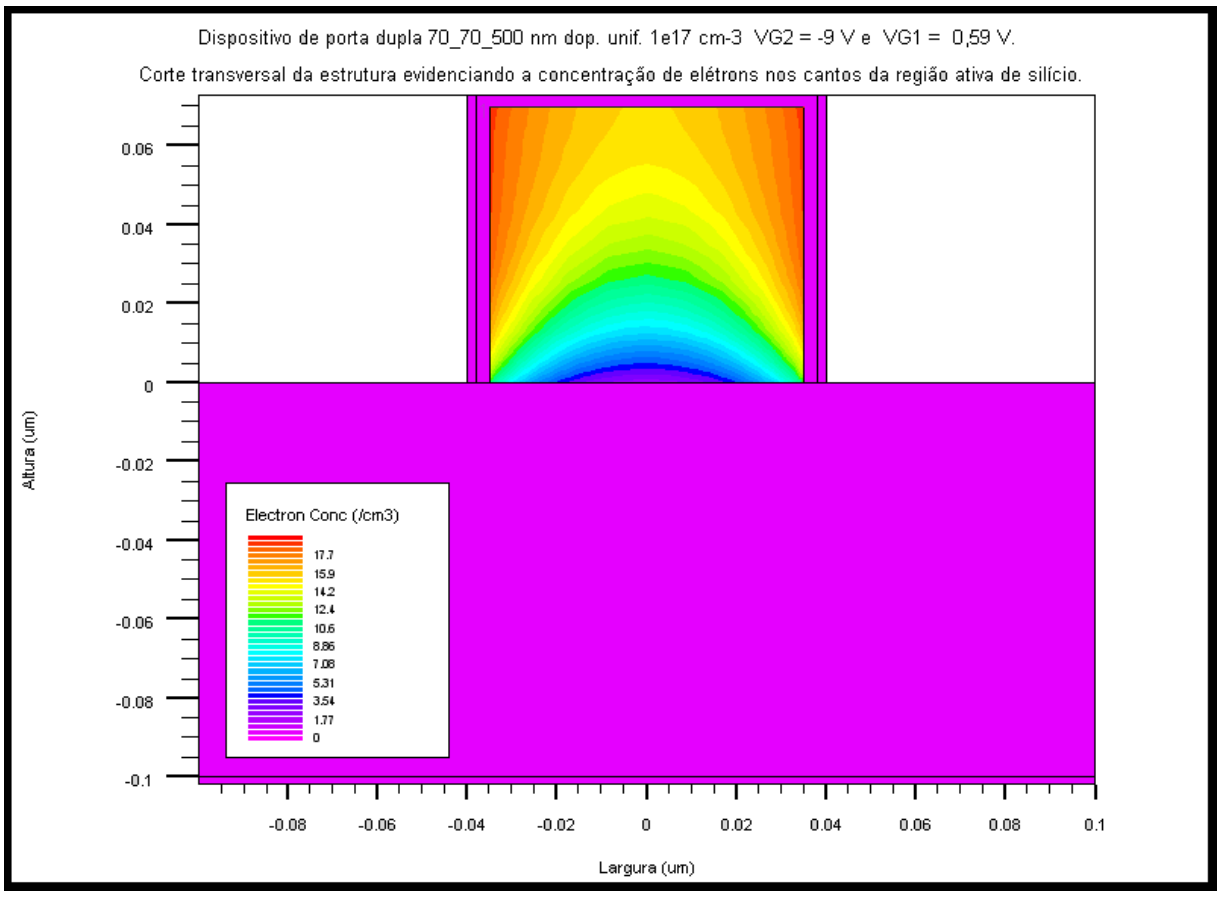


Fig. 5.23 - Corte transversal da estrutura, evidenciando a concentração de elétrons nos cantos superiores na interface com o óxido de topo. Com V_{G2} = -9,0 V, V_{G1} = 0,59 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.

Na estrutura da figura 5.23, tem-se a distribuição de elétrons na região ativa de silício, observa-se um aumento mais acentuado na concentração das cargas nos cantos superiores, enquanto que nos cantos inferiores esta é bastante reduzida. Neste caso a interface sob a porta se apresenta parcialmente em inicio de inversão.

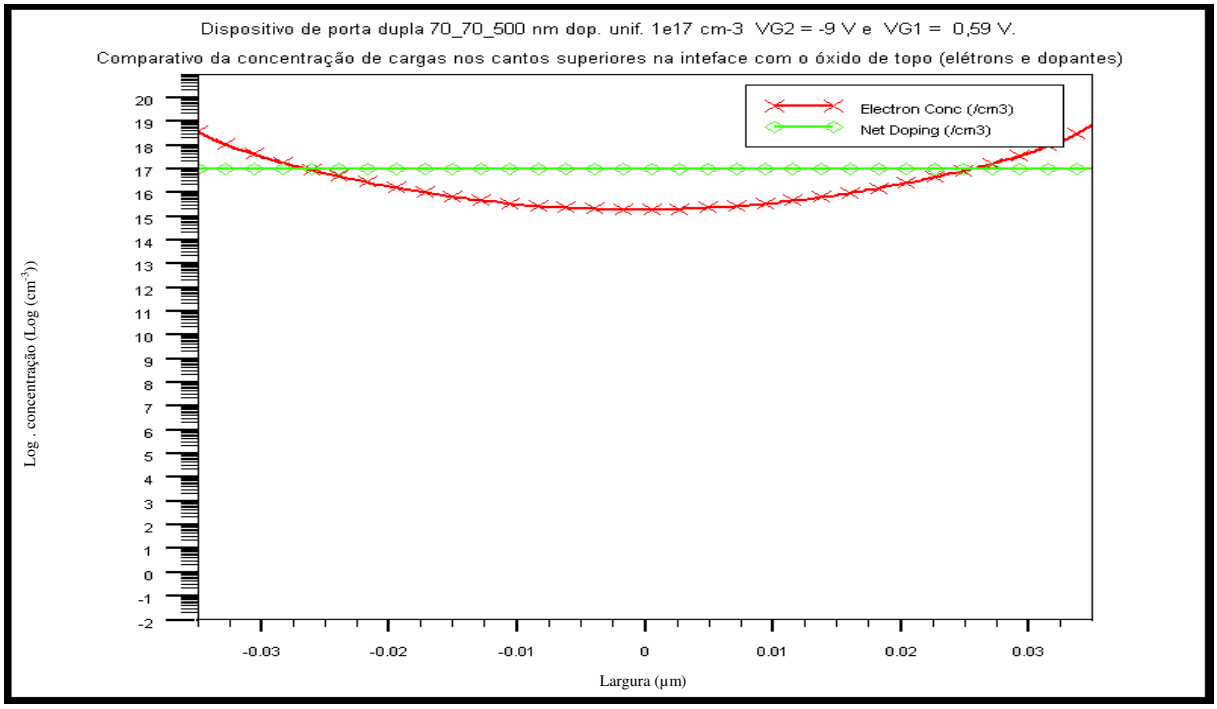


Fig. 5.24 - Comparativo da concentração de dopantes com a concentração de elétrons nos cantos superiores na inteface com o óxido de topo. Com V_{G2} = -9,0 V, V_{G1} = 0,59 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.

Na figura 5.24, relativa ao comparativo de concentração de cargas entre elétrons e dopantes nos cantos superiores, para a condição V_{G2} = -9,0 V e V_{G1} = 0,59 V observa-se que a inversão é acentuada nas extremidades dos cantos superiores em termos de valores de concentração.

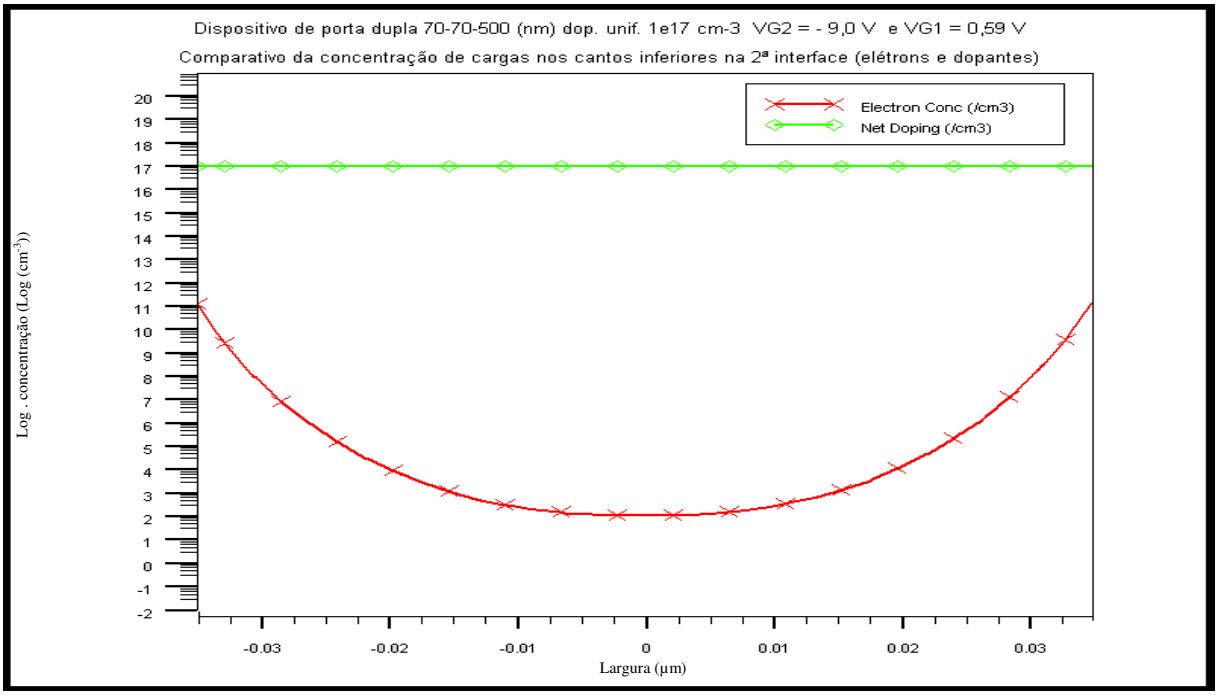


Fig. 5.25 - Comparativo da concentração de dopantes com a concentração de elétrons nos cantos inferiores na 2ª interface. Com V_{G2} = -9,0 V, V_{G1} = 0,59 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.

Na figura 5.25, relativa ao comparativo de concentração de cargas entre elétrons e dopantes nos cantos inferiores, para a condição V_{G2} = -9,0 V e V_{G1} = 0,59 V observa-se que não há inversão nos cantos inferiores e a concentração nas extremidades é bastante reduzida em termos de valores.

Segue a tabela 5.2 com os valores de V_{TH}, obtidos através da simulação nas mesmas condições de polarização (V_{DS} = 0,05 V) e dimensões 70 x 70 x 500 (nm), com concentração de N_a = 1e17 cm^{-3}.

Estão também indicados na tabela os valores de V_{TH} obtidos em simulação, considerando-se um único portador. Observa-se que há para V_{G2} < -7,0 V uma variação na tensão de limiar da porta para um portador com relação a dois portadores, em decorrência dos portadores majoritários (lacunas) que se concentram na 2ª interface para formação da região de acumulação, na condição de dois portadores .

Tabela 5.2 – Valores de V_{TH} obtidos, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.

CONCENTRAÇÃO DE DOPANTES : Na =1e17cm^{-3}		
TENSÃO DE PORTA INFERIOR V_{G2} (V)	TENSÃO DE LIMIAR V_{TH} (V) 1 Portador (elétron)	TENSÃO DE LIMIAR V_{TH} (V) 2 Portadores (elétron e lacuna)
10	0,392	0,392
9	0,392	0,392
8	0,392	0,392
7	0,392	0,392
6	0,392	0,392
5	0,391	0,391
4	0,390	0,390
3	0,387	0,387
2	0,381	0,381
1	0,375	0,375
0	0,399	0,399
-1	0,421	0,421
-2	0,435	0,435
-3	0,450	0,450
-4	0,458	0,458
-5	0,465	0,465
-6	0,470	0,470
-7	0,482	0,482
-8	0,491	0,492
-9	0,492	0,495
-10	0,494	0,506
-11	0,496	0,520
-12	0,496	0,524
-13	0,496	0,528
-14	0,496	0,532

A partir dos valores da tensão de limiar obtém-se a curva característica de V_{TH} em função de V_{G2} (Fig. 5.31), a variação máxima de V_{TH} é de 131 mV, com V_{G2} variando de (10 V a -14 V).

- Determinação das regiões de acumulação, depleção e inversão na 2ª interface.

Para este dispositivo de dimensão 70 x 70 x 500 nm e concentração de 1e17 cm^{-3} foram definidos alguns procedimentos, também válidos para as concentrações 5e17 cm^{-3}, 1e15 cm^{-3} e 1e16 cm^{-3} e para as outras dimensões de W_{Fin} nas suas respectivas concentrações de dopantes, como é o caso do processo de determinação das regiões de inversão, depleção e acumulação. Essas regiões são indicadas na curva característica $V_{TH}(V_{G2})$. Fez-se o corte transversal da estrutura (plano xy, na região mediana do eixo z), com as curvas isométricas de concentração de portadores para as várias tensões negativas e positivas de porta inferior (V_{G2}) com a tensão de porta (V_{G1}) na respectiva tensão de limiar (V_{TH}) e comparou-se a concentração de elétrons e lacunas existentes com a concentração de impurezas aceitadoras ou dopantes (N_a) na região ativa de silício, definida mediante corte longitudinal na 2ª interface, para largura W_{Fin}.

Seguem as figuras 5.26, 5.27, 5.28, 5.29 e 5.30 das curvas comparativas de concentração de dopantes com a concentração de elétrons e lacunas na 2ª interface para definição das regiões de acumulação, depleção e inversão na curva característica $V_{TH}(V_{G2})$.

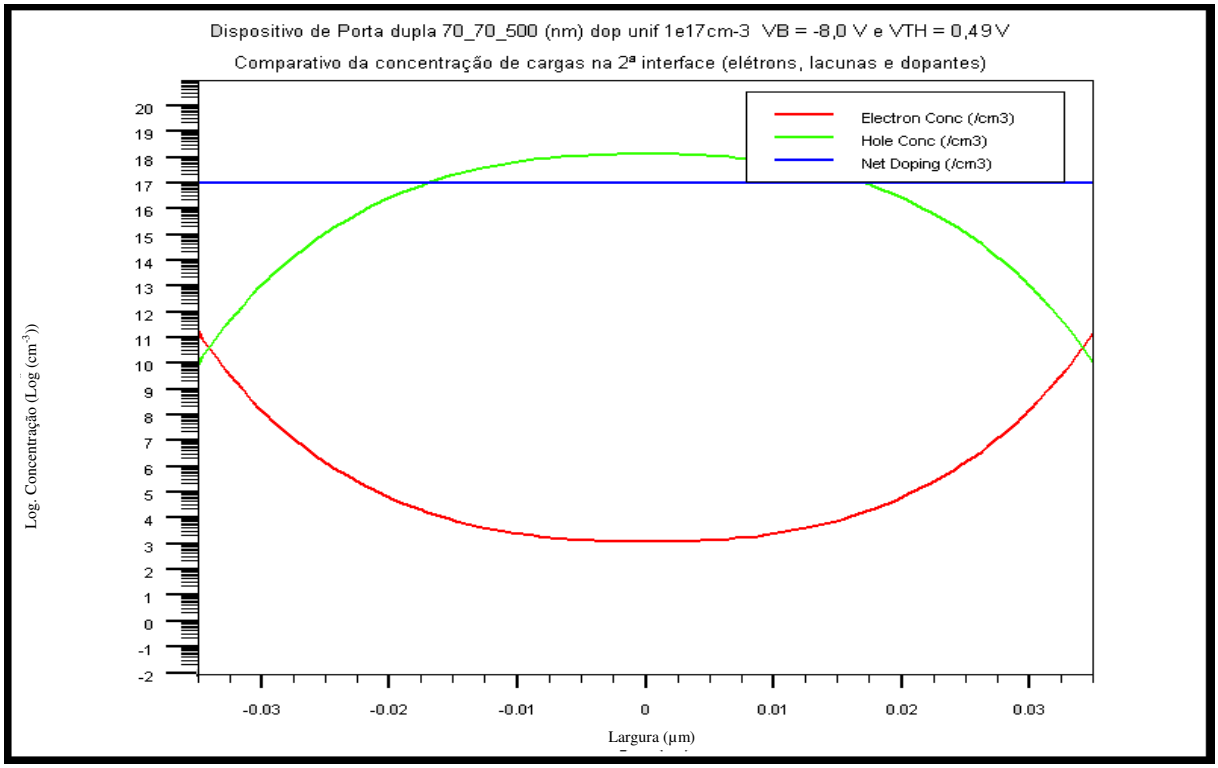


Fig. 5.26 - Comparativo da concentração de cargas na 2ª interface (elétrons, lacunas e dopantes) para o dispositivo de porta dupla 70-70-500 (nm) e dop. unif. 1e17 cm^{-3} com V_{G2} = -8,0 V e $V_{G1} = V_{TH}$ = 0,49 V.

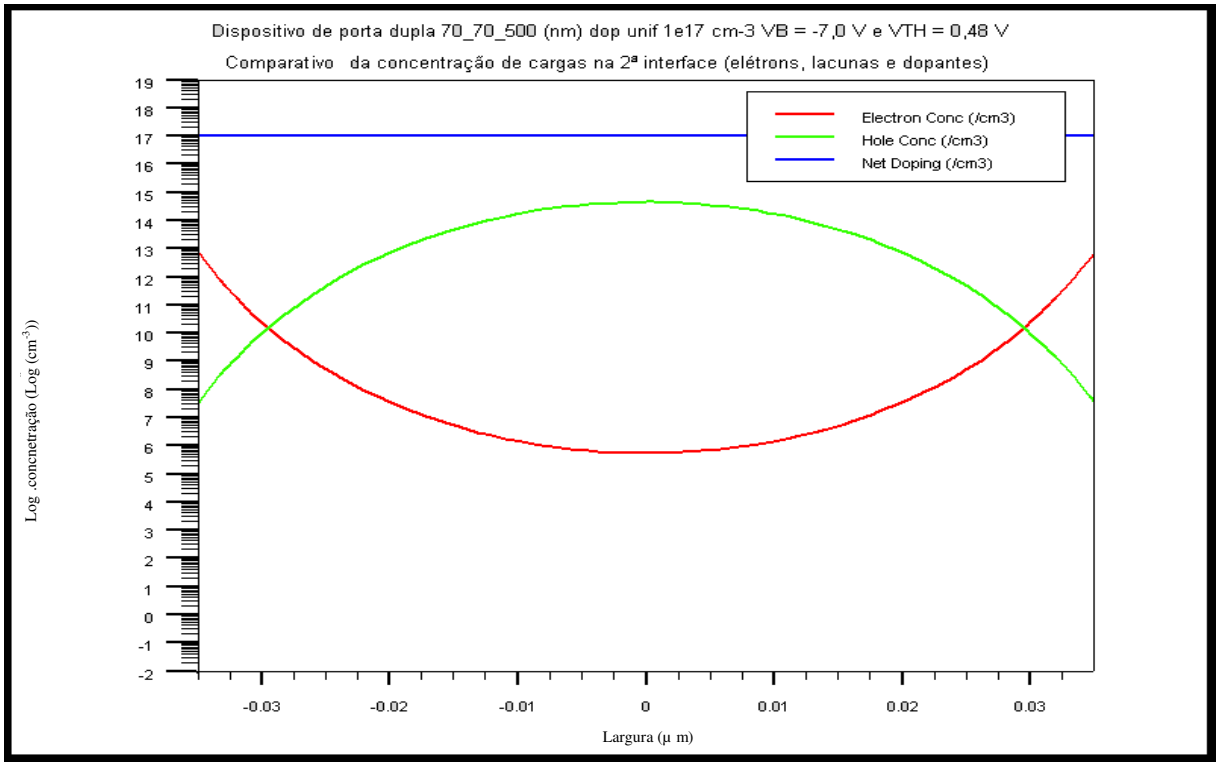


Fig. 5.27 - Comparativo da concentração de cargas na 2ª interface (elétrons, lacunas e dopantes) para o dispositivo de porta dupla 70-70-500 (nm) e dop. unif. 1e17 cm^{-3} com V_{G2} = 7,0 V e $V_{G1} = V_{TH}$ = 0,48 V

Nas figuras 5.26 e 5.27, observa-se que para $V_{G2} \leq$ -8,0 V, a superfície da 2ª interface (região ativa de silício) está na região de acumulação, pelo fato da concentração de portadores majoritários (lacunas) estar acima da concentração de dopantes (N_a), enquanto que para -7,0 V isso ainda não ocorre. O que se espera nesta condição, é que a tensão de limiar continue aumentando até que tenhamos a superfície da 2ª interface totalmente acumulada, quando o valor de V_{TH} se torna praticamente constante. Porém em decorrência da influência da porta (laterais) na interface região ativa de silício e óxido enterrado (2ª interface), isto não ocorre.

Vale observar que para acumulação as cargas se dispõem na superfície da 2ª interface do meio para as extremidades.

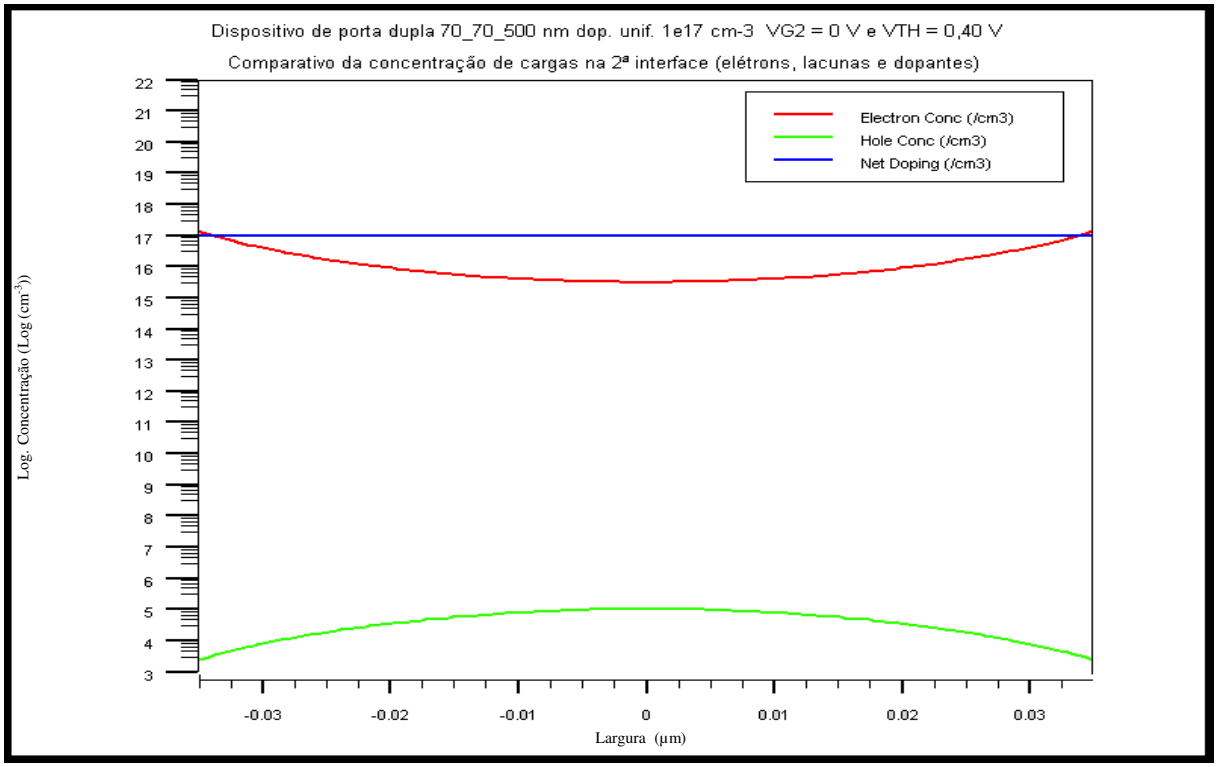


Fig. 5.28 - Comparativo da concentração de cargas na 2ª interface (elétrons, lacunas e dopantes) para o dispositivo de porta dupla 70-70-500 (nm) e dop. unif. 1e17 cm^{-3} com V_{G2} = 0,0 V e $V_{G1} = V_{TH}$ = 0,40 V

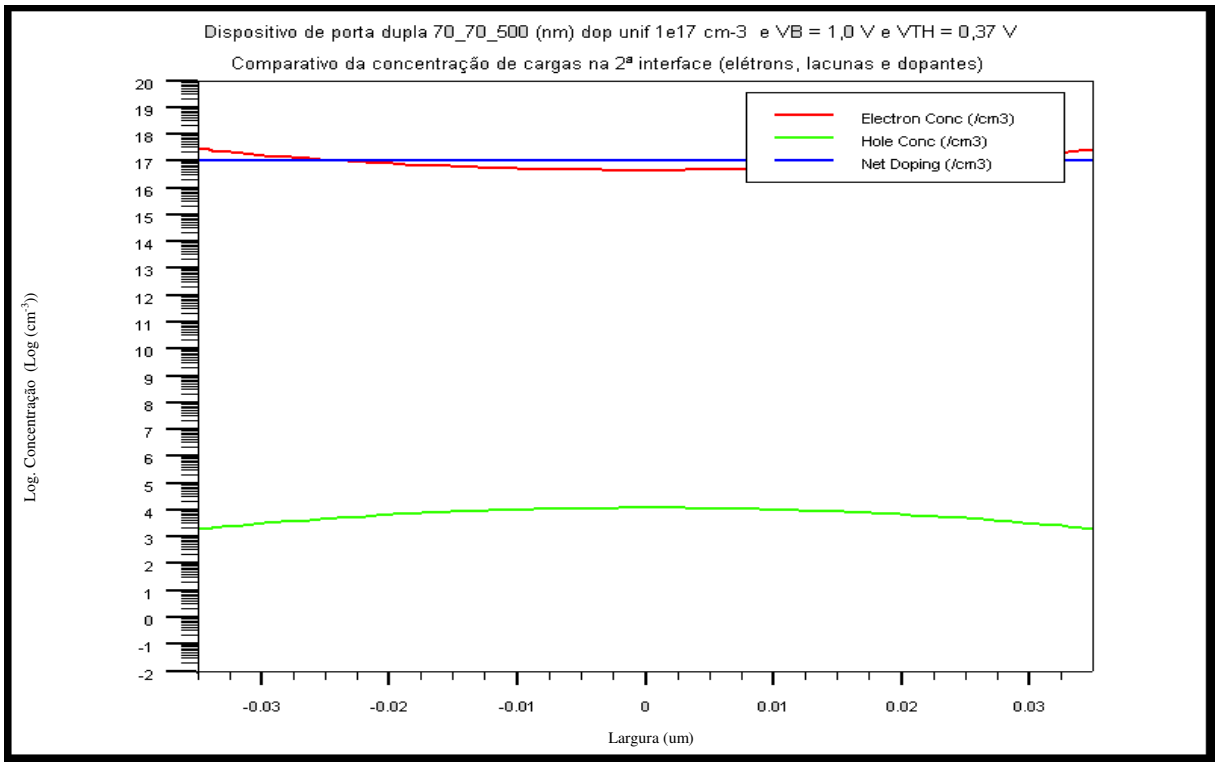


Fig. 5.29 - Comparativo da concentração de cargas na 2ª interface (elétrons, lacunas e dopantes) para o dispositivo de porta dupla 70-70-500 (nm) e dop. unif. 1e17 cm^{-3} com V_{G2} = 1,0 V e $V_{G1} = V_{TH}$ = 0,37 V

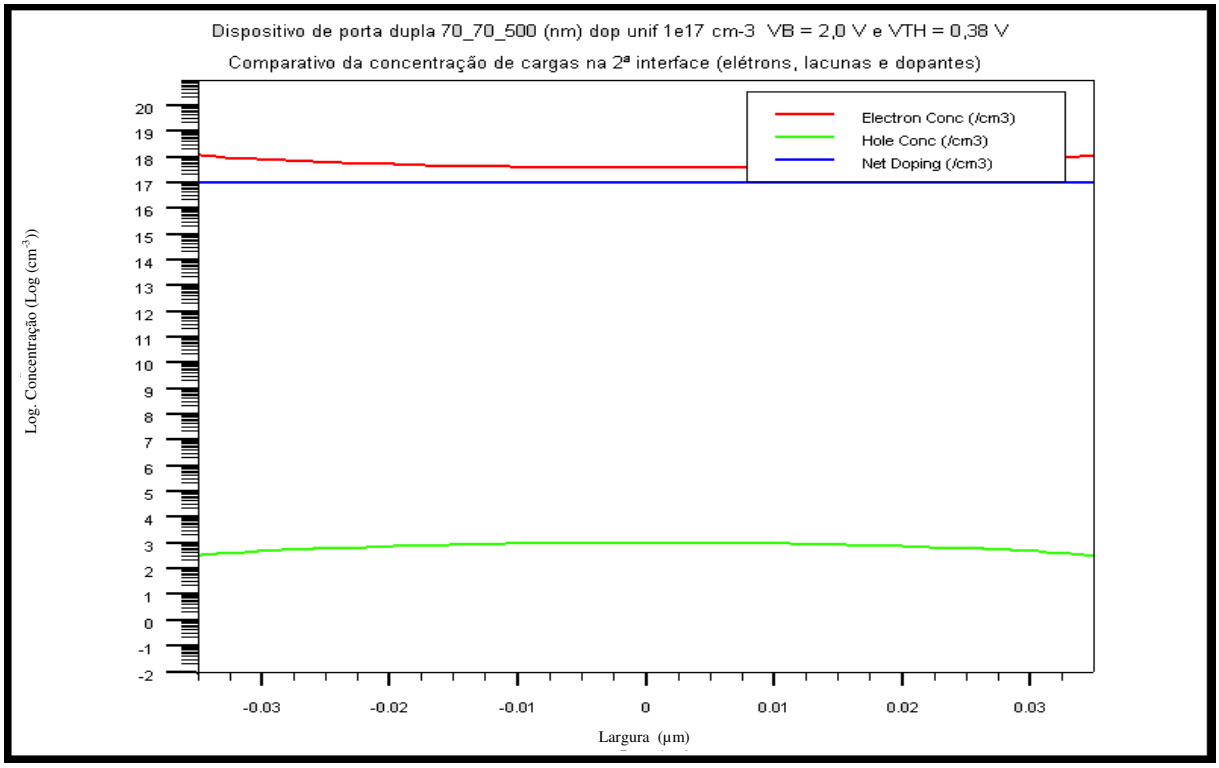


Fig. 5.30 - Comparativo da concentração de cargas na 2ª interface (elétrons, lacunas e dopantes) para o dispositivo de porta dupla 70-70-500 (nm) e dop. unif. 1e17 cm^{-3} com V_{G2} = 2,0 V e $V_{G1} = V_{TH}$ = 0,38 V

Nas figuras 5.28, 5.29 e 5.30, observa-se que a 2ª interface está em inicio de inversão a partir de cerca de 0 V. Nesta situação de $V_{G2} \geq 0$ V o dispositivo já apresenta na superfície da 2ª interface (região ativa de silício), concentração de cargas dos portadores minoritários (elétrons) maior do que a concentração de cargas de dopantes $N_{a,}$ nas extremidades.

Na condição de inversão as cargas minoritárias (elétrons) se distribuem na superfície da 2ª interface das extremidades para o meio desta, isto em decorrência do potencial de porta (portas laterais) interagir (efeito de acoplamento) nos cantos da superfície na 2ª interface. A tensão de limiar continuará variando até que tenhamos a superfície da 2ª interface totalmente invertida, situação essa na qual V_{TH} se torna praticamente constante.

5.3.2.1.1 Curva característica V_{TH} (V_{G2}).

A figura 5.31 mostra a curva característica indicando as regiões de acumulação para V_{G2} com tensão negativa (< -7,0 V), inversão para V_{G2} com tensão negativa e positiva (> -1,0 V) e a região totalmente depletada, com 1ª e 2ª interfaces acopladas eletricamente.

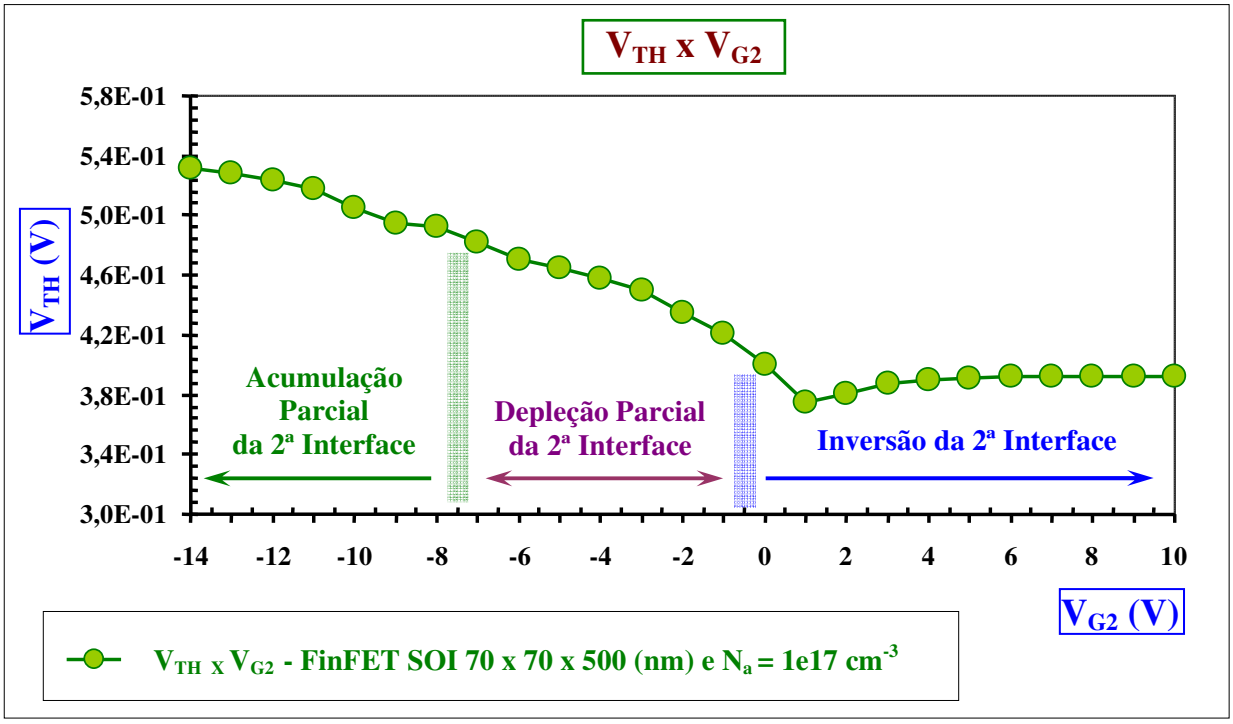


Fig 5.31 - Curva característica V_{TH} em função de V_{G2} com V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.

Observa-se uma certa semelhança da curva característica acima (Fig. 5.31),obtida por meio das simulações, onde estão indicadas as regiões de acumulação, depleção e inversão, com a referência a seguir (Fig. 5.32), item 3.2 da parte teórica, para dispositivos planares.

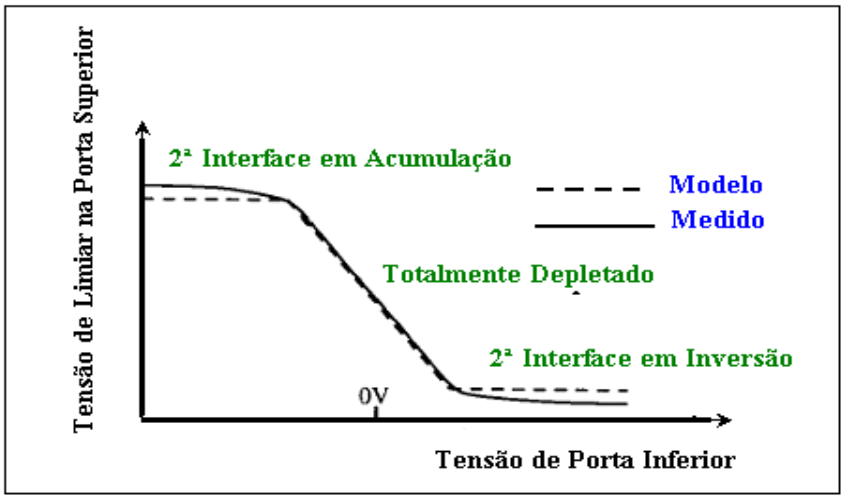


Fig. 5.32 - Variação da tensão de limiar na porta superior com a polarização da porta inferior, em um dispositivo SOI MOSFET totalmente depletado. [2]

Para verificar as condições de acumulação, depleção e inversão na 2ª interface, foram obtidos alguns cortes transversais da estrutura com as curvas isométricas de concentração de portadores, evidenciando a concentração de elétrons e lacunas no dispositivo e as curvas comparativas da concentração de cargas na 2ª interface (elétrons, lacunas e dopantes).

O corte adotado é a própria interface região ativa de silício e óxido enterrado (2ª interface), ou seja, igual a W_{Fin} = 70 nm.

Seguem as figuras 5.33 e 5.34 do corte transversal da estrutura com as curvas isométricas de concentração de portadores e das curvas comparativas da concentração de dopantes com a concentração de elétrons e lacunas na 2ª interface para V_{G2} = -12 V com $V_{G1} = V_{TH}$ = 0,52 V (2ª interface em Acumulação).

- **Para V_{G2} = -12V tem-se V_{TH} = 0,52 V - Região de Acumulação.**

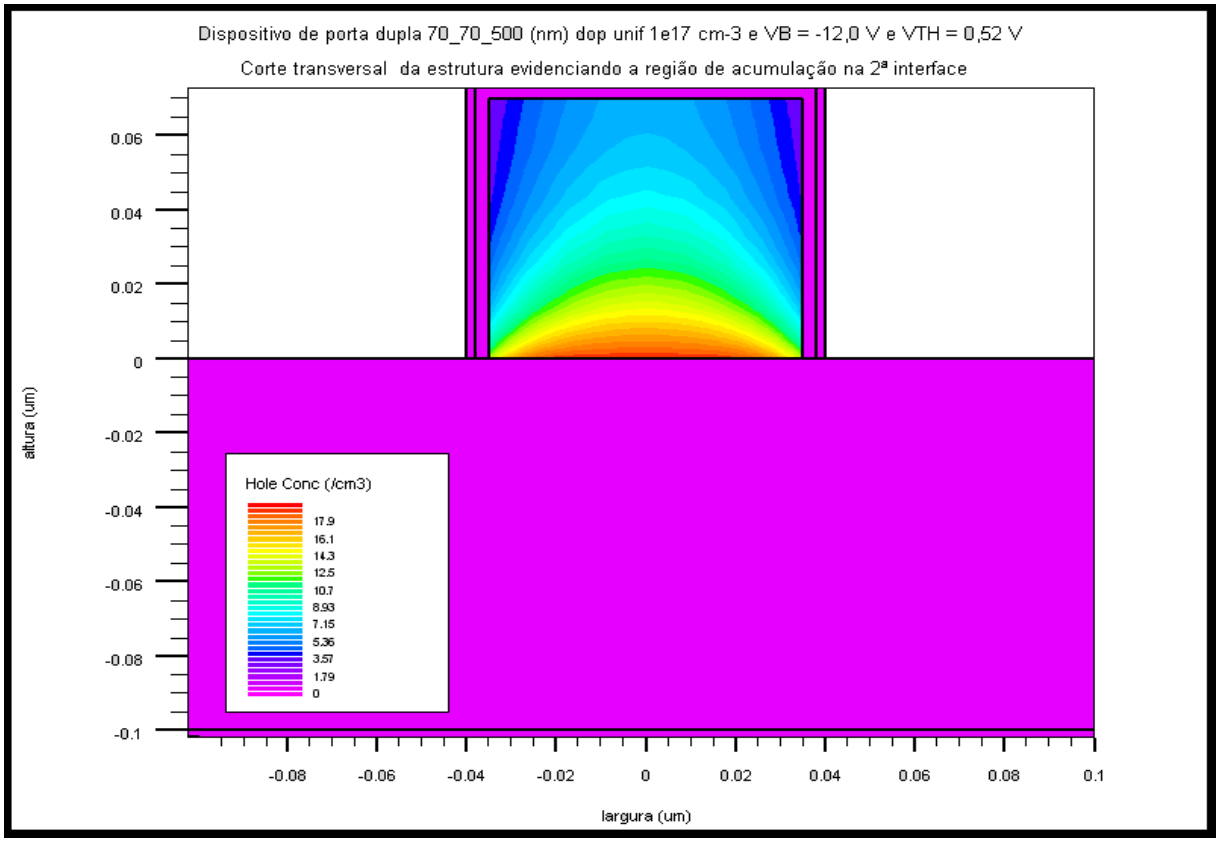


Fig. 5.33 - Corte transversal da estrutura, evidenciando a região de acumulação na interface região ativa de silício e óxido enterrado (2ª interface) com V_{G2} = -12 V, $V_{G1} = V_{TH}$ = 0,52 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.

Observa-se na figura 5.33 do corte transversal da estrutura com as isométricas de concentração de portadores o acúmulo de lacunas na região ativa de silício da 2ª interface e a sua distribuição ao longo da superfície. Neste caso a concentração de portadores majoritários é superior à concentração de dopantes (1e17 cm^{-3}) o que caracteriza a 2ª interface em acumulação parcial.

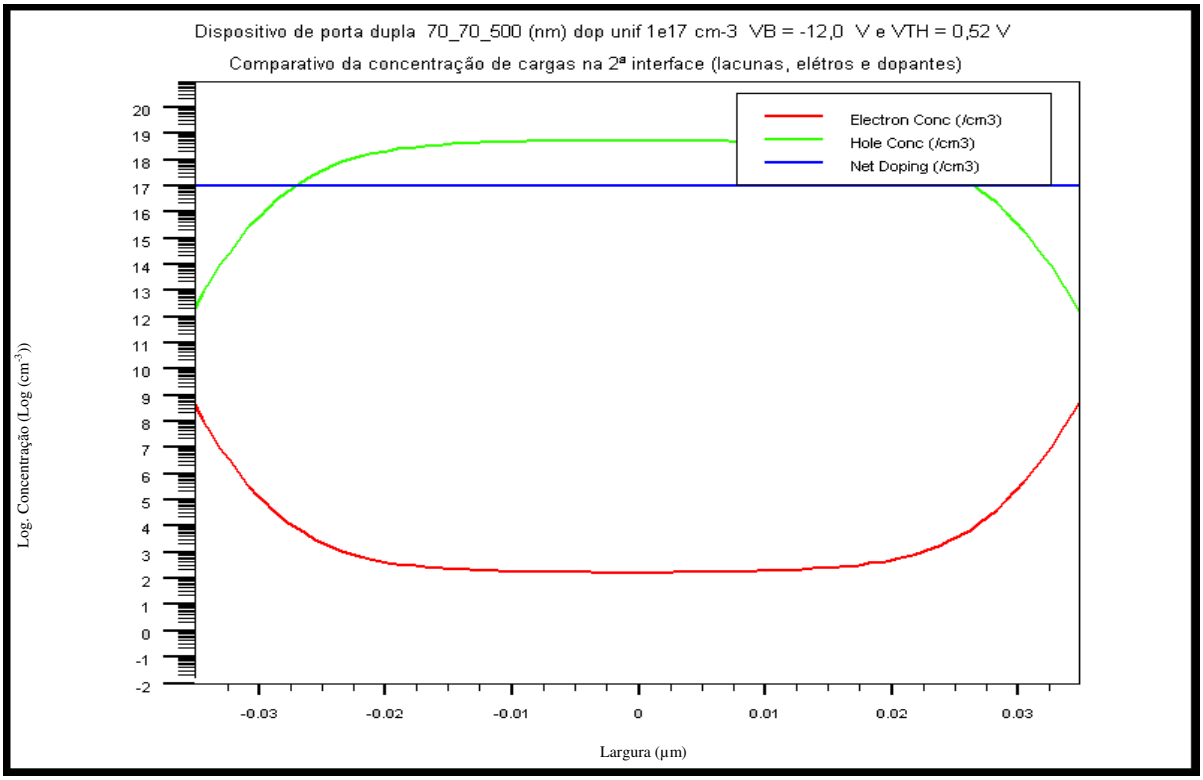


Fig. 5.34 - Comparativo da concentração de dopantes, com a concentração de elétrons e lacunas na 2ª interface, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}, com V_{G2} = -12 V, $V_{G1} = V_{TH}$ = 0,52 V e V_{DS} =0,05 V. Região de acumulação na 2ª interface.

Observa-se na figura 5.34 da curva comparativa da concentração de dopantes com a concentração de elétrons e lacunas, a condição de acumulação da 2ª interface. Evidencia em termos de valores, a maior concentração de portadores majoritários e a menor concentração de portadores minoritários na 2ª interface em relação à concentração de dopantes N_a (1e17 cm^{-3}). Define-se assim, a região de acumulação na 2ª interface ou 2ª interface acumulada (parcialmente).

Seguem as figuras 5.35, 5.36 e 5.37 do corte transversal da estrutura com as curvas isométricas de concentração de portadores e das curvas comparativas da concentração de dopantes com a concentração de elétrons e lacunas na 2ª interface. Para V_{G2} = - 3 V com $V_{G1} = V_{TH}$ = 0,45 V (2ª interface em Depleção).

- **Para V_{G2} = - 3,0V tem-se V_{TH} = 0,45V - Região de Depleção.**

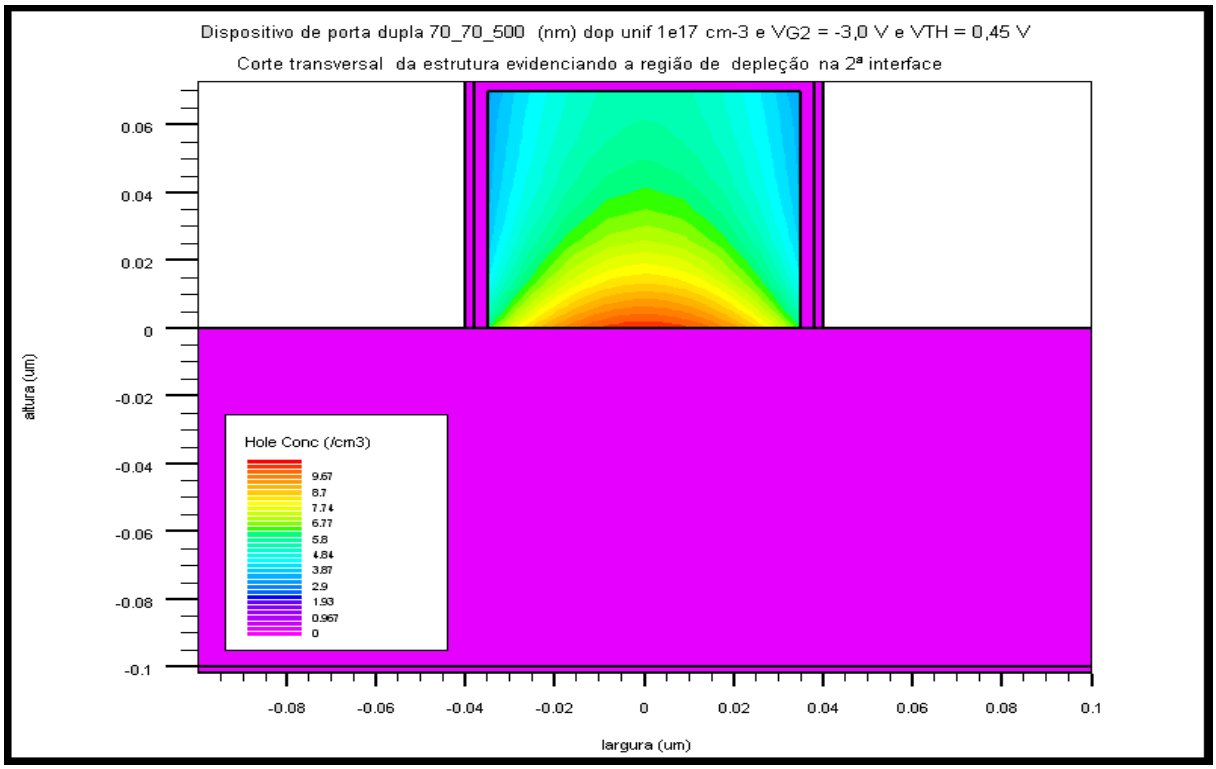


Fig. 5.35 - Corte transversal da estrutura, evidenciando a região de depleção (lacunas) na interface região ativa de silício e óxido enterrado (2ª interface) com V_{G2} = -3,0 V, V_{G1} = V_{TH} = 0,45 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.

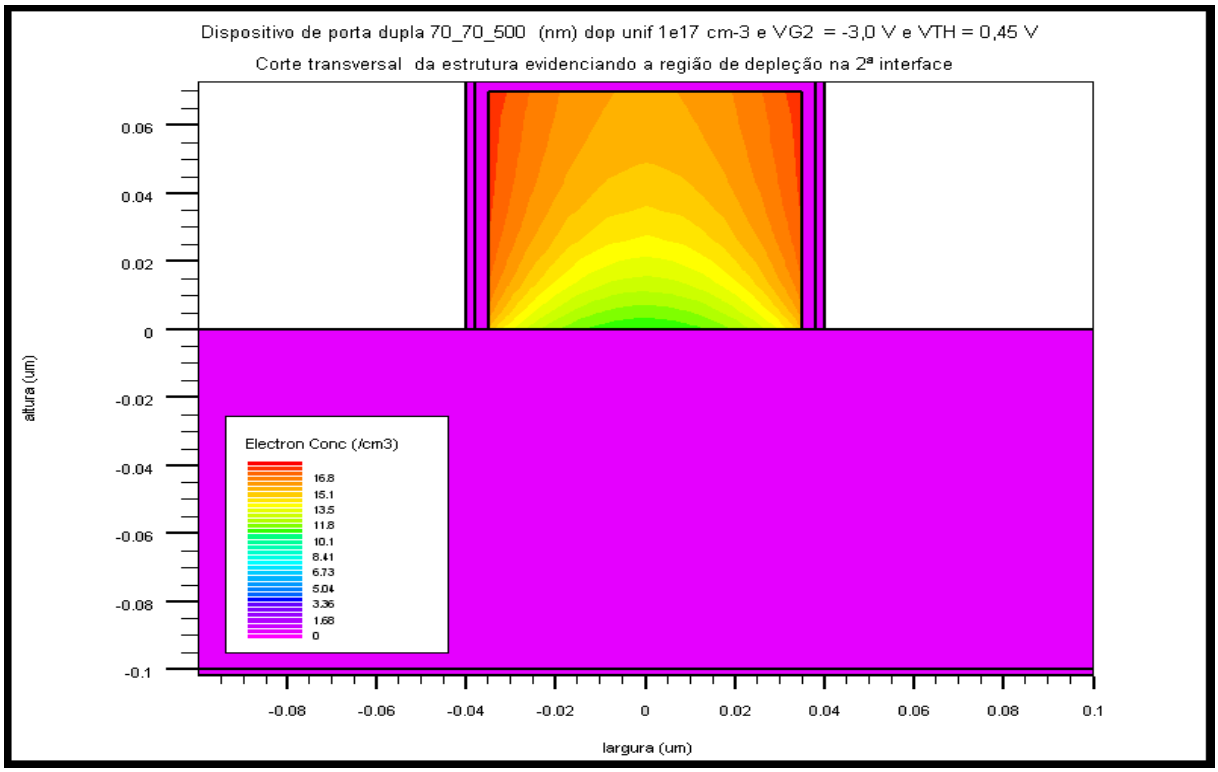


Fig. 5.36 - Corte transversal da estrutura, evidenciando a região de depleção (elétrons) na interface região ativa de silício e óxido enterrado (2ª interface) com V_{G2} = -3,0 V, V_{G1} = V_{TH} = 0,45 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.

Observa-se nas figuras 5.35 e 536 do corte transversal da estrutura com as isométricas de concentração de portadores, a distribuição dos portadores majoritários e minoritários respectivamente ao longo da superfície da 2ª interface, pode-se notar que as concentrações de lacunas e elétrons estão abaixo da concentração de dopantes o que caracteriza a 2ª interface em depleção.

Além disso, observa-se nestas figuras o fenômeno de inversão de volume produzido no corpo de silício que se origina a partir da interface região ativa de silício e óxido enterrado (2ª interface) em função da polarização aplicada na porta inferior, enquanto que nas estruturas planares, este fenômeno forma-se a partir da interface óxido de porta e região ativa de silício (1ª interface), em função da tensão de porta. Além disso, dependendo-se da condição de polarização da porta e da porta inferior, esta mesma interface (2ª interface) pode apresentar os três modos de operação simultaneamente (inversão, acumulação e depleção) no corpo de silício.

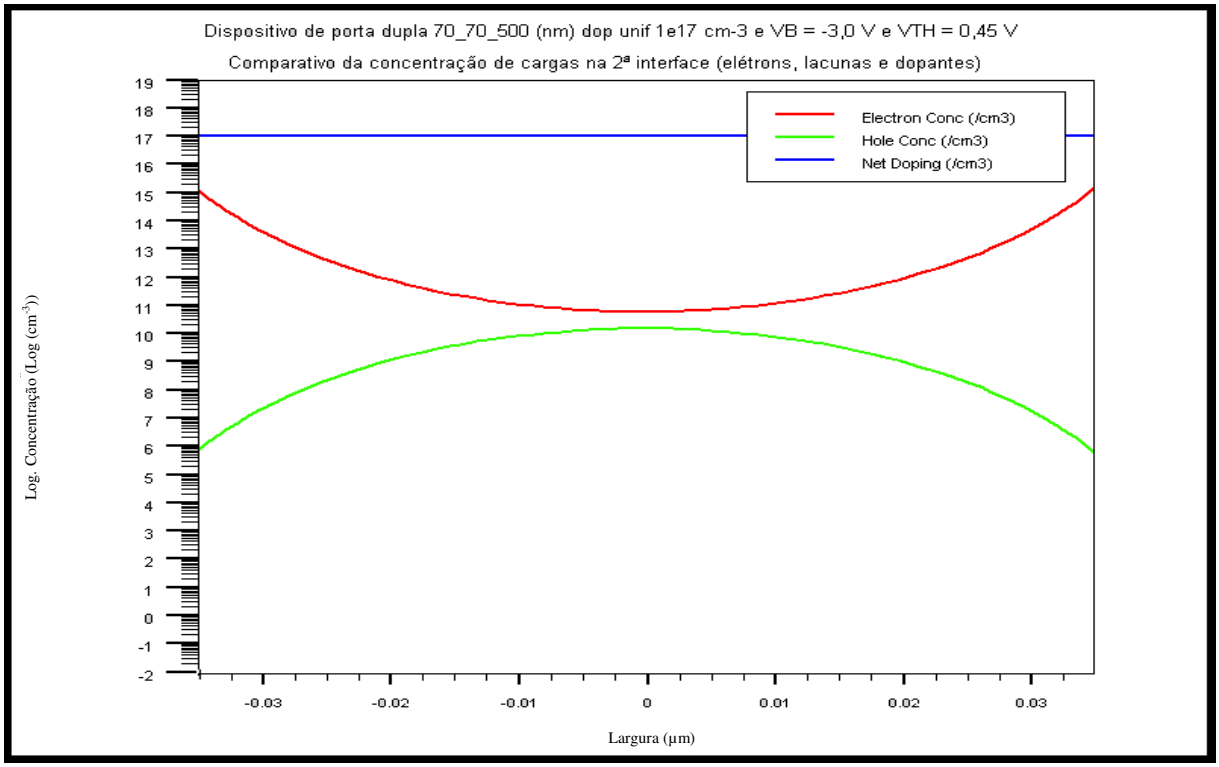


Fig. 5.37 - Comparativo da concentração de dopantes com a concentração de elétrons e lacunas na 2ª interface, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3} com V_{G2} = -3,0 V, $V_{G1} = V_{TH}$ = 0,45 V e V_{DS} = 0,05V. Região de depleção na 2ª interface.

Observa-se na figura 5.37 da curva comparativa da concentração de dopantes com a concentração de elétrons e lacunas, a condição de depleção da 2ª interface. Evidencia em termos de valores, a menor concentração de portadores majoritários e minoritários na

2ª interface em relação à concentração de dopantes N_a (1e17 cm^{-3}). Define-se assim, a região de depleção na 2ª interface ou 2ª interface depletada, neste caso o dispositivo se encontra totalmente depletado.

Seguem as figuras 5.38 e 5.39 do corte transversal da estrutura com as curvas isométricas de concentração de portadores e das curvas comparativas da concentração de dopantes com a concentração de elétrons e lacunas na 2ª interface. Para V_{G2} = 4 V com $V_{G1} = V_{TH}$ = 0,39 V (2ª interface em Inversão).

- **Para V_{G2} = 4,0V tem-se V_{TH} = 0,39 V - Região de Inversão.**

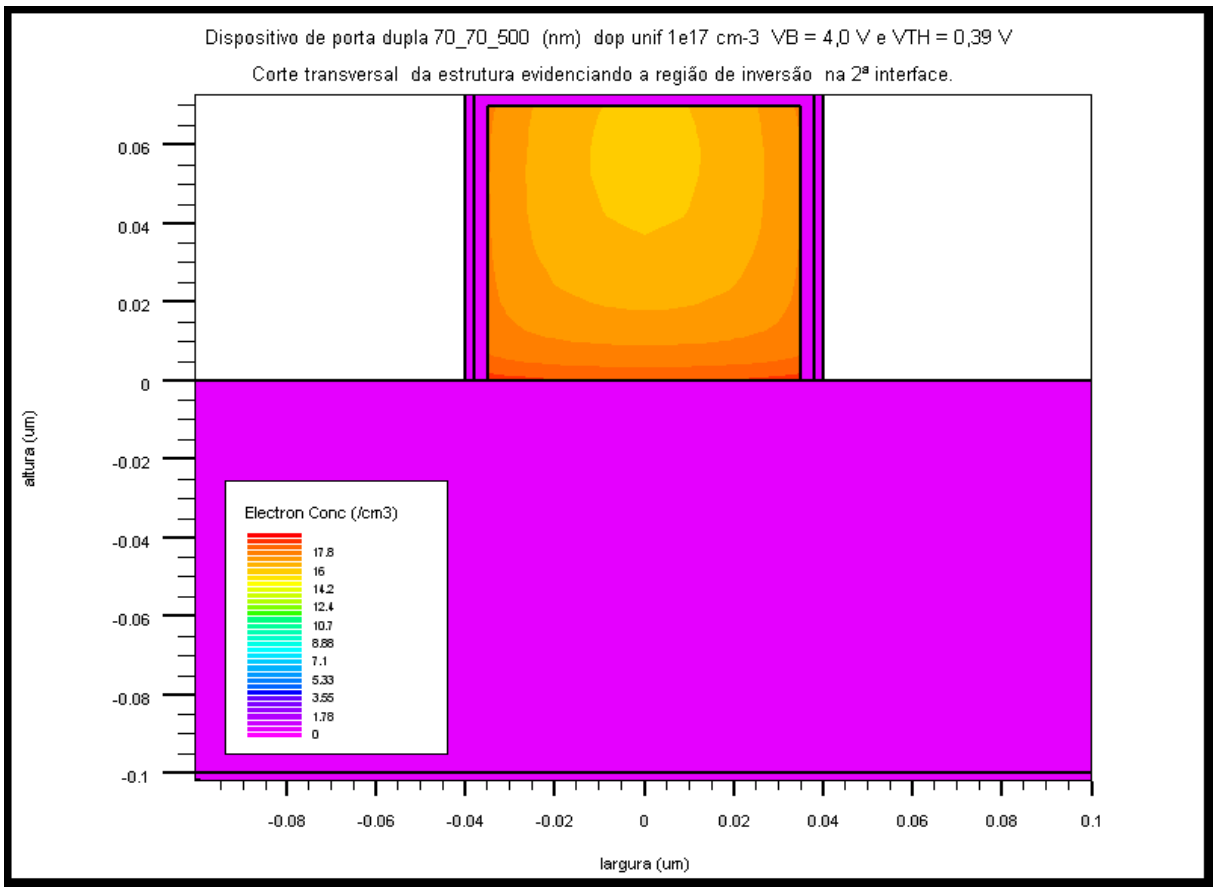


Fig. 5.38 - Corte transversal da estrutura, evidenciando a região de inversão na interface região ativa de silício e óxido enterrado (2ª interface) com V_{G2} = 4,0 V, $V_{G1} = V_{TH}$ = 0,39 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.

Observa-se na figura 5.38 do corte transversal da estrutura com as isométricas de concentração de portadores, a distribuição dos portadores minoritários ao longo da superfície da 2ª interface. Neste caso a concentração de elétrons é maior que a concentração de dopantes (1e17 cm^{-3}) o que caracteriza a 2ª interface em inversão.

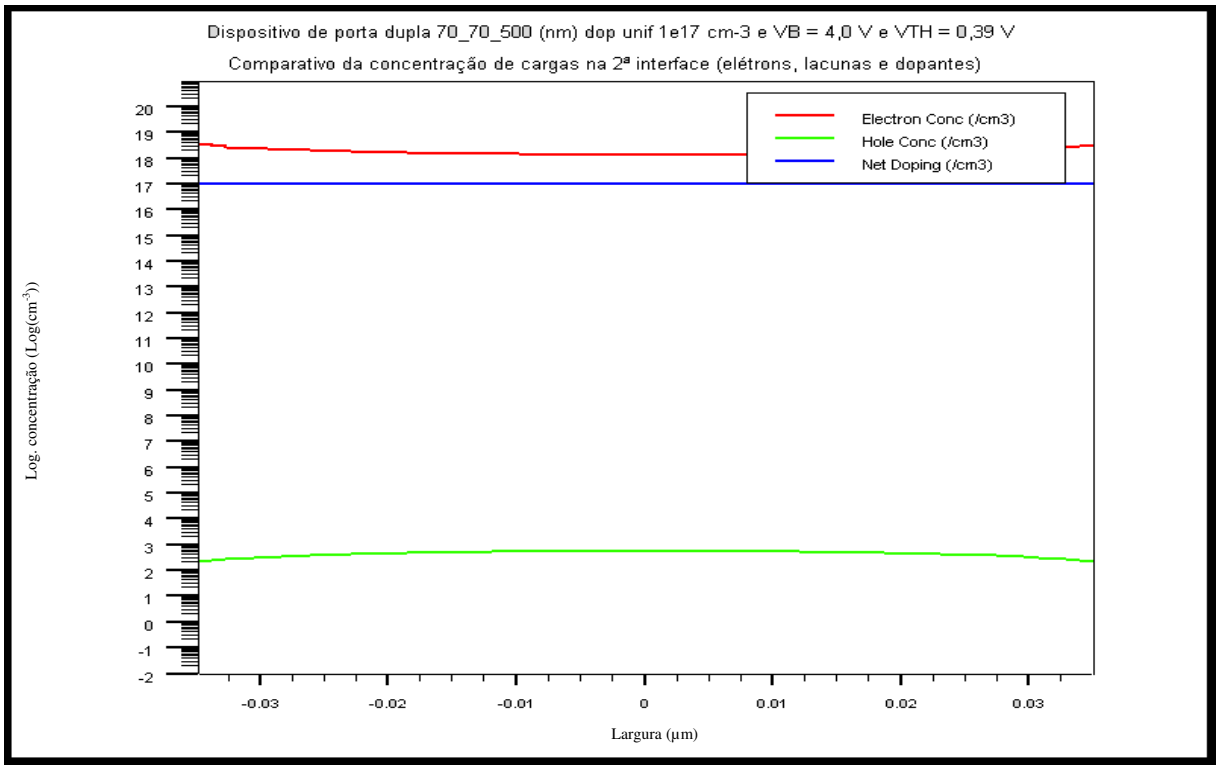


Fig. 5.39 - Comparativo da concentração de dopantes com a concentração de elétrons e lacunas na 2ª interface, para o dispositivo de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}, com V_{G2} = 4,0 V, V_{G1} = V_{TH} = 0,39 Ve V_{DS} = 0,05 V. Região de inversão na 2ª interface.

Observa-se na figura 5.39 da curva comparativa da concentração de dopantes com a concentração de elétrons e lacunas, a condição de inversão da 2ª interface. Evidencia em termos de valores, a menor concentração de portadores majoritários e maior concentração de portadores minoritários na 2ª interface em relação à concentração de dopantes N_a (1e17 cm^{-3}). Define-se assim, a região de inversão na 2ª interface ou 2ª interface invertida, neste caso a 2ª interface se encontra totalmente invertida.

5.3.2.1.2 Curvas características $I_{DS}(V_{DS})$ com valores de $\mathbf{V_{G2}}$ (-12 V) (região de acumulação); (-3,0 V) (região de depleção) e (4,0 V) (região de inversão).

Outra análise para o efeito de corpo pode ser feita através das curvas I_{DS} x V_{DS}. Conforme definido no item 2.4.4 pode-se observar o efeito de corpo no dispositivo, quando na condição de parcialmente depletado, a 1ª interface estiver em inversão forte e a 2ª interface estiver em modo acumulação. Para isso ocorrer o nível de polarização do dreno deve ser suficientemente elevado, para que tenhamos na região de saturação do canal na 1ª interface próximo ao dreno um alto campo elétrico, permitindo que os portadores minoritários (elétrons) adquiram mais energia cinética e como conseqüência apresentem um incremento de velocidade.

Através do mecanismo de ionização por impacto com a estrutura cristalina haverá a geração de pares elétrons-lacunas, onde os elétrons são coletados pelo dreno, aumentando a corrente de dreno, e as lacunas, estas vão em direção a fonte através do corpo Si. Como a barreira de potencial entre a junção fonte-corpo de silício (N^+- P) é elevada, torna-se necessário que o potencial do corpo de silício aumente até o valor da barreira de potencial (diodo), possibilitando que as lacunas sigam para a fonte. Esse aumento do potencial de corpo induz uma redução da tensão de limiar na porta superior.

No caso do dispositivo estar totalmente depletado essa barreira é menor e as lacunas seguem diretamente para a fonte, não havendo aumento de potencial de corpo.

Seguem as curvas características $I_{DS}(V_{DS})$ com tensão de porta inferior V_{G2} (-12 V), para o dispositivo com a 2ª interface na região de acumulação (Fig. 5.40); V_{G2} (-3,0 V) para o dispositivo com a 2ª interface na região de depleção (Fig. 5.41) e V_{G2} (4,0 V) para o dispositivo com a 2ª interface na região de inversão (Fig. 5.42) com V_{DS} variando de (0 a 1,5 V), evidenciando o comportamento das mesmas.

A indicação da seta nas curvas será sempre do menor valor para o maior valor (extremidade com a ponta).

- **Para V_{G2} = -12 V (Região de acumulação) com $V_{G1} = V_{TH}$ = 0,52 V; V_{G1} = 0,75 V e V_{G1} = 1,0V com V_{DS} variando de (0 a 1,5V).**

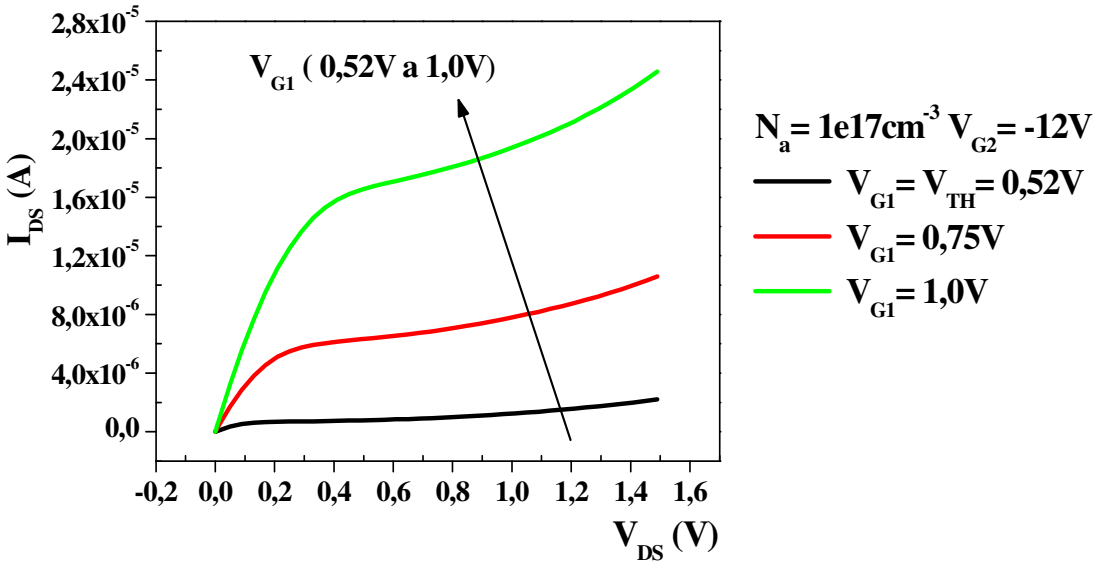


Fig. 5.40 - Curvas características de $I_{DS}(V_{DS})$ na região de acumulação, com V_{G2} = -12V, V_{G1} = (0,52 V = (V_{TH}), 0,75 V e 1,0 V) e V_{DS} variando de (0 a 1,5 V), para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.

- **Para V_{G2} = -3,0V (Região de depleção) com $V_{G1} = V_{TH}$ = 0,45V; V_{G1} = 0,75V e V_{G1} = 1,0V com V_{DS} (0 a 1,5V).**

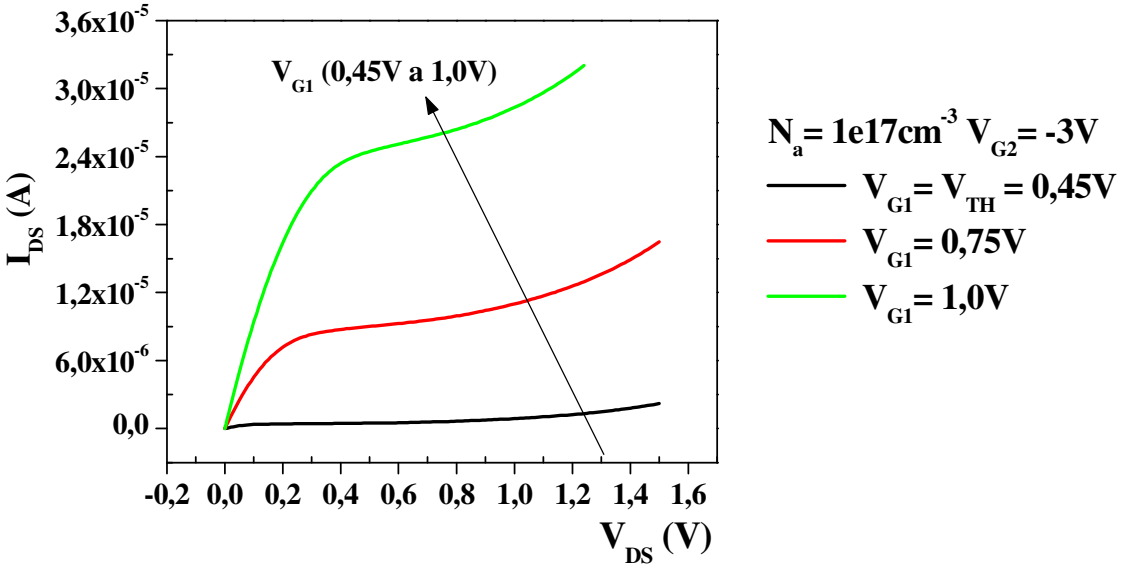


Fig. 5.41 - Curvas características de $I_{DS}(V_{DS})$ na região de depleção, com V_{G2} = -3 V, V_{G1} = (0,45 V = (V_{TH}), 0,75 V e 1,0 V) e V_{DS} variando de (0 a 1,5 V), para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.

- **Para V_{G2} = 4,0V (Região de inversão) com V_{G1} = V_{TH} = 0,39 V; V_{G1} = 0,75 V e V_{G1} = 1,0 V com V_{DS} variando de (0 a 1,5V).**

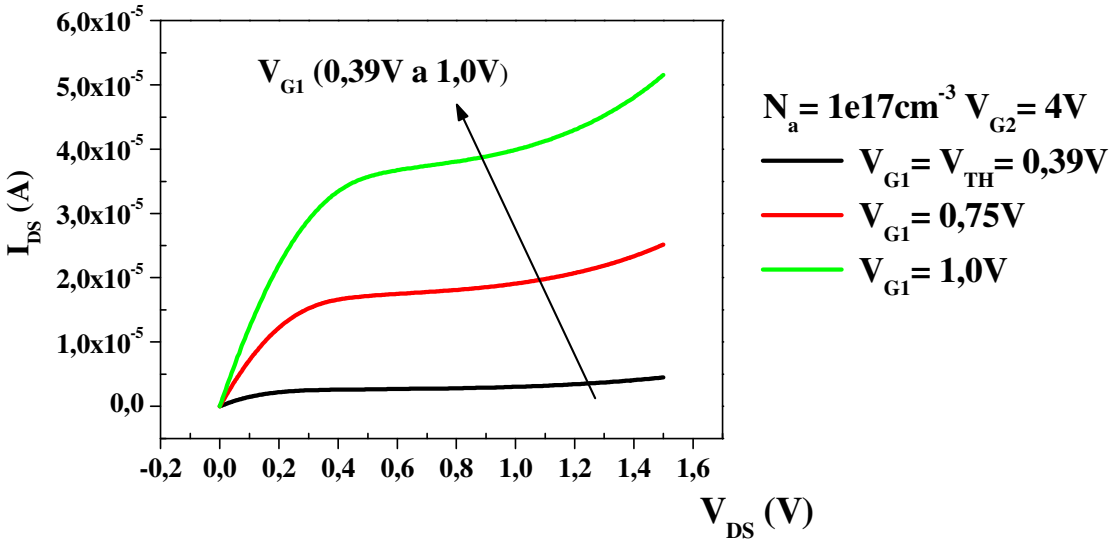


Fig. 5.42 - Curvas características de $I_{DS}(V_{DS})$ na região de inversão, com V_{G2} = 4 V, V_{G1} = (0,39 V = (V_{TH}), 0,75 V e 1,0 V) e V_{DS} variando de (0 a 1,5 V), para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.

Observa-se nas curvas características de $I_{DS}(V_{DS})$ (Fig. 5.40, Fig. 5.41 e Fig. 5.42) que para a mesma concentração de impurezas aceitadoras do semicondutor tipo p (N_a) e mesma polarização de porta inferior (V_{G2}), a corrente de dreno (I_{DS}) aumenta em função da mesma variação da tensão de dreno, com o aumento da tensão aplicada na porta (V_{G1}), nos três modos de operação. I_{DS} na acumulação < I_{DS} na depleção < I_{DS} na inversão (neste caso não há controle da porta (V_{G1}) na 2ª interface em inversão).

- Cortes transversais na estrutura com as curvas isométricas de potenciais.

A seguir estão evidenciados os cortes transversais na estrutura do dispositivo, com as curvas isométricas de potenciais para (+ 0,1 V, 0 V e - 0,1 V). Através da tensão negativa aplicada na porta inferior (V_{G2}) e estando a primeira interface na respectiva tensão de limiar aplicada na porta (V_{G1}) é possível observar o deslocamento da região neutra na região ativa de silício do dispositivo.

À medida que, esta tensão de V_{G2} diminui, maior é o número de portadores majoritários que se acumulam na 2ª interface e que levam a formação e ao aumento desta região neutra, também chamada de corpo ou de acumulação a qual influirá na tensão de limiar do dispositivo. Os cortes transversais foram obtidos nas tensões de porta inferior (V_{G2} = - 4 V, - 10 V, - 14 V) (Figs 5.43, 5.44 e 5.45).

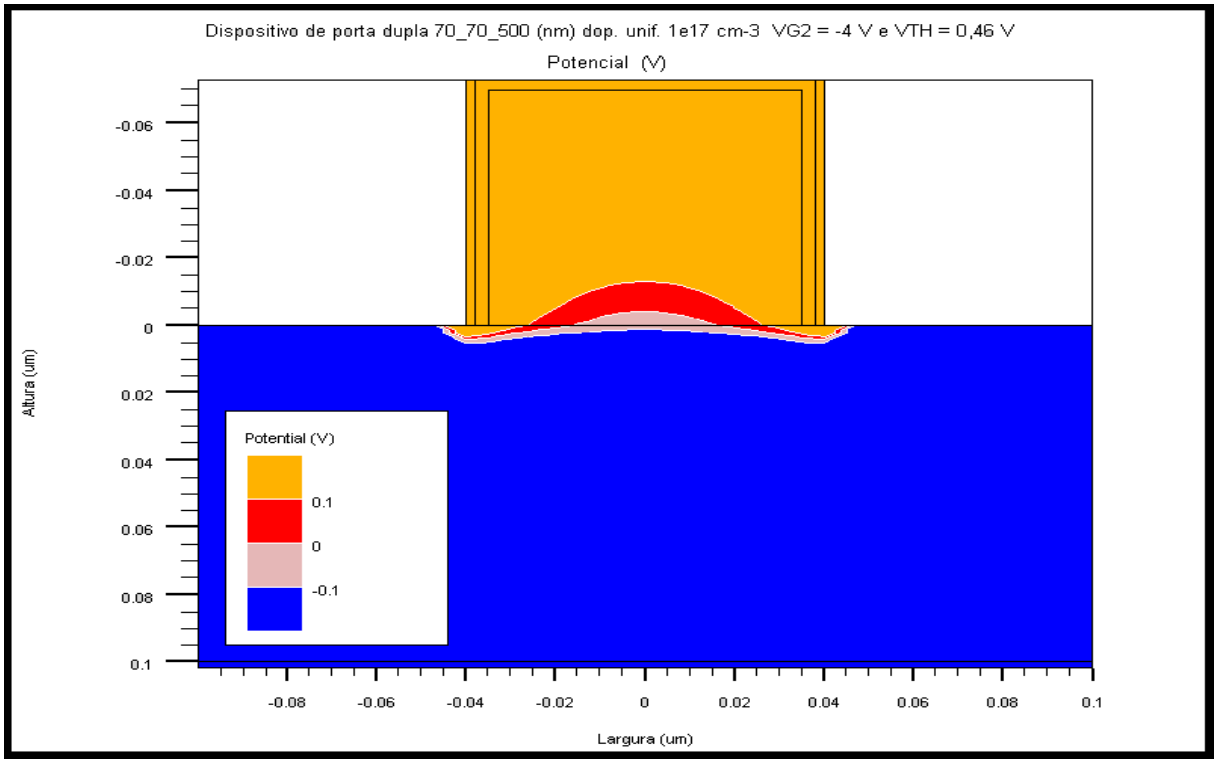


Fig. 5.43 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -4 V, V_{G1} = V_{TH} = 0,46 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.

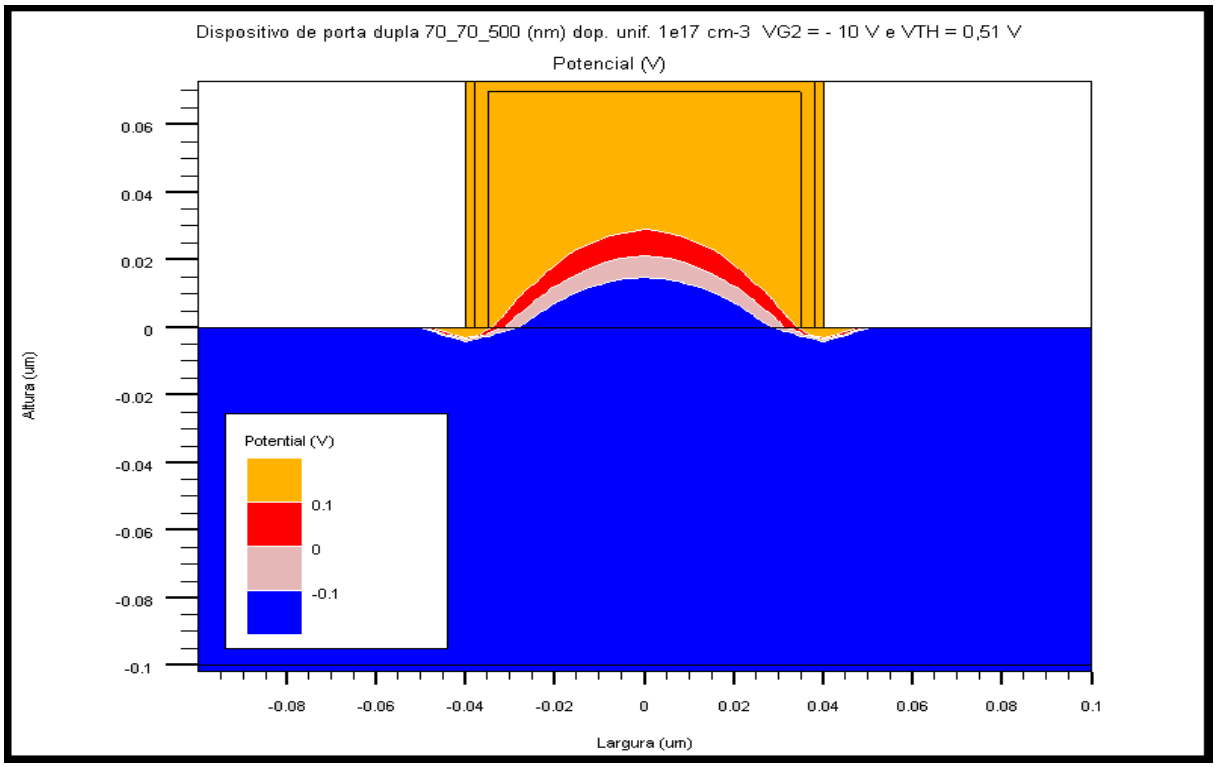


Fig. 5.44 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -10 V, V_{G1} = V_{TH} = 0,51 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.

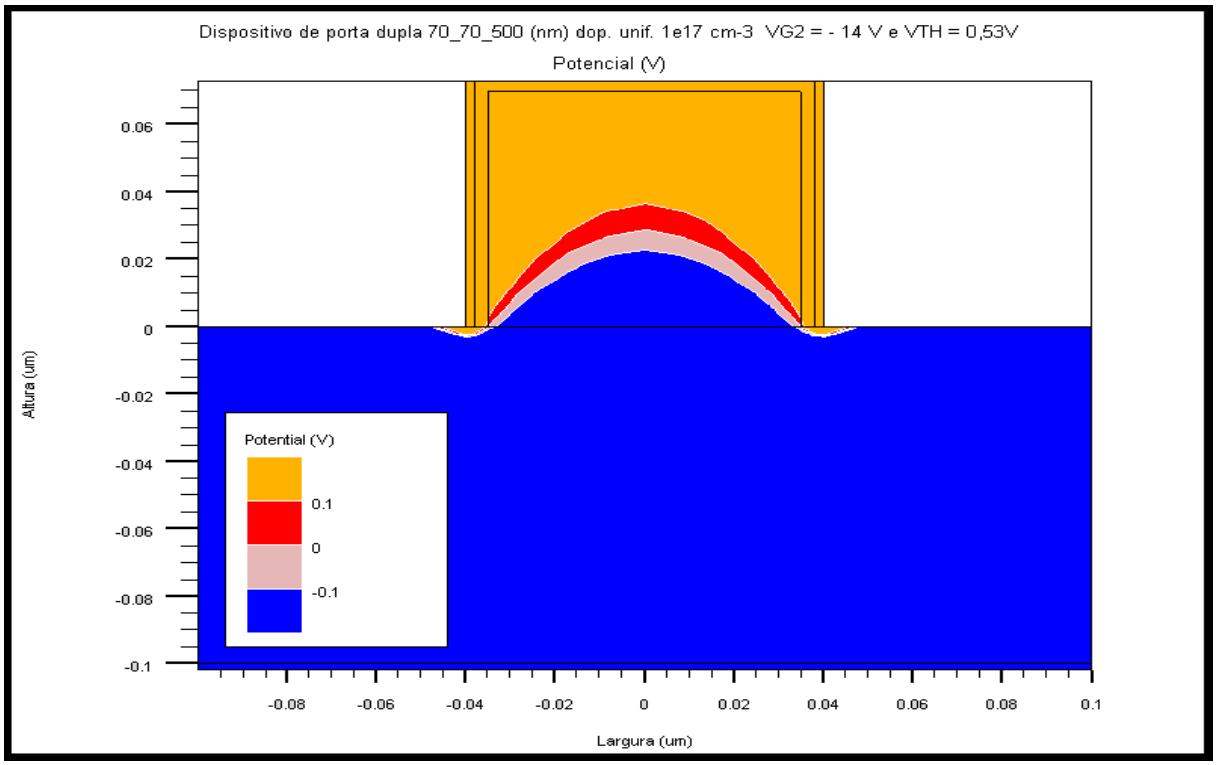


Fig. 5.45 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -14 V, V_{G1} = V_{TH} = 0,53 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e17 cm^{-3}.

5.3.3 Estudo da variação dos níveis de concentração de dopantes (N_a) no dispositivo FinFET SOI com dimensões 70 x 70 x 500 (nm).

5.3.3.1 Concentração $N_a = 5e17\ cm^{-3}$.

Seguem as curvas características da corrente de dreno em função da tensão de porta superior $I_{DS}(V_{G1})$ (Fig. 5.51) obtidas nas simulações. Da 1ª derivada da corrente de dreno em função da tensão de porta superior $(dI_{DS}/dV_{G1})(V_{G1})$ (Fig. 5.52) e 2ª derivada da corrente de dreno em função da tensão de porta superior $(d^2I_{DS}/dV_{G1}^2)(V_{G1})$ (Fig. 5.53), com polarizações positivas e negativas de porta inferior (V_{G2}) e V_{DS} = 0,05 V, mostrando o comportamento das mesmas.

A indicação da seta nas curvas será sempre do menor valor para o maior valor (extremidade com a ponta).

- Curvas características de $I_{DS}(V_{G1})$, 1ª Derivada I_{DS}/V_{G1} (V_{G1}) e 2ª Derivada I_{DS}/V_{G1} (V_{G1}) com valores de V_{G2} positivos e negativos.

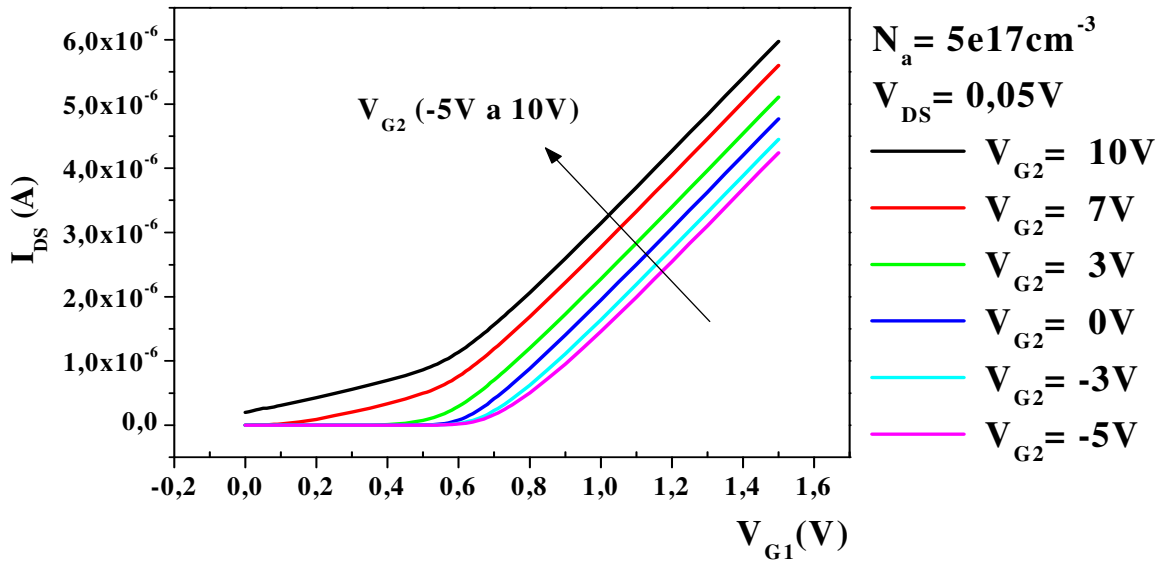


Fig. 5.51 - Curvas características de $I_{DS}(V_{G1})$ para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e $N_a = 5e17\ cm^{-3}$, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V

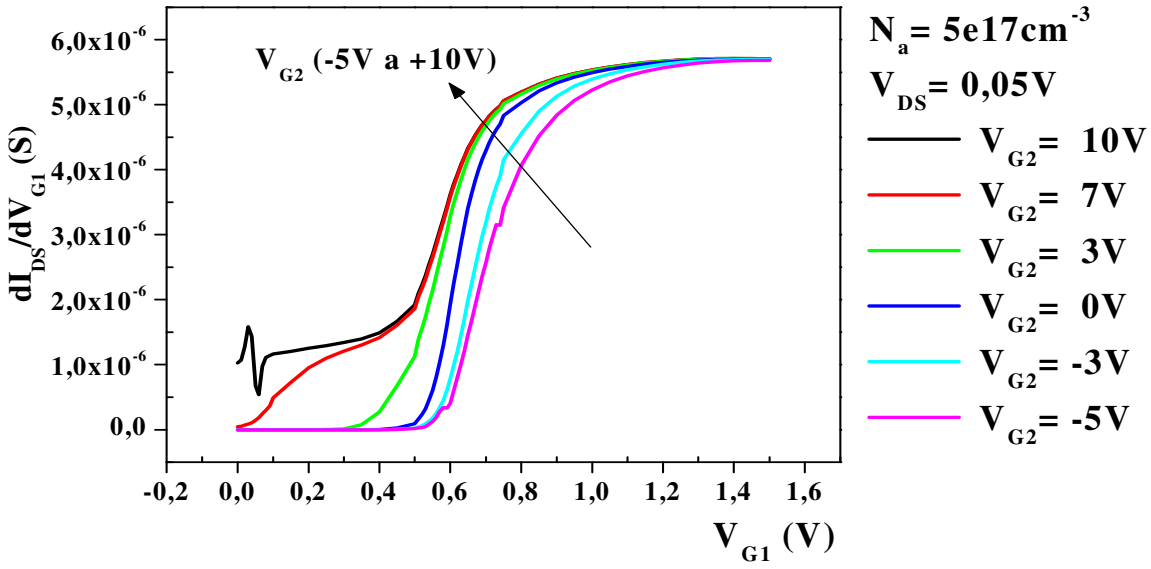


Fig. 5.52 - Curvas características da 1ª derivada da corrente de dreno dI_{DS}/dV_{G1} em função de (V_{G1}) para obtenção da transcondutância (g_m), no dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 5e17 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.

Comparando-se as curvas da 1ª derivada de $dI_{DS}/dV_{G1}(V_{G1})$ figura 5.52, ou seja, da transcondutância obtidas nas simulações, com a referência para dispositivo planar SOI MOSFET figura 5.12, observa-se um comportamento similar. Com valores de tensão mais positivos, na porta inferior (V_{G2}) do dispositivo, tem-se a formação mais acentuada de um platô, enquanto que para potenciais mais negativos, isto não ocorre.

Comparando-se este dispositivo com o de menor concentração de dopantes 1e17 cm^{-3}, este apresenta um platô mais extenso, estendendo-se para valores maiores de porta (V_{G1}), por outro lado, o de menor concentração apresenta um platô com maior valor de transcondutância.

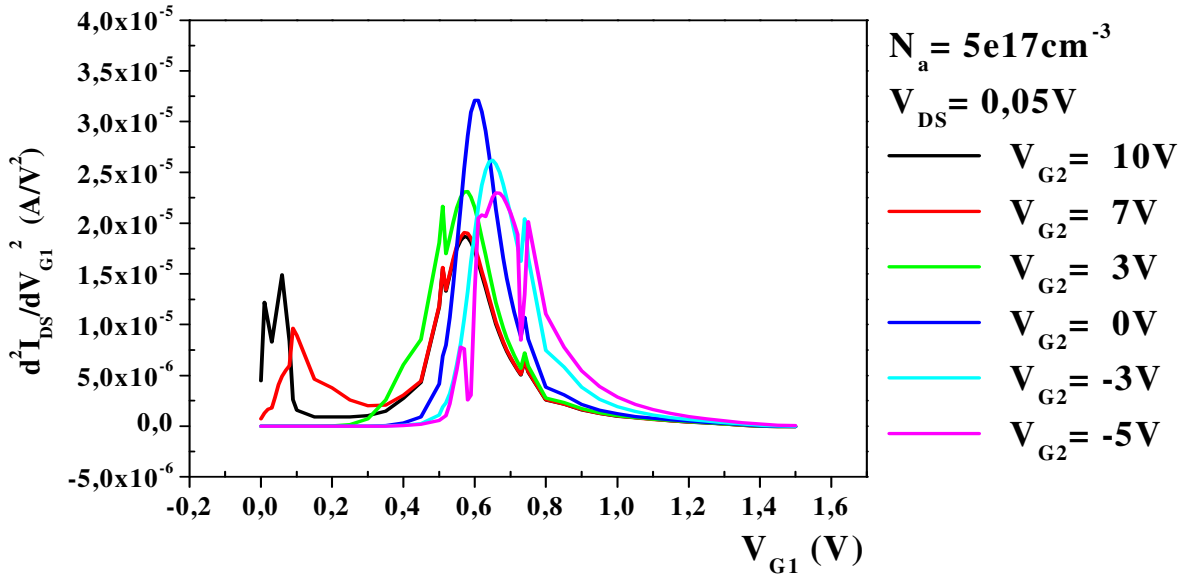


Fig. 5.53 - Curvas características da 2ª derivada da corrente de dreno d^2I_{DS}/dV_{G1}^2 em função de (V_{G1}) para obtenção de V_{TH}, no dispositivo de dimensões 70 x 70 x 500 (nm) e N_a = 5e17 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.

Comparando-se as curvas características da tensão de limiar para as concentrações de dopantes 1e17 cm^{-3} (Fig. 5.13) e 5e17 cm^{-3} (Fig. 5.53), relativas ao dispositivo de dimensões 70 x 70 x 500 (nm), tem-se que o dispositivo com maior concentração de dopantes (N_a) apresenta maior valor de $V_{TH.}$

Segue a tabela 5.2 com os valores de V_{TH} obtidos em simulação nas mesmas condições de polarização (V_{DS} = 0,05 V) e dimensões 70 x 70 x 500 (nm), com concentração de dopagem N_a = 5e17 cm^{-3}.

Estão também indicados na tabela os valores de V_{TH} obtidos em simulação, considerando-se um único portador. Observa-se que há para V_{G2} < -6,0 V uma variação na tensão de limiar da porta para um portador com relação a dois portadores, em decorrência dos portadores majoritários (lacunas) que se concentram na 2ª interface para formação da região de acumulação, na condição de dois portadores.

Tabela 5.3 – Valores de V_{TH} obtidos, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 5e17 cm^{-3}.

CONCENTRAÇÃO DE DOPANTES: Na = 5e17 cm^{-3}		
TENSÃO DE PORTA INFERIOR V_{G2} (V)	TENSÃO DE LIMIAR V_{TH} (V) 1 Portador (elétron)	TENSÃO DE LIMIAR V_{TH} (V) 2 Portadores (elétron e lacuna)
10	0,574	0,574
9	0,574	0,574
8	0,574	0,574
7	0,574	0,574
6	0,574	0,574
5	0,575	0,575
4	0,574	0,574
3	0,575	0,575
2	0,577	0,577
1	0,586	0,586
0	0,605	0,605
-1	0,623	0,623
-2	0,637	0,637
-3	0,648	0,648
-4	0,657	0,657
-5	0,664	0,664
-6	0,666	0,666
-7	0,668	0,685
-8	0,670	0,706
-9	0,672	0,716
-10	0,673	0,724
-11	0,674	0, 728
-12	0,674	0,734
-13	0,674	0,738
-14	0,674	0,740

A partir dos valores da tensão de limiar, obtém-se a curva característica de V_{TH} em função de V_{G2} (Fig. 5.50), a variação máxima de V_{TH} é de 166 mV, com V_{G2} variando de (10 V a -14 V).

5.3.3.1.2 Curva característica $V_{TH}(V_{G2})$.

A figura 5.50 mostra a curva característica indicando as regiões de acumulação para V_{G2} com tensão negativa (< -7,0 V), inversão para V_{G2} com tensão positiva (> -1,0 V) e a região totalmente depletada, com 1ª e 2ª interfaces acopladas eletricamente.

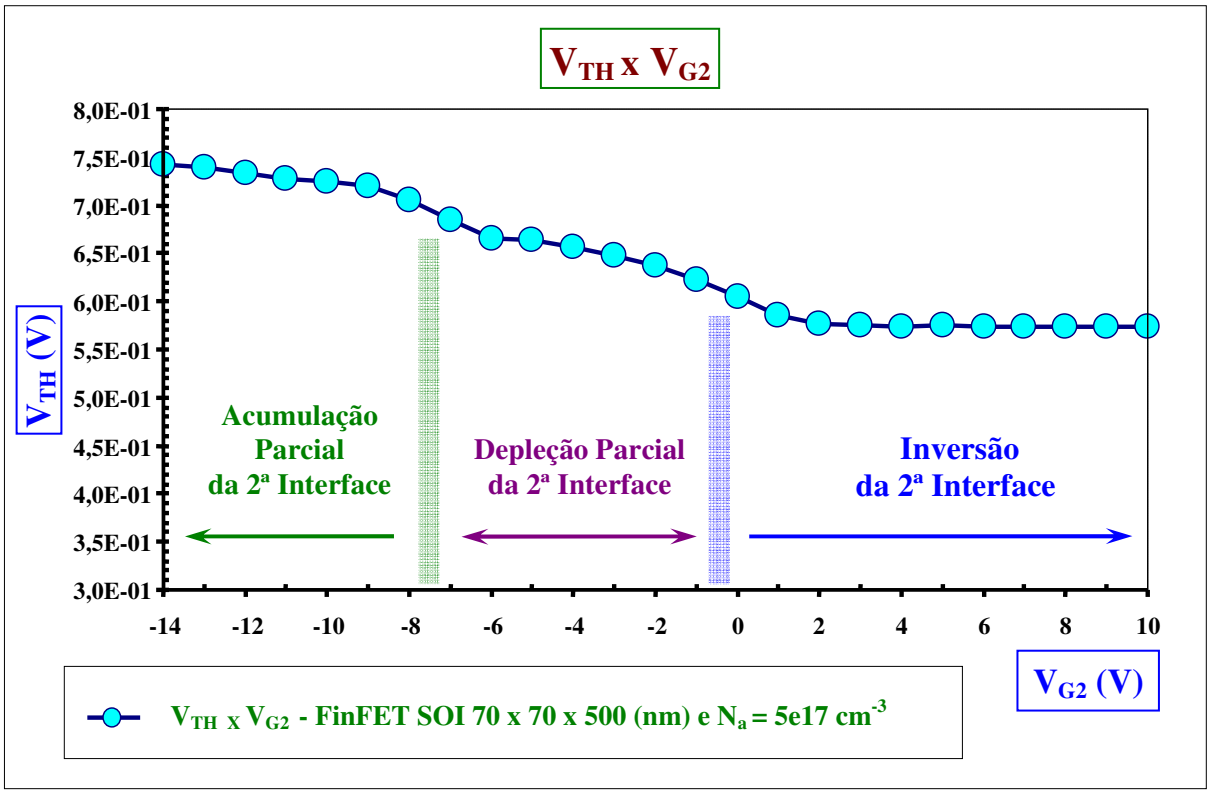


Fig 5.50 - Curva característica V_{TH} em função de V_{G2} com V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 5e17 cm^{-3}.

Observa-se na curva característica acima (Fig. 5.50) de $V_{TH}(V_{G2})$ que para V_{G2} igual a 1,0 V na região de inversão não mais ocorre um pico inferior de $V_{TH,}$ como é observado nas curvas características com concentrações menores.

Seguem as curvas características $I_{DS}(V_{DS})$ com tensão de porta inferior V_{G2} (-8,0 V) para o dispositivo com a 2ª interface na região de acumulação (Fig. 5.54); V_{G2} (-1,0 V) para o dispositivo com a 2ª interface na região de depleção (Fig. 5.55) e V_{G2} (5,0 V) para o dispositivo com a 2ª interface na região de inversão (Fig. 5.56) com V_{DS} variando de (0 a 1,5V).

A indicação da seta nas curvas será sempre do menor valor para o maior valor (extremidade com a ponta).

5.3.3.1.3 Curvas características $I_{DS}(V_{DS})$ com valores de V_{G2} (-8,0 V) (região de acumulação); (-1,0 V) (região de depleção) e (5,0 V) (região de inversão).

- **Para V_{G2} = -8,0V (Região de acumulação) com $V_{G1} = V_{TH}$ = 0,71 V; V_{G1} = 0,75 V e V_{G1} = 1,0 V com V_{DS} variando de (0 a 1,5 V).**

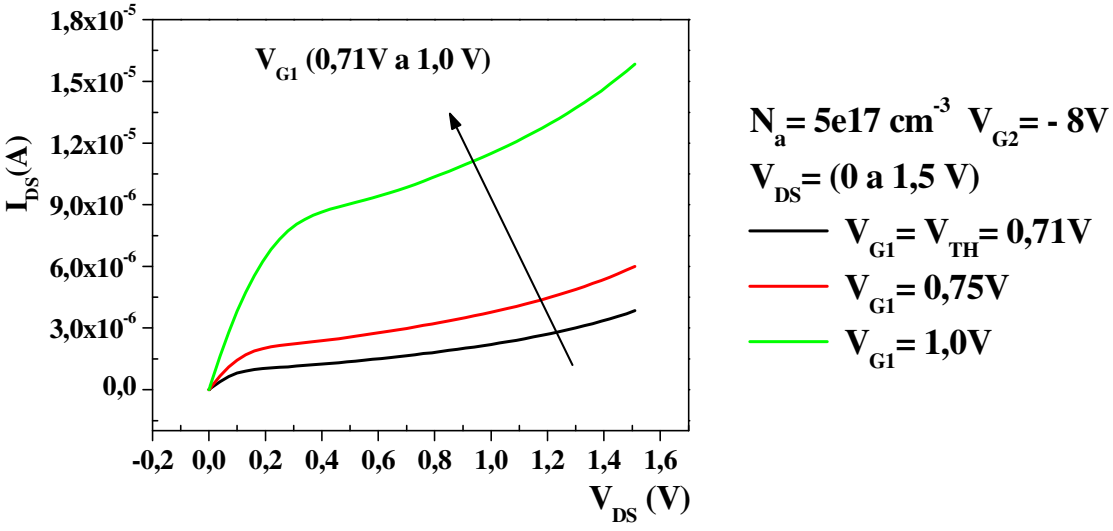


Fig. 5.54 - Curvas características de $I_{DS}(V_{DS})$ na região de acumulação, com V_{G2} = -8 V, V_{G1} = (0,71 V = (V_{TH}), 0,75 V e 1,0 V) e V_{DS} variando de (0 a 1,5 V), para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 5e17 cm^{-3}.

- **Para V_{G2} = -1,0 V (Região de depleção) com $V_{G1} = V_{TH}$ = 0,62 V; V_{G1} = 0,75 V e V_{G1} = 1,0 V com V_{DS} variando de (0 a 1,5V).**

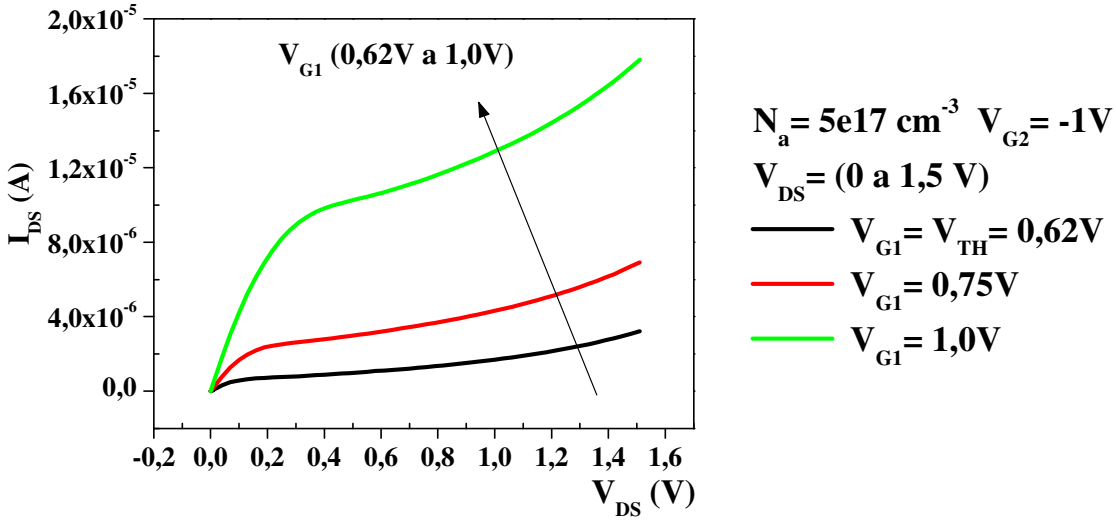


Fig. 5.55 - Curvas características de $I_{DS}(V_{DS})$ na região de depleção com V_{G2} = -1,0 V, V_{G1} = (0,62 V = (V_{TH}), 0,75 V e 1,0 V) e V_{DS} variando de (0 a 1,5 V), para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 5e17 cm^{-3}.

- **Para V_{G2} = 5,0V (Região de inversão) com V_{G1} = V_{TH} = 0,57V; V_{G1} = 0,75V e V_{G1} = 1,0V com V_{DS} variando de (0 a 1,5V).**

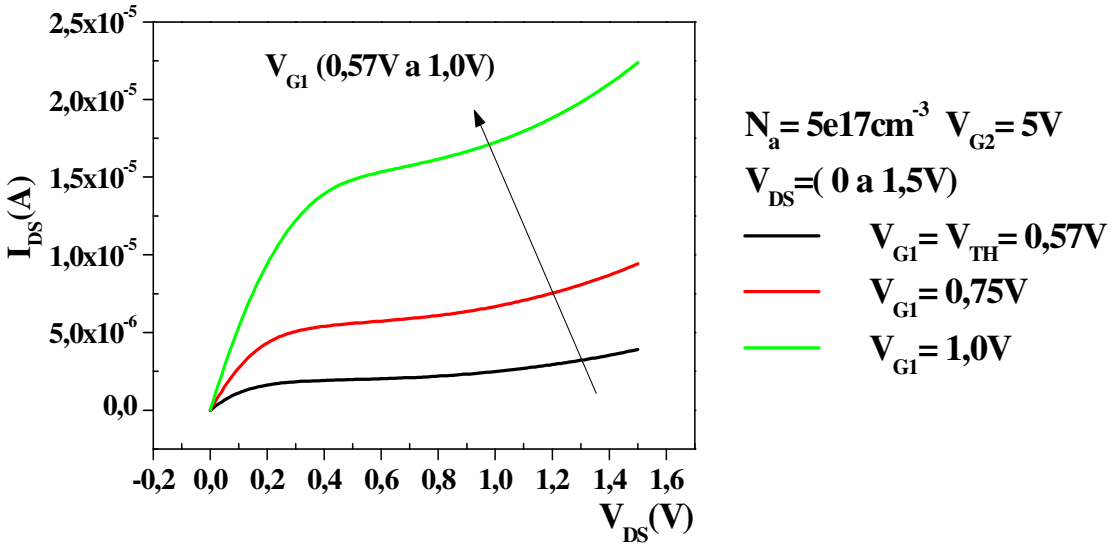


Fig. 5.56 - Curvas características de $I_{DS}(V_{DS})$ na região de inversão com V_{G2} = 5,0 V, V_{G1} = (0,57 V = (V_{TH}), 0,75 V e 1,0 V) e V_{DS} variando de (0 a 1,5 V), para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 5e17 cm^{-3}.

Observa-se das curvas características de $I_{DS}(V_{DS})$ (Fig. 5.54, Fig. 555 e Fig. 5.56) que para a mesma concentração de impurezas aceitadoras no semicondutor tipo p (N_a) e mesma polarização de porta inferior (V_{G2}), a corrente de dreno (I_{DS}) aumenta em função da mesma variação da tensão de dreno, com o aumento da tensão aplicada na porta (V_{G1}).

I_{DS} na acumulação < I_{DS} na depleção < I_{DS} na inversão (neste caso não há controle da porta (V_{G1}) na 2ª interface em inversão). Com o aumento da concentração de dopagem (N_a) no corpo de silício tem-se uma diminuição na corrente de dreno, devido à diminuição da mobilidade.

5.3.3.2 Concentração N_a = 1e15 cm^{-3}.

Seguem as curvas características da corrente de dreno em função da tensão de porta superior $I_{DS}(V_{G1})$ (Fig. 5.61) obtidas nas simulações. Da 1ª derivada da corrente de dreno em função da tensão de porta superior $(dI_{DS}/dV_{G1})(V_{G1})$ (Fig. 5.62) e 2ª derivada da corrente de dreno em função da tensão de porta superior $(d^2I_{DS}/dV_{G1}^2)(V_{G1})$ (Fig. 5.63), com polarizações positivas e negativas de porta inferior (V_{G2}) e V_{DS} = 0,05V, mostrando o comportamento das mesmas.

A indicação da seta nas curvas será sempre do menor valor para o maior valor (extremidade com a ponta).

- Curvas características de $I_{DS}(V_{G1})$, 1ª derivada $(I_{DS}/V_{G1})(V_{G1})$ e 2ª derivada $(I_{DS}/V_{G1})(V_{G1})$ com valores de V_{G2} positivos e negativos.

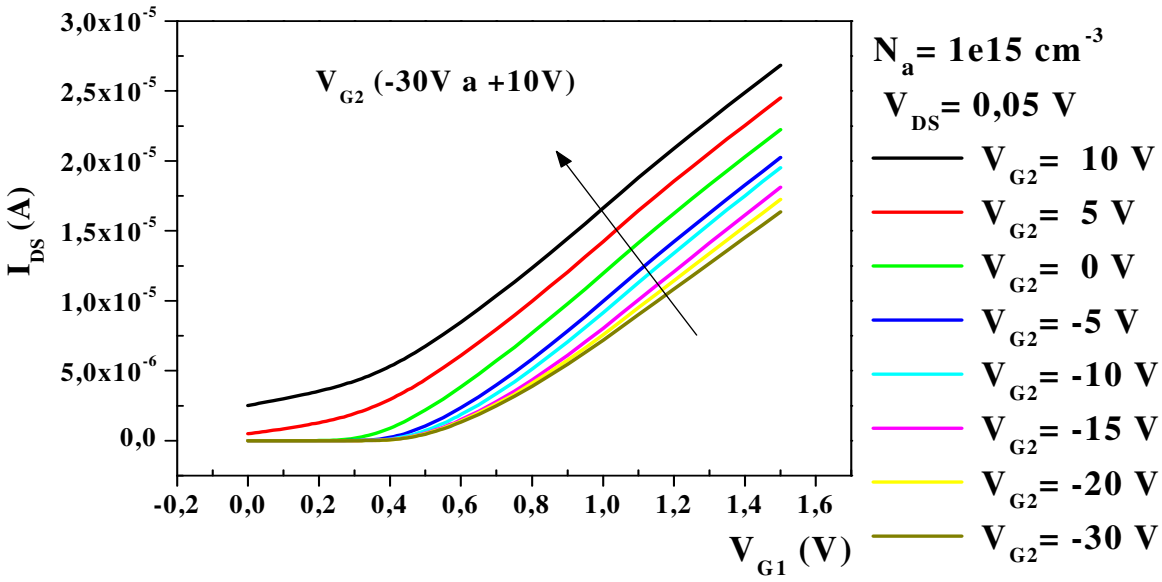


Fig. 5.61 - Curvas características de $I_{DS}(V_{G1})$ no dispositivo de dimensões 70 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.

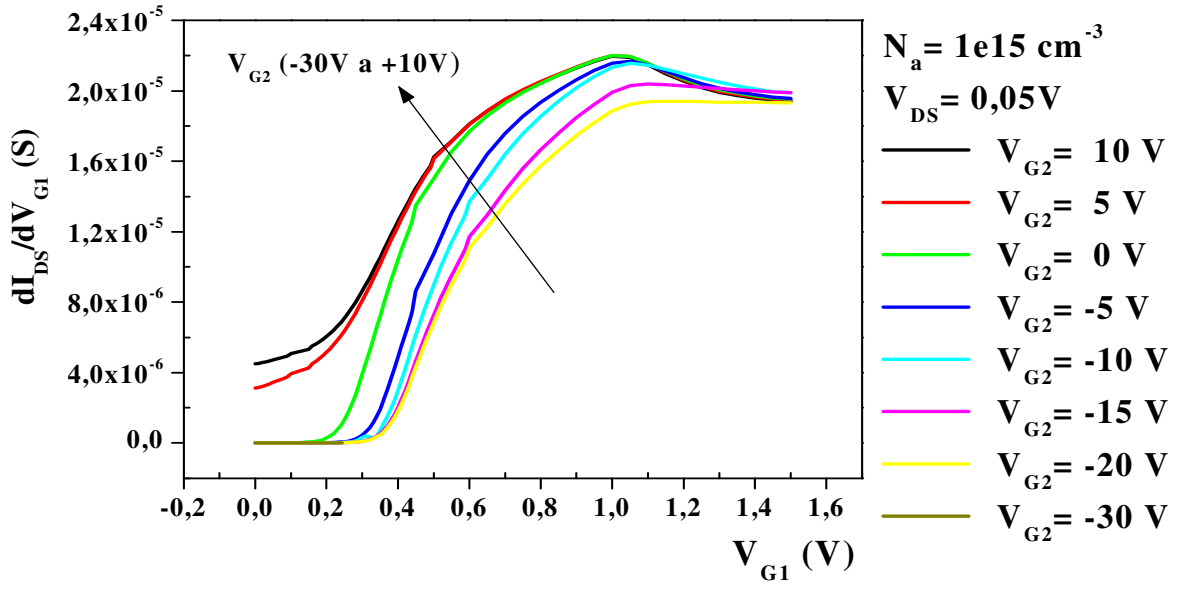


Fig. 5.62 - Curvas características da 1ª derivada da corrente de dreno I_{DS}/V_{G1} em função de (V_{G1}) para obtenção da transcondutância (g_m), no dispositivo de dimensões 70 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.

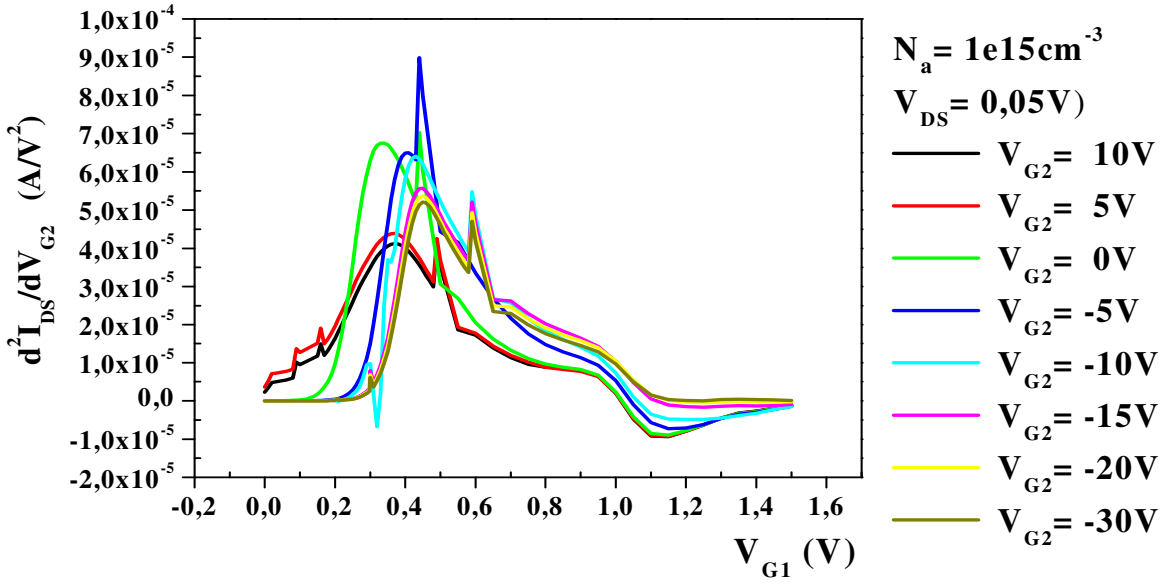


Fig. 5.63 - Curvas características da 2ª derivada da corrente de dreno I_{DS}/V_{G1} em função de (V_{G1}) para obtenção da tensão de limiar (V_{TH}), no dispositivo de dimensões 70 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V .

Segue a tabela 5.4 com os valores de V_{TH} obtidos em simulação nas mesmas condições de polarização (V_{DS} = 0,05 V) e dimensões 70 x 70 x 500 (nm), com concentração de dopagem N_a = 1e15 cm^{-3}.

Tabela 5.4 – Valores de V_{TH} obtidos, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.

CONCENTRAÇÃO DE DOPANTES: Na =1e15 cm^{-3}	
TENSÃO DE PORTA INFERIOR V_{G2} (V)	TENSÃO DE LIMIAR V_{TH} (V)
10	0,371
9	0,370
8	0,369
7	0,370
6	0,369
5	0,366
4	0,364
3	0,360
2	0,353
1	0,325
0	0,338
-1	0,358
-2	0,386
-3	0,394
-4	0,397
-5	0,410
-6	0,406
-7	0,413
-8	0,420
-9	0425
-10	0,429
-11	0,439
-12	0,439
-13	0,440
-14	0,441
-15	0,446
-20	0,449
-25	0,451
-30	0,452

A partir dos valores da tensão de limiar, obtém-se a curva característica de V_{TH} em função de V_{G2} (Fig. 5.60), a variação máxima de V_{TH} é de 127 mV, com V_{G2} variando de (10 V a -30 V).

5.3.3.2.1 Curva característica $V_{TH}(V_{G2})$.

A figura 5.60 mostra a curva característica indicando as regiões de acumulação para V_{G2} com tensão negativa (< -7,0 V), inversão para V_{G2} com tensão negativa e positiva (> -3,0 V) e a região totalmente depletada, com 1ª e 2ª interfaces acopladas eletricamente.

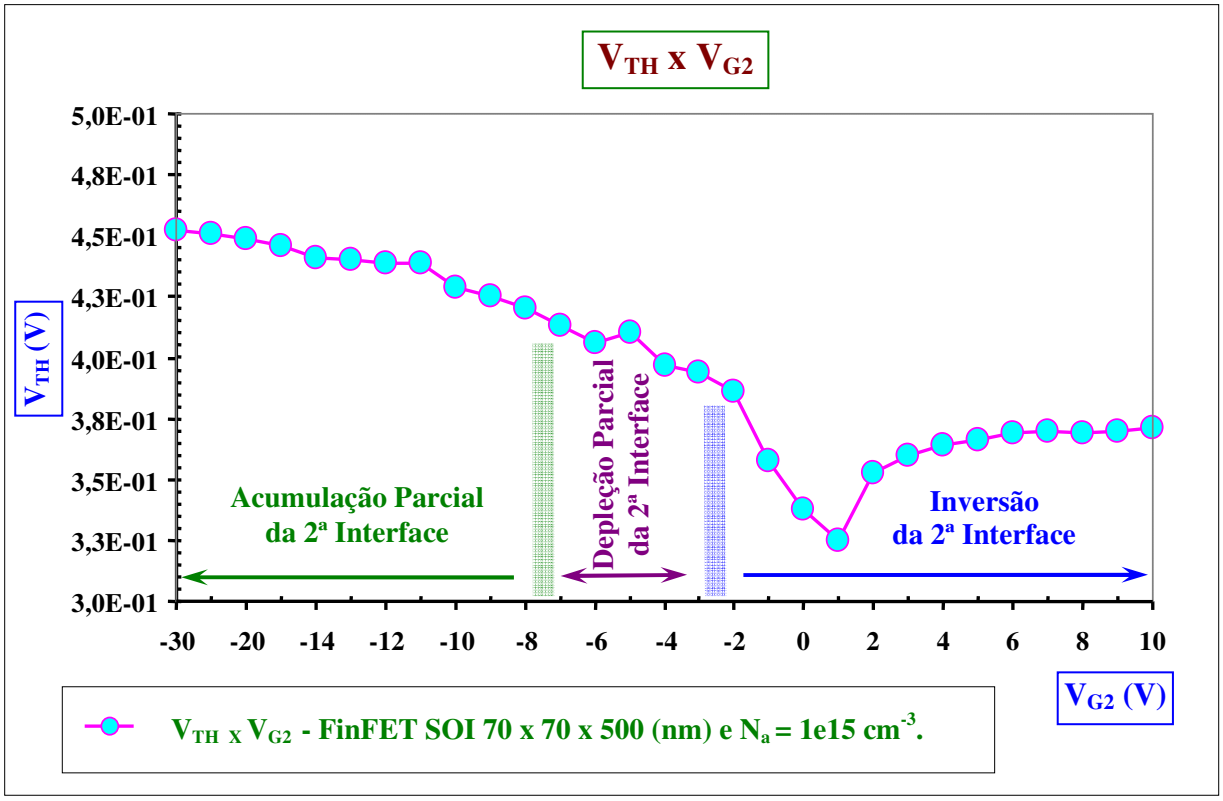


Fig 5.60 - Curva característica V_{TH} em função de V_{G2} com V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.

- Cortes transversais na estrutura com as curvas isométricas de potencias.

A seguir estão evidenciados os cortes transversais na estrutura do dispositivo, com as curvas isométricas de potenciais para (+ 0,1 V, 0 V e - 0,1 V). Através da tensão negativa aplicada na porta inferior (V_{G2}) e estando a primeira interface na respectiva tensão de limiar aplicada na porta (V_{G1}) é possível observar o deslocamento da região neutra na região ativa de silício do dispositivo.

À medida que, esta tensão de V_{G2} diminui, maior é o número de portadores majoritários que se acumulam na 2ª interface e que levam a formação e ao aumento desta região neutra, também chamada de corpo ou de acumulação a qual influirá na tensão de limiar do dispositivo. Os cortes transversais foram obtidos nas tensões de porta inferior (V_{G2} = - 4 V, - 10 V, - 20 V) (Figs 5.64, 5.65 e 5.66).

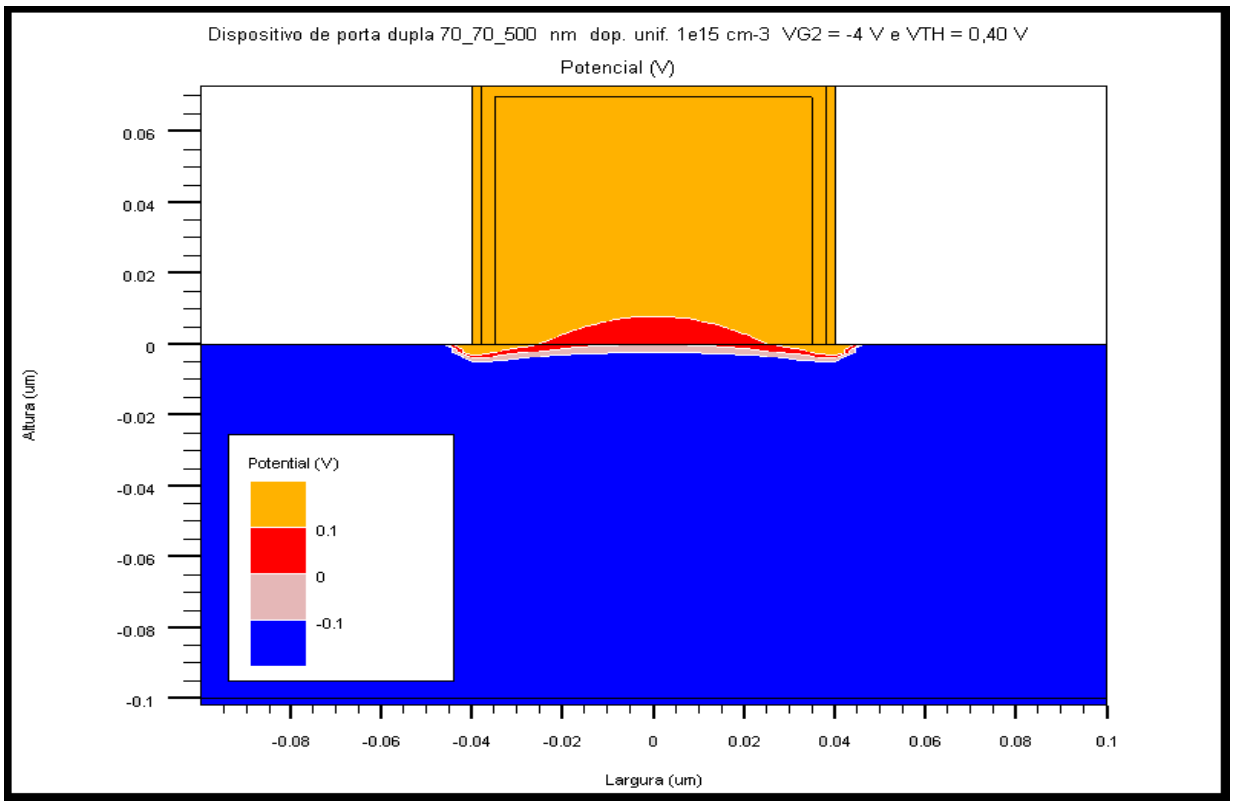


Fig. 5.64 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra na interface região ativa de silício e óxido enterrado (2ª interface) com V_{G2} = -4 V, V_{G1} = V_{TH} = 0,40 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.

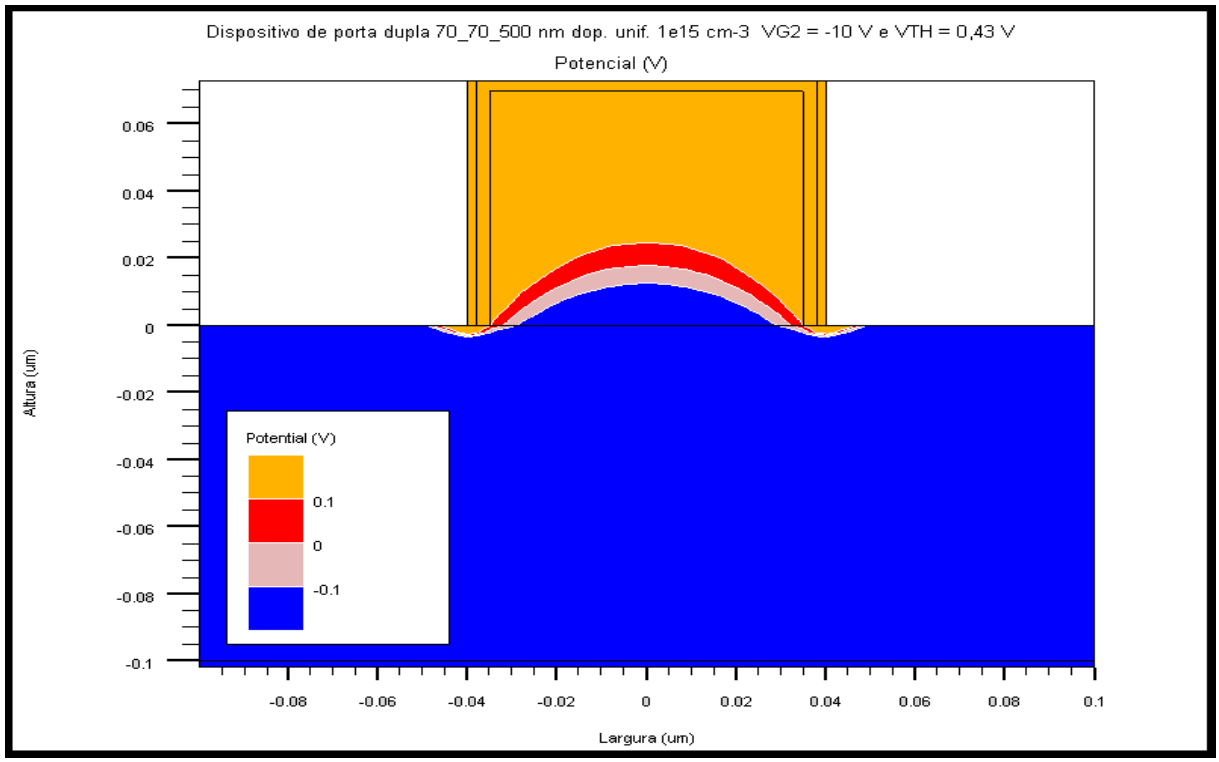


Fig. 5.65 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -10 V, V_{G1} = V_{TH} = 0,43 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.

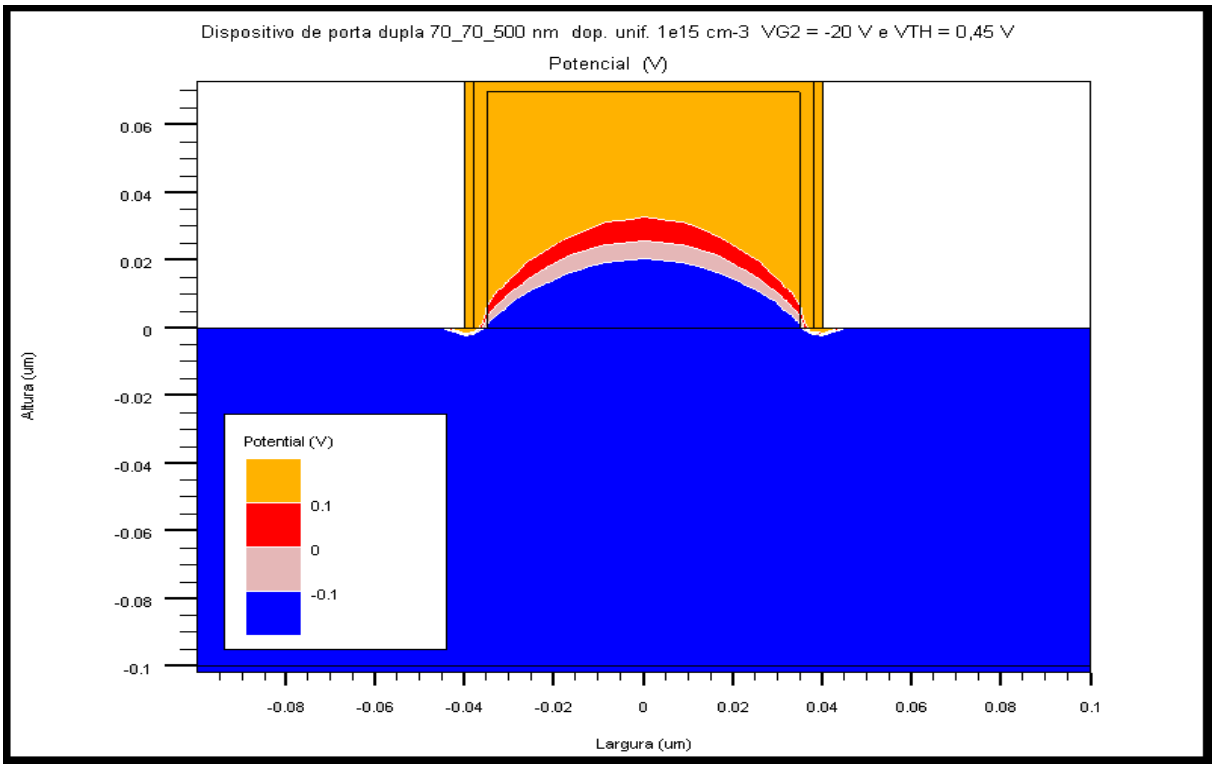


Fig. 5.66 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -20 V, V_{G1} = V_{TH} = 0,45 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.

Comparando-se as figuras 5.64, 5.65 e 5.66 com concentração de dopagem 1e15 cm^{-3} e figuras 5.43, 5.44 e 5.45 com concentração de dopagem 1e17 cm^{-3} do mesmo dispositivo 70 x 70 x 500 nm, relativas ao corte transversal da estrutura com a curva de potencial (0 V) - região neutra. Observa-se que, com maior concentração de dopagem há a formação da região neutra para valores menos negativos de $V_{G2,}$ ou seja, o deslocamento da curva equipotencial (0 V) para 2ª interface (região ativa de silício) é mais rápido. Isto significa, que há uma maior influência da polarização de substrato na região ativa de silício com o aumento da concentração de dopagem.

5.3.3.3 Concentração $N_a = 1e16\ cm^{-3}$.

Seguem as curvas características da corrente de dreno em função da tensão de porta $I_{DS}(V_{G1})$ (Fig. 5.71) obtidas em simulações. Da 1ª derivada da corrente de dreno em função da tensão de porta $(dI_{DS}/dV_{G1})(V_{G1})$ (Fig. 5.72) e 2ª derivada da corrente de dreno em função da tensão de porta $(d^2I_{DS}/dV_{G1}^2)(V_{G1})$ (Fig. 5.73), com polarizações positivas e negativas de porta inferior (V_{G2}) e V_{DS} = 0,05V, mostrando o comportamento das mesmas.
A indicação da seta nas curvas será sempre do menor valor para o maior valor (extremidade com a ponta).

- Curvas características de $I_{DS}(V_{G1})$, 1ª derivada $(dI_{DS}/dV_{G1})(V_{G1})$ e 2ª derivada $(d^2I_{DS}/dV_{G1}^2)(V_{G1})$ com valores de V_{G2} positivos e negativos.

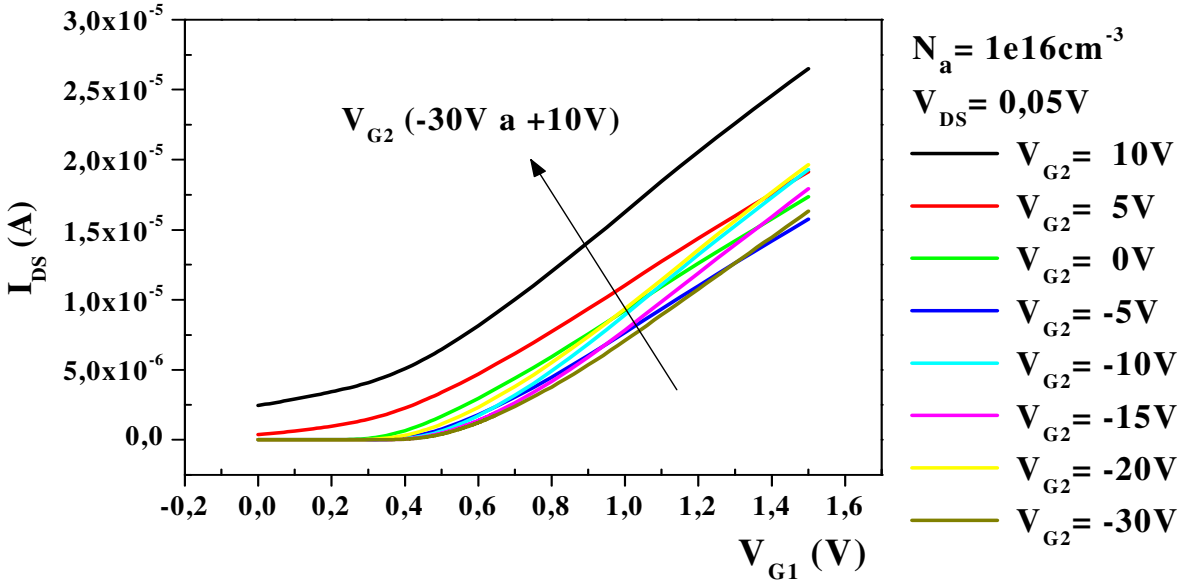


Fig. 5.71 - Curvas características de $I_{DS}(V_{G1})$ no dispositivo de dimensões 70 x 70 x 500 (nm) e $N_a = 1e16\ cm^{-3}$, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.

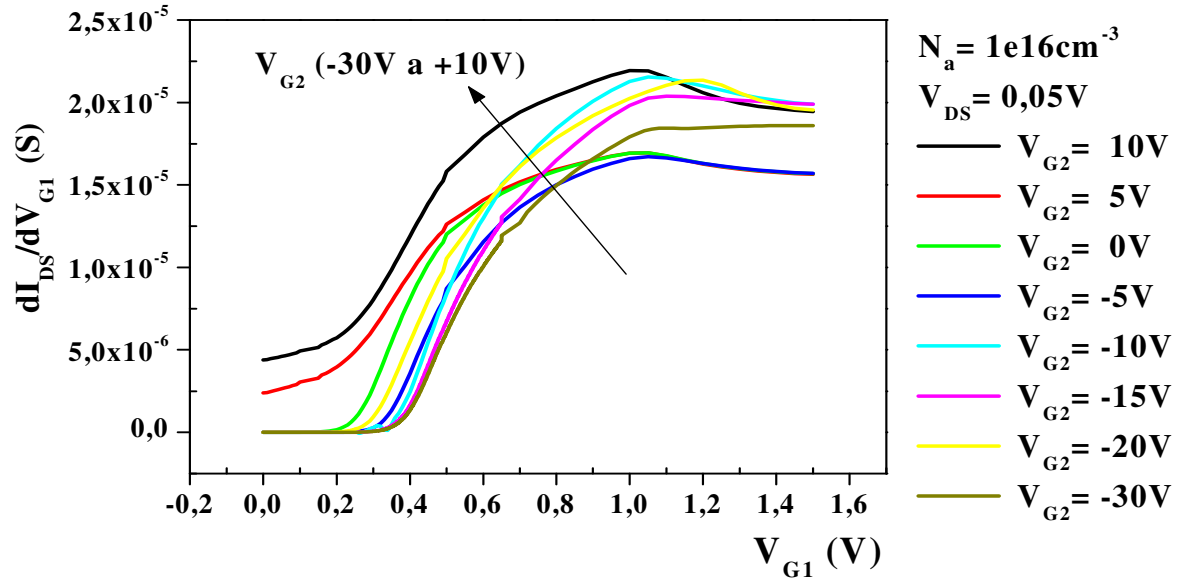


Fig. 5.72 - Curvas características da 1ª derivada da corrente de dreno I_{DS}/V_{G1} em função de (V_{G1}) para obtenção da transcondutância (g_m), no dispositivo de dimensões 70 x 70 x 500 (nm) e N_a = 1e16 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.

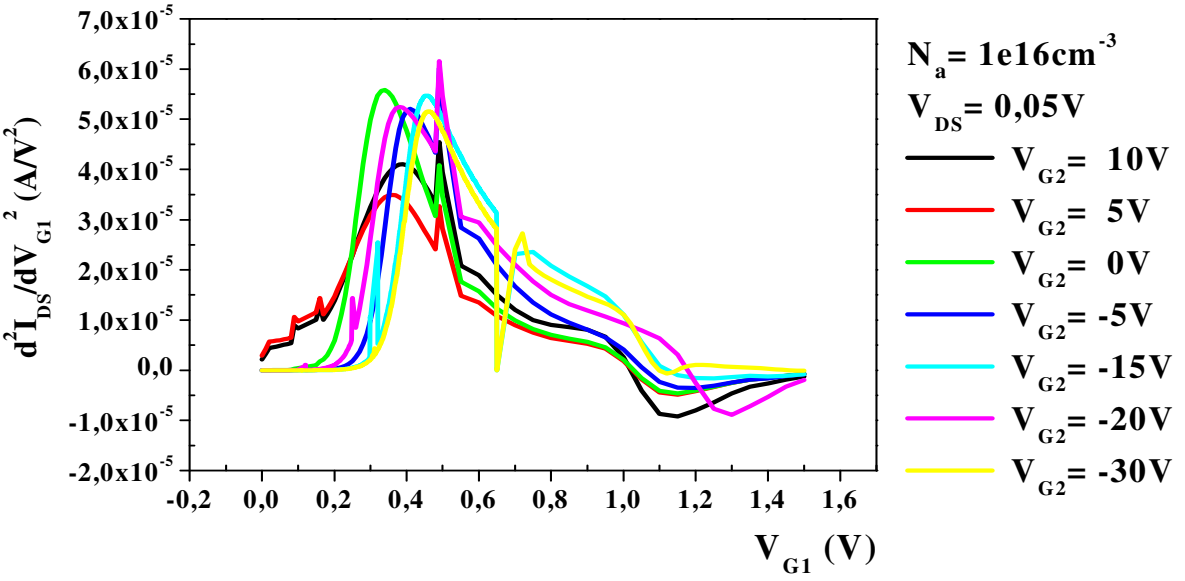


Fig. 5.73 - Curvas características da 2ª derivada da corrente de dreno I_{DS}/V_{G1} em função de (V_{G1}) para obtenção da tensão de limiar (V_{TH}), no dispositivo de dimensões 70 x 70 x 500 (nm) e N_a = 1e16 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V .

Segue a tabela 5.5 com os valores de V_{TH} obtidos em simulação nas mesmas condições de polarização (V_{DS} = 0,05 V) e dimensões 70 x 70 x 500 (nm), com concentração de dopagem N_a = 1e16 cm^{-3}.

Tabela 5.5 – Valores de V_{TH} obtidos, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e16 cm^{-3}.

CONCENTRAÇÃO DE DOPANTES: Na =1e16 cm^{-3}	
TENSÃO DE PORTA INFERIOR V_{G2} (V)	TENSÃO DE LIMIAR V_{TH} (V)
10	0,388
9	0,387
8	0,386
7	0,386
6	0,385
5	0,361
4	0,358
3	0,354
2	0,346
1	0,316
0	0,338
-1	0,366
-2	0,382
-3	0,392
-4	0,400
-5	0,409
-6	0,418
-7	0,427
-8	0,435
-9	0439
-10	0,440
-11	0,448
-12	0,456
-13	0,457
-14	0,459
-15	0,457
-20	0,459
-25	0,461
-30	0,461

A partir dos valores da tensão de limiar obtém-se a curva característica de V_{TH} em função de V_{G2} (Fig. 5.70), a variação máxima de V_{TH} é de 145 mV, com V_{G2} variando de (10 V a -30 V).

5.3.3.3.1 Curva característica $V_{TH}(V_{G2})$.

A figura 5.70 mostra a curva característica indicando as regiões de acumulação para V_{G2} com tensão negativa (< -10,0 V), inversão para V_{G2} com tensão negativa e positiva (> -3,0 V) e a região totalmente depletada, com 1ª e 2ª interfaces acopladas eletricamente.

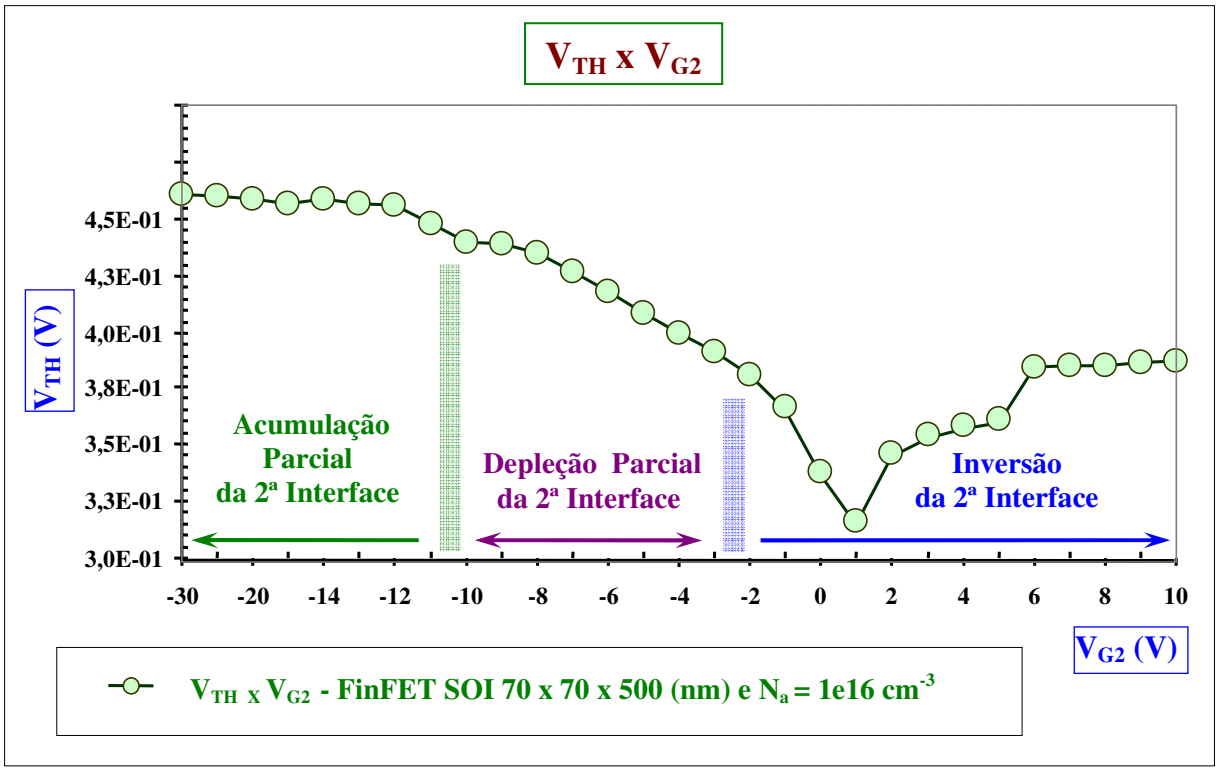


Fig 5.70 - Curva característica V_{TH} em função de V_{G2} com V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) e N_a = 1e16 cm^{-3}.

Com os valores de V_{TH} obtidos para o mesmo dispositivo 70 x 70 x 500 (nm) nas concentrações de 1e15, 1e16, 1e17 e 5e17 (cm^{-3}), elencados nas tabelas (Tab. 5.4, 5.5, 5,2 e 5.3) e curvas características $V_{TH}(V_{G2})$ (Figs 5.60, 5.70, 5.31 e 5.50), observa-se que:

- À medida que a concentração de dopagem aumenta, há um aumento na tensão de $V_{TH,}$ com o deslocamento da região de inversão para valores de V_{G2} positivos.
- Na região de inversão, V_{TH} permanece praticamente constante, pois, quando a 2ª interface encontra-se totalmente invertida, há a formação de um platô.
- Na região de acumulação, V_{TH} continuará aumentando, com variações para mais e para menos em função da tensão de porta inferior (V_{G2}), porém de maneira bem menos acentuada, (se comparada com o dispositivo totalmente depletado), e variável segundo a concentração de impurezas aceitadoras (N_a), na região ativa de silício.

5.3.4 Estudo da variação da largura (W_{Fin}) no dispositivo FinFET SOI.

5.3.4.1 Dispositivo FinFET SOI com dimensões 30 x 70 x 500 (nm) e concentração N_a = 1e15 cm^{-3}.

Seguem algumas das curvas características da corrente de dreno em função da tensão de porta $I_{DS}(V_{G1})$ (Fig. 5.81) obtidas em simulações. Da 1ª derivada da corrente de dreno em função da tensão de porta $(dI_{DS}/dV_{G1})(V_{G1})$ (Fig. 5.82) e 2ª derivada da corrente de dreno em função da tensão de porta $(d^2I_{DS}/dV_{G1}^2)(V_{G1})$ (Fig. 5.83), com polarizações positivas e negativas de porta inferior (V_{G2}) e V_{DS} = 0,05V, mostrando o comportamento das mesmas.
A indicação da seta nas curvas características será sempre do menor valor para o maior valor (extremidade com a ponta).

- Curvas características de $I_{DS}(V_{G1})$, 1ª derivada $(dI_{DS}/dV_{G1})(V_{G1})$ e 2ª derivada $(d^2I_{DS}/dV_{G1}^2)(V_{G1})$ com valores de V_{G2} positivos e negativos.

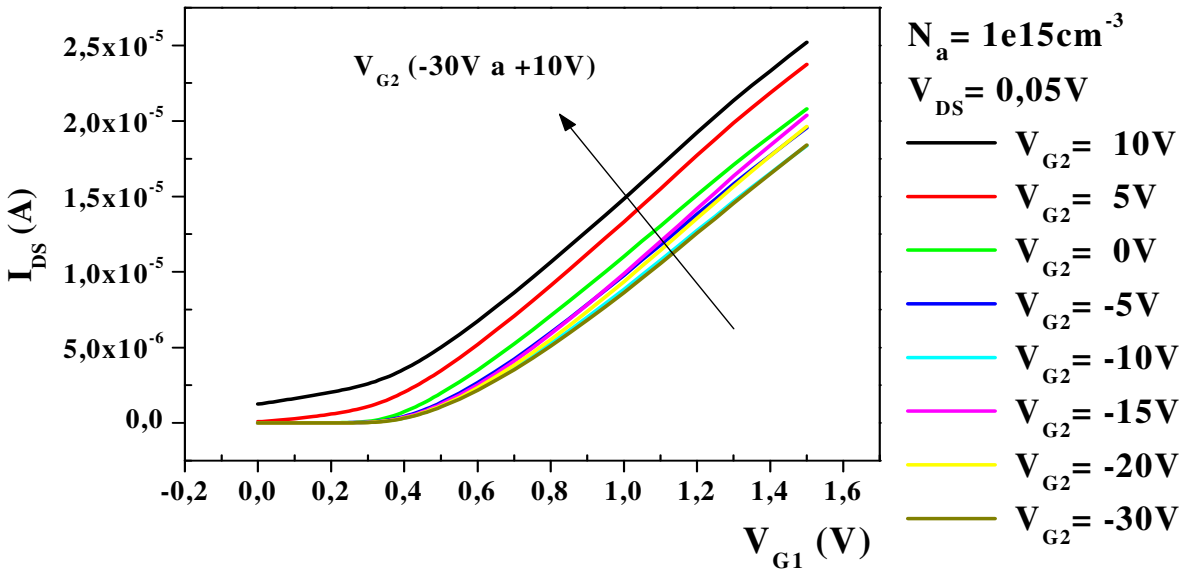


Fig. 5.81 - Curvas características de $I_{DS}(V_{G1})$ no dispositivo de dimensões 30 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.

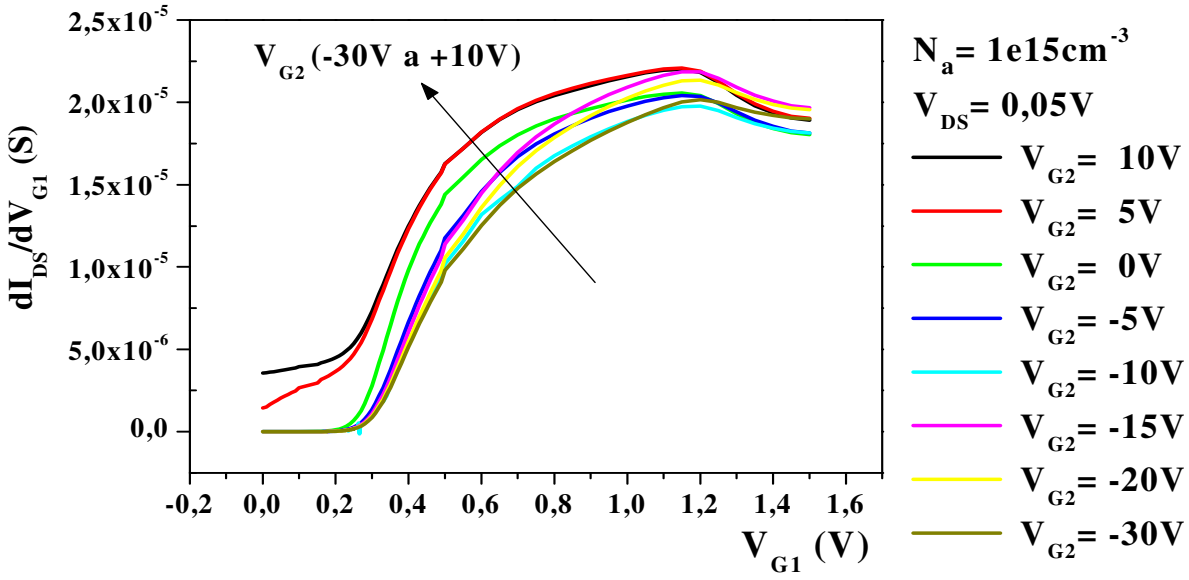


Fig. 5.82 - Curvas características da 1ª derivada da corrente de dreno I_{DS}/V_{G1} em função de (V_{G1}) para obtenção da transcondutância (g_m), no dispositivo de dimensões 30 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.

Comparando-se as curvas da 1ª derivada de $I_{DS}/V_{G1}(V_{G1})$ figura 5.82, obtidas nas simulações, com a referência figura 5.12 (item 3.4 - Transcondutância) para dispositivo planar SOI MOSFET, observa-se um comportamento similar. Com valores de tensão mais positivos, na porta inferior (V_{G2}) do dispositivo, tem-se a formação mais acentuada de um platô, enquanto que para potenciais mais negativos, isto não ocorre.

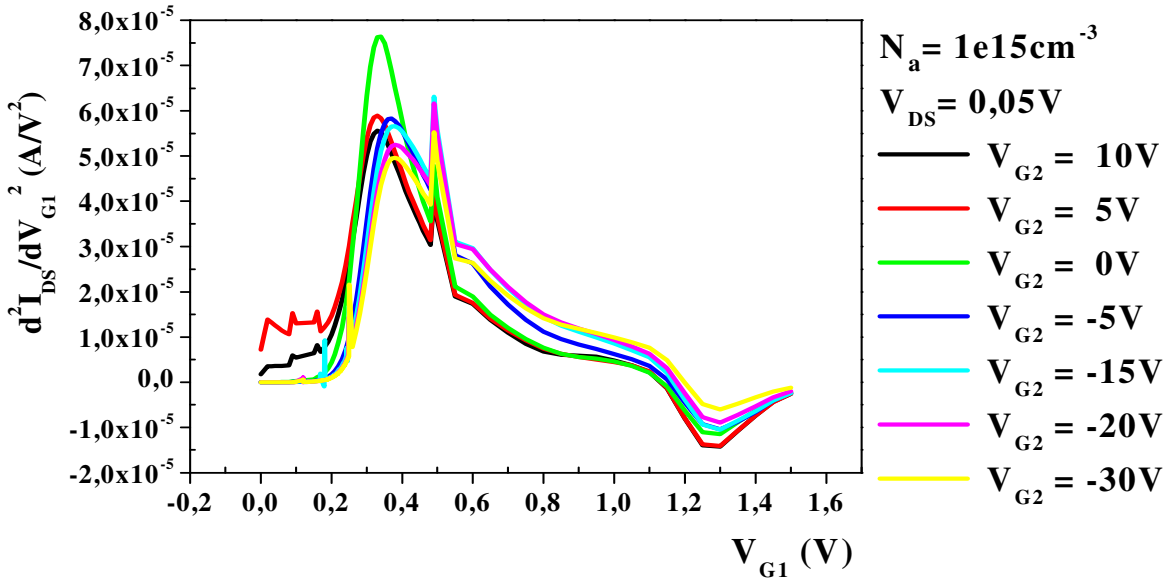


Fig. 5.83 - Curvas características da 2ª derivada da corrente de dreno I_{DS}/V_{G1} em função de (V_{G1}) para obtenção da tensão de limiar (V_{TH}), no dispositivo de dimensões 30 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.

Segue a tabela 5.6 com os valores de V_{TH} obtidos em simulação, nas mesmas condições de polarização (V_{DS} = 0,05 V) e dimensões 30 x 70 x 500 (nm), com concentração de N_a = 1e15 cm^{-3}.

Tabela 5.6 – Valores de V_{TH} obtidos, para o dispositivo FinFET SOI de dimensões 30 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}

CONCENTRAÇÃO DE DOPANTES: Na =1e15 cm^{-3}	
TENSÃO DE PORTA INFERIOR V_{G2} (V)	TENSÃO DE LIMIAR V_{TH} (V)
10	0,332
9	0,332
8	0,331
7	0,331
6	0,331
5	0,330
4	0,330
3	0,327
2	0,320
1	0,320
0	0,336
-1	0,349
-2	0,356
-3	0,360
-4	0,364
-5	0,367
-6	0,369
-7	0,371
-8	0,373
-9	0,375
-10	0,374
-11	0,375
-12	0,375
-13	0,376
-14	0,377
-15	0,379
-20	0,383
-25	0,382
-30	0,380

A partir dos valores da tensão de limiar, obtém-se a curva característica de V_{TH} em função de V_{G2} (Fig. 5.80), a variação máxima de V_{TH} é de 63 mV, com V_{G2} variando de (10 V a -30 V).

5.3.4.1.1 Curva característica $V_{TH}(V_{G2})$

A figura 5.80 mostra a curva característica indicando as regiões de acumulação para V_{G2} com tensão negativa (< -15,0 V), inversão para V_{G2} com tensão negativa e positiva (> -3,0 V) e a região totalmente depletada, com 1ª e 2ª interfaces acopladas eletricamente.

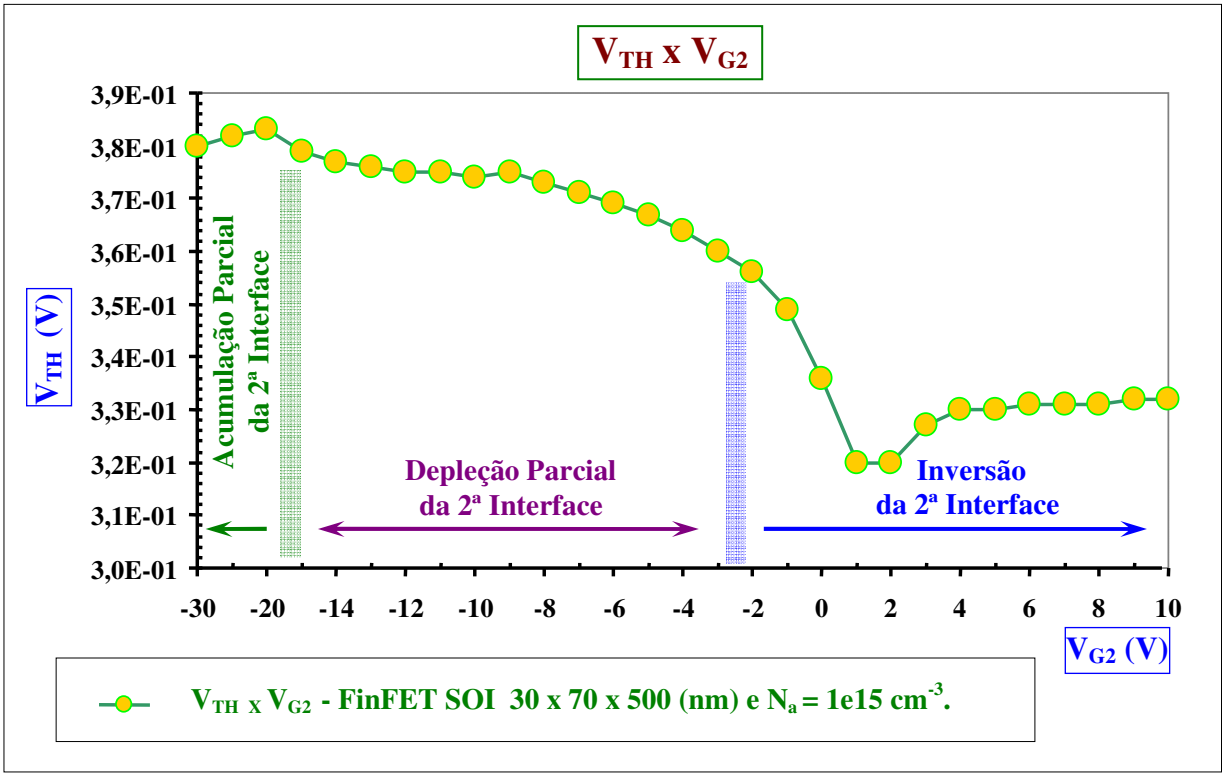


Fig 5.80 - Curva característica V_{TH} em função de V_{G2} com V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 30 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}

- Cortes transversais na estrutura com as curvas isométricas de potenciais.

A seguir estão evidenciados os cortes transversais na estrutura do dispositivo, com as curvas isométricas de potenciais para (+ 0,1 V, 0 V e - 0,1 V). Através da tensão negativa aplicada na porta inferior (V_{G2}) e estando a primeira interface na respectiva tensão de limiar aplicada na porta (V_{G1}), é possível observar o deslocamento da região neutra na região ativa de silício do dispositivo. À medida que esta tensão de V_{G2} diminui, maior é o número de portadores majoritários que se acumulam na 2ª interface e que levam a formação e ao aumento desta região neutra, a qual influirá na tensão de limiar do dispositivo. Os cortes transversais foram obtidos nas tensões de porta inferior (V_{G2} = - 4 V, - 10 V, - 20 V) (Figs 5.84, 5.85 e 5.86).

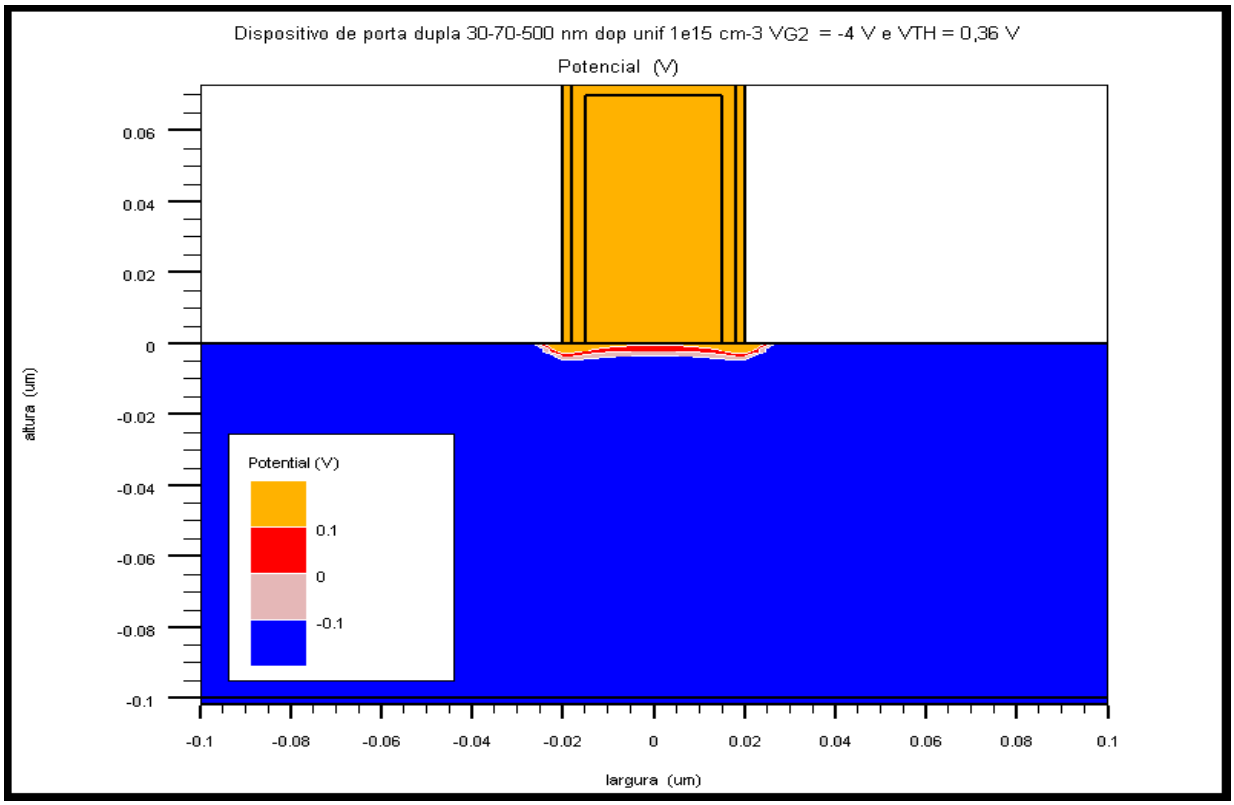


Fig. 5.84 - Corte transversal da estrutura, com a equipotencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -4,0 V, V_{G1} = V_{TH} = 0,36 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 30 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.

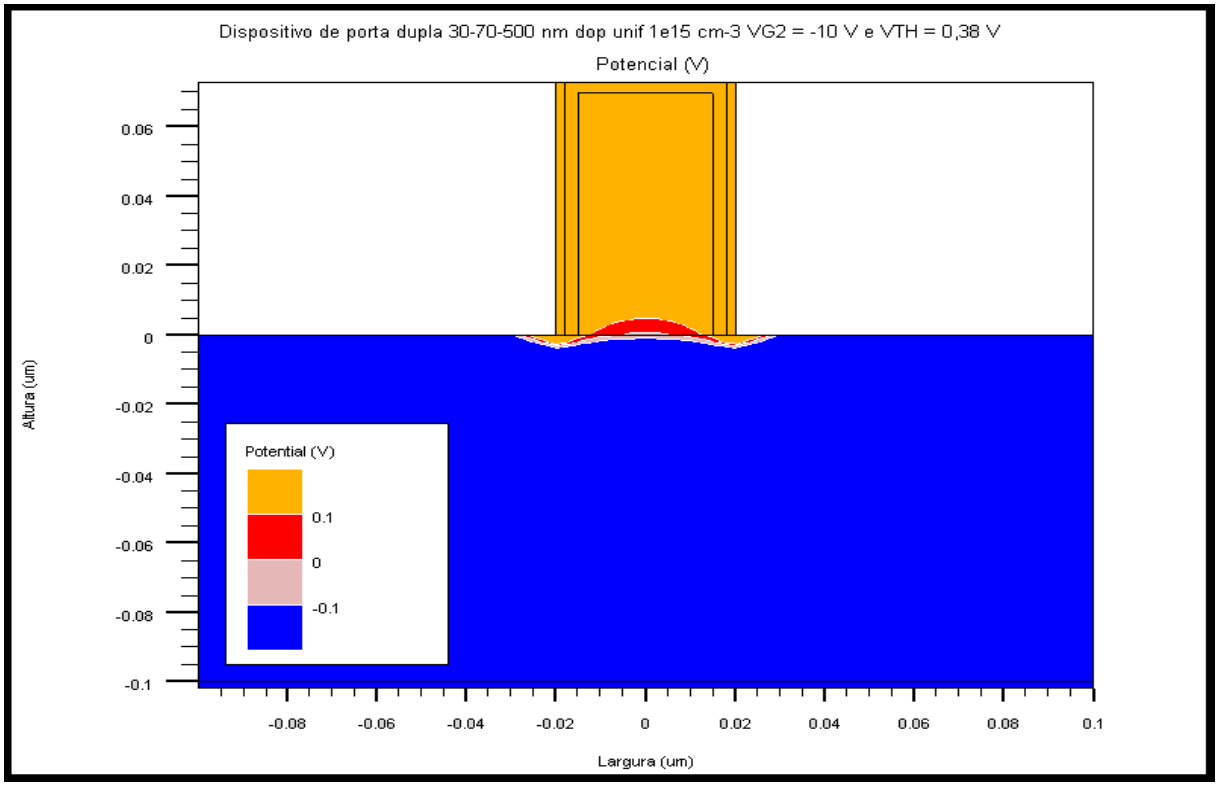


Fig. 5.85 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -10 V, V_{G1} = V_{TH} = 0,38 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 30 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.

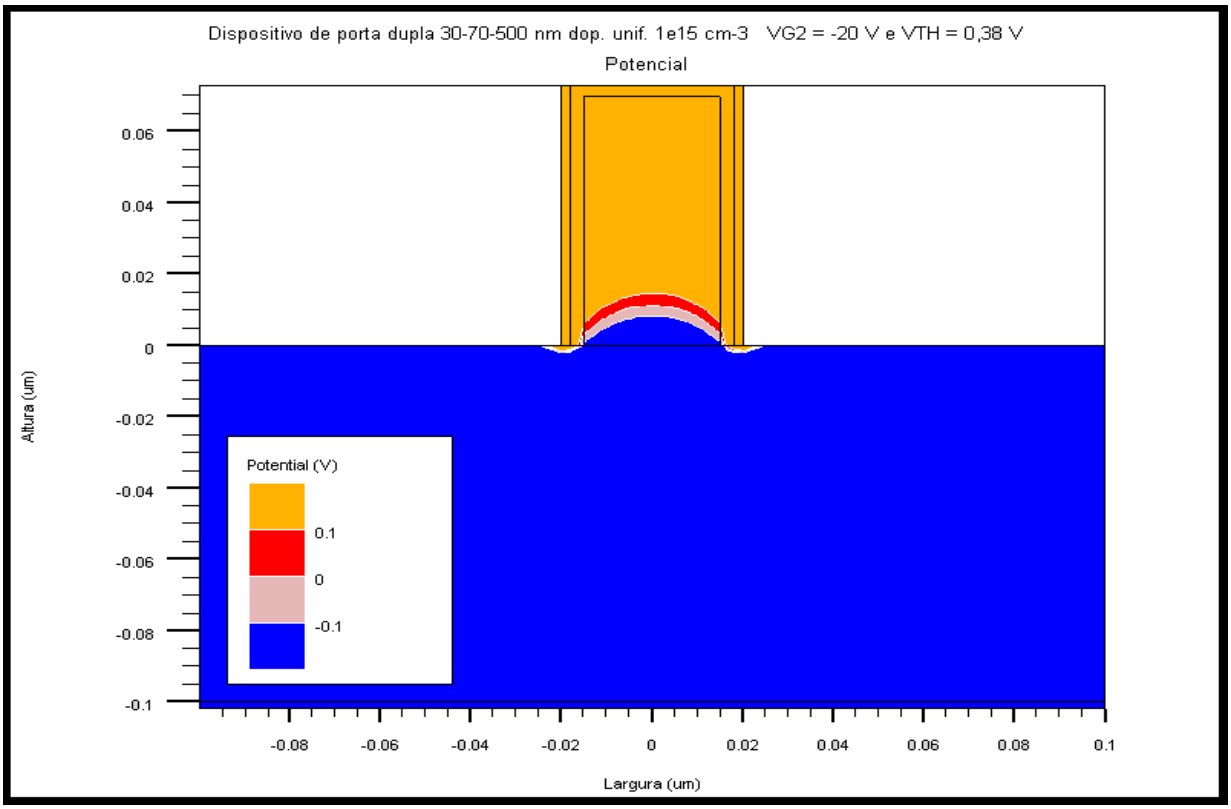


Fig. 5.86 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -20 V, V_{G1} = V_{TH} = 0,38 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 30 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.

Comparando-se as figuras 5.84, 5.85 e 5.86 do dispositivo 30 x 70 x 500 (nm) com concentração de dopagem 1e15 cm^{-3} acima, com as figuras 5.64, 5.65 e 5.66 do dispositivo 70 x 70 x 500 (nm) com concentração de dopagem 1e15 cm^{-3}, relativas ao corte transversal da estrutura com a curva de potencial (0 V) - região neutra. Observa-se que, o dispositivo com largura menor apresenta uma menor influência da polarização de substrato na 2ª interface (região ativa de silício). Isto significa, que a formação da região neutra se dará para valores bem mais negativos.

5.3.4.2 Dispositivo FinFET SOI com dimensões 30 x 70 x 500 (nm) e concentração $N_a = 1e16\ cm^{-3}$.

Segue a tabela 5.7 com os valores de V_{TH} obtidos em simulação nas mesmas condições de polarização (V_{DS} = 0,05 V) e dimensões 30 x 70 x 500 (nm), com concentração de dopagem $N_a = 1e16\ cm^{-3}$.

Tabela 5.7 - Valores de V_{TH} obtidos, para o dispositivo FinFET SOI de dimensões 30 x 70 x 500 (nm) e $N_a = 1e16\ cm^{-3}$

CONCENTRAÇÃO DE DOPANTES: Na =1e16 cm^{-3}	
TENSÃO DE PORTA INFERIOR V_{G2} (V)	TENSÃO DE LIMIAR V_{TH} (V)
10	0,337
9	0,337
8	0,337
7	0,337
6	0,337
5	0,336
4	0,335
3	0,333
2	0,329
1	0,325
0	0,338
-1	0,350
-2	0,358
-3	0,364
-4	0,367
-5	0,370
-6	0,373
-7	0,375
-8	0,380
-9	0,377
-10	0,382
-11	0,384
-12	0,386
-13	0,387
-14	0,390
-15	0,386
-20	0,393
-25	0,392
-30	0,390

A partir dos valores da tensão de limiar, obtém-se a curva característica de V_{TH} em função de $V_{G2,}$ (Fig. 5.90) a variação máxima de V_{TH} é de 68 mV, com V_{G2} variando de (10 V a -30 V).

5.3.4.2.1 Curva característica $V_{TH}(V_{G2})$

A figura 5.90 mostra a curva característica indicando as regiões de acumulação para V_{G2} com tensão negativa (< -16,0 V), inversão para V_{G2} com tensão negativa e positiva (> -3,0 V) e a região totalmente depletada, com 1ª e 2ª interfaces acopladas eletricamente.

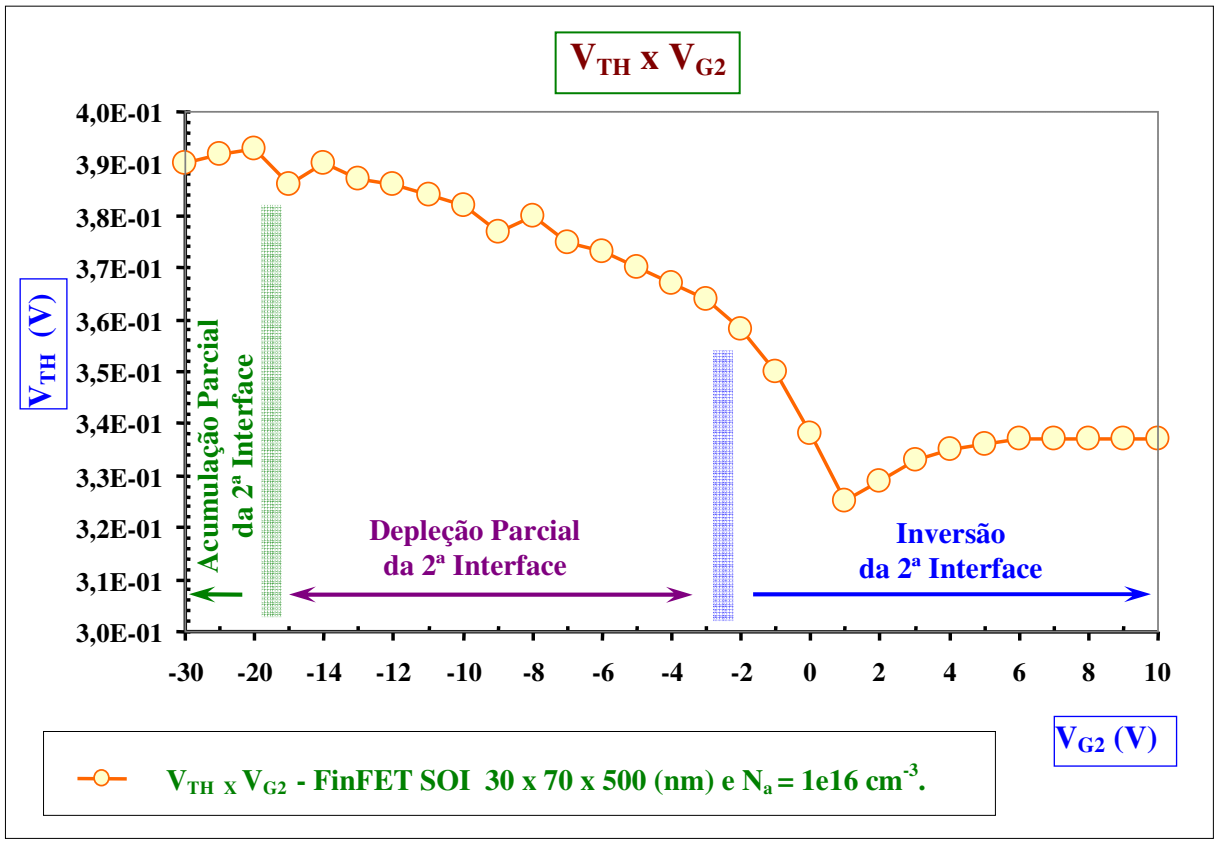


Fig 5.90 - Curva característica V_{TH} em função de V_{G2} com V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 30 x 70 x 500 (nm) e N_a = 1e16 cm

Comparando-se este dispositivo (concentração de dopagem 1e16 cm^{-3}) com o de menor concentração de dopagem (1e15 cm^{-3}), há um pequeno incremento na variação de $V_{TH,}$ maior região de depleção, a região de acumulação forma-se com tensão de entrada na porta inferior (V_{G2}) mais negativa (menor valor) e a região de inversão se forma a partir do mesmo valor de $V_{G2.}$ Contudo, pode-se dizer que estes dois (2) dispositivos apresentam comportamento bastante similar, com pequena variação de V_{TH}, o que corresponde a uma baixa inclinação da curva $V_{TH}(V_{G2})$.

Comparando-se o dispositivo 30 x 70 x 500 (nm) com concentrações de dopagem (1e15 cm^{-3} e 1e16 cm^{-3}), com o dispositivo 70 x 70 x 500 (nm) nas mesmas concentrações de dopagem, tem-se que o de menor largura apresenta menor variação de $V_{TH,}$ maior região de

depleção, a região de acumulação forma-se com tensão de entrada na porta inferior (V_{G2}) mais negativa (menor valor) e a região de inversão forma-se a partir do mesmo valor de $V_{G2.}$

O dispositivo de maior largura apresenta portanto, uma maior inclinação na característica da curva $V_{TH}(V_{G2})$, o que significa maior efeito de corpo.

5.3.4.3 Dispositivo FinFET SOI com dimensões 200 x 70 x 500 (nm) e concentração N_a = 1e15 cm^{-3}.

Seguem as curvas características da corrente de dreno em função da tensão de porta superior $I_{DS}(V_{G1})$ (Fig. 5.101) obtidas em simulações. Da 1ª derivada da corrente de dreno em função da tensão de porta $(dI_{DS}/dV_{G1})(V_{G1})$ (Fig. 5.102) e 2ª derivada da corrente de dreno em função da tensão de porta $(d^2I_{DS}/dV_{G1}^2)(V_{G1})$ (Fig. 5.103), com polarizações positivas e negativas de porta inferior (V_{G2}) e com V_{DS} = 0,05V, mostrando o comportamento das mesmas.

A indicação da seta nas curvas características será sempre do menor valor para o maior valor (extremidade com a ponta).

- Curvas características de $I_{DS}(V_{G1})$, 1ª derivada $(dI_{DS}/dV_{G1})(V_{G1})$ e 2ª derivada (d^2I_{DS}/dV_{G1}^2) (V_{G1}) com valores de V_{G2} positivos e negativos.

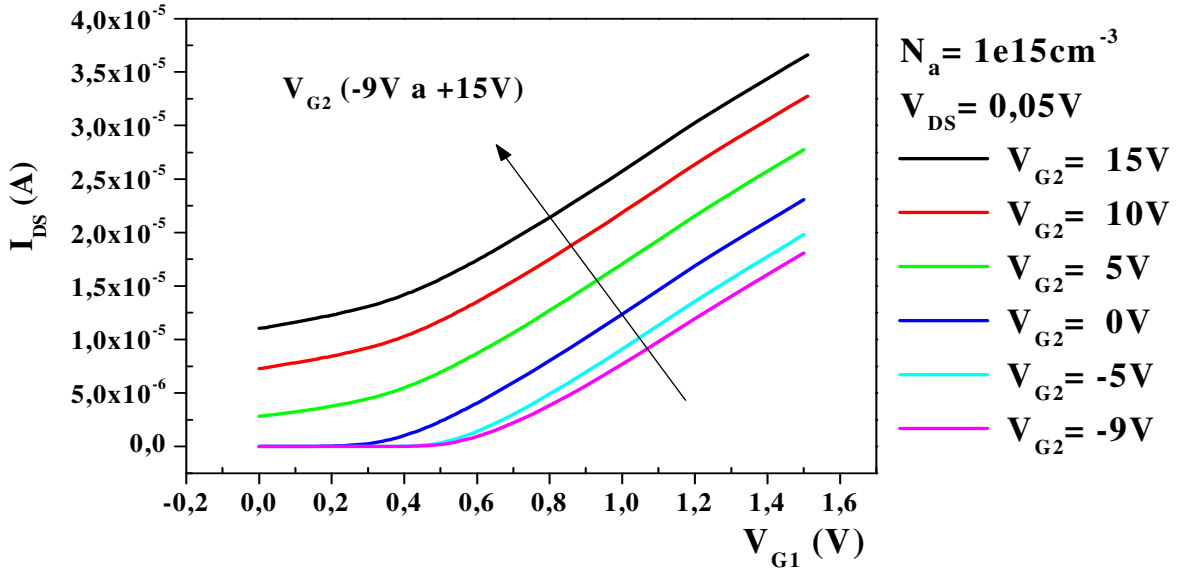


Fig. 5.101 - Curvas características de $I_{DS}(V_{G1})$ para o dispositivo FinFET SOI de dimensões 200 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V

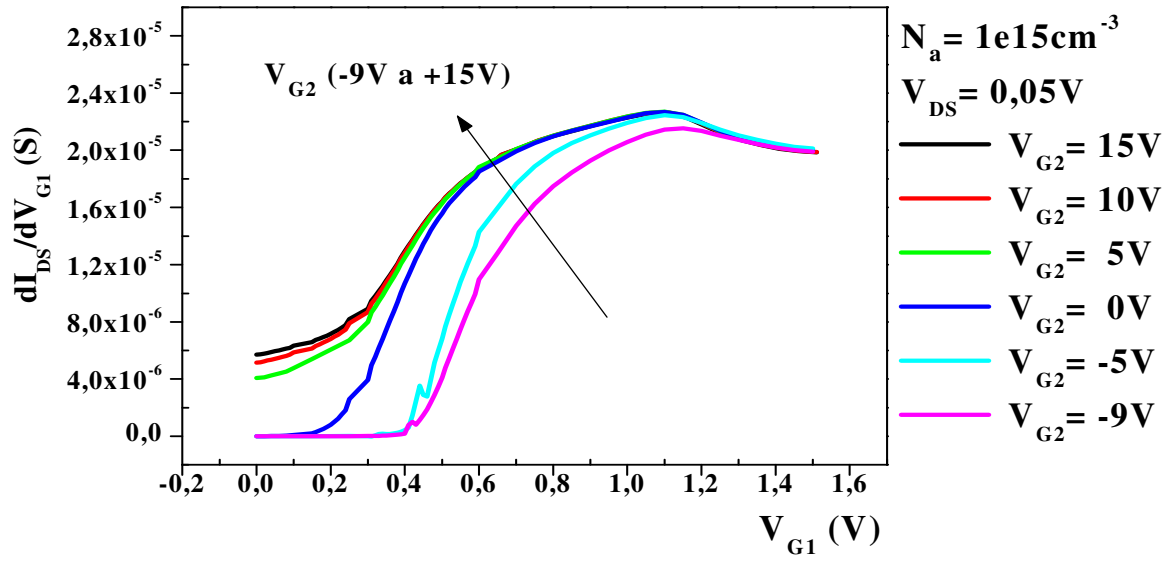


Fig. 5.102 - Curvas características da 1ª derivada da corrente de dreno I_{DS}/V_{G1} em função de (V_{G1}) para obtenção da transcondutância (g_m), no dispositivo FinFET SOI de dimensões 200 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V.

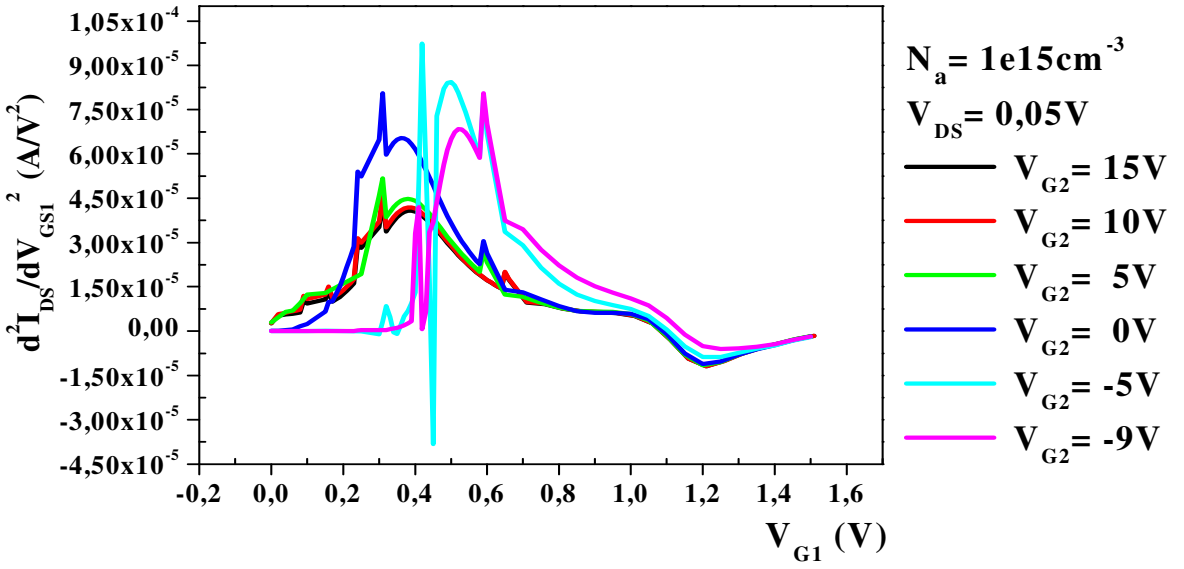


Fig. 5.103 - Curvas características da 2ª derivada da corrente de dreno I_{DS}/V_{G1} em função de (V_{G1}) para obtenção de V_{TH}, no dispositivo de dimensões 200 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}, com polarizações positivas e negativas de V_{G2} e V_{DS} = 0,05 V

Segue a tabela 5.8 com os valores de V_{TH} obtidos em simulação nas mesmas condições de polarização (V_{DS} = 0,05 V) e dimensões 200 x 70 x 500 (nm), com concentração de dopagem N_a = 1e15 cm^{-3}.

Tabela 5.8 – Valores de V_{TH} obtidos, para o dispositivo FinFET SOI de dimensões 200 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}

CONCENTRAÇÃO DE DOPANTES: Na =1e15 cm^{-3}	
TENSÃO DE PORTA INFERIOR V_{G2} (V)	TENSÃO DE LIMIAR V_{TH} (V)
15	0,387
14	0,387
13	0,387
12	0,387
11	0,385
10	0,384
9	0,382
8	0,382
7	0,381
6	0,380
5	0,379
4	0,377
3	0,375
2	0,370
1	0,369
0	0,362
-1	0,384
-2	0,419
-3	0,451
-4	0,478
-5	0,489
-6	0,500
-7	0,514
-8	0,521
-9	0,519

A partir dos valores da tensão de limiar, obtém-se a curva característica de V_{TH} em função de V_{G2} (Fig. 5.100), a variação máxima de V_{TH} é de 159 mV, com V_{G2} variando de (15 V a -9 V).

5.3.4.3.1 Curva característica $V_{TH}(V_{G2})$

A figura 5.100 mostra a curva característica indicando as regiões de acumulação para V_{G2} com tensão negativa (< - 3,0 V), inversão para V_{G2} com tensão negativa e positiva (> - 4,0 V).

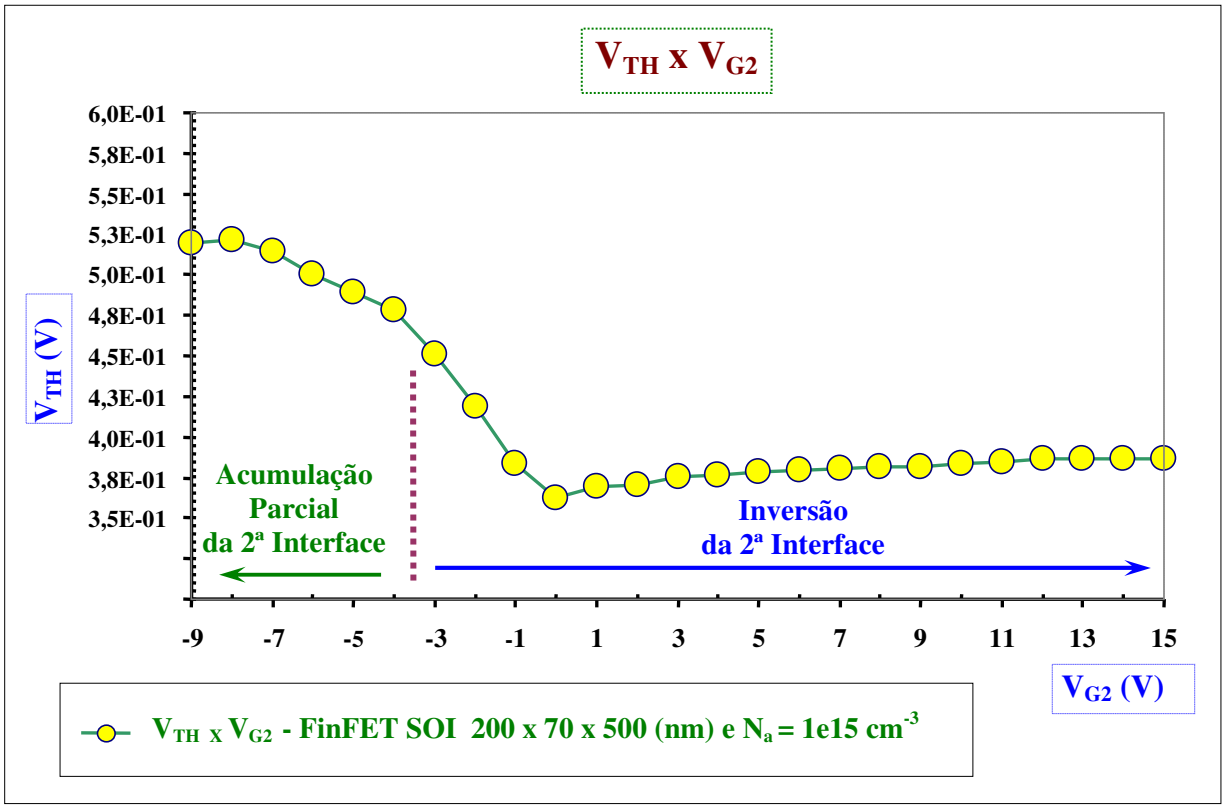


Fig 5.100 - Curva característica V_{TH} em função de V_{G2} com V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 200 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}

Nota-se na curva característica $V_{TH}(V_{G2})$ acima (Fig. 5.100), para o dispositivo de largura W_{Fin} = 200 nm e concentração 1e15 cm^{-3}, que as regiões operacionais da 2ª interface são acumulação parcial e inversão. Vale dizer que na região de acumulação da 2ª interface, há superfície depletada que se reduz à medida que a tensão de porta inferior diminui, ou seja, torna-se mais negativa. Pois a acumulação das cargas na 2ª interface se dispõe do meio para os cantos em função do aumento da tensão negativa em $V_{G2,}$ não ocorrendo acumulação nas extremidades dos cantos em decorrência da influência da 1ª interface, que compartilha esta região e impede que esteja totalmente acumulada. Sendo assim, as extremidades dos cantos da 2ª interface poderão também estar em inversão, quando a 1ª interface inverter.

- Cortes transversais na estrutura com as curvas isométricas de potencias.

A seguir estão evidenciados os cortes transversais na estrutura do dispositivo, com as curvas isométricas de potenciais para (+ 0,1 V, 0 V e - 0,1 V). Através da tensão negativa aplicada na porta inferior (V_{G2}) e estando a primeira interface na respectiva tensão de limiar aplicada na porta (V_{G1}) é possível observar o deslocamento da região neutra na região ativa de silício do dispositivo.

À medida que, esta tensão de V_{G2} diminui, maior é o número de portadores majoritários (lacunas) que se acumulam na 2ª interface e que levam a formação e ao aumento desta região neutra, também chamada de corpo ou de acumulação a qual influirá na tensão de limiar do dispositivo. Os cortes transversais foram obtidos nas tensões de porta inferior (V_{G2} = - 2 V, - 4 V, - 9 V) (Figs 5.104, 5.105 e 5.106).

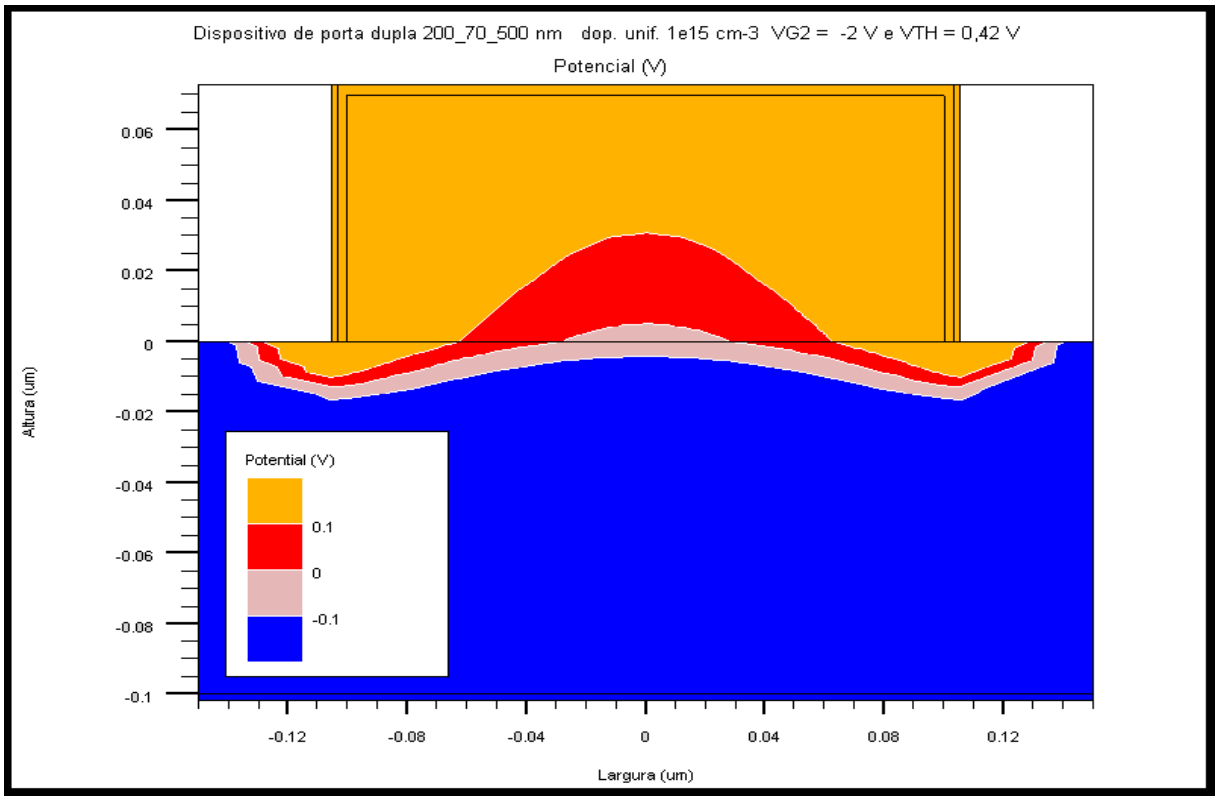


Fig. 5.104 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -2 V, V_{G1} = V_{TH} = 0,42 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 200 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.

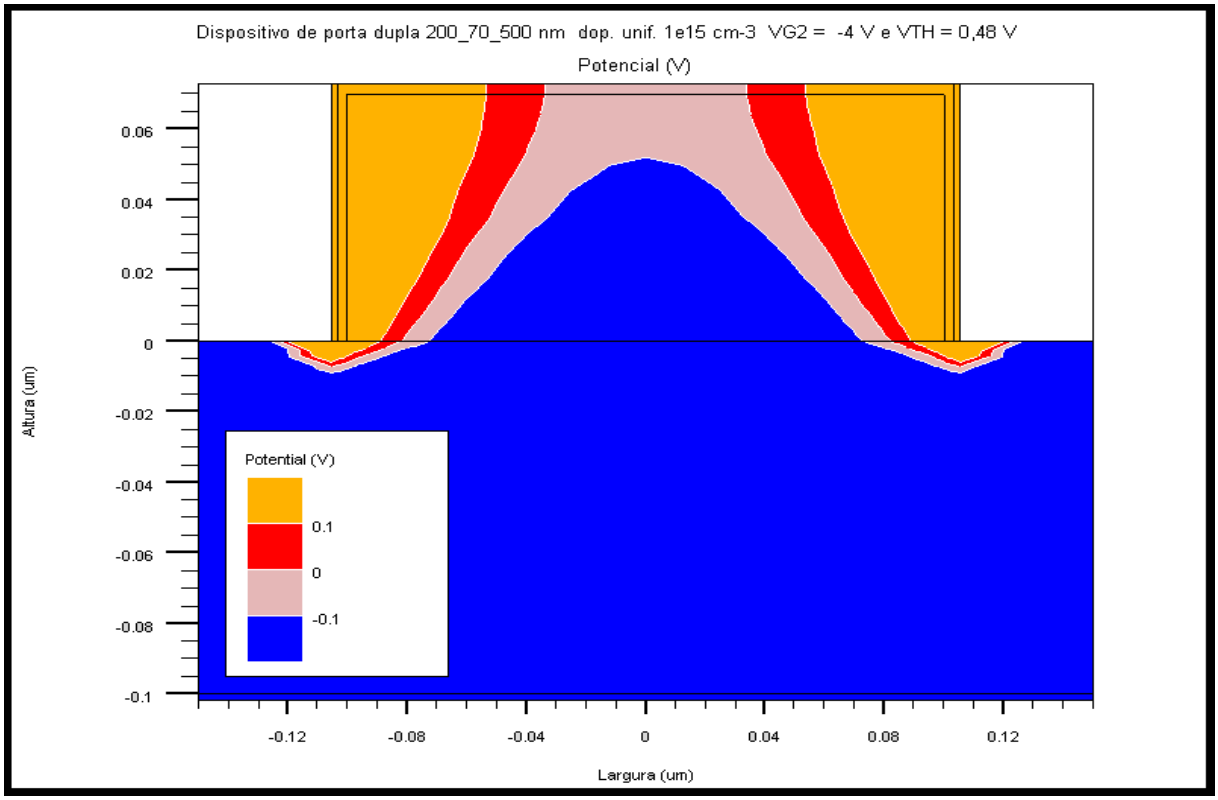


Fig. 5.105 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -4 V, V_{G1} = V_{TH} = 0,48 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 200 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}

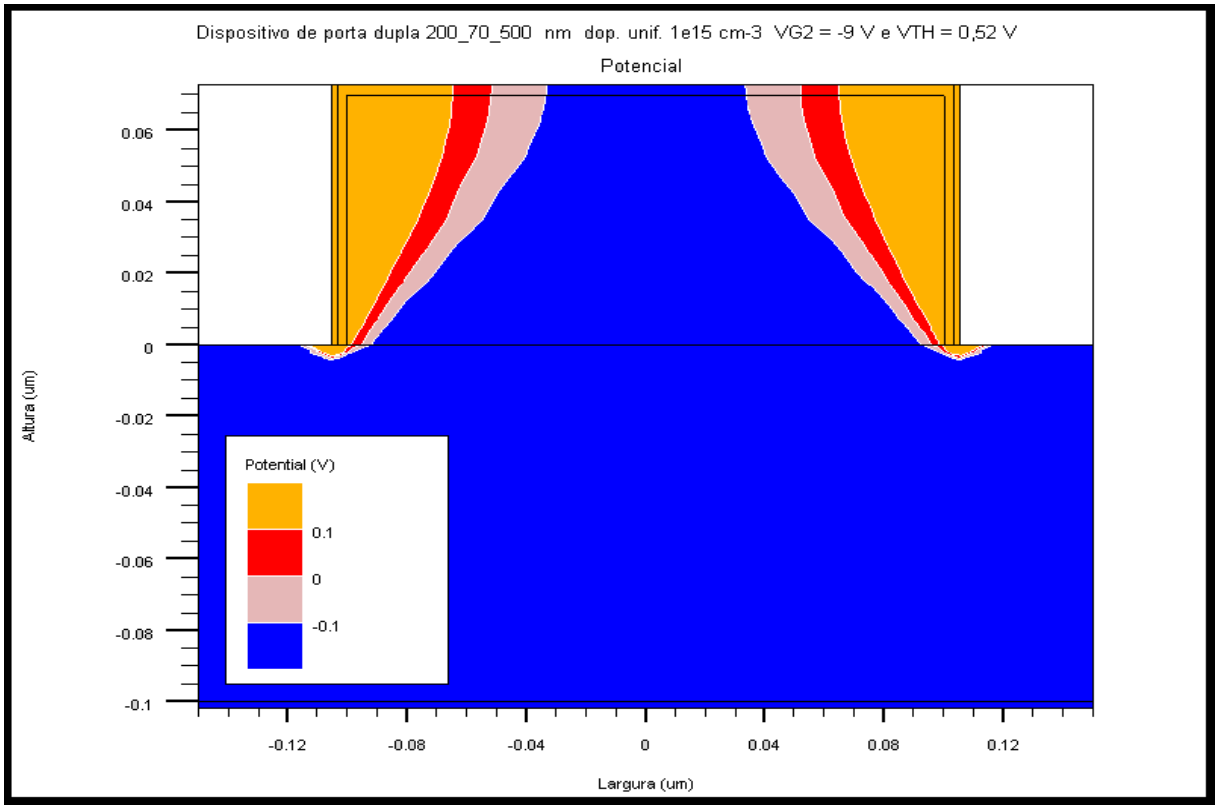


Fig. 5.106 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -9 V, V_{G1} = V_{TH} = 0,52 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 200 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}

Em relação ao cortes transversais na estrutura do dispositivo evidenciando a região neutra, observa-se que:

No dispositivo com W_{Fin} = 30 nm e concentração 1e15 cm^{-3}, a sua formação é mais lenta, o que evidencia a menor influência da tensão de porta inferior (V_{G2}) na 2ª interface, (menor efeito de corpo), o que implica em um valor mais negativo de V_{G2}, para formação da região de acumulação.

No dispositivo com W_{Fin} = 70 nm e concentração 1e15 cm^{-3} tem a sua formação mais rápida em relação ao anterior (de 30 nm), porém mais lenta em relação ao de concentração 1e17 cm^{-3} do mesmo dispositivo.

No dispositivo com W_{Fin} = 200 nm e concentração 1e15 cm^{-3} tem a sua formação, ainda mais rápida, o que evidencia a maior influência da tensão de porta inferior (V_{G2}) na 2ª interface, (maior efeito de corpo).

Pode-se concluir que o dispositivo com W_{Fin} maior, é menos indicado para utilização em SOI FinFETs de porta dupla.

5.3.4.4 Dispositivo FinFET SOI com dimensões 200 x 70 x 500 (nm) e concentração $N_a = 1e16\ cm^{-3}$.

Segue a tabela 5.9 com os valores de V_{TH} obtidos em simulação nas mesmas condições de polarização (V_{DS} = 0,05 V) e dimensões 200 x 70 x 500 (nm), com concentração de dopagem $N_a = 1e16\ cm^{-3}$.

Tabela. 5.9 – Valores de V_{TH} obtidos, para o dispositivo FinFET SOI de dimensões 200 x 70 x 500 (nm) e $N_a = 1e16\ cm^{-3}$.

CONCENTRAÇÃO DE DOPANTES: Na =1e16 cm^{-3}	
TENSÃO DE PORTA INFERIOR V_{G2} (V)	TENSÃO DE LIMIAR V_{TH} (V)
15	0,401
14	0,402
13	0,401
12	0,402
11	0,401
10	0,400
9	0,400
8	0,401
7	0,400
6	0,399
5	0,394
4	0,391
3	0,389
2	0,385
1	0,380
0	0,365
-1	0,402
-2	0,438
-3	0,467
-4	0,483
-5	0,516
-6	0,519
-7	0,525
-8	0,528
-9	0,532

A partir dos valores da tensão de limiar, obtém-se a curva característica de V_{TH} em função de V_{G2} (Fig. 5.110), a variação máxima de V_{TH} é de 167 mV, com V_{G2} variando de (15 V a -9 V).

5.3.4.4.1 Curva característica $V_{TH}(V_{G2})$

A figura 5.110 mostra a curva característica indicando as regiões de acumulação para V_{G2} com tensão negativa (< - 3,0 V), inversão para V_{G2} com tensão negativa e positiva (> - 2,0 V) e a região totalmente depletada, com 1ª e 2ª interfaces acopladas eletricamente, nesta condição há região de depleção, porém bem reduzida.

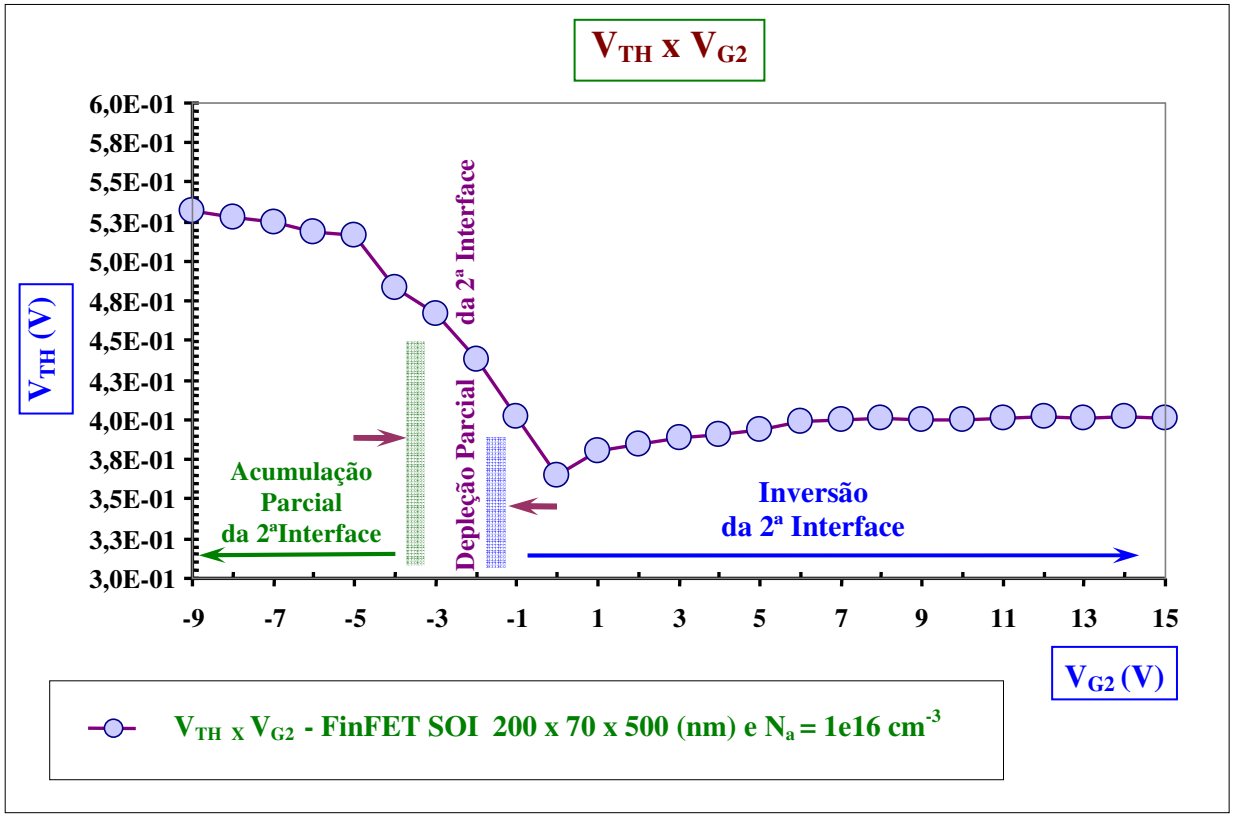


Fig 5.110 - Curva característica V_{TH} em função de V_{G2} com V_{DS} = 0,05 V, para o dispositivo FinFET SOI de dimensões 200 x 70 x 500 (nm) e N_a = 1e16 cm^{-3}

Na curva característica $V_{TH}(V_{G2})$ acima (Fig. 5.110), para o dispositivo de largura W_{Fin} = 200 nm, e concentração 1e16 cm^{-3}, já há formação da região de depleção, ainda que bem reduzida se comparada com os dispositivos de larguras W_{Fin} = 30 e 70 (nm) na mesma concentração.

Comparando-se este dispositivo (concentração de dopagem 1e16 cm^{-3}) com o de menor concentração de dopagem (1e15 cm^{-3}), há um pequeno incremento na variação da tensão de limiar (V_{TH}) e formação de uma pequena região de depleção.

A região de acumulação forma-se com tensão de entrada na porta inferior a partir do mesmo valor negativo de V_{G2}, comparativamente com o dispositivo de largura (70 nm), este valor é menos negativo (maior valor) e a região de inversão forma-se com valor de V_{G2} menos negativo.

Este dispositivo nas duas concentrações de dopantes apresenta uma maior variação de V_{TH}, comparativamente com o de largura (70 nm), o que lhe proporciona maior inclinação na característica $V_{TH}(V_{G2})$. O que caracteriza um maior efeito de corpo neste dispositivo.

5.3.5 Estudo comparativo entre o dispositivo FinFET SOI de porta tripla e porta dupla com dimensões 200 x 70 x 500 (nm) e concentração N_a = 1e15 cm^{-3}.

Segue a tabela 5.10 para o dispositivo de porta tripla, com os valores de V_{TH} obtidos em simulação nas mesmas condições de polarização (V_{DS} = 0,05 V) e dimensões 200 x 70 x 500 (nm), com concentração de dopagem N_a = 1e15 cm^{-3}.

Tabela 5.10 - Valores de V_{TH} obtidos, para o dispositivo FinFET SOI de porta tripla nas dimensões 200 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.

CONCENTRAÇÃO DE DOPANTES: Na =1e15 cm^{-3}	
TENSÃO DE PORTA INFERIOR V_{G2} (V)	TENSÃO DE LIMIAR V_{TH} (V)
15	0,374
14	0,374
13	0,374
12	0,374
11	0,374
10	0,374
9	0,374
8	0,374
7	0,374
6	0,374
5	0,372
4	0,372
3	0,371
2	0,369
1	0,363
0	0,336
-1	0,360
-2	0,380
-3	0,398
-4	0,416
-5	0,434
-6	0,445
-7	0,456
-8	0,460
-9	0,466
-10	0,467
-11	0468
-12	0,469
-13	0,470
-14	0,471

A partir dos valores da tensão de limiar, obtém-se a curva característica de V_{TH} em função de V_{G2} (Fig. 5.115), a variação máxima de V_{TH} é de 135 mV, com V_{G2} variando de (15 V a -14 V).

5.3.5.1 Curvas características $V_{TH}(V_{G2})$

A figura 5.115 mostra as curvas características para o dispositivo de porta tripla e porta dupla indicando as regiões operacionais na 2ª interface. No dispositivo de porta tripla há a região de acumulação para V_{G2} com tensão negativa (< - 8,0 V), inversão para V_{G2} com tensão negativa e positiva (> - 4,0 V) e a região totalmente depletada, com 1ª e 2ª interfaces acopladas eletricamente. Enquanto que para o de porta dupla não há a formação da região totalmente depletada, operando o dispositivo nas regiões de inversão e acumulação.

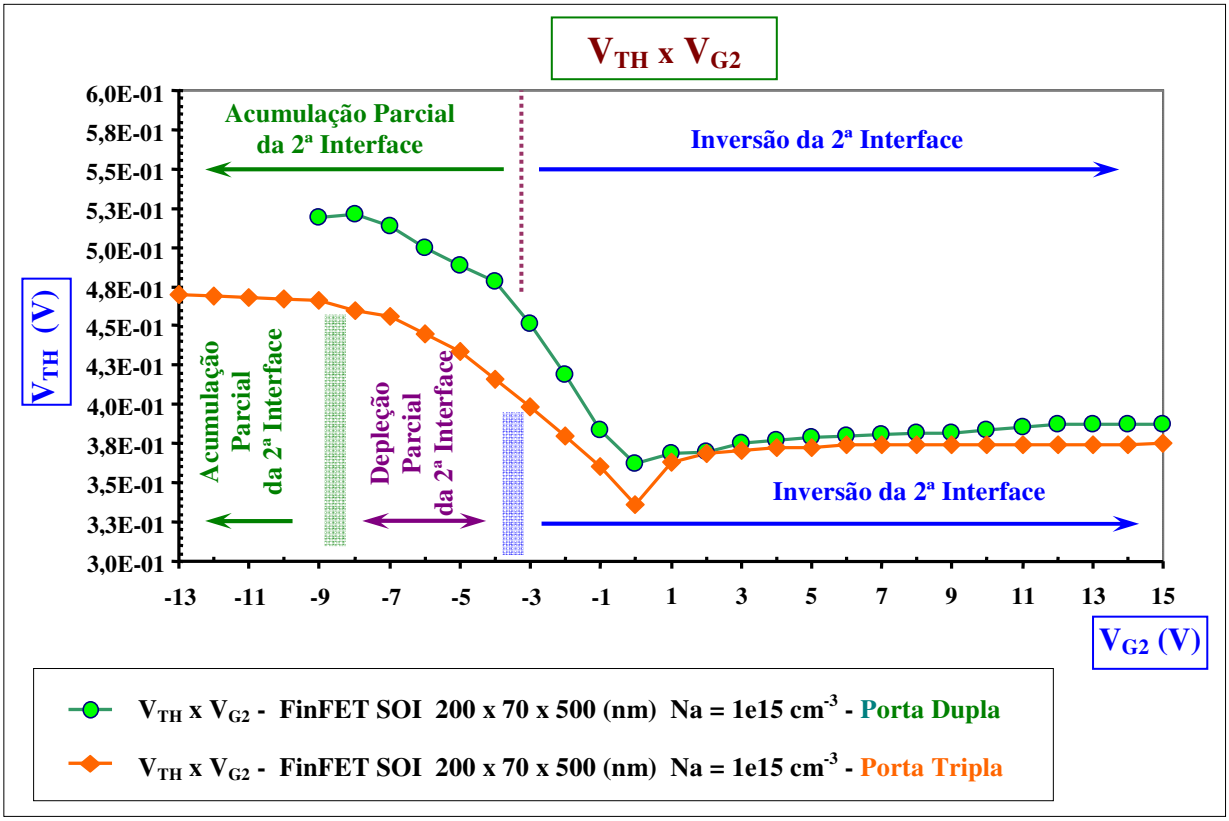


Fig 5.115 - Curvas características V_{TH} em função de V_{G2} com V_{DS} = 0,05 V, para o dispositivo FinFET SOI de porta tripla e porta dupla de dimensões 200 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}.

Pode-se observar na figura 5.115, através das curvas características de $V_{TH}(V_{G2})$ para o dispositivo de porta dupla e tripla, que há uma maior influência da porta superior no dispositivo de porta tripla o que não ocorre nos dispositivos com largura W_{Fin} menor, isso possibilita em relação ao de porta dupla:

- A formação da região operacional de depleção na 2ª interface.
- Uma menor inclinação na curva característica V_{TH} em função de V_{G2}, o que caracteriza um menor efeito de corpo.
- Uma maior linearidade na tensão de limiar em função da polarização de porta inferior, a partir da formação da região operacional de acumulação na 2ª interface.

- Cortes transversais na estrutura dos dispositivos com as curvas isométricas de potenciais.

A seguir estão evidenciados os cortes transversais na estrutura dos dispositivos de porta dupla e porta tripla, com as curvas isométricas de potenciais para (+ 0,1 V, 0 V e - 0,1 V). Através da tensão negativa aplicada na porta inferior (V_{G2}) e estando a primeira interface na respectiva tensão de limiar aplicada na porta (V_{G1}), é possível observar o deslocamento da região neutra na região ativa de silício do dispositivo. À medida que esta tensão de V_{G2} diminui, maior é o número de portadores majoritários que se acumulam na 2ª interface e que levam a formação e ao aumento desta região neutra, a qual influirá na tensão de limiar do dispositivo. Os cortes transversais foram obtidos na tensão de porta inferior (V_{G2} = - 9 V), (Figs 5.116 e 5.117).

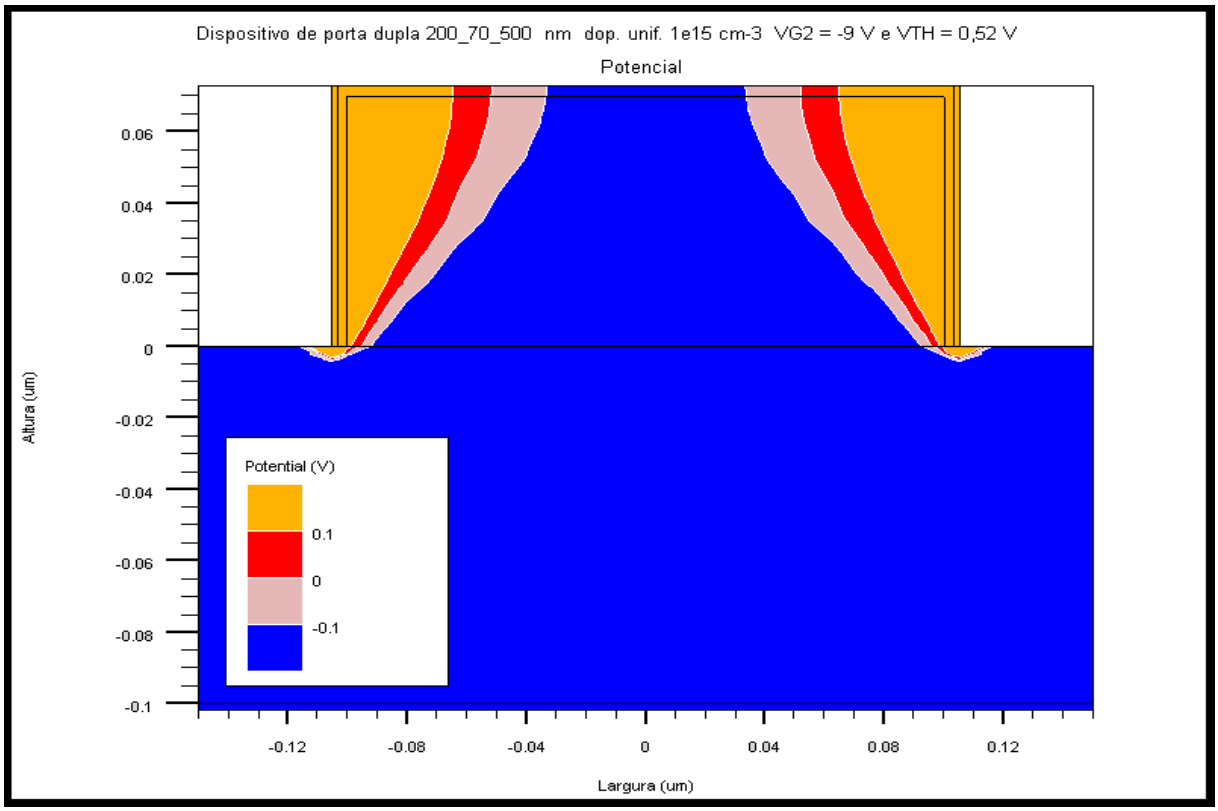


Fig. 5.116 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -9 V, V_{G1} = V_{TH} = 0,52 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de porta dupla nas dimensões 200 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}

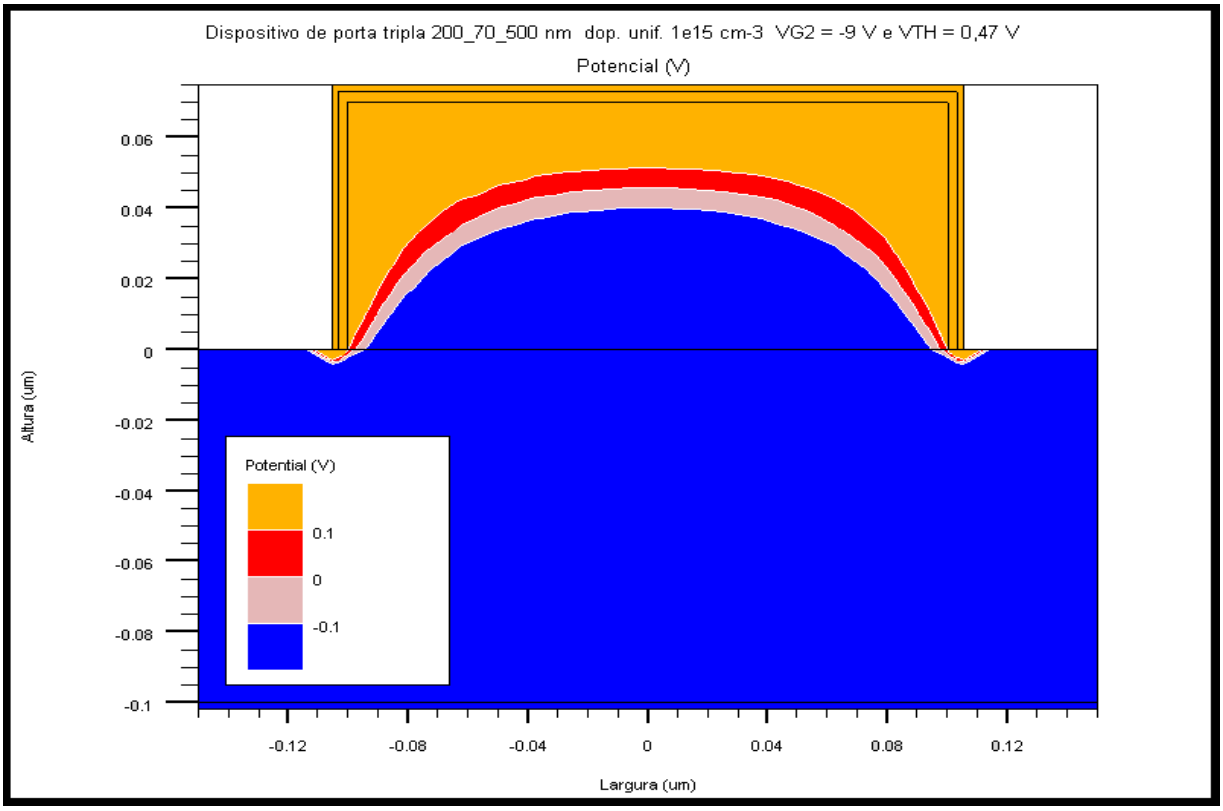


Fig. 5.117 - Corte transversal da estrutura, com a curva de potencial (0 V), ou seja, da região neutra deslocando-se para a região ativa de silício através da (2ª interface) com V_{G2} = -9 V, V_{G1} = V_{TH} = 0,47 V e V_{DS} = 0,05 V, para o dispositivo FinFET SOI de porta tripla nas dimensões 200 x 70 x 500 (nm) e N_a = 1e15 cm^{-3}

Em relação ao cortes transversais na estrutura dos dispositivos de porta dupla e tripla evidenciando a região neutra, observa-se que o dispositivo de porta dupla já apresenta a região ativa de silício acumulada em toda a sua altura, em decorrência da maior influência da porta inferior na 2ª interface e que passa a ter maior controle do potencial na sua superfície em relação às portas laterais na 1ª interface. No caso do dispositivo de porta tripla a ação da porta inferior é mais limitada em função do maior acoplamento elétrico (vertical) com a porta superior, reduzindo sensivelmente o deslocamento da região neutra na região ativa de silício, o que permite uma convergência mais fácil nas simulações.

5.3.6 Curvas características $V_{TH}(V_{G2})$ (Fig. 5.120) para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) variando-se as concentrações de dopagem N_a (1e15, 1e16, 1e17 e 5e17 (cm^{-3})).

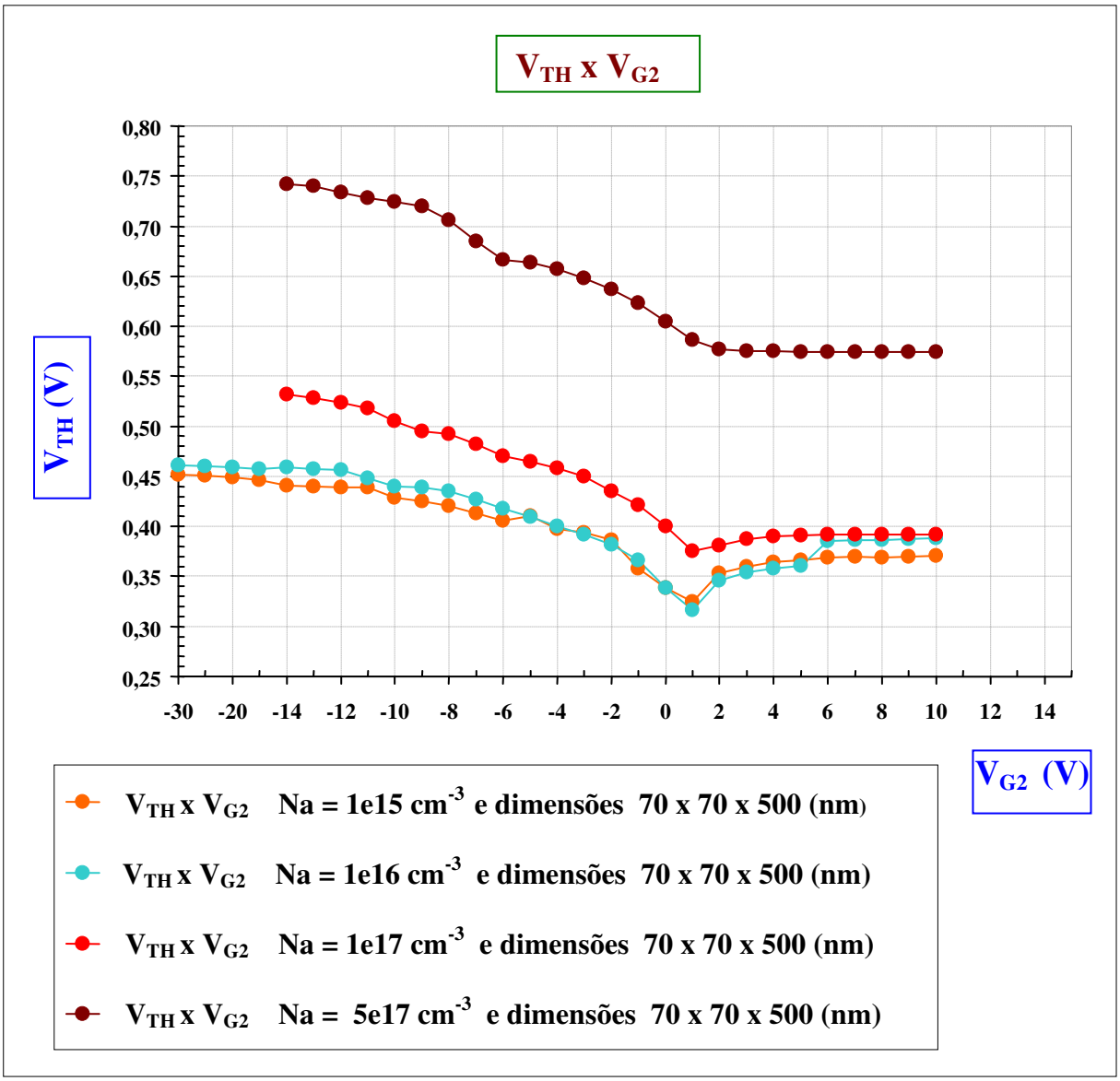


Fig 5.120 - Curvas características V_{TH} em função de (V_{G2}) com variação de dopagem N_a. Para o dispositivo FinFET SOI de dimensões 70 x 70 x 500 (nm) nas concentrações Na = 1e15, 1e16, 1e17 e 5e17 (cm^{-3}).

5.3.7 Curvas características $V_{TH}(V_{G2})$ (Fig. 5.121) para o dispositivo FinFET SOI com concentrações de dopagem N_a (1e15 e 1e16 (cm^{-3})) variando-se a largura W_{Fin} (30, 70 e 200 (nm)), ou seja nas dimensões 30 x 70 x 500 (nm), 70 x 70 x 500 (nm), e 200 x 70 x 500 (nm).

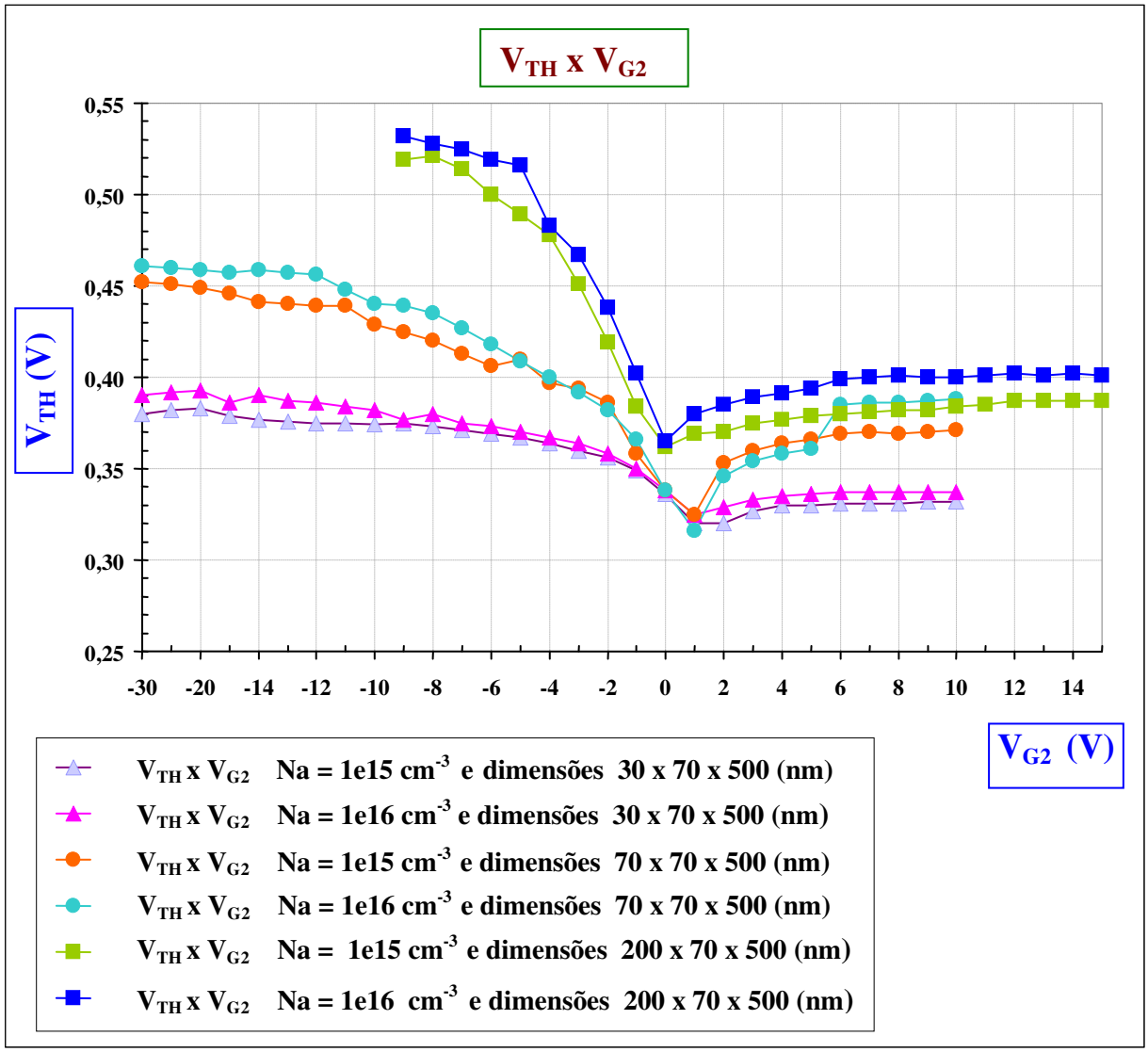


Fig 5.121 - Curvas características V_{TH} em função de (V_{G2}) com variação de largura $W_{Fin.}$ Para o dispositivo FinFET SOI com concentrações de dopagem Na = 1e15 e 1e16 (cm^{-3}), nas dimensões 30 x 70 x 500 (nm), 70 x 70 x 500 (nm) e 200 x 70 x 500 (nm).

Tab. 5.11 – Indicação das regiões de acumulação, depleção e inversão nas curvas características $V_{TH}(V_{G2})$ para o dispositivo FinFET SOI nas dimensões 30 x 70 x 50 (nm) com concentrações 1e15 e 1e16 (cm^{-3}), 70 x 70 x 500 (nm) com concentrações (N_a) 1e15, 1e16, 1e17 e 5e17 (cm^{-3}) e 200 x 70 x 500 (nm) com concentrações 1e15 e 1e16 cm^{-3}.

FinFET SOI	**Região de Depleção**	**Concentração**
Dimensões (nm)	**V_{G2} (V)**	**N_a (cm^{-3})**
30 x 70 x 500 (nm)	**- 15, 0 ≤ V_{G2} ≤ - 3, 0**	**1e15**
30 x 70 x 500 (nm)	**- 16, 0 ≤ V_{G2} ≤ - 3, 0**	**1e16**
70 x 70 x 500 (nm)	**- 7, 0 ≤ V_{G2} ≤ - 3, 0**	**1e15**
70 x 70 x 500 (nm)	**- 10, 0 ≤ V_{G2} ≤ - 3, 0**	**1e16**
70 x 70 x 500 (nm)	**- 7, 0 ≤ V_{G2} ≤ - 1, 0**	**1e17**
70 x 70 x 500 (nm)	**- 7, 0 ≤ V_{G2} ≤ - 1, 0**	**5e17**
200 x 70 x 500 (nm)	**- 3, 0 ≤ V_{G2} ≤ - 4, 0 (não há)**	**1e15**
200 x 70 x 500 (nm)	**- 3, 0 ≤ V_{G2} ≤ - 2, 0**	**1e16**

Através das curvas características $V_{TH}(V_{G2})$ (Fig.5.120 e 5.121) e tabela 5.11, podemos comparar o comportamento dos dispositivos em função da largura e concentrações de dopagem utilizados neste estudo.

Maior concentração de dopagem (N_a) com maior W_{Fin}, há uma maior amplitude e variação de V_{TH}, com menor W_{Fin} há uma menor amplitude e variação de V_{TH} em função da tensão de porta inferior (V_{G2}), o que significa menor efeito de corpo.

Aumentando-se a concentração de dopagem (N_a), com maior ou menor largura W_{Fin}, a região de inversão se desloca de valores negativos para positivos de V_{G2}.

Quanto menor W_{Fin}, mais negativa será a tensão de porta inferior (V_{G2}) para o inicio da formação da região de acumulação, contrariamente ao de maior W_{Fin}.

Variação na largura W_{Fin} implica na variação de inclinação da curva característica $V_{TH}(V_{G2})$, com o aumento de W_{Fin} aumenta-se esta inclinação, o mesmo não ocorre com a variação na concentração de dopagem N_a, a qual se mantém praticamente constante.

Quanto à região de depleção (1ª e 2ª interfaces depletadas), situação em que o dispositivo se encontra totalmente depletado e onde há variação de V_{TH}, esta se amplia e é mais acentuada com W_{Fin} menor.

6 CONCLUSÕES

Este trabalho teve como propósito o estudo da influência da polarização de substrato ou porta inferior sobre o dispositivo FinFET SOI de porta dupla de canal n, através da avaliação da distribuição de cargas e variação da tensão de limiar, mediante simulação numérica tridimensional .

Conforme observado ao longo desse trabalho, os resultados evidenciados foram os seguintes:

Constatou-se que há semelhança no comportamento da curva $V_{TH}(V_{G2})$ para FinFETs, obtida através de simulações, com a apresentada para dispositivos planares (teórica).

As regiões operacionais em que a 2ª interface está em inversão, depleção e acumulação dependem da largura do *fin* e da concentração de impurezas aceitadoras (N_a) do semicondutor tipo p ou dopagem na região ativa de silício.

Há uma forte influência das portas laterais na 2ª interface, o que impede que a região próxima à 1ª interface esteja totalmente acumulada. Isto faz com que a tensão de limiar continue variando em função da tensão de porta inferior (V_{G2}), para tensões negativas. Esta variação ocorre, no entanto, de maneira bem menos acentuada se comparada com aquela obtida com a segunda interface totalmente depletada.

À medida que a largura do *fin* (W_{Fin}) aumenta, a porta inferior passa a ter maior influência na 2ª interface. Em função desta maior influência, a passagem de inversão para acumulação da segunda interface ocorre mais abruptamente. Se compararmos o FinFET de porta dupla com o de porta tripla, percebe-se que para larguras de *fin* pequenas o comportamento é muito semelhante. À medida que a largura aumenta, a porta superior passa também a ter influência sobre o dispositivo de porta tripla e os resultados passam a divergir.

Constatou-se também que para W_{Fin} menor e com o aumento da concentração de dopagem (N_a), a região operacional de depleção total ocorre para uma faixa mais ampla de valores de tensão de substrato, pois o início da formação da região de acumulação se dará para valores mais negativos de tensão de substrato, enquanto que a região de inversão se desloca para valores mais positivos .

Com o aumento na concentração (N_a) de dopagem no corpo de silício, há um aumento na amplitude e na variação da tensão de limiar na interface da porta.

A variação na largura W_{Fin} implica também na variação de inclinação da curva característica $V_{TH}(V_{G2)}$. Com o aumento de W_{Fin}, tem-se maior amplitude na tensão de limiar e

um aumento nesta inclinação. O mesmo não ocorre com a variação na concentração de dopagem N_a, pois a inclinação se mantém praticamente constante. Para W_{Fin} menor, ocorre um menor efeito de corpo. Há uma menor influência da porta inferior em virtude do maior acoplamento das portas laterais.

Ocorreu para todos os dispositivos alguma influência do efeito de canto, nas várias estruturas do dispositivo dificultando a obtenção dos valores de V_{TH} para polarizações mais negativas de porta inferior (V_{G2}), uma vez que com freqüência os picos distintos na segunda derivada se sobrepunham.

Em trabalhos futuros, pretende-se fazer uma análise semelhante para outros tipos de dispositivos, com seções transversais em outros formatos e em dispositivos nanométricos (com dimensões inferiores a 10 nm), em que serão considerados modelos de mecânica quântica para a distribuição de portadores e mecanismos de condução.

7 REFERÊNCIAS BIBLIOGRÁFICAS

[1] FREI, J.; JOHNS, C.; VAZQUEZ, A; XIONG, W.; CLEAVELIN C.R.; SCHULZ, T.; CHAUDHARY, N.; GEBARA, G.; ZAMAN J.R.; GOSTKOWSKI, M.; MATTHEWS, K.; COLING, J.P.. Body-Effect in Tri and Pi-Gate SOI MOSFETs, IEEE Electron Device Letters, vol. 25, n. 12, 2004

[2] NAGUMA,T.; HIRAMOTO, T., Reverse Short-Channel Effect of Body Factor in Low-Fin Field-Effect Transistors Induced by Corner Effect, Japanese Journal of Applied Physics, vol. 44, n. 1A, PP. 50-54, 2005

[3] COLINGE, J.P., "Silicon on Insulator Technology: Materials to VLSI", Kluwer Academic Publishers, 3rd Edition, 2004.

[4] RITZENTHALER, R.; CRISTOLOVEANU, S.; FAYNOT, O.; JAHAN, C.; KURIYAMA, ª; BREVARD, L.; DELEONIBUS, S.; Lateral coupling and immunity to substrate effect in Ω FET devices. Solid-State Eletronics, vol. 54, pp. 558-565, (2006)

[5] RITZENTHALER, R.; CRISTOLOVEANU, S.; FAYNOT, O.; JAHAN, C.; KURIYAMA, ª; BREVARD, L.; DELEONIBUS, S. Immunity to Substrate Effect in in Ω FET Devices. IEEE Solid-State Eletronics, (2005)

[6] HIRAMOTO, T.; SAITO, T. e NAGUMO, T. Future Electron Devices and Technology – Semi-Planar SOI MOSFETs with Sufficient Body Effect. Japanese Journal of Applied Physics, vol. 42, pp. 1975-1976, (2005).

[7] OHTOU, T.; NAGUMO,T.; HIRAMOTO, T., Short-channel Characteristics of Variable-Body-Factor Fully-Depleted Silicon-on-Insulator Metal-Oxide-Semiconductor-Field-Effect-Transistors, Japanese Jurnal of Applied Physics, vol. 44, n. 6A, pp.. 3885-3888, 2005

[8] OHTOU, T.; NAGUMO,T.; HIRAMOTO, T., Variable-Body-Factor Fully-Depleted Silicon-on-Insulator Metal-Oxide-Semiconductor-Field-Effect-Transistors for Ultra Low-Power Variable-Threshold-Voltage Complementary Metal Oxide Semiconductor Applications, Japanese Journal of Applied Physics, vol. 43, n. 6A, pp.. 3311-3314, 2004

[9] DAUGÉ, F.; PRETET,J.; CRISTOLOVEANU, S.; VANDOOREN, ª; MATHEW, L.; JOMAAH, J.; NGUYEN, B. Y. Coupling effects and separation in FinFETs. Solid-States Eletronics v. 48, (2004).

[10] AKARVADAR, K.; MERCHA, A. CRISTOLOVEANU,S.; GENTIL,P.; SIMOEN, E.; SUBRAMANIAN, V. AND CLAEYS, C. A Two-Dimensional Model for Interface Coupling in Triple-Gate Transistors, IEEE Transactions on Electron Devices, vol. 54, n. 4, 2007

[11] CRISTOLOVEANU, S., LI, S.S., "Electrical Characterization of Silicon-on-Insulator Materials and Devices", Kluwer Academic Publishers, 2nd Edition, 1995.

[12] LIM, H. K.; FOSSUM, J. G. Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's. IEEE Transactions on Electron Devices, v. 30, n. 10, p. 1244-1451, 1983.

[13] ATLAS Device Simulation Framework, version 5.10.0.R, Silvaco International, 2007

[14] LILIENFIELD, J.E., U.S. patents1.745.175(filed 1926, issued 1930), 1.877.140 (filed 1928, issed 1932) and 1.900.018 (filed 1928,issued 1933)

[15] SHOCKLEY, W., Bell Labs lab notebook no. 20455, January 1948, pp 128–32, 23.

[16] SHOCKLEY, W., "Circuit Element Utilizing Semiconductive Material," U. S. Patent 2,

569, 347 (Filed June 26, 1948. Issued September 25, 1951).

[17] SHOCKLEY, W., “The Theory of P-N Junctions in Semiconductors and P-N Junction Transistors,” Bell System Technical Journal, vol. 28, pp. 435–89, 1949.

[18] SHOCKLEY, W., Electrons and holes in Semiconductors with Applications to Transistor Electronics. (New York: Van Nostrand 1950).

[19] BRINKMAN, W et. al. “A History of the Invention of the Transistor and Where it will lead us”, IEEE J. Solid-St. Circ. Vol. 32, no. 12, pp. 1858-1865 (1997).

[20] “50th Aniversary of the Transistor”, Proceedings of the IEEE, vol. 86, no.1, pp.1-308 (1998).

[21] “Solid-State Century – The Past, Present and Future of the Transistor”, Scientific American, Special Issue 1997.

[22] NG, K., “A Survey of Semiconductor Devices”, IEEE, Trans. Electr. Dev., vol. 43, no. 10, pp. 1760-1765 (1996).

[23] GEPPERT, L., Technology 1998 Analysis & Forecast – Solid State”, IEEE Spectrum, vol. 35, no. 1, pp.23-28 (1998).

[24] SHOCKLEY, W.,A Unipolar "Field-Effect" Transistor, Bell Telephone Laboratories, Inc., Murray Hill, New Jersey; Proceedings of the IRE, Nov. 1952, Volume: 40, Issue: 11, On page(s): 1365-1376.

[25] DACEY, G.C.; ROSS, I..M., Unipolar "Field-Effect" Transistor,., Bell Telephone Laboratories, Inc., Murray Hill, New Jersey; Proceedings of the IRE, Aug. 1953, Volume: 41, Issue: 8, On page(s): 970-979.

[26] KAHNG, D.,”A historical perspective on the development of MOS transistors and related devices”, IEEE Transactions on Electron Devices, vol. 23, n. 7, pp.655, 1976.

[27] LEITE, J.R., “Brazil Builts on its Semiconductor Heritage”, III-Vs Review, vol. 35. n. 5, pp. 40-44, 1998

[28] COLINGE, J.P., “Fin FETs and Other Multi-Gate Transistor”, Springer Science + Business Media,LLC Publishers, 1rd Edition, 2008

[29] COLINGE, J.P., “Silicon on Insulator Technology: Materials to VLSI”, Kluwer Academic Publishers, 3rd Edition, 2004.

[30] MESSENGER, G.C. and ASH, M.S., The Effects of Radiation on Electronics Systems, Van Nostrand Reinhold Company, New York, pp. 307, 1986

[31] COLINGE, J.P. and COLINGE, C.A., Physics of Semiconductor Devices, Kluwer Academic Publishers, 2002

[32] FLANDRE, D., WIELE, F.V., Proceedings of the IEEE SOS/SOI Technology Conference, pp. 27, 1989

[33] MANASEVIT, H.M.and Simpson, W.I., “Single-cristal silicon on sapphire substrate,” Japanese Journal of Applied Physics, vol. 35, pp. 1349, 1964

[34] CRISTOLOVEANU, S., “Silicon films-on-sapphire,” Rep. Prog. In Phys. Vol. 50, pp.327, 1987

[35] FLANDRE, D., IEEE Transactions on Electron Devices, vol. 40, n.10, pp. 1789, 1993

[36] FLANDRE, D.; VAN de WIELE, F.; JESPERS P.G.A. and HAOND, M, IEEE Electron

Devices Letters, vol. 11, n.7, pp. 291, 1990

[37] GENTINNE, B.; FLANDRE, D.; COLINGE, J.P., Solid-State Eletronics, vol. 39, n. 7, pp. 1071, 1996

[38] KO, P.K.; TAM, S.; HU,C.; WONG,S.S.and SODINI, C.G., Technical Digest of International Electron Devices Meeting (IEDM), p. 88, 1984

[39] CHAM, K.M.; OH,S.I.;CHIN, D. and MOLL, J.L., Computer Aided Design and VLSI Device Development, Hingham, MA, Kluwer Academic Publishers, pp. 240, 1990

[40] STREETMAN B.G, BANERJEE S., "Solid State Eletronic Device", Prentice Hall 5th Edition, 2000

[41] KATO, K.; WADA, T. and TANIGUCHI, K., "Analysis of kink characteristics in silicon on insulator MOSFETs using two-carriers modeling", IEEE Trans. Electron Devices, vol. 32, pp. 458, 1985.

[42] CHOI, J. Y. and FOSSUM, J. G., "Analysis and control of floating body bipolar effects in fully depleted submicrometer SOI MOSFETs," IEEE Trans. Electron Devices, vol. 3, pp. 1384, 1991

[43] DIERICKX, B.; WARMERDAM, L. SIMOEN, E.; VERMEIREN, J. and CLAEYS, C., IEEE Transactions on Electron Devices, Vol. 35, p. 1120, 1988.

[44] FOSSUM, J.G.; SUNDARESAN, R. and MATLOUBIAN, M., IEEE Transactions on Electron Devices, vol. 34, pp. 544, 1987

[45] MATLOUBIAN, M.; CHEN, C.E.D.; MAO, B.Y.; SUNDARESAN R.; POLLACK, G. P., IEEE Transactions on Electron Devices, vol. 37, n.9, pp. 1985, 1990

[46] CHOI, J. Y.and FOSSUM, J.G., Proceedings of the IEEE SOS/SOI Technology Conference, pp. 21, 1990

[47] CHEN, C.E.D.; MATLOUBIAN, M.; SUNDARESAN, R.; MAO, B.Y.; WEI, C.C. and POLLACK, G. P., IEEE Electron Device Letters, vol. 9, pp. 636, 1998

[48] SUNDARESAN, R. and CHEN, C.E.D., Proceedings of the Fourth International Symposium on Silicon-on-Insulator Technology and Devices, Ed by D. N. Schmidt, vol. 90-6, The Electrochemical Society, pp. 437, 1990

[49] AUBERTON-HERVÉ, A. J., Proceedings of the Fourth International Symposium on Silicon- on-Ínsulator Tchnology and Devices, Ed. By D. N. Schimdt, vol. 90-6, The Electrochemical Society, pp. 455, 1990

[50] SEKIGAWA,T.; HAYASHI, Y., Calculated threshold-voltage characteristics of an XMOS trabsistor havingan additional bottom gate. Solid-State Eletronics, Vol. 27,pp. 827, 1984

[51] FRANK, D. J.; LAUX, S.E. and FISCHETTI, M.V., Technical Digest of IEDM, pp. 553, 1992

[52] HISAMOTO, D. et al., A Fully Depleted Lean-Channel Transistor (DELTA) – A Novel Vertical Ultra Thin SOI MOSFET, IEDM Tech. Digest, 833 (1989).

[53] BAIE, X.; Colinge, J. P.; BAYOT, V. and GRIVEI, E., Proceedings of IEEE International SOI Conference, pp. 66, 1995

[54] MIYANO, S.; HIROSE, M.; MASUOKA, F.; IEEE Transactions on Electron Devices, Vol 39, pp. 1876, 1992

[55] PARK, J. T.; COLINGE, J.P., IEEE Transactions on Electron Devices, vol. 49, pp. 2222, 2002

[56] US patent 6,359,311

[57] YANG F.L., CHEN H.Y., CHENG F.C., HUANG C.C., CHANG C.Y., CHIU H.K., LEE C.C., CHEN C.C., HUANG H.T., CHEN C.J., TAO H.J., YEO Y.C., LIANG M.S., and HU C., 25 nm CMOS Omega FET, Technical Digest of IEDM, p. 255, 2002.

[58] RITZENTHALER, R.; DUPRÉ, C.; MESCOT, X.; FAYNOT, O.; ERNEST, T.; BARBÉ, J.C.; JAHAN, C.; BREVARD, L.; ANDRIEU, F.; DELEONIBUS, S.; CRISTOLOVEANU, S., Mobility in narrow Ω-gate FET devices. Proceeding IEEE International SOI Conference, p. 77, 2006.

[59] BALESTRA F., CRISTOLOVENAU S., BENACHIR M., BRINI,J. ELEWA T., IEEE Electron Device Letters, vol. 8, no. 9, p. 410, 1987.

[60] COLINGE J.P., GAO M.H., ROMANO A., MAES H., and CLAEYS C., Technical Digest of IEDM, p. 595, 1990.

[61] KIM, K.; KWON, O.; SEO, J.; WON, T. Nanoscale Device Modeling and Simulation: Fin Field-Effect Transistor (FinFET). Japanese Journal of Applied Physics, v. 43, n. 6B, p. 3784–3789, 2004.

[62] OUISSE, T. Self-consistent quantum-mechanical calculations in ultrathin silicon-on-insulator structures.Journal of AppliedPhysics, Part 1 v.76 n.-10, p. 5989 (1994)

[63] COLINGE, J. P.; BAIE, X.; BAYOT, V. Evidence of two-dimensional carrier confinement in thinn-channel SOI gate-all-around (GAA) device. IEEE Electron Devices Letters v.15, n. 6, p. 193 (1994).

[64] RAHMAN, A.; LUNDSTROM, M.S. A compact scattering model for the nanoscale doublé-gate MOSFET. IEEE Transactions on Electron Devices v. 49, n. 3, p. 481 (2002).

[65] BAIE, X., COLINGE J. P., BAYOT V., GRIVEI E.,: Quantum- wire effects in thin and narrow SOI MOSFETs. Proceeding IEEE International SOI Conference, 66, 1995.

[66] THOMPSON, S.E.; SUN, G.; CHOI, Y. S.; NISHIDA, T.; Uniaxial- Process-Induced Strained-Si: Extending the CMOS Roadmap: IEEE Transactions on Electron Devices 53-5, 1010 (2006)

[67] HORSTMANN, M.; WEI, A.; KAMMLER, A. ; HONTSCHEL, J.; BIERSTEDT, H.; FEUDEL, T.; FROHBERG, K.; Gerhardt, M.; HELLMICH, A.; HEMPEL, K.; HOHAGE, J.; JAVORKA, P.; KLAIS, J.; KOERNER, G.; LENSKI,, M.; NEU, A.; OTTERBACH, R.; PRESS,P.; REICHEL, C.; TRENTSCH, M.; TRUI,, B.; SALZ, H.; SCHALLER, M.; ENGELMANn, H.J.; HERZOG, O.; RUELKE, H.; HUBLER, P.; STEPHAN, R.; GREENLAW, D.; RAAB, M.; KEPLER,:N. :Integration and Optimization of Embedded-SiGe, Compressive and Tensile Stressed Liner Films, and Stress Memorization in Advanced SOI CMOS Technologies. Technical Digest of IEDM, 233 (2005)

[68] SHIN, K.; CHUI, C.O.; KING, T.J.: Dual stress capping layer enhancement study for hybrid orientation finFET CMOS technology. Technical Digest of IEDM, 988 (2005)

[69] COLLAERT, N.; ROOYACKERS, R.; CLEMENTE, F.; ZIMMERMAN, P.; CAYREFOURCQ, I.; GHYSELEN, B.; SAN, K.; EYCKENS,B.; JURCZAK, M.; . BIESEMANS, S.: Performance Enhancement of MUGFET Devices Using Super Critical Strained-SOI (SCSSOI) and CESL. Symposium on VLSI Technology, 52 (2006)

[70] FOSSUM, J.G.; YANG, J.W.; TRIVEDI, V.P., Suppression of corner effects in triple-gate MOSFETS. IEEE Electron Device Letters vol.24-12, pp. 745, 2003

[71] MARTINO, J.A., PAVANELLO, M.A., VERDONCK, P.B., Caracterização Elétrica de Tecnologia e Dispositivos MOS, Thomson, São Paulo, 2003.

[72] MULLER, R.S.and KAMINS, T.I., Device Eletronics of Integrated Circuits, J. Wiley &Sons, pp. 436, 1986

[73] WITFIELD, J.; THOMAS, S., IEEE Electron Device Letters. Vol. 7, pp. 347, 1986

[74] PAVANELLO, LAUWERS M.A.; L.; COLINGE, J.P. and De MEYERS, K., Electronics Letters, vol. 26, pp. 1462, 1990

[75] PAVANELLO, M.A.; MARTINO, J.A.and COLINGE, J.P., Solid-State Eletronics, vol. 41, n. 9 , pp. 1241, 1997

[76] STURM, J. C.; TOKUNAGA, K. Dependence of transconductance on substrate bias in ultrathin silicon-on-insulator MOS transistors. Electronics Letters, v. 25, n. 18, p. 1233-1234, 1989

[77] FOSSUM, J.G. and KRISHNAN, S., IEEE Transactions on Electron Devices, vol. 39, pp. 457, 1993

[78] STURM, J.C. and TOKUNAGA, K. , Electronics Leters, vol. 25, pp. 1233, 1989

[79] COLINGE, J.P., IEEE Electron Letters, vol. EDL-6, pp. 573, 1985

[80] OUISSE, T.; CRISTOLOVEANU, S.; BOREL, G., Solid-State Eletronics, vol35, pp.141, 1992

[81] SUN, S.C.and PLUMMER, J.D., IEEE Transactions on Electron Devices, vol. 27, pp. 1497, 1980.

[82] LIM H.K. and FOSSUM J.G., IEEE Transactions on Electron Devices, Vol. 31, p. 401, 1984.

[83] YOSHIMI, M.; HAZAMA, H.; TAKAHASHI, M. ; KAMBAYASHI, S.; WADA, T.; KATO., K. and TANGO, H., IEEE Transactions on ElectronDevices, vol. 36, pp. 493, 1989

[84] YOSHINO, A., Proceedings of the Fourth International Symposium on Silicon-on-Insulator Technology and Devices, Ed by D. N. Schmidt, vol. 90-6, The Electrochemical Society, pp. 544, 1990

[85] COLINGE, J.P. and COLINGE, C.A., Physic of Semiconductor Devices, pp. 195 and pp.199, Kluwer Academic Publishers, 2002

[86] LANDGRAF, E.; RÖSNER, W.; STADELE, M.; DRESKORNFELD, L.; HARTWICH, J.; HOFMANN, F.; KRETZ, J.; LUTZ, T.; LUYKEN, R.J.; SCHULZ, T., SPECHT, M.; RISCH, L., Influence of crital orientation and body doping on triple transistorperformance. Solid-State Electronics vol. 50-1 pp. 38, 2006

[87] VAN OVERSTRAETEN, R.J.; DECLERK, G.J. and MULS, P.A., IEEE Transactions on Electron Devices, vol. ED-20, PP.1150, 1973

[88] S.M. Sze, Physics of Semiconductor Devices, Wiley & Sons, p. 446, 1981.

[89] COLINGE J.P., Ext. Abstracts of 5th International Workshop on Future Electron Devices, Miyagi-Zao, Japan. Pp. 105, 1988

[90] ASADA, K.; MIKI, H.;KUMON and SUGANO, T., Ext. Abstracts of 8th International

Workshop on Future Electron Devices, Kochi, Japan, pp. 165, 1990

[91] JOACHIM, H.O.; YAMAGUCHI, Y.; ISHIKAWA, K.; INOUE, Y. and NISHIMURA, T., IEEE Transactions on Electron Devices, vol. 40, n. 10, pp. 1812, 1993

[92] TERAO, A.; FLANDRE, D.; TAMOYO, E. L.; WIELE, V., Measurement of threshold voltages of thin-film accumulation-mode PMOS/SOI transistors. IEEE Electron Device Letters, v. 12, n. 12, p. 682-684, 1991.

[93] WONG, H. S.; WHITE, M. H.; KRUTSICK, T. J.; BOOTH, V., Modeling of transconductance degradation and extraction of threshold voltage in thin oxide MOSFET's. Solid-State Electronics, v. 30, n. 9, p. 953-958, 1987

[94] TERAO, A. et al.:Measurement of threshold voltages of Thin-Film Acccumulation-Mode SOI MOSFETs., vol. 12, pp. 683, IEEE Electron Device Letters, 1991.

[95] XIONG, W.; PARK, J.W.; COLINGE, J. P., Proc. Of the IEEE International SOI Conference, 2003.

[96] CONDE, O. A.; SÁNCHEZ, F. J. G.; LIOU, J. J.; CERDEIRA, A.; ESTRADA, M.; YUE Y., A review of recent MOSFET threshold voltage extraction methods. Microelectronics Reliability, v. 42, p. 583-596, 2002.