### MARCELO GONZAGA DE OLIVEIRA PARADA

## ANÁLISE E MODELAGEM DA RESISTÊNCIA DE ESPRAIAMENTO EM TRANSISTORES FINFET

Dissertação de Mestrado apresentada ao Centro Universitário da FEI, como parte dos requisitos necessários para a obtenção do título de Mestre em Engenharia Elétrica, orientado pelo Prof. Dr. Renato Camargo Giacomini.

Parada, Marcelo Gonzaga de Oliveira Análise e modelagem da resistência de espraiamento em transistores FinFET / Marcelo Gonzaga de Oliveira Parada. São Bernardo do Campo, 2011.

87 f. : il.

Dissertação - Centro Universitário da FEI. Orientador: Prof. Renato Camargo Giacomini

1. Transistores SOI. 2. FinFET. 3. Resistência Parasita. 4. Resistência de Espraiamento. I. Giacomini, Renato Camargo, orient. II. Título.

CDU 621.382



APRESENTAÇÃO DE DISSERTAÇÃO ATA DA BANCA JULGADORA

### Programa de Mestrado de Engenharia Elétrica

**ORIGINAL ASSINADA** 

Aluno: Marcelo Gonzaga de Oliveira Parada

Título do Trabalho: ANÁLISE E MODELAGEM DA RESISTÊNCIA DE ESPRAIAMENTO EM TRANSISTORES FINFET.

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof. Dr. Renato Camargo Giacomini

Data da realização da defesa: 15 / julho / 2011

A Banca Julgadora abaixo-assinada atribuiu ao candidato o seguinte:

APROVADO 🛛

REPROVADO

São Bernardo do Campo, 15 / julho / 2011.

MEMBROS DA BANCA JULGADORA
Prof. Dr. Renato Camargo Giacomini
Ass.:
Prof <sup>a</sup> . Dr <sup>a</sup> . Michelly de Souza
Ass.:
Prof. Dr. Roberto Koji Onmori
Ass.:

### VERSÃO FINAL DA DISSERTAÇÃO

ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS RECOMENDAÇÕES DA BANCA EXAMINADORA Aprovação do Coordenador do Programa de Pós-graduação

PGE- 10

Matrícula: 1083203

Prof. Dr. Carlos Eduardo Thomaz

Dedico este trabalho a todos os amigos e familiares que contribuíram de forma direta ou indireta, em especial à minha namorada Flávia A. Gil.

### AGRADECIMENTOS

Ao meu orientador Prof. Dr. Renato Giacomini pela confiança e contribuição para a realização deste trabalho.

À Prof. Dra. Paula Agopian pelo grande auxílio.

Ao colega de mestrado Cristiano Malheiro pela ajuda e parceria.

À minha família por ter me apoiado nos momentos mais difíceis.

À minha namorada Flávia pela motivação para a realização do curso e pelo carinho e companheirismo ao longo destes anos.

Ao Prof. Dr. Marcelo Pavanello que foi o primeiro incentivador para a realização do curso.

Aos demais professores do mestrado, Dr. Salvador Pinillos Gimenez e Dr. Marcello Bellodi pelos ensinamentos.

Aos colegas de mestrado, André, Ariane, Fred, Henrique, Robson e Rudolf que auxiliaram o desenvolvimento deste trabalho.

Aos demais amigos que sempre estiveram presentes ao longo destes anos.

"Existe uma diferença entre uma fotografia tremida ou desfocada e uma foto de nuvens e neblina" Erwin Schrodinger

### **RESUMO**

A resistência parasita nos transistores FinFET tende a apresentar valores elevados devido à estreita largura da aleta de silício e isto tem sido uma das principais limitações no uso deste tipo de dispositivo. Diversos estudos já foram realizados visando a minimizar este problema e algumas soluções como crescimento epitaxial na extensão de fonte e dreno e a utilização de diversas aletas em paralelo (Multi-Finger) já demonstram grandes melhorias. A resistência total é formada por diferentes componentes e uma destas, a resistência de espraiamento, que ocorre devido ao desvio do caminho da corrente na proximidade da fonte e do dreno, foi foco de estudo deste trabalho. Observou-se uma falta de estudos a respeito desta parcela de resistência, que se torna cada vez mais significativa à medida que as outras parcelas vêm sendo constantemente reduzidas. Este trabalho apresenta um novo modelo analítico para representação da resistência de espraiamento em dispositivos FinFET de porta dupla, visando a um equacionamento simples e que pode ser utilizado para um maior número de dispositivos que o modelo anteriormente utilizado. Os resultados foram validados através de simulações numéricas utilizando um simulador de dispositivos. O novo modelo apresentou erros de menos de 10% para a toda faixa de largura de aletas simuladas, enquanto o modelo anterior garantiu essa precisão apenas para a faixa de 47 a 51nm.

Palavras-Chave: Transistores SOI. FinFET. Resistência Parasita. Resistência de espraiamento.

### ABSTRACT

The parasitic resistance on FinFET transistors tends to present high values, due to very short fin width and this proves to be one of the main disadvantages of that devices. A lot of studies have already been developed trying to minimize this problem. Some solutions as the selective epitaxial growth of the extension of source and drain and multi-finger have already shown good improvements. The total series resistance is composed by different parcels, one of these, the spreading resistance, that is due to the deviation on the path of the current in the proximity of the channel, was the focus of this work. It was observed a lack of studies focused on this component of the total resistance, which will become more significant as the other components are constantly being reduced. This work presents a new analytical model of the spreading resistance on FinFET double-gate devices through a simple equation that could be used for a larger number of devices than the previous model. This was validated using numerical simulations with a device simulator. The new model presented errors below 10% for all considered fin widths and on the other hand, when using the previous model the errors were below that value only for widths between 47 to 51nm.

Key-words: SOI Transistors. FinFET. Parasitic resistance. Spreading resistance.

## LISTA DE FIGURAS

Figura 2.1 - Corte Vertical do Transistor SOI
Figura 2.2 - Distribuição da região de depleção em (a) MOSFETs convencionais e (b) SOI
totalmente depletado
Figura 2.3 - Efeito DIBL em transistores MOSFET de canal curto
Figura 2.4 - Análise da barreira de potencial ao logo do transistor com efeito DIBL25
Figura 2.5 - Efeito DIBL e <i>punch through</i> em um transistor MOSFET26
Figura 2.6- Quatro primeiros níveis de energia e duas primeiras funções de onda para os
diferentes possíveis poços de energia: Quadrado, parabólico "forte" e parabólico "fraco"29
Figura 2.7 - Cronologia dos transistores MOS de única porta e múltiplas portas <sup>6</sup> 30
Figura 2.8 - Ilustração de um Transistor DELTA31
Figura 2.9 - Ilustração de um transistor FinFET32
Figura 2.10 - Seção transversal de um FinFET Multi-Finger
Figura 3.1 - Corte vertical do transistor SOI, detalhando as parcelas de resistência <sup>19</sup> 35
Figura 3.2 - Corte paralelo a passagem de corrente de um transistor FinFET, detalhando as
parcelas de resistência consideradas neste trabalho
Figura 3.3 - Corte paralelo a passagem de corrente em um transistor FinFET detalhando todas
as possíveis parcelas de resistência37
Figura 3.4 - Espraiamento da corrente na interface da região de fonte com a região de canal 38
Figura 3.5 - Evolução do método de Baccarani para o método de Dixit et. al
Figura 3.6 - Setor de coroa circular considerado para modelo analítico
Figura 3.7 - R <sub>TOT</sub> x L para extração de R <sub>c</sub> /W e R <sub>SDeff</sub> <sup>26</sup>
Figura 3.8 - $R_{SDeff} x \rho/W$ para extração de $\Delta L$ e $R_{SD}^{26}$
Figura 3.9 – $R_{TOT} \times L$ para extração de $\Delta L \in R_{SD}^{26}$
Figura 3.10 - Gráfico $\Delta L \ge V_G$ para a utilização do método proposto por HU et. Al <sup>30</sup>
Figura 3.11 - Gráfico $R_{TOT}$ x L para a extração de $\Delta L$ e $R_{SD}^{30}$
Figura 3.12 - Corte paralelo à passagem de corrente de um transistor FinFET, detalhando a
região compreendida por L <sub>SP</sub>
Figura 4.1 - Plano de corte no transistor FinFET para as simulações 2D (b) Vista superior do
plano de corte
Figura 4.2 - Exemplo de grade de pontos uta nas simulações para transistor de W <sub>FIN</sub> =36nm,
L=150nm, L <sub>D</sub> =90nm

Figura 4.3 - R <sub>TOT</sub> x L <sub>D</sub> para os transistores simulados55
Figura 4.4 - R <sub>TOT</sub> x L para os transistores simulados55
Figura 4.5 - $R_{TOT} x L_D$ para comprimentos de extensão de fonte e dreno bem pequenos para
extração do comprimento da região de espraiamento, L <sub>SP</sub> 56
Figura 5.1 - Curva $I_{DS} \ge V_G$ para $W_{FIN}$ =21nm, L=150nm e L <sub>D</sub> =90nm57
Figura 5.2 - R <sub>TOT</sub> x L <sub>D</sub> para W <sub>FIN</sub> =21nm, L=150nm
Figura 5.3 - R <sub>TOT</sub> x L para W <sub>FIN</sub> =21nm, L <sub>D</sub> =90nm
Figura 5.4 - Gráfico para determinação da profundidade do canal (x <sub>c</sub> )60
Figura 5.5 - Detalhe da região do espraiamento de corrente em resultado obtido através de
simulação com vetores de densidade de corrente para obtenção de $\alpha$
Figura 6.1 - Gráfico de R <sub>SP</sub> x L para W <sub>FIN</sub> =21nm obtido dos resultados simulados66
Figura 6.2 - Gráfico de R <sub>SP</sub> x L <sub>D</sub> para W <sub>FIN</sub> =21nm obtido dos resultados simulados67
Figura 6.3 - Gráfico de R <sub>SP</sub> x W <sub>FIN</sub> para W <sub>FIN</sub> =21nm obtido dos resultados simulados68
Figura 6.4 - Distribuição da corrente para FinFET com W <sub>FIN</sub> de 11nm
Figura 6.5 - Distribuição da corrente para FinFET com W <sub>FIN</sub> de 31nm
Figura 6.6 - Distribuição da corrente para FinFET com W <sub>FIN</sub> de 51nm
Figura 6.7 - Densidade de corrente ao longo do canal para L=150nm, $L_D$ =90nm, $W_{FIN}$ =16nm,
sem modelagem quântica70
Figura 6.8 - Densidade de corrente ao longo do canal para L=150nm, L <sub>D</sub> =90nm, W <sub>FIN</sub> =16nm,
com modelagem quântica71
Figura 6.9 - Gráfico de $R_{SP}$ x $W_{FIN}$ com e sem modelagem quântica72
Figura 6.10 - Vetores de distribuição de corrente para FinFET com $W_{FIN}$ de 11nm73
Figura 6.11 - Vetores de distribuição de corrente para FinFET com $W_{FIN}$ de 51nm74
Figura 6.12 – $\alpha$ x W <sub>FIN</sub> para os transistores simulados
Figura 6.13 - $R_{SP} \times W_{FIN}$ comparando os resultados obtidos pela simulação, modelo proposto
e modelo de Dixit
Figura 6.14 - Erro x $W_{FIN}$ para os modelo proposto e modelo de Dixit quando comparados
com os resultados de simulação77

## LISTA DE TABELAS

Tabela 1 - Valores de resistência obtidos através das simulações	63
Tabela 2 - Comparativos dos valores de R <sub>SP</sub> obtidos com e sem modelagem quântica	72
Tabela 3 - Comparativo dos resultados	76

# LISTA DE SÍMBOLOS

А	Constante para solução da equação de Schrodinger
A <sub>R</sub>	Área da seção transversal à passagem de corrente para material genérico [m <sup>2</sup> ]
В	Constante para solução da equação de Schrodinger
C <sub>OX</sub>	Capacitância do óxido de porta [F]
d	Distância máxima da região de depleção controlada pela fonte/dreno [m]
Е	Energia [J]
h	Constante de Planck [6,626 x 10 <sup>-34</sup> J.s]
ħ	Constante de Planck normalizada [1,055 x 10 <sup>-34</sup> J.s]
H <sub>FIN</sub>	Altura do fin [m]
I <sub>DS</sub>	Corrente de fonte e dreno para transistores MOS [A]
Κ	Constante de Boltzmann [1,38 x 10 <sup>-23</sup> J/K]
L	Comprimento de canal [m]
L <sub>B</sub>	Comprimento máximo da caixa para solução da equação de Schrodinger [m]
L <sub>D</sub>	Comprimento da região de extensão de fonte e dreno [m]
L <sub>eff</sub>	Comprimento efetivo da região do canal [m]
L <sub>R</sub>	Comprimento da região onde ocorre passagem de corrente para material
genérico [m]	
L <sub>SP</sub>	Comprimento da região de espraiamento [m]
m	massa da partícula [g]
n	número quântico
N <sub>A</sub>	Concentração de impurezas aceitadoras [cm <sup>-3</sup> ]
n <sub>i</sub>	Concentração intrínseca de portadores [cm <sup>-3</sup> ]
q	Carga elementar do elétron [1,6 x 10 <sup>-19</sup> C]
Q <sub>DEP</sub>	Densidade de cargas de depleção por unidade de área [C/cm <sup>2</sup> ]
$Q_{\text{DEP, EFF}}$	Densidade de cargas de depleção efetiva por unidade de área [C/cm <sup>2</sup> ]
$Q_F$	Densidade de cargas de interface [C/cm <sup>2</sup> ]
R	Resistência de material genérico [Ω]
R <sub>AC</sub>	Resistência de acumulação na região de fonte e dreno $[\Omega]$
R <sub>c</sub>	Resistência de folha do canal [Ω/□]

R <sub>j</sub>	Resistência de folha da fonte $[\Omega/\Box]$
R <sub>CH</sub>	Resistência de canal [Ω]
R <sub>CHeff</sub>	Resistência efetiva de canal $[\Omega]$
R <sub>CON</sub>	Resistência de contato [Ω]
R <sub>EXT</sub>	Resistência de extensão de Fonte e Dreno [ $\Omega$ ]
r <sub>j</sub>	Profundidade da junção de fonte e dreno [m]
R <sub>SD</sub>	Resistência série de fonte e dreno $[\Omega]$
R <sub>SDeff</sub>	Resistência efetiva de fonte e dreno [ $\Omega$ ]
R <sub>SP</sub>	Resistência de espraiamento [Ω]
R <sub>SP2</sub>	Resistência de espraiamento 2 [ $\Omega$ ]
R <sub>TOT</sub>	Resistência total do transistor $[\Omega]$
Т	Temperatura absoluta [K]
t <sub>si</sub>	Espessura da camada de silício [cm]
U	Energia potencial da partícula [J]
$V_B$	Tensão de substrato [V]
V <sub>D</sub>	Tensão de dreno [V]
V <sub>DS</sub>	Tensão aplicada entre o dreno e a fonte [V]
$V_{G}$	Tensão de porta [V]
$V_{g1}$	Tensão de porta 1 [V]
$V_{g2}$	Tensão de porta 2 [V]
V <sub>GS</sub>	Tensão entre porta e fonte [V]
V <sub>gx</sub>	Tensão de porta x [V]
Vs	Tensão de fonte [V]
$V_{TH}$	Tensão de limiar [V]
W	Largura do canal para transistores MOSFET convencional [m]
$W_{\text{FIN}}$	Largura da aleta para transistores FinFET [m]
Xc	Espessura do canal [m]
X <sub>dmáx</sub>	Espessura máxima da camada de depleção [cm]
x <sub>j</sub>	Profundidade da junção [m]
X <sub>ox</sub>	Espessura do óxido de porta [m]
α	Ângulo de espraiamento [rad]
ε <sub>si</sub>	Permissividade do silício [1,06 x 10 <sup>-12</sup> F/cm]

$\phi_{\rm F}$	Potencial de Fermi [V]
фм	Função trabalho na porta [V]
μ	Mobilidade dos portadores majoritários da região de canal [m <sup>2</sup> /V.s]
Ψ	Função de onda
ρ	Resistividade do material $[\Omega/m]$
$\rho_{ext}$	Resistividade da extensão de fonte e dreno $[\Omega/m]$
$\Delta V_G$	Variação da tensão na porta [V]
ΔL	Variação do comprimento do canal [m]
$\Phi_{\rm M}$	Função trabalho [V]

## LISTA DE ABREVIATURAS E SIGLAS

BGN	Band Gap Narrowing
CMOS	Complementary Metal-Oxide-Semiconductor
DELTA	Fully DEpleted Lean-channel TrAnsistor
DIBL	Drain-Induced-Barrier-Lowering
FinFET	Fin Field Effect Transistor
GAA	Gate-All-Around
HDD	High Doped Drain
HF	High Frequency
ITRS	International Technology Roadmap for Semiconductors
LDD	Light Doped Drain
MIGFET	Multiple Independent Gate Field Effect Transistor
MOS	Metal-Oxide-Semiconductor
MOSFET	Metal-Oxide-Semiconductor Field Effect Transistor
MuGFET	Multi Gate Field Effect Transistor
nMOS	n Metal-Oxide-Semiconductor
pMOS	p Metal-Oxide-Semiconductor
SEG	Selective Epitaxial Growth
SOI	Silicon-On-Insulator
SOS	Silicon-On-Sapphire
XMOS	X Metal-Oxide-Semiconductor
2D	Two Dimensions
3D	Three Dimensions

## SUMÁRIO

1 INTRODUÇÃO	17
1.1 Objetivo do trabalho	18
1.2 Apresentação do trabalho	18
2 CONCEITOS GERAIS	20
2.1 Transistor SOI MOSFET	20
2.2 Diferentes tipos de SOI	21
2.2.1 Transistor totalmente depletado (Fully-Depleted)	22
2.2.2 Transistor parcialmente depletado (Partially-Depleted)	22
2.2.3 Transistor quase totalmente depletado (Near Fully-Depleted)	22
2.3 Efeitos de canal curto	23
2.4 Efeitos quânticos	26
2.5 Transistores de múltiplas portas	29
2.5.1 Transistor DELTA	30
2.5.2 Transistor FinFET	31
3 MODELOS E MÉTODOS DE EXTRAÇÃO DA RESISTÊNCIA ESPRAIAMENTO	DE 34
3.1 Resistência Total	
3.1.1 Resistência de espraiamento	37
3.2 Modelos	37
3.2.1 Modelo proposto por Baccarani, G. e Sai-Halasz, G. A.[22]	38
3.2.2 Modelo proposto por Dixit et. al. [23]	39
3.2.3 Modelo Proposto (Modelo Parada-Giacomini)	41
3.3 Métodos de extração	42
3.3.1 Método de Terada e Muta [26]	42

3.3.2 Método de HU, G et. Al. [29] para extração de $R_{SD}$ , $R_{TOT}$ e $L_{eff}$	
3.3.3 Método para extração da resistência de espraiamento proposto	
4 SIMULAÇÕES	
4.1 Simulador ATLAS	
4.2 Definição dos modelos físicos	
4.2.1 Modelos de degradação da mobilidade	50
4.2.2 Modelos de Recombinação	
4.2.3 Modelos quânticos	
4.2.4 Outros modelos	
4.3 Simulações realizadas	
5 UTILIZAÇÃO DOS MÉTODOS E MODELOS	
5.1 Exemplo de utilização do método de extração	
5.2 Exemplo de utilização do modelo analítico proposto	
5.3 Exemplo de utilização do modelo proposto por Dixit et. al. [23]	
6 RESULTADOS	
6.1 Resultados a partir do método de simulação	
6.1.1 Importância da modelagem dos efeitos quânticos	
6.2 Resultados com o modelo analítico proposto	
6.3 Resultados com o modelo de Dixit et. al. [23]	
6.4 Comparativo dos resultados	
7 CONCLUSÕES	
7.1 Trabalhos futuros	
PUBLICAÇÕES GERADAS DURANTE O PERÍODO DE MESTRADO	
PUBLICAÇÕES GERADAS DURANTE O PERÍODO DE MESTRADO REFERÊNCIAS BIBLIOGRÁFICAS	80 81

### 1. INTRODUÇÃO

Ao longo da história da microeletrônica, um dos grandes desafios sempre foi a maior capacidade de integração dos dispositivos e redução de tamanho dos componentes. Atualmente já é possível encontrar em produção circuitos integrados com tecnologia CMOS de 22nm e possivelmente, até 2014, entrará a tecnologia sucessora de 16nm, conforme previsto pela ITRS (*International Technology Roadmap for Semiconductors*) [1].

Para que isto seja possível, há um grande investimento em pesquisas de novas tecnologias que viabilizem a produção de dispositivos com alto grau de precisão e confiabilidade, com dimensões cada vez menores. Uma destas novas tecnologias de transistores do tipo MOS (*Metal-Oxide-Semiconductor*) são os transistores SOI (*Silicon-on-Insulator*), que demonstram inúmeras vantagens sobre os transistores planares convencionais do tipo *bulk* para utilização em dimensões sub-micrométricas. Entre as principais melhorias estão: redução dos efeitos parasitas; maior densidade de integração e melhor inclinação de sub-limiar. Deve-se ao fato que estes transistores são fabricados com lâminas de silício sobre uma camada de óxido enterrado, criando uma camada isolante entre o transistor propriamente dito e o substrato. [2]

Uma das novas apostas dentro da tecnologia SOI são os transistores FinFET (*Fin Field Effect Transistor*). Trata-se de um transistor construído sobre uma lâmina SOI, com duas portas verticais e com canal estreito, denominado *fin* ou aleta. Para atingir bom desempenho estes dispositivos são utilizados com aletas extremamente finas, tanto na região de canal, como na região de extensão de fonte e dreno. Por este motivo, estes transistores apresentam elevados e indesejados valores de resistência série, o que é uma de suas principais desvantagens.

Algumas propostas, já apresentadas em estudos anteriores, que demonstram bons resultados para redução destes valores de resistência neste tipo de dispositivo são: utilização de estruturas *multi-finger*, correspondente à utilização de diversos *fins* em paralelo, reduzindo assim a resistência parasita total e aumentando a capacidade de corrente que pode ser drenada entre fonte e dreno; a utilização de SEG (*Selective Epitaxial Growth*), que consiste em um crescimento das regiões de extensão de fonte e dreno, reduzindo a resistência parasita nestas regiões e consequentemente a resistência total [3] ou ainda buscar reduzir a resistência de

contato que é uma das componentes com maior valor dentre as parcelas que formam a resistência parasita total [4].

### 1.1 Objetivo do trabalho

Diversos estudos já foram realizados sobre as diferentes componentes da resistência total em transistores SOI e FinFETs, porém, poucos abordam a resistência de espraiamento, sendo por este motivo, o foco deste trabalho.

O objetivo é propor um novo modelo analítico de estimação da resistência de espraiamento, que possa ser utilizado para uma faixa mais abrangente de dispositivos que os modelos previamente utilizados. Para diferentes dispositivos, os resultados obtidos com o modelo proposto são validados através de simulações. Para isto um novo método de extração baseado em resultados de simulações numéricas foi estudado.

### 1.2 Apresentação do trabalho

Este trabalho está dividido em seis capítulos. Segue uma breve descrição sobre o conteúdo de cada um destes.

Capítulo 1: Apresenta uma breve introdução sobre o tema abordado ao longo do trabalho e seu objetivo.

Capítulo 2: Contém uma introdução teórica sobre os transistores SOI, transistores de múltiplas portas, DELTA, FinFETs, efeitos de canal curto, efeitos quânticos e resistência parasita.

Capítulo 3: Detalha os modelos e métodos anteriormente utilizados bem como os propostos neste trabalho para obtenção da resistência total, em especial a resistência de espraiamento em transistores FinFET.

Capítulo 4: Apresenta o simulador numérico e detalha o método para a obtenção dos resultados utilizados para validação do modelo proposto no Capítulo 3.

Capítulo 5: São demonstrados exemplos de utilização dos modelos e métodos em estudo.

Capítulo 6: Neste capítulo são apresentados os resultados obtidos através das simulações. Com estes resultados é feita a validação do modelo proposto e a comparação com o modelo anteriormente utilizado.

Capítulo 7: É realizada uma análise final de todos os resultados obtidos, apresentando as conclusões e indicando futuras possibilidades de continuidade da pesquisa.

### 2. CONCEITOS GERAIS

Este capítulo discorre sobre a tecnologia SOI e sobre os transistores de múltiplas portas até a chegada do transistor FinFET que será estudado ao longo do trabalho. Também são introduzidos conceitos sobre resistência parasita total e sua influência na utilização deste tipo de dispositivo.

### 2.1 Transistor SOI MOSFET

O Transistor SOI MOSFET consiste em um transistor construído utilizando-se uma lâmina de silício com a presença de um óxido enterrado (*buried oxide*). Desta forma a região ativa do transistor fica isolada de seu substrato, conforme indicado na Figura 2.1, reduzindo alguns efeitos indesejados que estavam presentes no transistor planar (*bulk*) convencional, entre eles, capacitâncias parasitas e efeitos de canal curto, suprimindo também a presença do tiristor parasita [2].



Figura 2.1 - Corte Vertical do Transistor SOI

O transistor SOI apresenta também outras vantagens, tais como, maior densidade de integração e menor inclinação de sub-limiar. Porém, devido à presença da camada de isolante

que não é um bom condutor térmico, esta tecnologia apresenta dificuldades na remoção de calor [2].

Os primeiros transistores SOI foram fabricados em 1964 e utilizavam substrato de safira (SOS – *Silicon-on-sapphire*). Foram largamente utilizados para aplicações militares. Atualmente o óxido mais usual é o óxido de silício, porém, a safira ainda é utilizada para aplicações específicas, como circuitos de alta frequência [5].

Desde 2000, grandes empresas como a IBM, AMD e a Freescale iniciaram a fabricação de microprocessadores com tecnologia SOI em larga escala. A tendência é que o mercado adote definitivamente este novo tipo de transistor devido a suas inúmeras vantagens, substituindo o MOSFET bulk convencional.

### 2.2 Diferentes tipos de SOI

Em função da espessura da camada de silício, da concentração de dopantes e da temperatura, o transistor SOI pode ser classificado em três tipos, são eles: transistor totalmente depletado (*fully-depleted*); parcialmente depletado (*partially-depleted*) e transistor quase totalmente depletado (*near-fully-depleted*).

No transistor nMOS convencional a espessura máxima da região onde não há portadores livres, conhecida como região de depleção é definida da seguinte forma:

$$x_{dmax} = \sqrt{\frac{2.\varepsilon_{si}.2.\phi_F}{q.N_A}}$$
(1)

Onde  $\varepsilon_{si}$  representa a permissividade do silício, q a carga elementar do elétron elementar, N<sub>A</sub> a concentração de impurezas aceitadores de carga e  $\phi_F$  representa o potencial de Fermi, que é representado pela equação:

$$\phi_{\rm F} = \frac{\rm K.\,T}{\rm q}.\,\ln\left(\frac{\rm N_{\rm A}}{\rm n_{\rm i}}\right) \tag{2}$$

 $\label{eq:ondersection} Onde\ K\ representa\ a\ constante\ de\ Boltzmann,\ T\ a\ temperatura\ absoluta\ e\ n_i\ a\ concentração\ intrínseca\ de\ portadores.$ 

#### 2.2.1 Transistor totalmente depletado (Fully-Depleted)

Se a espessura da camada de silício  $(t_{si})$  for menor que  $x_{dmax}$  o transistor é classificado como totalmente depletado. Desta forma o transistor estará sempre com as regiões de depleção provenientes da primeira e da segunda interface em contato quando a tensão na porta for maior ou igual à tensão de limiar (V<sub>TH</sub>). Apesar de não ser usual, para transistores nMOS, pode ocorrer que a segunda interface fique em acumulação, caso uma tensão suficientemente negativa for aplicada no substrato, ou pode estar em inversão quando uma tensão suficientemente positiva para inverter as cargas na região da segunda interface for aplicada.

Existe grande vantagem no uso deste tipo de transistor principalmente com a segunda interface em depleção, tais como, menores valores de campo elétrico horizontal, alto valor de transcondutância, menor quantidade de efeitos de canal curto e melhor inclinação de sub-limiar [2].

#### 2.2.2 Transistor parcialmente depletado (Partially-Depleted)

Se a espessura da camada de silício  $(t_{si})$  for maior que o dobro de  $x_{dmax}$  o transistor é classificado como parcialmente depletado e desta forma as regiões de depleção provenientes da primeira e da segunda interface nunca poderão estar interligadas. Neste caso, aparece uma região neutra entre as regiões de depleção, chamada de corpo (*body*). Efeitos de corpo flutuante (*floating body effects*) podem aparecer neste tipo de dispositivo caso não possua a presença de um contato aterrando esta região de corpo. Outro efeito indesejado que pode ser observado é a presença de um transistor bipolar NPN no caso do transistor nMOS ou um transistor PNP no caso do pMOS. Este transistor parasita pode amplificar a corrente gerada por ionização por impacto e desencadear uma série de efeitos indesejados.

#### 2.2.3 Transistor quase totalmente depletado (Near Fully-Depleted)

Neste último caso a espessura da camada de silício é maior que  $x_{dmax}$ , porém menor que  $2.x_{dmax}$ , desta forma o transistor poderá ou não estar completamente depletado, dependendo da polarização. Este tipo de transistor possui características equivalentes ao do totalmente depletado quando as tensões aplicadas na porta e no substrato forem suficientes

para unir as regiões de depleção das duas interfaces ou equivalentes ao parcialmente depletado quando as tensões não forem suficientes para tal.

### 2.3 Efeitos de canal curto

Um dos principais efeitos de canal curto, denominado somente como *short channel effect* [6], ocorre já que ao redor das regiões de fonte e dreno, em especial na região do dreno que possui elevado valor de campo elétrico, ocorre a formação de regiões de depleção. As cargas nestas regiões estão diretamente ligadas ao potencial aplicado ao dreno. Ocorre que estas regiões invadem a região do canal, fazendo com que o controle das cargas nesta região não seja apenas dependente da tensão aplicada na porta. Para potencial aplicado na porta abaixo da tensão de limiar, este efeito pode ser ainda mais notado já que o controle das cargas no canal em função da tensão de dreno passa a ser muito maior do que através da tensão de porta.

Os transistores do tipo SOI sofrem menor influência destes efeitos de canal curto já que devido à presença da camada de isolante abaixo da região ativa, a área que sofre influência da tensão aplicada ao dreno é menor, conforme pode ser visto na Figura 2.2.



Figura 2.2 - Distribuição da região de depleção em (a) MOSFETs convencionais e (b) SOI totalmente depletado

Nos transistores MOSFET de canal longo, a carga da região de depleção  $(Q_{DEP})$  controlada pela porta pode ser calculada como sendo:

$$Q_{DEP} = q N_A x_{dmax} \tag{3}$$

Para o caso do transistor MOSFET de canal curto a região controlada pela porta é dada pela região marcada pela carga efetiva de depleção Q<sub>DEP, EFF</sub>:

$$Q_{DEP,EFF} = Q_{DEP} \left[ 1 - \frac{r_j}{L} \left( \sqrt{1 + \frac{2x_{dmax}}{r_j}} - 1 \right) \right]$$
(4)

Onde r<sub>i</sub> é a profundidade da junção de fonte e dreno e L o comprimento do canal.

Já no caso de transistores SOI totalmente depletados:

$$Q_{DEP,EFF} = q N_A t_{si} \left( 1 - \frac{d}{L} \right) \tag{5}$$

Onde  $t_{si}$  é a espessura da camada de silício e d a distância máxima da região de depleção controlada pela fonte/dreno.

Pode ocorrer também redução da barreira de potencial para cargas de inversão no canal devido à tensão aplicada ao dreno, conhecida como DIBL (*Drain Induced Barrier Lowering*) que tem como consequência redução da tensão de limiar ( $V_{TH}$ ) [7]. Este efeito também ocorre devido ao compartilhamento de cargas da região de depleção controlada pela porta. Neste caso, com o aumento da tensão aplicada entre a fonte e o dreno, ocorre um crescimento ainda maior da região de depleção próximo ao dreno como consequência do alto campo elétrico, influenciando no perfil da barreira de potencial, que decresce próximo à fonte, para transistores de canal curto, conforme Figuras 2.3 e 2.4.



Figura 2.3 - Efeito DIBL em transistores MOSFET de canal curto



Figura 2.4 - Análise da barreira de potencial ao logo do transistor com efeito DIBL

Com o aumento ainda maior da tensão no dreno, pode ainda ocorrer a injeção direta de portadores abaixo da região de canal, conhecida como *punch trough* causada pelo encontro das regiões de depleção próximas a porta e ao dreno, conforme pode ser visto na Figura 2.5. Como nos outros casos, este efeito também é comum em MOSFETs de comprimento de canal curto e bastante reduzido em transistores SOI devido à camada de óxido enterrado.



Figura 2.5 - Efeito DIBL e punch through em um transistor MOSFET.

#### 2.4 Efeitos quânticos

Com a utilização de transistores de comprimento e largura de canal na ordem de apenas centenas ou até mesmo dezenas de nanometros, a ocorrência de confinamentos quânticos na região de canal não pode ser desprezada. Este confinamento pode ocorrer em uma ou mais direções dependendo do número de portas do dispositivo. Em dispositivos de duas portas este confinamento ocorre apenas em uma direção, perpendicular às duas portas e no caso de dispositivos de três ou quatro portas este confinamento ocorre em duas direções. Com isto o perfil das sub-bandas de energia e a distribuição de cargas na região de canal passam a não obedecer mais as regras da teoria clássica de eletromagnetismo [8].

Entre os efeitos quânticos mais significativos estão:

- Inversão de volume: Presente em dispositivos de múltiplas portas onde a região de inversão passa a não ocorrer somente na interface com o óxido, ficando mais para o centro da região de canal. Pode ser modelado utilizando a solução da equação de Schrodinger-Poisson em duas dimensões;

 Efeitos de mobilidade: Devido à inversão de volume, os elétrons caminham mais afastados da interface com o óxido de porta, e por este motivo, apresentam maior mobilidade
 [9];

- Alteração da tensão de limiar: A tensão de limiar passa a ser maior devido à divisão da banda de condução em sub-bandas de energia [6].

No caso dos transistores de duas portas como o FinFET em estudo, como o canal está situado entre duas camadas de isolante e por receber influência da tensão aplicada às portas,

que podem ser consideradas como um plano de potencial fixo, os elétrons no interior do canal se comportam como em um poço de potencial finito, ocorrendo o confinamento quântico [10]. As soluções das equações de Schrodinger podem descrever a distribuição dos portadores no canal, conforme segue:

Inicialmente, considerando a equação de Schrodinger para a partícula em uma caixa [11]:

$$\frac{-\hbar^2}{2m}\frac{d^2\psi}{dx^2} + U\psi = E\psi$$
(6)

Onde  $\hbar$  é a constante de Planck (h) dividido por  $2\pi$ , m a massa da partícula,  $\psi$  a função de onda da partícula, E o nível de energia, U a energia potencial e x o sentido do deslocamento da partícula.

Sendo esta caixa de comprimento máximo na direção x igual à L<sub>B</sub>, considerando U=0 para  $0 \le x \le L_B$  e de valor U<sub>0</sub> em qualquer ponto fora deste intervalo, temos a equação de Schrodinger para poço de potencial finito:

$$\frac{\mathrm{d}^2 \Psi}{\mathrm{d}x^2} = \frac{2\mathrm{m}(\mathrm{U}_0 - \mathrm{E})}{\hbar^2} \Psi \tag{7}$$

A solução desta equação dentro do intervalo  $0 \le x \le L_B$  é da forma:

$$\psi = Asen \frac{\sqrt{2mE}}{\hbar} x + Bcos \frac{\sqrt{2mE}}{\hbar} x$$
(8)

Sendo A e B constantes. A condição  $\psi = 0$  para x=0 é satisfeita apenas por sen $\frac{\sqrt{2mE}}{\hbar}$ x, portanto, a constante B é igual a 0.

Para  $\psi = 0$  em x =L<sub>B</sub>, obtemos  $\frac{\sqrt{2mE}}{\hbar}$  L<sub>B</sub> = n $\pi$ , logo para satisfazer as duas condições de contorno:

$$\mathbf{E} = \frac{\mathbf{n}^2 \pi^2 \hbar^2}{2\mathbf{m} {\mathbf{L}_B}^2} \tag{9}$$

Onde n é chamado de número quântico da forma n=1,2,3,... Obtendo assim as diferentes possíveis soluções de onda para os elétrons dentro do poço.

Para o caso do dispositivo FinFET de duas portas, os elétrons ficam confinados entre as duas portas, que possuem potencial finito e de mesmo valor, portanto, podem ser consideras as equações 8 e 9, para o cálculo da energia e das prováveis funções de onda das partículas na região do canal, substituindo o valor de L<sub>B</sub> pela largura da aleta  $W_{FIN}$  na Equação (9), resulta que:

$$\mathbf{E} = \frac{\mathbf{n}^2 \pi^2 \hbar^2}{2\mathbf{m} W_{FIN}^2} \tag{10}$$

As possíveis soluções para esta equação são dadas conforme Figura 2.6. O poço de potencial pode assumir diferentes formas dependendo principalmente da tensão aplicada às portas. Para o caso do transistor com tensões na porta ( $V_G$ ) abaixo da tensão de limiar, temos a formação de um poço quadrado. Conforme esta tensão aumenta a tendência é de que os níveis de energia para n= 1 e n= 2 se encontrem assim como os níveis para n=3 e n=4 e o poço tende a apresentar um formato parabólico cada vez mais acentuado.

Conforme o aumento desta tensão também é possível observar que a concentração maior de elétrons tende a se aproximar da região das portas. Este comportamento também pode ser observado na Figura 2.6 analisando a função de onda, já que a concentração de elétrons é proporcional ao quadrado desta função ( $\psi^2$ ).

#### **NÍVEIS DE ENERGIA**



Figura 2.6- Quatro primeiros níveis de energia e duas primeiras funções de onda para os diferentes possíveis poços de energia: Quadrado, parabólico "fraco" e parabólico "forte".<sup>2</sup>

#### 2.5 Transistores de múltiplas portas

Como forma de evolução dos transistores de uma única porta, surgiram os transistores de múltiplas portas [6] conhecidos como MuGFET (*Multi Gate Field Effect Transistor*), que por possuir mais de uma porta, apresentam melhor controle das cargas na região do canal e menor influência do campo elétrico do dreno no canal e, consequentemente, significativa redução de alguns efeitos de canal curto que prejudicam o uso de transistores SOI de única porta. Na realidade, os transistores de múltiplas portas contam com apenas um eletrodo de porta que está presente em diferentes lados da estrutura, portanto, a tensão aplicada às diferentes portas da estrutura é a mesma, com exceção do MIGFET (*Multiple Independent Gate FET*) onde dois eletrodos de porta ficam separados e podem receber diferentes potenciais.

A primeira publicação sobre um transistor de múltiplas portas foi em 1984 sobre o transistor XMOS, um transistor de duas portas, totalmente depletado, estudado por T. Sekigawa e Y. Hayashi [12]. Este artigo obteve grande importância por abrir caminho ao estudo destes novos dispositivos que foram aparecendo em sequência conforme Figura 2.7 [6].



Figura 2.7 - Cronologia dos transistores MOS de única porta e múltiplas portas<sup>6</sup>

Como pode ser visto na Figura 2.7, entre os transistores de porta dupla destacam-se o XMOS, DELTA, FinFET, GAA (*Gate-All-Around*). Já para os transistores de porta tripla, temos o Tri-gate e Quantum-Wire MOSFET. Os transistores de porta tripla+ possuem entre três a quatro portas, devido uma extensão nas portas laterais, como no caso do  $\pi$ -Gate e o  $\Omega$ -Gate. Já os transistores de porta circundante apresentam a região do canal completamente cercada pela porta, como por exemplo, o transistor CYNTHIA.

#### 2.5.1 Transistor DELTA

O Transistor DELTA (*Fully Depleted Lean Channel Transistor*) foi o primeiro transistor SOI de múltiplas portas a ser fabricado. Consiste basicamente em um transistor SOI de porta dupla, onde a camada de silício do canal é constituída de uma ilha alta e fina, conhecida como *finger*, *leg* ou *fin*, construída sobre o isolante e cercada pelo óxido e pelo contato de porta nas laterais e na parte superior [13], conforme Figura 2.8.



Figura 2.8 - Ilustração de um Transistor DELTA

### 2.5.2 Transistor FinFET

O transistor FinFET assemelha-se muito ao transistor DELTA, diferindo principalmente na espessura da camada de isolante na parte superior do silício. Esta camada de isolante é maior no FinFET em comparação com o DELTA, para prevenir a formação de uma camada de inversão na parte superior do silício, conforme Figura 2.9. Esta região isolante é conhecida como *hard mask* e contribui para redução dos efeitos de canto [6].

O efeito de canto é ocasionado por uma maior concentração de densidade de corrente nos cantos da região de canal devido à somatória dos campos elétricos da porta lateral e superior e podem contribuir para uma degradação do óxido nesta região, além do surgimento de tensões de limiar distintas e variações na curva da corrente de dreno em função da tensão aplicada na porta [14], [15].

Este tipo de transistor foi inicialmente estudado na Universidade da Califórnia e recebe este nome por possuir o canal envolto por uma camada de óxido e polisilício em forma de aleta que, como no caso do transistor DELTA, é conhecida como *fin* [16].



Figura 2.9 - Ilustração de um transistor FinFET

Conforme pode ser visto na Figura 2.9, a largura da aleta é conhecida como  $W_{FIN}$ , a altura do fin como  $H_{FIN}$ , comprimento de extensão de fonte e/ou dreno como  $L_D$  e o comprimento do canal como L.

Uma das principais vantagens do transistor FinFET é a presença de portas auto alinhadas, que implicam baixos valores de capacitâncias parasitas e podem ser fabricados através de um único processo de litografia e corrosão, ocasionando uma adaptação não muito complexa no processo de fabricação anteriormente utilizado para os transistores planares [17].

Uma das principais desvantagens apresentada por este tipo de transistor é o alto valor de resistência parasita, principalmente devido à largura muito estreita da região de canal que é necessária para melhor desempenho deste dispositivo. Isto dificulta a utilização dos FinFETs onde se demandem altos valores de corrente de dreno e alta velocidade para o chaveamento, já que o elevado valor de resistência influencia o tempo de carga e descarga do circuito. Como forma de reduzir este valor de resistência parasita diversos fins podem ser colocados em paralelo, formando uma estrutura conhecida como *multi-finger* FinFET, conforme pode ser observado na Figura 2.10 [6].



Figura 2.10 - Seção transversal de um FinFET Multi-Finger

Outra técnica utilizada para redução da resistência parasita é a utilização de crescimento seletivo epitaxial (*selective epitaxy growth* - SEG). Trata-se de um aumento da área da região de extensão de fonte e dreno de alta dopagem, reduzindo a resistência nesta região e, consequentemente, a resistência série. A redução é ainda maior para o caso de transistores de canal tipo p em função do maior valor de resistividade da região de extensão de fonte e dreno nestes casos. Com a utilização de SEG outros benefícios como redução de efeitos de canal curto e da corrente de fuga na junção, também podem ser obtidos [18].

A presença de SEG, faz com que a área disponível para que sejam formados os contatos na fonte e no dreno também aumente, possibilitando uma redução da resistência de contato que é a componente com maior participação no valor de resistência parasita [19] [20].

# 3. MODELOS E MÉTODOS DE EXTRAÇÃO DA RESISTÊNCIA DE ESPRAIAMENTO

#### **3.1 Resistência Total**

A resistência total de um transistor MOSFET é o valor de resistência entre o contato de fonte e dreno do dispositivo. Este valor se altera em função das tensões aplicadas na porta e no dreno. Para cada ponto de operação do transistor a resistência total pode ser facilmente equacionada como sendo a relação entre a tensão aplicada entre o dreno e a fonte ( $V_{DS}$ ) e a corrente ( $I_{DS}$ ) [21]:

$$R_{\rm TOT} = \frac{V_{\rm DS}}{I_{\rm DS}} \tag{11}$$

A resistência total ainda pode ser separada em duas componentes: Resistência série de fonte e dreno ( $R_{SD}$ ) e Resistência de canal ( $R_{CH}$ ). Conforme equação:

$$R_{TOT}(V_{GS}, V_{DS}) = R_{SD}(V_{GS}) + R_{CH}(V_{GS}, V_{DS})$$
<sup>(12)</sup>

Para baixos valores de  $V_{DS}$  e elevados valores de  $V_{GS}$  a resistência do canal pode ser desprezada quando comparada com  $R_{SD}$  [21]. Neste caso a resistência total do transistor pode ser considerada igual à resistência série de fonte e dreno.

A Resistência série de fonte e dreno é composta de três elementos básicos: resistência de contato ( $R_{CON}$ ) que é resultante da junção entre o metal e/ou siliceto e o semicondutor dopado nas regiões de extensão de fonte e dreno; resistência das extensões de fonte e dreno ( $R_{EXT}$ ), desde o contato até o início da região do canal e por último a resistência de espraiamento ( $R_{SP}$ ), em função do comportamento do fluxo de corrente nas proximidades do canal [22], sendo esta dependente da tensão aplicada na porta. Desta forma, a resistência série de fonte e dreno pode ser descrita conforme Equação (13). Todos os termos são multiplicados por dois, já que os valores de resistência de cada termo são simétricos para a fonte e para o dreno.

$$R_{SD}(V_{GS}) = 2 * R_{CON} + 2 * R_{EXT} + 2 * R_{SP}(V_{GS})$$
(13)

Substituindo (13) em (12), temos:

$$R_{TOT}(V_{GS}, V_{DS}) = 2 * R_{CON} + 2 * R_{EXT} + 2 * R_{SP}(V_{GS}) + R_{CH}(V_{GS}, V_{DS})$$
(14)

Para o transistor SOI, a resistência total pode ser esquematizada conforme Figura 3.1 onde são separadas as parcelas descritas na Equação (14).



Figura 3.1 - Corte vertical do transistor SOI, detalhando as parcelas de resistência<sup>19</sup>

No caso do transistor FinFET, por possuir duas portas, o espraiamento da corrente ocorre em duas posições, sendo considerada como resistência de espraiamento, o paralelo destas duas resistências, conforme Figura 3.2.


Figura 3.2 - Corte paralelo a passagem de corrente de um transistor FinFET, detalhando as parcelas de resistência consideradas neste trabalho.

Pode ser considerada também a presença da resistência de acumulação ( $R_{AC}$ ), que aparece na região de extensão de fonte e dreno que fica sobreposta pela porta. Isto ocorre devido a imperfeições no processo de fabricação do dispositivo que acarretam em alteração do comprimento efetivo do canal, mas não foi considerada no estudo deste trabalho já que os resultados foram obtidos através de simulações, considerando perfil de dopagem abrupta [21].

Outra parcela também não considerada neste trabalho, mas que aparece em análises de outros autores [23] [24], é uma segunda parcela de resistência de espraiamento que ocorre quando utilizados transistores em que a região da extensão de fonte e dreno é dopada de forma a criar duas regiões, uma fracamente dopada mais próxima ao canal, conhecida como LDD (*Light Doped Drain*) e outra fortemente dopada conhecida como HDD (*High Doped Drain*). Os dispositivos estudados não utilizaram LDD para facilitar a análise. Desta maneira será desconsiderado o valor de  $R_{SP2}$ , que poderá posteriormente ser estudado de forma similar a  $R_{SP}$ .

Estas duas componentes de resistência podem ser observadas na Figura 3.3. Assim como  $R_{SP}$ , para encontrar o valor de  $R_{SP2}$  e  $R_{AC}$  em transistores de duas portas, deve-se considerar o valor resultante do paralelo de duas resistências que aparecem em decorrência de cada porta do dispositivo. Como o valor é exatamente simétrico, a parcela decorrente da presença de cada porta é exatamente o dobro da total.



Figura 3.3 - Corte paralelo à passagem de corrente em um transistor FinFET detalhando todas as possíveis parcelas de resistência

#### 3.1.1 Resistência de espraiamento

A resistência de espraiamento, conforme apontado, é uma das parcelas que compõe a resistência série do transistor. Seu aparecimento ocorre devido ao espalhamento ou espraiamento da corrente quando esta passa da região do canal para região de fonte ou dreno. Isto ocorre, já que na região do canal a corrente sofre influência do campo elétrico vertical devido à tensão aplicada à porta ou às portas no caso dos transistores multiplas portas. Quando esta corrente entra nas regiões de fonte ou dreno o valor do campo elétrico vertical sofre uma queda abrupta fazendo com que a densidade de corrente se espalhe por toda a largura do dispositivo.

Poucos estudos sobre resistência série abordam com detalhes esta parcela de resistência. À medida que os valores das outras parcelas de resistência são reduzidos, a participação da resistência de espraiamento no valor de resistência total torna-se mais significativa.

#### 3.2 Modelos

Três modelos serão detalhados a seguir: Modelo proposto por Baccarani, Modelo proposto por Dixit e um novo modelo proposto neste trabalho.

#### 3.2.1 Modelo proposto por Baccarani, G. e Sai-Halasz, G. A.[22].

Consiste em uma modelagem da resistência de espraiamento em transistores MOSFET do tipo convencional, que conforme apontado pelo autor é um importante componente da resistência série de fonte e dreno para dispositivos com dimensão de largura de canal estreita [22].

Algumas importantes considerações foram feitas para simplificar a obtenção do modelo analítico. São estas:

- Transição abrupta entre a região de fonte e canal,

- Distribuição uniforme dos portadores na região do canal e

- Condução ôhmica

A expressão analítica foi obtida a partir da solução da equação de Laplace na região de transição da fonte com o canal, representada na Figura 3.4. Esta solução foi obtida utilizando a transformada de Schawartz-Christoffel.



Figura 3.4 - Espraiamento da corrente na interface da região de fonte com a região de canal

Como resultado, foi obtida a seguinte equação:

$$R_{SP} = \frac{2}{\pi} \frac{R_j x_j}{W} \ln\left(0.75 \frac{x_j}{x_c}\right) - \frac{0.21}{\pi} \frac{R_c x_c}{W}$$
(15)

Onde  $R_j e R_c$  representam respectivamente a resistência de folha da fonte e do canal,  $x_j$  a profundidade de junção, W a largura do dispositivo e  $x_c$  a espessura do canal.

Considerando que o segundo termo da Equação (15) corresponde a uma ampliação efetiva do canal próximo à fonte, que foi considerado desprezível pelo autor [22]. Mantendo apenas o primeiro termo, que corresponde ao comportamento do fluxo de corrente na região do canal, a equação pode ser reescrita da seguinte forma:

$$R_{SP} = \frac{2}{\pi} \frac{R_j x_j}{W} \ln\left(0.75 \frac{x_j}{x_c}\right)$$
(16)

Conforme o autor, apesar das simplificações feitas neste modelo, o erro quando comparado com simulações numéricas realizadas no simulador FIELDAY® [25] foi pequeno, mesmo após testes realizados considerando difusão de portadores na região de transição do canal para a fonte e dreno, que havia sido desconsiderado para a obtenção da expressão analítica.

### 3.2.2 Modelo proposto por Dixit et. al. [23]

Nesta análise, o autor calcula analiticamente as diferentes componentes da resistência parasita isoladamente. Como o objetivo deste trabalho é o cálculo da resistência de espraiamento, segue apenas o modelo proposto para o cálculo desta componente de resistência.

O autor parte da expressão obtida por Baccarani, G. e Sai-Halasz, G. A [22] e modifica a equação para ser utilizada para dispositivos de porta dupla, conforme segue:

$$R_{SP} = \frac{1}{2} \left\{ \frac{2}{\pi} \frac{\rho_{ext}}{H_{FIN}} \ln \left[ 0.75 \frac{\left(\frac{W_{FIN}}{2}\right)}{x_c} \right] \right\}$$
(17)

Onde  $\rho_{ext}$  é a resistividade da região de extensão fonte e dreno, H<sub>FIN</sub> a altura do fin e W<sub>FIN</sub> a largura da aleta.

O termo W considerado na Equação (16) proposta por Baccarani et. al. [22] foi substituído por H<sub>FIN</sub> nesta análise proposta por Dixit et. al. [23], já que no caso de transistores FinFET o comprimento perpendicular à passagem de corrente não é mais a largura W como no caso do transistor de uma porta, mas a altura do fin H<sub>FIN</sub>. É considerada também uma simetria exata na profundidade da junção, onde a corrente proveniente de uma porta não interage com a corrente proveniente da segunda porta e, por este motivo,  $x_j$  foi substituído por W<sub>FIN</sub>/2. Para esta análise, o transistor foi dividido ao meio, considerando o efeito das duas portas separadamente, em decorrência, a equação é multiplicada por 1/2, considerando como dois resistores idênticos em paralelo, conforme pode ser visto na Figura 3.5.



Figura 3.5 - Evolução do método de Baccarani para o método de Dixit et. al.

Este modelo foi utilizado como referência para comparação dos valores de resistência de espraiamento obtidos ao longo deste trabalho, conforme poderá ser observado.

#### 3.2.3 Modelo Proposto (Modelo Parada-Giacomini)

O modelo proposto, nomeado como modelo Parada-Giacomini, parte da equação básica de resistência série, Equação (18), para posteriormente derivar a equação de  $R_{SP}$ , considerando o caminho da corrente nas proximidades do canal como um setor de coroa circular, como definido na Figura 3.6.

$$R = \rho \frac{L_R}{A_R} \tag{18}$$

Sendo neste caso  $L_R$  o comprimento qualquer de uma região onde ocorre passagem de corrente e  $A_R$  a área qualquer de uma seção transversal à passagem de corrente.



Figura 3.6 - Setor de coroa circular considerado para modelo analítico

Considerando  $\varphi$  como a distância do vértice com ângulo  $\alpha$ , a resistência do resistor elementar com ângulo d $\varphi$  é:

$$\partial R_{SP} = \frac{1}{2} \frac{\rho_{EXT} d\varphi}{\alpha \varphi H_{FIN}}$$
(19)

Onde  $\alpha.\phi.H_{FIN}$  é a área da seção transversal à passagem de corrente.

Integrando desde a junção, onde  $\varphi = \frac{x_c}{tg\alpha}$  até o final da região de espraiamento, é possível obter uma expressão aproximada e simples para o cálculo da resistência de espraiamento:

$$R_{SP} = \frac{1}{2} \frac{\rho_{EXT}}{\alpha H_{FIN}} \int_{\frac{x_c}{tg\alpha}}^{\frac{x_c}{tg\alpha} + L_{SP}} \frac{\partial \varphi}{\varphi} = \frac{1}{2} \frac{\rho_{EXT}}{H_{FIN}\alpha} \ln \left( \frac{L_{SP} + \frac{x_c}{tg\alpha}}{\frac{x_c}{tg\alpha}} \right)$$
(20)

Onde  $\rho_{EXT}$  é a resistividade da região de extensão de fonte e dreno e pode ser expressa conforme Equação (21),  $\alpha$  é o ângulo de espraiamento e L<sub>SP</sub> o comprimento da região de espraiamento.

$$\rho_{EXT} = \frac{R_{EXT}}{L_D} W_{FIN} H_{FIN}$$
(21)

#### 3.3 Métodos de extração

Seguem diferentes métodos estudados para a extração da resistência série e resistência de espraiamento. Um novo método para extrair estes valores a partir de resultados simulados ou medidos, também é proposto.

## 3.3.1 Método de Terada e Muta [26]

Consiste em um método utilizado para encontrar os valores efetivos da resistência do canal, da extensão de fonte e dreno e comprimento do canal. Neste método o autor considera imperfeições no processo de fabricação do dispositivo, que resultam em um comprimento efetivo de canal ( $L_{eff}$ ) diferente do comprimento definido na máscara, ou seja, o valor de canal desejado (L). Os resultados são obtidos graficamente conforme descrito a seguir.

Como a resistência do canal é diretamente proporcional à tensão aplicada à porta e ao comprimento efetivo do canal ( $L_{eff}$ ), é necessária a determinação de seu valor para obter

precisão na obtenção desta parcela de resistência. Para isso, inicialmente deve ser extraído valor de  $\Delta L$ , que representa a variação do comprimento de canal desejado e o comprimento de canal efetivamente obtido após o processo de fabricação do dispositivo, conforme segue:

$$\Delta L = L - L_{eff} \tag{22}$$

Como já demonstrado em tópicos anteriores deste trabalho, a resistência total do transistor pode ser considerada como sendo a soma da resistência da região de canal com o restante, conhecido como resistência série. O autor considera que a resistência efetiva do canal ( $R_{CHeff}$ ) pode ser equacionada como sendo:

$$R_{CHeff} = \frac{R_c L_{eff}}{W}$$
(23)

Onde  $R_c$ é a resistência de folha do canal.

Já a resistência série de fonte e dreno efetiva (R<sub>SDeff</sub>) é equacionada como:

$$R_{SDeff} = R_{SD} - \left(\frac{R_c}{W}\right) \Delta L \tag{24}$$

E, portanto, a resistência total:

$$R_{TOT} = R_{SDeff} + \left(\frac{R_c}{W}\right) L_{eff}$$
(25)

Os termos  $R_{SDeff}$  e R<sub>c</sub>/W são obtidos do gráfico de  $R_{TOT}$  x L, conforme Figura 3.7. Neste gráfico, o valor de resistência total para dispositivos com diferentes valores de comprimento de canal e tensão aplicada na porta é observado. De acordo com este gráfico e Equação (25), a inclinação da reta resulta em R<sub>c</sub>/W que é extamente igual a R<sub>CHeff</sub>/L<sub>eff</sub>, conforme Equação (23). Já o valor onde as retas cruzam o eixo y é correspondente ao valor de R<sub>SDeff</sub>.



Figura 3.7 -  $R_{TOT} x L$  para extração de  $R_c/W e R_{SDeff}^{26}$ 

Com os valores obtidos é possível extrair o gráfico de  $R_{SDeff} \ge R_c/W$ , conforme Figura 3.8. Deste gráfico é possível obter o valor de  $\Delta L$ , correspondente à inclinação da reta e o valor de  $R_{SD}$  onde o gráfico cruza o eixo y, conforme Equação (24).



Figura 3.8 -  $R_{SDeff} x R_c/W$  para extração de  $\Delta L e R_{SD}^{26}$ 

Foi observado que estes dois valores também podem ser diretamente obtidos do gráfico de  $R_{TOT} \times L$ , conforme Figura 3.9.



Figura 3.9 –  $R_{TOT} \times L$  para extração de  $\Delta L \in R_{SD}^{26}$ 

É importante observar que este método é válido apenas para trasistores que não utilizam LDD. Neste caso as retas resultantes provavelmente não irão cruzar em um único ponto já que a resistência série passa a ser dependente da tensão aplicada a porta do dispositivo [27], [28], [29].

# 3.3.2 Método de HU, G et. Al. [29] para extração de R<sub>SD</sub>, R<sub>TOT</sub> e L<sub>eff</sub>

Consiste em um método gráfico que busca extrair os valores de resistência total, resistência série de fonte e dreno e do comprimento efetivo de canal em especial para dispositivos MOSFETs com *Light Doped Drain* (LDD).

Inicialmente considera-se a equação da resistência total:

$$R_{TOT}(V_{GS}) = R_{CH}(V_{GS}) + R_{SD}(V_{GS})$$
(26)

Sendo que a resistência do canal R<sub>ch</sub> descrita por:

$$R_{CH}(V_{GS}) = \frac{L_{eff}(V_{GS})}{W\mu C_{OX}(V_{GS} - V_{TH} - 0.5V_{DS})}$$
(27)

Onde  $\mu$  é a mobilidade dos portadores majoritários da região de canal, C<sub>OX</sub> a capacitância do óxido de porta, V<sub>TH</sub> a tensão de limiar para e L<sub>eff</sub> o comprimento efetivo do canal, determinado conforme equação:

$$L_{eff}(V_{GS}) = L - \Delta L(V_{GS})$$
<sup>(28)</sup>

Onde  $\Delta L$  é a diferença entre o canal desejado e o canal efetivo.

Para determinar o valor da variação do comprimento de canal em função de  $V_{GS}$  pode ser realizada uma análise do comportamento da resistência de extensão de fonte e dreno em função de  $V_G$ . Pressupõe-se para tanto que  $\Delta L$  apresenta o mesmo comportamento, conforme Figura 3.10.



Figura 3.10 - Gráfico  $\Delta L \; x \; V_G$  para a utilização do método proposto por HU et. Al^{30}

Outro gráfico, de  $R_{TOT}$  em função de L, conforme Figura 3.11 deve ser utilizado para a obtenção final dos valores desejados. Para dois valores próximos de tensão na porta sendo estas denominadas  $V_{G1}$  e  $V_{G2}$ , escolhidas a partir de uma tensão  $V_{GX}$  previamente selecionada, da seguinte forma:

$$V_{G1} = V_{GX} - \frac{\Delta V_G}{2} \tag{29}$$



Figura 3.11 - Gráfico  $R_{TOT}$  x L para a extração de  $\Delta$ L e  $R_{SD}^{30}$ 

O valor de  $\Delta V_G$  deve ser suficientemente pequeno para que os resultados obtenham boa aproximação. Outra consideração é que o valor de  $V_{GX}$  utilizado seja suficientemente acima da tensão de limiar.

Estas duas retas se cruzam em um ponto, onde pode ser determinado o valor aproximado de  $\Delta L$  e R<sub>SD</sub> para a tensão V<sub>GX</sub> escolhida. Repetindo o procedimento para vários pares de reta, pode ser obtida a variação de L e R<sub>SD</sub> em função da tensão aplicada à porta.

Por utilizar pares de retas este método ficou conhecido como paired V<sub>g</sub> method.

3.3.3 Método para extração da resistência de espraiamento proposto

Baseado nos métodos anteriormente estudados foi proposto um novo método para extrair a resistência de espraiamento a partir de resultados de simulações ou parâmetros medidos em transistores FinFET. A ideia é separar o valor das diferentes parcelas de resistência, portanto, o método pode ser utilizado não somente para a extração da parcela de resistência foco deste trabalho, mas também para a obtenção dos valores de resistência de canal e de extensão de fonte/dreno.

Para isso, parte dos resultados obtidos de curvas da corrente de dreno em função da tensão aplicada na porta para cada transistor simulado. R<sub>TOT</sub> pode ser obtido facilmente

dividindo o valor da tensão de porta pela corrente de dreno, conforme já demonstrado na Equação (11).

Simulando ou testando diversos dispositivos com mesmas dimensões, apenas com diferentes valores de comprimento de extensão de fonte e dreno, é possível obter a variação do valor de resistência total em função do valor de  $L_D$ . Como a única componente de resistência que varia em função deste comprimento é a resistência de extensão de fonte e dreno, pode ser obtida sua variação em função de  $L_D$  e, portanto, seu valor para os diferentes dispositivos. É importante notar que como há simetria na fonte e no dreno ao variar o comprimento das duas extensões, na realidade o que obtemos é o dobro da variação da resistência de extensão pelo comprimento ( $2R_{EXT}/L_D$ ). Da mesma forma, variando apenas o comprimento do canal, obtemos  $R_{CH}/L$ , já que a única parcela que varia em função deste comprimento é a resistência de canal. Estes dois valores podem ser facilmente obtidos partindo da hipótese que a variação destes dois termos de resistência em função dos respectivos comprimentos é linear.

Da mesma forma que no modelo analítico proposto, a região próxima ao canal onde ocorre predominantemente o espraiamento da corrente foi isolada nesta análise e seu comprimento denominado  $L_{SP}$ , conforme Figura 3.12.



Figura 3.12 - Corte paralelo à passagem de corrente de um transistor FinFET, detalhando a região compreendida por  $L_{SP}$ 

Para estimar seu valor, deve-se novamente utilizar transistores de mesmas dimensões apenas com diferentes comprimentos de extensão de fonte e dreno, porém, desta vez com comprimentos ainda menores. Poderá então ser observado que abaixo de determinado valor de  $L_D$  a variação da resistência de extensão em função do comprimento terá outro valor já que será totalmente ocupada pela região onde ocorre o espraiamento da corrente.

No caso de simulações, as resistências de contato podem ser intencionalmente zeradas para facilitar a modelagem, mas devem ser subtraídas da resistência total quando o mesmo método for aplicado para curvas experimentais. Substituindo os valores encontrados na Equação (31) é possível encontrar o valor da resistência de espraiamento para cada transistor.

$$R_{TOT} = \frac{2R_{EXT}}{L_D} (L_D - L_{SP}) + R_{CH} + 2R_{SP}$$
(31)

Esta equação sugere uma análise diferenciada para modelagem da resistência de espraiamento, separando a região de extensão de fonte e dreno em duas partes: onde a passagem de corrente é linear  $(L_D-L_{SP})$  e outra onde ocorre predominantemente o espraiamento  $(L_{SP})$ .

# 4. SIMULAÇÕES

Diversas simulações numéricas foram realizadas utilizando o simulador SILVACO ATLAS® [30]. As simulações foram feitas em modelos de transistores FinFET com a finalidade de estudar o comportamento da resistência total e da resistência de espraiamento para diferentes dimensões de transistores.

Para análise dos resultados foi utilizado o SILVACO Tonyplot® [30], onde podem ser observadas as estruturas bem como os gráficos obtidos nas simulações.

#### 4.1 Simulador ATLAS

Com o simulador de dispositivos ATLAS é possível analisar grandezas elétricas de estruturas semicondutoras definidas pelo usuário. Atualmente as ferramentas de simulação são de fundamental importância para testes em dispositivos sem a necessidade de sua fabricação. Para utilizar o simulador, inicialmente define-se uma estrutura e uma grade de pontos. Em cada ponto desta grade, o simulador calcula diferentes grandezas elétricas, que dependem dos modelos físicos escolhidos nas simulações. Por este motivo, a escolha da grade e dos modelos deve ser cuidadosa, para não obter resultados que possam ser incoerentes com a realidade.

# 4.2 Definição dos modelos físicos

O ATLAS apresenta uma vasta gama de modelos para definir diferentes fenômenos físicos que podem ocorrer nas estruturas a serem estudadas. Segue breve descrição dos modelos utilizados nas simulações deste trabalho [30].

#### 4.2.1 Modelos de degradação da mobilidade

Os elétrons e as lacunas são acelerados por campos elétricos, mas perdem velocidade em função de diversos processos de dispersão. Estes processos incluem vibrações da rede cristalina (fônons), íons de impureza, outros portadores, superfícies e outras imperfeições no material. O conjunto destes fenômenos é equacionado em função do campo elétrico local, temperatura da rede, concentração de dopantes, etc. Seguem os modelos utilizados para esta finalidade:

Conmob – Modelo de mobilidade para baixo campo elétrico. Utiliza uma tabela que relaciona a mobilidade em baixo campo elétrico à concentração de impurezas em temperatura ambiente de 300K.

Fldmob – Considera degradação da mobilidade dos portadores em função do campo elétrico paralelo.

Shi (*Shirahata Model*) – Modelo de mobilidade em função do campo elétrico perpendicular. Especialmente útil para transistores com camadas de óxido de porta finas.

4.2.2 Modelos de Recombinação

Srh (*Shockley-Read-Hall Recombination*) – Modelo de recombinação dos elétrons e lacunas, conforme combinação das equações de Shockley, Read e Hall. A equação resultante considera a transição dos phonons na presença de uma armadilha ou defeito dentro da faixa proibida do semicondutor.

Auger – Modelo de recombinação que acrescenta a dependência do tempo de vida da recombinação com a densidade de portadores. Significativo apenas para altas densidades de corrente.

#### 4.2.3 Modelos quânticos

Modela os diversos efeitos quânticos que podem ocorrer na estrutura ou na região em que for definido. Podem resultar em simulações demoradas e de difícil convergência se não forem cuidadosamente definidos. Seu uso é necessário para dispositivos FinFET já que a largura do canal é extremamente estreita e situada entre duas portas, que se comportam como barreiras de potencial, ocasionando o confinamento.

Schrodinger-Poisson – resolve a equação de Poisson para potencial e a equação de Schrodinger para *bound state energies* e função de onda dos portadores. A equação de Schrodinger determina a probabilidade da posição das partículas em um poço de potencial. Utilizada em conjunto com a equação de Poisson determina a distribuição de cargas da estrutura estudada conforme proposto pela mecânica quântica. *Density gradient (quantum moments model)* – aplicado para diversos tipos de problema envolvendo confinamento quântico, transistores e capacitores com óxido de porta finos e outros problemas que envolvem geometrias pequenas. Este modelo é baseado nas equações de Wigner, E. P. [31].

BQP - *Bohm Quantum Potential*. Este modelo considera a dependência do potencial quântico com a energia potencial. Este Potencial Quântico é derivado através da interpretação de Bohm para Mecânica Quântica. Modelo simples que apresenta boa convergência. [10]

Após testes com os diferentes modelos quânticos optou-se por utilizar *Density* Gradient que apresentou melhor convergência.

4.2.4 Outros modelos

Bgn (*band gap narrowing*) – calcula o estreitamento da faixa de energia entre a região de valência e de condução (*bandgap*) em função da concentração de dopantes.

## 4.3 Simulações realizadas

A maior parte dos resultados foram obtidos utilizando simulações 2D. Em transistores FinFET *double-gate* há simetria na distribuição da corrente por toda a altura do canal já que não ocorre passagem de corrente no topo. Portanto, bons resultados para as finalidades desejadas podem ser obtidos com simulação bidimensional. Para isto foi feito um corte horizontal paralelo ao sentido da passagem de corrente, conforme Figura 4.1.



Figura 4.1 - Plano de corte no transistor FinFET para as simulações 2D (b) Vista superior do plano de corte

Como observado nos tópicos anteriores, para estes dispositivos foi necessária a inclusão de modelagem quântica nas simulações. Uma análise detalhada da influência dos efeitos quânticos pode ser vista no Capítulo 6. Após diversas análises e tentativas de simulação com os diversos modelos quânticos, optou-se por trabalhar com o modelo *Density Gradient* que apresentou boa convergência e resultados satisfatórios.

Após as primeiras simulações realizadas, foram notados alguns problemas em relação à definição da grade. Conforme observado por Baccarani [22], a grade deve ter maior concentração de pontos na vertical próxima à interface com o óxido para determinação da espessura da região de inversão e na região de extensão de fonte e dreno próximo ao canal para visualizar com precisão o espraiamento da corrente. Diversos testes com diferentes grades foram realizados até que se obtivesse uma grade de pontos adequada às finalidades deste trabalho. Um exemplo de código da grade utilizada no simulador ATLAS pode ser conferida no apêndice I. O resultado da grade pode ser observada na Figura 4.2, para um transistor de dimensões  $W_{FIN}$ =36nm, L=150nm e L<sub>D</sub>=90nm. Nota-se a grande concentração de pontos, necessária para este tipo de análise, especialmente nas regiões onde se verifica maior densidade de passagem de corrente.



Figura 4.2 - Exemplo de grade de pontos utilizada nas simulações para transistor de  $W_{FIN}$ =36nm, L=150nm, L<sub>D</sub>=90nm

Alguns cuidados foram seguidos a respeito das dimensões do dispositivo: Os comprimentos de extensão de fonte e dreno deveriam ser suficientemente grandes para verificar o espraiamento total da corrente e o comprimento de canal deveria ser suficientemente maior que a largura de canal, na razão aproximada de 3:1, para reduzir os efeitos de canal curto [32]. Alguns parâmetros foram comuns para todas as simulações realizadas, são eles: utilização de lâmina do tipo p com concentração de portadores 1E16cm<sup>-3</sup>; dopagem gradual gaussiana do tipo n na extensão de fonte e dreno com concentração 1E20cm<sup>-3</sup>, sendo que toda a extensão possui a mesma dopagem sem a presença de LDD; espessura de óxido de porta  $x_{ox} = 2nm$ ; densidade de cargas de interface  $Q_F = 3E10C/cm^2$ , função trabalho na porta  $\phi_M = 4,57V$  e altura do *fin* H<sub>FIN</sub>=60nm.

As simulações foram divididas em grupos de acordo com os valores de largura de canal, variando de 6nm até 51nm. Para cada grupo, oito diferentes transistores foram simulados. Quatro com comprimento de canal de150nm e diferentes valores de comprimento de extensão de fonte e dreno, variando de 90nm até 120nm com passo de 10nm. Os outros quatro com comprimento de extensão de fonte e dreno medindo 90nm e comprimento do canal variando de 150nm a 180nm com passo de 10nm

Uma curva  $I_{DS} \times V_G$  foi obtida para cada transistor e com isto foi determinado o valor de resistência total para cada valor de  $V_G$ , conforme Equação (11). Como as simulações realizadas foram 2D, os valores de corrente de dreno resultantes são apresentados em [A/µm] e consequentemente os valores de resistência em [ $\Omega$ m]. Para poder obter os valores de R<sub>TOT</sub> em [ $\Omega$ ], os valores tiveram de ser divididos pela altura do fin, já que o corte 2D realizado é perpendicular a esta dimensão.

Para cada grupo de simulação de mesmo valor de largura de canal, os gráficos de  $R_{TOT}$  x  $L_D$  e  $R_{TOT}$  x L foram obtidos, conforme Figuras 4.3 e 4.4. As inclinações das retas resultam nos valores de  $2R_{EXT}/L_D$  e  $R_{CH}/L$  e, portanto, para cada transistor podem ser extraídos os valores da resistência de extensão de fonte e dreno e de canal.



Figura 4.3 -  $R_{TOT} x L_D$  para os transistores simulados



Figura 4.4 - R<sub>TOT</sub> x L para os transistores simulados

Para a obtenção de  $L_{SP}$ , outro gráfico de  $R_{TOT} \times L_D$  foi plotado, desta vez, utilizando novamente transistores de mesmas dimensões, com diferentes comprimentos de extensão de fonte e dreno. Para esta análise conforme já observado na descrição do método, foram utilizados transistores com valores de  $L_D$  cada vez menores, até encontrar o valor de comprimento onde a variação da resistência de extensão fonte/dreno muda abruptamente, conforme Figura 4.5.



Figura 4.5 -  $R_{TOT} \times L_D$  para comprimentos de extensão de fonte e dreno bem pequenos para extração do comprimento da região de espraiamento,  $L_{SP}$ 

Este mesmo procedimento foi repetido para diferentes grupos de transistores com variados valores de comprimento e largura de canal. Foi possível verificar que para todos os grupos, utilizando  $L_D$  abaixo de 7nm a inclinação da reta do gráfico de  $R_{TOT} \times L_D$  muda abruptamente, indicando a região onde ocorre predominantemente o espraiamento da corrente.

Conforme já observado, não foram incluídos nestas simulações modelagem da resistência de contato. Desta forma, os valores já encontrados:  $2R_{EXT}/L_D$ ,  $R_{CH}/L$  e  $R_{SP}$  podem ser substituídos na equação (31) para obter o valor da resistência de espraiamento para cada transistor.

# 5. UTILIZAÇÃO DOS MÉTODOS E MODELOS

# 5.1 Exemplo de utilização do método de extração

Segue exemplo da aplicação do método para um grupo de transistores de  $W_{FIN}=21$ nm, resultando no valor da resistência de espraiamento para um transistor com L=150nm, L<sub>D</sub>=90nm.

Da simulação do dispositivo, resulta a curva  $I_{DS} \times V_G$  conforme apresentado na Figura 5.1.



Figura 5.1 - Curva  $I_{DS}$  x  $V_G$  para  $W_{FIN}$ =21nm, L=150nm e L<sub>D</sub>=90nm

Para todas as análises realizadas, foi considerado apenas um valor de tensão na porta. Foi escolhido  $V_G=1V$  que, neste caso, é uma tensão suficientemente acima da tensão de limiar que está próxima de 0,3V. No gráfico apresentado verifica-se que para  $V_G=1V$ ,  $I_{DS}=$ 1,70162E-4A/µm. Como o valor da tensão no dreno utilizada é de 50mV, obtém-se o valor de R<sub>TOT</sub>, conforme segue:

$$R_{TOT} = \frac{50.10^{-3}}{1,70162.10^{-4}} = 293,838\Omega\mu m \tag{32}$$

Para obter o resultado em  $\Omega$ , o valor encontrado deve ser dividido pela altura do fin, neste caso, 60nm. Desta forma:

$$R_{TOT} = \frac{293,83764\Omega\mu m}{60nm} = 4897,29333\Omega$$
(33)

Utilizando quatro transistores de mesma largura e comprimento de canal, porém, com diferentes comprimentos de extensão de fonte e dreno, um gráfico de  $R_{TOT}$  por  $L_D$  pode ser traçado conforme Figura 5.2.



Figura 5.2 - R<sub>TOT</sub> x L<sub>D</sub> para W<sub>FIN</sub>=21nm, L=150nm

Nota-se através deste gráfico que a hipótese de que a variação de  $R_{TOT}$  em função de  $L_D$  é linear, está correta. A inclinação da aproximação linear resulta no valor de  $2R_{EXT}/L_D=16,16655\Omega/nm$ .

De forma semelhante, utilizando transistores de mesmo  $W_{FIN}$  e  $L_D$  e variando o valor de L outro gráfico pode ser obtido, conforme Figura 5.3.



Figura 5.3 - R<sub>TOT</sub> x L para W<sub>FIN</sub>=21nm, L<sub>D</sub>=90nm

Verifica-se neste caso, que a hipótese de que a variação de  $R_{TOT}$  em função de L é linear também está correta. Deste gráfico o valor da inclinação da aproximação linear resulta no valor de  $R_{CH}/L=21,7792\Omega/nm$ , portanto, o valor da resistência do canal pode ser obtido para cada transistor, multiplicando este valor pelo comprimento do canal.

Substituindo os valores encontrados na Equação (31) e considerando  $L_{SP}=7nm$ , o seguinte resultado pode ser obtido:

$$4897,293 = 16,167(90 - 7) + 21,779(150) + 2R_{SP}$$
(34)

Desta forma o valor de  $R_{SP}$  encontrado é de 144,29 $\Omega$ .

Para qualquer outro transistor de mesma largura de canal, o valor da resistência de espraiamento é facilmente encontrado substituindo os valores de L e  $L_D$  na equação resultante. Para outros valores de largura de canal, outros gráficos de resistência total em função do comprimento do canal e do comprimento de extensão de fonte e dreno devem ser plotados e repetidos todos os passos para a obtenção do valor de resistência desejado.

#### 5.2 Exemplo de utilização do modelo analítico proposto

Segue exemplo de utilização deste modelo para o mesmo transistor utilizado no exemplo de obtenção através do método de simulação, com largura de canal 21nm, comprimento de canal 150nm e comprimento de extensão de fonte e dreno 90nm.

Com a Equação (21) o valor da resistividade da região de extensão de fonte e dreno é encontrado. Neste caso, o valor de  $R_{EXT}/L_D$  utilizado é o mesmo encontrado na simulação. Da inclinação da reta do gráfico de  $R_{TOT} \times L_D$ , foi obtido o valor de  $2R_{EXT}/L_D$ . Dividindo este termo por dois é obtido o valor desejado. Neste caso  $R_{EXT}/L_D=16,16655/2=8,083275\Omega/nm$ .

$$\rho_{EXT} = (8,083275)(21)(60) = 10184,9265\Omega nm \tag{35}$$

Este valor é utilizado na Equação (20) para obtenção do valor de resistência de espraiamento. Para isto, o valor de  $x_c$  e  $\alpha$  ainda devem ser obtidos. Estes dois parâmetros podem ser utilizados como parâmetros de ajuste da Equação (20). A seguir, observa-se resultados de simulação que indicarão valores fisicamente plausíveis para estes parâmetros. Para observar  $x_c$ , é realizado um corte vertical no centro do canal, observando-se a densidade de corrente. Foi considerado que a profundidade máxima do canal é determinada pela região a partir do ponto onde a corrente atinge 40% do valor de pico até novamente este mesmo valor, conforme Figura 5.4.



Figura 5.4 - Gráfico para determinação da profundidade do canal (x<sub>c</sub>)

Valores plausíveis do ângulo de espraiamento podem ser estimados analisando a densidade de corrente em forma de vetores da estrutura simulada, conforme Figura 5.5. É importante notar que sua determinação não é precisa e pequenos ajustes devem ser realizados.



Figura 5.5 - Detalhe da região do espraiamento de corrente em resultado obtido através de simulação com vetores de densidade de corrente para obtenção de  $\alpha$ 

O valor de  $L_{SP}$  utilizado é de 7nm conforme obtido no Capítulo 4.3. Para todos os transistores simulados foi observado que não havia variação neste valor, porém, variações podem ocorrer conforme dopagem, material e polarização do transistor.

Com estes valores encontrados, a resistência de espraiamento pode ser facilmente obtida pela equação proposta:

$$R_{SP} = \frac{1}{2} \frac{10184,9265}{60.\Pi/4} \ln\left(\frac{7 + \frac{2,5}{\tan \Pi/4}}{\frac{2,5}{\tan \Pi/4}}\right) = 144,27\Omega$$
(36)

## 5.3 Exemplo de utilização do modelo proposto por Dixit et. al. [23]

Segue exemplo para o mesmo transistor utilizado no capítulo anterior, onde  $W_{FIN}=21$ nm, L=150nm, L<sub>D</sub>=90nm e H<sub>FIN</sub>=60nm. Utilizando Equação (17), temos que:

$$R_{SP} = \frac{1}{2} \left\{ \frac{2}{\pi} \frac{10184,9265}{60} \ln \left[ 0,75 \frac{\left(\frac{21}{2}\right)}{2,5} \right] \right\} = 61,99\Omega$$
(37)

No artigo de Dixit et. al.[23] foi utilizado  $x_c$  de 1,5nm, porém, não foram considerados os efeitos quânticos que alteram completamente a distribuição de corrente ao longo do canal e, portanto, sua profundidade. Neste caso, o valor de  $x_c$  utilizado foi de 2,5nm para ajustar com os resultados das simulações.

# 6. RESULTADOS

Neste capítulo os valores de R<sub>SP</sub> obtidos através de três diferentes formas são apresentados e comparados: Utilizando o método de extração proposto; modelo analítico proposto (modelo Parada-Giacomini) e modelo de referência [23].

# 6.1 Resultados a partir do método de simulação

Segue tabela com todos os valores de resistência obtidos para os diferentes transistores simulados, utilizando o método conforme exemplo no Capítulo 5.1.

W (nm)	L (nm)	Ld (nm)	Rtot (Ωµm)	Lsp (nm)	Rch (Ωμm)	Rext (Ωµm)	Rsp (Ω)
6	150	90	522,998	7	199,605	278,050	377,861
		100	556,414			311,550	377,161
		110	589,919			345,050	377,200
		120	623,496			378,550	377,846
	150		522,998		199,605	278,050	377,861
	160	90	536,321		212,912		377,994
	170		549,628		226,219		377,993
	180		562,920		239,526		377,865
9	150	90	408,340	7	194,835	178,923	288,182
		100	427,190			200,480	265,622
		110	449,903			222,037	275,260
		120	472,625			243,594	284,970
	150	90	408,340		194,835	178,923	288,182
	160		421,375		207,824		288,570
	170		434,348		220,813		288,435
	180		447,311		233,802		288,217

Tabela 1 - Valores de resistência obtidos através das simulações.

Continua

W (nm)	L (nm)	Ld (nm)	Rtot (Ωµm)	Lsp (nm)	Rch (Ωμm)	Rext (Ωμm)	Rsp (Ω)
11	150	90	372,459	7	195,525	148,163	239,755
		100	390,878			166,014	244,493
		110	409,333			183,865	249,521
		120	425,811			201,716	238,080
	150	90	372,459		195,525	148,163	239,755
	160		385,499		208,560		239,798
	170		398,533		221,595		239,792
	180		411,563		234,630		239,750
		90	346,688		195,645	127,671	194,768
	150	100	362,243			143,053	196,209
	150	110	377,828			158,435	197,911
13		120	392,767	7		173,817	194,210
15	150		346,688		195,645	127,67060	194,768
	160	90	359,735		208,688		194,807
	170	50	372,778		221,731		194,805
	180		385,817		234,774		194,773
	150	90	320,207		195,870	104,812	162,705
		100	332,810	7		117,440	162,494
		110	345,437			130,068	162,492
16		120	358,092			142,696	162,712
10	150		320,207		195,870	104,812	162,705
	160	90	333,271		208,928		162,756
	170		346,327		221,986		162,743
	180		359,381		235,044		162,707
	150	90	293,838	7	196,020	80,510	144,230
		100	303,529			90,210	144,157
21		110	313,230			99,910	144,168
		120	322,937			109,610	144,224
	150	90	293,622		196,020	80,510	142,432
	160		306,839		209,088		143,673
	170		319,844		222,156		143,153
	180		332,845		235,224		142,592

Tabela 1 - Valores de resistência obtidos através das simulações. Continuação

W (nm)	L (nm)	Ld (nm)	Rtot (Ωµm)	Lsp (nm)	Rch (Ωμm)	Rext (Ωμm)	Rsp (Ω)
31	150	90	267,348	7	196,950	54,423	133,126
		100	273,900			60,980	133,087
		110	280,456			67,537	133,075
		120	287,018			74,094	133,117
	150	90	267,100		196,950	54,423	131,055
	160		280,360		210,080		132,142
	170		293,450		223,210		131,804
	180		306,504		236,340		131,174
		90	259,620		197,265	46,837	129,319
	150	100	265,259			52,4780	129,284
	150	110	270,901			58,123	129,279
36		120	276,547	7		63,766	129,314
50	150		259,363		197,265	46,837	127,176
	160	90	272,640		210,416		128,226
	170	50	285,752		223,567		127,899
	180		298,830		236,718		127,296
	150	90	253,750		197,52	41,110	126,004
		100	258,700	7		46,063	125,976
		110	263,653			51,016	125,978
41		120	268,609			55,969	126,003
	150		253,487		197,52	41,110	123,807
	160	90	266,780		210,688		124,854
	170		279,907		223,856		124,506
	180		293,006		237,024		123,933
		90	249,165		197,775	36,644	122,882
46	150	100	253,577	. 7		41,059	122,852
		110	257,991			45,474	122,848
		120	262,409			49,889	122,873
	150	90	248,897		197,775	36,644	120,648
	160		262,222		210,960		121,814
	170		275,365		224,145		121,465
	180		288,467		237,330		120,772

Tabela 1 - Valores de resistência obtidos através das simulações. Continuação

W (nm)	L (nm)	Ld (nm)	Rtot (Ωµm)	Lsp (nm)	Rch (Ωμm)	Rext (Ωμm)	Rsp (Ω)
51	150	90	245,560	7	198,015	33,042	120,857
		100	249,540			37,023	120,844
		110	253,521			41,004	120,851
		120	257,504			44,985	120,861
	150	90	245,212		198,015	. 33,042	117,957
	160		258,539		211,216		119,010
	170		271,696		224,417		118,642
	180		284,829		237,618		118,071

Tabela 1 - Valores de resistência obtidos através das simulações. Conclusão

Conforme pode ser observado nas Figuras 6.1 e 6.2, que reproduzem os valores das tabelas de forma gráfica, fica claro que a resistência de espraiamento não varia em função do comprimento de canal e/ou do comprimento de extensão de fonte e dreno. As pequenas variações ocorrem em função das aproximações lineares realizadas para cada transistor nos gráficos de  $R_{TOT}$  x L e  $R_{TOT}$  x L D.



Figura 6.1 - Gráfico de  $R_{SP}$  x L para  $W_{FIN}$ =21nm obtido dos resultados simulados



Figura 6.2 - Gráfico de  $R_{SP} \ge L_D$  para  $W_{FIN}$ =21nm obtido dos resultados simulados

Desta forma, para cada valor de largura de canal pode ser considerada uma média dos valores de resistência de espraiamento obtidos nos sete transistores simulados.

Nota-se também que para transistores com largura de canal não muito estreita, acima de 21nm, a variação da resistência de espraiamento em função de  $W_{FIN}$  não é muito grande, já para transistores com canal muito estreito, abaixo de 21nm, a variação de  $R_{SP}$  em função de  $W_{FIN}$  é exponencial, conforme Figura 6.3. Isto ocorre já que a distribuição de corrente nos transistores de largura de canal menores sofre maior influência dos efeitos de confinamento quântico, ocorrendo inclusive passagem de corrente no centro da distância entre as portas na região de canal, conforme pode ser visto nas Figuras 6.4, 6.5 e 6.6.



Figura 6.3 - Gráfico de  $R_{SP}$  x  $W_{FIN}$  para  $W_{FIN}$ =21nm obtido dos resultados simulados



Figura 6.4 - Distribuição da corrente para FinFET com  $W_{\mbox{\scriptsize FIN}}$  de 11nm



Figura 6.5 - Distribuição da corrente para FinFET com  $W_{\mbox{\scriptsize FIN}}$  de 31nm



Figura 6.6 - Distribuição da corrente para FinFET com  $W_{\mbox{\scriptsize FIN}}$  de 51nm

Analisando as figuras 6.4 a 6.6é possível observar que para transistores com  $W_{FIN}$  de 11nm a densidade maior de corrente no canal fica mais afastada da interface com o óxido de porta comparando com os transistores de  $W_{FIN}$  maiores. Outro efeito observado nos transistores de aletas mais estreitas é a inversão de volume, sendo possível verificar formação de canal no centro da distância entre as portas. Desta forma, a característica da distribuição da corrente na passagem do canal para as regiões de extensão de fonte e dreno assume um comportamento diferenciado para estes transistores, devido à maior influência dos efeitos quânticos, tendo como consequência um aumento da resistência de espraiamento.

# 6.1.1 Importância da modelagem dos efeitos quânticos

Para verificar a influência dos efeitos quânticos nos resultados, as mesmas simulações foram novamente realizadas sem a inclusão deste modelo e verificada a diferença na distribuição da corrente ao longo do canal. Sem a utilização do modelo, a maior concentração de corrente ocorre junto às proximidades da interface com o óxido de porta, conforme observado na Figura 6.7. Com o modelo presente, nota-se um deslocamento da corrente em direção ao centro do canal, conforme Figura 6.8.



Figura 6.7 - Densidade de corrente ao longo do canal para L=150nm,  $L_D$ =90nm,  $W_{FIN}$ =16nm, sem modelagem quântica



Figura 6.8 - Densidade de corrente ao longo do canal para L=150nm,  $L_D$ =90nm,  $W_{FIN}$ =16nm, com modelagem quântica.

Esta diferença na distribuição da corrente altera todos os valores de resistência, especialmente a de espraiamento já que o caminho da corrente nas proximidades do canal sofre grandes alterações. Desta forma, para o estudo da resistência neste tipo de dispositivo, fica clara a importância da modelagem quântica, conforme exemplo a seguir.

Para o mesmo transistor simulado anteriormente nos exemplos do Capítulo 5, foi removida a modelagem quântica e repetidos todos os passos para a obtenção da resistência de espraiamento. Como resultado, o valor obtido foi de 170,0975 $\Omega$ , o que resulta em uma diferença de aproximadamente 19%.

Segue tabela demonstrando a diferença de valores de  $R_{SP}$  com e sem a modelagem quântica. Os valores da resistência de espraiamento considerada é a média encontrada para cada grupo simulado com mesma largura de canal.
W <sub>FIN</sub> (nm)	R <sub>SP</sub> (Ω)	R <sub>SP</sub> (Ω) R <sub>SP</sub> (Ω)	
	Sem modelagem quântica	Com modelagem quântica	
6	339,4981875	377,7226458	10,11971582
9	250,0862083	283,4299729	11,7643749
11	227,8284583	241,3680833	5,609534124
13	213,2700625	195,2815938	9,211553636
16	199,1302083	162,66425	22,41793039
21	169,1791667	143,5788542	17,83014125
31	160,9990625	132,3225	21,67172061
36	153,9883333	128,4741667	19,8593751
41	155,8546875	125,1327083	24,55151781
46	153,2451042	122,0192708	25,59090308
51	151,4235417	119,6366667	26,56950907

Tabela 2 – Comparativo dos valores de  $R_{SP}$  obtidos com e sem modelagem quântica

Na Figura 6.9 podem ser observados graficamente os resultados obtidos na Tabela 3. Nota-se que para largura de fin menor que 11nm o valor de  $R_{SP}$  com modelagem quântica é maior ao passo que para fins maiores o valor de  $R_{SP}$  passa a ser maior sem modelagem quântica.



Figura 6.9 - Gráfico de  $R_{SP} \; x \; W_{FIN}$  com e sem modelagem quântica

#### 6.2 Resultados com o modelo analítico proposto

Utilizando as mesmas estruturas simuladas, a resistência de espraiamento foi encontrada através do modelo de Parada-Giacomini. Inicialmente, para cada transistor a resistividade da região de extensão de fonte e dreno foi encontrada através da Equação (21), podendo então obter o valor de  $R_{SP}$  através da Equação (20). O valor do comprimento da região de espraiamento foi considerado 7nm, conforme extraído anteriormente na Figura 4.5. O valor do ângulo de espraiamento foi utilizado como parâmetro de ajuste, variando de 30° até 50°, crescendo conforme aumento de  $W_{FIN}$ . Para verificar esta mudança na angulação do espraiamento da corrente, foi utilizado o método conforme já demonstrado no Capítulo 5.2.

Observando a densidade de corrente é possível verificar que com o aumento de  $W_{FIN}$  ocorre também um aumento do ângulo  $\alpha$ , conforme pode ser visto na Figura 6.10 para um transistor de 11nm de largura de canal e na Figura 6.11 para um transistor de 51nm de largura de canal.



Figura 6.10 - Vetores de distribuição de corrente para FinFET com W<sub>FIN</sub> de 11nm



Figura 6.11 - Vetores de distribuição de corrente para FinFET com  $W_{\mbox{\scriptsize FIN}}$  de 51nm

Este aumento de  $\alpha$  segue um padrão logarítmico com o aumento de W<sub>FIN</sub>. Foi sugerido um gráfico para utilização com o modelo, conforme Figura 6.12, relacionando  $\alpha$  com W<sub>FIN</sub> de acordo com os resultados obtidos dos transistores simulados. É importante notar que para diferentes valores de dopagem, material e polarização utilizada, este gráfico pode sofrer alterações. Um estudo detalhado destas variações poderá ser realizado em um próximo trabalho.



Figura 6.12 –  $\alpha x W_{FIN}$  para os transistores simulados

### 6.3 Resultados com o modelo de Dixit et. al. [23]

Como os valores da resistividade da extensão de fonte e dreno e da profundidade máxima da região do canal já foram obtidos para utilização do modelo anterior, podem ser calculados para cada transistor, os resultados da Equação (17) proposta por Dixit et. al. [23], conforme já demonstrado no Capítulo 5.3.

### 6.4 Comparativo dos resultados

Os resultados obtidos a partir dos dois modelos foram comparados com os obtidos através do método de extração prosposto a partir das simulações, calculando o erro para cada modelo, tomando como referência os valores obtidos através das simulações utilizando o método proposto, conforme Tabela 3. Dois gráficos comparativos também podem ser observados, conforme Figuras 6.13 e 6.14.

W <sub>FIN</sub> (nm)	Método Proposto (Ω) (Eq. (31))	Modelo Parada- Giacomini (Ω) (Eq. (20))	Erro (%)	Modelo Dixit (Ω) (Eq. (17))	Erro (%)
6	377.72265	350.2848	7.264016	-5.61746	101.4872
9	283.42997	299.6396	5.71909	15.4443	94.55093
11	241.36808	240.8394	0.219028	26.08386	89.19333
13	195.28159	186.141	4.6807	35.42389	81.8601
16	162.66425	168.6665	3.689941	46.9214	71.15445
21	143.57885	144.2715	0.482398	61.99899	56.81885
31	132.32250	128.7679	2.686327	82.86266	37.37826
36	128.47417	121.5966	5.353302	90.87058	29.26938
41	125.13271	121.5568	2.857666	97.84644	21.80587
46	122.01927	114.7621	5.947547	104.046	14.72985
51	119.63667	114.7423	4.091041	109.5853	8.401543

Tabela 3 - Comparativo dos resultados



Figura 6.13 - R<sub>SP</sub> x W<sub>FIN</sub> comparando os resultados obtidos pela simulação, modelo proposto e modelo de Dixit



Figura 6.14 - Erro x W<sub>FIN</sub> para os modelo proposto e modelo de Dixit quando comparados com os resultados de simulação

Os erros obtidos utilizando o modelo proposto comparado com os resultados das simulações apresentam valores abaixo de 10% para todas as larguras de canal consideradas, o que sugere uma boa precisão do modelo. Quando utilizado o modelo anteriormente proposto por Dixit et. al. [23], os erros foram decrescendo com o aumento da largura do canal, atingindo valores aceitáveis, próximos e menores de 10% apenas para transistores com  $W_{FIN}$  maiores de 46nm.

Isto ocorre, principalmente, devido à aproximação do modelo de Dixit, onde a profundidade de junção é considerada exatamente igual a  $W_{FIN}/2$ . Outro fator importante a ser considerado é que o modelo de Dixit não foi desenvolvido levando em conta as variações de distribuição de corrente que ocorre em transistores de canal fino devido aos efeitos quânticos.

## 7. CONCLUSÕES

Um novo modelo analítico da resistência de espraiamento em transistores FinFET foi proposto, testado e avaliado através de diversas simulações realizadas em diferentes transistores FinFETs. Sua validade foi confirmada através da comparação com os resultados extraídos das simulações utilizando o método proposto.

Foi possível comparar os resultados obtidos com o modelo de referência [23] e conforme verificado, o modelo proposto neste trabalho demonstrou melhores resultados, principalmente para os transistores com largura de canal menores. Isso ocorre já que o modelo de Dixit et. al. [23] não considera que o espraiamento da corrente proveniente de cada porta possa se sobrepor, supondo que a profundidade da junção seja exatamente  $W_{FIN}/2$ .

Outro ponto importante observado foi a influência dos efeitos quânticos nos resultados das simulações. Conforme observado, para transistores FinFET, devido à estreita largura do fin, é necessária a inclusão de modelagem quântica para obtenção de resultados com maior grau de confiabilidade. Notou-se uma diferença de até 26% nos resultados obtidos das simulações com e sem a modelagem quântica.

Nos transistores estudados, a resistência de espraiamento apresentou valores de 120 $\Omega$  até 340 $\Omega$ . Para W<sub>FIN</sub> de 21nm até 51nm, a variação do valor da resistência de espraiamento em função da largura de canal foi de 144 $\Omega$  até 120 $\Omega$ , já nos transistores com W<sub>FIN</sub> de 6nm até 21nm a variação foi de 377 $\Omega$  até 144 $\Omega$ , demonstrando um comportamento logarítmico, devido principalmente ao diferente caminho da corrente para os transistores de largura de aleta menores, que sofrem maior influência dos efeitos quânticos. A variação de R<sub>SP</sub> em função do comprimento do canal e do comprimento de extensão de fonte e dreno pode ser considerada desprezível.

O modelo anteriormente sugerido por Dixit et. al. [23] apresentou erros de até 100% para transistores de largura de canal menores, demonstrando boa aproximação apenas para  $W_{FIN}$  maiores de 46nm. Já o proposto neste trabalho apresentou erros menores que 10% para todos os valores de largura de canal simulados, sendo assim, este novo modelo pode servir de base para novos trabalhos que busquem estudar esta componente de resistência ou até mesmo a resistência série neste tipo de dispositivo.

### 7.1 Trabalhos futuros

Como trabalho futuro poderá ser estudada a resistência de espraiamento em estruturas que utilizam LDD, portanto, incluindo a participação de uma segunda resistência de espraiamento. Poderá também ser estudada a variação de  $L_{SP}$  e  $\alpha$  para transistores com diferentes materiais, dopagens e polarizações. Outra possibilidade é um estudo detalhado sobre as diferentes parcelas de resistência e a participação de cada uma delas no caso de dispositivos FinFET, incluindo modelagem para resistência de contato.

A completa validação do método e modelo desenvolvido com medição em estruturas reais também se faz necessária.

# PUBLICAÇÕES GERADAS DURANTE O PERÍODO DE MESTRADO

Parada, M. G. O.; Malheiro, C. T.; Agopian, P. G. D.; Giacomini, R.; A Compact Model and an Extraction Method for the FinFET Spreading Resistance, **ECS Transactions**, **26th Symposium on Microelectronics Technology and Devices**, vol 39, 2011. Aceito para publicação.

Malheiro, C. T.; Parada, M. G. O.; Agopian, P. G. D.; Giacomini R.; Spreading Resistance Extraction; VI Workshop on Semiconductors and Micro & Nano Technology, p. 43, 2011

# **REFERÊNCIAS BIBLIOGRÁFICAS**

[1] International technology Roadmap for Semiconductor, Semiconductor Industry Association (SIA), 2010.

[2] COLINGE, J. P.; Silicon-on-insulator technology: materials to VLSI. Boston: Kluwer Academic, 3.ed., 2003.

[3] KADZIERSKI, J. Extensions and source/drain design for high-performance FinFETs devices. **IEEE Transactions on Electron Devices**, v. 50, n.4, 2003.

[4] SWAHN, B.; HASSOUN, S. Electro-thermal analysis of multi-fin devices. **IEEE Transactions on Very Large Scale Integration (VLSI) Systems**, v.16, n.7, 2008.

[5] COLINGE, J. P. Multiple-Gate SOI MOSFETs. Solid-State Electronics, v.48, p.897-905, 2004.

[6] COLINGE, J. P. FinFETs and Other Multi-Gate Transistors. New York: Springer, 2008.

[7] VEERARACHAVAN, S.; FOSSUM, J. G. Short-channel effects in SOI MOSFETs. **IEEE Transactions on Electron Devices**, v.36, n.3, p.522-528, 1989.

[8] Ancona, M. G. Simulation of quantum confinement effects in ultra-thin-oxide MOS structures. **SISPAD**, p.97-100, 1997.

[9] HANSCH, W. Carrier transport near the Si/SiO2 interface of a MOSFET. Solid-State Electron, v.32, 1989.

[10] Kajihara, A. T. **Simulação das características elétricas de dispositivos de efeito de campo multiportas nanométricos**. Dissertação de Mestrado, Centro Universitário da FEI, 2009.

[11] YOUNG, D. Hugh; FREEDMAN, R. Física IV: Ótica e física moderna, São Paulo: Addison Wesley, 2004.

[12] SEKIGAWA, T.; HAYASHI, Y. Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate. **Solid-State Electronics**, v.27, p.827-828, 1984.

[13] HISAMOTO, D. et al. A fully depleted lean-channel transistor (Delta)-a novel vertical ultra-thin SOI MOSFET, **Technical Digest of IEDM**, p. 833-836, (1989).

[14] FOSTER, D. J. Subthreshold Currents in CMOS Transistors Made On Oxygen-Implanted Silicon. **Electronics Letters**, v.19-17, p.684, 1983.

[15] XIONG, W.; PARK, J., W.; COLINGE, J., P. Corner effect in multiple-gate SOI MOSFETs. **SOI Conference IEEE International**, p.111-113, 2003.

[16] HUANG, X. et al. Sub50-nm FinFET: PMOS. IEDMTech. Dig., 1999.

[17] KEDZIERSKI, J. et al.Extension and source/drain design for high-performance FinFET devices. **IEEE Transactions On Electron Devices**, v.50, n.4, 2003.

[18] HOKAZONO, A. et al.Source/drain engineering for sub-100 nm CMOS using selective epitaxial growth technique. **Electron Devices Meeting**, **IEDM Technical Digest**, 2000.

[19] NICOLETTI, T. **Estudo da Resistência Série de Fonte e Dreno**. 2009. Dissertação de Mestrado, Escola Politécnica da Universidade de São Paulo.

[20] COLLAERT, N. et. al. Multi-gate devices for the 32nm technology node and beyond: challenges for selective epitaxial growth. **Solid-States Electronics**, v.52, n.9, 2008.

[21] TAUR, Y.; NING, T. H. Fundamental Of Modern VLSI Device. Cambridge Univ. Press, 1998.

[22] BACCARANI, G. Spreading Resistance in Submicron MOSFET's. **IEEE Electron Device Letters**, v. EDL-4, n.2, 1983.

[23] DIXIT, A. et al. Analysis of the parasitic S/D resistance in multiple-gate FETs, **IEEE Trans. On Electron Devices**, v. 52, n. 6, 2005.

[24] SHEU, B. J. et. al. Source and drain series resistance of LDD MOSFET's. **IEEE Electron Device Letter**, v. EDL-5, p.365, 1984.

[25] BUTURLA, E. M. et al. Finite element analysis of semiconductor devices: The FIELDAY program. **IBM J. Res. Dev.**, v.25, p. 218-231, 1981.

[26] TERADA, K.; MUTA, H. A new method to determine effective MOSFET channel length. **Japanese Journal of Applied Physics**, v.18, n.05, p.953-959, 1979.

[27] MAGNONE, P. Gate Voltage Geometry Dependence of Series Resistance and of the Carrier Mobility in FinFET Devices. **Microelectronic Engineering**, 2008.

[28] SHEU, B. J. et al. Source and drain series resistance of LDD MOSFET's. **IEEE Electron Device Letter**, v.EDL-5, p.365, 1984.

[29] HU, GENDA J. et al. Gate-Voltage-Dependent Effective Length and Series Resistance of LDD MOSFET's. **IEEE Transactions on Electron Devices**, v.ED-34, n.12, 1987.

[30] ATLAS User's Manual: Device Simulation Software Version 5.10.0.R, 2005.

[31] ZHOU, J. R.; Ferry, D. K. Simulation of Ultra-small GaAs MESFET Using Quantum Moment Equations. **IEEE Trans. Electron Devices**, v.39, p.473-478, 1992.

[32] PEI, G. et al. FinFET design considerations based on 3-D simulation and analytical modeling. **IEEE Transactions On Electron Devices**, v.49, n.8, 2002.

# **APÊNDICE A**

Segue como exemplo, um arquivo de simulação utilizado neste trabalho. Neste caso, W<sub>FIN</sub>=21nm, L=150nm, Ld=90nm.

```
mesh space.mult=1.0
x.mesh loc=-0.167 spac=0.005
x.mesh loc=-0.155 spac=0.005
x.mesh loc=-0.090 spac=0.005
x.mesh loc=-0.080 spac=0.005
x.mesh loc=0.080 spac=0.005
x.mesh loc=0.090 spac=0.005
x.mesh loc=0.155 spac=0.005
x.mesh loc=0.167 spac=0.005
#
y.mesh loc=-0.0125 spac=0.0007
```

```
y.mesh loc=-0.0105 spac=0.0001
y.mesh loc=-0.00925 spac=0.0001
y.mesh loc=-0.0075 spac=0.0002
y.mesh loc=0.00 spac=0.001
y.mesh loc=0.00925 spac=0.0001
y.mesh loc=0.0105 spac=0.0001
y.mesh loc=0.0125 spac=0.0007
```

# 

region num=1 name=oxide Oxide x.min=-0.167 x.max=0.167 y.min=-0.0125 y.max=0.0125 region num=2 name=Fin Silicon x.min=-0.167 x.max=0.167 y.min=-0.0105 y.max=0.0105

# \*\*\*\*\*

```
#********** define the electrodes **********
```

#### # #1-GATE #2-SOURCE #3-DRAIN

#

electrode name=gate x.min=-0.077 x.max=0.077 y.min=-0.0125 y.max=-0.0125 electrode name=gate2 x.min=-0.077 x.max=0.077 y.min=0.0125 y.max=0.0125 electrode name=source x.max=-0.165 x.min=-0.167 y.max=0.0125 y.min=-0.0125 electrode name=drain x.max=0.167 x.min=0.165 y.max=0.0125 y.min=-0.0125 #

## 

doping uniform conc=1e16 p.type region=2 doping gauss n.type conc=1e20 y.char=0.2 x.char= 0.001 reg=2 x.r=-0.078 doping gauss n.type conc=1e20 y.char=0.2 x.char=0.001 reg=2 x.l=0.078 save outf=fin2dpeq\_doped\_L\$"L".str

#### 

#### 

structure outf=fin2d\_doped\_L\$"L".str

# X #SPX.MESH LOC= -0.015 SPAC=0.0005 #SPX.MESH LOC= 0.015 SPAC=0.0005 # Y #SPY.MESH LOC= -0.005 SPAC=0.0005 #SPY.MESH LOC= 0.005 SPAC=0.0005

```
models quantum conmob srh auger bgn fldmob print shi kla
solve init
method
        newton trap
solve prev
solve vdrain=0.05
save outf=fin2d_vd002vg0_L$"L".str
#
LOG OUTF=saida.log master
solve name=gate vgate=0.0 vfinal=0.1 vstep=0.02
set vg = 0.1
save outf=fin2dnL1__VG$"vg"_L$"L".str
#
solve name=gate vgate=0.12 vfinal=0.2 vstep=0.02
set vg = 0.2
save outf=fin2dnL1__VG$"vg"_L$"L".str
#
solve name=gate vgate=0.22 vfinal=0.30 vstep=0.02
#solve name=gate vgate=0.251 vfinal=0.30 vstep=0.001
set vg = 0.30
save outf=fin2dnL1__VG$"vg"_L$"L".str
#
```

solve name=gate vgate=0.32 vfinal=0.4 vstep=0.02 set vg = 0.4

```
save outf=fin2dnL1__VG$"vg"_L$"L".str
```

## #

```
solve name=gate vgate=0.42 vfinal=0.5 vstep=0.02
set vg = 0.5
```

```
save outf=fin2dnL1__VG$"vg"_L$"L".str
#
solve name=gate vgate=0.52 vfinal=0.6 vstep=0.02
set vg = 0.6
save outf=fin2dnL1__VG$"vg"_L$"L".str
#
solve name=gate vgate=0.62 vfinal=0.7 vstep=0.02
set vg = 0.7
save outf=fin2dnL1__VG$"vg"_L$"L".str
#
solve name=gate vgate=0.72 vfinal=0.8 vstep=0.02
set vg = 0.8
save outf=fin2dnL1__VG$"vg"_L$"L".str
#
solve name=gate vgate=0.82 vfinal=0.9 vstep=0.02
set vg = 0.9
save outf=fin2dnL1__VG$"vg"_L$"L".str
#
solve name=gate vgate=0.92 vfinal=1 vstep=0.02
set vg = 1.0
save outf=fin2dnL1__VG$"vg"_L$"L".str
#
solve name=gate vgate=1.02 vfinal=1.1 vstep=0.005
set vg = 1.1
save outf=fin2dnL1__VG$"vg"_L$"L".str
#
#solve name=gate vgate=1.2 vfinal=5 vstep=0.01
\#set vg = 5
#save outf=fin2dnL1__VG$"vg"_L$"L".str
log off
#
quit
```