

CENTRO UNIVERSITÁRIO DA FEI

Fernando Pizzo Ribeiro

**ANÁLISE DO COMPORTAMENTO ESTÁTICO E
DINÂMICO DE INVERSORES LÓGICOS SOI MOSFET
OPERANDO EM ALTAS TEMPERATURAS**

São Bernardo do Campo

2010

Fernando Pizzo Ribeiro

**ANÁLISE DO COMPORTAMENTO ESTÁTICO E
DINÂMICO DE INVERSORES LÓGICOS SOI MOSFET
OPERANDO EM ALTAS TEMPERATURAS**

Dissertação apresentada ao Centro Universitário
da FEI para obtenção do Título de Mestre em
Engenharia Elétrica.

Orientador: Prof. Dr. Marcello Bellodi

São Bernardo do Campo

2010



Centro Universitário da FEI

APRESENTAÇÃO DE DISSERTAÇÃO ATA DA BANCA JULGADORA

PGE- 10

Programa de Mestrado de Engenharia Elétrica

Aluno: Fernando Pizzo Ribeiro

Matrícula: 1071141

Título do Trabalho: **Análise do Comportamento Estático e Dinâmico de Inversores Lógicos SOI MOSFET Operando em Altas Temperaturas.**

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof. Dr. Marcello Bellodi

Data da realização da defesa: 10 / junho / 2010

A Banca Julgadora abaixo-assinada atribuiu ao candidato o seguinte:

APROVADO

REPROVADO

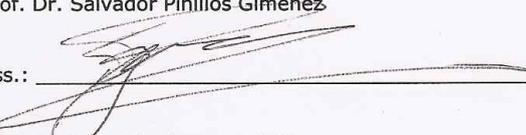
São Bernardo do Campo, 10 / 06 / 2010.

MEMBROS DA BANCA JULGADORA

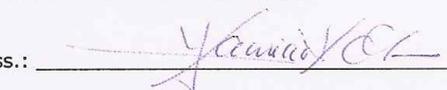
Prof. Dr. Marcello Bellodi

Ass.: 

Prof. Dr. Salvador Pinillos Gimenez

Ass.: 

Prof. Dr. Mauricio Massazumi Oka

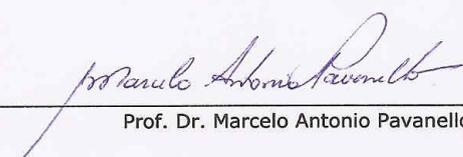
Ass.: 

VERSÃO FINAL DA DISSERTAÇÃO

ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS
RECOMENDAÇÕES DA BANCA EXAMINADORA



Aprovação do Coordenador do Programa de Pós-graduação



Prof. Dr. Marcelo Antonio Pavanello

Dedico este trabalho a meus pais Randolpho e Silvia e minha amada esposa Vanessa pela contribuição, incentivo, paciência e enorme carinho cedidos durante este trabalho.

Obrigado por tudo.

AGRADECIMENTOS

Ao grande amigo Prof. Dr. Marcello Bellodi pela excepcional orientação e constante incentivo ao longo deste trabalho.

Aos professores Dr. Renato Camargo Giacomini e Dr. Salvador Pinillos Gimenez pelos ensinamentos e experiência transferida ao longo das aulas.

Aos amigos Denis, Marcio e Moreno que compartilharam o início desta jornada e hoje são grandes mestres.

À minha grande amiga Julia Arrabaça, por toda a ajuda nos momentos mais difíceis.

Aos meus pais, pelo carinho cedido.

À minha esposa Vanessa, pela compreensão nos momentos de ausência, incentivo nos momentos de desespero e enorme companheirismo em todos os momentos.

A todas as pessoas que, de alguma forma contribuíram para a realização deste trabalho e que foram aqui involuntariamente omitidas.

*“A mente que se abre a uma nova idéia
jamais voltará ao seu tamanho original.”*

Albert Einstein

RESUMO

Este trabalho apresenta estudos iniciais referentes ao comportamento de um inversor lógico SOI MOSFET operando desde a temperatura ambiente à temperatura de 300°C. Os resultados apresentados neste trabalho foram obtidos através do simulador ATLAS e simulador SPICE ICAP4, onde foram analisados parâmetros como variação da tensão de limiar de um transistor, variação da tensão de saída pela tensão de entrada e corrente que flui pelo inversor. Todas as simulações levaram em consideração o efeito da elevação da temperatura de 27°C à temperatura de 300°C, tanto em análise do comportamento estático DC como no comportamento dinâmico AC.

A evolução do estudo ocorre desde a apresentação da tecnologia SOI, assim como os efeitos causados pela elevação da temperatura em cada dispositivo. Logo em seguida são apresentados os cálculos para a construção do inversor lógico. Também são apresentados os efeitos causados pela alteração das dimensões geométricas dos canais dos dispositivos, obtendo-se assim o efeito causado pela elevação da temperatura de 27°C a 300°C. As simulações mostram que o inversor lógico apresenta comportamentos diversos no que tange às curvas de transferência estática de tensão e corrente que flui pelo inversor para cada comprimento de canal dos transistores que o formam. Curvas de tensão de saída pela tensão de entrada foram obtidas para diversas relações de comprimentos de canal assim como a curva da corrente que atravessa o inversor. Também foram efetuados estudos sobre o comportamento do inversor em tensão alternada variando-se as dimensões dos dispositivos, temperatura e frequência de operação. A partir dos resultados obtidos, verificou-se que a elevação da temperatura tem grande efeito no funcionamento de um transistor pois afeta diretamente o valor da tensão de limiar, tensão de inversão e a corrente que flui pelo mesmo, consequentemente afetando o funcionamento do inversor lógico.

Palavras-chave: Inversor, SOI, MOSFET, altas temperaturas.

ABSTRACT

This work presents studies on the behavior of a logical drive SOI MOSFET operating from room temperature to a temperature of 300°C. The results were obtained through the ATLAS and the ICAP4 SPICE simulators, where it was analyzed parameters such as variation of output voltage by input and the voltage tension and the voltage flowing through the inverter. All simulations took into account the effect of raising the temperature from 27°C to 300° C, both in analysis static behavior of DC, as the dynamic behavior of AC.

The evolution of the study is from the presentation of the SOI technology, as well as the effects by raising the temperature on each device. Next, the calculations for building a logical drive are presented. Also, it is presented the effects caused by the change of the geometric dimensions of the channels of the devices, thus obtaining the effect caused by increasing the temperature from 27°C to 300° C.

The simulations show that the logical inverter presents different behaviors with respect to the static transfer curves of voltage and tension current flowing through the inverter for each length channel transistors that accomplish it. Curves of output voltage through the input voltage were obtained for various ratios channel lengths as well as the current curve through the inverter. It was, also, carried out studies on the behavior of the inverter into alternating current by varying the dimensions of the devices, temperature and operating frequency.

From the obtained results, it was realized that the rising of the temperature has great effect on the operation of a transistor because it directly affects the value of the threshold voltage, reversal voltage and the current flowing through it, thereby affecting the functioning of the logical drive.

Key words: Inverter, SOI, MOSFET, high temperatures.

LISTA DE FIGURAS

Figura 1.1 -	Temperaturas típicas encontradas em aplicações aeroespaciais.....	19
Figura 1.2 -	Aplicações típicas para o HTE em ambientes automotivos.....	20
Figura 1.3 -	(A) Perfil simplificado de um transistor nMOS convencional, (B) Perfil simplificado de um transistor SOI nMOS.....	20
Figura 2.1-	Estrutura de uma lâmina SOI fabricada pelo processo SIMOX.....	24
Figura 2.2-	(A) Perfil simplificado de um transistor SOI pMOS, (B) Perfil simplificado de um transistor SOI nMOS	25
Figura 2.3-	Exemplo de uma curva $I_{DS} \times V_{GS}$ de um transistor SOI nMOS, na temperatura de 27°C, sobreposta à sua respectiva curva da segunda derivada.....	27
Figura 2.4-	Curva $I_{DS} \times V_{GS}$ de um transistor nMOS operando de 27° a 300°C.....;	29
Figura 3.1 -	(A) Representação esquemática do inversor SOI, (B) Perfil transversal de um inversor SOI CMOS implementado sobre uma lâmina de Si.....	31
Figura 3.2 -	Curva de transferência estática de um inversor SOI indicando suas 5 principais regiões.....	32
Figura 4.1 -	(A) Transistor SOI pMOS. (B) Transistor SOI nMOS.....	35
Figura 4.2 -	Curva $I_{DS} \times V_{GS}$ sobreposta com a curva $\frac{\partial^2 (I_{DS})}{\partial V_{GS}^2} \times V_{GS}$ para um transistor nMOS.....	38
Figura 4.3 -	Curva $I_{DS} \times V_{GS}$ sobreposta com a curva $\frac{\partial^2 (I_{DS})}{\partial V_{GS}^2} \times V_{GS}$ para um transistor pMOS.....	39
Figura 4.4 -	Inversor SOI MOSFET.....	39
Figura 4.5 -	Curva $V_{INV} \times \beta$ obtida pelo software Mathcad.....	41
Figura 4.6 -	Curva de transferência estática $V_S \times V_E$ de um inversor a 27°C variando-se as relações de $\frac{1}{4} \leq \beta \leq 3$	41

- Figura 4.7 - Curva V_S x V_E de um inversor SOI operando de 27°C a 300°C para $\beta = 3$ 42
- Figura 4.8 - Curva V_S x V_E de um inversor SOI operando de 27°C a 300°C para $\beta = 2$ 43
- Figura 4.9 - Curva V_S x V_E de um inversor SOI operando de 27°C a 300°C para $\beta = 1$ 43
- Figura 4.10 - Curva V_S x V_E de um inversor SOI operando de 27°C a 300°C para $\beta = \frac{1}{2}$ 44
- Figura 4.11 - Curva V_S x V_E de um inversor SOI operando de 27°C a 300°C para $\beta = \frac{1}{3}$ 44
- Figura 4.12 - Curva V_S x V_E de um inversor SOI operando de 27°C a 300°C para $\beta = \frac{1}{4}$ 45
- Figura 4.13 - Curva V_{INV} x T , para $0,25 \leq \beta \leq 3$ 46
- Figura 4.14 - Curva de transferência estática V_S x V_E de um inversor lógico SOI CMOS sobreposta à curva estática I_{INV} x V_E47
- Figura 4.15 - Curva I_{INV} x V_E de um inversor lógico SOI CMOS operando de 27°C a 300°C para $\beta = 3$ 48
- Figura 4.16 - Curva I_{INV} x V_E de um inversor lógico SOI CMOS operando de 27 °C a 300°C para $\beta = 2$ 48
- Figura 4.17 - Curva I_{INV} x V_E de um inversor lógico SOI CMOS operando de 27 °C a 300°C para $\beta = 1$ 49
- Figura 4.18 - Curva I_{INV} x V_E de um inversor lógico SOI CMOS operando de 27 °C a 300°C para $\beta = \frac{1}{2}$ 49

- Figura 4. 19 - Curva $I_{INV} \times V_E$ de um inversor lógico SOI CMOS operando de 27 °C a 300°C para $\beta = \frac{1}{3}$ 50
- Figura 4. 20 - Curva $I_{INV} \times V_E$ de um inversor lógico SOI CMOS operando de 27 °C a 300°C para $\beta = \frac{1}{4}$ 50
- Figura 4. 21 - Curva $I_{INV} \times V_E$ de um inversor lógico SOI CMOS operando a 27 °C com $\beta = \frac{1}{3}$. (B) Curva $I_{INV} \times V_E$ de um inversor lógico SOI CMOS operando a 27 °C com $\beta = 3$ 51
- Figura 4. 22 - (A) Curva da corrente I_{DS} de um transistor nMOS de um inversor lógico SOI CMOS com operando a 27 °C para $\beta = \frac{1}{3}$ e $\beta = 3$. (B) Curva da corrente I_{DS} de um transistor pMOS de um inversor lógico SOI CMOS com operando a 27 °C para $\beta = \frac{1}{3}$ e $\beta = 3$ 52
- Figura 4. 23 - Curva estática $V_S \times V_E$ de um inversor lógico SOI CMOS operando a 27 °C com $\beta = 1, 1 \leq L_p \leq 4$ e $1 \leq L_n \leq 4$ 53
- Figura 4. 24 - Curva estática $I_{INV} \times V_E$ de um inversor lógico SOI CMOS operando a 27°C com $\beta = 1, 1 \leq L_p \leq 4$ e $1 \leq L_n \leq 4$ 53
- Figura 4. 25 - Curva $I_{máx} \times L_p$ de um inversor lógico SOI CMOS operando de 27°C à 300°C com $\beta = \frac{1}{2}$ para $1 \mu m \leq L_p \leq 4 \mu m$ e $2 \mu m \leq L_n \leq 8 \mu m$ 54
- Figura 4. 26 - Curva $I_{INV} \times V_E$ de um inversor lógico SOI CMOS operando a 27°C com $\frac{1}{4} \leq \beta \leq 3$ 55

- Figura 4. 27 - Curva $I_{INV} \times V_E$ de um inversor lógico SOI CMOS operando a 200°C com $\frac{1}{4} \leq \beta \leq 3$ 56
- Figura 4. 28 - Curva de transferência estática de tensão $V_S \times V_E$ de um inversor lógico SOI CMOS indicando as margens de ruído de níveis alto e baixo.....57
- Figura 4. 29 - Curva de transferência estática de tensão $V_S \times V_E$ de um inversor lógico SOI CMOS operando a 27 °C com $\beta = 2$ 58
- Figura 4. 30 - Primeira derivada da curva $V_S \times V_E$ de um de tensão de um inversor lógico SOI CMOS operando a 27 °C com $\beta = 2$ 58
- Figura 4. 31 - Obtenção dos valores de MRL e MRH da curva $\frac{\partial V_S}{\partial V_E} \times V_E$ 59
- Figura 4. 32 - Curva de transferência estática de tensão $V_S \times V_E$ de um inversor lógico SOI CMOS operando a 27 °C com $\beta = 2$ indicando suas margens de ruído.....60
- Figura 4. 33 - Curva de transferência estática de tensão de um inversor lógico SOI CMOS operando nas temperaturas de 27°C e 300°C para $\beta = 3$ 61
- Figura 4. 34 - Curva de transferência estática de tensão de um inversor lógico SOI CMOS operando nas temperaturas de 27°C e 300°C para $\beta = \frac{1}{4}$ 61
- Figura 4. 35 - Curva MRL x T de um inversor lógico SOI CMOS operando de 27°C a 300°C.....62
- Figura 4. 36 - Curva MRH x T de um inversor lógico SOI CMOS operando de 27°C a 300°C.....62
- Figura 5. 1 - Esquema elétrico de um inversor lógico SOI CMOS com capacitor acoplado na saída do circuito.....64
- Figura 5. 2 - Curva de transferência dinâmica de um inversor lógico SOI CMOS operando a 27°C.....65

- Figura 5.3 - Curva de transferência dinâmica de um inversor lógico SOI CMOS, operando de 27°C a 300°C, com $\beta = \frac{1}{4}$ e $f = 1$ MHz, obtida através de simulação numérica.....66
- Figura 5.4 - Curva de transferência dinâmica de um inversor SOI, operando de 27°C a 300°C, com $\beta = \frac{1}{4}$ e $f = 100$ Hz.....67
- Figura 5.5 - Curva de transferência dinâmica de um inversor SOI, operando de 27°C a 300°C com $\beta = 3$ 68
- Figura 5.6 - Curva de transferência dinâmica de um inversor SOI, operando de 27°C a 300°C com $\beta = 2$ 68
- Figura 5.7 - Curva de transferência dinâmica de um inversor SOI, operando de 27°C a 300°C com $\beta = 1$ 69
- Figura 5.8 - Curva de transferência dinâmica de um inversor SOI, operando de 27°C a 300°C com $\beta = \frac{1}{2}$69
- Figura 5.9 - Curva de transferência dinâmica de um inversor SOI, operando de 27°C a 300°C com $\beta = \frac{1}{3}$ 70
- Figura 5.10 - Curva de transferência dinâmica de um inversor SOI, operando de 27°C a 300°C com $\beta = \frac{1}{4}$ 70
- Figura 5.11 - Representação esquemática de um inversor lógico SOI CMOS com capacitor na saída.....71
- Figura 5.12 - Figura 5.12: Curva $V_{DS} \times T$ operando de 27 °C a 300 °C para $\frac{1}{4} \leq \beta \leq 3$ 72

Figura 5.13 - Figura 5.13: Curva $V_{DS} \times T$ indicando a variação da tensão V_{DS} entre 27 °C e 300 °C para $\frac{1}{4} \leq \beta \leq 3$ 73

LISTA DE SÍMBOLOS

A	Área das junções [μm^2]
β_n	Fator de ganho de um transistor nMOS
β_p	Fator de ganho de um transistor pMOS
β	Relação $\beta_n / \beta_p = L_p / L_n$ de um inversor lógico
C_{ox}	Capacitância no óxido de porta do transistor [F/cm ²]
C	Capacitância de saída do circuito inversor [F]
D_n	Coefficiente de difusão do elétron [cm ² /s]
E_g	Faixa proibida (Band Gap) [eV]
E_i	Nível intrínseco de energia [eV]
ϵ_{ox}	Permissividade do óxido [$3,45 \times 10^{-13}$ F/cm]
ϵ_{Si}	Permissividade do silício [$1,06 \times 10^{-12}$ F/cm]
f	Frequência do sinal aplicado à entrada do circuito [Hz]
ϕ_F	Potencial de Fermi [V]
ϕ_{MS}	Diferença de potencial entre a função trabalho da porta do substrato [V]
I_{INV}	Corrente elétrica que flui através do inversor lógico SOI CMOS [A]
I_{DS}	Corrente elétrica entre o dreno e a fonte do transistor [A]
k	Constante de Boltzman [$8,617 \times 10^{-5}$ eV/K]
L	Comprimento do canal do transistor [μm]
L_n	Comprimento do canal de um transistor nMOS [μm]
L_p	Comprimento do canal de um transistor pMOS [μm]
μ_n	Mobilidade em um transistor nMOS [cm ² /V.s]
μ_p	Mobilidade em um transistor pMOS [cm ² /V.s]
MRL	Margem de ruído em nível baixo [V]

MRH	Margem de ruído em nível alto [V]
N_a	Concentração de impurezas aceitadoras do semiconductor [cm^{-3}]
N_{SUB}	Concentração de dopantes do substrato [cm^{-3}]
n_i	Concentração intrínseca de portadores [cm^{-3}]
q	Carga elementar do elétron [$1,6 \times 10^{-19}$ C]
Q_{dep}	Carga na região de depleção [C/cm^2]
T	Temperatura [$^{\circ}\text{C}$]
t	tempo [s]
t_{oxB}	Espessura da camada de óxido enterrado [nm]
t_{oxF}	Espessura da camada de óxido de porta do transistor [nm]
t_{Si}	Espessura da camada de silício [nm]
τ_{ε}	$(\tau_n + \tau_p)$ tempo de vida efetiva relacionada ao processo de geração térmica na região de depleção
τ_n	Tempo de vida do elétron em silício tipo n [s]
τ_p	Tempo de vida do elétron em silício tipo p [s]
V_{DD}	Tensão de alimentação do circuito [V]
V_{DS}	Tensão aplicada entre o dreno e a fonte do transistor [V]
V_{E}	Tensão de entrada de um inversor [V]
V_{GS}	Tensão aplicada entre a porta e a fonte do transistor [V]
V_{INV}	Tensão de inversão de um inversor lógico [V]
V_{S}	Tensão de saída de um inversor [V]
V_{th}	Tensão de limiar de um transistor [V]
V_{Tn}	Tensão de limiar de um transistor nMOS [V]
V_{Tp}	Tensão de limiar de um transistor pMOS [V]
W	Largura do canal de um transistor [μm]
W_n	Largura do canal de um transistor nMOS [μm]
W_p	Largura do canal de um transistor pMOS [μm]
x_{ox}	Espessura do óxido de porta [μm]

LISTA DE TABELAS

Tabela 3.1 - Tabela referente às 5 principais regiões de operação de um inversor lógico indicadas na figura 3.2	32
---	----

SUMÁRIO

1	INTRODUÇÃO	19
1.1	Objetivo	21
1.2	Estrutura do Trabalho	21
2	REVISÃO BIBLIOGRÁFICA	23
2.1	Apresentação da Tecnologia SOI	23
2.2	Estruturas na Tecnologia SOI	24
2.3	Transistor SOI	25
2.3.1	Tensão de Limiar (V_{th})	25
2.3.2	O Efeito da Temperatura no Transistor SOI	28
3	INVERSOR SOI CMOS.....	31
3.1	Estrutura física de um inversor SOI	31
3.1.1	Funcionamento do inversor SOI MOSFET	32
4	PROJETO E SIMULAÇÃO DO INVERSOR SOI CMOS.....	35
4.1	Procedimento para obtenção dos dados	35
4.2	Resultados obtidos através de simulações numéricas bidimensionais	40
4.2.1	Análise da Tensão de Inversão	40
4.3	Corrente que flui pelo inversor	47
4.4	Margens de ruído	57
5	ANÁLISE AC	64
6	CONCLUSÃO E TRABALHOS FUTUROS	74
	REFERÊNCIAS BIBLIOGRÁFICAS	76
	APÊNDICE A	80
	APÊNDICE B	89

1 INTRODUÇÃO

Com o passar dos anos, a demanda por componentes eletrônicos com dimensões cada vez menores tem aumentado de maneira expressiva. Ao reduzir as dimensões dos dispositivos de camada de silício espessa, aparecem alguns efeitos indesejáveis, tais como o efeito de canal curto, baixa tensão de ruptura, aumento da resistência em série, efeito de perfuração MOS (punchthrough), efeito da elevação abrupta de corrente de dreno, entre outros [1, 2]. Do ponto de vista térmico, esta redução das dimensões acarretou em uma dificuldade maior na dissipação do calor nos dispositivos integrados, causando o aumento da temperatura destes componentes, e portanto, a dissipação da temperatura com rapidez fez-se necessária [3].

Com isso, iniciaram-se pesquisas sobre novos materiais, e na década de 60 surgiu a tecnologia SOS (Silicon-on-Sapphire)[4] os quais apresentavam baixa mobilidade devido à rede cristalina de safira e do silício, e tornaram-se uma real alternativa na década de 80 [5].

Alguns exemplos do uso de dispositivos eletrônicos em ambientes de temperaturas altas são: automotivo[3, 4], controle eletrônico dentro do compartimento do motor de veículos [6], aplicações aeroespaciais, aplicações nucleares [7], freios ABS, injeção eletrônica, caldeiras [8,9].

Segundo a União Européia, é considerado eletrônico de alta temperatura (HTE- High Temperature Electronic) todo dispositivo que opera à temperaturas superiores à 125 °C, e dispositivos deste tipo representam cerca de 1 trilhão de dólares e empregam cerca de 12 milhões de pessoas no norte Europeu [10].

As figuras 1.1 e 1.2 ilustram exemplos de dois sistemas que operam em temperaturas extremas [10].

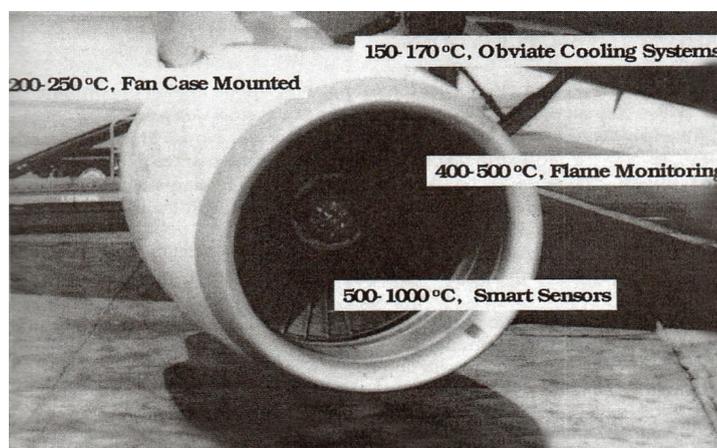


Figura 1.1: Temperaturas típicas encontradas em aplicações aeroespaciais [10].

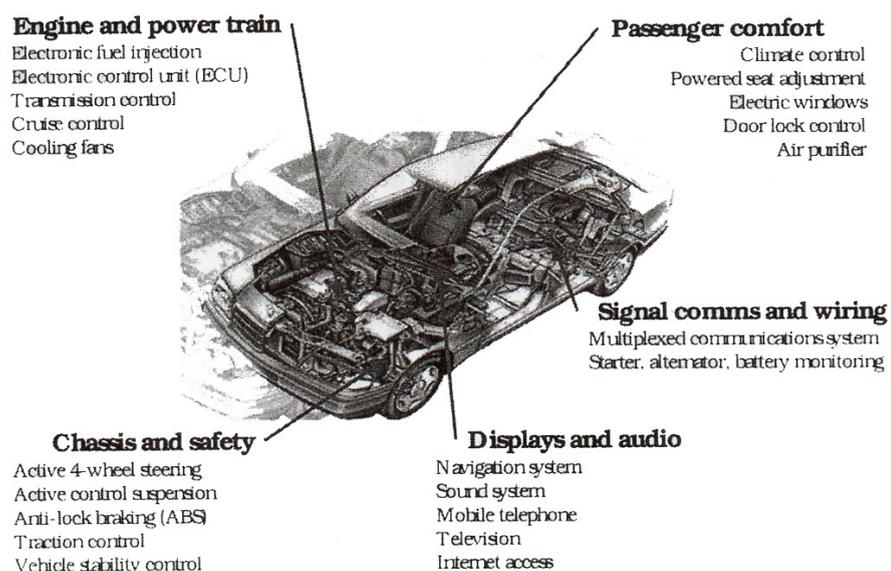


Figura 1.2: Aplicações típicas para o HTE em ambientes automotivos [10].

Quando um MOSFET convencional é submetido à altas temperaturas, muitos efeitos ocorrem, tais como: alta corrente de fuga e grande variação da tensão de limiar. Já no SOI MOSFET estes efeitos são reduzidos e parâmetros como corrente elétrica são otimizados [1]. Na figura (1.3) pode-se observar o perfil de dois transistores, sendo o perfil indicado na figura 1.3(A) um transistor MOSFET convencional e na figura 1.3(B) um transistor SOI MOSFET.

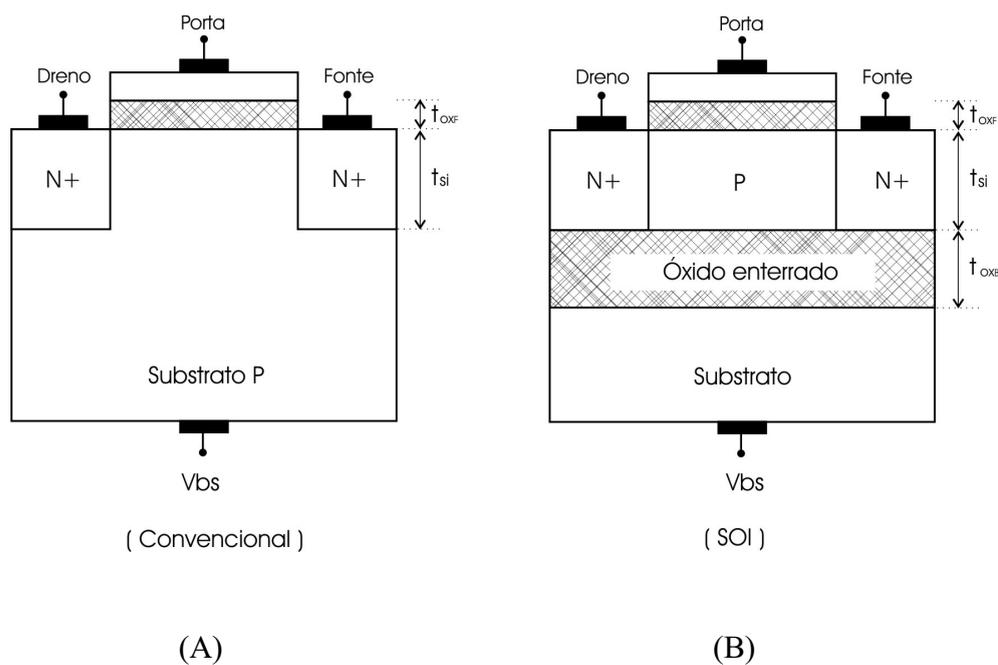


Figura 1.3: (A) Perfil simplificado de um transistor nMOS convencional
 (B) Perfil simplificado de um transistor SOI nMOS

Observando-se a figura 1.3, nota-se que a diferença entre eles é a camada de óxido enterrado, que separa o substrato da região ativa. As vantagens e desvantagens entre ambos serão comentados posteriormente.

1.1 Objetivo

Este trabalho tem como objetivo o estudo do comportamento de inversores lógicos SOI MOSFETs operando desde a temperatura ambiente até a temperatura de 300^o C.

No decorrer deste trabalho serão analisados o estudo do comportamento do circuito inversor operando em altas temperaturas onde serão observados os aspectos possíveis e responsáveis pela perda ou alteração em sua funcionalidade tais como: variação da tensão de limiar (V_{th}), tensão de inversão (V_{INV}) e a corrente que flui pelo inversor (I_{INV}), tanto em comportamento estático (DC) como dinâmico (AC).

Os resultados foram obtidos através de simulações numéricas bidimensionais realizadas com o simulador ATLAS [11] e o simulador de circuitos integrados SPICE ICAP4 [12].

1.2 Estrutura do Trabalho

Este trabalho está dividido em 5 capítulos da seguinte forma:

Capítulo 2: revisão bibliográfica do funcionamento de um transistor SOI MOSFET, assim como seu comportamento devido à elevação da temperatura.

Capítulo 3: apresentação do inversor SOI e de seu funcionamento, assim como equações pertinentes ao seu entendimento. Pontos de operação e curva de transferência ideal.

Capítulo 4: projeto e construção de um inversor lógico, onde serão apresentados resultados de simulações numéricas bidimensionais obtidas do comportamento do dispositivo operando da temperatura ambiente até a temperatura de 300°C, variando-se parâmetros como dopagem e

variação dos comprimentos dos canais dos transistores.

Capítulo 5: estudo e simulações em AC. Obtenção e discussão dos resultados obtidos referentes às curvas de transferência dinâmica com o aumento da temperatura desde 27°C até 300°C.

Capítulo 6: serão apresentadas as conclusões e sugestões para trabalhos futuros.

2 REVISÃO BIBLIOGRÁFICA

Neste capítulo serão apresentados conceitos básicos sobre transistores SOI MOSFET, assim como seu comportamento elétrico operando desde a temperatura ambiente até a temperatura de $300^{\circ}C$. Também serão descritos o comportamento de alguns parâmetros destes dispositivos quando estiverem submetidos à altas temperaturas.

2.1 Apresentação da Tecnologia SOI MOSFET

Devido ao escalamento das dimensões, a tecnologia MOS tem se tornado cada vez mais complexa, devido às constantes necessidades e se obter circuitos com dimensões cada vez menores, maior capacidade de integração e velocidade [1]. O ambiente de operação destes dispositivos também torna-se um agravante, como por exemplo aplicações aeroespaciais, automotivas e controle eletrônico de caldeiras [10].

Sabe-se que a tecnologia SOI tem inúmeras vantagens sobre a tecnologia CMOS convencional, como por exemplo, uma menor corrente de fuga, inclinação de sublimiar melhor, menor efeito de canal curto, menor capacitância parasitária, maior mobilidade [13]. Possui também maior velocidade, resposta em frequência, aumento da corrente de saturação e menor variação da tensão de limiar conforme aumenta a temperatura [14]. Também é possível observar que efeitos da elevação da corrente (Kink Effect) e do tiristor parasitário (Latch-up) são praticamente eliminados [13] e possui melhor desempenho em condições críticas como por exemplo altas temperaturas externas ou exposição à radiação [7]. Também possui um melhor isolamento entre os dispositivos facilitando o processo de fabricação devido à ausência de cavidades, redução das capacitâncias parasitárias, maior escala de integração, redução do efeito tiristor parasitário, facilidade de processamento e redução do custo de fabricação da lâmina [1], além uma menor degradação de portadores em finos filmes de silício [15].

Um problema observado na tecnologia SOI é que ele possui uma dissipação de potência ruim, pois o óxido enterrado introduz uma barreira térmica que realça os efeitos de auto aquecimento, produzindo como efeito, um aumento da temperatura média do dispositivo, assim como nas junções, acarretando em uma redução da velocidade de saturação dos portadores e sua

mobilidade, degradando o dispositivo e suas características elétricas [13].

A tecnologia SOI (Silicon on Insulator) consiste na criação de circuitos integrados em uma camada de silício que está situada sobre uma camada de um material isolante chamado óxido de silício (SiO_2). Existem diversas técnicas de fabricação da lâmina SOI, tais como o método SIMOX [16], SMARTCUT dentre outras.

A técnica mais utilizada para a obtenção de uma lâmina SOI é a técnica SMARTCUT. As lâminas são produzidas através da implantação de uma alta dose de íons de oxigênio (tipicamente $1,8 \times 10^{18} \text{ cm}^{-2}$), realiza-se um recozimento em alta temperatura, o que faz surgir uma camada de óxido de silício sob a camada cristalina de silício conforme a figura 2.1 [1].

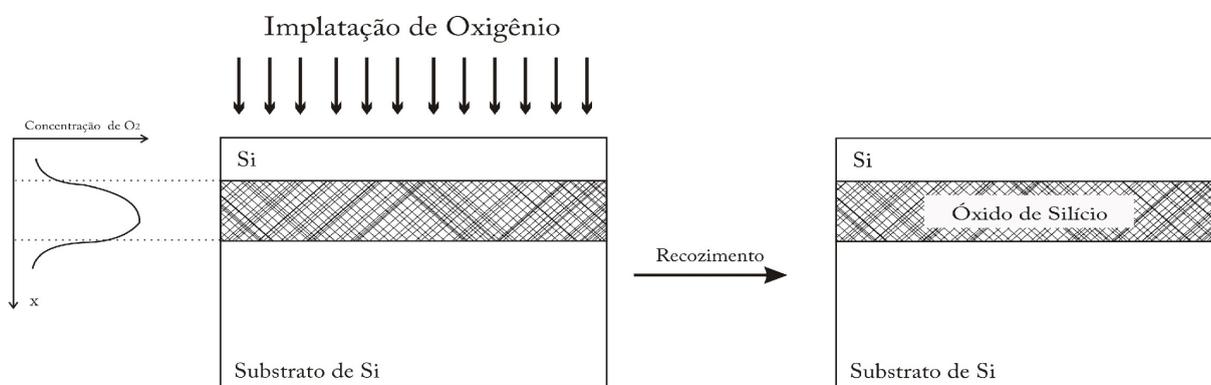


Figura 2.1: Estrutura de uma lâmina SOI fabricada pelo processo SIMOX.

A camada de silício, por sua vez, serve para separar eletricamente os dispositivos uns dos outros, proporcionando algumas vantagens, como por exemplo, redução de capacitâncias parasitárias entre dreno e substrato além de outras capacitâncias indesejadas e redução da área de chip [1].

2.2 Estruturas no SOI MOSFET

Sobre a lâmina SOI podem ser construídos dispositivos e circuitos integrados. Como exemplo neste trabalho serão citadas duas estruturas implementadas na tecnologia SOI: Transistor e Inversor.

2.3 Transistor SOI MOSFET

Os transistores SOI MOSFETs possuem o mesmo princípio físico de operação do transistor MOS convencional, onde a corrente que flui por ele é controlada pela tensão aplicada na porta. No caso de um transistor tipo N, faz-se necessário a aplicação de uma tensão positiva na porta de modo a repelir as lacunas para o substrato, criando assim um canal de passagem dos elétrons da fonte para o dreno. A tensão mínima necessária para isso ocorrer chama-se tensão de limiar (V_{th}), que será melhor comentada no próximo item.

No transistor SOI MOSFET, a estrutura física é um pouco diferente do transistor MOS convencional, pois ele possui regiões tipo N e tipo P colocadas na mesma disposição do MOS convencional, porém todas elas estão sobre uma camada de óxido que as isola do substrato. Como exemplo, pode-se verificar o perfil simplificado de um transistor SOI pMOSFET e SOI nMOSFET na figura 2.2.

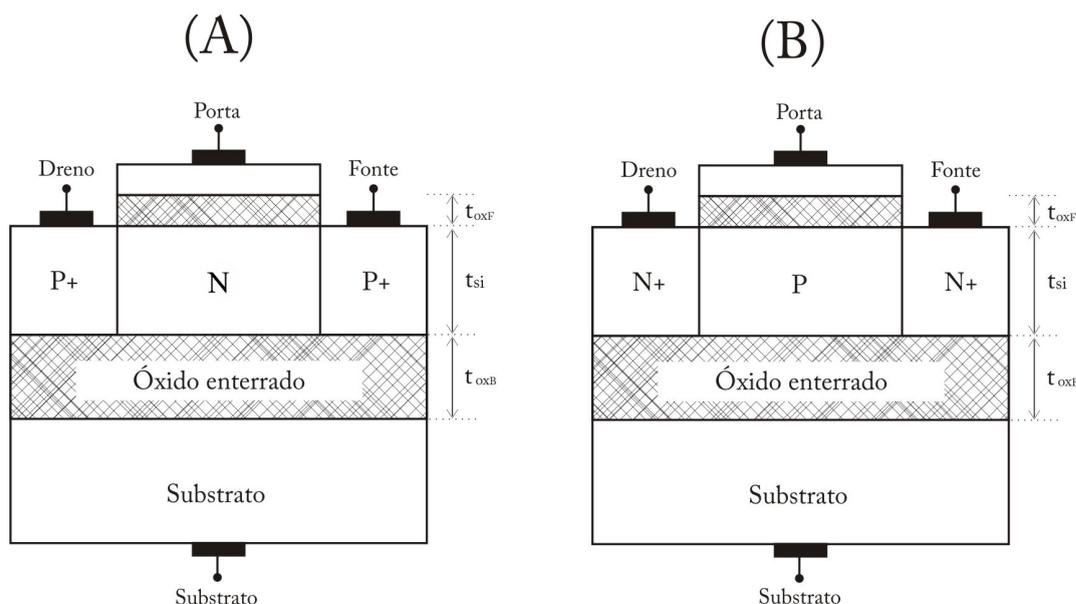


Figura 2.2: (A) Perfil simplificado de um transistor SOI pMOS; (B) Perfil simplificado de um transistor SOI nMOS

2.3.1 Tensão de Limiar (V_{th})

A tensão de limiar é definida como sendo o valor mínimo de tensão aplicada na porta de um transistor, a partir do qual todo incremento de tensão acima desta tensão irá atrair os

portadores minoritários para a região do canal, formando assim, uma camada de inversão forte, para o caso em que os transistores sejam do modo enriquecimento. Esta tensão é atingida de maneiras diferentes para o transistor nMOS e pMOS.

No caso de um transistor nMOS, conforme mostrado na figura 2.2(B), tem-se um canal formado de material tipo P. Conforme V_G torna-se positivo a partir de 0V (zero volts), as lacunas situadas logo abaixo da porta vão sendo repelidas, gerando assim uma região de depleção (ausência de portadores móveis, elétrons e lacunas), porém ainda não existe fluxo de corrente. Quando V_{GS} atinge um determinado valor suficientemente positivo, de tal modo que é formado um canal de portadores sob óxido de porta entre dreno e fonte, e a partir daí elétrons fluem da fonte para o dreno. Nesta condição considera-se que o transistor está ligado, e o valor de V_G necessário para isso ocorrer é chamado de tensão de limiar (V_{th}). A equação para V_{th} de um nMOS parcialmente depletado é definida pela equação (2.1)[1].

$$V_{th} = \Phi_{MS} + 2\Phi_F + \frac{Q_{dep}}{C_{ox}} \quad (2.1)$$

onde:

Φ_{MS} : é a diferença da função de trabalho entre o metal e o silício

Φ_F : potencial de Fermi da camada de silício [V]

onde:

$$\Phi_F = \frac{kT}{q} \ln\left(\frac{N_{SUB}}{n_i}\right) \quad (2.2)$$

sendo:

q : carga do elétron [$1,6 \times 10^{-19}$ C]

T : temperatura absoluta [K]

N_{SUB} : concentração de dopantes do substrato [cm^{-3}]

n_i : concentração intrínseca dos portadores [cm^{-3}]

k : constante de Boltzman [$8,617 \times 10^{-5}$ eV/K]

onde:

$$Q_{dep} = \sqrt{4q\epsilon_{Si}|\Phi_F|N_{SUB}} \quad (2.3)$$

- Q_{dep} : carga na região de depleção por unidade de área [C/cm^2]
- C_{OX} : capacitância do óxido de porta por unidade de área [$F/\mu m^2$]
- ϵ_{Si} : permissividade do silício ($1,06 \times 10^{-12}$ F/cm)

Portanto pode-se concluir que se Φ_F diminui, V_{th} diminui conforme pode ser visto na equação (2.1).

No transistor pMOS, o conceito de tensão de limiar é semelhante ao nMOS, porém com as polarizações invertidas.

Esta tensão V_{th} pode ser obtida através de diversos métodos. Um deles consiste na extrapolação da parte linear da curva da corrente de dreno pela tensão aplicada na porta ($I_{DS} \times V_{GS}$). O ponto de cruzamento da parte linear extrapolada desta reta com o eixo da abscissa, que neste caso é o eixo da tensão de porta, é o valor da tensão de limiar [1]. Entretanto este método pode ser utilizado para baixos valores de tensão aplicada no dreno (V_{DS}).

Outro método para se extrair a tensão de limiar, é fazendo o gráfico da segunda derivada da curva $I_{DS} \times V_{GS}$ [1], e em seu valor máximo verifica-se o valor de V_{th} correspondente no eixo das abscissas conforme ilustra a figura 2.3.

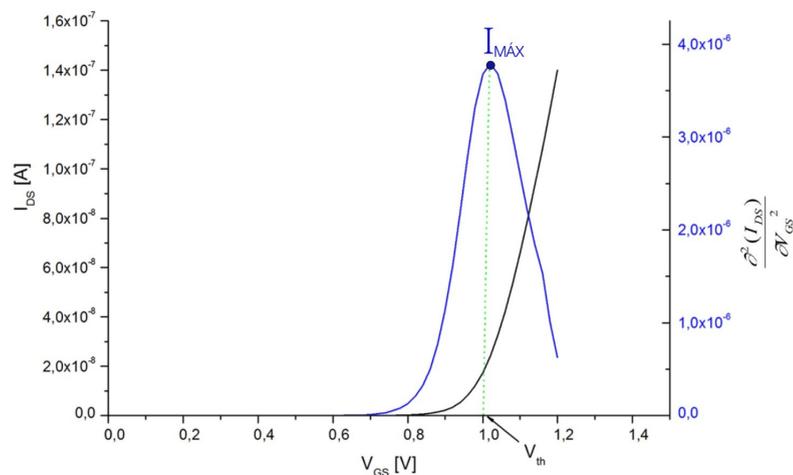


Figura 2.3: Exemplo de uma curva $I_{DS} \times V_{GS}$ de um transistor SOI nMOS, na temperatura de $27^\circ C$, sobreposta à sua respectiva curva da segunda derivada.

2.3.2 O Efeito da Temperatura no Transistor SOI MOSFET

Dispositivos SOI possuem grandes vantagens sobre o CMOS convencional, operando à baixas temperaturas [17] e sobretudo em altas temperaturas, pois o CMOS convencional quando colocado em ambientes de temperaturas extremas, tem um alto consumo de potência e uma alta corrente de fuga, além da degradação de níveis lógicos e margem de ruído [1].

Na tecnologia SOI existem problemas também, como por exemplo o auto aquecimento, que é gerado pela redução da mobilidade com o aumento da temperatura, e ocorre uma certa dificuldade para a dissipação do calor pelo dispositivo, já que o mesmo possui uma camada de óxido enterrado que age como isolante térmico indesejado. Outro problema encontrado é o aumento das capacitâncias do dispositivo e redução da tensão de limiar com o aumento da temperatura [18].

Como vantagem, a tecnologia SOI reduz alguns efeitos indesejados, como o efeito do tiristor parasitário (Latch-up) [1]. Além disso os inversores lógicos (que serão descritos posteriormente) sofrem menores efeitos com relação às curvas características estáticas quando submetidos à temperaturas altas (superiores a 100° C) [1].

Na figura 2.4 pode-se observar curvas obtidas por simulação numérica bidimensional utilizando-se do software ATLAS. A figura 2.4 ilustra a curva $I_{DS} \times V_{GS}$ de um transistor SOI nMOS operando da temperatura de 27°C a 300°C. O transistor é totalmente depletado, com largura de canal $W = 1\mu m$, comprimento de canal $L = 2\mu m$ e óxido de porta com espessura $t_{ox} = 3nm$. O canal foi dopado com uma concentração de $5 \times 10^{18} [cm^{-3}]$. As regiões de fonte e dreno possuem concentrações de $1 \times 10^{20} [cm^{-3}]$.

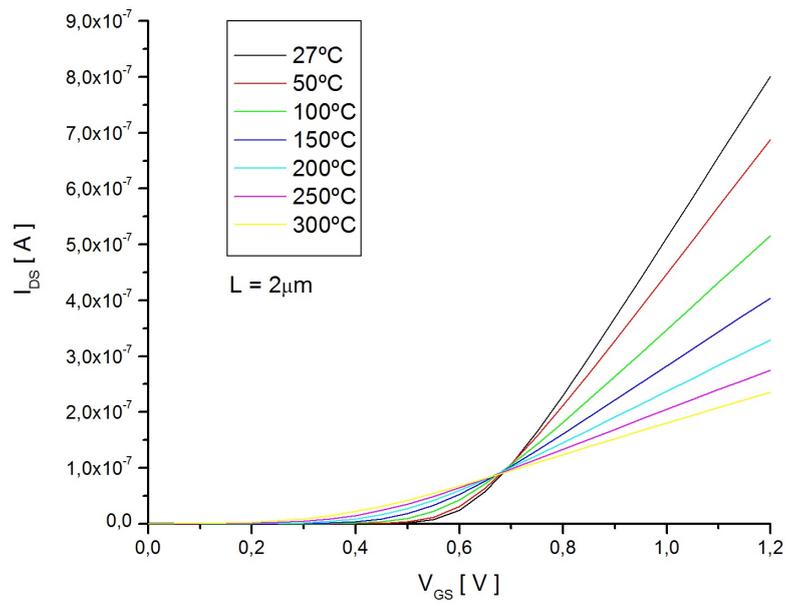


Figura 2.4: Curva I_{DS} x V_{GS} de um transistor nMOS operando de 27° a 300°C .

Como pode-se observar na figura 2.4, a curva I_{DS} x V_{DS} diminui sua inclinação conforme aumenta a temperatura. Consequentemente V_{th} diminui, conforme será apresentado a seguir. Pode-se observar que conforme aumenta a temperatura, n_i aumenta conforme pode ser observado na equação (2.4):

$$n_i = 3,9 \cdot 10^{16} \cdot T^{\frac{3}{2}} \cdot e^{-\frac{E_g}{2kT}} \quad (2.4)$$

onde:

- n_i : concentração intrínseca dos portadores Si (cm^{-3})
- T : Temperatura (K)
- k : Constante de *Boltzmann*
- E_g : Faixa proibida (Band Gap) (eV)

Nota-se que com o aumento de n_i , Φ_F diminui conforme equação (2.5):

$$\Phi_F = \frac{kT}{q} \ln\left(\frac{N_{sub}}{n_i}\right) \quad (2.5)$$

onde:

- q : Carga elementar do elétron
- N_{sub} : Concentração de impurezas do semiconductor

Portanto, conclui-se que, se Φ_F diminui conseqüentemente V_{th} diminui conforme a equação (2.1).

No próximo capítulo será apresentado o inversor SOI, assim como os efeitos causados pela elevação da temperatura, baseando-se nos conceitos até aqui apresentados.

3 INVERSOR SOI CMOS

Neste capítulo serão apresentados conceitos básicos sobre inversores lógicos utilizando-se da tecnologia SOI, assim como o seu comportamento operando desde a temperatura ambiente até $300^{\circ}C$.

3.1 Estrutura física de um inversor SOI CMOS

Um inversor SOI CMOS consiste em um circuito lógico muito simples e é composto por um transistor pMOS e um nMOS associados em série com os drenos curto-circuitados. A fonte do transistor pMOS é ligada à alimentação V_{DD} e o dreno do transistor nMOS é ligado ao terra, conforme pode ser observado nas figuras 3.1(A) e 3.1(B), onde V_E e V_S são as tensões de entrada e saída, respectivamente.

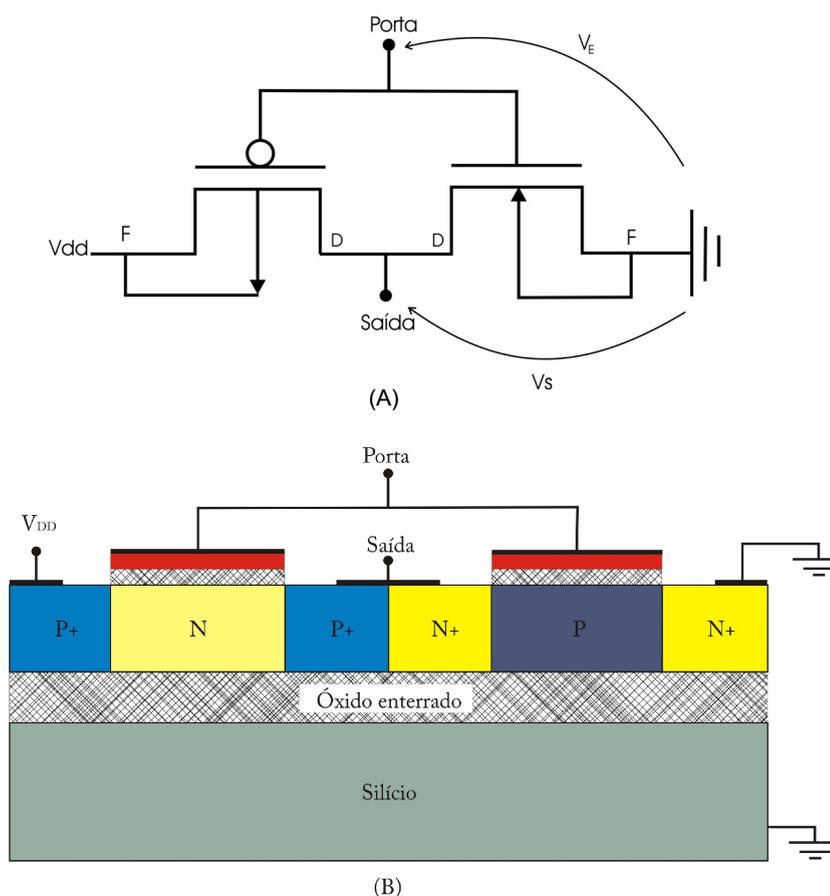


Figura 3.1: (A) Representação esquemática do inversor SOI CMOS.

(B) Perfil transversal de um inversor SOI implementado sobre uma lâmina de silício.

3.1.1 Funcionamento do inversor SOI CMOS

Em seu funcionamento estático, podem ser destacadas 5 regiões principais de operação [17] conforme ilustra a figura 3.2.

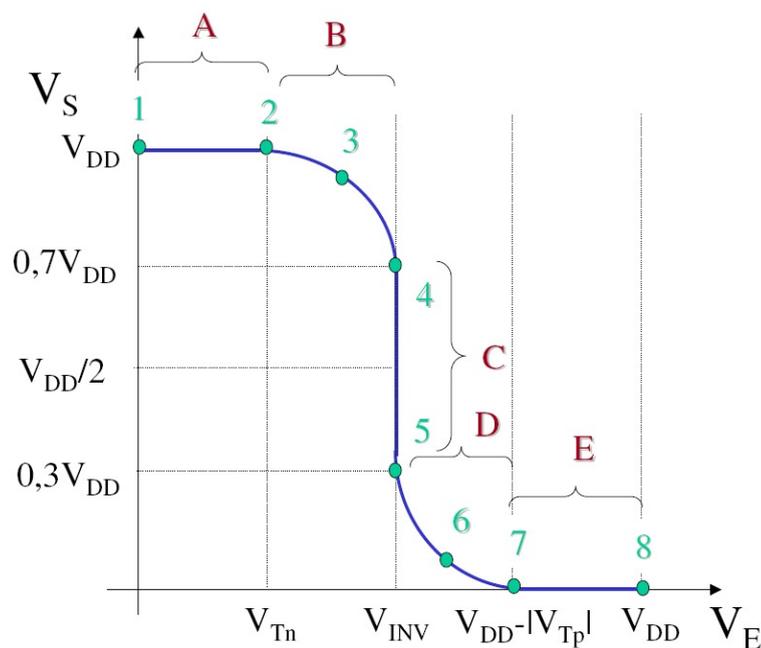


Figura 3.2: Curva de transferência estática de um inversor SOI indicando suas 5 principais regiões.

De acordo com o apresentado na figura 3.2, as 5 regiões destacadas podem ser descritas como segue:

Região A. Inicia-se o processo aplicando-se na entrada um valor de V_E igual a $0V$, o transistor nMOS possui uma tensão entre porta e fonte no valor de zero Volt, e no pMOS possui uma tensão entre sua porta e fonte no valor de $(-V_{DD})$, o que faz o transistor pMOS conduzir, fazendo com que o potencial aplicado no transistor pMOS seja transmitido para a saída, ou seja ($V_S = V_{DD}$). Nesta situação, praticamente não existe corrente circulando pelos transistores.

Região B. A tensão V_E começa a aumentar, e ao atingir um valor superior à tensão de limiar V_{th} do transistor nMOS, o mesmo começa a conduzir corrente, o que faz a tensão de saída reduzir. Porém, a tensão de saída ainda possui um potencial próximo a V_{DD} , então o transistor nMOS está em saturação e o transistor pMOS em região de triodo.

Região C . Conforme a tensão de entrada V_E aumenta até V_{INV} , que é de aproximadamente $V_{DD}/2$, ambos os transistores entram em região de saturação e por eles passa uma corrente elétrica que chega ao seu valor máximo. Neste momento ocorre uma rápida diminuição da tensão de saída, que por pouco tempo será igual à tensão de entrada, que é chamada de tensão de inversão lógica (V_{INV}).

Região D. Aumentando mais ainda a tensão V_E com valores superiores a V_{INV} , o transistor nMOS passará para a região de triodo e o transistor pMOS continua na região de saturação.

Região E . A partir do momento em que a tensão de entrada V_E atinja um valor o qual faça com que a diferença de potencial entre a porta e a fonte do transistor pMOS seja inferior a tensão de limiar, o transistor pMOS passará para a região de corte e o nMOS permanecerá em triodo. Nesta etapa, a corrente que flui pelos transistores é quase nula e o potencial da fonte do transistor nMOS será transmitido à saída ($V_s = 0$)

A tabela 3.1 mostra de uma maneira simplificada as 5 regiões citadas acima.

Tabela 3.1: Tabela referente às 5 principais regiões de operação indicadas na figura 3.2.

	A	B	C	D	E
nMOS	corte	saturação	saturação	triodo	triodo
pMOS	triodo	triodo	saturação	saturação	corte

A tensão de inversão um inversor lógico pode ser determinada conforme as expressões

3.1 [19] e 3.2[19].

$$V_{INV} = \frac{V_{DD} + V_{Tp} + V_{Tn} \sqrt{\frac{\beta_n}{\beta_p}}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}} \quad (3.1)$$

onde:

$$\frac{\beta_n}{\beta_p} = \frac{\mu_n \frac{\epsilon_{ox}}{x_{ox}} \frac{W_n}{L_n}}{\mu_p \frac{\epsilon_{ox}}{x_{ox}} \frac{W_p}{L_p}} = \frac{\mu_n \frac{W_n}{L_n}}{\mu_p \frac{W_p}{L_p}} \quad (3.2)$$

Sendo:

- V_{Tp} : Tensão de limiar do transistor pMOS [V]
- V_{Tn} : Tensão de limiar do transistor nMOS [V]
- β_p : Fator de ganho do transistor pMOS [A/V²]
- β_n : Fator de ganho do transistores nMOS [A/V²]
- μ_p : Mobilidade dos elétrons no transistor pMOS [cm²/Vs]
- μ_n : Mobilidade dos elétrons no transistor nMOS [cm²/Vs]
- ϵ_{ox} : Permissividade do óxido [3,45x10⁻¹³ F/cm]
- x_{ox} : Espessura do óxido [μm]
- L_p : Comprimento do canal do transistor pMOS [μm]
- L_n : Comprimento do canal do transistor nMOS [μm]
- W_n : Largura do canal do transistor nMOS [μm]
- W_p : Largura do canal dos transistor pMOS [μm]

Como pode-se observar na equação (3.1), a tensão de inversão lógica V_{INV} varia diretamente de acordo com as dimensões dos transistores que formam o inversor lógico, assim como tensões de limiar e a de alimentação. Posteriormente serão mostradas algumas curvas obtidas através de simulação que comprovam esta variação.

4.0 PROJETO E SIMULAÇÃO DO INVERSOR SOI

Neste capítulo serão apresentados o projeto de um inversor, assim como as curvas obtidas por simulação, onde serão analisados efeitos causados pela elevação da temperatura, variando-se as dimensões dos comprimentos dos canais e dopagens dos dispositivos que compõem o inversor.

Foram realizadas simulações numéricas bidimensionais com transistores de mesma largura de canal $W = 1 \mu\text{m}$ e com comprimentos de canais diferentes, cujas dimensões (L) variam de $1 \mu\text{m} \leq L \leq 10 \mu\text{m}$.

Serão comentados os aspectos possíveis e responsáveis pela alteração da funcionalidade em altas temperaturas tais como: variação de V_{th} , V_{INV} , I_{INV} e margens de ruído, em comportamento DC e AC. Os resultados foram obtidos através de simulações numéricas bidimensionais realizadas com o auxílio do simulador ATLAS e SPICE ICAP4 conforme os apêndices A e B.

4.1 Procedimento para obtenção dos dados

Primeiramente foram simulados separadamente os transistores nMOS e pMOS totalmente depletados com largura $W = 1 \mu\text{m}$, comprimento de canal $1 \mu\text{m}$, dopagem de canal $5 \times 10^{18} \text{cm}^{-3}$ para o nMOS e $5 \times 10^{16} \text{cm}^{-3}$ para o pMOS, dopagem da fonte e dreno igual a $1 \times 10^{20} \text{cm}^{-3}$ para ambos os transistores. A figura 4.1 ilustra os dois transistores analisados.

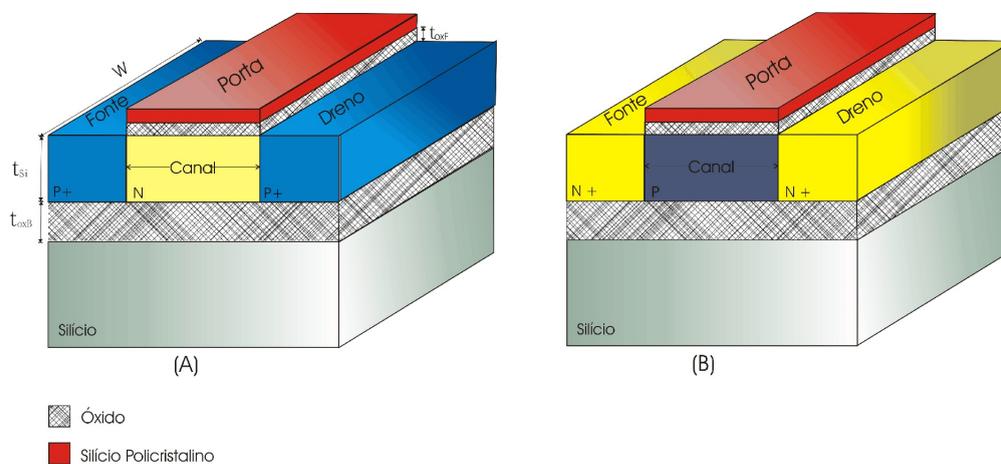


Figura 4.1: (A) Transistor SOI pMOS. (B) Transistor SOI nMOS.

Onde:

- fonte e dreno com comprimentos iguais a $0,25 \mu m$
- óxido de porta (t_{oxF}) com espessura igual a 3 nm
- óxido enterrado (t_{oxB}) com espessura igual a 200 nm
- camada de silício (t_{Si}) com espessura igual a 30 nm

A figura 4.1 ilustra os dois transistores estudados. Inicialmente foram estudados separadamente para o casamento das tensões de limiar (V_{th}).

Após a construção dos transistores no simulador ATLAS, e adotando-se a temperatura ambiente ($27^\circ C$), iniciou-se o estudo para o perfeito casamento entre os transistores, de forma que a tensão de inversão (V_{INV}) seja o mais próximo da tensão de inversão, aproximadamente

$V_{INV} = \frac{V_{DD}}{2}$. Para tanto, a seguir serão apresentados alguns cálculos básicos que foram

utilizados para a implementação dos inversores lógicos estudados.

Partindo da equação (3.1) chega-se à conclusão de que as tensões de limiar de ambos os transistores, se forem iguais em módulo, pode-se obter a tensão de inversão ideal que é

$V_{INV} = \frac{V_{DD}}{2}$. Para isso seguem alguns cálculos, utilizando os valores reais de simulação que

veremos a seguir, são eles:

- $V_{tn} = 1V$
- $V_{tp} = -1V$
- $V_{INVteórico} = 1,5V$ (condição adotada para o projeto)
- $V_{DD} = 3V$

Aplicando-se os valores acima na equação (3.1), resulta:

$$1,5 = \frac{3 - 1 + 1 \sqrt{\frac{\beta_n}{\beta_p}}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}}$$

Obtendo-se :

$$\frac{\beta_n}{\beta_p} = 1$$

e partindo da equação (3.2)

$$\frac{\beta_n}{\beta_p} = \frac{\mu_n \frac{\epsilon_{ox}}{x_{ox}} \frac{W_n}{L_n}}{\mu_p \frac{\epsilon_{ox}}{x_{ox}} \frac{W_p}{L_p}} = \frac{\mu_n \frac{W_n}{L_n}}{\mu_p \frac{W_p}{L_p}}$$

e utilizando-se da relação

$$\frac{\beta_n}{\beta_p} = 1$$

e sabendo que, por utilizar-se de simulações bidimensionais

$$W_p = W_n = 1 \mu m$$

Resulta em:

$$1 = \frac{\mu_n \cdot L_p}{\mu_p \cdot L_n}$$

Adotando-se $\mu_n \approx 2\mu_p$, conclui-se que $L_n \approx 2L_p$, ou seja, para se projetar um inversor lógico que possua $V_{INV} = \frac{V_{DD}}{2}$, o comprimento do canal do transistor nMOS deve ser

de aproximadamente o dobro do comprimento do canal do transistor pMOS.

Após definida a relação dos comprimentos dos canais, o próximo passo foi determinar uma tensão de limiar igual para ambos os transistores, que no caso foi adotada igual a 1V em módulo. Para isso, modificou-se as dopagens dos canais dos transistores nMOS e pMOS para $5 \times 10^{18} \text{ cm}^{-3}$ e $6 \times 10^{16} \text{ cm}^{-3}$, respectivamente.

Para a extração da tensão de limiar utilizou-se a curva $I_{DS} \times V_{GS}$ de cada dispositivo e posteriormente utilizou-se o método da segunda derivada, que consiste em utilizar a curva $I_{DS} \times V_{GS}$, em seguida encontra-se a curva da segunda derivada da respectiva curva. Observa-se o valor de máximo desta curva e ao projetar este ponto de máximo no eixo horizontal obtém-se o valor de V_{th} em módulo para o transistor em questão. As figuras 4.2 e 4.3 ilustram graficamente a obtenção de V_{th} para ambos os transistores. As curvas em preto mostram a curva $I_{DS} \times V_{GS}$ e em azul a curva referente à segunda derivada.

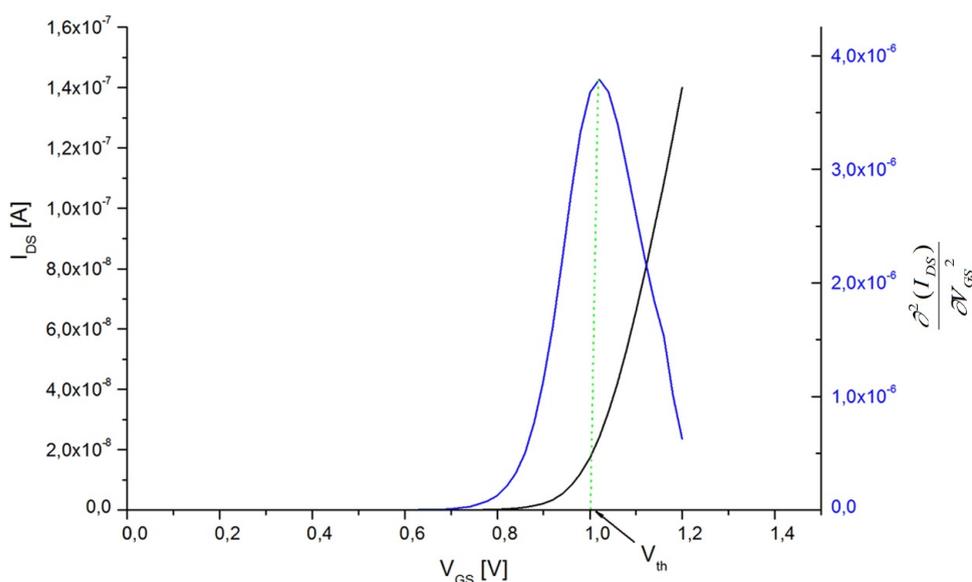


Figura 4.2 : Curva $I_{DS} \times V_{GS}$ sobreposta com a curva $\frac{\partial^2(I_{DS})}{\partial V_{GS}^2} \times V_{GS}$ para um transistor nMOS.

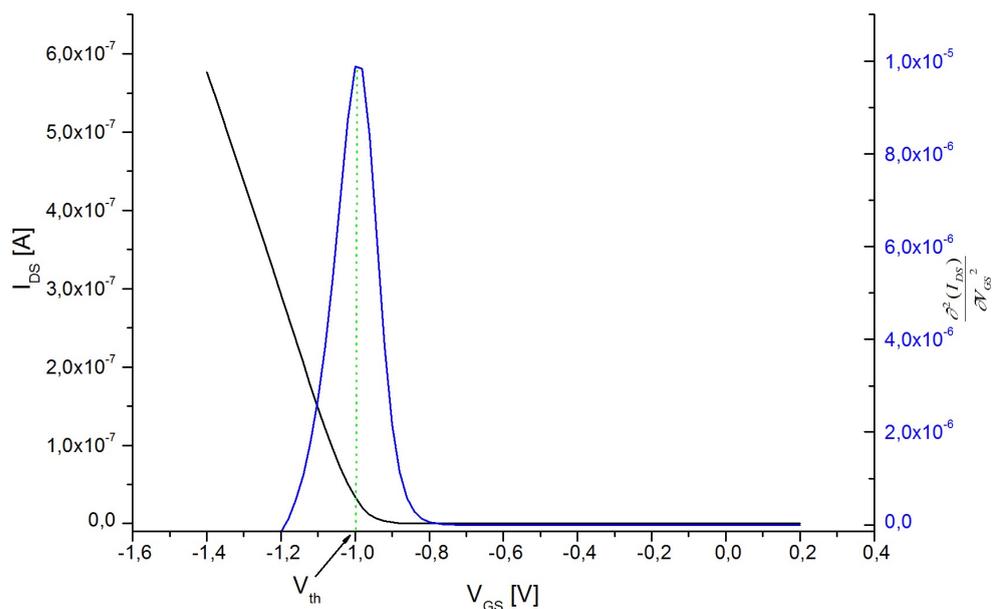


Figura 4.3 : Curva I_{DS} x V_{GS} sobreposta com a curva $\frac{\partial^2(I_{DS})}{\partial V_{GS}^2} \times V_{GS}$ para um transistor pMOS.

Após o casamento das tensões de limiar, foi feita a união dos dois transistores, onde foram curto-circuitados o dreno do transistor pMOS com a fonte do transistor nMOS cujo contato é chamado de saída. A entrada é formada pelo curto-circuito de ambas as portas dos transistores. A fonte do transistor pMOS foi ligada à alimentação V_{DD} e o dreno do transistor nMOS foi ligado ao terra. Assim obteve-se um inversor lógico conforme ilustra a figura 4.4 :

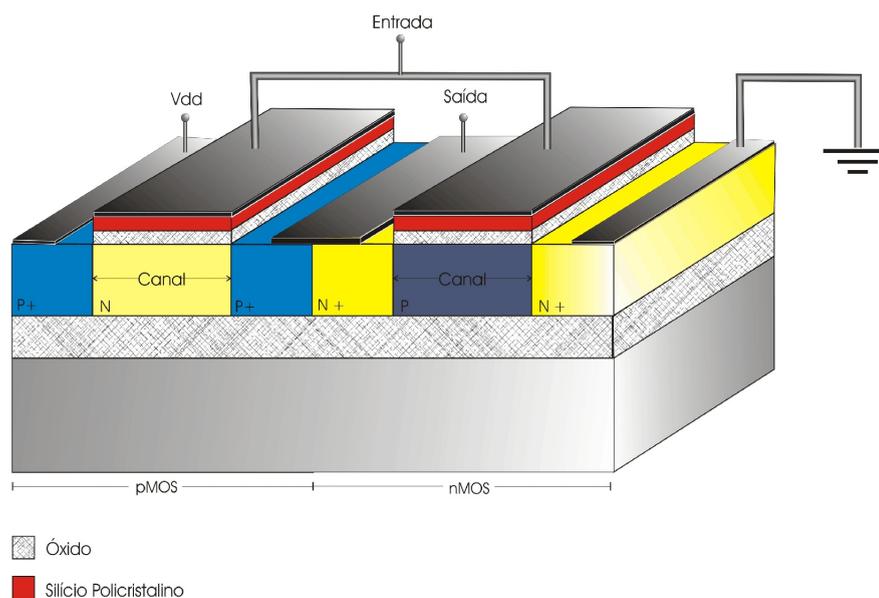


Figura 4.4: Inversor lógico SOI MOSFET estudado neste trabalho.

4.2 Resultados obtidos através de simulações numéricas bidimensionais

Os resultados das simulações apresentadas a seguir foram obtidas através de simulações numéricas bidimensionais utilizando-se o simulador ATLAS, variando-se a temperatura desde 27°C até 300°C para os inversores lógicos estudados ao longo deste trabalho. As simulações foram realizadas variando-se a relação dos comprimentos de canais (L_n e L_p) e observando o comportamento da curva de transferência estática de tensão (V_S x V_E).

Efetuada as simulações, foram extraídos parâmetros como tensão de inversão, corrente que flui pelo inversor e margens de ruído, e assim estudados os efeitos causados nestes parâmetros elétricos com a elevação da temperatura.

4.2.1 Análise da Tensão de Inversão do Inversor Lógico

A tensão de inversão do inversor lógico V_{INV} está diretamente relacionada com o parâmetro β . Para isso, utilizando-se da equação (3.1) e substituindo-se os valores

$V_{in} = |V_{tp}| = 1$ V, obtém-se a equação (4.1):

$$V_{INV} = \frac{2 + \sqrt{\beta}}{1 + \sqrt{\beta}} \quad (4.1)$$

onde será adotado para este trabalho que $\beta = \beta_n / \beta_p$ [20]

Plotando a curva da equação (4.1), obtém-se a curva característica V_{INV} x β conforme ilustra a figura 4.5.

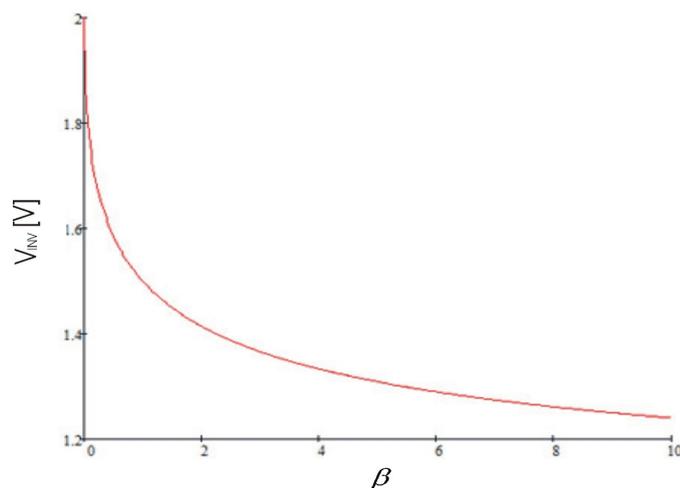


Figura 4.5: Curva $V_{INV} \times \beta$ obtida pelo software Mathcad [21].

Para confirmar a equação (4.1), foram realizadas uma série de simulações para um inversor, mantendo-se a temperatura em 27 °C e variando-se a relação de $\frac{1}{4} \leq \beta \leq 3$. Os resultados provenientes destas simulações podem ser vistos na figura (4.6), onde está apresentada a curva de transferência estática ($V_S \times V_E$) do inversor lógico estudado.

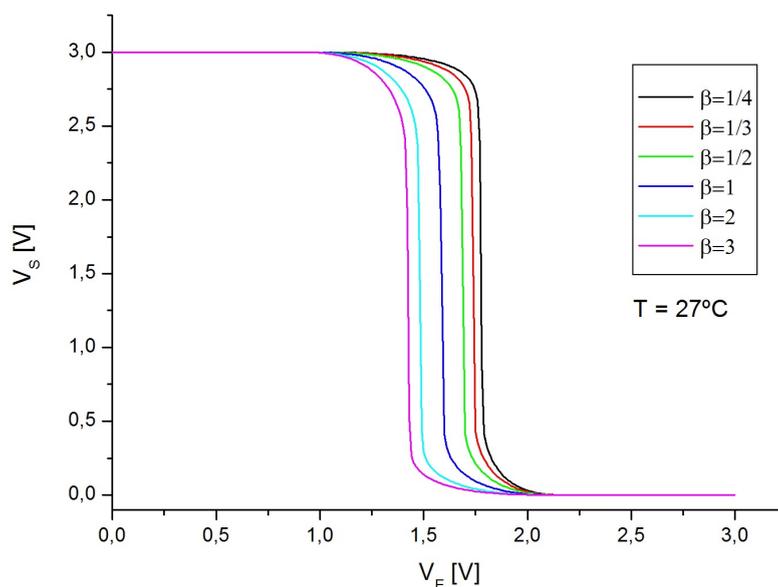


Figura 4.6: Curva de transferência estática $V_E \times V_S$ de um inversor a 27°C variando-se as relações de

$$\frac{1}{4} \leq \beta \leq 3.$$

A tensão de inversão V_{INV} é obtida quando V_S é igual a $\frac{V_{DD}}{2} = 1,5V$. Projetando-se este

valor para o eixo horizontal (V_E) obtem-se V_{INV} .

Analisando os resultados pode-se concluir através dos resultados apresentados na figura 4.6 que V_{INV} é diretamente proporcional a β . Além disso pode-se comprovar que V_{INV} tem uma maior variação para valores de $\beta \geq \frac{1}{2}$.

A seguir nas figuras 4.7 a 4.12, serão apresentadas curvas de transferência estática ($V_S \times V_E$) obtidas através de simulações numéricas bidimensionais para $0,25 \leq \beta \leq 4$, variando-se a temperatura desde $27^\circ C$ até $300^\circ C$. A região ampliada indica o comportamento de V_{INV} com a elevação da temperatura de operação dos inversores.

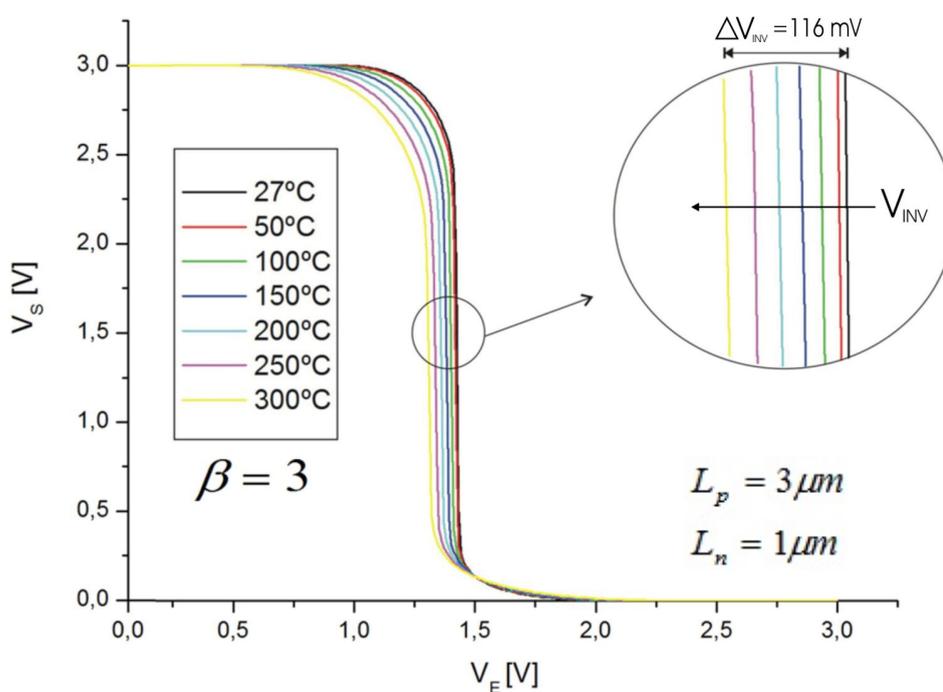


Figura 4.7: Curva de transferência estática $V_E \times V_S$ de um inversor lógico SOI MOSFET operando de $27^\circ C$ a $300^\circ C$, com $\beta = 3$.

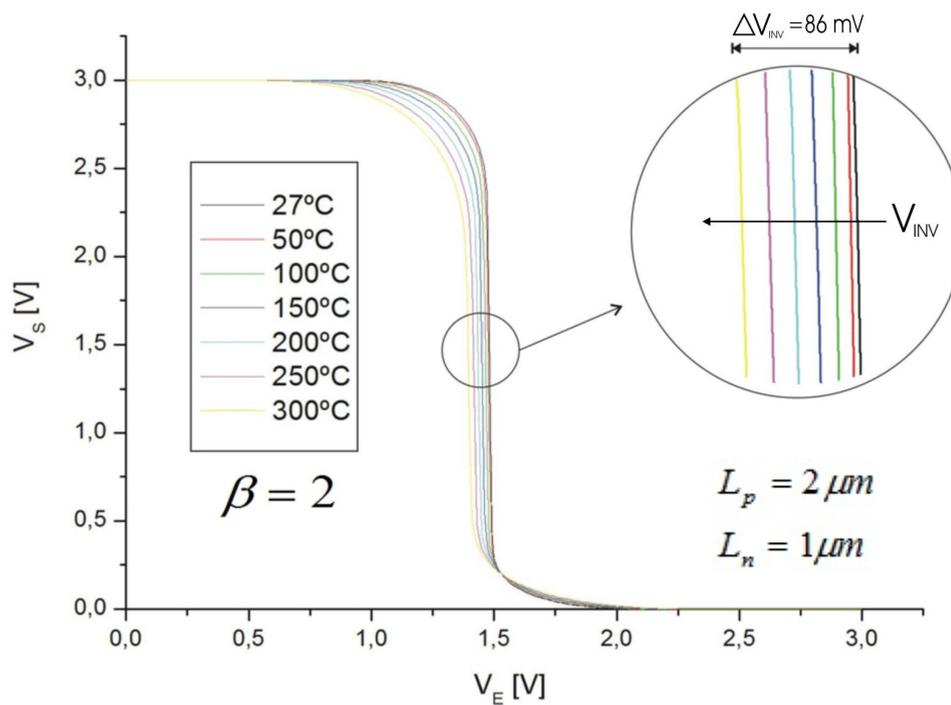


Figura 4.8: Curva de transferência estática $V_E \times V_S$ de um inversor lógico SOI MOSFET operando de 27°C a 300°C, com $\beta = 2$.

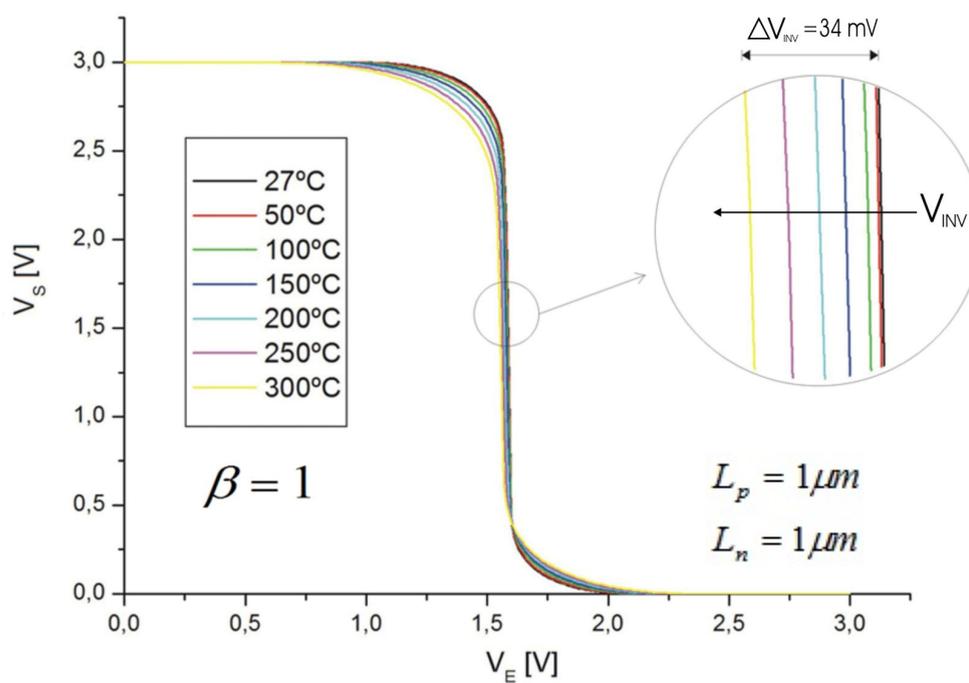


Figura 4.9: Curva de transferência estática $V_E \times V_S$ de um inversor lógico SOI MOSFET operando de 27°C a 300°C, com $\beta = 1$.

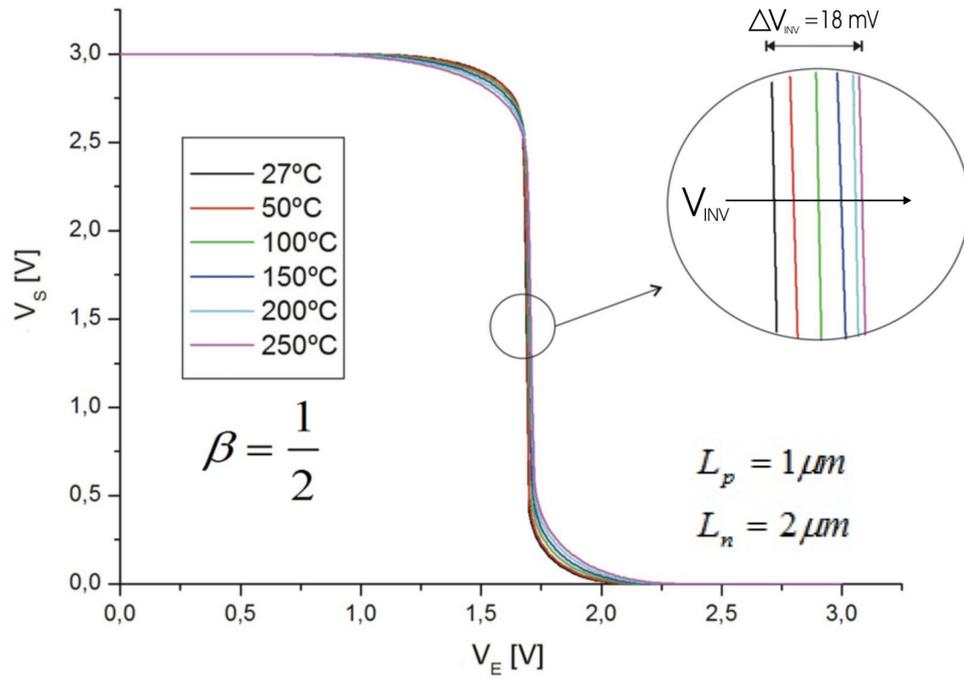


Figura 4.10: Curva de transferência estática $V_E \times V_S$ de um inversor lógico SOI MOSFET operando de

27°C a 300°C, com $\beta = \frac{1}{2}$.

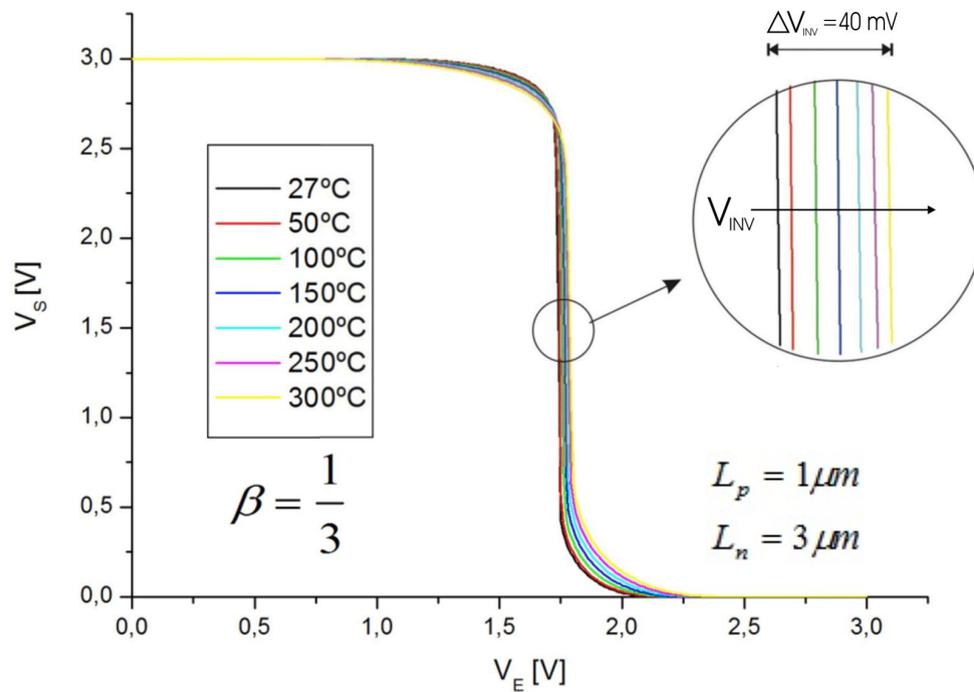


Figura 4.11: Curva de transferência estática $V_E \times V_S$ de um inversor lógico SOI MOSFET operando de

27°C a 300°C, com $\beta = \frac{1}{3}$.

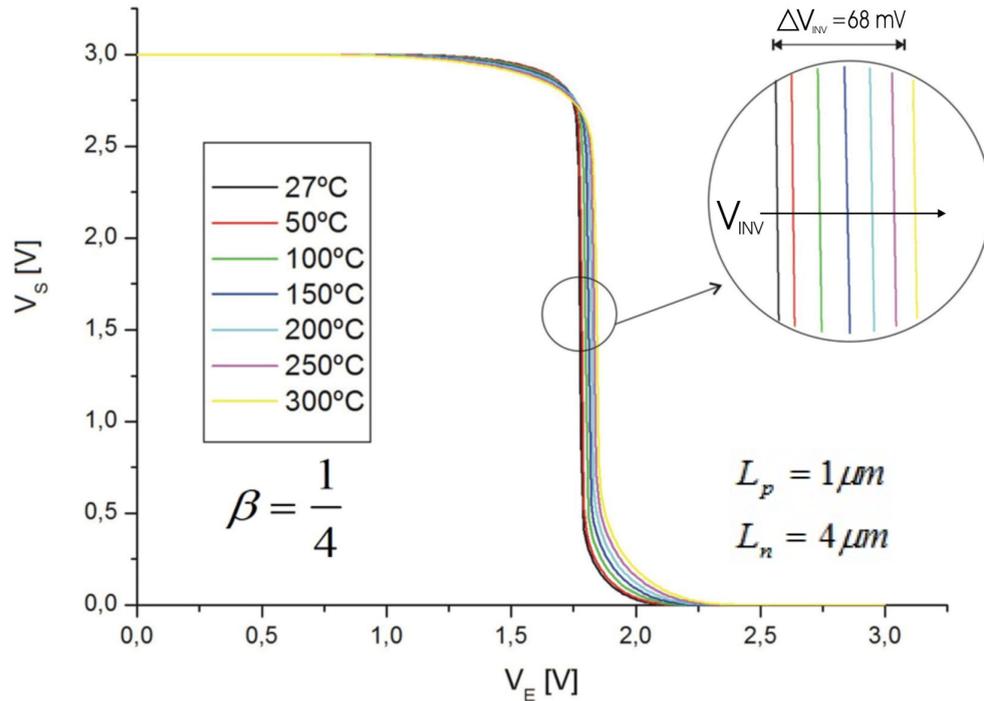


Figura 4.12: Curva de transferência estática $V_E \times V_S$ de um inversor lógico SOI MOSFET operando de

$$27^\circ\text{C a } 300^\circ\text{C, com } \beta = \frac{1}{4}.$$

Conforme foi apresentado nas curvas representadas nas figuras 4.7 a 4.12, o valor de β é um parâmetro fundamental a ser estudado e é determinante no comportamento de um inversor CMOS. Observando-se as ampliações presentes nas figuras 4.7 a 4.12, observa-se que no momento da inversão da tensão de saída, V_{INV} possui um comportamento diferenciado para cada valor de β à medida em que a temperatura de operação varia.

Este comportamento pode ser traduzido através da figura 4.13, a qual ilustra o comportamento de V_{INV} em função da variação da temperatura (T) para todas as relações de β apresentadas nas figuras 4.7 à 4.12.

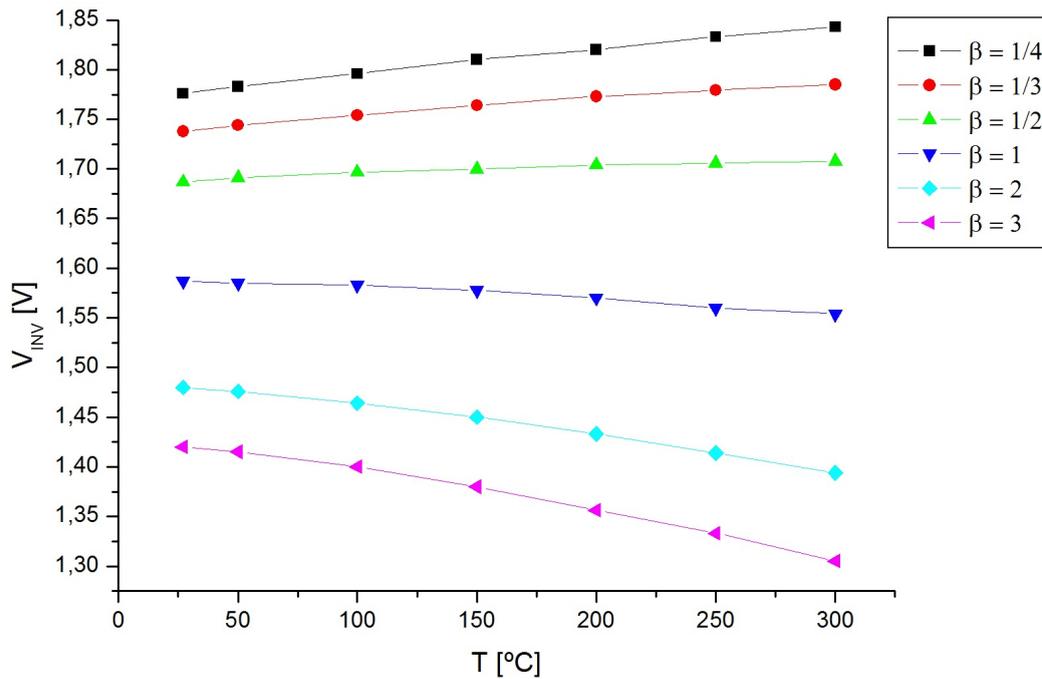


Figura 4.13: Curva V_{INV} x T para $0,25 \leq \beta \leq 3$.

Analisando os resultados apresentados na figura 4.13, pode-se concluir que para

$\beta > \frac{1}{2}$ a tensão V_{INV} diminui conforme aumenta a temperatura. Por outro lado, para valores de

$\beta \leq \frac{1}{2}$, V_{INV} aumenta com o aumento da temperatura. Nota-se também que V_{INV} sofre uma

menor variação quando $\beta = \frac{1}{2}$, ou seja, a curva de transferência de tensão estática do inversor

lógico sofre menores efeitos com a elevação da temperatura quando sua relação $\beta = \frac{L_p}{L_n} = \frac{1}{2}$,

implicando que o comprimento do canal do transistor nMOS seja o dobro do comprimento do canal do transistor pMOS.

Com o intuito de investigar este comportamento, a seguir será apresentado o comportamento da corrente elétrica que flui através do inversor lógico, utilizando-se das mesmas relações de β , variando-se a temperatura desde 27°C até 300°C.

4.3 Corrente que flui pelo inversor

A seguir será apresentado o comportamento da corrente que flui através do inversor lógico, que para nosso estudo será representada nas curvas características como sendo I_{INV} (Corrente que flui pelo inversor).

A curva da figura 4.14 ilustra a corrente I_{INV} (em azul) com $\beta = 1$, sobreposta à curva $V_S \times V_E$, operando à temperatura de 27° C.

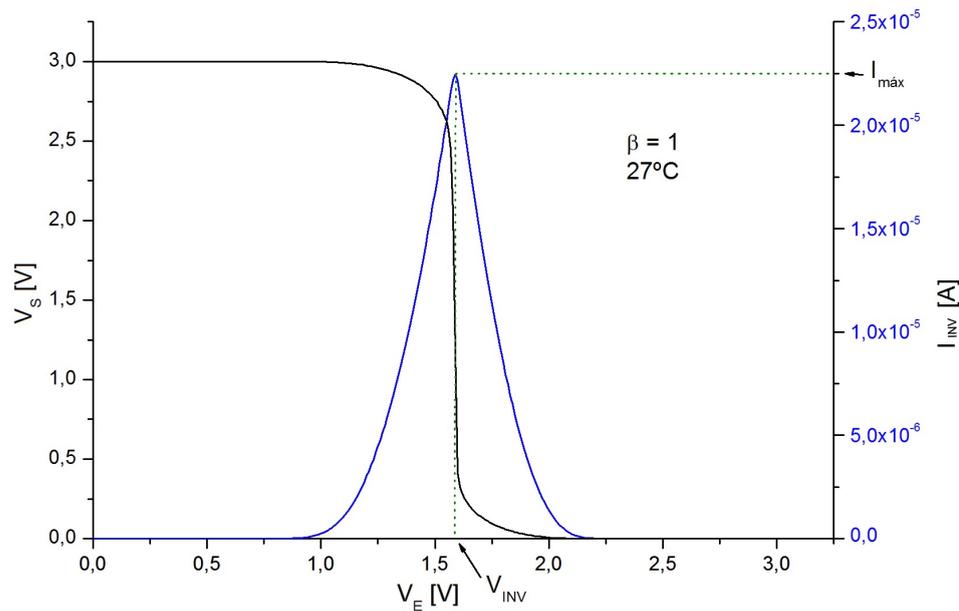


Figura 4.14: Curva de transferência estática $V_S \times V_E$ de um inversor lógico SOI CMOS sobreposta à curva estática $I_{INV} \times V_E$.

Pode-se observar através da figura 4.14 que a corrente que flui através do inversor lógico é máxima exatamente quando ocorre V_{INV} , ou seja, no momento em que ambos os transistores do inversor estão operando em saturação independente da temperatura, conforme será apresentado posteriormente.

Para a continuidade deste estudo, será apresentado o efeito que a elevação da temperatura traz sobre a corrente que flui através de um inversor lógico cujos resultados foram alcançados através de simulações realizadas utilizando-se o software ATLAS.

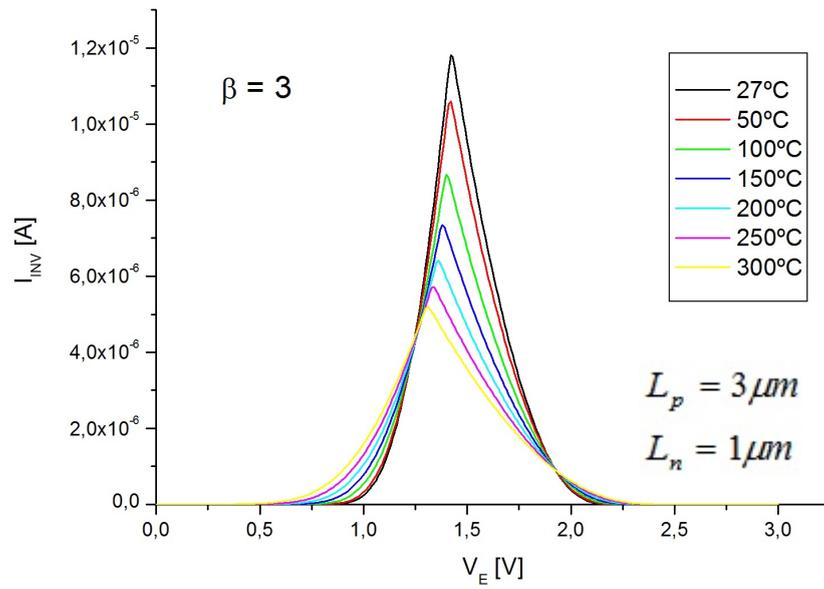


Figura 4.15: Curva I_{INV} x V_E de um inversor lógico SOI MOSFET operando de 27°C a 300°C com

$$\beta = 3 .$$

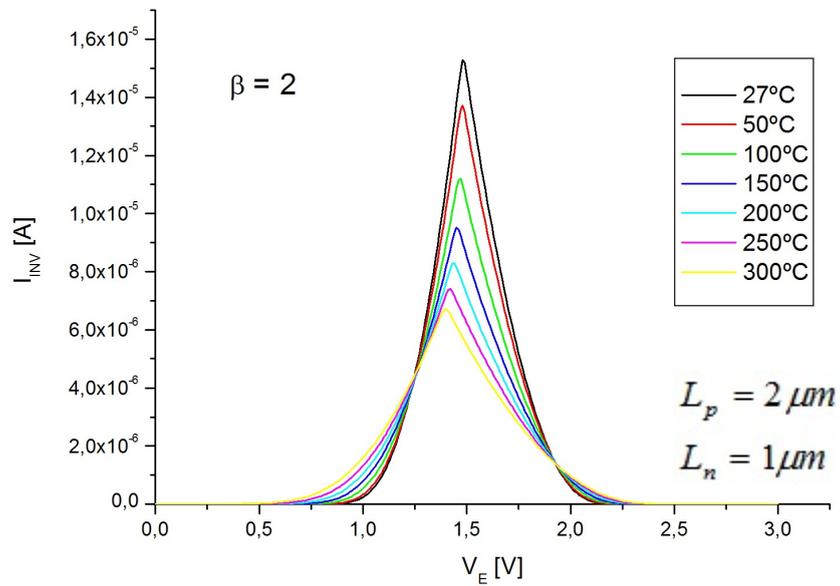


Figura 4.16: Curva I_{INV} x V_E de um inversor lógico SOI MOSFET operando de 27°C a 300°C com

$$\beta = 2 .$$

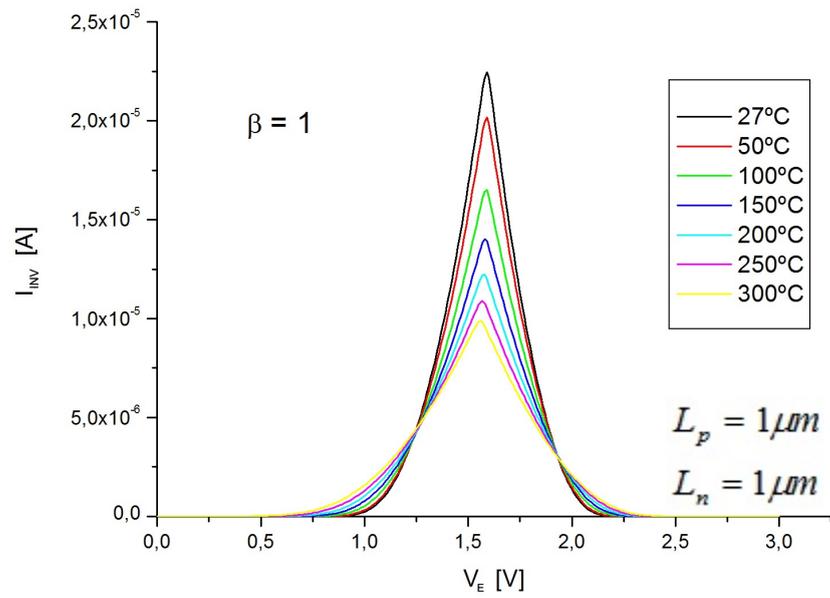


Figura 4.17: Curva I_{INV} x V_E de um inversor lógico SOI MOSFET operando de 27°C a 300°C com $\beta = 1$.

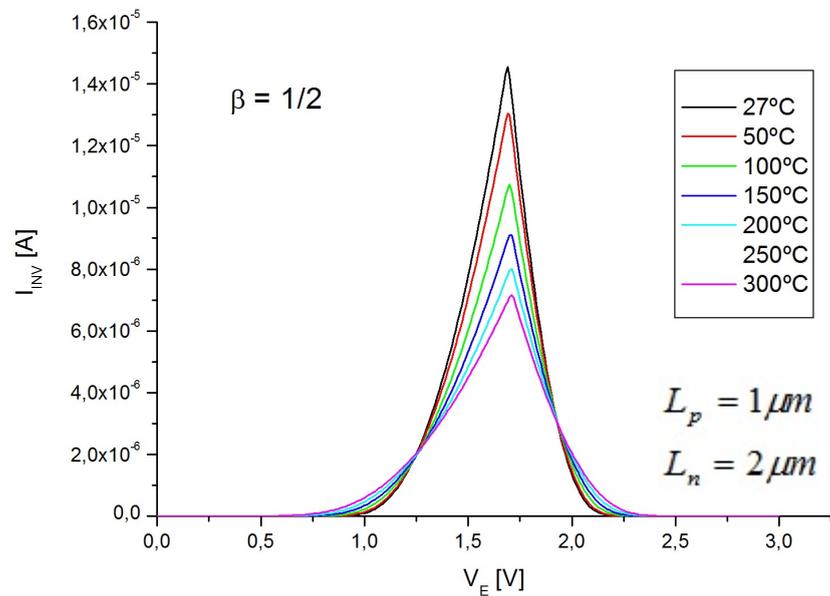


Figura 4.18: Curva I_{INV} x V_E de um inversor lógico SOI MOSFET operando de 27°C a 300°C com $\beta = \frac{1}{2}$.

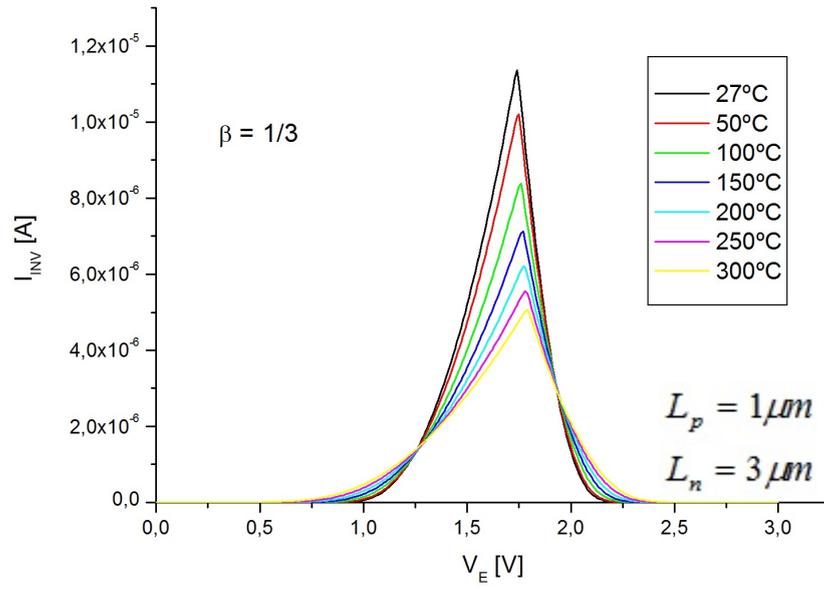


Figura 4.19: Curva I_{INV} x V_E de um inversor lógico SOI MOSFET operando de 27°C a 300°C com

$$\beta = \frac{1}{3}.$$

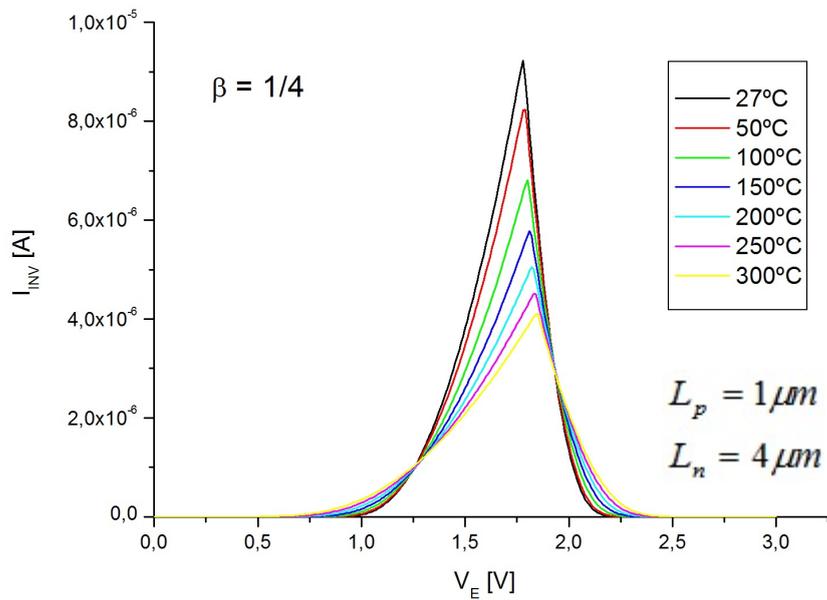


Figura 4.20: Curva I_{INV} x V_E de um inversor lógico SOI MOSFET operando de 27°C a 300°C com

$$\beta = \frac{1}{4}.$$

Analisando os resultados apresentados nas simulações referentes às figuras 4.15 à 4.20, pode-se concluir que a corrente I_{INV} possui comportamento semelhante a V_{INV} nas curvas $V_S \times V_E$, ou seja, I_{INV} , em seu valor máximo, tem o mesmo comportamento de V_{INV} com relação ao seu deslocamento horizontal conforme aumenta a temperatura, e novamente β é o fator determinante no comportamento das curvas. Também nota-se que conforme aumenta a temperatura, independente do valor de β , a corrente que flui pelo inversor lógico sempre diminui. Este comportamento pode ser melhor entendido através da equação (4.2).

$$I_{DS} = \frac{1}{2} \mu \cdot C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 \quad (4.2)$$

Independente do transistor ao qual se aplica a equação (4.2), ao elevar-se a temperatura de operação do circuito lógico, V_{th} diminui conforme foi descrito anteriormente, fazendo com que o termo $(V_{GS} - V_{th})^2$ assumira valores cada vez maiores. Diante disto a corrente que flui nos transistores nMOS e no pMOS fique menor com o aumento da temperatura. Além disso, observandoos resultados apresentados nas figuras 4.15 a 4.20, nota-se que a curva $I_{INV} \times V_E$ tem uma tendência a deslocar seu valor máximo para a esquerda ou para a direita (e consequentemente desloca V_{INV}) de acordo com o valor de β .

Como exemplo desta situação, segue a figura 4.21.

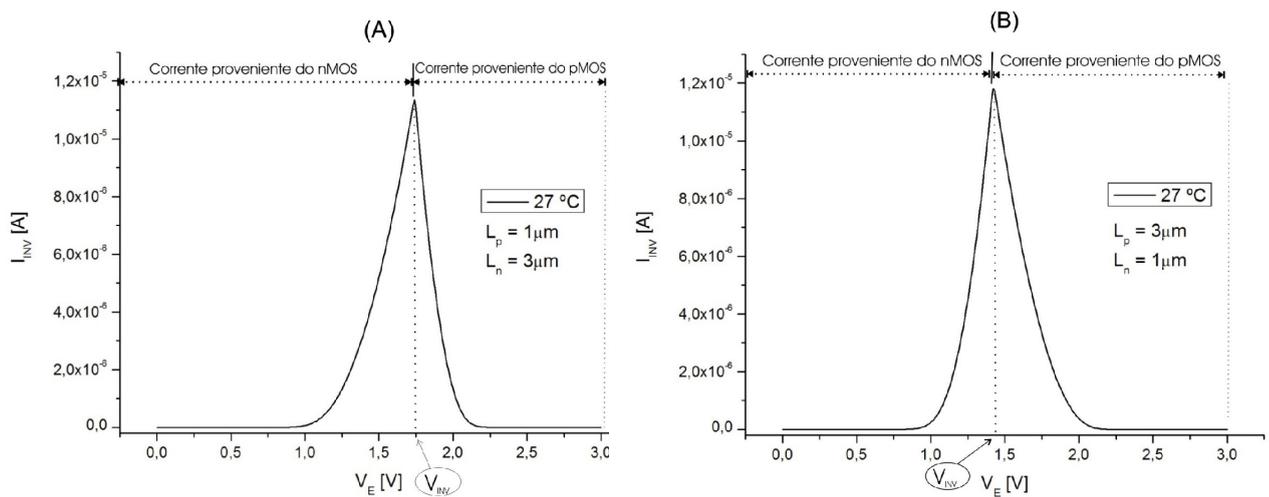


Figura 4.21: (A) Curva $I_{INV} \times V_E$ de um inversor lógico SOI MOSFET com operando a 27 °C com $\beta = \frac{1}{3}$.

(B) Curva $I_{INV} \times V_E$ de um inversor lógico SOI MOSFET com operando a 27 °C com $\beta = 3$.

Analisando os resultados descritos na figura 4.21, pode-se concluir que o valor máximo atingido pela corrente I_{INV} é deslocado para a direita ou esquerda de acordo com a relação dos comprimentos dos canais, isto é, através do valor de β .

Para entender melhor este comportamento, faz-se necessário analisar separadamente a corrente para cada transistor. Na figura 4.22 pode-se observar o comportamento da corrente proveniente do transistor nMOS e do pMOS.

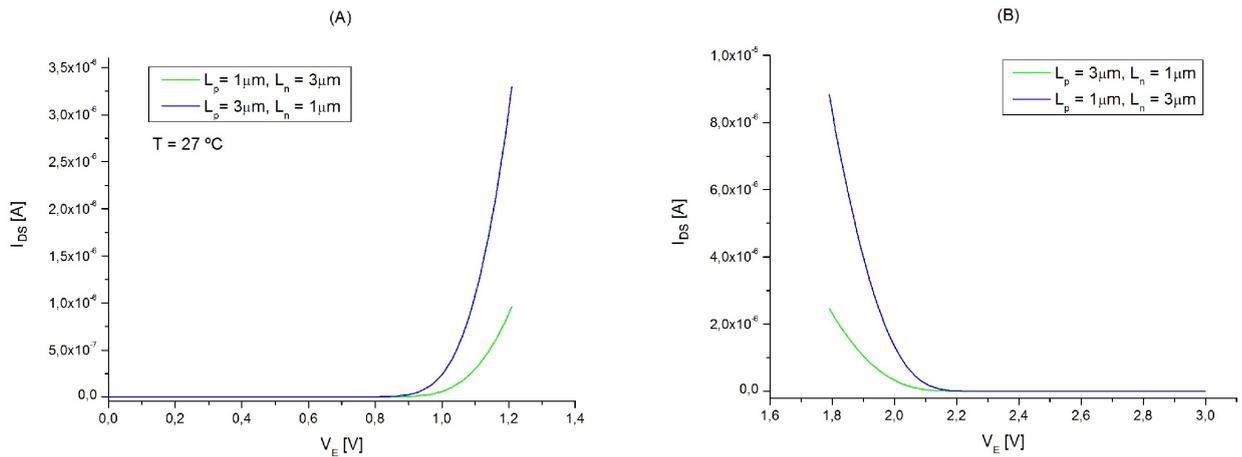


Figura 4.22: (A) Curva da corrente I_{DS} de um transistor nMOS de um inversor lógico SOI CMOS com operando a 27°C para $\beta = \frac{1}{3}$ e $\beta = 3$.

(B) Curva da corrente I_{DS} de um transistor pMOS de um inversor lógico SOI CMOS com operando a 27°C para $\beta = \frac{1}{3}$ e $\beta = 3$.

Observando a figura 4.22(A), e dando atenção ao comprimento do canal do transistor nMOS, conclui-se que na medida em que L_n diminui, a inclinação (e conseqüentemente a corrente) aumentam. Por outro lado, observando a figura 4.22(B) e dando atenção ao comprimento do canal do transistor pMOS, conclui-se o mesmo efeito.

O que apenas afirma a equação (4.2), ou seja, o comprimento dos canais L é inversamente proporcional à corrente cedida pelo transistor.

A seguir, nas figuras 4.23 e 4.24 serão apresentadas curvas obtidas através de simulações no software ATLAS, para um inversor lógico operando à temperatura de 27°C , mantida a relação $\beta = 1$, porém com diferentes comprimentos de canais para ambos os transistores.

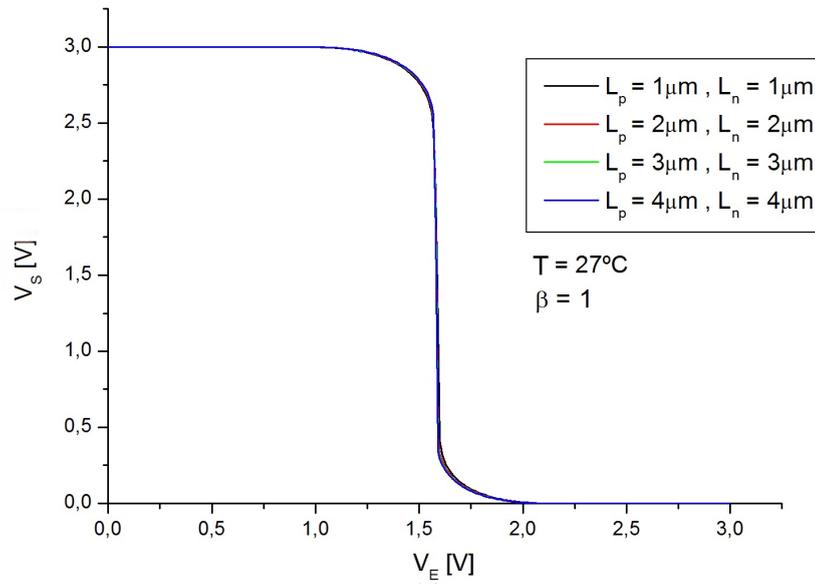


Figura 4.23: Curva estática V_S x V_E de um inversor lógico SOI CMOS operando a 27°C com $\beta = 1$,

$$1\mu\text{m} \leq L_p \leq 4\mu\text{m} \text{ e } 1\mu\text{m} \leq L_n \leq 4\mu\text{m}.$$

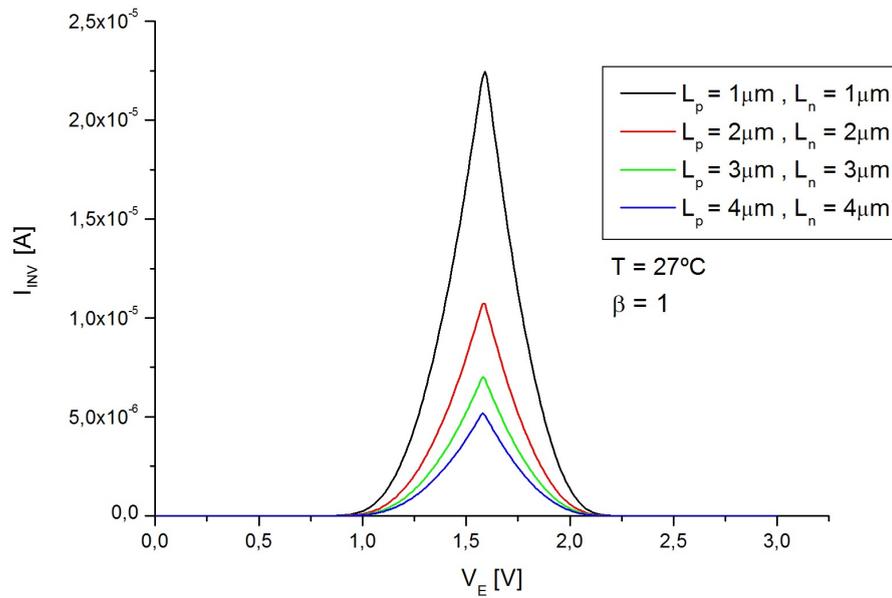


Figura 4.24: Curva estática I_{INV} x V_E de um inversor lógico SOI CMOS operando a 27°C com $\beta = 1$

$$\text{para } 1\mu\text{m} \leq L_p \leq 4\mu\text{m} \text{ e } 1\mu\text{m} \leq L_n \leq 4\mu\text{m}.$$

Observando as curvas das figuras 4.23 e 4.24, nota-se que mantida a relação β , as curvas estáticas de transferência $V_S \times V_E$ praticamente não se alteram com o aumento da temperatura, assim como V_{INV} . Já a corrente I_{INV} varia de forma significativa em sua amplitude máxima. Pode-se observar também que a corrente I_{INV} é menor quando se aumenta o valor de β e mantém-se a temperatura. O motivo deste efeito é facilmente explicado através da equação (4.2), que implica que I_{DS} é inversamente proporcional a L para qualquer transistor (nMOS ou pMOS).

A seguir, na figura 4.25 serão apresentados alguns resultados que ilustram o comportamento de I_{INV} , mantendo-se β constante e variando-se a temperatura de 27°C à 300°C.

Como parâmetro de comparação será utilizado L_p no eixo das abscissas, já que a relação $\beta = \frac{L_p}{L_n}$ é constante.

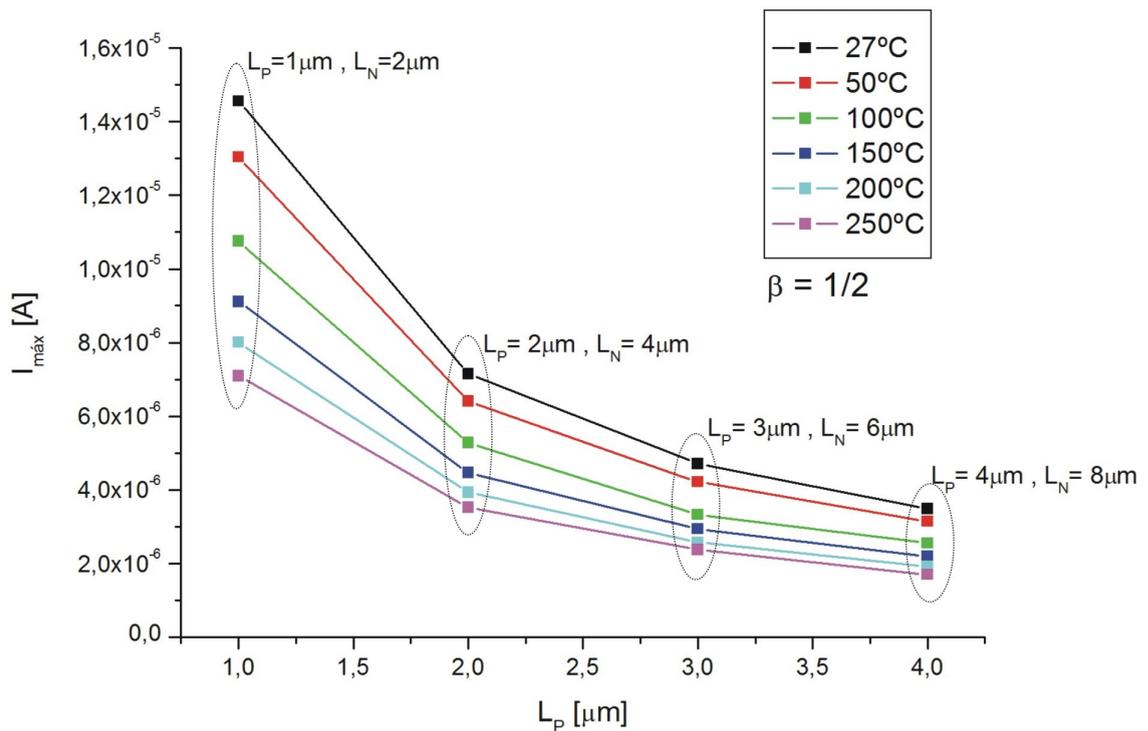


Figura 4.25: Curva $I_{m\acute{a}x}$ x L_p de um inversor lógico SOI CMOS com $\beta = \frac{1}{2}$ operando de 27°C à 300°C

para $1\mu\text{m} \leq L_p \leq 4\mu\text{m}$ e $2\mu\text{m} \leq L_n \leq 8\mu\text{m}$.

Analisando os resultados apresentados na figura 4.25, pode-se concluir que a relação $\beta = \frac{L_p}{L_n}$, se for mantida constante, causa sempre uma redução na corrente máxima que

flui pelo inversor, porém, quanto maior forem os valores de L_p e L_n , menor será sua variação com o aumento da temperatura e também é fator fundamental na corrente máxima que flui pelo inversor, o que reforça ainda mais o que já foi discutido anteriormente e comprovado pela equação (4.2), ou seja, a corrente que flui pelo inversor é inversamente proporcional ao comprimento do canal dos transistores nMOS e pMOS, mesmo quando os dispositivos estiverem submetidos às altas temperaturas.

A seguir, nas figuras 4.26 e 4.27, serão apresentados alguns resultados obtidos por simulação, onde serão novamente analisadas as curvas $I_{INV} \times V_E$ para $\frac{1}{4} \leq \beta \leq 3$, operando à duas temperaturas escolhidas aleatoriamente, apenas como parâmetro de comparação.

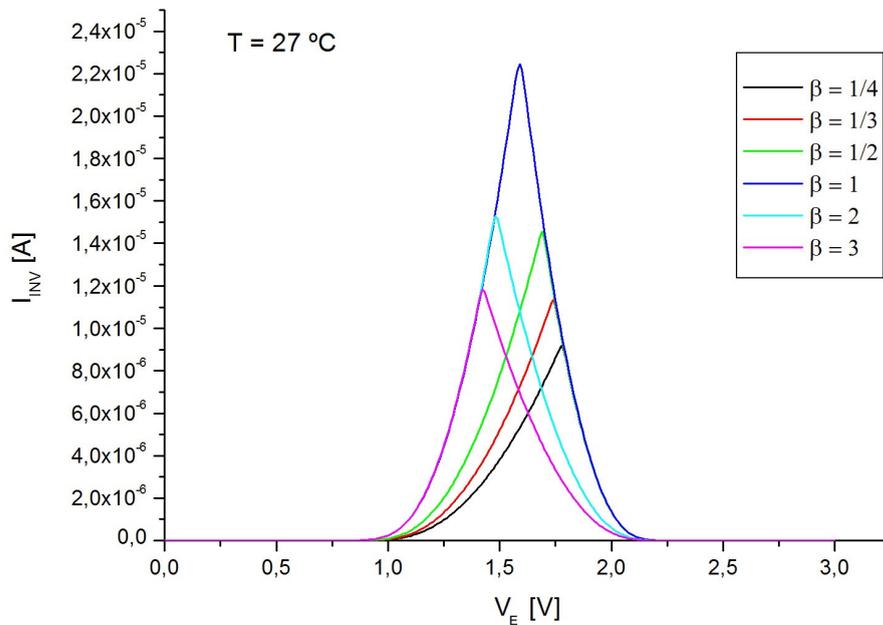


Figura: 4.26: Curva $I_{INV} \times V_E$ de um inversor lógico SOI CMOS operando a 27°C com $\frac{1}{4} \leq \beta \leq 3$.

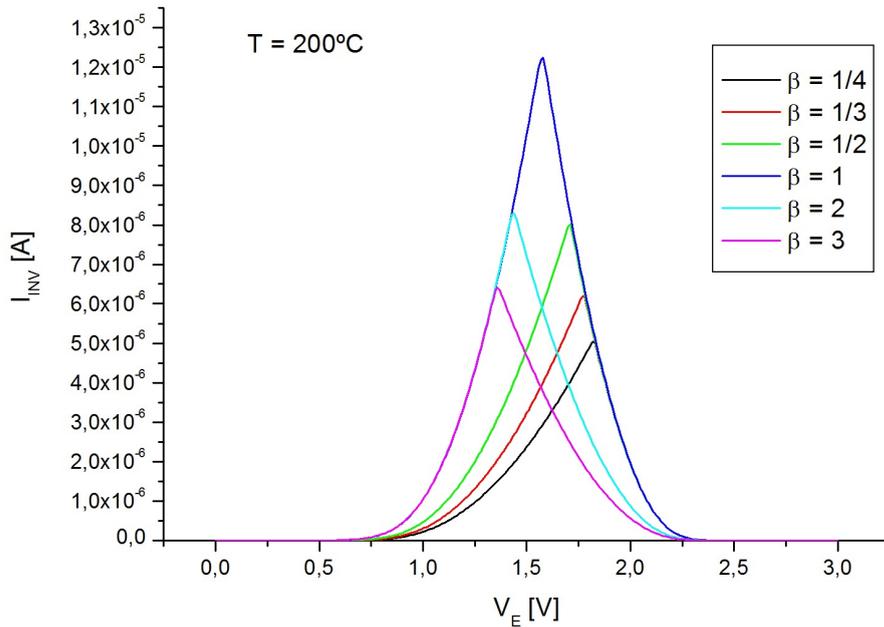


Figura: 4.27: Curva I_{INV} x V_S de um inversor lógico SOI CMOS operando a 200°C com $\frac{1}{4} \leq \beta \leq 3$.

Analisando os resultados obtidos através das simulações apresentadas nas figuras 4.26 e 4.27, e conforme já foi comprovado pela equação (4.2), quanto menor o valor de L , maior é a corrente que atravessa o inversor independente da temperatura. Também conclui-se que, para $\beta = 1$, independente da temperatura, têm-se a maior corrente I_{INV} possível fluindo pelo inversor, ou seja, para $\beta = 1$ a corrente I_{INV} impõe um “domínio” das correntes e indica os máximos valores nos quais I_{INV} pode atingir, e qualquer outra relação para $\beta \neq 1$ faz com que I_{INV} fique limitada em seu interior. Estes resultados também são observados para os demais valores de temperatura estudados ao longo deste trabalho.

Após realizada a investigação da influência de β no funcionamento do circuito do inversor lógico em altas temperaturas, o passo seguinte foi a realização de estudos do comportamento das margens de ruído em função da variação da temperatura de operação.

4.4 Margens de ruído

Neste tópico será apresentado um estudo sobre o efeito da elevação da temperatura na curva de transferência estática da tensão de um inversor lógico SOI CMOS no que tange às margens de ruído em níveis alto (MRH) e baixo (MRL).

Margem de ruído é a tensão necessária para que a curva de transferência estática de tensão $V_S \times V_E$ de um inversor lógico atinja o ponto cuja inclinação seja igual a 45° .

Matematicamente pode-se encontrar tais pontos calculando-se $\frac{\partial V_E}{\partial V_S} = -1$ [22]. Nos pontos

onde a derivada é igual a -1 define-se então as margens de ruído em nível baixo e alto. O método matemático da obtenção destes pontos será apresentado futuramente ao longo deste trabalho.

A figura 4.28 ilustra a curva de transferência estática de um inversor lógico SOI CMOS apontando especialmente as margens de ruído em nível baixo e alto.

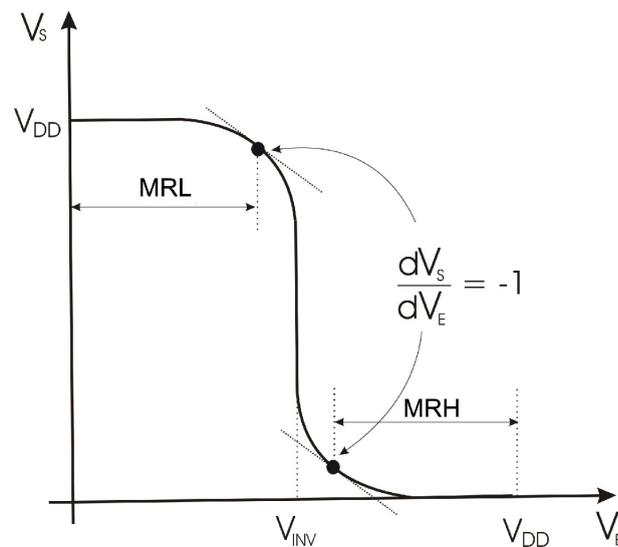


Figura 4.28: Curva de transferência estática de tensão $V_S \times V_E$ de um inversor lógico SOI CMOS indicando as margens de ruído de níveis alto e baixo.

A seguir será apresentada a forma matemática para a obtenção das margens de ruído em níveis alto e baixo.

Como exemplo escolheu-se uma curva de transferência estática de tensão de um inversor lógico SOI CMOS operando a 27°C e com $\beta = 2$, conforme ilustra a figura 4.29.

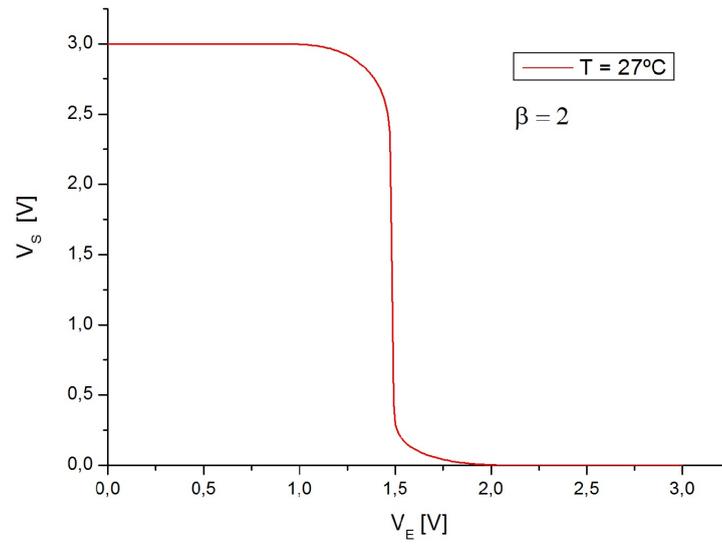


Figura 4.29: Curva de transferência estática de tensão V_S x V_E de um inversor lógico SOI CMOS operando a 27°C com $\beta = 2$.

Em seguida, faz-se graficamente a primeira derivada da curva V_S x V_E , obtendo-se o resultado apresentado na curva da figura 4.30:

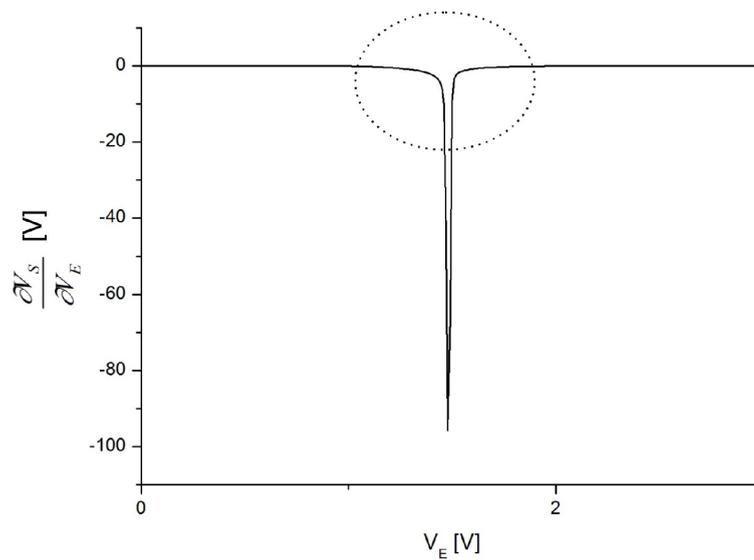


Figura 4.30: Primeira derivada da curva V_S x V_E de um inversor lógico SOI CMOS operando a 27°C com $\beta = 2$.

Em seguida, ampliando-se a região tracejada indicada na figura 4.30, localiza-se o valor -1 no eixo vertical, ou seja, onde $\frac{\partial V_s}{\partial V_E} = -1$. É traçada então uma linha horizontal (ilustrada em azul pontilhada na figura 4.31) e nos cruzamentos desta linha com a curva da primeira derivada é feito um rebatimento para o eixo horizontal, obtendo-se assim os respectivos valores de 1,29V e 1,58V. A figura 4.29 ilustra o processo.

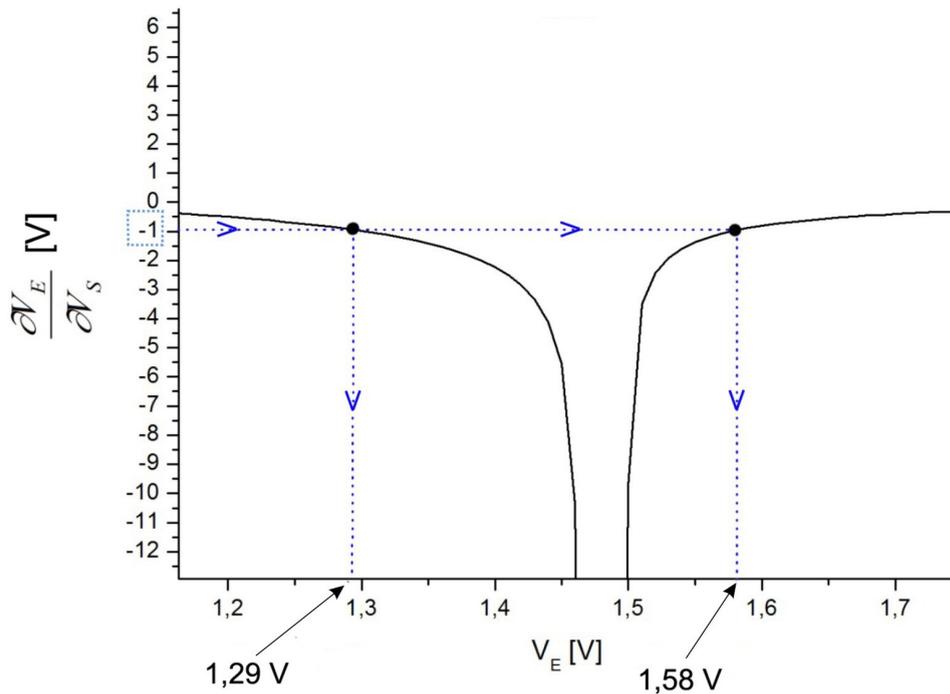


Figura 4.31: Obtenção dos valores de MRL e MRH da curva $\frac{\partial V_s}{\partial V_E} \times V_E$.

Com os valores extraídos na figura 4.31, retorna-se à figura 4.29, obtendo-se portanto os resultados indicados na figura 4.32.

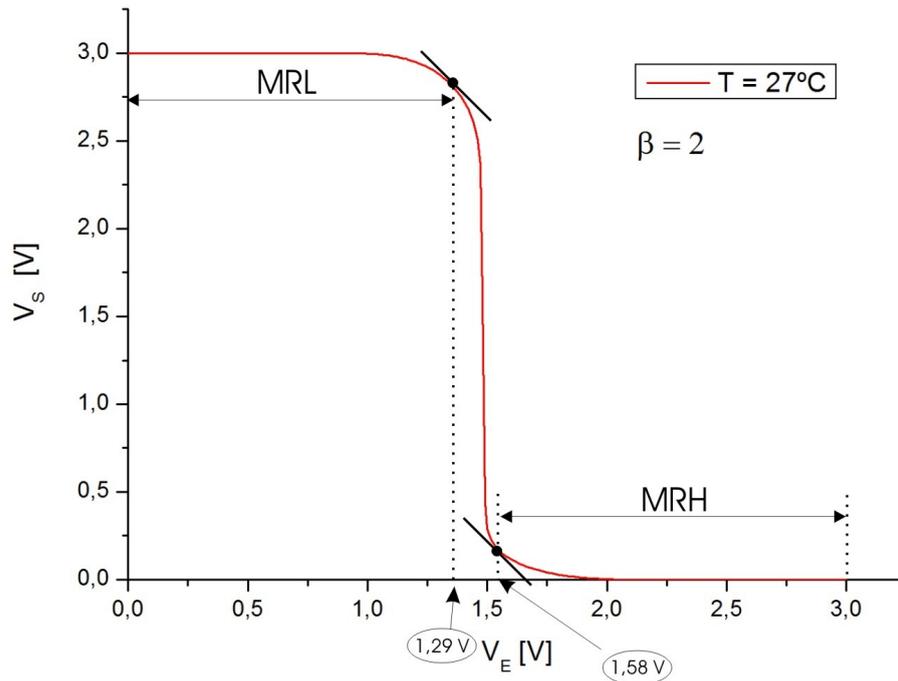


Figura 4.32: Curva de transferência estática de tensão V_s x V_E de um inversor lógico SOI CMOS operando a 27 °C com $\beta = 2$ indicando suas margens de ruído.

Nota-se que $MRL = 1,29V$. Entretanto, MRH é a diferença entre o valor de 1,58V e $V_{DD} = 3V$. Portanto, neste caso $MRH = 3 - 1,58 = 1,42V$.

Em seguida, utilizando-se as curvas estáticas V_s x V_E obtidas através de simulação, para $\frac{1}{4} \leq \beta \leq 3$, e variando-se a temperatura de 27°C a 300°C, utilizou-se do mesmo procedimento apresentado nas figuras 4.29 a 4.31, e obteve-se os valores de MRL e MRH. Os resultados obtidos são apresentados nas figuras 4.33 e 4.34.

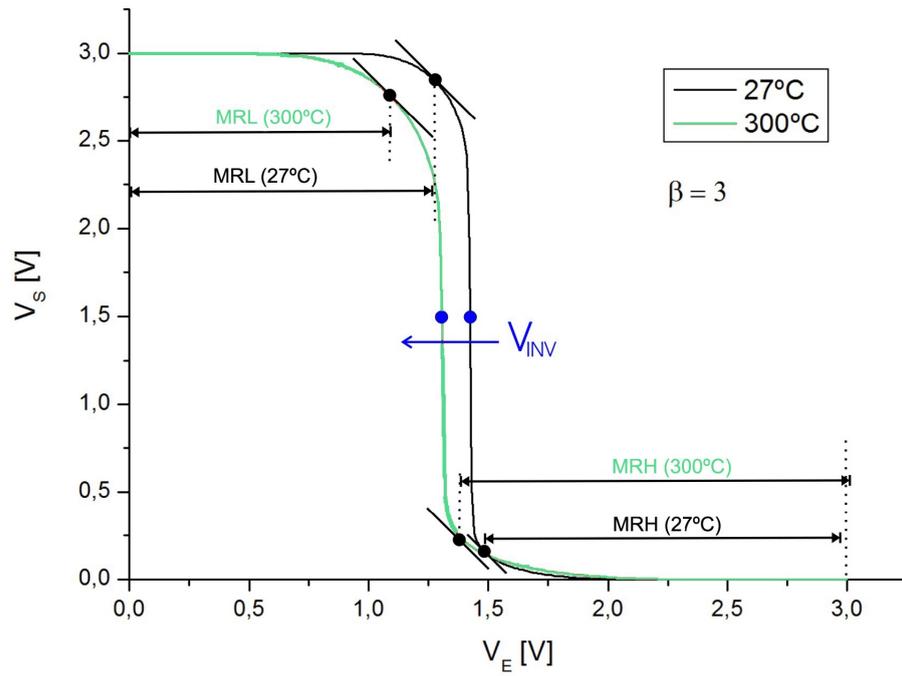


Figura 4.33: Curva de transferência estática de tensão de um inversor lógico SOI CMOS operando nas temperaturas de 27°C e 300°C, para $\beta = 3$.

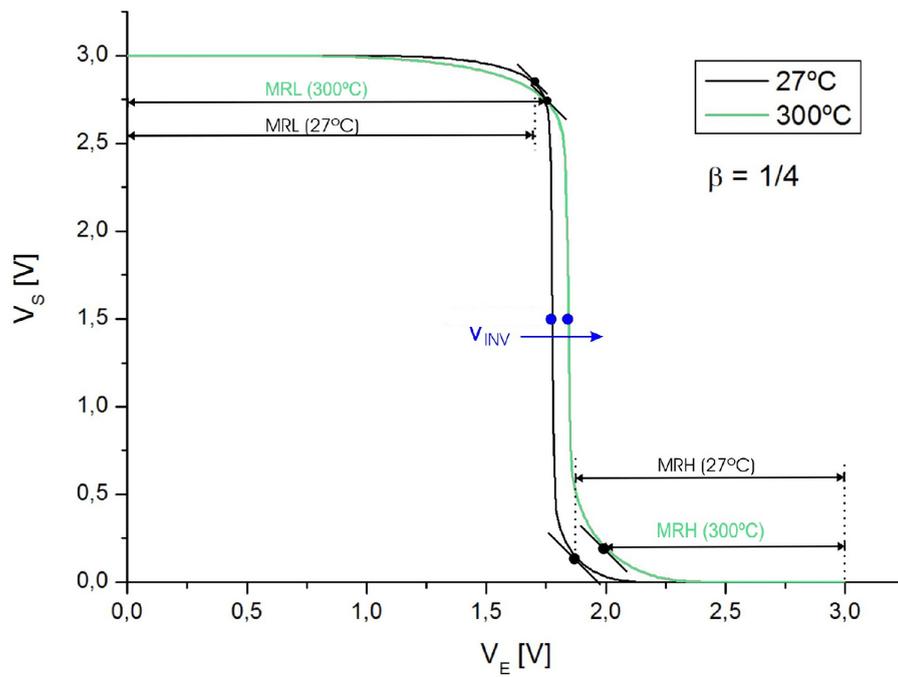


Figura 4.34: Curva de transferência estática de tensão de um inversor lógico SOI CMOS operando nas temperaturas de 27°C e 300°C, para $\beta = \frac{1}{4}$.

Analisando os resultados apresentados nas figuras 4.33 e 4.34, pode-se concluir que as margens de ruído possuem comportamento distinto de acordo com o valor de β e a variação da temperatura, assim como V_{INV} conforme já discutido anteriormente.

A seguir serão apresentadas duas figuras que ilustram o comportamento das margens de ruído para todos os valores de β estudados até o momento em função da temperatura.

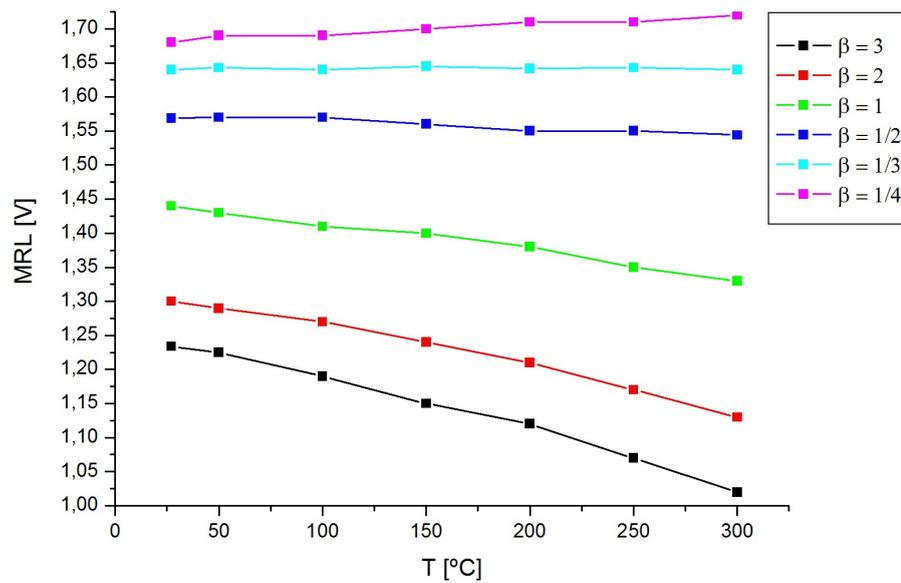


Figura 4.35: Curva MRL x T de um inversor lógico SOI CMOS operando de 27°C a 300°C.

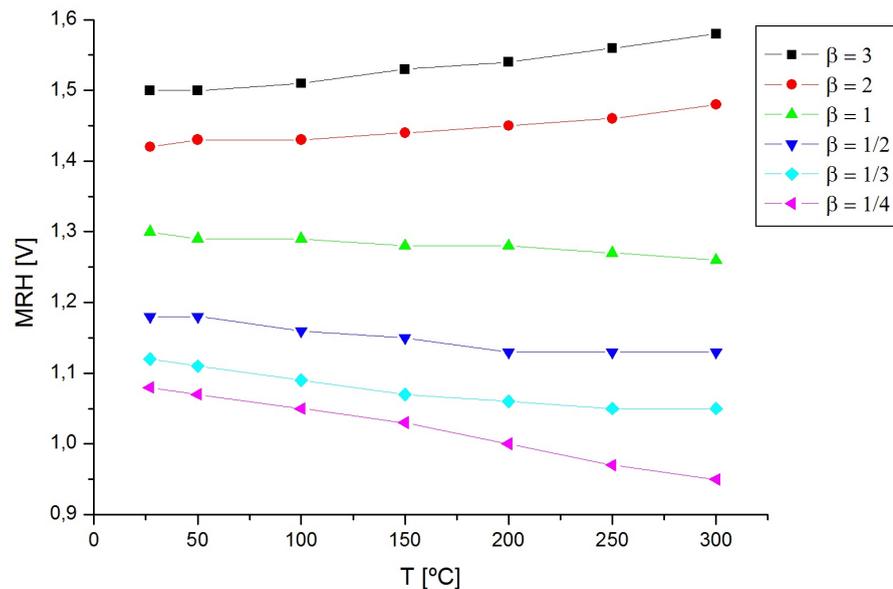


Figura 4.36: Curva MRH x T de um inversor lógico SOI CMOS operando de 27°C a 300°C.

Analisando-se os resultados apresentados na figura 4.35 conclui-se que MRL é praticamente constante para $\beta < \frac{1}{2}$. Para $\beta \geq 1$ MRL diminui, pois como já foi discutido nas curvas de transferência estáticas de tensão, V_{INV} desloca-se para a esquerda, o que faz MRL deslocar-se para a esquerda da mesma maneira.

Por outro lado, a partir dos resultados apresentados na figura 4.36 conclui-se que MRH é crescente para $\beta \geq 2$ pois analisando as curvas de transferência estáticas já estudadas, V_{INV} desloca-se para a esquerda, o que faz com que o MRH fique maior com o aumento da temperatura. Já para $\beta \leq 1$ nota-se que MRH diminui, pois analisando as curvas de transferência estática de tensão, V_{INV} é deslocado para a direita, o que faz MRH diminuir com o aumento da temperatura.

Portanto, conclui-se que o melhor valor de β encontrado é de valor igual a $\frac{1}{2}$.

Uma vez realizado o estudo do comportamento estático do inversor lógico sob investigação, o passo seguinte foi a realização de alguns estudos do comportamento deste inversor em comportamento dinâmico AC, conforme será descrito no capítulo a seguir.

5.0 ANÁLISE AC

Neste capítulo serão apresentados os resultados obtidos referentes ao estudo do inversor lógico SOI MOSFET operando desde 27°C até 300°C submetido às condições de operação dinâmica AC. Serão avaliados os efeitos causados pelo aumento temperatura de operação, especialmente na análise da resposta do circuito em função da frequência do sinal aplicado à entrada do inversor lógico em estudo.

A figura 5.1 ilustra o esquema elétrico do circuito que foi usado para esta análise.

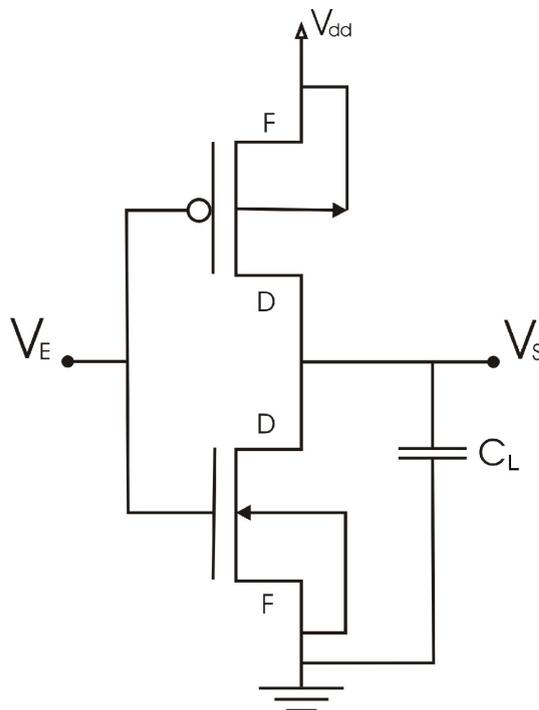


Figura 5.1: Esquema elétrico de um inversor lógico SOI CMOS com capacitor acoplado na saída do circuito.

A seguir serão apresentados alguns resultados obtidos através do simulador SPICE Icap4.

Ambos os transistores que formam o inversor possuem $W = 1\mu m$. Adotou-se um valor de $\beta = \frac{1}{4}$

apenas como exemplo. O capacitor de carga C_L acoplado à saída do circuito possui valor de 1pF, frequência do sinal aplicado na entrada é de 1 MHz e a temperatura de operação é de 27°C. A figura 5.2 ilustra o comportamento do inversor sob estas condições:

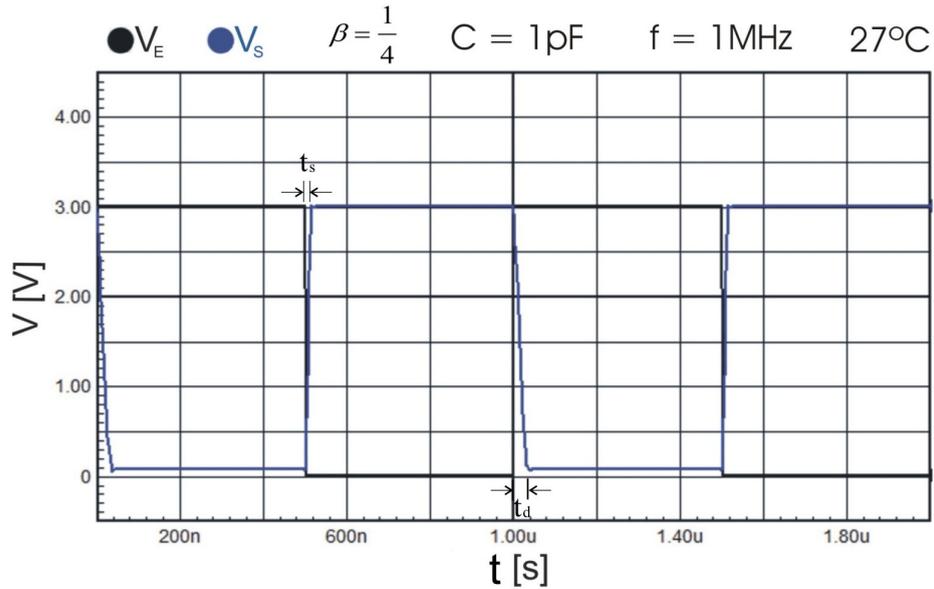


Figura 5.2: Curva de transferência dinâmica de um inversor lógico SOI CMOS operando a 27°C .

Analisando os resultados obtidos através da simulação que resultou na figura 5.2, nota-se que o comportamento do inversor lógico SOI CMOS é similar ao comportamento de um inversor CMOS convencional, onde por sua vez, o capacitor de carga apenas influenciou no tempo de resposta do dispositivo, indicados por t_s (tempo de subida) e t_d (tempo de descida).

A seguir será apresentado o efeito que a elevação da temperatura causa no circuito, mantendo-se a frequência de operação igual a 1MHz, a capacitância $C_L = 1\text{pF}$, porém elevando-se a temperatura de 27°C até 300°C . A figura 5.3 ilustra o comportamento do circuito operando nestas condições.

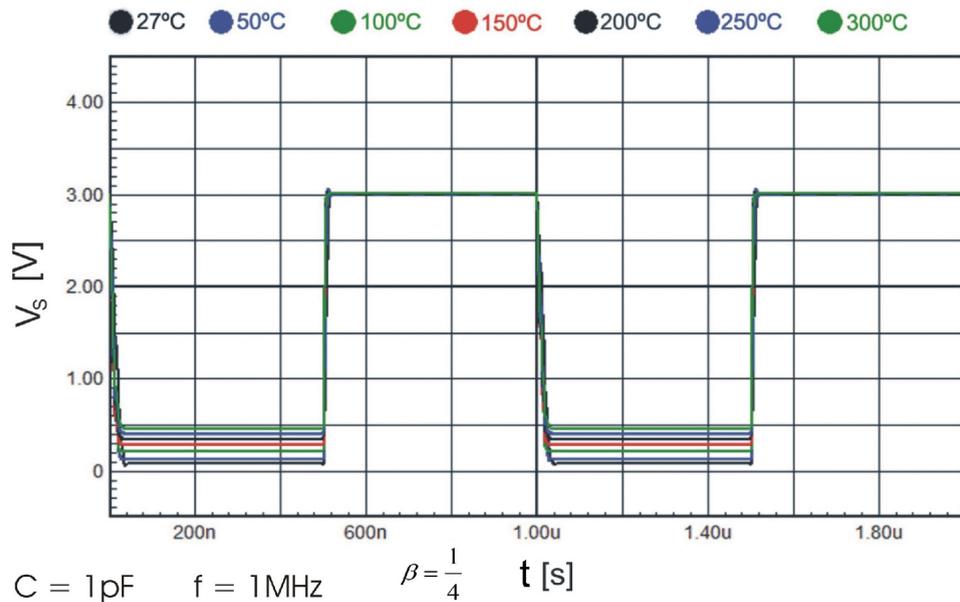


Figura 5.3: Curva de transferência dinâmica de um inversor SOI CMOS, operando de 27°C a 300°C,

$$\text{com } \beta = \frac{1}{4} \text{ e } f = 1 \text{ MHz.}$$

Analisando os resultados obtidos pela simulação do inversor lógico SOI CMOS apresentados pela figura 5.3, nota-se que a elevação da temperatura causa alterações na saída, ou seja, conforme a temperatura aumenta, o sinal de saída não consegue atingir 0V e seu valor torna-se cada vez maior com o aumento da temperatura.

A figura a seguir ilustra o comportamento do mesmo inversor estudado na figura 5.3, mantidas as mesmas condições de trabalho, em função da temperatura, porém com uma frequência de 100 Hz.

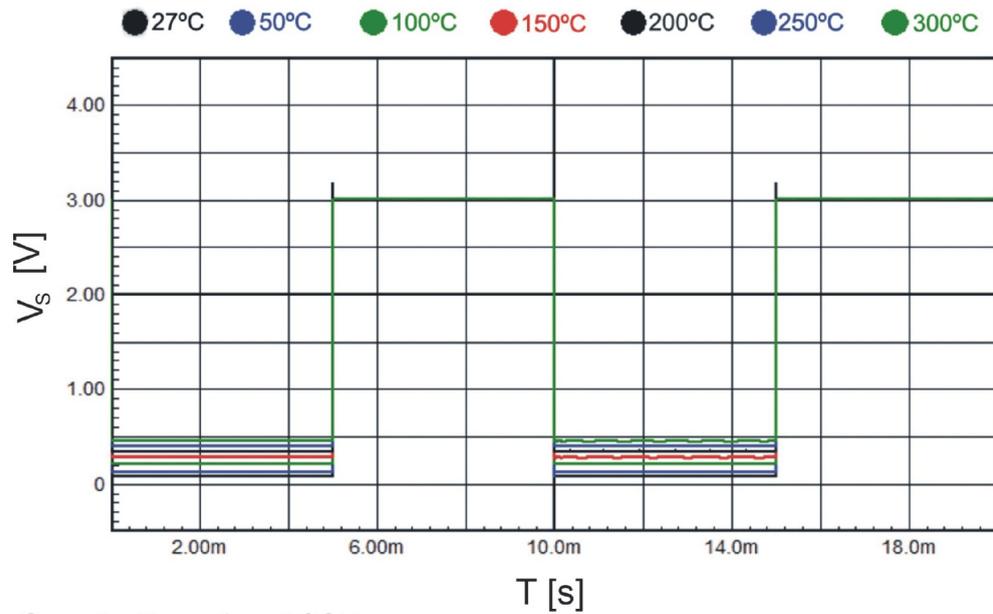


Figura 5.4: Curva de transferência dinâmica de um inversor SOI, operando de 27°C a 300°C, com

$$\beta = \frac{1}{4} \text{ e } f = 100 \text{ Hz.}$$

Após algumas simulações, observou-se que a curva $V_s \times t$ possui comportamento inconstante da sua tensão de saída com a elevação da temperatura, e o fator limitante notado foi o parâmetro β .

Para um estudo mais aprofundado sobre este efeito, foram efetuadas simulações com $\frac{1}{4} \leq \beta \leq 3$, capacitância e frequência mantidas constantes e iguais a 1pF e 1kHz respectivamente.

Os resultados apresentados nas curvas 5.5 a 5.10 ilustram o comportamento deste inversor lógico operando de 27 °C a 300 °C.

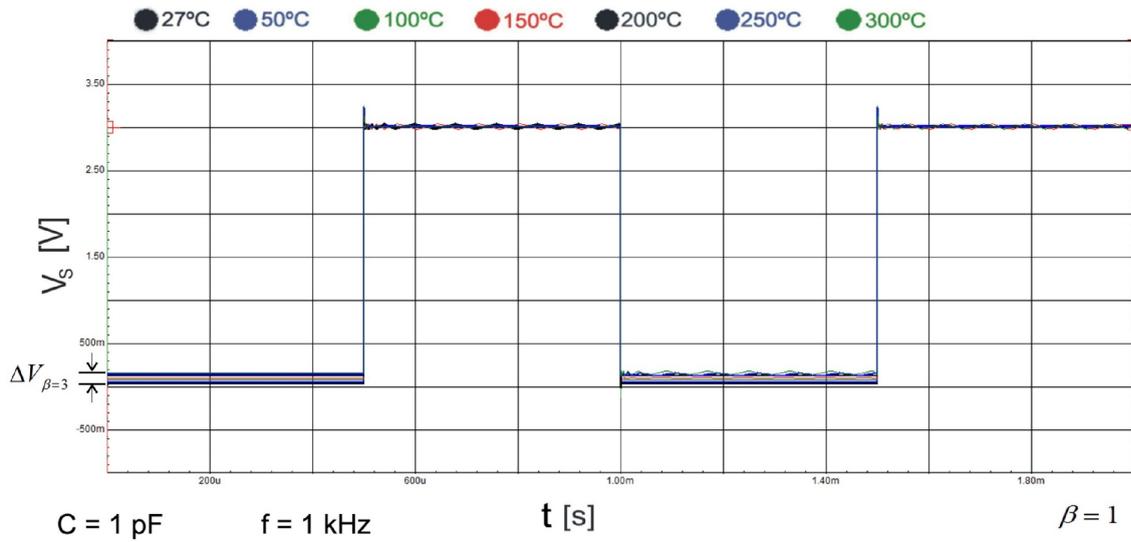


Figura 5.5: Curva de transferência dinâmica de um inversor SOI, operando de 27°C a 300°C com $\beta = 3$.

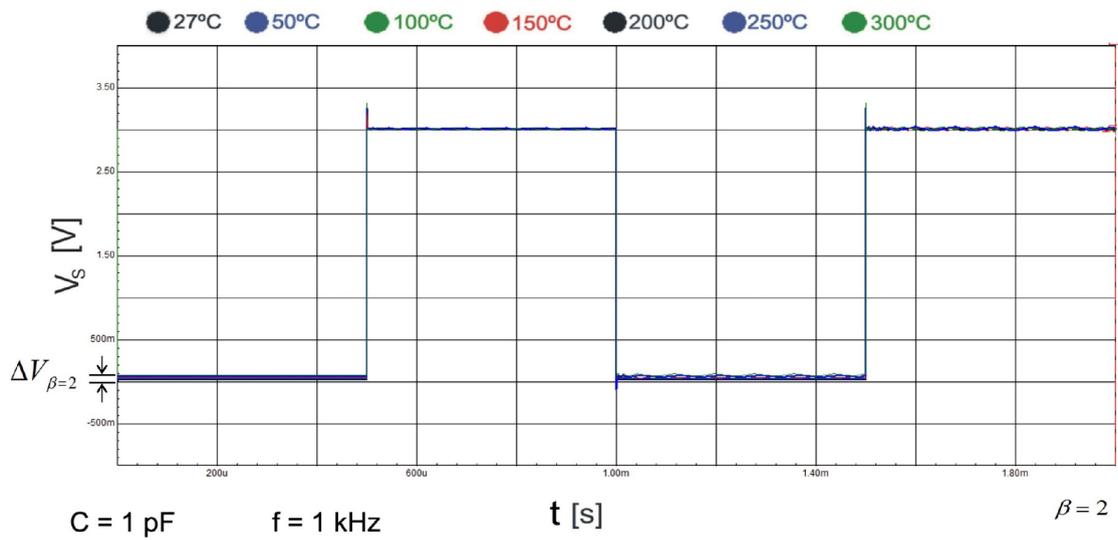


Figura 5.6: Curva de transferência dinâmica de um inversor SOI, operando de 27°C a 300°C com $\beta = 2$.

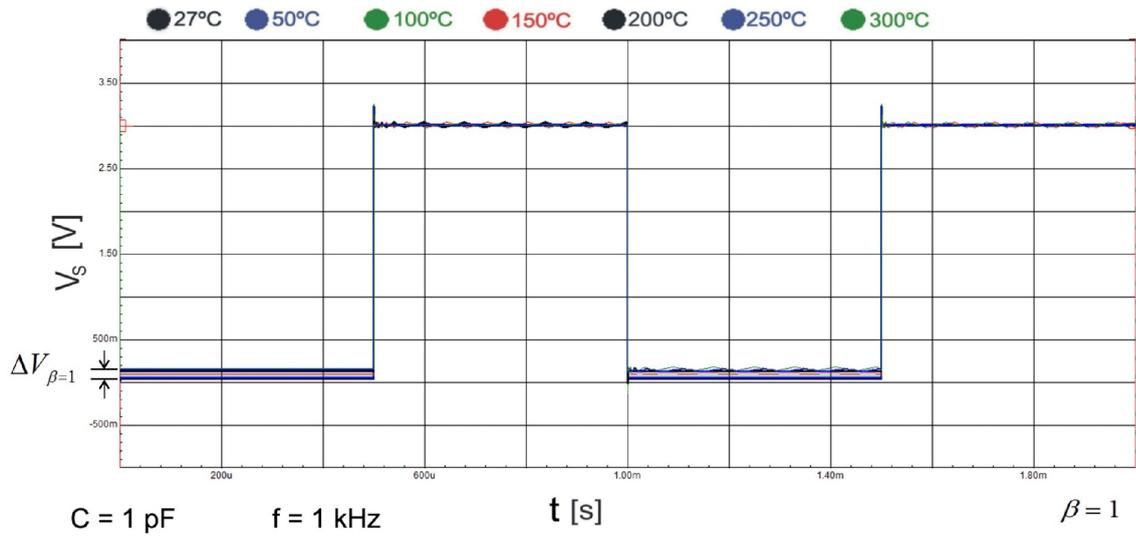


Figura 5.7: Curva de transferência dinâmica de um inversor SOI, operando de 27°C a 300°C com $\beta = 1$.

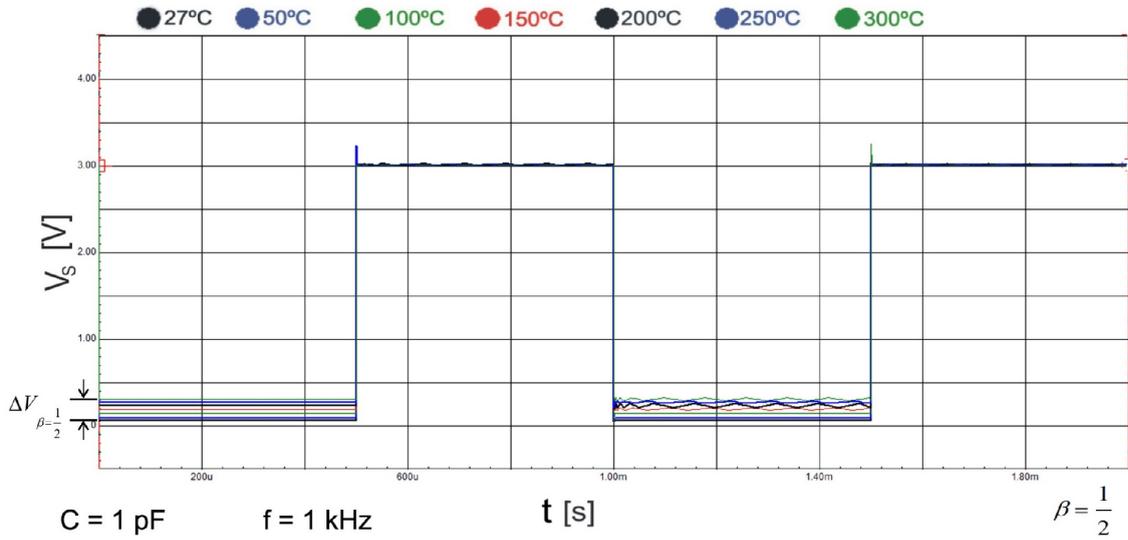


Figura 5.8: Curva de transferência dinâmica de um inversor SOI, operando de 27°C a 300°C com $\beta = \frac{1}{2}$.

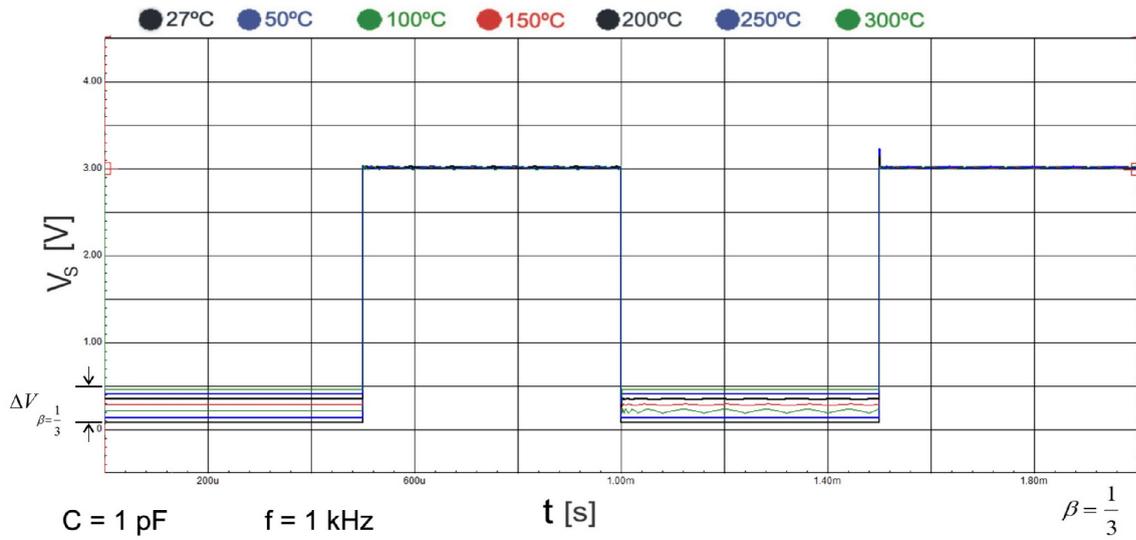


Figura 5.9: Curva de transferência dinâmica de um inversor SOI, operando de 27°C a 300°C com

$$\beta = \frac{1}{3}.$$

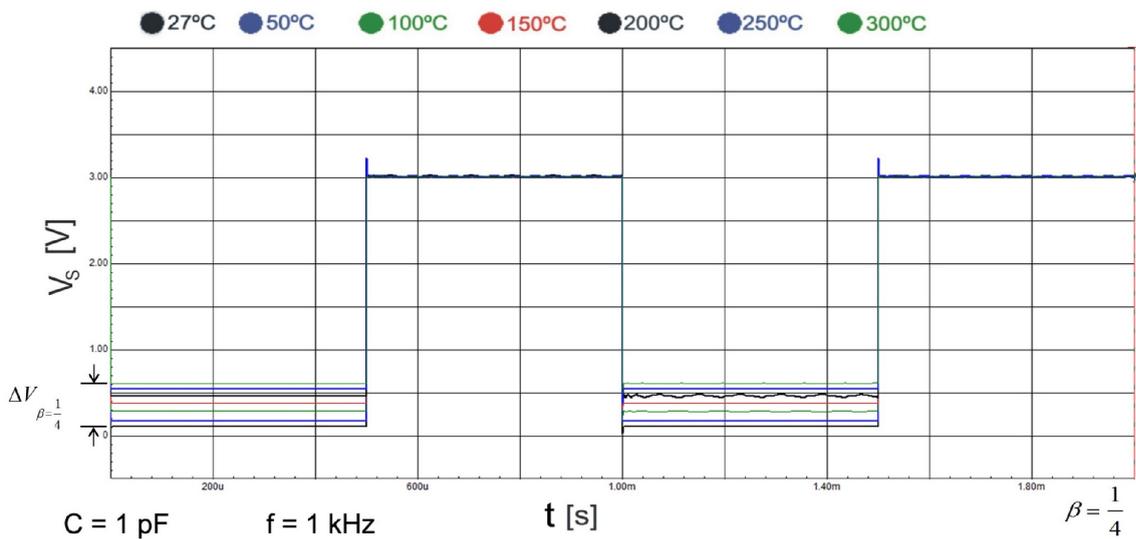


Figura 5.10: Curva de transferência dinâmica de um inversor SOI, operando de 27°C a 300°C com

$$\beta = \frac{1}{4}.$$

Observando o comportamento apresentado nas figuras 5.5 a 5.10, pode-se notar que com a redução de β e o aumento de T , V_S não consegue atingir o valor 0V no nível baixo de saída, indicando que aumentando-se L_n , a tensão de saída sofre maiores efeitos no nível baixo do sinal de saída com o aumento da temperatura. Nas figuras 5.5 a 5.10 nota-se também a indicação de um ΔV_β para cada conjunto de curvas, mostrando a variação do sinal de saída no nível baixo entre 27°C e 300°C. Estes valores de ΔV_β podem ser melhor analisados futuramente na figura 5.13.

Com o intuito de entender o porquê deste comportamento, foi analisado o circuito com mais detalhes, onde extraiu-se o valor de V_{DS} para o transistor nMOS em função da variação da temperatura de operação, para valores de $\frac{1}{4} \leq \beta \leq 3$ conforme ilustra a figura 5.11.

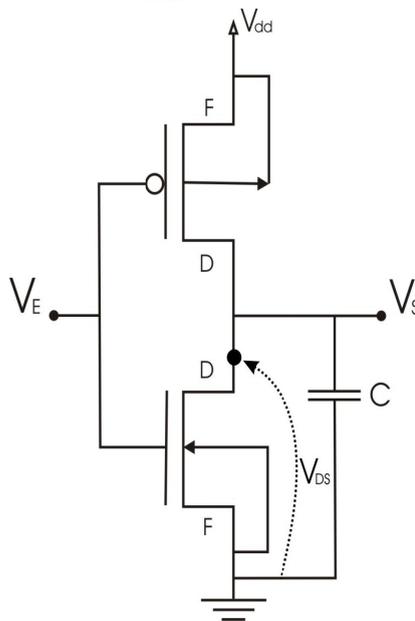


Figura 5.11: Representação esquemática de um inversor lógico SOI MOSFET com capacitor na saída.

Com os valores de V_{DS} obtidos através das simulações, plotou-se a curva ilustrada na figura 5.12, que é seguida da figura 5.13 onde é correlacionado com ΔV_β :

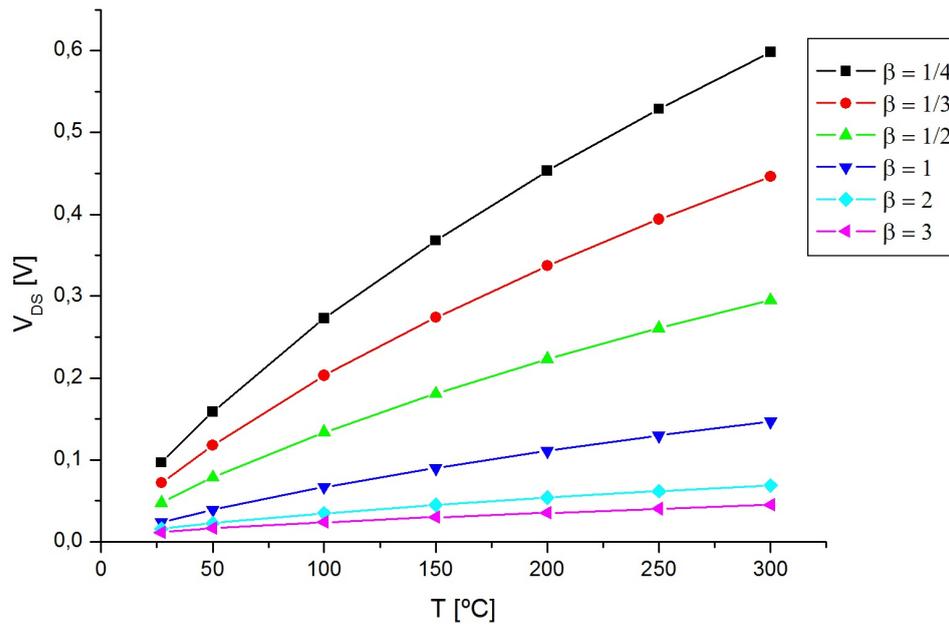


Figura 5.12: Curva V_{DS} x T operando de 27 °C a 300 °C para $\frac{1}{4} \leq \beta \leq 3$.

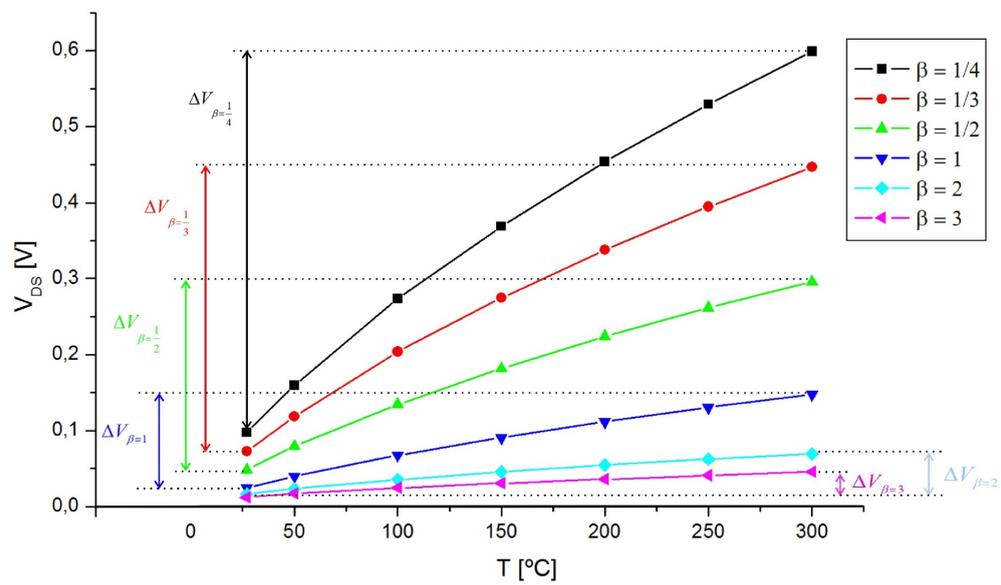


Figura 5.13: Curva V_{DS} x T indicando a variação da tensão ΔV entre 27 °C e 300 °C para $\frac{1}{4} \leq \beta \leq 3$.

Analisando os resultados descritos na figura 5.11 nota-se que, quanto menor o valor de β e consequentemente maior o valor de L_n , maior será a tensão V_{DS} no transistor nMOS com o aumento da temperatura. Também pode-se observar que o aumento de L_p pouco influencia a tensão de saída do inversor em nível baixo.

Analisando a figura 5.12, nota-se que os valores de ΔV_β indicados nas figuras 5.5 a 5.10 estão sumarizados na figura 5.13, o que fortalece a conclusão de que o transistor nMOS é o responsável pela alteração do sinal na saída em nível baixo com o aumento da temperatura.

Través da equação (5.1) nota-se que a resistência do canal do transistor nMOS (R_n) aumenta com o aumento de L_n .

$$R_n = \frac{V_{DD}}{\left(\frac{1}{2}\right)\mu_n C_{ox} \left(\frac{W}{L_n}\right) (V_{DD} - V_{th})^2 (1 + \lambda \cdot V_{DD})} \quad (5.1) [19]$$

Logo, sabendo-se a corrente que flui pelo transistor nMOS é constante (conforme foi observado em simulação), conclui-se que a tensão V_{DS} no transistor nMOS aumenta, conforme pode-se observar na figura 5.12.

6.0 CONCLUSÃO E TRABALHOS FUTUROS

Neste trabalho foram apresentados e estudados os efeitos causados pela elevação da temperatura em transistores e inversores SOI. Para cada dispositivo foram alterados parâmetros como comprimento de canal e dopagem do canal, e foram medidos parâmetros como tensão de limiar, tensão de inversão, margens de ruído em níveis alto e baixo e corrente.

Nos estudos referentes aos transistores, utilizou-se o simulador numérico bidimensional ATLAS, no qual obteve-se curvas $I_{DS} \times V_{DS}$ para a obtenção da tensão de limiar dos transistores nMOS e pMOS. Também utilizou-se o mesmo simulador para a obtenção das curvas estáticas do inversor, operando a temperaturas de 27°C a 300°C.

Nas simulações em questão, a largura dos dispositivos estudados foram sempre constantes e iguais a $1\mu m$. Após o casamento das tensões de limiar o único parâmetro alterado foi o comprimento do canal de ambos os transistores, e a partir daí obteve-se diversas curvas estáticas de tensão. Com estas simulações estáticas constatou-se que os comprimentos dos canais dos transistores que formam o inversor é um fator fundamental para as curvas de transferência estática (tensão e corrente) e dinâmica de tensão. Notou-se que para determinados valores de β o circuito é mais ou menos estável, e mais ou menos sensível (no que tange ao deslocamento de V_{INV} e I_{INV}) com o aumento da temperatura. Também constatou-se nas curvas estáticas $V_S \times V_E$ que para determinados valores β a tensão de inversão desloca-se para valores maiores, e determinados valores de β desloca-se para valores menores com o aumento da temperatura

A corrente que flui pelo inversor também foi analisada. Concluiu-se destes estudos que β é fator fundamental em seu comportamento, e quanto menor for o valor do mesmo, maior é a corrente que flui pelo inversor. Também notou-se que a corrente que flui pelo inversor é máxima, quanto menor forem os valores de L_p e L_n para uma relação de $\beta = 1$.

Também foram brevemente estudados os efeitos que a elevação da temperatura causam no inversor lógico operando em AC, utilizando-se o software SPICE Icap4. Parâmetros como capacitância de saída, frequência de operação e comprimentos de canais foram os fatores alterados. Percebeu-se que a capacitância e a frequência pouco alteram o funcionamento do

circuito quando submetido às altas temperaturas , quando comparada a um inversor lógico CMOS convencional. Porém, constatou-se novamente que β é determinante na curva de transferência dinâmica do inversor, e para valores de $\beta < 1$ a curva de transferência sofre grandes efeitos com o aumento da temperatura .

Como sugestão para a sequência deste trabalho é proposto um estudo mais aprofundado no que tange à confiabilidade do inversor. Suspeita-se que alterando as dimensões geométricas (largura e comprimento de canais), realizando simulações em 3D, e ajustando-se as dopagens dos canais, fonte e dreno, é possível se projetar um inversor lógico menos suscetível à alterações em sua resposta com o aumento da temperatura. Também seria alvo de estudo a associação deste circuito com outros circuitos, estudando-se assim os efeitos causados pela elevação da temperatura.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Colinge, Jean-Pierre.; Silicon-On-Insulator Technology: Materials to VLSI, Boston, Kluwer Academic Publishers, 3^a edition, 2004.
- [2] El-Mansy, Y.; IEEE Transactions on Electron Devices, vol.29, p567, 1997.
- [3] Klein, J. W.; Silicon and gallium arsenide in high temperature electronics applications, ISSSE Proceedings - URSI International Symposium on Signals, Systems and Electronics, p. 157-162, 1995.
- [4] Shoucair, F.S.; Analytical and experimental methods for zero-temperature-coefficient biasing of MOS transistors, Electronic Letters, Vol. 25, Edição 17, p. 1196-1198, 1989.
- [5] Manasevit H. M.; Simpson W. I. Single-Crystal Silicon on a Sapphire Substrate, Journal of Applied Physics, V. 35, no. 4, p. 1349-1351, 1964.
- [6] McDonald, J.A.; Proving they can take the heat, HTE Report, III - VS Review, Vol. 9, nº 5, p. 63-67, 1996.
- [7] Mokrushin, A. D.; Omeljanovskaja, N. M.; Leonov, A. V.; Mordkovich, V. N.; Pazhin, D. M. Radiation Effects in SOI Magnetic Sensitive Elements Under Different Radiation Conditions, Institute of Microelectronics Technology, Russian Academy of Sciences 142432 Chernogolovka, Moscow District, Russia.
- [8] Feixia Yu; Ming-C. Cheng. Electrothermal simulation of SOI CMOS analog integrated circuits, Solid State Electronics 51, p. 691-702, 2007.
- [9] Vasudev P. K.; Mayer D. C. Materials Research Society Symposia Proceedings, v. 33, p. 35, 1984.

- [10] Johnston C.; Crossley A. Strategies for High Temperature Electronics, High Temperature Electronics Network of Excellence AEA Technology Advanced Materials Centre, Begbroke Busines and Science Park, Sandy Lane, Yarnton, Oxford, OX5 1PF, UK.
- [11] ATLAS Device Simulation Framework, version 5.10.0.R, Silvaco International, 2005.
- [12] ICAPS Interactive Circuit Analysis Program Selector, version 8.x.11, Intusoft 1985-2007.
- [13] Almeida, L. M. Estudo do Comportamento da corrente de fuga em Transistores de Portas Circulares SOI MOSFET Operando em Altas Temperaturas, Centro Universitário da FEI, 2007.
- [14] Osman, A.A., Osman, M.A.; Dogan, N.S., Imam, M.A.; Zero-temperature-coefficient biasing point of partially depleted SOI MOSFETs, IEEE Transactions on Electron Devices, Vol. 42, nr. 9, p.1709-1711, 1995.
- [15] Tai, G. C.; Korman, C. E.; Mayergoyz, I. D. Simulation of the switching characteristics of hot-carrier-degraded ultra-thin SOI CMOS inverters.
- [16] Maria, J. Perspectives of SIMOX Technology, Ibis Technology Corporation, Danvers, MA 01923, USA.
- [17] Izumi, K. Proceedings of the Fourth International Symposium on Silicon On Insulator Technology and Devices, vol. 90-6, p.3, 1990.
- [18] Balestra, F. Performance and Reliability of Deep Submicron SOI MOSFETs in a Wide Temperature Range, Institut de Microélectronique, Electromagnétisme et Photonique.
- [19] Yousuf, D., Najeeb-ud-din, H., Modeling of floating β ratio of Inverter in Silicon-on-Insulator Technology, IEEE Transactions on Electron Devices, 2007.

- [20] Afentakis, T.; Hatalis, M. A simple analytical model for the dependence of the propagation delay of the polycrystalline silicon CMOS inverter on temperature, EECS Department, Lehigh University, Bethlehem, 2002.
- [21] Mathcad 12 User's Guide, Mathsoft Engineering & Education, 1994.
- [22] Martino, J. A.; Pavanello, M. A.; Verdonck, P. B. Caracterização Elétrica de Tecnologia e Dispositivos MOS, São Paulo, Pioneira Thomson Learning, p.108-109, 2003.
- [23] SELBERHERR, S. "Analysis and Simulation of Semiconductor Devices", Wien, New York: Springer-verlag, 1984.
- [24] KLASSEN, D. B. M. "A Unified Mobility Model for Devices Simulations - II - Temperature Dependence of Carrier Mobility and Lifetime", Solid State Electronics, vol. 35, no. 7, p. 961-967, 1992.
- [25] ROULSTON, D. J.; ARORA, N. D.; CHAMBERLAIN, S. G. "Modeling and Measurements of Minority-Carrier Lifetime versus Doping in Diffused Layers of n p Silicon Diodes", IEEE Transactions Electron Devices, vol. 29, p. 284-291, 1982.
- [26] CAUGHEY, D. M.; THOMAS, R. E. "Carrier Mobilities in Silicon Empirically Related to Doping and Field", Proc. IEEE 55, p. 2192-21-3, 1967.
- [27] WATT, T.; PLUMMER, J. D. "Universal Mobility-Field Curves for Electrons and Holes in MOS Inversion Layers" in Symposium on VLSI Technology, Karuizawa, Japão, 1987.
- [28] KLAASEN, D. B. M. "Unified Mobility Model for Devices Simulation - I-Model Equations and Concentration Dependence", Solid State Electronics, vol. 35, no. 7, p. 953-959
- [29] SHOCKLEY, W.; READ, W. T. "Statistics of the Recombination of Holes and Electrons", Physics. Rev., vol. 37, p. 835-842, 1952.

- [30] HALL, R. N. “Electron Hole Recombination in Germanium”, *Physics. Rev.*, vol. 87, p. 387, 1952.
- [31] SHIRATA, M.; KUSANO, H.; KOTANI, N.; KUSANOKI, S.; AKASAKA, Y. “A Mobility Model Including the Screening Effect in MOS Inversion Layer”, *IEEE Trans. Computer-Aided Design*, vol. 11, no. 9, p. 1114-1119, 1992.

APÊNDICE A

Para as simulações realizadas neste trabalho foram utilizados os seguintes modelos:

- **AUGER** : modelo de recombinação que ocorre com três partículas de transição onde o portador é capturado ou emitido. É utilizado em simulações que necessitam da presença das armadilhas de interface, além de ser importante para as altas densidades de corrente [23].
- **BGN** : modelo importante nas regiões com alta concentração de dopantes, além de modelar corretamente o ganho de corrente quando o SOIMOSFET comporta-se como transistor bipolar. Este modelo especifica o estreitamento de banda proibida com a variação da temperatura e deve ser utilizado com o modelo *Klaassen* (KLA) [24].
- **CONSRH** : modelo de recombinação *Shockley-Read-Hall* (SRH), onde o tempo de vida de portadores depende da concentração de dopantes e é recomendado para estruturas de silício [25].
- **FLDMOB** : modelo de mobilidade, que depende do campo elétrico paralelo, utilizado para modelagem de qualquer efeito relacionado à velocidade de saturação de portadores [26].
- **KLA** : modelo de mobilidade dependente da concentração de dopantes, temperatura de operação e fator de corpo dos dispositivos, como proposto pelas referências [27, 28]. Este modelo é aplicado para a mobilidade de portadores majoritários e minoritários da tecnologia SOI MOSFET e são utilizados para ajudar na obtenção da mobilidade máxima de portadores (elétrons e lacunas)[29].
- **SRH** : modelo de recombinação de portadores que ocorre na transição do dônion devido à presença das armadilhas dentro da banda proibida do semiconductor. É utilizado para correntes que existem devido à geração térmica [29, 30].

- **SHI** : modelo *Shirata*, é um modelo de mobilidade dependente da concentração de dopantes e campo elétrico transversal. Pode ser combinado com o modelo KLA como alternativa para o modelo de mobilidade de superfície, concentração de dopantes e efeito de corpo. Este modelo leva em conta os efeitos da camada de inversão para melhorar a dependência do campo elétrico perpendicular para uma espessura de óxido de porta fina [31].
- **ARORA** : modelo que baseia-se na fórmula Caughey-Thomas, que leva em consideração a dopagem e dependência da temperatura, pode ser utilizado para simulações para temperaturas de 77K a 450K. [25].

Arquivo de simulação do ATLAS para obtenção das curvas para o transistor nMOS.

```

go atlas

# Construcao da Grade

mesh    space.mult=1.0

x.mesh  loc=0.00    spac=0.05
x.mesh  loc=0.125   spac=0.05
x.mesh  loc=0.23    spac=0.002
x.mesh  loc=0.27    spac=0.002
x.mesh  loc=1.25    spac=0.4
x.mesh  loc=2.23    spac=0.002
x.mesh  loc=2.27    spac=0.002
x.mesh  loc=2.375   spac=0.05
x.mesh  loc=2.50    spac=0.05

y.mesh  loc=-0.003  spac=0.001
y.mesh  loc=0.010   spac=0.001
y.mesh  loc=0.020   spac=0.002
y.mesh  loc=0.030   spac=0.004
y.mesh  loc=0.230   spac=0.2

# Regiões da Estrutura

# CANAL
region    num=1    y.min=-0.003  y.max=0                oxide
region    num=2    x.min=0.25    x.max=2.25    y.min=0.0  y.max=0.03  silicon
region    num=3    y.min=0.03                oxide

# DRENO E FONTE
region    num=4    x.min=0.0    x.max=0.25    y.min=0    y.max=0.100  silicon
region    num=5    x.min=2.25    x.max=2.50    y.min=0    y.max=0.100  silicon

# Definicao dos Eletrodos do dispositivo

# #1-GATE #2-SOURCE #3-DRAIN #4-SUBSTRATE

electrode name=gate    x.min=0.25    x.max=2.25    y.min=-0.003  y.max=-0.003
electrode name=source  x.min=0.0     x.max=0.125   y.min=0        y.max=0.0
electrode name=drain   x.min=2.375   x.max=2.5     y.min=0        y.max=0.0

```

```

electrode      name=substrate bottom

# Definição de Dopagens

# CANAL
doping         uniform conc=5.0e18 p.type region=2 x.l=0.25 x.r=2.25

# FONTE E DRENO
doping         gauss n.type conc=1e20 char=0.2 lat.char=0.00304 reg=4 x.r=0.25
doping         gauss n.type conc=1e20 char=0.2 lat.char=0.00304 reg=5 x.l=.25

save           outf=nMOS(L=2).str

# Especificando as Propriedades de Interface

interf         qf=5e10          y.max=0.015
interf         qf=1e11          y.min=0.085

# Configuracao da Funcao Trabalho da Porta

contact name=gate n.poly
contact name=substrate workfunc=4.95

#####
models fldmob consrh arora bgn kla shi srh auger temp=300

method newton gummel autonr trap maxtrap=20 carriers=1

#####
solve init
solve prev

solve vdrain   =0
solve vsource  =0
solve vgate    =0
solve vsubstrate=0

# Subindo a tensão de Dreno

solve vdrain=1e-7
solve vdrain=1e-6
solve vdrain=1e-5
solve vdrain=1e-4
solve vdrain=1e-3
solve vdrain=1e-2

```

```
# Subindo a tensão de Porta

solve      vgate=-1e-7
solve      vgate=-1e-6
solve      vgate=-5e-6
solve      vgate=-1e-5
solve      vgate=-5e-5
solve      vgate=-1e-4
solve      vgate=-1e-3
solve      vgate=-0.1
solve      vgate=-0.2
solve      vgate=-0.3
solve      vgate=-0.5

# Levantamento da curva IDXVG para Temp.=300K e VD=200mV

method     newton gummel autonr trap maxtrap=10 carriers=2
log        outf=nMOS(L=1_canal(5e18_300k).log master
solve      vgate=-0.5 vfinal=1.2 vstep=0.02 name=gate

quit
```

- Arquivo de simulação do ATLAS para obtenção das curvas para o transistor pMOS.

```

#

go atlas

# Construcao da Grade

mesh    space.mult=1.0

x.mesh  loc=0.00    spac=0.05
x.mesh  loc=0.125  spac=0.0125
x.mesh  loc=0.23    spac=0.002
x.mesh  loc=0.27    spac=0.002
x.mesh  loc=0.75    spac=0.05
x.mesh  loc=1.23    spac=0.002
x.mesh  loc=1.27    spac=0.002
x.mesh  loc=1.375  spac=0.025
x.mesh  loc=1.5     spac=0.05

y.mesh  loc=-0.003  spac=0.001
y.mesh  loc=0.010   spac=0.001
y.mesh  loc=0.020   spac=0.002
y.mesh  loc=0.030   spac=0.004
y.mesh  loc=0.230   spac=0.2

# Regiões da Estrutura

# CANAL
region   num=1    y.min=-0.003  y.max=0                oxide
region   num=2    x.min=0.25    x.max=1.25    y.min=0.0  y.max=0.03  silicon
region   num=3    y.min=0.03                    oxide

# DRENO E FONTE
region   num=4    x.min=0.0     x.max=0.25    y.min=0     y.max=0.03  silicon
region   num=5    x.min=1.25    x.max=1.5     y.min=0     y.max=0.03  silicon

# Definicao dos Eletrodos do dispositivo

# #1-GATE #2-SOURCE #3-DRAIN #4-SUBSTRATE

electrode  name=gate    x.min=0.25    x.max=1.25    y.min=-0.003  y.max=-0.003
electrode  name=source  x.min=0.0     x.max=0.125    y.min=0        y.max=0.0
electrode  name=drain   x.min=1.375    x.max=1.5     y.min=0        y.max=0.0

```

```

electrode      name=substrate bottom

# Definição de Dopagens

# CANAL
doping         uniform conc=5.0e16  n.type  region=2  x.l=0.25  x.r=1.25

# FONTE E DRENO
doping         gauss  p.type  conc=1e20  char=0.2  lat.char=0.00304  reg=4  x.r=0.25
doping         gauss  p.type  conc=1e20  char=0.2  lat.char=0.00304  reg=5  x.l=1.25

save          outf=pMOS(L=1_5e16).str

# Especificando as Propriedades de Interface

interf        qf=5e10          y.max=0.015
interf        qf=1e11          y.min=0.085

# Configuracao da Funcao Trabalho da Porta

contact name=gate n.poly
contact name=substrate workfunc=4.95

#####
models consrh arora bgn kla shi srh auger temp=300

method newton gummel autonr trap maxtrap=20 carriers=2
#####
solve init
solve prev

solve vdrain    =0
solve vsource   =0
solve vgate     =0
solve vsubstrate=0

# Subindo a tensão de Dreno

solve          vdrain=-1e-7
solve          vdrain=-1e-6
solve          vdrain=-1e-5
solve          vdrain=-1e-4
solve          vdrain=-1e-3
solve          vdrain=-5e-3
solve          vdrain=-1e-2

```

```
# Subindo a tensão de Porta
```

```
solve      vgate=1e-8
solve      vgate=1e-7
solve      vgate=1e-6
solve      vgate=1e-5
solve      vgate=1e-4
solve      vgate=1e-3
solve      vgate=1e-2
solve      vgate=1e-1
solve      vgate=2e-1
solve      vgate=4e-1
solve      vgate=5e-1
```

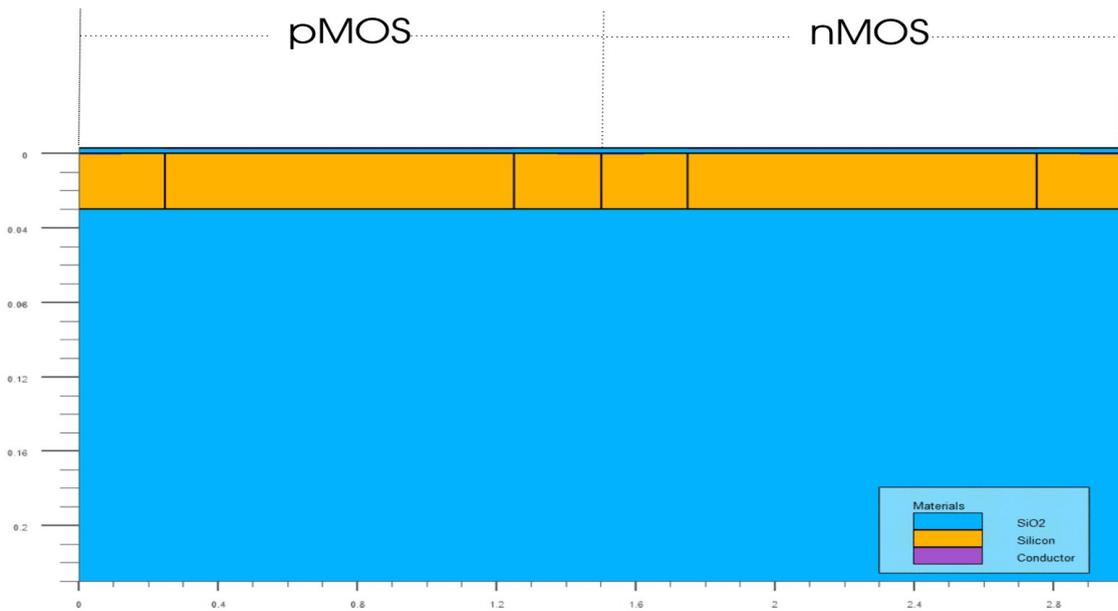
```
# Levantamento da curva IDXVG para Temp.=273K e VD=200mV
```

```
method      newton gummel autonr trap maxtrap=10 carriers=2
log          outf=pMOS300(L=1_5e16).log master
solve       vgate=0.5 vfinal=-1.4 vstep=-0.02 name=gate
```

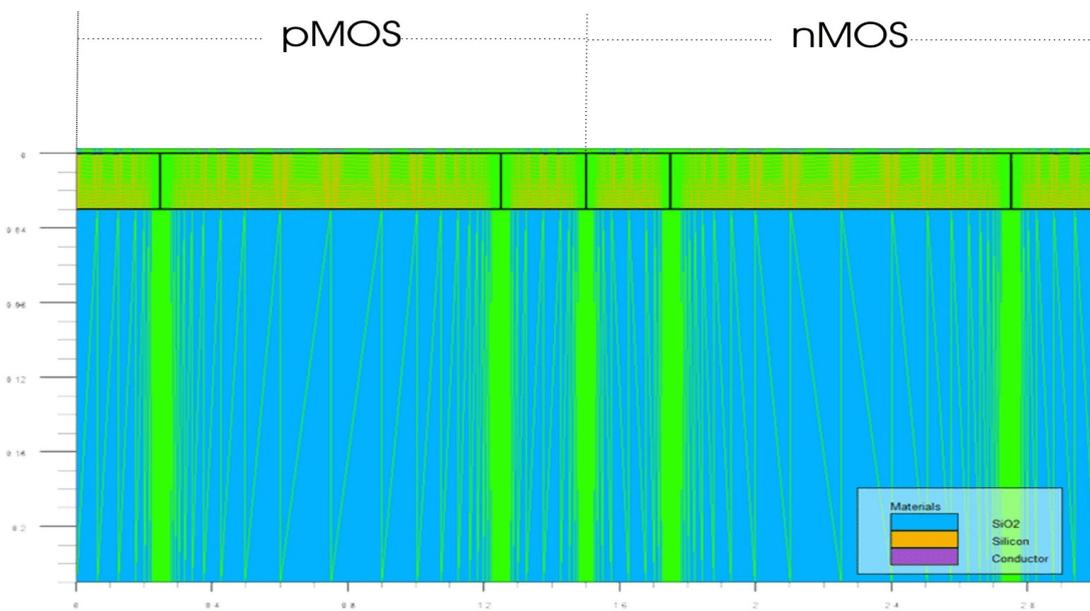
```
quit
```

- Arquivo de simulação do ATLAS para obtenção das curvas estáticas do inversor SOI com $\beta = 1$, sendo $L_p = L_n = 1\mu m$.

Dispositivo simulado no software ATLAS:



Grade de simulação:



Arquivo de simulação para temperatura de 300k:

#

go atlas

Construcao da Grade

mesh space.mult=1.0

```
x.mesh loc=0.0      spac=0.05
x.mesh loc=0.125    spac=0.05
x.mesh loc=0.23     spac=0.002
x.mesh loc=0.27     spac=0.002
x.mesh loc=0.75     spac=0.15
x.mesh loc=1.23     spac=0.002
x.mesh loc=1.27     spac=0.002
x.mesh loc=1.375    spac=0.05
x.mesh loc=1.48     spac=0.002
x.mesh loc=1.52     spac=0.002
x.mesh loc=1.625    spac=0.05
x.mesh loc=1.73     spac=0.002
x.mesh loc=1.77     spac=0.002
x.mesh loc=2.25     spac=0.15
x.mesh loc=2.73     spac=0.002
x.mesh loc=2.77     spac=0.002
x.mesh loc=2.875    spac=0.05
x.mesh loc=3.0      spac=0.05
```

```
y.mesh loc=-0.003  spac=0.001
y.mesh loc=0.010   spac=0.001
y.mesh loc=0.030   spac=0.002
y.mesh loc=0.230   spac=0.2
```

Regiões da Estrutura

CANAL (pMOS)

```
region      num=1  y.min=-0.003  y.max=0.0
oxide
region      num=2  x.min=0.25    x.max=1.25    y.min=0.0  y.max=0.03  silicon
region      num=3  y.min=0.03
```

DRENO E FONTE (pMOS)

```
region      num=4  x.min=0.0    x.max=0.25    y.min=0    y.max=0.03  silicon
region      num=5  x.min=1.25   x.max=1.5     y.min=0    y.max=0.03  silicon
```

```

#CANAL (nMOS)
region      num=6    x.min=1.75    x.max=2.75    y.min=0        y.max=0.03    silicon

# DRENO E FONTE (nMOS)
region      num=7    x.min=1.5     x.max=1.75    y.min=0        y.max=0.03    silicon
region      num=8    x.min=2.75    x.max=3.0     y.min=0        y.max=0.03    silicon

###Definicao dos Eletrodos do dispositivo

##1-GATE #2-SOURCE #3-DRAIN #4-SUBSTRATE

electrode   name=gate    x.min=0.25    x.max=1.25    y.min=-0.003   y.max=-0.003
electrode   name=gate    x.min=1.75    x.max=2.75    y.min=-0.003   y.max=-0.003
electrode   name=vdd     x.min=0.0     x.max=0.125   y.min=0.0
y.max=0.0
electrode   name=vout    x.min=1.375   x.max=1.625   y.min=0.0
y.max=0.0
electrode   name=gnd     x.min=2.875   x.max=3.0     y.min=0.0      y.max=0.0
electrode   name=substrate bottom

## Definição de Dopagens

# CANAL (pMOS)
doping      uniform conc=6.0e16 n.type region=2 x.l=0.25 x.r=1.25

# FONTE E DRENO (pMOS)
doping      gauss  p.type  conc=1e20 char=0.2 lat.char=0.00304 reg=4 x.l=0.0
x.r=0.25
doping      gauss  p.type  conc=1e20 char=0.2 lat.char=0.00304 reg=5 x.l=1.25
x.r=1.5

# CANAL (nMOS)
doping      uniform conc=5.0e18 p.type region=6 x.l=1.75 x.r=2.75

# FONTE E DRENO (nMOS)
doping      gauss  n.type  conc=1e20 char=0.2 lat.char=0.00304 reg=7 x.l=1.5
x.r=1.75
doping      gauss  n.type  conc=1e20 char=0.2 lat.char=0.00304 reg=8 x.l=2.75
x.r=3.0

save      outf=Inversor(PMOS=1_NMOS=1).str

```

```

# Especificando as Propriedades de Interface

interf      qf=5e10      y.max=0.015
interf      qf=1e11      y.min=0.085

# Configuracao da Funcao Trabalho da Porta

contact name=gate n.poly
contact name=substrate workfunc=4.95
contact name=vout current

#####
models consrh arora bgn kla shi srh auger temp=300

method newton gummel autonr trap maxtrap=20 carriers=2
#####
solve init
solve prev

solve vgn      =0
solve vsubstrate =0
solve vgate    =0

#Polarizando Vdd

solve      vvdd=1e-7
solve      vvdd=1e-6
solve      vvdd=1e-5
solve      vvdd=1e-4
solve      vvdd=1e-3
solve      vvdd=1e-2
solve      vvdd=1e-1
solve      vvdd=2e-1
solve      vvdd=3e-1
solve      vvdd=5e-1
solve      vvdd=6e-1
solve      vvdd=7e-1
solve      vvdd=9e-1
solve      vvdd=1.0
solve      vvdd=1.2
solve      vvdd=1.4
solve      vvdd=1.6
solve      vvdd=1.8
solve      vvdd=2.0
solve      vvdd=2.2
solve      vvdd=2.4
solve      vvdd=2.6

```

```
solve      vvdd=2.8  
solve      vvdd=3.0
```

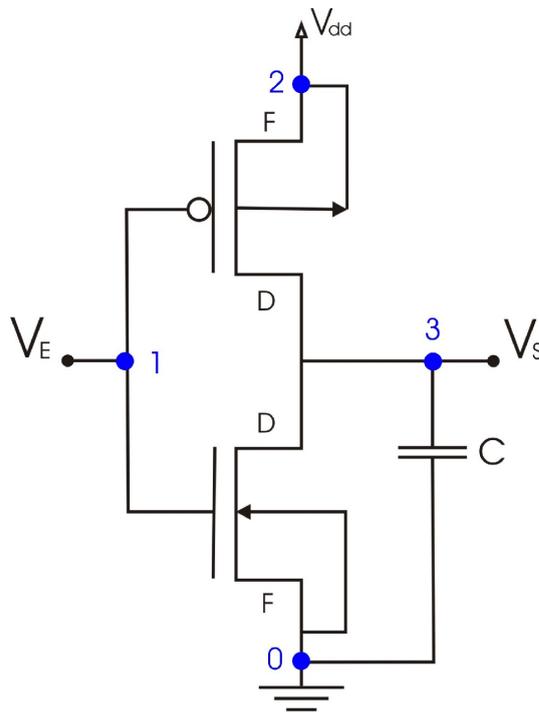
```
#LEvantamento da Curva
```

```
log        outf=Inversor_300K(PMOS=1_NMOS=1).log master  
solve      vgate=0.0 vfinal=3.0 vstep=0.01 name=gate  
output     vectors  
save       outf=Inversor_300K-polariz(PMOS=1_NMOS=1).str
```

APÊNDICE B

- Arquivo de simulação no software SPICE ICAP4 para o inversor SOI em análise AC

Esquema elétrico do circuito simulado:



Arquivo de simulação:

INVERSOR SOI OPERANDO EM ALTAS TEMPERATURAS

** TENSÃO DE ALIMENTAÇÃO

VDD 2 0 3

* PULSO APLICADO NA ENTRADA DO CIRCUITO

```
VIN 1 0 PULSE(0 3 1ps 1ps 1ps 0.5mS 1mS)
```

```
*CAPACITOR DE SAÍDA
```

```
CL 3 0 1pF
```

```
*TRANSISTORES nMOS e pMOS
```

```
AM1 3 1 2 2 psoi
```

```
AM2 3 1 0 0 nsoi
```

```
*** Transistors Models
```

```
* n-channel
```

```
.model nsoi fdsoin(w=1e-6 l=4e-6 temp=300 tof=3n tob=200n tb=30n nsub=5e18)
```

```
.model psoi fdsoip(w=1e-6 l=1e-6 temp=300 tof=3n tob=200n tb=30n nsub=6e16)
```

```
.CONTROL
```

```
OP
```

```
SHOW ALL
```

```
.ENDC
```

```
.TRAN 1mS 2mS
```

```
.PRINT TRAN V(1)
```

```
.PLOT TRAN V(1)
```

```
.PRINT TRAN V(3)
```

```
.PLOT TRAN V(3)
```

```
.END
```