CENTRO UNIVERSITÁRIO DA FEI

ANDRÉ LUIZ PERIN

ESTUDO DE MODELOS DE MOBILIDADE PARA SIMULAÇÃO DE DISPOSITIVOS DE MÚLTIPLAS PORTAS

São Bernardo do Campo

2011

ANDRÉ LUIZ PERIN

ESTUDO DE MODELOS DE MOBILIDADE PARA SIMULAÇÃO DE DISPOSITIVOS DE MÚLTIPLAS PORTAS

Dissertação de Mestrado apresentada ao Centro Universitário da FEI para a obtenção do título de Mestre em Engenharia Elétrica, orientado pelo Prof. Dr. Renato Camargo Giacomini

São Bernardo do Campo

2011

Perin, André Luiz.
Estudo de modelos de mobilidade para simulação de dispositivos de múltiplas portas / André Luiz Perin. São Bernardo do Campo, 2011.
92 f. : il.

Dissertação - Centro Universitário da FEI.
Orientador: Prof. Dr. Renato Camargo Giacomini

1. Mobilidade. 2. Dispositivos de múltiplas portas. 3. FinFet. 4. SOI. 5. Nanotecnologia. I. Giacomini, Renato Camargo, orient. II. Título.

CDU 621.382

Centro Universitário da **FEI**

APRESENTAÇÃO DE DISSERTAÇÃO
ATA DA BANCA JULGADORA

PGE- 10

Programa de Mestrado de Engenharia Elétrica

Aluno: André Luiz Perin Matrícula: 1101021

Título do Trabalho: **ESTUDO DE MODELOS DE MOBILIDADE PARA SIMULAÇÃO DE DISPOSITIVOS DE MÚLTIPLAS PORTAS.**

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof. Dr. Renato Camargo Giacomini

ORIGINAL ASSINADA

Data da realização da defesa: 13 / dezembro / 2011

A Banca Julgadora abaixo-assinada atribuiu ao candidato o seguinte:

APROVADO ☒ REPROVADO ☐

São Bernardo do Campo, 13 / dezembro / 2011.

MEMBROS DA BANCA JULGADORA

Prof. Dr. Renato Camargo Giacomini

Ass.: _____

Prof. Dr. Marcelo Antonio Pavanello

Ass.: _____

Prof. Dr. Sandro Martini

Ass.: _____

VERSÃO FINAL DA DISSERTAÇÃO

ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS RECOMENDAÇÕES DA BANCA EXAMINADORA

_____

Aprovação do Coordenador do Programa de Pós-graduação

_____

Prof. Dr. Carlos Eduardo Thomaz

Dedico este trabalho à minha família, que é o principal motivo de eu querer fazer as escolhas certas.

AGRADECIMENTOS

Ao meu orientador Prof. Dr. Renato Camargo Giacomini, grande amigo e mentor, que me deu força nos momentos certos, metas para poder desenvolver o trabalho e objetivos para serem alcançados.

À Profa. Paula Ghedini Der Agopian que me ajudou, incentivou, compartilhou as atividades ao longo deste período e foi muito importante para a conclusão deste trabalho.

Aos professores Dr. Marcelo Antonio Pavanello, Dra. Michelly de Souza, Dr. Marcello Bellodi e Dr. Salvador Pinillos Gimenez pela dedicação, disponibilidade e pelos ensinamentos fundamentais para o desenvolvimento deste trabalho.

À minha esposa Rosangela e à minha filha Ana Luiza que participaram desse processo e me deram a motivação necessária para sempre continuar.

À Arianne e aos amigos que nesse período participaram e compartilharam as aulas, as agendas, as alegrias e as tristezas.

À Fundação Educacional Inaciana Pe. Sabóia de Medeiros, pela apoio financeiro indispensável para a realização deste trabalho.

Assim como lavamos o corpo deveríamos lavar o destino, mudar de vida como mudamos de roupa — não para salvar a vida, como comemos e dormimos, mas por aquele respeito alheio por nós mesmos, a que propriamente chamamos asseio.

Fernando Pessoa

RESUMO

A utilização da tecnologia SOI ajudou a melhorar a escalabilidade dos transistores mas, com a redução das dimensões, permaneceram relevantes alguns efeitos adversos e indesejáveis. Esses efeitos impulsionaram o desenvolvimento e a produção em massa de dispositivos de múltiplas portas, que possuem estruturas tridimensionais. Tais estruturas utilizam diversos planos cristalinos nas interfaces do silício com o dielétrico e, com isso, alguns parâmetros elétricos, como a mobilidade, possuem valores diferentes nas várias interfaces definidas.

Neste trabalho é proposto um modelo de mobilidade de elétrons, desenvolvido com o objetivo de calcular a mobilidade em função das possíveis variações da orientação cristalina da superfície em um dispositivo tridimensional. Variações desse modelo foram aplicadas aos transistores *surrounding gate* CYNTHIA e *triple-gate* do tipo nMOS. Foi realizada a implementação do modelo em um simulador numérico tridimensional. Também foram realizadas simulações com os dois tipos de dispositivos, os resultados comparados a valores experimentais e aos resultados de simulações feitas com o uso de modelos bidimensionais adaptados para simuladores tridimensionais, com o objetivo de calibrar o modelo e validar seus resultados.

Os resultados obtidos com o uso do modelo proposto possibilitaram a visualização de parâmetros elétricos que não poderiam ser observados com o uso dos modelos bidimensionais convencionais.

Palavras chave: Mobilidade, Dispositivos de Múltiplas Portas, FinFET, SOI, Nanotecnologia.

ABSTRACT

The use of SOI technology has helped to improve the scalability of transistors but some effects have become more relevant with this reduction in size. These effects have boosted the development and mass production of multi-gate devices, which have three-dimensional structures. The three-dimensional structures use different crystal plane orientation at the silicon-dielectric interface and, therefore, some electrical parameters, such as mobility, have different values in the different defined interfaces.

This paper proposes a mobility model, developed in order to compute the mobility of the surface due to the possible variation on crystal orientation in a three-dimensional device. Variations of this model applied to a nMOS surrounding gate transistor CYNTHIA and a nMOS triple-gate transistor. The model was implemented in a three-dimensional numerical simulator, and simulations were performed with both types of devices, the results were compared with experimental values and the results of simulations using two-dimensional models adapted to three-dimensional simulator in order to calibrate the model and validate its results.

The results obtained using the proposed model allowed the visualization of the electrical parameters that could not be obtained with the use of two-dimensional conventional models.

Keywords: Mobility, Multiple Gate Devices, FinFET, SOI, Nanotechnology.

LISTA DE FIGURAS

Figura 1 - Átomos de silício com dopantes: a) Arsênico e, b) Boro. 26
Figura 2 - Células cristalinas básicas: a) Cúbica Simples, b) Cúbica de Corpo Centrado e, c) Cúbica de Face Centrada. 27
Figura 3 - Organizações cristalinas básicas: a) Célula cristalina tipo diamante; b) Ligações covalentes dos átomos de silício. Adaptado de SZE, 2007 28
Figura 4 - Planos definidos pelos índices de Miller: a) (100), b) (010), c) (001), d) (110) e, e) (111)....29
Figura 5 - Definição de direção conforme o método de Miller 30
Figura 6 - Orientação cristalina no silício: a) {100}, b) {110} e c) {111} 31
Figura 7 -Corte transversal de um transistor: a) convencional e b) SOI 32
Figura 8 - Transistor DGSOI planar 34
Figura 9 - Estruturas dos transistores de porta dupla: a) DELTA MOSFET e b) FinFET 34
Figura 10 - Estruturas dos transistores MOSFET de porta tripla: a) Triple-gate, b) Π-gate e c) Ω-gate 35
Figura 11 - Transistores MOSFET tipo *"surrounding gate"*: a) seção retangular, b) seção circular, c) *"Multi-Bridge Channel"*, d) *"Pillar"* e, e) CYNTHIA 37
Figura 12 - Curva de transição entre a superfície e o corpo do dispositivo 51
Figura 13 - Mobilidade dependente da posição e do ângulo da interface 52
Figura 14 - Curvas de transcondutância obtidas para valores de α de 0 a 45º 54
Figura 15 - Mobilidade efetiva normalizada em função do ângulo α 55
Figura 16. Seção transversal do transistor CYNTHIA 56
Figura 17 - Transistor circular CYNTHIA 57
Figura 18 - Definição de regiões de mobilidade no transistor triple-gate 59
Figura 19 - Transistor triple-gate 60
Figura 20. Valores de corrente de dreno dos transistores CYNTHIA obtidos com a simulação dos modelos proposto e analytic para os diâmetros de: a) 20nm, b) 30nm, c) 45nm, d) 55nm, e e) 65nm. 63

Figura 21. Valores de transcondutância dos transistores CYNTHIA obtidos com a simulação dos modelos proposto e analytic para os diâmetros de: a) 20nm, b) 30nm, c) 45nm, d) 55nm, e e) 65nm. 64
Figura 22 - Mobilidade mostrada na seção transversal do dispositivo CYNTHIA 65
Figura 23. Perfis de mobilidade em função do ângulo de referência da seção transversal do transistor CYNTHIA. 66
Figura 24 - Campo elétrico na seção transversal do dispositivo CYNTHIA 66
Figura 25 - Potencial na seção transversal do dispositivo CYNTHIA 67
Figura 26 - Densidade de corrente de elétrons na seção transversal do dispositivo CYNTHIA 68
Figura 27. Densidade de corrente na seção transversal do dispositivo CYNTHIA de diâmetro 20nm polarizado abaixo da inversão. 69
Figura 28. Densidade de corrente na seção transversal do dispositivo CYNTHIA de diâmetro 20nm polarizado na tensão de limiar. 69
Figura 29. Densidade de corrente na seção transversal do dispositivo CYNTHIA de diâmetro 20nm polarizado em inversão forte. 70
Figura 30 - Curvas de corrente dreno e transcondutância normalizadas pela largura dos transistores 72
Figura 31 - Distribuição da mobilidade pelo corpo do dispositivo para os modelo proposto (a) e adaptado 2D (b). 73
Figura 32 - Seção transversal do dispositivo simulado dividida em três regiões. 73
Figura 33 - Densidade de corrente de elétrons para os modelo proposto (a) e adaptado 2D (b). 74
Figura 34 - Distribuição do campo elétrico para o dispositivo simulado 74
Figura 35. Distribuição do campo elétrico para o transistor com polarização abaixo da tensão de limiar. 75
Figura 36. Distribuição do campo elétrico para o transistor polarizado na tensão de limiar. 76
Figura 37. Distribuição do campo elétrico para o transistor com polarização acima da tensão de limiar. 76

Figura 38. Distribuição da mobilidade ao longo do perímetro da aleta em distâncias da interface diferentes. 77

LISTA DE TABELAS

Tabela 1 - Coeficientes de ajuste de $\mu_s(\alpha)$ 52

Tabela 2 - Valores de gm_{max} em função do ângulo α 54

LISTA DE SÍMBOLOS

A	Área da seção transversal da região do canal [cm^2]
A_n	Coeficientes dos termos ímpares utilizados no simulador [adimensional]
a	Aceleração [m/s^2]
a_0	Coeficiente inicial dos termos ímpares da série de Fourier [adimensional]
a_n	Coeficientes dos termos ímpares da série de Fourier [adimensional]
B	Coeficientes de ajuste do resultado utilizado no simulador [adimensional]
b_n	Coeficientes dos termos pares da série de Fourier [adimensional]
C	Parâmetro de ajuste utilizado no simulador [adimensional]
C_{depl}	Capacitância da região de depleção por unidade de área [F/cm^2]
CI	Concentração de dopantes [cm^{-3}]
C_{ox}	Capacitância do óxido de porta do transistor MOS por unidade de área [F/cm^2]
C_{oxb}	Capacitância do óxido enterrado por unidade de área [F/cm^2]
C_{oxf}	Capacitância do óxido de porta do transistor SOI por unidade de área [F/cm^2]
C_{ref}	Concentração de dopantes de referência [cm^{-3}]
C_{Si}	Capacitância da camada de silício por unidade de área [F/cm^2]
dn	Variação na quantidade de elétrons [adimensional]
dt	Intervalo de tempo [s]
dv	Variação da velocidade [m/s]
D_n	Coeficiente de difusão para elétrons no corpo do transistor [cm^2/s]
E_C	Nível de energia inferior da faixa de condução [eV]
E_F	Nível de Fermi do semicondutor [eV]
E_{FM}	Nível de Fermi do metal/eletrodo de porta [eV]
E_{FB}	Nível de Fermi do metal/eletrodo de substrato [eV]
E_g	Largura da faixa proibida [eV]
E_i	Nível intrínseco [eV]
E_V	Nível de energia superior da faixa de valência [eV]
F	Força [N]
$F_{ang}(\alpha)$	Equação que define a degradação da mobilidade em função do ângulo [adimensional]

$F(y)$	Equação de transição de mobilidade em função da distância da interface [adimensional]
gm	Transcondutância do transistor [S]
$gm_{máx}$	Transcondutância máxima do transistor [S]
gm/I_{DS}	Relação entre a transcondutância e a corrente de dreno do transistor MOS [V^{-1}]
H_{Fin}	Altura da aleta de silício em transistores FinFETs [m]
I_{DS}	Corrente entre dreno e fonte [A]
$I_{DS.sat}$	Corrente de saturação entre dreno e fonte [A]
$I_{DS}/(W/L)$	Corrente normalizada entre dreno e fonte [A]
k	Constante de Boltzmann [1,38066 x 10^{-23} J/K]
L	Comprimento de máscara do canal do transistor [m]
Ln	Comprimento de difusão dos elétrons [m]
m	massa [kg]
m_e^*	massa efetiva dos elétrons [kg]
m_h^*	massa efetiva das lacunas [kg]
N_A	Concentração de impurezas aceitadoras em um semicondutor [cm^{-3}]
N_D	Concentração de impurezas doadoras em um semicondutor [cm^{-3}]
n	Concentração de elétrons [cm^{-3}]
n_i	Concentração intrínseca de portadores [cm^{-3}]
n(t)	Quantidade de elétrons em um determinado momento [adimensional]
n(t0)	Quantidade de elétrons no momento inicial [adimensional]
p	Concentração de lacunas [cm^{-3}]
pos_x	Coordenadas do ponto da grade da simulação no eixo x [μm]
pos_y	Coordenadas do ponto da grade da simulação no eixo y [μm]
q	Carga elementar do elétron [1,6 x 10^{-19} C]
Q_D	Carga de depleção na camada de silício [C/cm^2]
Q_{depl}	Carga de depleção na camada de silício [C/cm^2]
Q_{invf}	Carga de inversão no óxido de porta por unidade de área [C/cm^2]
Q_{oxf}	Carga fixa no óxido de porta por unidade de área [C/cm^2]
Q_{SB}	Carga do silício no substrato por unidade de área [C/cm^2]
R_{CYN}	Raio do transistor CYNTHIA [μm]

r	Hipotenusa calculada em função das coordenadas x e y da grade [μm]
S	Inclinação de sublimiar [mV/déc]
T	Temperatura absoluta [K]
T_0	Temperatura de referência [K]
T_L	Temperatura da rede cristalina [K]
t0	Instante inicial [s]
t_{box}	Espessura do óxido enterrado [m]
t_{Si}	Espessura da camada de silício [m]
t_{oxf}	Espessura do óxido de porta [m]
v(t0)	Velocidade inicial [cm/s]
v_d	velocidade de deriva [cm/s]
v_{dn}	velocidade de deriva dos elétrons [cm/s]
v_{dp}	velocidade de deriva das lacunas [cm/s]
V_B	Tensão aplicada ao substrato do transistor convencional [V]
V_{DS}	Tensão entre dreno e fonte [V]
V_{FBF}	Tensão de faixa plana da estrutura MOS da primeira interface [V]
V_G	Tensão aplicada entre porta e fonte do transistor de múltiplas portas [V]
V_{GB}	Tensão aplicada ao substrato do transistor SOI [V]
V_{GF}	Tensão aplicada entre a primeira porta e a fonte do transistor SOI [V]
V_{GS}	Tensão alternada aplicada entre porta e fonte do transistor [V]
V_{GT}	Sobre-tensão de condução [V]
V_{th}	Tensão de limiar de porta do transistor MOSFET convencional [V]
$V_{th,VB=0}$	Tensão de limiar de porta do transistor MOSFET convencional, adicionando a dependência com a polarização de substrato [V]
V_{thf}	Tensão de limiar de porta do transistor SOI MOSFET [V]
$V_{thf,accB}$	Tensão de limiar de porta do transistor SOI MOSFET com a segunda interface acumulada [V]
$V_{thf,deplB}$	Tensão de limiar de porta do transistor SOI MOSFET com a segunda interface depletada [V]

$V_{thf,invB}$	Tensão de limiar de porta do transistor SOI MOSFET com a segunda interface invertida [V]
$x_{d.máx}$	Profundidade máxima da região de depleção [m]
y	Distância posição até a interface do silício com o dielétrico [cm]
y_{ref}	Distância de referência da interface do silício com o dielétrico [cm]
W	Largura de máscara do canal do transistor [m]
α	Ângulo do plano de corrente [rad]
$\alpha_{n,p}$	coeficiente de ajuste da temperatura para espalhamento de rede [adimensional]
$\beta_{n,p}$	coeficiente de ajuste da temperatura para espalhamento de rede [adimensional]
γ	Constante de efeito de corpo. [$V^{1/2}$] em transistores convencionais. [adimensional] em transistores SOI.
δ	Coeficiente de ajuste do elétrico [V/cm]
ε_{ox}	Permissividade do óxido de silício [3,45 x 10^{-13} F/cm]
ε_{Si}	Permissividade do silício [1,06 x 10^{-12} F/cm]
E	Campo elétrico [V/cm]
E_c	Campo elétrico crítico [V/cm]
$E_{\perp}$	Campo elétrico perpendicular [V/cm]
E_{ref}	Campo elétrico de referência [V/cm]
μ	Mobilidade [cm^2/V.s]
μ_0	Mobilidade inicial sem considerar os efeitos de degradação por campo elétrico [cm^2/V.s]
$\mu_{0n,p}$	Mobilidade do silício intrínseco para elétrons e lacunas [cm^2/V.s]
$\mu_{0min.n,p}$	Mobilidade mínima considerada para elétrons e lacunas [cm^2/V.s]
μ_b	Mobilidade dos elétrons no núcleo do dispositivo [cm^2/V.s]
μ_{CCS}	Mobilidade em função do espalhamento portador-portador [cm^2/V.s]
$\mu_{Ln,p}$	Mobilidade em função do espalhamento da rede para elétrons e lacunas [cm^2/V.s]
$\mu_{LIn,p}$	Mobilidade em função do espalhamento da rede e da concentração de impurezas ionizadas, para elétrons e lacunas [cm^2/V.s]

$\mu_{LISn,p}$ Mobilidade em função do espalhamento da rede, da concentração de impurezas ionizadas e da superfície, para elétrons e lacunas [cm^2/V.s]

μ_{max} Mobilidade efetiva para campo elétrico baixo [cm^2/V.s]

$\mu_{min.n,p}$ Mobilidade mínima considerada para elétrons e lacunas [cm^2/V.s]

μ_n Mobilidade dos elétrons na região do canal [cm^2/V.s]

μ_p Mobilidade das lacunas na região do canal [cm^2/V.s]

μ_{pos} Mobilidade dos elétrons em função da posição [cm^2/V.s]

μ_s Mobilidade dos elétrons na interface do silício com dielétrico [cm^2/V.s]

$\mu_s(\alpha)$ Mobilidade dos elétrons na interface do silício com dielétrico em função do ângulo da orientação do cristal [cm^2/V.s]

μ_{vs} Mobilidade dos elétrons na interface do silício com dielétrico [cm^2/V.s]

ϕ_F Potencial de Fermi da camada de silício [V]

ϕ_{MS} Função trabalho do metal-silício [V]

ϕ_S Potencial de superfície do transistor [V]

τ_n Tempo de vida dos portadores elétrons [s]

τ_p Tempo de vida dos portadores lacunas [s]

LISTA DE ABREVIATURAS

2D	Bidimensional
3D	Tridimensional
BOX	Buried OXide
CMOS	Complementary Metal-Oxide-Semiconductor
DELTA	fully DEpleted Lean-channel TrAnsistor
DIBL	Drain-Induced Barrier Lowering
DG	Double-Gate
FD	Fully depleted
FinFET	Fin Field Effect Transistor
IMEC	Interuniversity Microelectronics Center
MBCFET	Multi-Bridge Channel MOSFET
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor
MUGFET	Multiple Gate Field Effect Transistor
NFD	Nearly Fully Depleted
PD	Partially Depleted
SCEs	Short Channel Effects
SOI	Silicon-On-Insulator
MOS	Metal-Oxide-Semiconductor
TG	Triple-Gate

SUMÁRIO

1 INTRODUÇÃO 21

1.1 Apresentação do Trabalho 24

2 CONCEITOS BÁSICOS 25

2.1 Semicondutores 25

2.1.1 Estruturas Cristalinas 27

2.1.2 Orientações cristalinas 28

2.1.3 Periodicidade da Orientação do Cristal 30

2.2 Tecnologia SOI 31

2.2.1 Transistores SOI Planares 31

2.2.2 Transistores SOI de Múltiplas Portas 33

2.3 Mobilidade 37

2.3.1 Relação entre Mobilidade e Velocidade Média de Deriva 38

2.3.2 Mecanismos de espalhamento 40

2.3.3 Cálculo da mobilidade inicial 44

3 SIMULAÇÃO NUMÉRICA COMPUTACIONAL DE DISPOSITIVOS 46

3.1 Processo de Simulação 46

3.2 Modelos de Mobilidade 47

4 MODELO DE MOBILIDADE PROPOSTO 49

***4.1* Modelo Simplificado de Mobilidade de Elétrons Que Considera o Impacto da Orientação da Interface Silício-Dielétrico para Dispositivos *Surrounding Gate* 56**

4.2 Modelo Simplificado Tridimensional de Mobilidade de Elétrons para Dispositivos de Porta Tripla 59

5 RESULTADOS OBTIDOS 62

5.1 Simulação do transistor CYNTHIA.....62

5.2 Simulação do transistor de porta tripla.....71

6 CONCLUSÕES.....78

REFERÊNCIAS.....80

APÊNDICE A - TRABALHOS PUBLICADOS.....83

APÊNDICE B - ARQUIVO DE SIMULAÇÃO DO DISPOSITIVO CIRCULAR.....84

APÊNDICE C - CÓDIGO C PARA O MODELO DE MOBILIDADE.....86

APÊNDICE D - ARQUIVO PARA CONSTRUÇÃO DA ESTRUTURA 3D.....88

APÊNDICE E - ARQUIVO PARA SIMULAÇÃO DO DISPOSITIVO 3D.....91

1 INTRODUÇÃO

A adoção da tecnologia do silício sobre isolante (*Silicon-on-Insulator* - SOI) na fabricação de dispositivos permitiu o desenvolvimento de transistores menores e com melhor desempenho. Entretanto, efeitos indesejáveis decorrentes do contínuo escalamento para dimensões muito pequenas, comumente chamados de efeitos de canal curto, permaneceram importantes e uma das soluções possíveis para esse problema reside no uso de transistores de múltiplas portas (COLINGE, 2007). Recentemente uma das maiores empresas do ramo de fabricação de processadores, a Intel, anunciou a produção em larga escala de transistores de porta tripla, chamados de Tri-Gate, no seu novo chip denominado *"Ivy Bridge"* (INTEL, 2011).

Os dispositivos de múltiplas portas, do inglês *Multiple-Gate Field Effect Transistors* (MuGFETs) são dispositivos com duas (double-gate), três (triple-gate) ou quatro portas (quadruple-gate), que normalmente são conectadas no mesmo potencial. Um dispositivo em particular, denominado CYNTHIA, consiste em um transistor vertical com a porta construída em volta de uma coluna de silício de seção circular.

A orientação cristalina dos planos da interface do silício com o dielétrico de porta deve ser levada em consideração nas simulações de MuGFETs, porque a mobilidade dos portadores depende da orientação desses planos e não somente direção da corrente, como tem sido modelado nos diversos trabalhos disponíveis na literatura (MEREU et al., 2006).

Um transistor de porta tripla, tipo FinFET por exemplo, possui tipicamente a orientação dos planos de corrente em (100) para o topo do dispositivo e (110) nos planos das laterais do canal. O transistor de porta circular CYNTHIA possui a direção da corrente em <100> e a interface muda continuamente sua orientação conforme a geometria cilíndrica da porta. Apesar desse dispositivo possuir a interface silício-dielétrico definida por uma superfície cilíndrica, o ângulo considerado pode ser aproximado para o ângulo de um plano de tangência em um determinado ponto da superfície da interface, e os mesmos efeitos de degradação dos dispositivos planares podem ser aplicados pontualmente (BASU et al., 2006).

A mobilidade efetiva pode ser reduzida em até 60% (GOEBEL et al, 2001) em função da orientação da direção da corrente e da orientação cristalina do plano de interface e, por isso, um modelo de simulação que leve em consideração essas características é necessário.

Alguns simuladores comerciais de dispositivos eletrônicos computam a influência da direção da corrente na mobilidade. Porém, nenhum deles considera a orientação dos planos das portas dos dispositivos simulados, até agora, o que leva alguns pesquisadores a desenvolverem soluções paliativas, como dividir o transistor em várias regiões com valores diferentes de mobilidade para cada uma ou considerar um valor de mobilidade que seja adequado para o levantamento das curvas de corrente de dreno. Isso pode levar a problemas de descontinuidade na mobilidade, na distribuição das cargas e na densidade de corrente nas regiões de interface com o óxido (GOEBEL et al, 2001).

Em Goebel (2001, p904), um transistor CYNTHIA foi modelado através da divisão da porta circular em 72 portas verticais unidas pelas extremidades, formando assim um poliedro de 72 lados, onde cada uma das portas é um transistor MOSFET com sentido de corrente na direção (100). A orientação dos elementos foi incrementada em 5º em relação ao elemento ao seu lado. A corrente de cada transistor MOSFET individual foi calculada por uma simulação bidimensional e a corrente total foi definida como a soma da corrente de todos os transistores individuais. Apesar dos resultados da simulação serem muito próximos dos resultados experimentais, com erro de no máximo 4% , esta solução de contorno não pode ser aplicada a transistores com diâmetro menor porque a interação entre os campos elétricos dos transistores que estão lado a lado deve ser considerada.

Este trabalho tem o objetivo de propor um modelo simples de mobilidade que complementa os modelos já existentes, inserindo também a dependência da mobilidade com a orientação do plano da interface e da distância do ponto calculado em relação à interface do óxido com o silício.

Além da proposta, a implementação do modelo que leva em consideração a orientação cristalina da interface em um simulador numérico tridimensional, através da utilização do interpretador de linguagem C disponível no simulador, para a simulação de dispositivos de múltiplas portas também foi feita. O modelo implementado combina mecanismos de degradação da mobilidade em função da temperatura e concentração de impurezas

reconhecidos e a análise do modelo proposto foi feita pela simulação tridimensional de transistores CYNTHIA e *triple-gate*.

1.1 Apresentação do Trabalho

Este trabalho está dividido em cinco capítulos. No capítulo 1 é feita uma breve introdução sobre o trabalho, os objetivos e a sua forma de apresentação.

O capítulo 2 apresenta uma revisão bibliográfica sobre os principais assuntos desenvolvidos neste trabalho.

No capítulo 3 é desenvolvido e proposto um modelo de mobilidade para dispositivos de múltiplas portas dependente da orientação cristalográfica.

No capítulo 4 são mostrados os resultados obtidos com a utilização do modelo proposto.

Finalmente, o capítulo 5 apresenta as conclusões obtidas no desenvolvimento deste trabalho e a proposta de continuidade.

2 CONCEITOS BÁSICOS

Neste capítulo são apresentados os materiais semicondutores, a tecnologia Metal-Óxido-Semicondutor (MOS), a tecnologia silício sobre isolante, os transistores SOI de múltiplas portas, suas estruturas, características e classificações e, por fim, a mobilidade dos portadores, que é uma característica importante nessas tecnologias.

2.1 Semicondutores

Os materiais semicondutores são materiais que possuem condutividade elétrica menor que os materiais condutores e maior que os materiais isolantes. A condutividade desses materiais pode variar bastante em função de características internas do material, como por exemplo, as impurezas presentes no material, ou de características externas, como a incidência de luz no material. Os semicondutores são classificados como elementares, quando são formados por átomos do mesmo material, e como compostos, quando são formados por átomos de dois ou mais elementos diferentes combinados (STREETMAN; BANERJEE, 2009, p. 1).

Os semicondutores podem, ainda, ser classificados como intrínsecos ou extrínsecos. Os intrínsecos possuem os portadores livres, elétrons ou lacunas, originados dos próprios átomos do material através da energia térmica transferida para alguns elétrons que, então, saltam da banda de valência para a banda de condução, deixando um mesmo número de lacunas na banda de valência. Os extrínsecos, por outro lado, são aqueles que os portadores livres são criados por impurezas, que geralmente possuem número de elétrons na sua última camada próximo ao do material de base, adicionadas propositalmente ao material. No caso do silício como material semicondutor de base, cujo número de elétrons da última camada é quatro, temos como impurezas mais utilizadas os materiais Arsênio e Fósforo, com cinco elétrons na última camada como dopantes doadores de elétrons e o Boro, com três elétrons na última camada, como aceitador de elétrons.

Quando é adicionada uma certa quantidade de átomos de Arsênio, por exemplo, no silício tais átomos formam as ligações covalentes com os átomos do silício, com quatro elétrons e o quinto da sua camada externa precisa de muito pouca energia para se mover livremente pela estrutura e, com isso, deixar uma carga positiva no átomo de origem, como pode ser visto na Figura 1 a.

Por outro lado, quando é adicionado Boro ao silício, os átomos de Boro utilizam seus três elétrons da última camada para formar as ligações covalentes com o silício e ainda fica faltando uma ligação a ser feita. Isso faz com que essa ligação capture um elétron das suas redondezas e, assim, faz com que esse átomo fique carregado com uma carga negativa e, por fim, criando um portador definido como "lacuna" que pode se mover pelo cristal (Figura 1 b).

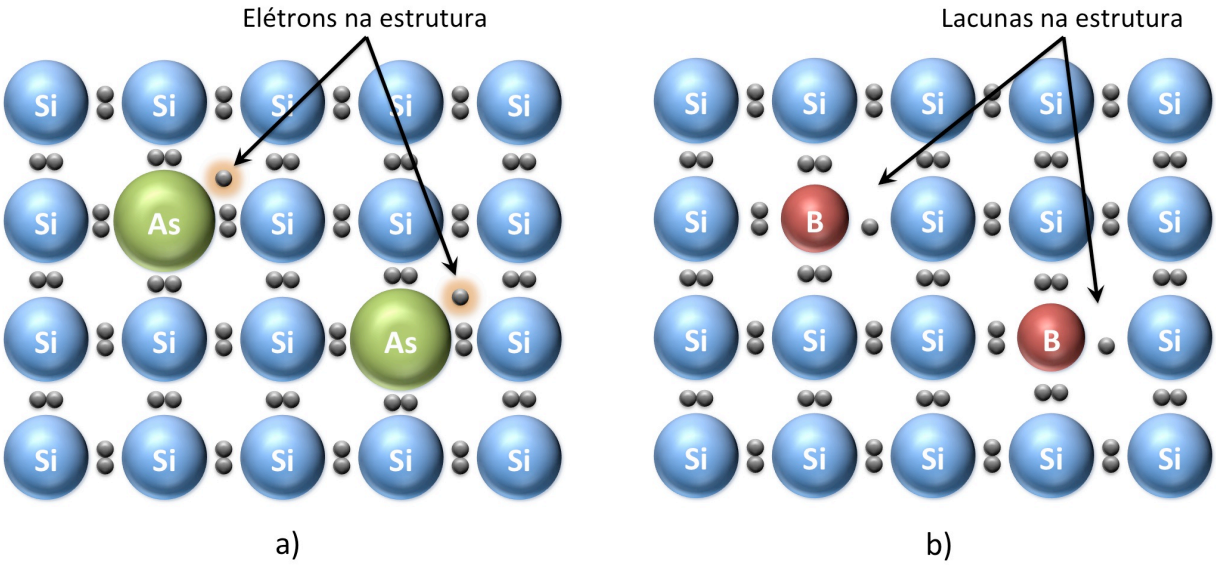

Figura 1 - Átomos de silício com dopantes: a) Arsênico e, b) Boro.
Adaptado de COLINGE, 2002

Tais impurezas doadoras e aceitadoras, quando adicionadas propositalmente no material semicondutor, são chamadas dopantes e são adicionados em quantidades muito pequenas no material de base. No caso do silício, a concentração se encontra na faixa de um átomo de impureza a cada um milhão de átomos de silício. Uma pequena variação na concentração de dopantes pode alterar substancialmente as características elétricas do material semicondutor (COLINGE, 2002, p. 31).

2.1.1 Estruturas Cristalinas

Os materiais sólidos, sendo eles semicondutores ou não, podem ser formados por diferentes estruturas de acordo com a sua orientação atômica, podem ser amorfos, cristalinos e policristalinos. O materiais amorfos não possuem orientação na organização de seus átomos, ou seja, não é possível determinar uma estrutura básica que se repete ao longo do material. Os materiais cristalinos possuem estruturas organizadas que se repetem em todo o material. Por fim, os materiais policristalinos possuem muitas regiões compostas de cristais de orientações diferentes. O silício, por exemplo, pode se apresentar nas três formas, como vidro (SiO_2) é amorfo, e na forma pura pode ser produzido nas formas cristalina e policristalina (STREETMAN; BANERJEE, 2009, p. 3).

As células unitárias do cristal podem receber diversas classificações de acordo com a sua forma. A Figura 2 mostra as estruturas básicas de um cristal, derivadas de uma estrutura em forma de cubo: cúbica simples (Figura 2 a), cúbica de corpo centrado (Figura 2 b) e cúbica de face centrada (Figura 2 c) (SZE, 2007, p. 8).

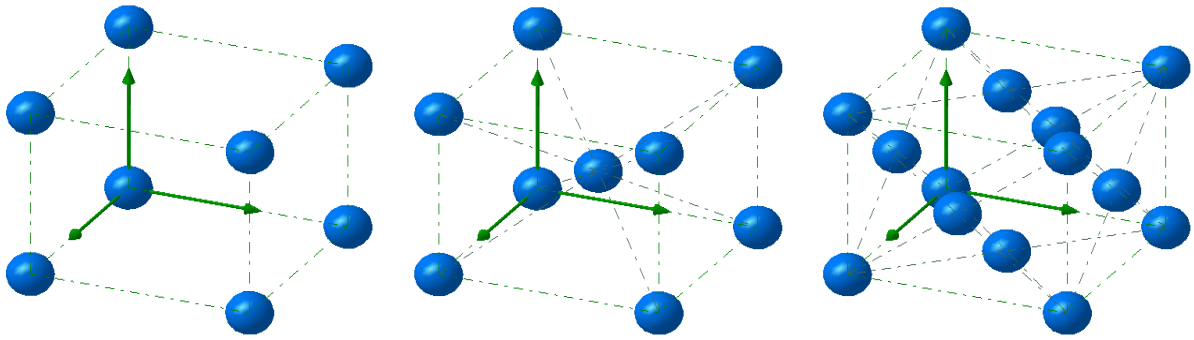

Figura 2 - Células cristalinas básicas: a) Cúbica Simples, b) Cúbica de Corpo Centrado e, c) Cúbica de Face Centrada.
Adaptado de SZE, 2007

O silício, que foi o material escolhido para este estudo, apresenta uma estrutura cúbica de face centrada com dois átomos na base (Figura 3 a), de forma que cada átomo está ligado a quatro átomos vizinhos equidistantes, dispostos nos vértices de um tetraedro, fazendo, portanto, quatro ligações covalentes, como pode ser visto na Figura 3 b.

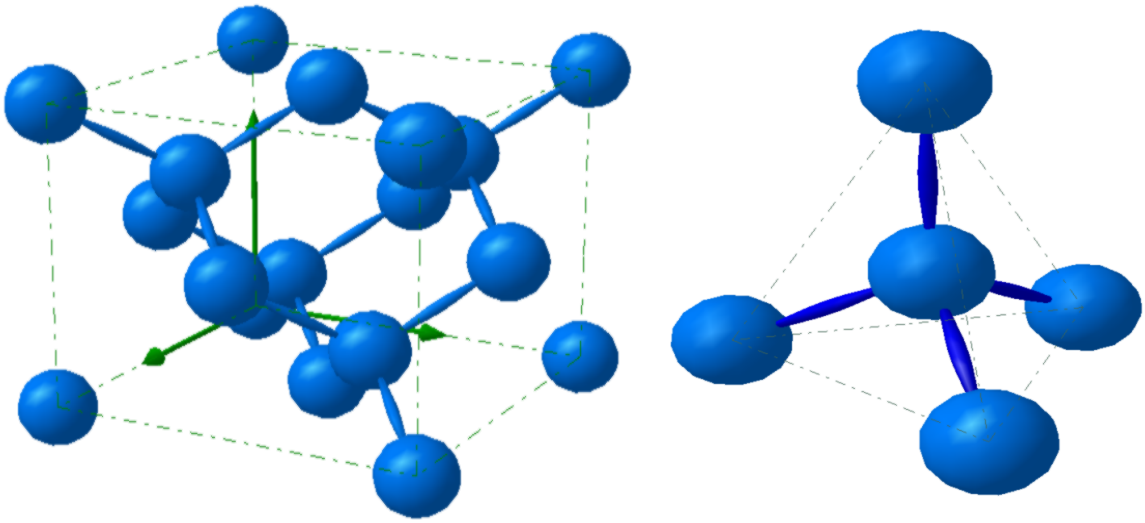

Figura 3 - Organizações cristalinas básicas: a) Célula cristalina tipo diamante; b) Ligações covalentes dos átomos de silício.
Adaptado de SZE, 2007

Em um volume de material cristalino, conhecido como bulk, é possível observar a repetição das células unitárias desse material, de modo que o cristal se apresenta como uma matriz simétrica tridimensional de células básicas ou até mesmo de átomos, chamada rede cristalina (STREETMAN; BANERJEE, 2009, p. 4).

2.1.2 Orientações cristalinas

Os dispositivos eletrônicos são construídos ou utilizam a superfície do material semicondutor e, portanto, a orientação e as propriedades dos planos da superfície do cristal são importantes. A rede ou estrutura cristalina possui simetria translacional e isso implica na escolha de um modo de definir os diversos planos do cristal de maneira precisa.

Para isso, um método criado por William Hallowes Miller tem sido utilizado. O método consiste em definir valores numéricos, chamados índices, para cada intersecção do plano escolhido com um dos três eixos vetoriais básicos definidos pela grade cristalina e, então, racionalizá-los para o menor valor inteiro possível mantendo-se a proporção entre eles. Os eixos de referência da rede cristalina não precisam ser perpendiculares entre si (MCKIE; MCKIE, 1974).

Os planos perpendiculares aos eixos interceptam apenas um eixo e, portanto, o valor dos índices referentes aos eixos não interceptados é zero. A Figura 4 mostra os planos definidos mais utilizados.

Os valores dos índices de Miller são colocados entre parênteses quando e referem a um plano específico, por exemplo, o valor (100) refere-se ao conjunto de planos paralelos ao plano definido pelos eixos y e z. Quando é definido um conjunto de planos simétricos na estrutura tridimensional são utilizados valores entre chaves, assim os planos definidos pelos valores (100), (010) e (001) podem ser referenciados pelo valor {100}.

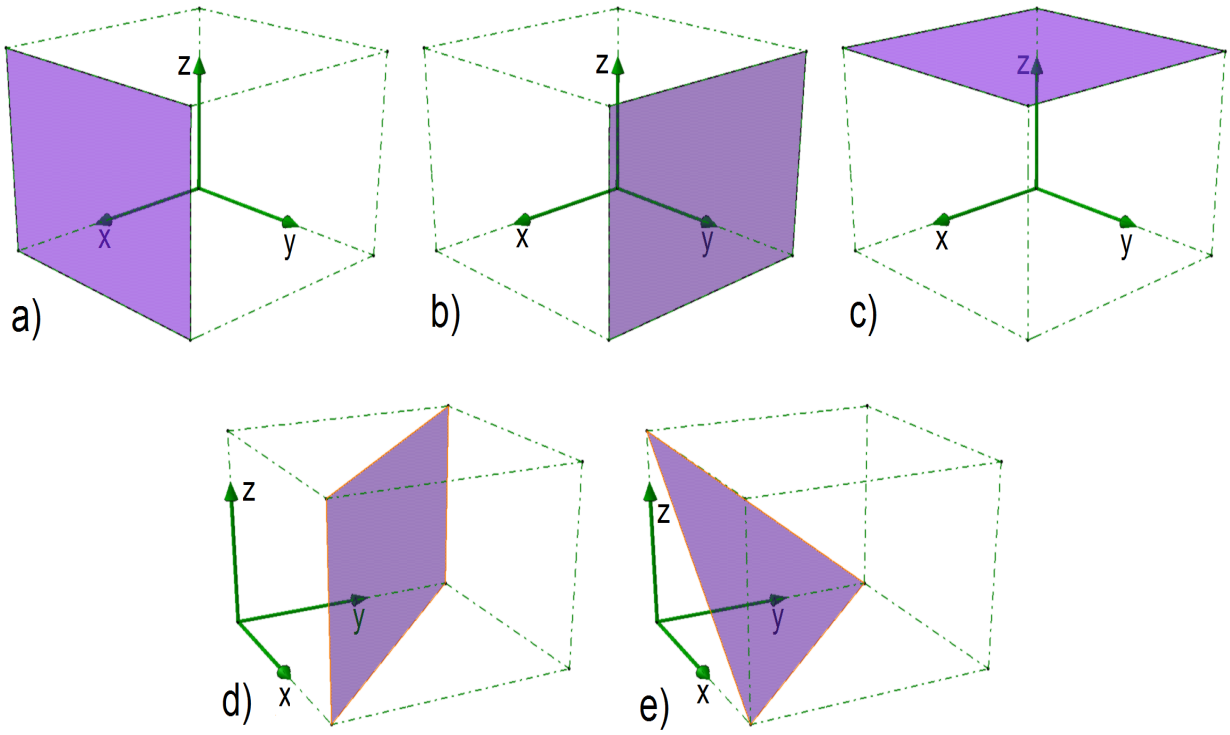

Figura 4 - Planos definidos pelos índices de Miller: a) (100), b) (010), c) (001), d) (110) e, e) (111)

Através dos índices de Miller pode-se também definir vetores que utilizam os valores dos índices de Miller entre colchetes ([100]) para definir uma direção específica ou entre colchetes triangulares (<100>) para definir o conjunto de direções simétricas no cristal. A Figura 5 mostra alguns exemplos de vetores com seus respectivos índices de Miller.

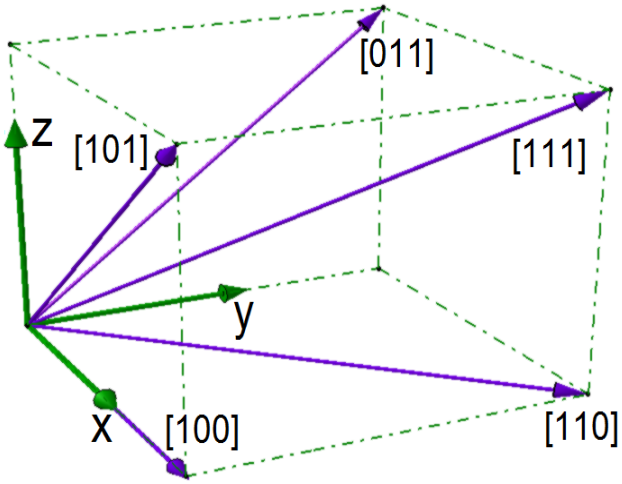

Figura 5 - Definição de direção conforme o método de Miller

2.1.3 Periodicidade da Orientação do Cristal

A periodicidade da orientação de um cristal é dada pelo arranjo simétrico dos átomos do cristal na rede cristalina. Cada átomo adicionado à estrutura é posicionado em um ponto específico da estrutura definido pela base, ou célula cristalina básica (STREETMAN; BANERJEE, 2009, p. 4).

A simetria translacional permite que as mesmas disposições dos átomos sejam obtidas a partir das orientações dadas pelos índices de Miller de um dado cristal.

No caso do silício, pode-se perceber três disposições diferentes devido à estrutura do tipo diamante, que podem ser vistas na Figura 6. Essas disposições se repetem a cada rotação de 90º na estrutura.

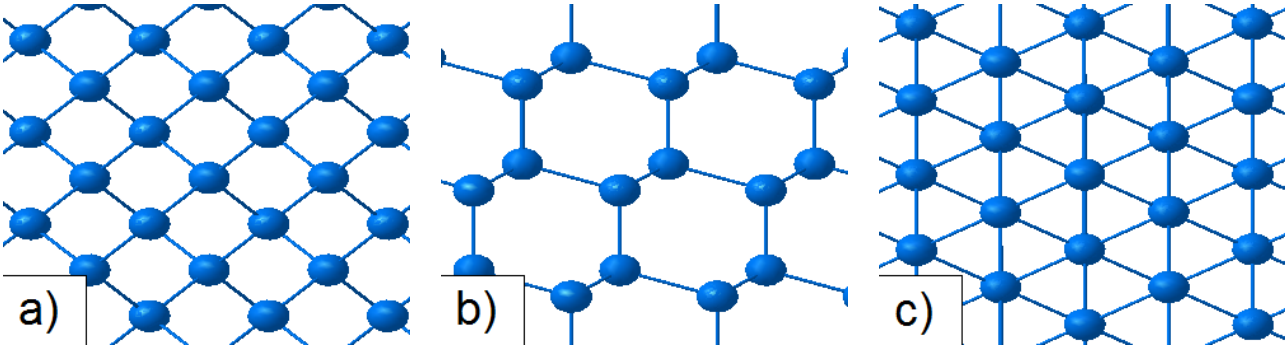

Figura 6 - Orientação cristalina no silício: a) {100}, b) {110} e c) {111}

2.2 Tecnologia SOI

Segundo Colinge (2008) a tecnologia CMOS (*Complementary Metal–Oxide–Semiconductor*) tem sido a principal tecnologia de fabricação de transistores e circuitos integrados e os fabricantes têm diminuído as dimensões desses dispositivos na tentativa de obedecer a Lei de Moore. Porém, no final da década de 1990 ficou evidente que um aumento significativo de desempenho poderia ser obtido através da utilização de um novo tipo de substrato, chamado de silício sobre isolante (*Silicon-on-Insulator* - SOI), onde os transistores são fabricados sobre uma camada fina de silício aplicada sobre uma camada de dióxido de silício que isola a parte ativa do transistor do restante do substrato, promovendo assim uma redução dos efeitos parasitários sofridos pelos transistores MOS convencionais. A fabricação de transistores com a tecnologia SOI possui vantagens como a redução das capacitâncias parasitárias, aumento do ganho de corrente e redução dos efeitos de canal curto.

2.2.1 Transistores SOI Planares

Os transistores SOI planares são parecidos com os dispositivos MOSFET (*Metal-Oxide-Semiconductor Field Effect Transistor*) convencionais (Figura 7 a), exceto por terem uma camada de dióxido de silício abaixo do filme de silício onde o dispositivo é construído (Figura 7 b). O óxido de silício, ou óxido enterrado (*Buried Oxide* - BOX) fornece isolamento

entre o transistor e o contato de substrato. O isolamento entre os transistores é feito pelo óxido de campo, assim como na tecnologia CMOS, porém com processos de construção distintos.

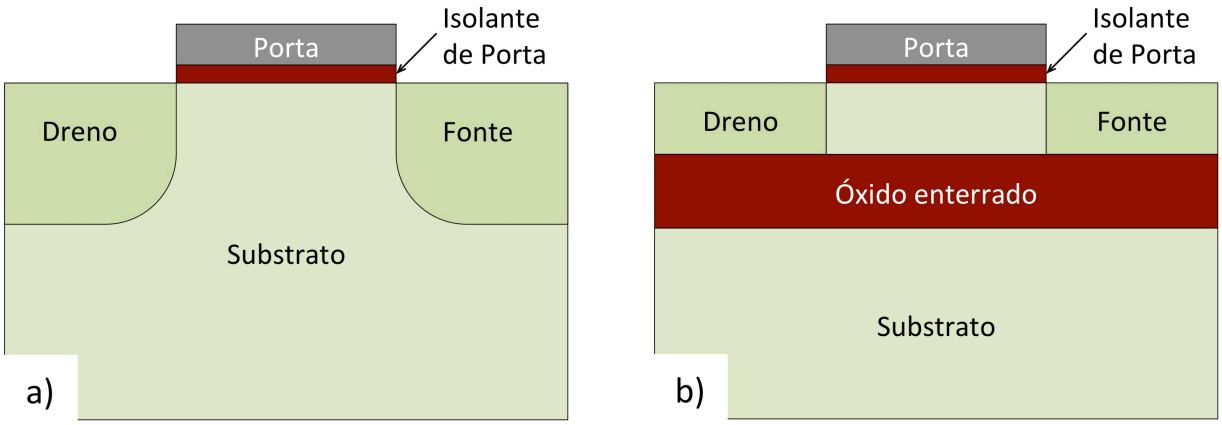

Figura 7 -Corte transversal de um transistor: a) convencional e b) SOI

Os transistores SOI, assim como os convencionais, podem ser classificados em relação ao seu modo de funcionamento como acumulação ou depleção, tendo este último ainda três tipos definidos: Parcialmente Depletado (*Partially Depleted SOI* - PDSOI), quando a região do filme de silício que forma o canal nunca fica completamente depletada, Totalmente Depletado (*Fully Depleted SOI* - FDSOI) quando a região do canal fica completamente depletada e, o terceiro tipo Quase Totalmente Depletado (*Nearly-Fully Depleted* SOI - NFDSOI) que são dispositivos onde a região do filme de silício que forma o canal fica próxima da depleção total, ou seja, a espessura do filme de silício que forma o canal é maior que a espessura de depleção máxima e menor que duas vezes a espessura de depleção máxima.

Algumas vantagens da tecnologia SOI podem ser relacionadas, como por exemplo, a redução das capacitâncias de junção, o controle da tensão de limiar pelas tensões da porta e do substrato, a redução dos efeitos de canal curto, principalmente nos dispositivos SOI totalmente depletados, melhor inclinação de sublimiar, maior resistência a radiação e, o melhor controle da corrente de fonte e dreno pela tensão de porta (Colinge, 2004).

2.2.2 Transistores SOI de Múltiplas Portas

2.2.2.1 Devido à diminuição contínua das dimensões dos dispositivos a pequena distância entre a fonte e o dreno dos transistores trouxe uma redução na capacidade da porta de controlar a distribuição do potencial e o fluxo de corrente no canal do transistor. Esses efeitos indesejáveis decorrentes dessa diminuição foram chamados de efeitos de canal curto. Um dos efeitos é o da redução da tensão de limiar que ocorre quando a diminuição do comprimento de canal torna a largura da camada de depleção das junções de dreno e fonte próxima ao comprimento do canal. Com isso, a distribuição do potencial no canal passa a depender também do campo elétrico transversal que é controlado pela polarização do dreno. A relação do potencial com o campo elétrico longitudinal implica na variação da inclinação de sublimiar, na dependência da tensão de limiar em relação ao comprimento do canal e nas tensões de polarização. A corrente de saturação também é afetada devido à sobreposição das regiões de depleção do dreno e da fonte e faz com que a corrente flua pelo substrato (*punch-through*), e isso limita a tensão máxima de operação do transistor. Outro efeito indesejável é a redução da barreira de potencial pela tensão aplicada no dreno, chamada DIBL (*Drain-Induced Barrier Lowering* - DIBL), onde a região de depleção passa a ser mais influenciada pela tensão do dreno do que pela tensão da porta (Colinge, 2008).

O primeiro transistor MOS de duas portas (*Double-Gate* MOS - DGMOS) surgiu em 1984 e foi construído colocando-se uma segunda porta abaixo do canal e conectada com a primeira porta, como pode ser visto na Figura 8. Este dispositivo mostrou uma redução significativa nos efeitos de canal curto em relação aos transistores PDSOI e FDSOI devido a presença da segunda porta que impede que as linhas de campo alcancem a região do canal na parte inferior do transistor, além da diminuição dos efeitos da diminuição da tensão de limiar induzida pelo dreno (Colinge, 2008).

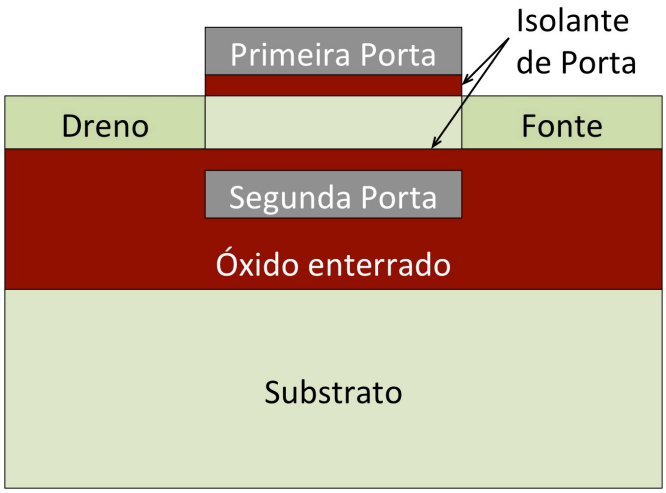

Figura 8 - Transistor DGSOI planar

Outro dispositivo SOI MOSFET de duas portas fabricado foi chamado de DELTA (*fully DEpleted Lean-channel TrAnsistor*). Esse dispositivo foi fabricado com uma estrutura de canal fina e alta, chamada de aleta, do ingles "*finger*", "*leg*" ou "*fin*", que liga as regiões de fonte e dreno (Figura 9 a). O transistor FinFET é muito parecido com o dispositivo DELTA, porém, com uma camada mais espessa de dielétrico no topo da aleta (Figura 9 b).

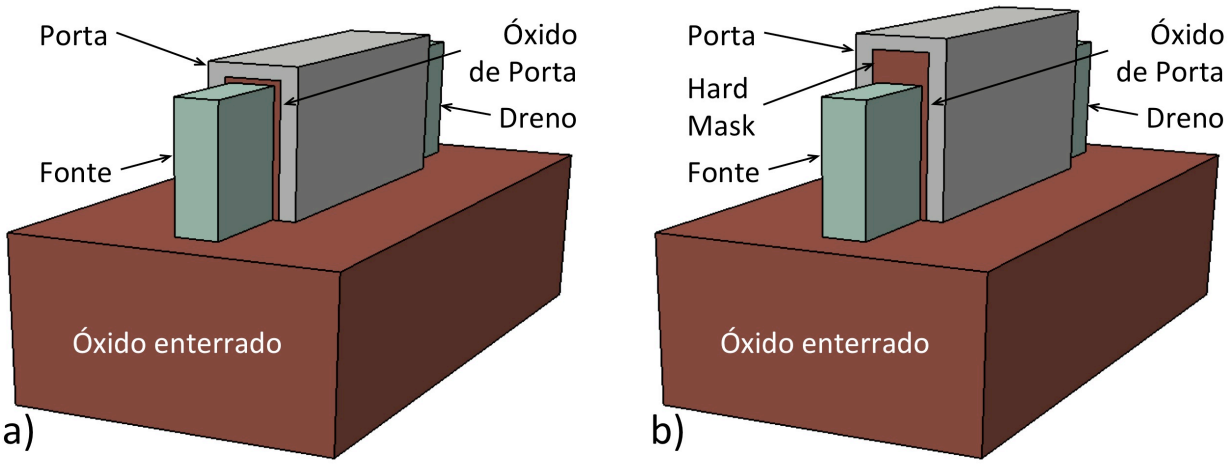

Figura 9 - Estruturas dos transistores de porta dupla: a) DELTA MOSFET e b) FinFET

No caso do dispositivo FinFET, a camada mais espessa de óxido na porta superior tem a função de prevenir a inversão parasitária nos cantos superiores do canal pela diminuição do campo elétrico naquela região e, com isso, faz com que ele se comporte como um transistor de duas portas.

Os dispositivos SOI de porta-tripla (*triple-gate* SOI) são formados por uma aleta fina de silício cercada pela porta por três dos seus lados (Figura 10 a) e possui variações em relação à forma e ao comprimento das portas laterais. Entre essas variações estão os dispositivos *Π-gate* (Figura 10 b) e *Ω-gate* (Figura 10 c). O transistor *Π-gate* é caracterizado pela extensão das portas laterais para dentro do óxido enterrado, o que faz com que a influência do substrato no canal seja diminuída. O transistor *Ω-gate* também possui as extensões das portas laterais invadindo o óxido enterrado, no entanto, essas extensões seguem paralelas ao plano da porta inferior, o que faz com que a influência do substrato no canal seja ainda menor do que no transistor *Π-gate*.

Os transistores de porta-tripla possuem duas de suas interfaces silício-dielétrico na mesma orientação cristalina e a terceira em uma outra orientação, o que faz com que o comportamento elétrico das interfaces sejam diferentes em função das orientações cristalinas diferentes. Esses dispositivos têm sido bastante estudados porque apresentam boas possibilidades em termos de facilidade de fabricação com a tecnologia atual e possuem desempenho muito bom se comparados aos transistores SOI planares totalmente depletados ou de porta dupla (DOYLE, 2003).

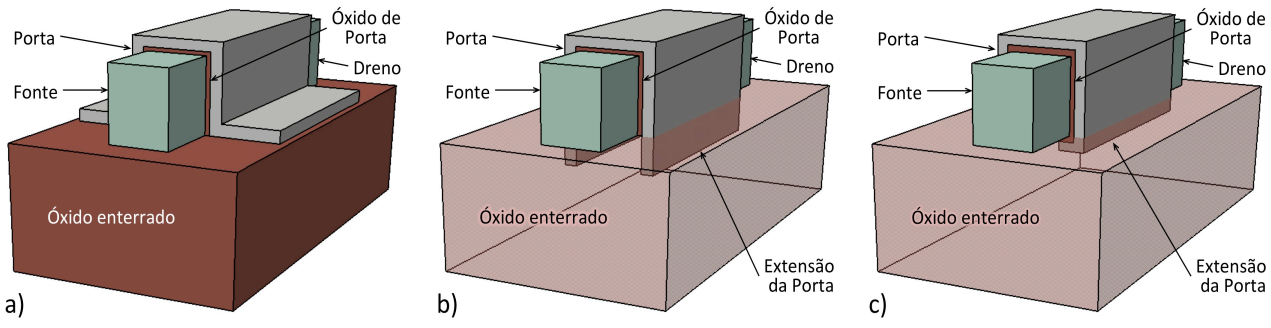

Figura 10 - Estruturas dos transistores MOSFET de porta tripla: a) Triple-gate, b) Π-gate e c) Ω-gate

Os transistores SOI de porta quadrupla possuem quatro portas interligadas, normalmente perpendiculares entre si, também chamados de *"surrounding-gate"* SOI MOSFETS, e apresentam melhor controle da região do canal pelas portas devido à melhor integridade eletrostática proporcionada pela maior quantidade de portas. Esses dispositivos pode ser fabricados em estruturas horizontais e verticais. Os transistores com estruturas horizontais podem ter a seção transversal retangular (Figura 11 a) ou circular (Figura 11 b) e podem ainda ser agrupados em estruturas chamadas *"Multi-Bridge Channel"* MOSFET (MBCFET), como mostrado na Figura 11 c, com o objetivo de aumentar os valores de corrente entre fonte e dreno. Os verticais são chamados de *pillar surrounding-gate* MOSFET quando possuem a seção retangular (Figura 11 d) e a variação desse dispositivo com a seção transversal circular recebeu o nome CYNTHIA (Figura 11 e).

O transistor CYNTHIA, em particular, apresenta comportamento elétrico exclusivo, devido a sua forma circular, como por exemplo a distribuição do campo elétrico que diminui isotropicamente em torno do pilar cilíndrico de silício. Estudos efetuados sobre esse transistor mostram que o transistor CYNTHIA possui desempenho superior em sublimiar e de mobilidade, comparado ao transistor SOI vertical (MIYANO, 1992).

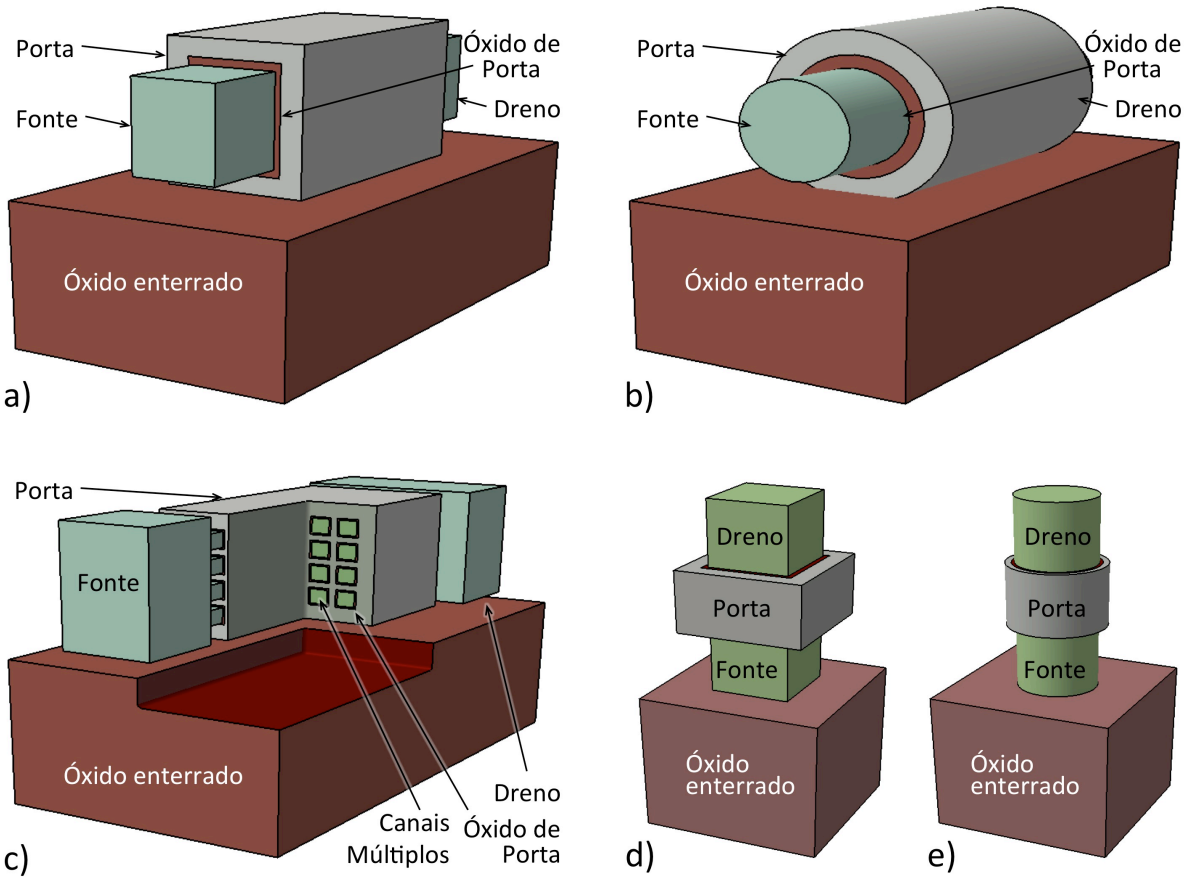

Figura 11 - Transistores MOSFET tipo *"surrounding gate"*: a) seção retangular, b) seção circular, c) *"Multi-Bridge Channel"*, d) *"Pillar"* e, e) CYNTHIA

Em relação a forma do canal e a sua disposição horizontal ou vertical podem ocorrer diferenças nas taxas de condução das diversas portas dos dispositivos, seja pelo processo de fabricação ou pela orientação cristalina das interfaces do óxido com o silício.

2.3 Mobilidade

Segundo Streetman e Banerjee (2009), a mobilidade dos elétrons é uma grandeza que descreve a facilidade com que os elétrons se espalham pelo material semicondutor e é uma grandeza muito importante na caracterização dos materiais semicondutores e no desenvolvimento de dispositivos.

2.3.1 Relação entre Mobilidade e Velocidade Média de Deriva

A mobilidade pode ser considerada uma constante de proporcionalidade para o cálculo da velocidade média de deriva dos portadores sob o efeito de um campo elétrico baixo, dada pela equação (1) (Sze, 2007, p. 28):

$$v_d = \mu . \mathrm{E} \tag{1}$$

Onde v_d é a velocidade de deriva, dada em cm/s, μ é a mobilidade em $cm^2/V.s$ e E é o campo elétrico em V/cm.

Nos materiais semicondutores pode haver corrente elétrica gerada por portadores elétrons ou lacunas assim, pode-se definir duas grandezas de mobilidade, μ_n para os portadores elétrons e μ_p para os portadores lacunas, que resulta em uma equação de velocidade média de deriva para cada mobilidade definida, conforme mostrado nas equações (1a) e (1b) (COLINGE; COLINGE, 2002):

$$v_{dn} = \mu_n . \mathrm{E} \tag{1a}$$

$$v_{dp} = \mu_p . \mathrm{E} \tag{1b}$$

A velocidade média de deriva dos elétrons em um material semicondutor é o vetor resultante de diversas movimentações dos elétrons no cristal, desde que a trajetória dos elétrons nos cristal semicondutor não é retilínea, pois a organização do cristal não é ideal, ou seja, existem espaços que podem ter sido causados pelo deslocamento ou ausência de átomos e também a presença de impurezas ao longo do material.

Outro fator que influencia a velocidade média de deriva é a vibração dos elétrons em torno da sua posição de equilíbrio no cristal e essa vibração varia em função da temperatura, entre outras coisas. A propagação dessa vibração pela estrutura cristalina é dada pelos fônons, que são responsáveis pela propagação da vibração no cristal. Considerando a movimentação dos elétrons no cristal pode-se obter duas hipóteses: a primeira diz que quando os elétrons da

banda de condução se movem livremente pelo cristal entre cada colisão o tempo médio entre elas é definido como tempo de relaxamento ou tempo de vida (τ_n); na segunda, quando a direção do elétron após a colisão é aleatória (COLINGE; COLINGE, 2002). Ao observar a evolução da população de elétrons (*n(t)*) a partir de um determinado instante no tempo percebe-se que, após um pequeno intervalo de tempo (*dt*), essa população diminuiu em uma certa quantidade (*dn*) por conta de novas colisões. A quantidade dos elétrons que sofreram colisões pode ser calculada pela equação (2) (COLINGE; COLINGE, 2002):

$$dn = \frac{-1}{\tau_n}.n(t).dt \tag{2}$$

Ao integrar a equação (2) entre o instante t_0 e o instante *t*, obtém-se a quantidade de elétrons que não sofreram colisão no intervalo de tempo estudado, como mostrado na equação (3) (COLINGE; COLINGE, 2002):

$$n(t) = n(t0).e^{\left[\frac{-(t-t_0)}{\tau_n}\right]} \tag{3}$$

A movimentação dos elétrons é causada pela força imposta pelo campo elétrico, portanto, a equação do movimento ($F = m.a$) aplicada ao elétron, considerando a massa efetiva do elétron m_e^* pode ser vista na equação (4) (COLINGE; COLINGE, 2002), abaixo:

$$-q.\mathrm{E} = m_e^*.\frac{dv}{dt} \tag{4}$$

A velocidade do elétrons no instante *t*, desde não tenha havido colisão desde o instante t_0, pode ser calculada pela equação (5) (COLINGE; COLINGE, 2002) abaixo e, considerando que a massa efetiva do elétron é isotrópica:

$$v(t) = v(t_0) - \frac{1}{m_e^*}.q.(t - t_0).\mathrm{E} \tag{5}$$

Considerando a velocidade inicial nula, $v(t_0)=0$, supondo que a quantidade de elétrons que percorre o trajeto sem colisão é maior que zero ($dn < 0$) e integrando a equação (5) variando de t0 ao infinito, obtém-se a velocidade média de deriva, causada pela aplicação do campo elétrico, como mostrado na equação (6) (COLINGE; COLINGE, 2002) abaixo.

$$v_{dn} = \frac{1}{n(t_0)} \int_{n(t_0)}^{0} \left(\frac{1}{m_e^*} . q . (t - t_0) . \mathrm{E} . (-dn) \right) \quad (6)$$

Ao converter a equação (6) por uma integral no tempo temos a seguinte relação:

$$v_{dn} = \frac{-\mathrm{q}}{m_e^*} . \mathrm{E} . \int_{t_0}^{\infty} \left(\frac{1}{\tau_n} . (t - t_0) . e^{\left(\frac{-(t-t_0)}{\tau_n} \right)} . dt \right) \quad (7)$$

Simplificando a equação (7), obtém-se o resultado da integral igual ao tempo de vida do elétron, τ_n, e, portanto, a equação (8a), define a mobilidade em relação à aplicação do campo elétrico e considerando o tempo de vida dos portadores elétrons e o mesmo ocorre com os portadores lacunas, equação (8b):

$$v_{dn} = \frac{-\mathrm{q}}{m_e^*} . \mathrm{E} . \tau_n \equiv \mu_n . \mathrm{E} \quad (8)$$

$$\therefore \quad \mu_n = \frac{-\mathrm{q} . \tau_n}{m_e^*} . \mathrm{E} \quad (8a)$$

$$\mu_p = \frac{-\mathrm{q} . \tau_p}{m_h^*} . \mathrm{E} \quad (8b)$$

2.3.2 Mecanismos de espalhamento

Os mecanismos de espalhamento são mecanismos que degradam a mobilidade do material do substrato e podem ser classificados como: espalhamento de rede, espalhamento por impurezas ionizadas, espalhamento portador-portador, espalhamento por impurezas neutras, espalhamento de superfície e velocidade de saturação do portador.

2.3.2.1 Espalhamento de rede

A mobilidade no cristal semicondutor depende da interação entre os elétrons, fônons e impurezas. Há dois tipos básicos de espalhamento que influenciam a mobilidade para lacunas e elétrons: o espalhamento de rede e o espalhamento por impurezas ionizadas.

O espalhamento de rede, também chamado de espalhamento de fônons, ocorre porque o movimento dos portadores é influenciado pela vibração dos átomos da estrutura cristalina causada pela temperatura. Quanto maior a temperatura do material maior será a vibração dos átomos da rede e menor será a mobilidade. A equação empírica (9) representa a relação da mobilidade inicial com a temperatura da rede cristalina (STREETMAN; BNERJEE, 2009).

$$\mu_{Ln,p} = \mu_{0n,p} \cdot \left(\frac{T_L}{T_0}\right)^{\alpha_{n,p}} \tag{9}$$

Onde $\mu_{Ln,p}$ é a mobilidade em função do espalhamento da rede para elétrons e lacunas, $\mu_{0n,p}$ é a mobilidade do silício intrínseco, que tem valor de 1430cm^2/Vs para elétrons e 460cm^2/Vs para lacunas, T_L é a temperatura da rede em K, T_0 é a temperatura de referência com valor padrão de 300 K e $\alpha_{n,p}$ é o coeficiente de ajuste da temperatura, com valor inicial de -2 para elétrons e -2,18 para lacunas (ATLAS, 2008).

2.3.2.2 Espalhamento por impurezas ionizadas

O espalhamento por impurezas ionizadas torna-se o mecanismo dominante em baixas temperaturas pois, com a diminuição da temperatura, diminui a influência da vibração dos átomos da grade e, também, dos portadores. Com os portadores se movendo mais lentamente a probabilidade deles serem mais afetados pela interação com um íon, que é um portador de maior energia, os eventos de espalhamento por impurezas ionizadas causam uma diminuição da mobilidade com a diminuição da temperatura. (STREETMAN; BNERJEE, 2009). A mobilidade em função do espalhamento de rede μ_L e por impurezas ionizadas pode ser definida pelas equações (10) e (11) (CAUGHEY; THOMAS, 1967) (SELBERHERR, 1989):

$$\mu_{LIn,p} = \mu_{min.n,p} \cdot \left(\frac{T_L}{300}\right)^{\alpha_{n,p}} + \frac{\mu_{Ln,p} - \mu_{min.n,p}}{1 + \left(\frac{CI}{C_{ref}}\right)^{\alpha_{n,p}}} \tag{10}$$

$$\mu_{min.n,p} = \mu_{0min.n,p}.\left(\frac{T_L}{300}\right)^{\beta_{n,p}} \quad (11)$$

$$\alpha_{n,p} = 0{,}72.\left(\frac{T_L}{300}\right)^{\beta_{n,p}} \quad (12)$$

Onde $\mu_{LIn,p}$ é a mobilidade calculada considerando o espalhamento de rede e a concentração de impurezas ionizadas, $\mu_{min.n,p}$ representa a mobilidade mínima para elétrons e lacunas considerando o espalhamento da rede , *CI* é a concentração de dopantes e C_{ref} é a concentração de dopantes de referência com valores de $1{,}12.10^{17}cm^{-3}$ para impurezas doadoras e $2{,}23.10^{17}cm^{-3}$ para impurezas aceitadoras, $\mu_{0min.n,p}$ representa a mobilidade mínima considerada com valores de $80cm^2/Vs$ para elétrons e $45cm^2/Vs$ para lacunas e, $\beta_{n,p}$ é o coeficiente de ajuste com valor de 0,065 para elétrons e lacunas (ATLAS, 2008).

2.3.2.3 Espalhamento portador-portador

O mecanismo de espalhamento portador-portador influencia os portadores principalmente quando são injetados em quantidade maior que a densidade de dopantes (DORKEL; LETURCQ, 1981). A equação (13) mostra o cálculo da mobilidade dada pelo espalhamento portador-portador (ATLAS, 2008).

$$\mu_{CCS} = \frac{1{,}04.10^{21}.\left(\frac{T_L}{300}\right)^{\frac{3}{2}}}{\sqrt{n.p}.\ln\left[1+7{,}45.10^{13}.\left(\frac{T_L}{300}\right)^{2}.(n.p)^{-\frac{1}{3}}\right]} \quad (13)$$

Onde μ_{CCS} é a mobilidade em função do espalhamento portador-portador, *n* é a concentração de elétrons e *p* é a concentração de lacunas.

2.3.2.4 Espalhamento por impurezas neutras

O espalhamento por impurezas neutras contribui pouco para o resultado da mobilidade final quando a concentração dessas impurezas é menor que $1.10^{18}cm^{-3}$, conforme definido por Dorkel e Leturcq (1981). Mesmo quando essa concentração é alcançada, a contribuição desse espalhamento é pequena perto dos demais tipos de espalhamento.

2.3.2.5 Espalhamento de superfície

O espalhamento de superfície é o fator de degradação da mobilidade que possui maior relevância neste estudo pois está fortemente relacionado à superfície de condução que, por sua vez, possui variações em função da orientação cristalina do plano de interface do silício com o dielétrico.

A superfície de condução do canal possui uma certa rugosidade definida pela geometria e pelo processo de fabricação do transistor (COLINGE, 2008). Essa rugosidade pode influenciar a mobilidade em maior ou menor grau em função da aplicação de um campo elétrico perpendicular a essa superfície pois os elétrons são atraídos para a superfície de condução pelo campo elétrico. A descontinuidade da rede na interface Si-SiO_2 também afeta os níveis da estrutura de bandas, o que altera a massa efetiva dos portadores e, consequentemente, a mobilidade.

Segundo Lombardi (1988), a mobilidade superficial tem forte dependência da orientação cristalina, do processo de oxidação e da taxa de crescimento do óxido. A mobilidade dependente do espalhamento de superfície pode ser descrita pelas equações (14) e (15) (SELBERHERR, 1989).

$$\mu_{LIS} = \frac{\mu_{ref.n,p} + (\mu_{LI.n,p} - \mu_{ref.n,p}) \times (1 - F(y))}{1 + F(y) \times (S_{n,p}/S_{ref.n,p})^{\alpha_{n,p}}} \quad (14)$$

$$F(y) = \frac{2.e^{-\left(y/y_{ref}\right)^2}}{1+2.e^{-2.\left(y/y_{ref}\right)^2}} \quad (15)$$

Onde $\mu_{ref.n,p}$ representa os valores de mobilidade de referência e tem os valores de $638x(T/300)^{-1,19}$ cm^2/Vs para elétrons e $160x(T/300)^{-1,09}$ cm^2/Vs para lacunas, $\mu_{LIn,p}$ é a mobilidade calculada em função da temperatura e da concentração de dopantes, conforme descrito na equação (10), $S_{n,p}$ é o campo elétrico dado em V/cm e $S_{ref.n,p}$ é o campo elétrico de referência em V/cm, com valores de $7x10^5$ para elétrons e $2,7x10^5$ para lacunas (ATLAS, 2008).

2.3.3 Cálculo da mobilidade inicial

Os diversos mecanismos de espalhamento que não sofrem a influência do campo elétrico lateral podem ser combinados através da regra de Mathiessen, dada pela equação (16).

$$\frac{1}{\mu_0} = \frac{1}{\mu_{LIS}} + \frac{1}{\mu_{ccs}} \quad (16)$$

2.3.3.1 Velocidade de saturação do portador

A aplicação de um campo elétrico com a mesma direção dos planos de corrente de um transistor, normalmente resultante da tensão entre fonte e dreno, faz com que os elétrons sejam acelerados nessa direção e atinjam a sua velocidade máxima, chamada velocidade de saturação. Como a mobilidade está diretamente relacionada à velocidade dos portadores e ao campo elétrico, a limitação da velocidade dos portadores implica em uma limitação da

mobilidade (CAUGHEY; THOMAS, 1967). A mobilidade em função da velocidade de saturação pode ser obtida pela equação (17).

$$\mu_{vs} = \frac{\mu_0}{\sqrt{1+\left(\frac{E}{E_c}\right)^2}} \tag{17}$$

Onde μ_0 é a mobilidade inicial sem considerar os efeitos de degradação por campo elétrico, E é o campo elétrico lateral e E_c é o campo elétrico crítico, onde os portadores atingem a velocidade máxima, ou velocidade de saturação.

Os diversos mecanismos de espalhamento citados foram descritos por vários modelos muito bem estabelecidos e reconhecidos, porém, nenhum deles trata da variação da mobilidade em função da variação da orientação cristalina, e essa característica é de importância fundamental no estudo de dispositivos de múltiplas portas.

3 SIMULAÇÃO NUMÉRICA COMPUTACIONAL DE DISPOSITIVOS

A simulação numérica computacional de dispositivos é usada, hoje, pelos engenheiros e pesquisadores como uma ferramenta complementar com o objetivo de compreender melhor a influência da diminuição, da variação da geometria e dos novos materiais no comportamento do dispositivo, devido ao fato de que alguns aspectos e características de funcionamento dos dispositivos não podem ser mensurados ou vislumbrados através das atividades experimentais.

O software de simulação utilizado neste trabalho foi o simulador Atlas, da empresa Silvaco, que é um software para simulação de dispositivos semicondutores, que utiliza modelos de simulação que podem ser baseados em conceitos físicos ou modelos empíricos, para realizar a simulação de dispositivos em duas ou três dimensões

O software Atlas possui um conjunto de modelos disponíveis que abrangem as simulações de corrente contínua, sinais pequenos de corrente alternada, dependência total do tempo, transporte de difusão, balanço de energia e hidrodinâmicos, aquecimento da estrutura e dissipadores, junções, estatísticas de Fermi-Dirac e Boltzmann, mobilidade, efeitos de dopagem pesada, contatos ôhmicos, Schottky e isolados, e recombinação, dentre outros (ATLAS, 2008).

3.1 Processo de Simulação

Os métodos numéricos normalmente consideram o objeto estudado como um conjunto de pontos chamada de grade, ou *grid* em inglês, que é formada por nós (do inglês *node*). As equações do simulador são resolvidas pelos métodos numéricos para cada nó da grade.

A forma de simulação numérica permite a modelagem matemática dos dispositivos eletrônicos a partir de modelos físicos, empíricos ou até mesmo uma mistura de ambos.

Os modelos físicos utilizam um conjunto de equações derivadas das leis de Maxwell e outras leis reconhecidas na literatura.

Os modelos empíricos podem ser aplicados somente sob alguns aspectos do comportamento do dispositivo, como por exemplo, a degradação da mobilidade ou a estatística de recombinação.

Na maioria das vezes é necessário o uso de ambos os tipos de modelos para a obtenção de informações úteis.

O simulador ATLAS utiliza, na maior parte das simulações, dois arquivos de entrada e três tipos de arquivo de saída. O primeiro dos arquivos de entrada é um arquivo de texto ASCII que contém os comandos a serem executados pelo ATLAS, o segundo é um arquivo que define a estrutura do dispositivo que será simulado e o terceiro tipo é o arquivo de solução que armazena os dados 2D e 3D relativos às variáveis da solução do dispositivo dado um determinado sinal.

O arquivo de entrada pode conter os comandos para a construção da geometria da grade do dispositivo ou ainda habilitar a leitura de um arquivo com a grade construída pelo aplicativo DevEdit. Os arquivos construídos pelo DevEdit possuem apenas características geométricas e físicas (DEVEDIT, 2006). Os comandos utilizados para a polarização do transistor, definição dos modelos, como por exemplo, mobilidade, definição de materiais, cargas na interface e demais comandos relevantes para a simulação são interpretados pelo aplicativo de interação com o usuário DeckBuild (DECKBUILD, 2006).

3.2 Modelos de Mobilidade

Os modelos de mobilidade disponíveis no software Atlas são organizados em quatro tipos distintos: comportamento sob campo elétrico baixo, comportamento sob campo elétrico alto, regiões do substrato e camadas de inversão.

Neste trabalho foram avaliados alguns modelos de mobilidade de campo elétrico baixo disponíveis no simulador Atlas. São eles: Analytic, Arora, Masetti, Klaassen e Shirahata.

O modelo de mobilidade Analytic do simulador Atlas foi implementado com base no trabalho de Caughey e Thomas (CAUGHEY, D.M.; THOMAS, R.E., 1967), que considera a influencia da dopagem e da temperatura para elétrons e lacunas.

O modelo Arora de mobilidade de campo elétrico baixo (ARORA, et al., 1982) é, também, um modelo analítico que considera a influência da dopagem total e da temperatura no cálculo da mobilidade.

O modelo de Masetti considera a dependência da mobilidade em função da concentração de portadores em um intervalo de 8 ordens de magnitude, de 10^{13} cm^{-3} até 10^{21} cm^{-3}. Fornece também um conjunto de parâmetros para silício dopado com arsênio e fósforo e foi ajustado para a temperatura ambiente (MASETTI, et al., 1983).

Em Klaassen (1990, p.357) foi proposto um modelo de mobilidade unificado, onde se encontra uma descrição unificada mobilidade dos portadores da majoritários e minoritários. Inclui os efeitos do espalhamento de rede, de impurezas, portador-portador e, os efeitos de agrupamento de impurezas em altas concentrações.

O modelo de mobilidade de Shirahata é um modelo de mobilidade desenvolvido para uma estrutura MOS, de uso geral, que leva em consideração os efeitos de *screening* na camada de inversão e a dependência do campo elétrico perpendicular para óxidos de porta finos. Este modelo combina partes do modelo de Klaassen e uma expressão ajustada empiricamente para a mobilidade dependente do campo elétrico perpendicular (SHIRAHATA, et al., 1992).

4 MODELO DE MOBILIDADE PROPOSTO

A modelagem da mobilidade em função da orientação da superfície e da distância da interface foi dividida em duas etapas, primeiramente foi encontrada uma função para a mobilidade superficial que representa o valor da mobilidade na camada de inversão em função do ângulo α da orientação do cristal ($\mu_S(\alpha)$) e, a segunda etapa consistiu em definir uma função que calcule a degradação da mobilidade em função da distância da interface, fazendo-a diminuir suavemente a partir do valor máximo no corpo do dispositivo até o valor mínimo na interface com o óxido (PERIN et al, 2011).

Para a definição da função $\mu_S(\alpha)$ foram consideradas as seguintes propriedades da mobilidade de acordo com a simetria do cristal:

a) O valor máximo de $\mu_S(\alpha)$ na direção definida por $\alpha=0$, que corresponde às direções definidas pelo índice Miller <100>, e o seu valor mínimo em $\alpha=\pi/4$ que corresponde às direções definidas pelo índice Miller <110>;
b) A função $\mu_S(\alpha)$ é uma função periódica, com período de $\pi/2$, definido pela simetria do cristal de silício, ou seja, $\mu_S(\alpha) = \mu_S(\alpha+\pi/2)$ para $\alpha \in R$;
c) As funções $\mu_S(\alpha)$ e $\mu_S(\alpha+\pi/4)$ são funções pares, ou seja, $\mu_S(\alpha) = \mu_S(-\alpha)$ e $\mu_S(\alpha+\pi/4) = \mu_S(-\alpha+\pi/4)$ para $\alpha \in R$;
d) Por fim, $\mu_S(\alpha) > 0$ para qualquer α.

Uma função com essas características pode ser aproximada por uma série de Fourier, como mostrado na equação (18).

$$\mu_S(\alpha) = a_0 + \sum_{n=0}^{\infty}[a_n \cdot \cos(n\alpha) + b_n \cdot \sin(n\alpha)] \quad (18)$$

Onde os coeficientes b_n foram considerados nulos por causa da propriedade c) e todos os coeficientes não múltiplos de quatro também foram anulados por causa da propriedade b). Portanto, a mobilidade calculada em função do ângulo α pode ser descrita pela equação (19) resultante.

$$\mu_S(\alpha) = a_0 + \sum_{n=0}^{\infty} 4n \cdot \cos(4n\alpha) \quad (19)$$

Onde os coeficientes da série foram utilizados como parâmetros de ajuste. A quantidade de parâmetros que dão a precisão necessária ao resultado depende de quanto a curva da mobilidade é diferente da curva senoidal básica. Neste trabalho foram analisadas duas equações: a equação (19a), que é composta do primeiro e do segundo termos da série de Fourier (equação (18)) e, a equação (19b), que é formada pelo primeiro, segundo, terceiro e quarto termos da equação (18).

Os resultados obtidos pela simulação dos dispositivos utilizando esse modelo foi ajustado pelos dados experimentais. Apesar das duas equações mostrarem um bom ajuste aos dados experimentais (melhor que 5% de erro quadrático médio), a escolha no uso delas dependerá do balanço entre precisão e desempenho da simulação computacional.

$$\mu_S(\alpha) = a_0 + \mathrm{a}_4 \cdot \cos(4\alpha) \tag{19a}$$

$$\mu_S(\alpha) = a_0 + \mathrm{a}_4 \cdot \cos(4\alpha) + \mathrm{a}_8 \cdot \cos(8\alpha) + \mathrm{a}_{12} \cdot \cos(12\alpha) \tag{19b}$$

Para a segunda etapa, foi escolhida a equação (20) (SELBERHERR, 1989) foi parametrizada para permitir o ajuste da distância de referência e da inclinação da transição entre a mobilidade do núcleo do corpo do dispositivo (μ_b) e o valor do mobilidade na superfície $\mu_s(\alpha)$. O espaço de transição entre os valores máximos e mínimos de F(y) depende do valor da distância de referência (y_{ref}).

$$F(y) = \frac{2 \times e^{-\left(\frac{y}{y_{ref}}\right)^2}}{1 + e^{-2\left(\frac{y}{y_{ref}}\right)^2}} \tag{20}$$

Onde, y é a distância calculada a partir da interface para o centro do dispositivo e y_{ref} é a distância de referência utilizada para ajustar a função. A alteração de y_{ref} desloca a curva de transição fazendo-a mais íngreme para valores menores de y_{ref} e mais suave para valores maiores, como mostrado na Figura 12.

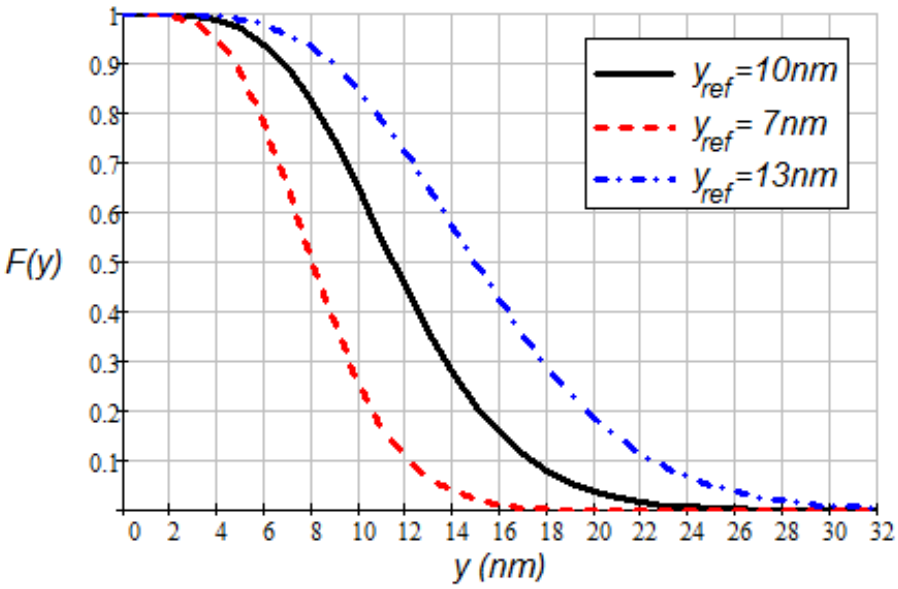

Figura 12 - Curva de transição entre a superfície e o corpo do dispositivo

A função da mobilidade dependente da posição final, definida por μ_{pos}, mostrada na equação (21), leva em consideração a influência do campo elétrico como proposto por Selberher (1989) e foi implementada com a equação da mobilidade superficial em função da orientação $\mu_s(\alpha)$ (equação (19a) ou (19b)) para definir o modelo de mobilidade completo.

$$\mu_{pos} = \frac{\mu_S + (\mu_b - \mu_S) \times (1 - F(y))}{1 + F(y) \times \left(\frac{E}{E_{ref}}\right)^{\beta}} \tag{21}$$

Onde, μ_s é a mobilidade superficial definida pelas equações (19a) ou (19b), μ_b é a mobilidade do corpo do dispositivo, $F(y)$ é a função de proximidade da interface definida pela equação (18), E é o campo elétrico no ponto calculado, E_{ref} é o campo elétrico de referência e, β é o coeficiente dependente da temperatura.

O valor máximo de μ_{pos} ocorre no centro do dispositivo porque não há influência da interface, ou seja, $F(y) = 1$, e o seu valor mínimo ocorre na interface com o óxido onde há degradação da mobilidade causada pelo maior valor do campo elétrico.

Os valores da mobilidade em função do espalhamento de superfície para o silício combinados com resultados experimentais mostram redução de 60% na mobilidade

superficial em função das direções da corrente e da orientação do cristal, onde foram utilizados os coeficientes de ajuste mostrados na Tabela 1.

Tabela 1 - Coeficientes de ajuste de $\mu_s(\alpha)$

Coeficiente	**Valores**	
	Modelo com quatro termos	Modelo com dois termos
a_0	0,7825	1,6
a_4	0,2264	0,4
a_8	0,02236	-
a_{12}	-0,0309	-

A mobilidade resultante μ_{pos} após o ajuste dos coeficientes de $\mu_s(\alpha)$, considerando os valores utilizados por Caughey e Thomas (1967) e Selberherr (1989) pode ser vista na Figura 13. O menor valor de mobilidade foi obtido em $\pi/4$ (45º) e o maior valor ocorre no centro do dispositivo onde a orientação cristalina não afeta a mobilidade final.

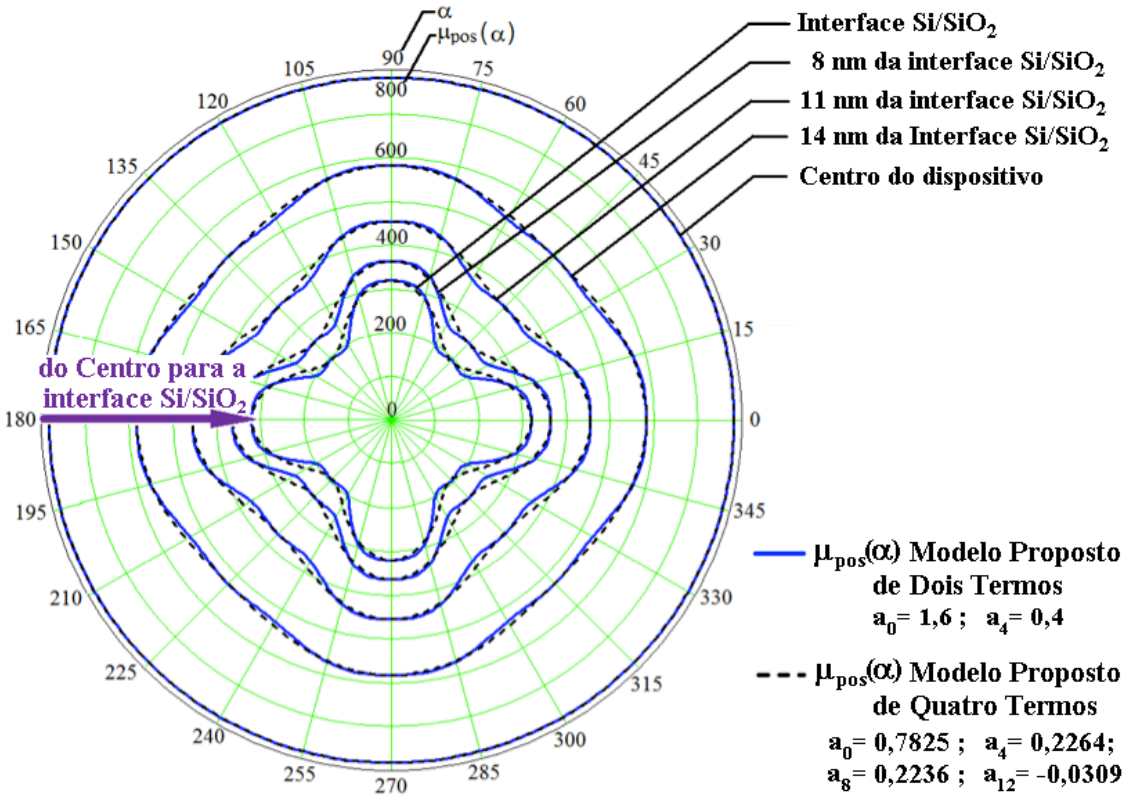

Figura 13 - Mobilidade dependente da posição e do ângulo da interface

Foram conduzidas simulações com dispositivos nMOSFETs convencionais com o objetivo de verificar o comportamento e ajustar os parâmetros do modelo de acordo resultados publicados e reconhecidos para dispositivos convencionais. O dispositivo escolhido possui comprimento de canal de 500nm, espessura do óxido de porta de 9nm, comprimento de fonte e dreno de 250nm e profundidade de junção de 80nm. A concentração de dopantes tipo p no canal foi de $1.10^{17}cm^{-3}$ e nas regiões de fonte e dreno a concentração de dopantes tipo n foi de $1.10^{20}cm^{-3}$ (GOEBEL et al, 2001).

Esse transistor em particular foi escolhido porque é similar ao utilizado e medido por Goebel et all (2001), que foi adotado como referência para este estudo.

As simulações foram realizadas utilizando o ângulo α medido com referência no plano (100) e variando de 0 a 45º, com o dispositivo operando em tríodo com tensão entre fonte e dreno de 100mV e rampa de tensão na porta variando de 0 a 3V.

Os valores máximos da transcondutância para cada ângulo α, mostradas na Tabela 2, foram obtidos a partir das curvas de transcondutância, mostradas na Figura 14, obtidas pela derivação da curva de corrente de dreno. Esses valores foram utilizados para extrair a mobilidade efetiva para campo elétrico baixo através da expressão (22) (MARTINO; PAVANELLO; VERDONCK, 2003).

$$\mu_{max} = \frac{L}{W.C_{ox}.V_{DS}}.gm_{max} \tag{22}$$

A mobilidade máxima calculada para todos os valores de α foi normalizada pelo valor da mobilidade de $\alpha=0^o$ e a curva resultante mostrou-se bem ajustada aos valores de referência para o modelo que usa os quatro termos da série de Fourier e, ainda, apresenta a mesma tendência para o modelo que usa somente dois termos da série de Fourier, porém com menor precisão, como pode ser visto na Figura 15.

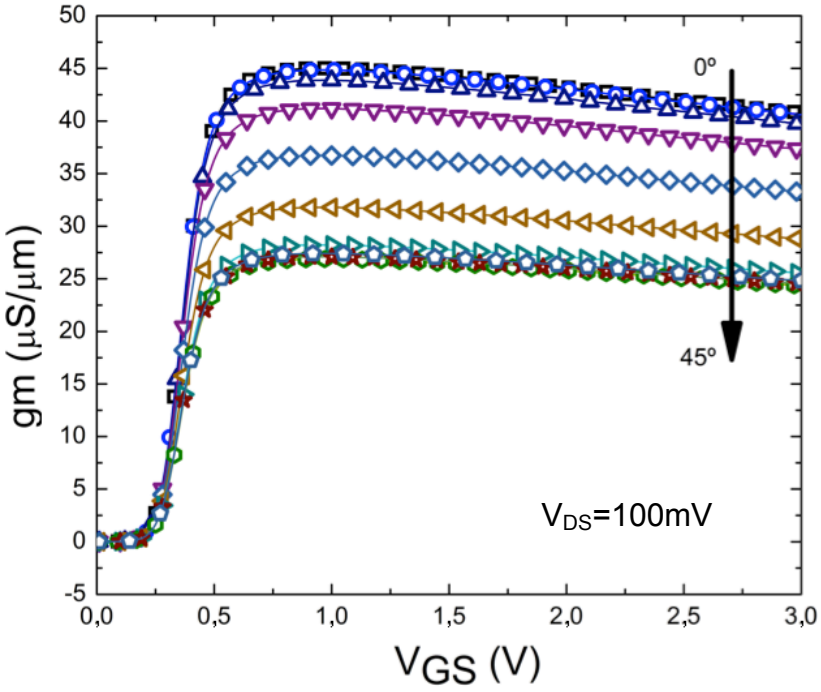

Figura 14 - Curvas de transcondutância obtidas para valores de α de 0 a 45º

Tabela 2 - Valores de gm_{max} em função do ângulo α

α (º)	gm_{max} (μS)
0	45,01
5	44,85
10	43,88
15	41,18
20	36,72
25	31,79
30	28,22
35	26,88
40	27,10
45	27,42

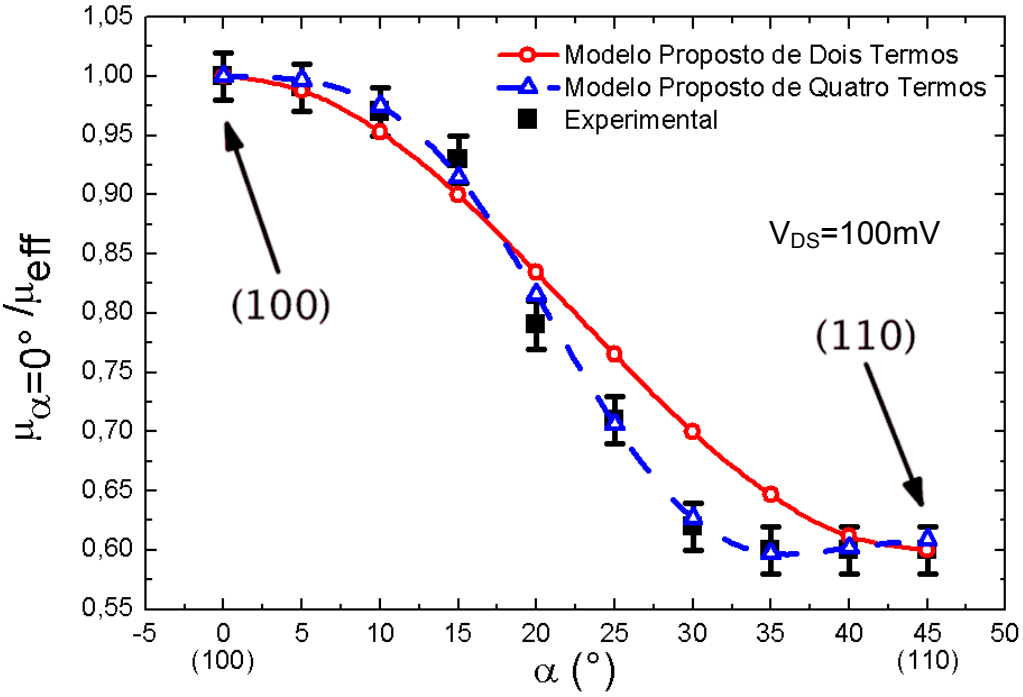

Figura 15 - Mobilidade efetiva normalizada em função do ângulo α

Foi então adotado o modelo com quatro termos da série de Fourier para as simulações subsequentes, devido ao fato de que a utilização de uma menor quantidade de termos no modelo não afetou o tempo total de simulação.

4.1 Modelo Simplificado de Mobilidade de Elétrons Que Considera o Impacto da Orientação da Interface Silício-Dielétrico para Dispositivos *Surrounding Gate*

O transistor CYNTHIA foi escolhido como referência para esta implementação porque apresenta uma variação contínua do plano de interface do silício com o dielétrico e essa variação implica em uma variação contínua na mobilidade dessa superfície. Apesar da interface não caracterizar planos discretos, é possível fazer uma aproximação, considerando o plano tangente a um determinados ponto para definir um plano de referência que pode ser utilizado para o cálculo da mobilidade dependente da orientação cristalina, como mostrado na Figura 16.

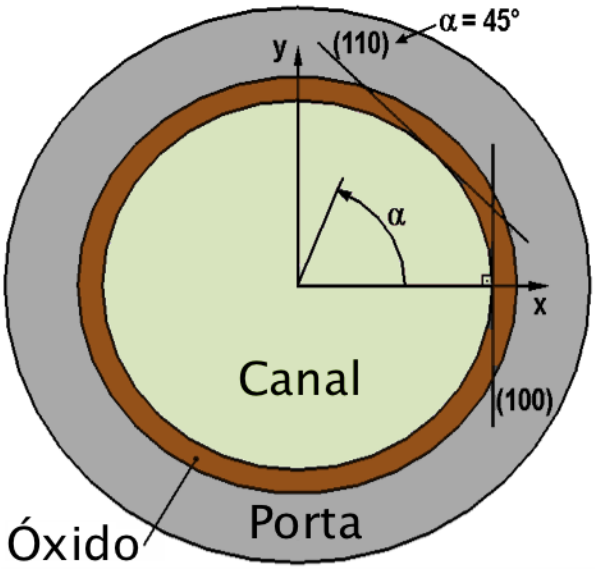

Figura 16. Seção transversal do transistor CYNTHIA

Nesta implementação foi utilizado o raio do transistor CYNTHIA como referência para o cálculo da distância da interface. O raio (r) e o ângulo (α), Figura 17, foram calculados a partir da posição do ponto da grade da simulação, equações (23) e (24).

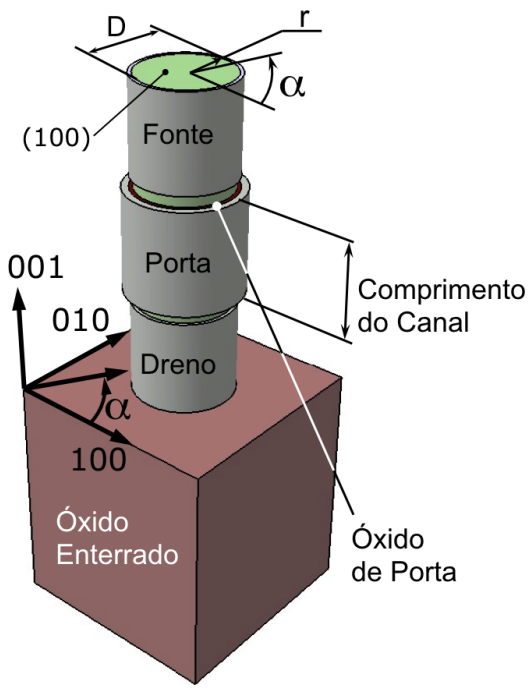

Figura 17 - Transistor circular CYNTHIA

$$r = \sqrt{pos_x^2 + pos_y^2} \tag{23}$$

$$\alpha = \tan^{-1}\left(\frac{pos_y}{pos_x}\right) \tag{24}$$

Onde *pos_x* e *pos_y* são as coordenadas do ponto da grade da simulação dadas em μm. A partir da definição do raio e do ângulo foi definida a distância da interface (*y*) em μm para o ponto calculado com base no raio do transistor definido (R_{CYN}), também dado em μm, equação (25).

$$y = R_{CYN} - r \tag{25}$$

A distância da interface y define o valor da função F(y), equação (26) (SELBERHERR, 1989) e fornece uma transição suave dos valores de mobilidade máximos do centro do dispositivo para os valores mínimos obtidos na interface.

$$F(y) = \frac{2e^{-\left(\frac{y}{y_{ref}}\right)^2}}{1+e^{-2\left(\frac{y}{y_{ref}}\right)^2}} \quad (26)$$

Foi feito, então, o cálculo da função angular ($F_{ang}(\alpha)$) que define o fator de decréscimo da mobilidade, equação (27).

$$F_{ang}(\alpha) = \frac{A_0 + A_4.\cos(4\alpha) + A_8.\cos(8\alpha) + A_{12}.\cos(12\alpha)}{B} \quad (27)$$

Onde os coeficientes A, A4, A8, A12 têm os valores e mostrados na Tabela 1 e B é o coeficiente de ajuste de simulação. A função angular altera os valores da mobilidade de referência calculada (μ_s) a partir da mobilidade com a influência dos espalhamentos de fônons e de impurezas ionizadas (μ_b), conforme definido por Selberherr (1989) e com o acréscimo do parâmetro de simulação *C* com valor de 0,815, equação (28). O parâmetro C foi introduzido com o objetivo de alterar o intervalo de atuação dos valores de mobilidade em função do ângulo para que eles possam aderir à dados experimentais.

$$\mu_S = \mu_b.\left(\frac{T_L}{300}\right)^{-1,19}.F_{ang}(\alpha).C \quad (28)$$

Por fim, a mobilidade dependente da posição *μpos* é calculada através da equação (29), onde o valor do campo elétrico no ponto da grade (*E*) é utilizado na razão com o campo elétrico de referência (E_{ref}).

$$\mu_{pos} = \frac{\mu_S + (\mu_b - \mu_S).\left(1 - F(y)\right)}{1 + F(y).\left(\frac{E}{E_{ref}}\right)^{\beta}} \quad (29)$$

4.2 Modelo Simplificado Tridimensional de Mobilidade de Elétrons para Dispositivos de Porta Tripla

A simulação de transistores de porta-tripla que leva em consideração mobilidades diferentes nas interfaces verticais e horizontais definia, até então, regiões com valores de mobilidade diferentes para cada interface, como mostrado na Figura 18, onde a interface horizontal superior possui maior valor de mobilidade devido ao processo de fabricação oferecer melhor controle na oxidação e corrosão dessa região. Essa abordagem favorece o ajuste da simulação e permite a obtenção de uma mobilidade efetiva, porém não reproduz com precisão as características internas dos dispositivos reais.

O modelo proposto para os dispositivos de portas triplas adota uma abordagem diferente, partindo de uma única região com valor de mobilidade que varia em função da proximidade da interface e da orientação cristalina dessa interface.

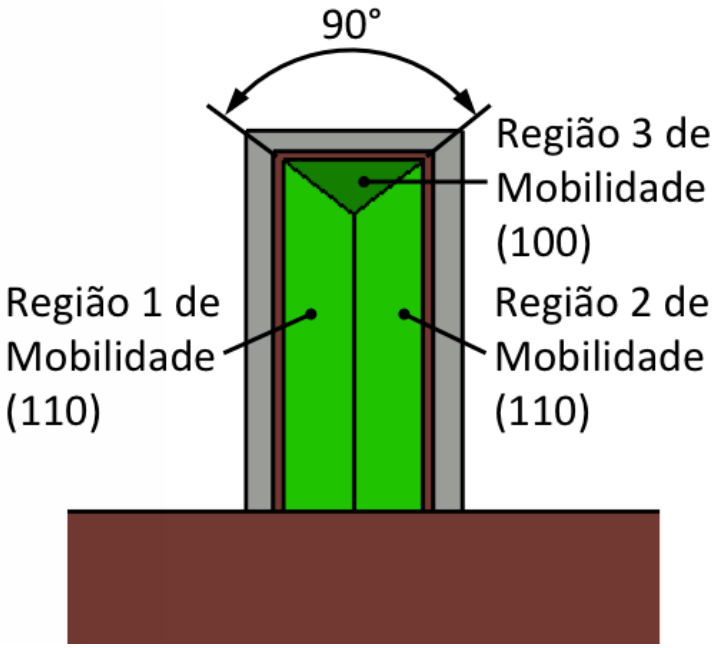

Figura 18 - Definição de regiões de mobilidade no transistor triple-gate

Para o transistor de porta tripla foram consideradas as equações do modelo para o dispositivo circular, porém, o ângulo α das interfaces com o dielétrico foram fixados em 0º para as interfaces horizontais e em 45º para as interfaces verticais, como mostrado na Figura 19.

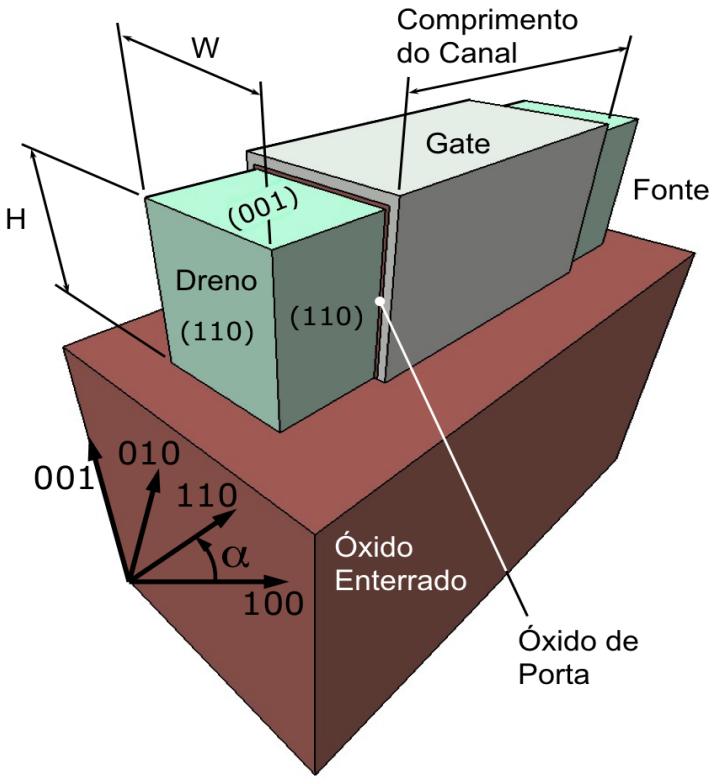

Figura 19 - Transistor triple-gate

Como o transistor de porta tripla possui quatro interfaces, foram consideradas as contribuições de todas as interfaces no cálculo da mobilidade dependente da posição.

Além das equações do modelo simplificado para o transistor circular, foi aplicada uma regra de associação das mobilidades para definir um único valor de mobilidade que considera a contribuição das quatro interfaces do dispositivo, como mostrado na equação (30).

$$\mu_{pos}(P,i) = n \cdot \left[\sum_{i=1}^{n} \left(\frac{1}{\mu_i(P)}\right)\right]^{-1} \quad (30)$$

Dessa forma é possível obter uma transição suave entre os valores de mobilidade em todo o corpo do transistor, considerando valores diferentes de mobilidade nas interfaces.

5 RESULTADOS OBTIDOS

5.1 Simulação do transistor CYNTHIA

Foram realizadas simulações tridimensionais para o transistor CYNTHIA no simulador Atlas, da Silvaco, e essas simulações utilizaram dois modelos distintos: o modelo simplificado de degradação da mobilidade na superfície (proposto) e o modelo de Caughey e Thomas de mobilidade de baixo campo elétrico (Analytic), que é um modelo de mobilidade inicialmente definido para simulações bidimensionais e adaptado para o uso em simulações 3D. Os dispositivos simulados foram transistores CYNTHIA com canal tipo n de comprimentos de 130, 150 e 180nm, diâmetros de 20, 30, 45, 55 e 65nm, espessura de óxido de porta de 2,5nm e comprimentos de fonte e dreno de 65nm. A concentração de dopantes utilizada foi de $1.10^{20}cm^{-3}$ nas regiões de fonte e dreno e $1x10^{15}cm^{-3}$ na região do canal e foi considerado que a lâmina possuía orientação (100). Os dispositivos definidos em tríodo, com 50mV entre fonte e dreno e tensão de porta variando de 0 a 1,2V.

Os resultados obtidos com o uso do modelo proposto mostraram valores menores de corrente de dreno em relação aos valores obtidos com o modelo Analytic , para todos os diâmetros de transistores, como pode ser visto na Figura 20, devido a degradação da mobilidade em função da distância da superfície.

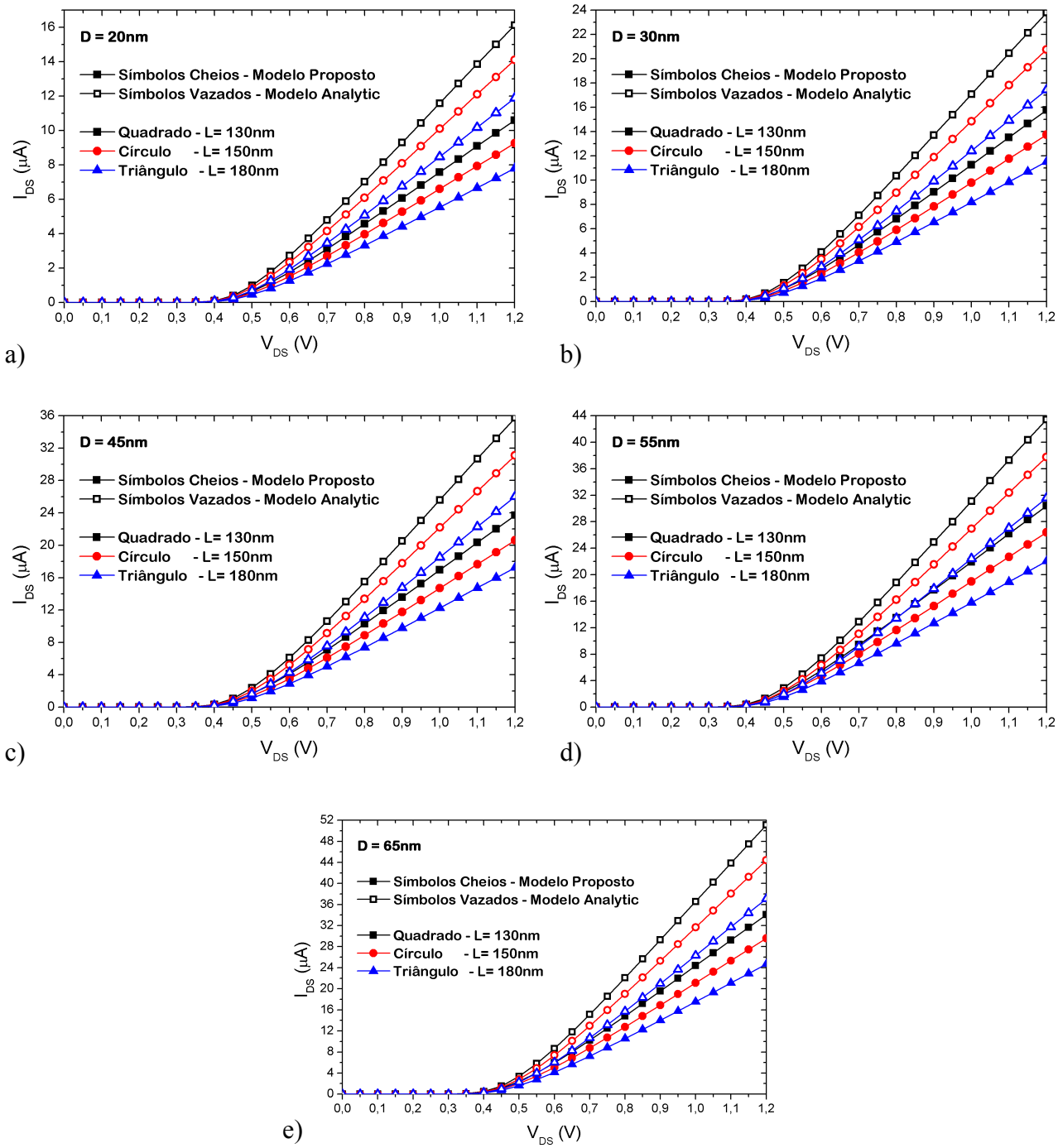

Figura 20. Valores de corrente de dreno dos transistores CYNTHIA obtidos com a simulação dos modelos proposto e analytic para os diâmetros de: a) 20nm, b) 30nm, c) 45nm, d) 55nm, e e) 65nm.

A transcondutância obtida também apresentou valores menores para o modelo proposto em comparação com o modelo Analytic (Figura 21).

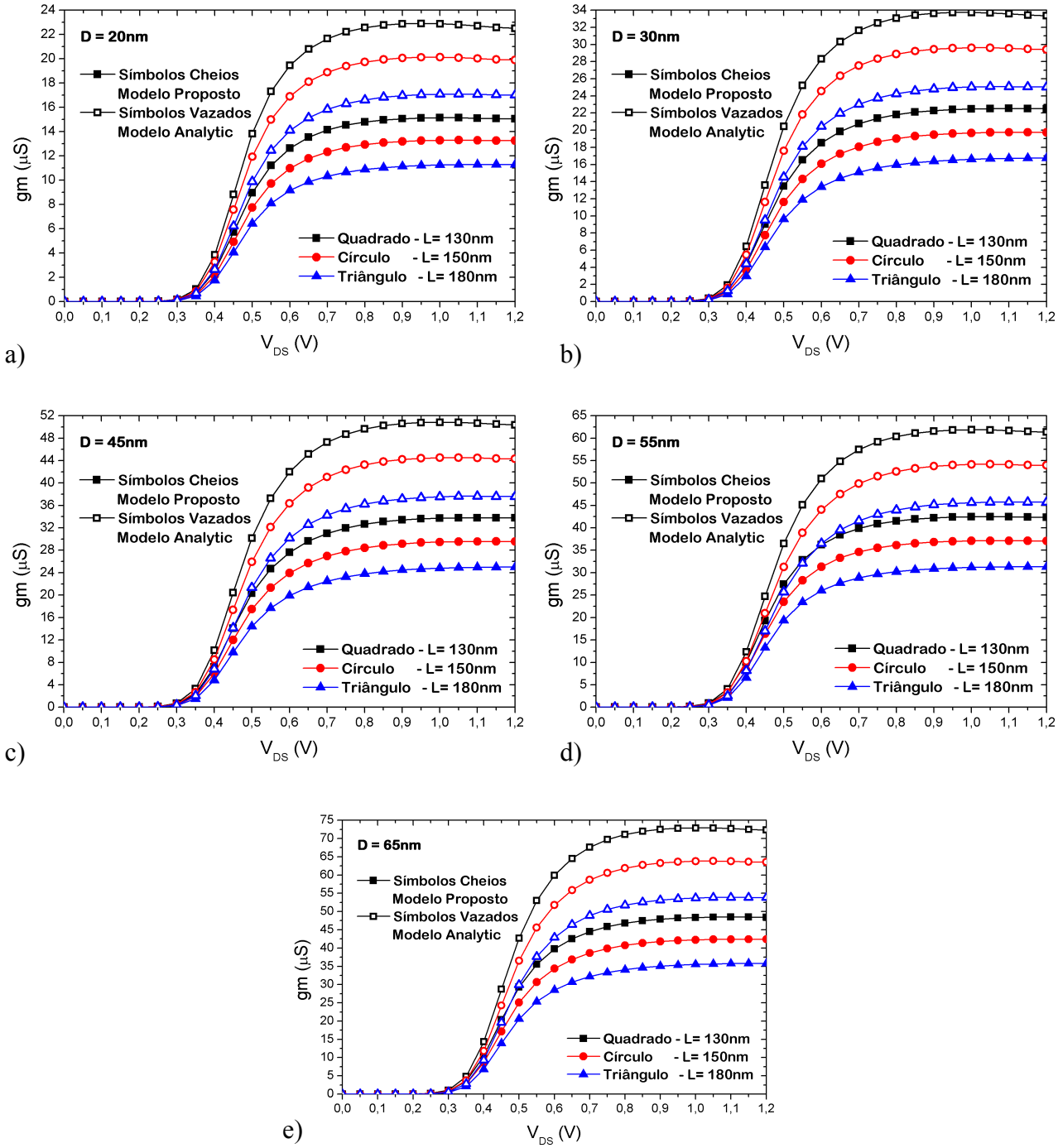

Figura 21. Valores de transcondutância dos transistores CYNTHIA obtidos com a simulação dos modelos proposto e analytic para os diâmetros de: a) 20nm, b) 30nm, c) 45nm, d) 55nm, e e) 65nm.

A implementação do modelo proposto através do interpretador C do simulador Atlas permitiu a observação de características internas do dispositivo que não poderiam ser visualizadas com o uso de outros modelos de mobilidade, como por exemplo a densidade de corrente na superfície do dispositivo.

A seção transversal do dispositivo CYNTHIA simulado mostra a variação da mobilidade no corpo do transistor e uma degradação ainda maior a cada 45º, como pode ser visto na Figura 22, obtida com o transistor em inversão forte.

A Figura 23 mostra as curvas de mobilidade obtidas a partir da seção transversal do transistor CYNTHIA, onde pode ser observado que as variações são contínuas e o maior valor de mobilidade ocorre no centro do dispositivo para todos os ângulos.

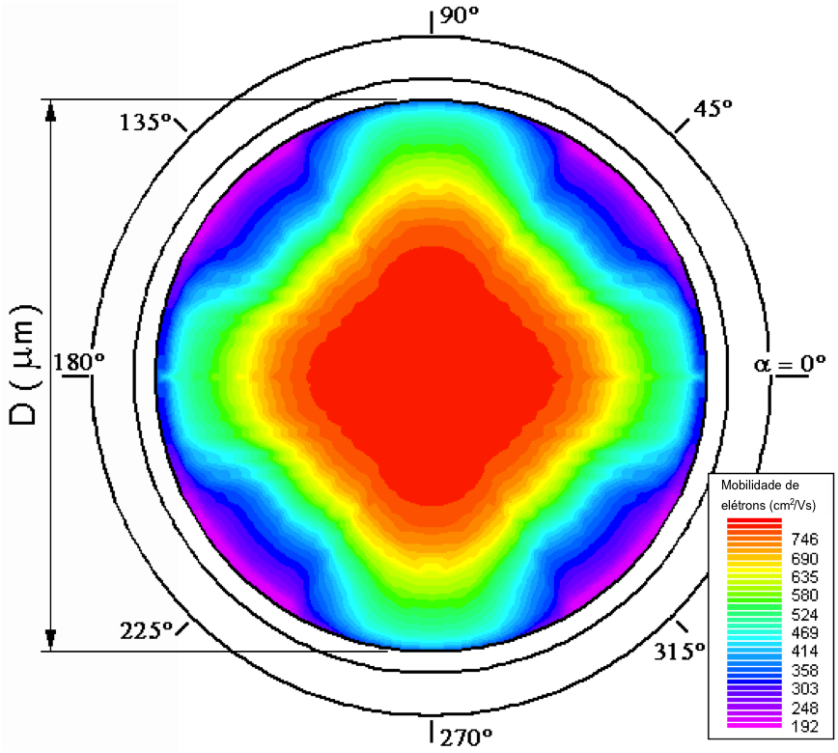

Figura 22 - Mobilidade mostrada na seção transversal do dispositivo CYNTHIA

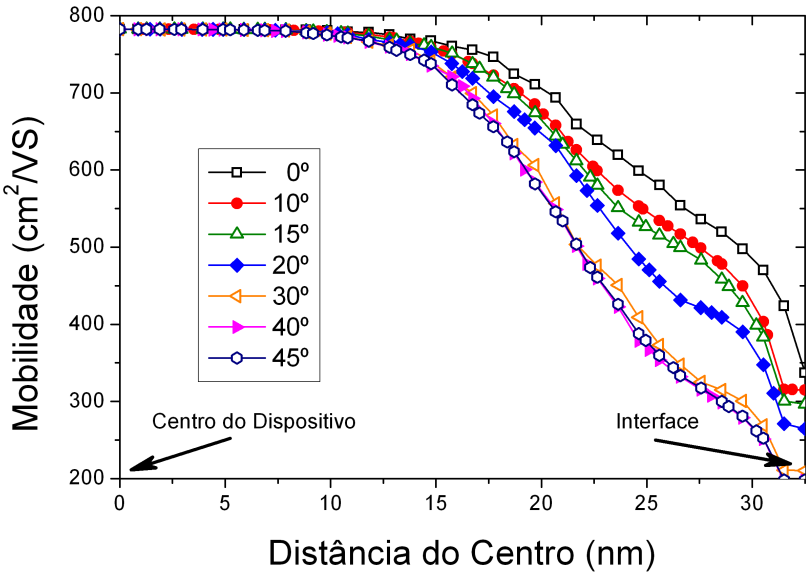

Figura 23. Perfis de mobilidade em função do ângulo de referência da seção transversal do transistor CYNTHIA.

O campo elétrico obtido a partir da simulação do modelo proposto mostra-se radialmente constante (Figura 24), assim como o potencial, mostrado na Figura 25, e não é afetado pela variação da mobilidade, como era esperado.

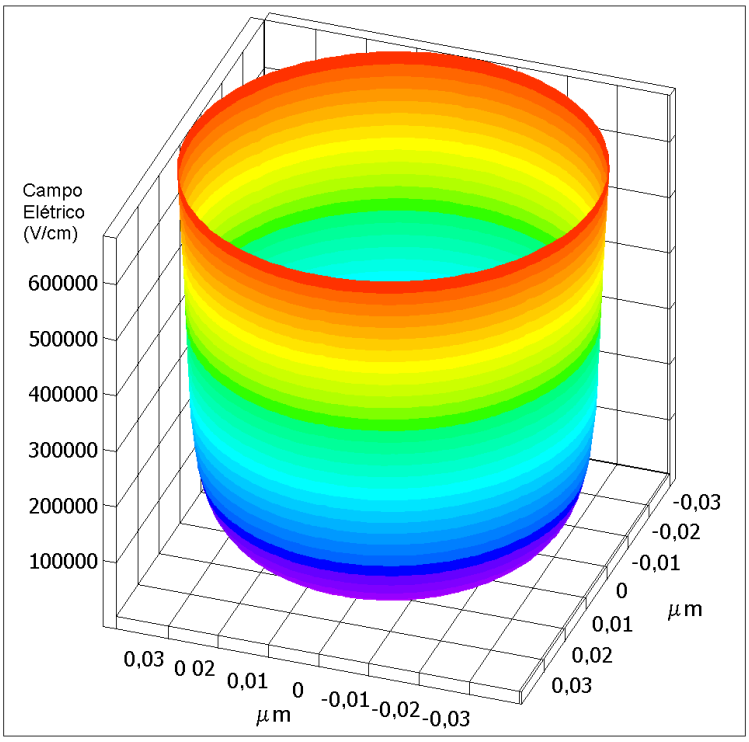

Figura 24 - Campo elétrico na seção transversal do dispositivo CYNTHIA

A densidade de corrente (Figura 26), porém, mostra valores diferenciados em relação ao ângulo de referência, ou seja, apresenta valores maiores nas posições 0º, 90º, 180º e 270º e menores nas posições 45º, 135º, 225º e 315º de acordo com a variação da mobilidade definida para essas posições.

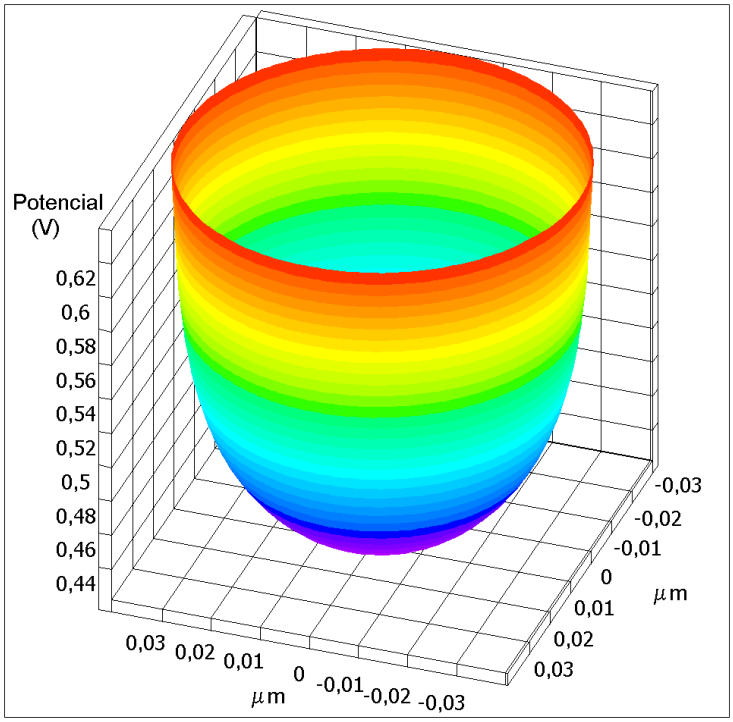

Figura 25 - Potencial na seção transversal do dispositivo CYNTHIA

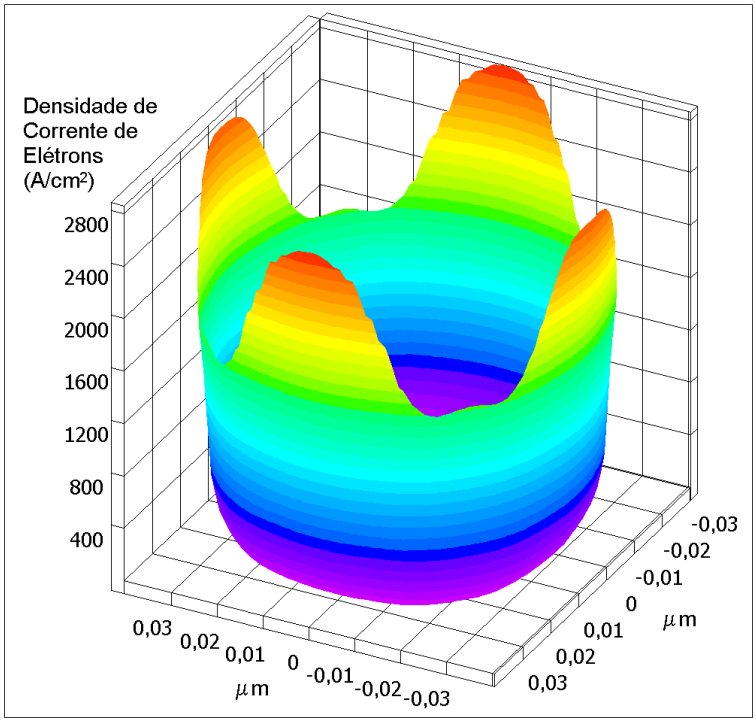

Figura 26 - Densidade de corrente de elétrons na seção transversal do dispositivo CYNTHIA

A densidade de corrente apresentou variações na sua distribuição em relação a polarização da porta do transistor. A Figura 27 mostra a distribuição da densidade de corrente no transistor CYNTHIA polarizado abaixo da inversão (V_G = 0,25V) e é possível notar o início da formação de quatro canais de corrente posicionados entre o centro do dispositivo e a interface, e nas posições de maior mobilidade de acordo com a orientação cristalina. Com o transistor polarizado na tensão de limiar (V_G = 0,45V) pode-se notar que os quatro canais com maior densidade de corrente ainda estão presentes, porém, mais próximos da interface (Figura 28). Ao polarizar o transistor em inversão forte, os maiores valores de densidade de corrente migram para a interface, nas posições angulares de maior mobilidade (Figura 29).

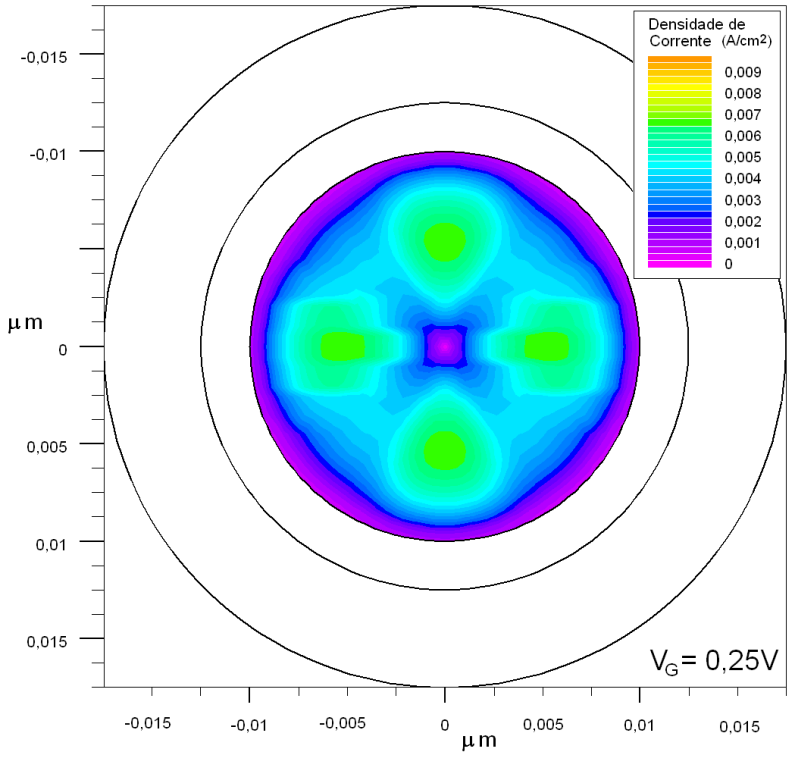

Figura 27. Densidade de corrente na seção transversal do dispositivo CYNTHIA de diâmetro 20nm polarizado abaixo da inversão.

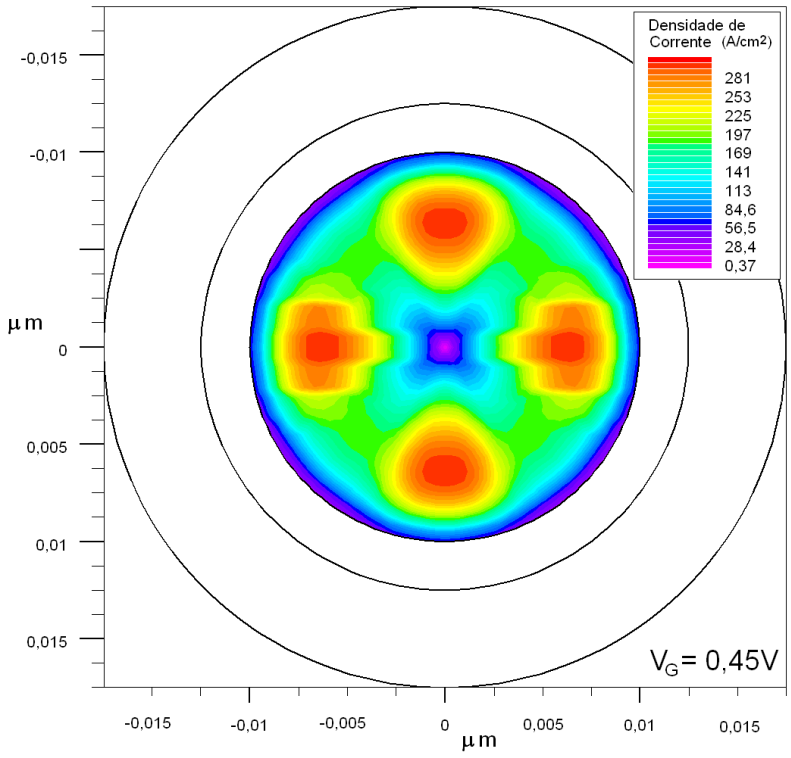

Figura 28. Densidade de corrente na seção transversal do dispositivo CYNTHIA de diâmetro 20nm polarizado na tensão de limiar.

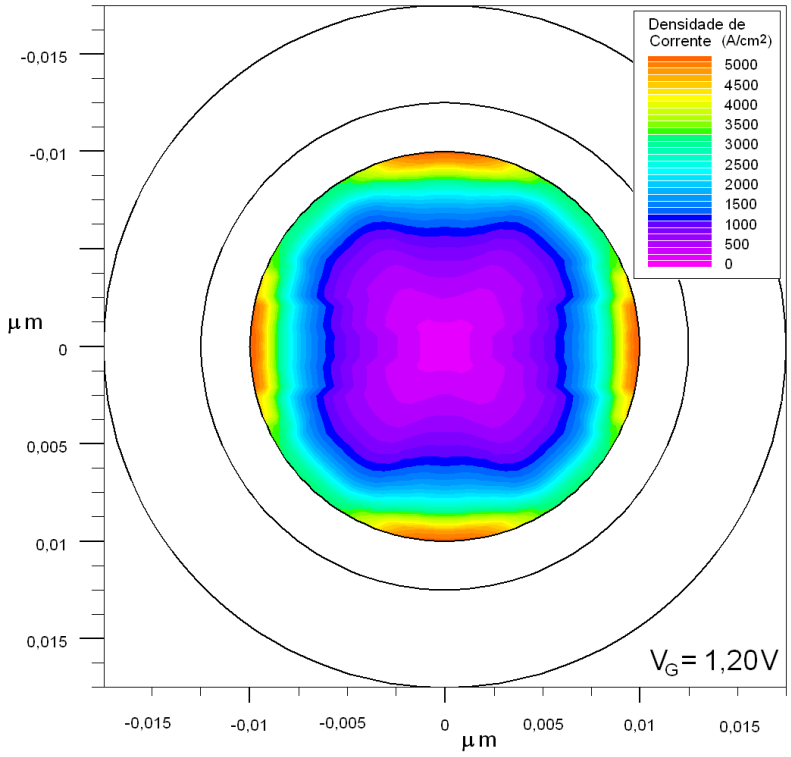

Figura 29. Densidade de corrente na seção transversal do dispositivo CYNTHIA de diâmetro 20nm polarizado em inversão forte.

É possível também observar que o centro do transistor permanece com os maiores valores de mobilidade devido à menor influência da interface e dos mecanismos de degradação da mobilidade de baixo campo. A grande variação na densidade de corrente observada pode levar a grande degeneração nas regiões e maiores temperaturas locais, que podem reduzir a confiabilidade do dispositivo. Algumas vantagens dos dispositivos circulares CYNTHIA sobre os transistores de seção quadrada consideradas anteriormente deveriam ser reavaliadas em função das novas possibilidades de observação das influências das orientações da interface através do modelo proposto.

5.2 Simulação do transistor de porta tripla

Os transistores de porta tripla utilizados, cujos dados experimentais foram cedidos pelo IMEC, para o ajuste da simulação do modelo proposto, foram transistores SOI nMOSFET com comprimento de canal de 900nm, altura da aleta (fin) de 65nm, larguras de aleta de 20nm e 70nm, e espessura efetiva do óxido de porta (EOT) de 2nm. A concentração de dopantes no substrato é de $1.10^{15}cm^{-3}$ e nas regiões de extensão de fonte e dreno é de $8.10^{18}cm^{-3}$.

Os transistores foram polarizados em triodo com 50mV entre fonte e dreno e, com tensão de porta variando de 0 a 1,2V.

As simulações tridimensionais foram computadas com dispositivos com as mesmas características dos transistores experimentais fabricados no IMEC (COLLAERT, 2006).

A simulação foi feita utilizando duas estratégias diferentes, a primeira (convencional) utiliza a divisão da aleta do dispositivo em 3 regiões com mobilidade inicial diferentes e utiliza modelos de mobilidade definidos para simulações bidimensionais (2D) adaptados para o uso em simuladores 3D. A segunda, definiu uma única região de mobilidade para o corpo do transistor e o modelo proposto, que foi definido para uso em simulações 3D.

Apesar das duas estratégias utilizadas mostrarem um bom ajuste aos transistores medidos na corrente de dreno (I_{DS}), como mostrado na Figura 30, o modelo proposto mostrou-se melhor no ajuste simultâneo da corrente de dreno e da transcondutância (gm) para os transistores mais estreitos e mais largos. O erro quadrático obtido foi de $4{,}69x10^{-07}$ $A^2/\mu m^2$ para o transistor com largura de aleta de 20 nm e $1{,}85x10^{-06}$ $A^2/\mu m^2$ para o transistor com largura de aleta de 70 nm.

A mobilidade efetiva extraída pelo método da primeira derivada, através da transcondutância máxima, mostrou pequenas diferenças entre os resultados obtidos na simulação e os experimentais. Os valores calculados foram de 183 e 199 cm^2/Vs para os dispositivos com largura de aleta de 70 nm, e 191 e 189 cm^2/Vs para os dispositivos com largura de aleta de 20 nm para os valores obtidos experimentalmente e simulados respectivamente, o que implica em uma diferença de 8% (W_{FIN}=70 nm) e 1% (W_{FIN}=20 nm).

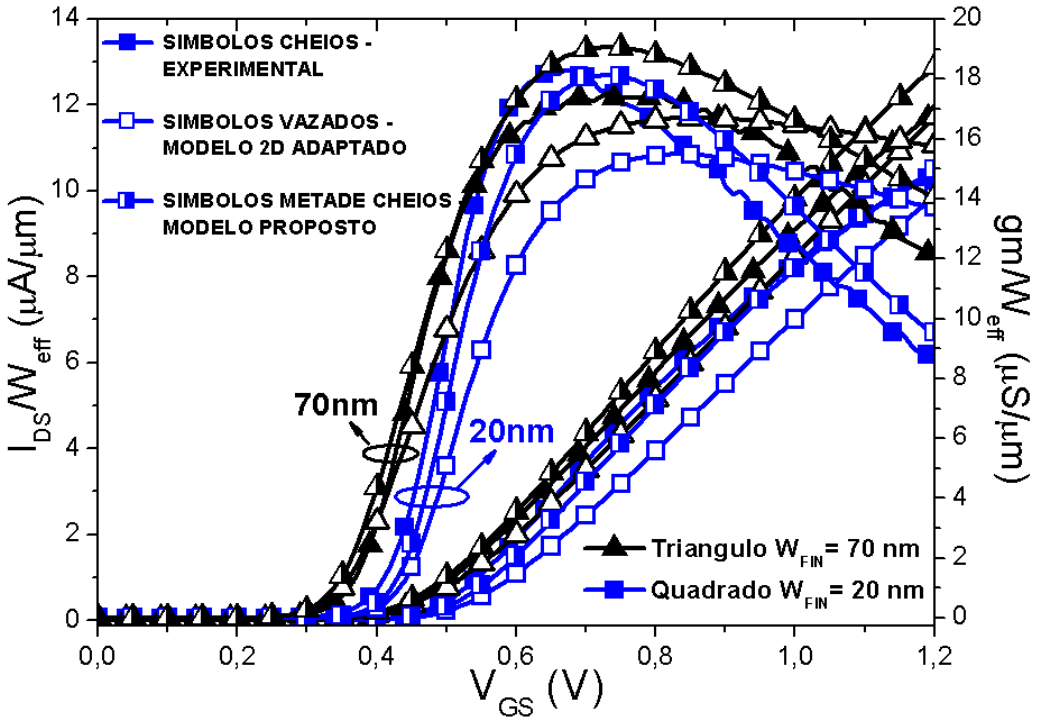

Figura 30 - Curvas de corrente dreno e transcondutância normalizadas pela largura dos transistores

Além do melhor ajuste para a corrente de dreno e para a transcondutância em relação ao modelo 2D adaptado, o modelo proposto também mostra resultados mais confiáveis para as variáveis elétricas internas no corpo do dispositivo e nas interfaces do silício com o óxido de porta.

A Figura 31 mostra a distribuição da mobilidade na seção transversal do centro da aleta do dispositivo, calculada pelo modelo proposto (Figura 31 a) e pelo modelo 2D adaptado (Figura 31 b) com tensão aplicada na porta de 1,2V. O resultado calculado pelo modelo proposto mostra uma distribuição contínua e fisicamente explicável da mobilidade, enquanto o resultado gerado pelo modelo 2D adaptado mostra uma descontinuidade na distribuição sem alguma justificativa física.

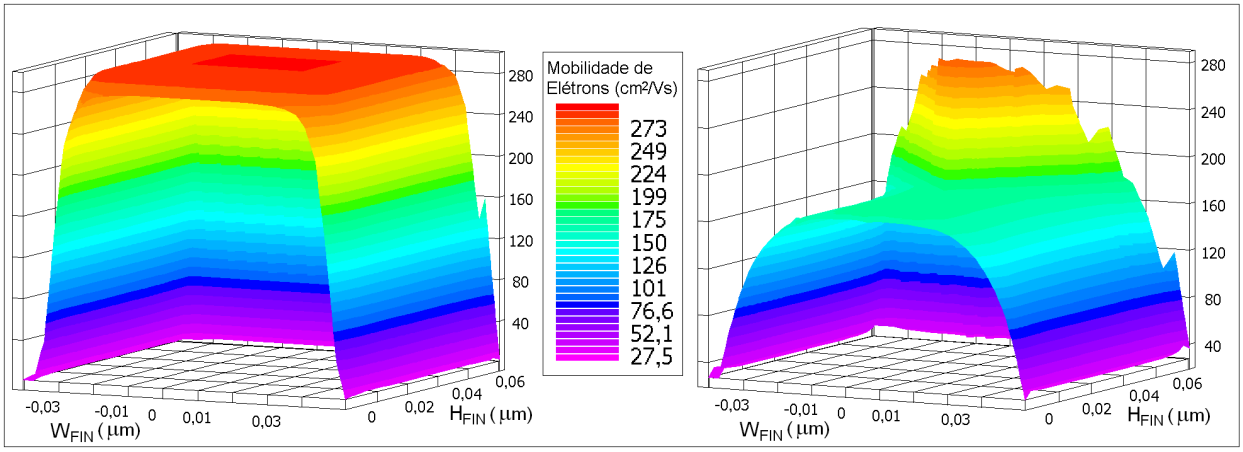

Figura 31 - Distribuição da mobilidade pelo corpo do dispositivo para os modelo proposto (a) e adaptado 2D (b).

A descontinuidade ocorre nos limites entre as regiões e pode ser visto claramente na Figura 32. A comparação entre a distribuição contínua obtida com o uso do modelo proposto e a descontinuidade obtida com o uso do modelo convencional adaptado com regiões de mobilidade diferentes.

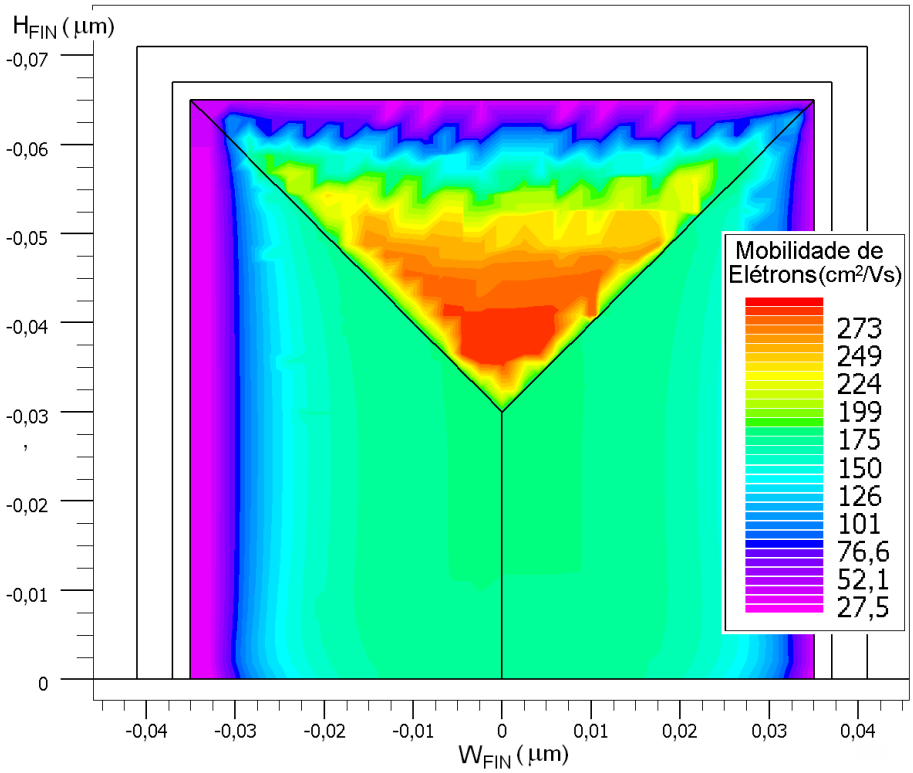

Figura 32 - Seção transversal do dispositivo simulado dividida em três regiões.

Em função da curva da mobilidade que não é compatível com uma situação real, outro parâmetro elétrico que também mostra valores não compatíveis é a densidade de corrente de elétrons (Figura 33), apesar do campo elétrico ser o mesmo para os dois casos (Figura 34).

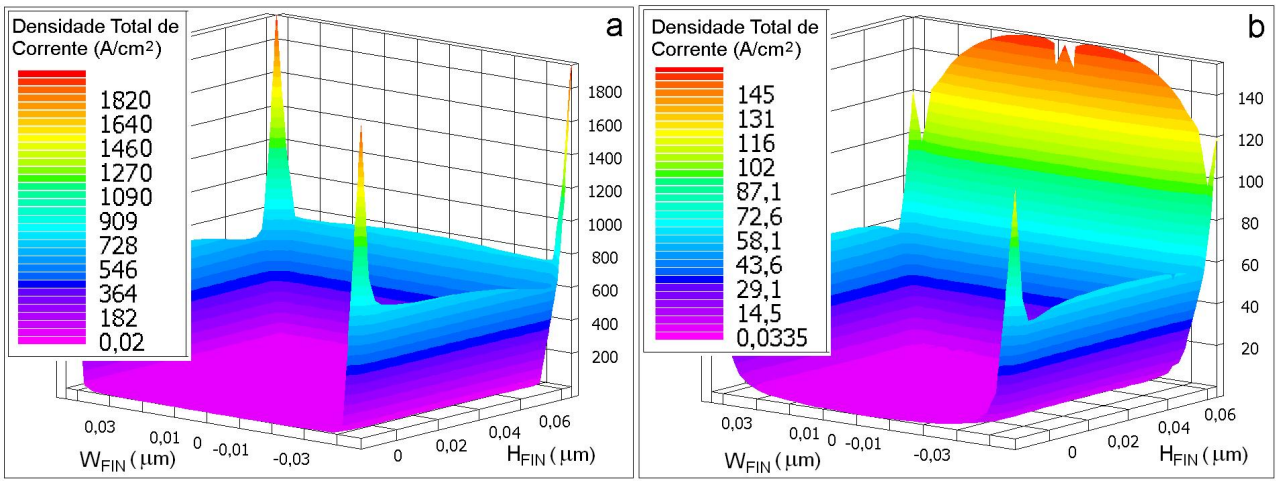

Figura 33 - Densidade de corrente de elétrons para os modelo proposto (a) e adaptado 2D (b).

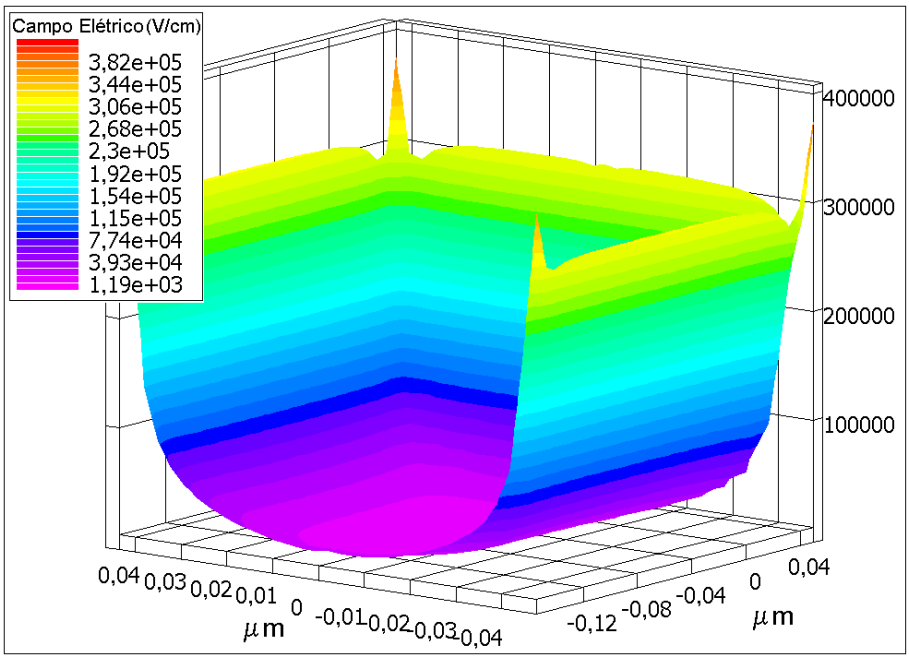

Figura 34 - Distribuição do campo elétrico para o dispositivo simulado

A análise da densidade de corrente em regimes abaixo da inversão obtida (V_G=0,30V) através do modelo proposto mostra que há formação de dois canais de maior densidade de corrente simétricos, mais próximos do centro do dispositivo e ligeiramente mais próximos da interface superior, como mostrado na Figura 35.

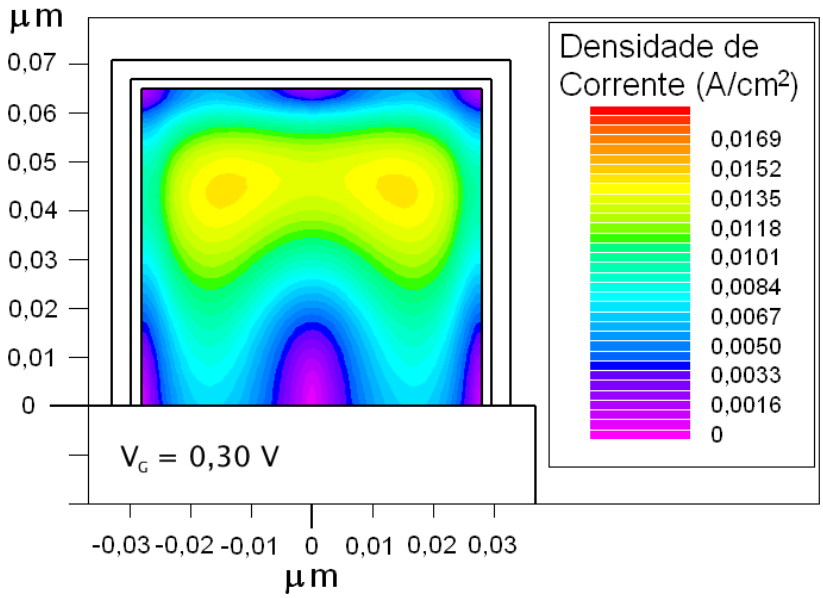

Figura 35. Distribuição do campo elétrico para o transistor com polarização abaixo da tensão de limiar.

A Figura 36 mostra a densidade de corrente obtida com a polarização da porta na tensão de limiar, onde é possível verificar a migração dos canais simétricos do centro em direção às interfaces do silício com o dielétrico verticais e com menor incidência em relação a interface superior. No regime de inversão forte, mostrado na Figura 37, os canais de maior densidade de corrente estão posicionados nas interfaces verticais devido à influência do campo elétrico nas paredes laterais e, em menor proporção, na interface superior.

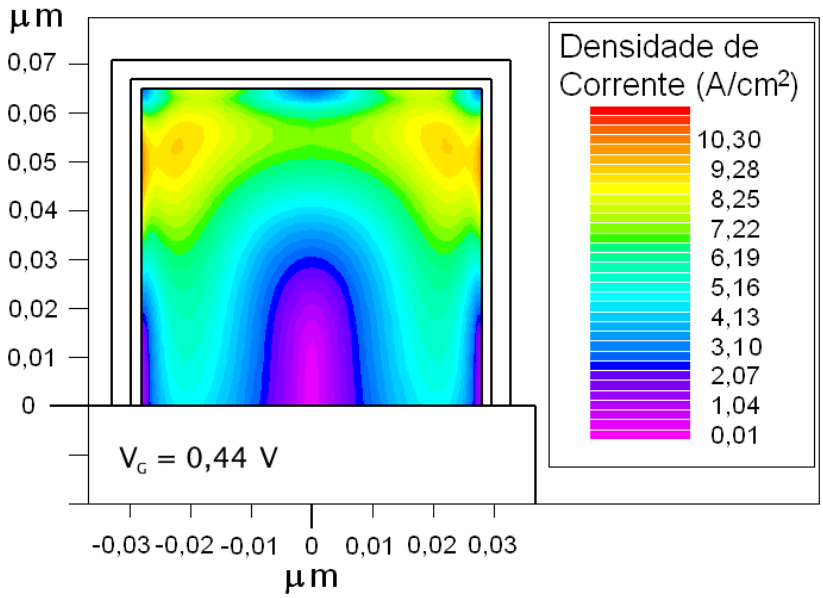

Figura 36. Distribuição do campo elétrico para o transistor polarizado na tensão de limiar.

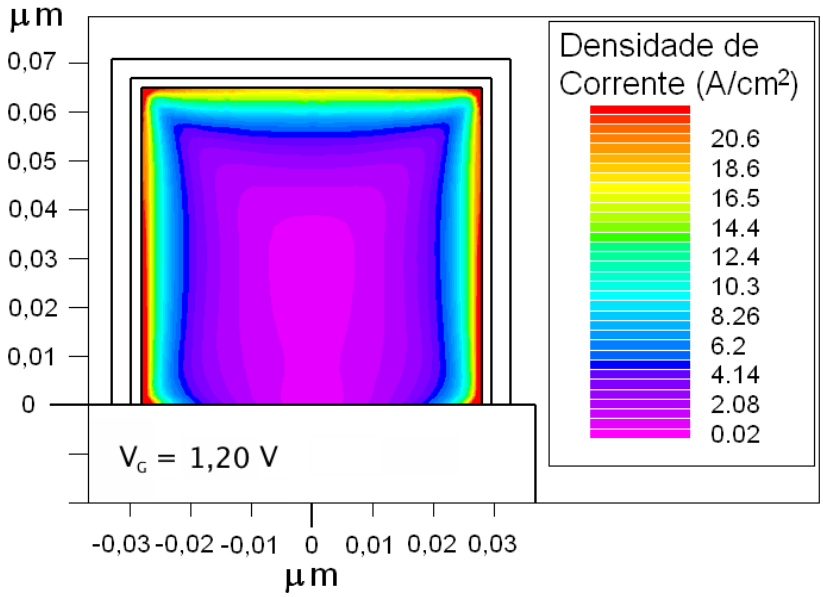

Figura 37. Distribuição do campo elétrico para o transistor com polarização acima da tensão de limiar.

As curvas de mobilidade mostradas na Figura 38 mostram os valores da mobilidade local calculadas ao longo do perímetro da seção transversal da aleta do transistor, na região do canal para uma polarização de porta de 0,74V (gm_{max}) em várias distâncias da interface. A interface inferior possui os maiores valores de mobilidade, nas interfaces laterais a mobilidade atinge os valores mínimos e na interface superior os valores são menores que na interface inferior. Os menores valores obtidos encontram-se nos cantos superiores, onde há influência

simultânea dos campos elétricos das portas superior e lateral. A influência do campo elétrico é maior nas interfaces superior e laterais, enquanto a interface inferior é muito pouco afetada.

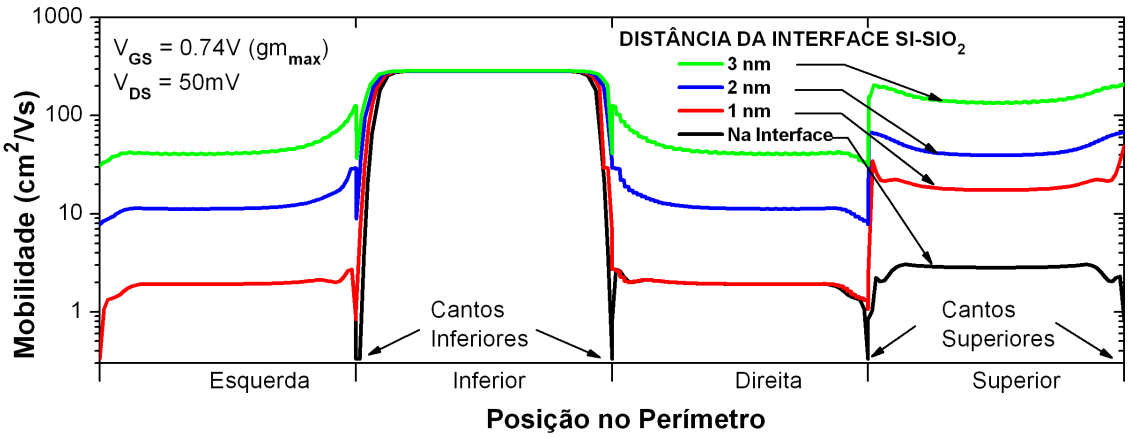

Figura 38. Distribuição da mobilidade ao longo do perímetro da aleta em distâncias da interface diferentes.

Os resultados da simulação do modelo proposto mostram variações contínuas e explicáveis para a mobilidade calculada. Uma vez que a distribuição da densidade de corrente ocorre em aproximadamente 3nm a partir da interface para o centro do transistor, a pequena mobilidade local calculada nas interfaces é contraposta pelos valores maiores de mobilidade das posições internas e formam os resultados de densidade de corrente e a mobilidade efetiva total do transistor.

6 CONCLUSÕES

Neste trabalho um modelo de mobilidade simples foi proposto a fim de permitir o uso do simulador 3D como ferramenta de análise dos novos dispositivos, uma vez que até o momento não foram desenvolvidos modelos tridimensionais de mobilidade de portadores que levassem em consideração a orientação cristalina.

Os modelos propostos para os dispositivos circulares e de porta-tripla acrescentam a possibilidade de estudo do comportamento de alguns efeitos relevantes decorrentes da variação da mobilidade dos portadores em função da orientação cristalina da interface entre o óxido e o silício. Esses efeitos não são mostrados adequadamente pelos modelos disponíveis nos simuladores.

Os modelos propostos consideram a mobilidade como uma grandeza física, assim como as propriedades da simetria do cristal, e podem ser usados em conjunto com outros modelos de mobilidade pois lidam somente com a geometria do dispositivo. Os modelos foram implementados através do interpretador da linguagem C disponível no simulador numérico computacional e a mobilidade efetiva extraída mostrou ótima aderência aos dados experimentais.

Para os transistores CYNTHIA, que possuem variação contínua na orientação cristalina da interface óxido/silício, que foram simulados com o uso do modelo proposto, a variação da mobilidade na superfície conduziu a uma variação na densidade de corrente em toda a superfície de condução do transistor, apesar do campo elétrico e do potencial serem constantes. O modelo proposto permitiu a observação da variação da densidade de corrente de elétrons na interface com o óxido em função da variação da mobilidade superficial baseada na orientação cristalina em vários regimes de polarização da porta.

Além disso, o modelo proposto permite a simulação de vários tipos de transistores MuGFETs com controle muito bom sobre os parâmetros de cada interface com o óxido, incluindo suas orientações cristalinas.

Os resultados das simulações dos dispositivos de porta tripla mostraram bom ajuste com os dados experimentais e permitiram a visualização de alguns parâmetros elétricos no corpo do dispositivo que não eram calculados ou mostrados adequadamente pelos modelos

adaptados 2D em uso até então, como por exemplo, a própria distribuição da mobilidade em um dispositivo tridimensional e a consequente variação da densidade de corrente, que podem ajudar a compreender melhor os fenômenos elétricos associados.

Os modelos propostos poderão ser muito úteis nas próximas análises de dispositivos de múltiplas portas com variações na orientação cristalina da interface entre o óxido e o silício, pois foram desenvolvidos para o uso em simuladores tridimensionais e permitem a investigação de parâmetros que até então não podiam ser visualizados ou se mostravam defeituosos devido à adaptação dos modelos bidimensionais utilizados anteriormente.

Com o aumento dos estudos dos dispositivos de múltiplas portas aumentou também a necessidade de prever os comportamentos elétricos e físicos desses dispositivos e verificou-se que os simuladores atuais não contam com modelos de mobilidade desenvolvidos para a simulação tridimensional. A adaptação dos modelos de mobilidade disponíveis fez com que fossem mostradas condições irreais e que sem explicação física para a distribuição dos valores de mobilidade, por exemplo, pelo corpo dos dispositivos.

Para as próximas etapas da pesquisa deverão ser desenvolvidos modelos de mobilidade para lacunas e estudados outros dispositivos de múltiplas portas, reais e simulados, como por exemplo os transistores FinFET, transistores de porta tripla e dispositivos do tipo *surrounding gate* de formas quadrada e circular, através do modelo proposto com o objetivo de aprimorar a implementação atual do modelo, bem como a possibilidade de serem incluídos outros efeitos originados pela geometria do dispositivo e orientação cristalina que não estão inteiramente adaptados à abordagem tridimensional da simulação numérica.

A análise térmica dos transistores, tanto CYNTHIA quanto de porta tripla, é também um assunto a ser estudado nas próximas oportunidades por causa da diferença na concentração de corrente em função da variação da mobilidade.

REFERÊNCIAS

ARORA, N.D.; HAUSER, J.R.; ROULSTON, D.J. Electron and hole mobilities in silicon as a function of concentration and temperature, **IEEE Transactions on Electron Devices**, v. 29, n. 2, p. 292- 295, Feb. 1982.

Atlas Device Simulator User's Manual, v. 5.10.0.R, Silvaco Int., California, USA, 2008.

BASU, D.; GILBERT, M. J.; BANE, S. K. Surface Roughness Exacerbated Performance Degradation in Silicon Nanowire Transistors, **Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures**, vol. 24, n. 5, p. 2424-2428, Sep. 2006.

CAUGHEY, D.M.; THOMAS, R.E. Carrier Mobilities in Silicon Empirically Related to Doping and Field, **Proceedings of the IEEE**, v. 55, n.12, p. 2192- 2193, Dez. 1967.

CHUNG, J. E.; et al. The Effects of Low-Angle Off-Axis Substrate Orientation on MOSFET Performance and Reliability, **IEEE Transactions on Electron Devices**, v. 38, n. 3, p. 627-633, Mar. 1991.

COLINGE, Jean-Pierre; COLINGE, Cynthia A. **Physics of Semiconductor Devices**, Massachusetts, EUA: Kluwer, 2002.

COLINGE, Jean-Pierre. **Silicon-On_Insulator Technology:** Materials to VLSI, 3. ed. Massachusetts, EUA: Kuwler, 2004.

COLINGE, Jean-Pierre. **FinFETs and Other Multi-Gate Transistors**, Massachusetts, EUA: Springer, 2008.

COLLAERT, N.; et al. Performance Enhancement of MUGFET Devices Using Super Critical Strained-SOI (SC-SSOI) and CESL, **Symposium on VLSI Technology Digest of Technical Papers**, p. 52-53, Jun 2006.

CONDE, O. A.; et al. A Review of Recent MOSFET Threshold Voltage Extraction Methods, **Microelectronics Reliability**, v. 42, p. 583-596, 2002.

DeckBuild User's Manual, Silvaco Int., California, USA, 2006.

DevEdit User's Manual, Silvaco Int., California, USA, 2006.

DORKEL, J.M.; LETURCQ, P. Carrier mobilities in silicon semi- empirically related to temperature, doping and injection level, **Solid-State Electronics**, V. 24, n. 9, p. 821-825, 1981.

DOYLE, B.S.; et al. High performance fully-depleted tri-gate CMOS transistors, **IEEE Electron Device Letters**, v. 24, n. 4, p. 263-265, 2003

GAMIZ, F.; ROLDAN, J. B. Scattering of Electrons in Silicon Inversion Layers by Remote Surface Roughness, **Journal of Applied Physics**, v. 94, n. 1, p. 392-399, Jul. 2003.

GOEBEL, B.; SCHUMANN, D.; BERTAGNOLLI, E. Vertical N-Channel MOSFETs for Extremely High Density Memories: The Impact of Interface Orientation on Device Performance, **IEEE Transactions on Electron Devices**, v. 48, n. 5, p. 897-906, May 2001.

INTEL, **Intel Reinvents Transistors Using New 3-D Structure**, Disponível em: <http://newsroom.intel.com/community/intel_newsroom/blog/2011/05/04/intel-reinvents-transistors-using-new-3-d-structure >. Acesso em: 23 jun. 2011.

KLAASSEN, D.B.M. A unified mobility model for device simulation, In: Electron Devices Meeting, 1990. IEDM '90. **International Technical Digest**, p.357-360, Dez. 1990.

LOMBARDI, C.; et al. A Physically Based Mobility Model for Numerical Simulation of Nonplanar Devices, **IEEE Transactions on Computer-Aided Design**, v. 7, n. 11, Nov. 1988.

MARTINO, J. A.; PAVANELLO, M. A.; VERDONCK, P. B., **Caracterização Elétrica de Tecnologia e Dispositivos MOS**, Thomson, São Paulo, 2003.

MASETTI, G.; SEVERI, M.; SOLMI, S., Modeling of carrier mobility against carrier concentration in arsenic-, phosphorus-, and boron-doped silicon, **IEEE Transactions on Electron Devices**, v. 30, n. 7, p. 764 - 769, Jul. 1983.

MCKIE, D.; MCKIE, C. **Crystalline Solids**, New York, USA: J. Wiley, 1974.

MEREU, B.; et al. The Role of Si Orientation and Temperature on the Carrier Mobility in Metal Oxide Semiconductor Field-Effect Transistors with Ultrathin HfO2 Gate Dielectrics, **Journal of Applied Physics**, v. 100, n. 1, 014504 - 014504-6, Jul. 2006.

MIYANO, S.; HIROSE, M.; MASUOKA, F., Numerical Analysis of a Cylindrical Thin-Pillar Transistor (CYNTHIA), **IEEE Transactions on Electron Devices**, v. 39, n. 8, p. 1876 - 1881, Aug. 1992.

PERIN, A. L.; PEREIRA, A. S. N.; AGOPIAN, P. G. D.; MARTINO, J.A.; GIACOMINI, R., A Simple Electron Mobility Model Considering the Impact of Silicon-Dielectric Interface Orientation for Surrounding Gate Devices, **ECS Transactions**, v. 39, n. 1, p. 179 - 186, 2011.

PESSOA, F. **Livro do Desassossego**, São Paulo: Companhia das Letras, 1999.

SELBERHERR, S., Process and Device Modeling for VLSI, **Microelectronics Reliability**, v. 24, n. 2, p. 225-257, 1984.

SELBERHERR, S. MOS Device Modeling at 77 K, **IEEE Transactions on Electron Devices**, v. 36, n. 8, p. 1464-1474, ago. 1989.

SHIRAHATA, M.; et al. Mobility Model Including the Screening Effect in MOS Inversion Layer, **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, v. 11, n. 9, p. 1114-1119, set. 1992.

SODINI, C.G.; KO, P. K.; MOLL, J. L., The Effects of High Fields on MOS Device and Circuit Performance, **IEEE Transactions on Electron Devices**, V. ED-31, n. 10, p. 1386-1393, out.1984.

STREETMAN, Ben G.; BANERJEE, Sanjay K. **Solid States Electronic Devices**. 6. ed. New Jersey, EUA: Prentice Hall, 2009.

SZE, S. M., **Physics of Semiconductor Devices,** 3 ed.. New York, EUA: J. Wiley & Sons, 2007.

YAMAGUCHI, K., A Mobility Model for Carriers in the MOS Inversion Layer, **IEEE Transactions on Electron Devices**, V. ED-30, n. 6, p. 658-663, Jun. 1983.

APÊNDICE A - TRABALHOS PUBLICADOS

Os trabalhos relacionados abaixo foram elaborados e publicados no período de realização deste curso de mestrado:

PERIN, A. L.; AGOPIAN, P. G. D.; GIACOMINI, R., Study of Numerical Simulation Mobility Models for SOI MOS Devices, **Proceedings on Microelectronics Students Forum 2010**, São Paulo, 2010.

PERIN, A. L.; PEREIRA, A. S. N.; AGOPIAN, P. G. D.; MARTINO, J.A.; GIACOMINI, R., A Simple Electron Mobility Model Considering the Impact of Silicon-Dielectric Interface Orientation for Surrounding Gate Devices, **ECS Transactions**, v. 39, n. 1, p. 179-186, 2011.

PERIN, A. L.; GIACOMINI, R., Desenvolvimento e Implantação de um Modelo de Mobilidade para Simulação de Dispositivos de Múltiplas Portas, Resumo apresentado no XIV Congresso de Iniciação e Produção Científica, no XIII Seminário de Extensão da Metodista e no VIII Seminário PIBIC/UMESP de Pesquisa da Universidade, 2011, São Bernardo do Campo, São Paulo, Brasil.

PERIN, A. L.; PEREIRA, A. S. N.; AGOPIAN, P. G. D.; MARTINO, J.A.; GIACOMINI, R., A Simple Electron Mobility Model Considering the Silicon-Dielectric Interface Orientation for Circular Cross Section Surrounding-Gate Transistor, **Journal of Integrated Circuits and Systems**, em submissão, artigo convidado.

APÊNDICE B - ARQUIVO DE SIMULAÇÃO DO DISPOSITIVO CIRCULAR

Descrição do código de entrada do simulador Atlas utilizado para simulação dos dispositivos circulares CYNTHIA.

```
##########################################
# MosFET Circular para avaliacao analogica #
# Canal tipo P                           #
##########################################

go atlas simflags="-P 32"

#########
# Grade #
#########

mesh three.d cylindrical

r.mesh location=0.000 spacing=0.050
r.mesh location=0.0325 spacing=0.001
r.mesh location=0.035 spacing=0.010
r.mesh location=0.04 spacing=0.010

a.mesh location=0 spacing=60

z.mesh location=-0.100 spacing=0.0250
z.mesh location=-0.04 spacing=0.050
z.mesh location=-0.0325 spacing=0.00125
z.mesh location= 0.0    spacing=0.01
z.mesh location= 0.0325 spacing=0.00125
z.mesh location= 0.04 spacing=0.050
z.mesh location= 0.100 spacing=0.0250

############
# Regioes #
############

# Canal
region  num=1  material=silicon  z.min=-0.0325  z.max=  0.0325  a.min=0  a.max=360
r.max=0.0325

# Oxido porta
region  num=2  material=oxide      z.min=-0.0325  z.max=  0.0325  a.min=0  a.max=360
r.min=0.0325 r.max=0.035

# Dreno
region  num=3  material=silicon  z.min=-0.100  z.max=-0.0325  a.min=0  a.max=360
r.max=0.0325

# Fonte
region  num=4  material=silicon  z.min=  0.0325  z.max=  0.100  a.min=0  a.max=360
r.max=0.0325

############
# Contatos #
############
electrode name=drain  z.min=-0.100 z.max=-0.035 r.min=0.0325 r.max=0.035
electrode name=gate   z.min=-0.0325 z.max= 0.0325 r.min=0.035 r.max=0.040
electrode name=source z.min= 0.035 z.max= 0.100 r.min=0.0325 r.max=0.035

############
# Dopagens #
############
DOPING  p.type  F3.DOPING="Dop_Pos_XY.lib" reg=1
DOPING  n.type  F3.DOPING="Dop_Pos_XY.lib" reg=3
DOPING  n.type  F3.DOPING="Dop_Pos_XY.lib" reg=4

###################
# Salva estrutura #
###################

save outf=Cynthia_Position_002_compl.str

################################
```

```
# Funcao trabalho dos contatos #
################################
contact name=gate   workfunc=4.7
contact name=source aluminum
contact name=drain  aluminum

########################
# Seleciona os modelos #
########################
models srh bgn auger consrh print temp=300
MATERIAL   F.LOCALMUN="Mob_Dop_Pos_XY.lib"
MATERIAL   F.LOCALMUP="Mob_Dop_Pos_XY.lib"

######################
# Define os metodos #
######################
method gummel newton autonr bicgst trap maxtrap=10 carriers=2
output       E.MOBILITY H.MOBILITY

######################
# Inicia a simulacao #
######################
# Especifica a solucao anterior como aproximacao inicial
solve init

# Polariza o dreno
solve vdrain=0.010 vstep=0.010 vfinal=0.050 name=drain
save outf=Cynthia_Position_003_compl.str  master
log outf=Cynthia_Function_300_000.log master

# Polarizacoes do gate
solve vgate=0 vstep=0.050 vfinal=1.00 name=gate
save outf=Cynthia_Position_300_004_compl.str  master

#######
# Fim #
#######
quit
```

APÊNDICE C - CÓDIGO C PARA O MODELO DE MOBILIDADE

Descrição do código em linguagem C que implementa o modelo de mobilidade proposto.

```
#include <stdio,h>
#include <stdlib,h>
#include <math,h>
#include <ctype,h>
#include <malloc,h>
#include <string,h>
#include <template,h>

/* ---------------------------------------------------------------------
 * Position and potential dependent electron mobility model,
 * Statement: MATERIAL/MOBILITY
 * Parameter: F,LOCALMUN
 * Arguments:
 * na    acceptor concentration (per cc)       * nd    donor concentration (per cc)
 * e     electric field (V/cm)                 * pot   potential Volts
 * Tl    lattice temperature (K)               * Tn    electron temperature (K)
 * pos   pos[0] = x-coord, pos[1] = y-coord pos[2] = z-coord (um)
 * *mu   [return] field dependent mobility (cm^2/Vs)
 * *dmde [return] derivative of mu with e
 * *dmdv [return] derivative of mu with pot
 * *dmdtl [return] derivative of mu with Tl
 * *dmdtn [return] derivative of mu with Tn
 */

int localmun(double na, double nd, double e, double pot,double Tl,double Tn,double
*pos,double *mu,double *dmde,double *dmdv,double *dmdtl,double *dmdtn)
{
   const double mobmin=1,0e-3, PI=3,14159265;
   double MUN0, RAD, RCYN, THETA, FANG;
   double MULN, MUMINN, MULIN, CI, CREFN, ALPHAN, MULISN, MUREFN, SN, SREFN, Fy, y,
yREF;
   double MUMINN_aux1, MUMINN_aux2;
   double AA, BB, CC4, CC8, CC12, DD;
   double postot, posx, posy;
   int    xy, yy, xx;

   if ( nd > 1,0e13 )
   {  postot = 0,0;   }
   else
   {  postot = nd - 1,0e12;     }

   xy = (int)postot;
   xx = xy/10000;
   yy = xy%10000;
   posx = ( (double)xx / 1,0e4);
   posy = ( (double)yy / 1,0e4);

   MUN0 = 1430,0;
   RCYN = 32,5;

   RAD = ( sqrt( (posx*posx) + (posy*posy) )* 1,0e3 ) ;

   if ( ( posx >= 0,0 ) && ( posy >= 0,0 ) )
   {  if ( posx > 1,0e-15 )
      {  THETA = atan( ( posy/posx ) );    }
      else
      {  THETA = ( PI/2,0 );     }
   }
   else
   {  if ( ( posx >= 0,0 ) && ( posy < 0,0 ) )
      {  if ( posx > 1,0e-15 )
         {  THETA = atan( ( posy/posx ) );  }
         else
         {  THETA = ( -PI/2,0 ); }
      }
      else
      {  if ( ( posx < 0,0 ) && ( posy < 0,0 ) )
         {  if ( posx < -1,0e-15 )
```

```
          {  THETA = -( PI + atan( ( posy/posx ) ) );    }
          else
          {  THETA = ( -PI/2,0 );    }
        }
        else
        {  if ( posx < -1,0e-15 )
          {  THETA = -PI - atan( ( posy/posx ) );   }
          else
          {  THETA = ( PI/2,0 );     }
        }
      }
   }

MULN = MUN0 * pow( ( Tl / 300,0 ), -2,0 );

if ( Tl >= 200,0 )
   {  MUMINN = 80,0 * pow(  ( Tl / 300,0 ), -0,45 ); }
else
   {  MUMINN_aux1 = pow( ( 200,0 / 300,0 ), -0,45 );
      MUMINN_aux2 = pow( ( Tl / 300,0 ), -0,15 );
      MUMINN = 80,0 * MUMINN_aux1 * MUMINN_aux2;
   }

   CI = na + nd;
   CREFN = 1,12E17 * pow(  ( Tl / 300,0 ), 3,2 );
   ALPHAN = 0,72 * pow(  ( Tl / 300,0 ), 0,065 );
   MULIN = MUMINN + ( ( MULN - MUMINN ) / ( 1,0 + pow( ( CI / CREFN ), ALPHAN ) )
);

   AA  = 0,815;
   BB  = 0,7825;
   CC4 = 0,2264;
   CC8 = 0,02236;
   CC12 = -0,0309;
   DD = 1,0;

   FANG = ( BB + CC4 * cos( 4,0 * THETA ) + CC8 * cos( 8,0 * THETA ) + CC12 * cos(
12,0 * THETA ) ) / DD;

   MUREFN = MULIN * pow( ( Tl / 300,0 ), -1,19 ) * AA * FANG;

   SN = e;
   SREFN = 7,0E5;

   y = RCYN - RAD;

   yREF = 10,0;

   Fy = ( 2,0 * exp( -pow( ( y / yREF ), 2,0 ) ) ) / ( 1,0 + exp( -2,0 * pow( ( y /
yREF ), 2,0 ) ) );

   MULISN = ( MUREFN + ( MULIN - MUREFN ) * ( 1,0 - Fy ) ) / ( 1,0 + ( Fy * pow( (
SN / SREFN ), ALPHAN ) ) );

   *mu = MULISN;

   if (*mu < mobmin) *mu = mobmin;

   *dmde =  0,0;
   *dmdv =  0,0;
   *dmdtl = 0,0;
   *dmdtn = 0,0;

   return(0);
}


/*
```

APÊNDICE D - ARQUIVO PARA CONSTRUÇÃO DA ESTRUTURA 3D

Descrição do código para definição tridimensional do dispositivo utilizando o Devedit3D.

```
########################################
# Triple-gate para avaliacao analogica #
########################################

go devedit simflags="-3d"

bnd.cond when=automatic rounding.unit=2e-5

###################
# Variaveis em um #
###################

# Largura fin W
set wt = 0.020
set wtm = $"wt"/2

# Altura fin H
set hc = 0.065
set hcm = $"hc" - $"wtm"

# Altura box
set hb = 0.145

# EOT
set eo = 0.0020

# Espessura gate
set eg = 0.004

# Comprimento canal
set lc = 0.900
set lcm = $"lc"/2

# Comprimentode fonte e dreno
set ls = 0.050
set lsm = $"lcm" + $"ls"

# Comprimento do contato
set la = 0.010
set lam = $"lsm" + $"la"

# Largura Total oxido porta
set wto  = $"wt" + ( 2 * $"eo" )
set wtom = $"wto" / 2

# Largura Total Gate
set wtg = $"wt" + ( 2 * $"eo" ) + ( 2 * $"eg" )
set wtgm = $"wtg" / 2

# Largura Total BOX
set wb = $"wt" + ( 2 * $"eo" ) + ( 2 * $"eg" ) + 0.010
set wbm = $"wb" / 2
set ho   = $"hc" + $"eo"
set hg   = $"hc" + $"eo" + $"eg"
set hbg  = $"hb" + $"eg"

############
# Regioes #
############

# Porta
region reg=1 name=gate mat=Aluminum elec.id=1 work.func=0 z1=-$"lcm" z2= $"lcm" \
   polygon="-$"wtgm",0 -$"wtgm",$"hg" $"wtgm",$"hg" $"wtgm",0"

# Isolante de Porta
region reg=2 name=toxf mat="Silicon Oxide" z1=-$"lcm" z2= $"lcm" \
   polygon="-$"wtom",0 -$"wtom",$"ho" $"wtom",$"ho" $"wtom",0"
```

```
# Aleta
region reg=3 name=fin mat=Silicon z1=-$"lsm" z2= $"lcm" \
   polygon="-$"wtm",$"hc" $"wtm",$"hc" $"wtm",0 -$"wtm",0"

# Extencao de Dreno
region reg=4 name=drain mat=Silicon z1=-$"lsm" z2=-$"lcm" \
   polygon="-$"wtm",0 -$"wtm",$"hc" $"wtm",$"hc" $"wtm",0"

# Extencao de Fonte
region reg=5 name=source mat=Silicon z1= $"lcm" z2= $"lsm" \
   polygon="-$"wtm",0 -$"wtm",$"hc" $"wtm",$"hc" $"wtm",0"

# Contato de Dreno
region reg=6 name=drain mat=Aluminum elec.id=2 work.func=0 z1=-$"lam" z2=-$"lsm" \
   polygon="-$"wtm",0 -$"wtm",$"hc" $"wtm",$"hc" $"wtm",0"

# Contato de Fonte
region reg=7 name=source mat=Aluminum elec.id=3 work.func=0 z1= $"lsm" z2= $"lam" \
   polygon="-$"wtm",0 -$"wtm",$"hc" $"wtm",$"hc" $"wtm",0"

# Oxido Enterrado
region reg=8 name=box mat="Silicon Oxide" z1=-$"lam" z2= $"lam" \
   polygon="-$"wbm",0 $"wbm",0 $"wbm",-$"hb" -$"wbm",-$"hb""

# Contato de Substrato
region reg=9 name=substrate mat=Aluminum elec.id=4 work.func=0 z1=-$"lam" z2=
$"lam" \
   polygon="-$"wbm",-$"hb" $"wbm",-$"hb" $"wbm",-$"hbg" -$"wbm",-$"hbg""

#####################
# Grade no plano xy #
#####################
# Grade geral
constr.mesh id=1 x1= -$"wtm"-0.0025 y1= 0.0 x2= +$"wtm"+0.0025 y2= $"hc" default
max.height=0.0020 max.width=0.0020

# Grade fina superior
constr.mesh id=2 x1= -$"wtm"-0.005 y1= $"hc"-0.005 x2= $"wtm"+0.005 y2= $"hc"+0.005
default max.height=0.0015 max.width=0.0015

# Grade fina inferior
constr.mesh id=3 x1= -$"wtm"-0.005 y1= -0.005 x2= $"wtm"+0.005 y2= 0.005 default
max.height=0.0015 max.width=0.0015

# Grade fina lateral esquerda
constr.mesh id=4 x1= -$"wtm"-0.005 y1= 0.000 x2= -$"wtm"+0.005 y2= $"hc" default
max.height=0.0015 max.width=0.0015

# Grade fina lateral direita
constr.mesh id=5 x1= $"wtm"+0.005 y1= 0.000 x2= $"wtm"-0.005 y2= $"hc" default
max.height=0.0015 max.width=0.0015

# Grade fina inferior no oxido enterrado
constr.mesh id=6 x1= -0.010 y1= 0.0 x2= 0.010 y2= -0.0010 default max.height=0.0020
max.width=1.000

# Realizando operacoes de grade
Mesh Mode=MeshBuild

####################
# Grade no eixo z #
####################

# Define espacamento e taxa de variacao maxima
z.plane max.spacing=1e6 max.ratio=1.5

# Grade fina contato dreno
z.plane z=-$"lam" spacing=0.500

# Grade fina extencao dreno
z.plane z=-$"lsm" spacing=0.500

# Grade fina canal central
z.plane z=-$"lcm"          spacing=0.0010
z.plane z=-($"lcm"-0.006) spacing=0.010
z.plane z=-($"lcm"-0.010) spacing=0.045
z.plane z=-($"lcm"-0.110) spacing=0.050
```

```
z.plane z= 0.000          spacing=0.050
z.plane z= ($"lcm"-0.110) spacing=0.050
z.plane z= ($"lcm"-0.010) spacing=0.045
z.plane z= ($"lcm"-0.006) spacing=0.010
z.plane z= $"lcm"         spacing=0.0010

# Grade fina extencao fonte
z.plane z= $"lsm" spacing=0.500

# Grade fina contato fonte
z.plane z= $"lam" spacing=0.500

####################
# Salva estrutura #
####################
structure outf=L900-H65-W20_Function_msh.str

###################
# Inicia o Atlas #
###################
go atlas

#######
# Fim #
#######
quit
```

APÊNDICE E - ARQUIVO PARA SIMULAÇÃO DO DISPOSITIVO 3D

Descrição do código de entrada do simulador Atlas utilizado para simulação dos dispositivos SOI triple-gate tridimensionais.

```
#####################################################
# Triple-gate L = 900nm   H = 65 nm   W = 20 nm    #
#####################################################

##################
# Inicia o Atlas #
##################

go atlas simflags="-P 32"

######################
# Carrega a estrutura #
######################

mesh infile=L900-H65-W20_Function_msh.str

###################################
# Define a concentracao da dopagem #
###################################

# Aleta
DOPING  uniform conc=1e15 p.type reg=3
DOPING  F3.DOPING="Dop_Pos_XY12.lib" reg=3

# Extensao de Dreno
doping uniform conc=8.0e18 n.type reg=4

# Extensao de Fonte
doping uniform conc=8.0e18 n.type reg=5

#############################################################################################
# Define a carga de interface separadamente nas interfaces "front and back oxide" #
#############################################################################################

interf qf=5e10 region=2

###################################
# Define a funcao trabalho da porta #
###################################

contact name=gate      workfunction=4.775
contact name=substrate workfunction=4.95

##################
# Salva estrutura #
##################

#structure outf=FinFET_L900-H65-W20_300ae_002_ini.str

########################
# Seleciona os modelos #
########################

model fermi ni.fermi fldmob print auger bgn consrh temp=300
MATERIAL   F.LOCALMUN="Mob_Dop_Pos_XY_FinFET_R1_W020.lib"
MATERIAL   F.LOCALMUP="Mob_Dop_Pos_XY_FinFET_R1_W020.lib"

####################
# Define os metodos #
####################

method newton autonr bicgst dvlimit=1 maxtraps=6 atrap=0.1
output       E.MOBILITY H.MOBILITY

######################
# Inicia a simulacao #
######################
```

```
# Especifica a solucao anterior como aproximacao inicial
solve init

#save outf=FinFET_L900-H65-W20_300ae_002.str master

# Polariza o dreno
solve vdrain=0.001 name=drain
solve vdrain=0.005 name=drain
solve vdrain=0.010 vstep=0.010 vfinal=0.050 name=drain

# Inicia o log
log outf=FinFET_L900-H65-W20_300ae_000.log master

# Polarizacoes do gate
solve name=gate vgate=0.000 vfinal=1.2 vstep=0.010
save outf=FinFET_L900-H65-W20_300ae_004.str master

# Fim do log
log off

#######
# Fim #
#######

quit
```