

CENTRO UNIVERSITÁRIO FEI
FILIPE COSTA FEITOSA

**ANÁLISE DAS PROPRIEDADES BÁSICAS DO SIC VDMOSFET (WBG) PARA
APLICAÇÕES DE TRAÇÃO AUTOMOTIVA**

São Bernardo do Campo

2019

FILIPE COSTA FEITOSA

**ANÁLISE DAS PROPRIEDADES BÁSICAS DO SIC VDMOSFET (WBG) PARA
APLICAÇÕES DE TRAÇÃO AUTOMOTIVA**

Dissertação de Mestrado apresentada ao Centro
Universitário FEI, como parte dos requisitos
necessários para obtenção do título de Mestre
em Engenharia Elétrica. Orientado pelo Prof.
Dr. Renato Camargo Giacomini.

São Bernardo do Campo

2019

Feitosa, Filipe Costa.

ANÁLISE DAS PROPRIEDADES BÁSICAS DO SIC VDMOSFET
(WBG) PARA APLICAÇÕES DE TRAÇÃO AUTOMOTIVA / Filipe
Costa Feitosa. São Bernardo do Campo, 2019.

98 p. : il.

Dissertação - Centro Universitário FEI.

Orientador: Prof. Dr. Renato Camargo Giacomini.

Coorientador: Prof. Dr. Carlos Eduardo Thomaz.

1. SiC VDMOSFET. 2. Veículo elétrico. 3. TCAD. I. Giacomini,
Renato Camargo, orient. II. Título.

Aluno: Filipe Costa Feitosa

Matrícula: 117304-6

Título do Trabalho: Análise das propriedades básicas do sic vdmofet (WBG) para aplicações de tração automotiva.

Área de Concentração: Nanoeletrônica e Circuitos Integrados

Orientador: Prof. Dr. Renato Camargo Giacomini

Data da realização da defesa: 30/09/2019

ORIGINAL ASSINADA

Avaliação da Banca Examinadora:

São Bernardo do Campo, / / .

MEMBROS DA BANCA EXAMINADORA

Prof. Dr. Renato Camargo Giacomini Ass.: _____

Prof. Dr. Silvio Xavier Duarte Ass.: _____

Profª Drª Sara Dereste dos Santos Perseghini Ass.: _____

A Banca Julgadora acima-assinada atribuiu ao aluno o seguinte resultado:

APROVADO

REPROVADO

VERSÃO FINAL DA DISSERTAÇÃO

**APROVO A VERSÃO FINAL DA DISSERTAÇÃO EM QUE
FORAM INCLUÍDAS AS RECOMENDAÇÕES DA BANCA
EXAMINADORA**

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz

Primeiramente a Deus por toda a força e perseverança. À minha esposa pelo apoio incondicional e a todos os professores que me auxiliaram neste trabalho.

AGRADECIMENTOS

Agradeço à minha mãe Maria Nila, e ao meu pai Francisco Antônio, que apesar de todas as dificuldades pelo caminho, sempre estiveram ao meu lado me apoiando e guiando nos mais importantes aspectos da vida.

Agradeço a minha esposa Ana Paula, por todo o apoio e compreensão durante as minhas horas dedicadas a este trabalho, principalmente em um momento tal especial em nossas vidas, que foi o nascimento de minha filha Elisa no início deste trabalho e durante toda a gravidez de minha filha Cecília.

Ao prof. Dr. Renato Camargo Giacomini, por toda a dedicação não só na orientação, mas principalmente pela paciência em me ensinar e corrigir meus erros e por me guiar e instruir em minhas dúvidas tanto em âmbito acadêmico como pessoal.

Ao prof. Dr. Rudolf Theoderich Bühler, com as ajudas experimentais e também pelo esclarecimento de minhas dúvidas ao longo deste trabalho.

Aos professores Dr. Victor Sonneberg, Dr. Silvio Xavier e Dra. Sara dos Santos pelos comentários construtivos em minha qualificação e defesa.

Aos professores das disciplinas cursadas e colegas de classe que me esclareceram tantas dúvidas (presencialmente, via e-mail e até mesmo por telefone), além de estarem sempre dispostos a ajudar.

A muitas outras pessoas, que de alguma forma me ajudaram com este trabalho e que, infelizmente não foram citadas aqui.

“O gênio é um por cento de inspiração e noventa e nove por cento de suor.”

Thomas Alva Edison

RESUMO

A frota veicular no mundo está passando por uma grande transição em sua matriz energética, principalmente porque governos e entidades estão preocupados com os altos níveis de poluição. Esta pesquisa foca no uso de transistores de grande largura de banda proibida (*Wide Band Gap* – WBG) fabricados em carbeto de silício (*Silicon Carbide* - SiC), particularmente o Transistor de efeito de campo de óxido metálico duplo difundido vertical (*Vertical Double Diffused Metal Oxide Semiconductor Field Effect Transistor* - VDMOSFET), para aplicação em tração elétrica. Trata-se de um trabalho baseado em um dispositivo em fase de inserção no mercado comercial e desenvolvido a partir de propostas de variações em dimensões e grandezas físicas, utilizando simulador numérico de dispositivos em tecnologia de desenvolvimento assistida por computador (*Technology Computer-Aided Design* - TCAD). Três parâmetros são focados: densidade de carga de interface, densidade de concentração de impurezas do canal e sobreposição da porta sobre o canal. Para cada um dos parâmetros foram traçadas diversas curvas de corrente de dreno versus tensão de dreno ($I_{DS} \times V_{DS}$). Com estes três parâmetros são analisadas três grandezas: tensão de limiar (V_{th}), máxima transcondutância (máx. gm) e inclinação de sublimiar (S). Nesta pesquisa também são descritos em detalhes as características do dispositivo e os modelos matemáticos adotados para as simulações em TCAD. Este trabalho mostra a importância da eletrônica de potência para veículos elétricos (VE), qual a necessidade atual e futura dos veículos elétricos (VE) e ressalta as vantagens que o SiC VDMOSFET possui. Os dados analisados mostram que a tensão de limiar e a inclinação de sublimiar aumentam com o aumento da concentração de dopantes no canal. Já para o aumento de cargas na interface, foi observado que a tensão de limiar diminui e que o mesmo ocorre quando a porta não sobrepõem-se completamente sobre o canal. A máxima transcondutância deteriorasse com o aumento da concentração de dopantes no canal em maior grau quando comparado com o aumento da carga de interface. Todavia, a não sobreposição da porta sobre o canal deteriora drasticamente a máxima transcondutância e aumenta a inclinação de sublimiar conforme a sobreposição diminui.

Palavras-chave: SiC VDMOSFET. Veículo elétrico. TCAD.

ABSTRACT

The vehicular fleet around the world is going through an enormous transition in its energetic matrix, mostly because governments around the globe are concerned about pollution. This paper focus on the research of Wide Band Gap (WBG) Silicon Carbide (SiC) Vertical Double Diffused Metal Oxide Semiconductor Field Effect Transistor (VDMOSFET), concerning to its use in electric vehicles, through manufacturer datasheet data and TCAD simulation analysis. Three main parameters were addressed: interface charge density, channel doping concentration density and gate to channel overlap/underlap. For each of the parameters, the $I_{DS} \times V_{DS}$ curves were traced for several values. Threshold voltage (V_{th}), maximum transconductance (max. gm) and subthreshold slope (S) were analyzed. This work describes in detail the device characteristics and mathematical models that are needed for TCAD simulation. This work shows the importance of power electronics for electric vehicles (EVs), what is the current and future EVs` need, and highlights the advantages that the SiC VDMOSFET presents. The analyzed data show that the threshold voltage and subthreshold slope increase with the increase on channel dopant concentration. As for the increase interface charge, it was observed that the threshold voltage decreases, and that the same occurs when there is a gate underlap. The maximum transconductance deteriorates with the increase in the channel doping concentration in greater level when compared with the maximum transconductance deterioration caused by the interface charge increase. However, gate underlap drastically deteriorates the maximum transconductance, and subthreshold slope increases as the gate underlap increases.

Keywords: SiC VDMOSFET. Electric Vehicle. TCAD.

LISTA DE ILUSTRAÇÕES

Figura 1 – Evolução da quantidade de veículos elétricos em circulação entre 2013 e 2017....	11
Figura 2 – Produção (previsão) global de VE para 2030 de acordo com as políticas ambientais atuais e políticas ambientais propostas pelos membros do EVI.....	12
Figura 3 – Estrutura básica da célula de um VDMOSFET	14
Figura 4 –Foto do primeiro veículo elétrico com baterias recarregáveis de Thomas Parker. .	16
Figura 5 – Utilização mista de motores IC e elétricos.....	18
Figura 6 – Gráfico de velocidade vs tempo indicando o ciclo de condução urbano de um veículo	19
Figura 7 – Gráfico de densidade de energia vs densidade de potência com indicação de tipo de tecnologia e capacidade de descarga	20
Figura 8 – Desenho esquemático de ligação de um sistema misto de armazenamento de energia entre baterias e super capacitores.....	21
Figura 9 – Exemplo de circuito base de módulo de potência híbrido de armazenamento de energia.	21
Figura 10 – Estrutura da célula de um transistor VMOS	23
Figura 11 – Estrutura da célula de um transistor DMOS	23
Figura 12 – Estrutura da célula de um transistor UMOS	24
Figura 13 – Estrutura da célula de um transistor IGBT.....	25
Figura 14 – Estrutura da célula de um MOS gated thyristor. Adapt. [35].....	25
Figura 15 – Mapeamento de composição entre semicondutor simples e semicondutor composto.....	27
Figura 16 – Estrutura cristalina do SiC	28
Figura 17 – Comparação de custo entre de inversor de potência de 60KW fabricado em Si vs SiC	30
Figura 18 – Faixas de operação por tecnologia e potência.....	33
Figura 19 – Estrutura da célula de um VDMOSFET com indicação do espelhamento da célula	35
Figura 20 – Dimensões de meia célula do modelo TCAD de um SiC VDMOSFET	36
Figura 21 – Representação 3D da estrutura do SiC VDMOSFET	37
Figura 22 – Inclusão do contato P+ para simulação da tensão máxima de ruptura.....	38
Figura 23 – Dissipação de calor da célula.	44

Figura 24 -Gráfico da corrente de dreno vs tensão de dreno para as diferentes resistências térmicas.....	45
Figura 25 – Indicação da sobreposição das células de um SiC VDMOSFET.....	47
Figura 26 – Leiaute típico de fabricação do SiC VDMOSFET.....	47
Figura 27 – Gráfico de I_{DS} x V_{DS} em função da tensão de porta do SCH2080KE vs modelo TCAD com a porcentagem de diferença entre os dispositivos.....	48
Figura 28 – Espessura (t) por onde flui a maior densidade de corrente no canal.....	49
Figura 29 – Mobilidade do canal em função da espessura (t) do canal.....	50
Figura 30 – Representação da passagem da corrente da estrutura do SiC VDMOSFET	51
Figura 31 – Tensão de ruptura no dreno – I_{DS} vs V_{DS} vs $[d(1gd).gd]$ vs V_{DS}	56
Figura 32 – Concentração de dopantes de canal vs máx. gm vs V_{th} ($V_{DS}=0,1V$).....	57
Figura 33 – Concentração de dopantes vs inclinação de sublimiar ($V_{DS}=0,1V$)	58
Figura 34 – Carga de Interface vs Máxima transcondutância vs tensão de limiar ($V_{DS}=1V$)	59
Figura 35 – Inclinação de sublimiar para diferentes valores de carga de interface ($V_{DS}=1V$)	60
Figura 36 – Alinhamento entre porta e canal	61
Figura 37 – Posição da porta em relação ao canal vs máx. gm vs V_{th} ($V_{DS}=0.1V$).....	62
Figura 38 – Posição da porta em relação ao canal vs inclinação de sublimiar ($V_{DS}=0.1V$)...	63
Figura 39 – Resumo: V_{th} para a variação da conc. de dopantes do canal ($V_{DS}=0.1V$).....	76
Figura 40 – Resumo: V_{th} para a variação da carga de interface ($V_{DS}=0.1V$)	77
Figura 41 – Resumo: V_{th} para a variação da sobreposição da porta sobre o canal ($V_{DS}=1V$)	78
Figura 42 – Resumo: Máx. gm para a variação da conc. de dopantes no canal ($V_{DS}=0.1V$) .	79
Figura 43 – Resumo: Máx. gm para a variação de interface de carga ($V_{DS}=1V$).....	80
Figura 44 – Resumo: máx. gm para a variação de sobreposição porta e canal ($V_{DS}=0,1V$) ..	80

LISTA DE TABELAS

Tabela 1 – Comparação de economia de combustível (ganho) por tipo de hibridização	18
Tabela 2 – Polítipos de SiC e suas sequências de empilhamento das bicamadas que formam a estrutura cristalina.....	28
Tabela 3 – Tabela de comparação entre SiC e Si – principais propriedades.....	31
Tabela 4 – Dados das retas para extração da tensão de limiar para a variação de concentração de dopantes do canal.....	75
Tabela 5 – Dados das retas para extração da tensão de limiar para a variação da carga de interface	76
Tabela 6 – Dados das retas para extração da tensão de limiar para variação da sobreposição da porta sobre o canal.....	77

LISTA DE ABREVIATURAS E SIGLAS

2D	Plano bidimensional
3C-SiC	Estrutura do carbeto de silício em forma cúbica de periodicidade 3
4H-SiC	Estrutura do carbeto de silício em forma hexagonal de periodicidade 4
6H-SiC	Estrutura do carbeto de silício em forma hexagonal de periodicidade 6
AGI	Alternador e Gerador Integrado
BAT	Banco de baterias
BETAIN	Coefficiente utilizado para taxa de ionização de elétrons
BETAIP	Coefficiente utilizado para taxa de ionização de lacunas
BETAN	Coefficiente para mobilidade de elétrons do campo elétrico paralelo
BETAP	Coefficiente para mobilidade de lacunas do campo elétrico paralelo
B-ISG	Alternador e Gerador Integrado por correia (Belt-Integrated-Starter-Generator - B-ISG)
BJT	<i>Bipolar Junction Transistor</i>
CI	Combustão Interna
C-ISG	Alternador e Gerador Integrado no virabrequim (Crankshaft-Integrated-Starter-Generator - C-ISG)
DMOS	<i>Diffused Metal Oxide Semiconductor</i>
EVT	Transmissão elétrica variável (Electric Variable Transmission - EVT)
FTP-75	<i>Federal Test Procedure n° 75</i>
GaAs	Composto semiconductor de Arseneto de Gálio
GaN	Composto semiconductor de Nitreto de Gálio
Ge	Germânio
GTO	Desligamento de porta (<i>Gate Turn-Off</i> – GTO)
GVB	Coefficiente para concentração de dopantes aceitadores
HEV	Veículo elétrico híbrido (Hybrid Electric Vehicle - HEV)
IGBT	Transistor bipolar de porta isolada (<i>Insulated Gate Bipolar Transistor</i> -IGBT)
InP	Composto semiconductor de Índio e fósforo
ISC	Corrente do super capacitor
ISG	Alternador e gerador integrado (<i>Integrated Starter Generator</i> – ISG)
JBS	Barreira de junção controlada Schottky (<i>Junction Barrier controlled Schottky</i> - JBS)
Lbat	Indutor do banco de baterias
LSC	Indutor do super capacitor
MOS	Semiconductor de óxido metálico (<i>Metal Oxide Semiconductor</i> – MOS)
NBR	Normas Regulamentadoras Brasileiras
SC	Super Capacitor
Si	Silício
SiC	Carbeto de silício (<i>Silicon Carbide</i> - SiC)
SiGe	Composto semiconductor de silício e germânio
SiO ₂	Óxido de silício

TCAD	Tecnologia de desenvolvimento assistida por computador (<i>Technology Computer Aided Design</i> – TCAD)
USA	Estados Unidos (<i>United States of America</i> – USA)
Vbat	Tensão no banco de baterias
VDMOSFET	Transistor de efeito de campo de óxido metálico duplo difundido vertical (<i>Vertical Double Diffused Metal Oxide Semiconductor Field Effect Transistor</i> – VDMOSFET)
VE	Veículo Elétrico
VMOS	<i>V-groove Metal Oxide Semiconductor</i>
WGB	Larga de banda proibida (<i>Wide Band Gap</i> - WBG)
ZnSe	Composto semicondutor de Seleneto de Zinco
ZnSm	Composto semicondutor de zinco e samário

LISTA DE SÍMBOLOS

$R_{\Theta 2}$	Resistência térmica entre o encapsulamento e o dissipador de calor [cm ² .K/W]
μ_n	Mobilidade de elétrons [cm ² /V.s]
μ_{n0}	Mobilidade de elétrons de baixo campo elétrico [cm ² /V.s]
μ_p	Mobilidade de lacunas [cm ² /V.s]
μ_{p0}	Mobilidade de lacunas de baixo campo elétrico [cm ² /V.s]
a	Diferença entre a depleção formada e a largura total da região Jfet, ou seja, a largura por onde passa a corrente na região Jfet [μm]
Alpha	Condutância total do dispositivo [W/cm ² .K]
AN	Coefficiente utilizado para taxa de ionização de elétrons [V/cm]
AP	Coefficiente utilizado para taxa de ionização de lacunas [V/cm]
BN	Coefficiente utilizado para taxa de ionização de elétrons [V/cm]
BP	Coefficiente utilizado para taxa de ionização de lacunas [V/cm]
Cox	Capacitância do óxido de silício [F/cm ²]
die	área ativa do dispositivo [cm ²]
CA	Corrente Alternada [A]
CC	Corrente Contínua [A]
E	Campo elétrico paralelo [V/cm]
E_{\perp}	Campo elétrico perpendicular na região da camada de inversão [V/cm]
E1N.SHI	Coefficiente de ajuste da mobilidade de elétrons do modelo Shirahata [V/cm]
E1P.SHI	Coefficiente de ajuste da mobilidade de lacunas do modelo Shirahata [V/cm]
E2N.SHI	Coefficiente de ajuste da mobilidade de elétrons do modelo Shirahata [V/cm]
E2P.SHI	Coefficiente de ajuste da mobilidade de lacunas do modelo Shirahata [V/cm]
EAB	Energia de ativação do dopante aceitador [eV]
E_c	Banda de condução [eV]
EDB	Energia de ativação do dopante doador [eV]
E_{F_n}	Nível de quase-Fermi para elétrons [eV]
E_{F_p}	Nível de quase-Fermi para lacunas [eV]
Eox	Capacitância específica do óxido de silício = $3,45 \times 10^{-13}$ F/cm
E_v	Banda de valência [eV]
GCB	Coefficiente para concentração de dopantes doadores
Ibat	Corrente do banco de baterias [A]
IDS	Corrente entre dreno e fonte [A]
K	Constante de Boltzmann 8.61733×10^{-5} eV.K ⁻¹
k	Condutividade térmica [W/cm.K]
KAc	Coefficiente típico para 4H-SiC
Lch	Largura do canal [μm]
Ln+	Largura da região N ⁺ (contato da fonte) [μm]
Máx. gm	máxima transcondutância [A/V]

MU0N.SHI	Mobilidade de elétrons intrínseca do modelo Shirahata [$\text{cm}^2/\text{V.s}$]
MU0P.SHI	Mobilidade de lacunas intrínseca do modelo Shirahata [$\text{cm}^2/\text{V.s}$]
MUN	Mobilidade de elétrons intrínseca [$\text{cm}^2/\text{V.s}$]
MUP	Mobilidade de lacunas intrínseca [$\text{cm}^2/\text{V.s}$]
NA	Concentração de dopantes aceitadores [cm^{-3}]
NA ⁻	Concentração de dopantes aceitadores ionizados [cm^{-3}]
N _{a, ch}	Concentração de dopantes aceitadores do canal [cm^{-3}]
N _{A-Pbase}	Concentração de impurezas aceitadoras da área Pbase e canal [cm^{-3}]
ND	Concentração de dopantes doadores [cm^{-3}]
ND ⁺	Concentração de dopantes doadores ionizados [cm^{-3}]
N _{D-drift}	Concentração de impurezas doadoras da região N-drift [cm^{-3}]
N _{D-fonte}	Concentração de impurezas doadoras do contato da fonte [cm^{-3}]
N _{dj}	Concentração de dopantes da região Jfet [cm^{-3}]
N _{D-Jfet}	Concentração de impurezas doadoras da região Jfet [cm^{-3}]
N _{D-substrato}	Concentração de impurezas doadoras do contato do substrato [cm^{-3}]
ni	Concentração intrínseca do carbeto de silício [cm^{-3}]
P1N.SHI	Expoente de ajuste da mobilidade de elétrons do modelo Shirahata
P1P.SHI	Expoente de ajuste da mobilidade de lacunas do modelo Shirahata
P2N.SHI	Expoente de ajuste da mobilidade de elétrons do modelo Shirahata
P2P.SHI	Expoente de ajuste da mobilidade de lacunas do modelo Shirahata
PD	Potência dissipada [W]
pjfet	Resistividade da região Jfet [$\Omega.\text{cm}$]
Q	Resistência térmica em função da potência dissipada [k/W]
q	Carga do elétron = $1,602 \times 10^{-19}$ C
RA	Resistência da região de acumulação [$\Omega.\text{cm}^2$]
RCC	Resistência do Barramento de Corrente Contínua [Ω]
Rch	Resistência do canal [$\Omega.\text{cm}^2$]
Rd	Resistência da região de N-drift [$\Omega.\text{cm}^2$]
R _{DSon}	Resistência entre dreno e fonte do transistor ligado [Ω]
R _{DSonA}	Resistência entre dreno e fonte [$\Omega.\text{cm}^2$]
Rjfet	Resistência da região jfet [$\Omega.\text{cm}^2$]
Rth	Resistência térmica total do dispositivo [$\text{cm}^2.\text{K/W}$]
R _{Θ1}	Resistência térmica entre a junção e o encapsulamento [$\text{cm}^2.\text{K/W}$]
R _{Θ3}	Resistência térmica do dissipador de calor [$\text{cm}^2.\text{K/W}$]
R _{Θ4}	Resistência térmica entre o dissipador de calor e o ambiente [$\text{cm}^2.\text{K/W}$]
S	Inclinação de sublimiar [V/dec]
t	Espessura da lâmina de SiC [μm]
Tc	Temperatura ambiente [$^{\circ}\text{C}$]
TC.CONST	Condutividade térmica intrínseca do 4H-SiC [W/cm.K]
TC.NPOW	Coefficiente de degradação da condutividade térmica
THETAN.SHI	Expoente de ajuste da mobilidade de elétrons do modelo Shirahata

THETAP.SHI	Expoente de ajuste da mobilidade de lacunas do modelo Shirahata
Tj	Temperatura máxima admissível da junção [°C]
TL	Temperatura [K]
TMUN	Coefficiente de degradação de mobilidade de elétrons
TMUP	Coefficiente de degradação de mobilidade de lacunas
tn+	Espessura do contato N+ da fonte [μm]
tNdrift	Espessura da região de N-drift [μm]
tox	Espessura do óxido de silício de porta [nm]
tp+	Espessura do Pbase [μm]
tsub	Espessura do contato N+ do substrato [μm]
Vbi	Diferença de potencial interno entre as regiões de Pbase e Jfet [V]
VCC	Tensão em Corrente Contínua [V]
VDS	Tensão entre dreno e fonte [V]
VGS	Tensão entre porta e fonte [V]
VSATN	Velocidade de saturação dos elétrons [cm/s]
VSATP	Velocidade de saturação das lacunas [cm/s]
VSC	Tensão no super capacitor [V]
Vt	Tensão térmica = 25,683 [mV]
Vth	Tensão de limiar [V]
W0	Largura da depleção formada por Vbi [μm]
Wcell	Largura da célula [μm]
Wg	Largura da porta [μm]
Wj	Largura da região Jfet [μm]
Wp+	Largura da região P+ [μm]
αn	Taxa de ionização íons portadores de elétrons
αp	Taxa de ionização íons portadores de lacunas
εr4HSiC	Permissividade relativa do carbetto de silício
μinv	Mobilidade de elétrons na camada de inversão [cm ² /V.s]
μnA	Mobilidade de elétrons na região de acumulação [cm ² /V.s]

SUMÁRIO

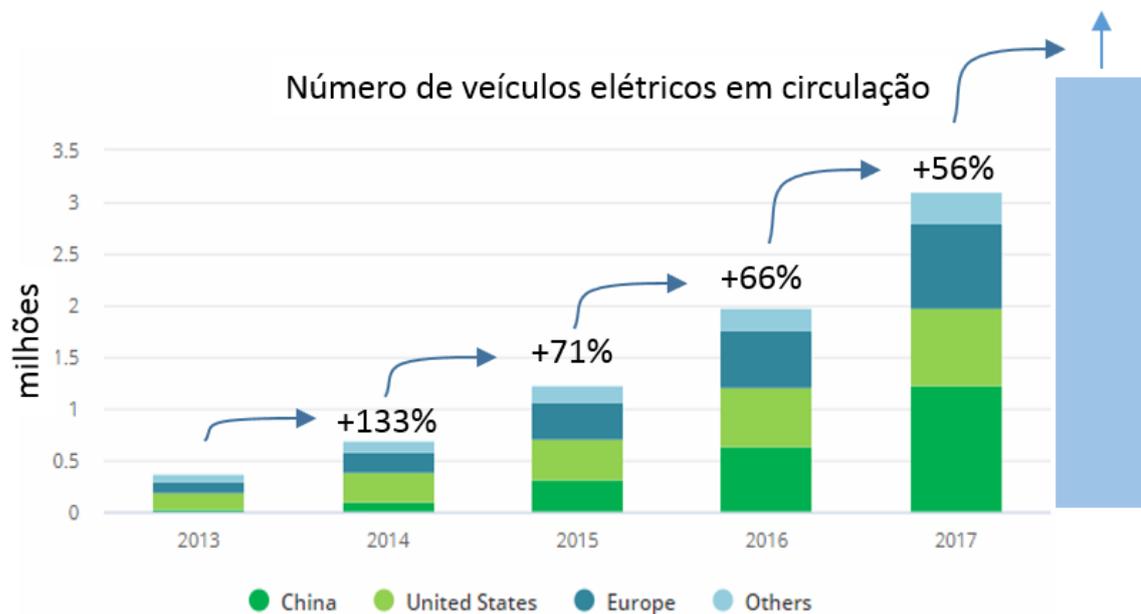
1	INTRODUÇÃO	11
1.1	OBJETIVO	14
1.2	ORGANIZAÇÃO DO TRABALHO	15
2	CONTEXTUALIZAÇÃO E REVISÃO BIBLIOGRÁFICA	16
2.1	TRAÇÃO ELÉTRICA DE VEÍCULOS	16
2.2	HIBRIDIZAÇÃO	17
2.3	ARMAZENAMENTO DE ENERGIA	18
2.4	CHAVES DE POTÊNCIA (CRONOLOGIA BÁSICA)	22
2.5	O SILÍCIO	26
2.6	O CARBETO DE SILÍCIO (SILICON CARBIDE – SIC)	26
3	DESENVOLVIMENTO E METODOLOGIA	32
3.1	O USO DE SIC VDMOSFET EM TRAÇÃO ELÉTRICA	32
3.2	MODELO TCAD	34
3.3	MODELOS MATEMÁTICOS UTILIZADOS NAS SIMULAÇÕES	39
3.3.1	Ionização incompleta de portadores	39
3.3.2	Modelo de mobilidade para baixo campo elétrico	40
3.3.3	Modelo de mobilidade Shirahata	41
3.3.4	Modelo de mobilidade dependente do campo elétrico paralelo	42
3.3.5	Modelo termodinâmico	43
4	ESTUDO DE VARIAÇÕES EM CARACTERÍSTICAS FÍSICAS	46
4.1	CARACTERÍSTICAS DE SAÍDA ANTES DAS VARIAÇÕES	46
4.1.1	Corrente entre fonte e dreno (I_{DS})	46
4.1.2	Resistência entre fonte e dreno R_{DSon}	51
4.1.2.1	<i>Resistência do canal (R_{ch})</i>	51
4.1.2.2	<i>Resistência da região de acumulação (R_A)</i>	52
4.1.2.3	<i>Resistência da região J_{fet} (R_{jfet})</i>	53
4.1.2.4	<i>Resistência da região N-drift</i>	54
4.1.3	Tensão de ruptura	55
4.2	VARIAÇÃO DA CONCENTRAÇÃO DO CANAL	57

4.3	VARIAÇÃO DA CARGA DE INTERFACE.....	58
4.4	VARIAÇÃO DA SOBREPOSIÇÃO DA PORTA EM RELAÇÃO AO CANAL 60	
4.5	APLICAÇÃO DAS VARIAÇÕES	63
5	CONCLUSÕES E TRABALHOS FUTUROS	65
	REFERÊNCIAS	68
	ANEXO A – TENSÃO DE LIMIAR	75
	ANEXO B – MÁXIMA TRANSCONDUTÂNCIA	79
	ANEXO C – EXEMPLOS DO CÓDIGO DE PROGRAMAÇÃO TCAD	81

1 INTRODUÇÃO

A frota de veículos ao redor do mundo está passando por uma grande transição em sua matriz energética, com o uso de alternativas limpas tornando-se cada vez mais viáveis e o custo-benefício mais próximo da realidade [1]. Não apenas as empresas automotivas anunciaram frentes ambiciosas de pesquisa e fabricação de veículos elétricos (VE) [2][3] mas também países estão buscando promover a sustentabilidade e a redução do efeito estufa [4][5]. Leis estão sendo criadas visando o uso de tecnologias limpas, como, por exemplo, o agressivo plano de ação do governo chinês [6] e o plano governamental dos EUA “*EV Everywhere Grand Challenge*” que propôs incentivos de redução de impostos para usuários de VE [7]. Conforme ilustrado na **Erro! Fonte de referência não encontrada.**, a quantidade de veículos elétricos vem aumentando desde 2013 com menos de 0,5 milhão de veículos em circulação para um salto com pouco mais de 3 milhões em 2017.

Figura 1 – Evolução da quantidade de veículos elétricos em circulação entre 2013 e 2017

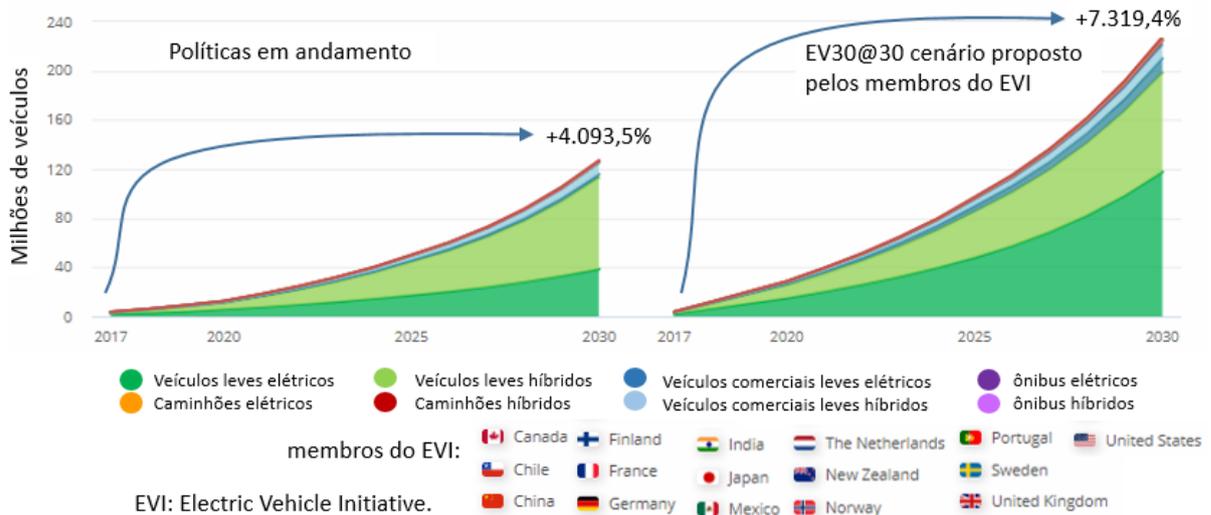


Fonte: Autor “adaptado de” [8]

De acordo com as políticas em andamento para a produção de veículos elétricos o cenário de 2030 é promissor, com uma estimativa de mais de 120 milhões de veículos em circulação. E se levarmos em consideração políticas mais agressivas como as leis e condições propostas pelos países membros da *Electric Vehicle Initiative* (EVI), uma organização que está

intensamente trabalhando para a eletrificação da frota veicular mundial, a quantidade de veículos em circulação para 2030 passará dos 200 milhões, conforme indica a *Figura 2*.

Figura 2 – Produção (previsão) global de VE para 2030 de acordo com as políticas ambientais atuais e políticas ambientais propostas pelos membros do EVI



O uso de energia limpa e a necessidade de redução da dependência do petróleo estão empurrando a humanidade para a inovação. No caso de VE, essa inovação atinge todos os seus componentes, incluindo os dispositivos eletrônicos de potência, utilizados para acionar os motores elétricos. À medida que os barramentos e os enlaces de corrente contínua (CC) obtêm níveis de tensão mais altos, maior é a potência de curto circuito numa falha de ligação devido, por exemplo, à interferência eletromagnética gerada pelos próprios inversores e conversores, que pode ocasionar o disparo acidental de um transistor em momento inapropriado. Isso implica na necessidade de se reduzir a susceptibilidade de dispositivos à interferência eletromagnética. Uma das maneiras de reduzir o risco de ativação incorreta por interferência eletromagnética transistores de efeito de campo de óxido metálico (Metal Oxide Field Effect Transistor – MOSFET) de potência é aumentando a tensão de limiar [9], fazendo com que o transistor comece a conduzir com uma tensão maior aplicada à porta. Além disso, o estresse causado no transistor pelo tempo de chaveamento causa instabilidade na tensão de limiar, o que por sua vez causa diferente comportamento na inclinação de sublimiar, já que a mudança da inclinação de sublimiar altera a tensão de limiar e, portanto, altera a tensão necessária na porta para o correto chaveamento [10], indicando sua importância. A inclinação de sublimiar também indica quão rápido o transistor muda do estado de não condução para o estado de condução permitindo uma

ideia qualitativa da corrente de difusão (quanto maior a inclinação de sublimar, maior corrente de difusão). Por fim, saber o comportamento da corrente de saída em função da tensão aplicada na porta (transcondutância), nos permite verificar o desempenho do transistor. Desta forma, avaliar as mudanças na fabricação do dispositivo, tais como dopantes no canal, carga de interface e sobreposição do canal sobre a porta aumenta a percepção de como o transistor pode ser fabricado e controlado, podendo melhorar o desempenho ou identificar regiões onde não se deve trabalhar. Esta e outras implicações da aplicação sobre o projeto dos dispositivos devem ser continuamente estudadas, para seu desenvolvimento e para o melhor atendimento das novas demandas.

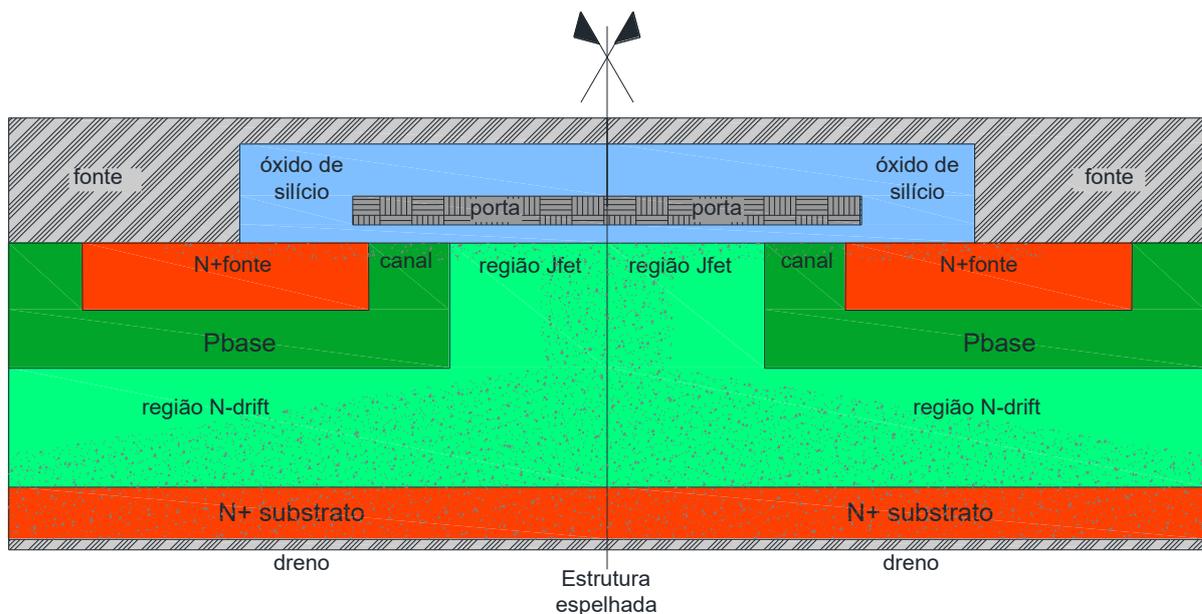
É importante ressaltar que uma das frentes de trabalho para que o uso de VE seja possível é o carregamento de energia para as baterias dos VE. Devido à alta densidade de energia armazenada nas baterias, a intensidade de corrente que é drenado da rede deve ser levado em consideração em função do tempo de recarga, rápida (30 minutos), média (1 a 4 horas), ou lenta (6 a 22 horas). Este tempo de recarga determina e altera características fundamentais da rede, tais como fator de potência e conseqüentemente as potências ativa (VA) e reativa (var), além da distorção harmônica total [11]. Estudos demonstram que dependendo da velocidade de recarga e da quantidade de veículos recarregando ao mesmo tempo, o consumo instantâneo solicitado para a rede pode facilmente passar de 2 MW [12], o que implica em manter uma alta capacidade de fornecimento de energia para curtos períodos, em outras palavras, custo elevado de equipamentos e recursos, o que talvez torna a operação inviável. Outros problemas são ainda mais perceptíveis, tal como queda de tensão em redes domésticas de baixa tensão (até 380V trifásico) [13], quando os VE conectam-se na rede para recarga. Não faz parte desta dissertação avaliar as condições da rede para a viabilização do uso de VE, mas ressalta-se que este é um desafio a ser superado.

1.1 Objetivo

Este trabalho tem como objetivo principal desenvolver a simulação (numérica, ATLAS [14]) de um dispositivo típico para aplicação em tração automotiva para estudo visando desempenho (SiC VDMOSFET - SCH2080KE – Rohm).

A partir do modelo criado, investigar as variações de tensão de limiar (V_{th}), máxima transcondutância (máx. gm) e inclinação de sublimiar (S) do SiC VDMOSFET sob a variação de 3 características físicas importantes, a concentração de dopantes no canal, a carga de interface e a sobreposição da porta sobre o canal.

Figura 3 – Estrutura básica da célula de um VDMOSFET



Fonte: Autor

A geometria do dispositivo a ser simulado pode ser vista na *Figura 3*. Por se tratar de um VDMOSFET, o dispositivo é espelhado, e portanto, possui duas fontes, a corrente flui pelos canais e passa pela região Jfet, para então verticalmente descer até o dreno de forma a cobrir toda a área de contato, que se encontra na parte inferior do dispositivo, conforme indica a área sombreada da *Figura 3*, maiores detalhes sobre o dispositivo, tais como concentração de dopantes, dimensões das regiões, etc. serão explicadas em detalhes no item 3.2 (Modelo TCAD).

1.2 Organização do trabalho

O trabalho está dividido em 5 capítulos, cujo conteúdo será exposto da seguinte maneira:

Capítulo 1 – Introdução ao trabalho.

Capítulo 2 – Será contextualizado o surgimento de veículos elétricos, as tecnologias em uso na atualidade e uma revisão bibliográfica sobre os transistores de potência, dando ênfase nas diferentes tecnologias.

Capítulo 3 – Desenvolvimento e metodologia do trabalho, detalhes sobre o uso do SiC VDMOSFET em tração elétrica e o modelo da simulação numérica são apresentados.

Capítulo 4 – Neste capítulo, os resultados do modelo numérico e das suas variações são apresentados e discutidos.

Capítulo 5 – Por fim, serão apresentadas as conclusões e sugestões de desenvolvimentos futuros para continuação deste trabalho.

2 CONTEXTUALIZAÇÃO E REVISÃO BIBLIOGRÁFICA

Neste capítulo o surgimento do veículo elétrico (VE) será apresentado, quais são os tipos de hibridização de veículos e os diferentes modelos de armazenamento de energia levando em consideração o perfil de descarga de energia necessário para um VE. Quais os níveis de potência em termos de densidade de energia (W.h/kg) e densidade de potência (W/kg) necessários em um VE. A necessidade de um sistema misto de armazenamento de energia e onde o SiC VDMOSFET é necessário dentro desta topologia. Por fim um resumo bibliográfico sobre os transistores de potência, um breve relato sobre as principais características do silício e uma apresentação do carbeto de silício (SiC) com indicação de suas principais características físicas, prós e contras deste material semiconductor.

2.1 Tração elétrica de veículos

Os primeiros carros elétricos foram construídos no século XIX, e o primeiro carro elétrico dito como funcional, foi desenvolvido por Robert Davidson em 1873, e em 1884 Thomas Parker desenvolveu um veículo elétrico melhorado, devido ao uso de baterias recarregáveis, ver *Figura 4*. Entre 1900 e 1910 carros elétricos chegaram ao seu auge. Nos EUA, carros movidos a vapor dominavam 40% do mercado, veículos elétricos 38% e carros a gasolina 22% [15], porém com o avanço dos motores a combustão interna (CI) e devido às dificuldades de armazenamento de energia elétrica, VE começaram a perder o mercado e foram praticamente esquecidos até o começo do século XXI. A partir do início do século XXI novas tecnologias e sistemas de armazenamento de energia elétrica (mais eficientes) começaram a se mostrar viáveis, como também a preocupação com poluição e o aumento nos preços do petróleo [16], fomentando novamente o uso de VE.

Diversos estudos sobre migração de veículos a combustão interna (CI) para veículos a tração elétrica (VE), como o estudo de pequenas hibridizações (*mild hybrid*) [17]–[19], estão em pauta nas comunidades científicas. Diversas questões e suas possíveis soluções são endereçadas, como por exemplo: combinação de banco de baterias e super capacitores para solucionar a relação densidade de energia (W.h/kg) e densidade de potência (W/kg) [20]–[25]; melhor motor elétrico para um VE [26][27], dispositivos de potência e controle para recarga de baterias [28]–[30].

Figura 4 –Foto do primeiro veículo elétrico com baterias recarregáveis de Thomas Parker.



Fonte: “adaptado de” [15]

2.2 Hibridização

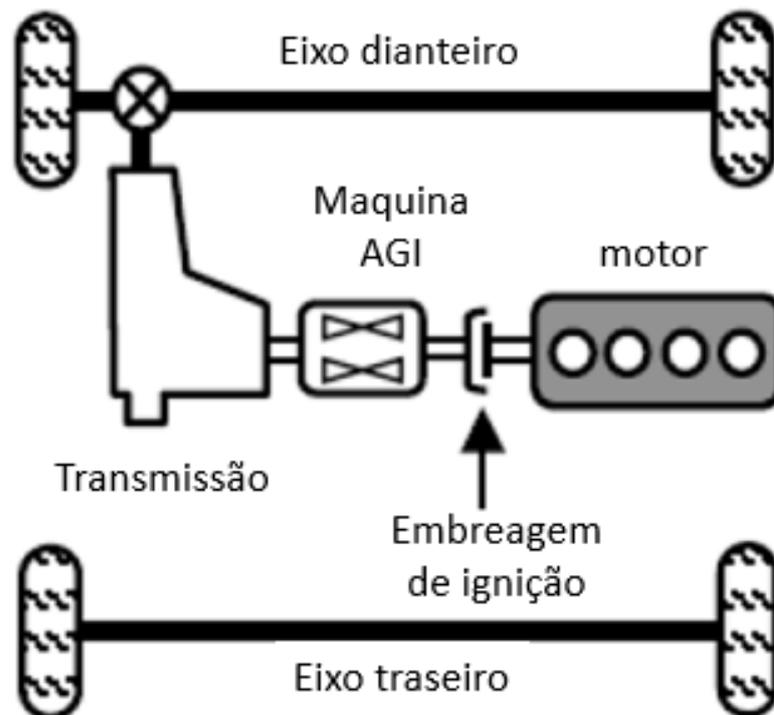
Uma das alternativas para esta transição entre veículos à CI para VE é a utilização mista, com o uso de motores elétricos e a combustão. Hibridizações pequenas (*mild hybrid*) tem como objetivo o mínimo impacto sobre a atual estrutura dos veículos, e se concentra na troca do alternador por um motor elétrico mais robusto, um Alternador e Gerador Integrado (AGI, ou em inglês: *Integrated Starter Generator – ISG*), que possibilite o uso deste motor para tração e regeneração da energia na frenagem. A *Figura 5* ilustra um exemplo de hibridização em que o alternador é trocado por um AGI. Conforme estudo realizado em [18], pode-se ver pela *Tabela 1* que quanto mais forte é a hibridização, maior é a economia de combustível (ver lista de símbolos e abreviaturas para todas as abreviações indicadas na *Tabela 1*).

Tabela 1 – Comparação de economia de combustível (ganho) por tipo de hibridização

		Economia de combustível (quilômetros por litro)					performance (s)	
Convencional		Composto	Ganho (%)	Urbano	Ganho (%)	Estrada	Ganho (%)	0 - 96 km/h
		10.578		9.546		12.126		9.6
Leve HEV	B-ISG	11.18	5.7%	10.449	9.5%	12.212	0.7%	10.2
	Leve C-ISG	11.438	8.1%	10.75	12.6%	12.341	1.8%	10.1
Forte HEV	Forte C-ISG	13.287	25.6%	14.061	47.3%	12.427	2.5%	9.9
	modo 1 EVT	14.061	32.9%	15.222	59.5%	12.814	5.7%	12.4
	modo 2 EVT	14.147	33.7%	15.609	63.5%	12.685	4.6%	9.4

Fonte: “adaptado de” [18]

Figura 5 – Utilização mista de motores IC e elétricos



Fonte: Autor “adaptado de” [18]

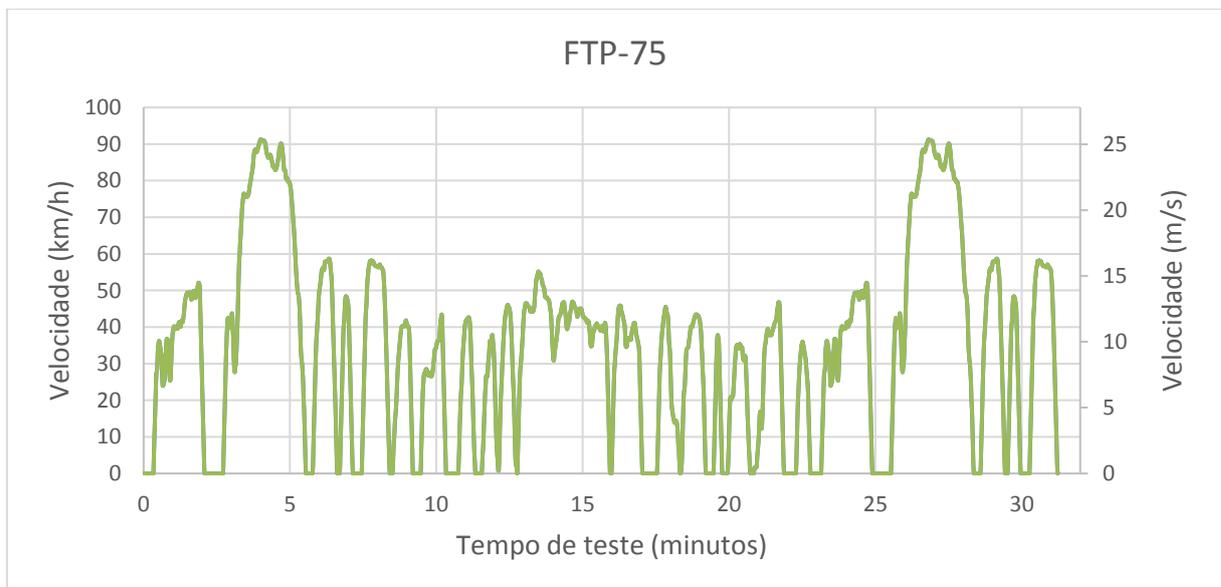
2.3 Armazenamento de energia

Quando se fala de VE um dos obstáculos a ser superado é a distância que os VE podem percorrer quando comparado aos veículos tradicionais à CI, entre dois abastecimentos. Para solucionar esse problema pesquisas com diferentes tecnologias de armazenamento [29] estão

em avaliação para aproximar a distância que um VE percorre (em apenas uma recarga) quando comparado a um veículo à CI (com um ciclo de um tanque de combustível).

Além desta grande diferença de distância que um veículo à CI é capaz de percorrer comparado a um VE, outra importante questão a ser endereçada é o ciclo de condução do veículo. Hoje há alguns padrões estabelecidos que demonstram o comportamento de condução de um veículo, que pode ser dividido em duas categorias: ciclo urbano e rodoviário. A *Figura 6* mostra um exemplo do ciclo de condução urbano, o *Federal Test Procedure 75 (FTP-75)*, utilizado nos USA e que também é adotado pela associação brasileira de normas técnicas (NBR-6601) e, portanto, utilizado no Brasil.

Figura 6 – Gráfico de velocidade vs tempo indicando o ciclo de condução urbano de um veículo

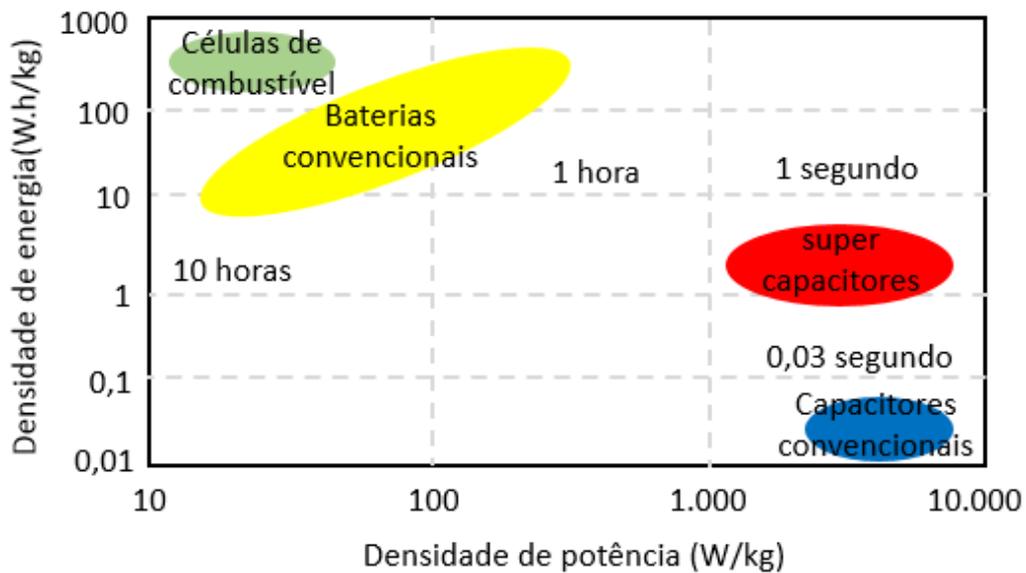


Fonte: Autor “adaptado de” norma americana FTP-75.

O ciclo apresentado na *Figura 6* demonstra ao longo de um período estabelecido o comportamento típico de um veículo em termos de aceleração e frenagem em um ambiente urbano. Percebe-se que, a partir deste ciclo, temos pontos de aceleração e frenagem agressivos, onde em um veículo à CI isto não é um problema, pois o sistema de injeção de combustível consegue suprir essa necessidade, proporcionando uma maior potência apenas com uma maior queima de combustível. Agora, tratando-se de um VE, em acelerações como estas requer-se um grande esforço do sistema de baterias, o qual não é adequado por apresentar uma grande descarga em poucos segundos. Surge então o conceito de se utilizar Super Capacitores (SC), que possuem exatamente a característica de rápida descarga sem prejuízo de diminuição de sua

vida útil [31] (porém, sem a característica fundamental de armazenar grandes quantidades de energia), formando assim, um sistema híbrido. Desta maneira, a junção de baterias com SC permitiria ao sistema de alimentação do VE suprir as necessidades do ciclo de condução FTP-75 (*Figura 6*), em outras palavras, suprir a necessidade de rápidas acelerações, e conseguir regenerar energia de forma mais eficiente quando em frenagens bruscas.

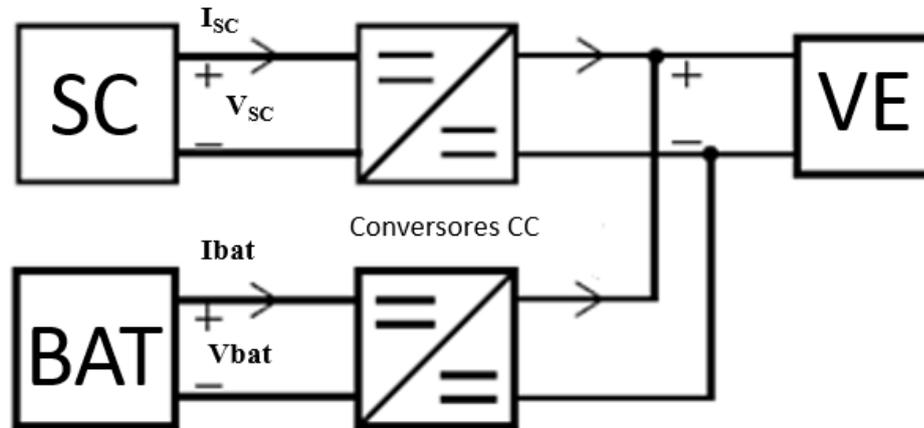
Figura 7 – Gráfico de densidade de energia vs densidade de potência com indicação de tipo de tecnologia e capacidade de descarga



Fonte: Autor “adaptado de” [32]

Para tal hibridização são necessários sistemas de controle e gerenciamento do fluxo de energia entre as diferentes fontes de armazenamento de energia, tanto para o fornecimento da energia na propulsão do VE quanto para a regeneração. A *Figura 7* mostra a relação existente entre densidade de energia e densidade de potência para as diferentes células de armazenamento de energia existentes. Nota-se que baterias convencionais são capazes de fornecer energia por muitas horas, ou seja, possui uma grande densidade de armazenamento de energia, porém, baixa densidade de potência, além de não permitir uma rápida descarga de toda energia armazenada. Por outro lado, SC não possuem uma densidade de energia tão grande quanto às baterias, porém, são capazes de entregar grande intensidade de potência em poucos segundos.

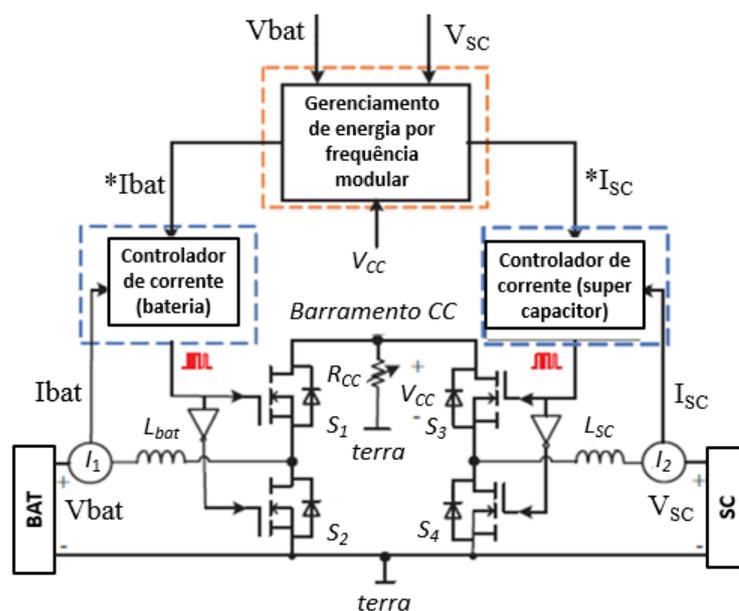
Figura 8 – Desenho esquemático de ligação de um sistema misto de armazenamento de energia entre baterias e super capacitores



Fonte: Autor “adaptado de” [20]

Diferentes topologias estão sendo propostas para melhor otimização deste sistema híbrido, sendo a principal topologia proposta a utilização de banco de baterias (BAT) e banco de SC. Conforme apresentado na *Figura 8*, a combinação em paralelo de BAT e SC. Nota-se que são necessários conversores de corrente contínua (CC) entre os dois sistemas de armazenamento de energia, pois as tensões e correntes de trabalho são diferentes (I_{SC} , V_{SC} , I_{bat} e V_{bat} são: corrente do SC, tensão do SC, corrente do BAT e tensão do BAT, respectivamente).

Figura 9 – Exemplo de circuito base de módulo de potência híbrido de armazenamento de energia.



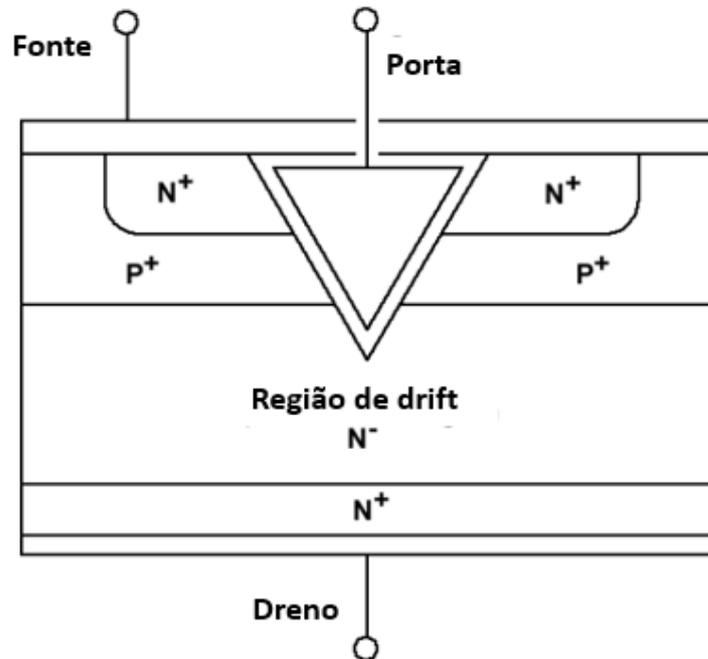
Fonte: Autor “adaptado de” [33] e [34]

Como a topologia do sistema de armazenamento híbrido apresentado na *Figura 8*, tem-se o circuito base proposto na *Figura 9*. Este circuito base utiliza controladores de corrente para os dois elementos armazenadores de energia (BAT e SC), medindo a corrente consumida através dos elementos de medição I_1 e I_2 , que medem a corrente I_{bat} e I_{sc} , respectivamente. Em paralelo, o gerenciador de energia recebe os sinais de tensão do BAT, SC e barramento CC e através destes dados, sinais de controle de corrente ($*I_{bat}$ e $*I_{cs}$) são enviados para os controladores de corrente dos dois conversores de CC, que por sua vez controlam a intensidade de corrente será entregue ao barramento CC e de qual fonte (BAT ou SC) será demandada a energia (que dependerá da intensidade de corrente solicitada pelo motor do VE). Nota-se que, para atingir níveis de tensão e corrente, no barramento CC, adequados às necessidades indicadas pelo ciclo de condução apresentado na *Figura 6* e também pela potência solicitada nos veículos atuais (que será visto posteriormente na *Figura 18*), o elemento principal dos conversores CC é o SIC VDMOSFET, representado pelos dispositivos S_1 , S_2 , S_3 e S_4 . Os demais elementos do circuito base apresentado na *Figura 9*, tais como os indutores da bateria e do super capacitor (L_{bat} e L_{sc}), diodos e o resistor R_{CC} não serão discutidos aqui por não se tratar do escopo deste projeto.

2.4 Chaves de potência (cronologia básica)

Chaves de potência também referenciadas como *power switches* surgem da necessidade de controlar e operar fontes de energia e controladores periféricos, projetados para operar com tensões de bloqueio de até 100 V e tensão de operação da porta entre 5 e 15 V, fabricados em silício (Si) na década de 70. Em 1974 foi inventada a estrutura em sulco V sob o semicondutor de óxido metálico (V-groove Metal Oxide Semiconductor – VMOS), onde o sulco em V é formado pela corrosão do Si através de soluções de hidróxido de potássio e possui uma célula de 40 μm , ver *Figura 10* para entendimento da estrutura do VMOS.

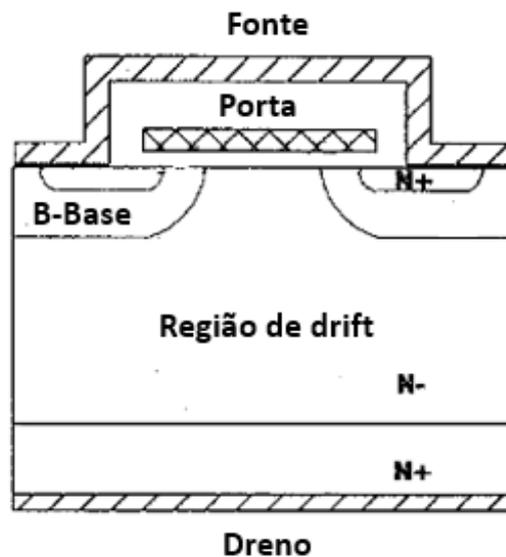
Figura 10 – Estrutura da célula de um transistor VMOS



Fonte: Autor "adaptado de" [35]

Devido à instabilidade na tensão de limiar, alternativas foram propostas e, no ano de 1978, a estrutura do transistor de óxido metálico semiconductor difuso (*Diffused Metal Oxide Semiconductor* - DMOS) foi criada, com uma célula de 20 μm , ver *Figura 11* para entendimento da estrutura do DMOS.

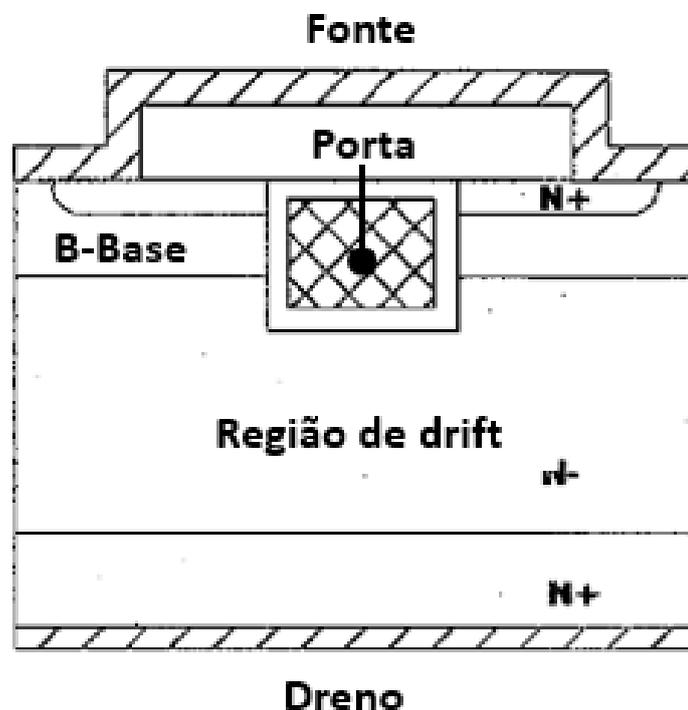
Figura 11 – Estrutura da célula de um transistor DMOS



Fonte: Autor "adaptado de".[35]

A difusão de dopantes nas áreas de Pbase e N+ fonte permitiu a fabricação de células menores e apesar do avanço tecnológico do DMOS, a necessidade de redução das células, redução de resistência entre dreno e fonte (R_{DSon}) e surgimento de novas tecnologias de fabricação, no ano de 1990, um novo processo chamado de “*trench etching*”, sulco no MOS em de forma retangular como se fosse uma “trincheira” o UMOS, que diminuiu ainda mais o tamanho da célula ($6\mu\text{m}$) e a resistência R_{DSon} , ver *Figura 12* para entendimento da estrutura do UMOS.

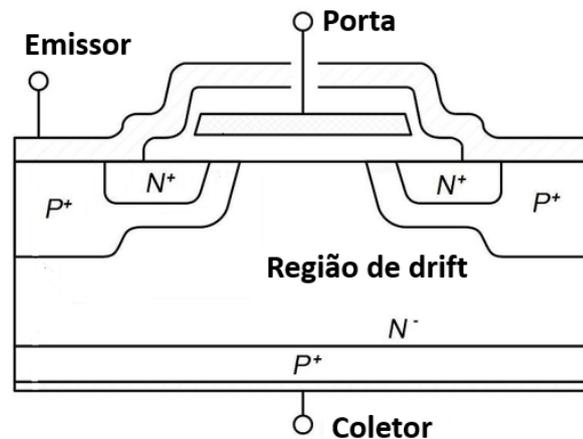
Figura 12 – Estrutura da célula de um transistor UMOS



Fonte: Autor “adaptado de”. [35]

Devido a necessidade de bloqueio de tensões superiores a 300 V, pesquisadores e cientistas buscavam por alternativas tecnológicas e, em 1982, o transistor bipolar de porta isolada (*Insulated Gate Bipolar Transistor - IGBT*) foi inventado, com características de ambos os transistores, transistor bipolar de junção (Bipolar Junction Transistor – BJT) e MOSFET, tendo o seu controle como um MOSFET, e condições de saída como frequência e potência de um BJT, em outras palavras, a facilidade de controle do MOSFET e a alta capacidade de corrente do BJT, ver *Figura 13* para melhor entendimento da estrutura IGBT.

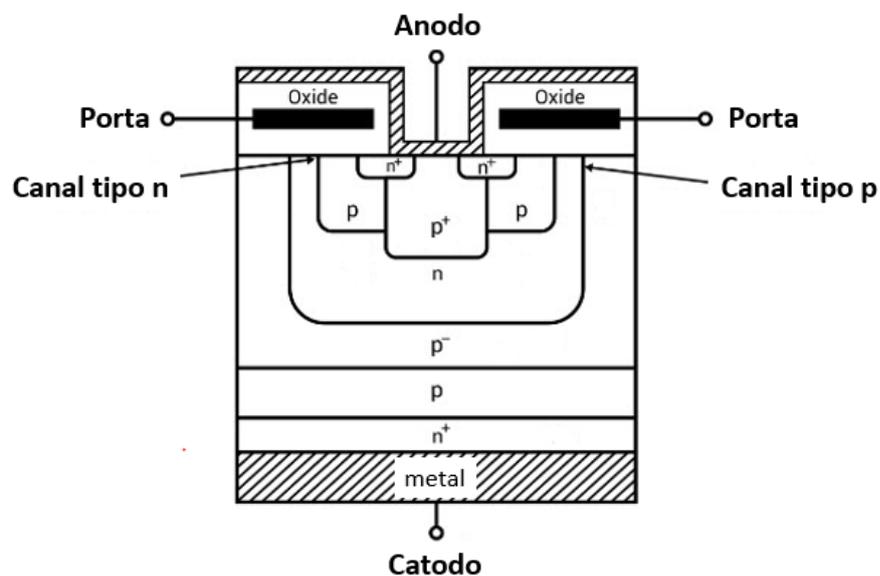
Figura 13 – Estrutura da célula de um transistor IGBT



Fonte: Autor “adaptado de” [35]

Mesmo com os avanços na tecnologia de MOSFET, para circuitos de grande capacidade, como bondes elétricos, em 1978, o tiristor com desligamento de porta (*Gate Turn-Off thyristor* - GTO) foi inventado, possibilitando o trabalho com tensões de operação de até 4500 V e correntes acima de 500 A, na década de 80 versões melhoradas foram introduzidas. Em 1984 o tiristor com porta em óxido metálico semiconductor (*MOS gated thyristor*) foi inventado, ver *Figura 14*, permitindo o melhor controle no desligamento do dispositivo, para melhor entendimento da estrutura *MOS gated thyristor*. Para maiores detalhes de cada dispositivo e suas revoluções tecnológicas, ver referências [35]–[38].

Figura 14 – Estrutura da célula de um MOS gated thyristor. Adapt. [35]



Fonte: Autor “adaptado de” [35]

Hoje a maioria dos controladores de frequência e conversores para alta potência utilizam transistores do tipo IGBT, ou MOSFET em cascata [39][40]. A procura de materiais que possam ampliar os limites de uso do MOSFET, o carbeto de silício como material semiconductor do MOSFET, tem-se mostrado uma alternativa para substituir de vez o IGBT.

2.5 O silício

Depois da descoberta da junção P-N por Russel Ohl em 1940 o silício tem sido profundamente estudado por pesquisadores, cientistas e engenheiros, sendo um material amplamente conhecido e utilizado no mundo todo para a fabricação de semicondutores, principalmente transistores. O silício é o material mais utilizado no mundo para fabricação de semicondutores, e nesta sessão as suas principais características serão citadas, seus benefícios e problemas em relação a outros materiais semicondutores.

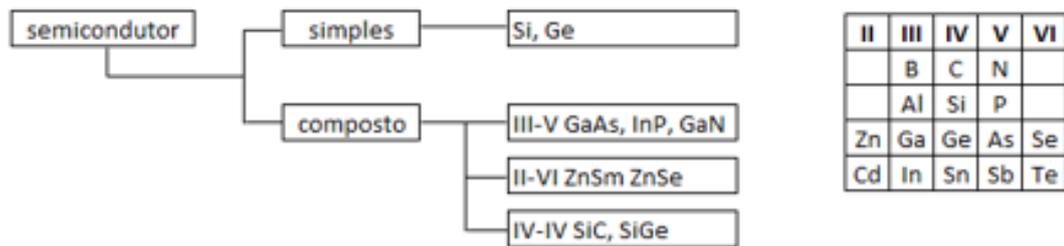
As principais características do silício são:

O silício é amplamente encontrado na crosta terrestre na forma de óxido de silício (SiO_2). Sua extração e purificação a partir de sua forma crua é barata e bem definida pela indústria, que consiste em tratar os compostos de sílica em fornos a altas temperaturas extraindo-se as impurezas até níveis aceitáveis para a fabricação dos semicondutores [41]. Em relação aos aspectos mecânicos o silício cristaliza em forma de diamante criando fortes estruturas que mantém o cristal íntegro, evitando defeitos e rachaduras. O silício puro tem largura de banda proibida de 1,12 V e concentração intrínseca de $1,45 \times 10^{10} \text{ cm}^{-3}$ a 300 K, levando a baixas correntes de fuga. A inserção de impurezas para dopagem, de acordo com a literatura e pesquisas atuais, é fácil e bem definida. O silício pode ser oxidado facilmente, isso permite o crescimento de camadas isolantes (SiO_2) na fabricação da tecnologia MOS.

2.6 O carbeto de silício (Silicon Carbide – SiC)

O SiC é um material semiconductor composto (silício e carbono), assim como outros materiais semicondutores da atualidade, ver *Figura 15*. É um material polimorfo, ou seja, pode ser encontrado em diversas formas de ligação atômica, sendo que mais de 170 polítipos já foram identificados na literatura [42].

Figura 15 – Mapeamento de composição entre semicondutor simples e semicondutor composto

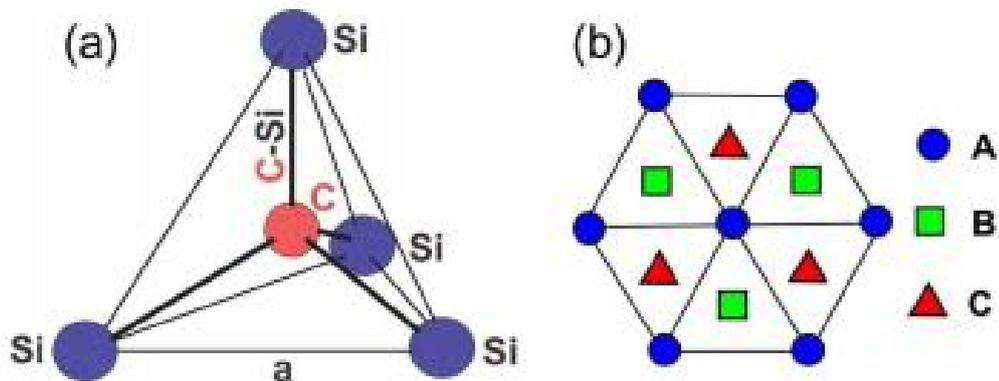


Fonte: Autor

O carbeto de silício é formado por blocos de cristal de carbeto de silício. Estes blocos são estruturas tetragonais, que consiste de 4 átomos de silício ao redor de 1 átomo de carbono no centro do bloco, formando uma estrutura piramidal conforme indicado na *Figura 16 a*). A distância entre todos os átomos de silício é igual a aproximadamente 3,08 Å, indicado na *Figura 16 a*) pela letra a, e a distância entre o átomo de carbono e todos os átomos de silício é igual a aproximadamente 1,89 Å [43], indicados na *Figura 16 a*) pela sequência C-Si. O empilhamento destes blocos acontece em camadas formadas por 2 blocos (bicamadas) em diferentes posições, formando os diferentes polítipos do SiC. Olhando o empilhamento das bicamadas no plano [0001] (denotação de plano por índice de Miller-Bravias), percebe-se que estas bicamadas podem assumir diferentes posições, A, B ou C, ver *Figura 16 b*), indicadas pelas cores azul, verde e vermelha, respectivamente. Desta forma, o empilhamento das diferentes bicamadas (A, B ou C) formam a estrutura cristalina.

As formas mais usuais são da estrutura cristalina do SiC: 3C-SiC, 4H-SiC e 6H-SiC, onde os números 3, 4 e 6 representam a periodicidade da repetição da estrutura formada pelas bicamadas, e as letras “C” e “H” representam a forma da estrutura, cúbica ou hexagonal, respectivamente, ver *Tabela 2*. Cada polítipo de SiC possui propriedades físicas diferentes (concentração intrínseca, largura de banda proibida, mobilidade intrínseca de elétrons etc.). Os dispositivos comerciais em sua grande maioria utilizam a estrutura 4H-SiC, sendo o dispositivo em estudo um deles. A partir deste ponto, todas as propriedades e parâmetros citados do SiC será em relação ao polítipo 4H-SiC.

Figura 16 – Estrutura cristalina do SiC



Fonte: Autor “adaptado de” [43]

Legenda: a) representação do bloco cristalino do SiC – estrutura tetragonal formada por um átomo de carbono no centro e 4 átomos de silício em volta, formando uma pirâmide. b) vista da rede cristalina do SiC na direção [0001] onde A, B e C representam as diferentes posições das camadas

Tabela 2 – Polítipos de SiC e suas seqüências de empilhamento das bicamadas que formam a estrutura cristalina.

polítipo	seqüência de empilhamento
2H	AB
3C	ABC
4H	ABCB
6H	ABCACB
15R	ABCACBCABACBCB

Fonte: Autor “adaptado de” [43]

Prós do carbetto de silício:

O SiC possui ótima condutividade térmica, 2.6 W/cm.K comparado ao Si 1,5 W/cm.K, o que permite uma alta capacidade de condução térmica, e uma maior condutividade de calor para o ambiente. O SiC é menos sensível à altas temperaturas, possui ponto de fusão de 2700 °C contra 1414 °C do Si e devido à baixa concentração intrínseca de $1,6 \times 10^{-8} \text{ cm}^{-3}$, o SiC consegue trabalhar com elevada temperatura quando comparado com o Si [30], podendo chegar em teoria a até 600 °C durante operação, contra 150 °C do Si [44]. Conseqüentemente, é possível reduzir o uso de grandes sistemas de dissipação de calor (aletas), e como consequência devido à redução dos dissipadores de calor, o tamanho dos módulos de potência podem ser reduzidos [45].

Por possuir alta tensão de ruptura, o SiC suporta uma tensão de 10 vezes maior entre o dreno e a fonte [44], por exemplo, para uma concentração de dopantes de $1 \times 10^{16} \text{ cm}^{-3}$ em uma junção paralela abrupta de Si a tensão de ruptura é em torno de 50 V, para uma mesma junção em SiC a tensão de ruptura é em torno de 1200 V [30]. Por possuir uma tensão de ruptura maior, é possível aumentar a concentração de dopantes, diminuindo a espessura da camada de condução, e conseqüentemente o tamanho do dispositivo. A resistência específica entre dreno e fonte R_{DSon} diminui. R_{DSon} é inversamente proporcional ao campo elétrico crítico da tensão de ruptura, desta forma, o SiC por possuir uma maior tensão de ruptura comparado com o Si (para uma mesma concentração de dopantes), passa a ter uma resistência R_{DSon} menor [46]. O aumento na tensão de trabalho permite o uso de sistemas mais simples de conversão ao invés de sistemas multinível (MOSFET em cascata) [39], [40], reduzindo a complexidade do sistema e seu custo. Diodos de barreira (*junction Barrier controlled Schottky* – JBS) fabricados em SiC possuem menor corrente de fuga [44].

O SiC pode trabalhar com frequências até 10 vezes maiores que os dispositivos de Si, permitindo a redução de tamanho dos dispositivos armazenadores de energia (componentes passivos), como capacitores e indutores [47]. Conduz entre 3 e 4 vezes mais corrente comparado com o Si [44], isso nos permite reduzir a área ativa do dispositivo (área total ocupada na wafer por todas as células que formam um MOSFET de potência - die) e como consequência reduzindo as capacitâncias parasitas. Com uma maior largura de banda proibida, o SiC é mais robusto contra distúrbios e interferências tais como calor e campo eletromagnético.

Tais características fazem com que o SiC VDMOSFET possa competir com dispositivos IGBT Si tanto em níveis de tensão quanto corrente [48], tendo inclusive vantagens sobre o mesmo, sendo ideal para o uso em tração elétrica. E por fim, está em ascensão de maturidade tecnológica e disponibilidade de mercado [49].

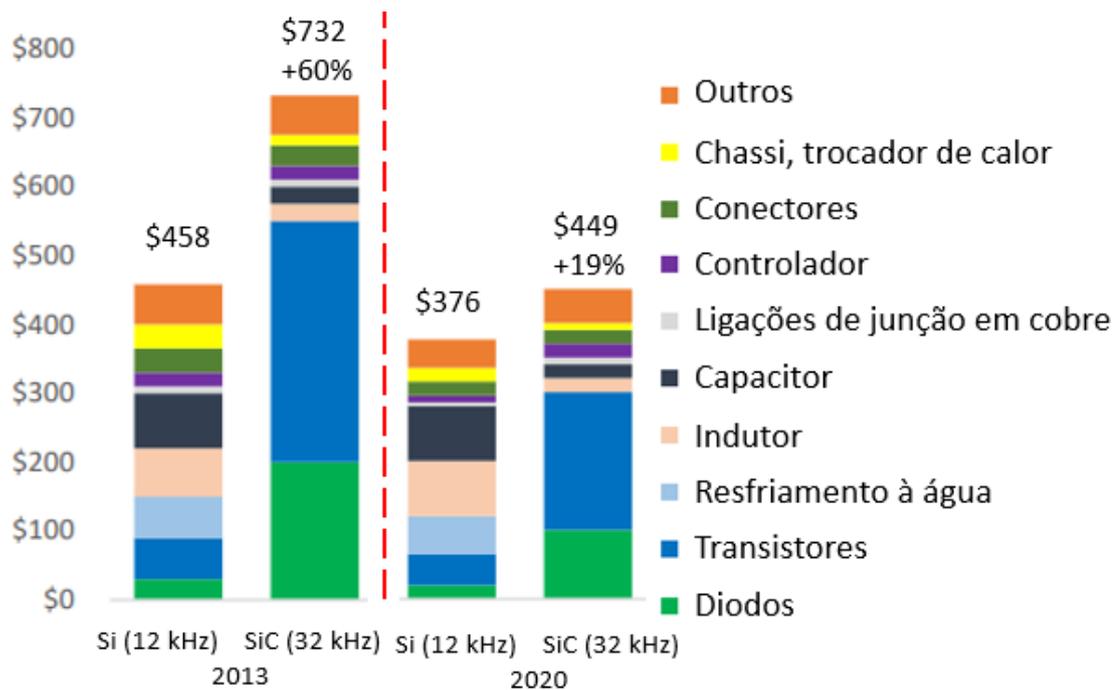
Contras do carbeto de silício:

O processo de fabricação de um circuito integrado em SiC é mais elaborado, por exemplo não é possível crescer óxido de silício diretamente a partir da lâmina de SiC, sendo necessário outras formas para a criação da camada de isolamento como, por exemplo, deposição, tornando o processo com mais etapas [50] e, conseqüentemente, mais oneroso. Um estudo da cadeia de produção desde a fabricação do dispositivo até a sua aplicação final em tração elétrica é necessário para que se possa mensurar o real global final. Por mais que o custo de fabricação do dispositivo seja mais oneroso, a redução de custo dos componentes que integram um

conversor (indutores, capacitores, sistema de dissipação de calor) e conseqüentemente a redução no volume e peso do conversor, que favorece a economia de energia em um VE, podem levar o custo global final do conversor em SiC a ser competitivo comparado ao Si (um estudo econômico da cadeia estudo econômico da cadeia de produção). Os encapsulamentos atuais não permitem o uso máximo da temperatura de trabalho do SiC, encapsulamentos normalmente trabalham a até 300 °C [44].

Devido ao aumento da capacidade de chaveamento (dv/dt , di/dt) o SiC VDMOSFET pode trabalhar com frequências mais altas, porém, o aumento da frequência de trabalho pode gerar interferência eletromagnética e, como consequência, incompatibilidade eletromagnética com os dispositivos já utilizados no mercado [51].

Figura 17 – Comparação de custo entre de inversor de potência de 60KW fabricado em Si vs SiC



Fonte: Autor “adaptado de” [52]

O custo do SiC VDMOSFET ainda é alto, comparado com o Si, o valor \$/área chega a ser o dobro [47], porém o aumento de corrente e tensão podem contrapor essa dificuldade, assim como a redução de outras variáveis, como os custos de componentes passivos (ex.: capacitores e indutores). Pelas informações da *Figura 17* percebe-se que em 2013 o custo de fabricação de um inversor de 60kW fabricado em SiC (transistores e diodos) era 60% mais caro do que os fabricados em Si, porém, para 2020 é previsto que essa diferença caia para 19%.[52].

Considerando que o preço deste inversor em Si de 2013 para 2020 teve uma redução de apenas 17,9% e que comparado à redução de 38,7% do inversor em SiC para o mesmo período, percebe-se que o avanço da tecnologia e o aumento da demanda estão levando o custo do SiC para um patamar mais próximo do Si e, desta forma, atrativo para o mercado.

O SiC VDMOSFET pode trabalhar com uma taxa de variação de tensão mais elevada que o Si VDMOSFET, e em trabalho conjunto com cabos percorrendo grandes distâncias, ao final do cabo (linha), ou melhor, na extremidade da linha onde a carga é conectada, ocorre sobretensão devido a capacitância da linha e pode ocorrer reflexão do sinal na linha [53].

A *Tabela 3* apresenta uma comparação entre as principais características entre os parâmetros do 4H-SiC e do Si.

Tabela 3 – Tabela de comparação entre SiC e Si – principais propriedades

	4H-SiC	Si	<i>Símbolo (unidade)</i>
<i>largura de banda proibida</i>	3,26	1,12	Eg (eV)
<i>Concentração intrínseca</i>	$1,6 \times 10^{-8}$	$1,5 \times 10^{10}$	ni (cm ⁻³)
<i>Campo elétrico crítico (Tensão de ruptura)</i>	3000	300	Êc (kV/cm)
<i>Mobilidade dos elétrons</i>	900	1500	µn (cm ² /V s)
<i>Mobilidade de lacunas</i>	120	450	µp (cm ² /V s)
<i>Velocidade de saturação</i>	2×10^7	1×10^7	Vsat (cm/s)
<i>Densidade de potência</i>	10	0,2	(W/mm)
<i>Condutividade térmica</i>	2,6	1,5	k (W/cm K)
<i>Constante dielétrica</i>	9,8ε0	11,8ε0	εs
<i>Ponto de fusão</i>	2700	1414	(°C)

Fonte: Autor “adaptado de” [42]

3 DESENVOLVIMENTO E METODOLOGIA

Neste capítulo será discutido o uso de SiC VDMOSFET em tração elétrica, quais suas vantagens e benefícios. O modelo de simulação numérica será apresentado, todas as dimensões serão apresentadas e os modelos matemáticos necessários para as simulações serão discutidos. Uma comparação das características de saída entre o modelo numérico e o dispositivo real é apresentada, onde são verificadas e discutidas as diferenças entre as curvas de tensão versus corrente entre fonte e dreno ($I_{DS} \times V_{DS}$), e resistência entre fonte e dreno (R_{DSon}). Então, o estudo das variações da concentração de dopantes no canal, variação da carga de interface e variação da sobreposição do canal sobre a porta é apresentado.

3.1 O uso de SiC VDMOSFET em tração elétrica

Independentemente do tipo de motor a ser utilizado (CC ou CA) e da fonte de energia, seja diretamente das baterias ou através de algum estágio de conversão até se tornar energia elétrica (célula de combustível), o uso de conversores CA/CC ou CC/CC e inversores de frequência são elementos-chave para o funcionamento de um VE, estes equipamentos são baseados em eletrônica de potência. A *Figura 18* mostra a faixa de operação, em termos de tensão e corrente dos veículos atuais, e qual o dispositivo de potência mais apropriado para um VE.

O SiC é um dos materiais em ascensão no campo da eletrônica de potência. Devido à alta condutividade térmica, que permite maior dissipação de calor [45], é possível a diminuição do sistema de dissipação de calor, economizando espaço em um veículo, ou pela robustez, permitindo um trabalho mais extensivo a uma temperatura mais elevada, o que é comumente encontrado em veículos. A sua operação em uma maior largura de banda proibida comparado ao Si [54], aumenta a robustez do sistema a variações de tensão devido ao elevado campo eletromagnético gerado pelos módulos de potência [55] e seus condutores [56].

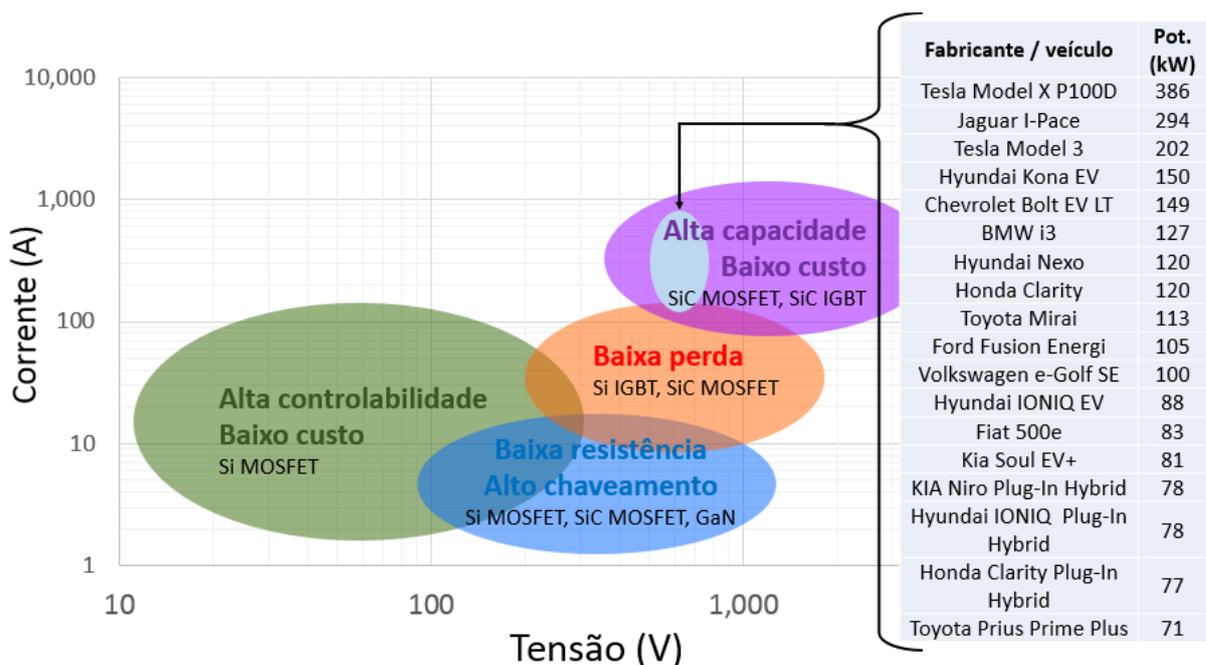
A alta tensão de ruptura torna o SiC VDMOSFET superior aos dispositivos IGBT de Si em níveis de tensão e corrente mais elevados [48], que possibilita barramentos do sistema com maior nível de tensão e corrente e, conseqüentemente, motores de maior potência, sendo ideal para o uso em VE. Atualmente, o SiC é usado principalmente em aplicações de média e alta potência [57]. Trata-se de um material que apresenta um dos melhores custo-benefício, tornando-o ideal para o mercado automotivo, que em 2017 superou 3 milhões de unidades já produzidas [8]. A *Figura 18* ilustra as faixas de operação em termos de tensão e corrente dos

transistores do tipo MOSFET e IGBT em Si e SiC, além de indicar as principais características de cada um, também é apresentado em que tecnologia os modelos de VE da atualidade (com suas respectivas potências) melhor se enquadram.

O SiC VDMOSFET apresenta vantagens quando comparado ao IGBT [48]. Testes feitos especificamente em módulos automotivos dos ciclos urbano e rodoviário (ver *Figura 6* para exemplo de ciclo de condução) mostram que o SiC MOSFET comparado ao Si IGBT tem uma redução das perdas no inversor de 77% e 85%, respectivamente e, por se tratar de uma comparação para potências similares, o SiC utiliza apenas 32% da área do die de Si [58].

A redução no volume e no peso dos módulos de potência do SiC em comparação com os módulos Si são relevantes quando se trabalha em frequências mais altas, com reduções de aproximadamente 60% em volume e peso do módulo de potência [59].

Figura 18 – Faixas de operação por tecnologia e potência



Fonte: Autor “adaptado de” [60]–[64]

Pensando no uso de motores CA e na eficiência total do conjunto motor e inversor, deve-se levar em consideração a perda total. Comparando a eficiência entre inversores com Si IGBT e com SiC MOSFET para uma mesma frequência de 25 kHz o SiC tem uma eficiência de 90% contra o Si IGBT de 82% [65], porém a eficiência do motor se mantém a mesma em torno de 80% o que leva a uma eficiência total de 65% e 72% para Si IGBT e SiC MOSFET, respectivamente. Todavia, se levar em consideração o conjunto motor mais inversor, aumentar

a frequência do inversor SiC MOSFET para 50 kHz (portadora) faz com que a eficiência do motor aumente para 89%, a eficiência no inversor SiC MOSFET diminui para 84%, todavia a eficiência total do conjunto aumenta para 75% [65]. Além da eficiência total aumentar, ainda se tem o ganho de diminuição da temperatura no motor com o aumento da frequência, e substituição de Si IGBT para SiC MOSFET. A uma rotação de 40000 rpm para uma frequência de trabalho de 25 kHz a temperatura é de 52 °C e 50 °C, Si IGBT e SiC MOSFET, respectivamente, aumentando-se a frequência para 50kHz a temperatura do motor com uso de SiC MOSFET passa para 36 °C [65]. Olhando para o uso em VE, têm-se uma menor necessidade de dissipação de calor no motor, diminuindo componentes de refrigeração, o que implica em ganhar espaço e diminuição da massa total transportada, em outras palavras, maior autonomia e eficiência no transporte.

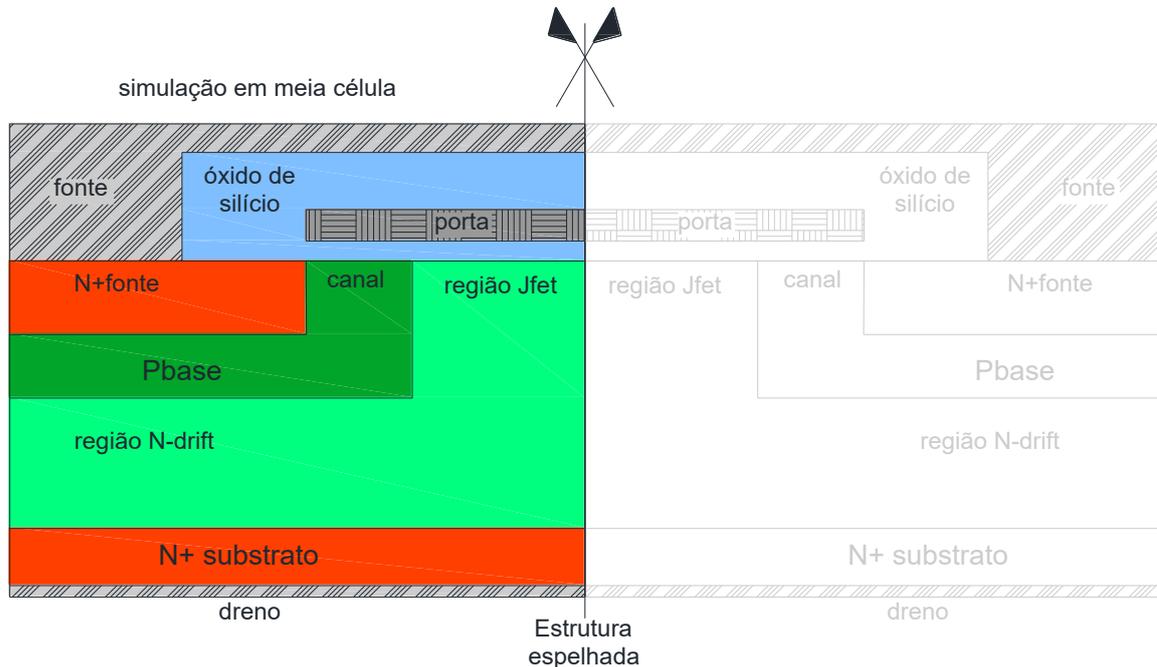
3.2 Modelo TCAD

O SiC VDMOSFET já é produzido em escala comercial, como pode-se ver pelos modelos SCT30N120 [66] e SCH2080KE [67] da ST Microelectronics e Rohm, respectivamente, outros fabricantes internacionalmente reconhecidos como a Mitsubishi [68] e Cree [69] também produzem SiC VDMOSFETS em escalas comerciais. Todavia estudos revelam que a tecnologia ainda está em estágio de amadurecimento [70], sendo necessário o aprofundamento da pesquisa nestes dispositivos de modo geral.

O uso de *Technology Computer-Aided Design* (TCAD) nos permite simular dispositivos, sendo possível verificar as características elétricas (limites de tensão, corrente, resistência, mobilidade, etc.) e características físicas (limites de temperatura, concentração de impurezas, etc.). Desta forma é possível escalar a quantidade de “testes” a serem realizados, como também fazer otimizações antes da fabricação do dispositivo. O uso de TCAD representa cerca de 40% [71] na redução dos custos de desenvolvimento, mostrando-se uma ferramenta fundamental no desenvolvimento de novas tecnologias.

Tendo em vista a otimização de dispositivos SiC para tração elétrica, este estudo visa criar um modelo fidedigno de um SiC VDMOSFET comercial, o SCH2080KE da Rohm em ambiente TCAD. Neste estudo, será utilizado o software Atlas da Silvaco [14].

Figura 19 – Estrutura da célula de um VDMOSFET com indicação do espelhamento da célula



Fonte: Autor

As características dimensionais e físicas tais como comprimento de canal, espessura do óxido de porta, concentração de dopantes das regiões, entre outras, foram adquiridas de diversas fontes, sendo algumas das características do próprio dispositivo [45] e outras características de dispositivos similares [72]–[74]. Apesar das diversas fontes, alguns dos parâmetros, cujos valores não foram encontrados na literatura, foram ajustados empiricamente com base nas simulações anteriores e a partir dos parâmetros pré-definidos do simulador. Além dos aspectos físicos, modelos matemáticos foram adotados com base na literatura existente, que indica quais modelos são mais apropriados para a simulação, tendo em vista uma melhor resposta em relação ao dispositivo comercial. A primeira definição para o modelo foi a identificação dos modelos matemáticos, seus parâmetros, e as características físicas, cujo os valores foram adotadas conforme indicados na *Tabela 3*.

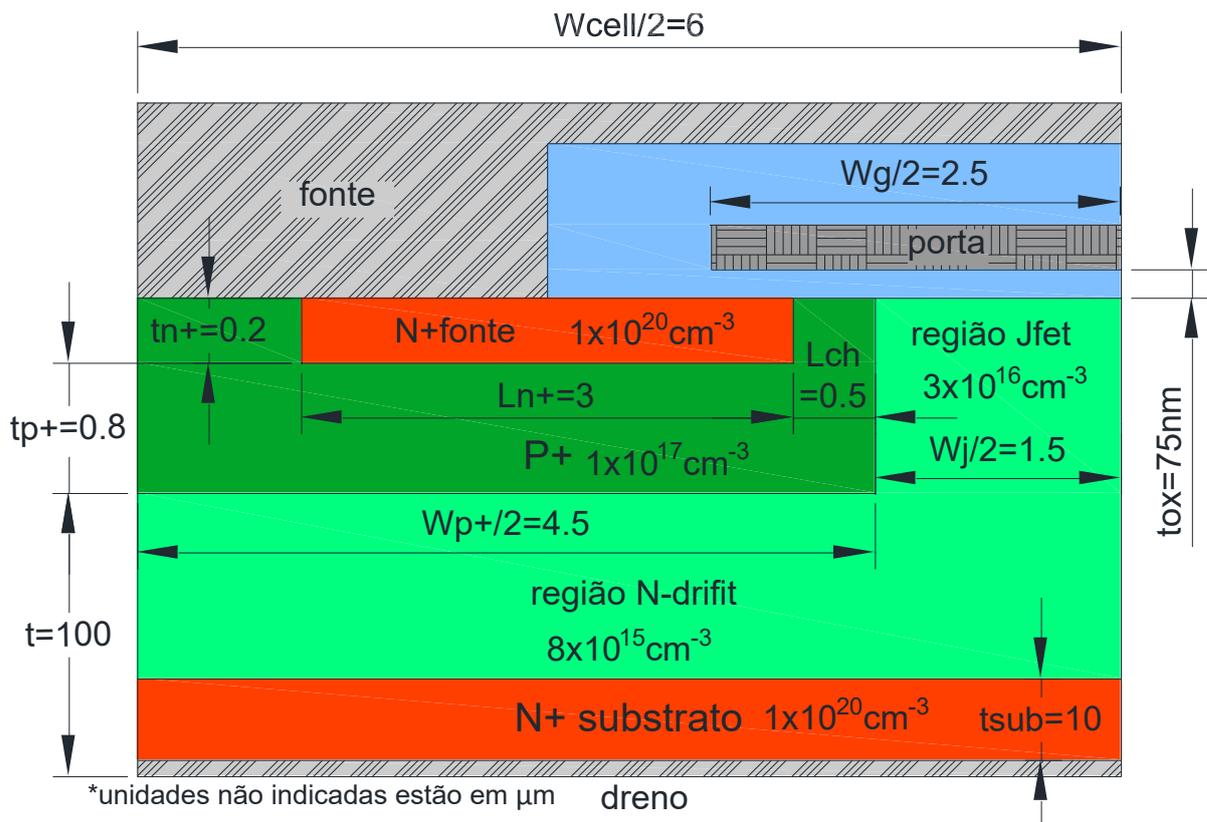
O *Datasheet* do fabricante [67] não informa qual o tipo de SiC utilizado, porém as pesquisas publicadas na última década são sobre 4H-SiC, indicado como o tipo de SiC mais utilizado para eletrônica de potência, e portanto este foi o material utilizado no modelo apresentado neste trabalho. Algumas das características dimensionais foram adotadas a partir de literaturas já publicadas [45][72][73][75], todavia nem todas as dimensões são fornecidas ou dão os mesmos resultados do modelo comercial adotado [67], o mesmo pode ser dito sobre a concentração de dopantes nas diversas regiões do dispositivo, portanto algumas das

características foram adotadas empiricamente a partir de simulações anteriores. Conforme verificado [45], o modelo comercial adotado é um SiC VDMOSFET.

Por se tratar de uma estrutura espelhada, na implementação do modelo TCAD adota-se o uso de meia célula (aumento de eficiência no tempo da simulação numérica), sendo que posteriormente para análise dobra-se o valor do resultado para que se tenha uma célula completa. Ver *Figura 19* para melhor visualização do dispositivo completo e da estrutura espelhada. As dimensões, definição de regiões, tipo de dopantes e suas concentrações são descritos na *Figura 20*.

O modelo do dispositivo foi obtido através da simulação via TCAD com a utilização dos seguintes modelos matemáticos: ionização incompleta de portadores, modelo de mobilidade para baixo campo elétrico, modelo de mobilidade Shirahata, modelo de mobilidade dependente de campo elétrico paralelo e modelo termodinâmico.

Figura 20 – Dimensões de meia célula do modelo TCAD de um SiC VDMOSFET

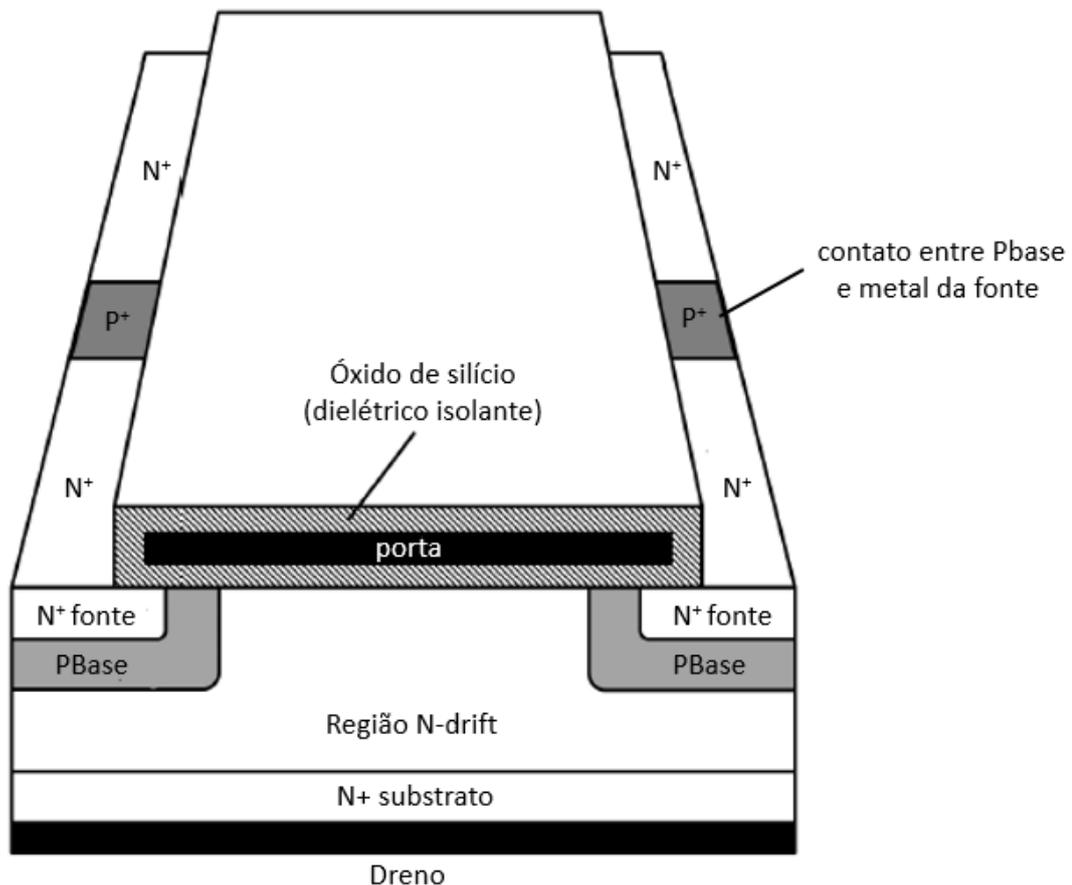


Fonte: Autor

Onde:

W_{cell}	Largura da célula = 10 μm
W_g	Largura da porta = 5 μm
W_j	Largura da região Jfet = 3 μm
W_{p+}	Largura da região P+ = 7 μm
L_{n+}	Largura da região N+ (contato da fonte) = 3 μm
L_{ch}	Largura do canal = 0.5 μm
t_{ox}	Espessura do óxido de porta = 75 nm
t_{n+}	Espessura do contato N+ da fonte = 0.2 μm
t_{p+}	Espessura do Pbase = 0.8 μm
t	Espessura da lâmina de SiC = 100 μm
t_{sub}	Espessura do contato N+ do substrato = 10 μm
N_{D-jfet}	Concentração de impurezas doadoras da região Jfet = $3 \times 10^{16} \text{ cm}^{-3}$
$N_{D-drift}$	Concentração de impurezas doadoras da região N-drift = $8 \times 10^{15} \text{ cm}^{-3}$
$N_{D-fonte}$	Concentração de impurezas doadoras do contato da fonte = $1 \times 10^{20} \text{ cm}^{-3}$
$N_{D-substrato}$	Concentração de impurezas doadoras do contato do substrato = $1 \times 10^{20} \text{ cm}^{-3}$
$N_{A-Pbase}$	Concentração de impurezas aceitadoras da área Pbase e canal = $1 \times 10^{17} \text{ cm}^{-3}$

Figura 21 – Representação 3D da estrutura do SiC VDMOSFET

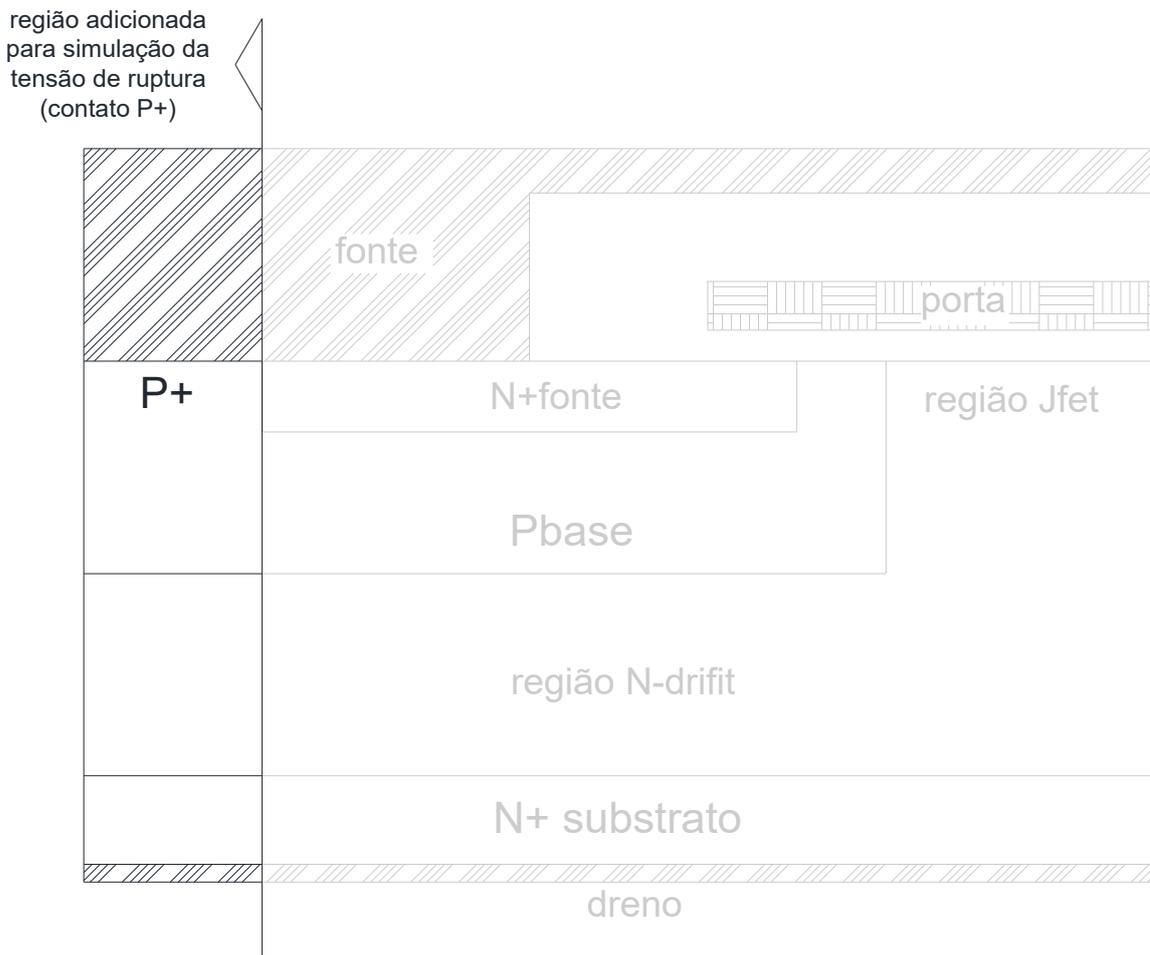


Fonte: Autor "adaptado de" . Adapt. [42]

É de extrema importância saber que, quando o transistor está trabalhando em modo reverso, a máxima tensão de bloqueio é determinada pelo campo elétrico entre a junção Pbase e N-drift quando o campo elétrico se torna crítico (caracterizando a tensão de ruptura). O campo elétrico crítico só é possível de acontecer quando o transistor bipolar parasita formado entre o contato N⁺/Pbase/N-drift for completamente suprimido, portanto para que se possa suprimir esse transistor parasita, é necessário curto circuitar o contato da fonte N⁺ e a região Pbase utilizando o metal da fonte. Este curto circuito só é possível se implementar um contato P⁺ entre a região Pbase e o metal da fonte, veja a representação 3D na *Figura 21* para um melhor entendimento.

Tendo em vista a necessidade do contato P⁺ para curto circuitar o transistor parasita formado entre N⁺ fonte/Pbase/N-drift, a estrutura da simulação numérica em 2D foi modificada para incluir o contato P⁺, conforme indicado na **Erro! Fonte de referência não encontrada..**

Figura 22 – Inclusão do contato P⁺ para simulação da tensão máxima de ruptura



Fonte: Autor

3.3 Modelos matemáticos utilizados nas simulações

A seguir o detalhamento de cada modelo utilizado é apresentado. Os parâmetros utilizados são discutidos informando como e/ou de onde foram selecionados.

3.3.1 Ionização incompleta de portadores

O estudo numérico realizado por Lades [76] em 1999 indica que a constante de tempo para ionização completa do dopante de Boro é de 100 ns em dispositivos de carbeto de silício (4H e 6H-SiC). O dopante utilizado no canal deste trabalho é o Boro, portanto um modelo matemático para ionização incompleta de portadores se faz necessário. O software possui as equações de Poisson [77] modificadas para calcular os níveis de dopantes ionizados em função dos níveis de energia de ativação (eV) de dopantes doadores e aceitadores EDB e EAB, respectivamente [42]. As equações (3.1) e (3.2) indicam o cálculo da concentração de dopantes ionizados para elétrons e lacunas, respectivamente.

$$N_D^+ = \frac{N_D}{1 + GCB \left(\frac{\varepsilon_{Fn} - (E_C - EDB)}{KT_L} \right)} \quad (3.1)$$

$$N_A^- = \frac{N_A}{1 + GVB \left(\frac{E_V + (EAB - \varepsilon_{Fp})}{KT_L} \right)} \quad (3.2)$$

Onde:

ND	Concentração de dopantes doadores [cm ⁻³]
ND ⁺	Concentração de dopantes doadores ionizados [cm ⁻³]
NA	Concentração de dopantes aceitadores [cm ⁻³]
NA ⁻	Concentração de dopantes aceitadores ionizados [cm ⁻³]
GCB	Coefficiente para concentração de dopantes doadores = 2
GVB	Coefficiente para concentração de dopantes aceitadores = 4
EDB	Energia de ativação do dopante doador = 0,065 eV
EAB	Energia de ativação do dopante aceitador = 0,210 eV
^E F _n	Nível de quase-Fermi para elétrons [eV]
^E F _p	Nível de quase-Fermi para lacunas [eV]
E _c	Banda de condução [eV]
E _v	Banda de valência [eV]
K	Constante de Boltzmann 8,61733x10 ⁻⁵ eV.K ⁻¹
T _L	Temperatura [K]

3.3.2 Modelo de mobilidade para baixo campo elétrico

O modelo de mobilidade para baixo campo elétrico foi incorporado à simulação para que as dependências de mobilidade nas regiões de baixo campo elétrico sejam reconhecidas. As equações (3.3) e (3.4) são responsáveis pelo que governam o modelo de mobilidade para baixo campo elétrico são:

$$\mu_{n0} = MUN \left(\frac{T_L}{300} \right)^{-TMUN} \quad (3.3)$$

$$\mu_{p0} = MUP \left(\frac{T_L}{300} \right)^{-TMUP} \quad (3.4)$$

Onde:

μ_{n0}	Mobilidade de elétrons de baixo campo elétrico [cm ² /V.s]
μ_{p0}	Mobilidade de lacunas de baixo campo elétrico [cm ² /V.s]
MUN	Mobilidade de elétrons intrínseca = 947 cm ² /V.s
TMUN	Coeficiente de degradação de mobilidade de elétrons = 2
MUP	Mobilidade de lacunas intrínseca = 124 cm ² /V.s
TMUP	Coeficiente de degradação de mobilidade de lacunas = 2
T_L	Temperatura [K]

3.3.3 Modelo de mobilidade Shirahata

Foi constatado que a mobilidade de elétrons na camada de inversão (região do canal), está entre 5 e 40 cm²/V.s [46][74][78], sendo que já foi registrado casos de dispositivos fabricados com mobilidade de 1,5 cm²/V.s [79]. O modelo de mobilidade Shirahata [80] foi selecionado para calcular a mobilidade na camada de inversão por ser um modelo amplamente utilizado, de fácil manuseio e que é dependente do campo elétrico perpendicular e da temperatura. As equações (3.5) e (3.6) são responsáveis pelo cálculo da mobilidade de elétrons e de lacunas, respectivamente. Os parâmetros das equações (3.5) e (3.6) foram ajustados em função do campo elétrico na camada de inversão para que a as correntes de saída (I_{DS}) fossem similares com as do dispositivo comparado.

$$\mu_n = \frac{MU0N.SHI \left(\frac{T_L}{300}\right)^{-THETAN.SHI}}{\left[1 + \frac{|E_{\perp}|}{E1N.SHI}\right]^{P1N.SHI} + \left[\frac{|E_{\perp}|}{E2N.SHI}\right]^{P2N.SHI}} \quad (3.5)$$

$$\mu_p = \frac{MU0P.SHI \left(\frac{T_L}{300}\right)^{-THETAP.SHI}}{\left[1 + \frac{|E_{\perp}|}{E1P.SHI}\right]^{P1P.SHI} + \left[\frac{|E_{\perp}|}{E2P.SHI}\right]^{P2P.SHI}} \quad (3.6)$$

Onde:

μ_n	Mobilidade de elétrons [cm ² /V.s]
μ_p	Mobilidade de lacunas [cm ² /V.s]
E_{\perp}	Campo elétrico perpendicular na região da camada de inversão [V/cm]
MU0N.SHI	Mobilidade de elétrons intrínseca = 35 cm ² /V.s
MU0P.SHI	Mobilidade de lacunas intrínseca = 124 cm ² /V.s
E1N.SHI	Coefficiente de ajuste da mobilidade de elétrons = 1x10 ³ V/cm
E1P.SHI	Coefficiente de ajuste da mobilidade de lacunas = 8x10 ³ V/cm
E2N.SHI	Coefficiente de ajuste da mobilidade de elétrons = 0,77x10 ⁶ V/cm
E2P.SHI	Coefficiente de ajuste da mobilidade de lacunas = 3,9x10 ⁵ V/cm
P1N.SHI	Expoente de ajuste da mobilidade de elétrons = 0,25
P1P.SHI	Expoente de ajuste da mobilidade de lacunas = 0,3
P2N.SHI	Expoente de ajuste da mobilidade de elétrons = 2,9
P2P.SHI	Expoente de ajuste da mobilidade de lacunas = 1
THETAN.SHI	Expoente de ajuste da mobilidade de elétrons = 2,285
THETAP.SHI	Expoente de ajuste da mobilidade de lacunas = 2,247

3.3.4 Modelo de mobilidade dependente do campo elétrico paralelo

O modelo de mobilidade dependente do campo elétrico paralelo (Parallel Electric Field-Dependent Mobility) foi considerado devido ao alto campo elétrico perpendicular na região Jfet. A mobilidade pode ser expressa pelas equações (3.7) e (3.8) (Caughey e Thomas [81]) para elétrons e lacunas, respectivamente.

$$\mu_n = \mu_{n0} \left[\frac{1}{1 + \left(\frac{\mu_{n0} E}{V_{SATN}} \right)^{BETAN}} \right]^{\frac{1}{BETAN}} \quad (3.7)$$

$$\mu_p = \mu_{p0} \left[\frac{1}{1 + \left(\frac{\mu_{p0} E}{V_{SATP}} \right)^{BETAP}} \right]^{\frac{1}{BETAP}} \quad (3.8)$$

Onde:

μ_n	Mobilidade de elétrons [$\text{cm}^2/\text{V.s}$]
μ_p	Mobilidade de lacunas [$\text{cm}^2/\text{V.s}$]
E	Campo elétrico paralelo [V/cm]
μ_{n0}	Mobilidade de elétrons de baixo campo elétrico [$\text{cm}^2/\text{V.s}$]
μ_{p0}	Mobilidade de lacunas de baixo campo elétrico [$\text{cm}^2/\text{V.s}$]
V_{SATN}	Velocidade de saturação dos elétrons = 2×10^7 cm/s
$BETAN$	Coeficiente = 1
$BETAP$	Coeficiente = 1
V_{SATP}	Velocidade de saturação das lacunas = 2×10^7 cm/s

3.3.5 Modelo termodinâmico

Tratando-se de transistores de potência, é essencial incluir um modelo que possa calcular o auto aquecimento do dispositivo. As pesquisas indicam que o aumento da temperatura faz com que a tensão de limiar diminua [82], desta forma, o modelo de Wachutka [83] foi adotado para simulação das condições termodinâmicas. Para que o modelo calcule corretamente a distribuição de calor é necessário que a condutividade térmica do material, e pelo menos um contato para dissipação do calor sejam indicados. A condutividade térmica do 4H-SiC é apresentada na literatura com algumas variações de valores entre 2,6 e 4,9 W/cm.K [54][75][84]–[86], e a condutividade térmica do material adotada foi de 2,6 W/cm.K [87] à temperatura ambiente (300 K), este valor foi adotado para forçar uma situação conservativa para dissipação de calor. Para que o modelo seja mais realístico o coeficiente de condutividade térmica deve ser dependente da variação de temperatura, a equação (3.9) foi adotada para essa dependência.

$$k = \frac{(TC.CONST)}{\left(\frac{T_L}{300}\right)^{TC.NPOW}} \quad (3.9)$$

Onde:

k	Condutividade térmica [W/cm.K]
TC.CONST	Condutividade térmica intrínseca do 4H-SiC = 2,6 W/cm.K
T _L	Temperatura [K]
TC.NPOW	Coefficiente de degradação da condutividade térmica = -1,49

Devido à forma de construção e encapsulamento, o dispositivo de potência em questão tem sua principal fonte de dispersão de calor pelo contato do dreno, que fica na parte traseira do encapsulamento, que corresponde a parte inferior da célula. Desta forma, o dreno foi indicado como o contato para dissipação de calor e uma resistência térmica equivalente foi calculada em função da temperatura limite indicada no *datasheet* [67] e a área ativa (die) do dispositivo (para cálculo da área ativa ver item 4.1.1), conforme equações (3.10), (3.11) e (3.12).

$$Q = \frac{(T_j - T_c)}{PD} = 0,573 \frac{K}{W} \quad (3.10)$$

$$R_{th} = Q \cdot die = 0,018 cm^2 \frac{K}{W} \quad (3.11)$$

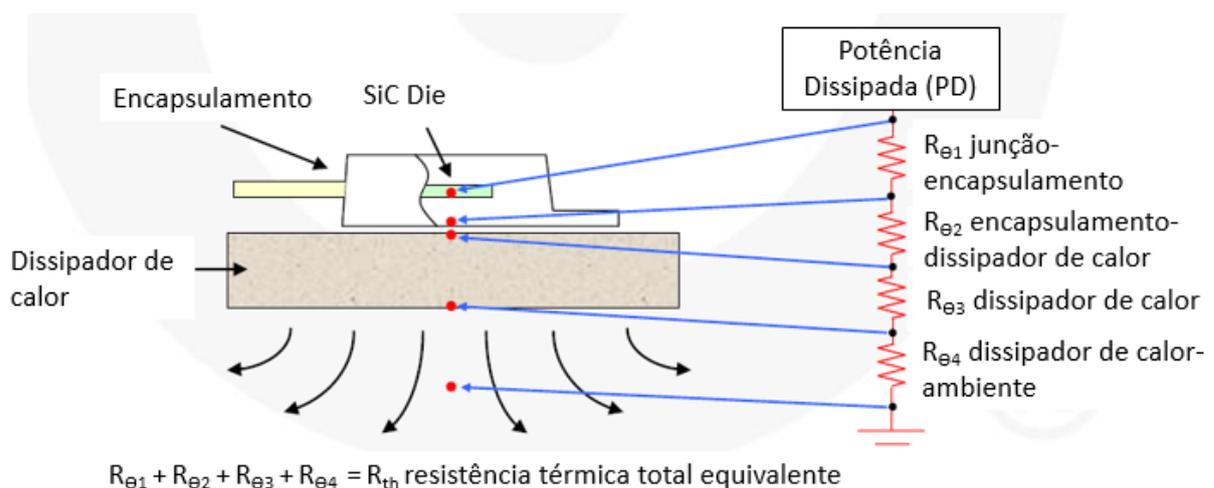
$$Alpha = \frac{1}{R_{th}} = 54,244 \frac{W}{cm^2 K} \quad (3.12)$$

Onde:

Q	Resistência térmica em função da potência dissipada [k/W]
T _j	Temperatura máxima admissível da junção = 175 °C
T _c	Temperatura ambiente = 25 °C
PD	Potência dissipada = 262 W
die	Área ativa do dispositivo = 3,22 mm ²
R _{th}	Resistência térmica total do dispositivo [cm ² .K/W]
Alpha	Condutância total do dispositivo [W/cm ² .K]

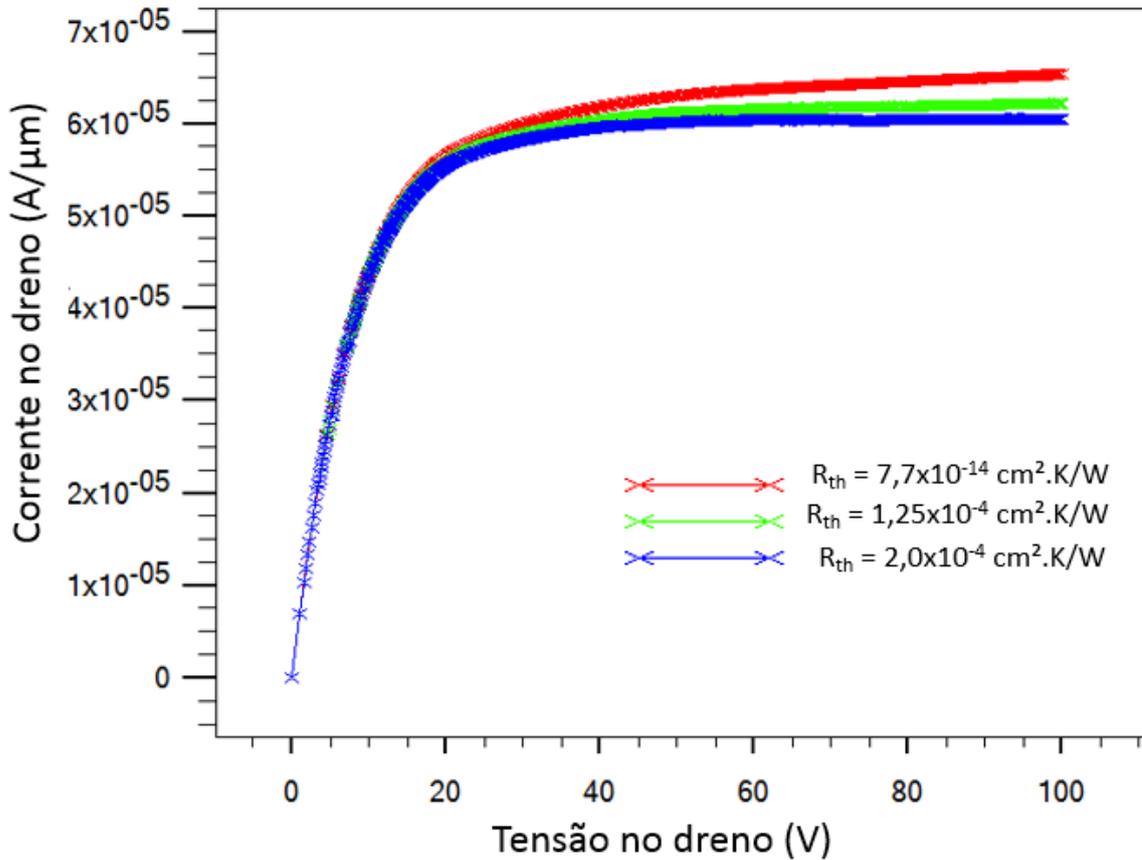
$R_{th} = 1,8 \times 10^{-2} cm^2.K/W$ é a soma das resistências térmicas conforme indicado na *Figura 23* (resistência térmica total) e $Alpha = 54,24 W/cm^2.K$ é o coeficiente utilizado no simulador TCAD para representação da resistência térmica em forma de condutância térmica.

Figura 23 – Dissipação de calor da célula.



Fonte: Autor “adaptado de” Adapt. [88]

Figura 24 -Gráfico da corrente de dreno vs tensão de dreno para as diferentes resistências térmicas



Fonte: Autor

Para a resistência térmica calculada, $R_{th} = 1,8 \times 10^{-2} \text{ cm}^2 \cdot \text{K/W}$ o simulador numérico não convergiu. Portanto, uma análise considerando as resistências térmicas de $7,7 \times 10^{-14} \text{ cm}^2 \cdot \text{K/W}$ (baixa resistência) e $2 \times 10^{-4} \text{ cm}^2 \cdot \text{K/W}$ (alta resistência) com tensão de porta $V_{GS} = 20 \text{ V}$ e tensão de dreno $V_{DS} = 100 \text{ V}$ (caso irreal, pois a diferença de potencial entre fonte e dreno na condução não chega a este patamar), nos mostra que a resistência térmica não tem efeito significativo na região de triodo. Para a região de saturação, a corrente de dreno tem uma perda de 8,3%, como pode ser observado na *Figura 24*. Em referência à literatura, outros artigos com características similares, mesma espessura da lâmina de 4H-SiC (100 μm), indicam resistência térmica de $1,25 \times 10^{-4} \text{ cm}^2 \cdot \text{K/W}$ [85]. Desta forma, levando em consideração a baixa influência da resistência térmica dentre os valores apresentados, as restrições de simulação, e as similaridades encontradas na literatura, a resistência térmica considerada para o modelo foi de $1,25 \times 10^{-4} \text{ cm}^2 \cdot \text{K/W}$.

4 ESTUDO DE VARIAÇÕES EM CARACTERÍSTICAS FÍSICAS

Neste capítulo é apresentado as características de saída (corrente no dreno e resistência entre fonte e dreno e tensão de ruptura) do modelo numérico antes das alterações físicas, comparando-o com o dispositivo comercial. Posteriormente são apresentadas as variações em características físicas e o comportamento da tensão de limiar, inclinação de sublimiar e máxima transcondutância.

4.1 Características de saída antes das variações

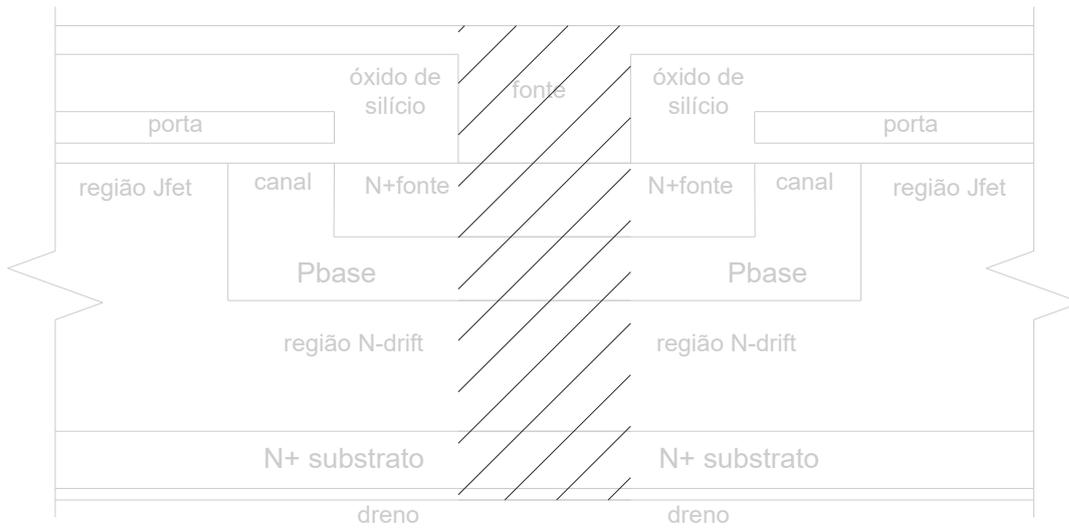
A seguir há uma análise comparativa entre as correntes de saída do modelo TCAD versus o dispositivo (*datasheet*). As resistências que constituem a resistência de saída entre fonte e dreno (R_{DSon}) do modelo são calculadas e então as resistências R_{DSon} do modelo e dos dispositivos são comparadas. Por fim, uma verificação entre as tensões de ruptura do modelo e do dispositivo é apresentado.

4.1.1 Corrente entre fonte e dreno (I_{DS})

O valor do comprimento total da célula, para que se atinja a corrente apresentada no *datasheet* do fabricante foi de 455 mm. Para comprimento total é necessário projetar um dispositivo multidedos, o que leva a um dispositivo com 260 dedos de 1750 μm . É válido ressaltar que há a sobreposição da área da fonte entre os dedos do dispositivo, conforme indicado na *Figura 25*.

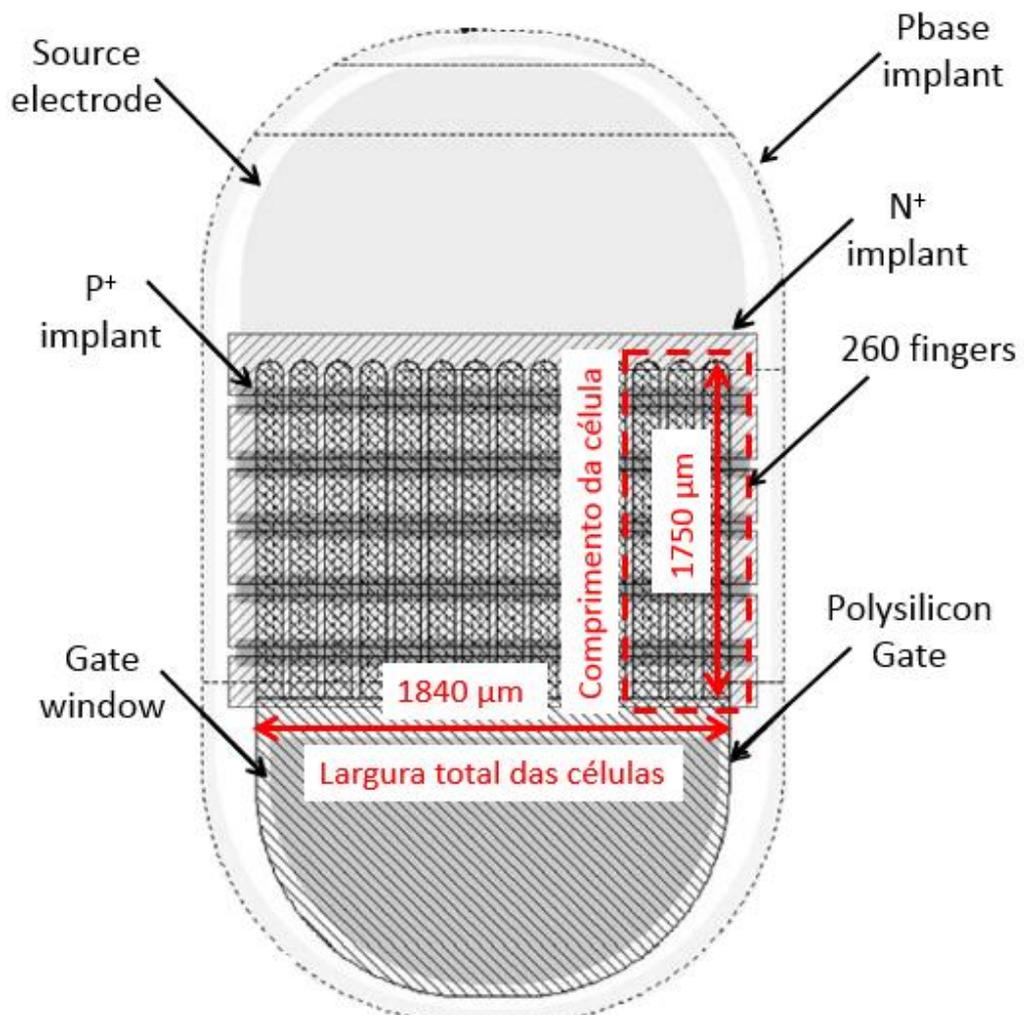
Levando em consideração a sobreposição das células e a quantidade de dedos há uma área ativa (die) do modelo de 1,75 mm x 1,84 mm, igual a 3,22 mm². A *Figura 26* ilustra um leiaute típico das máscaras para fabricação de um SiC VDMOSFET, é importante ressaltar que esta figura ilustra as principais camadas para elucidar a disposição dos dedos e área ativa (die) do modelo. Para um detalhamento de todas as camadas do processo de fabricação típica de SiC VDMOSFET ver referência [42].

Figura 25 – Indicação da sobreposição das células de um SiC VDMOSFET



Fonte: Autor

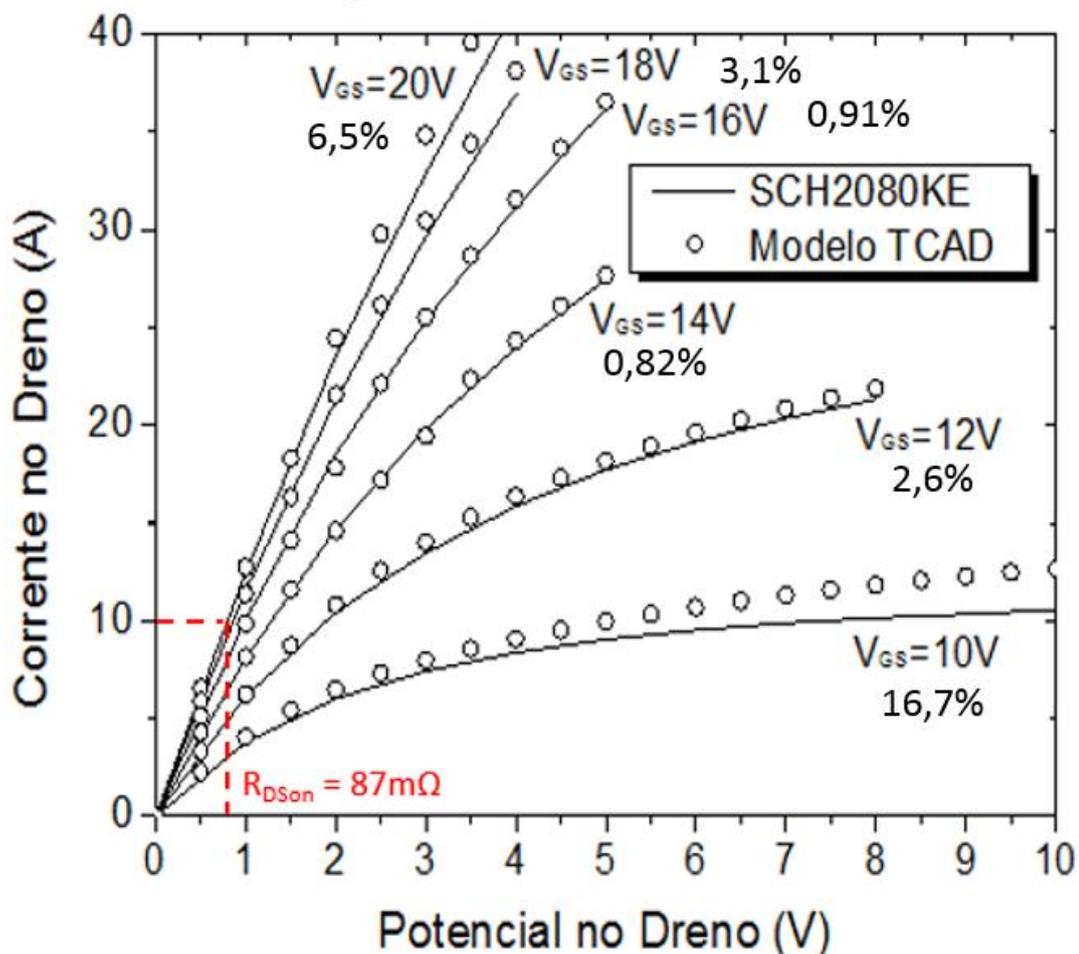
Figura 26 – Leiaute típico de fabricação do SiC VDMOSFET



Fonte: Autor "adaptado de" [42]

Deve-se levar em consideração que na simulação foi criada meia célula (*Figura 20*), desta forma para obter os valores de uma célula inteira (*Figura 19*) deve-se multiplicar os valores de corrente do dreno por 2. Analisando o *datasheet* do fabricante verifica-se que o gráfico apresentado das correntes entre dreno e fonte ($I_{DS} \times V_{DS}$) para diferentes tensões de porta (V_{GS}) utiliza corrente pulsada no dreno (figura 4 do *datasheet*). Conforme os dados apresentados no *datasheet*, verifica-se também que a proporção entre corrente pulsada e corrente contínua é de 2:1, ou seja, quando em regime pulsado a corrente do dreno é o dobro da corrente em regime contínuo. Sendo assim, a corrente de dreno das simulações (corrente contínua) deve ser dobrada novamente para que se possa comparar com os dados apresentados no *datasheet*. De acordo com a *Figura 27*, verifica-se que o modelo representa de forma satisfatória o dispositivo em análise.

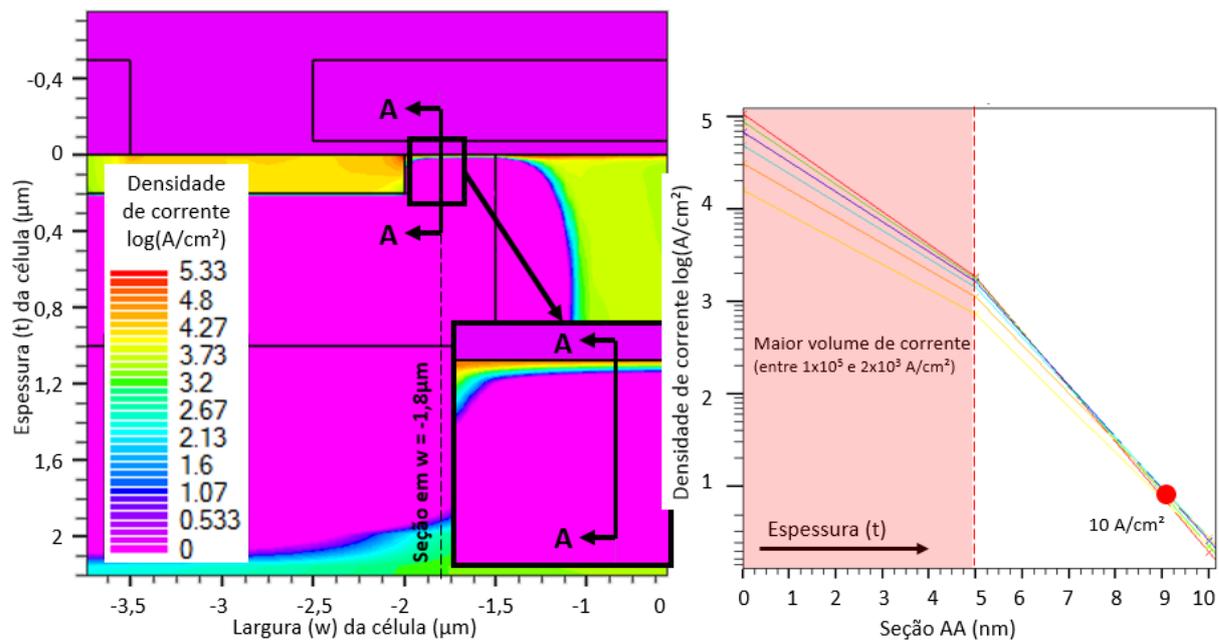
Figura 27 – Gráfico de $I_{DS} \times V_{DS}$ em função da tensão de porta do SCH2080KE vs modelo TCAD com a porcentagem de diferença entre os dispositivos.



Fonte: Autor

Observando a Figura 27, nota-se que para a tensão na porta de $V_{GS}=10$ V há uma diferença entre a curvas $I_{DS} \times V_{DS}$ do modelo e do *datasheet* (16,7% de variação em $V_{DS}=10$ V), o mesmo ocorre em menor grau para as curvas com tensão de porta de $V_{GS}=12$ V (2,6% de variação em $V_{DS}=8$ V), $V_{GS}=14$ V (0,82% de variação em $V_{DS}=5$ V), $V_{GS}=16$ V (0,91% de variação em $V_{DS}=5$ V), $V_{GS}=18$ V (3,1% de variação em $V_{DS}=4$ V) e $V_{GS}=20$ V (6,5% de variação em $V_{DS}=4$ V). O principal motivo observado para estas diferenças é devido ao comportamento da mobilidade do canal. Como pode ser observado na Figura 28, o maior volume de corrente (entre 1×10^5 A/cm² e 2×10^3 A/cm²) passa pelo canal entre 0 e 5 nm de espessura (tn+), sendo que até 9 nm a densidade de corrente chega a 10 A/cm². Por fim, a resistência entre fonte e dreno R_{DSon} é de 87 mΩ para o modelo TCAD e de 80 mΩ para o dispositivo SCH2080KE, que representa uma diferença de 8,75%.

Figura 28 – Espessura (t) por onde flui a maior densidade de corrente no canal

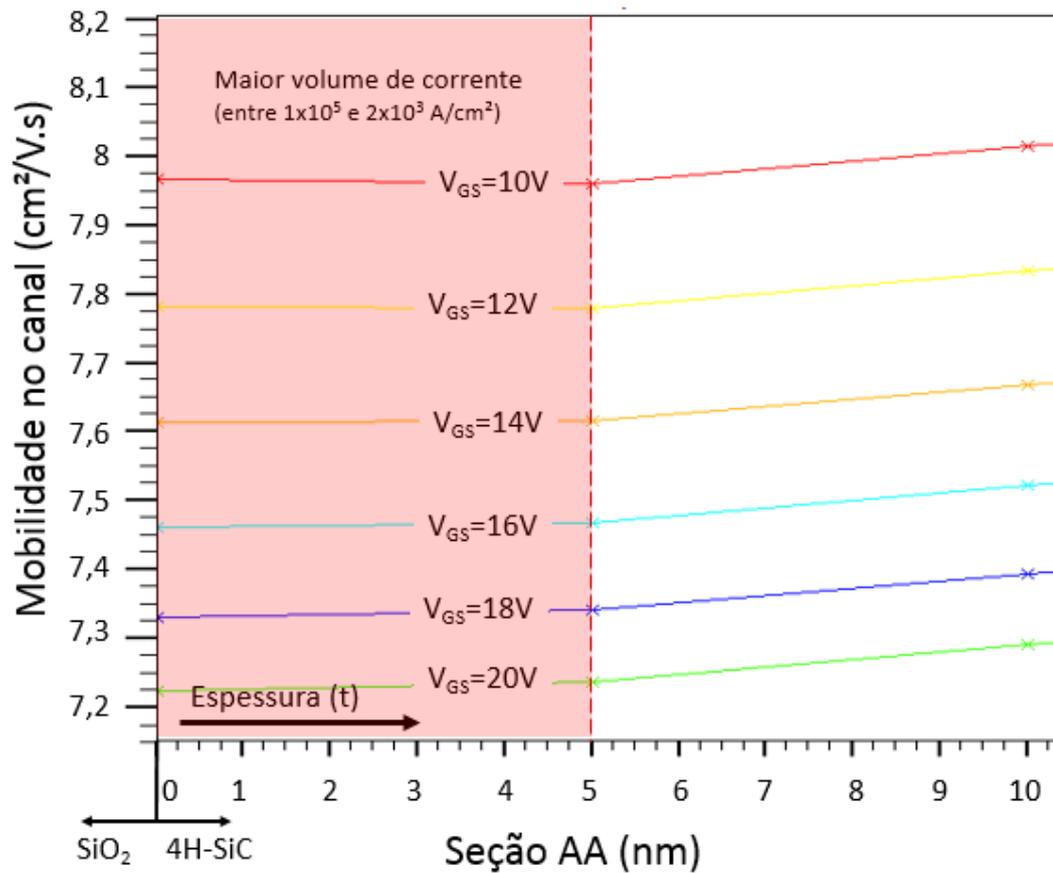


Fonte: Autor

Nesta região observa-se pela Figura 29 que a mobilidade para as diferentes tensões na porta varia de $7,19$ cm²/V.s ($V_{GS}=20$ V) a $7,97$ cm²/V.s ($V_{GS}=10$ V). Para que a corrente do dreno do modelo com tensão de porta $V_{GS}=10$ V fosse mais próxima da corrente apresentada no *datasheet*, uma maior amplitude entre as mobilidades para as diferentes tensões na porta (V_{GS}) deveria ocorrer na região do canal, todavia, não foi possível caracterizar uma gama de parâmetros do modelo utilizado para o cálculo da mobilidade (Shirahata [80] – ver item 3.3.3) que permita essa maior amplitude entre as mobilidades para as diferentes tensões de porta (V_{GS}).

É importante ressaltar que a mobilidade se degrada com o aumento da tensão na porta, ou seja, quanto maior a tensão, menor a mobilidade, porém o principal fator do aumento da corrente é o aumento da camada de inversão, ou seja, mesmo que a mobilidade se degrade com o aumento da tensão na porta, este mesmo aumento de tensão faz com que o canal tenha mais elétrons (maior em volume) e por isso conduza mais corrente.

Figura 29 – Mobilidade do canal em função da espessura (t) do canal

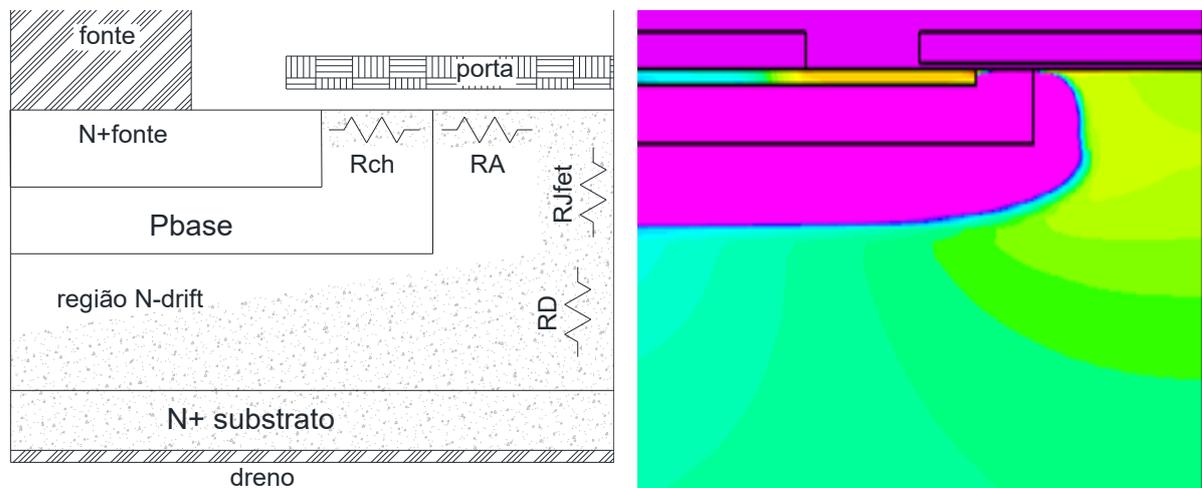


Fonte: Autor

4.1.2 Resistência entre fonte e dreno R_{DSon}

O modelo TCAD possui R_{DSon} de 87 m Ω e o dispositivo SCH2080KE possui R_{DSon} de 80 m Ω sob as mesmas condições de tensão aplicadas na porta V_{GS} e dreno V_{DS} , conforme indicado na *Figura 27*. Porém, outra maneira de confirmar a resistência entre dreno e fonte R_{DSon} é calculando as resistências internas conforme apresentado em [46], onde R_{DSon} é a soma das resistências internas de canal R_{ch} , região jfet R_{jfet} , região de acumulação R_A e região do dreno R_D , conforme *Figura 30*. Para visualização de todas as dimensões utilizadas entre as equações (4.1) e (4.2), ver *Figura 20*. É importante ressaltar que, o modelo numérico é muito mais preciso para o cálculo da resistência entre fonte e dreno por levar em consideração diversos aspectos físicos que, nas equações abaixo não são levados em consideração, mesmo assim, os cálculos a seguir demonstram uma mesma ordem de grandeza, o que indica que as dimensões físicas do dispositivo estão coerentes.

Figura 30 – Representação da passagem da corrente da estrutura do SiC VDMOSFET



Fonte: Autor

Legenda: à esquerda vê-se o esquemático da estrutura de meia célula do dispositivo e as respectivas resistências internas (área sombreada), à direita vê-se a simulação da estrutura de meia célula do dispositivo e a densidade de corrente

4.1.2.1 Resistência do canal (R_{ch})

A resistência do canal é responsável por mais de 68,44 % da resistência entre dreno e fonte R_{DSon} e pode ser calculada conforme as equações (4.1) e (4.2).

$$Cox = \frac{Eox}{tox} = 4,6x10^{-8} \frac{F}{cm^2} \quad (4.1)$$

$$Rch = \frac{(Lch Wcell)}{2 \mu_{inv} Cox (V_{GS} - V_{th})} = 6,682x10^{-3} \Omega cm^2 \quad (4.2)$$

Onde:

Rch	Resistência do canal [$\Omega.cm^2$]
Cox	Capacitância do óxido de silício [F/cm^2]
Eox	Capacitância específica do óxido de silício = $3,45x10^{-13} F/cm$
tox	Espessura do óxido de silício da porta
Lch	Comprimento do canal = $0,5 \mu m$
Wcell	Largura da célula = $10 \mu m$
μ_{inv}	Mobilidade de elétrons na camada de inversão = $7,33 cm^2/V.s$
V_{GS}	Tensão na porta = $18V$
V_{th}	Tensão de limiar = $6,904V$

4.1.2.2 Resistência da região de acumulação (RA)

A resistência da região de acumulação representa cerca de 7,525 % da resistência entre dreno e fonte R_{DSon} e pode ser calculada conforme equação (4.3).

$$RA = KAc \left[\frac{(Wj Wcell)}{4 \mu_{nA} Cox (V_{GS} - V_{th})} \right] = 7,347x10^{-4} \Omega cm^2 \quad (4.3)$$

Onde:

RA	Resistência da região de acumulação [$\Omega.cm^2$]
KAc	Coefficiente típico para 4H-SiC = $0,6$
Wj	Largura da região jfet = $3 \mu m$
Wcell	Largura da célula = $10 \mu m$
μ_{nA}	Mobilidade de elétrons na região de acumulação = $120 cm^2/V.s$
Cox	Capacitância do óxido de silício = $4,6x10^{-8} F/cm^2$
V_{GS}	Tensão na porta = $18V$
V_{th}	Tensão de limiar = $6,904V$

4.1.2.3 Resistência da região Jfet (R_{jfet})

A resistência da região Jfet é a menor das resistências e representa 0,765 % da resistência entre dreno e fonte R_{DSon} e pode ser calculada conforme equações (4.4) a (4.8):

$$V_{bi} = V_t \left[\ln \left(\frac{(N_{a_{ch}} N_{d_j})}{n_i^2} \right) \right] = 2,902V \quad (4.4)$$

$$W_0 = \sqrt{\frac{2 \epsilon_{4HSiC} V_{bi}}{q N_{d_j}}} = 3,236 \times 10^{-5} cm \quad (4.5)$$

$$a = W_{jfet} - 2W_0 = 2,353 \times 10^{-4} cm \quad (4.6)$$

$$p_{jfet} = \frac{1}{q \mu_n N_{d_j}} = 0,22 \Omega \cdot cm \quad (4.7)$$

$$R_{jfet} = \frac{p_{jfet} t_p W_{cell}}{W_{jfet} - 2W_0} = 8,965 \times 10^{-5} \Omega \cdot cm^2 \quad (4.8)$$

Onde:

R_{jfet}	Resistência da região jfet [$\Omega \cdot cm^2$]
V_{bi}	Diferença de potencial interno entre as regiões de Pbase e Jfet [V]
W_0	Largura da depleção formada por V_{bi} [μm]
a	Diferença entre a depleção formada e a largura total da região Jfet, ou seja, a largura por onde passa a corrente na região Jfet [μm]
p_{jfet}	Resistividade da região Jfet [$\Omega \cdot cm$]
V_t	Tensão térmica = 25,683 mV
$N_{a_{ch}}$	Concentração de dopantes aceitadores do canal = $1 \times 10^{17} cm^{-3}$
N_{d_j}	Concentração de dopantes da região Jfet = $3 \times 10^{16} cm^{-3}$
n_i	Concentração intrínseca do carbeto de silício $1,6 \times 10^{-8} cm^{-3}$
ϵ_{4HSiC}	Permissividade relativa do carbeto de silício = 9,8
q	Carga do elétron = $1,602 \times 10^{-19} C$
μ_n	Mobilidade de elétrons das demais regiões do SiC = $947 cm^{-3}$
t_p	Espessura da região Pbase = $0,8 \mu m$
W_j	Largura da região jfet = $3 \mu m$

4.1.2.4 Resistência da região N-drift

A resistência da região N-drift é responsável por 23,27 % da resistência entre dreno e fonte R_{DSon} , sendo o principal motivo desta resistência a espessura da lâmina de SiC onde os VDMOSFETs são fabricados. A resistência pode ser calculada conforme equação (4.9).

$$R_d = \frac{p_{jfet} W_{cell}}{2} \ln\left(\frac{a+Wp}{a}\right) + p_{jfet} \left[tN_{drift} - \left(\frac{Wp}{2}\right) \right] = 2,306 \times 10^{-3} \Omega \cdot cm^2 \quad (4.9)$$

Onde:

R_d	Resistência da região de N-drift [$\Omega \cdot cm^2$]
$Wp+$	Largura da região Pbase = 7 μm
p_{jfet}	Resistividade da região Jfet [$\Omega \cdot cm$]
W_{cell}	Largura da célula = 10 μm
a	Diferença entre a depleção formada e a largura total da região Jfet, ou seja, a largura por onde passa a corrente na região Jfet [μm]
tN_{drift}	Espessura da região de N-drift = 99 μm

Por fim, a resistência entre fonte e dreno R_{DSon} pode ser calculada pela soma das resistências divididas pela área ativa do transistor (die), conforme equações (4.10) e (4.11).

$$R_{DSonA} = R_{ch} + R_A + R_{jfet} + R_d = 0,011 \Omega \cdot cm^2 \quad (4.10)$$

$$R_{DSon} = \frac{R_{DSonA}}{die} = 0,21 \Omega \quad (4.11)$$

Onde:

R_{ch}	Resistência da região do canal [$\Omega \cdot cm^2$]
R_A	Resistência da região de acumulação [$\Omega \cdot cm^2$]
R_{jfet}	Resistência da região jfet [$\Omega \cdot cm^2$]
R_d	Resistência da região de N-drift [$\Omega \cdot cm^2$]
R_{DSonA}	Resistência entre dreno e fonte em função da área ativa do transistor (die) [$\Omega \cdot cm^2$]
R_{DSon}	Resistência entre dreno e fonte [Ω]
die	Área ativa do dispositivo = 3,22 mm^2

Este resultado apesar de apresentar uma maior resistência, indica uma boa relação das dimensões adotadas no modelo pois, a diferença entre o valor calculado final de R_{DSon} na

equação (4.11) de $210 \text{ m}\Omega$ e, o valor do *datasheet* R_{DSon} de $80 \text{ m}\Omega$ estão na mesma ordem de grandeza.

4.1.3 Tensão de ruptura

Como já citado no item 2.6 e na *Tabela 3*, o SiC é um material que permite um bloqueio de tensão muito mais elevado do que o tradicional Si. Sendo assim, um modelo matemático para o cálculo da taxa de ionização por impacto por proposto Selberherr [89] foi utilizado. Este modelo é governado pelas equações (3.24) e (3.25).

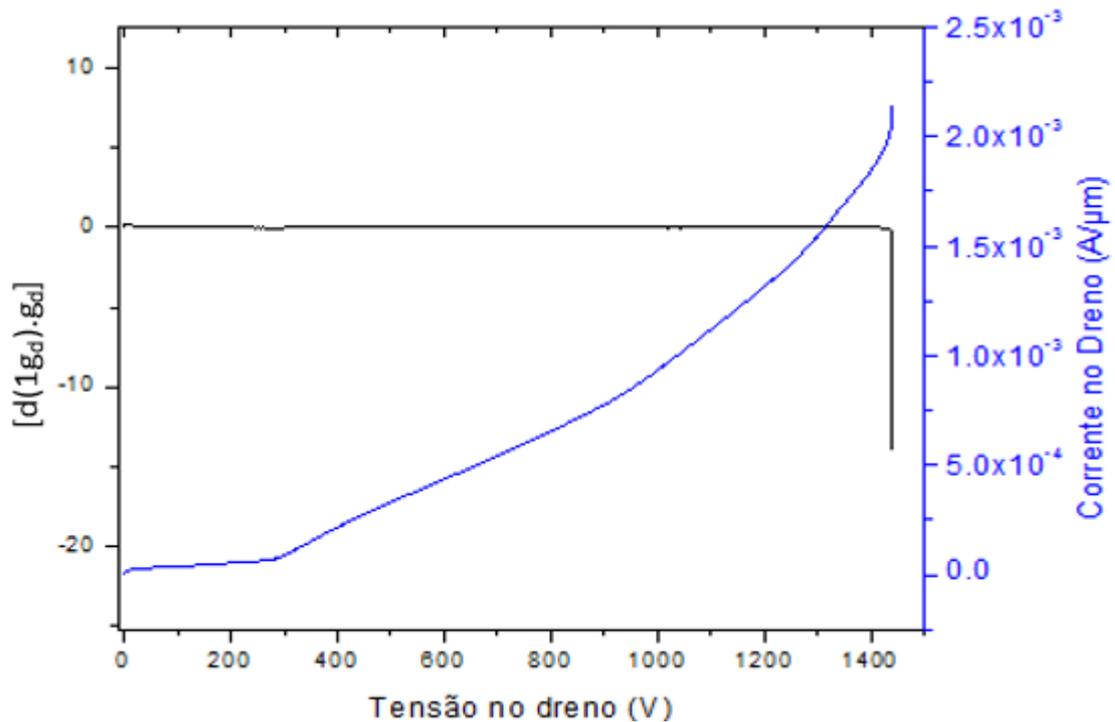
$$\alpha n = AN \left[- \left(\frac{BN}{E} \right)^{BETAIN} \right] \quad (3.24)$$

$$\alpha p = AP \left[- \left(\frac{BP}{E} \right)^{BETAIP} \right] \quad (3.25)$$

Onde:

αn	Taxa de ionização íons portadores de elétrons
αp	Taxa de ionização íons portadores de lacunas
AN	Coefficiente utilizado para taxa de ionização de elétrons = $1,14 \times 10^9 \text{ cm}^{-1}$
AP	Coefficiente utilizado para taxa de ionização de lacunas = $6,85 \times 10^6 \text{ cm}^{-1}$
BN	Campo elétrico crítico para taxa de ionização de elétrons = $3,8 \times 10^9 \text{ V/cm}$
BP	Campo elétrico crítico para taxa de ionização de lacunas = $1,41 \times 10^9 \text{ V/cm}$
E	Campo elétrico na direção da corrente [V/cm]
BETAIN	Coefficiente utilizado para taxa de ionização de elétrons = 1
BETAIP	Coefficiente utilizado para taxa de ionização de lacunas = 1

Figura 31 – Tensão de ruptura no dreno – I_{DS} vs V_{DS} vs $[d(1/g_d).g_d]$ vs V_{DS}



Fonte: Autor

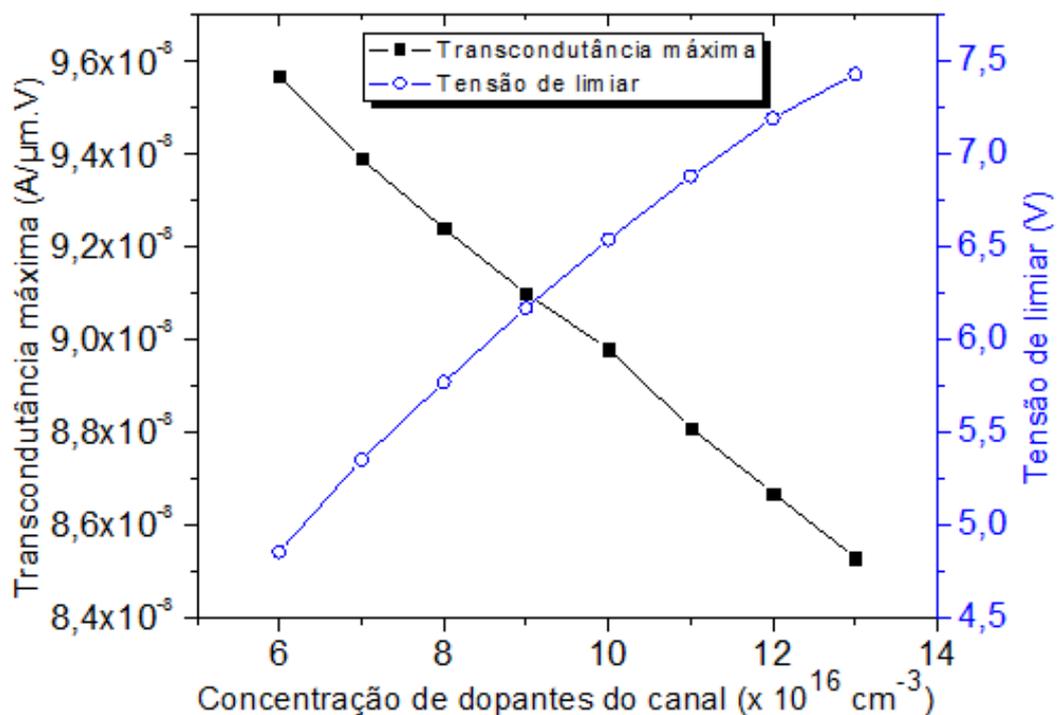
O aumento da taxa de ionização por impacto faz com que a corrente aumente e a partir de um determinado campo elétrico, este aumento se torna exponencial, indicando que o dispositivo entrou na região de ruptura. Os parâmetros acima apresentados foram retirados da referência [42] onde utiliza-se o mesmo método para cálculo da taxa de ionização. O método de extração da tensão de ruptura apresentado em [90] e utilizado em [91] e indica que, a partir da condutância do dreno (g_d) extraído da curva (I_{DS} x V_{DS}), deve-se obter a derivada do inverso da condutância $d(1/g_d)$ e multiplicar pela condutância (g_d), obtendo-se $[d(1/g_d).g_d]$. Com estes dados traça-se a curva $[d(1/g_d).g_d]$ x V_{DS} , o primeiro pico negativo indica a tensão de ruptura, conforme indicado na *Figura 31*. Vê-se que a tensão de ruptura obtida pelo gráfico de $[d(1/g_d).g_d]$ x V_{DS} (*Figura 31*) é de 1444 V. É válido lembrar que a tensão de ruptura pode ser percebida quando a corrente no dreno começa a crescer exponencialmente, o que também é visto na *Figura 31*. A tensão de ruptura apresentada pelo fabricante é de 1200 V e levando em consideração que comercialmente existe uma faixa de tolerância para que o dispositivo não trabalhe no limite, levando a uma segurança maior na utilização do dispositivo, o valor calculado de 1444 V está coberto pelo coeficiente de segurança.

4.2 Variação da concentração do canal

A implantação de dopantes em substratos de Si por meio do aquecimento é o método mais utilizado atualmente, porém para substratos de SiC a dopagem por aquecimento em pontos específicos (por exemplo o contato N+ da fonte), só é possível por meio da implantação iônica [92] [93]. No entanto, há muito mais preocupações sobre o processo de dopagem, uma vez que o carbono também tende a competir com os dopantes pela mesma posição no cristal [42]. Desta forma, a sensibilidade da concentração de dopagem do canal deve ser conhecida. A dopagem original do canal deste modelo é $1 \times 10^{17} \text{ cm}^{-3}$. Nesta análise, a concentração de dopantes adotada varia de $6 \times 10^{16} \text{ cm}^{-3}$ a $1,3 \times 10^{17} \text{ cm}^{-3}$.

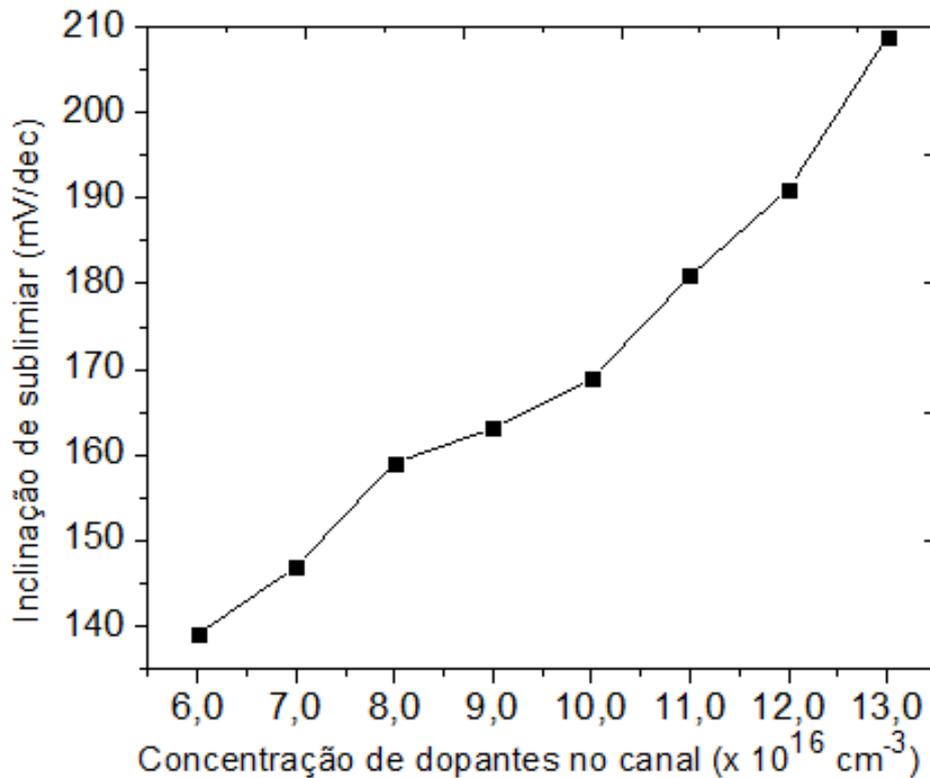
Como pode-se ver na *Figura 32*, com uma concentração de canal de $6 \times 10^{16} \text{ cm}^{-3}$, o V_{th} é de 4,86 V, e para uma concentração de $1,3 \times 10^{17} \text{ cm}^{-3}$ tem-se um V_{th} de 7,43 V. Também é importante notar que a transcondutância máxima varia de 9,57 a 8,53 $\text{A}/\mu\text{m.V}$ para as mesmas concentrações de dopantes de canal, o que implica dizer que transcondutância máxima é inversamente proporcional à concentração de dopantes do canal e a dependência é bastante linear. Finalmente, os valores da inclinação de sublimiar na *Figura 33* variam de 138 mV/dec para 208 mV/dec.

Figura 32 – Concentração de dopantes de canal vs máx. gm vs V_{th} ($V_{DS}=0,1\text{V}$)



Fonte: Autor

Figura 33 – Concentração de dopantes vs inclinação de sublimiar (VDS=0,1V)



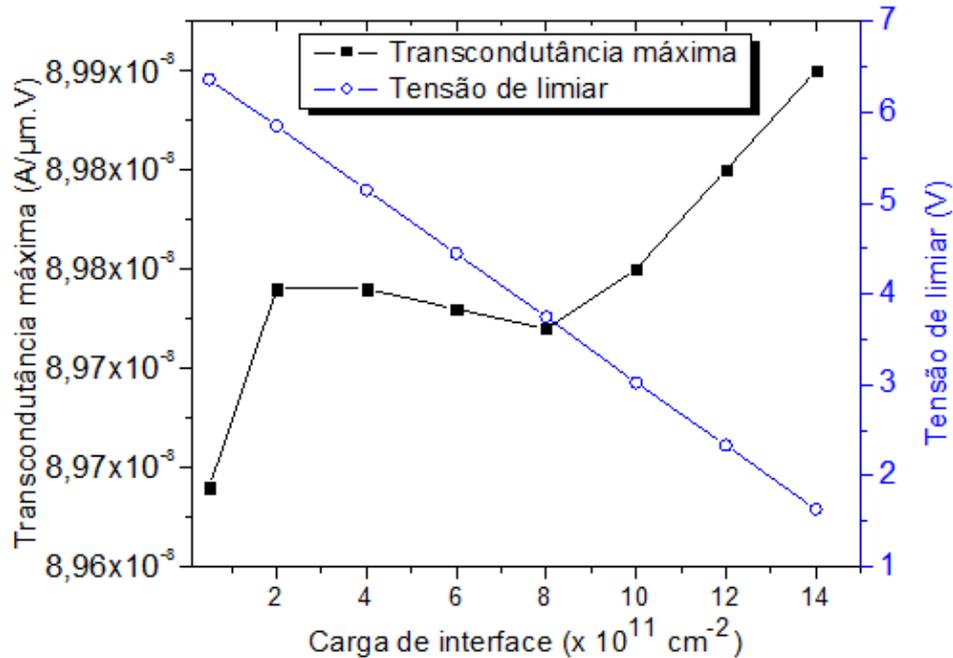
Fonte: Autor

4.3 Variação da Carga de Interface

A radiação (Gamma), mesmo que em baixas doses [94], é uma das causas mais comuns de aumento da carga de interface ao longo do ciclo de vida do dispositivo. A eletrônica em geral torna-se obsoleta num máximo de 5 anos [95] e por isso é normalmente substituída antes da degradação. Por outro lado, um veículo em média ainda está em uso após 11 anos nos EUA [96]. Investigações apontam que a carga da interface pode mudar devido aos processos de fabricação, indicação de que o mesmo comportamento pode ocorrer para transistores de SiC como indicado em [97]. Por isso, mostrar como a tensão de limiar, a inclinação de sublimiar e a transcondutância são sensíveis à carga de interface é importante. Para analisar a carga de interface presa no óxido, um conjunto de cargas de interface foi usado no modelo TCAD, a partir de uma carga de interface de $5 \times 10^{10} \text{ cm}^{-2}$, que tem pouca ou nenhuma influência nas características de saída, para $1,4 \times 10^{12} \text{ cm}^{-2}$. Depois de aplicar estes diferentes níveis de carga de interface, pode-se ver na *Figura 34* como a carga influencia a tensão de limiar. Aqui pode ser visto como a tensão de limiar diminui com o aumento da carga da interface. Para a carga de interface de $5 \times 10^{10} \text{ cm}^{-2}$ tem-se V_{th} resultante de 6,36 V, e para uma carga de interface de

$1,4 \times 10^{12} \text{ cm}^{-2}$ tem-se V_{th} resultante de 1,63 V, um comportamento linear esperado da tensão de limiar.

Figura 34 – Carga de Interface vs Máxima transcondutância vs tensão de limiar (VDS=1V)

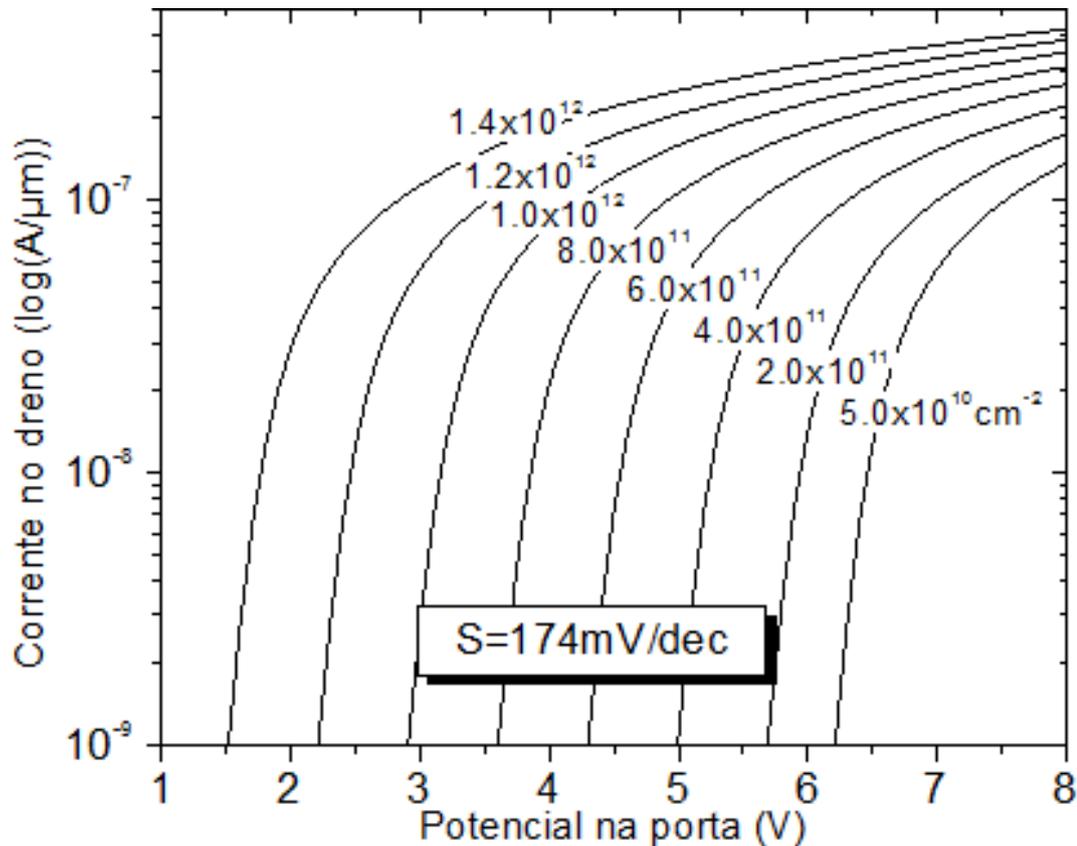


Fonte: Autor

A próxima análise mostra a transcondutância em função das cargas da interface. Como pode-se ver na Figura 34, a variação da carga da interface na mesma faixa descrita anteriormente, leva a uma transcondutância máxima praticamente constante, variando de $8,97 \text{ A}/\mu\text{m.V}$ a $8,99 \text{ A}/\mu\text{m.V}$.

A terceira análise é a inclinação sublimiar. Aqui é visto que, aplicando uma escala logarítmica no eixo y (corrente de dreno), e tendo em vista que a tensão de limiar, no eixo x, varia conforme apresentado na Figura 34, todas as inclinações de sublimiar têm valores próximos a 174 mV/dec , como apresentado na Figura 35.

Figura 35 – Inclinação de sublimiar para diferentes valores de carga de interface (VDS=1V)

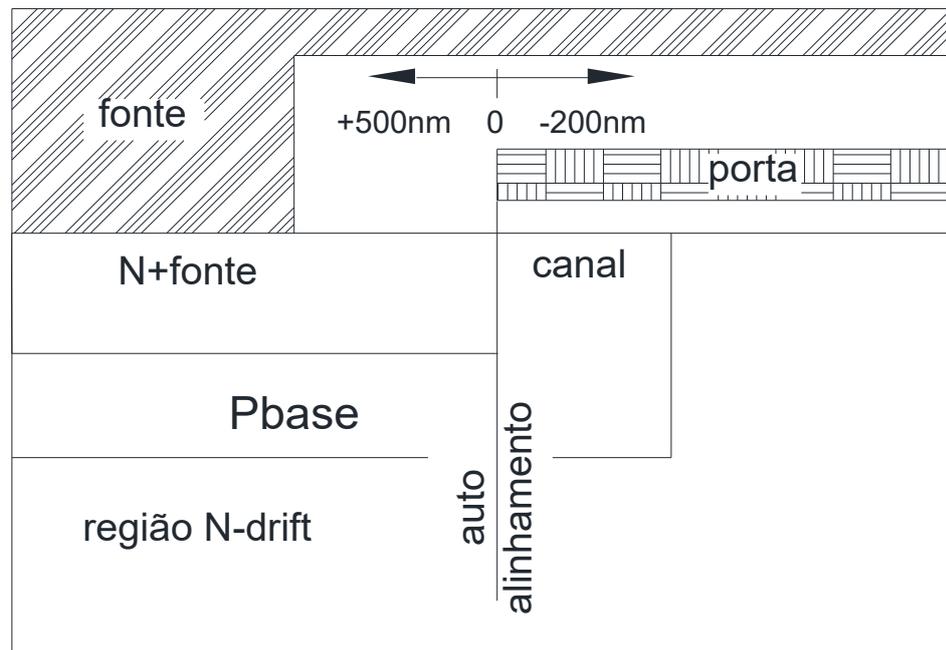


Fonte: Autor

4.4 Variação da sobreposição da porta em relação ao canal

Alguns processos não permitem o auto alinhamento entre a porta e o canal. Saber como a sobreposição, ou a não sobreposição, completa do canal sobre a porta afeta o funcionamento do dispositivo pode ajudar os projetistas a ajustar o leiaute do SiC VDMOSFET. Devido à alta sensibilidade nas características de saída para pequenas mudanças na largura da porta, variações foram feitas em uma escala de nm onde: 0 nm significa que a porta está alinhada com o canal, uma distância positiva em nm é considerada a sobreposição da porta e uma distância negativa é considerado o quanto falta para a porta cobrir o canal por completo (underlap), ver *Figura 36*. O estudo mostrou que, para tensão de limiar, máxima transcondutância e inclinação de sublimiar não há alteração quando a porta sobrepõe o canal, a análise para uma distância de sobreposição de até 500 nm. Por outro lado, o underlap do canal mostra ter uma grande influência em V_{th} , g_m e S .

Figura 36 – Alinhamento entre porta e canal



Fonte: Autor

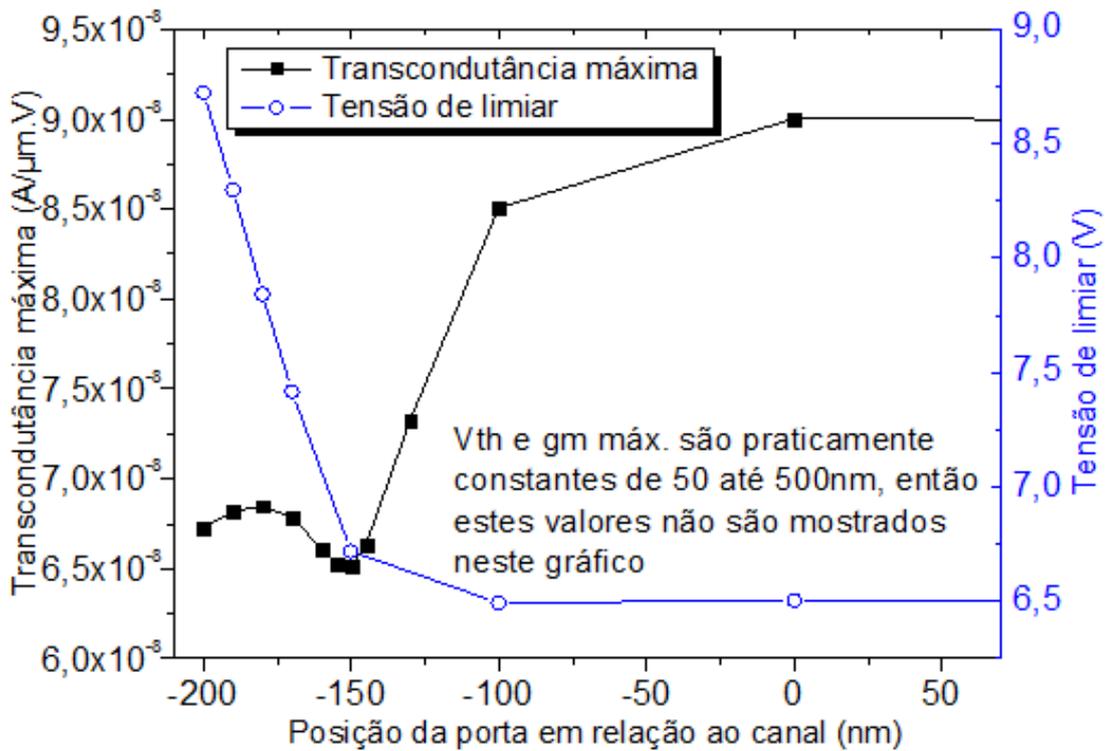
À medida que a porta sai de uma sobreposição (distância positiva) para um underlap (distância negativa), pode-se ver que a tensão de limiar vai de 6,49 V (500 nm de sobreposição) para 8,72 V (200 nm de underlap). A tensão de limiar basicamente permanece constante em 6,5 V para todas as sobreposições da porta. Por outro lado, V_{th} começa a aumentar à medida que a porta deixa de sobrepor o canal e começa a ficar menor que o comprimento do canal. A partir de -100 nm V_{th} sobe exponencialmente, como pode-se ver na Figura 37. Em relação à transcondutância, há uma reação oposta. A máxima transcondutância vai de um valor mais baixo, de 6,73 A/ $\mu\text{m}\cdot\text{V}$ para uma porta com -200 nm (underlap), para 8,98 A/ $\mu\text{m}\cdot\text{V}$ quando a porta está alinhada com o canal e as demais sobreposições até 500 nm. É importante notar que entre -200 nm e -150 nm a máxima transcondutância tem uma descontinuidade antes de estabilizar em torno de 8,98 A/ $\mu\text{m}\cdot\text{V}$, como apresentado na Figura 37.

Para a inclinação sublimiar, ocorre algo similar a transcondutância. S é constante para todos os valores de sobreposição, a cerca de 170 mV/dec e começa a aumentar para valores negativos (underlap) atingindo 432 mV/dec a -200 nm, como pode-se ver na Figura 38.

É importante ressaltar que em processos de fabricação de um MOSFET o que ocorre é a fixação da máscara da porta e posteriormente a máscara dos contatos da fonte é colocada em posição para criação dos contatos. Isto implica dizer que, em um processo real de fabricação, quando não ocorre o auto alinhamento entre porta e fonte, o contato de fonte pode ou não

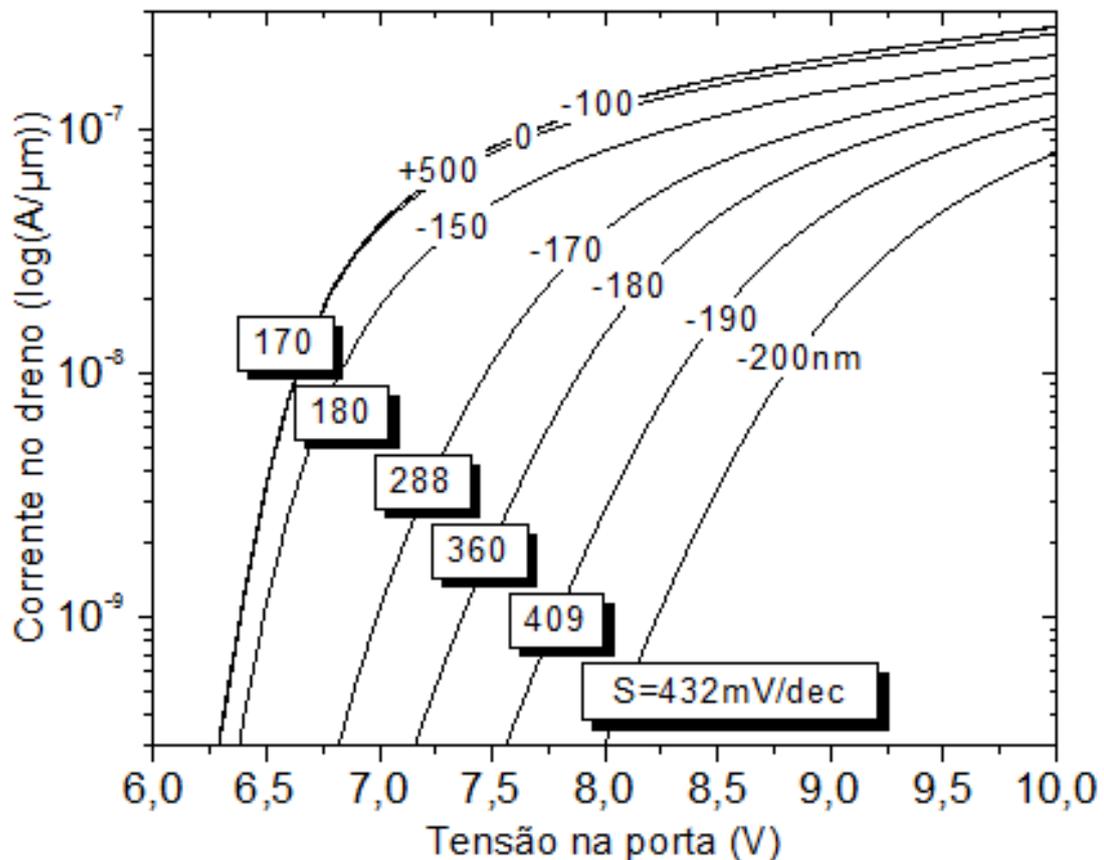
sobrepor o canal, fazendo com que haja ou não sobreposição da porta sobre o canal, e ao mesmo tempo, encurtamento ou crescimento do comprimento do canal (L_{ch}). Desta forma, deve-se notar que a análise feita neste trabalho, de sobreposição da porta sobre o canal, leva em consideração apenas a variação de quanto a porta está sobreposta sobre o canal, porém não leva em consideração o quanto o canal varia em função de uma sobreposição do contato de fonte sobre o canal (L_{ch} fixo). A fixação do comprimento do canal (L_{ch}) foi proposital para que se obtivesse uma real análise apenas dos efeitos de sobreposição da porta sobre o canal sem incluir os efeitos da variação do comprimento do canal.

Figura 37 – Posição da porta em relação ao canal vs máx. gm vs V_{th} ($V_{DS}=0.1V$)



Fonte: Autor

Figura 38 – Posição da porta em relação ao canal vs inclinação de sublimiar ($V_{DS}=0.1V$)



Fonte: Autor

4.5 Aplicação das variações

Os resultados apresentados permitem fazer alterações que afetam o funcionamento do módulo de potência e consequentemente do VE a partir do elemento base, a chave que controla a energia de todo o sistema, o VDMOSFET. Ao invés de contornar ou procurar soluções para bloquear interferência eletromagnética, radiação ou mesmo perda de rendimento devido ao superaquecimento do sistema, pode-se analisar quais destes inconvenientes podem ser mitigados fazendo alterações diretamente no dispositivo de chaveamento. A partir dos dados apresentados é possível avaliar quais das características dimensionais do modelo podem ser alteradas para melhor atender a necessidade do VE. A tensão de limiar pode ser alterada em função da compatibilidade eletromagnética de forma a dar mais robustez ao módulo de potência, levando em consideração que v_{th} é diretamente proporcional ao aumento da concentração de dopantes no canal e ao underlap da porta sobre o canal, e inversamente proporcional ao aumento da carga de interface. É importante ressaltar que o aumento da concentração de dopantes no canal e o aumento do underlap da porta sobre o canal também leva

ao aumento da inclinação de sublimiar e conseqüentemente aumenta o tempo de chaveamento. É possível melhorar o ganho do dispositivo de forma a aumentar o rendimento do VE quando se diminui a concentração de dopantes no canal ou pela diminuição do underlap da porta sobre o canal, pois estes parâmetros aumentam a máxima transcondutância. Nota-se que deve haver um balanço entre a tensão de limiar e a inclinação de sublimiar, devido ao aumento de ambos para as mesmas variações de concentração de dopantes no canal e underlap da porta sobre o canal, e uma atenção para máxima transcondutância também é necessária, devido à variação no sentido oposto em relação à v_{th} e S . Por fim, é válido lembrar que a vida útil de um veículo é longa (10 anos em média), ou seja, longo tempo de exposição a qualquer fator externo que possa alterar a carga de interface, ou em contra partida, é possível prever quais são estas variações na carga de interface para esta vida útil e fabricar o dispositivo para atender as necessidades do VE no pior cenário de variação da carga de interface.

5 CONCLUSÕES E TRABALHOS FUTUROS

Este trabalho começou mostrando a importância da eletrônica de potência para o VE, como o VE está evoluindo ao lado da eletrônica de potência e quais são as necessidades atuais e futuras de energia para o VE. Devido aos avanços tecnológicos, o SiC VDMOSFET possui características superiores em níveis de tensão e corrente comparado ao Si IGBT tornando-se o dispositivo de energia mais adequado para o VE. Portanto, as preocupações sobre os níveis de tensão e corrente, a falha do inversor e o desempenho do comutador em relação ao uso do VE são importantes. Observou-se que a tensão de limiar, a transcondutância máxima e a inclinação do sublimiar estão diretamente relacionadas a estas preocupações e, portanto, três parâmetros devem ser analisados: concentração de dopantes no canal, carga de interface e sobreposição entre porta e canal. Um dispositivo comercial foi selecionado e modelado no TCAD.

Os dados analisados indicam que a tensão limiar aumenta de 4,86 V para 7,43 V, à medida que a concentração de dopantes no canal passa de $6 \times 10^{16} \text{ cm}^{-3}$ para $1,3 \times 10^{17} \text{ cm}^{-3}$. A tensão de limiar diminui de 6,36 V para 1,63 V, à medida que a carga da interface passa de $5 \times 10^{10} \text{ cm}^{-2}$ para $1,4 \times 10^{12} \text{ cm}^{-2}$. Além disso, a sobreposição da porta sobre o canal não muda a tensão de limiar, no entanto, deixar de sobrepor (underlap) completamente a porta sobre o canal aumenta a tensão de limiar gradualmente partindo de 6,5 V (0 nm) para 8,72 V (-200 nm). A transcondutância máxima tem uma pequena degradação, de $0,03 \times 10^{-8} \text{ A}/\mu\text{m.V}$ quando a carga de interface aumenta de $5 \times 10^{10} \text{ cm}^{-2}$ para $1,4 \times 10^{12} \text{ cm}^{-2}$, em comparação com o aumento da concentração de dopantes no canal, que faz com que a transcondutância máxima diminua $1,04 \times 10^{-8} \text{ A}/\mu\text{m.V}$ quando a concentração de dopantes aumenta de $6 \times 10^{16} \text{ cm}^{-3}$ para $1,3 \times 10^{17} \text{ cm}^{-3}$, porém quando a porta não é totalmente sobreposta sobre o canal ocorre uma degradação ainda maior de $2,28 \times 10^{-8} \text{ A}/\mu\text{m.V}$ (para -200 nm de underlap). Finalmente, a inclinação de sublimiar aumenta de 139 mV/dec para 208,8 mV/dec com o aumento da concentração de dopantes no canal de $6 \times 10^{16} \text{ cm}^{-3}$ para $1,3 \times 10^{17} \text{ cm}^{-3}$ e flutua a cerca de 170 mV/dec para a variação da carga de interface e a sobreposição da porta. Por outro lado, a não sobreposição da porta (underlap) sobre o canal (-200 nm) deteriora rapidamente a inclinação de sublimiar para de 170 mV/dec para 432 mV/dec. A inclinação de sublimiar muda com a variação na concentração de dopantes no canal e a variação da posição da porta, principalmente porque estas mudanças afetam a mobilidade da camada de inversão, o que altera a corrente de difusão, e como consequência a inclinação de sublimiar.

Em suma, observa-se que: aumentar a concentração de dopantes no canal aumenta a robustez do dispositivo contra chaveamentos indesejados devido ao aumento da tensão de limiar, e o oposto ocorre (diminuição de V_{th} e consequentemente da robustez) com o aumento da carga de interface. O mesmo aumento da concentração de dopantes no canal faz com que o ganho (máxima transcondutância.) diminua e a corrente de difusão aumente (devido ao aumento da inclinação de sublimiar), indicando que se deve analisar com cautela a relação eficiência versus robustez do dispositivo. Por fim, para efeitos de projeto, caso não seja possível o auto alinhamento da porta em relação ao canal, é favorável que o processo de fabricação tenha um deslocamento positivo da porta em relação ao canal (overlap), pois neste caso não há variação de g_m , S e V_{th} do dispositivo.

Como verificado no item 4.1.1 e *Figura 27*, a corrente de saída não está completamente ajustada. Um dos motivos citados é devido a não variação correta da mobilidade na camada de inversão sob aplicação de tensão na porta (V_{GS}). Uma possível análise é modificar o modelo de mobilidade proposto no item 3.3.3 (modelo Shirahata) por outro modelo que consiga representar melhor a variação de amplitude da mobilidade sob aplicação de diferentes tensões na porta.

De acordo com o item 4.4 (sobreposição do canal), alterações das dimensões físicas internas (como a não sobreposição da porta sobre o canal) podem apresentar resultados significativos. Fazer alterações nas medidas do dispositivo, tais como variações em W_{p+} ou W_j (ver *Figura 20*) e verificar as mesmas grandezas físicas, transcondutância (g_m), inclinação de sublimiar (S) e tensão de limiar (V_{th}) podem trazer otimização ao dispositivo. Por exemplo, como visto no item 4.1.1, *Figura 28* e *Figura 29*, a corrente de dreno passa pelo canal em uma profundidade de 5nm, sendo que o canal tem profundidade de 1 μm , ou seja, talvez seja possível otimizar essa profundidade (indicada na *Figura 20* como t_{n+}).

Outro ponto a ser investigado é o porquê de a transcondutância máxima não ter uma degradação linear com a diminuição de sobreposição da porta sobre o canal (underlap), conforme visto na *Figura 37*.

Fazer as simulações de sobreposição do canal em função da porta, levando em consideração o processo real de fabricação, onde a porta é fixa e variar o quanto o contato de fonte sobrepõem-se sobre o canal (diminuição do comprimento do canal), avaliar as mesmas grandezas: g_m , S e V_{th} , para que se tenha uma análise onde existe a variação de sobreposição de porta e encurtamento de canal ao mesmo tempo, comparar com a sobreposição de porta deste trabalho (sem diminuição do comprimento de canal) e indicar qual a diferença para que se tenha

uma melhor percepção dos resultados, onde está análise indicará o que seria influência da porta e influência do encurtamento do canal.

Como citado no item 3.3.5, a temperatura tem um papel importante no comportamento do dispositivo, tal como a diminuição da tensão de limiar que ocorre com o aumento da temperatura. Uma investigação variando a temperatura no modelo para validar a relação entre temperatura e tensão de limiar já encontrada na literatura pode aumentar a confiança do modelo, e nesta investigação incluir as análises aqui propostas de máxima transcondutância e inclinação de sublimiar.

REFERÊNCIAS

- [1] J. Jiang, A. Blank, F. Maier, A. Bharthepudi, and P. Kumar, “Financial analysis and comparison of compact electric and gasoline cars,” *Portl. Int. Conf. Manag. Eng. Technol.*, vol. 2015-Sept, pp. 511–518, 2015.
- [2] D. Galeon and A. Norman, “Volvo Becomes the First Premium Car Maker to Go All Electric,” *Futurism*, Jul-2017. [Online]. Available: <https://futurism.com/volvo-becomes-the-first-premium-car-maker-to-go-all-electric/>.
- [3] Sintia Radu, “Toyota and Mazda join forces on electric vehicles. Is this the end of the road for gas cars?,” *The Washington Post*, 04-Aug-2017. [Online]. Available: https://www.washingtonpost.com/news/wonk/wp/2017/08/03/three-european-countries-say-theyre-done-with-fossil-fueled-cars-can-the-rest-of-the-world-catch-up/?noredirect=on&utm_term=.2ee9fdb8fc7b. [Accessed: 11-Sep-2018].
- [4] European Commission, “Report on the Assessment of the Member States National Policy Frameworks for the development of the market as regards alternative fuels in the transport sector and the deployment of the relevant infrastructure pursuant to Article 10 (2) of Directive 2014/,” 2019.
- [5] U.S. Department of Energy, “Report on the first quadrennial technology review,” no. September, p. 39, 2011.
- [6] Michelle Jamrisko and Craig Torres, “China Gives Automakers More Time in World’s Biggest EV Plan,” *Bloomberg news*, 2018. [Online]. Available: <https://www.bloomberg.com/news/articles/2018-06-05/america-may-need-to-adopt-china-s-weapons-to-win-the-tech-war>. [Accessed: 10-Sep-2018].
- [7] J. F. Miller and D. Howell, “The EV everywhere grand challenge,” *World Electr. Veh. J.*, vol. 6, no. 4, pp. 1008–1013, 2013.
- [8] I. - International Energy Agency, “Towards cross-modal electrification.” pp. 9, 12, 2018.
- [9] Q. Zhou *et al.*, “Threshold voltage modulation by interface charge engineering for high performance normally-off GaN MOSFETs with high faulty turn-on immunity,” in *2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2016, pp. 87–90.
- [10] A. J. Lelis, R. Green, D. Habersat, and N. Goldsman, “Effect of Threshold-Voltage Instability on SiC DMOSFET Reliability,” in *2008 IEEE International Integrated Reliability Workshop Final Report*, 2008, pp. 72–76.
- [11] D. R. Pinto, V. T. Arioli, G. R. T. Hax, R. T. Borges, and W. W. Teixeira, “Analysis of the impact on power quality during the recharge of electric vehicles and vehicle-to-grid functionality,” *2017 IEEE PES Innov. Smart Grid Technol. Conf. Eur. ISGT-Europe 2017 - Proc.*, vol. 2018-Janua, pp. 1–6, 2018.
- [12] M. Etezadi-Amoli, K. Choma, and J. Stefani, “Rapid-charge electric-vehicle stations,” *IEEE Trans. Power Deliv.*, vol. 25, no. 3, pp. 1883–1887, 2010.
- [13] M. Nour, H. Ramadan, A. Ali, and C. Farkas, “Impacts of plug-in electric vehicles charging on low voltage distribution network,” *Proc. 2018 Int. Conf. Innov. Trends*

Comput. Eng. ITCE 2018, vol. 2018-March, pp. 357–362, 2018.

- [14] “Atlas - Device Simulation Framework.” [Online]. Available: https://www.silvaco.com/products/tcad/device_simulation/atlas/atlas.html. [Accessed: 29-Apr-2019].
- [15] M. Guarnieri, “Looking back to electric cars,” *3rd Reg. IEEE Hist. Electro - Technol. Conf. Orig. Electrotechnol. HISTELCON 2012 - Conf. Proc.*, 2012.
- [16] K. Anderton, “Two Billion Cars: Driving Towards Sustainability,” *Transp. Rev.*, 2010.
- [17] L. Thibault, A. Sciarretta, and P. Degeilh, “Reduction of pollutant emissions of diesel mild hybrid vehicles with an innovative energy management strategy,” *IEEE Intell. Veh. Symp. Proc.*, no. Iv, pp. 1274–1279, 2017.
- [18] Y. G. Liao and A. M. Quail, “Traction Motor Sizing for Optimal Fuel Economy in Propulsion Hybridization,” pp. 1–11, 2012.
- [19] E. O. H. Miniguano, C. Raga, A. Barrado, A. Lázaro, P. Zumel, “A Comparative Study and Parameterization of Electrical Battery Models Applied to Hybrid Electric Vehicles,” pp. 3–8, 2016.
- [20] L. Zhang, X. Xia, and F. Barzegar, “Control of a battery/supercapacitor hybrid energy storage system for electric vehicles,” *Proc. 36th Chinese Control Conf.*, pp. 9560–9565, 2017.
- [21] T. Mesbahi, N. Rizoug, P. bartholomeus, R. Sadoun, F. Khenfri, and philippe Lemoigne, “Optimal Energy Management For a Li-Ion Battery/Supercapacitor Hybrid Energy Storage System Based on Particle Swarm Optimization Incorporating Nelder-Mead Simplex Approach,” *IEEE Trans. Intell. Veh.*, vol. 8858, no. c, pp. 1–1, 2017.
- [22] J. Cao and A. Emadi, “A new battery/ultracapacitor hybrid energy storage system for electric, hybrid, and plug-in hybrid electric vehicles,” *IEEE Trans. Power Electron.*, vol. 27, no. 1, pp. 122–132, 2012.
- [23] J. De Santiago *et al.*, “Electrical motor drivelines in commercial all-electric vehicles: A review,” *IEEE Trans. Veh. Technol.*, vol. 61, no. 2, pp. 475–484, 2012.
- [24] P. W. Martin Doppelbauer, “Enough about the batteries! The key to a better EV is more efficient propulsion,” *North Am. SPpectrum.ieee.org*, vol. Jul 2017, pp. 26–31, 2017.
- [25] V. R. K. KANAMARLAPUDI, B. F. Wang, P. L. So, and Z. Wang, “Analysis, Design and Implementation of an APWM ZVZCS Full-Bridge DC-DC Converter for Battery Charging in Electric Vehicles,” *IEEE Trans. Power Electron.*, vol. 8993, no. c, pp. 1–1, 2016.
- [26] A. Garg, F. C. Fangyuan Chen, and J. Z. Jian Zhang, “State-of-the-art of designs studies for batteries packs of electric vehicles,” *IET Int. Conf. Intell. Connect. Veh. (ICV 2016)*, pp. 29 (6.)-29 (6.), 2016.
- [27] A. Purwadi, D. Hariyanto, J. Pribadi, S. Rohmatulloh, H. Hindersah, and Y. Haroen, “Modelling and analysis of high frequency resonant inductive power transfer for electric vehicle charging system,” *2016 IEEE PELS Work. Emerg. Technol. Wirel. Power Transf.*, vol. 2, no. 1, pp. 214–220, 2016.

- [28] Z. Liu, S. Onori, and A. Ivanco, "Synthesis and Experimental Validation of Battery Aging Test Profiles Based on Real-World Duty Cycles for 48-V Mild Hybrid Vehicles," *IEEE Trans. Veh. Technol.*, vol. 66, no. 10, pp. 8702–8709, 2017.
- [29] S. Chung and O. Trescases, "Hybrid Energy Storage System With Active Power-Mix Control in a Dual-Chemistry Battery Pack for Light Electric Vehicles," *IEEE Trans. Transp. Electrification*, vol. 3, no. 3, pp. 600–617, 2017.
- [30] B. J. Baliga, *Fundamentals of power semiconductor devices*. Raleigh, NC - USA: Springer, 2008.
- [31] N. Jinrui, W. Zhifu, and R. Qinglian, "Simulation and analysis of performance of a pure electric vehicle with a super-capacitor," *2006 IEEE Veh. Power Propuls. Conf. VPPC 2006*, pp. 2–7, 2006.
- [32] S. V. Rajani and V. J. Pandya, "Ultracapacitor-battery hybrid energy storage for pulsed, cyclic and intermittent loads," *2016 IEEE 6th Int. Conf. Power Syst. ICPS 2016*, 2016.
- [33] X. Zhang, Y. Chen, Y. Zhou, Z. Xu, Z. Huang, and W. Liu, "An Adaptive Energy Allocation Strategy for Battery / Supercapacitor Hybrid Energy Storage System," pp. 7007–7012, 2017.
- [34] F. Naseri, E. Farjah, and T. Ghanbari, "An efficient regenerative braking system based on battery/supercapacitor for electric, hybrid, and plug-in hybrid electric vehicles with BLDC motor," *IEEE Trans. Veh. Technol.*, vol. 66, no. 5, pp. 3724–3738, 2017.
- [35] B. J. Baliga, "Trends in power semiconductor devices," *IEEE Trans. Electron Devices*, vol. 43, no. 10, pp. 1717–1731, 1996.
- [36] G. Lapidus, "Transistor family history," *IEEE Spectr.*, vol. 10, no. 1, pp. 34–35, 1973.
- [37] F. Udrea, G. Deboy, S. Member, and T. Fujihira, "Superjunction Power Devices , History, Development, and Future Prospects," *IEEE Trans. Electron Devices*, vol. 64, no. 3, pp. 713–727, 2017.
- [38] G. Majumdar, "Future of power semiconductors," *2004 IEEE 35th Annu. Power Electron. Spec. Conf. (IEEE Cat. No.04CH37551)*, vol. 1, pp. 10–15, 2004.
- [39] K. Corzine and Y. Familant, "A new cascaded multilevel H-bridge drive," *IEEE Trans. Power Electron.*, vol. 17, no. 1, pp. 125–131, 2002.
- [40] J. A. Barrena, L. Marroyo, M. Á. Rodríguez Vidal, and J. R. Torrealday Apraiz, "Individual Voltage Balancing Strategy for PWM Cascaded H-Bridge Converter-Based STATCOM," *IEEE Trans. Ind. Electron.*, vol. 55, no. 1, pp. 21–29, Jan. 2008.
- [41] G. M. PC Plus, "From sandy beach to Kaby Lake: How sand becomes silicon," 25-Aug-2016. [Online]. Available: <https://www.techradar.com/news/computing-components/processors/how-sand-is-transformed-into-silicon-chips-599785>. [Accessed: 10-Oct-2018].
- [42] C.-F. H. Yung C Liang, Ganesh S Samudra, *power microelectronics - device and process technologies 2nd ed.* Toh Tuck Link, Singapore: World Scientific Publishing Co. Pte. Ltd., 2017.

- [43] S. Tian, "Monte Carlo simulation of ion implantation in crystalline SiC with arbitrary polytypes," *IEEE Trans. Electron Devices*, vol. 55, no. 8, pp. 1991–1996, 2008.
- [44] J. Hornberger, A. B. Lostetter, K. J. Olejniczak, T. McNutt, S. M. Lal, and A. Mantooh, "Silicon-carbide (SiC) semiconductor power electronics for extreme high-temperature environments," *IEEE Aerosp. Conf. Proc.*, vol. 4, pp. 2538–2555, 2004.
- [45] A. O. Adan, H. Nakagawa, Y. Kakizaki, and L. Burgyan, "Benchmarking power transistors and power modules for high-temperature operation ($T_j \sim 200^\circ\text{C}$)," *2017 IEEE Transp. Electrification Conf. Expo, ITEC 2017*, pp. 662–667, 2017.
- [46] B. J. Baliga, *Advanced Power MOSFET Concepts*. Raleigh, NC - USA: Springer, 2010.
- [47] J. Biela, M. Schweizer, S. Waffler, and J. W. Kolar, "SiC versus Si - Evaluation of potentials for performance improvement of inverter and DCDC converter systems by SiC power semiconductors," *IEEE Trans. Ind. Electron.*, vol. 58, no. 7, pp. 2872–2882, 2011.
- [48] G. Wang, F. Wang, G. Magai, Y. Lei, A. Huang, and M. Das, "Performance comparison of 1200V 100A SiC MOSFET and 1200V 100A silicon IGBT," *2013 IEEE Energy Convers. Congr. Expo. ECCE 2013*, pp. 3230–3234, 2013.
- [49] J. Millán, "A review of WBG power semiconductor devices," *Proc. Int. Semicond. Conf. CAS*, vol. 1, pp. 57–66, 2012.
- [50] K. Horowitz, T. Remo, and S. Reese, "A Manufacturing Cost and Supply Chain Analysis of SiC Power Electronics Applicable to Medium-Voltage Motor Drives," no. March, 2017.
- [51] N. Oswald, P. Anthony, N. McNeill, and B. H. Stark, "An experimental investigation of the tradeoff between switching losses and EMI generation with hard-switched All-Si, Si-SiC, and All-SiC device combinations," *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2393–2407, 2014.
- [52] Yole Developpement, "Market & Technology trends in Wide BandGap power packaging," 2015.
- [53] F. Stella, G. Pellegrino, E. Armando, and D. Dapra, "Advanced testing of SiC power MOSFET modules for electric motor drives," *2017 IEEE Int. Electr. Mach. Drives Conf. IEMDC 2017*, 2017.
- [54] S. S. Wynand Lambrechts, *SiGe-based Re-engineering of Electronic Warfare Subsystems*. Johannesburg, South Africa: Springer, 2003.
- [55] S. Jeschke *et al.*, "EMI measurement on electric vehicle drive inverters using a passive motor impedance network," *2016 Asia-Pacific Int. Symp. Electromagn. Compat. APEMC 2016*, pp. 292–294, 2016.
- [56] M. Dong, L. Zhai, R. Gao, and X. Zhang, "Research on radiated electromagnetic interference (EMI) from power cables of a three-phase inverter for electric vehicles," *IEEE Transp. Electrification Conf. Expo, ITEC Asia-Pacific 2014 - Conf. Proc.*, pp. 2–6, 2014.
- [57] Z. Liang, P. Ning, and F. Wang, "Development of advanced all-sic power modules," *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2289–2295, 2014.

- [58] J. B. Casady *et al.*, “First automotive reliability assessment and drive-train performance of large-area 900V, 10mOhm SiC MOSFETs,” *Conf. Proc. - IEEE Appl. Power Electron. Conf. Expo. - APEC*, pp. 2259–2262, 2017.
- [59] D. Han, J. Noppakunkajorn, and B. Sarlioglu, “Comprehensive efficiency, weight, and volume comparison of SiC- and Si-based bidirectional dc-dc converters for hybrid electric vehicles,” *IEEE Trans. Veh. Technol.*, vol. 63, no. 7, pp. 3001–3010, 2014.
- [60] “Practical considerations when comparing SiC and GaN in power applications - Elettronica Plus.” [Online]. Available: http://elettronica-plus.it/practical-considerations-when-comparing-sic-and-gan-in-power-applications_96479/. [Accessed: 11-Apr-2019].
- [61] “Development of Mass Production Technologies for SiC Power Devices at ULVAC | Vacuum Magazine.” [Online]. Available: https://www.ulvac.co.jp/wiki/en/sic_powerdevice_2016/. [Accessed: 11-Apr-2019].
- [62] “The Race to Develop SiC Power Devices Intensifies The Real Test Will Be in the Next Five to Ten Years (4/5) | Telescope Magazine.” [Online]. Available: https://www.tel.com/museum/magazine/material/150327_interview02/04.html. [Accessed: 11-Apr-2019].
- [63] “Top 10 High Horsepower Electric Cars, Most Powerful Electric Vehicles, High Performance EV’s.” [Online]. Available: <https://www.autobytel.com/top-10-cars/high-horsepower-cars/electric-cars/>. [Accessed: 11-Apr-2019].
- [64] “Top 10 Low Horsepower Electric Cars, Least Powerful Electric Vehicles.” [Online]. Available: <https://www.autobytel.com/top-10-cars/low-horsepower-cars/electric-cars/>. [Accessed: 11-Apr-2019].
- [65] K. Yamaguchi, K. Katsura, and T. Jikumaru, “Motor Loss and Temperature Reduction with High Switching Frequency SiC-Based Inverters,” pp. 127–131, 2017.
- [66] “SCT30N120 - Silicon carbide Power MOSFET 1200 V, 45 A, 90 mOhm (typ. TJ = 150 C) in an HiP247 package - STMicroelectronics.” [Online]. Available: <https://www.st.com/en/power-transistors/sct30n120.html>. [Accessed: 27-Mar-2019].
- [67] “SiC MOSFET - SCH2080KE | ROHM Semiconductor - ROHM Co., Ltd.” [Online]. Available: <https://www.rohm.com/products/sic-power-devices/sic-mosfet/sch2080ke-product>. [Accessed: 27-Mar-2019].
- [68] “MITSUBISHI ELECTRIC Semiconductors & Devices: Product Information | Power Modules [SiC Power Modules].” [Online]. Available: <http://www.mitsubishielectric.com/semiconductors/products/powermod/sicpowermod/index.html>. [Accessed: 27-Mar-2019].
- [69] “SiC MOSFETs | Power Products | Wolfspeed.” [Online]. Available: <https://www.wolfspeed.com/power/products/sic-mosfets>. [Accessed: 27-Mar-2019].
- [70] A. Castellazzi, A. Fayyaz, G. Romano, L. Yang, M. Riccio, and A. Irace, “SiC power MOSFETs performance, robustness and technology maturity,” *Microelectron. Reliab.*, vol. 58, pp. 164–176, 2016.
- [71] I. Lysenko, D. Zykov, S. Ishutkin, and R. Meshcheryakov, “The use of TCAD in technology simulation for increasing the efficiency of semiconductor manufacturing,”

- AIP Conf. Proc.*, vol. 1772, no. October, 2016.
- [72] K. Han, B. J. Baliga, and W. Sung, "Split-Gate 1.2-kV 4H-SiC MOSFET: Analysis and Experimental Validation," *IEEE Electron Device Lett.*, vol. 38, no. 10, pp. 1437–1440, 2017.
 - [73] K. Han, B. J. Baliga, and W. Sung, "A Novel 1.2 kV 4H-SiC Buffered-Gate (BG) MOSFET: Analysis and Experimental Results," *IEEE Electron Device Lett.*, vol. 39, no. 2, pp. 248–251, 2018.
 - [74] S.-H. R. S.-H. Ryu, S. Krishnaswami, B. Hull, J. Richmond, a. Agarwal, and a. Hefner, "10 kV, 5A 4H-SiC Power DMOSFET," *2006 IEEE Int. Symp. Power Semicond. Devices IC's*, pp. 18–21, 2006.
 - [75] R. Kibushi, T. Hatakeyama, K. Yuki, N. Unno, and M. Ishizuka, "Comparison of Thermal Properties Between Si and SiC Power MOSFET using Electro-Thermal Analysis," no. 5, pp. 188–192.
 - [76] M. Lades, W. Kaindl, N. Kaminski, E. Niemann, and G. Wachutka, "Dynamics of incomplete ionized dopants and their impact on 4H/6H-SiC devices," *IEEE Trans. Electron Devices*, vol. 46, no. 3, pp. 598–604, 1999.
 - [77] R. C. Jaeger and F. H. Gaensslen, "Simulation of Impurity Freezeout Through Numerical Solution of Poisson's Equation with Application to MOS Device Behavior," *IEEE Trans. Electron Devices*, vol. 27, no. 5, pp. 914–920, 1980.
 - [78] G. Gudjónsson *et al.*, "High field-effect mobility in n-channel Si Face 4H-SiC MOSFETs with gate oxide grown on aluminum ion-implanted material," *IEEE Electron Device Lett.*, vol. 26, no. 2, pp. 96–98, 2005.
 - [79] J. B. Casady *et al.*, "Silicon carbide power MOSFET technology," *Proc. IEEE 24th Int. Symp. Compd. Semicond. ISCS 1997*, pp. 359–362, 1997.
 - [80] M. Shirahata, H. Kusano, N. Kotani, S. Kusanoki, and Y. Akasaka, "A mobility model including the screening effect in MOS inversion layer," *IEEE Trans. Comput. Des. Integr. Circuits Syst.*, vol. 11, no. 9, pp. 1114–1119, 1992.
 - [81] D. M. Caughey and R. E. Thomas, "Carrier mobilities in silicon empirically related to doping and field," *Proc. IEEE*, vol. 55, no. 12, pp. 2192–2193, 1967.
 - [82] D. Dang, S. Guichard, M. Urbain, and S. Rael, "Characterization and analytical modeling of 4H-SiC VDMOSFET in the forward operation," *2016 18th Eur. Conf. Power Electron. Appl. (EPE'16 ECCE Eur.)*, pp. 1–10, 2016.
 - [83] G. K. Wachutka, "Rigorous thermodynamic treatment of heat generation and conduction in semiconductor device modeling," *IEEE Trans. Comput. Des. Integr. Circuits Syst.*, vol. 9, no. 11, pp. 1141–1149, 1990.
 - [84] A. Elasser and T. P. Chow, "Silicon carbide benefits and advantages for power electronics circuits and systems," *Proc. IEEE*, vol. 90, no. 6, pp. 969–986, 2002.
 - [85] I. Introduction, "Self-Heating effect Simulation of GaN HFET Devices - 4H-SiC and Sapphire Substrate Comparison," *Simulation*, no. March, pp. 5–7, 2009.

- [86] R. Wei *et al.*, “Thermal conductivity of 4H-SiC single crystals,” *J. Appl. Phys.*, vol. 113, no. 5, 2013.
- [87] M. Domeij, E. Danielsson, W. Liu, U. Zimmermann, and M. Ostling, “Measurements and simulations of self-heating and switching with 4H-SiC power BJTs,” pp. 375–378, 2003.
- [88] F. S. Corporation, “AN-4166 Heat Sink Mounting Guide,” 2016.
- [89] S. Selberherr, *Analysis and Simulation of Semiconductor Devices*. Vienna: Springer Vienna, 1984.
- [90] R. S. FERREIRA, “Caracterização elétrica de espelhos de corrente baseados em transistores GC SOI MOSFET em função da temperatura.”
- [91] A. D. A. SANTOS, “IMPACTO DA UTILIZAÇÃO DE TRANSISTORES GC SOI MOSFET COMO ESPELHOS DE CORRENTE PARA A OBTENÇÃO DE FONTES DE CORRENTE DE ALTO DESEMPENHO EM CIRCUITOS INTEGRADOS,” vol. 52, no. 15, p. 139, 2007.
- [92] M. Lazar *et al.*, “Classic and alternative methods of p-type doping 4H-SiC for integrated lateral devices,” *Proc. Int. Semicond. Conf. CAS*, vol. 2015-Decem, pp. 145–148, 2015.
- [93] R. Stief *et al.*, “Range studies of aluminum, boron, and nitrogen implants in 4H-SiC,” pp. 760–763, 2002.
- [94] B. Djezzar, A. Amrouche, A. Smatti, and M. Kachouane, “Electrical characterization of oxide and Si/SiO₂ interface of irradiated NMOS transistors at low radiation doses,” *Proc. 10th Int. Conf. Microelectron. ICM 1998*, vol. 1998-Decem, pp. 115–118, 1998.
- [95] M. G. Pecht, P. A. Sandborn, and R. Solomon, “Electronic part life cycle concepts and obsolescence forecasting,” *IEEE Trans. Components Packag. Technol.*, vol. 23, no. 4, pp. 707–717, 2000.
- [96] “Market Reporting: Registrations and Vehicles-in-Operation | IHS Markit.” [Online]. Available: <https://ihsmarkit.com/products/automotive-market-data-analysis.html>. [Accessed: 09-Apr-2019].
- [97] H. Yano, F. Katafuchi, T. Kimoto, and H. Matsunami, “Effects of wet oxidation/anneal on interface properties of thermally oxidized SiO₂/SiC MOS system and MOSFET’s,” *IEEE Trans. Electron Devices*, vol. 46, no. 3, pp. 504–510, Mar. 1999.
- [98] J. J. Liou, A. Ortiz-Conde, and F. Garcia Sanchez, “Extraction of the threshold voltage of MOSFETs: An overview,” *Proc. IEEE Hong Kong Electron Devices Meet.*, pp. 31–38, 1997.

ANEXO A – TENSÃO DE LIMIAR

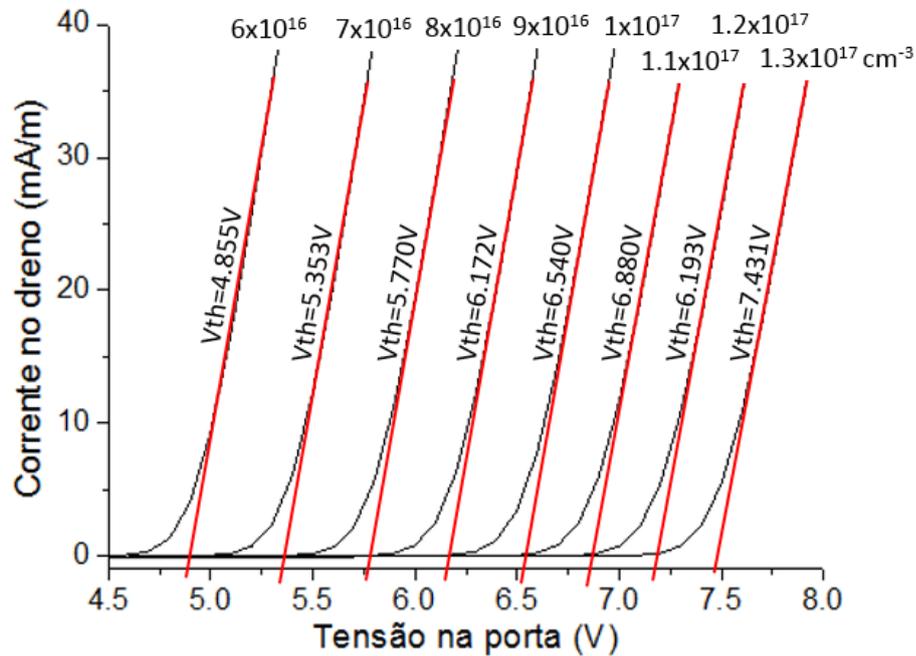
As tensões de limiar (V_{th}) de todas as simulações foram extraídas a partir do método de extrapolação da curva $I_{DS} \times V_{GS}$ [98]. Abaixo estão os dados das retas de extrapolação para cada uma das simulações e figuras resumo das retas extrapoladas com os valores de V_{th} .

Tabela 4 – Dados das retas para extração da tensão de limiar para a variação de concentração de dopantes do canal

Equation	$y = a + b \cdot x$	CHd(cm ⁻¹)=1.30E+17	Equation	$y = a + b \cdot x$	CHd(cm ⁻¹)=9.00E+16		
Adj. R-Square	0.98725		Adj. R-Square	0.99987			
		Value	Standard Error		Value	Standard Error	
	Drain Current	-5.07E-07	3.42E-08		Intercept	-5.49E-07	2.62E-09
	Drain Current	6.82E-08	4.46E-09		Slope	8.90E-08	3.88E-10
Equation	$y = a + b \cdot x$	CHd(cm ⁻¹)=1.20E+17	Equation	$y = a + b \cdot x$	CHd(cm ⁻¹)=8.00E+16		
Adj. R-Square	0.99994		Adj. R-Square	0.99945			
		Value	Standard Error		Value	Standard Error	
	Intercept	-6.13E-07	2.34E-09		Intercept	-5.07E-07	4.50E-09
	Slope	8.53E-08	3.06E-10		Slope	8.78E-08	6.86E-10
Equation	$y = a + b \cdot x$	CHd(cm ⁻¹)=1.10E+17	Equation	$y = a + b \cdot x$	CHd(cm ⁻¹)=7.00E+16		
Adj. R-Square	0.99994		Adj. R-Square	0.99944			
		Value	Standard Error		Value	Standard Error	
	Intercept	-5.96E-07	2.06E-09		Intercept	-4.73E-07	4.12E-09
	Slope	8.66E-08	2.78E-10		Slope	8.84E-08	6.63E-10
Equation	$y = a + b \cdot x$	CHd(cm ⁻¹)=1.00E+17	Equation	$y = a + b \cdot x$	CHd(cm ⁻¹)=6.00E+16		
Adj. R-Square	0.99981		Adj. R-Square	0.99898			
		Value	Standard Error		Value	Standard Error	
	Intercept	-5.72E-07	3.26E-09		Intercept	-4.16E-07	4.74E-09
	Slope	8.75E-08	4.56E-10		Slope	8.57E-08	7.89E-10

Fonte: Autor

Figura 39 – Resumo: V_{th} para a variação da conc. de dopantes do canal ($V_{DS}=0.1V$)



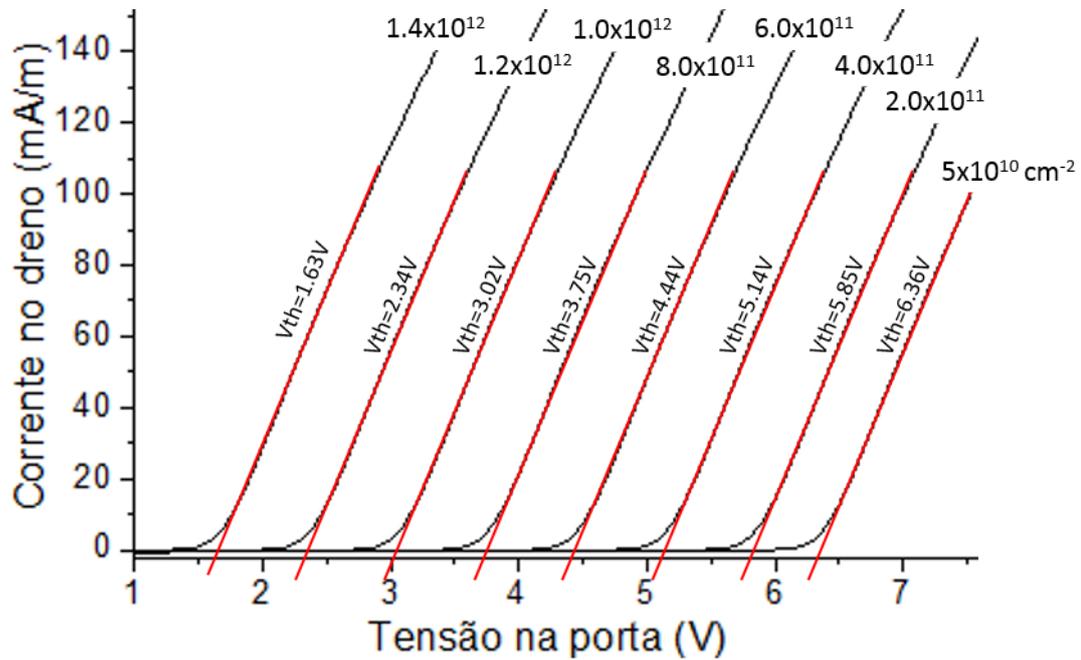
Fonte: Autor

Tabela 5 – Dados das retas para extração da tensão de limiar para a variação da carga de interface

Equation	$y = a + b \cdot x$	$IC(cm^{-2}) = 1.40E-12$	Adj. R-Square	0.99923
		Value	Standard Error	
Intercept		$-1.36E-07$	$1.92E-09$	
Slope		$8.35E-08$	$7.32E-10$	
Equation	$y = a + b \cdot x$	$IC(cm^{-2}) = 6.00E-11$	Adj. R-Square	0.9996
		Value	Standard Error	
Intercept		$-3.84E-07$	$2.97E-09$	
Slope		$8.63E-08$	$5.76E-10$	
Equation	$y = a + b \cdot x$	$IC(cm^{-2}) = 1.20E-12$	Adj. R-Square	0.99909
		Value	Standard Error	
Intercept		$-1.96E-07$	$2.49E-09$	
Slope		$8.38E-08$	$7.62E-10$	
Equation	$y = a + b \cdot x$	$IC(cm^{-2}) = 1.00E-12$	Adj. R-Square	0.99906
		Value	Standard Error	
Intercept		$-2.51E-07$	$2.96E-09$	
Slope		$8.30E-08$	$7.36E-10$	
Equation	$y = a + b \cdot x$	$IC(cm^{-2}) = 8.00E-11$	Adj. R-Square	0.99963
		Value	Standard Error	
Intercept		$-3.24E-07$	$2.47E-09$	
Slope		$8.64E-08$	$5.54E-10$	
Equation	$y = a + b \cdot x$	$IC(cm^{-2}) = 2.00E-11$	Adj. R-Square	0.99995
		Value	Standard Error	
Intercept		$-5.19E-07$	$1.74E-09$	
Slope		$8.87E-08$	$2.75E-10$	
Equation	$y = a + b \cdot x$	$IC(cm^{-2}) = 5.00E-10$	Adj. R-Square	0.99875
		Value	Standard Error	
Intercept		$-5.50E-07$	$1.03E-08$	
Slope		$8.65E-08$	$1.53E-09$	

Fonte: Autor

Figura 40 – Resumo: V_{th} para a variação da carga de interface ($V_{DS}=0.1V$)



Fonte: Autor

Tabela 6 – Dados das retas para extração da tensão de limiar para variação da sobreposição da porta sobre o canal

Equation	$y = a + b \cdot x$	Pos. (nm)= 500
Adj. R-Square	0.99871	
	Value	Standard Error
Intercept	-5.24E-07	5.75E-09
Slope	8.08E-08	7.51E-10

Equation	$y = a + b \cdot x$	Pos. (nm)= -170
Adj. R-Square	0.99991	
	Value	Standard Error
Intercept	-4.93E-07	1.59E-09
Slope	6.64E-08	1.90E-10

Equation	$y = a + b \cdot x$	Pos. (nm)= 0
Adj. R-Square	0.99931	
	Value	Standard Error
Intercept	-5.44E-07	4.93E-09
Slope	8.36E-08	6.61E-10

Equation	$y = a + b \cdot x$	Pos. (nm)= -180
Adj. R-Square	0.99975	
	Value	Standard Error
Intercept	-5.25E-07	2.93E-09
Slope	6.70E-08	3.37E-10

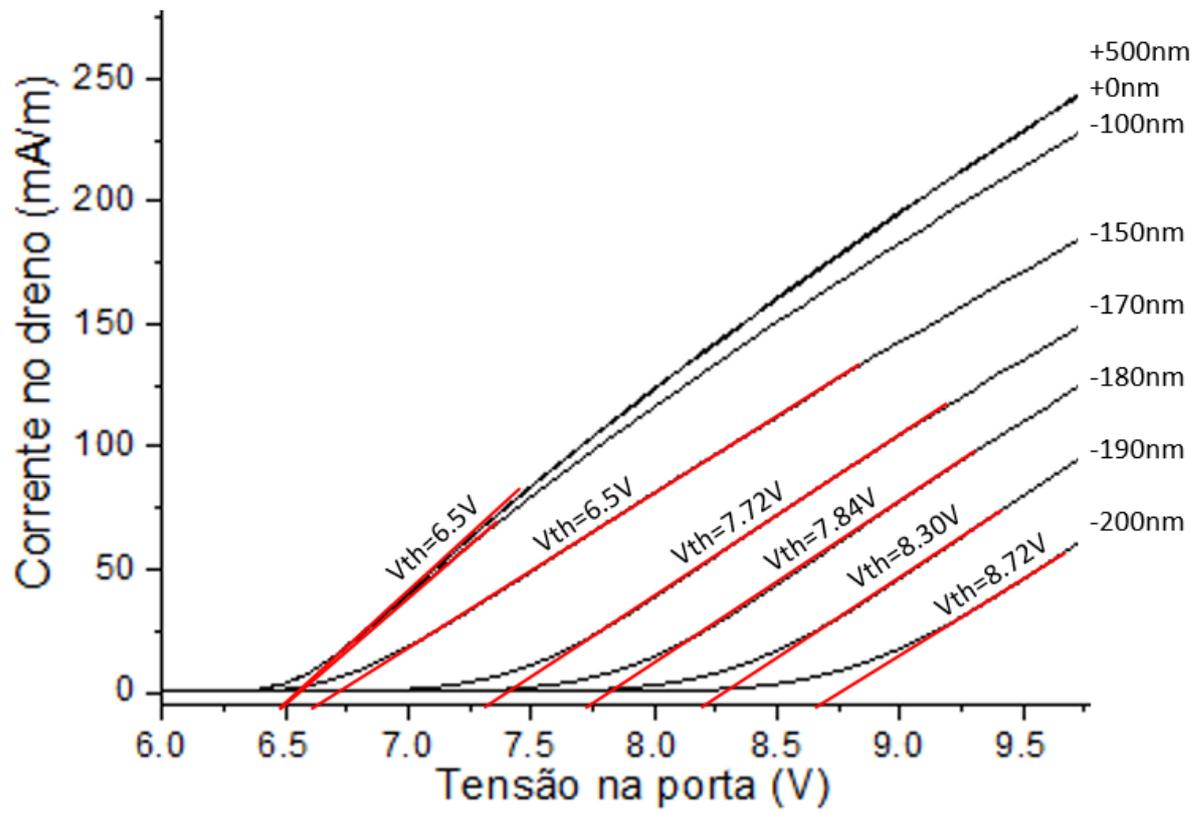
Equation	$y = a + b \cdot x$	Pos. (nm)= -100
Adj. R-Square	0.99914	
	Value	Standard Error
Intercept	-5.09E-07	5.40E-09
Slope	7.83E-08	7.29E-10

Equation	$y = a + b \cdot x$	Pos. (nm)= -190
Adj. R-Square	0.99957	
	Value	Standard Error
Intercept	-5.50E-07	4.44E-09
Slope	6.63E-08	4.88E-10

Equation	$y = a + b \cdot x$	Pos. (nm)= -150
Adj. R-Square	0.9999	
	Value	Standard Error
Intercept	-4.24E-07	1.31E-09
Slope	6.31E-08	1.64E-10

Equation	$y = a + b \cdot x$	Pos. (nm)= -200
Adj. R-Square	0.99647	
	Value	Standard Error
Intercept	-5.19E-07	1.25E-08
Slope	5.95E-08	1.34E-09

Fonte: Autor

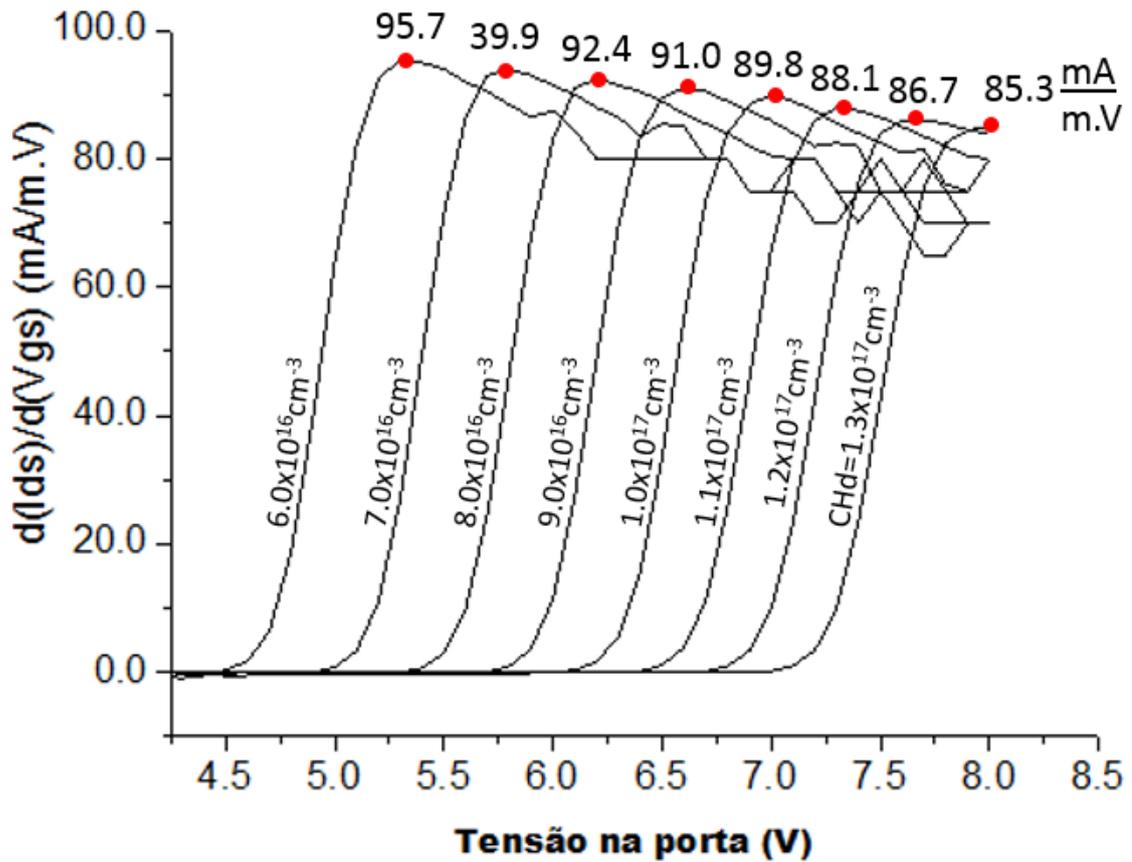
Figura 41 – Resumo: V_{th} para a variação da sobreposição da porta sobre o canal ($V_{DS}=1V$)

Fonte: Autor

ANEXO B – MÁXIMA TRANSCONDUTÂNCIA

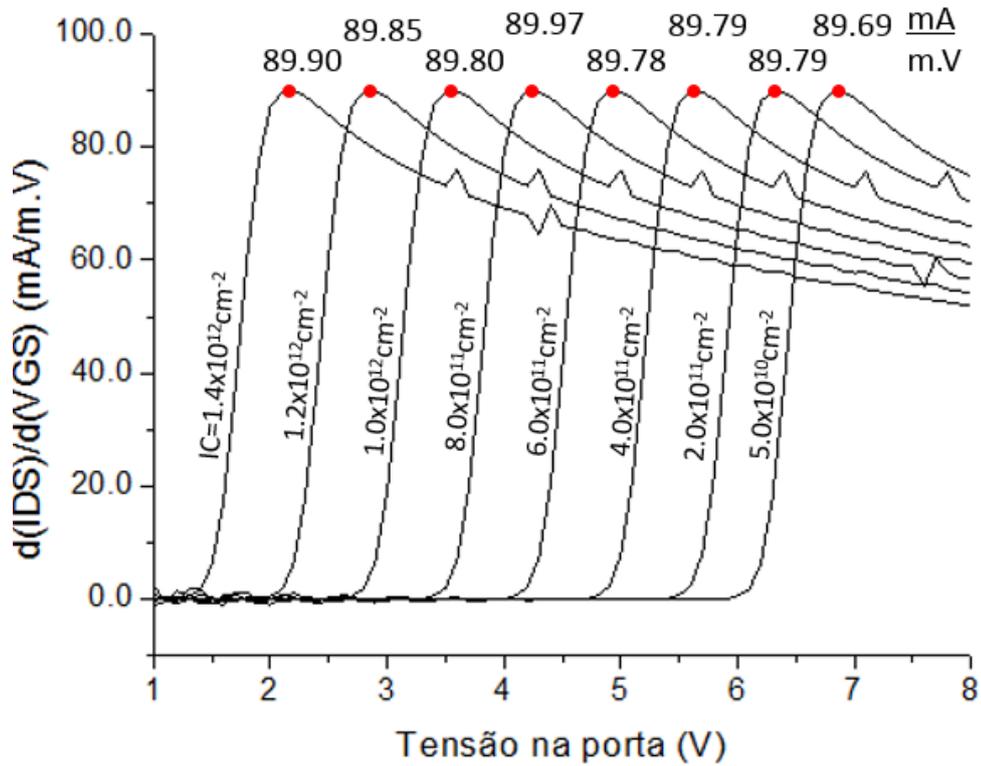
As máximas transcondutâncias de todas as simulações foram extraídas a partir da primeira derivada $I_{DS} \times V_{GS}$. Abaixo estão as figuras das derivadas e seus respectivos máximos.

Figura 42 – Resumo: Máx. gm para a variação da conc. de dopantes no canal ($V_{DS}=0.1V$)



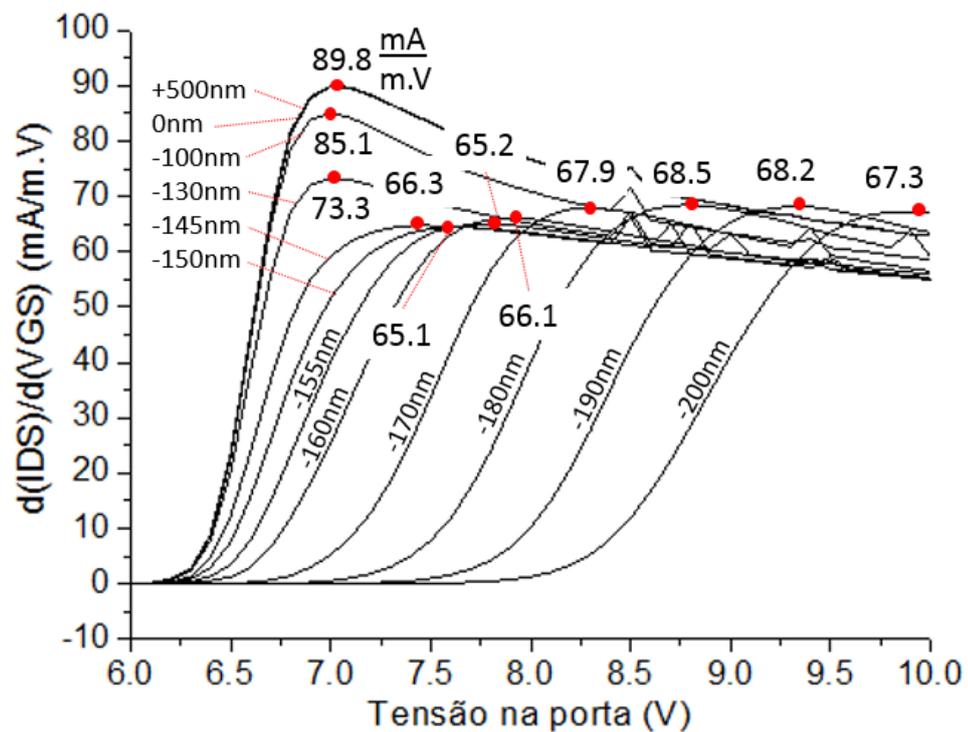
Fonte: Autor

Figura 43 – Resumo: Máx. gm para a variação de interface de carga (VDS=1V)



Fonte: Autor

Figura 44 – Resumo: máx. gm para a variação de sobreposição porta e canal (VDS=0,1V)



Fonte: Autor

ANEXO C – EXEMPLOS DO CÓDIGO DE PROGRAMAÇÃO TCAD

Exemplo 1 – Extração da curva IDS x VGS para estrutura de meia célula com porta deslocada em -160nm:

```
go atlas simflags="-P 32"
```

```
# Define the 4H-SiC material properties
```

```
material material=4H-SiC eab=0.210 edb=0.065 eg300=3.26 permitti=9.8
vsat=2e7 bgn.e=9.000e-3 bgn.n=1.000e17 kaugd=0 kaugd=0 kaugcn=5e-31
kaugcp=9.9e-32 nc300=1.669e19 nv300=2.459e19 n.sch.max=50E-9
n.sch.nref=3E17 n.sch.gamma=0.3 p.sch.max=50E-9 p.sch.nref=3E17
p.sch.gamma=0.3 taun0=50e-9 taup0=50e-9 TCON.POWER TC.NPOW=-1.49
TC.CONST=2.6
```

```
# Define Electron Mobility with Arsenic Doping
```

```
mobility material=4H-SiC mun=947 mup=124 tmun=2 tmup=2 mtn.min1=0
mtn.pc=0 mtn.max=947 mtn.min2=0 mtn.cr=1.94E17 mtn.alpha=0.61
mtn.mu=0 mtn.cs=3.43E20 mtn.beta=2 mtp.min1=15.9 mtp.pc=0 mtp.max=124
mtp.min2=0 mtp.cr=1.76E19 mtp.alpha=0.34 mtp.mu1=0 mtp.cs=6.1E20
mtp.beta=2 n.beta0=1 n.betaexp=0.66 p.beta0=1.213 p.betaexp=0.17
vsatn=2E7
```

```
#original parameters mun=947 mup=124
```

```
# Define the 4H-SiC inversion channel mobility model using SHIRAHATA
```

```
mobility region=6 MU0N.SHI=35 MU0P.SHI=124 E1N.SHI=1E3 E1P.SHI=8E3
E2N.SHI=0.77e6 E2P.SHI=3.9e5 P1N.SHI=0.25 P1P.SHI=0.3 P2N.SHI=2.9
P2P.SHI=1 THETAN.SHI=2.285 THETAP.SHI=2.247 vsatn=2E7 BETAN=1.1
```

```
# Define the interface trap density and location
```

```
# Define the simulation models

models SHI FLDMOB fermi lat.temp schsrh incomplete print

thermcontact number=1 elec=3 ext.temp=300 ALPHA=8e3

contact name=gate n.poly

# Define Drain and Source resistance

contact name=drain resist=10e3
contact name=source resist=10e3

# Define the numerical methods

method newton

# save mobility on .str files

output flowlines e.mobility h.mobility

# Extract the Id-Vg curve for Vd = 0.1V

solve init outf=solve_init
solve vdrain=0.1 outf=solve_vd0.1_vg10_SCH2080KE_V18_GOV_neg0.160
log outf=vd0.1_vg10_SCH2080KE_V18_GOV_neg0.160.log
solve name=gate vgate=0 vfinal=9.9 vstep=0.1
solve name=gate vfinal=10 vstep=0.1
save outf=vd0.1_vg10_SCH2080KE_V18_GOV_neg0.160.str master
log off

quit
```

Exemplo 2 – Criação da estrutura de meia célula

```

go Atlas
mesh smooth=1 space.mult=1.0
#*****
# grade na direcao x
#*****
x.mesh loc=-6 spacing=0.2
x.mesh loc=-5 spacing=0.2
x.mesh loc=-3.5 spacing=0.05
x.mesh loc=-2.5 spacing=0.05
x.mesh loc=-2 spacing=0.01
x.mesh loc=-1.5 spacing=0.01
x.mesh loc=0 spacing=0.2

#*****
# grade na direcao y
#*****
y.mesh loc=-1 spacing=1
y.mesh loc=-0.5 spacing=1
y.mesh loc=-0.075 spacing=1
y.mesh loc=0 spacing=1
y.mesh loc=0.1 spacing=0.005
y.mesh loc=0.2 spacing=0.05
y.mesh loc=1 spacing=0.05
y.mesh loc=10 spacing=1
y.mesh loc=11 spacing=0.1

#name=N_Drift
region number=1 material=4H-SiC y.min=0 y.max=10

#name=N+Sub
region number=2 material=4H-SiC y.min=10 y.max=11

```

#name=P_Left

region number=3 material=4H-SiC x.min=-6 x.max=-1.5 y.min=0 y.max=1

#name=JFET_LEFT

region number=4 material=4H-SiC x.min=-1.5 x.max=-0 y.min=0 y.max=1

#name=N+Source_Left

region number=5 material=4H-SiC x.min=-5 x.max=-2 y.min=0 y.max=0.2

#name=P_Inv

region number=6 material=4H-SiC x.min=-2 x.max=-1.5 y.min=0 y.max=0.2

#name=Oxido

region number=7 material=SiO2 y.min=-1 y.max=0

#Source_Contact_Left

elec number=2 x.min=-6 x.max=-3.5 y.min=-0.5 y.max=0 name=source
material=Aluminum

#name=Gate

elec number=1 x.min=-2.5 x.max=0 y.min=-0.5 y.max=-0.075 name=gate
material=N.POLYSILICON

#name=Drain

elec number=3 y.min=11 y.max=11 name=drain material=Aluminum

#doping concentrations

doping uniform region=1 Arsenic conc=8E15

doping uniform region=2 Arsenic conc=1e20

```
doping uniform region=3 boron conc=1e17

doping uniform region=4 Arsenic conc=3e16

doping uniform region=5 arsenic conc=1e20

doping uniform region=6 boron conc=1e17

struct outf=SCH2080KE_V18.str

quit
```

Exemplo 3 – Extração das curvas I_{DS} x V_{DS} para diferentes V_{GS}

```
# Simulation of the on-state characteristics for the cell structure
of a 4H-SiC DMOSFET

init infile=SCH2080KE_V18.str

# Configure the environment for the device simulator using up to 32
CPUs

go atlas simflags="-P 32"

# Define the 4H-SiC material properties

material material=4H-SiC eab=0.210 edb=0.065 eg300=3.26 permitti=9.8
vsat=2e7 bgn.e=9.000e-3 bgn.n=1.000e17 kaugdn=0 kaugdp=0 kaugcn=5e-31
kaugcp=9.9e-32 nc300=1.669e19 nv300=2.459e19 n.sch.max=50E-9
n.sch.nref=3E17 n.sch.gamma=0.3 p.sch.max=50E-9 p.sch.nref=3E17
p.sch.gamma=0.3 taun0=50e-9 taup0=50e-9 TCON.POWER TC.NPOW=-1.49
TC.CONST=2.6
```

Define Electron Mobility with Arsenic Doping

```
mobility material=4H-SiC mun=947 mup=124 tmun=2 tmup=2 mtn.min1=0
mtn.pc=0 mtn.max=947 mtn.min2=0 mtn.cr=1.94E17 mtn.alpha=0.61
mtn.mu=0 mtn.cs=3.43E20 mtn.beta=2 mtp.min1=15.9 mtp.pc=0 mtp.max=124
mtp.min2=0 mtp.cr=1.76E19 mtp.alpha=0.34 mtp.mu1=0 mtp.cs=6.1E20
mtp.beta=2 n.beta0=1 n.betaexp=0.66 p.beta0=1.213 p.betaexp=0.17
vsatn=2E7
```

#original parameters mun=947 mup=124

Define the 4H-SiC inversion channel mobility model using SHIRAHATA

```
mobility region=6 MU0N.SHI=35 MU0P.SHI=124 E1N.SHI=1E3 E1P.SHI=8E3
E2N.SHI=0.77e6 E2P.SHI=3.9e5 P1N.SHI=0.25 P1P.SHI=0.3 P2N.SHI=2.9
P2P.SHI=1 THETAN.SHI=2.285 THETAP.SHI=2.247 vsatn=2E7 BETAN=1.1
```

Define the interface trap density and location

Define the simulation models

```
models SHI FLDMOB lat.temp fermi schsrh incomplete print
```

```
thermcontact number=1 elec=3 ext.temp=300 ALPHA=8e3
```

Define work function

```
contact name=gate n.poly
```

Define Drain and Source resistance

```
contact name=drain resist=10e3
```

```
contact name=source resist=10e3
```

```
# Define the numerical methods

method newton

# save mobility on .str files

output flowlines e.mobility h.mobility

solve init outf=solve_init

# Extract the Id-Vd curve for different Vg values

load infile=solve_init
log off

#IdVd(Vg=10)

solve vfinal=9 name=gate vstep=1
solve vgate=10 outf=solve_vg10_vg20_SCH2080KE_V18.VD10_RDS10K
log outf=vg10_vg20_SCH2080KE_V18.VD10_RDS10K.log
solve name=drain vdrain=0 vfinal=10 vstep=0.1
save outf=vg10_vg20_SCH2080KE_V18.VD10_RDS10K.str master
log off

#IdVd(Vg=12)

load infile=solve_vg10_vg20_SCH2080KE_V18.VD10_RDS10K
solve vgate=12 outf=solve_vg12_vg20_SCH2080KE_V18.VD10_RDS10K
log outf=vg12_vg20_SCH2080KE_V18.VD10_RDS10K.log
solve name=drain vdrain=0 vfinal=10 vstep=0.1
save outf=vg12_vg20_SCH2080KE_V18.VD10_RDS10K.str master
log off
```

```
#IdVd(Vg=14)
```

```
load infile=solve_vg12_vg20_SCH2080KE_V18.VD10_RDS10K
solve vgate=14 outf=solve_vg14_vg20_SCH2080KE_V18.VD10_RDS10K
log outf=vg14_vg20_SCH2080KE_V18.VD10_RDS10K.log
solve name=drain vdrain=0 vfinal=10 vstep=0.1
save outf=vg14_vg20_SCH2080KE_V18.VD10_RDS10K.str master
log off
```

```
#IdVd(Vg=16)
```

```
load infile=solve_vg14_vg20_SCH2080KE_V18.VD10_RDS10K
solve vgate=16 outf=solve_vg16_vg20_SCH2080KE_V18.VD10_RDS10K
log outf=vg16_vg20_SCH2080KE_V18.VD10_RDS10K.log
solve name=drain vdrain=0 vfinal=10 vstep=0.1
save outf=vg16_vg20_SCH2080KE_V18.VD10_RDS10K.str master
log off
```

```
#IdVd(Vg=18)
```

```
load infile=solve_vg16_vg20_SCH2080KE_V18.VD10_RDS10K
solve vgate=18 outf=solve_vg18_vg20_SCH2080KE_V18.VD10_RDS10K
log outf=vg18_vg20_SCH2080KE_V18.VD10_RDS10K.log
solve name=drain vdrain=0 vfinal=10 vstep=0.1
save outf=vg18_vg20_SCH2080KE_V18.VD10_RDS10K.str master
log off
```

```
#IdVd(Vg=20)
```

```
load infile=solve_vg18_vg20_SCH2080KE_V18.VD10_RDS10K
solve vgate=20 outf=solve_vg20_vg20_SCH2080KE_V18.VD10_RDS10K
log outf=vg20_vg20_SCH2080KE_V18.VD10_RDS10K.log
solve name=drain vdrain=0 vfinal=10 vstep=0.1
```

```
save outf=vg20_vg20_SCH2080KE_V18.VD10_RDS10K.str master  
log off
```

```
# Plot the output
```

```
tonyplot      -overlay      vg10_vg20_SCH2080KE_V18.VD10_RDS10K.log  
vg12_vg20_SCH2080KE_V18.VD10_RDS10K.log  
vg14_vg20_SCH2080KE_V18.VD10_RDS10K.log  
vg16_vg20_SCH2080KE_V18.VD10_RDS10K.log  
vg18_vg20_SCH2080KE_V18.VD10_RDS10K.log  
vg20_vg20_SCH2080KE_V18.VD10_RDS10K.log  
quit
```