

MARIA GLÓRIA CAÑO DE ANDRADE

**ESTUDO DA TENSÃO DE LIMIAR E INCLINAÇÃO DE
SUBLIMIAR EM TRANSISTORES SOI FINFETs DE PORTA
DUPLA E PORTA TRIPLA**

Dissertação de Mestrado apresentada ao Centro
Universitário da FEI para obtenção do Título de
Mestre em Engenharia Elétrica, orientada pelo
Prof. Dr. João Antonio Martino

São Bernardo do Campo

2007



Centro Universitário da FEI

APRESENTAÇÃO DE DISSERTAÇÃO ATA DA BANCA JULGADORA

PGE- 10

Programa de Mestrado de Engenharia Elétrica

Candidata: **MARIA GLÓRIA CAÑO DE ANDRADE**

Matrícula: 1051069

Título do Trabalho: Estudo da Tensão de Limiar e Inclinação de Sublimiar em Transistores SOI FinFETs de Porta Dupla e Porta Tripla

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: PROF. DR. JOÃO ANTONIO MARTINO

Data da realização da prova: 22 / agosto / 2007

A Banca Julgadora abaixo-assinada, atribuiu ao candidato o seguinte:

APROVADO REPROVADO

São Bernardo do Campo, 22 / agosto / 2007.

MEMBROS DA BANCA JULGADORA

PROF. DR. JOÃO ANTONIO MARTINO

ASS.: João Antonio Martino

PROF. DR. MARCELO ANTONIO PAVANELLO

ASS.: Marcelo Antonio Pavanello

PROF. DR. SEBASTIÃO GOMES DOS SANTOS FILHO

ASS.: Sebastião Gomes dos Santos Filho

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Marcelo Antonio Pavanello

Dedicatória

Com Amor

e

Saudades

Ao meu pai

João Soares de Andrade

e

a minha mãe

Maria Caño de Andrade

AGRADECIMENTOS

Agradeço ao professor Dr. João Antonio Martino, a honra de tê-lo como orientador nesta Dissertação, pelo trabalho proposto, pela sua motivação contagiante, pelas valiosas discussões técnicas, pela sua colaboração e paciência.

A Fundação Educacional Inaciana “Pe. Sabóia de Medeiros” pelo fornecimento da bolsa de estudos, imprescindível para a realização desta Dissertação de Mestrado.

Aos diretores da Escola São Francisco de Bórgia - integrante da Fundação Educacional Inaciana “Pe. Sabóia de Medeiros” - Lúcia Maria Bueno e Tazio Franco Muraro, não somente pelo apoio fornecido para a concessão da bolsa de estudos, mas, também, pelo carinho e atenção dispensados durante todo o curso.

A todos os professores do Programa de Pós-Graduação do Centro Universitário da FEI, que me apoiaram, reforçando a solicitação de concessão da bolsa de estudos.

Aos Professores da área de Dispositivos Eletrônicos Integrados pelos conhecimentos que muito me acrescentaram.

Aos amigos do Curso de Mestrado, em especial ao Luciano Almeida, ao Rodrigo Doria e ao Sérgio Henry.

Ao professor Renato Giacomini pela sua contribuição nas simulações, Fernando Moura pela ajuda na elaboração das figuras e a Carolina dos Santos, pela sua importante colaboração na caracterização elétrica dos FinFETs.

Aos Professores Marcelo Antonio Pavanello, Macello Bellodi e Sebastião Gomes dos Santos Filho, pela gentileza de aceitarem compor as bancas examinadoras de qualificação e de defesa desta dissertação.

Ao meu amado marido Joiner pela paciência, pelo carinho e pela dedicação.

Ao meu irmão Júlio e as minhas irmãs Marias, em especial a Maria Helena.

Aos meus pais Maria e João, dos quais herdei não somente os genes, mas o caráter, e a perseverança na busca do conhecimento.

E a todos aqueles que contribuíram de alguma forma para a realização deste trabalho.

RESUMO

A análise da tensão de limiar e da inclinação de sublimiar em transistores SOI FinFETs de porta dupla e porta tripla foram objetos de avaliação deste trabalho.

O FinFET é um dispositivo de canal vertical, cujas portas podem estar alocadas em diferentes paredes com diferentes orientações superficiais, o que lhe confere uma estrutura não planar. As estruturas não planares apresentam uma série de vantagens em relação às estruturas planares, tais como: maior densidade de integração, maior facilidade de escalamento, um menor efeito de canal curto e uma inclinação de sublimiar praticamente ideal.

Neste trabalho, foram realizadas variadas simulações tridimensionais para FinFETs de porta dupla e porta tripla, com diferentes dimensões de Fin do transistor. Foram extraídas a tensão de limiar e a inclinação de sublimiar para as seguintes dimensões: larguras (W_{Fin}) de 10 a 120 nm; alturas (H_{Fin}) de 30 a 150 nm e comprimento de canal L de 200 nm a 1 μm .

Os resultados das simulações indicaram que a intensidade da corrente de dreno aumentou, em função do aumento da largura e da altura do Fin e, por outro lado, diminuiu em função do aumento do comprimento do canal. Esse efeito é maior para os transistores FinFETs de porta tripla comparados aos FinFETs de porta dupla.

Adicionalmente, foi efetuada a variação da concentração de dopantes do canal, na faixa de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ a $N_A = 6 \times 10^{19} \text{ cm}^{-3}$, e foi analisado, por meio de simulações, o comportamento da tensão de limiar em dispositivos com mesma concentração de dopantes em todo o canal e em dispositivos com diferentes concentrações de dopantes no canal.

Constatou-se que os FinFETs de porta dupla apresentam, em geral, uma ou eventualmente duas tensões de limiar, dependendo da concentração de dopantes no canal, enquanto os FinFETs de porta tripla podem apresentar até quatro tensões de limiar.

Os resultados das simulações foram confrontados com os resultados dos modelos analíticos e das caracterizações elétricas dos FinFETs, verificando-se as mesmas tendências da tensão de limiar em função da variação das dimensões dos transistores.

Palavras chaves: SOI, FinFET, tensão de limiar, inclinação de sublimiar, porta dupla, porta tripla, concentração de dopantes.

ABSTRACT

The analysis of the threshold voltage and subthreshold slope in double-gate and triple-gate SOI FinFETs transistors was the object of evaluation of this work.

The FinFET is a device of vertical channel with gates located on different walls with different surface orientations that result in a non-planar structure. Compared to the planar structures, the non-planar structures provide potential advantages, such as: higher integration density, lower short-channel effect and subthreshold slope near ideal.

A series of three-dimensional numeric simulations was accomplished, considering double-gate and triple-gate FinFETs and using different dimensions of Fin of the transistors. As a result, the threshold voltage and subthreshold slope were obtained for the following dimensions: W_{Fin} widths from 10 to 120 nm; H_{Fin} heights from 30 to 150 nm and channel length from L 200 nm to 1 μm .

The simulation results indicated that the drain current intensity increases, as a function of the increase of both dimensions: the width and the height of the Fin. On the other hand, it decreases as a function of the increase of the length of the channel. This last effect is even larger for triple-gate FinFETs than for double-gate FinFETs.

Furthermore, variations of the channel doping concentrations in the range of $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ a $6 \times 10^{19} \text{ cm}^{-3}$ were also evaluated through simulations, the behavior of the threshold voltage for channels with different doping concentration and constant doping along the channel.

In general the results indicated that, for double-gate FinFETs, one or a two threshold voltages are observed, depending on the channel doping concentration. However, in triple-gate, it is possible to observe up to four threshold voltages.

Simulation results were confronted with analytical models and electric characterization of FinFETs and the same tendencies of the threshold voltages as function of the variation of the dimensions of the transistors were verified.

Keywords: SOI, FinFET, threshold voltage, subthreshold slope, double-gate, triple-gate, doping concentration.

SUMÁRIO

1	INTRODUÇÃO.....	22
1.1	Objetivo	23
1.2	Estrutura do Trabalho	23
2	CONCEITOS FUNDAMENTAIS	25
2.1	Transistor SOI MOSFET.....	25
2.2	Classificação dos transistores SOI MOSFETs	26
2.2.1	Transistor SOI MOSFET parcialmente depletado	27
2.2.2	Transistor SOI MOSFET totalmente depletado	28
2.2.3	Transistor SOI MOSFET quase totalmente depletado	29
2.3	Parâmetros elétricos dos transistores SOI MOSFET	29
2.3.1	Tensão de limiar	29
2.3.2	Efeito de canal curto	31
2.3.3	Inclinação de sublimiar	33
2.3.4	Transcondutância.....	35
3	DISPOSITIVOS DE MÚLTIPLAS PORTAS.....	37
3.1	Dispositivos de porta dupla	38
3.2	Dispositivos de porta tripla ou mais (+3).....	40
3.3	Parâmetros elétricos dos transistores de múltiplas portas	41
3.3.1	Corrente de dreno	41
3.3.2	Tensão de limiar	42
3.3.3	Efeito de canal curto	44
3.3.4	Mobilidade	48
4	FINFETs.....	50
4.1	Processo de fabricação	51
4.2	Características do FinFET	52
4.2.1	Efeito da variação nas dimensões.....	52
4.2.2	Efeitos da concentração de dopantes	56
4.2.3	Influência da não verticalidade do Fin na tensão de limiar.....	58
4.2.4	Efeitos de “cantos”	60
4.2.5	Dependência da polarização reversa do substrato.....	61
4.2.6	Efeitos quânticos	62

5	SIMULAÇÕES TRIDIMENSIONAIS	66
5.1	Simulador ATLAS	66
5.1.1	Modelos do simulador ATLAS	67
5.2	Metodologia.....	68
5.2.1	Geração do arquivo de simulação.....	68
5.2.2	Simulação.....	69
5.3	Resultados e discussões.....	69
5.3.1	Curvas características I_D - V_G	69
5.3.2	Efeito da variação da largura do Fin - W_{Fin}	70
5.3.3	Efeito da variação da altura do Fin - H_{Fin}	72
5.3.4	Efeito da variação do comprimento do canal – L.....	74
5.3.5	Concentração de dopantes no canal.....	76
5.3.5.1	Mesma concentração de dopantes em todo o canal.....	76
5.3.5.2	Estrutura de porta tripla modificada.....	83
5.3.5.3	Diferentes concentrações de dopantes no canal.....	84
6	MODELAGEM E CARACTERIZAÇÃO ELÉTRICA.....	92
6.1	Modelo Analítico de Pascale Francis	92
6.2	Modelo analítico de Gen Pei	94
6.2.1	Resultados obtidos por modelagem variando a largura do Fin - W_{Fin}	95
6.2.2	Resultados obtidos por modelagem variando a altura do Fin - H_{Fin}	96
6.2.3	Resultados obtidos por modelagem variando o comprimento do Fin – L.....	96
6.3	Comparações: modelos analíticos e simulações 3D	98
6.3.1	Modelo analítico de Pascale Francis e simulações.....	98
6.3.2	Modelo analítico do Gen Pei e simulações	99
6.4	CARACTERIZAÇÃO ELÉTRICA.....	101
6.4.1	Efeito da variação da largura do Fin - W_{Fin}	102
6.4.2	Efeito da variação do comprimento do canal – L.....	105
7	CONCLUSÕES E PERSPECTIVAS FUTURAS	108
	REFERÊNCIAS BIBLIOGRÁFICAS.....	110
	APÊNDICE A.....	117

LISTA DE FIGURAS

Figura 2.1 – Perfil de Transistores MOSFETs de canal N na tecnologia MOS (a) e na tecnologia SOI (b).....	25
Figura 2.2 – Perfil transversal de um transistor SOI MOSFET de canal N.	26
Figura 2.3 – Diagrama de faixas de energia do transistor SOI MOSFET parcialmente depletado.	27
Figura 2.4 – Diagrama de faixas de energia do transistor SOI MOSFET totalmente depletado.	28
Figura 2.5 – Distribuição das cargas de depleção em transistores de tecnologia MOS (a) e de tecnologia SOI totalmente depletado (b) em relação ao comprimento do canal.	32
Figura 2.6 – Tensão de limiar em função do comprimento de canal de um dispositivo MOSFET e de um SOI MOSFET de canal n totalmente depletado [6].....	33
Figura 3.1 – Evolução dos transistores SOI MOSFET [29].....	37
Figura 3.2 – Transistor XMOS [30].	38
Figura 3.3 – Transistor de porta circundante (<i>Gate-All-Around – GAA</i>) [29].	39
Figura 3.4 – Transistor DELTA [2].	39
Figura 3.5 – Transistor FinFET de porta dupla.	39
Figura 3.6 – Estruturas não planares: (a) Porta Π ; (b) Porta Ω	40
Figura 3.7 – Corte transversal das Estruturas não planares: Porta Π , onde r_{sup} é igual a r_{inf} (a); Porta Ω , onde r_{sup} é diferente de r_{inf} (b). Sendo que r_{sup} e r_{inf} são os raios de curvatura dos cantos superiores e inferiores, respectivamente [29].	41
Figura 3.8 – Estruturas não planares: Porta Única (1); Porta Dupla (2); Porta Tripla (3); Porta Quádrupla (4); Porta Π (5) [28].	41
Figura 3.9 – Estrutura multi-dedos.	42
Figura 3.10 – Coordenadas em um transistor de múltiplas portas.....	45
Figura 4.1 – Transistor FinFET de porta dupla (a) e FinFET de porta tripla (b).	50
Figura 4.2 – Diagrama de fabricação de um FinFET; (a) Aplicação do fotorresiste com uma fotomáscara; (b) Remoção do SiN e do SiO ₂ ; (c) O óxido de amortecimento SiO ₂ é crescido; (d) O óxido de amortecimento é removido; (e) O óxido de porta é crescido; (f) O silício policristalino é depositado [1].	52

Figura 4.3 – Corrente de dreno em função da tensão de porta de FinFETs de canal N com $V_D = 10$ mV; $W_{Fin} = 0,21$ μm ; $H_{Fin} = 100$ nm para diferentes comprimentos de L (0,135; 0,18; 0,3; 0,6 μm) [63].	53
Figura 4.4 – Corrente de dreno em função da tensão de porta de FinFETs de canal N com $V_D = 10$ mV; $H_{Fin} = 100$ nm; $L = 0,15$ μm para diferentes larguras de W_{Fin} (0,18; 0,24; 0,27 μm) [63].	53
Figura 4.5 – Corte transversal de um FinFET de porta tripla identificando W_{Fin} e H_{Fin} .	54
Figura 4.6 – Segunda derivada da corrente de dreno (I_D) em função da tensão de porta de FinFETs de porta tripla com $N_A = 6 \times 10^{18}$ cm^{-3} , $H_{Fin} = 95$ nm; $L = 10$ μm ; $V_D = 50$ mV para diferentes larguras de W_{Fin} [65].	55
Figura 4.7 – Segunda derivada da corrente de dreno (I_D) em função da tensão de porta de FinFETs de porta tripla com alta e baixa concentração de dopantes no canal; $H_{Fin} = 95$ nm; $L = 10$ μm ; $V_D = 50$ mV para diferentes larguras de W_{Fin} : (a) $N_A = 6 \times 10^{18}$ cm^{-3} ; (b) $N_A = 1 \times 10^{18}$ cm^{-3} [65].	55
Figura 4.8 – Comportamento da inclinação de sublimiar e da tensão de limiar em função da concentração de dopantes no canal [66].	56
Figura 4.9 – FinFET de porta tripla e as interações eletrostáticas que produzem o efeito de “canto” [68].	57
Figura 4.10 – Variação da tensão de limiar ao longo do canal vertical com dopagem reduzida ($N_A = 10^{15}$ cm^{-3}) em FinFETs de porta dupla e porta tripla com $W_{Fin} = 50$ nm; $H_{Fin} = 50$ nm e $L = 0,5$ μm [68].	58
Figura 4.11 – Curva de ΔV_T em função de H_{Fin} de FinFETs de porta dupla e porta tripla com baixa dopagem ($N_A = 10^{15}$ cm^{-3}) e com alta dopagem ($N_A = 10^{18}$ cm^{-3}) no canal; $W_{Fin} = 50$ nm e $L = 500$ nm [68].	58
Figura 4.12 – Estrutura FinFET de porta dupla onde t_{oxf} é a espessura do óxido de porta; t_{oxb} é a espessura do óxido enterrado; θ_{Fin} é o ângulo de inclinação de H_{Fin} ; $W_{Fin-inf}$ é a largura inferior do Fin; $W_{Fin-sup}$ é a largura superior do Fin e L é comprimento do canal [69].	59
Figura 4.13 – Tensão de limiar em função do ângulo de inclinação de FinFETs de porta dupla com $H_{Fin} = 100$ nm; $t_{oxf} = 3$ nm; $t_{oxb} = 200$ nm; N_A na faixa de 10^{15} a 10^{17} cm^{-3} ; L de 200 e 400 nm; $W_{Fin-inf} = 50$ nm e $W_{Fin-sup}$ variando de 10 a 50 nm [69].	59

Figura 4.14 – Simulação das características de transferência de sublimiar de FinFETs de porta dupla e porta tripla para $V_D = 1$ V [70].	60
Figura 4.15 – Simulação das características de transferência dos FinFETs de porta dupla e porta tripla em escala linear para $V_D = 1$ V [70].	60
Figura 4.16 – Tensão de limiar em função da polarização do substrato para comprimento do canal $L = 10$ μm e diferentes larguras de W_{Fin} (0,18; 0,195; 0,21; 0,3; 0,6 e 10 μm) [63].	61
Figura 4.17 – Nível de energia na primeira (mais baixa) sub-faixa de condução e tensão de limiar em função das dimensões de H_{Fin} e W_{Fin} do dispositivo com $N_A = 5 \times 10^{17}$ cm^{-3} para $V_G = V_{\text{FB}}$ e $V_G = V_T$ [74].	62
Figura 4.18 – Nível de energia na primeira (mais baixa) sub-faixa de condução em função da concentração de elétrons e das dimensões do dispositivo com $N_A = 5 \times 10^{17}$ cm^{-3} para $V_G = V_{\text{FB}}$ e $V_G = V_T$. Os círculos pequenos representam concentrações de elétrons em limiar [74].	63
Figura 4.19 – Corrente de dreno em função da tensão de porta de FinFETs de porta tripla para diferentes espessuras considerando o efeito quântico [a solução é dada somente por Poisson (SP)] e não considerando o efeito quântico [a solução é dada somente por Poisson-Schrödinger (SP + SS)] para $V_{\text{DS}} = 50$ mV; $t_{\text{oxf}} = 2$ nm e $N_A = 5 \times 10^{17}$ cm^{-3} [74].	63
Figura 5.1 – Coordenadas em FinFETs: (a) Porta Dupla; (b) Porta Tripla.	68
Figura 5.2 – Corrente de dreno (I_D) em função da tensão de porta (V_G) de FinFETs de porta dupla [A] e porta tripla [B] com concentração de dopantes no canal de $N_A = 10^{15}$ cm^{-3} ; $H_{\text{Fin}} = 60$ nm; $L = 1$ μm ; $V_D = 100$ mV para diferentes larguras de W_{Fin} .	71
Figura 5.3 – Corrente de dreno (I_D) em função da tensão de porta (V_G) de FinFETs de porta dupla [A] e porta tripla [B] com concentração de dopantes no canal de $N_A = 10^{15}$ cm^{-3} ; $W_{\text{Fin}} = 120$ nm; $L = 1$ μm ; $V_D = 100$ mV para diferentes alturas de H_{Fin} .	73
Figura 5.4 – Corrente de dreno (I_D) em função da tensão de porta (V_G) de FinFETs de porta dupla [A] e porta tripla [B] com concentração de dopantes no canal de $N_A = 10^{15}$ cm^{-3} ; $V_D = 100$ mV; $W_{\text{Fin}} = 120$ nm; $H_{\text{Fin}} = 60$ nm para diferentes comprimentos de L .	75
Figura 5.5 – Corte transversal de transistores FinFETs, identificando as regiões do canal, cantos superiores e cantos inferiores: (a) Porta Dupla; (b) Porta Tripla.	76

Figura 5.6 – Curva $d^2 I_D / dV_G^2$ em função da tensão de porta de FinFETs de porta dupla [A] e porta tripla [B] com $W_{Fin} = 120$ nm; $H_{Fin} = 60$ nm; $L = 1$ μ m; $V_D = 100$ mV e com diferentes concentrações de dopantes no canal.	78
Figura 5.7 – Curva $d^2 (I_D) / dV_G^2$ em função da tensão de porta de FinFETs de porta dupla [A] e porta tripla [B] com $W_{Fin} = 120$ nm; $H_{Fin} = 60$ nm; $L = 1$ μ m; $V_D = 100$ mV e com concentração de dopantes no canal muito alta.	80
Figura 5.8 – Curva $d^2 I_D / dV_G^2$ em função da tensão de porta (V_G) de FinFETs de porta tripla com $L = 1$ μ m; $W_{Fin} = 120$ nm; $H_{Fin} = 60$ nm; $V_D = 100$ mV e com concentração de dopantes no canal de $N_A = 5 \times 10^{19}$ cm ⁻³	81
Figura 5.9 – Perfil de potencial nos transistores FinFETs com $W_{Fin} = 120$ nm; $H_{Fin} = 60$ nm; $L = 1$ μ m; $V_D = 100$ mV; $V_G = 5$ V para concentração de dopantes no canal de $N_A = 5 \times 10^{19}$ cm ⁻³ : (a) Porta Dupla; (b) Porta Tripla; (c) Escala de Potencial; (d) Porta Tripla em maior escala (porta superior).	81
Figura 5.10 – Tensão de limiar em função da concentração de dopantes no canal de FinFETs de porta dupla com $L = 1$ μ m; $W_{Fin} = 120$ nm; $H_{Fin} = 60$ nm e $V_D = 100$ mV.	82
Figura 5.11 – Tensão de limiar em função da concentração de dopantes no canal de FinFETs de porta tripla com $L = 1$ μ m; $W_{Fin} = 120$ nm; $H_{Fin} = 60$ nm e $V_D = 100$ mV.	82
Figura 5.12 – Corte transversal da estrutura de porta tripla modificada com $W_{Fin} = 120$ nm; $H_{Fin} = 60$ nm; $L = 1$ μ m; $V_D = 100$ mV e com concentração de dopantes no canal de $N_A = 5 \times 10^{19}$ cm ⁻³	83
Figura 5.13 – Curva $d^2 I_D / dV_G^2$ em função da tensão de porta de uma estrutura de porta tripla modificada com $L = 1$ μ m; $W_{Fin} = 120$ nm; $H_{Fin} = 60$ nm; $V_D = 100$ mV e com concentração de dopantes no canal de $N_A = 5 \times 10^{19}$ cm ⁻³	83
Figura 5.14 – Perfil de potencial nos dispositivos com $W_{Fin} = 120$ nm; $H_{Fin} = 60$ nm; $L = 1$ μ m; $V_D = 100$ mV; $V_G = 5$ V para concentração de dopantes no canal de $N_A = 5 \times 10^{19}$ cm ⁻³ : (a) FinFET de Porta Tripla; (b) Estrutura de Porta Tripla Modificada; (c) Escala de Potencial.	84
Figura 5.15 – Curva $d^2 I_D / dV_G^2$ em função da tensão de porta de FinFETs de porta dupla [A] e porta tripla [B] com $W_{Fin} = 120$ nm; $H_{Fin} = 60$ nm; $L = 1$ μ m; $V_D = 100$ mV e com diferentes com concentrações de dopantes na região 1 do canal e $N_A = 1 \times 10^{16}$ cm ⁻³ na região 2.	85

- Figura 5.16 – Tensão de limiar em função da concentração de dopantes na região 1 do canal de FinFETs de porta dupla e porta tripla com $L = 1 \mu\text{m}$; $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$ e $V_D = 100 \text{ mV}$ e com concentração de dopantes na região 2 de $N_A = 1 \times 10^{16} \text{ cm}^{-3}$ 86
- Figura 5.17 – Curva $d^2 I_D / dV_G^2$ em função da tensão de porta de FinFETs de porta tripla com $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$; $L = 1 \mu\text{m}$; $V_D = 100 \text{ mV}$ e com concentração de dopantes de $N_A = 8 \times 10^{18} \text{ cm}^{-3}$ na região 1 do canal e na região 2 de: [A] $N_A = 1 \times 10^{16} \text{ cm}^{-3}$ a $N_A = 6 \times 10^{18} \text{ cm}^{-3}$; [B] $N_A = 1 \times 10^{16} \text{ cm}^{-3}$ a $N_A = 2 \times 10^{18} \text{ cm}^{-3}$; [C] $N_A = 5 \times 10^{18} \text{ cm}^{-3}$ a $N_A = 7 \times 10^{18} \text{ cm}^{-3}$; [D] $N_A = 3 \times 10^{18} \text{ cm}^{-3}$ e $N_A = 4 \times 10^{18} \text{ cm}^{-3}$ 88
- Figura 5.18 – Curva $d^2 I_D / dV_G^2$ em função da tensão de porta de FinFETs de porta dupla com $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$; $L = 1 \mu\text{m}$; $V_D = 100 \text{ mV}$ e com diferentes concentrações de dopantes nas regiões do canal. 89
- Figura 5.19 – Curva $d^2 I_D / dV_G^2$ em função da tensão de porta de FinFETs de porta dupla com $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$; $L = 1 \mu\text{m}$; $V_D = 100 \text{ mV}$ e com concentração de dopantes no canal de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ 89
- Figura 5.20 – Tensão de limiar em função da concentração de dopantes na região 2 do canal de FinFETs de porta dupla e porta tripla com $L = 1 \mu\text{m}$; $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$ e $V_D = 100 \text{ mV}$.e com concentração de dopantes na região 1 de $N_A = 8 \times 10^{18} \text{ cm}^{-3}$ 90
- Figura 5.21 – Curva $d^2 I_D / dV_G^2$ em função da tensão de porta de FinFETs de porta tripla com $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$; $L = 1 \mu\text{m}$; $V_D = 100 \text{ mV}$ e com concentração de dopantes de $N_A = 6 \times 10^{19} \text{ cm}^{-3}$ na região 1 do canal e $N_A = 4 \times 10^{19} \text{ cm}^{-3}$ na região 2... 91
- Figura 5.22 – Curva $d^2 I_D / dV_G^2$ em função da tensão de porta de FinFETs de porta tripla com $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$; $L = 1 \mu\text{m}$; $V_D = 100 \text{ mV}$ e com concentração de dopantes de $N_A = 6 \times 10^{19} \text{ cm}^{-3}$ na região 1 do canal e $N_A = 4,5 \times 10^{19} \text{ cm}^{-3}$ na região 2..... 91
- Figura 6.1 – Tensão de limiar em função da distância entre as portas (W_{Fin}) de FinFETs de porta dupla com concentração de dopantes no canal de $N_A = 10^{17} \text{ cm}^{-3}$; $t_{\text{oxf}} = 2 \text{ nm}$; $\phi_M = 4,7 \text{ V}$; $\phi_{\text{Si}} = (\phi_F - 4,65) \text{ V}$; $T=300\text{K}$; densidade de carga na interface (q_f) de $3 \times 10^{10} \text{ cm}^{-2}$ e $V_D = 100 \text{ mV}$ 93
- Figura 6.2 – Inclinação de sublimiar em função da largura do Fin (W_{Fin}) de FinFET de tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $t_{\text{oxf}} = 2 \text{ nm}$;

- $H_{Fin} = 60 \text{ nm}$; $L = 1 \text{ }\mu\text{m}$; $\phi_M = 4,7 \text{ V}$; $\phi_{Si} = (\phi_F - 4,65) \text{ V}$; $q_f = 3 \times 10^{10} \text{ cm}^{-2}$; $T = 300\text{K}$ e $V_D = 100 \text{ mV}$ 95
- Figura 6.3 – Inclinação de sublimiar em função da altura do Fin (H_{Fin}) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $t_{oxf} = 2 \text{ nm}$; $W_{Fin} = 120 \text{ nm}$; $L = 1 \text{ }\mu\text{m}$; $\phi_M = 4,7 \text{ V}$; $\phi_{Si} = (\phi_F - 4,65) \text{ V}$; $q_f = 3 \times 10^{10} \text{ cm}^{-2}$; $T = 300\text{K}$ e $V_D = 100 \text{ mV}$ 96
- Figura 6.4 – Inclinação de sublimiar em função do comprimento do canal (L) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $t_{oxf} = 2 \text{ nm}$; $H_{Fin} = 60\text{nm}$; $\phi_M = 4,7 \text{ V}$; $\phi_{Si} = (\phi_F - 4,65) \text{ V}$; $q_f = 3 \times 10^{10} \text{ cm}^{-2}$; $T = 300\text{K}$ e $V_D = 100 \text{ mV}$ para diferentes larguras de W_{Fin} 97
- Figura 6.5 – Inclinação de sublimiar em função do comprimento do canal (L) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $t_{oxf} = 2 \text{ nm}$; $W_{Fin} = 120\text{nm}$; $\phi_M = 4,7 \text{ V}$; $q_f = 3 \times 10^{10} \text{ cm}^{-2}$; $\phi_{Si} = (\phi_F - 4,65) \text{ V}$; $T = 300\text{K}$ e $V_D = 100 \text{ mV}$ para diferentes alturas de H_{Fin} 97
- Figura 6.6 – Resultados obtidos por modelagem (Pascale Francis) e por simulação da tensão de limiar (V_T) em função da Largura do Fin (W_{Fin}) de FinFETs de porta dupla com concentração de dopantes no canal de $N_A = 10^{17} \text{ cm}^{-3}$; $t_{oxf} = 2 \text{ nm}$; $\phi_M = 4,7 \text{ V}$; $\phi_{Si} = (\phi_F - 4,65) \text{ V}$; $q_f = 3 \times 10^{10} \text{ cm}^{-2}$; $T=300\text{K}$ e $V_D = 100 \text{ mV}$ 98
- Figura 6.7 – Resultados obtidos por modelagem (Gen Pei) e por simulação da inclinação de sublimiar em função da Largura do Fin (W_{Fin}) de FinFETs de porta dupla e porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $t_{oxf} = 2 \text{ nm}$; $\phi_M = 4,7 \text{ V}$; $\phi_{Si} = (\phi_F - 4,65) \text{ V}$; $q_f = 3 \times 10^{10} \text{ cm}^{-2}$; $T = 300\text{K}$; $H_{Fin} = 60 \text{ nm}$; $L = 1 \text{ }\mu\text{m}$ e $V_D = 100 \text{ mV}$ 99
- Figura 6.8 – Resultados obtidos por modelagem (Gen Pei) e por simulação 3D da inclinação de sublimiar em função da altura do Fin (H_{Fin}) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $t_{oxf} = 2 \text{ nm}$; $\phi_M = 4,7 \text{ V}$; $\phi_{Si} = (\phi_F - 4,65) \text{ V}$; $q_f = 3 \times 10^{10} \text{ cm}^{-2}$; $T = 300\text{K}$; $W_{Fin} = 120 \text{ nm}$; $L = 1 \text{ }\mu\text{m}$ e $V_D = 100 \text{ mV}$ 100
- Figura 6.9 – Resultados obtidos por modelagem (Gen Pei) e por simulação 3D da inclinação de sublimiar em função do comprimento do canal (L) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $\phi_M = 4,7 \text{ V}$; $\phi_{Si} = (\phi_F - 4,65) \text{ V}$; $q_f = 3 \times 10^{10} \text{ cm}^{-2}$; $t_{oxf} = 2 \text{ nm}$; $W_{Fin} = 120 \text{ nm}$; $H_{Fin} = 60 \text{ nm}$; $T = 300\text{K}$ e $V_D = 100 \text{ mV}$ 100
- Figura 6.10 – Pastilha contendo o conjunto de dispositivos. 101

Figura 6.11 – Transistores FinFETs de porta tripla.	102
Figura 6.12 – Seção transversal do FinFETs de porta tripla identificando suas regiões. ...	102
Figura 6.13 – Resultados obtidos por caracterização elétrica da corrente de dreno (I_D) em função da tensão de porta (V_G) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $V_D = 100 \text{ mV}$; $H_{\text{Fin}} = 60 \text{ nm}$; $L = 610 \text{ nm}$ para diferentes larguras de W_{Fin}	103
Figura 6.14 – Resultados obtidos por caracterização elétrica da corrente de dreno (I_D) em função da tensão de porta (V_G) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $V_D = 100 \text{ mV}$; $H_{\text{Fin}} = 60 \text{ nm}$; $L = 910 \text{ nm}$ para diferentes larguras de W_{Fin}	103
Figura 6.15 – Resultados obtidos por caracterização elétrica da inclinação de sublimiar em função da tensão de porta (V_G) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $V_D = 100 \text{ mV}$; $H_{\text{Fin}} = 60 \text{ nm}$; $L = 610 \text{ nm}$ para diferentes larguras de W_{Fin}	104
Figura 6.16 – Resultados obtidos por caracterização elétrica da inclinação de sublimiar em função da tensão de porta (V_G) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $V_D = 100 \text{ mV}$; $H_{\text{Fin}} = 60 \text{ nm}$; $L = 910 \text{ nm}$ para diferentes larguras de W_{Fin}	105
Figura 6.17 – Resultados obtidos por caracterização elétrica da corrente de dreno (I_D) em função da tensão de porta (V_G) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$ e $V_D = 100 \text{ mV}$ para diferentes comprimentos de canal L	106
Figura 6.18 – Resultados obtidos por caracterização elétrica da corrente de dreno (I_D) em função da tensão de porta (V_G) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $W_{\text{Fin}} = 9,87\mu\text{m}$; $H_{\text{Fin}} = 60 \text{ nm}$ e $V_D = 100 \text{ mV}$ para diferentes comprimentos de canal L	106
Figura 6.19 – Resultados obtidos por caracterização elétrica da inclinação de sublimiar em função da tensão de porta (V_G) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $W_{\text{Fin}} = 9,87\mu\text{m}$; $H_{\text{Fin}} = 60 \text{ nm}$ e $V_D = 100 \text{ mV}$ para diferentes comprimentos de canal L	107
Figura 6.20 – Resultados obtidos por caracterização elétrica da inclinação de sublimiar em função da tensão de porta (V_G) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $W_{\text{Fin}} = 9,87\mu\text{m}$; $H_{\text{Fin}} = 60 \text{ nm}$ e $V_D = 100 \text{ mV}$ para diferentes comprimentos de canal L	107

LISTA DE TABELAS

Tabela 4.1 – Inclinação de sublimiar para dispositivos com diferentes dimensões não considerando o efeito quântico [a solução é dada somente por Poisson (SP)] e considerando o efeito quântico [a solução é dada por Poisson-Schrödinger (SP +SS)] para $V_{DS} = 50$ mV; $t_{oxf} = 2$ nm e $N_A = 5 \times 10^{17}$ cm ⁻³ [74].....	64
Tabela 4.2 – Tensão de limiar para dispositivos com diferentes dimensões não considerando o efeito quântico [a solução é dada somente por Poisson (SP)] e considerando o efeito quântico [a solução é dada por Poisson-Schrödinger (SP + SS)] para $V_{DS} = 50$ mV; $t_{oxf} = 2$ nm e $N_A = 5 \times 10^{17}$ cm ⁻³ [74].....	65
Tabela 5.1 – Valores obtidos por simulação da tensão de limiar e inclinação de sublimiar de FinFETs de porta dupla e porta tripla com concentração de dopantes no canal de $N_A = 10^{15}$ cm ⁻³ ; $V_D = 100$ mV; $H_{Fin} = 60$ nm; $L = 1$ μm para diferentes larguras de W_{Fin}	70
Tabela 5.2 – Valores obtidos por simulação da tensão de limiar e inclinação de sublimiar de FinFETs de porta dupla e porta tripla com concentração de dopantes no canal de $N_A = 10^{15}$ cm ⁻³ ; $V_D = 100$ mV; $W_{Fin} = 120$ nm; $L = 1$ μm; para diferentes alturas de H_{Fin}	72
Tabela 5.3 – Valores obtidos por simulação da tensão de limiar e inclinação de sublimiar de FinFETs de porta dupla e porta tripla com concentração de dopantes no canal de $N_A = 10^{15}$ cm ⁻³ ; $V_D = 100$ mV; $W_{Fin} = 120$ nm; $H_{Fin} = 60$ nm; para diferentes comprimentos de L	74
Tabela 5.4 – Valores obtidos por simulação da tensão de limiar de FinFETs de porta dupla e porta tripla com $W_{Fin} = 120$ nm; $H_{Fin} = 60$ nm; $L = 1$ μm; $V_D = 100$ mV e com diferentes concentrações de dopantes no canal.	77
Tabela 5.5 – Valores obtidos por simulação da tensão de limiar de FinFETs de porta dupla e porta tripla com $W_{Fin} = 120$ nm; $H_{Fin} = 60$ nm; $L = 1$ μm; $V_D = 100$ mV e com diferentes concentrações de dopantes no canal.	79

Tabela 5.6 – Valores obtidos por simulação da tensão de limiar de FinFETs de porta dupla e porta tripla com $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$; $L = 1 \text{ }\mu\text{m}$; $V_{\text{D}} = 100 \text{ mV}$ e com diferentes concentrações de dopantes na região 1 do canal e $N_{\text{A}} = 1 \times 10^{16} \text{ cm}^{-3}$ na região 2.....	86
Tabela 5.7 – Valores obtidos por simulação da tensão de limiar de FinFETs de porta tripla com $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$; $L = 1 \text{ }\mu\text{m}$; $V_{\text{D}} = 100 \text{ mV}$ e com concentração de dopantes de $N_{\text{A}} = 8 \times 10^{18} \text{ cm}^{-3}$ na região 1 do canal de e diferentes concentrações de dopantes na região 2.....	87
Tabela 6.1 – Valores obtidos por caracterização elétrica da tensão de limiar e inclinação de sublimiar de FinFETs de porta tripla com concentração de dopantes no canal de $N_{\text{A}} = 10^{15} \text{ cm}^{-3}$; $H_{\text{Fin}} = 60 \text{ nm}$ e $V_{\text{D}} = 100 \text{ mV}$	104
Tabela 6.2 – Valores obtidos por caracterização elétrica da tensão de limiar e inclinação de sublimiar de FinFETs de porta tripla com concentração de dopantes no canal de $N_{\text{A}} = 10^{15} \text{ cm}^{-3}$; $H_{\text{Fin}} = 65 \text{ nm}$ e $V_{\text{D}} = 100 \text{ mV}$	105

LISTA DE SÍMBOLOS

A	Área da região do canal [μm^2]
C_D	Capacitância da região de depleção por unidade de área [F/cm^2]
C_{ox}	Capacitância do óxido por unidade de área [F/cm^2]
C_{Si}	Capacitância da camada de silício por unidade de área [F/cm^2]
d	Distância de parte do comprimento de canal do transistor [μm]
D_n	Constante de difusão para elétrons [cm^2/s]
E_C	Nível energético da faixa de condução [V]
E_F	Nível de Fermi [V]
E_{FM}	Nível de Fermi do metal [V]
E_{FB}	Nível de Fermi do substrato [V]
E_i	Nível intrínseco do semiconductor [V]
E_V	Nível energético da faixa de valência [V]
g_m	Transcondutância de saída do transistor [S]
g_{m_sat}	Transcondutância de saturação de saída do transistor [S]
H_{eff}	Altura efetiva do Fin no transistor FinFET [nm]
H_{Fin}	Altura do Fin no transistor FinFET [nm]
H_{R1}	Altura da Região 1 do Fin no transistor FinFET [nm]
H_{R2}	Altura da Região 2 do Fin no transistor FinFET [nm]
I_D	Corrente entre dreno e fonte em transistores FinFETs [A]
I_{Do}	Corrente no transistor planar de porta única, por unidade de largura [A/cm]
I_{DS}	Corrente entre dreno e fonte [A]
$I_{\text{D_sat}}$	Corrente de saturação entre dreno e fonte [A]
k	Constante de Boltzmann [$1,38066 \times 10^{-23} \text{ J/K}$]
L	Comprimento de canal do transistor [μm]
L_D	Comprimento da região de Dreno em transistores FinFETs [nm]
L_{eff}	Comprimento efetivo do canal [μm]
L_S	Comprimento da região de Fonte em transistores FinFETs [nm]
L_{Fin}	Comprimento do Fin no transistor FinFET [nm]
N_A	Concentração de impurezas aceitadoras do semiconductor tipo P [cm^{-3}]

n_i	Concentração intrínseca de portadores [cm^{-3}]
$n(L)$	Concentrações de elétrons do lado do dreno [cm^{-3}]
$n(0)$	Concentrações de elétrons do lado da fonte [cm^{-3}]
P	Distância do início de um dedo ao mesmo ponto do outro dedo [nm]
q	Carga elementar do elétron [$1,6 \times 10^{-19}$ C]
Q_D	Carga total de depleção na camada de silício por unidade de área nos Transistores SOI [C/cm^2]
Q_{D_MOS}	Carga total de depleção na camada de silício por unidade de área nos Transistores MOS [C/cm^2]
$Q_{D,eff}$	Carga de depleção efetiva da camada de silício por unidade de área nos Transistores SOI [C/cm^2]
Q_{D,eff_MOS}	Carga de depleção efetiva da camada de silício por unidade de área nos Transistores MOS [C/cm^2]
q_f	Densidade de carga na interface [cm^{-2}]
Q_{inv}	Carga de inversão [C/cm^2]
Q_{ox}	Densidade de cargas fixas no óxido por unidade de área [C/cm^2]
Q_{S2}	Carga de inversão na segunda interface [C/cm^2]
r_j	Profundidade da junção fonte e dreno [nm]
r_{inf}	Raio de curvatura dos cantos inferiores [nm]
r_{sup}	Raio de curvatura dos cantos superiores [nm]
S	Inclinação de Sublimiar [V/década]
T	Temperatura [K]
t_{Si}	A espessura da camada de silício [nm]
t_{ox}	A espessura da camada do óxido [nm]
t_{oxb}	A espessura do óxido enterrado [nm]
t_{oxf}	A espessura do óxido de porta em transistor SOI convencional [nm]
t_{oxf_lat}	A espessura da camada do óxido das portas laterais em FinFETs [nm]
t_{oxf_sup}	A espessura da camada do óxido da porta superior em FinFETs [nm]
V_D	Tensão de dreno [V]
V_{DS}	Tensão entre dreno e fonte [V]
V_{FB}	Tensão de faixa plana [V]
V_G	Tensão de entrada aplicada às portas do dispositivo [V]
V_{G1}	Tensão de entrada aplicada à porta do dispositivo em transistor SOI convencional [V]

V_{G2}	Tensão de entrada aplicada ao substrato do dispositivo em transistor SOI convencional [V]
V_T	Tensão de limiar [V]
V_{T_CI}	Tensão de limiar dos cantos inferiores em FinFETs [V]
V_{T_CS}	Tensão de limiar dos cantos superiores em FinFETs [V]
V_{T_G}	Tensão de limiar das portas em FinFETs [V]
V_{T_GL}	Tensão de limiar das portas laterais em FinFETs [V]
V_{T_GS}	Tensão de limiar da porta superior em FinFETs [V]
W	Largura de canal em transistor convencional [nm]
W_{Fin}	Largura do Fin no transistor FinFET [nm]
W_{eff}	Largura efetiva do Fin no transistor FinFET [nm]
W_{Fin_inf}	Largura inferior do Fin no transistor FinFET [nm]
W_{Fin_sup}	Largura superior do Fin no transistor FinFET [nm]
x_{dmax}	Profundidade máxima da região de depleção [μm]
x_{d1}	Espessuras da região de depleção proveniente da primeira interface [μm]
x_{d2}	Espessuras da região de depleção proveniente da segunda interface [μm]
θ_{Fin}	Ângulo de inclinação do Fin no transistor FinFET [graus]
ϵ_{ox}	Permissividade do óxido de silício [$3,45 \times 10^{-13}$ F/cm]
ϵ_{Si}	Permissividade do silício [$1,06 \times 10^{-12}$ F/cm]
ϕ_F	Potencial de Fermi da camada de silício [V]
ϕ_M	Função de trabalho do metal [V]
ϕ_{MS}	Diferença da função de trabalho entre metal e semiconductor [V]
ϕ_S	Potencial de superfície [V]
μ_n	Mobilidade efetiva dos elétrons na camada de silício [$\text{cm}^2/\text{V.s}$]
α	Parâmetro resultante de associação das capacitâncias do transistor
Ψ	Parâmetros resultante de associação de C, q, K e T
δ	Parâmetros resultante de associação de capacitância
λ_1	Modulação do comprimento de canal para transistor de porta única
λ_2	Modulação do comprimento de canal para transistor de porta dupla
λ_3	Modulação do comprimento de canal para transistor de porta tripla

LISTA DE ABREVIATURAS

FinFET	<i>Fin Field Effect Transistor</i>
GAA	<i>Gate-All-Around</i> (Transistor de porta circundante)
HfO ₂	Óxido de Háfênio
IMEC	<i>Interuniversity Microelectronic Center</i>
MOS	<i>Metal-Oxide-Semiconductor</i>
MOSFET	<i>Metal-Oxide-Semiconductor Field Effect Transistor</i>
SCE	<i>Short Channel Effect</i>
Si	Silício
SiN	Nitreto de Silício
SiO ₂	Óxido de Silício
SOI	<i>Silicon-on-Insulator</i>
SOS	<i>Silicon-on-Sapphire</i>
SP	Solução dada por Poisson
SS	Solução dada por Schrödinger
TiN	Nitreto de Titânio

1 INTRODUÇÃO

Nas últimas quatro décadas, a indústria de semicondutores testemunhou um grande progresso na redução das dimensões dos transistores de geometria planar. Entretanto, a construção de transistores de geometria planar numa escala abaixo de 10 nm é extremamente difícil devido a vários fatores, destacando-se, o efeito quântico, a fuga de corrente, a degradação da mobilidade e o efeito de canal curto [1].

A limitação de escalamento da tecnologia de fabricação planar fez com que a indústria voltasse à atenção para as estruturas não planares, ou seja, estruturas de canal vertical [1]. Surgiram os transistores fabricados em geometrias não planares, que apresentaram várias vantagens em relação aos transistores fabricados em geometrias planares, tais como: maior densidade de integração, maior escalamento e melhor controle da corrente.

No ano de 1989, foi fabricado o primeiro transistor de porta dupla utilizando uma geometria vertical, o transistor DELTA (*fully Depleted Lean-channel Transistor*) [2]. Atualmente, o interesse da indústria é voltado para o FinFET que é um dispositivo de porta dupla ou tripla sendo que suas portas são alocadas em diferentes paredes com diferentes orientações superficiais possuindo assim, uma estrutura não planar. O DELTA e o FinFET têm o mesmo princípio, ambos possuem estrutura de canal vertical.

O FinFET não somente é uma solução para o escalamento, mas também é uma tecnologia com o processo de fabricação compatível aos dos dispositivos planares [3]. É um dos principais candidatos para substituir os transistores MOS (*Metal-Oxide-Semiconductor*) e o SOI (*Silicon-on-Insulator*) planares, devido a sua simplicidade de fabricação, maior controle da corrente, inclinação de sublimiar praticamente ideal e melhor efeito de canal curto [3, 4, 5].

A tensão de limiar e a inclinação de sublimiar são os principais parâmetros nos transistores, pois através deles é possível prever a tensão de condução e analisar o acoplamento das cargas no canal.

1.1 Objetivo

Neste trabalho, será realizado o estudo da tensão de limiar e inclinação de sublimiar em transistores SOI FinFETs de porta dupla e porta tripla.

Uma série de simulações tridimensionais para os FinFETs de porta dupla e porta tripla com diferentes dimensões do corpo do transistor (Fin) e com variadas concentrações de dopantes no canal foi realizada.

Na seqüência, foram extraídas a tensão de limiar e a inclinação de sublimiar para larguras do Fin (W_{Fin}) de 10, 20, 30, 60, 90 e 120 nm; alturas do Fin (H_{Fin}) de 30, 60 e 150 nm e comprimento do canal (L) de 200, 300, 500 nm e 1 μm . Adicionalmente, foi efetuada a variação da concentração de dopantes no canal, na faixa de $N_A = 1 \times 10^{15}$ a $N_A = 6 \times 10^{19} \text{ cm}^{-3}$.

Modelos analíticos para o cálculo da tensão de limiar e inclinação de sublimiar em transistores SOI FinFETs de porta dupla e porta tripla, obtidos a partir da solução dada pela equação de Poisson, foram analisados e comparados com as simulações.

Foi feita a caracterização elétrica nos transistores SOI FinFETs de porta tripla fabricados no centro de pesquisa “IMEC - *Interuniversity Microelectronic Center*”. Os resultados das simulações, dos modelos analíticos e da caracterização elétrica apresentaram as mesmas tendências de comportamento.

1.2 Estrutura do Trabalho

Este trabalho está estruturado sob a forma indicada na seqüência. No capítulo 2 são apresentados conceitos, estruturas e os principais parâmetros elétricos dos transistores MOSFETs convencionais (*bulk MOS*) e SOI MOSFETs convencionais.

No capítulo 3 é apresentada uma revisão bibliográfica sobre transistores de múltiplas portas, seus leiautes e seus principais parâmetros elétricos.

A revisão bibliográfica sobre transistores FinFETs de porta dupla e porta tripla é apresentada no capítulo 4.

No capítulo 5 é apresentada uma introdução sobre o simulador numérico ATLAS e, adicionalmente, contém as curvas características dos dispositivos que foram utilizadas para estudo do comportamento da tensão de limiar e da inclinação sublimiar dos transistores SOI FinFETs de porta dupla e porta tripla com diferentes concentrações de dopantes no interior do canal.

Modelos analíticos para o cálculo da tensão de limiar e inclinação de sublimiar em transistores SOI FinFETs de porta dupla e porta tripla e os resultados das caracterizações elétricas dos transistores SOI FinFETs de porta tripla são apresentados no capítulo 6.

No capítulo 7 são apresentadas as conclusões finais desta Dissertação de Mestrado juntamente com as perspectivas futuras.

2 CONCEITOS FUNDAMENTAIS

Neste capítulo são apresentados conceitos, estruturas e os principais parâmetros elétricos dos transistores MOSFETs convencionais (*bulk MOS*) e SOI MOSFETs convencionais.

2.1 Transistor SOI MOSFET

A tecnologia SOI apresenta várias vantagens [6, 7] sobre a tecnologia MOS, tais como menor capacitância parasitária, melhor inclinação de sublimiar, maior velocidade de operação, maior resistência à radiação, menor efeito de canal curto, etc.

Na figura 2.1 são apresentados os perfis dos transistores MOS e SOI. A diferença entre esses dois dispositivos reside em uma camada de óxido enterrado, que separa a região ativa do substrato, existente no transistor com a tecnologia SOI.

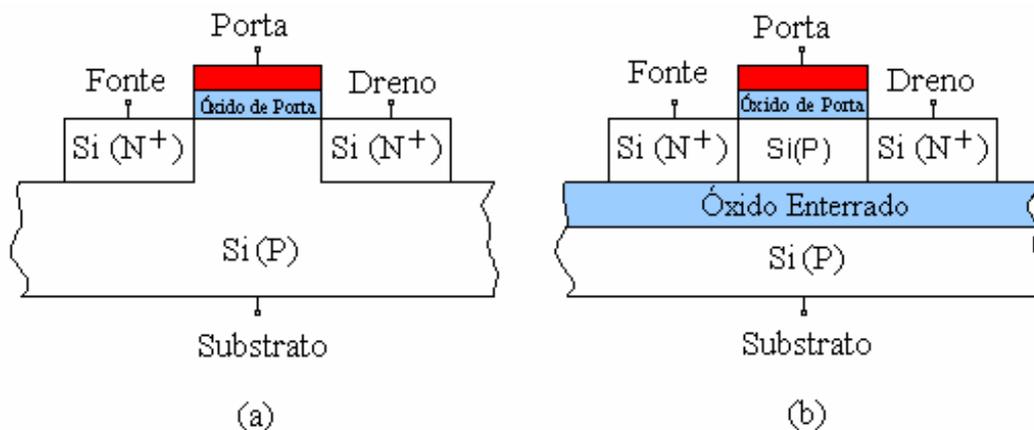


Figura 2.1 – Perfil de Transistores MOSFETs de canal N na tecnologia MOS (a) e na tecnologia SOI (b).

Nos dispositivos fabricados com a tecnologia MOS, a região de depleção estende-se a partir da interface Si-SiO₂ até a sua máxima largura possível, que é determinada pela equação 2.1 [8].

$$x_{d\max} = \sqrt{\frac{4\epsilon_{si}\phi_F}{qN_A}} \quad (2.1)$$

E o potencial de Fermi é determinado pela equação 2.2 [8].

$$\phi_F = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (2.2)$$

Nas equações 2.1 e 2.2, ϵ_{Si} é a permissividade do Silício; q é a carga elementar do elétron; N_A é a concentração de impurezas aceitadoras do substrato; k é a constante de Boltzmann; T é a temperatura absoluta; n_i é a concentração intrínseca de portadores.

2.2 Classificação dos transistores SOI MOSFETs

O perfil transversal de um transistor SOI MOSFET de canal N, indicando os eletrodos de porta (V_{G1}) e substrato (V_{G2}), a espessura da camada de silício (t_{Si}), do óxido de porta (t_{oxf}) e do óxido enterrado (t_{oxb}) e as três interfaces de Si-SiO₂ da estrutura, pode ser visualizado na figura 2.2.

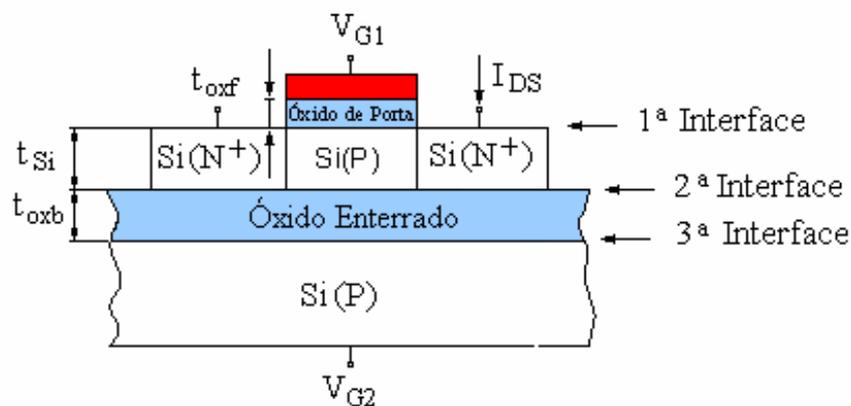


Figura 2.2 – Perfil transversal de um transistor SOI MOSFET de canal N.

Os transistores SOI MOSFETs podem funcionar como parcialmente depletados, totalmente depletados e quase totalmente depletados, dependendo da espessura da camada de silício sobre o isolante, da concentração de dopantes e da temperatura [9].

2.2.1 Transistor SOI MOSFET parcialmente depletado

No dispositivo SOI MOSFET parcialmente depletado, a espessura da camada de silício é maior que a soma das larguras das regiões de depleção máxima proveniente da primeira e da segunda interface ($t_{Si} > 2x_{dmax}$), isto é, não ocorre contato entre as regiões de depleção, existindo entre elas uma região neutra. Se essa região neutra for ligada por um contato elétrico, esse dispositivo apresenta as mesmas características do transistor MOS.

Caso contrário, se o contato estiver eletricamente flutuando, o transistor apresentará efeitos devido ao corpo flutuante (*floating body effect*) [10 - 13], tais como, o efeito de elevação abrupta da corrente de dreno (*Kink effect*) e o efeito bipolar parasitário (*parasitic bipolar effect*) entre fonte e dreno.

A figura 2.3 mostra um diagrama de faixas de energia de um transistor SOI MOSFET parcialmente depletado, onde t_{Si} é a espessura da camada de silício; x_{d1} e x_{d2} são as espessuras da região de depleção, provenientes da primeira e da segunda interfaces, respectivamente.

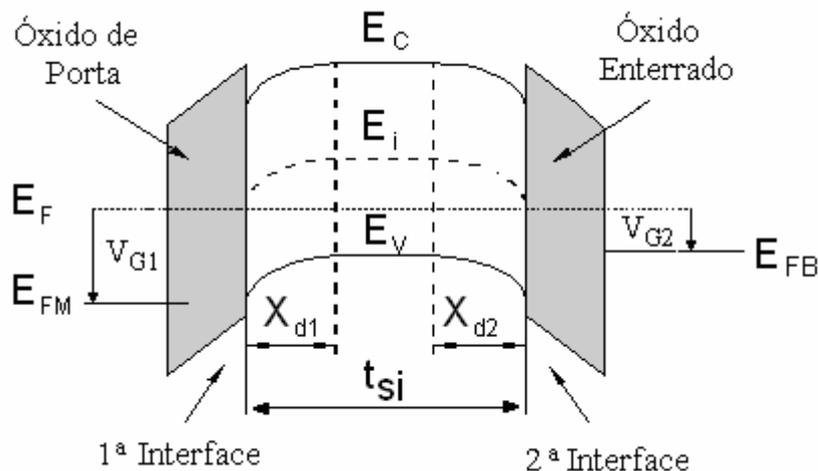


Figura 2.3 – Diagrama de faixas de energia do transistor SOI MOSFET parcialmente depletado.

2.2.2 Transistor SOI MOSFET totalmente depletado

No dispositivo SOI MOSFET totalmente depletado, a espessura da camada de silício é menor que a largura da região de depleção máxima ($t_{Si} < x_{dmax}$). Portanto, a camada de silício ficará totalmente depletada, quando for aplicada na porta a tensão de limiar, independentemente da tensão aplicada ao substrato.

Nessas condições, esse dispositivo apresenta as melhores características elétricas, tais como uma menor variação da tensão de limiar com a temperatura, menor efeito de canal curto, melhor inclinação de sublimiar, redução do campo elétrico horizontal, maior mobilidade, uma transcondutância superior e outras [14 - 17].

Na figura 2.4 é mostrado um diagrama de faixas de energia de um transistor SOI MOSFET totalmente depletado, onde t_{Si} é a espessura da camada de silício; x_{d1} e x_{d2} são as espessuras da região de depleção, provenientes da primeira e da segunda interfaces, respectivamente.

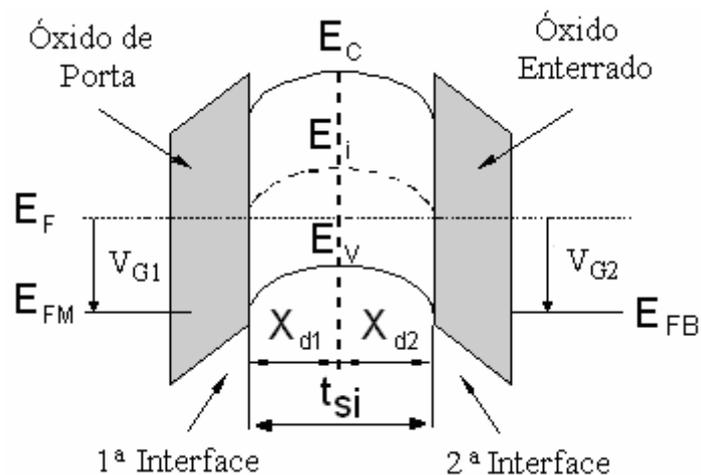


Figura 2.4 – Diagrama de faixas de energia do transistor SOI MOSFET totalmente depletado.

2.2.3 Transistor SOI MOSFET quase totalmente depletado

Nos dispositivos SOI MOSFET quase totalmente depletado, a espessura da camada de silício está compreendida entre x_{dmax} e $2x_{dmax}$ ($x_{dmax} < t_{Si} < 2x_{dmax}$). Conseqüentemente, as regiões de depleção da primeira e da segunda interface poderão ou não entrar em contato, dependendo da tensão aplicada ao substrato. Dessa forma, este dispositivo pode funcionar como totalmente depletado, caso suas regiões de depleção entrem em contato, ou como parcialmente depletado, caso suas regiões de depleção não entrem em contato.

2.3 Parâmetros elétricos dos transistores SOI MOSFET

2.3.1 Tensão de limiar

A tensão de limiar (V_T) é definida como sendo o valor da tensão aplicada na porta de um transistor, a partir do qual todo incremento de tensão acima dessa tensão irá atrair os portadores minoritários para região do canal, formando, assim, uma camada de inversão forte. Na tecnologia MOS, a corrente de dreno aparece quando a inversão forte é alcançada ($\phi_s = 2\phi_F$) [18].

Em dispositivos MOS e em dispositivos SOI parcialmente depletados [19], onde não existe um contato entre as regiões de depleção da primeira com a segunda interface, a tensão de limiar é determinada pela equação 2.3 [8].

$$V_T = V_{FB} + 2\phi_F + \frac{qN_A x_{dmax}}{C_{ox}} \quad (2.3)$$

Na equação acima, V_{FB} é a tensão de faixa plana, que é determinada pela equação 2.4.

$$V_{FB} = \phi_{MS} - \frac{Q_{ox}}{C_{ox}} \quad (2.4)$$

Nas equações 2.3 e 2.4, ϕ_{MS} é a diferença de função trabalho entre metal de porta e o silício; C_{ox} a capacitância do óxido de porta por unidade de área e, Q_{ox} é a densidade de cargas fixa no óxido.

Em dispositivos SOI totalmente depletados, onde existe um contato entre as regiões de depleção, a tensão de limiar pode ser obtida através do modelo de Lim & Fossum [8]. Esse modelo é descrito por um sistema de equações onde a tensão aplicada na porta (V_{G1}) influenciará o potencial de superfície da segunda interface (ϕ_{S2}), assim como, a tensão aplicada no substrato (V_{G2}), influenciará o potencial de superfície da primeira interface (ϕ_{S1}). Portanto, obtém-se uma relação entre as tensões de portas V_{G1} e V_{G2} e os potenciais de superfície ϕ_{S1} e ϕ_{S2} , que pode ser determinada, respectivamente, pelas equações 2.5 e 2.6.

$$V_{G1} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right)\phi_{S1} - \frac{C_{Si}}{C_{ox1}}\phi_{S2} - \frac{\frac{1}{2}Q_D + Q_{inv1}}{C_{ox1}} \quad (2.5)$$

$$V_{G2} = \phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} + \left(1 + \frac{C_{Si}}{C_{ox2}}\right)\phi_{S2} - \frac{C_{Si}}{C_{ox2}}\phi_{S1} - \frac{\frac{1}{2}Q_D + Q_{S2}}{C_{ox2}} \quad (2.6)$$

Nas equações 2.5 e 2.6, C_{Si} a capacitância camada de silício por unidade de área, ϕ_{MS1} é diferença de função trabalho entre a porta e a camada de silício, ϕ_{MS2} é a diferença de função trabalho entre o substrato e a camada de silício; ϕ_{S1} e ϕ_{S2} são os potenciais de superfície da primeira e segunda interfaces; Q_{inv1} é a carga de inversão por unidade de área na primeira interface; Q_{S2} é a carga de inversão por unidade de área ($Q_{S2} < 0$), ou a carga de acumulação ($Q_{S2} > 0$), na segunda interface e; Q_D é a carga total de depleção na camada de silício por unidade de área.

Através das equações 2.5 e 2.6, obtêm-se diferentes expressões de tensão de limiar da primeira interface em função da polarização do substrato e da condição de polarização da segunda interface:

- a) Quando a segunda interface estiver acumulada, tem-se que: $\phi_{S1} = 2\phi_F$, $\phi_{S2} = 0$ e $Q_{inv1} = 0$ e a tensão de limiar é determinada pela equação 2.7.

$$V_{T1,acc2} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right)2\phi_F - \frac{Q_D}{2C_{ox1}} \quad (2.7)$$

- b) Quando a segunda interface estiver invertida, tem-se que: $\phi_{S1} = 2\phi_F$, $\phi_{S2} = 2\phi_F$ e $Q_{inv1} = 0$ e a tensão de limiar é determinada pela equação 2.8.

$$V_{T1,inv2} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + 2\phi_F - \frac{Q_D}{C_{ox1}} \quad (2.8)$$

- c) Quando a segunda interface estiver em depleção, tem-se que: $0 < \phi_{S2} < 2\phi_F$, e $Q_{S2} = 0$ e a tensão de limiar é determinada pela equação 2.9.

$$V_{T1,depl2} = V_{T1,acc2} - \frac{C_{Si}C_{ox2}}{C_{ox1}(C_{Si} + C_{ox2})} (V_{G2} - V_{G2,acc}) \quad (2.9)$$

O valor $V_{G2,acc2}$ é determinado pela equação 2.10.

$$V_{G2,acc2} = \phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} + \frac{qN_A t_{Si}}{2C_{ox2}} - \left(\frac{C_{Si}}{C_{ox2}} \right) 2\phi_F \quad (2.10)$$

As equações de tensão de limiar acima, 2.7, 2.8 e 2.9, são válidas somente quando a espessura da camada de inversão e acumulação forem bem menores que a espessura da camada de silício ou seja, não são aplicadas em dispositivos de filme fino pois estes, são inflênciados pelos efeitos quânticos [20].

2.3.2 Efeito de canal curto

O efeito de canal curto (*SCE - Short Channel Effect*) ocorre devido a uma redução no comprimento de canal dos transistores. As cargas da região de depleção sob o canal, que são normalmente controladas pela porta, passam a ser, também, controladas pelas regiões de depleção de fonte e dreno. Vários efeitos são causados em função dessa redução de canal [14, 21, 22], destacando-se a redução da tensão de limiar.

Nos transistores MOS, a carga de depleção controlada pela porta é determinada pela equação 2.11.

$$Q_{D_MOS} = qN_A x_{dmax} \quad (2.11)$$

Para os transistores MOS de canal curto, a carga de depleção controlada pela porta é determinada pela equação 2.12 [23], r_j onde é a profundidade da junção da fonte e dreno.

$$Q_{D,eff_MOS} = Q_{D_MOS} \left(1 - \frac{r_j}{L} \left(\sqrt{1 + \frac{2X_{dmax}}{r_j}} - 1 \right) \right) \quad (2.12)$$

Para transistores SOI MOSFET totalmente depletados, a carga de depleção efetiva ($Q_{D,eff}$) controlada pela porta é uma fração da carga de depleção no canal (Q_D), que é determinada equação 2.13.

$$Q_{D,eff} = Q_D \left(1 - \frac{d}{L} \right) \quad (2.13)$$

O valor de Q_D é determinado pela equação 2.14, onde L e d são as distâncias indicadas na figura 2.5.

$$Q_D = qN_A t_{Si} \quad (2.14)$$

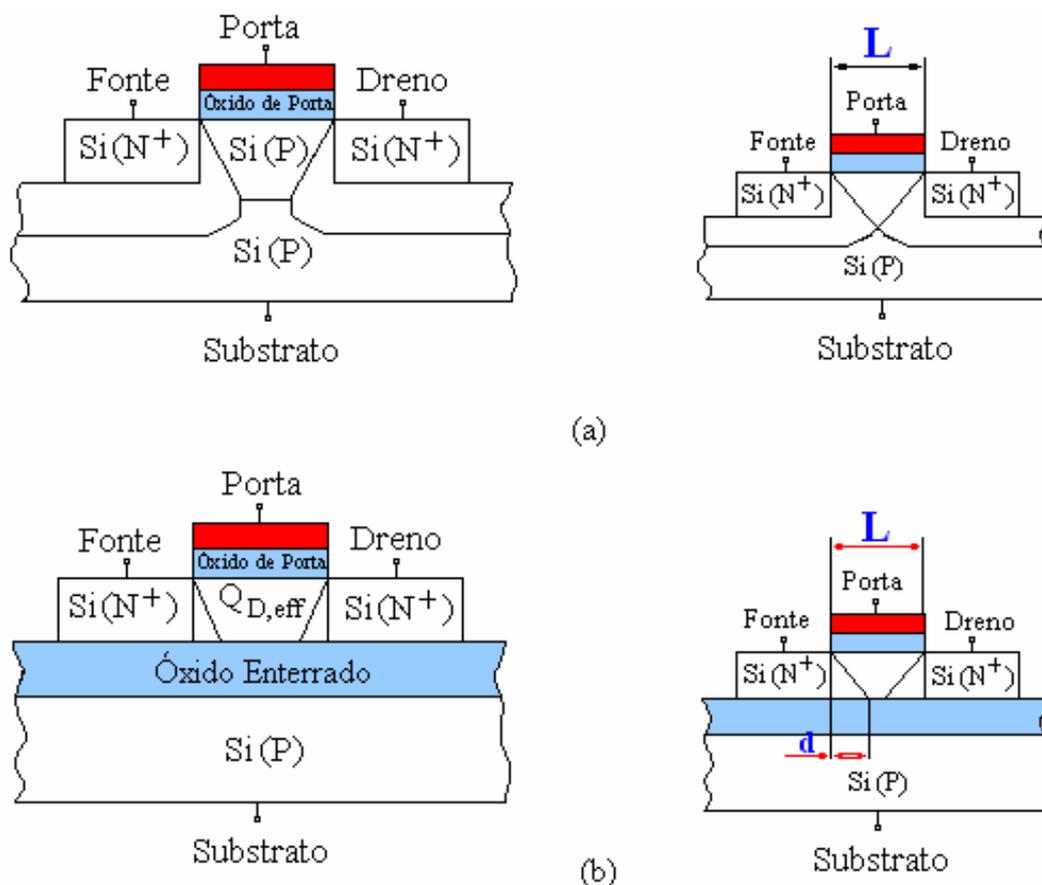


Figura 2.5 – Distribuição das cargas de depleção em transistores de tecnologia MOS (a) e de tecnologia SOI totalmente depletado (b) em relação ao comprimento do canal.

Os dispositivos SOI MOSFETs totalmente depletados sofrem menor efeito de canal curto em relação a redução do comprimento do canal do que os dispositivos MOS. Tal influência pode ser visualizada na figura 2.5. Adicionalmente, através da análise das equações 2.12 e 2.13, pode-se notar que, em dispositivos SOI de canal curto, a carga de depleção efetiva controlada pela porta é maior do que a carga de depleção efetiva controlada pela porta em dispositivos MOS de canal curto.

A figura 2.6 mostra a variação da tensão de limiar em função do comprimento de canal em dispositivos MOS e um SOI MOSFET de canal n totalmente depletado. Pode-se notar que para os dispositivos SOI MOSFETs a redução da tensão de limiar é menor com a diminuição do comprimento de canal comparado ao MOS convencional [14, 15].

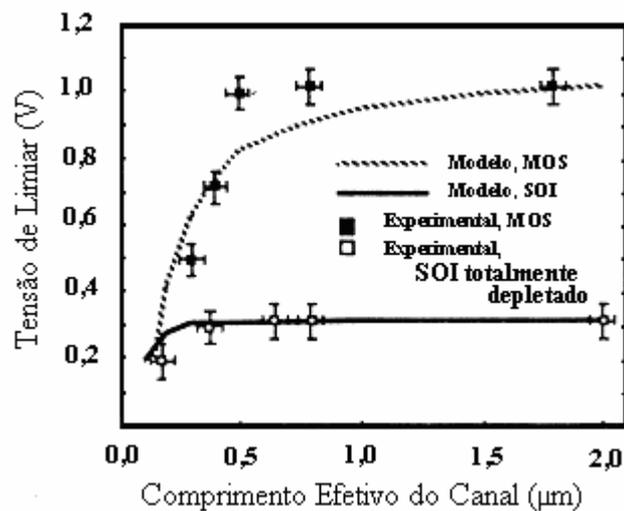


Figura 2.6 – Tensão de limiar em função do comprimento de canal de um dispositivo MOSFET e de um SOI MOSFET de canal n totalmente depletado [6].

2.3.3 Inclinação de sublimiar

A inclinação de sublimiar (S) ou, mais apropriadamente, o inverso da inclinação de sublimiar, é definida como o inverso da inclinação da curva $\log(I_{DS}) \times V_{G1}$, que é determinada pela equação 2.15.

$$S = \frac{dV_{G1}}{d[\log(I_{DS})]} \quad (2.15)$$

Nos transistores MOS, a corrente de sublimiar é independente da tensão aplicada ao dreno, pois é uma corrente devida a difusão dos portadores minoritários [24] e pode ser determinada pela equação 2.16.

$$I_{DS} = -qAD_n \frac{dn}{dy} = qAD_n \frac{n(0) - n(L)}{L} \quad (2.16)$$

Na equação acima, A é área da camada de inversão; D_n é o coeficiente de difusão dos elétrons; $n(0)$ e $n(L)$ são as concentrações de elétrons do lado da fonte e do dreno, respectivamente.

Utilizando-se a equação 2.16 e, após algumas simplificações, desprezando as armadilhas de interface, obtém-se uma expressão geral em função de α , que é expressa pela equação 2.17 [24].

$$S = \frac{kT}{q} \ln(10)(1 + \alpha) \quad (2.17)$$

O valor de α é determinado por diferentes equações, em função do tipo de funcionamento do transistor. Têm-se as seguintes situações que são determinadas pelas equações 2.18, 2.19 e 2.20, respectivamente:

a) Transistor MOS ou SOI MOSFET parcialmente depletado.

$$\alpha = \alpha_{MOS} = \frac{C_D}{C_{ox1}} \quad (2.18)$$

b) Transistor SOI MOSFET totalmente depletado com a segunda interface acumulada.

$$\alpha = \alpha_{acc} = \frac{C_{Si}}{C_{ox1}} \quad (2.19)$$

c) Transistor SOI MOSFET totalmente depletado com a segunda interface depletada.

$$\alpha = \alpha_{depl} = \frac{C_{Si} C_{ox2}}{C_{ox1} (C_{Si} + C_{ox2})} \quad (2.20)$$

Portanto, pode-se notar que, os valores de α variam de acordo com a condição de polarização da segunda interface e estão tipicamente na seqüência:

$$\alpha_{\text{depl}} < \alpha_{\text{MOS}} < \alpha_{\text{acc}}$$

e, conseqüentemente:

$$S_{\text{depl}} < S_{\text{MOS}} < S_{\text{acc}}$$

A inclinação de sublimiar tem o menor valor nos transistores SOI totalmente depletados (S_{depl}), um maior valor nos transistores MOS (S_{MOS}) e ainda maior valor nos transistores SOI com a segunda interface acumulada (S_{acc}).

Nos transistores SOI totalmente depletados, o valor da inclinação de sublimiar pode aproximar-se do limite teórico de 60 mV/dec em temperatura ambiente, enquanto que nos transistores MOS os valores estão na faixa de 80 mV/dec até 120 mV/dec.

2.3.4 Transcondutância

A transcondutância (g_m) é a medida da eficácia do controle da corrente de dreno pela tensão de porta. Pode ser determinada pela equação 2.21 [25].

$$g_m = \frac{dI_{\text{DS}}}{dV_{\text{G1}}} \quad (2.21)$$

A equação geral da corrente de saturação ($I_{\text{DS_sat}}$), em função de α , pode ser expressa pela equação 2.22 [25].

$$I_{\text{DS_sat}} \cong \frac{W\mu_n C_{\text{ox1}}}{2L(1+\alpha)} (V_{\text{G1}} - V_{\text{T}})^2 \quad (2.22)$$

A largura e o comprimento de canal do transistor são representados respectivamente por W e L . A mobilidade efetiva do elétron é representada por μ_n e α pode assumir diferentes valores dependendo do tipo de funcionamento do transistor, conforme apresentado no item 2.3.3 equações 2.18, 2.19 e 2.20. Portanto, a transcondutância na região de saturação pode ser expressa pela equação 2.23.

$$g_{m_sat} = \frac{dI_{DS_sat}}{dV_{G1}} = \frac{W\mu_n C_{ox1}}{L(1+\alpha)} (V_{G1} - V_T) \text{ para } V_{DS} > V_{DSsat} \quad (2.23)$$

Sendo que os valores de α estão tipicamente na seqüência:

$$\alpha_{depl} < \alpha_{MOS} < \alpha_{acc}$$

Em função do que foi descrito, pode-se concluir que a transcondutância também varia de acordo com a condição de polarização da segunda interface. Portanto é maior em um dispositivo SOI MOSFET totalmente depletado do que em um dispositivo MOS, que por sua vez é maior do que em um dispositivo SOI MOSFET totalmente depletado com a segunda interface acumulada.

3 DISPOSITIVOS DE MÚLTIPLAS PORTAS

Neste capítulo é apresentada uma revisão bibliográfica sobre transistores de múltiplas portas, seus leiautes e seus principais parâmetros elétricos.

O primeiro transistor SOI MOSFET de porta única, produzido antes de 1964, era parcialmente depletado e foi construído utilizando a tecnologia silício sobre safira (SOS) [26]. Nos anos 80 foi produzido primeiro transistor SOI MOSFET totalmente depletado que apresentava como características principais uma transcondutância superior, uma maior corrente de saturação e uma melhor inclinação de sublimiar, quando comparado com o transistor parcialmente depletado [16, 17].

Em função da facilidade dos processos em substrato SOI, os dispositivos convencionais SOI MOSFET de porta única tem sido extensivamente utilizados. Contudo, a necessidade de promover, tanto o aumento da corrente, como uma melhoria na característica de canal curto, tem causado o aumento no número de pesquisas na área de dispositivos de múltiplas portas tais como porta dupla, porta tripla e quádrupla [5, 27, 28]. Na figura 3.1 pode ser visualizada a evolução dos transistores SOI MOSFETs.

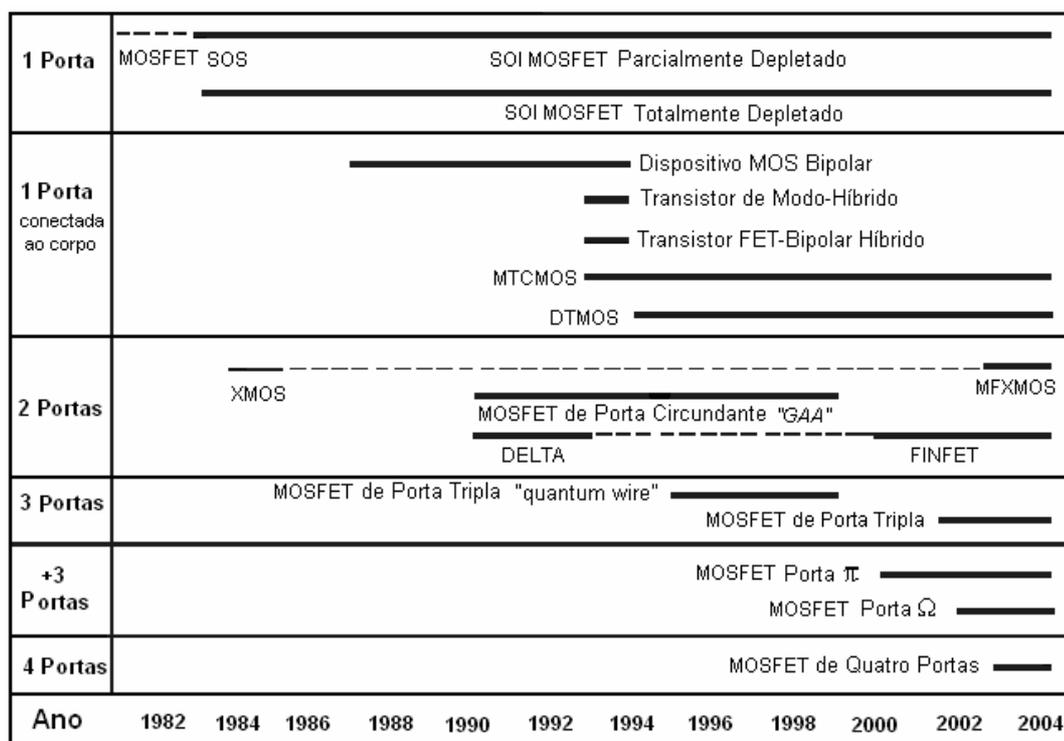


Figura 3.1 – Evolução dos transistores SOI MOSFET [29].

3.1 Dispositivos de porta dupla

Na década de 1980, por volta do ano de 1984, foi proposto o primeiro transistor SOI MOSFET de porta dupla em geometria planar, o XMOS [30], cujo esquema é apresentado na figura 3.2.

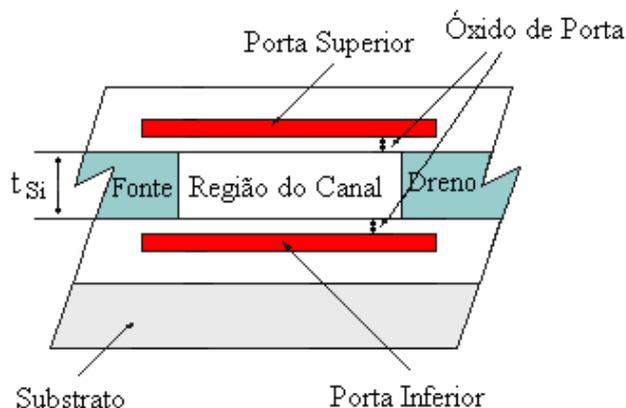


Figura 3.2 – Transistor XMOS [30].

Os dispositivos de porta dupla foi uma solução para aumentar a capacidade de escalamento e, conseqüentemente, a capacidade de integração. Entretanto seu processo de fabricação era bastante complexo, em particular o de fazer as suas portas auto-alinhadas.

Adicionalmente, verificou-se que o desalinhamento das portas [31] desses dispositivos causava uma degradação em seu desempenho [32]. Um dos métodos propostos para amenizar esse problema foi construir dispositivos com diferentes tamanhos de portas, com a porta superior muito maior ou muito menor que a porta inferior [33].

O dispositivo de porta circundante, conforme apresentado na figura 3.3 é um dispositivo com canal na forma horizontal, envolto por isolante e material de porta. Apesar disso, pode ser considerado como um dispositivo de porta dupla, devido a largura de seu canal ser muito maior que a espessura do filme de silício [34].

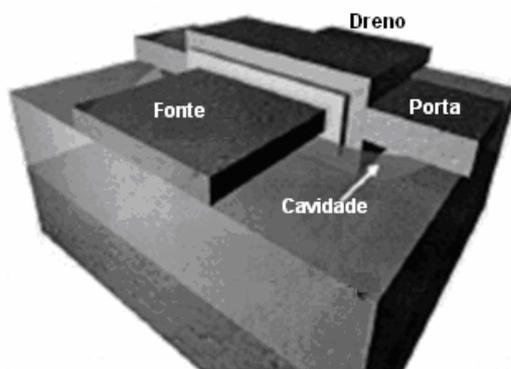


Figura 3.3 – Transistor de porta circundante (*Gate-All-Around – GAA*) [29].

No ano de 1989 foi fabricado o primeiro transistor de porta dupla utilizando uma geometria vertical, o transistor DELTA (*fully Depleted Lean-channel Transistor*) [2], mostrado na figura 3.4.

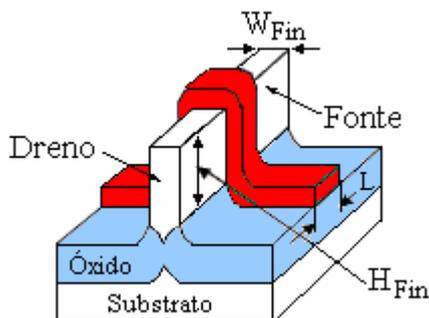


Figura 3.4 – Transistor DELTA [2].

A novidade da implementação do transistor DELTA resultou no desenvolvimento de transistores de canais verticais, tais como o SOI MOSFET *triangular-wire* [35], o FXMOSFET [36] e o FinFET, apresentado na figura 3.5.

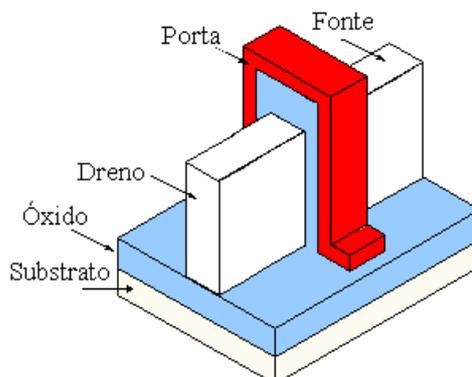


Figura 3.5 – Transistor FinFET de porta dupla.

3.2 Dispositivos de porta tripla ou mais (+3)

Outros transistores com estruturas não planares também foram propostos, tais como o de estrutura de porta Π [37 - 39] e Porta Ω [40], apresentados na figura 3.6. Esses transistores possuem três portas, com uma extensão do eletrodo de porta, ou porta virtual, que proporciona um aumento na corrente e melhora o efeito de canal curto. Devido a presença da porta virtual, esses transistores, também, são denominados de transistores com mais de três portas.

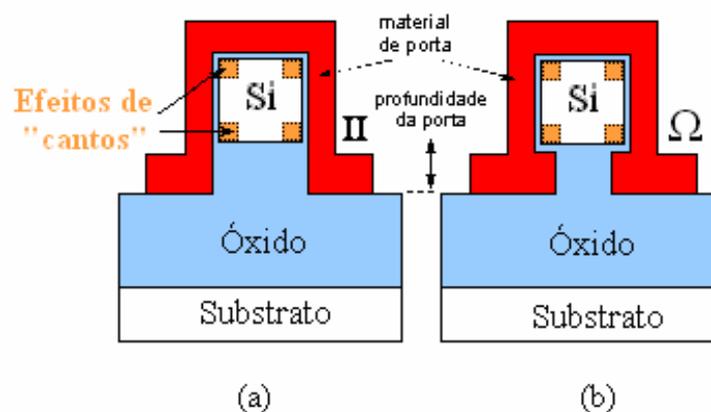


Figura 3.6 – Estruturas não planares: (a) Porta Π ; (b) Porta Ω .

Com o aumento do número de portas dos transistores, há uma melhora na inclinação de sublimiar, pois o controle da região de canal pela porta se torna mais efetivo, uma vez que as múltiplas portas oferecem mais proteção da região de canal em relação as linhas do campo elétrico do dreno. Esses transistores oferecem alta corrente e efeito de canal curto reduzido, entretanto apresentam efeito de “canto” (*corner effect*) [41].

O efeito de “canto” é devido a influência do raio de curvatura nas extremidades dos transistores, as quais podem dar origem a correntes parasitárias normalmente indesejáveis. Nos transistores de múltiplas portas, os cantos fazem parte de sua estrutura como pode ser visto nas figuras 3.6 e 3.7. O efeito de canto pode ser reduzido ou eliminado usando um material de porta “*midgap*”, uma dopagem reduzida na região do canal, ou utilizando cantos com valores altos de raios de curvatura [41].

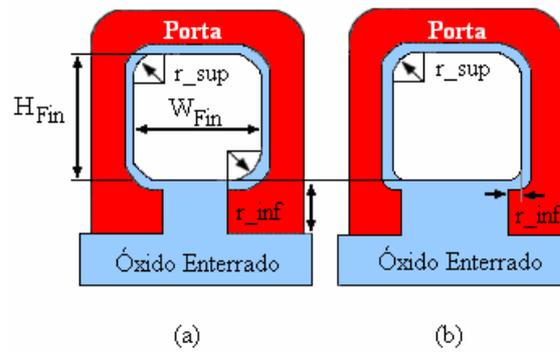


Figura 3.7 – Corte transversal das Estruturas não planares: Porta II, onde r_{sup} é igual a r_{inf} (a); Porta Ω, onde r_{sup} é diferente de r_{inf} (b). Sendo que r_{sup} e r_{inf} são os raios de curvatura dos cantos superiores e inferiores, respectivamente [29].

A figura 3.8 apresenta as diferentes configurações de porta de transistores SOI MOSFETs.

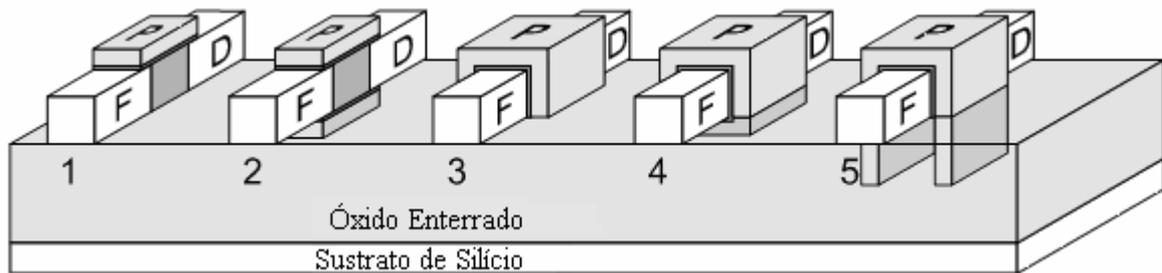


Figura 3.8 – Estruturas não planares: Porta Única (1); Porta Dupla (2); Porta Tripla (3); Porta Quádrupla (4); Porta II (5) [28].

3.3 Parâmetros elétricos dos transistores de múltiplas portas

3.3.1 Corrente de dreno

A corrente de um SOI MOSFET de múltiplas portas é proporcional a largura total das portas. Logo, por comparação ao transistor de porta única, a corrente duplica para um transistor de porta dupla, triplica para um transistor de porta tripla e, assim sucessivamente, desde que todas as portas tenham a mesma largura.

Para aumentar a capacidade de corrente, utiliza-se a configuração com multi-dedos, como mostrado na figura 3.9.

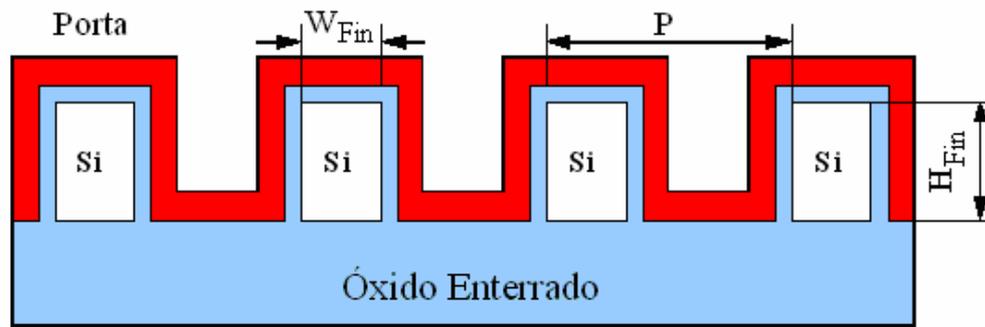


Figura 3.9 – Estrutura multi-dedos.

A corrente total de um transistor de vários “dedos” é igual a corrente de cada “dedo” multiplicada pelo número de “dedos”, considerando que a mobilidade em todas as interfaces Si/SiO₂ seja a mesma. Assim, para dispositivos de porta dupla, a corrente total (I_D) pode ser determinada pela equação 3.1 [29].

$$I_D = I_{D_0} \frac{(W_{Fin} + 2H_{Fin})}{P} \quad (3.1)$$

Na equação acima I_{D_0} é a corrente obtida por um transistor planar de porta única, por unidade de largura; W_{Fin} é a largura de um “dedo”; H_{Fin} é a altura da camada de silício e P é à distância do início de um dedo ao mesmo ponto do outro dedo.

Para que a utilização da estrutura multi-dedos seja vantajosa, é necessário que a corrente $I_D > I_{D_0}$. Para dispositivos de porta tripla, onde $H_{Fin} = W_{Fin}$, P precisa ser menor que $3W_{Fin}$ ($P < 3W_{Fin}$) para que tenha uma corrente maior do que a de um transistor com porta única [29].

3.3.2 Tensão de limiar

A definição de tensão limiar para transistores de porta única é inadequada para transistores de múltiplas portas [42 - 48]. Para transistores de múltiplas portas, diferentemente dos transistores de porta única, onde a corrente aparece na inversão forte ($\phi_s = 2\phi_F$), a corrente aparece na inversão fraca ($\phi_s < 2\phi_F$ entre 10 a 90 mV). Em transistores com múltiplas portas, a inversão pode ser alcançada em diferentes partes do canal, para diferentes tensões aplicadas nas portas.

Existem vários métodos para extração da tensão de limiar [49]. Para transistores de porta dupla, a tensão de limiar pode ser extraída pelo método da transcondutância [50, 51].

Nesse método, a tensão de limiar é definida pela tensão aplicada à porta do transistor, onde a derivada da transcondutância (d^2I_D/dV_G^2), tem o seu valor máximo, ou seja, quando $d^3I_D/dV_G^3 = 0$. O potencial de superfície (ϕ_s) pode ser determinado pela equação 3.2 [52].

$$\phi_s = 2\phi_F + \frac{kT}{q} \ln \left[\delta \frac{1}{1 - \exp(-\Psi)} \right] \quad (3.2)$$

O valor de Ψ é determinado pela equação 3.3.

$$\Psi = \frac{q}{kT} \frac{Q_D}{8C_{Si}} \quad (3.3)$$

O valor de δ é determinado pela equação 3.4.

$$\delta = \frac{C_{ox}}{4C_{Si}} \quad (3.4)$$

Substituindo os valores de Ψ e δ na equação 3.2 e considerando o quanto ϕ_s é maior do que $2\phi_F$, na faixa de 10 a 90 mV, que corresponde a uma corrente de inversão fraca, a tensão de limiar pode ser determinada pela equação 3.5.

$$V_T = \phi_s + V_{FB} + \frac{kT}{q} \frac{\Psi}{\delta} \sqrt{1 + \frac{\delta}{\Psi}} \quad (3.5)$$

Na equação 3.5, o potencial de superfície em inversão fraca depende da espessura da camada de silício, da espessura do óxido de porta e da dopagem [52, 53].

3.3.3 Efeito de canal curto

O efeito de canal curto em transistores de camadas finas [21, 22], ou em transistores de múltiplas [48] portas, tem uma dependência do parâmetro λ “comprimento natural”.

O “comprimento natural” é a medida do efeito de canal curto, uma vez que representa a penetração das linhas do campo elétrico do dreno no corpo do transistor ou o quanto a região de dreno pode controlar a região de depleção no canal. Portanto, transistores de porta dupla e porta tripla possuem um melhor efeito de canal curto do que transistores de porta única, pois possuem um menor valor de λ .

Para transistores de porta única e porta dupla, o parâmetro λ é determinado pelas equações 3.6 e 3.7, respectivamente [29].

$$\lambda_1 = \sqrt{\frac{\epsilon_{Si}}{\epsilon_{ox}} t_{ox} t_{Si}} \quad (3.6)$$

$$\lambda_2 = \sqrt{\frac{\epsilon_{Si}}{2\epsilon_{ox}} t_{ox} t_{Si}} \quad (3.7)$$

A expressão do parâmetro λ pode ser obtida através da equação de Poisson, pois em transistores de múltiplas portas é possível prever a espessura da camada de silício para se evitar o efeito de canal curto, ou seja, para manter uma inclinação de sublimar adequada [54].

A variação do potencial no interior do canal em transistores SOI MOSFETs totalmente depletados pode ser calculada pela análise tridimensional de Poisson, conforme apresentada na equação 3.8.

$$\frac{d^2\phi(x, y, z)}{dx^2} + \frac{d^2\phi(x, y, z)}{dy^2} + \frac{d^2\phi(x, y, z)}{dz^2} = -\frac{\rho}{\epsilon_{Si}} = \frac{q N_A}{\epsilon_{Si}} \quad (3.8)$$

Considerando as direções dadas pelas coordenadas x , y e z , conforme mostrado na figura 3.10, pode-se visualizar como as portas e dreno controlam a região de depleção do canal.

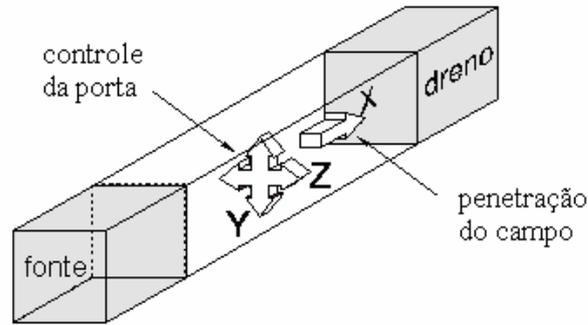


Figura 3.10 – Coordenadas em um transistor de múltiplas portas.

Para transistores de porta única e porta dupla, pode-se considerar o campo elétrico na direção z nulo, ou seja, $\left(\frac{d\phi}{dz}=0\right)$, portanto a equação 3.8 pode ser reescrita como apresentada na equação 3.9.

$$\frac{d^2\phi(x, y, z)}{dx^2} + \frac{d^2\phi(x, y, z)}{dy^2} = \frac{q N_A}{\epsilon_{Si}} \quad (3.9)$$

Sabe-se que, em uma análise unidimensional, o perfil do potencial em função da profundidade de um SOI MOSFET totalmente depletado é parabólico. Portanto, assumindo-se uma distribuição similar na direção y para uma análise bidirecional, pode-se escrever a equação 3.10 [55].

$$\phi(x, y) = c_0(x) + c_1(x)y + c_1(x)y^2 \quad (3.10)$$

Para o caso de transistores de porta única, utilizam-se as condições de contorno descritas abaixo:

a) $\phi(x, y) = \phi_{Si}(x) = c_0(x)$

onde:

$\phi_{Si}(x)$, é o potencial de superfície na primeira interface.

b) $\left. \frac{d\phi(x, y)}{dy} \right|_{y=0} = \frac{\epsilon_{ox}}{\epsilon_{Si}} \frac{(\phi_{Si}(x) - \phi_{GI})}{t_{ox}} = c_1(x)$

onde:

$$\phi_{G1} = V_{G1} - V_{FB}$$

sendo que V_{FB} é a tensão de faixa Plana.

c) Assumindo que a espessura do óxido enterrado é tão grande que a diferença de potencial junto ao mesmo pode ser desprezada, tem-se que:

$$\frac{d^2\phi(x,y)}{dy^2} \cong 0$$

$$\left. \frac{d^2\phi(x,y)}{dy^2} \right|_{y=t_{Si}} = c_1(x) + 2 t_{Si} c_2(x) \cong 0$$

e

$$c_2(x) \cong -\frac{c_1(x)}{2t_{Si}}$$

Introduzindo as condições de contorno na equação 3.10, tem-se a equação 3.11.

$$\phi(x,y) = \phi_{Si}(x) + \frac{\epsilon_{ox}}{\epsilon_{Si}} \frac{(\phi_{Si}(x) - \phi_{G1})}{t_{ox}} y - \frac{1}{2t_{Si}} \frac{(\phi_{Si}(x) - \phi_{G1})}{t_{ox}} y^2 \quad (3.11)$$

Substituindo a equação 3.11 na equação 3.9, para $y = 0$, na profundidade $\Phi(x,y) = \Phi_{Si}(x)$, tem-se a equação 3.12.

$$\frac{d^2 \phi_{Si}(x)}{dx^2} - \frac{\epsilon_{ox}}{\epsilon_{Si}} \frac{(\phi_{Si}(x) - \phi_{G1})}{t_{ox} t_{Si}} = \frac{q N_A}{\epsilon_{Si}} \quad (3.12)$$

O valor de $\phi_{Si}(x)$ é determinado através da equação 3.12 e o valor de $\phi(x,y)$ pode ser calculado utilizando-se a equação 3.11.

No entanto a equação 3.12 pode ser usada para outro propósito. Considerando a equação 3.6 (λ_1) e a equação 3.13, a equação 6.12 pode ser reescrita na equação 3.14 [29].

$$\varphi(x, y) = \phi_{Si}(x) - \phi_{Si}(x) + \frac{q N_A \lambda^2}{\epsilon_{Si}} \quad (3.13)$$

$$\frac{d^2 \varphi(x)}{dx^2} - \frac{\varphi(x)}{\lambda^2} = 0 \quad (3.14)$$

A equação 3.14 é uma equação diferencial que contém o parâmetro λ_1 , qual controla a penetração do potencial elétrico na direção x .

Para o caso de transistores de porta dupla, utilizam-se as condições de contorno descritas abaixo:

$$a) \quad \phi(x, 0) = \phi(x, t_{Si}) = \phi_{Si}(x) = c_o(x)$$

onde:

$\phi_{Si}(x)$ é o potencial de superfície na primeira interface.

$$b) \quad \left. \frac{d\phi(x, y)}{dy} \right|_{y=0} = \frac{\epsilon_{ox}}{\epsilon_{Si}} \frac{(\phi_{Si}(x) - \phi_{G1})}{t_{ox}} = c_1(x)$$

onde:

$$\phi_{G1} = V_{G1} - V_{FB}$$

sendo que V_{FB} é a tensão de faixa plana.

$$c) \quad \left. \frac{d^2 \phi(x, y)}{dy^2} \right|_{y=t_{Si}} = -\frac{\epsilon_{ox}}{\epsilon_{Si}} \frac{(\phi_{Si}(x) - \phi_{G1})}{t_{ox}} = c_1(x) + 2 t_{Si} c_2(x) \cong -c_1(x)$$

e

$$c_2(x) \cong -\frac{c_1(x)}{2t_{Si}}$$

Introduzindo essas condições de contorno na equação 3.10, tem-se:

$$\phi(x, y) = \phi_{Si}(x) + \frac{\epsilon_{ox}}{\epsilon_{Si}} \frac{\phi_{Si}(x) - \phi_{G1}}{t_{ox}} y - \frac{1}{t_{Si}} \frac{\phi_{Si}(x) - \phi_{G1}}{t_{ox}} y^2 \quad (3.15)$$

Pode-se, então, encontrar o parâmetro λ_2 descrito na equação 3.7 como feito anteriormente para λ_1 nas equações 3.13 e 3.14.

Esta análise, também, pode ser estendida para transistores de porta quádrupla onde $\frac{d^2\phi}{dy^2} \equiv \frac{d^2\phi}{dz^2}$ no centro do transistor, local em que a penetração das linhas do campo elétrico do dreno no corpo do transistor é mais forte. Nesse caso, a equação Poisson e o parâmetro λ são determinados pela equação 3.16.

$$\frac{d^2\Phi(x, y, z)}{dx^2} + 2\frac{d^2\Phi(x, y, z)}{dy^2} = \frac{qN_A}{\epsilon_{Si}} \quad (3.16)$$

Para dispositivos de porta quádrupla, o parâmetro λ_3 é dado equação 3.17.

$$\lambda_3 = \sqrt{\frac{\epsilon_{Si}}{4\epsilon_{ox}}} t_{ox} t_{Si} \quad (3.17)$$

O conceito de λ pode ser utilizado para se estimar o máximo de t_{Si} para se evitar o efeito de canal curto. Para transistores com portas triplas, porta Π e porta Ω , os valores apropriados para t_{Si} ficam entre os respectivos valores intermediários dos transistores de porta tripla e transistores de porta quádrupla.

3.3.4 Mobilidade

A Mobilidade dos portadores é a facilidade com que elétrons e lacunas atravessam a estrutura cristalina do material na interface junto ao óxido de porta ou no corpo do semiconductor. Quanto maior a mobilidade dos portadores, menor será a perda de energia, portanto mais baixa será a resistividade.

Ao se reduzir a espessura do filme de silício aparece um fenômeno que é denominado de inversão de volume. O fenômeno inversão de volume foi descoberto em 1987 [20], e experimentalmente observado pela primeira vez em 1990 [34], na implementação do transistor MOSFET de porta circundante, apresentado na figura 3.3.

Esse é um fenômeno que aparece nos transistores SOI MOSFETs de porta dupla ou tripla, no qual a inversão dos portadores não ocorre na interface Si/SiO₂ e sim no meio da camada de silício, o que proporciona um aumento na mobilidade no canal do transistor e a diminuição da tensão de Limiar.

A inversão de volume é um fenômeno quântico e para determiná-lo, além da solução dada pela equação de Poisson (SP), onde é considerada somente a física clássica, deve ser utilizada, também, a solução dada pela equação de Schrödinger (SP+SS), pois esta prevê os efeitos quânticos.

4 FINFETs

Neste capítulo é apresentada uma revisão bibliográfica sobre transistores FinFETs “*Fin Field Effect Transistor*” de porta dupla e porta tripla.

A Figura 4.1 apresenta os desenhos esquemáticos dos FinFETs indicando as regiões de fonte, dreno e porta, a espessura do óxido das portas laterais e porta superior (t_{oxf_lat} e t_{oxf_sup}), o comprimento do canal L , e as dimensões do Fin: largura W_{Fin} , altura H_{Fin} e comprimento L_{Fin} . O Fin é constituído da região da fonte, do dreno e do canal do dispositivo.

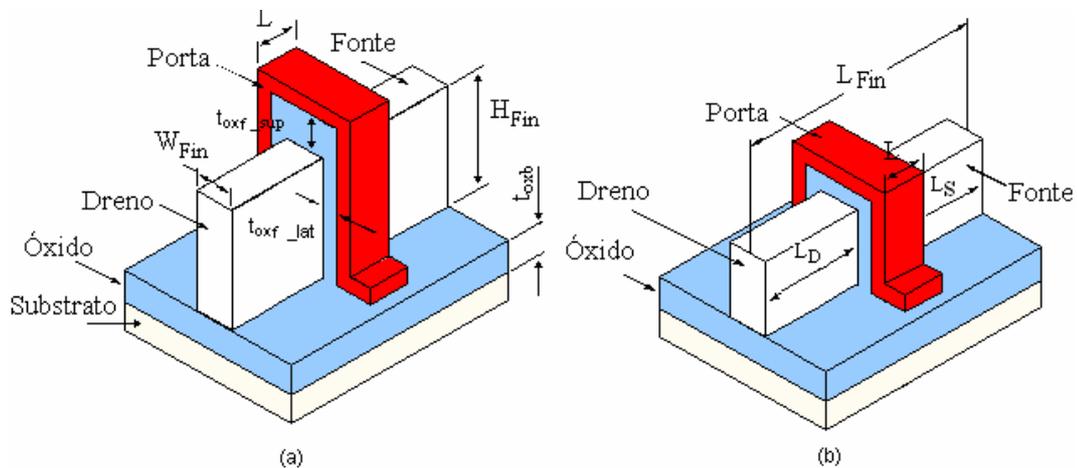


Figura 4.1 – Transistor FinFET de porta dupla (a) e FinFET de porta tripla (b).

Em aplicações onde o comprimento do canal dos transistores SOI-MOS é reduzido, abaixo de 100 nm, o efeito de canal curto é maior e, para se controlar este efeito, é necessário aumentar a concentração de dopantes no canal. Como consequência do aumento da concentração de dopantes, há uma diminuição na mobilidade dos portadores, causando uma degradação no desempenho do dispositivo e afetando o seu principal parâmetro, que é a tensão de limiar.

Para solucionar esses problemas foram propostas estruturas como o FinFET. Essa estrutura tem em comum as vantagens da tecnologia SOI e suas portas são alocadas em diferentes paredes com diferentes orientações superficiais, possuindo assim uma estrutura não planar [56].

O transistor FinFET é uma evolução do primeiro transistor de porta dupla fabricado em 1989, o transistor DELTA (*fully Depleted Lean-channel Transistor*) apresentado no capítulo anterior na figura 3.4 [2].

O conceito de múltiplas portas já era conhecido [57, 58], mas a novidade da implementação do transistor DELTA resultou no desenvolvimento de transistores semelhantes. O DELTA e o FinFET possuem estrutura de canal vertical.

4.1 Processo de fabricação

Transistores fabricados em geometrias não planares apresentam uma série de vantagens em relação aos transistores fabricados em geometrias planares, tais como: maior densidade de integração, maior escalamento e melhor controle da corrente. Nesse sentido, transistores planar de porta dupla [59] e de porta circundante [60] foram pesquisados durante uma década, porém mesmo apresentando benefícios similares aos FinFETs, como a redução do efeito de canal curto e da inclinação de sublimiar, não foram considerados tão atrativos para a indústria, devido ao seu complicado processo de fabricação.

Contudo, foi a limitação de escalamento da tecnologia de fabricação planar que fez com que a indústria voltasse à atenção para as estruturas não planares [1]. Atualmente, o interesse da indústria é voltado para o FinFET. Este é um transistor de porta dupla ou tripla, sendo que sua estrutura quase planar [61] demanda um processo de fabricação viável e o aumento da corrente pode ser controlado pelo aumento do número de Fin, como pode ser visto no capítulo anterior, na figura 3.9.

Os FinFETs são fabricados [1, 3, 4, 62] sobre lâminas de silício SOI. São utilizados dois tipos de concentração de dopantes (N_A e N_D) e silício policristalino (ou outro condutor) nas portas, onde o silício policristalino pode ser dopado por implantação iônica. As portas são isoladas com óxido de silício.

Uma técnica padrão é utilizada para produzir a largura do Fin e comprimento da porta abaixo de 10 nm. Seu processo de fabricação inclui várias etapas, tais como a oxidação térmica, deposição de óxido de silício, fotogração, corrosão química, difusão de impurezas e implantação iônica. Um exemplo de fabricação pode ser melhor compreendido através da análise da figura 4.2.

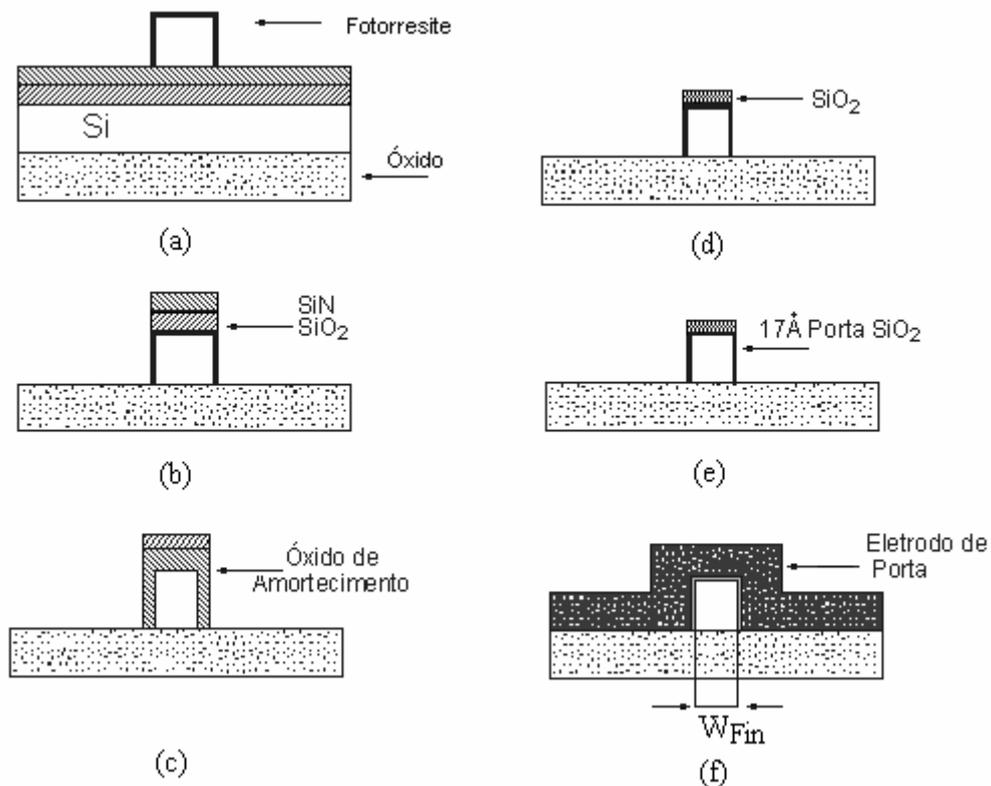


Figura 4.2 – Diagrama de fabricação de um FinFET; (a) Aplicação do fotorresiste com uma fotomáscara; (b) Remoção do SiN e do SiO₂; (c) O óxido de amortecimento SiO₂ é crescido; (d) O óxido de amortecimento é removido; (e) O óxido de porta é crescido; (f) O silício policristalino é depositado [1].

4.2 Características do FinFET

4.2.1 Efeito da variação nas dimensões

As características de sublimiar dependem da largura (W_{Fin}) e da altura (H_{Fin}) do Fin e do comprimento do canal (L). A figura 4.3 apresenta a curva característica I_D-V_G para diferentes comprimentos do canal.

Para comprimento do canal de 0,3 e 0,6 μm , o FinFET se comporta como um dispositivo de canal longo, com tensão de limiar constante e uma excelente inclinação de sublimiar (60 mV/década a 300 K). Para comprimento do canal abaixo de 0,18 μm , observa-se o efeito de canal curto, a tensão de limiar diminui e a inclinação de sublimiar é degradada devido ao compartilhamento de cargas de depleção no canal pela região de fonte e dreno.

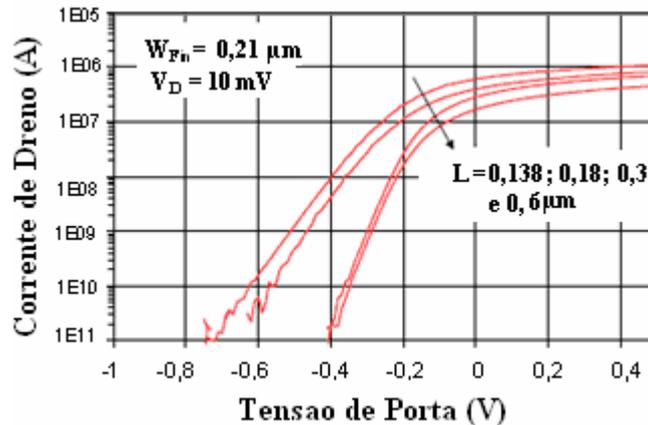


Figura 4.3 – Corrente de dreno em função da tensão de porta de FinFETs de canal N com $V_D = 10$ mV; $W_{Fin} = 0,21$ μm ; $H_{Fin} = 100$ nm para diferentes comprimentos de L (0,135; 0,18; 0,3; 0,6 μm) [63].

Na figura 4.4 é apresentada a curva característica I_D - V_G de dispositivos de canal curto ($L = 0,15$ μm) com uma variação da largura (W_{Fin}) do Fin. Pode-se observar uma melhora quando W_{Fin} é reduzida, a tensão de limiar aumenta e a inclinação de sublimiar fica melhor.

O aumento da tensão de limiar para FinFETs com W_{Fin} menores não é devido a efeitos quânticos, pois este somente é esperado para W_{Fin} menores que 10 nm [64]. Nesse caso, o maior controle das cargas de depleção no canal pelas portas é reforçado pelo uso de Fins estreitos.

Com a redução no compartilhamento das cargas com a região de fonte e dreno diminui o efeito de canal curto no dispositivo e conseqüentemente a diminuição da tensão de limiar é atenuada, ou seja, quando diminui W_{Fin} o dispositivo suporta um menor comprimento de canal sem apresentar o efeito de canal curto.

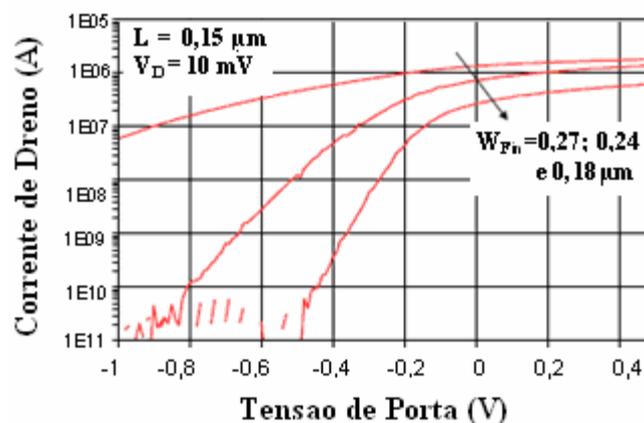


Figura 4.4 – Corrente de dreno em função da tensão de porta de FinFETs de canal N com $V_D = 10$ mV; $H_{Fin} = 100$ nm; $L = 0,15$ μm para diferentes larguras de W_{Fin} (0,18; 0,24; 0,27 μm) [63].

A largura de W_{Fin} causa influência no desempenho do dispositivo de porta dupla, pois ao aumentar a dimensão de W_{Fin} , o dispositivo passa a se comportar como um transistor parcialmente depletado, degradando suas características [5, 65].

A condução de corrente no FinFET de porta tripla pode ser dominada tanto pelas portas laterais, como pela porta superior, o que dependerá da relação das dimensões de largura (W_{Fin}) e altura (H_{Fin}) do Fin, como mostrado na figura 4.5 [65].

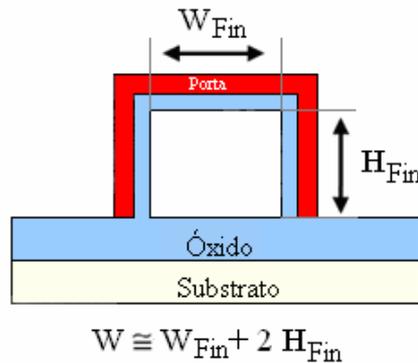


Figura 4.5 – Corte transversal de um FinFET de porta tripla identificando W_{Fin} e H_{Fin} .

Para W_{Fin} maiores a condução de corrente é dominada principalmente pela porta superior. Para W_{Fin} próximos de H_{Fin} , a condução de corrente é dominada por ambas as portas, laterais e superiores e para W_{Fin} menor que H_{Fin} , a condução de corrente é dominada pelas portas laterais.

Para se conseguir vantagens da estrutura FinFET, a largura de W_{Fin} deve ser menor que o comprimento do canal L , pois com a redução de W_{Fin} , reduz-se a distância entre as portas laterais, aumentando o controle da porta sobre o canal reduzindo assim o efeito de canal curto [4].

A figura 4.6 apresenta uma análise de condução de corrente em FinFETs de porta tripla para diferentes larguras do Fin (W_{Fin}), onde a tensão de limiar foi extraída pelo método da segunda derivada da curva I_D-V_G [50, 51].

O primeiro pico de tensão de limiar aparece aproximadamente entre 0 e 0,44 V, que é referente a condução das portas laterais e, o segundo pico de tensão de limiar aparece aproximadamente em 0,9V, que é referente a condução da porta superior.

A diferença de tensão de limiar entre porta superior e portas laterais pode ocorrer devido a diferentes parâmetros do óxido, causada pela diferença de orientação cristalina do silício e rugosidades entre as interfaces das portas laterais e porta superior, e/ou devido a diferença de concentração de dopantes no canal.

Decorrente do processo de fabricação, o dispositivo pode apresentar uma maior concentração de dopantes perto da interface da porta superior, e quanto maior for a concentração de dopantes no canal, maior será a tensão de limiar. Portanto a tensão de limiar referente a condução da superfície superior é maior que a tensão de limiar referente a condução das superfícies laterais.

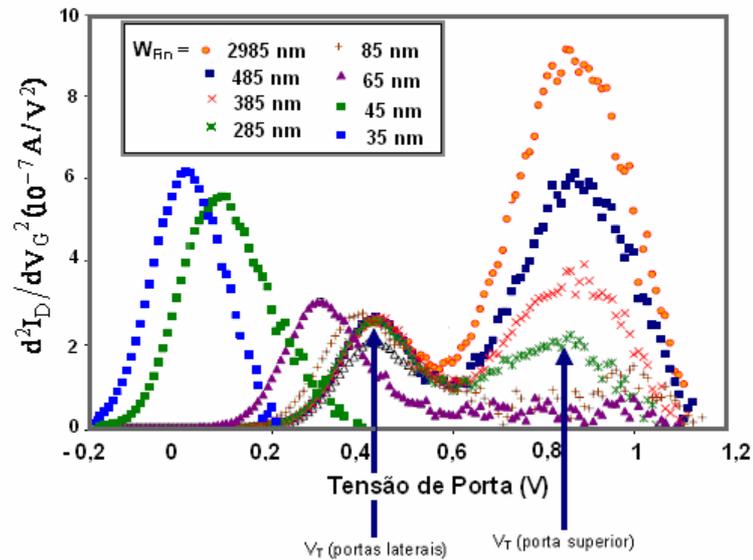


Figura 4.6 – Segunda derivada da corrente de dreno (I_D) em função da tensão de porta de FinFETs de porta tripla com $N_A = 6 \times 10^{18} \text{ cm}^{-3}$, $H_{Fin} = 95 \text{ nm}$; $L = 10 \text{ }\mu\text{m}$; $V_D = 50 \text{ mV}$ para diferentes larguras de W_{Fin} [65].

Na figura 4.7 são apresentadas as mesmas curvas da figura 4.6, porém com alta e baixa concentração de dopantes no canal. Pode-se observar que, com a diminuição da concentração de dopantes, a diferença de tensão de limiar causada pela porta superior e portas laterais, torna-se menor. Em dispositivos de canais intrínsecos essa diferença não existe, pois todo o canal possui a mesma dopagem [65].

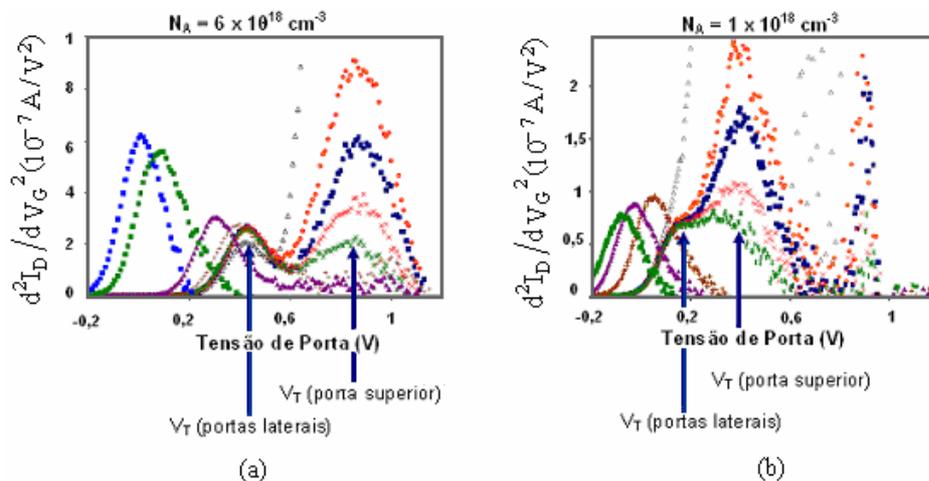


Figura 4.7 – Segunda derivada da corrente de dreno (I_D) em função da tensão de porta de FinFETs de porta tripla com alta e baixa concentração de dopantes no canal; $H_{Fin} = 95 \text{ nm}$; $L = 10 \text{ }\mu\text{m}$; $V_D = 50 \text{ mV}$ para diferentes larguras de W_{Fin} : (a) $N_A = 6 \times 10^{18} \text{ cm}^{-3}$; (b) $N_A = 1 \times 10^{18} \text{ cm}^{-3}$ [65].

4.2.2 Efeitos da concentração de dopantes

Embora FinFETs com canal não dopado ofereçam bons resultados de mobilidade de portador de carga, a dopagem do canal permite um melhor controle da tensão de limiar, uma maior redução no efeito de canal curto e uma diminuição da inclinação de sublimiar em dispositivos totalmente depletados de mesmas dimensões [66].

Na figura 4.8 é apresentado o comportamento da inclinação de sublimiar e da tensão de limiar em função da concentração de dopantes no canal. Observa-se que um valor desejável de tensão de limiar pode ser conseguido ajustando-se a concentração de dopantes no canal.

Com o aumento dessa dopagem, há uma redução no efeito de canal curto, uma diminuição na inclinação de sublimiar e um aumento na tensão de limiar. Porém, para extração destas curvas foram desprezados os efeitos quânticos do canal e, por isso, somente são válidos para dispositivos com W_{Fin} maiores que 10 nm [66].

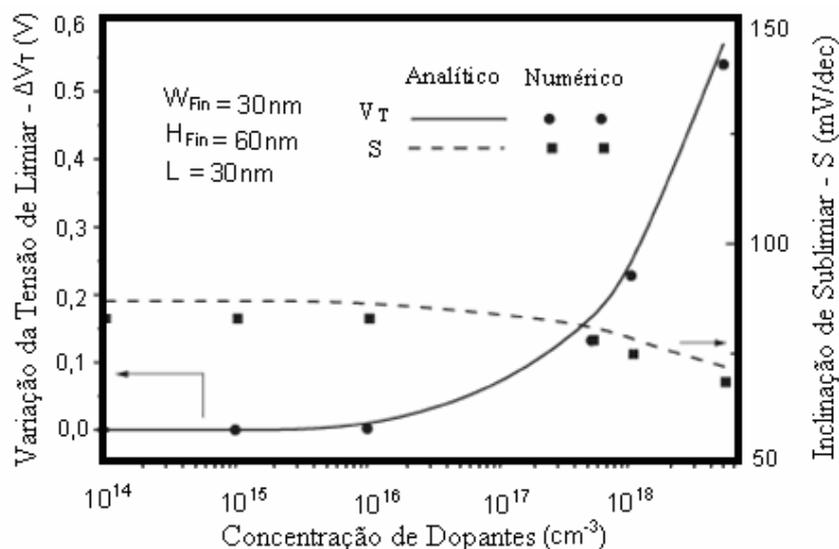


Figura 4.8 – Comportamento da inclinação de sublimiar e da tensão de limiar em função da concentração de dopantes no canal [66].

Apesar do controle eletrostático excepcional, as estruturas FinFETs apresentam o efeito de “canto”. Devido a influência de cargas eletrostáticas da porta superior (FinFET de porta tripla), o potencial de superfície e a tensão de limiar podem variar ao longo do canal. A estrutura pode apresentar uma tensão de limiar bidirecional ao longo do canal [67].

A Figura 4.9 mostra a seção transversal de um FinFET de porta tripla e as interações eletrostáticas.

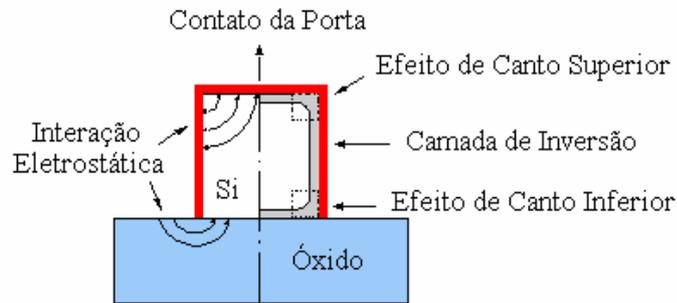


Figura 4.9 – FinFET de porta tripla e as interações eletrostáticas que produzem o efeito de “canto” [68].

Nos transistores FinFETs com corpo dopado, a tensão de limiar varia em diferentes regiões do canal, mas, quando essa dopagem é reduzida, a tensão de limiar se torna mais homogênea [68].

Em dispositivos nos quais ocorre uma variação na tensão de limiar ao longo da espessura da camada de silício, pode-se utilizar a relação de tensão de limiar definida para carga de inversão. A tensão de limiar local pode ser escrita pela equação 4.1 [68].

$$V_T^{\text{local}} = V_G - \frac{Q_{\text{inv}}}{C_{\text{ox}}} \quad (4.1)$$

A figura 4.10 apresenta a variação da tensão de limiar ao longo da altura de H_{Fin} (eixo de z), com dopagem reduzida em FinFETs de porta dupla e porta tripla, onde ΔV_T está definido como a variação da tensão de limiar. Pode-se verificar que ΔV_T é maior perto da porta superior (efeito de “canto” superior) e menor na base do canal (efeito de “canto” inferior), pois o efeito de “canto” superior é maior que o efeito de “canto” inferior num dispositivo.

Na figura 4.11 é apresentado um gráfico de ΔV_T em função da espessura de H_{Fin} em FinFET de porta dupla e porta tripla, com baixa e alta dopagem de canal.

Comparando-se o transistor FinFET de porta dupla e porta tripla com mesma dopagem de canal, pode-se observar que a variação da tensão de limiar fica eficientemente reduzida no FinFET de porta dupla devido a inexistência da porta superior, sendo que, para ambos os dispositivos com dopagem reduzida, a variação da tensão de limiar fica eficientemente reduzida.

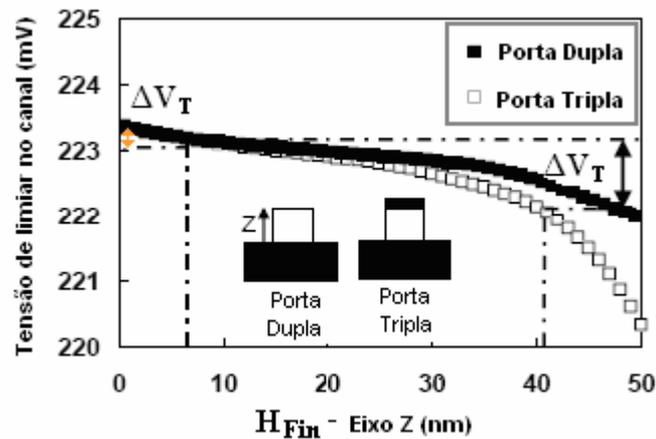


Figura 4.10 – Variação da tensão de limiar ao longo do canal vertical com dopagem reduzida ($N_A = 10^{15} \text{ cm}^{-3}$) em FinFETs de porta dupla e porta tripla com $W_{\text{Fin}} = 50 \text{ nm}$; $H_{\text{Fin}} = 50 \text{ nm}$ e $L = 0,5 \mu\text{m}$ [68].

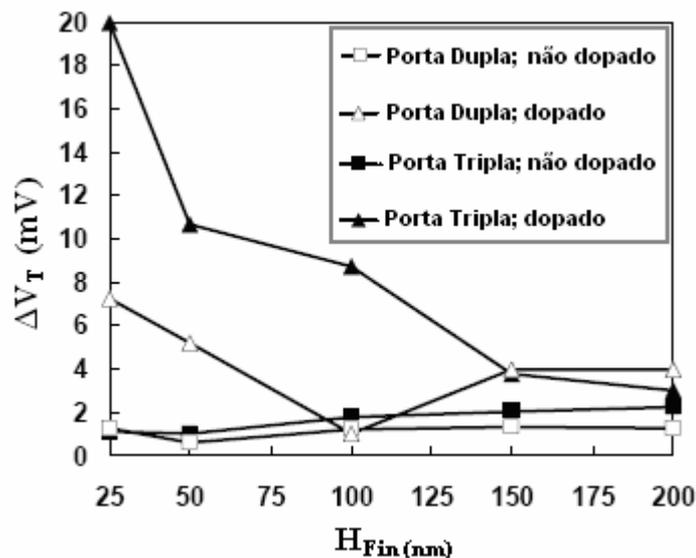


Figura 4.11 – Curva de ΔV_T em função de H_{Fin} de FinFETs de porta dupla e porta tripla com baixa dopagem ($N_A = 10^{15} \text{ cm}^{-3}$) e com alta dopagem ($N_A = 10^{18} \text{ cm}^{-3}$) no canal; $W_{\text{Fin}} = 50 \text{ nm}$ e $L = 500 \text{ nm}$ [68].

4.2.3 Influência da não verticalidade do Fin na tensão de limiar

Devido as limitações no processo de fabricação dos FinFETs, essas estruturas podem apresentar variação na largura do Fin [69], resultando em Fins de formas trapezoidal ou triangular ou, até mesmo, em formas mais irregulares, como convexas ou côncavas.

Na figura 4.12 pode ser visto um FinFET de porta dupla e na figura 4.13 é apresentada a variação da tensão de limiar em função da inclinação de H_{Fin} .

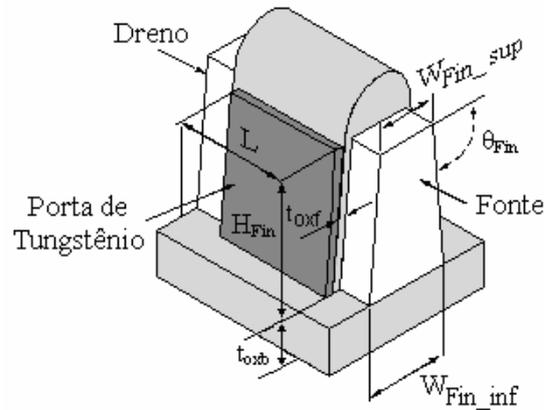


Figura 4.12 – Estrutura FinFET de porta dupla onde t_{oxf} é a espessura do óxido de porta; t_{oxb} é a espessura do óxido enterrado; θ_{Fin} é o ângulo de inclinação de H_{Fin} ; $W_{Fin-inf}$ é a largura inferior do Fin; $W_{Fin-sup}$ é a largura superior do Fin e L é comprimento do canal [69].

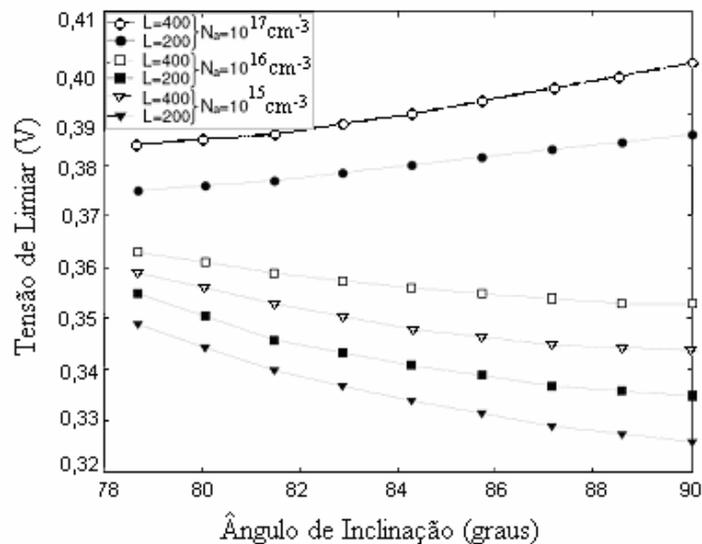


Figura 4.13 – Tensão de limiar em função do ângulo de inclinação de FinFETs de porta dupla com $H_{Fin} = 100 \text{ nm}$; $t_{oxf} = 3 \text{ nm}$; $t_{oxb} = 200 \text{ nm}$; N_A na faixa de 10^{15} a 10^{17} cm^{-3} ; L de 200 e 400 nm; $W_{Fin-inf} = 50 \text{ nm}$ e $W_{Fin-sup}$ variando de 10 a 50 nm [69].

O efeito de canal curto pode ser observado nos dispositivos com concentração de dopantes no canal menor que 10^{17} cm^{-3} . Quando o ângulo de inclinação (θ_{Fin}) aumenta, a largura superior do Fin ($W_{Fin-sup}$) também aumenta, conseqüentemente, o efeito de canal curto é maior, pois o controle das portas sobre o canal diminui.

Nos dispositivos com comprimento de canal 400 nm, o aumento do ângulo de inclinação sobre a tensão de limiar é menos significativo, devido ao menor efeito de canal, pois L é maior.

Também, observar-se na Figura 4.13 que a tensão de limiar em função do ângulo de inclinação depende do nível de dopagem. A razão física para esta dependência é a composição de cargas no filme de silício.

De fato, a composição de cargas (cargas de depleção e portadores minoritários), em um filme de silício, tem forte influência no comportamento da tensão de limiar, devido a inversão de volume que é maior em dispositivos com dopagem reduzida [69].

4.2.4 Efeitos de “cantos”

O efeito de “canto” normalmente degrada [70] o desempenho dos dispositivos de estruturas não planares. É mais intenso quando a concentração de dopantes no canal é maior e os raios de curvatura dos cantos são menores [41, 71, 72].

As figuras 4.14 e 4.15 mostram o comportamento da corrente de dreno em função da tensão de porta, para dispositivos FinFETs.

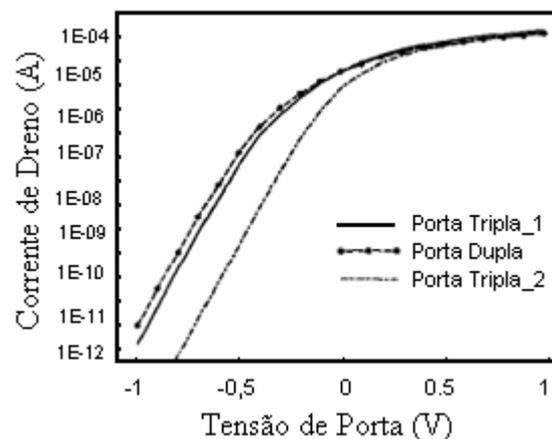


Figura 4.14 – Simulação das características de transferência de sublimiar de FinFETs de porta dupla e porta tripla para $V_D = 1$ V [70].

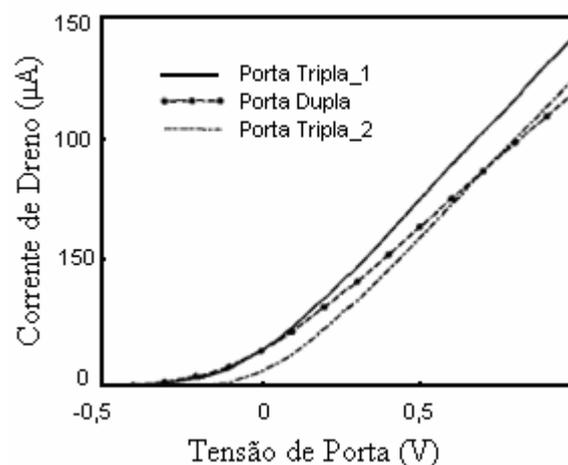


Figura 4.15 – Simulação das características de transferência dos FinFETs de porta dupla e porta tripla em escala linear para $V_D = 1$ V [70].

A diferença dos FinFETs de porta tripla está na dopagem do canal. Para os FinFETs de porta dupla e porta tripla_1, a dopagem do canal é de $N_A = 10^{15} \text{ cm}^{-3}$ e, para o FinFET de porta tripla_2 a dopagem do canal é de $N_A = 3 \times 10^{17} \text{ cm}^{-3}$.

Embora os FinFETs de porta dupla e porta tripla_1 tenham dopagens idênticas na região ativa, o desempenho do FinFET de porta tripla_1 é melhor pois esse, tem uma maior corrente de dreno em $V_D = V_G = 1 \text{ V}$ e uma menor corrente de fuga.

Por outro lado, ao comparar o FinFET de porta tripla_2 com o FinFET de porta dupla, observa-se que o FinFET de porta tripla_2 mesmo apresentando maior efeito de “canto” devido a sua estrutura (o FinFET de porta tripla apresenta cantos superiores e inferiores e o FinFET de porta dupla apresenta somente cantos inferiores) e a sua maior dopagem de canal, apresenta uma maior corrente de dreno e uma menor corrente de fuga [70].

4.2.5 Dependência da polarização reversa do substrato

O acoplamento entre porta e substrato é usado para caracterização elétrica do SOI MOSFET totalmente depletado [43], permitindo-se estudar as propriedades das interfaces. Este efeito também é visível em FinFETs, onde o principal parâmetro é a espessura do Fin.

Um FinFET pode ser operado com dois, três e, até mesmo, com quatro canais, quando o substrato é polarizado na inversão. A figura 4.16 apresenta a tensão de limiar em função da polarização reversa do substrato. Quando as dimensões de W_{Fin} são reduzidas, o controle do substrato e o efeito de acoplamento são reduzidos devido a duas razões:

O desaparecimento da polarização do substrato, devido a penetração das linhas de campo elétrico das portas laterais; e com a redução de W_{Fin} o acoplamento horizontal torna-se mais forte do que o vertical.

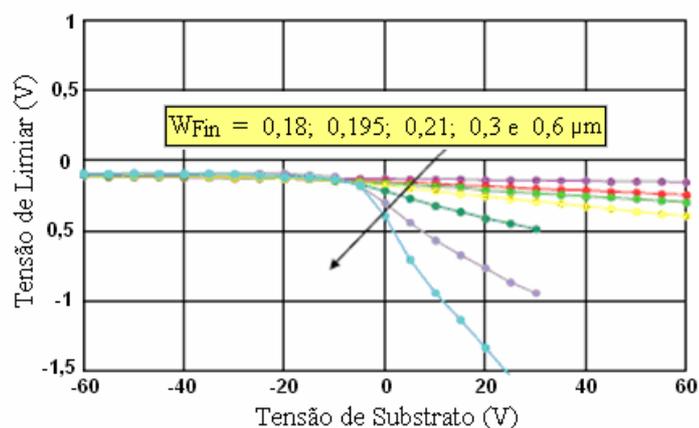


Figura 4.16 – Tensão de limiar em função da polarização do substrato para comprimento do canal $L = 10 \text{ } \mu\text{m}$ e diferentes larguras de W_{Fin} (0,18; 0,195; 0,21; 0,3; 0,6 e $10 \text{ } \mu\text{m}$) [63].

4.2.6 Efeitos quânticos

Os efeitos quânticos devem ser considerados para uma melhor análise funcional, principalmente, para dispositivos com dimensões extremamente reduzidas (menores que 10 nm). A figura 4.17 apresenta o nível de energia na primeira sub-faixa de condução e a tensão de limiar. Conforme a teoria quântica, a energia das sub-faixas aumenta quando as dimensões dos dispositivos são reduzidas, e, com isso, a tensão de limiar aumenta porque é necessária uma maior tensão de porta para preencher os estados dentro dessa sub-faixa de condução, que possui uma maior energia [73].

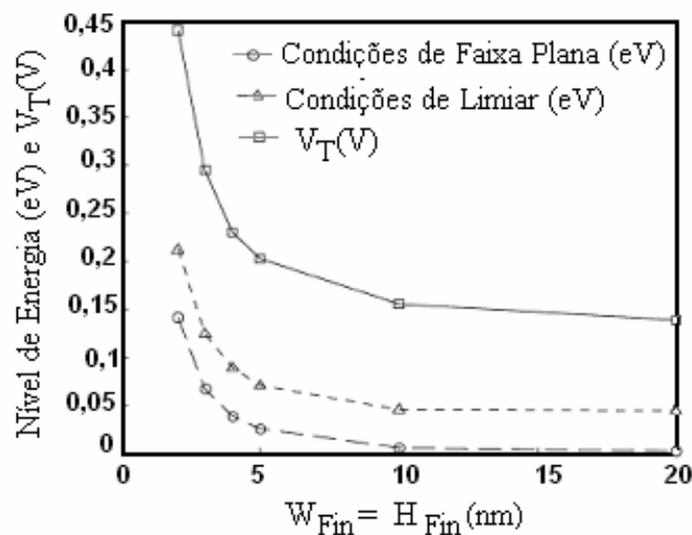


Figura 4.17 – Nível de energia na primeira (mais baixa) sub-faixa de condução e tensão de limiar em função das dimensões de H_{Fin} e W_{Fin} do dispositivo com $N_A = 5 \times 10^{17} \text{ cm}^{-3}$ para $V_G = V_{FB}$ e $V_G = V_T$ [74].

A energia mínima nas sub-faixas dependem não somente das dimensões do dispositivo, mas também, da concentração de elétrons e, a energia mínima na primeira sub-faixa é maior em condições de limiar que em condições de faixa plana, como mostrado na figura 4.18.

Na figura 4.19 é apresentada a corrente de dreno em função da tensão de porta. O gráfico compara os dispositivos simulados quando não é considerando o efeito quântico (Poisson: SP) e quando é considerado o efeito quântico (Poisson-Schrödinger: SP+SS). O aumento da tensão de limiar, devido a redução das dimensões de dispositivo, pode ser melhor compreendido comparando-se as curvas de SP e SP + SS.

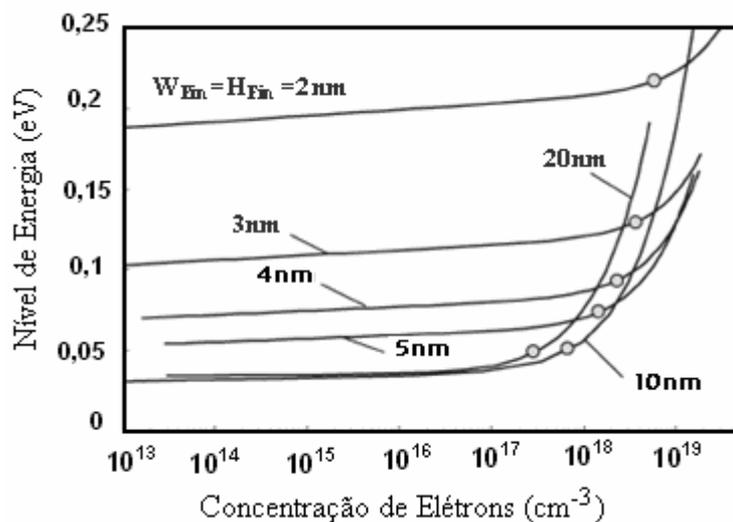


Figura 4.18 – Nível de energia na primeira (mais baixa) sub-faixa de condução em função da concentração de elétrons e das dimensões do dispositivo com $N_A = 5 \times 10^{17} \text{ cm}^{-3}$ para $V_G = V_{\text{FB}}$ e $V_G = V_T$. Os círculos pequenos representam concentrações de elétrons em limiar [74].

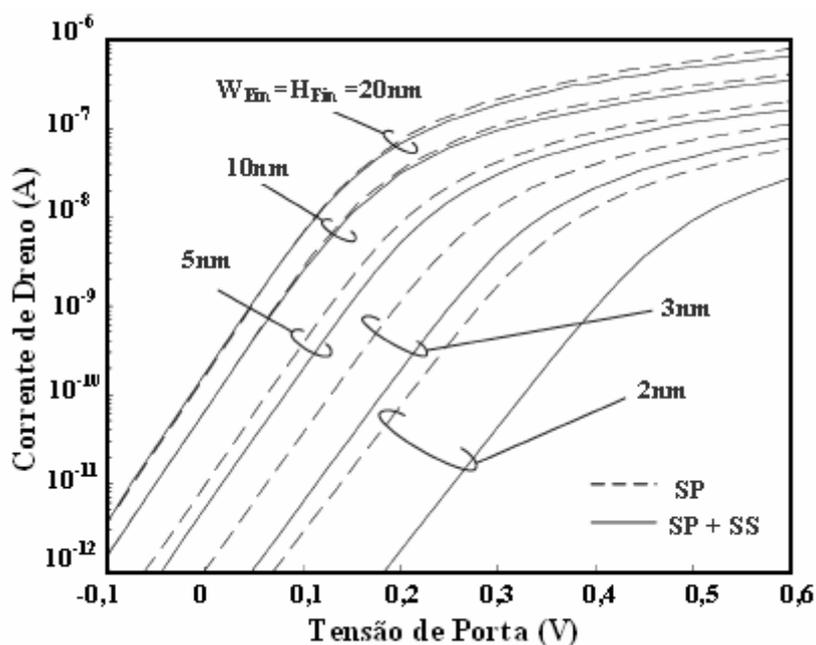


Figura 4.19 – Corrente de dreno em função da tensão de porta de FinFETs de porta tripla para diferentes espessuras considerando o efeito quântico [a solução é dada somente por Poisson (SP)] e não considerando o efeito quântico [a solução é dada somente por Poisson-Schrödinger (SP + SS)] para $V_{\text{DS}} = 50 \text{ mV}$; $t_{\text{oxf}} = 2 \text{ nm}$ e $N_A = 5 \times 10^{17} \text{ cm}^{-3}$ [74].

O aumento da tensão de limiar é desprezível em dispositivos de dimensões maiores, sendo mais significante nos dispositivos com dimensões menores. A tensão de limiar não é o único parâmetro influenciado pelo aumento de níveis de energia das sub-faixas com tensões de porta e com concentração de elétrons; a inclinação de sublimiar e a corrente de dreno também são afetadas.

Os resultados da tabela 4.1 mostram a inclinação de sublimiar para diferentes espessuras de dispositivos. A inclinação de sublimiar está perto de 60 mV/dec a $T = 300$ K em dispositivos de dimensões maiores.

Quando as dimensões do dispositivo são reduzidas ocorre um aumento na inclinação de sublimiar e, este aumento é ainda maior quando é considerado o efeito quântico (Poisson-Schrödinger) [75].

Tabela 4.1 – Inclinação de sublimiar para dispositivos com diferentes dimensões não considerando o efeito quântico [a solução é dada somente por Poisson (SP)] e considerando o efeito quântico [a solução é dada por Poisson-Schrödinger (SP +SS)] para $V_{DS} = 50$ mV; $t_{oxf} = 2$ nm e $N_A = 5 \times 10^{17}$ cm⁻³ [74].

W_{Fin} (nm) x H_{Fin} (nm)	S (mV/década) [SP]	S (mV/dec) [SP + SS]
2 x 2	70	72
3 x 3	66,2	67,5
5 x 5	63,5	64
10 x 10	62	62
20 x 20	61	61

O estudo do aumento da tensão de limiar com diminuição das dimensões do dispositivo é mais complicado do que o da inclinação de sublimiar. Dispositivos com diferentes medidas de espessuras podem ter concentrações de elétrons comuns e formas diferentes de distribuições de elétrons e, por isso, a definição clássica, baseada em $\phi_S = 2\phi_F$, não pode ser usada. Além disso, a presença da inversão de volume complica a definição da tensão de limiar.

Os dados apresentados na tabela 4.2 mostram que, quando não é considerado o efeito quântico (Poisson), ocorre um aumento na tensão de limiar com a redução das dimensões dos dispositivos. Esse efeito é devido a necessidade de haver uma maior concentração de elétrons para manter a carga, que varia linearmente com a tensão de porta (figura 4.13), e para a redução da inversão de volume da corrente sublimiar em dispositivos com dimensões menores.

Quando é considerado o efeito quântico (Poisson-Schrödinger), observa-se um aumento adicional na tensão de limiar, por causa do aumento dos níveis de energia em dimensões reduzidas.

Portanto, a energia mínima nas sub-faixas e a tensão de limiar aumenta quando as dimensões do dispositivo são reduzidas e a concentração de elétrons no canal é aumentada. Como consequência, a tensão de limiar é maior, a corrente de dreno é menor e a inclinação de sublimiar é maior, quando é considerado o efeito quântico principalmente nos dispositivos com dimensões reduzidas.

Tabela 4.2 – Tensão de limiar para dispositivos com diferentes dimensões não considerando o efeito quântico [a solução é dada somente por Poisson (SP)] e considerando o efeito quântico [a solução é dada por Poisson-Schrödinger (SP + SS)] para $V_{DS} = 50$ mV; $t_{oxf} = 2$ nm e $N_A = 5 \times 10^{17}$ cm⁻³ [74].

W_{Fin} (nm) x H_{Fin} (nm)	V_T (mV) [SP]	V_T (mV) [SP + SS]
2 x 2	330	460
3 x 3	250	320
5 x 5	200	230
10 x 10	150	160
20 x 20	140	145

5 SIMULAÇÕES TRIDIMENSIONAIS

Neste capítulo é apresentada uma introdução sobre o simulador ATLAS, modelos e métodos que foram utilizados para obtenção das simulações tridimensionais.

É também apresentada as curvas características dos dispositivos que foram utilizadas para estudo do comportamento da tensão de limiar e da inclinação sublimiar dos transistores SOI FinFETs de porta dupla e porta tripla com diferentes concentrações de dopantes no interior do canal.

5.1 Simulador ATLAS

O ATLAS é um simulador tanto bidimensional como tridimensional e executável em ambiente DECKBUILD e produzido pela SILVACO [76]. Esse simulador é baseado em equações físicas, permitindo a obtenção das características elétricas associadas às estruturas específicas e às condições de polarização do dispositivo.

Para tal, o dispositivo simulado é discretizado em uma grade de pontos bidimensionais ou tridimensionais. Essa grade é utilizada para solucionar as equações fundamentais dos semicondutores que são resolvidas numericamente em cada um dos cruzamentos entre linhas e colunas.

Alguns cuidados devem ser tomados para sua construção, a saber:

- ◇ As linhas e colunas não precisam, necessariamente, cruzar toda a estrutura;
- ◇ Os pontos devem se concentrar nas interfaces entre os materiais;
- ◇ As regiões com concentração de dopantes constante podem possuir menor número de pontos;
- ◇ Os triângulos obtusos prejudicam a convergência.

Neste trabalho, para solucionar equações fundamentais dos semicondutores utilizou-se o método dos elementos finitos e as equações foram resolvidas pelo método de Newton [76].

5.1.1 Modelos do simulador ATLAS

Nas simulações com o ATLAS, é importante a escolha adequada dos modelos que incluam os mecanismos físicos adequados para que os resultados obtidos sejam equivalentes aos resultados das caracterizações experimentais. Os modelos utilizados são selecionados pelos usuários e variam conforme a aplicação. Esses modelos podem ser específicos de mobilidade de portadores, de recombinação de portadores, de largura de faixa proibida, de ionização por impacto etc.

No desenvolvimento do presente trabalho utilizou-se os seguintes modelos contidos no simulador ATLAS, com destaque as suas principais características [76]:

- SRH (*Shockley-Read-Hall*) – Modelo de recombinação, onde o tempo de vida dos portadores minoritários é fixado;
- AUGER – Modelo de recombinação, através da transição direta de três partículas, onde um portador é capturado ou emitido. Importante em altas densidades de correntes.
- BGN (*Bandgap Narrowing*) – Modelo importante para aplicação em regiões com alta concentração de dopantes, e necessário para a modelagem do ganho do transistor bipolar parasitário ao transistor SOI. Deve ser usado em conjunto com o modelo Klaassen;
- FLDMOB (*Parallel Electric Field Dependence*) – Modelo de mobilidade dependente do efeito de campo elétrico lateral, utilizado em estruturas de silício e arseneto de gálio;
- KLA – Modelo de mobilidade, que inclui dependência com concentração de portadores, concentração intrínsecas de portadores e da temperatura. Aplica diferentes mobilidades para portadores majoritários e minoritários. Recomendado para transistor da tecnologia SOI.

Neste trabalho não foram selecionados os modelos para efeitos quânticos, pois esses não foram considerados. Também não foram selecionados modelos de degradação da mobilidade pelo campo elétrico transversal, pois são desprezíveis para o estudo da tensão de limiar e a inclinação de sublimiar.

5.2 Metodologia

A Metodologia utilizada no desenvolvimento das simulações do presente trabalho englobou as seguintes fases:

5.2.1 Geração do arquivo de simulação

Foi desenvolvido no ATLAS um arquivo para a simulação das características elétricas do dispositivo. Nesse arquivo, a estrutura é dividida por regiões e essas regiões são definidas por polígonos e representada em uma grade de pontos.

A grade foi gerada de maneira mista, ou seja, uma parte desenhada no DEVEDIT, e outra parte escrita manualmente e foram consideradas as direções dadas pelas coordenadas x , y e z , conforme mostrado na figura 5.1.

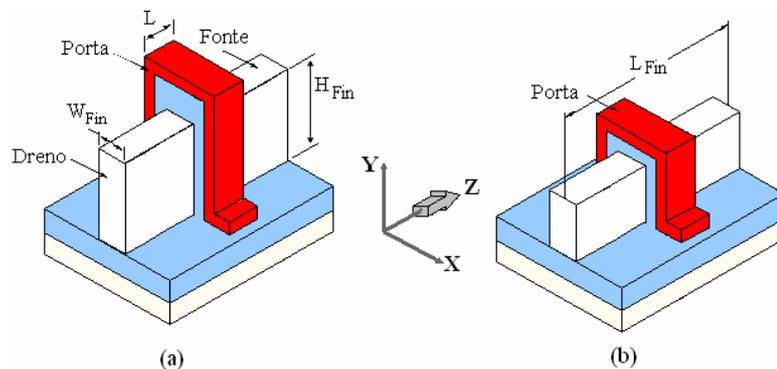


Figura 5.1 – Coordenadas em FinFETs: (a) Porta Dupla; (b) Porta Tripla.

As grades na direção x e y são desenhadas no DEVEDIT e o seu resultado é transportado para o arquivo de simulação em forma de comando. A grade na direção z é escrita manualmente, de maneira a concentrar mais pontos nas interfaces.

A opção pela grade mista se deve ao fato de se ter uma maior otimização nos números de pontos na região x e y e de permitir uma maior flexibilidade para eventuais modificações na região z .

As estruturas simuladas representam os transistores FinFETs porta dupla e porta tripla apresentados na figura 4.1, com as seguintes características: comprimento da região de dreno e região de fonte com $L_D = L_S = 100$ nm; óxido enterrado com $t_{oxb} = 145$ nm, óxido de porta com $t_{oxf_lat} = 2$ nm; $t_{oxf_sup} = 100$ nm para o FinFET de porta dupla e $t_{oxf_sup} = 2$ nm para o FinFET de porta tripla.

A região do canal é constituída de silício tipo P e a região de fonte e dreno de silício tipo N com os contatos de alumínio. Os contatos das portas possuem função trabalho de 4,7 eV que representa o nitreto de titânio (TiN) que é o material das portas e foi utilizado óxido de silício (SiO₂) para o óxido de porta e o óxido enterrado. A concentração de dopantes na região de fonte e dreno é de $N_D = 1 \times 10^{20} \text{ cm}^{-3}$ e no canal varia de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ a $N_A = 6 \times 10^{19} \text{ cm}^{-3}$.

A largura do Fin W_{Fin} varia de 10 a 120 nm, a altura do Fin H_{Fin} varia de 30 a 150 nm e o comprimento do canal L varia de 70 nm a 1 μm . A densidade de carga na interface utilizada foi de $3 \times 10^{10} \text{ cm}^{-2}$ e a temperatura 300K. O arquivo de simulação pode ser visto no apêndice A.

5.2.2 Simulação

Foi gerada uma série de simulações tridimensionais para os FinFETs de porta dupla e porta tripla, considerando diferentes dimensões e concentrações de dopantes no canal e, então, foram extraídas a tensão de limiar e a inclinação de sublimiar para esses dispositivos. Não foi utilizado nenhum tipo de filtro na extração dos resultados.

5.3 Resultados e discussões

5.3.1 Curvas características I_D - V_G

Existem vários métodos para extração da tensão de limiar [49]. Neste trabalho foi utilizado o método da transcondutância. Nesse método [50, 51], a tensão de limiar é definida pela tensão aplicada à porta do transistor, onde a derivada da transcondutância, ou seja, a segunda derivada da corrente de dreno, $(d^2 I_D / d V_G^2)$, tem o seu valor máximo, matematicamente quando:

$$\frac{d^3 I_D}{d V_G^3} = 0$$

A inclinação de sublimiar foi extraída através da curva monologarítmica de I_D - V_G e obtida por meio do ponto de mínimo do inverso do coeficiente angular da curva resultante, utilizando-se a equação 5.1 [18].

$$S = \frac{dV_G}{d[\log(I_D)]} \quad (5.1)$$

5.3.2 Efeito da variação da largura do Fin - W_{Fin}

Na figura 5.2 são apresentadas as curvas características I_D - V_G para FinFETs de porta dupla e porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $H_{Fin} = 60 \text{ nm}$; $L = 1 \mu\text{m}$ e $V_D = 100 \text{ mV}$ para diferentes larguras de W_{Fin} .

Através das curvas obtidas, pode-se comprovar que a corrente de dreno aumenta devido ao aumento da largura de W_{Fin} , sendo maior em FinFETs de porta tripla devido ao aumento do número de portas (item 3.3.1) do dispositivo.

A partir dos resultados apresentados na tabela 5.1, pode-se observar o comportamento da tensão de limiar e inclinação de sublimiar. Com a redução da largura do Fin, a tensão de limiar mantém-se praticamente constante e a inclinação de sublimiar diminui, pois, para essas dimensões, os FinFETs apresentam um melhor acoplamento entre as portas laterais e o canal. Em todos os casos S é menor para porta tripla que para porta dupla devido a um melhor controle do canal, pois três portas controlam melhor o canal do que duas portas.

Tabela 5.1 – Valores obtidos por simulação da tensão de limiar e inclinação de sublimiar de FinFETs de porta dupla e porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $V_D = 100 \text{ mV}$; $H_{Fin} = 60 \text{ nm}$; $L = 1 \mu\text{m}$ para diferentes larguras de W_{Fin} .

$W_{Fin} \text{ (nm)}$	$V_T \text{ (V)}$		$S \text{ (mV/dec)}$	
	Porta Dupla	Porta Tripla	Porta Dupla	Porta Tripla
10	0,47	0,48	59,65	59,64
20	0,46	0,47	59,77	59,76
30	0,45	0,46	59,96	59,95
60	0,46	0,47	60,58	60,49
90	0,48	0,47	61,57	61,11
120	0,48	0,47	62,64	61,61

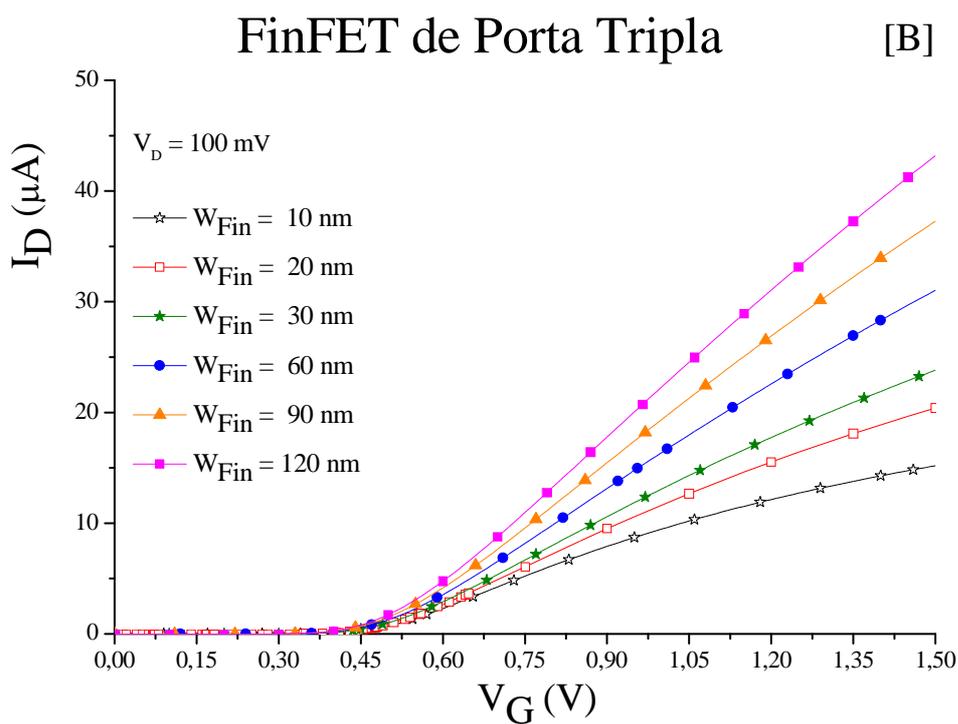
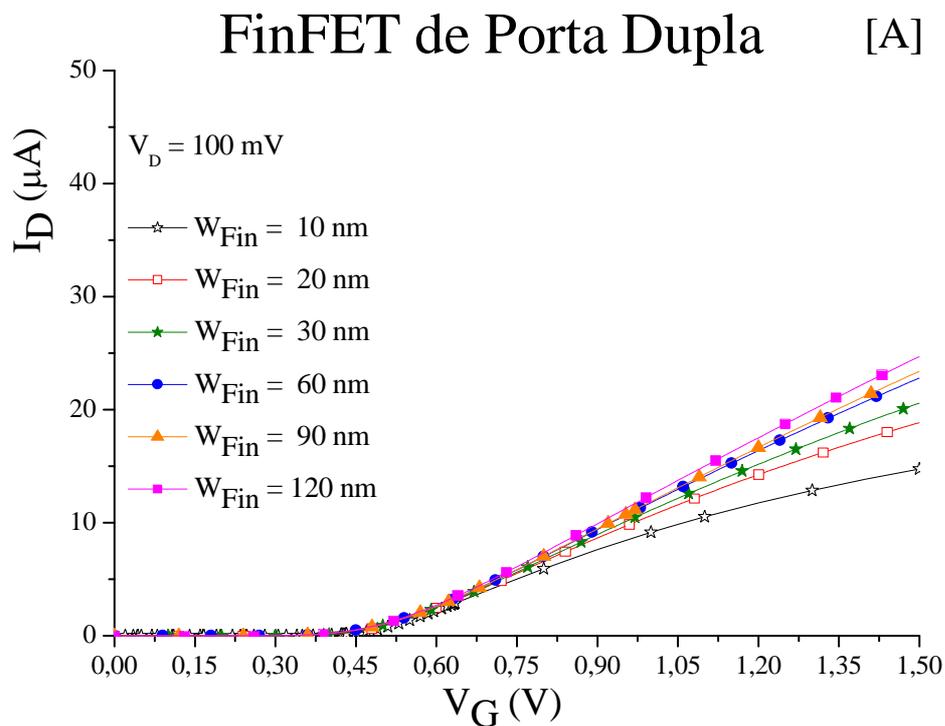


Figura 5.2 – Corrente de dreno (I_D) em função da tensão de porta (V_G) de FinFETs de porta dupla [A] e porta tripla [B] com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $H_{\text{Fin}} = 60 \text{ nm}$; $L = 1 \mu\text{m}$; $V_D = 100 \text{ mV}$ para diferentes larguras de W_{Fin} .

5.3.3 Efeito da variação da altura do Fin - H_{Fin}

Na figura 5.3 são apresentadas as curvas características I_D-V_G de FinFETs de porta dupla e porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $W_{Fin} = 120 \text{ nm}$; $L = 1 \text{ }\mu\text{m}$ e $V_D = 100 \text{ mV}$, para diferentes alturas de H_{Fin} . A intensidade de corrente de dreno aumenta devido ao aumento da altura do Fin, e que esse efeito é ainda maior em FinFETs de porta tripla, pois a corrente é diretamente proporcional a W sendo que $W \cong W_{Fin} + 2 H_{Fin}$.

A partir dos resultados mostrados na tabela 5.2 pode-se observar o comportamento da tensão de limiar e inclinação de sublimiar. Com a redução da altura do Fin, a tensão de limiar mantém-se praticamente constante e a inclinação de sublimiar aumenta no caso de porta dupla, devido ao menor controle da porta sobre o canal, pois com a diminuição de H_{Fin} o controle do canal nos FinFETs de porta tripla é maior pela superfície superior do que pelas superfícies laterais.

No caso do dispositivo de porta dupla devido a ausência da porta superior o controle do canal é somente pelas superfícies laterais e quando o H_{Fin} é reduzido o controle o canal também é reduzido.

Tabela 5.2 – Valores obtidos por simulação da tensão de limiar e inclinação de sublimiar de FinFETs de porta dupla e porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $V_D = 100 \text{ mV}$; $W_{Fin} = 120 \text{ nm}$; $L = 1 \text{ }\mu\text{m}$; para diferentes alturas de H_{Fin} .

H_{Fin} (nm)	V_T (V)		S (mV/dec)	
	Porta Dupla	Porta Tripla	Porta Dupla	Porta Tripla
30	0,47	0,47	64,20	61,52
60	0,48	0,47	62,64	61,61
150	0,48	0,48	60,99	60,97

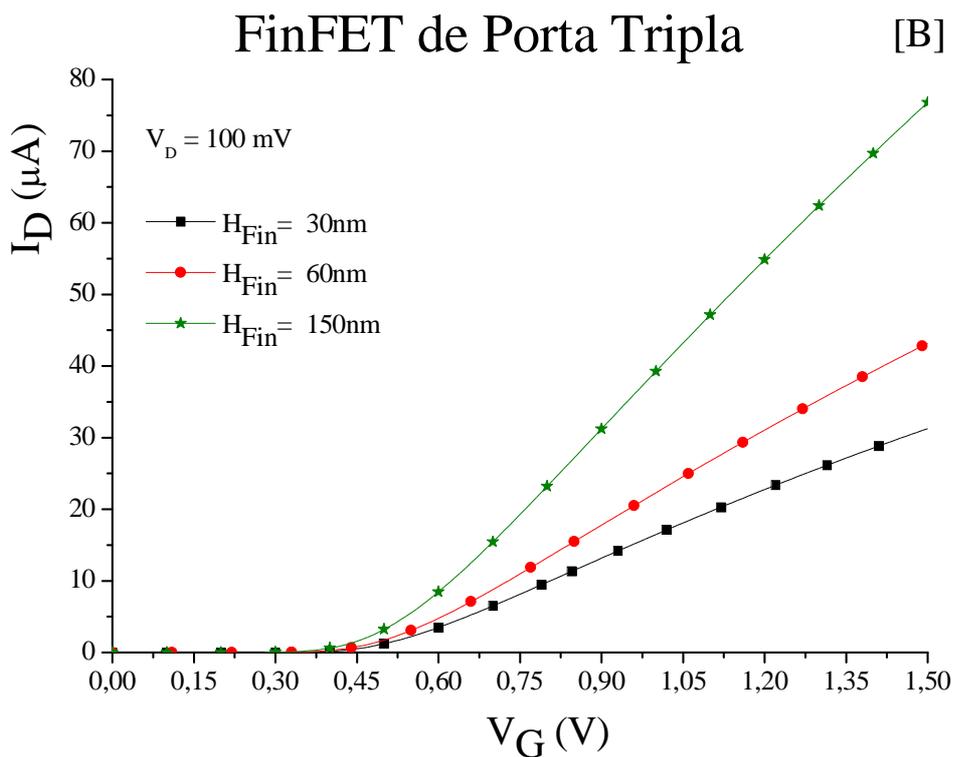
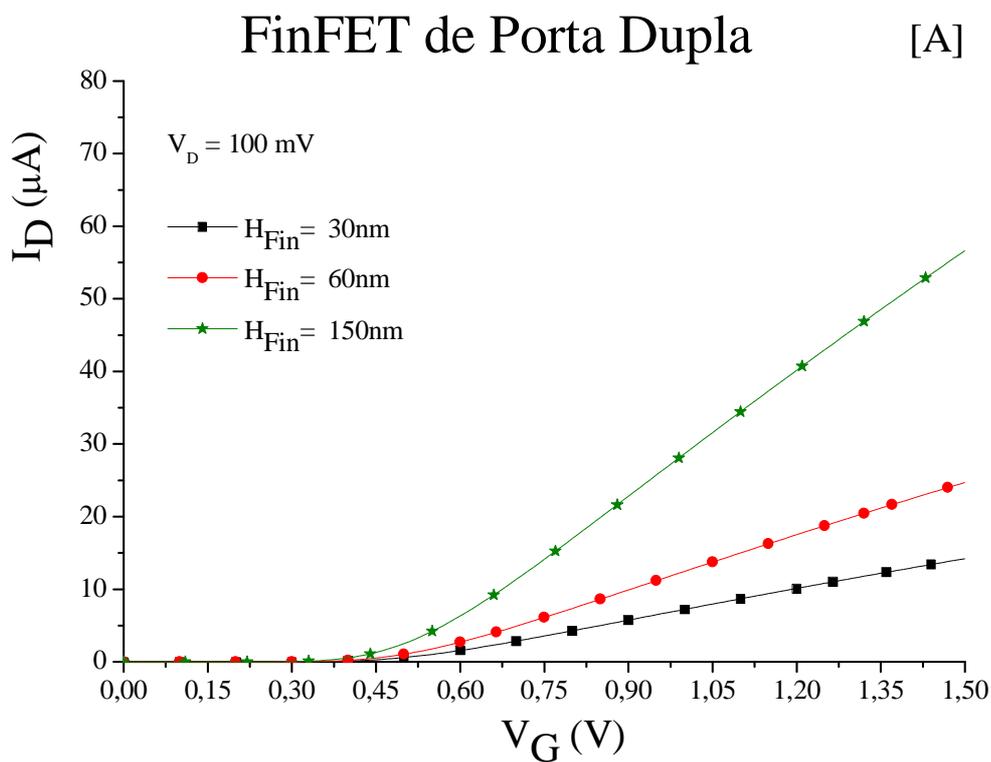


Figura 5.3 – Corrente de dreno (I_D) em função da tensão de porta (V_G) de FinFETs de porta dupla [A] e porta tripla [B] com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $W_{\text{Fin}} = 120 \text{ nm}$; $L = 1 \text{ }\mu\text{m}$; $V_D = 100 \text{ mV}$ para diferentes alturas de H_{Fin} .

5.3.4 Efeito da variação do comprimento do canal – L

Na figura 5.4 são apresentadas as curvas características I_D - V_G para FinFETs de porta dupla e porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$ e $V_D = 100 \text{ mV}$ para diferentes comprimentos de L.

Através das curvas obtidas, pode-se observar que a corrente de dreno aumenta devido a diminuição do comprimento do canal, sendo este efeito ainda maior para FinFETs de porta tripla, pois a corrente é inversamente proporcional a L e aumenta com o aumento do número de portas do dispositivo.

Os resultados apresentados na tabela 5.3 mostram o comportamento da tensão de limiar e inclinação de sublimiar. Neste caso, com a redução do comprimento do canal, a tensão de limiar diminui ligeiramente e a inclinação de sublimiar aumenta, principalmente em FinFETs de porta dupla, onde o acoplamento entre portas e canal é pior.

Tabela 5.3 – Valores obtidos por simulação da tensão de limiar e inclinação de sublimiar de FinFETs de porta dupla e porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $V_D = 100 \text{ mV}$; $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$; para diferentes comprimentos de L.

L (μm)	V_T (V)		S (mV/dec)	
	Porta Dupla	Porta Tripla	Porta Dupla	Porta Tripla
0,2	0,47	0,45	80,65	69,81
0,3	0,47	0,46	67,85	63,84
0,5	0,47	0,46	63,71	62,19
1,0	0,48	0,47	62,64	61,61

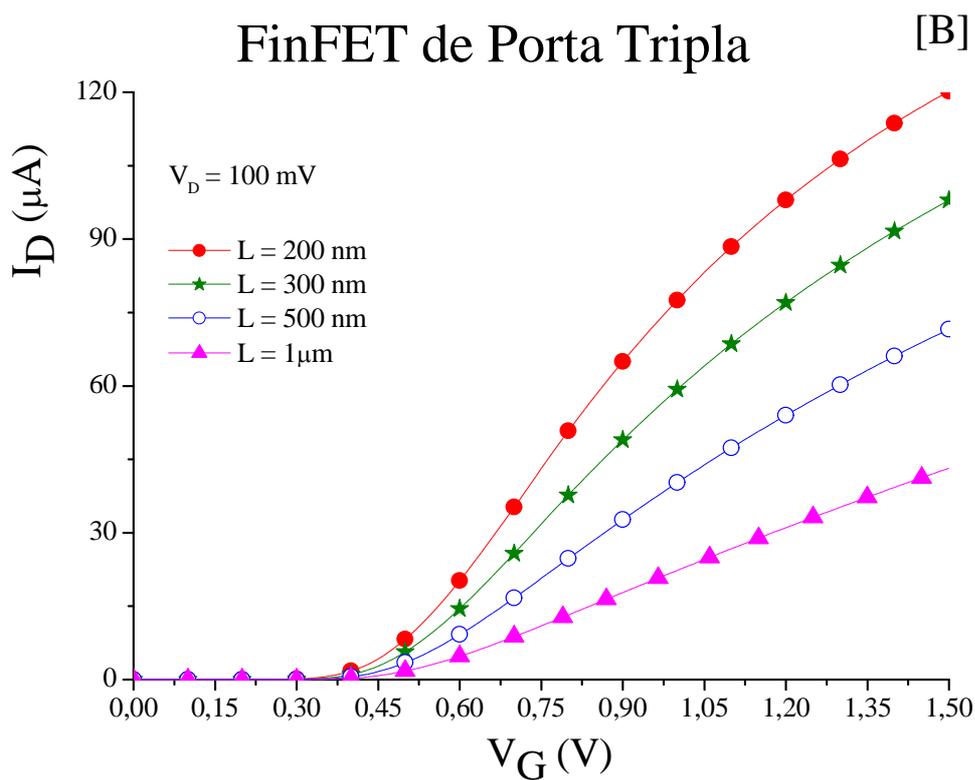
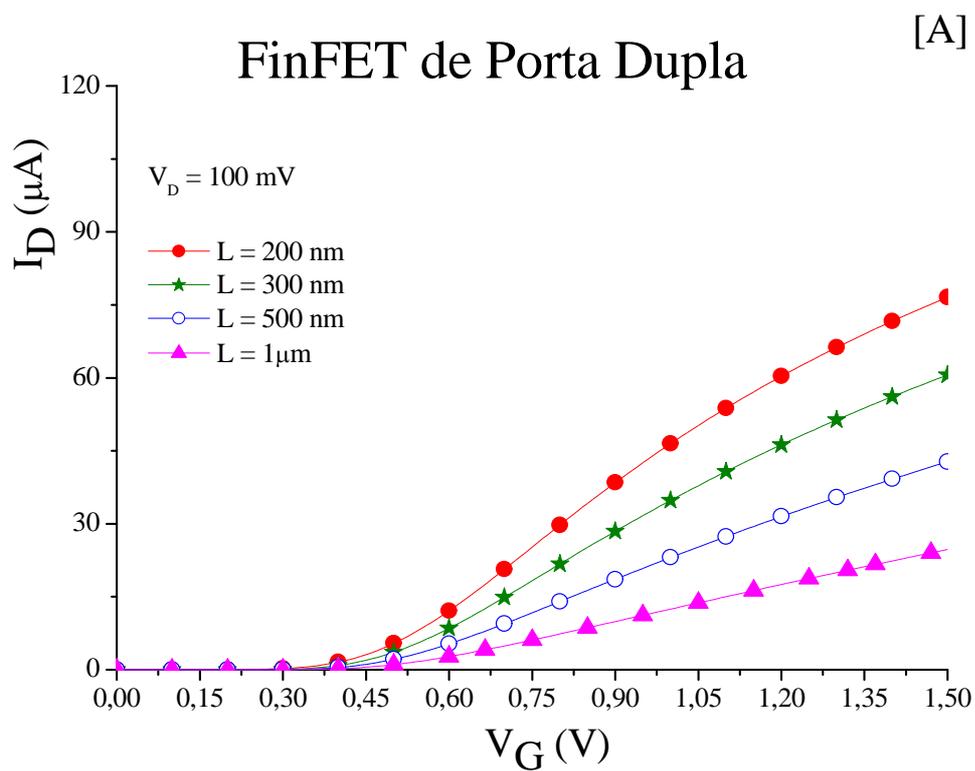


Figura 5.4 – Corrente de dreno (I_D) em função da tensão de porta (V_G) de FinFETs de porta dupla [A] e porta tripla [B] com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $V_D = 100 \text{ mV}$; $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$ para diferentes comprimentos de L .

5.3.5 Concentração de dopantes no canal

Neste item é apresentado um estudo do comportamento da tensão de limiar em transistores SOI FinFETs de porta dupla e porta tripla com diferentes concentrações de dopantes no canal.

A figura 5.5 mostra o corte transversal de transistores FinFETs, identificando as regiões do canal e seus cantos.

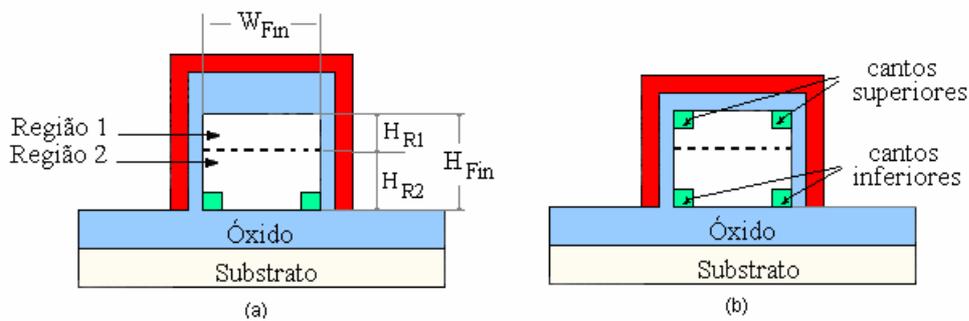


Figura 5.5 – Corte transversal de transistores FinFETs, identificando as regiões do canal, cantos superiores e cantos inferiores: (a) Porta Dupla; (b) Porta Tripla.

Devido aos efeitos de cantos superiores e cantos inferiores e a altas concentrações de dopantes no canal, os dispositivos FinFETs podem apresentar até 4 tensões de limiar. Neste trabalho essas tensões de limiar foram chamadas de:

- V_{T_CS} é a tensão de limiar devido a inversão dos cantos superiores;
- V_{T_CI} é a tensão de limiar devido a inversão dos cantos inferiores;
- V_{T_GL} é devido a inversão das superfícies laterais;
- V_{T_GS} é devido a inversão da superfície superior;
 - ou V_{T_G} que é a inversão das superfícies laterais e da superfície superior simultaneamente.

5.3.5.1 Mesma concentração de dopantes em todo o canal

Na figura 5.6 [A] são apresentadas as curvas da segunda derivada da corrente de dreno de transistores FinFETs de porta dupla em função da tensão de porta para diferentes concentrações de dopantes no canal. Pode-se observar que em todos os casos cada curva apresenta apenas um ponto de máximo, que representa apenas uma tensão de limiar. Esta tensão de limiar é devida a passagem de corrente nas laterais do Fin (canal).

As curvas da segunda derivada da corrente de dreno de transistores FinFETs de porta tripla em função da tensão de porta para diferentes concentrações de dopantes no canal são apresentadas na figura 5.6 [B]. Nesse caso, verifica-se a presença de duas tensões de limiar por curva (2 pontos de máximo) para dispositivos com concentração de dopantes no canal maior que $N_A = 3 \times 10^{18} \text{ cm}^{-3}$. Essas tensões de limiar são V_{T_CS} e V_{T_G} .

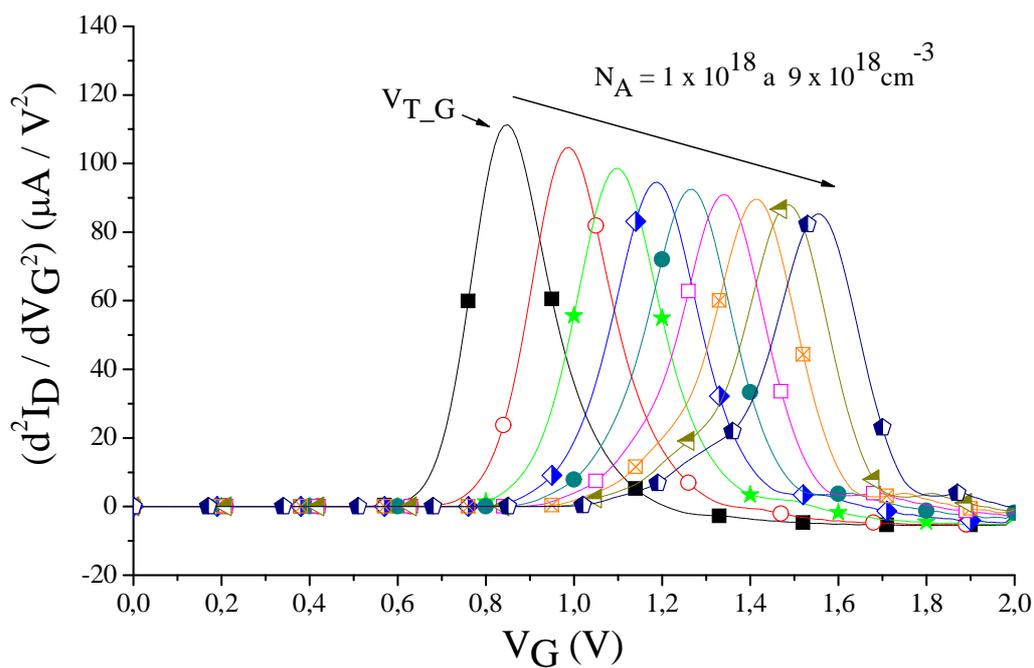
V_{T_CS} corresponde a tensão de limiar dos cantos superiores, uma vez que estes são submetidos ao somatório dos vetores de campo elétrico gerado pela porta lateral e pela porta superior. A tensão de limiar V_{T_G} está relacionada com a inversão das superfícies laterais, como no caso do transistor de porta dupla e simultaneamente pela inversão da porta superior.

A tabela 5.4 apresenta os resultados das tensões de limiar obtidos na figura 5.6. Observar-se que com o aumento da concentração de dopantes no canal dos dispositivos, tem-se um aumento na tensão de limiar e a presença de duas tensões de limiar (V_{T_G} e V_{T_CS}) nos FinFETs de porta tripla com concentração de dopantes no canal superior a $N_A = 2 \times 10^{18} \text{ cm}^{-3}$.

Tabela 5.4 – Valores obtidos por simulação da tensão de limiar de FinFETs de porta dupla e porta tripla com $W_{Fin} = 120 \text{ nm}$; $H_{Fin} = 60 \text{ nm}$; $L = 1 \text{ }\mu\text{m}$; $V_D = 100 \text{ mV}$ e com diferentes concentrações de dopantes no canal.

$N_A \text{ (cm}^{-3}\text{)}$	$V_T \text{ (V)}$	$V_T \text{ (V)}$	
	Porta Dupla	Porta Tripla	
	V_{T_G}	V_{T_CS}	V_{T_G}
1×10^{18}	0,85	-	0,82
2×10^{18}	0,99	-	0,97
3×10^{18}	1,10	0,75	1,10
4×10^{18}	1,19	0,77	1,20
5×10^{18}	1,27	0,79	1,28
6×10^{18}	1,34	0,82	1,34
7×10^{18}	1,40	0,83	1,44
8×10^{18}	1,50	0,84	1,52
9×10^{18}	1,56	0,87	1,58

FinFET de Porta Dupla [A]



FinFET de Porta Tripla [B]

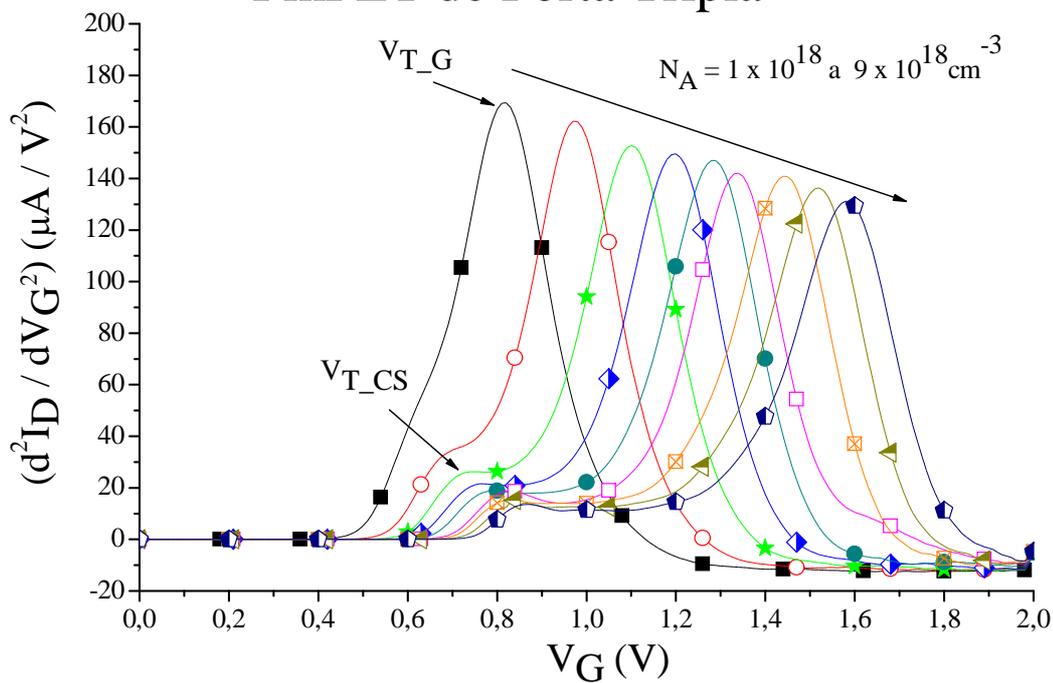


Figura 5.6 – Curva $d^2 I_D / dV_G^2$ em função da tensão de porta de FinFETs de porta dupla [A] e porta tripla [B] com $W_{Fin} = 120 \text{ nm}$; $H_{Fin} = 60 \text{ nm}$; $L = 1 \text{ }\mu\text{m}$; $V_D = 100 \text{ mV}$ e com diferentes concentrações de dopantes no canal.

A figura 5.8 mostra as curvas da segunda derivada da corrente de dreno para FinFETs de porta dupla e porta tripla com $L = 1 \mu\text{m}$; $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$ e $V_D = 100 \text{ mV}$ e com concentração de dopantes no canal ainda mais elevada.

Para essas concentrações de dopantes observou-se a presença de duas tensões de limiar por curva tanto nos FinFETs de porta dupla com concentração de dopantes no canal superior a $N_A = 2 \times 10^{19} \text{ cm}^{-3}$ como nos FinFETs de porta tripla.

Nos FinFETs de porta dupla, a primeira tensão de limiar ($V_{T_{CI}}$) é referente a condução dos cantos inferiores devido ao acoplamento com o substrato, sendo que a segunda tensão de limiar (V_{T_G}) é referente a condução das portas laterais. Já nos FinFETs de porta tripla a $V_{T_{CS}}$ está relacionada com a condução dos cantos superiores e V_{T_G} é devido a condução das portas laterais e superior simultaneamente.

Nos FinFETs de porta tripla com dopagem de canal de $N_A = 5 \times 10^{19} \text{ cm}^{-3}$ observou-se uma terceira tensão de limiar ($V_{T_{CI}}$), sendo esta referente a condução dos cantos inferiores, conforme mostrado isoladamente na figura 5.8.

A Tabela 5.5 mostra os resultados das tensões de limiar obtidos nas figuras 5.7 e 5.8.

Tabela 5.5 – Valores obtidos por simulação da tensão de limiar de FinFETs de porta dupla e porta tripla com $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$; $L = 1 \mu\text{m}$; $V_D = 100 \text{ mV}$ e com diferentes concentrações de dopantes no canal.

$N_A \text{ (cm}^{-3}\text{)}$	$V_T \text{ (V)}$ Porta Dupla		$V_T \text{ (V)}$ Porta Tripla		
	$V_{T_{CI}}$	V_{T_G}	$V_{T_{CS}}$	$V_{T_{CI}}$	V_{T_G}
1×10^{19}	-	1,62	0,89	-	1,64
2×10^{19}	1,61	2,03	1,06	-	2,05
3×10^{19}	1,82	2,40	1,20	-	2,42
4×10^{19}	1,98	2,73	1,32	-	2,74
5×10^{19}	2,12	2,96	1,42	2,23	2,98

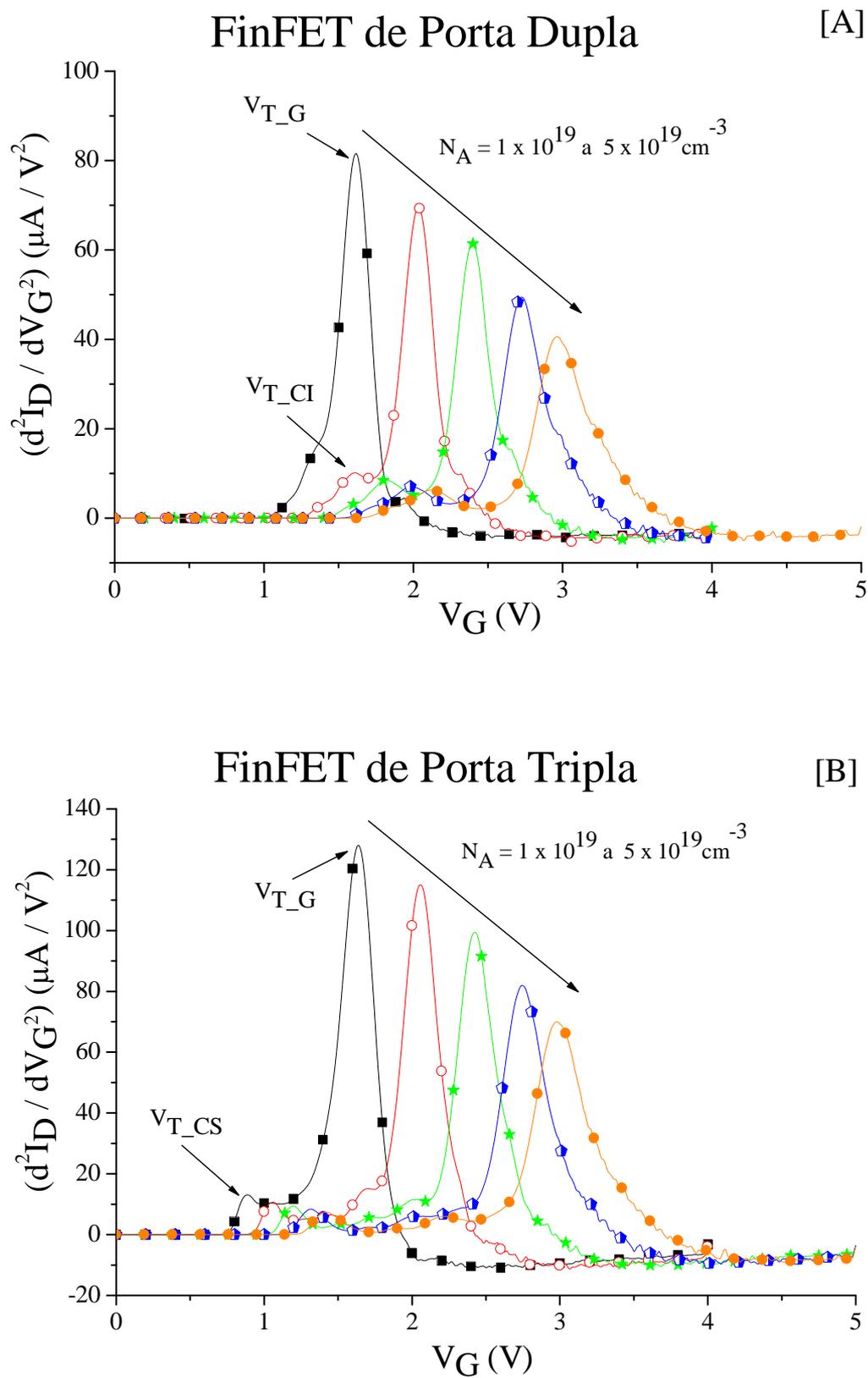


Figura 5.7 – Curva $d^2(I_D) / dV_G^2$ em função da tensão de porta de FinFETs de porta dupla [A] e porta tripla [B] com $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$; $L = 1 \mu\text{m}$; $V_D = 100 \text{ mV}$ e com concentração de dopantes no canal muito alta.

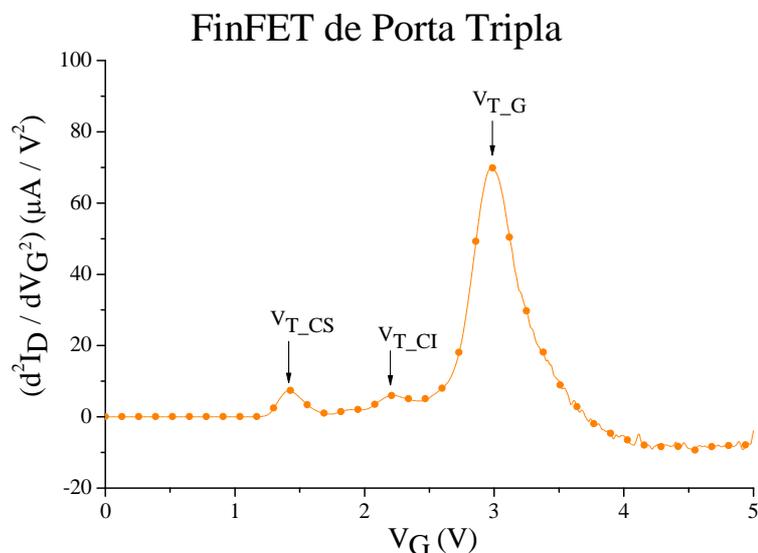


Figura 5.8 – Curva $d^2 I_D / dV_G^2$ em função da tensão de porta (V_G) de FinFETs de porta tripla com $L = 1 \mu\text{m}$; $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$; $V_D = 100 \text{ mV}$ e com concentração de dopantes no canal de $N_A = 5 \times 10^{19} \text{ cm}^{-3}$.

A figura 5.9 mostra o perfil de potencial dos FinFETs de porta dupla e porta tripla com $L = 1 \mu\text{m}$; $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$; $V_D = 100 \text{ mV}$; $V_G = 5 \text{ V}$ e com concentração de dopantes no canal de $N_A = 5 \times 10^{19} \text{ cm}^{-3}$. Pode-se visualizar que no FinFET de porta dupla (figura 5.9 - a) as regiões dos cantos inferiores é a que apresentam maior valor de potencial devido ao efeito de “canto” inferior. No FinFET de porta tripla (figura 5.9 - b, d) as regiões de maior potencial são as dos cantos superiores e inferiores.

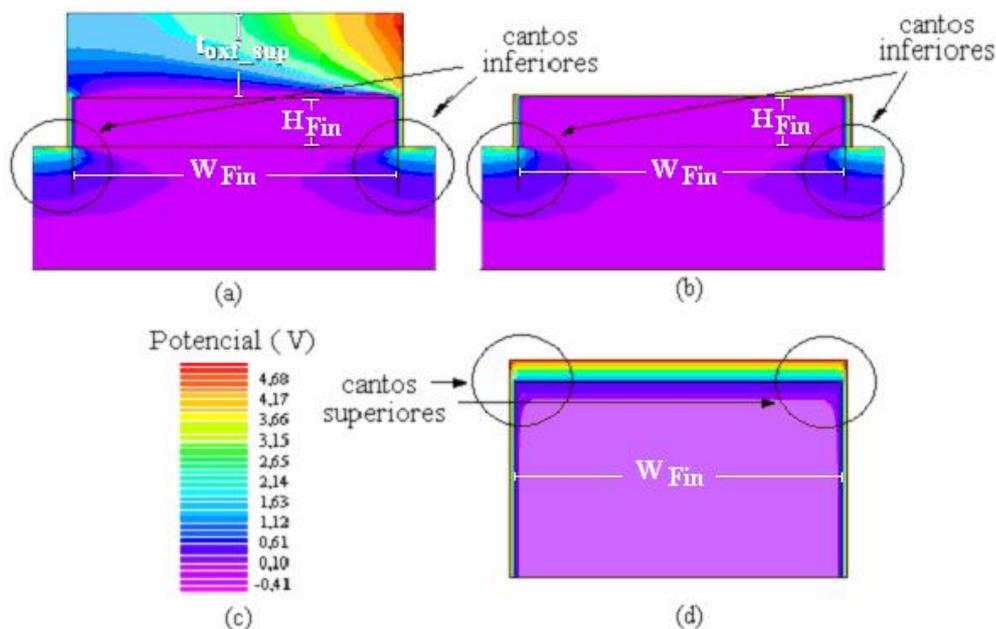


Figura 5.9 – Perfil de potencial nos transistores FinFETs com $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$; $L = 1 \mu\text{m}$; $V_D = 100 \text{ mV}$; $V_G = 5 \text{ V}$ para concentração de dopantes no canal de $N_A = 5 \times 10^{19} \text{ cm}^{-3}$:
 (a) Porta Dupla; (b) Porta Tripla; (c) Escala de Potencial; (d) Porta Tripla em maior escala (porta superior).

As figuras 5.10 e 5.11 resumem o estudo da tensão de limiar em transistores FinFETs de porta dupla e porta tripla em função da concentração de dopantes no canal.

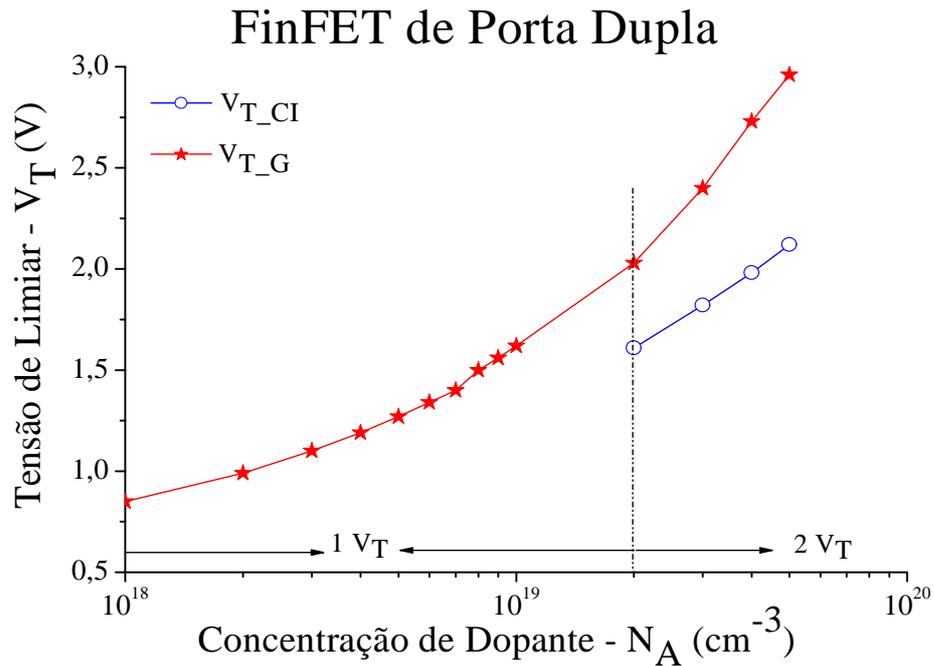


Figura 5.10 – Tensão de limiar em função da concentração de dopantes no canal de FinFETs de porta dupla com $L = 1 \mu\text{m}$; $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$ e $V_D = 100 \text{ mV}$.

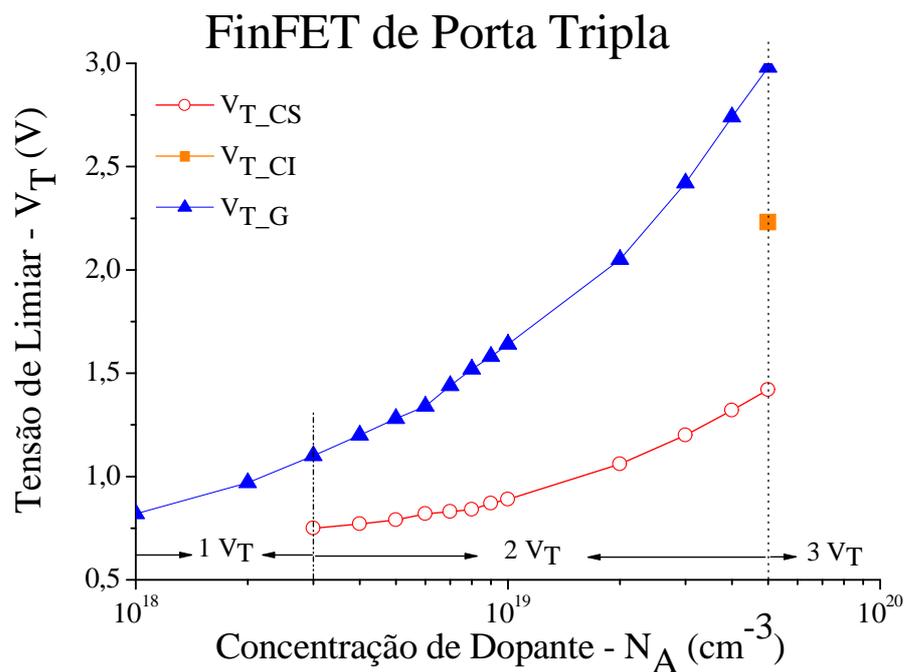


Figura 5.11 – Tensão de limiar em função da concentração de dopantes no canal de FinFETs de porta tripla com $L = 1 \mu\text{m}$; $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$ e $V_D = 100 \text{ mV}$.

5.3.5.2 Estrutura de porta tripla modificada

A figura 5.12 mostra o corte transversal de uma estrutura de porta tripla e a figura 5.13 mostra a curva da segunda derivada da corrente de dreno com $L = 1 \mu\text{m}$; $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$ e $V_D = 100 \text{ mV}$ com concentração de dopantes no canal de $N_A = 5 \times 10^{19} \text{ cm}^{-3}$.

Na curva obtida observa-se duas tensões de limiar, sendo que a primeira tensão de limiar (V_{T_CS}) é referente a condução dos cantos superiores e a segunda tensão de limiar (V_{T_G}) é referente a condução das portas. Nota-se que nessa estrutura não é possível visualizar a tensão de limiar referente a condução dos cantos inferiores (V_{T_CI}), pois os cantos inferiores são menos influenciados pelo acoplamento com o substrato. Este efeito pode ser melhor compreendido através da figura 5.14.

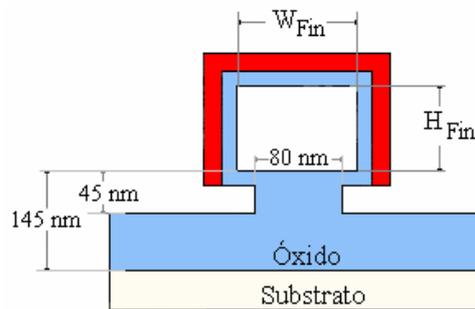


Figura 5.12 – Corte transversal da estrutura de porta tripla modificada com $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$; $L = 1 \mu\text{m}$; $V_D = 100 \text{ mV}$ e com concentração de dopantes no canal de $N_A = 5 \times 10^{19} \text{ cm}^{-3}$.

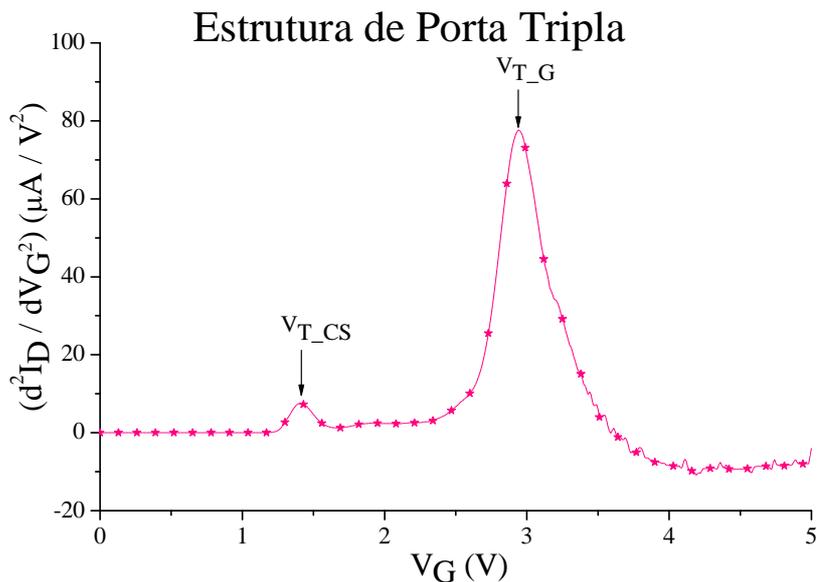


Figura 5.13 – Curva $d^2 I_D / dV_G^2$ em função da tensão de porta de uma estrutura de porta tripla modificada com $L = 1 \mu\text{m}$; $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$; $V_D = 100 \text{ mV}$ e com concentração de dopantes no canal de $N_A = 5 \times 10^{19} \text{ cm}^{-3}$.

A figura 5.14 mostra o perfil de potencial no FinFET de porta tripla e na estrutura de porta tripla modificada apresentada na figura 5.12. Pode-se visualizar que somente o FinFET de porta tripla apresenta nas regiões dos cantos inferiores um maior valor de potencial, portanto nesse dispositivo é possível observar a tensão de limiar referente a inversão dos cantos inferiores ($V_{T_{CI}}$ - figura 5.8).

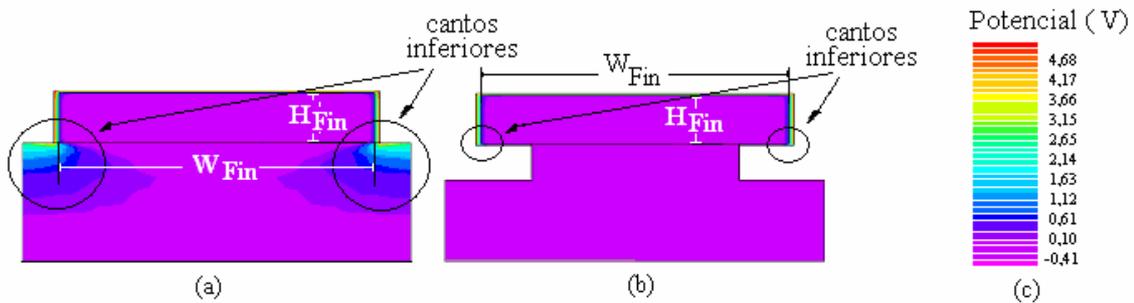


Figura 5.14 – Perfil de potencial nos dispositivos com $W_{Fin} = 120$ nm; $H_{Fin} = 60$ nm; $L = 1$ μ m; $V_D = 100$ mV; $V_G = 5$ V para concentração de dopantes no canal de $N_A = 5 \times 10^{19}$ cm $^{-3}$:
 (a) FinFET de Porta Tripla; (b) Estrutura de Porta Tripla Modificada; (c) Escala de Potencial.

5.3.5.3 Diferentes concentrações de dopantes no canal

Neste item, as estruturas simuladas possuem seus canais divididos em duas regiões, como apresentado na figura 5.6. A região 1 do canal possui largura $W_{Fin} = 120$ nm e altura de $H_{R1} = 5$ nm. A região 2 do canal possui largura $W_{Fin} = 120$ nm e altura de $H_{R2} = 55$ nm.

Na figura 5.15 são apresentadas as curvas da segunda derivada da corrente de dreno para FinFETs de porta dupla e porta tripla com diferentes concentrações de dopantes na região 1 do canal e com concentração de dopantes de $N_A = 1 \times 10^{16}$ cm $^{-3}$ na região 2 do canal.

Para todos os casos avaliados nos FinFETs de porta dupla, verifica-se apenas uma tensão de limiar (apenas um ponto de máximo para cada curva). Essa tensão de limiar é devida a passagem de corrente nas laterais do Fin (canal).

Para os FinFETs de porta tripla, as curvas podem apresentar uma tensão de limiar por curva (1 ponto de máximo), que é referente a condução simultânea nas três portas (V_{T_G}), ou podem apresentar duas tensões de limiar por curva (2 pontos de máximo).

Para o caso em que apresentam duas tensões de limiar, a primeira tensão de limiar ($V_{T_{GL}}$) é referente a condução das portas laterais, sendo a segunda de tensão de limiar ($V_{T_{GS}}$) referente a condução da porta superior. A diferença da tensão de limiar dada pela porta superior e pelas portas laterais, ocorre devido a diferença de concentração de dopantes (maior concentração perto da interface da porta superior).

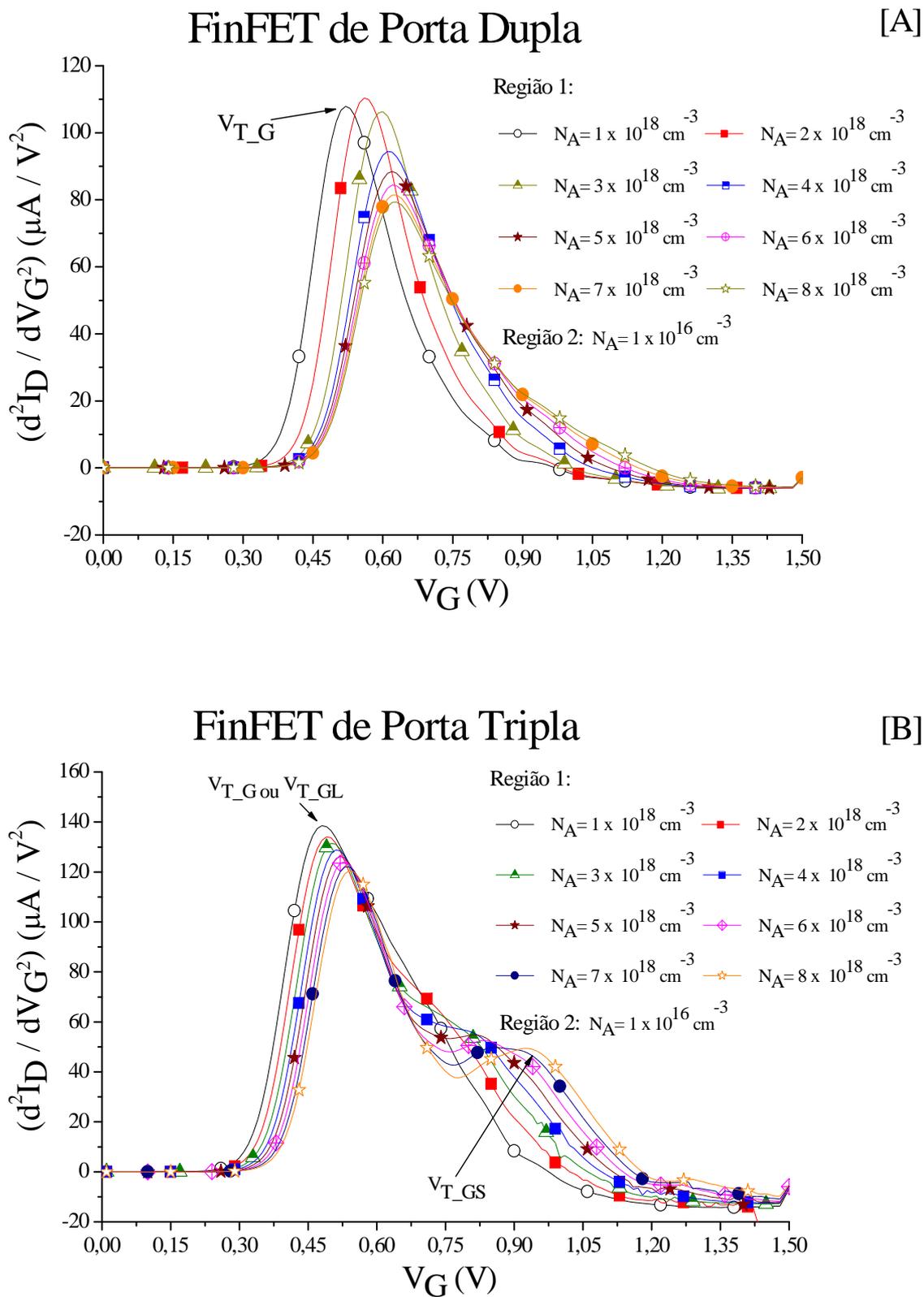


Figura 5.15 – Curva $d^2 I_D / dV_G^2$ em função da tensão de porta de FinFETs de porta dupla [A] e porta tripla [B] com $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$; $L = 1 \mu\text{m}$; $V_D = 100 \text{ mV}$ e com diferentes com concentrações de dopantes na região 1 do canal e $N_A = 1 \times 10^{16} \text{ cm}^{-3}$ na região 2.

A tabela 5.6 apresenta os resultados das tensões de limiar obtidos na figura 5.16. e a Figura 5.16 resume o estudo da tensão de limiar em transistores FinFETs de porta dupla e porta tripla em função da concentração de dopantes na região 1 do canal.

Tabela 5.6 – Valores obtidos por simulação da tensão de limiar de FinFETs de porta dupla e porta tripla com $W_{Fin} = 120 \text{ nm}$; $H_{Fin} = 60 \text{ nm}$; $L = 1 \text{ }\mu\text{m}$; $V_D = 100 \text{ mV}$ e com diferentes com concentrações de dopantes na região 1 do canal e $N_A = 1 \times 10^{16} \text{ cm}^{-3}$ na região 2.

Dopagens Região 2: $N_A = 1 \times 10^{16} \text{ cm}^{-3}$ Região 1:	V_T (V) Porta Dupla	V_T (V) Porta Tripla		
	V_{T_G}	V_{T_G}	V_{T_GL}	V_{T_GS}
1×10^{18}	0,52	0,48	-	-
2×10^{18}	0,56	0,49	-	-
3×10^{18}	0,60	0,50	-	-
4×10^{18}	0,61	0,51	-	-
5×10^{18}	0,62	-	0,52	0,81
6×10^{18}	0,63	-	0,53	0,83
7×10^{18}	0,64	-	0,54	0,86
8×10^{18}	0,64	-	0,55	0,93

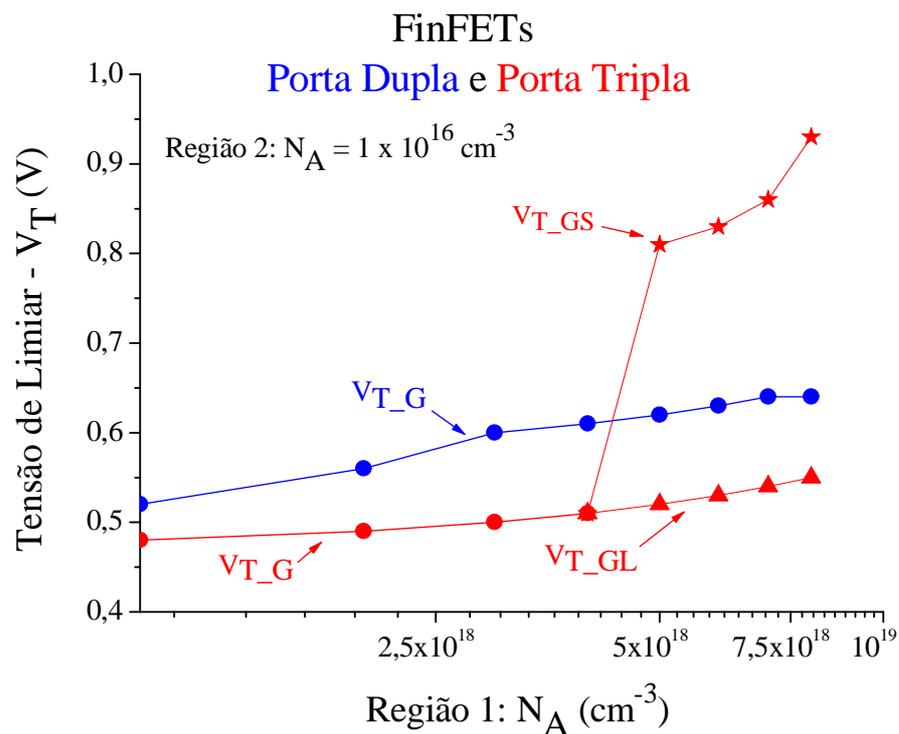


Figura 5.16 – Tensão de limiar em função da concentração de dopantes na região 1 do canal de FinFETs de porta dupla e porta tripla com $L = 1 \text{ }\mu\text{m}$; $W_{Fin} = 120 \text{ nm}$; $H_{Fin} = 60 \text{ nm}$ e $V_D = 100 \text{ mV}$ e com concentração de dopantes na região 2 de $N_A = 1 \times 10^{16} \text{ cm}^{-3}$.

Na figura 5.17 são apresentadas as curvas da segunda derivada da corrente de dreno para FinFETs de porta tripla com concentração de dopantes de $N_A = 8 \times 10^{18} \text{ cm}^{-3}$ na região 1 do canal e diferentes concentrações de dopantes na região 2 do canal.

Através da análise dessas curvas constatou-se que quando a diferença de concentrações de dopantes nas regiões do canal (região 1 e região 2) é maior (figura 5.17-B), o dispositivo apresenta duas tensões de limiar, sendo essas V_{T_GL} e V_{T_GS} . A tensão de limiar V_{T_GL} está relacionada com a inversão das superfícies laterais e a tensão de limiar V_{T_GS} é referente a inversão da porta superior cuja concentração de dopantes (região 1) é tipicamente maior que a concentração de dopantes no restante do canal (região 2).

Quando a diferença de concentrações de dopantes nas regiões do canal diminui, chegando ser muito pequena (figura 5.17-C), o dispositivo também apresenta duas tensões de limiar, sendo essas V_{T_CS} e V_{T_G} . Onde V_{T_CS} corresponde a tensão de limiar dos cantos superiores, uma vez que estão submetidos ao somatório dos vetores de campo elétrico gerado pela porta lateral e pela porta superior, sendo que V_{T_G} está relacionada com a inversão das superfícies laterais e superior ao mesmo tempo.

Entretanto, num valor intermediário de concentrações de dopantes nas regiões do canal (figura 5.17-D), observam-se três tensões de limiar, V_{T_CS} , V_{T_GL} e V_{T_GS} devido a inversão dos cantos superiores, portas laterais e porta superior respectivamente.

A tabela 5.7 mostra os resultados das tensões de limiar obtidos na figura 5.17.

Tabela 5.7 – Valores obtidos por simulação da tensão de limiar de FinFETs de porta tripla com $W_{Fin} = 120 \text{ nm}$; $H_{Fin} = 60 \text{ nm}$; $L = 1 \text{ }\mu\text{m}$; $V_D = 100 \text{ mV}$ e com concentração de dopantes de $N_A = 8 \times 10^{18} \text{ cm}^{-3}$ na região 1 do canal de e diferentes concentrações de dopantes na região 2.

Dopagens Região 1 : $N_A = 8 \times 10^{18} \text{ cm}^{-3}$ Região 2:	V_T (V) Porta Tripla			
	V_{T_CS}	V_{T_G}	V_{T_GL}	V_{T_GS}
1×10^{16}	-	-	0,56	0,96
5×10^{16}	-	-	0,59	0,96
1×10^{17}	-	-	0,61	0,97
5×10^{17}	-	-	0,73	1,10
1×10^{18}	-	-	0,83	1,14
2×10^{18}	-	-	0,97	1,24
3×10^{18}	0,82	-	1,08	1,29
4×10^{18}	0,83	-	1,18	1,34
5×10^{18}	0,82	1,33	-	-
6×10^{18}	0,83	1,41	-	-
7×10^{18}	0,85	1,48	-	-

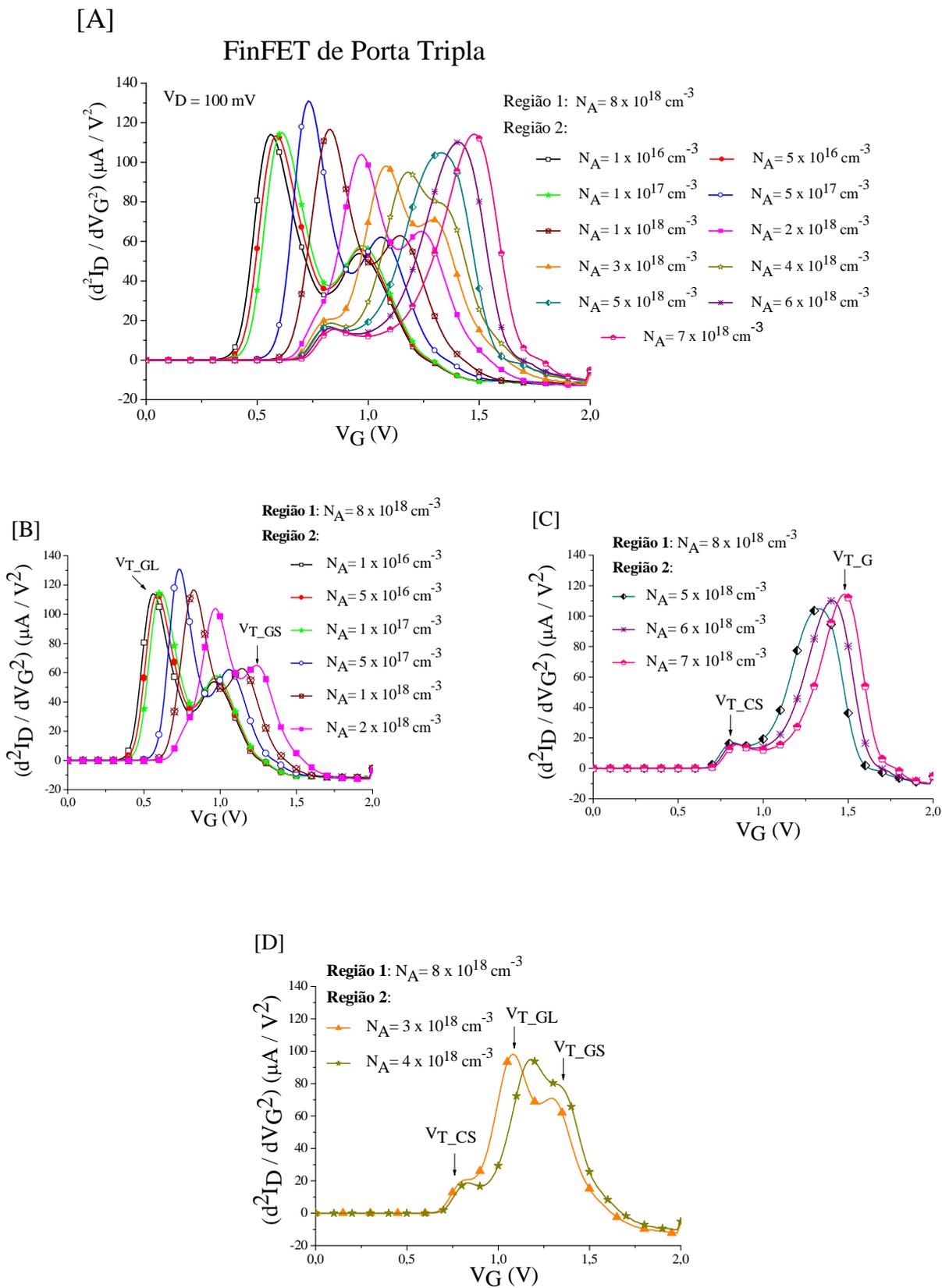


Figura 5.17 – Curva $d^2 I_D / dV_G^2$ em função da tensão de porta de FinFETs de porta tripla com $W_{Fin} = 120 \text{ nm}$; $H_{Fin} = 60 \text{ nm}$; $L = 1 \text{ }\mu\text{m}$; $V_D = 100 \text{ mV}$ e com concentração de dopantes de $N_A = 8 \times 10^{18} \text{ cm}^{-3}$ na região 1 do canal e na região 2 de: [A] $N_A = 1 \times 10^{16} \text{ cm}^{-3}$ a $N_A = 6 \times 10^{18} \text{ cm}^{-3}$; [B] $N_A = 1 \times 10^{16} \text{ cm}^{-3}$ a $N_A = 2 \times 10^{18} \text{ cm}^{-3}$; [C] $N_A = 5 \times 10^{18} \text{ cm}^{-3}$ a $N_A = 7 \times 10^{18} \text{ cm}^{-3}$; [D] $N_A = 3 \times 10^{18} \text{ cm}^{-3}$ e $N_A = 4 \times 10^{18} \text{ cm}^{-3}$.

A figura 5.18 mostra as mesmas curvas apresentadas na figura 5.17-D, contudo para FinFETs de porta dupla. Observa-se que as curvas apresentam apenas uma tensão de limiar (apenas um ponto de máximo para cada curva). Essa tensão de limiar V_{T_G} é devido a passagem de corrente nas laterais do Fin (canal).

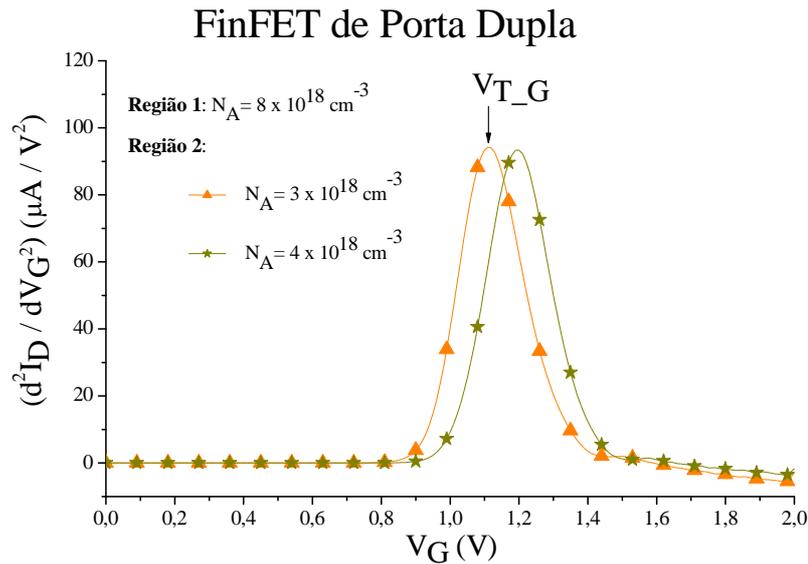


Figura 5.18 – Curva $d^2 I_D / dV_G^2$ em função da tensão de porta de FinFETs de porta dupla com $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$; $L = 1 \text{ }\mu\text{m}$; $V_D = 100 \text{ mV}$ e com diferentes concentrações de dopantes nas regiões do canal.

Na figura 5.19 são apresentadas as curvas da segunda derivada da corrente de dreno para FinFETs de porta dupla e porta tripla com concentração de dopantes no canal de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$. Observa-se que para baixa concentração de dopantes no canal as curvas apresentam apenas uma tensão de limiar. Essa tensão de limiar V_{T_G} é devido a inversão das superfícies laterais (porta dupla) e também da superfície superior (porta tripla).

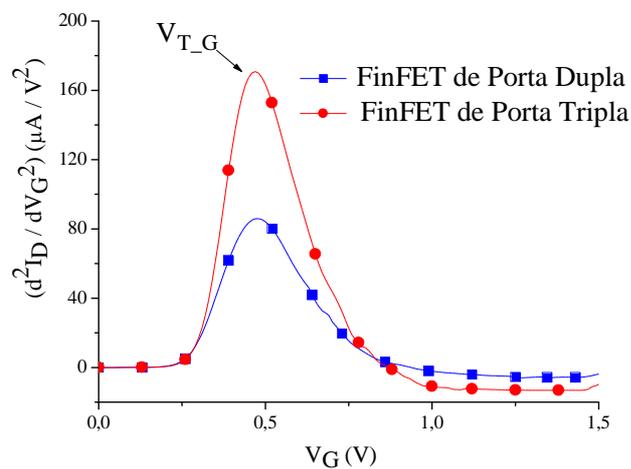


Figura 5.19 – Curva $d^2 I_D / dV_G^2$ em função da tensão de porta de FinFETs de porta dupla com $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$; $L = 1 \text{ }\mu\text{m}$; $V_D = 100 \text{ mV}$ e com concentração de dopantes no canal de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$.

A figura 5.20 apresenta o estudo da tensão de limiar em transistores FinFETs de porta tripla em função da concentração de dopantes na região 2 do canal.

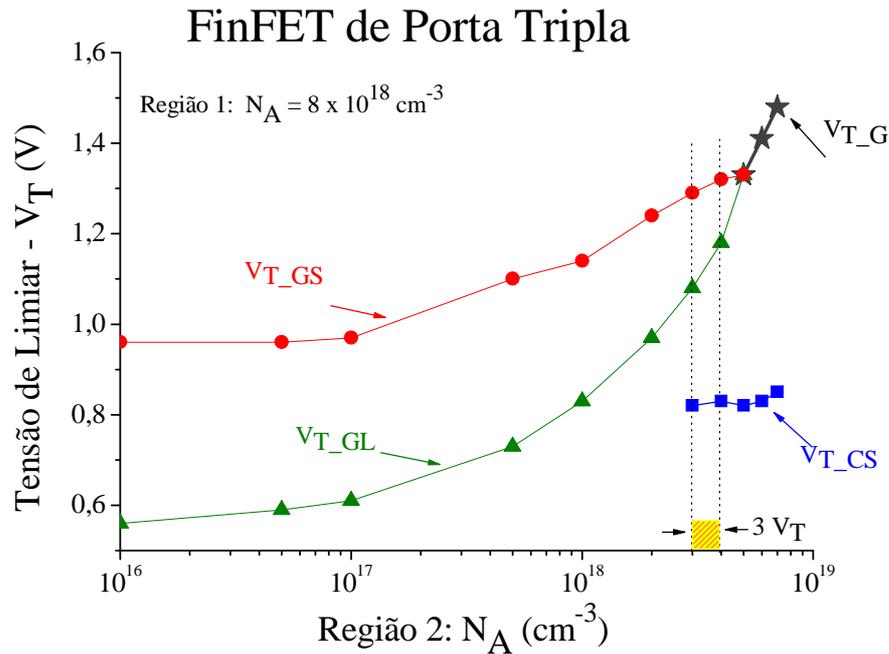


Figura 5.20 – Tensão de limiar em função da concentração de dopantes na região 2 do canal de FinFETs de porta dupla e porta tripla com $L = 1 \mu\text{m}$; $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$ e $V_D = 100 \text{ mV}$. e com concentração de dopantes na região 1 de $N_A = 8 \times 10^{18} \text{ cm}^{-3}$

As Figuras 5.21 a 5.22 mostram as curvas da segunda derivada da corrente de dreno de transistores FinFETs de porta tripla em função da tensão de porta para diferentes concentrações de dopantes nas regiões do canal. Neste caso, devido a altas e diferentes dopagens no canal as curvas apresentam quatro tensões de limiar; $V_{T_{\text{CS}}}$, $V_{T_{\text{CI}}}$, $V_{T_{\text{GL}}}$ e $V_{T_{\text{GS}}}$.

A tensão de limiar $V_{T_{\text{CS}}}$ se refere a condução dos cantos superiores; $V_{T_{\text{CI}}}$ é a tensão de limiar referente a condução dos cantos inferiores; $V_{T_{\text{GL}}}$ representa a condução das portas laterais, enquanto que $V_{T_{\text{GS}}}$ se refere a condução da porta superior.

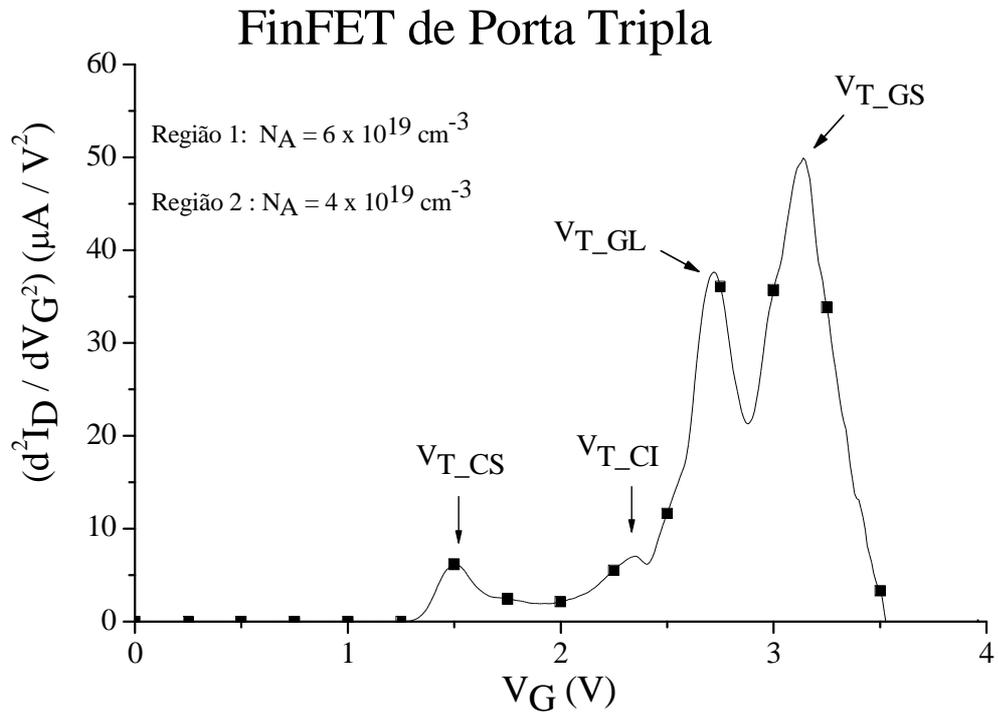


Figura 5.21 – Curva $d^2 I_D / dV_G^2$ em função da tensão de porta de FinFETs de porta tripla com $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$; $L = 1 \mu\text{m}$; $V_D = 100 \text{ mV}$ e com concentração de dopantes de $N_A = 6 \times 10^{19} \text{ cm}^{-3}$ na região 1 do canal e $N_A = 4 \times 10^{19} \text{ cm}^{-3}$ na região 2.

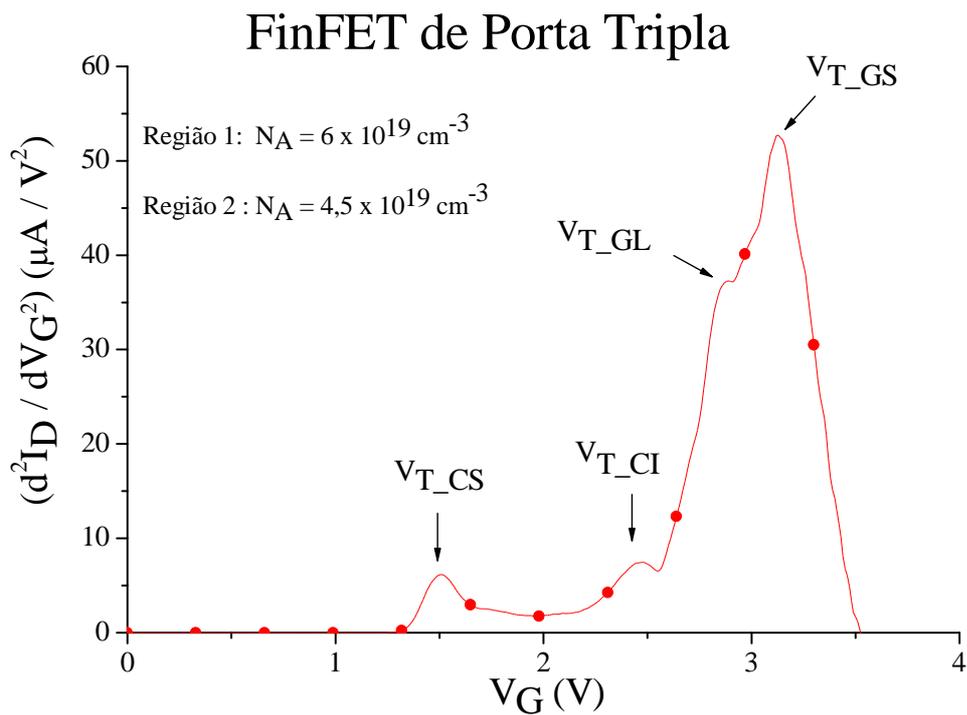


Figura 5.22 – Curva $d^2 I_D / dV_G^2$ em função da tensão de porta de FinFETs de porta tripla com $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$; $L = 1 \mu\text{m}$; $V_D = 100 \text{ mV}$ e com concentração de dopantes de $N_A = 6 \times 10^{19} \text{ cm}^{-3}$ na região 1 do canal e $N_A = 4,5 \times 10^{19} \text{ cm}^{-3}$ na região 2.

6 MODELAGEM E CARACTERIZAÇÃO ELÉTRICA

Neste capítulo são apresentados os modelos analíticos para o cálculo da tensão de limiar e inclinação de sublimiar em transistores SOI FinFETs de porta dupla e porta tripla, obtidos a partir da solução dada pela equação de Poisson. Ressalte-se que, esses modelos não prevêm os efeitos quânticos dos dispositivos de filme fino, que somente podem ser previstos pelo uso adicional da equação de Schrödinger [56, 74].

Adicionalmente, são apresentados os resultados das caracterizações elétricas dos transistores SOI FinFETs de porta tripla fabricados no centro de pesquisa *IMEC* – “*Interuniversity Microelectronic Center*” situado na Universidade Católica de Leuven, na Bélgica.

6.1 Modelo Analítico de Pascale Francis

O modelo de Pascale Francis [52] é um modelo desenvolvido para dispositivo SOI de porta dupla baseado na solução unidimensional da equação de Poisson, que considera a distancia entre as portas (W_{Fin}). Esse modelo deve ser aplicado em dispositivos de canal longo com maiores valores de W_{Fin} e com altos níveis de concentração de dopantes no canal. A tensão de limiar é determinada pela equação 6.1.

$$V_T = \phi_s + V_{FB} + \left(\frac{Q_D}{2C_{ox}} \right) \sqrt{1 + \left(\frac{kT}{q} \frac{2C_{ox}}{Q_D} \right)} \quad (6.1)$$

onde Q_D é a carga na região de depleção e ϕ_s é o potencial de superfície, são determinados pelas equações 6.2 e 6.3, respectivamente.

$$Q_D = qN_A W_{Fin} \quad (6.2)$$

$$\phi_s = 2\phi_F + \frac{kT}{q} \ln \left[\frac{C_{ox}}{4C_{Si}} \frac{1}{1 - \exp\left(-\frac{q}{kT} \frac{Q_D}{8C_{Si}}\right)} \right] \quad (6.3)$$

Sendo que a capacitância da camada de silício, C_{Si} , é determinada pela equação 6.4.

$$C_{Si} = \frac{\epsilon_{Si}}{W_{Fin}} \quad (6.4)$$

Na figura 6.1 é apresentada a curva característica da tensão de limiar em função da largura do Fin (W_{Fin}), obtida utilizando o modelo de Pascale Francis [52]. Através dessa curva, pode-se comprovar que, para os dispositivos com elevada concentração de dopantes no canal, a tensão de limiar aumenta com o aumento de W_{Fin} , devido ao aumento de carga depletada no canal (Q_D).

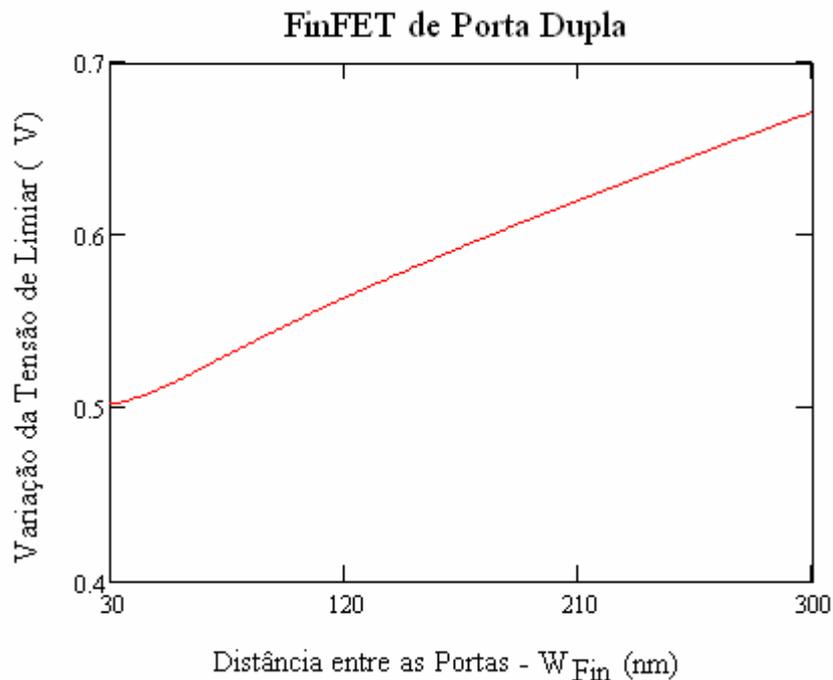


Figura 6.1 – Tensão de limiar em função da distância entre as portas (W_{Fin}) de FinFETs de porta dupla com concentração de dopantes no canal de $N_A = 10^{17} \text{ cm}^{-3}$; $t_{oxf} = 2 \text{ nm}$; $\phi_M = 4,7 \text{ V}$; $\phi_{Si} = (\phi_F - 4,65) \text{ V}$; $T = 300 \text{ K}$; densidade de carga na interface (q_f) de $3 \times 10^{10} \text{ cm}^{-2}$ e $V_D = 100 \text{ mV}$.

6.2 Modelo analítico de Gen Pei

O modelo de Gen Pei [77] é um modelo baseado na solução tridimensional da equação de Poisson, que considera a largura (W_{Fin}), a altura (H_{Fin}) do Fin e o comprimento do canal (L). É feita a modelagem da inclinação de sublimar para os transistores SOI FinFETs de porta tripla com canal não dopado. A inclinação de sublimar para FinFET de porta tripla é determinada pela equação 6.5.

$$\frac{1}{S} = \frac{\partial \log(I_D)}{\partial V_G} = \frac{1}{2,3} \frac{q}{kT} \left\{ \sum_{m=1}^{\infty} \sum_{n=1}^{\infty} \frac{16}{(2n-1)(2m-1)\pi^2} \text{sen} \left[\frac{(2m-1)\pi}{L_{\text{eff}}} Y_C \right] \right\} \\ \left\{ \text{sen} \left(\frac{(2n-1)\pi}{H_{\text{eff}}} X_C \right) \frac{\cosh \left(\frac{K_Z \pi}{H_{\text{eff}}} Z_C \right)}{\cosh(K_Z \pi)} + \right. \\ \left. \cos \left(\frac{(2n-1)\pi}{2H_{\text{eff}}} Z_C \right) (-1)^{n+1} \frac{\text{senh} \left(\frac{K_Z \pi}{H_{\text{eff}}} (H_{\text{eff}} - X_C) \right) + \text{senh} \left(\frac{K_X \pi}{H_{\text{eff}}} X_C \right)}{\text{senh}(K_X \pi)} \right\} \quad (6.5)$$

E os valores de X_C , Y_C , Z_C , K_X e K_Z são determinados pelas equações 6.6 a 6.10, respectivamente.

$$X_C = 0,5W_{\text{eff}} \quad (6.6)$$

$$Y_C = \frac{L_{\text{eff}}}{2} + \frac{L_D}{2\pi} + \ln \left(\frac{-\phi_{\text{MS}}}{-\phi_{\text{MS}} - V_{\text{DS}}} \right) \quad (6.7)$$

$$Z_C = 0,75H_{\text{Fin}} \quad (6.8)$$

$$K_X = \sqrt{\left(\frac{2m-1}{L_{\text{eff}}} \right)^2 + \left(\frac{2n-1}{2H_{\text{eff}}} \right)^2} W_{\text{eff}} \quad (6.9)$$

$$K_Z = \sqrt{\left(\frac{2m-1}{W_{\text{eff}}} \right)^2 + \left(\frac{2m-1}{L_{\text{eff}}} \right)^2} H_{\text{eff}} \quad (6.10)$$

As dimensões de W_{eff} e H_{eff} são determinadas pelas equações 6.11, e 6.12, respectivamente.

$$W_{\text{eff}} = W_{\text{Fin}} + \frac{2\varepsilon_{\text{Si}}}{\varepsilon_{\text{ox}}} t_{\text{ox}} \quad (6.11)$$

$$H_{\text{eff}} = H_{\text{Fin}} + \frac{\varepsilon_{\text{Si}}}{\varepsilon_{\text{ox}}} t_{\text{ox}} \quad (6.12)$$

E o valor de L_D pela equação 6.13.

$$L_D = \frac{1}{\sqrt{\left(\frac{1}{W_{Fin}}\right)^2 + \left(\frac{0,5}{H_{Fin}}\right)^2}} \quad (6.13)$$

6.2.1 Resultados obtidos por modelagem variando a largura do Fin - W_{Fin}

Na figura 6.2 é apresentada a curva característica da Inclinação de sublimiar em função da largura do Fin (W_{Fin}), obtida utilizando o modelo de Gen Pei [77] para FinFETs de porta tripla. Através dessa curva, pode-se comprovar que os FinFETs de porta tripla com W_{Fin} menores apresentam menor efeito de canal curto, devido ao maior controle das portas sobre o canal.

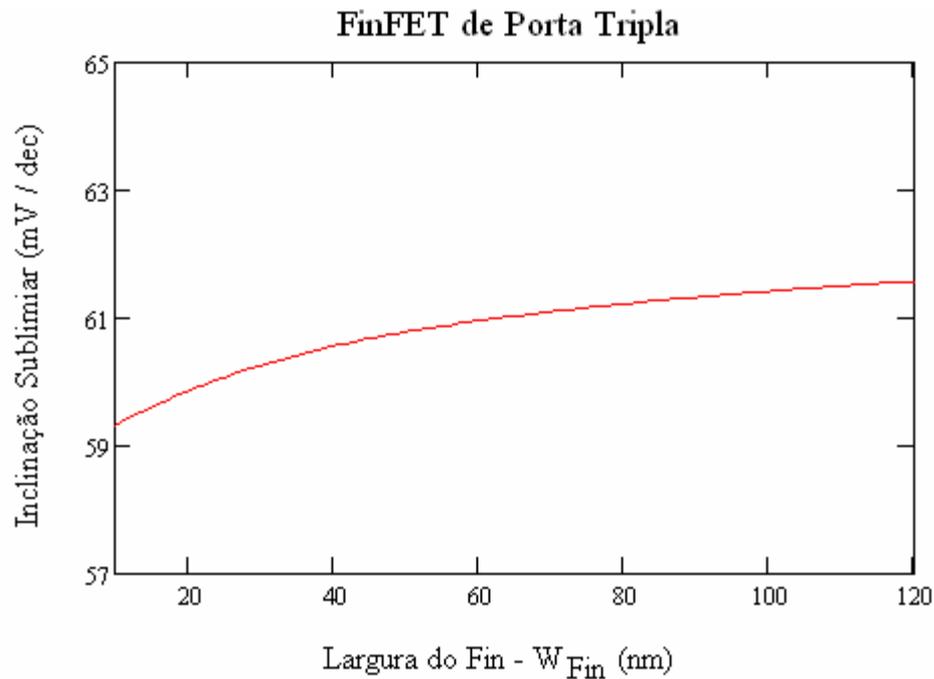


Figura 6.2 – Inclinação de sublimiar em função da largura do Fin (W_{Fin}) de FinFET de tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $t_{oxf} = 2 \text{ nm}$; $H_{Fin} = 60 \text{ nm}$; $L = 1 \text{ }\mu\text{m}$; $\phi_M = 4,7 \text{ V}$; $\phi_{Si} = (\phi_F - 4,65) \text{ V}$; $q_f = 3 \times 10^{10} \text{ cm}^{-2}$; $T = 300\text{K}$ e $V_D = 100 \text{ mV}$.

6.2.2 Resultados obtidos por modelagem variando a altura do Fin - H_{Fin}

A figura 6.3 apresenta a curva característica da inclinação de sublimiar em função da altura do Fin (H_{Fin}), obtida utilizando o modelo de Gen Pei [77]. Através dessa curva, pode-se observar que os FinFETs de porta tripla apresentam um aumento na inclinação de sublimiar com a diminuição da altura do Fin, provavelmente devido ao menor controle das portas sobre o canal, pois para H_{Fin} menor que W_{Fin} o controle da corrente no canal é dominada pela porta superior [65].

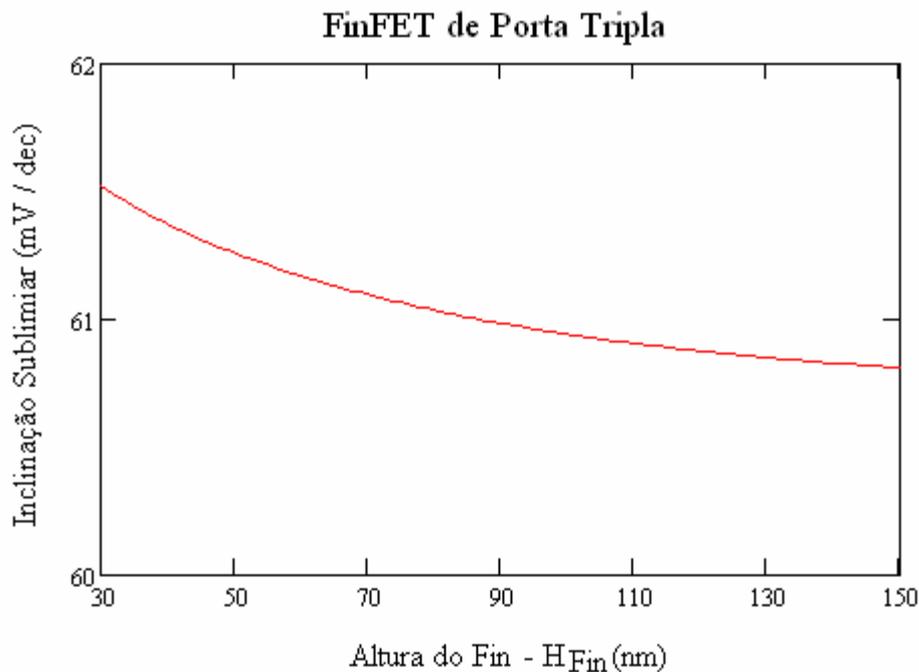


Figura 6.3 – Inclinação de sublimiar em função da altura do Fin (H_{Fin}) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $t_{oxf} = 2 \text{ nm}$; $W_{Fin} = 120 \text{ nm}$; $L = 1 \text{ }\mu\text{m}$; $\phi_M = 4,7 \text{ V}$; $\phi_{Si} = (\phi_F - 4,65) \text{ V}$; $q_f = 3 \times 10^{10} \text{ cm}^{-2}$; $T = 300\text{K}$ e $V_D = 100 \text{ mV}$.

6.2.3 Resultados obtidos por modelagem variando o comprimento do Fin – L

Na figura 6.4 são mostradas as curvas características da inclinação de sublimiar em função do comprimento do canal (L) para diferentes larguras do Fin (W_{Fin}), obtidas utilizando o modelo de Gen Pei [77] para FinFETs de porta tripla. Pode-se observar uma dependência do efeito de canal curto sobre a largura do Fin. Larguras menores de W_{Fin} suportam comprimentos menores de L , devido a um melhor controle das cargas no canal.

A figura 6.5 apresenta as curvas características da inclinação de sublimiar em função do comprimento do canal (L) para diferentes alturas do Fin (H_{Fin}), obtidas utilizando o modelo de Gen Pei [77]. Observou-se que alturas menores de H_{Fin} suportam comprimentos menores de L .

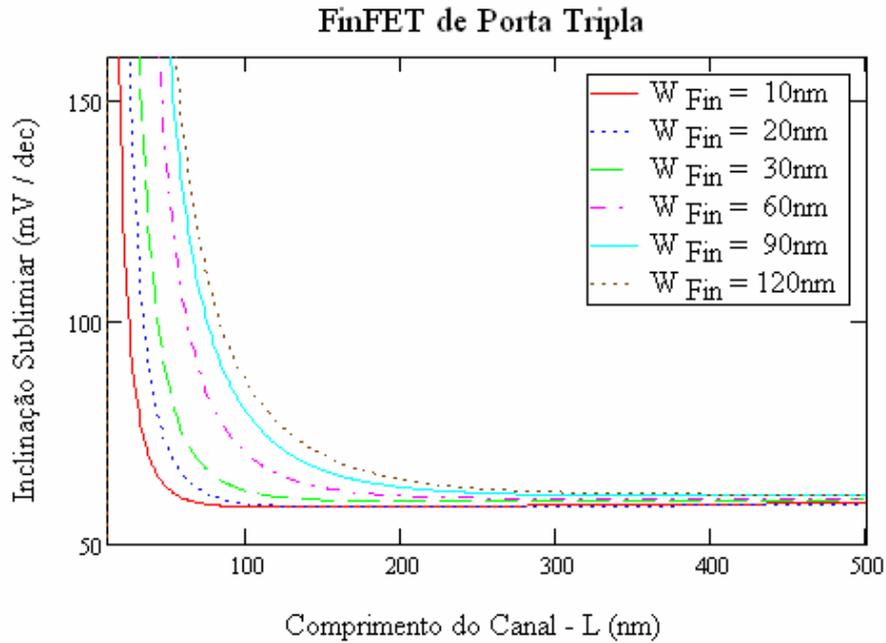


Figura 6.4 – Inclinação de sublimiar em função do comprimento do canal (L) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $t_{oxf} = 2 \text{ nm}$; $H_{Fin} = 60 \text{ nm}$; $\phi_M = 4,7 \text{ V}$; $\phi_{Si} = (\phi_F - 4,65) \text{ V}$; $q_f = 3 \times 10^{10} \text{ cm}^{-2}$; $T = 300 \text{ K}$ e $V_D = 100 \text{ mV}$ para diferentes larguras de W_{Fin} .

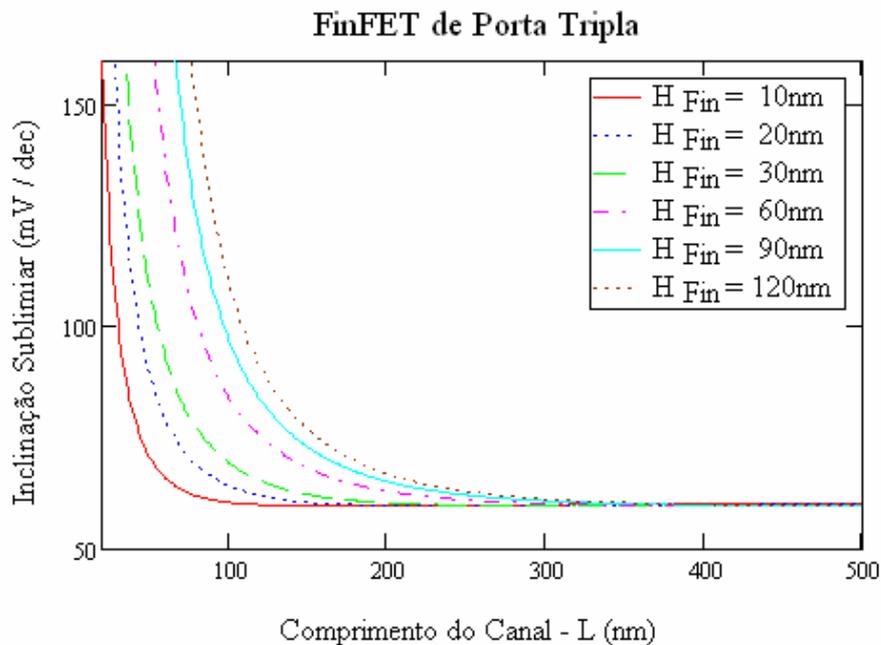


Figura 6.5 – Inclinação de sublimiar em função do comprimento do canal (L) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $t_{oxf} = 2 \text{ nm}$; $W_{Fin} = 120 \text{ nm}$; $\phi_M = 4,7 \text{ V}$; $q_f = 3 \times 10^{10} \text{ cm}^{-2}$; $\phi_{Si} = (\phi_F - 4,65) \text{ V}$; $T = 300 \text{ K}$ e $V_D = 100 \text{ mV}$ para diferentes alturas de H_{Fin} .

6.3 Comparações: modelos analíticos e simulações 3D

Neste item são apresentadas comparações entre os resultados obtidos pelas simulações 3D e pelos modelos analíticos. Ressalte-se que essas comparações têm apenas o objetivo de indicação qualitativa de tendências e não o de quantificar com exatidão os resultados.

6.3.1 Modelo analítico de Pascale Francis e simulações

Os resultados da comparação do modelo analítico de Pascale Francis [52] e das simulações 3D obtidos neste trabalho são apresentados na figura 6.6. Observa-se uma mesma tendência de comportamento entre os dados obtidos por modelagem e por simulação, isto é, dispositivos com alta concentração de dopantes no canal apresentam um aumento na tensão de limiar com o aumento de W_{Fin} .

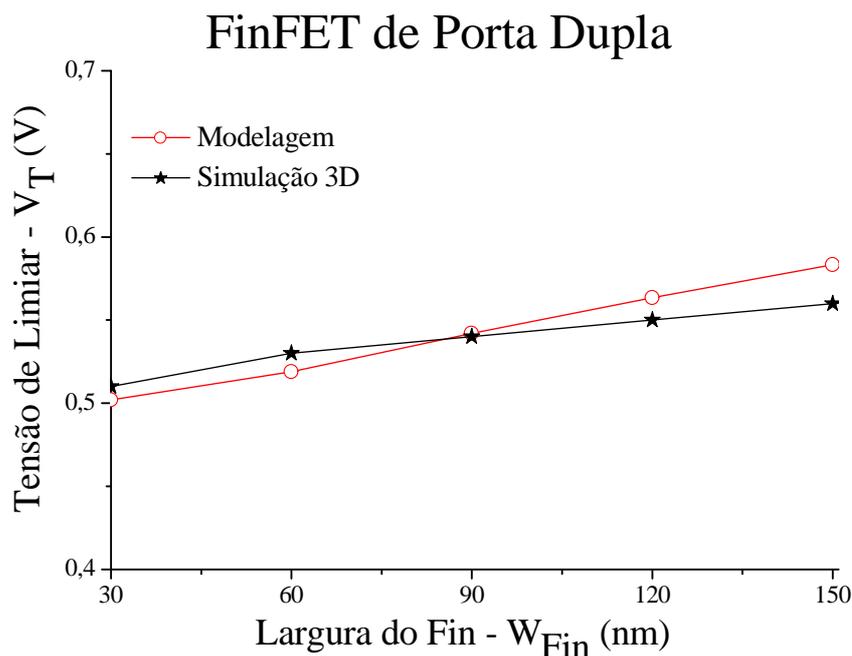


Figura 6.6 – Resultados obtidos por modelagem (Pascale Francis) e por simulação da tensão de limiar (V_T) em função da Largura do Fin (W_{Fin}) de FinFETs de porta dupla com concentração de dopantes no canal de $N_A = 10^{17} \text{ cm}^{-3}$; $t_{\text{oxf}} = 2 \text{ nm}$; $\phi_M = 4,7 \text{ V}$; $\phi_{\text{Si}} = (\phi_F - 4,65) \text{ V}$; $q_f = 3 \times 10^{10} \text{ cm}^{-2}$; $T=300\text{K}$ e $V_D = 100 \text{ mV}$.

6.3.2 Modelo analítico do Gen Pei e simulações

Os resultados da comparação do modelo analítico de Gen Pei [77] e das simulações 3D obtidos neste trabalho são apresentados nas figuras 6.7 a 6.9. Esses resultados indicam valores muito próximos de inclinação de sublimiar dos dados obtidos por modelagem e por simulação.

Com a redução da largura do Fin (figura 6.7), a inclinação de sublimiar diminui devido a um melhor controle das portas sobre o canal.

Com a redução da altura do Fin (figura 6.8), a inclinação de sublimiar aumenta devido a um pior controle das portas sobre o canal, que passa a ser controlada mais pela porta superior.

Com a redução do comprimento do canal (figura 6.9), a inclinação de sublimiar aumenta, pois dispositivos com comprimentos de canais menores, apresentam efeito de canal curto devido ao compartilhamento de cargas no canal com a região de fonte e dreno.

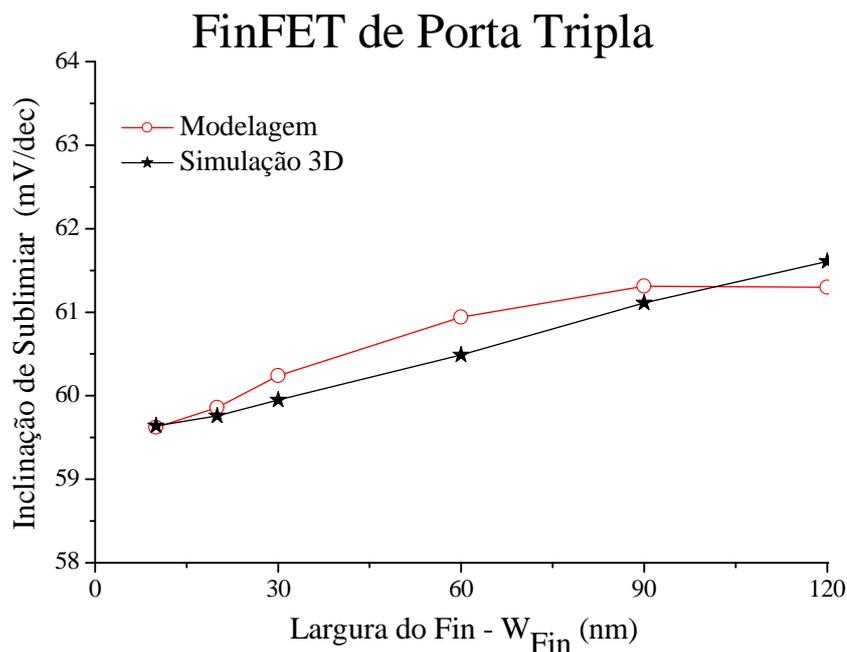


Figura 6.7 – Resultados obtidos por modelagem (Gen Pei) e por simulação da inclinação de sublimiar em função da Largura do Fin (W_{Fin}) de FinFETs de porta dupla e porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $t_{oxf} = 2 \text{ nm}$; $\phi_M = 4,7 \text{ V}$; $\phi_{Si} = (\phi_F - 4,65) \text{ V}$; $q_f = 3 \times 10^{10} \text{ cm}^{-2}$; $T = 300\text{K}$; $H_{Fin} = 60 \text{ nm}$; $L = 1 \mu\text{m}$ e $V_D = 100 \text{ mV}$.

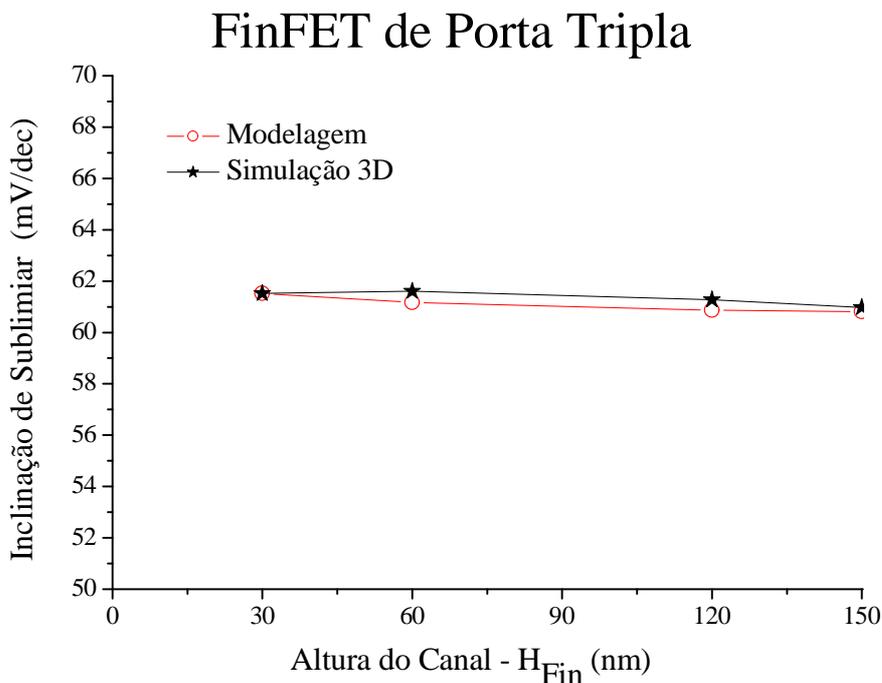


Figura 6.8 – Resultados obtidos por modelagem (Gen Pei) e por simulação 3D da inclinação de sublimiar em função da altura do Fin (H_{Fin}) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $t_{oxf} = 2 \text{ nm}$; $\phi_M = 4,7 \text{ V}$; $\phi_{Si} = (\phi_F - 4,65) \text{ V}$; $q_f = 3 \times 10^{10} \text{ cm}^{-2}$; $T = 300\text{K}$; $W_{Fin} = 120 \text{ nm}$; $L = 1 \mu\text{m}$ e $V_D = 100 \text{ mV}$.

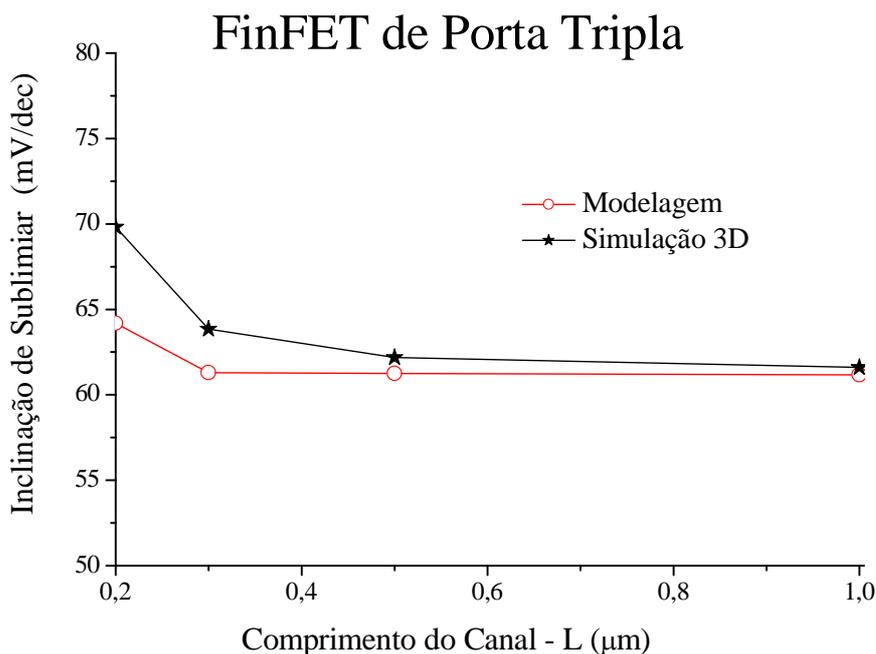


Figura 6.9 – Resultados obtidos por modelagem (Gen Pei) e por simulação 3D da inclinação de sublimiar em função do comprimento do canal (L) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $\phi_M = 4,7 \text{ V}$; $\phi_{Si} = (\phi_F - 4,65) \text{ V}$; $q_f = 3 \times 10^{10} \text{ cm}^{-2}$; $t_{oxf} = 2 \text{ nm}$; $W_{Fin} = 120 \text{ nm}$; $H_{Fin} = 60 \text{ nm}$; $T = 300\text{K}$ e $V_D = 100 \text{ mV}$.

6.4 CARACTERIZAÇÃO ELÉTRICA

A pastilha utilizada na caracterização elétrica contendo um conjunto de dispositivos, onde estão incluindo os FinFETs de porta tripla, é apresentada na figura 6.10, enquanto que, na figura 6.11 é mostrado o local na pastilha que contém os FinFETs, identificando-se as regiões de Fonte (S), dreno (D) e porta (G). O perfil transversal do FinFET com a identificação de suas regiões é apresentado na figura 6.12.

Os transistores FinFETs da pastilha apresentam as seguintes características: comprimento da regiões de dreno e fonte $L_D = L_S = 100$ nm; óxido enterrado $t_{\text{oxb}} = 145$ nm; óxido de porta com óxido de silício $t_{\text{oxf_SiO}_2} = 1$ nm e óxido de porta com óxido de háfnio $t_{\text{oxf_HfO}_2} = 2$ nm. O nitreto de titânio (TiN) e silício policristalino N^+ (Si-poly N^+) foram utilizados nas portas.

A região do canal é constituída de silício tipo P e a região de fonte e dreno de silício tipo N. A concentração de dopantes da região de fonte e dreno é de $N_D = 1 \times 10^{21} \text{ cm}^{-3}$ e no canal de $N_A = 1 \times 10^{15} \text{ cm}^{-3}$. A largura do Fin W_{Fin} varia de 20 nm a $9,87 \mu\text{m}$, a altura do Fin $H_{\text{Fin}} = 60$ nm e o comprimento do canal L varia de 10 nm a $19,91 \mu\text{m}$.

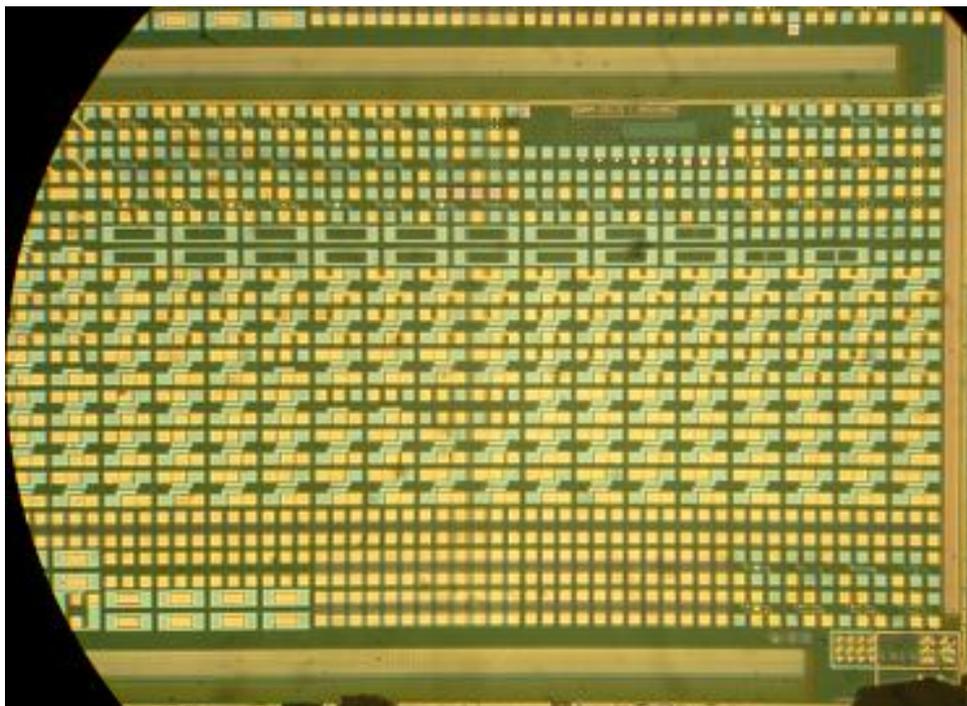


Figura 6.10 – Pastilha contendo o conjunto de dispositivos.

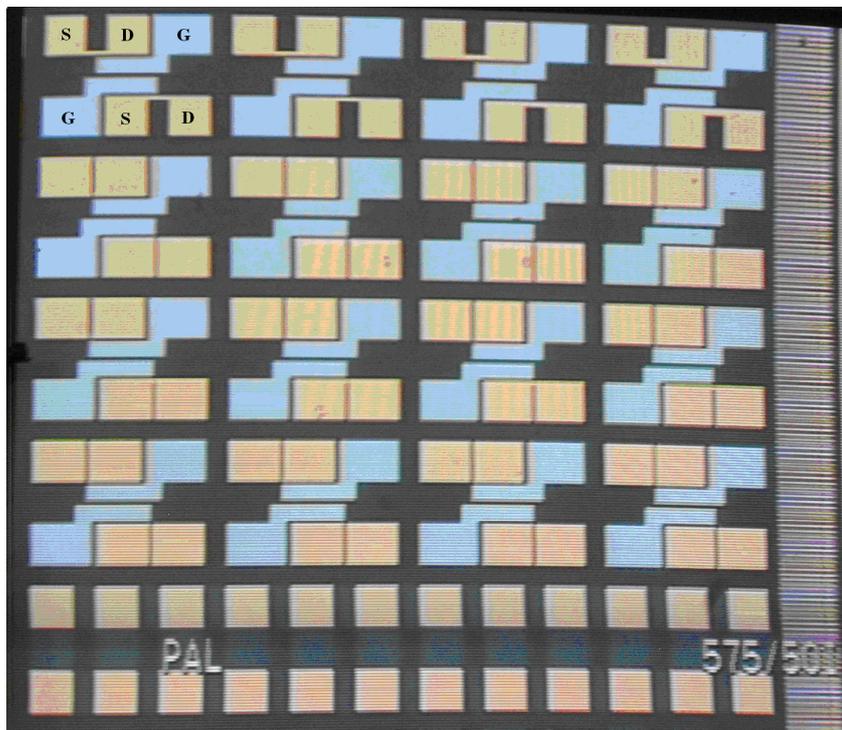


Figura 6.11 – Transistores FinFETs de porta tripla.

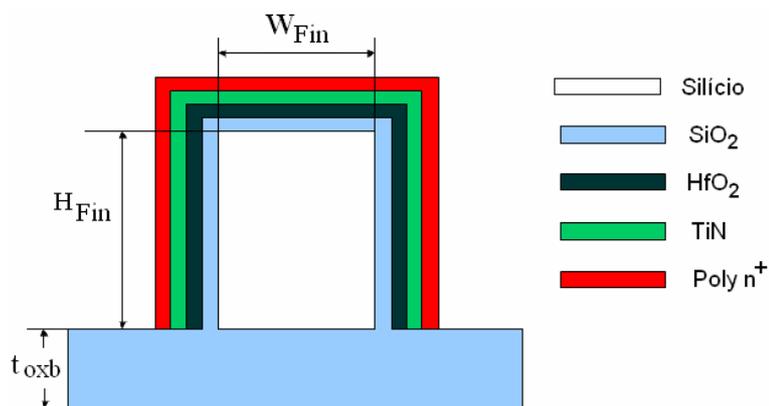


Figura 6.12 – Seção transversal do FinFETs de porta tripla identificando suas regiões.

6.4.1 Efeito da variação da largura do Fin - W_{Fin}

Nas figuras 6.13 e 6.14 são apresentadas as curvas características I_D - V_G para FinFETs de porta tripla para diferentes larguras de W_{Fin} . Através das curvas obtidas, pode-se comprovar que a intensidade da corrente de dreno aumenta devido ao aumento de W_{Fin} , pois a corrente é diretamente proporcional a W , confirmando, assim, os resultados obtidos pelas simulações.

FinFET de Porta Tripla

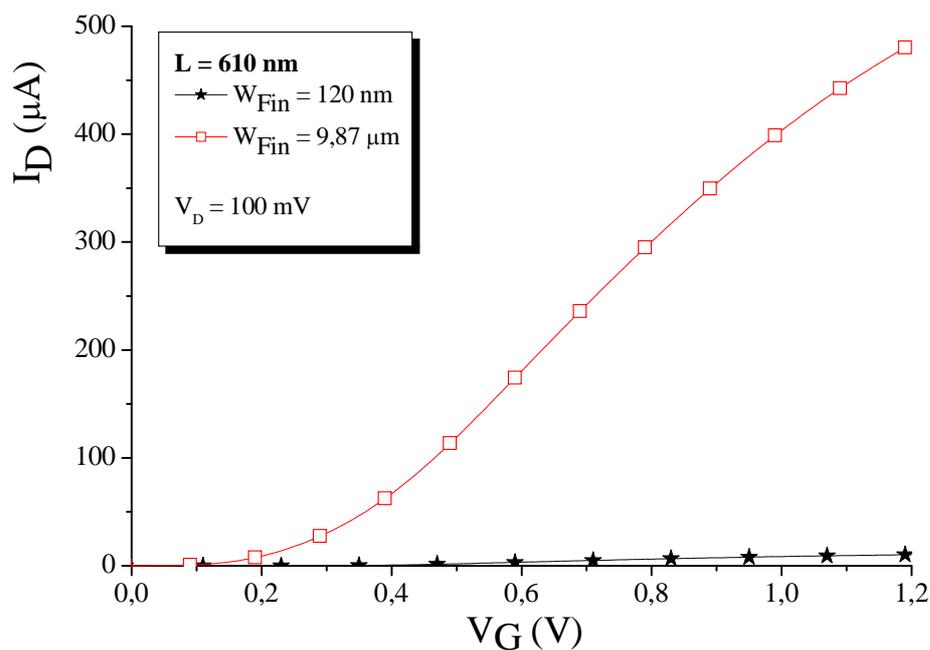


Figura 6.13 – Resultados obtidos por caracterização elétrica da corrente de dreno (I_D) em função da tensão de porta (V_G) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $V_D = 100 \text{ mV}$; $H_{Fin} = 60 \text{ nm}$; $L = 610 \text{ nm}$ para diferentes larguras de W_{Fin} .

FinFET de Porta Tripla

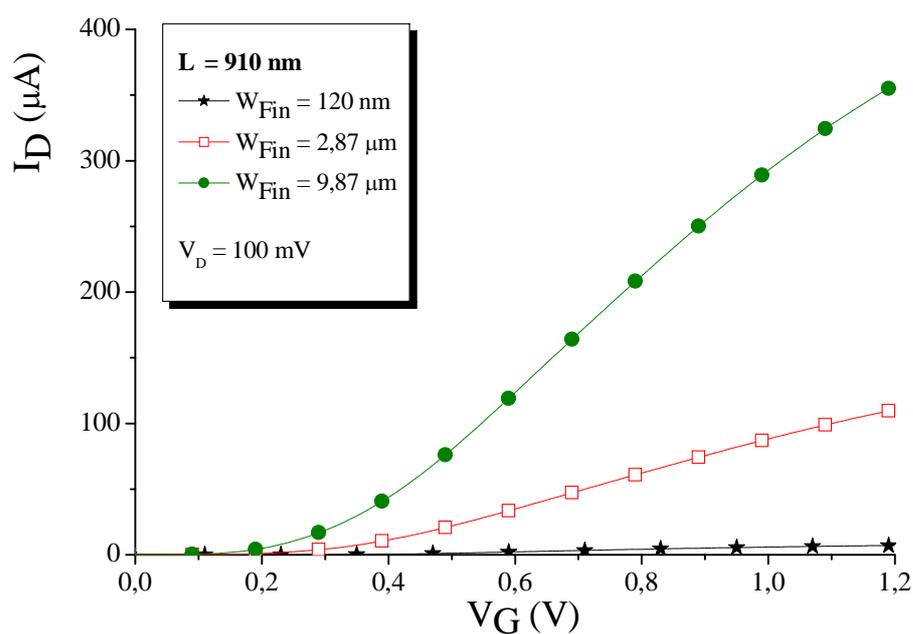


Figura 6.14 – Resultados obtidos por caracterização elétrica da corrente de dreno (I_D) em função da tensão de porta (V_G) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $V_D = 100 \text{ mV}$; $H_{Fin} = 60 \text{ nm}$; $L = 910 \text{ nm}$ para diferentes larguras de W_{Fin} .

A partir dos resultados apresentados na tabela 6.1, pode-se observar o comportamento da tensão de limiar. Com a redução da largura do Fin, a tensão de limiar é praticamente constante como nas simulações.

Tabela 6.1 – Valores obtidos por caracterização elétrica da tensão de limiar e inclinação de sublimiar de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $H_{\text{Fin}} = 60 \text{ nm}$ e $V_D = 100 \text{ mV}$.

FinFETs		V_T (V)
L	W_{Fin}	
610 nm	120 nm	0,36
	9,87 μm	0,35
910 nm	120 nm	0,37
	2,87 μm	0,36
	9,87 μm	0,35

Nas figuras 6.15 e 6.16 são mostradas as curvas características da inclinação de sublimiar em função da tensão de porta (V_G) de FinFETs de porta tripla para diferentes larguras de W_{Fin} onde foi destacado no quadro o valor da inclinação de sublimiar obtida através do ponto de mínimo da curva (figura 6.15) e pela média dos pontos na região de sublimiar (figura 6.16). Esses resultados confirmam os resultados obtidos pelas simulações e pela modelagem analítica: a inclinação de sublimiar diminui com a redução da largura do Fin, pois o FinFET apresenta um melhor acoplamento entre as portas laterais e o canal.

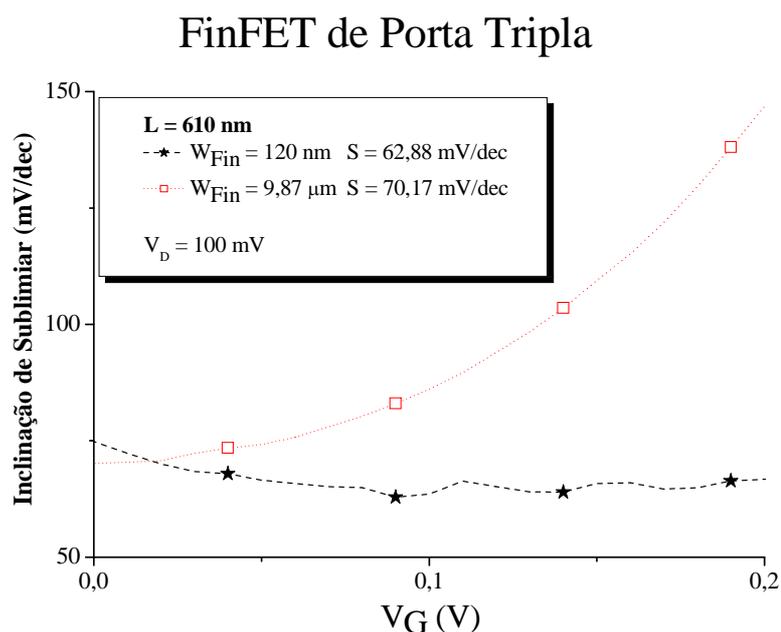


Figura 6.15 – Resultados obtidos por caracterização elétrica da inclinação de sublimiar em função da tensão de porta (V_G) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $V_D = 100 \text{ mV}$; $H_{\text{Fin}} = 60 \text{ nm}$; $L = 610 \text{ nm}$ para diferentes larguras de W_{Fin} .

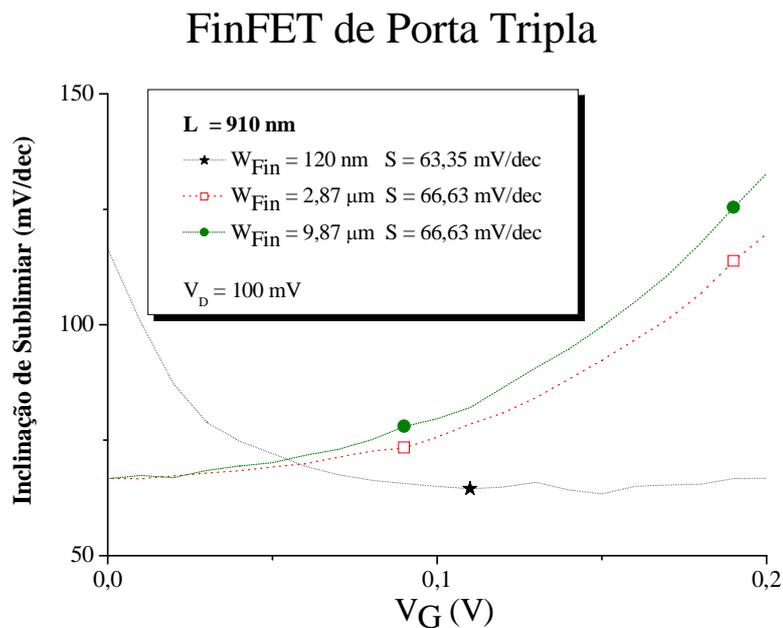


Figura 6.16 – Resultados obtidos por caracterização elétrica da inclinação de sublimiar em função da tensão de porta (V_G) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $V_D = 100 \text{ mV}$; $H_{Fin} = 60 \text{ nm}$; $L = 910 \text{ nm}$ para diferentes larguras de W_{Fin} .

6.4.2 Efeito da variação do comprimento do canal – L

Nas figuras 6.17 e 6.18 são mostradas as curvas características I_D - V_G para FinFETs de porta tripla para diferentes comprimentos de L. Através das curvas obtidas, pode-se comprovar que a intensidade da corrente de dreno aumenta devido a diminuição do comprimento do canal, pois a corrente é inversamente proporcional a L, confirmando, assim, os resultados apresentados pelas simulações.

A partir dos resultados mostrados na tabela 6.2, pode-se observar o comportamento da tensão de limiar. Com a redução do comprimento do canal, a tensão de limiar diminui ligeiramente como nas simulações.

Tabela 6.2 – Valores obtidos por caracterização elétrica da tensão de limiar e inclinação de sublimiar de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $H_{Fin} = 65 \text{ nm}$ e $V_D = 100 \text{ mV}$.

FinFETs		V_T (V)
W_{Fin}	L	
120 nm	610 nm	0,36
	910 nm	0,37
	4,91 μm	0,39
	19,91 μm	0,39

FinFET de Porta Tripla

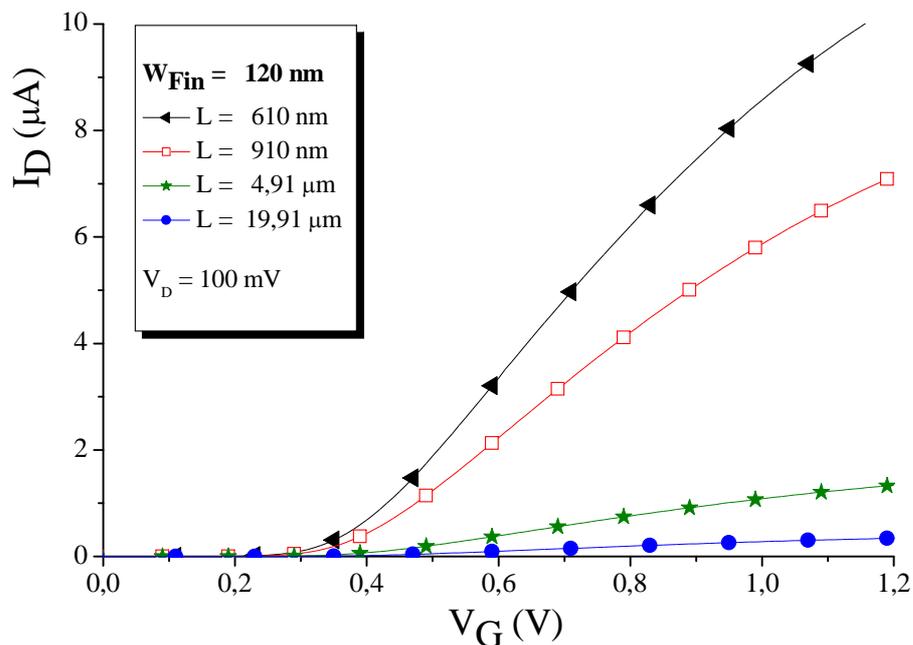


Figura 6.17 – Resultados obtidos por caracterização elétrica da corrente de dreno (I_D) em função da tensão de porta (V_G) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $W_{\text{Fin}} = 120 \text{ nm}$; $H_{\text{Fin}} = 60 \text{ nm}$ e $V_D = 100 \text{ mV}$ para diferentes comprimentos de canal L .

FinFET de Porta Tripla

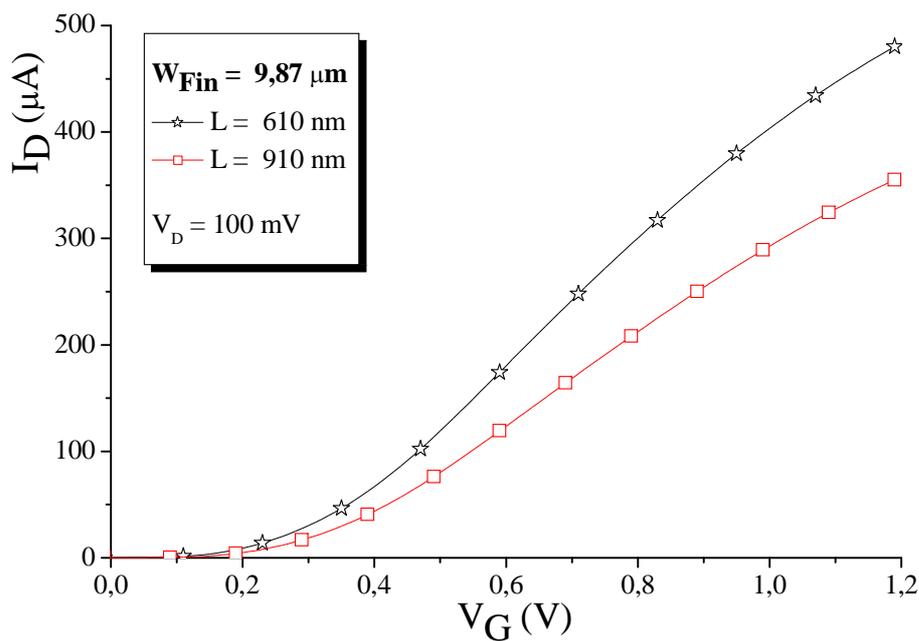


Figura 6.18 – Resultados obtidos por caracterização elétrica da corrente de dreno (I_D) em função da tensão de porta (V_G) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $W_{\text{Fin}} = 9,87 \text{ }\mu\text{m}$; $H_{\text{Fin}} = 60 \text{ nm}$ e $V_D = 100 \text{ mV}$ para diferentes comprimentos de canal L .

Nas figuras 6.19 e 6.20 são apresentadas as curvas características da inclinação de sublimiar em função da tensão de porta (V_G) de FinFETs de porta tripla para diferentes comprimentos de canal L . Onde o valor mínimo da inclinação de sublimiar apresentado no quadro foi obtido pela média dos pontos na região de sublimiar (figura 6.19) e através do ponto de mínimo da curva (figura 6.20). Esses resultados confirmam os resultados obtidos pelas simulações e pela modelagem analítica: a inclinação de sublimiar aumenta com a redução do comprimento de canal devido ao efeito de canal curto.

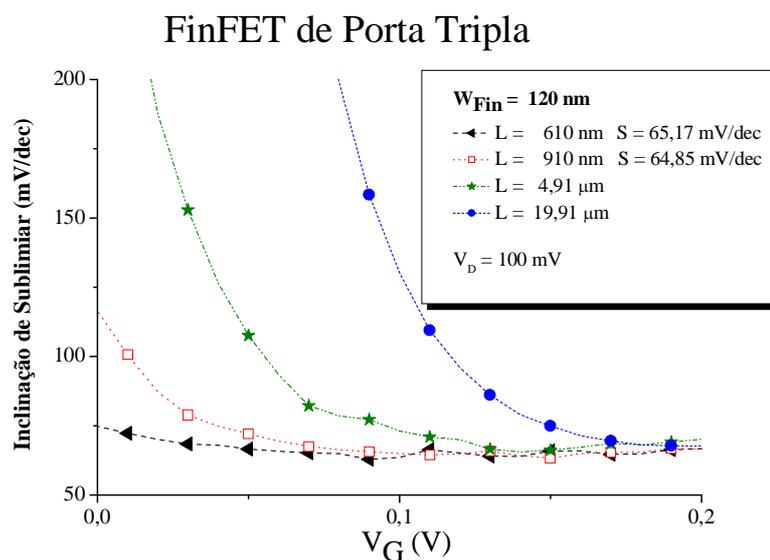


Figura 6.19 – Resultados obtidos por caracterização elétrica da inclinação de sublimiar em função da tensão de porta (V_G) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $W_{\text{Fin}} = 9,87 \mu\text{m}$; $H_{\text{Fin}} = 60 \text{ nm}$ e $V_D = 100 \text{ mV}$ para diferentes comprimentos de canal L .

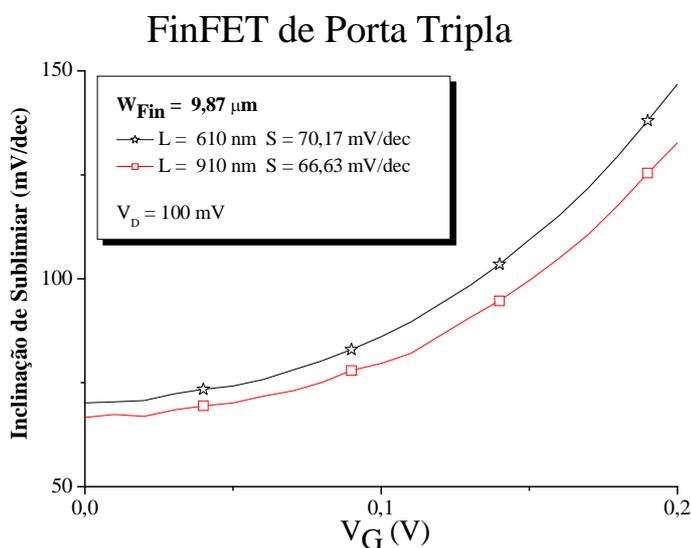


Figura 6.20 – Resultados obtidos por caracterização elétrica da inclinação de sublimiar em função da tensão de porta (V_G) de FinFETs de porta tripla com concentração de dopantes no canal de $N_A = 10^{15} \text{ cm}^{-3}$; $W_{\text{Fin}} = 9,87 \mu\text{m}$; $H_{\text{Fin}} = 60 \text{ nm}$ e $V_D = 100 \text{ mV}$ para diferentes comprimentos de canal L .

7 CONCLUSÕES E PERSPECTIVAS FUTURAS

Os resultados deste trabalho indicam o comportamento da tensão de limiar e inclinação de sublimiar em transistores SOI FinFETs de porta dupla e porta tripla, para diferentes dimensões e variadas concentrações de dopantes do canal no transistor.

Relativo as variações nas dimensões, verificou-se que a intensidade da corrente de dreno aumenta em função do aumento da largura e da altura do Fin e, diminui em função do aumento do comprimento do canal, pois a corrente é diretamente proporcional a W , sendo que $W \cong W_{\text{Fin}} + 2 H_{\text{Fin}}$ e é inversamente proporcional a L . Esse efeito é maior em FinFETs de porta tripla que nos de porta dupla, pois a corrente aumenta com o aumento do número de portas.

Com a redução da largura do Fin, foi constatado que a tensão de limiar mantém-se praticamente constante dentro da faixa estudada e a inclinação de sublimiar diminui, pois para valores de W_{Fin} menores, o FinFET apresenta um melhor acoplamento entre porta e canal.

Com a redução do comprimento do canal, a tensão de limiar diminui e a inclinação de sublimiar aumenta, devido ao compartilhamento de cargas no canal com a região de fonte e dreno, sendo esse efeito menor em FinFETs de porta tripla com o mesmo comprimento de canal.

Verificou-se a dependência do efeito de canal curto sobre a largura do Fin. Larguras menores de W_{Fin} suportam comprimentos menores de L , devido a um melhor controle das portas sobre o canal.

Relativo as variações nas concentrações de dopantes do canal (mesma concentração de dopantes em todo o canal), verificou-se que para altas concentrações dopantes tem-se a presença de duas tensões de limiar por curva, tanto nos FinFETs de porta dupla com concentração de dopantes superior a $N_A = 2 \times 10^{19} \text{ cm}^{-3}$, como nos FinFETs de porta tripla, com concentração de dopantes superior a $N_A = 3 \times 10^{18} \text{ cm}^{-3}$.

Nos FinFETs de porta dupla, a primeira tensão de limiar, $V_{T_{\text{CI}}}$ é referente a condução dos cantos inferiores e a segunda tensão de limiar, $V_{T_{\text{G}}}$, é referente a condução das portas laterais. Porém, nos FinFETs de porta tripla uma das tensões de limiar está relacionada a condução dos cantos superiores, $V_{T_{\text{CS}}}$ e $V_{T_{\text{G}}}$, devido a condução das portas laterais e da porta superior simultaneamente.

Entretanto em FinFETs de porta tripla com concentração de dopantes no canal ainda mais alta ($N_A = 5 \times 10^{19} \text{ cm}^{-3}$), observou-se uma terceira tensão de limiar, sendo esta referente a condução dos cantos inferiores, (V_{T_CI}).

Relativo as variações nas concentrações de dopantes nas regiões (região 1 e região 2) do canal (diferentes concentrações de dopantes no canal), os dispositivos podem apresentar até quatro tensões de limiar.

O FinFET de porta dupla apresenta apenas uma tensão de limiar, independente da diferença de concentrações de dopantes nas regiões do canal. Esta tensão de limiar é devida a passagem de corrente nas laterais do Fin.

No caso do FinFET de porta tripla, este pode apresentar mais de uma tensão de limiar e isto dependerá da diferença de concentrações de dopantes nas regiões do canal.

Em canais com baixas concentrações de dopantes e uma menor diferença das concentrações de dopantes em suas regiões, o dispositivo apresenta somente uma tensão de limiar, pois a inversão nas portas laterais e porta superior ocorrem ao mesmo tempo.

Em canais com altas concentrações de dopantes e uma maior diferença das concentrações de dopantes em suas regiões, o dispositivo pode apresentar até quatro tensões de limiar, V_{T_CS} , V_{T_CI} , V_{T_GL} e V_{T_GS} , sendo essas respectivamente a tensão de limiar dos cantos superiores, a tensão de limiar devido a inversão dos cantos inferiores, a inversão das superfícies laterais e a inversão da porta superior, cuja concentração de dopantes na superfície é tipicamente maior que a concentração de dopantes no restante do canal.

Os resultados obtidos nas simulações tridimensionais e os obtidos do uso de modelos analíticos de cálculo da tensão de limiar e inclinação de sublimiar em transistores SOI FinFETs de porta dupla e porta tripla mostraram a mesma tendência de comportamento. Os resultados experimentais também apresentaram a mesma tendência de comportamento em função das variações nas dimensões dos dispositivos observada nas simulações 3D e nos modelos analíticos estudados.

Como perspectivas futuras, seria interessante estender o trabalho para transistores porta tipo Π , porta tipo Ω e porta quádrupla.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] BIN, Y.; CHANG L.; AHMED, S.; WANG H.; BELL, S.; YANG, C. Y.; TABERY, C.; HO, C.; XIANG, Q.; KING, T. J.; BOKOR, J.; HU, C.; LIN, M. R.; KYSER, D. FinFET Scaling to 10 nm Gate Length. In: Technical Digest of IEDM - International Electron Devices Meeting, p. 251–254, 2002.
- [2] HISAMOTO, D.; KAGA, Toru; KAWAMOTO, Y.; TAKEDA, Eui. Fully Depleted Lean-channel Transistor (DELTA) - A novel vertical ultra thin SOI MOSFET. **IEEE Electron Device Letters**, v. 11, n. 1, p. 36-38, 1990.
- [3] PARK, T. S.; CHO, H. J.; CHOE, J. D.; CHO, H.; PARK, D.; YOON, E.; LEE, J. H. Characteristics of Body-Tied Triple-Gate pMOSFETs. **IEEE Transactions on Electron Devices**, v. 25, n. 12, p. 798-800, 2004.
- [4] HUANG, X.; LEE, W. C.; KUO C.; HISAMOTO, D.; CHANG, L.; KEDZIERSKI, J.; ANDERSON, E.; TAKEUCHI, Y.; CHOI, Y. K.; ASANO, K.; SUBRAMANIAN, V.; KING, T. J.; BOKOR, J.; HU, C. Sub-50 nm p-channel FinFET. **IEEE Transactions on Electron Devices**, v. 48, n. 5, p. 880-886, 2001.
- [5] HISAMOTO, D.; LEE, W. C.; KEDZIERSKI, J.; TAKEUCHI, T.; ASANO, K.; KUO, C.; ANDERSON, E.; KING, T. J.; BOKOR, J.; CHENMING, H. Solid-State Circuits, A Self-Aligned Double-Gate MOSFET Scalable to 20 nm. **IEEE Transactions on Electron Devices**, v. 47, n. 12, p. 2320-2325, 2000.
- [6] COLINGE, J. P. Thin-film SOI devices: A perspective. **Microelectronic Engineering**, North-Holland, v. 8, n. 3-4, p. 127-147, 1988.
- [7] STANIEY, T. D. The State-of-the art in SOI Technology. **IEEE Transactions on Nuclear Science**, v. 35, n. 6, p. 1346–1349, 1988.
- [8] LIM, H. K.; FOSSUM, J. G. Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's. **IEEE Transactions on Electron Devices**, v. 30, n. 10, p. 1244-1451, 1983.
- [9] COLINGE, J. P. **Silicon-On-Insulator Technology: Materials to VLSI**, 3. ed. Boston: Kluwer Academic Publishers, 2004. cap. 5, p. 154-159.
- [10] FOSSUM, J. G. Designing Reliable SOI CMOS Circuits with Floating-Body Effects. In: Proceedings of the 28th European of Solid-State Device Research Conference - ESSDERC, p. 34–41, 1998.
- [11] HAMMAD, M. YOUSSEF; SCHRODER, DIETER K. Analytical Modeling of the Partially-Depleted SOI. MOSFET. **IEEE Transactions on Electron Devices**, v. 48, n. 2, p. 252-258, 2001.

- [12] KATO, KOICHI; WADA, TETSUNORI; TANIGUCHI, ANDKENJI. Analysis of Kink Characteristics in Silicon-on-Insulator MOSFET'S Using Two-Carrier. *IEEE journal of Solid-State circuits*, v. sc-20, n. 1, p. 378-382, 1985.
- [13] KONRAD, YOUNG K.; BURNS, J. A. Avalanche-Induced Drain-Source Breakdown in Silicon-on-Insulator n-MOSFET's. *IEEE Transactions on Electron Devices*, v. 35, n. 4, p. 426-431, 1988.
- [14] YOUNG, K. K. Short-channel effect in fully depleted SOI MOSFETs. *IEEE Transactions on Electron Devices*, v. 36, n. 2, p. 399-402, 1989.
- [15] BANNA, S. R.; CHAN, P.C. H.; KO, P. K.; NGYYEN, C. T.; CHAN, M. Threshold voltage model for deep-submicrometer fully depleted SOI MOSFET's. *IEEE Transactions on Electron Devices*, v. 42, n. 11, p. 1949-1955, 1995.
- [16] STURM, J. C, TOKUNAGA, K; COLINGE, J. P. Increased drain saturation current in ultra-thin silicon-on-insulator (SOI) MOS transistors. *IEEE Electron Device Letters*, v. 9, n. 9 p. 460-463, 1988.
- [17] COLINGE, J. P. Subthreshold slope of thin-film SOI MOSFET's. *IEEE Transactions on Electron Devices letters*, v. 7, n. 4, p. 244-246, 1986.
- [18] MARTINO, J. A.; PAVANELLO, M. A.; VERDONOCK, P. B. **Caracterização Elétrica e Dispositivos MOS**, São Paulo: Pioneira Thomson Learning, 2003. cap. 2, p. 45-46.
- [19] SZE, S. M. **Physics of Semiconductor Devices**, 2. ed. New York: John Wiley, 1981. 868 p.
- [20] BALESTRA, F.; CRISTOLOVEANU, S.; BENACHIR, M.; BBRINI, J.; ELEWA, T. Double-Gate Silicon-on-Insulator Transistor with Volume Inversion: A New Device With Greatly Enhanced Performance. *IEEE Electron Device letters*, v. EDL-8, n. 9, p. 410-412, 1987.
- [21] CHAUDHRY, Anurag; KUMAR, M. Jagadesk. Controlling Short-Channel Effects in Deep-Submicron SOI MOSFETs for Improved Ratability: A Review. *IEEE Transactions on Electron Devices and materials reliability*, v. 4, n. 1, p. 99-109, 2004.
- [22] MUNATA, Toshinori; MIZUMO, Tomohisa; TEZUKA, Tsutomu; KOGA, Junji; TAKAGI, Shin-ichi. Control of Threshold-Voltage and Short-Channel Effects in Ultrathin Strained-SOI CMOS Devices. *IEEE Transactions on Electron Devices*, v. 52, n. 8, p. 1780-1786, 2005.
- [23] COLINGE, J. P. **Silicon-On-Insulator Technology: Materials to VLSI**, 3. ed. Boston: Kluwer Academic Publishers, 2004. cap. 5, p. 167-169.
- [24] COLINGE, J. P.; COLINGE C. A. **Physics of Semiconductor Devices**, 2. ed. Boston: Kluwer Academic Publishers, 2003. p. 201-208.

- [25] STURM, J. C.; TOKUNAGA, K. Dependence of transconductance on substrate bias in ultrathin silicon-on-insulator MOS transistors. **Electronics Letters**, v. 25, n. 18, p. 1233-1234, 1989.
- [26] MUELLER, C.W; RO, BINSON. Grown-film silicon transistors on sapphire. **IEEE Transactions on Electron Devices**, v. 11, n. 11 p. 530-530, 1964.
- [27] SOLOMON, P.M.; GUARINI, K.W.; ZHANG, Y.; CHAN, K. K.; JONES, E. C.; COHEN, G. M.; KARASNOPERANOVA, A. RONAY, M.; DOKUMACI, O.; HOVEL, H. J.; CUCCHIGNANO, J. J.; CABRAL, C. J.; LAVOIE, C.; KU, V.; BOYD, D. C.; PETRARCA, K. S.; YOON, J. H.; BABICH, I. V.; TREICHLER, J.; KOZLWSKI, P. M.; NEWBURY, J. S.; D'EMIC, C. P.; SICINA, R. M.; BENEDICT, J.; WONG, H. S. P. TWO GATES ARE BETTER THAN ONE – A Planar Self-Aligned Double-Gate MOSFET Technology To Achieve the Best On/Off Switching Ratios As Gate Lengths Shrink. **IEEE Circuits & Device Magazine**, p.48-62, jan/2003.
- [28] PARK, J. T.; COLINGE, J. P. Multiple-Gate SOI MOSFETs: Device Design Guidelines. **IEEE Transactions on Electron Devices**, v. 49, n. 12, p. 2222-2229, 2002.
- [29] COLINGE, J. P. Multiple-gate SOI MOSFETs. **Solid-State Electronics**, v. 48, n. 6, p. 897-905, 2004.
- [30] SEKIGAWA, T.; HAYASHI, Y. CALCULATED THRESHOLD-VOLTAGE CHARACTERISTICS OF AN XMOS TRANSISTOR HAVING AN ADDITIONAL BOTTOM GATE. **Solid-State Electronics**. v. 27, n. 8/9, p. 827-828, 1984.
- [31] TAUR, Y. Analytic Solutions of Charge and Capacitance in Symmetric and Asymmetric Double-Gate MOSFETs. **IEEE Transactions on Electron Devices**, v. 48, n. 12, p. 2861-2869, 2001.
- [32] WONG, H. S.; FRANK D. J.; SOLOMON, P. M. Device Design Considerations for Double-Gate, Ground-Plane, and Single-Gated Ultra-Thin SOI MOSFET's at the 25 nm Channel Length Generation. Technical Digest of IEDM - International Electron Devices Meeting, p. 407-450, 1998.
- [33] ELIBOL, Öguz Hasan. The Double Gate MOSFET. In: EE612 SPRING 2003 FINAL PROJECT, p. 1-10, may-2003.
- [34] COLINGE, J. P.; GAO MH, ROMANO A.; MAES H.; CLAEYS C. Silicon-on-insulator 'gate-all-around device'. In: Technical Digest of IEDM - International Electron Devices Meeting, p. 595-598, 1990.
- [35] HIRAMOTO, T. Nano-scale silicon MOSFET: towards non-traditional and quantum devices. In: IEEE International SOI Conference Proceedings, p. 8-10, 2001.

- [36] Liu, Y.; Ishii, K.; Tsutsumi, T.; Masahara, M.; Suzuki, E. Ideal Rectangular Cross-Section Si-Fin Channel Double-Gate MOSFETs Fabricated Using Orientation-Dependent Wet Etching. **IEEE Electron Device Letters**, v. 24, n. 7, p. 484-486, 2003.
- [37] PARK, J. T.; COLINGE, J. P. Multiple-gate SOI MOSFETs: device design guidelines. **IEEE Transactions on Electron Devices**, v. 49, n. 12, p. 2222-2229, 2002.
- [38] COLINGE, J. P.; DIAZ C. H. Quasi-surrounding gate and a method of fabricating a silicon-on-insulator semiconductor device with the same. US patent 6,359,311.
- [39] PARK, J. T.; COLINGE J. P.; DIAZ C. H. Pi-Gate SOI MOSFET. **IEEE Electron Device Letters**, n. 22, v. 8, p. 405-406, 2001.
- [40] YANG, F. L.; CHEN H. Y.; CHENG, F. C.; HUANG, C. C.; CHANG, C. Y.; CHIU, H. K. 25 nm CMOS Omega FETs. In: Technical Digest of IEDM - International Electron Devices Meeting, p. 255-258, 2002.
- [41] XIONG, W.; PARK, J. W.; COLINGE, J. P. Corner Effect in Multiple-Gate SOI MOSFETs, In: SOI Conference IEEE International, p. 111-113, 2003.
- [42] COLINGE, J. P.; PARK, J. W.; XIONG, W. Threshold voltage and subthreshold slope of multiple-gate SOI MOSFETs. **IEEE Electron Device letters**, v. 24, n. 8, p. 515-517, 2003.
- [43] LIM, H. K.; FOSSUM, J. G. Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's. **IEEE Electron Device letters**, v. 30, n. 10, p. 1244-1251, 1983.
- [44] KIM, K.; FOSSUM, J. G.; CHUANG C. T. Process/physics-based threshold voltage model for nano-scaled double-gate devices. **International Journal of Electronics**, v. 91, n. 39, p. 139-148, 2004.
- [45] MAJKUSIAK, B.; JAMIK, T.; WALCZAK, J. Semiconductor Thickness Effects in Double-Gate SOI MOSFET. **IEEE Transactions on Electron Devices**, v. 45, n. 5, p. 1127-1133, 1998.
- [46] SEHGAL, A.; MANGLA, T.; CHOPRA, S. GUPTA, M.; GUTA, R. S. Physics based voltage extraction and simulation for poly-crystalline thin film transistors using a double gate structure. **Semiconductor Science and Technology**, v. 21, p. 370-377, 2006.
- [47] IBA, S.; SEKITANI, T.; KATO, Y.; SOMEYA, T. Control of threshold voltage of organic field-effect transistors with double-gate structures. **Applied Physics letters**, v. 87, n. 2, p. 023509-1--02350-9 3, 2005.
- [48] CHEN, Q.; HARRELL, E. M.; MEINDL, J. D. A Physical Short-Channel Threshold Voltage Model for Undoped Symmetric Double-Gate MOSFETs. **IEEE Transactions on Electron Devices**, v. 50, n. 7, p. 1631-1637, 2003.

- [49] CONDE, O. A.; SÁNCHEZ, F. J. G.; LIOU, J. J.; CERDEIRA, A.; ESTRADA, M.; YUE Y. A review of recent MOSFET threshold voltage extraction methods. **Microelectronics Reliability**, v. 42, p. 583-596, 2002.
- [50] TERAQ, A.; FLANDRE, D.; TAMOYO, E. L.; WIELE, V. Measurement of threshold voltages of thin-film accumulation-mode PMOS/SOI transistors. **IEEE Electron Device Letters**, v. 12, n. 12, p. 682-684, 1991.
- [51] WONG, H. S.; WHITE, M. H.; KRUTSICK, T. J.; BOOTH, V. Modeling of transconductance degradation and extraction of threshold voltage in thin oxide MOSFET's. **Solid-State Electronics**, v. 30, n. 9, p. 953-958, 1987.
- [52] FRANCIS, P.; TERAQ, A.; FLANDRE, D. Modeling of Ultrathin Double-Gate NMOS/SOI Transistors. **IEEE Transactions on Electron Devices**, v. 41, n. 5, p. 715-720, 1994.
- [53] FRANCIS, P.; TERAQ, A.; FLANDRE, D.; WIELE, F. V. MODERATE INVERSIONS MODEL OF TRATHIN DOUBLE-GATE NMOS/SOI TRANSISTORS. **Solid-State Electronics**, v. 38, n. 1, p. 171-176, 1995.
- [54] COLINGE, J. P. **Silicon-On-Insulator Technology: Materials to VLSI**, 3. ed. Boston: Kluwer Academic Publishers, 2004. cap. 6, p. 256-260.
- [55] YOUNG, K. K. Analysis of conduction in fully depleted SOI MOSFETs. **Transactions on Electron Devices**, v. 36, n. 3, p. 504-506, 1989.
- [56] GODOY, A.; GALLARDO, R.; SAMPEDRO, C.; GÁMIZ, F. Self-consistent solution of the 2D Schrödinger-Poisson equations in Multiple-Gate SOI MOSFETs. In: EUROSOI 2006 Conference Proceedings, p. 17-18, 2006.
- [57] HIEDA, K.; HORIGUCHI, F.; WATANABE, H.; SUNOUCHI, K.; INOUE, I.; HAMAMOTO, T. New Effects of Trench Isolated Transistor Using Side-wall Gates. In: Technical Digest of IEDM - International Electron Devices Meeting, V. 33, p. 736-739, 1987.
- [58] TAKAHASHI, H.; SUNOUCHI, K.; OKABE, N.; NITAYAMA, A.; HIEDA, K.; HORIGUCHI, F.; MASOUKA, F. High Performance CMOS Surrounding Gate Transistor (SGT) for Ultra High Density LSIs. In: Technical Digest of IEDM - International Electron Devices Meeting, p. 222-225, 1988.
- [59] WONG, H. S. P.; CHAN, K. K.; TAUR, Y. Self-aligned (top and bottom) double-gate MOSFET with a 25 nm thick silicon channel. In: Technical Digest of IEDM - International Electron Devices Meeting, p. 427-430, 1997.
- [60] MONFRAY, S.; SKOTNICKI, T.; MORAND, Y.; DESCOMBES, S.; CORONEL, P.; MAZOYER, P.; HARRISON, S.; RIBOT, P.; TALBOT, A.; DUTARTRE, D.; HAOND, M.; PALLA, R.; RIEC, Y. L.; LEVERD, F.; NIER, M. E.; VIZIOZ, C.; LOUIS, D. "50 nm-Gate All Around (GAA)-Silicon On Nothing (SON)-devices: a simple way to co-integration of GAA transistors within bulk MOSFET process," In: 2002 Symposium on VLSI Technology Digest of Technical Papers, p. 108-109, 2002.

- [61] LINDERT, N.; CHANG, L.; YANG-KYU, Choi; ANDESSON, E.H.; WEN-CHIN, Lee; TSU-JAE, King; BOKOR, J.; CHENMING, Hu. Quasi-Planar FinFETs Fabricated Using a Simplified Process. **IEEE Electron Device letters**, v. 22, n. 10, p. 487-489, 2001.
- [62] KRETZ, J.; DREESKORNFELD, L.; SCHRÖTER, R.; LANFGRAF, E.; HOFMANN, F.; RÖSNER, W. Realization and characterization of nano-scale FinFET devices. **Microelectronics engineering**, v. 73-74, n. 1, p. 803-808, 2004.
- [63] DAUGÉ, F.; PRETET, J.; CRISTOVEANU, S.; VANDOOREN, A.; MATHEW, L.; JOMAAH, J. NGUYEN, B. Y. Coupling effects and channels separation in FinFETs. **Solid-State Electronics**, v. 48, n. 4, p. 535-542, 2004.
- [64] CELLER, G. K.; CRISTOLOVEANU, S. Frontiers of silicon-on-insulator. **Journal of Applied Physics**, v. 93, n. 9, p. 4955-4978, 2003.
- [65] KILCHYTSKA, V.; COLLAERT, N.; ROOYACKERS, R.; LEDERER, D.; RASKIN, J. P.; FLANDRE, D. Perspective of FinFETs for analog applications. In: Proceedings of ESSDERC – European Solid-State Device Research conference, p. 65-68, 2004.
- [66] HALVALDAR, D. S.; KATTI, G.; DASGUPTA, N.; DASGUTA, A. Subthreshold Current Model of FinFETs Based on Analytical Solution of 3-D Poisson's Equation. **IEEE Transactions on Electron Devices**, v. 53, n. 4, p. 737-742, 2006.
- [67] STADELE, M. A comprehensive study of corner effects in tri-gate transistors. In: Proceedings of ESSDERC – European Solid-State Device Research conference, p. 165-168, 2004.
- [68] RITZENTHALER, R.; FAYNOT, O.; POIROUX, T.; JAHAN, C.; CRISTOLOVEANU, S. Position-Dependent Threshold in FinFETs and Triple-gate FETs. In: EUROSOI 2006 Conference Proceedings, p. 19-20, 2006.
- [69] GIACOMINI R.; MARTINO, J. A. Influence of non-vertical sidewall on FinFET threshold voltage. In: 21st International Symposium on Microelectronics Technology and Devices - SBMicro2006, 2006, Ouro Preto. Microelectronics Technology and Devices SBMicro2006. Pennington, NJ, EUA: The Electrochemical Society, 2006. v. 4. p. 275-281.
- [70] BURENKOV, A.; LORENZ, J. Corner effect in double and triple gate FinFETs. In: Proceedings of ESSDERC – European Solid-State Device Research conference, Portugal, p. 135-138, 2003.
- [71] NAGUMO, T.; HIRAMOTO, T. Reverse Short-Channel Effect of Body Factor in Low-Fin Field-Effect Transistors Induced by Corner Effect. **Japanese Journal of Applied Physics**, v. 44, n. 1A, p. 50-54, 2005.
- [72] FOSSUM, J. G. Suppression of Corner Effects in Triple-Gate. **IEEE Electron Device letters**, v. 24, n. 12, p. 745-747, 2003.

- [73] KIM, K.; KWON, O.; SEO, J.; WON, T. Nanoscale Device Modeling and Simulation: Fin Field-Effect Transistor (FinFET). **Japanese Journal of Applied Physics**, v. 43, n. 6B, p. 3784–3789, 2004.
- [74] COLIINGE, J. P.; ALDERMAN, J. C.; XIONG, W.; CLEAVELIN, C. R. Quantum-Mechanical Effects in Trigate SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 53 n. 5, p.1131-1136, 2006.
- [75] FREI, J.; JOHNS, C.; VAZQUEZ, A.; XIONG, W.; CLEAVELIN, C. R.; SCHULZ, T.; CHAUDHARY, N.; GEBARA, G.; ZAMAN, J. R.; GOSTKOWSKI, M.; MATTHEWS, K.; COLINGE, J. P. Body effect in tri- and pi-gate SOI MOSFETs. **IEEE Electron Device Letters**, v. 25, n. 12, p. 813-815, 2004.
- [76] ATLAS Device Simulation User's Manual, v. 5.10.0.R, Silvaco International, Santa Clara , CA USA -2005.
- [77] PEI, G.; KEDZIERSKI, J.; OLDIGES, P.; IEONG M; KAN, E. C. K. FinFET Design Considerations Based on 3-D Simulation and Analytical Modeling. **IEEE Transactions on Electron Devices**, v. 49 n. 8, p. 1411-1419, 2002.

APÊNDICE A

Arquivo de simulação no ATLAS do FinFET de porta tripla:

```

##### Dimensões do Fin: Largura  $W_{Fin}$  = 120 nm e altura  $H_{Fin}$  =60nm #####
#
#
go devedit simflags="-3d"
DevEdit version=2.6.0.R # file written Fri Feb 13 2004 15:49:03 GMT+1 (MET)
work.area xl=-0.01 yl=-0.01 x2=0.02 y2=0.045

# devedit 2.6.0.R (Thu Dec 12 12:40:19 PST 2002)
# libSvcFile 1.8.3 (Sat Dec 7 17:56:58 PST 2002)
# libsflm 4.14.3 (Sat Dec 7 18:02:49 PST 2002)
# libSDB 1.4.3 (Tue Dec 10 19:51:05 PST 2002)
# libDW_Version 2.0.0.R (Thu Nov 28 05:44:29 PST 2002)

work.area xl=-0.01 yl=-0.01 x2=0.02 y2=0.045
#
#
# ***** Desenho da estrutura FinFET *****
# ***** FinFET construído por Regiões *****
#
# ***** Divisão da região ativa em 3 regiões *****
#
#REGIÃO_1 é a regioao central
#REGIÃO_3 é a regioao de dreno
#REGIÃO_5 é a regioao de fonte
#
# ***** Definição da REGIÃO - 1 "região ativa 120nm x 60nm" *****
#
#Silício
region reg=1 mat=Silicon color=0xffcc00 pattern=0x4 z1=0.1 z2=1.1 \
  polygon="-0.06,0 0.06,0 0.06,0.06 -0.06,0.06"
constr.mesh region=1 default
#
#
# ***** REGIÃO_3 é a região de dreno *****
#
#Silício
region reg=3 mat=Silicon color=0xffcc00 pattern=0x4 z1=1.1 z2=1.2 \
  polygon="-0.06,0 0.06,0 0.06,0.06 -0.06,0.06"
constr.mesh region=3 default
#
#
# ***** REGIÃO_5 é a região de fonte *****
#
#Silício
region reg=5 mat=Silicon color=0xffcc00 pattern=0x4 z1=0 z2=0.1 \
  polygon="-0.06,0 0.06,0 0.06,0.06 -0.06,0.06"
constr.mesh region=5 default

```

```

##### Regiões dos Óxidos #####
#
#REGIÃO-2 "óxido da estrutura-enterrado"
region reg=2 mat="Silicon Oxide" color=0xff pattern=0x2 z1=-0.01 z2=1.21 \
  polygon="-0.074,-0.145 0.074,-0.145 0.074,0 -0.074,0"
constr.mesh region=2 default
#
#
##### REGIÃO-4 "óxido da porta" #####
#
region reg=4 mat="Silicon Oxide" color=0xff pattern=0x2 z1=0.1 z2=1.1 \
  polygon="0.060,0.06 -0.060,0.06 -0.060,0 -0.062,0 -0.062,0.062
0.062,0.062 0.062,0 0.060,0"
constr.mesh region=4 default
#
#
#####
#
#***** Definição da grade Na região x e y *****
#
#Set Meshing Parameters
Mesh Mode=MeshBuild
refine mode=x x1=-0.0248 y1=-0.143 x2=0.0324 y2=0.0694
refine mode=y x1=-0.0737 y1=-0.0731 x2=0.0757 y2=-0.0175
refine mode=y x1=-0.0572 y1=-0.00161 x2=0.0579 y2=0.00281
refine mode=y x1=-0.0552 y1=-0.00138 x2=0.0581 y2=0.00203
refine mode=y x1=-0.057 y1=-0.00067 x2=0.0577 y2=0.00242
refine mode=y x1=-0.0579 y1=0.00248 x2=0.0599 y2=0.00277
refine mode=y x1=-0.0561 y1=-0.00067 x2=0.0572 y2=0.00144
refine mode=y x1=-0.0563 y1=-0.00064 x2=0.0537 y2=0.00086
refine mode=y x1=-0.0558 y1=-5e-05 x2=0.0577 y2=0.00027
refine mode=x x1=-0.0514 y1=-0.00038 x2=0.0525 y2=0.00069
refine mode=x x1=-0.0471 y1=-0.00038 x2=0.0507 y2=0.00027
refine mode=x x1=0.0282 y1=-0.1361 x2=0.0321 y2=-0.0666
refine mode=x x1=-0.035 y1=-0.1392 x2=-0.0298 y2=-0.0824
refine mode=x x1=0.05908 y1=0.001 x2=0.06113 y2=0.0606
refine mode=x x1=0.05937 y1=0.0007 x2=0.06141 y2=0.0609
refine mode=x x1=-0.06117 y1=0.0006 x2=-0.05886 y2=0.061
refine mode=x x1=-0.06149 y1=0.0006 x2=-0.05886 y2=0.061
refine mode=x x1=0.055 y1=0.0169 x2=0.0564 y2=0.0593
refine mode=x x1=0.058 y1=0.0076 x2=0.0583 y2=0.0609
refine mode=x x1=-0.0571 y1=0.0196 x2=-0.0557 y2=0.0424
refine mode=x x1=-0.0585 y1=0.0111 x2=-0.0574 y2=0.0586
refine mode=x x1=0.05925 y1=0.0002 x2=0.06028 y2=0.0611
refine mode=y x1=0.05934 y1=0.025 x2=0.06042 y2=0.0434
refine mode=y x1=0.05986 y1=0.0401 x2=0.06014 y2=0.0513
refine mode=y x1=0.05958 y1=0.0122 x2=0.06019 y2=0.0582
refine mode=x x1=-0.06021 y1=0.001 x2=-0.05917 y2=0.0572
refine mode=y x1=-0.06012 y1=0.0289 x2=-0.0593 y2=0.0393
refine mode=y x1=-0.06008 y1=0.0435 x2=-0.05965 y2=0.0483
refine mode=y x1=-0.05999 y1=0.0136 x2=-0.05973 y2=0.0572
refine mode=x x1=-0.0157 y1=0.0207 x2=0.0155 y2=0.062
refine mode=y x1=-0.0571 y1=0.05968 x2=0.0584 y2=0.06092
refine mode=y x1=-0.0566 y1=0.0594 x2=0.0551 y2=0.0608
refine mode=y x1=-0.0548 y1=0.05912 x2=0.0594 y2=0.05925
refine mode=y x1=-0.0496 y1=0.05912 x2=0.0494 y2=0.05912
refine mode=y x1=-0.038 y1=0.059 x2=0.0415 y2=0.05931
refine mode=y x1=-0.0583 y1=0.05981 x2=0.0589 y2=0.06033
refine mode=x x1=-0.0476 y1=0.05981 x2=0.0484 y2=0.06015
#
#####

```

```

##### Definição da grade na região Z #####
#
z.plane max.spacing=1000000 max.ratio=1.5
#
#
z.plane z=-0.01      spacing=0.025
z.plane z=0.09       spacing=0.025
z.plane z=0.095     spacing=0.025
z.plane z=1.0        spacing=0.025
z.plane z=0.105     spacing=0.025
z.plane z=0.11      spacing=0.025
z.plane z=0.12      spacing=0.025
z.plane z=1.08      spacing=0.025
z.plane z=1.09      spacing=0.025
z.plane z=1.095     spacing=0.025
z.plane z=1.09      spacing=0.025
z.plane z=1.1       spacing=0.025
z.plane z=1.105     spacing=0.025
z.plane z=1.11      spacing=0.025
z.plane z=1.21      spacing=0.025
#
#####
#ver grade
#Gera a estrutura com grade

structure outf= Estrututa_grade_FinFET_idvg_120x60_porta_tripla_3G.str

#####

go atlas

#          *****   define os electrodes   *****
#
# #1-GATE #2-SOURCE #3-DRAIN #4-SUBSTRATE(below oxide)
#
electrode      name=gate bottom
#
electrode      name=gat1    x.min=0.062 x.max=0.072  y.min=0 y.max=0.062
z.min=0.1 z.max=1.1
#
electrode      name=gate2   x.min=-0.072 x.max=-0.062 y.min=0 y.max=0.62
z.min=0.1 z.max=1.1
#
electrode      name=source  x.min=-0.06 x.max=0.06 y.min=0 y.max=0.06
z.min=-0.010 z.max=0
#
electrode      name=drain   x.min=-0.06 x.max=0.06 y.min=0 y.max=0.06
z.min=1.2 z.max=1.21
#
electrode      name=substrato top
#
#####
#
#          *****   definição da concentração de dopantes   *****
#
#
doping         uniform n.type conc=1e20 reg=5
doping         uniform n.type conc=1e20 reg=3
doping         uniform p.type conc=1e15 reg=1
#
#####

```

```

#####
#
#          *****      Gera a estrutura com dopagem      *****

structure outf= Estrututa_dopagem_FinFET_idvg_120x60_porta_tripla_3G.str
#
#####
#
# definição das cargas na interface
#
interf          qf=3e10 region=4
#
#####
#
#*****      Definição da função trabalho dos contatos      *****
#
# set workfunction of gate
contact          name=gate workfunc=4.7
contact          name=gatel workfunc=4.7 common=gate
contact          name=gate2 workfunc=4.7 common=gate
contact          name=source alumin
contact          name=drain alumin
contact          name=substrato workfunc=4.95
#
#
#####
#
#          *****      Seleciona os modelos      *****
#
models          kla conmob srh auger bgn fldmob print
#
solve init
#
#####
#
#          *****      Seleciona os métodos      *****
#
method          newton      trap carriers=2
#
#          *****      Gera a curva IDVG      *****
solve prev
solve vdrain=0.001
solve vdrain=0.01
solve vdrain=0.1
#
log outf= FinFET_idvg_120x60_porta_tripla_3G.log
solve vgate=0 vfinal=1.5 vstep=0.01 name=gate
#
#
#Gera curva no tonyPlot
tonyplot FinFET_idvg_120x60_etapa_123_3G.log -set
FinFET_120x60_etapa_123_3G.set
#
#####
#
#          *****      Gera a estrutura Final      *****
#
structure outf=Estrututa_final_FinFET_idvg_120x60_porta_tripla_3G.str

quit

```