

CENTRO UNIVERSITÁRIO FEI
CARLOS EDUARDO SILVA GUEDES

**PESQUISA DE UM SENSOR TÁCTIL INCORPORADO A UM TECIDO
APLICÁVEL À INTERNET DAS COISAS - IOT**

São Bernardo do Campo

2016

CARLOS EDUARDO SILVA GUEDES

**PESQUISA DE UM SENSOR TÁCTIL INCORPORADO A UM TECIDO
APLICÁVEL À INTERNET DAS COISAS - IOT**

Dissertação apresentada ao Centro
Universitário FEI, como parte dos requisitos
necessários para obtenção do título de Mestre
em Engenharia Elétrica. Orientado pelo Prof.
Dr. Renato Giacomini.

São Bernardo do Campo

2016

Guedes, Carlos Eduardo Silva.

PESQUISA DE UM SENSOR TÁCTIL INCORPORADO A UM
TECIDO APLICÁVEL À INTERNET DAS COISA - IOT / Carlos
Eduardo Silva Guedes. São Bernardo do Campo, 2016.

103 f. : il.

Dissertação - Centro Universitário FEI.

Orientador: Prof. Dr. Renato Camargo Giacomini.

1. Sensor capacitivo. 2. Sensor táctil. 3. Internet das coisas. 4. Roupas
inteligentes. I. Giacomini, Renato Camargo, orient. II. Título.

Aluno: Carlos Eduardo Silva Guedes

Matrícula: 114201-7

Título do Trabalho: Pesquisa de um sensor tátil incorporado a um tecido aplicável à internet das coisas - IOT.

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof. Dr. Renato Camargo Giacomini

Data da realização da defesa: 22/09/2016

ORIGINAL ASSINADA

Avaliação da Banca Examinadora:

São Bernardo do Campo, 22 / 09 / 2016.

MEMBROS DA BANCA EXAMINADORA

Prof. Dr. Renato Camargo Giacomini

Ass.:

Prof.ª Dr.ª Silvana Gasparotto de Souza

Ass.: _____

Prof. Dr. Maurício de Camargo Araújo

Ass.:

A Banca Julgadora acima-assinada atribuiu ao aluno o seguinte resultado:

APROVADO

REPROVADO

VERSÃO FINAL DA DISSERTAÇÃO

APROVO A VERSÃO FINAL DA DISSERTAÇÃO EM QUE
FORAM INCLuíDAS AS RECOMENDAÇÕES DA BANCA
EXAMINADORA

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz

Dedico este trabalho a minha esposa, meus filhos e principalmente a Deus, que tornou tudo isso possível.

AGRADECIMENTOS

Meus sinceros agradecimentos:

A Deus, pelo dom da vida e por todas as oportunidades.

Ao professor doutor Renato Giacomini, orientador deste trabalho, pelo apoio, paciência e confiança depositada no desenvolvimento e andamento da pesquisa.

A minha esposa Lilian, que durante todo esse período me deu apoio e compreendeu minha ausência.

Aos meus filhos, que são fontes de inspiração e muita alegria.

A todos os professores da FEI que colaboraram direta ou indiretamente para que eu pudesse percorrer este caminho.

Ao Centro Universitário da FEI pela infraestrutura concedida durante todo o período da pesquisa.

À CAPES pelo apoio financeiro.

Muito obrigado e que Deus abençoe a todos.

“O fracasso jamais o surpreenderá, se sua
decisão de vencer for suficientemente forte”
(Augustine Mandino)

RESUMO

Este trabalho tem como objetivo principal a pesquisa de uma técnica para captação de informações via tecido vestível.

Os circuitos e softwares de processamento desenvolvidos baseiam-se em um dispositivo lógico programável e possuem total conectividade com a rede de computadores através de protocolos de comunicação Ethernet.

Esta facilidade de integração permite que o tecido aqui desenvolvido possa ser utilizado de forma ampla e integrado em dispositivos com foco de Internet das coisas (IOT), que é uma tendência tecnológica no momento.

Foram comprovadas também as propriedades capacitivas do conjunto e identificados os valores das capacitâncias variáveis que compõem o mesmo.

Outro ponto importante foi a proposta de minimizar a utilização de pinos individuais para excitação das linhas e colunas que formam a matriz de leitura. Isto aproxima o uso deste tecido sensor em aplicações comerciais devido à facilidade de implementação eletrônica.

Um outro tópico importante deste trabalho é o estudo da força exercida em relação ao toque. Foi possível demonstrar que a capacitância sofre variação com o toque, e avaliar a sensibilidade do sensor.

Palavras Chaves: Sensor Capacitivo. Sensor tátil. Internet das coisas. Roupas Inteligentes.

ABSTRACT

This work has as main objective the research of a technique for obtaining information via wearable fabric. The processing circuits and software are based on a programmable-logic device and are able to communicate through ethernet. This access characteristic allows the use of the developed fabric in Internet of Things devices, which is a technological trend at the moment. The capacitive properties of the assembly were proved and the capacitance components were identified. A new proposal for pinout reduction in order to lead the project to a better feasibility, was tested. Another issue that was evaluated was the dependence of the capacitance on the applied force. The sensor sensibility was measured.

Keywords: Capacitive Sensor. Touch Sensor. Internet of Things. Smart Clothes.

LISTA DE ILUSTRAÇÕES

Figura 1 – Espuma com fibras têxteis colocadas formando uma matriz	21
Figura 2 - Circuito resistivo e capacitivo.....	22
Figura 3 – Lado oposto do adesivo para pele com fiação	23
Figura 4 – Exemplo de um sinal de saída de um sensor analógico	25
Figura 5 – Circuito de funcionamento do sensor BMP085	26
Figura 6 - Variação da altitude x pressão	27
Figura 7 - Capacitor de placas paralelas e sua simbologia eletrônica.	28
Figura 8 - Capacitor de Placas ligado aos pólos da bateria	29
Figura 9 – Fluxo de elétrons.....	30
Figura 10 - Capacitor totalmente carregado	30
Figura 11 - Circuito RC alimentado por uma fonte de tensão contínua.....	32
Figura 12 - Comportamento da tensão em circuito RC com tensão contínua.....	33
Figura 13 - Comportamento da corrente em circuito RC com tensão contínua	33
Figura 14 - Carga do capacitor x constante de tempo R.C.....	35
Figura 15 - Circuito R.C. com capacitor totalmente carregado, iniciando descarga.....	35
Figura 16 –Comportamento das tensões após a interrupção da fonte de alimentação	36
Figura 17 – Comportamento da corrente em relação a descarga do capacitor.....	36
Figura 18 – Estrutura básica de um FPGA	40
Figura 19 - Diagrama de bloco do cyclone II EP2C20.....	42
Figura 20 – Diagrama de blocos interno do DM9000A	43
Figura 21 – Conexão dos sinais com a interface do Processador.....	44
Figura 22 – Esquema das ligações.....	46
Figura 23 – Octetos para transmissão ethernet.....	49
Figura 24 – Fluxo das informações de compilação e síntese a partir do VHDL.....	52
Figura 25 – Ambiente de Projeto do Quartus II 9.1 Web Edition.....	53
Figura 26 – Tela de parametrização de um PLL	55
Figura 27 – Ambiente de desenvolvimento do MATLAB R2008	56
Figura 28 - Ambiente de desenvolvimento do Visual Studio 2010.....	57
Figura 29 - Estrutura de uma célula de carga	58
Figura 30 - Configuração dos extensômetros ligados na célula de carga.....	59
Figura 31 - Célula de Carga e 4 fios.....	60
Figura 32 - Diagrama de blocos do microcontrolador PIC 16F877A	61

Figura 33 - Diagrama do LM324.....	62
Figura 34 – Tecido sensor	64
Figura 35 – Fluxo geral das informações	65
Figura 36 - Bloco FPGA.....	68
Figura 37 – Esquema de ligação de uma linha do circuito tecido sensor.....	70
Figura 38 – Circuito equivalente do tecido sensor e suas capacitâncias	70
Figura 39 – Circuito com tecido sensor conectado a FPGA.....	71
Figura 40 - Marcações no tecido Touch de Alteração Dimensional	72
Figura 41 - Marcações no tecido touch de alteração dimensional após 5 lavagens	74
Figura 42 - Corpo de prova posicionado na superfície horizontal	75
Figura 43 - Deslocamento do tecido.....	75
Figura 44 - Gráfico do amarrotamento ao uso no sentido da trama	78
Figura 45 - Gráfico amarrotamento ao uso no sentido do urdume.....	79
Figura 46 - Gráfico do amarrotamento à lavagem.....	80
Figura 47 - aparência dos tecidos após o ensaio.....	80
Figura 48 – Medição da Resistência.....	81
Figura 49 - Medição da condutividade elétrica	82
Figura 50 – Medição do comportamento da linha 01 da matriz.....	83
Figura 51 – Foto dos equipamentos na bancada.....	84
Figura 52 - Gráfico de comportamento do circuito sensor.....	85
Figura 53 – Medição dos sinais somente na linha 1	86
Figura 54 – Kit DE2-70 ligado ao circuito com tecido	87
Figura 55 – Tela do software supervisorío com os valores de inicialização sem o toque.....	87
Figura 56 - Resultado das Capacitâncias Individuais das Linhas.....	88
Figura 57 - Resultado das capacitâncias individuais das colunas	89
Figura 58 – Esquema de ligação das linhas e colunas com sinal de estímulo comum.....	90
Figura 59 - Capacitâncias com estímulos individuais e compartilhados.....	91
Figura 60 - Capacitâncias com estímulos individuais e compartilhados.....	92
Figura 61 – Tela de inicialização dos valores de capacitância – Software supervisorío.....	93
Figura 62 – Tela do sistema supervisorío que representa um ponto específico do tecido.	94
Figura 63 – Toque exato no cruzamento da Linha 1 com a Coluna 1	95
Figura 64 - Esquema final de captação dos sinais.....	96
Figura 65 - Montagem final do tecido sensor sob a célula.....	97
Figura 66 - Gráfico da variação da capacitância x Força exercida.....	98

Figura 67 – Medição da Resistência.....	99
---	----

LISTA DE QUADROS

Quadro 1 – Função dos pinos que fazem ligação com o processador	45
Quadro 2 – Associação dos pinos do DM9000A com a FPGA.....	47
Quadro 3 - Alteração dimensional dos tecidos.....	73
Quadro 4 - Dados maleabilidade/flexibilidade.....	76
Quadro 5 - Dados amarrotamento ao uso	77
Quadro 6 - Dados amarrotamento à lavagem	79

LISTA DE SÍMBOLOS

K	Constante dielétrica [sem unidade]
ϵ	Permissividade elétrica específica de um material [pF/m]
ϵ_0	Permissividade do vácuo [8,854 pF/m]
C	Capacitância [F]
A	Área das placas do capacitor [m ²]
d	Distância entre as placas do capacitor [m]
V _c	Tensão no capacitor [V]
V _r	Tensão no resistor [V]
i(t)	Corrente no circuito (A)
τ	Constante de tempo do circuito [s]
R	Resistor da placa de aquisição [Ω]
t	Tempo [s]
C _{toque}	Capacitância do toque [F]
C _{ent}	Capacitância na entrada do FPGA [F]
C _{material}	Capacitância do material [F]
C _{tecido}	Capacitância do tecido [F]
C _{total}	Capacitância total [F]
E	Tensão da fonte contínua [V]
Q	Carga elétrica [C]
q	Carga
V	Tensão [V]
r	Constante dielétrica relativa [sem unidade]

LISTA DE ABREVIATURAS

IOT	Internet das coisas
IC	Integrated circuit
I2C	Inter-Integrated Circuit
ADC	Analog to Digital Convert
PCB	Printed circuit board
FPGA	Field-programmable gate array
DSP	Digital signal processors
ASIC	Application Specific Integrated circuits
LAB	Logic Arrays
LE	Unit Logic
MAC	Media Access Control Address
PHY	Physical layer of the OSI model
UDP	User Datagram Protocol
TCP	Transmission Control Protocol
IP	Internet Protocol
CRC	Cyclic Redundancy Check
IPV	Internet Protocol
VHDL	Very High Speed Integrated Circuit
IEEE	Institute of Electrical and Electronics Engineers
USB	Universal Serial Bus
CAD	Computer Aided Design
PLL	Phase-locked loop
IDE	Integrated Development Environment
AWG	American Wire Gauge
PDMS	Polidimetilsiloxano, óleo de silicone, dimetilsilicone
PIC	Programmable Intelligent Computer
CPU	Central Processing Unit
RAM	Random Access Memory
ROM	Read-Only Memory
PROM	Programmable Read-Only Memory
EPROM	Erasable Programmable Read-Only Memory
EEPROM	Electrically-Erasable Programmable Read-Only Memory

RISC Reduced Instruction Set Computer

SUMÁRIO

1	INTRODUÇÃO	18
1.1	OBJETIVO	19
1.2	APRESENTAÇÃO DO TRABALHO	19
2	REVISÃO BIBLIOGRÁFICA	20
2.1	SENSORES	24
2.1.1	Sensor Analógico	24
2.1.2	Sensor Digital	25
2.2	SENSORES DE TOQUE CAPACITIVOS	28
2.3	CIRCUITOS RC SÉRIE EM CORRENTE CONTÍNUA.....	31
2.3.1	Carga do Capacitor	31
2.3.2	Descarga do Capacitor	35
2.3.3	Sensor de Toque Capacitivo	37
3	METODOLOGIA	38
3.1	MATERIAIS E MÉTODOS.....	39
3.1.1	FPGA	39
3.1.2	Protocolo UDP.....	48
3.1.3	Descrição de Hardware – Linguagem VHDL.....	49
3.1.3.1	<i>Síntese de Circuitos</i>	51
3.1.4	Quartus II 9.1 Web Edition.....	53
3.1.5	PLL no Cyclone II	54
3.1.6	Matlab	55
3.1.7	Microsoft Visual Studio.....	56
3.1.8	Célula de Carga.....	57
3.1.9	Microcontrolador	60
3.1.10	Amplificador Operacional	62
3.1.11	Fio Condutor.....	63

3.1.12 Tecido	63
3.2 DESCRIÇÃO DO PROTÓTIPO	64
3.2.1 Sinais FPGA	65
3.2.2 Aplicação dos sinais	69
3.2.3 Circuito	71
4 RESULTADOS OBTIDOS E ANALISE DOS DADOS	72
4.1 ENSAIOS TÊXTEIS	72
4.1.1 Ensaio de Estabilidade Dimensional	72
4.1.1.1 <i>Dados Obtidos</i>	73
4.1.2 Ensaio de Caimento – Maleabilidade / Flexibilidade	74
4.1.2.1 <i>Dados Obtidos</i>	76
4.1.3 Ensaio de Ângulo de Recuperação de Vinco – Amarrotamento ao Uso	76
4.1.3.1 <i>Dados Obtidos</i>	77
4.1.4 Ensaio de Recuperação de Vinco – Amarrotamento à Lavagem.....	79
4.1.4.1 <i>Dados Obtidos</i>	79
4.1.5 Teste de Condutividade e desgaste do fio condutor	81
4.1.5.1 <i>Dados Obtidos</i>	81
4.2 COMPORTAMENTO DO CIRCUITO	82
4.3 CAPACITÂNCIAS FIXAS E VARIÁVEIS.....	85
4.4 INFLUÊNCIA DE VALORES ENTRE AS LINHAS E COLUNAS.....	89
4.5 VERIFICAR UM PONTO DE TOQUE OU PRESSÃO	92
4.6 RELACIONAMENTO ENTRE CAPACITÂNCIA E FORÇA EXERCIDA	95
4.5.1 Aquisição dos Dados de Força	95
4.6.2 Dados Obtidos	97
5 CONCLUSÕES.....	99
REFERÊNCIA	100

1 INTRODUÇÃO

A sociedade, de uma forma geral, busca cada vez mais praticidade, interatividade, informação imediata e qualidade de vida. O desenvolvimento tecnológico é determinante no alcance destas metas.

Durante algumas décadas as palavras informação, processamento, conectividade, estavam associadas a grandes computadores.

Conforme a evolução da eletrônica foi ocorrendo, esses grandes computadores tornaram-se cada vez menores, mais rápidos e muito mais conectados a tudo.

Atualmente encontramos processadores em praticamente tudo que usamos, relógios, pulseiras, monitores cardíacos com finalidade esportiva, fones de ouvidos e muito mais.

A tecnologia computacional tornou-se vestível e integrada com as redes de comunicação.

A computação vestível é um conceito que une computadores, telefones, câmeras, tecidos inteligentes, inteligência artificial, para criação de dispositivos muito mais casuais, como relógios de pulso com capacidade de monitorar sinais, óculos inteligentes com informações na lente, roupas com sensores biométricos gerando informações instantâneas de um atleta, por exemplo.

Esse conceito da tecnologia vestível associa-se a uma outra revolução tecnológica em evidência que é a integração dos equipamentos comuns às redes de comunicação através da internet, denominada de Internet das coisas (IOT). Cada vez mais surgem eletrodomésticos, meios de transporte, tênis, roupas e maçanetas conectadas à internet e a outros dispositivos, como computadores e smartphones.

Seguindo esta tendência tecnológica, este trabalho visa contribuir com a pesquisa que auxilie no desenvolvimento de produtos que possam ser utilizados pelo consumidor final em suas atividades práticas diárias e que possam ser integrados às redes de computação, através de computadores pessoais e smartphones.

1.1 OBJETIVO

A finalidade principal deste trabalho é pesquisar uma forma de obter um sensor tátil a partir de uma construção em tecido.

A partir deste tecido propor um sistema capaz de identificar o toque em um ponto específico de sua superfície, bem como, a pressão exercida por este toque.

O sistema em questão deve ser composto por uma eletrônica compatível com a proposta da computação vestível, ou seja, ser eficiente, mas com o menor tamanho possível, permitindo seu uso diário e de maneira discreta.

Propor um modelo computacional capaz de receber parametrizações moldando-se aos diferentes ambientes.

Por fim, integrar estas informações através da rede ethernet, atendendo o conceito de internet das coisas (IOT).

1.2 APRESENTAÇÃO DO TRABALHO

Este trabalho está dividido em 5 capítulos. No segundo capítulo desta dissertação é feita uma revisão dos trabalhos de pesquisas relacionados com o tema da computação vestível, bem como conceitos de eletricidade, comportamentos elétricos e propriedades.

No terceiro capítulo é apresentada a proposta geral deste trabalho de pesquisa, bem como toda a descrição dos materiais e softwares utilizados. Um descritivo detalhado dos circuitos construídos para obtenção dos resultados apresentados.

No quarto capítulo são descritas as experiências e os resultados obtidos em cada fase, assim como uma análise dos dados.

No quinto capítulo são apresentadas as conclusões obtidas ao longo deste trabalho de pesquisa tendo como base os resultados apresentados no capítulo quatro.

2 REVISÃO BIBLIOGRÁFICA

A pesquisa desenvolvida neste trabalho busca a implementação de um sensor em um tecido que atenda a algumas características:

- a) Precisão: a superfície do tecido tem que ser dividida geometricamente em linhas e colunas. O sistema de tem que ser capaz de identificar o ponto exato onde o toque ocorre, ou seja, o cruzamento exato da linha e coluna.
- b) Fabricação: o tecido tem que possuir uma fabricação viável, que possa facilmente ser adaptada na indústria convencional.
- c) Utilização: ser um sensor que possa ser adaptado em qualquer tipo de roupa, possuir uma forma de lavagem e ser razoavelmente confortável.

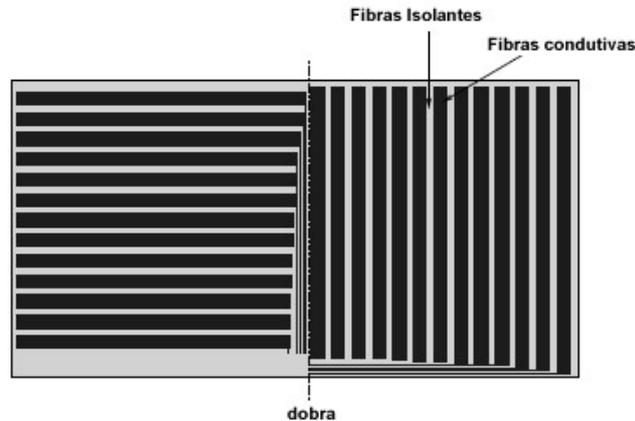
Diversos estudos como o que é apresentado neste trabalho já foram realizados.

Sergio et al. (2002) implementaram uma matriz de linhas e colunas com fibras condutoras padronizadas sobre os dois lados opostos de uma espuma sintética elástica, como é mostrado na figura 1.

Com este conjunto conseguiram realizar detecção de imagens de pressão e a medição de capacitâncias de valores baixos.

Este formato apresentou uma forma de captação do toque e até permitiu uma formação da imagem de uma mão pressionando o conjunto. Mas sua implementação é de difícil aplicação na computação vestível, pois não é o tecido que funciona como sensor e sim as espumas, dificultando seu uso diário. Apesar das espumas formarem uma matriz, não apresentou resolução suficiente para identificar um ponto específico de cruzamento entre as fibras têxteis.

Figura 1 – Espuma com fibras têxteis colocadas formando uma matriz

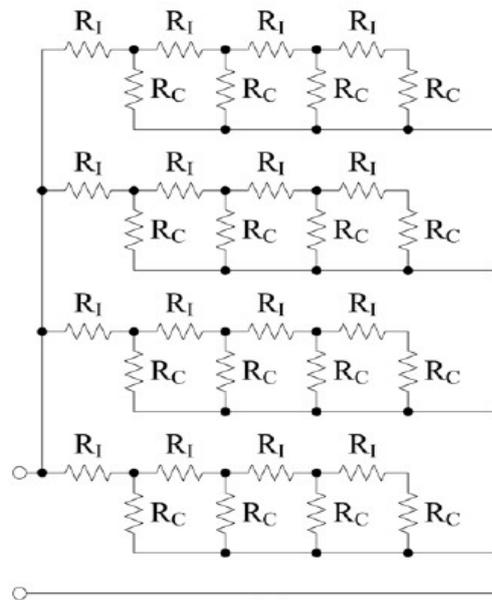


Fonte: Sérgio, 2002, p.2

Marculescu et al. (2003) descrevem em outro trabalho os diversos mecanismos que podem ser incorporados ao tecido para torna-lo inteligente, como sensores piezoelétricos, câmeras de vídeo, pequenos processadores. Neste caso específico é interessante analisar as rotinas de processamento de sinais apresentados, mas como aplicação para computação vestível não se aplica devido à dificuldade de implementação diária e a impossibilidade de uso comum, como uma roupa. Seria inviável lavar a roupa com os componentes eletrônicos envolvidos.

Li e Ding et al. (2009) realizaram um experimento com tecido, só que baseado no modelo de um circuito com variações resistivas, onde R_1 é a resistência intrínseca do material e R_C é a resistência gerada por contato. A figura 2 demonstra a estrutura do circuito elétrico do experimento. Esta estrutura foi capaz de detectar a pressão exercida no tecido, mas possui uma limitação em relação à amplitude, não podendo ser muito pequeno ou muito grande, devido à estrutura tecida em relação a resistência mecânica. Sobre a proposta da computação vestível, esta solução se assemelha com a pesquisa deste trabalho, pois sua implementação não foi externa e sim na construção do tecido.

Figura 2 - Circuito resistivo e capacitivo

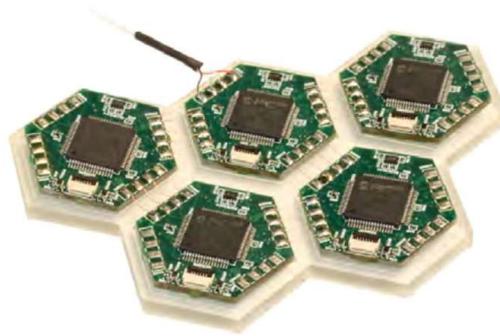


Fonte: Li e Ding, 2009, p.2

Rothmaier, Luong e Clemens (2008) propuseram um sensor baseado em fibra óptica incorporado no tecido no sentido do urdume e da trama. As fibras sofrem deformação fazendo com que a luz seja atenuada por perdas ópticas. Embora este sensor seja fabricado com tecido como o proposto neste trabalho, ele não funciona como um sensor tátil e sim como um sensor de pressão.

Mittendorfer, Cheng (2011) apresentam uma nova geração de módulos táteis com a finalidade de utilização em robôs humanoides. O sensor é uma pequena placa de circuito impresso com múltiplos sensores de temperatura, aceleração e proximidade, como mostrada na figura 3. Apresentaram o resultado desejado no que diz respeito à captação de sinais, mas não atendem à necessidade da computação vestível, principalmente na questão do uso diário, lavagem e tamanho. A proposta apresentada é interessante no que diz respeito ao processamento dos sinais que servem como base de pesquisa para este trabalho.

Figura 3 – Lado oposto do adesivo para pele com fiação



Fonte: Mittendorfer e Cheng, 2011, p.405

Coyle et al. (2010), com o objetivo de medir os parâmetros corporais de uma pessoa, utilizaram diversos tipos de sensores anexados ao vestuário. Diversos parâmetros puderam ser medidos, como sódio, condutividade, Ph, sudorese.

Também com foco na área médica Hoffmann et al. (2011) construíram um sistema com sensores têxteis integrados e que fazem a medição do movimento do tórax e transmitem os resultados para o sistema computacional através de uma conexão sem fio. Neste caso o tecido não é o sensor, mas recebe através de uma construção mecânica os diversos sensores e transmissores da comunicação.

Andrade (2014) propôs o desenvolvimento de um tecido com fio de cobre na direção do urdume e trama, semelhante ao proposto neste trabalho. As propriedades capacitivas foram exploradas para detecção da pressão. Nesta proposta foi possível identificar a pressão no tecido. A metodologia adota neste trabalho de pesquisa é baseada na metodologia utilizada no trabalho de Andrade (2014), mas com modificações no tecido, na forma de obtenção dos sinais e também na forma como ocorre a integração com o sistema de análise, através da ethernet.

A empresa Google Inc. através do Projeto Jacquard (2015) apresentou algo parecido com o desenvolvimento deste trabalho através do Projeto Jacquard. Em parceria com a empresa Levis Strauss & Co. está em desenvolvimento um tecido com fios condutores em sua trama, alguns vídeos publicitários foram divulgados na internet e redes sociais. A empresa não divulgou até o momento resultados de pesquisa ou qualquer outro resultado prático.

Todos os trabalhos apresentados demonstraram diversas montagens de tecidos incorporando eletrônica, mas falta uma solução realmente vestível, que possua tamanho reduzido, que seja para uso diário e que possua condições de integração com dispositivos eletrônicos através de barramento ethernet.

2.1 SENSORES

Os sensores estão presentes na vida cotidiana em praticamente tudo que é automatizado, é através deles que os equipamentos e sistemas percebem o mundo externo.

Os sensores são dispositivos sensíveis à alguma forma de energia do ambiente que pode ser relacionada, ou seja quantificada, como por exemplo uma temperatura, velocidade, posição e muitas outras.

Os sensores eletrônicos devem transformar uma medida de grandeza física em uma grandeza elétrica, tensão ou corrente.

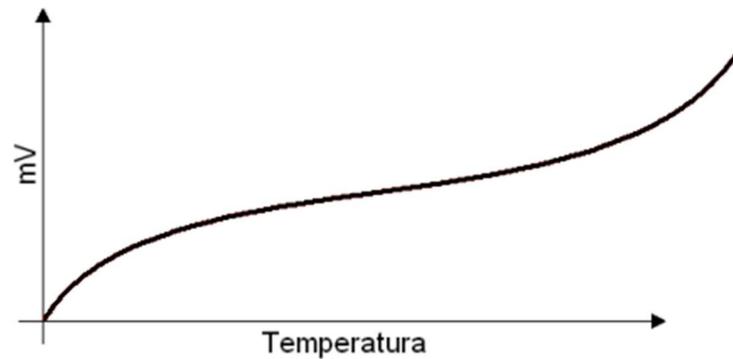
Normalmente um sensor não consegue, por si só, traduzir de forma mensurável a grandeza medida, é necessário um circuito de acondicionamento deste sinal, uma interface.

Podemos dividir os sensores em duas categorias distintas: analógicos e digitais.

2.1.1 Sensor Analógico

O sensor do tipo analógico pode assumir qualquer valor do sinal ao longo do tempo. Este sinal necessariamente precisa estar dentro da faixa possível de medição. A figura 4 exemplifica a saída de um sensor deste tipo que traduz a temperatura em milivolts, segundo o trabalho SENSORES, Unesp-Campus de Guaratinguetá.

Figura 4 – Exemplo de um sinal de saída de um sensor analógico



Fonte: Autor, 2015

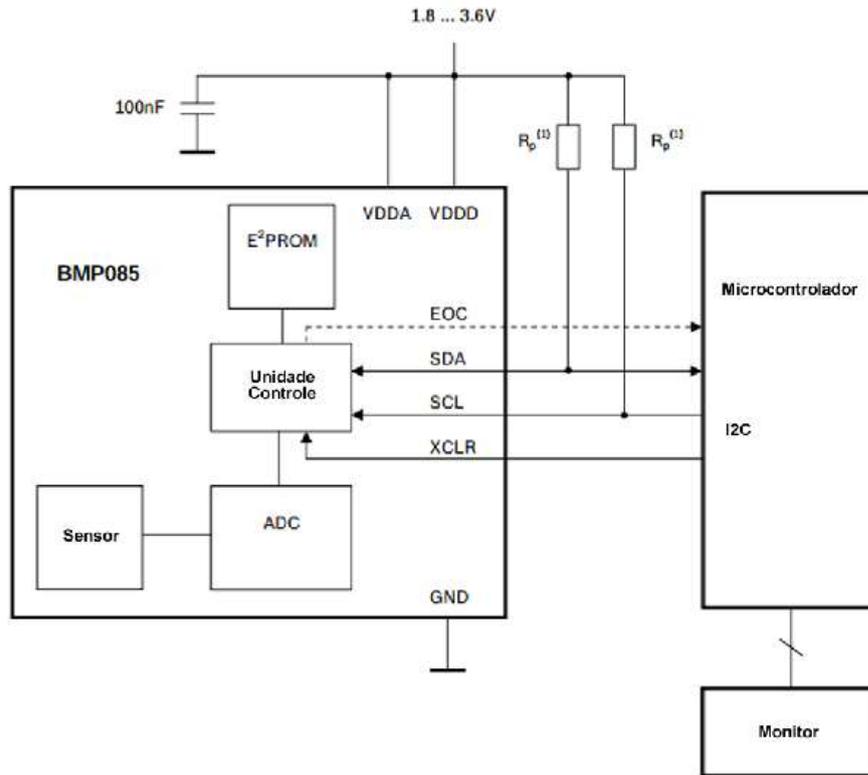
2.1.2 Sensor Digital

Os sensores digitais não podem assumir todos os valores possíveis dentro de uma escala contínua de um sinal analógico. Este tipo de sensor precisa de um circuito que gere, a partir da grandeza analógica, uma informação discreta no tempo e amplitude com uma determinada resolução, que dependerá da quantidade de bits utilizados para conversão e do tempo de processamento de cada valor adquirido de modo discreto.

Por exemplo, a empresa Bosch Ltda possui um sensor de pressão atmosférica denominado BMP085, que fornece a informação de pressão através de uma interface de comunicação Inter-Integrated circuit (I2C).

O diagrama da figura 5 mostra os componentes principais deste sensor, nele pode-se notar que o sensor está diretamente ligado ao módulo conversor analógico/digital que por sua vez transmite esta informação para a unidade de controle, que fica responsável pela transmissão através da interface de comunicação Inter-Integrated circuit (I2C), que é uma interface serial padrão para dispositivos eletrônicos.

Figura 5 – Circuito de funcionamento do sensor BMP085

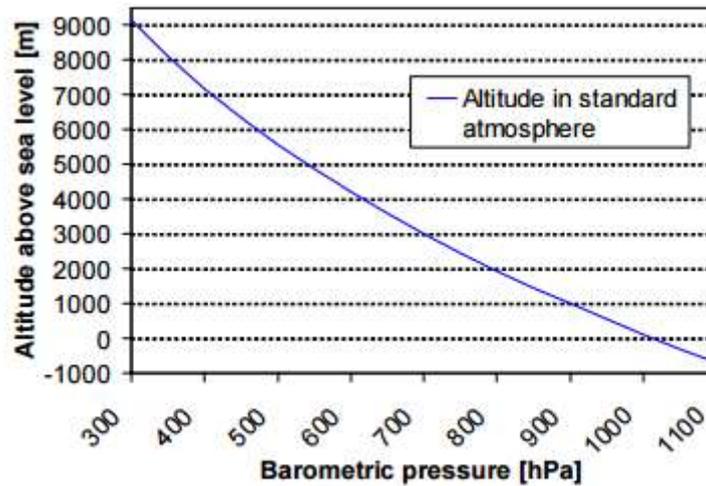


Fonte: Bosh Corporation , 2008

O transdutor incorporado ao sensor BMP085 é do tipo piezoresistivo, que varia sua resistência interna de acordo com a pressão exercida sobre ele. Neste caso é necessário um circuito eletrônico que converta essa variação em tensão para que o módulo conversor analógico-digital possa efetuar a transformação em uma escala (resolução) de forma digital. No caso do sensor em questão essa resolução é de 16 bits.

O gráfico da figura 6 mostra como as grandezas analógicas variam em relação à pressão e altitude.

Figura 6 - Variação da altitude x pressão



Fonte: Bosh Corporation, 2008

Após a conversão pelo módulo Analog to digital convert (ADC) o sensor utiliza as duas expressões 1 e 2 para fornecer a altitude estimada e a pressão barométrica. Os respectivos valores são transmitidos através do canal de comunicação utilizando protocolo Inter-Integrated circuit (I2C).

$$\text{altitude} = 44330 * \left(1 - \left(\frac{p}{p_0} \right)^{\frac{1}{5.255}} \right)$$

(1)

$$p_0 = \frac{p}{\left(1 - \frac{\text{altitude}}{44330} \right)^{5.255}}$$

(2)

2.2 SENSORES DE TOQUE CAPACITIVOS

O capacitor é um componente eletrônico diretamente relacionado com armazenamento de energia.

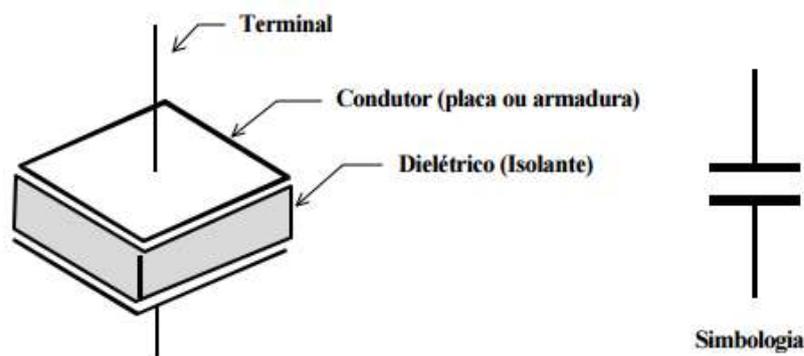
Ewald Georg Von Kleist, em 1745, utilizando uma jarra de vidro de água, percebeu que uma carga poderia ser armazenada. A mão de Von Kleist e a água agiram como condutores, e a jarra como um dielétrico.

Muitos modelos de capacitores foram propostos desde então, mas o mais utilizado, principalmente para efeitos comerciais é o capacitor de placas paralelas.

Ele é composto por duas placas condutoras paralelas ou eletrodos separados por um material denominado dielétrico, cuja espessura obedece a uma uniformidade. A característica determinante deste material entre as placas é o seu poder de isolamento, ou seja, um bom dielétrico é necessariamente um bom isolante.

Uma estrutura básica deste componente e sua simbologia utilizada na eletrônica até os dias de hoje pode ser vista na figura 7.

Figura 7 - Capacitor de placas paralelas e sua simbologia eletrônica.



Fonte: Mussoi, 2000

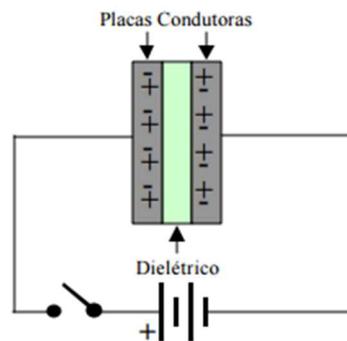
Quando este conjunto (capacitor de placas paralelas) tem seus terminais ligados fisicamente ao polo positivo e negativo de uma bateria, como na figura 7, ocorrerá o seguinte fenômeno físico: O lado positivo (polo + da bateria) atrai os elétrons de uma placa deixando-a mais positiva (perdeu elétrons). Por sua vez, a outra ponta recebe elétrons, como mostra a figura

8. Neste momento estabelece-se um fluxo de elétrons (corrente elétrica) no circuito, mesmo que não haja passagem de cargas elétricas através do dielétrico.

As duas placas então ficam carregadas com quantidades iguais de cargas, porém com sinais contrários. Este processo irá cessar quando o capacitor estiver completamente carregado (diferença de potencial entre as placas igual à tensão da bateria), cessando o fluxo de elétrons.

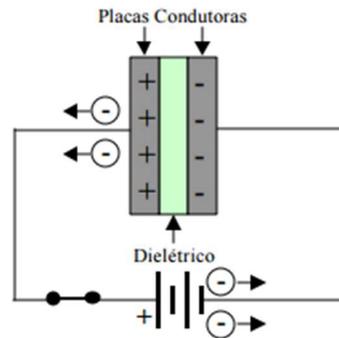
Como as duas placas ficaram carregadas com cargas de sinais opostos, vide figuras 9 e 10, um campo elétrico uniforme surge orientado da placa positiva para a negativa, gerando um potencial elétrico, cuja diferença entre as placas estabelece uma tensão elétrica. É por esta razão que o capacitor está associado com o armazenamento de energia no seu campo elétrico.

Figura 8 - Capacitor de Placas ligado aos pólos da bateria



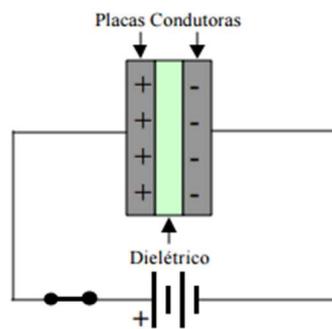
Fonte: Mussoi, 2000

Figura 9 – Fluxo de elétrons



Fonte: Mussoi, 2000

Figura 10 - Capacitor totalmente carregado



Fonte: Mussoi, 2000

A capacidade de armazenamento e polarização do capacitor é regida por algumas grandezas, como:

- permissividade do material dielétrico, que pode ser quantificada através de sua constante dielétrica “K”, que é a relação entre a permissividade do dielétrico do material e a permissividade do vácuo.

A constante dielétrica K, a permissividade elétrica ϵ_0 e a constante eletrostática k são valores que se relacionam através das equações 3 e 4:

$$\epsilon(\text{material}) = \frac{1}{4\pi \cdot k(\text{material})} \quad (3)$$

$$K(\text{material}) = \frac{\epsilon(\text{material})}{\epsilon(\text{vácuo})} \quad (4)$$

Onde ($\epsilon_{v\u00e1cuo}$) = $8,85 \cdot 10^{-12}$ F/m. (Faraday/metro)

- b) capacit\u00e2ncia, grandeza que quantifica esta capacidade de armazenar energia do capacitor \u00e9 definida matematicamente pela equa\u00e7\u00e3o 5:

$$C = \frac{\epsilon \cdot A}{d} \quad (5)$$

Portanto, observando as grandezas que envolvem o capacitor de placas paralelas pode-se relacionar algumas caracter\u00edsticas de funcionamento:

- a) Quanto maior for a \u00e1rea das placas do capacitor, maior ser\u00e1 a quantidade de el\u00e9trons-livres deslocados entre os polos.
- b) Quanto maior a dist\u00e2ncia entre as placas, maior ser\u00e1 a camada diel\u00e9trica, menor ser\u00e1 a influ\u00eancia de uma placa sobre a outra, menor ser\u00e1 a quantidade de carga armazenada, portanto, menor capacit\u00e2ncia.
- c) Quanto maior a constante diel\u00e9trica, mais polariz\u00e1vel \u00e9 o diel\u00e9trico, e portanto, mais carga ser\u00e1 poss\u00edvel armazenar antes do limite do equil\u00edbrio de cargas.

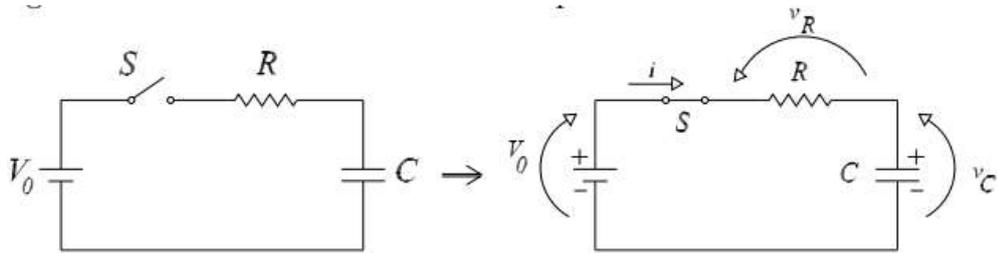
2.3 CIRCUITOS RC S\u00c9RIE EM CORRENTE CONT\u00cdNUA

Os circuitos formados por resistores e capacitores s\u00e3o denominados de RC e possuem um modelo de carga e descarga caracter\u00edstico.

2.3.1 Carga do Capacitor

A figura 11 mostra um circuito de carga de um capacitor com capacit\u00e2ncia C utilizando uma fonte de tens\u00e3o constante V_0 . Em um instante qualquer a chave S \u00e9 fechada e uma corrente circula pelo circuito produzindo as tens\u00f5es V_r e V_c como indicado.

Figura 11 - Circuito RC alimentado por uma fonte de tensão contínua



Fonte: Albuquerque, 2005

Analisando o circuito da figura 11, através da lei de Kirchhoff, tem-se:

$$Vr(t) + Vc(t) = Vo \text{ (constante)}$$

(6)

Em um instante $t=0$, o capacitor está totalmente descarregado, ou seja, $Vc(0)=0$. Logo $Vr(0)=Vo$.

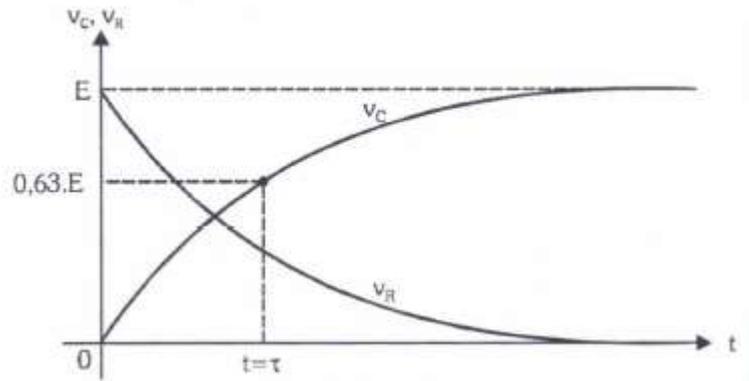
Neste momento a corrente inicial é máxima, e vale: $i(0)=I=E/R$.

No decorrer do tempo a carga do capacitor começa a aumentar, a tensão $Vc(t)$ aumenta e a tensão $Vr(t)$ diminuem a corrente que circula no circuito $i(t)$.

Após um determinado tempo o capacitor fica totalmente carregado $Vc=Vo$ e a corrente no circuito para de circular $I=0$.

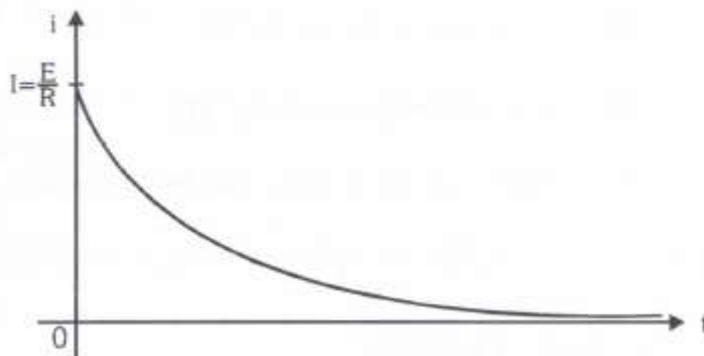
O gráfico das figuras 12 e 13 mostram esta dinâmica de carregamento do capacitor no circuito RC.

Figura 12 - Comportamento da tensão em circuito RC com tensão contínua



Fonte: Albuquerque, 2005

Figura 13 - Comportamento da corrente em circuito RC com tensão contínua



Fonte: Albuquerque, 2005

Como pode-se ver no gráfico da figura 12, a tensão $V_c(t)$ é uma exponencial crescente e a na figura 13, a corrente $i(t)$ é uma exponencial decrescente.

As expressões que regem esses comportamentos são descritas a seguir:

Carga do Capacitor:

$$V_c(t) = E - E \cdot e^{-\frac{t}{R \cdot C}} \quad (7)$$

Tensão no Resistor:

$$V_r(t) = E \cdot e^{-\frac{t}{R \cdot C}} \quad (8)$$

Corrente no Circuito:

$$i(t) = \frac{E}{R} \cdot e^{-\frac{t}{RC}} \quad (9)$$

Nestas equações percebe-se que quanto maior o valor do resistor e do capacitor, mais tempo leva para carregar e descarregar. A medida desta velocidade é determinada através da constante de tempo τ , definida pela equação 10.

$$\tau = R \cdot C \quad (10)$$

Onde:

- a) **R** – resistência em Ohm [Ω]
- b) **C** – capacitância em Farad [F]
- c) **τ** - constante de tempo em segundos [s]

Observando a equação 10 e substituindo $t=RC$, obtém-se a expressão reduzida demonstrada na equação 11:

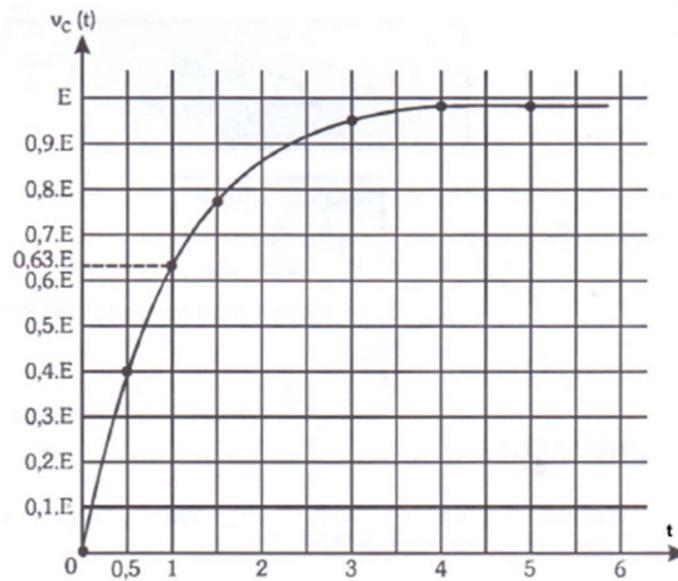
$$Vc(\tau) \cong 0,63 \cdot E \quad (11)$$

Da equação 11 conclui-se que passado um determinado tempo t igual a constante de tempo τ (RC), o capacitor terá sua carga em 63% aproximadamente do total.

A figura 14 exemplifica este comportamento demonstrando a curva da carga do capacitor em função de sua constante de tempo τ ($R \cdot C$).

Do ponto de vista prático, como mostra o gráfico na figura 14, passado um tempo igual ou maior a quatro constantes de tempo, pode-se considerar o capacitor totalmente carregado.

Figura 14 - Carga do capacitor x constante de tempo R.C



Fonte: Albuquerque, 2005

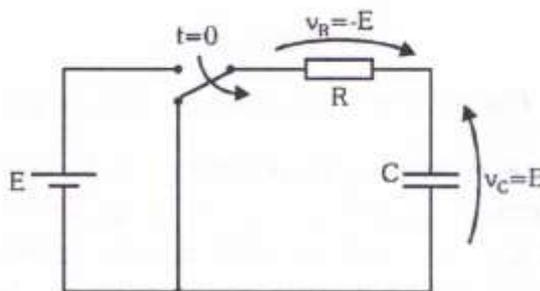
2.3.2 Descarga do Capacitor

No mesmo circuito RC, estando o capacitor totalmente carregado, ou seja, a tensão no capacitor é aproximadamente igual a tensão da fonte E, e se a fonte for desligada, o capacitor passa a se descarregar também respeitando a constante τ (R.C) de tempo.

Na figura 15 é demonstrada o circuito no momento que a alimentação da fonte é interrompida pela abertura da chave no instante $t=0$.

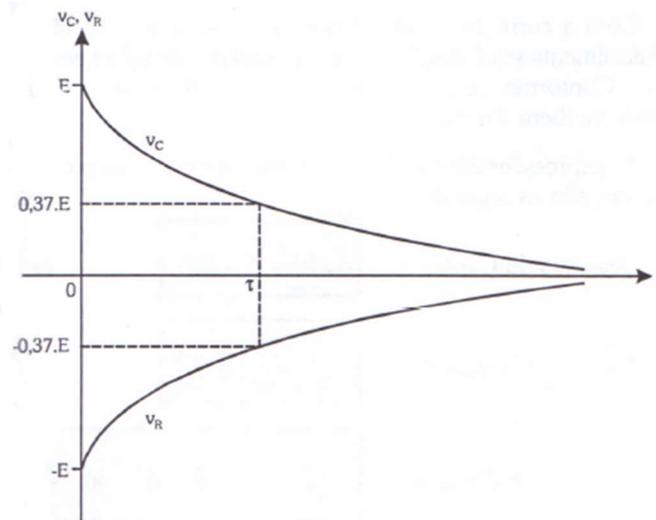
O comportamento das tensões no resistor e capacitor após esse instante é demonstrada no gráfico da figura 16.

Figura 15 - Circuito R.C. com capacitor totalmente carregado, iniciando descarga



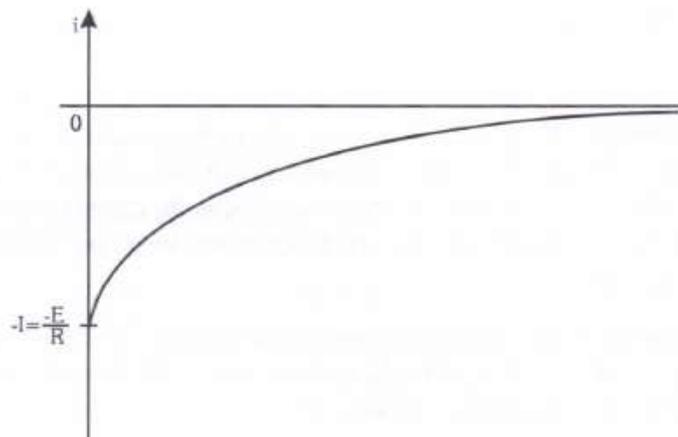
Fonte: Albuquerque, 2005

Figura 16 – Comportamento das tensões após a interrupção da fonte de alimentação



Fonte: Albuquerque, 2005

Figura 17 – Comportamento da corrente em relação a descarga do capacitor



Fonte: Albuquerque, 2005

A corrente possui comportamento como mostrado na figura 17, no começo é máxima, mas com sinal invertido, contrário a carga do capacitor e diminui mediante a constante de tempo R.C.

As expressões 12, 13 e 14 descrevem o comportamento do resistor e capacitor durante a descarga.

Descarga do capacitor:

$$Vc(t) = E \cdot e^{-\frac{t}{RC}}$$
(12)

Tensão no Resistor:

$$Vr(t) = -E \cdot e^{-\frac{t}{RC}}$$
13)

Corrente no circuito:

$$i(t) = -I \cdot e^{-\frac{t}{RC}}$$
(14)

2.3.3 Sensor de Toque Capacitivo

O sensor de toque capacitivo utiliza a alteração da capacitância do seu próprio circuito para determinar se uma pessoa tocou ou não na região em questão. Como a capacitância indica o quanto de carga determinado corpo pode acumular por unidade de tensão, o toque de uma pessoa está na verdade alterando a quantidade de cargas acumulada naquele ponto do sensor.

A estrutura da região sensível ao toque desse tipo de sensor é praticamente a mesma da estrutura de um capacitor comum, mas com uma formatação diferente. Por exemplo, neste trabalho é utilizado um tecido com um fio condutor.

O toque do dedo faz com que a carga acumulada entre o fio e o tecido seja modificada, modificando também a capacitância. Essa variação pode ser lida por algum sistema de sensoriamento.

A maior aplicação para este tipo de sensor é a construção de monitores touchscreen dos aparelhos smartphones e tablets.

3 METODOLOGIA

Este trabalho pode ser dividido em 6 blocos distintos de desenvolvimento:

- a) tecido;
- b) placa Printed circuit board (PCB);
- c) circuito Eletrônico de Processamento;
- d) módulo com célula de carga;
- e) integração Ethernet;
- f) softwares Supervisórios;

O tecido foi especialmente desenvolvido para a finalidade desta pesquisa. Para isso um fio de cobre coberto de poliéster foi criado e adaptado na fabricação do tecido sensor, substituindo os fios de algodão convenientemente para formar uma matriz de linhas e colunas.

Em seguida este tecido foi acondicionado em uma placa Printed circuit board (PCB), soldado em dois conectores de 40 pinos ligados com cabo ao circuito de processamento.

Esse circuito de processamento é uma placa com um dispositivo Field-programmable gate array (FPGA), responsável pelos sinais de estímulo e retorno do tecido.

Todos estes sinais são disponibilizados através de uma interface ethernet, utilizando um protocolo padrão, com a finalidade de integração com sistema e dispositivos diversos.

Um módulo com célula de carga foi utilizado para medições de força no tecido. Esse módulo é ligado em paralelo com o circuito eletrônico de processamento e integrado com o software supervisorio.

O software supervisorio recebe os valores dos circuitos eletrônicos, Field-programmable gate array (FPGA) e célula de carga, e fazem a apresentação de gráficos.

Em relação aos ensaios têxteis, foram considerados alguns parâmetros relevantes para o estudo deste trabalho: estabilidade dimensional (encolhimento); em relação ao uso: ângulo de recuperação de vinco (amarrotamento ao uso) e maleabilidade/flexibilidade; em relação à manutenção: recuperação de vinco (amarrotamento à lavagem).

É importante que o tecido mantenha suas características o mais próximo possível de um tecido comum em seus diversos aspectos. Os ensaios elétricos são realizados apenas para comprovar o teste de conservação e durabilidade, que submeterá o artigo têxtil à lavagem doméstica e verificar a condutividade do fio de cobre.

3.1 MATERIAIS E MÉTODOS

Para o desenvolvimento desta pesquisa foram utilizados alguns componentes e softwares que serão descritos neste capítulo. Também se fez necessário o desenvolvimento específico de alguns materiais, como o tecido utilizado e também o circuito eletrônico que serviu de base para o processo de excitação e leitura dos sinais.

3.1.1 FPGA

A tecnologia Field-programmable gate array (FPGA) teve seu ponto de partida em 1984 pela empresa Xilinx Inc.

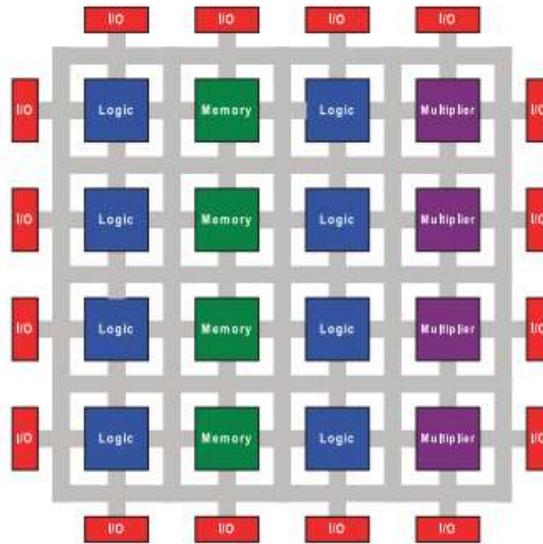
O Field-programmable gate array (FPGA) é um chip de silício totalmente reprogramável utilizando blocos lógicos programáveis pré-construídos com recursos de roteamento, com isso, é possível reconfigurar esses chips com a implementação de funcionalidades personalizadas de hardware, sem ter que fazer uso de um ferro de solda ou placa de montagem.

Os Field-programmable gate array (FPGA) são verdadeiramente paralelos por natureza, de modo que diferentes operações de processamentos não consomem exatamente a mesma quantidade de recursos. Cada tarefa fica restrita ao seu núcleo de processamento e pode funcionar de forma autônoma, sem influência de outros blocos lógicos, mostrados na figura 18.

A figura 19 mostra a estrutura básica de um sistema Field-programmable gate array (FPGA), composto por matrizes de blocos lógicos programáveis de tipos diferentes, incluindo blocos de propósito gerais, memórias e multiplicadores, rodeados por uma malha que permite a interligação destes blocos de forma independente de configuráveis.

O termo programável em Field-programmable gate array (FPGA) indica uma capacidade de programar uma função no chip após a fabricação de silício estar completa. Isso é possível através da descrição de um circuito através de uma linguagem de descrição de hardware.

Figura 18 – Estrutura básica de um FPGA



Fonte: Altera, 2008

Segundo as fabricantes Xilinx Inc. e Altera Corporation, a tecnologia Field-programmable gate array (FPGA) apresenta cinco benefícios fundamentais:

- a) Desempenho – Através do paralelismo do hardware, que foi muito explorado neste trabalho de pesquisa na inserção e leitura dos sinais, o Field-programmable gate array (FPGA) excede em muito os processadores digitais de sinais Digital signal processors (DSP) superando o paradigma da execução sequencial e realizando mais de uma tarefa no mesmo ciclo de clock. Controlar entradas e saídas (E/S) no nível do hardware fornece tempos de resposta muito mais rápido devido a funcionalidades especializadas para aproximar requisitos da aplicação.
- b) Tempo de Mercado – A relação idéia x criação de um produto final é um fator determinante na demonstração da vantagem de uma tecnologia Field-programmable gate array (FPGA) frente aos processadores de sinais. A tecnologia Field-programmable gate array (FPGA) oferece flexibilidade e rapidez na capacidade de prototipagem. É possível testar uma idéia ou conceito e verificar no hardware sem passar pelo longo processo de fabricação de um projeto personalizado com Application Specific Integrated circuits (ASIC). A implementação de mudanças e interação com o projeto Field-programmable gate array (FPGA) acontece em poucas horas ao invés de semanas

ou meses. A quantidade crescente de ferramentas de software de alto nível, diminui a curva de aprendizado com as camadas de abstração e, frequentemente, incluem valiosos núcleos Internet Protocol (IP) (funções-pré-construídas) para o controle avançado e processamento de sinais.

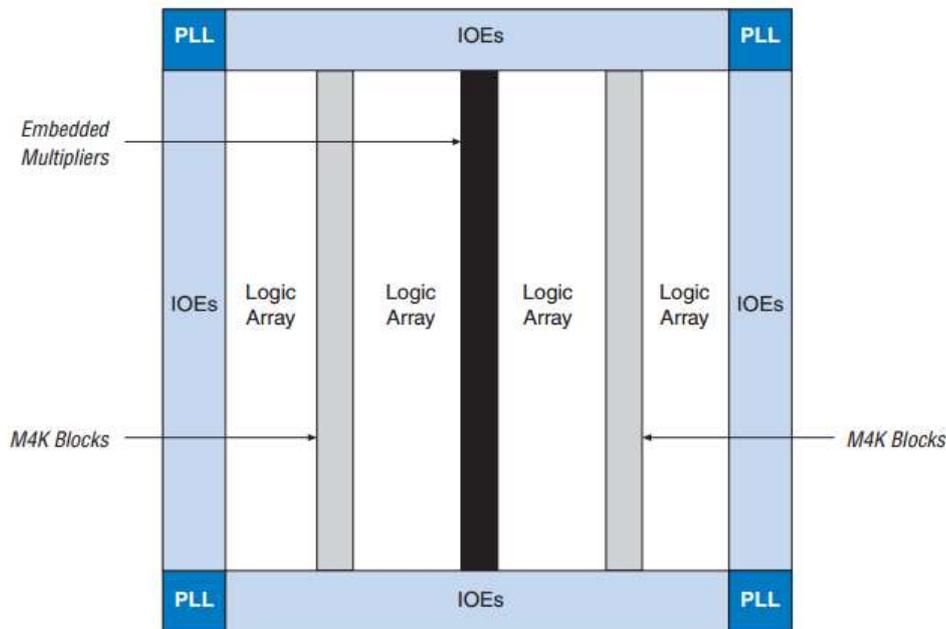
- c) Custo – O desenvolvimento mais veloz, as ferramentas de programação eficientes tornam o custo de um desenvolvimento em Field-programmable gate array (FPGA) muito menor quando comparado com o investimento realizado em Application Specific Integrated circuits (ASIC). A própria natureza do silício programável significa que não há nenhum custo para a fabricação. Com os requisitos de mudança de um sistema ao longo do tempo, os custos gerados são insignificantes quando comparados as grandes despesas de reprogramar um Application Specific Integrated circuits (ASIC).
- d) Confiabilidade – Os Field-programmable gate array (FPGA) não utilizam sistema operacionais, são mínimas as preocupações com a confiabilidade da execução paralela e ao hardware determinístico dedicado a cada tarefa. Sua programação é muito direta, não possui camadas de abstração para agendamento de tarefas e compartilhamento de recursos entre os vários processos.
- e) Manutenção a longo prazo – Como os chips são atualizáveis, não exigem tempo e dinheiro para serem reconfigurados em um novo esquema de projeto. Conforme um produto ou sistema amadurece, é possível fazer as melhorias funcionais sem gastar tempo refazendo hardware ou modificando o layout de uma placa.

O modelo Cyclone II, utilizado no trabalho, baseia-se em uma estrutura bidimensional baseada em linhas e colunas que permitem a implementação de uma lógica personalizada. As colunas e linhas interligam-se em diferentes velocidades fornecendo interconexões entre os blocos de memória e multiplicadores incorporados através de uma formação denominada como Logic Arrays (LAB).

A matriz lógica tem 16 elementos lógicos (LE) na sua formação. Esses elementos lógicos são pequenas unidades lógicas que fornecem justamente as funções de parametrização de acordo com a necessidade estabelecida pelo usuário.

O cyclone II incorpora uma variação de densidade de elementos lógicos da ordem de 4.608 a 68.1416 unidades lógicas, divididos como mostra o diagrama de blocos da figura 19.

Figura 19 - Diagrama de bloco do cyclone II EP2C20



Fonte: Altera, 2008

Características gerais do cyclone II, segundo o fabricante Altera Corporation demonstrado no datasheet:

- a) Arquitetura de alta densidades, com 4608 a 68416 unidades lógicas
- b) Blocos de memória de 4K incorporados
- c) Até 1,1 Mbits de memória RAM disponível, sem reduzir a disponibilidade dos blocos
- d) Configurações de porta variáveis de 1,2,4,8,9,16,18,32 e 36 multiplicadores embutidos
- e) Até 150 multiplicadores de 18 bits configuráveis com até 250Mhz de desempenho nos registros de entrada e de saída opcionais
- f) Circuito de gerenciamento de relógio flexível hierárquico para desempenho de até 402.5Mhz
- g) Até 4 Phase-locked loop (PLL) por dispositivo, permitindo a gestão do relógio em nível de sistema e controle.

Para conexão da Field-programmable gate array (FPGA) à rede ethernet, necessária para utilização do sensor como dispositivo INTERNET DAS COISAS (IOT), utilizou-se um componente específico, o DM9000A, da fabricante Davicom Semiconductor Inc., um

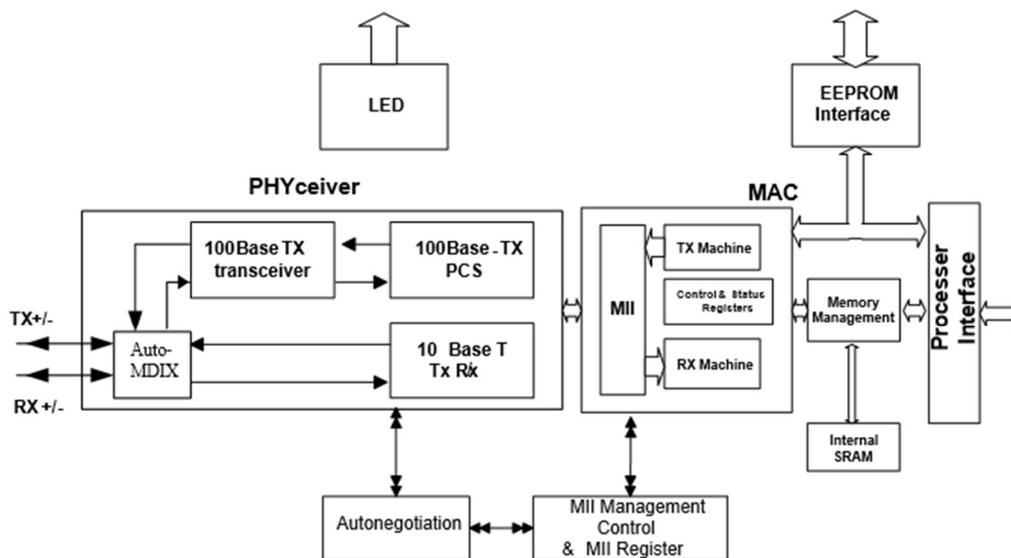
controlador de 16 e 8 bits com interface para comunicação com um processador Field-programmable gate array (FPGA), no caso o Cyclone II.

O DM9000A é um controlador totalmente integrado, com um baixo custo. Possui uma interface Media Access Control Address (MAC), que é responsável pela atribuição de um endereço físico único para para identificação da interface através do protocolo de comunicação. Possui conexão com uma EEPROM, que é um tipo de memória não volátil utilizada em computadores e diversos dispositivos eletrônicos para armazenar pequenas quantidades de dados. Um módulo Physical layer of the OSI model (PHY) 10/100, que efetua a ligação física da interface e por fim 16K Byte de SRAM, que é uma memória de acesso aleatório que mantém os dados armazenados desde que sua alimentação seja mantida.

Possui um projeto voltado para baixo consumo de energia, suporta alimentação de 3.3V com 5V de tolerância para I/Os. Além disso, faz acesso interno à memória com palavra 8 ou 16 bits, dependendo de como foi configurado em sua interface.

O DM9000A foi configurado para acesso em formato 16 bits. Toda esta estrutura pode ser vista no diagrama de blocos da figura 20.

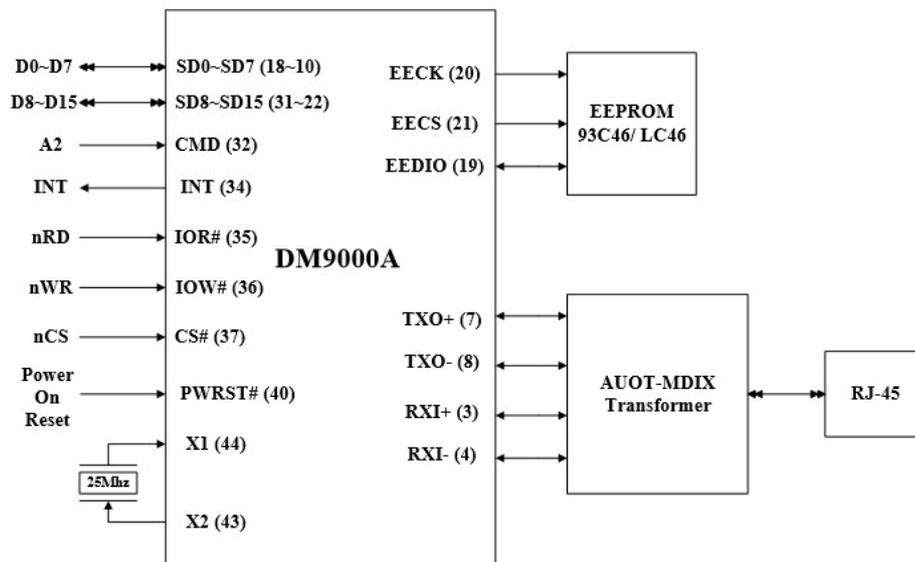
Figura 20 – Diagrama de blocos interno do DM9000A



Como este é um dispositivo cujo objetivo é permitir uma rápida conexão com um microprocessador ou microcontrolador em um projeto, dando a este a capacidade de comunicação através da ethernet, possui uma interface de comunicação com uma pinagem específica para determinação dos protocolos envolvidos e compatibilidade elétrica entre os componentes.

A figura 21 demonstra de forma objetiva os pinos principais para conexão com outros processadores, bem como a interface RJ-45 para ligação física do cabo de rede.

Figura 21 – Conexão dos sinais com a interface do Processador



Fonte: Davicom, 2009

O quadro 1 mostra algumas características dos pinos utilizados na interface com um processor qualquer:

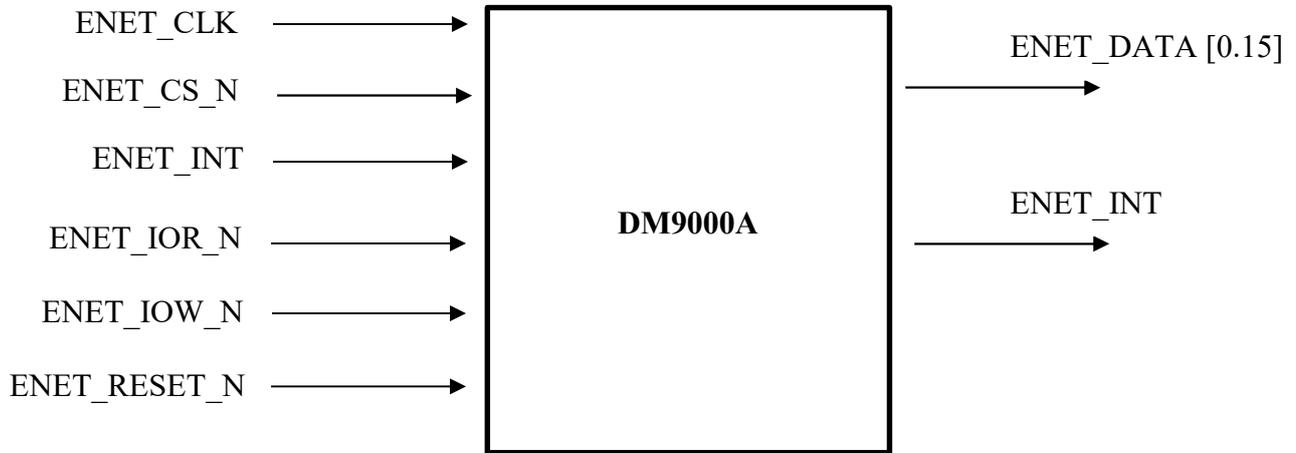
Quadro 1 – Função dos pinos que fazem ligação com o processador

Sinal Processador	Sinal DM9000A	Pino	I/O	Descrição
nRD	IOR#	35	I	Comando de leitura do processador
nWR	IOW#	36	I	Comando de escrita do processador
nCS	CS#	37	I	Seleção do Chip DM9000A
SD0-7	SD0-7	18,17,16, 14,13,12, 11,10	I/O	Barramento de Dados 0-7
SD8-15	SD8-15	31,29,28, 27,26,25, 24,22	I/O	Barramento de Dados 8-15
CMD	CMD	32	I	Tipo de comando
INT	INT	34	O	Requisição de Interrupção

Fonte: Autor

A figura 22 mostra o esquema elétrico efetuado e o quadro 2 demonstra o endereço das ligações físicas dos pinos do Field-programmable gate array (FPGA) no circuito integrado DM9000A.

Figura 22 – Esquema das ligações.



Fonte: Autor, 2015

Quadro 2 – Associação dos pinos do DM9000A com a FPGA.

Nome do Sinal	Pino na FPGA	Descrição
ENET_DATA[0]	PIN_A23	DM9000A DATA[0]
ENET_DATA[1]	PIN_C22	DM9000A DATA[1]
ENET_DATA[2]	PIN_B22	DM9000A DATA[2]
ENET_DATA[3]	PIN_A22	DM9000A DATA[3]
ENET_DATA[4]	PIN_B21	DM9000A DATA[4]
ENET_DATA[5]	PIN_A21	DM9000A DATA[5]
ENET_DATA[6]	PIN_B20	DM9000A DATA[6]
ENET_DATA[7]	PIN_A20	DM9000A DATA[7]
ENET_DATA[8]	PIN_B26	DM9000A DATA[8]
ENET_DATA[9]	PIN_A26	DM9000A DATA[9]
ENET_DATA[10]	PIN_B25	DM9000A DATA[10]
ENET_DATA[11]	PIN_A25	DM9000A DATA[11]
ENET_DATA[12]	PIN_C24	DM9000A DATA[12]
ENET_DATA[13]	PIN_B24	DM9000A DATA[13]
ENET_DATA[14]	PIN_A24	DM9000A DATA[14]
ENET_DATA[15]	PIN_B23	DM9000A DATA[15]
ENET_CLK	PIN_D27	Clock 25 MHz
ENET_CMD	PIN_B27	Seleção do tipo de comando.0=Comando;1=Dados
ENET_CS_N	PIN_C28	Seleção do Chip DM9000A
ENET_INT	PIN_C27	Interrupção
ENET_IOR_N	PIN_A28	Comando de leitura
ENET_IOW_N	PIN_B28	Comando de escrita
ENET_RESET_N	PIN_B29	Reset do DM9000A

Fonte: Autor

O sistema opera em modo 16 bits, já que o pino 21 do DM9000A está em modo flutuante, ou seja, não foi conectado a nada.

O reset pode ser executado via software, já que o pino 40 foi conectado na Field-programmable gate array (FPGA) através do sinal ENET_RESET_N, como mostrado no quadro 2.

3.1.2 Protocolo UDP

Através do controlador DM9000a é possível utilizar qualquer protocolo de comunicação ethernet. No entanto ele não executa o trabalho de montagem da pilha. É necessário estruturar as informações em seu buffer antes de iniciar a transmissão.

Neste projeto de pesquisa foi adotado o protocolo User Datagram Protocol (UDP), que é um protocolo simples para a camada de transporte, devido à sua maior simplicidade de implementação em relação ao Transmission Control Protocol (TCP), que é um outro conjunto de protocolos de comunicação entre computadores em rede e como a comunicação se fez entre apenas dois dispositivos, o protocolo User Datagram Protocol (UDP) se mostrou extremamente rápido e eficiente.

A diferença básica entre o protocolo User Datagram Protocol (UDP) e o Transmission Control Protocol (TCP) é o fato do Transmission Control Protocol (TCP) ser direcionado para conexão, incluindo vários mecanismos para início e encerramento da mesma, além de negociações de pacotes e retransmissão dos mesmos corrompidos.

O User Datagram Protocol (UDP) é mais simples nesta questão, pois não possui tanto controle da comunicação acreditando que o pacote foi entregue. Não existe verificação dos dados, nem confirmação alguma. Os dados são transmitidos uma vez, incluindo um controle básico de Cyclic redundancy check (CRC).

Essa escolha também facilita muito a comunicação com dispositivos eletrônicos para composição de uma integração com dispositivos Internet das coisas (IOT). Como o protocolo User Datagram Protocol (UDP) não exige uma complexa estrutura de autenticação, torna-se mais fácil o desenvolvimento de produtos e softwares de integração utilizando este sensor.

O seu datagrama precisa ser encapsulado dentro do cabeçalho Internet Protocol (IPV4) ou Internet Protocol (IPV6), e então enviado ao destino.

Para transmissão de dados através da ethernet utilizando o Internet Protocol (IPV4) e o protocolo User Datagram Protocol (UDP) é necessário a montagem de uma estrutura de dados, como mostrada na figura 23.

Figura 23 – Octetos para transmissão ethernet

	1 octeto								2 Octeto								3 Octeto								4 Octeto							
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32
1	Preambulo																															
2	Preambulo																								SFD - Delimitador							
3	Endereço MAC de Destino																															
4																	Endereço MAC de Origem															
5																																
6	Tipo o Tamanho do Pacote																															
7	Versão				IHL				Tipo Serviço TOS				Comprimento do Pacote																			
8	Identificador																Flags				OffSet											
9	Tempo de Vida (TTL)								Protocolo								Checksum do cabeçalho															
10	Endereço IP de Origem																															
11	Endereço IP de Destino																															
12	Opções + Padding																															
13	Porta de Origem																Porta de Destino															
14	Comprimento																Checksum UDP															
15	Dados propriamente dito																															
16	FCS - CRC do Frame Ethernet																															

Fonte: Autor, 2015

Os primeiros 20 octetos são chamados Frame Ethernet, é um cabeçalho padrão para sincronização da comunicação e definição da origem e destino com endereços físicos das placas de rede.

Os próximos 28 octetos fazem parte do cabeçalho Internet Protocol (IPV4) com inúmeras informações sobre o pacote a ser transmitido.

Os octetos finais são justamente o cabeçalho User Datagram Protocol (UDP) + Dados propriamente ditos para transmissão do pacote, incluindo um Frame Cyclic redundancy check (CRC).

3.1.3 Descrição de Hardware – Linguagem VHDL

O Very High Speed Integrated Circuit (VHDL) deve a sua origem a um projeto e documentação padrão para o projeto VHSIC (Very High Speed Integrated Circuit), do Departamento de defesa dos estados unidos da américa, segundo D'AMORE. VHDL Descrição e síntese de circuitos digitais. Esse departamento patrocinou um encontro de especialistas para discutir métodos para descrição de circuitos.

Esta é uma linguagem essencialmente de descrição de circuitos padronizada possibilitando o intercâmbio de informações referentes ao comportamento de circuitos entre fabricantes.

Com o objetivo de adicionar facilidades à linguagem, foram propostos dois padrões, o IEE 1164 e Institute of Electrical and Electronics Engineers (IEEE) 1076.3, conforme citado no livro de D'AMORE. VHDL descrição e síntese de circuitos digitais. O primeiro define o padrão “STD_LOGIC_1164”, e o segundo os pacotes “NUMERIC_STD” e “NUMERIC_BIT”.

Como a linguagem Very High Speed Integrated Circuit (VHDL) suporta projetos com múltiplos níveis de hierarquia, a descrição pode consistir na interligação de outras descrições menores. Esses estilos são chamados de estrutural e comportamental, e podem ser mesclados em uma mesma descrição.

As diferentes ferramentas de síntese suportam descrições de diferentes estilos, desde que o nível de abstração seja moderado.

Um detalhe de extrema importância neste tipo de processo, é o fato do código ser executado de forma concorrente, com exceção de regiões específicas que são declaradas para execução sequencial. Como consequência deste comportamento, pode-se intuir que o código pode ser escrito sem uma ordem prévia.

A ocorrência de uma mudança de um sinal, leva à execução de todos os comandos sensíveis aquele sinal, da mesma forma que, em um circuito, a mudança de um valor em um determinado nó afeta todas as entradas ligadas a esse ponto do circuito.

Apesar da característica concorrente de execução, a linguagem permite delimitar regiões de código sequencial. Comando específicos são utilizados para esta finalidade e que não podem ser empregados em regiões de código concorrente.

Na linguagem Very High Speed Integrated Circuit (VHDL) também é possível desenvolver sub-rotinas em forma de procedimentos e funções.

Outro recurso importante da linguagem é a definição de biblioteca e pacote, “library” e “package”. Os pacotes proveem um meio para definição de recursos de uso comum como constantes, subprogramas e declarações de tipos.

O procedimento de teste de uma descrição Very High Speed Integrated Circuit (VHDL) pode ser comandado por um outro código Very High Speed Integrated Circuit (VHDL). Estímulos de teste podem ser definidos para comparar a correspondência entre o circuito descrito e a especificação do projeto. Permitindo a simulação da operação do hardware antes da sua efetiva implementação.

3.1.3.1 Síntese de Circuitos

A linguagem Very High Speed Integrated Circuit (VHDL) não foi exclusivamente criada para a finalidade de síntese de circuitos digitais, sendo assim, nem todas as construções definidas são suportadas pelas ferramentas de síntese. Essa limitação não deve ser considerada como um problema da ferramenta de síntese ou da linguagem, mas sim uma falha na própria descrição que está por demais afastada de um circuito real.

A implicação desta característica pode aparecer quando se compara o circuito no simulador e em seguida tenta-se a síntese, pode ocorrer sucesso na simulação, mas um fracasso no momento da síntese.

Por exemplo, um projetista pode propor um circuito sensível a borda de subida e descida de um sinal de relógio. Na simulação a descrição pode ser simulada com sucesso, mas a ferramenta de síntese poderá não sintetizar a descrição por falta de um elemento desse tipo no mundo físico.

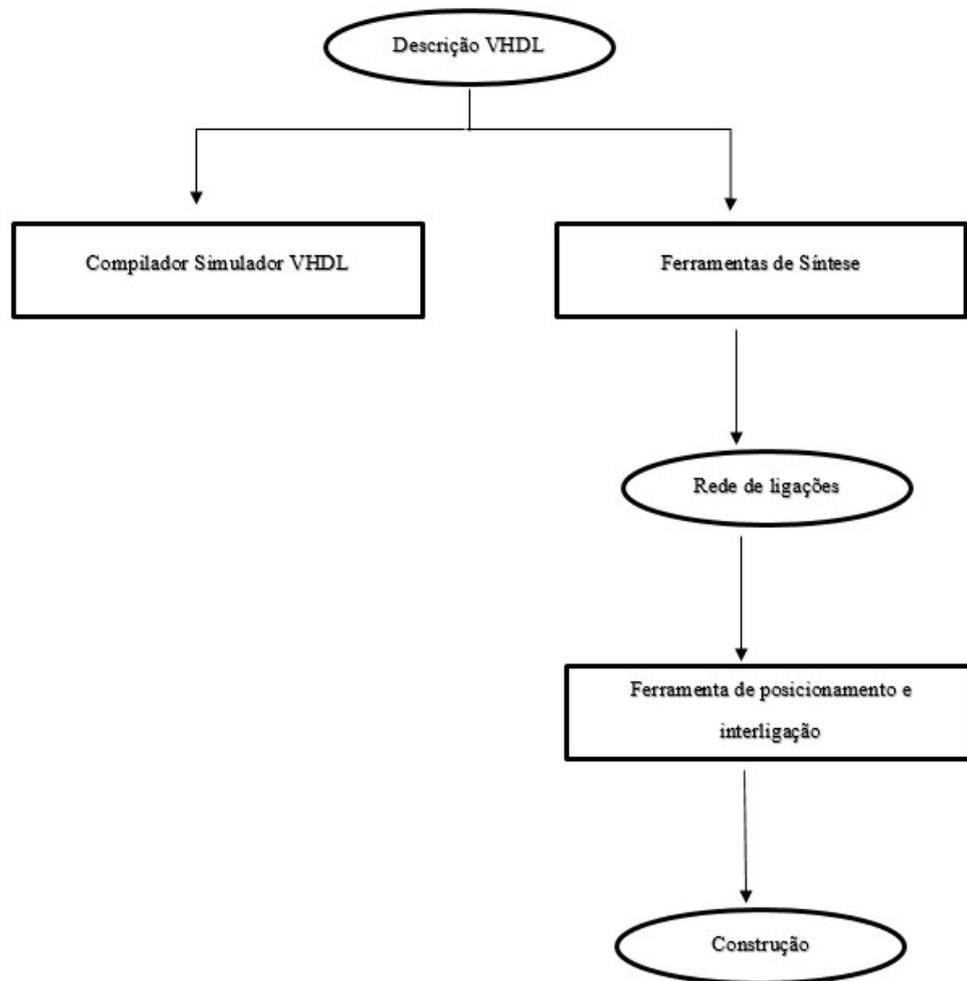
Outro exemplo muito comum, é a inclusão de uma cláusula de atraso de um sinal. Esse recurso é útil para o modelamento de um circuito real, entretanto, se o funcionamento do circuito depende de um valor específico, a descrição não é sintetizada corretamente. A impossibilidade de gerar atrasos em um circuito digital sem o auxílio de uma base de tempo leva as ferramentas de síntese a ignorar esses comandos.

As principais etapas empregando uma linguagem de descrição de circuitos são apresentadas na figura 24.

A partir da especificação do projeto, é gerada uma descrição Very High Speed Integrated Circuit (VHDL), que é submetida a um simulador para a verificação da correspondência entre a especificação e o código. Essa mesma descrição é interpretada por uma ferramenta de síntese que infere as estruturas necessárias para um circuito que corresponda à descrição. O resultado é um arquivo contendo uma rede de ligações de elementos básicos disponíveis na tecnologia do dispositivo empregado.

Esse arquivo é a base para a ferramenta que realiza o posicionamento e a interligação dos componentes, “place and route”.

Figura 24 – Fluxo das informações de compilação e síntese a partir do VHDL



Fonte: Autor, 2015

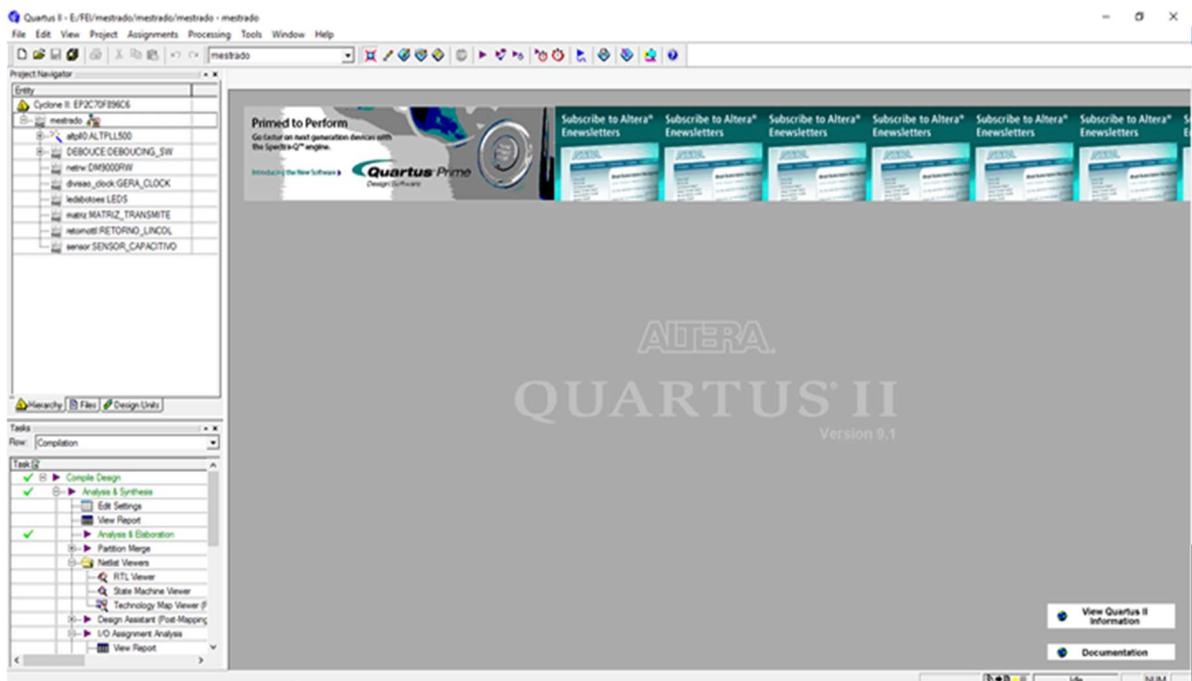
3.1.4 Quartus II 9.1 Web Edition

O Quartus II Web Edition é um software, uma ferramenta, disponibilizada gratuitamente pela Altera Corporation. O download pode ser feito no endereço <https://www.altera.com/downloads/download-center.html>.

Através deste software é possível criar projetos de descrição de circuitos, como mostra a figura 25, fazer alterações, simulações, compilação e síntese e finalmente gravar o resultado no Field-programmable gate array (FPGA).

A ferramenta Quartus II baseia-se na tecnologia (Computer Aided Design) CAD, permitindo o desenvolvimento do projeto inteiramente dentro do ambiente computacional, facilitando a implementação e o teste do sistema digital que utiliza um dispositivo lógico programável.

Figura 25 – Ambiente de Projeto do Quartus II 9.1 Web Edition



Fonte: Autor, 2008

3.1.5 PLL no Cyclone II

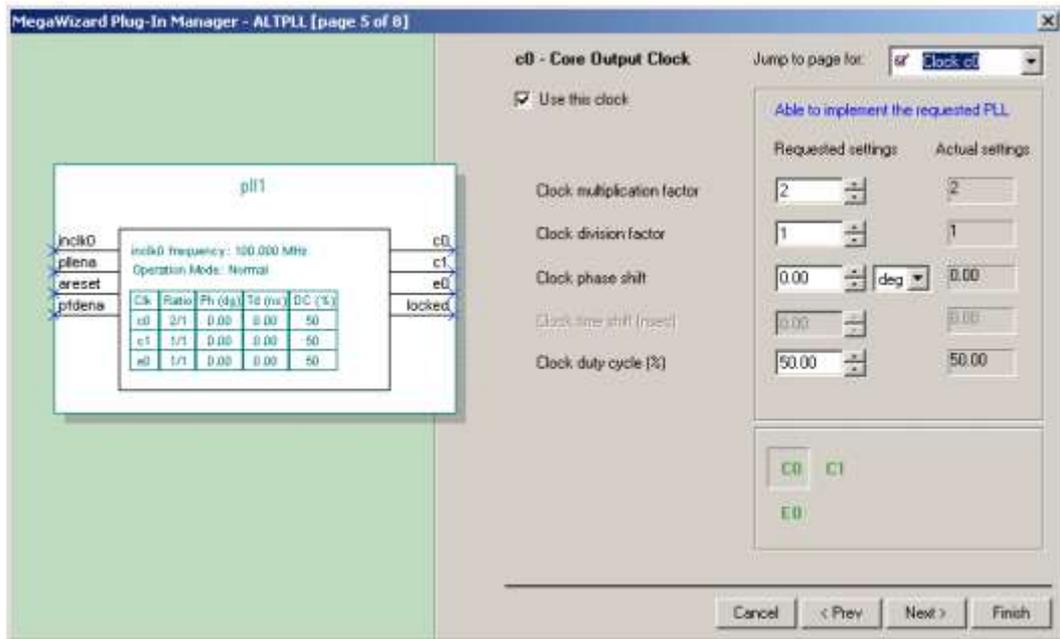
Algumas vezes se faz necessário obter frequências de clock maiores do que as disponíveis nos pinos dos circuitos integrados, como foi o caso deste projeto de pesquisa.

Nestas situações os fabricantes, de uma forma geral, inclusive a Altera Corporation, disponibilizam nos seus dispositivos uma capacidade de multiplicar a frequência a partir de uma frequência disponível no sistema. Este recurso usa circuitos multiplicadores com controle Phase-locked loop (PLL), segundo manual Altera Corporation-Usando Phase-locked loop (PLL) em dispositivos Cyclone.

Um Phase-locked loop (PLL) é um sistema de controle de frequência de circuito fechado com base na diferença de fase entre o sinal de clock de entrada e o sinal de clock de realimentação de um oscilador controlado.

O ambiente de desenvolvimento do Quartus II 9.1 Web Editon possui uma ferramenta que facilita a introdução de um Phase-locked loop (PLL) no projeto. Através de uma tela de configuração é possível configurar ou criar até 4 Phase-locked loop (PLL) no projeto. Esta tela é mostrada na figura 26.

Figura 26 – Tela de parametrização de um PLL



Fonte: Autor, 2015

3.1.6 Matlab

O MATLAB, segundo o desenvolvedor MathWorks Inc., é um software criado com o objetivo de fazer cálculos, tendo sua base principal as matrizes.

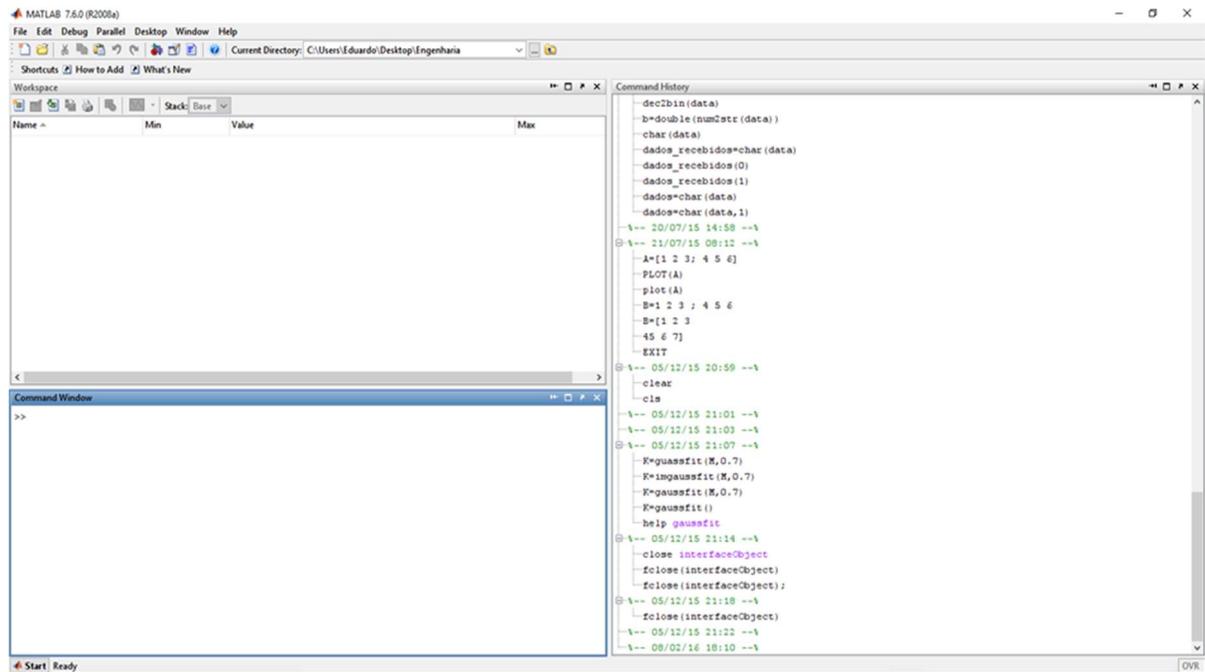
Foi criado no fim dos anos de 1970 por Cleve Moler, então presidente do departamento de ciência da computação da Universidade do Novo México.

A sua linguagem de construção é o C e o Java.

Atualmente possui uma enorme diversidade de aplicações, como computação numérica, visualização de gráficos para análise de dados, programação, bibliotecas prontas que facilitam a integração com os dados coletados.

Neste projeto de pesquisa foi utilizado o MATLAB R2008, como ferramenta de apoio e análise, como mostra a figura 27.

Figura 27 – Ambiente de desenvolvimento do MATLAB R2008



Fonte: Autor, 2015

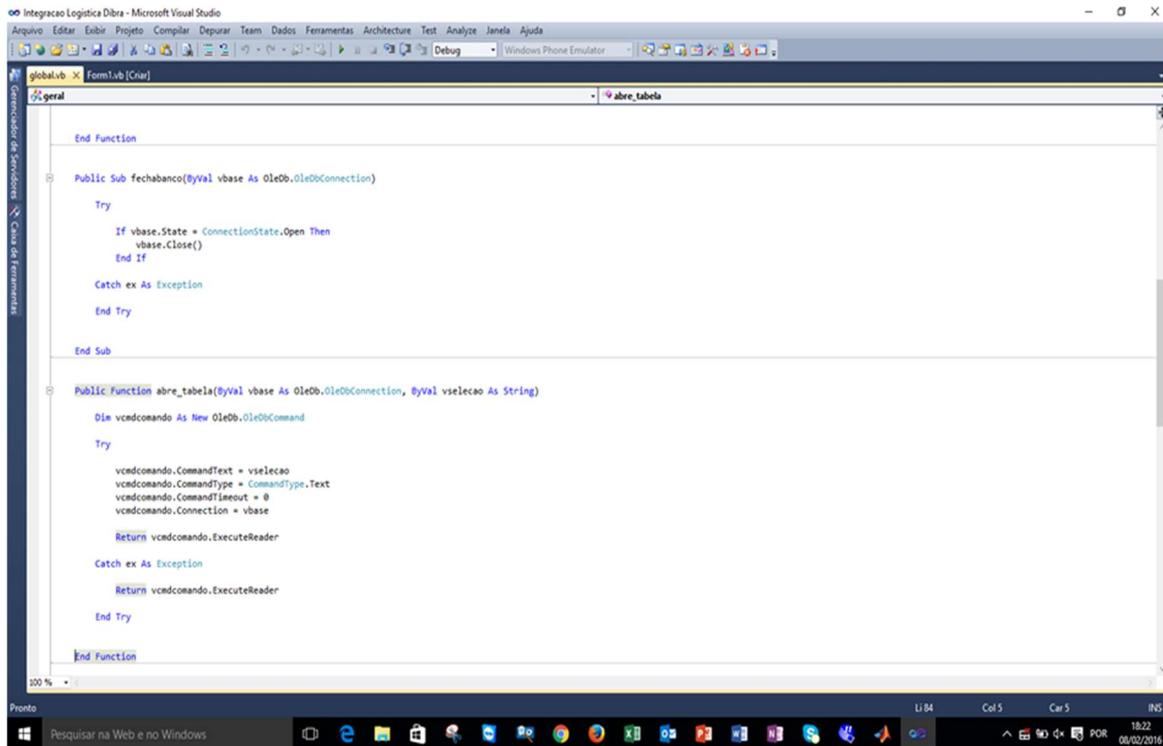
3.1.7 Microsoft Visual Studio

O Microsoft Visual Studio é um ambiente de desenvolvimento integrado (IDE) da empresa Microsoft. Neste ambiente é possível desenvolver aplicativos para inúmeras finalidades, utilizando diferentes compiladores, como visual basic, C#, C++, C, entre outros.

Como muitos editores, ele inclui em seu Integrated Development environment (IDE) um editor eficiente de código que suporta destaque de sintaxe, funções, métodos, laços e consultas de banco de dados, como mostra a figura 28.

Inclui também um depurador que funciona tanto como um depurador de nível de fonte, bem como a nível de máquina. O depurador permite definir pontos de interrupção e relógios. Esses pontos de interrupção podem ser condicionais, o que significa que se desencadeou quando a condição é atendida.

Figura 28 - Ambiente de desenvolvimento do Visual Studio 2010



Fonte: Autor, 2015

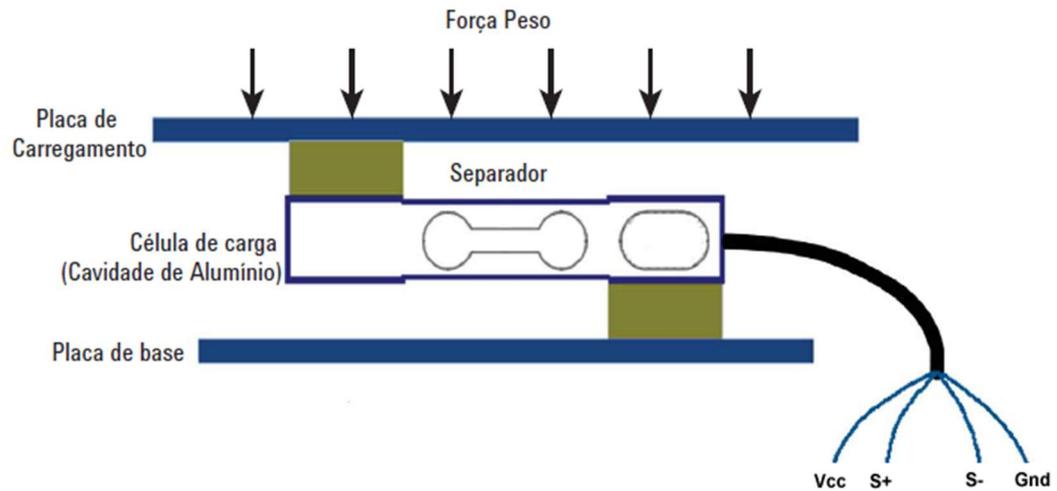
3.1.8 Célula de Carga

Uma célula de carga é um transdutor que converte força em sinal elétrico. Normalmente cada célula é ligada a quatro fios, sendo dois utilizados para alimentação (chamado de excitação) e os outros dois retornam uma leitura de tensão, proporcional ao peso da célula (são os sinais). As células de carga mais comuns são as que possuem extensômetro.

Um extensômetro é uma fina tira de metal, cuja resistência varia quando sofre a ação de uma carga mecânica, esticando ou comprimindo.

A figura 29 mostra o perfil de uma célula de carga posicionada em uma base de apoio com os quatro fios ligados.

Figura 29 - Estrutura de uma célula de carga

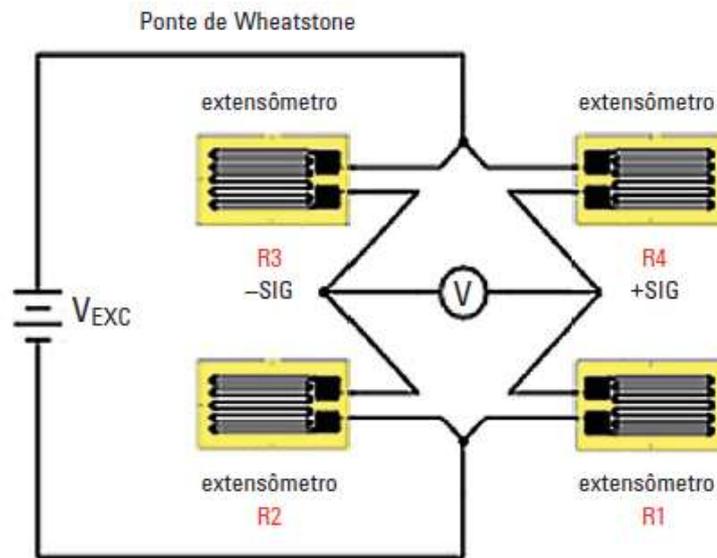


Fonte: Autor, 2016

Há quatro extensômetros ligados na superfície interna da célula de carga, formando uma configuração de Ponte de Wheatstone, como demonstra a figura 30.

Quando uma carga ocasiona o estresse na célula de carga, dois extensômetros são esticados e os outros dois são comprimidos. Os esticados irão aumentar a resistência e os outros vão diminuí-la. Se nenhuma carga for adicionada ao sistema, elas permanecem em equilíbrio e a diferença ($SIG+ - SIG-$) na ponte de whetstone é zero.

Figura 30 - Configuração dos extensômetros ligados na célula de carga



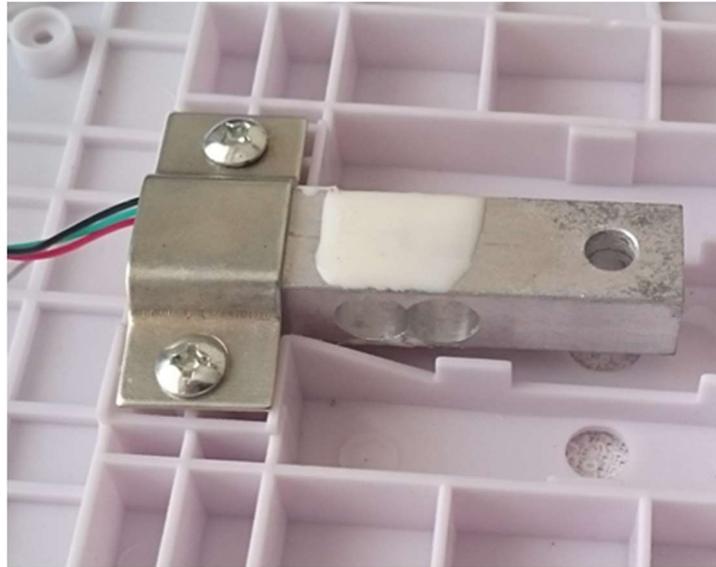
Fonte: Autor, 2016

A tensão fornecida pelos sinais S+ e S- depende do modelo da célula de carga e também da alimentação de excitação fornecida. Essa saída normalmente é expressa em mV/V (milivolts de sinal por volt de excitação).

A célula de carga utilizada nesta pesquisa tem capacidade máxima de 5Kg e alimentação de 5 Volts de excitação. Os sinais S+ e S- fornecem 2mV/V, ou seja, para esta resolução a saída máxima será de 10mV.

A figura 31 mostra a célula de carga fixada em uma base de sustentação.

Figura 31 - Célula de Carga e 4 fios



Fonte: Autor, 2016

3.1.9 Microcontrolador

O microcontrolador é um circuito integrado que incorpora os elementos necessários para controlar um ou vários processos. É um computador reduzido à mínima expressão e integrado num pequeno chip.

Os componentes essenciais que integram os microcontroladores são o processador ou Central Processing Unit (CPU), a memória do tipo Random Access Memory (RAM) para armazenar dados, a memória do tipo Read-Only Memory/ Programmable Read-Only Memory/ Erasable Programmable Read-Only Memory/ Electrically-Erasable Programmable Read-Only Memory (ROM/PROM/EPROM/EEPROM) para armazenar o programa, as portas de entrada/saída (E/S) para comunicar-se com o meio exterior, os módulos para controle de periféricos (temporizadores, portas seriais, conversores analógico-digital, entre outros) e um circuito oscilador para gerar o sinal de relógio que sincroniza o funcionamento de todo o sistema.

Os microcontroladores Programmable Intelligent Computer (PIC) são uma família de microcontroladores fabricados pela Microchip Technology Inc, que processam dados de 8 bits, 16 bits e, mais recentemente, 32 bits. Contam com extensa variedade de modelos e periféricos internos. Possuem alta velocidade de processamento devido a sua arquitetura Harvard

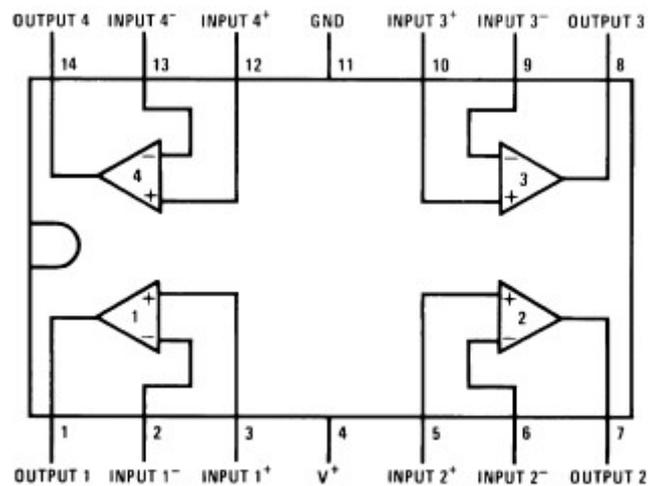
3.1.10 Amplificador Operacional

O circuito integrado LM324, figura 33, possui quatro amplificadores operacionais de alto ganho, projetado para trabalhar com fonte de alimentação única. Pode trabalhar com fonte de alimentação de 3V a 32V, segundo o datasheet do fabricante Texas Instruments Inc.

Características gerais deste circuito integrado de acordo com o datasheet:

- Frequência Interna compensada por unidade de ganho
- Ganho 100 dB
- Largura de Banda 1 MHz
- Baixa corrente de dreno (700 μA), independente da alimentação
- Baixa tensão de offset 2mV
- Corrente de offset 5nA

Figura 33 - Diagrama do LM324



Fonte: Texas Instruments, 2015

3.1.11 Fio Condutor

O fio escolhido para fabricação do tecido é do tipo multifilamento, que é um fio fino formado por outros fios ainda mais finos.

Para esta pesquisa a configuração escolhida foi 4x41 American wire gauge (AWG) 41, ou seja, quatro fios de cobre enrolados formando um único fio e coberto com uma camada de poliéster com a finalidade de isolamento.

A codificação do fio utilizado é American wire gauge (AWG) 41 4x1. O código American wire gauge (AWG) é um padrão americano de parametrizações para fios e cabos de cobre.

De acordo com a tabela American wire gauge (AWG), o fio em questão possui aproximadamente 0,071 mm de diâmetro, 4,354772 Ω /m de resistência e uma capacidade de suportar 0,011 a 20°C.

O padrão utilizado nesta pesquisa é o mesmo utilizado no trabalho de Andrade (2014), mas com um diâmetro menor, apenas com 4 fios de cobre em sua formação. Essa mudança ocorreu para que o tecido fabricado tivesse uma flexibilidade maior.

3.1.12 Tecido

O tipo de tecido usado neste trabalho pode ser utilizado em produtos finais, tais como calças, jaquetas, camisas, saias, roupas de criança, no entanto, ele foi adaptado especificamente para atingir o objetivo deste trabalho de uma maneira semelhante ao tecido utilizado na pesquisa Andrade (2014). Trata-se de um tecido plano que foi produzido substituindo-se em sua estrutura alguns fios convencionais por fios condutores.

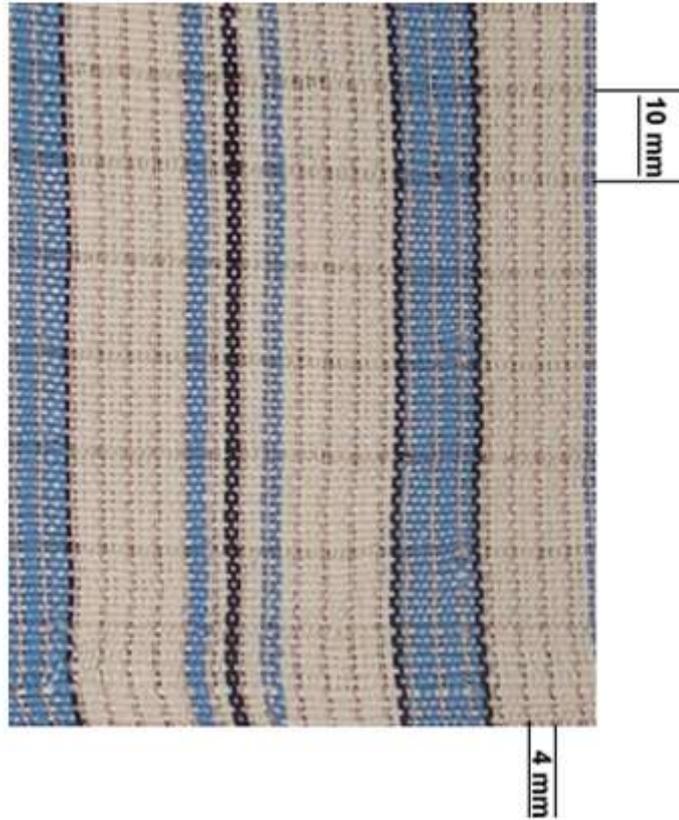
O tecido plano foi produzido utilizando o ligamento sarja 3x1, com fios de algodão cardado tanto no urdume quanto na trama, distribuídos na densidade de 18 fios / cm e 14 fios / cm, respectivamente. O título dos fios é NE 20/1 em ambas as direções.

A disposição do fio segue o mesmo padrão realizada por Andrade (2014), ou seja, um fio especial, composto por filamentos de cobre isolados recobertos por poliéster a cada 5 fios de algodão na direção do urdume e um fio condutor a cada 10 fios de algodão na direção da trama.

Neste estudo, houve uma evolução da utilização do fio especial de cobre recoberto com poliéster. No trabalho de Andrade (2014), utilizou-se um fio com 16 filamentos de cobre enquanto que neste trabalho o fio especial tem apenas 4 filamentos de cobre. A menor

quantidade de filamentos resulta em um fio mais fino e flexível, por conseguinte, mais semelhante a um fio têxtil tradicional, como demonstra a figura 34.

Figura 34 – Tecido sensor



Fonte: Autor, 2015

3.2 DESCRIÇÃO DO PROTÓTIPO

O sensor tátil incorporado no tecido, que é o objeto principal desta pesquisa, tem como princípio físico o efeito capacitivo, carga e descarga mediante um sinal com tensão contínua.

O Field-programmable gate array (FPGA) foi utilizado para gerar os sinais de excitação no circuito e leitura dos sinais gerados pelo mesmo. O que o sistema desenvolvido na Field-programmable gate array (FPGA) está medindo é exatamente o atraso do sinal, ou seja, o tempo que o capacitor formado pelo conjunto do tecido leva para carregar.

O tecido foi especialmente desenvolvido para este trabalho utilizando um fio especial em sua trama, que foi inserido no urdume convenientemente, formando uma matriz.

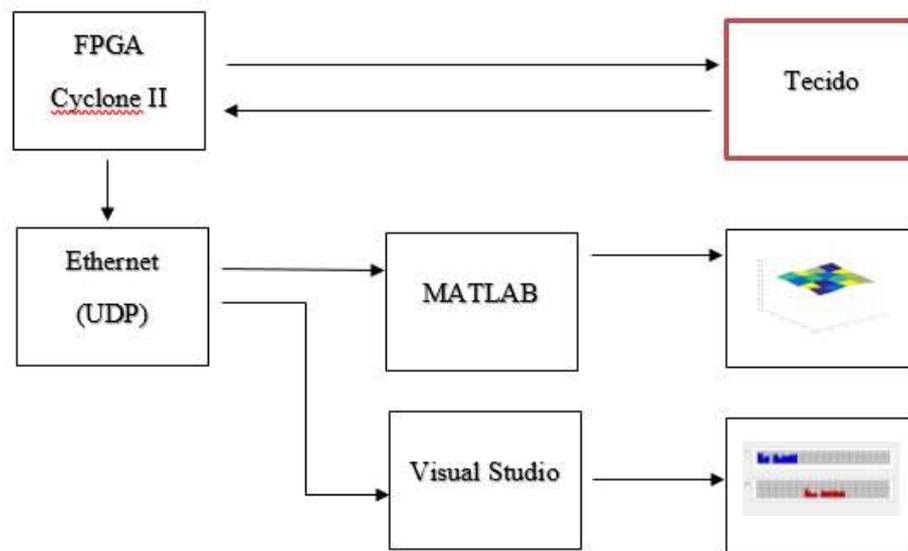
Esse fio é de cobre e coberto com uma camada fina de poliéster, fazendo um isolamento entre os fios.

O tecido foi soldado, juntamente com resistores em uma placa Printed circuit board (PCB) e conectados com cabo de 40 vias ao Field-programmable gate array (FPGA).

As leituras efetuadas pela Field-programmable gate array (FPGA) são enviadas de forma contínua através do barramento ethernet para softwares que fazem processamento e apresentam resultados gráficos, como MATLAB e o Visual Studio.

A figura 35 mostra o fluxo geral destas informações neste trabalho de pesquisa.

Figura 35 – Fluxo geral das informações



Fonte: Autor, 2016

3.2.1 Sinais FPGA

A primeira fase do processo desta pesquisa se deu no desenvolvimento de rotinas em Very High Speed Integrated Circuit (VHDL) para executar os tratamentos dos sinais de estímulo e retorno, bem como a comunicação com os softwares de tratamento da informação.

A figura 36 mostra um esquema de blocos destas informações gerados no software Quartus II versão 9.1 Web Edition.

Segue uma descrição da função de cada bloco dentro do projeto:

- a) GERA_CLOCK: Este bloco recebe o clock de 50MHz, que está disponível através de um oscilador externo à Field-programmable gate array (FPGA), e gera um clock de 25 MHz e outro de 90KHz para serem utilizados nas rotinas do sensor e também como referência para a placa ethernet DM9000a.
- b) DEBOUCING_SW: Para dar início ao processo de leitura e geração dos sinais é necessário acionar os botões. Esses botões, por sua vez, geram ruídos mecânicos no circuito, podendo ter seu estado confundido momentaneamente. Para resolver isso foi criado este bloco que faz um filtro desse ruído e aguarda a estabilização do sinal destas chaves antes de repassar o seu valor.
- c) ALTPLL500: O Field-programmable gate array (FPGA) Cyclone II permite, através de uma programação, gerar um clock maior a partir de um menor. Este bloco faz exatamente essa função, elevou o clock de 50MHz para 300MHz e este serviu de parâmetro de tempo para todo o processo do sinal retorno.
- d) RETORNO_LINCOL: Este bloco é apenas um inversor do sinal de retorno, como o sinal de retorno não exatamente uma onda quadrada e sim exponencial, foi criado este bloco comparador inversor para transformar este sinal, o que facilita sua leitura e medição de tempo em relação ao sinal estímulo, que já é uma onda quadrada por natureza.
- e) SENSOR_CAPACITIVO: Este bloco é o responsável por toda a operação de controle dos sinais de estímulo e resposta do sistema. É ele que executa a lógica sequencial já exposta de excitação e leitura. Possui uma saída que gera o sinal de estímulo, comum a todas as linha e colunas, e através dos recursos de processos concorrentes da Field-programmable gate array (FPGA) faz a contagem do tempo de retorno. Neste bloco também foi embutido um filtro de média móvel com a finalidade de melhorar a relação sinal ruído. A janela configurada neste filtro é de 128 leituras. A matriz de 31 linhas e 24 colunas só é repassada para transmissão após a filtragem completa de todos os pontos.
- f) MATRIZ_TRANSMITE: Como o próprio nome sugere, este bloco faz a captação dos sinais filtrados pelo bloco SENSOR_CAPACITIVO e disponibiliza para transmissão ethernet através do bloco DM9000RW. A velocidade que estas informações são transmitidas são configuradas através do sinal ss_clk_90 e dependem do tratamento que os softwares supervisórios darão. Se for para plotagem instantânea de gráficos é necessário reduzir um pouco a velocidade para compatibilizar com atualizações de vídeo, ou aumenta-se a velocidade se for para aplicação de outros processamentos digitais.
- g) DM9000RW: Este bloco faz a execução da parte física e de transporte das informações através do barramento ethernet. Foi totalmente desenvolvido em Very High Speed

Integrated Circuit (VHDL) e utiliza padrão Internet Protocol (IPV4) com protocolo de transporte User Datagram Protocol (UDP). Como este projeto de pesquisa foi concebido para uma comunicação simples de um computador PC e o hardware da Field-programmable gate array (FPGA) , muitas informações contidas nos cabeçalhos dos protocolos Internet Protocol (IPV4) e User Datagram Protocol (UDP) estão fixas. Isso facilitou a implementação em Very High Speed Integrated Circuit (VHDL). De qualquer forma essas informações podem de forma muito fácil serem alteradas ou parametrizadas se for necessário futuramente.

- h) Leds: Este bloco serve de apoio para o DM9000RW, como a placa ethernet necessita de uma inicialização prévia, esse bloco através dos leds que fazem parte do kit DE2-70, sinalizam a finalização desta inicialização e conseqüentemente pode-se dar início a transmissão dos dados.

3.2.2 Aplicação dos sinais

A sequência lógica dos sinais, envio e resposta, ocorrem da seguinte forma:

- a) O sinal ESTIMULO é colocado em estado baixo (zero volts) até que o sinal RETORNO também fique em estado baixo (zero volts).
- b) Em seguida o sinal ESTIMULO é colocado em nível alto (3.3 volts).
- c) É iniciado um contador com clock de 300MHz de referência.
- d) Assim que o sinal de RETORNO atinge nível alto (em torno de 1,8 volts), o contador para e obtém-se o valor do atraso do sinal.
- e) O sinal ESTIMULO volta para nível baixo.
- f) O ciclo se repete para uma nova leitura.

Esta sequência de envio e retorno de sinais acontece individualmente em todas as linhas e colunas e em um segundo momento o estímulo se dá de forma simultânea e o retorno é lido também paralelamente em um mesmo instante de tempo.

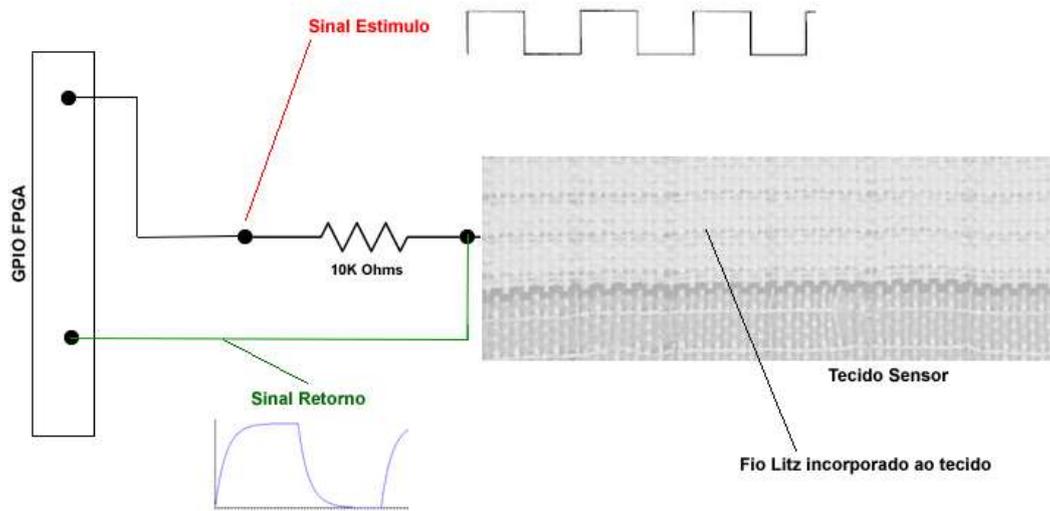
No conjunto proposto, figuras 37 e 38, são apresentadas ao menos três capacitâncias distintas: C(ent), C(tecido) e C(toque).

A C(ent) (Capacitância de entrada) é fixa e depende apenas das entradas das portas lógicas da Field-programmable gate array (FPGA) e da ligação (cabos e soldas) (Andrade (2014)).

A C(tecido) (Capacitância do tecido) é variável, pois envolve a capacitância do fio condutor com a capacitância dos fios do urdume e trama, conforme já citado no trabalho de pesquisa de Andrade (2014). Sistema de aquisição de sinais tácteis em tecido com protótipo em Field-programmable gate array (FPGA).

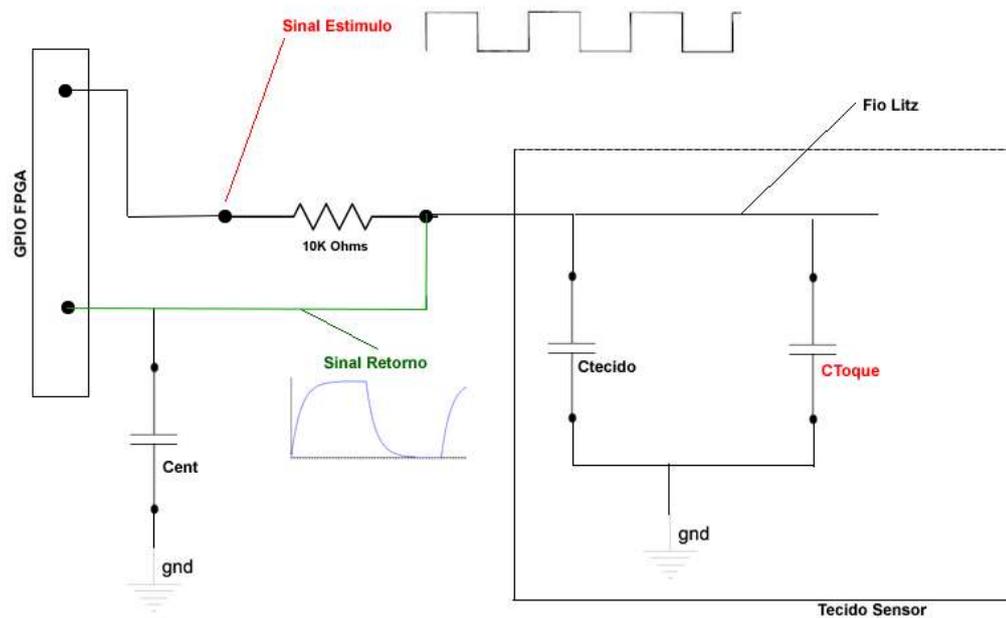
Já a capacitância do toque (Ctoque) é a inserção de um corpo externo ao modelo, no caso deste trabalho de pesquisa o toque humano. Esse depende da área de contato e também da força exercida sobre o tecido.

Figura 37 – Esquema de ligação de uma linha do circuito tecido sensor



Fonte: Autor, 2016

Figura 38 – Circuito equivalente do tecido sensor e suas capacitâncias



Fonte: Autor, 2016

3.2.3 Circuito

Para efetuar as medições se fez necessário conectar a um circuito eletrônico com o tecido em uma placa genérica.

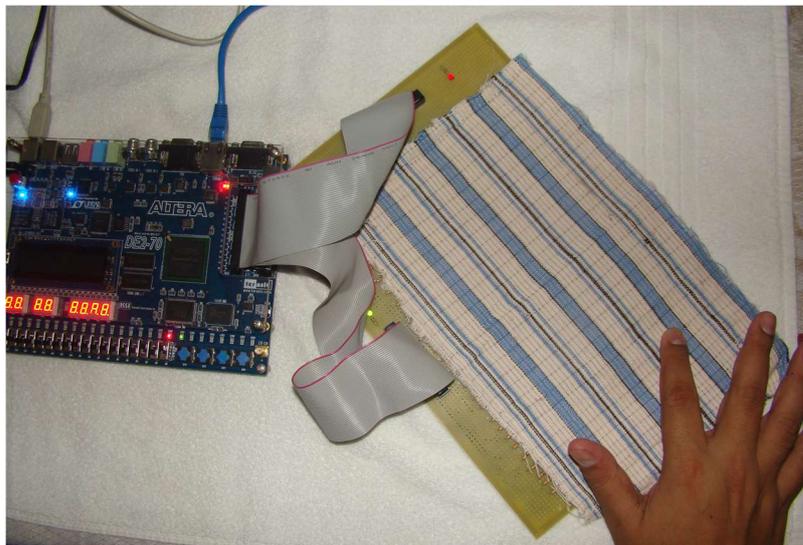
Uma questão importante da montagem deste circuito diz respeito à quantidade de pinos disponíveis na placa de teste Field-programmable gate array (FPGA), 64 pinos utilizáveis para saída ou entrada de sinal externo. Portanto se fez necessária a análise de uma forma de minimizar os pinos utilizados para excitação e retorno. O circuito final compartilha o sinal de excitação, tendo apenas o sinal de retorno individualizado.

O tecido foi soldado na placa formando uma matriz de 31 linhas x 24 colunas, com resistores de $10K\Omega$ em série com cada fio.

Os resistores foram então conectados a conectores de 40 pinos, que são ligados ao Field-programmable gate array (FPGA), como mostra a figura 38.

A figura 39 mostra o resultado final do protótipo em placa Printed circuit board (PCB) ligado ao circuito de processamento Field-programmable gate array (FPGA).

Figura 39 – Circuito com tecido sensor conectado a FPGA



Fonte: Autor, 2016

4 RESULTADOS OBTIDOS E ANÁLISE DE DADOS

Os resultados estão divididos em têxteis e elétricos, respeitando as normas vigentes de acordo com a especificidade de cada área.

4.1 ENSAIOS TÊXTEIS

Todos os ensaios têxteis foram realizados em parceria com o Centro Universitário FEI, particularmente no desenvolvimento do trabalho de graduação FERRAZ, Mariana Venâncio. Tecido Touch: A influência do fio condutor nas suas propriedades. São Bernardo do Campo, 2016, com foco nos objetivos deste trabalho de pesquisa.

4.1.1 Ensaio de Estabilidade Dimensional

Os ensaios de alteração dimensional/estabilidade dimensional são feitos seguindo a norma brasileira NBR 10320. A figura 40 mostra as marcações efetuadas para análise.

Figura 40 - Marcações no tecido Touch de Alteração Dimensional



Fonte: Ferraz, 2016

4.1.1.1 Dados Obtidos

Após as 5 lavagens domésticas, fez-se as medições do corpo de prova obtendo-se os seguintes dados, mostrados no quadro 3.

Quadro 3 - Alteração dimensional dos tecidos

Após 5 lavagens e secagem horizontal								
C.P.	TECIDO: COBRE 4f							
	URDUME			TRAMA				
	INICIAL	FINAL	ALT. DIM. - %	INICIAL	FINAL	ALT. DIM. - %		
1	24,7	22,4	9,31	25,0	24,3	2,80		
2	24,8	22,6	8,87	25,2	24,0	4,76		
3	25,1	22,4	10,76	24,7	24,2	2,02		
			MÉDIA:	9,65			MÉDIA:	3,20
			DESVIO	0,99			DESVIO	1,41
			C.V.:%	10,26%			C.V.:%	44,13%
Após 5 lavagens e secagem horizontal								
C.P.	TECIDO: 100% CO							
	URDUME			TRAMA				
	INICIAL	FINAL	ALT. DIM. - %	INICIAL	FINAL	ALT. DIM. - %		
1	24,9	23,2	6,83	25,3	24,1	4,74		
2	24,7	23,5	4,86	25,00	23,8	4,80		
3	25,2	23,4	7,14	25,1	23,7	5,58		
			MÉDIA:	6,28			MÉDIA:	5,04
			DESVIO	1,24			DESVIO	1,58
			C.V.:%	19,76%			C.V.:%	31,35%
Após 5 lavagens e secagem horizontal								
C.P.	TECIDO: COBRE 7f							
	URDUME			TRAMA				
	INICIAL	FINAL	ALT. DIM. - %	INICIAL	FINAL	ALT. DIM. - %		
1	24,9	22,5	9,64	25,1	24,7	1,59		
2	24,9	22,5	9,64	24,9	24,7	0,80		
3	25,1	22,5	10,36	25,2	24,9	1,19		
			MÉDIA:	9,88			MÉDIA:	1,20
			DESVIO	0,42			DESVIO	0,40
			C.V.:%	4,25%			C.V.:%	33,45%

Fonte: Ferraz, 2016

Figura 41 - Marcações no tecido touch de alteração dimensional após 5 lavagens



Fonte: Ferraz, 2016

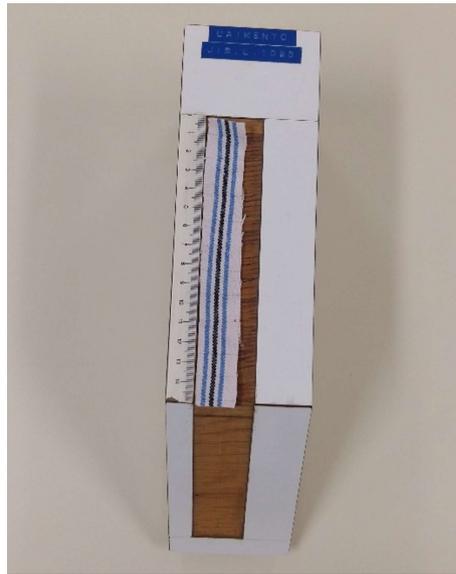
No sentido da trama, o encolhimento do tecido plano convencional 100% algodão foi maior do que os tecidos *touch*. Aparentemente, isso se ocorreu devido à presença do fio condutor, que é mais rígido e menos compressível longitudinalmente do que os fios de algodão.

No sentido do urdume, o encolhimento do tecido plano convencional 100% algodão foi menor do que os tecidos *touch*. Aparentemente, isso se ocorreu devido à presença do fio condutor, que é mais rígido e menos compressível longitudinalmente do que os fios de algodão. Como é possível ver na figura 41.

4.1.2 Ensaio de Caimento – Maleabilidade / Flexibilidade

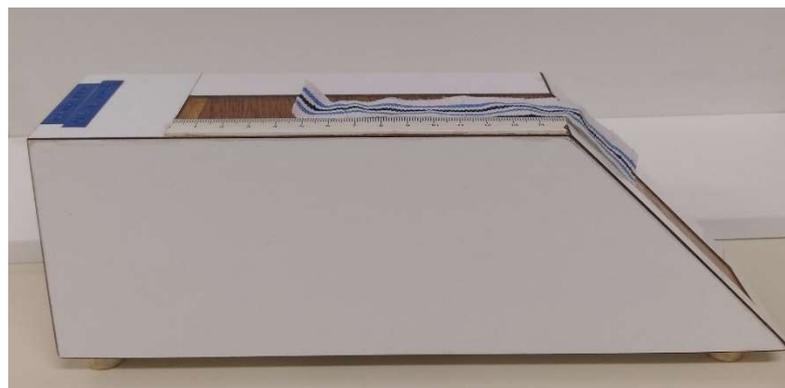
Os ensaios de caimento pelo método cantilever são feitos seguindo a norma japonesa JIS L 1096, *Testing methods for woven and knitted fabrics*. O deslocamento do tecido é medido por uma escala já fixada no aparelho, como mostram as Figuras 42 e 43.

Figura 42 - Corpo de prova posicionado na superfície horizontal



Fonte: Ferraz, 2016

Figura 43 - Deslocamento do tecido



Fonte: Ferraz, 2016

4.1.2.1 Dados Obtidos

Os dados obtidos no ensaio de maleabilidade são mostrados no quadro 4.

Quadro 4 - Dados maleabilidade/flexibilidade

C.P.	TECIDO					
	COBRE 4f		COBRE 7f		100% CO	
	URDUME	TRAMA	URDUME	TRAMA	URDUME	TRAMA
1	3,4	6,3	4,3	6,3	3,9	4,5
2	3,6	5,4	4,3	7,5	3,9	4,8
3	3,9	7,1	4,4	6,7	3,1	5,1
4	3,9	7,4	3,3	5,2	3,4	5,0
5	4,0	7,0	4,0	6,5	3,4	5,2
MÉDIA:	3,76	6,63	4,06	6,44	3,54	4,92
DESVIO	0,251	0,802	0,451	0,829	0,351	0,277
C.V.%:	6,68%	12,10%	11,11%	12,87%	9,92%	5,63%

Fonte: Ferraz, 2016

No sentido da trama, os tecidos *touch* se comportaram de maneira similar entre eles, com maior rigidez, quando comparados ao tecido plano convencional 100% algodão e, portanto, menor flexibilidade.

No sentido do urdume, não houve qualquer variação da flexibilidade tanto dos tecidos *touch*, quanto do tecido plano convencional plano 100% algodão.

4.1.3 Ensaio de Ângulo de Recuperação de Vinco – Amarrotamento ao Uso

Os ensaios de ângulo de recuperação de vinco são feitos seguindo a norma francesa NF G 07 110, *Essais des étoffes- Détermination de l'auto- défroisabilité par mesurage de l'angle rémanant après pliage*.

4.1.3.1 Dados Obtidos

Para o ensaio de ângulo de recuperação de vinco, os corpos de prova que apresentarem maior ângulo, significa que o tecido possui boa recuperação, retornando o máximo possível a sua posição original. Cada valor obtido no ensaio foi anotado e tirado a média para cada tecido, como pode-se conferir no quadro 5.

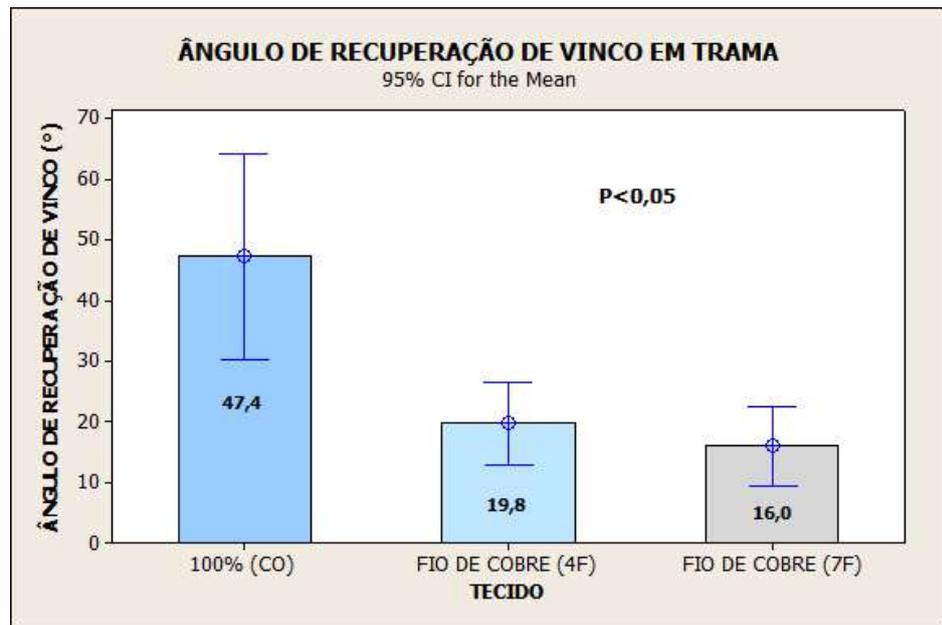
Quadro 5 - Dados amarrotamento ao uso

C.P.	TECIDO					
	COBRE 4f		COBRE 7f		100% CO	
	URDUME	TRAMA	URDUME	TRAMA	URDUME	TRAMA
1	83	12	69	21	57	59
2	97	22	66	8	62	39
3	107	18	70	20	68	40
4	112	27	70	17	45	65
5	96	20	67	14	64	34
MÉDIA:	99	19,8	68,4	12,4	59,2	47,4
DESVIO	11,2	5,49	1,81	5,24	8,87	13,69
C.V.%:	11,31%	27,73%	2,65%	42,26%	14,98%	28,88%

Fonte: Ferraz, 2016

Como é possível verificar na figura 44, no sentido da trama, os tecidos *touch* possuem um comportamento similar entre eles, apresentando um ângulo de recuperação de vinco extremamente baixo. Já o tecido 100% CO que, apesar de amarrotar bastante, devido a fibra de algodão e o ligamento tela, se difere dos demais, retornando aproximadamente 50° da posição original, indicando melhor desempenho.

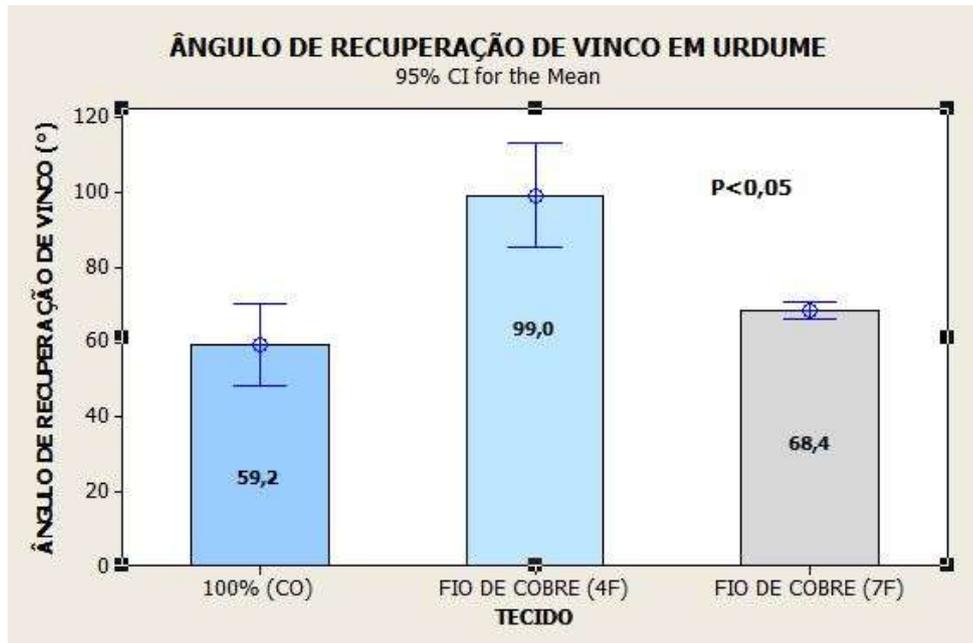
Figura 44 - Gráfico do amarrotamento ao uso no sentido da trama



Fonte: Ferraz, 2016

Já no sentido do urdume, analisando a figura 45, o comportamento do tecido *touch* com 4 filamentos de cobre se difere dos demais, apresentando uma recuperação de mais de 50%. No entanto, esse não deveria apresentar grande diferença do tecido *touch* com 7 filamentos de cobre, visto que o fio condutor está disposto no sentido da trama. Provavelmente houve erro de medida durante o ensaio, já que, comparando apenas o tecido plano convencional 100% algodão com o tecido *touch* com 7 filamentos de cobre, não há diferença de comportamento ($p = 0,053$)

Figura 45 - Gráfico amarrotamento ao uso no sentido do urdume



Fonte: Ferraz, 2016

4.1.4 Ensaio de Recuperação de Vinco – Amarrotamento à Lavagem

Os ensaios de recuperação de vinco: avaliação da aparência são feitos seguindo a norma americana AATCC Test Method 128, *Wrinkle recovery of fabrics: appearance method*.

4.1.4.1 Dados Obtidos

Obteve-se os seguintes dados, mostrados no quadro 6.

Quadro 6 - Dados amarrotamento à lavagem

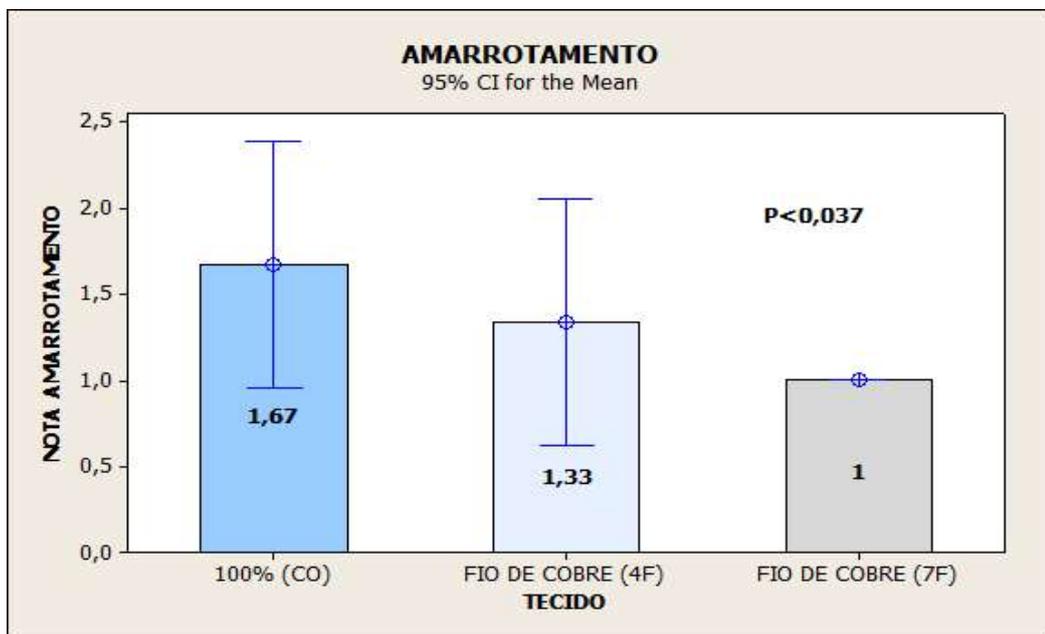
C.P.	TECIDO		
	COBRE 4f	COBRE 7f	100% CO
1	1,5	1	2
2	1,5	1	1,5
3	1	1	1,5
MÉDIA:	1,33	1	1,67
DESVIO	0,288	0	0,288
C.V. %:	21,65%	0,00%	17,25%

Fonte: Ferraz, 2016

Como é possível ver nas Figuras 46 e 47, os tecidos *touch* apresentam a tendência a um amarrotamento bem mais intenso. O tecido convencional plano 100% algodão também apresenta intensa amarrotabilidade. Portanto, todos os tecidos amarrotaram intensamente durante a lavagem.

A avaliação é feita em cima da aparência do tecido através de fotografias padrões que mostram o aspecto. A norma varia de 1 a 5 numa escala de 0,5 em 0,5 em que a nota 1 é o pior caso, com amarrotamento intenso e a nota 5 é o melhor caso, onde o tecido não amarrota.

Figura 46 - Gráfico do amarrotamento à lavagem



Fonte: Ferraz, 2016

Figura 47 - aparência dos tecidos após o ensaio



Fonte: Ferraz, 2016

4.1.5 Teste de Condutividade e desgaste do fio condutor

O teste de condutividade foi realizado com um multímetro digital da marca Minipa e modelo ET-2231, figura 48. Como o fio condutor possui filamentos de cobre esmaltados, é necessário fazer a raspagem dos filamentos para retirar o esmalte. Após deve-se encostar os dois polos, positivo e negativo do cabo no fio condutor e então faz-se a medição da resistência.

Figura 48 – Medição da Resistência

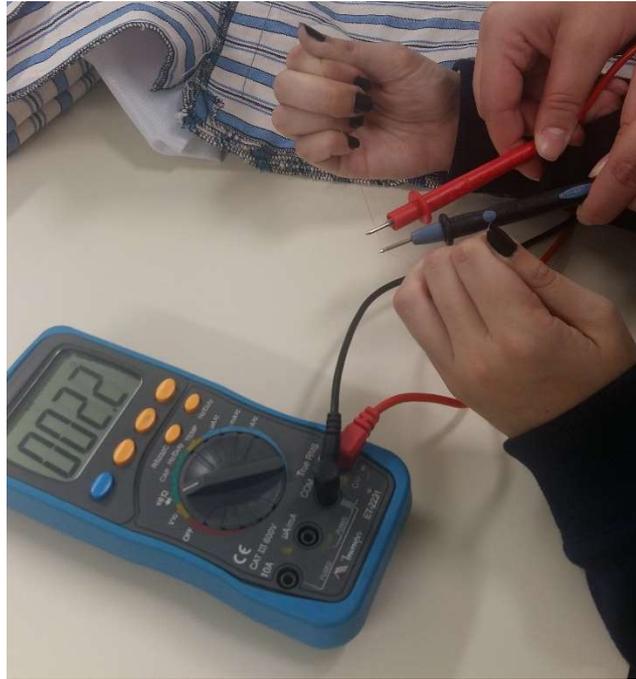


Fonte: Ferraz, 2016

4.1.5.1 Dados Obtidos

Através do multímetro, figura 49, pôde-se determinar que, mesmo após os esforços mecânicos da lavagem, os tecidos com fio de cobre continuaram conduzindo eletricidade, pois o fio manteve a mesma resistência inicial.

Figura 49 - Medição da condutividade elétrica



Fonte: Ferraz, 2016

Verificou-se, também, que o cobre do fio condutor não sofreu oxidação, pois o pH do detergente era neutro, desfavorecendo a reação química oxidativa entre eles.

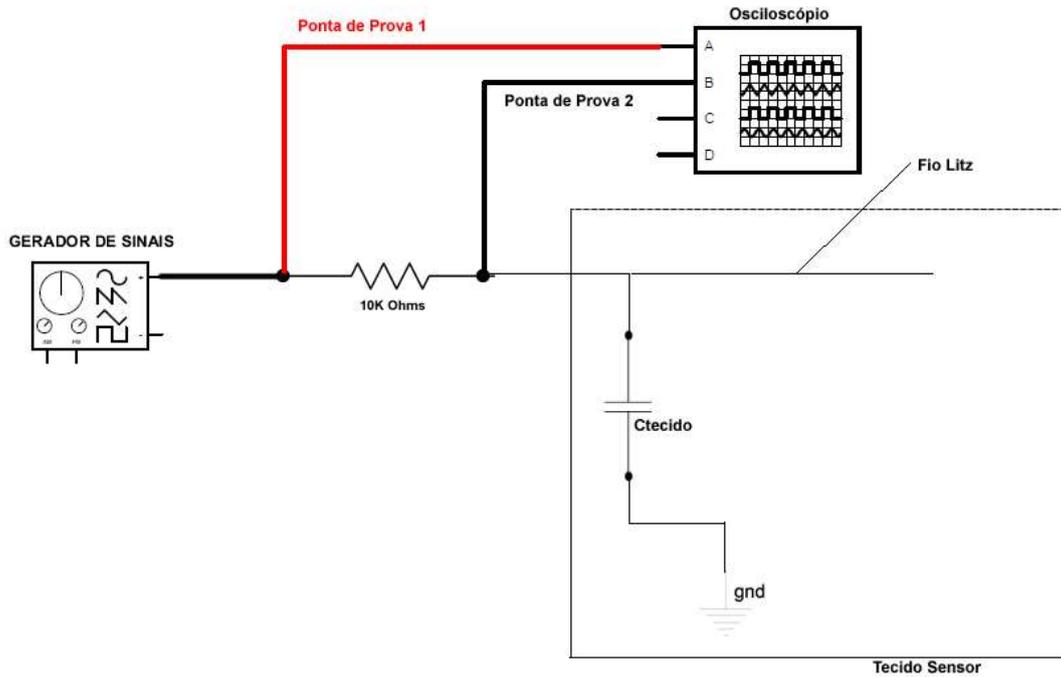
4.2 COMPORTAMENTO DO CIRCUITO

O primeiro ensaio de valores realizados neste trabalho de pesquisa diz respeito à comprovação do comportamento do circuito proposto quando comparado a um circuito RC.

Para isto foi utilizado um gerador de frequência, responsável pelo sinal de entrada no circuito (sinal de estímulo), um pc-osciloscópio, ligado a porta Universal Serial Bus (USB) de um PC (computador pessoal), com sistema operacional Windows 7. Esse pc-osciloscópio possui largura de banda de 200MHz, tempo de amostragem real de 500MS/s, pontas de prova com 95pF quando X1 e 10M Ω de impedância.

A figura 50 demonstra como o gerador de funções e o osciloscópio foram ligados na linha 01 da matriz de 31 linhas x 24 colunas. Esta medição foi feita somente na linha 01, sendo que o sinal de estímulo só ocorreu nesta linha, as outras permaneceram sem energia.

Figura 50 – Medição do comportamento da linha 01 da matriz



Fonte: Autor, 2016

O gerador de funções foi configurado para uma frequência de 180KHz, uma tensão de pico de 3,3 (V) aproximadamente.

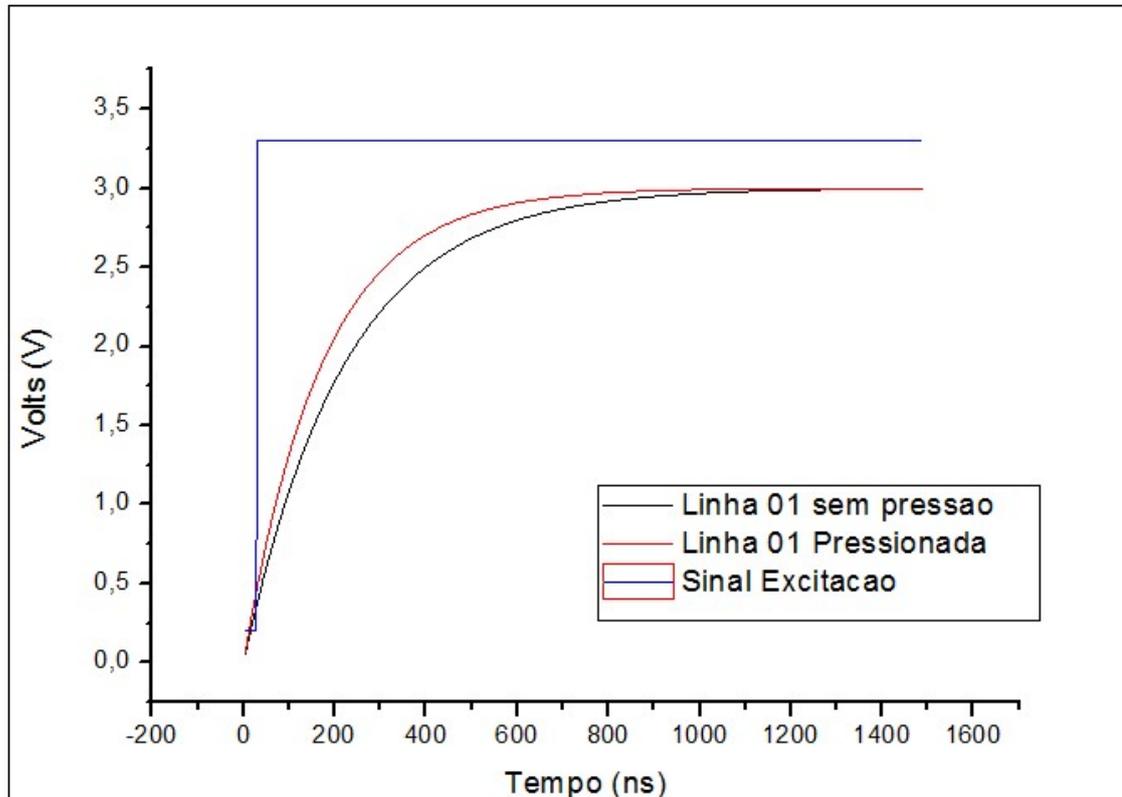
Na figura 51 é possível ver os equipamentos ligados ao módulo Printed circuit board (PCB) com o tecido relativamente esticado e sem nenhum objeto sobre ele.

Figura 51 – Foto dos equipamentos na bancada



Fonte: Autor, 2016

Figura 52 - Gráfico de comportamento do circuito sensor



Fonte: Autor, 2016

O gráfico da figura 52 demonstra o comportamento do tecido sensor em um ponto específico, no caso linha 01, a partir de um sinal degrau de excitação.

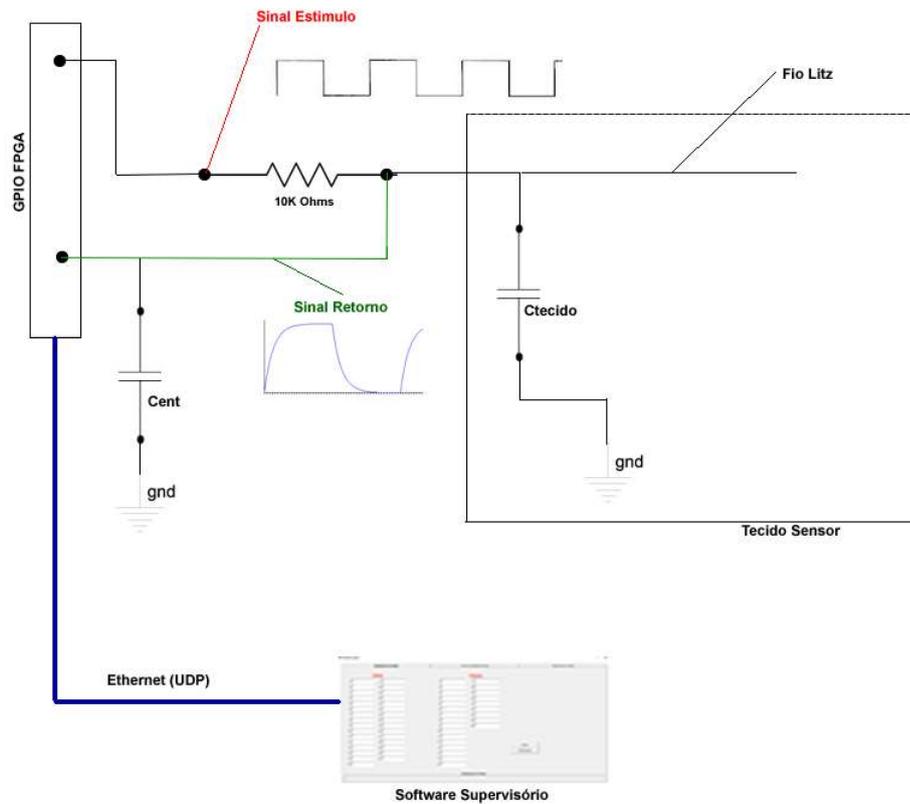
Sem pressão alguma sobre o tecido foi obtido um valor de aproximadamente 17pF de capacitância calculado a partir da equação 10 analisando o tempo de resposta do circuito.

Pressionando com o dedo o ponto analisado, verificou-se que a capacitância sofreu um acréscimo de 5pF aproximadamente.

4.3 CAPACITÂNCIAS FIXAS E VARIÁVEIS

Essa primeira parte deste experimento tem o objetivo de determinar uma ordem de grandeza para as capacitâncias de entrada e do tecido, sem levar em consideração ainda o toque no mesmo.

Figura 53 – Medição dos sinais somente na linha 1

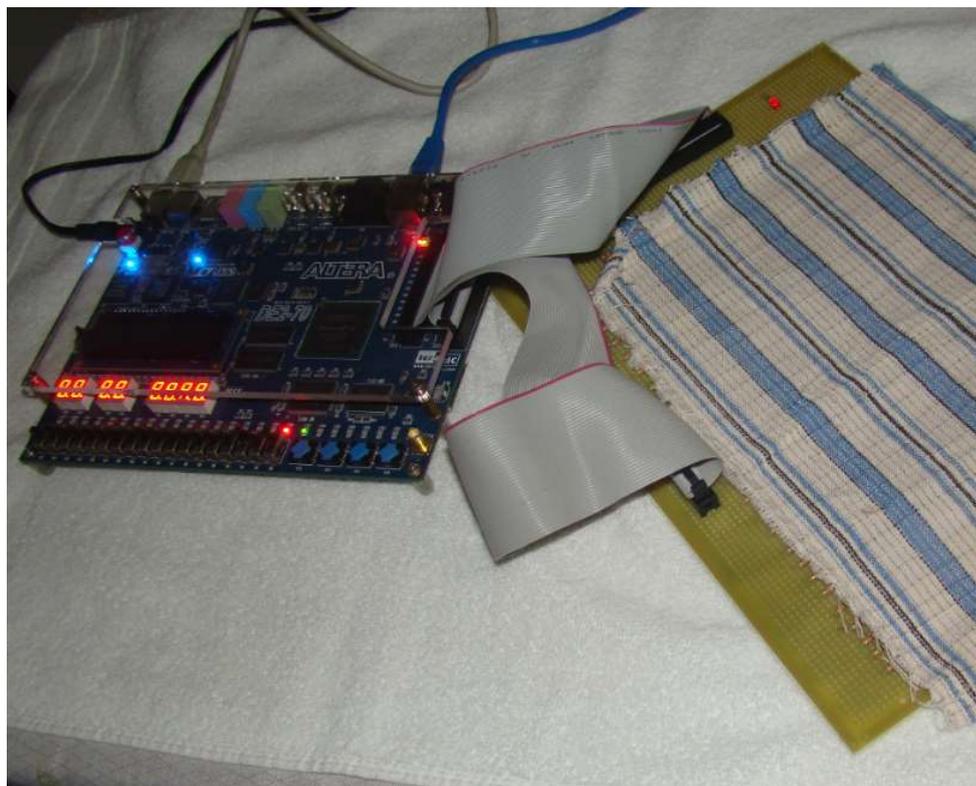


Fonte: Autor, 2016

Para isto foi utilizado o Field-programmable gate array (FPGA), como mostra a figura 53 e figura 54, sem o osciloscópio para que não ocorra interferências de capacitâncias provenientes das pontas de prova, por exemplo.

Neste caso o sinal de estímulo será gerado e a rotina aguardará o retorno assim que o pino corresponde do GPIO da Field-programmable gate array (FPGA) passar para estado alto. Esse tempo calculado será transmitido para um software supervisorio, que foi desenvolvido em Visual Basic, figura 55, utilizando o Visual Studio, que registrará o valor.

Figura 54 – Kit DE2-70 ligado ao circuito com tecido



Fonte: Autor, 2016

Figura 55 – Tela do software supervisor com os valores de inicialização sem o toque

Inicialização do Sistema		Teste de Sensibilidade Individual		Mapa de Pontos Cruzados																																																																																																																																	
<p>Linhas</p> <table border="1"> <tr><td>1</td><td>51,8509580375096</td><td>17</td><td>0</td></tr> <tr><td>2</td><td>0</td><td>18</td><td>0</td></tr> <tr><td>3</td><td>0</td><td>19</td><td>0</td></tr> <tr><td>4</td><td>0</td><td>20</td><td>0</td></tr> <tr><td>5</td><td>0</td><td>21</td><td>0</td></tr> <tr><td>6</td><td>0</td><td>22</td><td>0</td></tr> <tr><td>7</td><td>0</td><td>23</td><td>0</td></tr> <tr><td>8</td><td>0</td><td>24</td><td>0</td></tr> <tr><td>9</td><td>0</td><td>25</td><td>0</td></tr> <tr><td>10</td><td>0</td><td>26</td><td>0</td></tr> <tr><td>11</td><td>0</td><td>27</td><td>0</td></tr> <tr><td>12</td><td>0</td><td>28</td><td>0</td></tr> <tr><td>13</td><td>0</td><td>29</td><td>0</td></tr> <tr><td>14</td><td>0</td><td>30</td><td>0</td></tr> <tr><td>15</td><td>0</td><td>31</td><td>0</td></tr> <tr><td>16</td><td>0</td><td></td><td></td></tr> </table>		1	51,8509580375096	17	0	2	0	18	0	3	0	19	0	4	0	20	0	5	0	21	0	6	0	22	0	7	0	23	0	8	0	24	0	9	0	25	0	10	0	26	0	11	0	27	0	12	0	28	0	13	0	29	0	14	0	30	0	15	0	31	0	16	0			<p>Colunas</p> <table border="1"> <tr><td>1</td><td>0</td><td>17</td><td>0</td></tr> <tr><td>2</td><td>0</td><td>18</td><td>0</td></tr> <tr><td>3</td><td>0</td><td>19</td><td>0</td></tr> <tr><td>4</td><td>0</td><td>20</td><td>0</td></tr> <tr><td>5</td><td>0</td><td>21</td><td>0</td></tr> <tr><td>6</td><td>0</td><td>22</td><td>0</td></tr> <tr><td>7</td><td>0</td><td>23</td><td>0</td></tr> <tr><td>8</td><td>0</td><td>24</td><td>0</td></tr> <tr><td>9</td><td>0</td><td>25</td><td>0</td></tr> <tr><td>10</td><td>0</td><td></td><td></td></tr> <tr><td>11</td><td>0</td><td></td><td></td></tr> <tr><td>12</td><td>0</td><td></td><td></td></tr> <tr><td>13</td><td>0</td><td></td><td></td></tr> <tr><td>14</td><td>0</td><td></td><td></td></tr> <tr><td>15</td><td>0</td><td></td><td></td></tr> <tr><td>16</td><td>0</td><td></td><td></td></tr> </table>		1	0	17	0	2	0	18	0	3	0	19	0	4	0	20	0	5	0	21	0	6	0	22	0	7	0	23	0	8	0	24	0	9	0	25	0	10	0			11	0			12	0			13	0			14	0			15	0			16	0			<p>Inicializa</p> <p>UDP (Receber)</p>	
1	51,8509580375096	17	0																																																																																																																																		
2	0	18	0																																																																																																																																		
3	0	19	0																																																																																																																																		
4	0	20	0																																																																																																																																		
5	0	21	0																																																																																																																																		
6	0	22	0																																																																																																																																		
7	0	23	0																																																																																																																																		
8	0	24	0																																																																																																																																		
9	0	25	0																																																																																																																																		
10	0	26	0																																																																																																																																		
11	0	27	0																																																																																																																																		
12	0	28	0																																																																																																																																		
13	0	29	0																																																																																																																																		
14	0	30	0																																																																																																																																		
15	0	31	0																																																																																																																																		
16	0																																																																																																																																				
1	0	17	0																																																																																																																																		
2	0	18	0																																																																																																																																		
3	0	19	0																																																																																																																																		
4	0	20	0																																																																																																																																		
5	0	21	0																																																																																																																																		
6	0	22	0																																																																																																																																		
7	0	23	0																																																																																																																																		
8	0	24	0																																																																																																																																		
9	0	25	0																																																																																																																																		
10	0																																																																																																																																				
11	0																																																																																																																																				
12	0																																																																																																																																				
13	0																																																																																																																																				
14	0																																																																																																																																				
15	0																																																																																																																																				
16	0																																																																																																																																				
<p>Inicialização do Sistema</p>																																																																																																																																					

Fonte: Autor, 2016

O valor obtido nesta primeira medição foi de 51,85 ciclos de clock, este valor é obtido através de uma média temporal de 128 leituras. Como o clock utilizado para leitura é de 300MHz, o

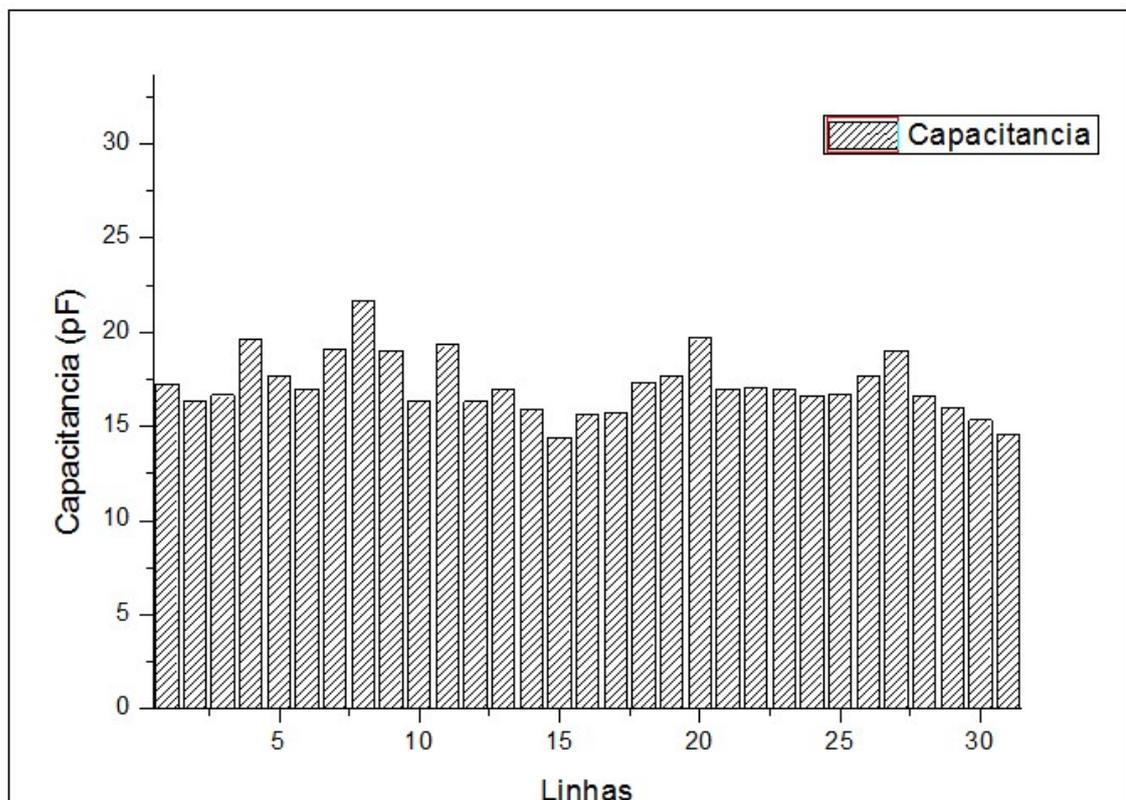
tempo aproximado de atraso do sinal de estímulo é de $0,1784\mu\text{s}$. Aplicando a equação 3.3.1.5, temos um valor de capacitância aproximado de $17,28\text{pF}$.

Esse valor representa a soma da $C(\text{ent})+C(\text{tecido})$ somente da linha 01 da matriz, todas as outras foram desligadas durante este teste.

Estas medidas foram obtidas já com a rotina de média temporal pelo bloco SENSOR CAPACITIVO desenvolvido no Field-programmable gate array (FPGA) e em seguida o software supervisor fez uma média de 300 pontos entre o valor maior e menor obtido.

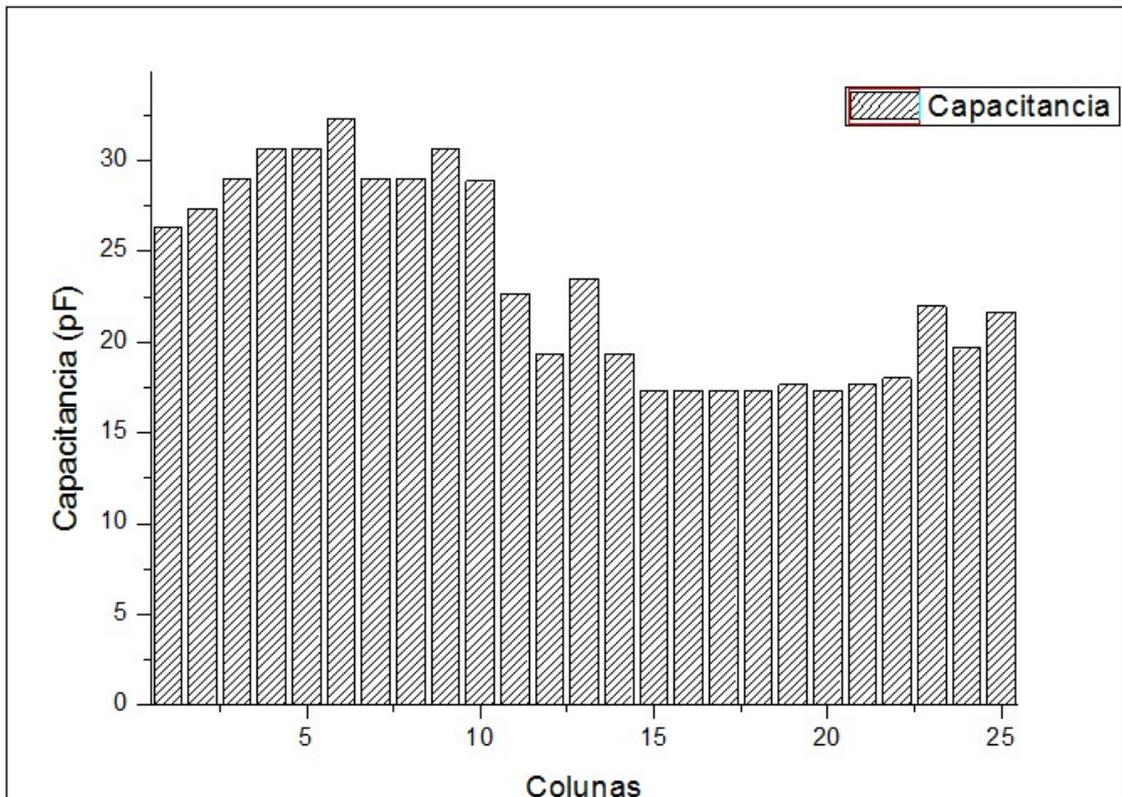
Como a $C(\text{tecido})$ é um item variável foi necessário fazer este mesmo procedimento para todas as linhas e colunas individualmente.

Figura 56 - Resultado das Capacitâncias Individuais das Linhas



Fonte: Autor, 2016

Figura 57 - Resultado das capacitâncias individuais das colunas



Fonte: Autor, 2016

Com base nos resultados individuais das capacitâncias, figuras 56 e 57, podemos verificar que a capacitância realmente não é igual em todas as linhas ou colunas. Apesar de próximas variam.

4.4 INFLUÊNCIA DE VALORES ENTRE AS LINHAS E COLUNAS

No item 6.2 foram medidos os valores de capacitância de entrada + tecido individualmente, ou seja, cada linha foi estimulada separadamente, uma por vez.

Esta configuração individual necessitaria de 110 pinos de IOs disponíveis para aquisição, o que tornaria o circuito muito grande para uma possível aplicação comercial. Para minimizar a quantidade de pinos utilizados, a solução adotada foi conectar todos as entradas das linhas e colunas a um único sinal de estímulo, utilizando apenas um I/O da Field-programmable gate array (FPGA), mas isso gera uma dúvida com relação a influência do sinal entre as linhas e colunas.

Esta parte da pesquisa repete o procedimento executado no item 6.2, mas fazendo esse estímulo de forma simultânea em todas as linhas e lendo também o retorno da mesma forma, utilizando dos recursos de processamento da Field-programmable gate array (FPGA), através do componente PROCESS em Very High Speed Integrated Circuit (VHDL).

A figura 58 demonstra como a saída GPIO da Field-programmable gate array (FPGA) foi conectada nas linhas e colunas. Nota-se que o sinal de retorno continua exigindo um pino individual e exclusivo da Field-programmable gate array (FPGA), pois sua leitura será simultânea em todas as linhas e colunas da matriz.

Figura 58 – Esquema de ligação das linhas e colunas com sinal de estímulo comum

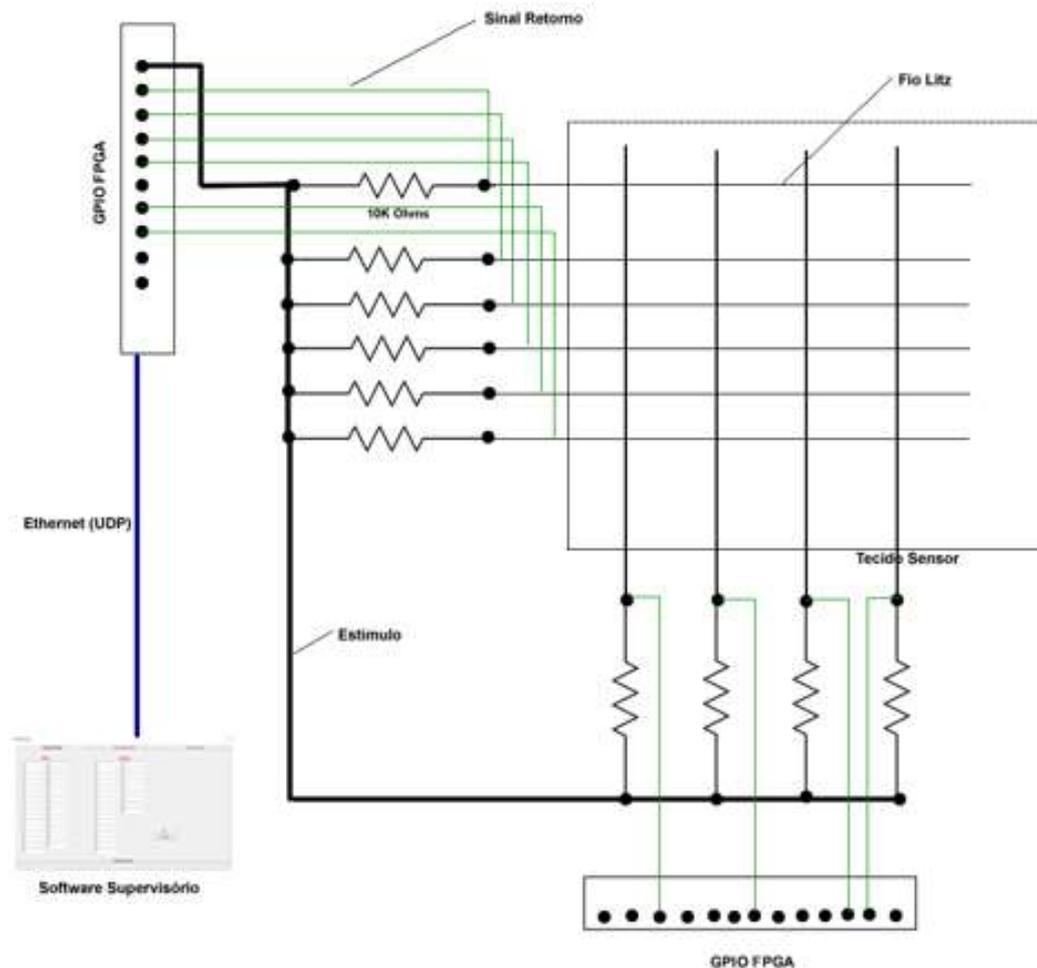
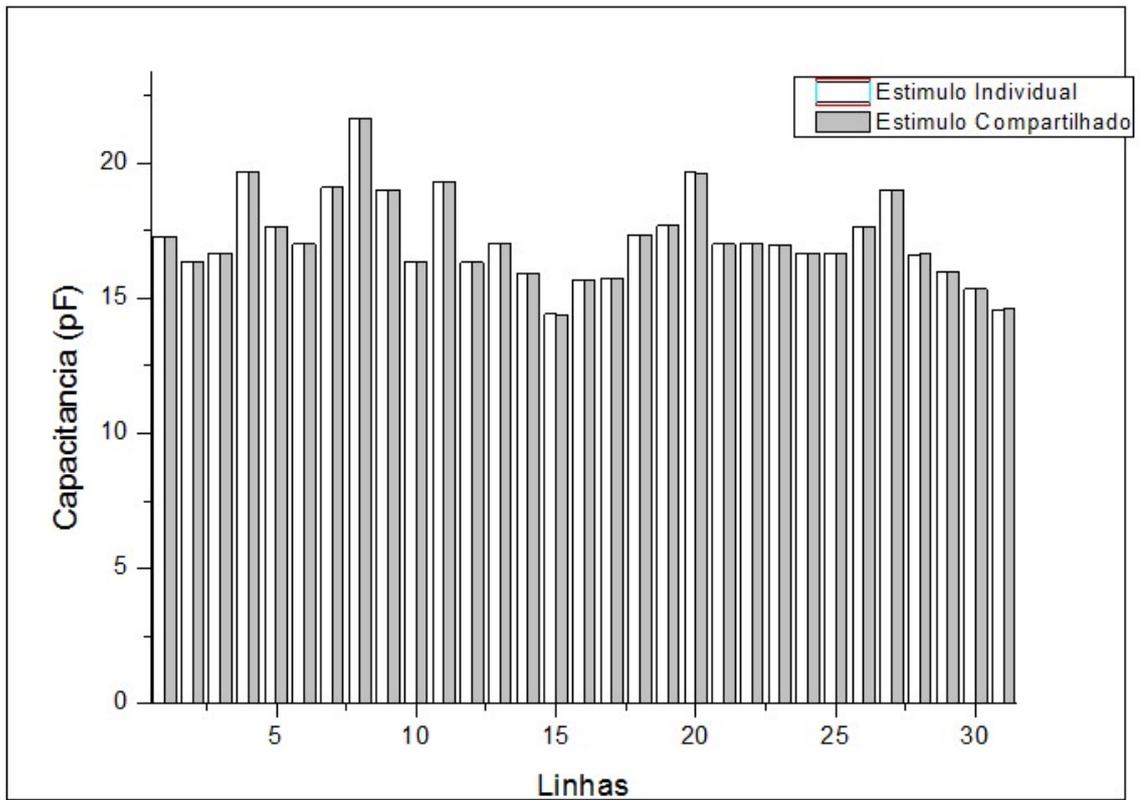
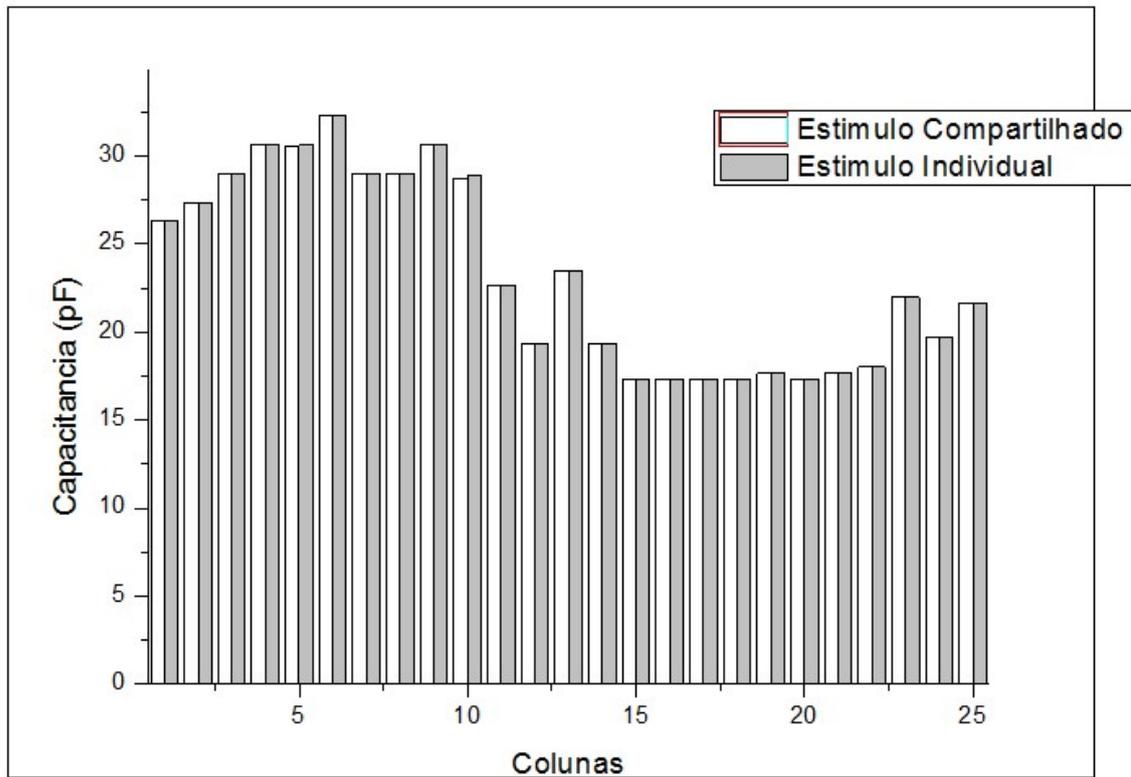


Figura 59 - Capacitâncias com estímulos individuais e compartilhados



Fonte: Autor, 2016

Figura 60 - Capacitâncias com estímulos individuais e compartilhados



Fonte: Autor, 2016

Analisando o resultado mostrado nos gráficos das figuras 59 e 60, verificou-se que não há alteração significativa dos valores medidos se o sinal de estímulo for compartilhado em um mesmo instante. Isto facilita muito o circuito de controle do sistema, já que o número de I/O's será consideravelmente menor.

4.5 VERIFICAR UM PONTO DE TOQUE OU PRESSÃO

Adotando de agora em diante o modelo exposto na figura 48, esta parte da pesquisa tem o objetivo de identificar se um determinado ponto da matriz sofreu alguma pressão.

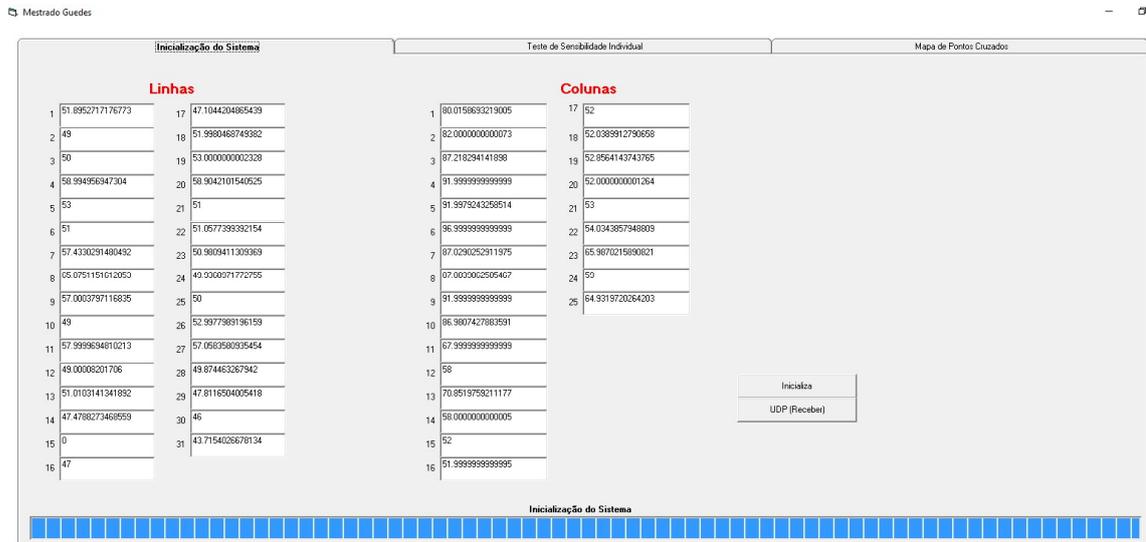
Para isso foi criado no sistema supervisorío uma rotina para inicializar o sistema com os valores das capacitâncias de entrada + tecido e medir conseqüentemente por diferença a capacitância do toque.

A primeira parte do processo é justamente a inicialização, a mesma realizada para obtenção dos dados das figuras 49 e 50.

A partir destes valores uma nova rotina faz o recebimento contínuo dos dados pela porta ethernet, processa analisando as diferenças e traduz em um gráfico de barras.

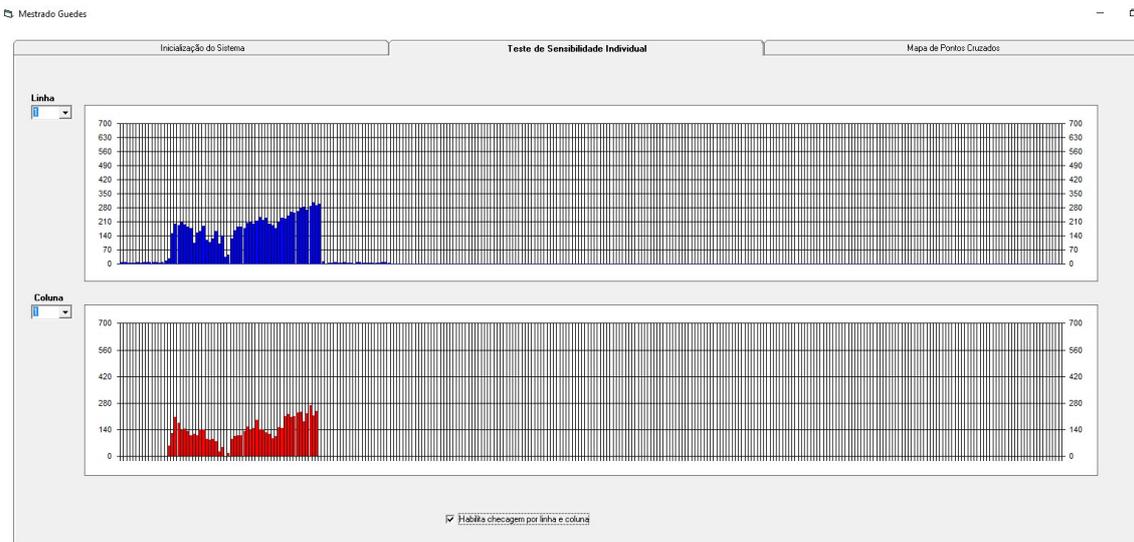
A figura 61 mostra a primeira parte do programa desenvolvido para servir como base para o software supervisor. Nesta tela é possível ver os valores de cada linha e coluna individualmente e que servirão de base para a detecção do toque e pressão sobre o tecido.

Figura 61 – Tela de inicialização dos valores de capacitância – Software supervisor



Fonte: Autor, 2016

Figura 62 – Tela do sistema supervisorio que representa um ponto especifico do tecido.



Fonte: Autor, 2016

A figura 62 mostra a segunda parte do sistema supervisorio para representar em forma de barras quando o tecido sofre uma pressão.

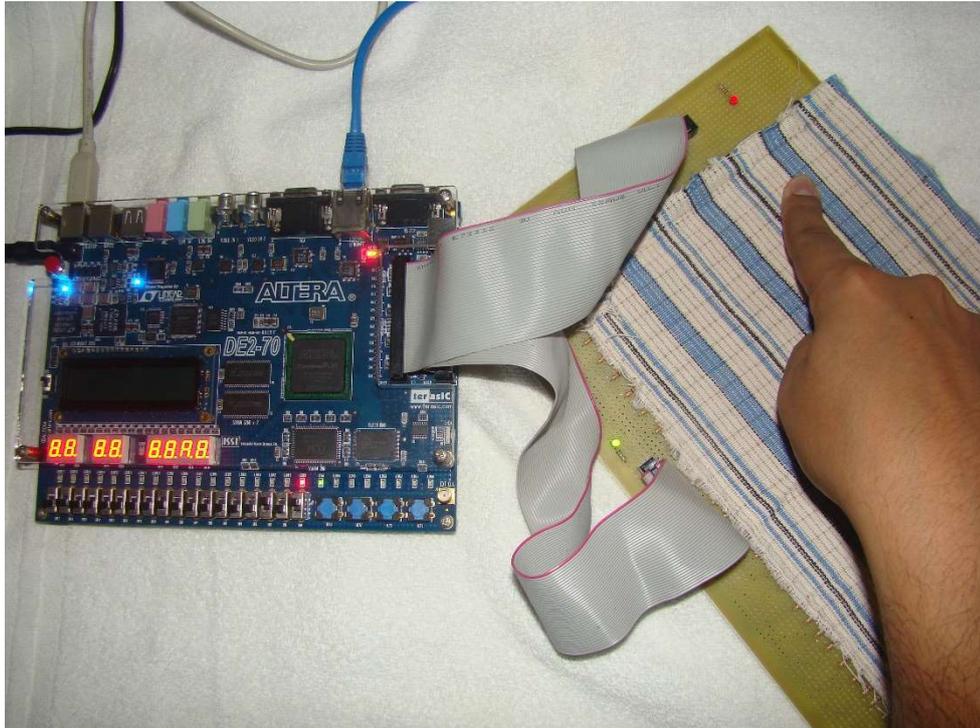
No canto esquerdo da tela é possível selecionar a linha e a coluna que estão sendo monitoradas, no caso da figura 61 temos a linha 1 e coluna 1. Quando este ponto foi pressionado os gráficos demonstraram a variação da capacitância exercida pelo dedo sobre o tecido.

Verificou-se inclusive que esta variação varia com a presença da mão sobre o tecido e também com a força que é exercida.

A figura 62 mostra o resultado obtido quando a ponta do dedo toca o tecido como exposto na figura 63.

A variação obtida entre os valores de inicialização e do toque são muito pequenos, na ordem 4pF, e foram amplificados para gerar as barras da figura 62.

Figura 63 – Toque exato no cruzamento da Linha 1 com a Coluna 1



Fonte: Autor, 2016

4.6 RELACIONAMENTO ENTRE CAPACITÂNCIA E FORÇA EXERCIDA

No item 4.3 ficou comprovado que ao pressionar um ponto específico do tecido sensor, este apresenta uma variação de capacitância que pode ser medida.

Nesta parte da pesquisa busca-se relacionar essa variação com uma determinada força exercida sobre este ponto.

Para que fosse possível esta associação de valores, um circuito auxiliar foi criado e integrado ao processo já existente.

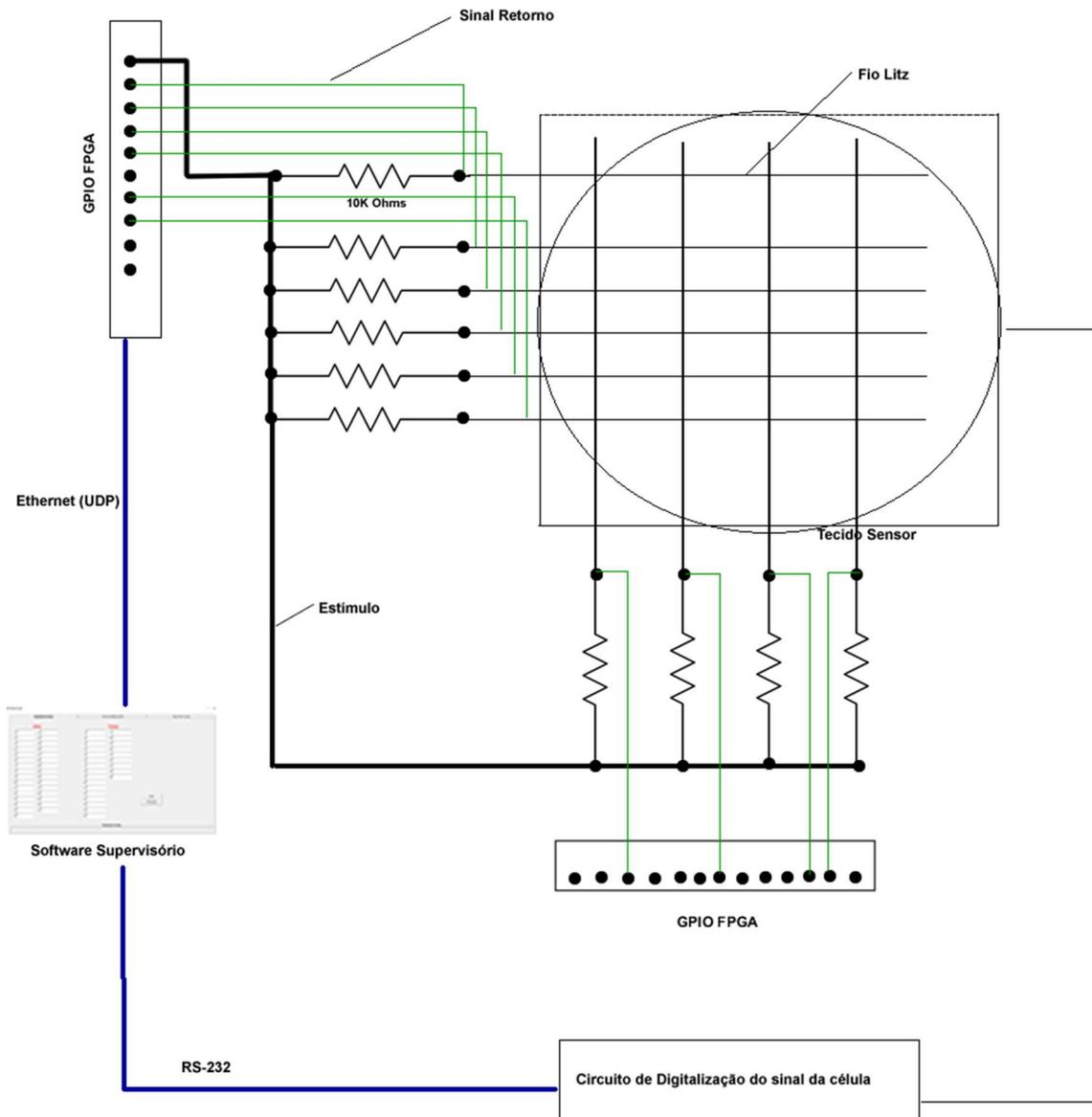
4.5.1 Aquisição dos Dados de Força

Ao circuito da figura 48, que captava os sinais gerados pelo toque no tecido sensor e em seguida eram processados pela Field-programmable gate array (FPGA), foi adicionado este novo módulo composto por uma célula de carga e um circuito eletrônico, cujo sinal foi incorporado ao software supervisor através do protocolo de comunicação RS-232.

Este circuito, executa a função de uma balança comum, mas ao invés de mostrar o peso em um display, envia esse valor através da porta de comunicação RS-232, como mostrado na figura 64.

Essa montagem foi necessária para que o peso fosse lido ao mesmo tempo da variação da capacitância pelo sistema supervisorio.

Figura 64 - Esquema final de captação dos sinais

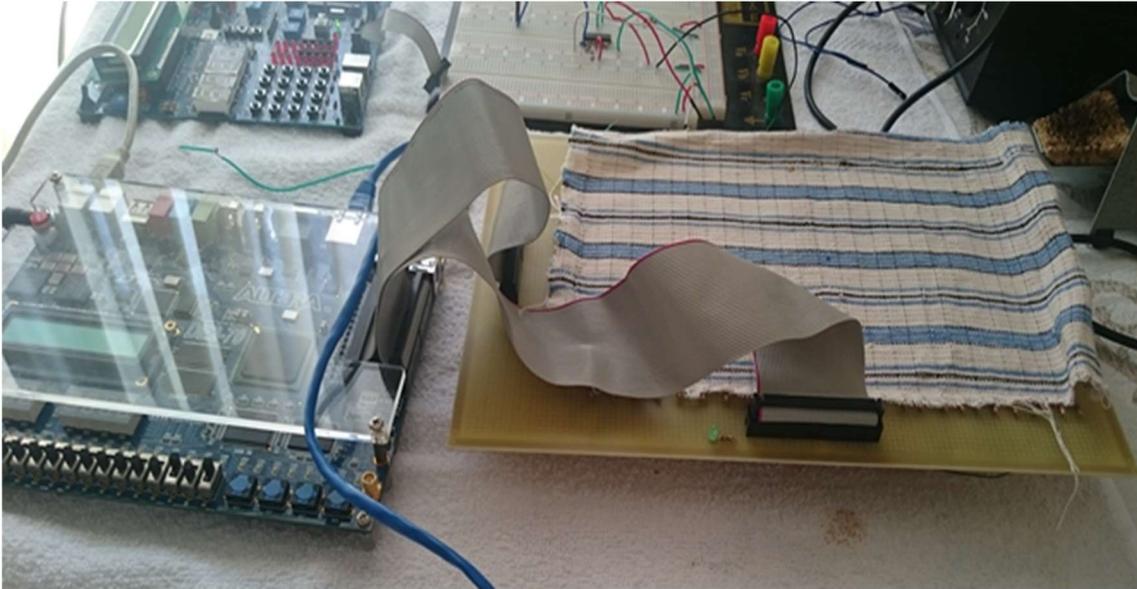


Fonte: Autor, 2016

A figura 64 demonstra a configuração final do circuito desta parte da pesquisa, onde a placa Printed circuit board (PCB) com o tecido sensor está sob a plataforma da célula de carga

e o sistema supervisorio recebe os dados de variaç o da capacit ncia do tecido e ao mesmo tempo o valor da fora exercida para esta variaç o.

Figura 65 - Montagem final do tecido sensor sob a c lula



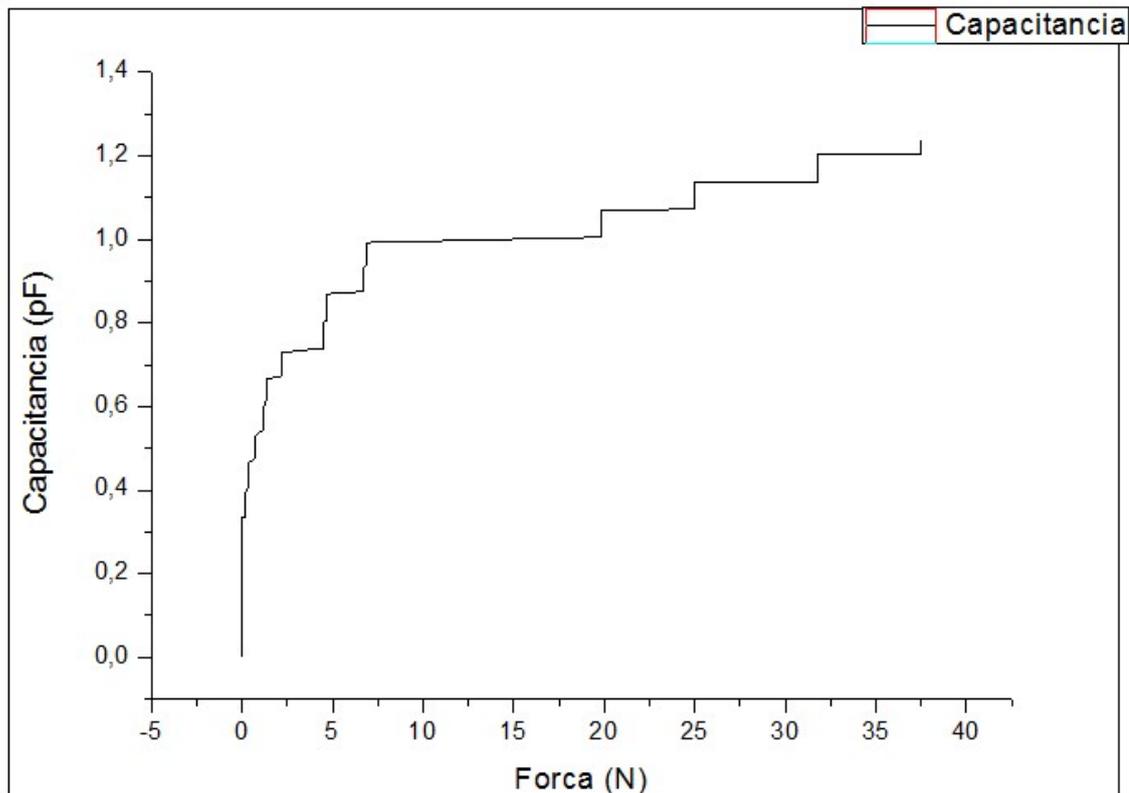
Fonte: Autor, 2016

4.6.2 Dados Obtidos

Os valores obtidos das duas fontes do sistema, tecido sensor e c lula de carga, foram convertidos em variaç o de capacit ncia e Fora em Newtons, adotando a $g=9,8m/s^2$.

O gr fico da figura 66 demonstra o resultado do cruzamento das duas informaoes obtidas nesta etapa.

Figura 66 - Gráfico da variação da capacitância x Força exercida



Fonte: Autor, 2016

O gráfico da figura 66 demonstra que para gerar um aumento na variação da capacitância é necessário também um aumento da pressão sobre o tecido. No entanto, isto não ocorre de forma linear.

Uma observação importante sobre este experimento é tratar-se apenas da pressão exercida em um único ponto do tecido. Se mais de um ponto for tocado ao mesmo tempo, ocorrerá uma área maior de contato e a capacitância aumentará sem necessariamente uma força ser exercida, já que segundo a equação 5, a capacitância é diretamente proporcional a área de contato.

Com este experimento deve-se concluir que é possível, em uma aplicação Internet das coisas (IOT), por exemplo, identificar não só o toque no tecido, mas intensidade do mesmo e desenvolver aplicações diversas com esta informação, tornando possível o desenvolvimento de softwares e aplicativos mais inteligentes e amigáveis.

5 CONCLUSÕES

Através dos diversos processos executados neste trabalho de pesquisa foi possível o desenvolvimento de um sensor de toque baseado no comportamento capacitivo em um tecido.

O tecido desenvolvido demonstrou que é possível a criação de um sensor com esta estrutura, que sua resposta capacitiva tem um comportamento estruturado e mensurável através de um sistema de captação por um sistema supervisor.

Em relação à forma de como os sinais foram captados, é importante ressaltar que uma inovação desta pesquisa é o compartilhamento do sinal de excitação por todas as linhas e colunas, já que isto torna possível um sistema eletrônico reduzido, viabilizando uma aplicação comercial no futuro.

Também foi constatado que este sinal de excitação paralelo não ocasiona interferência nas linhas e colunas da matriz do tecido sensor.

Observa-se também que a resposta do sensor ao toque humano é relativamente rápida, mas sua percepção está diretamente ligada à capacidade do processamento que faz a contagem do tempo de atraso entre o sinal de excitação e retorno, no caso o Field-programmable gate array (FPGA).

Outra questão importante, foi mensurar a intensidade do toque no tecido e não somente se ele ocorreu. Através da implementação da célula de carga, a pesquisa concluiu que é possível identificar níveis de intensidade do toque. Isto é muito importante principalmente no desenvolvimento de produtos comerciais integrados com sistema de controle ou dispositivos.

Por fim, outro foco importante do trabalho foi a preocupação de integrar estes dados através de um protocolo de comunicação universal utilizado nos dias atuais e que permite cada vez mais a integração de sistema e sensores a dispositivos conectados, os chamados Internet das coisas (IOT).

Com o conjunto dos resultados obtidos, conclui-se que o tecido *touch* cumpre sua função elétrica e apresenta maior rigidez, maior amarrotamento, tanto ao uso, quanto a lavagem e menor estabilidade dimensional, devido a interferência do fio condutor.

Em função disso, o tecido *touch* é mais indicado para artigos que necessitam de manutenção menos frequente e menos intensa, como jaquetas, casacos e outros produtos do vestuário que sejam apenas para sobrepor.

Para outros tipos de vestuário, seria interessante pesquisar outras opções de fio condutor que atenda a esses requisitos.

REFERÊNCIAS

ALBUQUERQUE, Rômulo Oliveira. **Circuitos em corrente alternada**. 8 ed. São Paulo: Érica, 2005.

ALTERA. **Using PLLs in cyclone devices**. 2008.

Disponível em: <https://www.altera.com/en_US/pdfs/literature/hb/cyc/cyc_c51006.pdf>
Acesso em 08 Novembro 2015.

ANDRADE, G. M. **Sistema de aquisição de sinais tácteis em tecido com protótipo em FPGA**. 2014. 81 f. Dissertação (Mestrado em Engenharia Elétrica) – Centro Universitário da Fei, São Bernardo do Campo, 2014.

BOSH CORPORATION. **Digital pressure sensor**. 2008. Disponível em:

<https://cdn-shop.adafruit.com/datasheets/BMP085_DataSheet_Rev.1.0_01July2008.pdf>
Acesso em 15 Março 2016.

COYLE, Shirley et al. BIOTEX—Biosensing textiles for personalised healthcare management. **IEEE Transactions on Information Technology in Biomedicine**, v. 14, n. 2, p. 364-370, 2010.

Disponível em: <<http://ieeexplore.ieee.org/document/5373946>>. Acesso em: 15 Setembro 2014.

D'AMORE, Roberto. **VHDL Descrição e síntese de circuitos digitais**. 2 ed. Rio de Janeiro: LTC, 2012.

DAVICOM. **Ethernet controller with general processor interface**. 2009. Disponível em:

<<http://www.davicom.com.tw/userfile/24247/DM9000A-DS-F01-101906.pdf>> Acesso em 17 Setembro 2015.

FERRAZ, Mariana Venâncio. **Tecido Touch: A influência do fio condutor nas suas propriedades**. 2016. 72 f. Trabalho de Conclusão de Curso (Engenharia Elétrica) – Centro Universitário Fei, São Bernardo do Campo, 2016.

GIBBS, P.; ASADA, H. H. Wearable conductive fiber sensors for measuring joint movements. In: IEEE INTERNATIONAL CONFERENCE ON ROBOTICS & AUTOMATION, 2004, New Orleans, **Proceedings eletrônicos...** New Orleans: IEEE, 2004. Disponível em: <...>. Acesso em: 15 nov. 2016.

GRILLET, Augustin et al. Optical fiber sensors embedded into medical textiles for healthcare monitoring. **IEEE Sensors Journal**, v. 8, n. 7, p. 1215-1222, 2008.

Disponível em: <<http://ieeexplore.ieee.org/document/4567473>>. Acesso em: 15 Setembro 2014.

HOFFMANN, T.; EILEBRECHT, B.; LEONHARDT, S. Respiratory monitoring system on the basis of capacitive textile force sensors. **IEEE Sensors Journal**, v. 11, n. 5, p. 1112-1119, 2011.

Disponível em: <<http://ieeexplore.ieee.org/document/5593185>>. Acesso em: 15 Setembro 2014.

KINKELDEI, T. et al. A textile integrated sensor system for monitoring humidity and temperature. In: SOLID-STATE SENSORS, ACTUATORS AND MICROSYSTEMS CONFERENCE (TRANSDUCERS), 2011, (SI), **Proceedings eletrônicos...(SI)**: IEEE, 2011. p. 1156-1159.

Disponível em: <<http://ieeexplore.ieee.org/document/5969238>>. Acesso em: 15 set. 2014.

LEE, Hyung-Kew et al. A modular expandable tactile sensor using flexible polymer. In: MICRO ELECTRO MECHANICAL SYSTEMS, 2005, (SI), **Proceedings eletrônicos...(SI)**: IEEE 18th International, 2005. p. 642-645.

Disponível em: <<http://ieeexplore.ieee.org/document/1454011>>. Acesso em: 08 Setembro 2014.

LI, Long-Fei; DING, Yong-Sheng. Design and Analysis of Parallel Woven Structure-Based Flexible Resistive Pressure Sensor. In: BIOINFORMATICS AND BIOMEDICAL ENGINEERING, 2009, (SI), **Proceedings eletrônicos...(SI)**: IEEE 3rd International Conference on, 2009. p. 1-4.

Disponível em: <<http://ieeexplore.ieee.org/document/5162583>>. Acesso em: 08 Setembro 2014.

MAKIKAWA, Masaaki et al. Flexible Fabric Sensor Toward a Humanoid Robot's Skin: Fabrication, Characterization, and Perceptions. **IEEE Sensors Journal**, v. 13, n. 10, p. 4065-4080, 2013.

Disponível em: <<http://ieeexplore.ieee.org/document/6552962>>. Acesso em: 15 Setembro 2014.

MARCULESCU, Diana et al. Electronic textiles: A platform for pervasive computing. **Proceedings of the IEEE**, v. 91, n. 12, p. 1995-2018, 2003.

Disponível em: <<http://ieeexplore.ieee.org/document/1246382>>. Acesso em: 08 Setembro 2014.

MATHWORKS INC. **The Language of technical computing**. 2016. Disponível em: <https://www.mathworks.com/products/matlab/?s_cid=wiki_matlab_2&requestedDomain=www.mathworks.com&requestedDomain=www.mathworks.com&requestedDomain=www.mathworks.com>. Acesso em 02 Agosto 2015.

MATTMANN, Corinne et al. Recognizing upper body postures using textile strain sensors. In: **Wearable Computers, 2007 11th IEEE International Symposium on**. IEEE, 2007. p. 29-36.

Disponível em: <<http://ieeexplore.ieee.org/document/4373773>>. Acesso em: 08 Setembro 2014.

MENG, Maozhou et al. Intelligent textiles based on MEMS technology. In: **Electronic Components and Technology Conference, 2007. ECTC'07. Proceedings. 57th**. IEEE, 2007. p. 2030-2034.

Disponível em: <<http://ieeexplore.ieee.org/document/4250167>>. Acesso em: 08 Setembro 2014.

MITTENDORFER, Philipp; CHENG, Gordon. Humanoid multimodal tactile-sensing modules. **IEEE Transactions on robotics**, v. 27, n. 3, p. 401-410, 2011.

Disponível em: <<http://ieeexplore.ieee.org/document/5711674>>. Acesso em: 08 Setembro 2014.

MICROCHIP TECHNOLOGY INC. **Product data sheet PIC 16F87XA**. 2003.

Disponível em: <<http://www.microchip.com>>. Acesso em 20 Abril 2015.

MICROSOFT CORPORATION. **Visual studio**. 2016.

Disponível em: <<https://www.visualstudio.com/pt-br/>>. Acesso 26 Julho 2015.

MINISTÉRIO DA EDUCAÇÃO. **Resistores**. 2015.

Disponível em: <http://wiki.sj.ifsc.edu.br/wiki/images/7/77/ELI_Lab3_Resistor_Matriz.pdf>
Acesso em 15 de outubro de 2015

MUSSOI, Fernando Luiz Rosa;Villaça,Marco Valério Miorim. **Capacitores**. Florianópolis: CEFET, 2000. Disponível em:

<<http://www.inf.unioeste.br/~reginaldo/informatica/capacitor/capacitor1.pdf>>. Acesso em 15 de outubro de 2015.

PAN, Zengxi; CUI, Hongliang; ZHU, Zhenqi. A flexible full-body tactile sensor of low cost and minimal connections. In: SYSTEMS, MAN AND CYBERNETICS, 2003, (SI),

Proceedings eletrônicos...(SI): IEEE International Conference on, 2003. p. 2368-2373.

Disponível em: <<http://ieeexplore.ieee.org/document/1244238>>. Acesso em: 08 Setembro 2014.

PENG, Peng; RAJAMANI, Rajesh; ERDMAN, Arthur G. Flexible tactile sensor for tissue elasticity measurements. **Journal of microelectromechanical systems**, v. 18, n. 6, p. 1226-1233, 2009.

Disponível em: <<http://ieeexplore.ieee.org/document/5332361>>. Acesso em: 15 Setembro 2014.

PEREIRA, Tiago et al. Textile moisture sensor matrix for monitoring of disabled and bed-rest patients. In: EUROCON-INTERNATIONAL CONFERENCE ON COMPUTER AS A TOOL (EUROCON), 2011, (SI), **Proceedings eletrônicos...**(SI): IEEE, 2011. p. 1-4.

Disponível em: <<http://ieeexplore.ieee.org/document/5929343>>. Acesso em: 15 Setembro 2014.

PROJETO JACQUARD. **Technology woven in**, 2015.

Disponível em: <<https://www.google.com/atap/project-jacquard/>>. Acesso em: 08 Janeiro 2016.

ROTHMAIER, Markus; LUONG, Minh Phi; CLEMENS, Frank. Textile pressure sensor made of flexible plastic optical fibers. **Sensors**, v. 8, n. 7, p. 4318-4329, 2008.

Disponível em: <<http://www.mdpi.com/1424-8220/8/7/4318/htm>>. Acesso em: 08 Setembro 2014.

SERGIO, M. et al. A textile based capacitive pressure sensor. In: SENSORS, 2002, (SI), **Proceedings eletrônicos...**(SI): IEEE, 2002. p. 1625-1630.
Disponível em: <<http://ieeexplore.ieee.org/document/1037367>>. Acesso em: 08 Setembro 2014.

TEXAS INSTRUMENTS. **Datasheet LM324**. 2015.
Disponível em: <<http://www.ti.com/lit/ds/symlink/lm124-n.pdf>> . Acesso em 24 Março 2016.

ZYSSET, Christoph et al. Integration method for electronics in woven textiles. **IEEE Transactions on Components, Packaging and Manufacturing Technology**, v. 2, n. 7, p. 1107-1117, 2012.
Disponível em: <<http://ieeexplore.ieee.org/document/6180211>>. Acesso em: 15 Setembro 2014.