

CENTRO UNIVERSITÁRIO FEI
FLÁVIO ENRICO BERGAMASCHI

**CARACTERIZAÇÃO ELÉTRICA E SIMULAÇÃO DOS EFEITOS DO
AUTOAQUECIMENTO EM NANOFIOS TRANSISTORES MOS SEM JUNÇÕES EM
REGIME ESTACIONÁRIO E TRANSITÓRIO**

São Bernardo do Campo

2018

FLÁVIO ENRICO BERGAMASCHI

**CARACTERIZAÇÃO ELÉTRICA E SIMULAÇÃO DOS EFEITOS DO
AUTOAQUECIMENTO EM NANOFIOS TRANSISTORES MOS SEM JUNÇÕES EM
REGIME ESTACIONÁRIO E TRANSITÓRIO**

Dissertação de Mestrado apresentada ao Centro Universitário FEI, como parte dos requisitos necessários para obtenção do título de Mestre em Engenharia Elétrica, orientado pelo Prof. Dr. Marcelo Antonio Pavanello.

São Bernardo do Campo

2018

Bergamaschi, Flávio Enrico.

Caracterização Elétrica e Simulação dos Efeitos do Autoaquecimento em Nanofios Transistores MOS Sem Junções em Regime Estacionário e Transitório / Flávio Enrico Bergamaschi. São Bernardo do Campo, 2018. 119 f. : il.

Dissertação - Centro Universitário FEI.

Orientador: Prof. Dr. Marcelo Antonio Pavanello.

1. Transistores MOS Sem Junções. 2. Transitórios de Corrente. 3. Autoaquecimento. I. Pavanello, Marcelo Antonio, orient. II. Título.

Aluno: Flávio Enrico Bergamaschi

Matrícula: 116110-8

Título do Trabalho: Caracterização elétrica e simulação dos efeitos do autoaquecimento em nanofios transistores MOS sem junções em regime estacionário e transitório.

Área de Concentração: Nanoeletrônica e Circuitos Integrados

Orientador: Prof. Dr. Marcelo Antonio Pavanello

Data da realização da defesa: 26/02/2018

ORIGINAL ASSINADA

Avaliação da Banca Examinadora:

São Bernardo do Campo, 26 / 02 / 2018.

MEMBROS DA BANCA EXAMINADORA

Prof. Dr. Marcelo Antonio Pavanello

Ass.: _____

Prof.^a Dr.^a Arianne Soares do Nascimento Pereira

Ass.: _____

Prof. Dr. Roberto Lacerda de Orio

Ass.: _____

A Banca Julgadora acima-assinada atribuiu ao aluno o seguinte resultado:

APROVADO

REPROVADO

VERSÃO FINAL DA DISSERTAÇÃO

**APROVO A VERSÃO FINAL DA DISSERTAÇÃO EM QUE
FORAM INCLUÍDAS AS RECOMENDAÇÕES DA BANCA
EXAMINADORA**

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz

A Deus e aos familiares,
professores e amigos que, de
alguma forma, contribuíram
para a realização deste trabalho.

AGRADECIMENTOS

Agradeço inicialmente a Deus, que constantemente ajuda a me tornar uma pessoa melhor e proporciona o suporte e a força necessários para seguir em frente.

Aos meus pais, Márcio e Maria Terezinha, e meu irmão, César, por todo o apoio, incentivo e conforto nas horas de necessidade e por sempre acreditarem no meu sucesso em todos os momentos da vida.

Ao meu orientador, Prof. Dr. Marcelo Antonio Pavanello, por confiar na minha capacidade e por me instruir e aconselhar sobre todo e qualquer assunto, sempre interessado e preocupado com meu crescimento e minha satisfação na realização deste trabalho.

A todos os professores do curso de pós-graduação da área de Dispositivos Eletrônicos Integrados, por todo o conhecimento compartilhado dentro e fora da sala de aula.

Aos professores Dra. Arianne Soares do Nascimento Pereira, Dra. Michele Rodrigues Hempel Lima e Dr. Roberto Lacerda de Orio, pelos conselhos fornecidos durante o exame de qualificação e defesa de dissertação.

Aos amigos que fazem parte do nosso grupo de pesquisa, Rafael, Thales, Felipe, Allan, Fernando, Érika, Bruna, Lígia, Cláudio, João, por toda a contribuição, amizade e inspiração.

Ao Centro Universitário FEI, por fornecer a infraestrutura e os laboratórios necessários para realização das atividades de forma agradável, e à CAPES, pelo suporte financeiro a este trabalho.

RESUMO

Este trabalho apresenta uma análise do comportamento elétrico e térmico de nanofios transistores MOS sem junções fabricados em tecnologia SOI, com o objetivo de verificar a ocorrência de efeitos de autoaquecimento através de medidas elétricas e simulações numéricas tridimensionais em regime estacionário e transitório. Para esta verificação foram utilizados métodos validados na literatura, como o método de extração da resistência de porta utilizando estruturas de porta de 4 terminais e o método de medidas pulsadas, onde se observa os efeitos causados pelo aumento de temperatura em transitórios de corrente elétrica.

O autoaquecimento é um efeito inerente à física dos semicondutores e está relacionado ao perfil térmico dos transistores, que pode ter grande influência no desempenho de circuitos analógicos. Este efeito consiste no aumento da temperatura do dispositivo devido à dissipação de potência em forma de calor durante a operação do dispositivo, provocada apenas pela condução de corrente no canal. O prévio estudo dos parâmetros físicos de transistores MOS revelou que os efeitos provocados pelo autoaquecimento estão relacionados à degradação da mobilidade devido a efeitos de espalhamento dependentes da temperatura do silício. Por meio de simulações, foi analisada a influência da estrutura de porta na caracterização do autoaquecimento pela extração da resistência de porta, que na prática requer uma estrutura de porta grande com 4 terminais, em oposição à estrutura de porta convencional que cobre apenas a superfície do *fin* de silício. Concluiu-se que em dispositivos sem junções de dimensões reduzidas, especificamente largura de *fin* abaixo de 500 nm e altura de *fin* menor que 100 nm, a presença de uma estrutura de porta grande causa subestimação da predição da temperatura no canal, reduzindo a precisão dessa predição de 82% para 43%. Então, foram realizadas simulações de transitório, que revelaram que há redução na parte visível da degradação de corrente com o uso de tempos de subida maiores no pulso, próximos dos utilizados nas medidas experimentais. Através do estudo do funcionamento do módulo de medidas pulsadas e de como obter curvas de transitório consistentes, foi possível realizar a caracterização dinâmica de diferentes dispositivos. Os resultados indicam que transistores SOI planares com óxido enterrado espesso são os que apresentam mais efeitos de autoaquecimento, alcançando redução de corrente entre 4,5% e 12%. Os transistores sem junções medidos, de 10 *fins* e largura de *fin* até 240 nm foram pouco influenciados pelo autoaquecimento, não sendo observada degradação de corrente relevante, mas apresentaram maior dificuldade na análise do transitório devido ao *overshoot* de corrente. Já em transistores com *fin* único e largura de *fin* de 240 nm, foi verificada degradação de corrente em até 3,85%,

aumentando quanto mais curto o canal do transistor. Tendo os transistores estreitos características elétricas mais interessantes, foram medidos dispositivos com largura de f_{in} de 60 nm, resultando em degradação de corrente máxima de 3,5%, porém agora reduzindo para transistores mais curtos devido à influência do campo elétrico na degradação da mobilidade. Portanto, os transistores com f_{in} único apresentaram menor distorção por *overshoot* e autoaquecimento similar, por terem menor corrente aquiritada pelo medidor, mas mesmo nível de corrente fluindo por f_{in} . Contudo, os resultados indicaram que os nanofios transistores sem junções medidos são pouco suscetíveis aos efeitos do autoaquecimento, apresentando baixa degradação de corrente em relação à corrente total do transistor.

Palavras-chave: Transistores MOS sem junções. Transitórios de corrente. Autoaquecimento.

ABSTRACT

This work presents an analysis on the electrical and thermal behavior of junctionless nanowire MOS transistors fabricated in SOI technology, aiming to verify the occurrence of self-heating effects through experimental measurements and tridimensional numerical device simulations in both permanent and transient regimes. For this verification, methods validated in literature were used, such as the gate resistance thermometry using 4-contact gate structures and the pulsed measurement, where the effects caused by temperature rise are observed through current transients.

Self-heating is an effect that is inherent to the physics of semiconductors and is related to the transistor's thermal profile, which may have great influence on the performance of analog circuits. This effect consists in temperature rise due to power dissipation in form of heat energy during device operation, caused only by current conduction in the channel. The previous study of the physical parameters of MOS transistors revealed that the effects caused by self-heating relate to the mobility degradation due to scattering effects that are dependent on the silicon's temperature. By performing simulations, the influence of gate structures in the characterization of self-heating was also analysed by extracting the gate's thermal resistance, which requires a large 4-contact gate structure, as opposed to the usual gate structure, which only covers the silicon fin's surface. It was concluded that in junctionless devices with reduced dimensions, specifically fin width below 500 nm and fin height below 100 nm, the presence of a large gate structure causes underestimation in the prediction of the channel's lattice temperature, reducing the precision of this prediction from 82% to 43%. Then, transient simulations were performed, revealing that the visible part of the current degradation is diminished by using longer pulse rise times, being closer to the ones used in experimental measurements. By studying the operation of the pulsed measurement unit and how to obtain consistent transient curves, it was possible to perform the dynamic characterization of different devices. Results indicate that planar SOI transistors with thick buried oxide are the ones that present the most self-heating effects, reaching current reduction between 4.5% and 12%. The measured junctionless transistors, with 10 fins and fin width up to 240 nm were weakly affected by self-heating, showing no relevant current degradation, but these devices presented more difficulty in the transient curves analysis due to current overshoot. In single fin transistors with fin width of 240 nm, though, it was verified current degradation up to 3.85%, rising as the transistor's channel gets shorter. Knowing that transistors with small fin width are the most relevant to be analysed, devices with fin width of 60 nm were measured,

resulting in maximum current degradation of 3.5%, in this case reducing for shorter transistors due to the electric field influence in the mobility degradation. Therefore, single fin transistors presented less distortion due to overshoot and similar self-heating, because the current obtained through the measurement is lower, but the level of current flowing through each fin is the same. However, the results show that the measured junctionless nanowire transistors are weakly susceptible to self-heating effects, presenting lower current degradation related to the transistor's total current.

Keywords: Junctionless MOS transistors. Current transients. Self-heating.

LISTA DE ILUSTRAÇÕES

Figura 1 – Perfil longitudinal de um transistor SOI nMOS modo inversão	29
Figura 2 – Perfil longitudinal de um transistor SOI nMOS modo acumulação	32
Figura 3 – Condições de polarização do transistor SOI nMOS modo acumulação	33
Figura 4 – Ilustração de um FinFET com múltiplos fins.....	34
Figura 5 – Perspectiva de um MOSFET de porta tripla	35
Figura 6 – Vista lateral de FinFETs de porta tripla π -gate e Ω -gate	36
Figura 7 – Perfil longitudinal de um transistor SOI nMOS sem junções	37
Figura 8 – Diagrama de faixas de energia do transistor nMOS sem junções.....	39
Figura 9 – Curva das componentes de mobilidade em função da temperatura	46
Figura 10 – Corte transversal de um transistor sem junções com presença de autoaquecimento	47
Figura 11 – Efeito de autoaquecimento ilustrado na corrente de dreno da curva I_{DS} - V_{DS}	48
Figura 12 – Curvas de redução da tensão de limiar em função do aumento da temperatura em FinFETs	49
Figura 13 – Curvas de aumento da inclinação de sublimiar em função do aumento da temperatura em FinFETs	49
Figura 14 – Efeito de autoaquecimento ilustrado no transitório de corrente de dreno e constante de autoaquecimento	50
Figura 15 – Variação da degradação de corrente no tempo para diversos tempos de subida ..	51
Figura 16 – Curva para obtenção da constante de tempo de autoaquecimento através da degradação da corrente de dreno no tempo	52
Figura 17 – Vista 3D de transistores de porta tripla com e sem estrutura com 4 terminais de porta com temperatura em escala de cores.....	53
Figura 18 – Temperatura em função da posição no eixo z de transistores de porta tripla com estrutura de 4 terminais de porta com diferentes larguras de canal	54
Figura 19 – Esquemático e vista superior dos transistores MOS sem junções utilizados nas simulações.....	57
Figura 20 – Curva simulada da corrente de dreno em função da tensão de porta para diferentes larguras de fin do transistor sem junções com estrutura de 4 terminais de porta	58

Figura 21 – Curvas simuladas da corrente de dreno e temperatura em função de V_{DS} variando as dimensões do transistor sem junções com estrutura de 4 terminais de porta.....	59
Figura 22 – Tensão de limiar e inclinação de sublimiar em função da largura do fin para as duas estruturas simuladas sem modelo de autoaquecimento	60
Figura 23 – Curvas simuladas de corrente de dreno sobre largura efetiva de porta em função da tensão de dreno com e sem autoaquecimento.....	61
Figura 24 – Temperatura no canal e na porta em função da potência normalizada para as estruturas simuladas.....	62
Figura 25 – Resistência térmica no canal e na porta em função da largura do fin para as duas estruturas simuladas	64
Figura 26 – Resistência térmica no canal e na porta em função da altura do fin para as duas estruturas simuladas	64
Figura 27 – Temperatura em função da direção z pelo centro do transistor para a estrutura de 4 terminais de porta.....	66
Figura 28 – Temperatura em função da direção z pelo centro do transistor para a estrutura de porta minimizada.....	66
Figura 29 – Curvas simuladas dos transitórios de corrente variando as dimensões do transistor sem junções com estrutura de 4 terminais de porta.....	67
Figura 30 – Corrente de subida na simulação de pulsos em nanofios sem junções variando o tempo de subida.....	68
Figura 31 – Constante de tempo de autoaquecimento em função do tempo de subida utilizado na simulação para diversas larguras de fin	69
Figura 32 – Porcentagem de degradação da corrente de dreno em função da concentração de dopantes no canal para várias larguras de fin	70
Figura 33 – Conexão dos módulos SMU e PMU com o RPM e conexão com um dispositivo MOS	71
Figura 34 – Corrente obtida com a aplicação de um pulso de tensão em um resistor	73
Figura 35 – Esquemático do circuito elétrico enxergado pelo equipamento	74
Figura 36 – Transitório de corrente pela aplicação de medida pulsada em um transistor FD SOI	76
Figura 37 – Varredura de pulsos em um transistor nMOS sem tempo de atraso variando a polarização de dreno	77
Figura 38 – Ilustração de uma medida pulsada com efeito de overshoot na corrente	77

Figura 39 – Medidas pulsadas em transistores sem junções com overshoot na subida.....	78
Figura 40 – Exemplo de aquisição de corrente com interferência devido à proximidade das RPMs	79
Figura 41 – Medidas pulsadas em resistor de 100 kΩ com diferentes tempos de transição	80
Figura 42 – Medidas pulsadas em resistor de 10 kΩ com diferentes tempos de transição	81
Figura 43 – Medida pulsada feita em um transistor nMOS encapsulado com aplicação de pulso na porta	82
Figura 44 – Varredura de pulsos em um transistor MOS para aquisição da corrente antes da degradação por autoaquecimento	83
Figura 45 – Corrente de dreno em função da tensão de dreno com e sem efeitos de autoaquecimento.....	83
Figura 46 – Transitório de corrente pela aplicação de pulsos na porta de um transistor FD SOI variando V_{GS}	84
Figura 47 – Transitório de corrente pela aplicação de pulsos na porta de transistores FD SOI tipo n com comprimento de canal variável	85
Figura 48 – Curvas experimentais da corrente de dreno em função da tensão de porta para transistores PD SOI variando o comprimento de canal.	86
Figura 49 – Transitório de corrente pela aplicação de pulsos na porta de um transistor PD SOI com t_{rise} de 100 ns	87
Figura 50 – Transitório de corrente pela aplicação de pulsos na porta de um transistor PD SOI para diferentes t_{rise}	87
Figura 51 – Corrente de dreno em função da tensão de porta em transistores sem junções com diversas larguras de canal.....	89
Figura 52 – Transitório de corrente pela aplicação de pulsos na porta de transistores sem junções com L de 20 e 40 nm.....	90
Figura 53 – Transitório de corrente pela aplicação de pulsos na porta de transistores sem junções com t_{rise} de 500 ns	91
Figura 54 – Aproximação do transitório de corrente em transistores sem junções com largura de fin de 240 nm	91
Figura 55 – Transitórios de corrente pela aplicação de pulsos na porta de transistores sem junções com largura de canal de 240 nm e $t_{rise/fall}$ de 100 ns.....	92
Figura 56 – Transitórios de corrente pela aplicação de pulsos na porta de transistores sem junções com largura de canal de 240 nm e $t_{rise/fall}$ de 300 ns.....	93

Figura 57 – Transitórios de corrente pela aplicação de pulsos na porta de transistores sem junções com largura de canal de 240 nm e $t_{\text{rise/fall}}$ de 500 ns	93
Figura 58 – Porcentagem de variação entre a corrente de pico e de estado estável em função de L para diversos $t_{\text{rise/fall}}$ em transistores com W_{fin} de 240 nm.....	95
Figura 59 – Transitórios de corrente em transistores sem junções variando os tempos de subida/descida	95
Figura 60 – Transitórios de corrente pela aplicação de pulsos na porta de transistores sem junções com largura de canal de 60 nm e tempo de subida/descida de 100 ns ...	96
Figura 61 – Porcentagem de variação entre a corrente de pico e de estado estável em função de L para diversos $t_{\text{rise/fall}}$ em transistores com W_{fin} de 60 nm.....	97

LISTA DE TABELAS

Tabela 1 – Parâmetros extraídos das curvas simuladas do transistor sem junções com 4 terminais de porta	59
Tabela 2 – Tempos de configuração do pulso recomendados para montagem com a utilização de RPM	72
Tabela 3 – Características DC extraídas das curvas experimentais no transistor FD SOI	84
Tabela 4 – Tensão de limiar e inclinação de sublimiar extraídas das curvas experimentais do transistor sem junções	89
Tabela 5 – Comparação da degradação de corrente em transistores sem junções com W_{fin} de 240 nm	94

LISTA DE ABREVIATURAS E SIGLAS

CEA	<i>Commissariat à l'énergie atomique et aux énergies alternatives</i> – Comissão de Energia Atômica e Energias Alternativa
CYNTHIA	<i>Cylindrical Thin-Pillar Transistor</i> – Transistor Cilíndrico Vertical
DELTA	<i>fully DEpleted Lean-channel TrAnsistor</i> – Transistor de Canal Vertical Totalmente Depletado
FD	<i>Fully Depleted</i> – Totalmente Depletado
FinFET	<i>Fin Field Effect Transistor</i> – Transistor de Efeito de Campo <i>Fin</i>
GAA	<i>Gate All-Around</i> - Porta Circundante
JNT	<i>Junctionless Nanowire Transistor</i> – Transistor Nanofio Sem Junções
MOS	<i>Metal-Oxide-Semiconductor</i> – Metal-Óxido-Semicondutor
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i> – Transistor de Efeito de Campo Metal-Óxido-Semicondutor
NFD	<i>Near Fully Depleted</i> – Quase Totalmente Depletado
n-MOS	<i>n-type Metal-Oxide-Semiconductor</i> – Metal-Óxido-Semicondutor tipo n
PD	<i>Partially Depleted</i> – Parcialmente Depletado
p-MOS	<i>p-type Metal-Oxide-Semiconductor</i> – Metal-Óxido-Semicondutor tipo p
PMU	<i>Pulse Measure Unit</i> – Unidade de Medida de Pulso
RPM	<i>Remote Pulse Module</i> – Módulo de Pulso Remoto
SCE	<i>Short Channel Effects</i> – Efeitos de Canal Curto
SCS	<i>Semiconductor Characterization System</i> – Sistema de Caracterização de Semicondutores
SDEVICE	<i>Sentaurus Device Simulator</i> – Simulador de Dispositivo Sentaurus
SHE	<i>Self-Heating Effects</i> – Efeitos de Autoaquecimento
SMU	<i>Source Measure Unit</i> – Unidade de Medida de Fonte
SOI	<i>Silicon-On-Insulator</i> – Silício-Sobre-Isolante
SON	<i>Silicon-On-Nothing</i> – Silício-Sobre-Nada
ULSI	<i>Ultra Large Scale of Integration</i> – Altíssima Escala de Integração

LISTA DE SÍMBOLOS

C_D	Capacitância de depleção por unidade de área [F/cm^2]
C_{ox}	Capacitância do óxido de porta por unidade de comprimento [F/cm]
C_{ox}'	Capacitância do óxido de porta por unidade de área [F/cm^2]
C_{ox1}'	Capacitância do óxido da primeira interface por unidade de área [F/cm^2]
C_{ox2}'	Capacitância do óxido da segunda interface por unidade de área [F/cm^2]
C_{Si}	Capacitância do silício por unidade de área [F/cm^2]
c_{Si}	Calor específico do silício [$0,17 \text{ cal/gK}$]
C_{SiO_2}	Calor específico do dióxido de silício [$0,17 \text{ cal/gK}$]
E_{eff}	Campo elétrico normal médio no canal [V/cm]
g_D	Condutância de saída [S]
g_m	Transcondutância [S]
H_{fin}	Altura do <i>fin</i> [nm]
$I_{C,rise}$	Corrente devido à capacitância durante a subida [A]
$I_{C,fall}$	Corrente devido à capacitância durante a descida [A]
I_{acc}	Corrente de acumulação [A]
I_b	Corrente de corpo [A]
I_C	Corrente devido à capacitância [A]
I_{DS}	Corrente de dreno [A]
$I_{DS}(t_{rise})$	Corrente de dreno no instante do fim da subida do pulso [A]
$I_{DS}(\infty)$	Corrente de dreno quando não há mais variação no tempo [A]
I_R	Corrente devido ao resistor [A]
k	Constante de Boltzmann [$1,38 \cdot 10^{-23} \text{ J/K}$]
K_{Si}	Condutividade térmica do silício [$1,5 \text{ W/cmK}$]
K_{SiO_2}	Condutividade térmica do dióxido de silício [$0,014 \text{ W/cmK}$]
L	Comprimento de canal [nm]
L_{SD}	Comprimento de fonte e dreno [nm]
m^*	Massa de confinamento do portador na direção transversal [kg]
n	Fator de corpo do transistor MOSFET
N_A	Concentração de dopantes aceitadores [cm^{-3}]
N_D	Concentração de dopantes doadores [cm^{-3}]
n_i	Concentração intrínseca de portadores [cm^{-3}]
P	Potência dissipada [W]

P^*	Potência dissipada normalizada pela área [W/cm^2]
q	Carga elementar do elétron [$1,6 \cdot 10^{-19} C$]
Q_{Si}	Densidade de cargas fixas por unidade de comprimento [C/cm]
R_{th}	Resistência térmica [K/mW]
S	Inclinação de sublimiar [mV/dec]
T	Temperatura [K]
T_0	Temperatura inicial no canal [K]
t_{BOX}	Espessura da camada de óxido enterrado [nm]
t_{fall}	Tempo de descida [s]
t_{ox}	Espessura do óxido de porta [nm]
t_{pass}	Espessura do óxido de passivação [nm]
t_{porta}	Espessura do eletrodo de porta [nm]
t_{rise}	Tempo de subida [s]
t_{Si}	Espessura da camada de silício [nm]
V_{BS}	Tensão aplicada entre substrato e fonte [V]
V_{BS2}	Tensão aplicada entre substrato e fonte com função de suavização [V]
V_{DS}	Tensão aplicada entre dreno e fonte [V]
V_{FB}	Tensão de faixa plana [V]
V_{GS}	Tensão aplicada entre porta e fonte [V]
V_{GT}	Sobretensão de porta [V]
V_P	Tensão de alta do pulso [V]
V_{DSsat}	Tensão de saturação de dreno [V]
V_{TH}	Tensão de limiar [V]
$V_{TH,body}$	Tensão de limiar para condução no corpo [V]
W_{ef}	Largura efetiva da porta [nm]
W_{fin}	Largura do <i>fin</i> [nm]
W_P	Largura do pulso [s]
x_d	Espessura da região de depleção [nm]
x_{d2}	Espessura da região de depleção da segunda interface [nm]
x_{dmax}	Espessura máxima da região de depleção [nm]
α_s	Constante de espalhamento [cm/V]
$\alpha\Lambda$	Comprimento de decaimento da temperatura nas regiões de fonte e dreno [cm]
ϵ_{ox}	Permissividade elétrica do óxido de silício [$3,45 \cdot 10^{-14} F/cm$]
ϵ_{Si}	Permissividade elétrica do silício [$1,06 \cdot 10^{-12} F/cm$]

τ	Constante de tempo de autoaquecimento [s]
ϕ_F	Potencial de Fermi [V]
μ_{CC}	Mobilidade devido ao espalhamento portador-portador [$\text{cm}^2/\text{V.s}$]
μ_{eff}	Degradação da mobilidade [$\text{cm}^2/\text{V.s}$]
μ_{pse}	Mobilidade de elétrons devido ao espalhamento fônon [$\text{cm}^2/\text{V.s}$]
μ_{psh}	Mobilidade de lacunas devido ao espalhamento fônon [$\text{cm}^2/\text{V.s}$]
μ_{psie}	Mobilidade de elétrons devido ao espalhamento fônon e por impurezas ionizadas [$\text{cm}^2/\text{V.s}$]
μ_{psih}	Mobilidade de lacunas devido ao espalhamento fônon e por impurezas ionizadas [$\text{cm}^2/\text{V.s}$]
μ_{nie}	Mobilidade de elétrons devido ao espalhamento por impurezas neutras [$\text{cm}^2/\text{V.s}$]
μ_{nih}	Mobilidade de lacunas devido ao espalhamento por impurezas neutras [$\text{cm}^2/\text{V.s}$]
μ_0	Mobilidade independente do campo elétrico resultante [$\text{cm}^2/\text{V.s}$]
\hbar	Constante de Planck normalizada [$1,054 \cdot 10^{-34}$ J.s]
$\% \Delta I_{PE}$	Diferença percentual entre a corrente de pico e de estado estável no pulso [%]

SUMÁRIO

1	INTRODUÇÃO	25
2	REVISÃO BIBLIOGRÁFICA	29
2.1	TECNOLOGIA SOI	29
2.1.1	Operação em Modo Inversão	30
2.1.2	Operação em Modo Acumulação	31
2.2	TRANSISTOR DE MULTIPLAS PORTAS	33
2.2.1	Transistor de porta tripla	35
2.3	TRANSISTOR MOS SEM JUNÇÕES	37
2.3.1	Operação do Transistor MOS Sem Junções	38
2.4	PROPRIEDADES ELÉTRICAS BÁSICAS	40
2.4.1	Tensão de Limiar	40
2.4.2	Inclinação de Sublimiar	41
2.4.3	Transcondutância	43
2.4.4	Condutância de Saída	43
2.4.5	Mobilidade	43
2.4.5.1	<i>Espalhamento Fônon</i>	43
2.4.5.2	<i>Espalhamento por Impurezas Ionizadas</i>	44
2.4.5.3	<i>Espalhamento Portador-Portador</i>	44
2.4.5.4	<i>Espalhamento por Impurezas Neutras</i>	45
2.4.5.5	<i>Mobilidade independente do campo elétrico resultante</i>	45
2.4.5.6	<i>Espalhamento por Rugosidade de Superfície</i>	46
2.5	AUTOAQUECIMENTO E SEUS EFEITOS NAS PROPRIEDADES ELÉTRICAS	47
3	SIMULAÇÃO DO AUTOAQUECIMENTO	55
3.1	SIMULADOR	55
3.2	AUTOAQUECIMENTO EM REGIME ESTACIONÁRIO	56
3.3	AUTOAQUECIMENTO EM REGIME TRANSITÓRIO	67

4	CARACTERIZAÇÃO ELÉTRICA DO AUTOAQUECIMENTO EM REGIME TRANSITÓRIO	71
4.1	METODOLOGIA	71
4.1.1	Capacitâncias do equipamento	72
4.1.2	Medidas e aquisições no mesmo canal de pulso	75
4.1.3	Aplicação de pulsos com e sem tempo de atraso	76
4.1.4	<i>Overshoot</i> e amortecimento	77
4.1.5	Montagem e conexões	78
4.1.6	Resultados dos testes	79
4.1.6.1	<i>Resistores</i>	79
4.1.6.2	<i>Transistores MOS encapsulados</i>	81
4.1.6.3	<i>Transistores MOS FD SOI</i>	83
4.1.6.4	<i>Transistores MOS PD SOI</i>	85
4.2	NANOFIOS TRANSISTORES MOS SEM JUNÇÕES	88
5	CONCLUSÕES E TRABALHOS FUTUROS	99
	REFERÊNCIAS	103
	APÊNDICE A – ARTIGOS PUBLICADOS	113
	APÊNDICE B – CÓDIGO PARA GERAÇÃO DA ESTRUTURA DE UM TRANSISTOR MOS SEM JUNÇÕES NO SIMULADOR SENTAURUS	115
	APÊNDICE C – CÓDIGO EXEMPLO DE SIMULAÇÃO DC DE UM DISPOSITIVO NO SIMULADOR SENTAURUS	127
	APÊNDICE D – CÓDIGO EXEMPLO DE SIMULAÇÃO DE MEDIDA PULSADA DE UM DISPOSITIVO NO SIMULADOR SENTAURUS	131
	APÊNDICE E – CÓDIGO EXEMPLO DE PARÂMETROS DE SIMULAÇÃO DE UM DISPOSITIVO NO SIMULADOR SENTAURUS	135

1 INTRODUÇÃO

Procurando atender às necessidades atuais de fabricação de dispositivos microeletrônicos com constantes melhorias de desempenho e redução de custos e dimensões, são frequentemente desenvolvidas novas tecnologias nas grandes instituições de pesquisa, como foi o caso da tecnologia silício-sobre-isolante (SOI) (COLINGE, 2004). Porém, o desenvolvimento de diferentes dispositivos tem como consequência a dificuldade de previsão de fenômenos com os quais não se está habituado a lidar em tecnologias tradicionais. Apesar da superação de diversos efeitos causados pela redução das dimensões do dispositivo, possibilitando um avanço no desenvolvimento de circuitos integrados com altíssima escala de integração (ULSI), outros efeitos de canal curto continuam impedindo o escalamento dos dispositivos, como alta corrente elétrica com o dispositivo desligado e diminuição da velocidade de comutação entre os estados ligado e desligado. Com isso, um limite foi atingido de até onde as tecnologias planares comuns podem ser vantajosas em algumas aplicações específicas.

A adoção de dispositivos com arquitetura de múltiplas portas (COLINGE, 2008) tem como objetivo superar o obstáculo imposto pelos efeitos de canal curto através da melhoria do controle de cargas do canal pela porta, o que resulta na redução de tais efeitos. Como consequência, é possível se ter um transistor com comprimento de canal reduzido em relação ao transistor planar, com menor ou equivalente degradação de suas características. A partir desta observação, várias estruturas não planares começaram a ser desenvolvidas para melhorar o escalamento dos dispositivos metal-óxido-semicondutor (MOS) (COLINGE et al., 1990; DOYLE et al., 2003; HISAMOTO et al., 2000; RAULY et al., 2001).

Os primeiros transistores de múltiplas portas apresentavam dois canais de condução verticais, formados sobre uma mesa de silício depositada perpendicularmente a uma camada de óxido de silício (substrato SOI), sendo denominados *fully DEpleted Lean-channel TrAnsistor* (DELTA) (HISAMOTO et al., 1990). Posteriormente estes transistores dariam origem ao transistor de efeito de campo *fin* (FinFET), possuindo diferenças em relação ao modelo anterior como a presença de um óxido de porta espesso no topo da estrutura. O “*hard mask*”, como é chamado este óxido espesso, tem como objetivo evitar efeitos de canto gerados devido à presença de um campo elétrico equivalente, que dá origem a canais de condução indesejados (XIONG, PARK, COLINGE, 2003). Assim, a passagem de corrente ocorre predominantemente nas laterais do transistor.

A estrutura de três portas (*Trigate* ou FinFET de porta tripla) foi concebida realizando a oxidação nas três faces, obtendo-se a mesma espessura do óxido de porta. O dispositivo resultante apresenta melhor controle eletrostático pela porta, redução de efeitos de canal curto e inclinação de sublimiar próxima do limite teórico de 60 mV/dec (SAITO et al., 2002). Através de etapas de fabricação mais recentes, tem-se desenvolvido estruturas de porta tripla com região ativa tendo largura e altura reduzidas, sob o pretexto de estender os benefícios do controle eletrostático dos FinFETs. Essas estruturas ficaram conhecidas como nanofios transistores e possuem as dimensões de altura e largura de *fin* de mesmo valor, em escala nanométrica (BARRAUD et al., 2013; COQUAND et al., 2012).

Contudo, a fabricação de transistores com dimensões reduzidas é limitada pela realização de certas etapas do processo, como a dificuldade da criação de junções abruptas entre fonte, canal e dreno, sem que haja difusão lateral de dopantes para dentro do canal. Por este motivo foi proposto o nanofio transistor sem junções (JNT), que apresenta concentração de dopantes constante e uniforme ao longo de toda a região ativa de silício (COLINGE et al., 2009). O modo de operação desses transistores se assemelha ao de dispositivos modo acumulação, apesar de não serem considerados como tal. Tendo alta concentração de dopantes e fina camada de silício, o dispositivo se encontra totalmente depletado (FD) até que seja aplicado potencial na porta, suficiente para o surgimento de uma região neutra entre o dreno e a fonte, permitindo passagem de corrente. Aumentando a tensão aplicada se atinge o regime de acumulação, onde a condução de corrente ocorre majoritariamente pelo corpo do transistor.

Apesar das vantagens conhecidas do uso de substratos SOI, o óxido de silício enterrado possui resistência térmica cerca de 100 vezes maior que o silício. A baixa condutividade térmica do óxido é traduzida como uma maior dificuldade de dissipar calor produzido pelo dispositivo (TENBROEK et al., 1998). E o fato de transistores de porta tripla terem óxido cercando as superfícies do canal reduz ainda mais a dissipação de calor. Somando isso ao aumento da temperatura da camada de silício causado pelo efeito Joule decorrente da passagem de corrente, tem-se a ocorrência de um fenômeno chamado de autoaquecimento (WORKMAN et al., 1998). Dentre os efeitos do autoaquecimento (SHE), pode-se citar a redução da mobilidade e, por consequência, da corrente elétrica, chegando, em casos extremos, quando alta potência é requerida, a valores de condutância de saída negativa. O baixo acoplamento térmico em transistores SOI sub-micrométricos está relacionado ao forte confinamento do silício, sendo que a principal região de aquecimento se encontra próximo da porta e do dreno (DALLMANN, SHENAI, 1995). No caso de nanofios transistores MOS, a

baixa dependência do autoaquecimento com outros parâmetros estruturais que não as dimensões do transistor, como espessura do óxido de porta, sugere que a dissipação de calor ocorre principalmente pela fonte e dreno e substrato, e não pelo eletrodo de porta (OTA et al., 2011).

Um dos mais conhecidos métodos de análise do autoaquecimento utiliza uma estrutura de porta grande com 4 contatos acoplada ao transistor para extrair a resistência da porta, cuja variação é proporcional ao aumento de temperatura no canal (SU et al., 1992). Porém, ao se considerar nanofios de porta tripla, com dimensões muito inferiores a essa estrutura de porta, é observada divergência nos valores que uma vez eram similares, causando imprecisão na extração do autoaquecimento (MARINIELLO et al., 2016). Caso esse comportamento seja observado nos transistores sem junções, outros métodos deverão ser utilizados para se analisar o autoaquecimento.

Como o tempo necessário para ocorrência do autoaquecimento é alto em relação ao período de relógio em circuitos digitais, estes não são afetados por SHE. Circuitos analógicos, por outro lado, são normalmente polarizados em corrente contínua, o que os torna suscetíveis a efeitos de temperatura elevada (TENBROEK et al., 1998). Com o objetivo de contornar este problema, podem ser utilizadas medidas pulsadas com período de pulso inferior ao tempo de ocorrência de tais efeitos, permitindo a extração de parâmetros sem que sofram alterações provocadas pelo aumento da temperatura (BEPPU, ODA, UCHIDA, 2012). Através de medidas de transitórios de corrente, é possível observar variações no comportamento de corrente que não seriam vistos em uma medida DC por ocorrerem em baixo período de tempo.

Nesta dissertação de mestrado é feito o estudo de como o aumento da temperatura causa alterações no comportamento elétrico de nanofios transistores MOS sem junções devido aos efeitos do autoaquecimento, tanto em regime permanente quanto em regime transitório, através da realização de medidas pulsadas. Para o estudo em regime permanente será utilizado o método de extração da resistência de porta utilizando estrutura de porta de 4 terminais. O estudo será realizado por meio de simulações numéricas tridimensionais e medidas experimentais em lâminas contendo nanofios transistores MOS sem junções fabricados no CEA-LETI, na França.

O conteúdo deste trabalho foi organizado em capítulos, dispostos da seguinte maneira:

O capítulo 2 apresenta uma revisão bibliográfica envolvendo a teoria fundamental dos assuntos abordados nesse trabalho. Com isso, são abordados de maneira geral o conceito de transistores SOI MOSFET e seus modos de operação, a tecnologia de transistores de múltiplas

portas, com foco em dispositivos de porta tripla e sem junções e seus modos de funcionamento, a descrição dos parâmetros elétricos e principais efeitos observados na caracterização de tais transistores e, por fim, uma visão geral do conceito de autoaquecimento e os efeitos causados por sua presença na operação de transistores MOS, como a influência do aumento da temperatura na corrente de dreno.

No capítulo 3 são apresentados os resultados da análise do autoaquecimento em nanofios transistores MOS sem junções através de simulação numérica tridimensional. É, portanto, feita a introdução do simulador numérico, incluindo os principais modelos físicos utilizados e as estruturas criadas para simulação. Então, são exibidos os resultados de simulação do autoaquecimento em regime estacionário, através do método de extração da resistência de porta em estruturas de porta com 4 terminais, justificando assim o uso do método de medidas pulsadas, com o qual são feitas simulações de transitório de corrente e obtidos resultados relevantes para auxiliar na compreensão das curvas experimentais a serem realizadas.

No capítulo 4 são apresentados os resultados experimentais obtidos a respeito do funcionamento do módulo pulsado, introduzindo diversos aspectos do procedimento para se obter uma medida pulsada e um panorama das limitações do equipamento em relação aos tempos de transição, ao *overshoot* e à configuração do pulso, de forma a se obter curvas de transitório confiáveis e sem deformações causadas durante a medida. Também são mostrados resultados de medidas pulsadas feitas em diferentes dispositivos, desde resistores a transistores SOI totalmente e parcialmente depletados, apresentando os primeiros resultados experimentais de autoaquecimento em regime transitório para os transistores planares obtidos com o módulo de pulsos. Finalmente, os resultados das medidas experimentais de transitório para extração do autoaquecimento são exibidas e analisadas para os transistores sem junções, variando diversos parâmetros geométricos, para verificar a influência destes no comportamento térmico dos dispositivos.

O capítulo 5 apresenta as conclusões deste trabalho e propostas de continuação para trabalhos futuros.

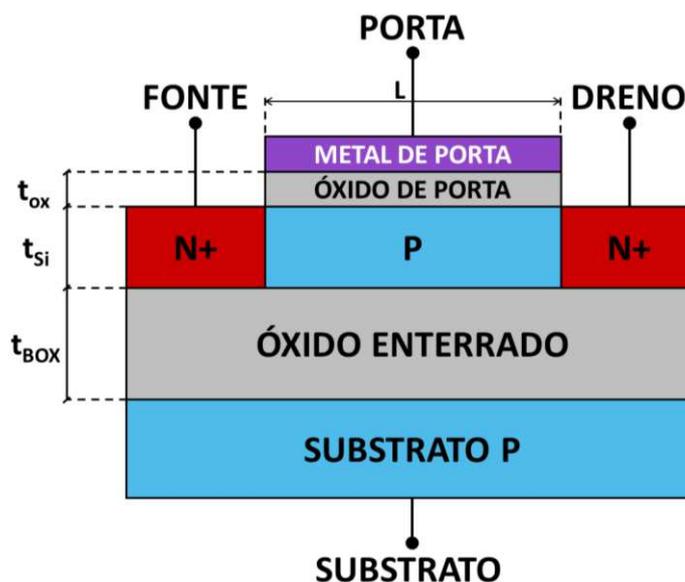
2 REVISÃO BIBLIOGRÁFICA

Nesse capítulo são apresentados os conceitos fundamentais de transistores MOS implementados com tecnologia SOI, enfatizando os modos de funcionamento dos dispositivos planares, múltiplas portas e, principalmente, dos transistores sem junções. Em seguida, são abordados os principais parâmetros elétricos do transistor MOS, como tensão de limiar, inclinação de sublimiar, transcondutância e condutância de saída, e efeitos envolvendo tais parâmetros, dando especial atenção à mobilidade e ao autoaquecimento.

2.1 TECNOLOGIA SOI

Desde sua concepção até os dias de hoje, a tecnologia SOI tem permanecido em constante evidência na indústria da microeletrônica. Isso se deve ao fato de esta trazer consigo diversos aspectos positivos em relação aos transistores convencionais, referindo-se àqueles em que não há separação entre o substrato e a camada de silício ativa. Além de apresentarem vantagem com relação às características do dispositivo em seu funcionamento, a presença de uma camada de isolante abaixo da região ativa permite maior liberdade na miniaturização de estruturas mantendo baixa a degradação por efeitos de canal curto (SCE) (YOUNG, 1989). A Figura 1 apresenta um transistor MOS SOI tipo n em perfil longitudinal.

Figura 1 – Perfil longitudinal de um transistor SOI nMOS modo inversão



Fonte: Autor

Um transistor SOI tipo n é constituído por uma região de silício tipo p de espessura t_{Si} com extremidades opostas dopadas com material tipo n, abaixo de um metal de porta de comprimento L separado por um óxido de porta de espessura t_{ox} . Essa região de silício é chamada de silício ativo e é separado do substrato por uma camada de óxido enterrado de espessura t_{BOX} . Com isso, dois capacitores MOS são formados nesse transistor: o primeiro entre o metal de porta, o óxido de porta e a região ativa, presente também nos transistores MOS convencionais, e o segundo entre a região ativa, o óxido enterrado e o substrato. A classificação dos transistores SOI se dá através de seu modo de operação, que é definido pelo tipo de impureza presente na fonte e dreno em relação ao canal. São definidos, portanto, dois modos de operação: inversão (ou enriquecimento) e acumulação.

2.1.1 Operação em Modo Inversão

No modo inversão a dopagem de fonte e dreno possui tipo de impureza oposto ao da região de canal, tendo impurezas tipo n na fonte e no dreno e tipo p na região de canal, no caso do transistor nMOS, e impurezas tipo p na fonte e no dreno e tipo n na região de canal, no caso do transistor pMOS. Dependendo de suas características construtivas, em especial a espessura da camada de silício ativa e concentração de dopantes, e da temperatura é possível ter-se diferentes tipos de transistores. Suas denominações se dão por transistor totalmente depletados (FD), parcialmente depletado (PD) e quase totalmente depletados (NFD).

Ao se polarizar um transistor MOS, assumindo que a diferença de potencial entre dreno e fonte seja nula, uma camada de depleção é criada abaixo do óxido de porta, se estendendo da fonte ao dreno. É possível calcular qual a máxima espessura que essa camada pode possuir (x_{dmax}) através da equação (1) (SZE, 1981):

$$x_{dmax} = \sqrt{\frac{2\varepsilon_{Si} 2\phi_F}{qN_A}} \quad (1)$$

onde ε_{Si} é a permissividade do silício, q é a carga do elétron, N_A é a concentração de dopantes aceitadores e ϕ_F é o potencial de Fermi, dado pela equação (2) (SZE, 1981):

$$\phi_F = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (2)$$

onde k é a constante de Boltzmann e n_i é a concentração intrínseca de portadores do silício.

Outra região de depleção pode ser obtida na interface entre a região ativa e o óxido enterrado, e sua espessura é calculada da mesma forma. Quando a soma das duas regiões de depleção resulta em uma espessura inferior à espessura da camada de silício (t_{si}), o transistor estará parcialmente depletado, pois sempre haverá uma região neutra entre as regiões de depleção superior e inferior. Esse transistor é considerado um PD SOI e caso a região neutra esteja flutuando, não sendo aterrada, serão observados efeitos de corpo flutuante, como efeito *kink* (HAFEZ, GHIBAUDO, BALESTRA, 1989), que provoca elevação inesperada da corrente de dreno, e efeito bipolar parasitário. No caso de a região neutra possuir contato elétrico e este estiver aterrado, tais efeitos não serão observados e o comportamento do transistor será equivalente ao de um MOSFET convencional, com menos capacitâncias de junção.

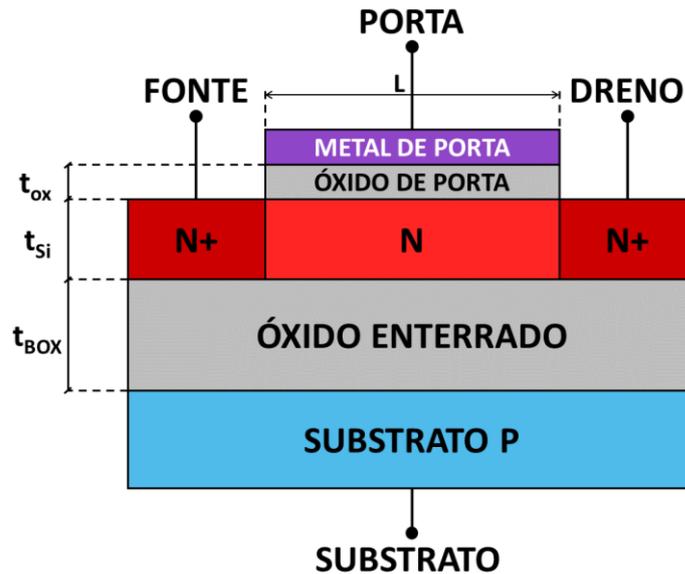
No caso de a espessura máxima da região de depleção (x_{dmax}) ser superior à espessura da camada de silício, considera-se que o transistor estará sempre totalmente depletado para tensões de porta superiores à tensão de limiar. Logo, tal transistor é denominado FD SOI e possui as características elétricas mais vantajosas em relação aos outros dispositivos SOI ou convencionais (COLINGE, 2004). Dentre as vantagens observadas estão a redução de capacitâncias parasitárias devido à presença do óxido enterrado, levando a uma menor resultante de capacitâncias, o que reduz o fator de corpo do transistor, melhorando a inclinação de sublimiar, maior escalamento das dimensões sem forte presença de efeitos de canal curto, redução da tensão de limiar sem aumento da corrente de desligamento e eliminação do efeito de elevação abrupta de corrente, presente em transistores MOS convencionais.

Se a espessura da camada de silício for maior que a espessura máxima da região de depleção e menor que o dobro desse valor, dependendo da polarização do substrato esse dispositivo pode se comportar como parcialmente depletado ou totalmente depletado. Sua denominação nesse caso é transistor quase totalmente depletado.

2.1.2 Operação em Modo Acumulação

Nos transistores modo acumulação, o mesmo tipo de impureza é adicionado nas regiões de fonte, dreno e região de canal. Logo, diferentemente dos transistores modo inversão, não há formação de uma junção PN que em princípio impeça a passagem de corrente. O perfil longitudinal de um transistor SOI modo acumulação tipo n é mostrado na Figura 2.

Figura 2 – Perfil longitudinal de um transistor SOI nMOS modo acumulação

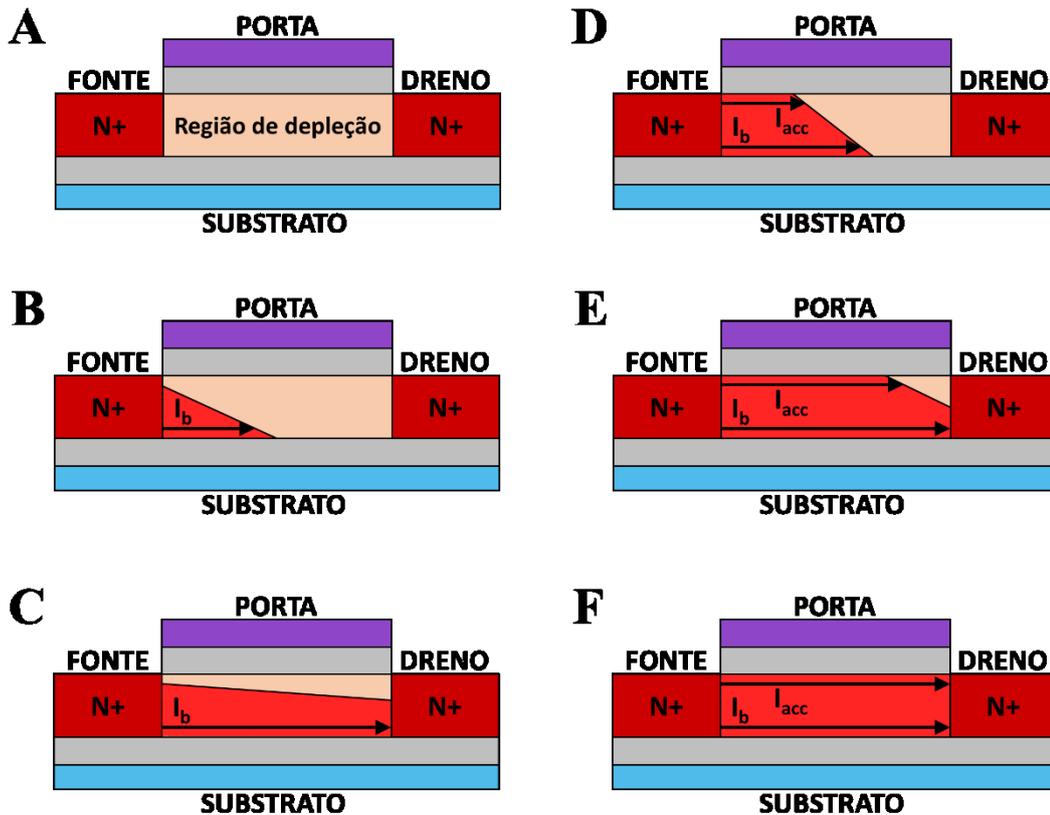


Fonte: Autor

Porém, as características físicas do silício e do material de porta precisam fazer com que a camada de depleção preencha toda a região de canal, estando ele totalmente depletado, impedindo assim que a corrente flua entre a fonte e o dreno a menos que uma tensão seja aplicada na porta. Nesse caso, há uma redução da região de depleção, permitindo a condução de corrente por dois caminhos: pelo corpo da região de silício (I_b) e por uma camada de acumulação do transistor (I_{acc}), ocorrendo em polarizações diferentes. Com isso, considera-se que a operação modo acumulação tem duas tensões de limiar e diversas situações de condução são possíveis dependendo da polarização da porta (COLINGE, 1990).

Na Figura 3 são mostrados os modos de funcionamento do transistor SOI modo acumulação. Quando a porta do dispositivo é polarizada abaixo da tensão de limiar (V_{TH}), a região de depleção ocupa toda a área do canal e a condução não é vista (A), ao se aumentar a tensão de porta (V_{GS}), mas ainda não ultrapassando a tensão de faixa plana (V_{FB}), dependendo da polarização de dreno (V_{DS}), é possível se ter pinçamento do corpo do canal (B) ou condução de corrente de corpo I_b (C). Ao se polarizar a porta acima de V_{FB} , uma camada de acumulação surge na superfície do silício com o óxido de porta e, novamente, dependendo de V_{DS} é possível ter pinçamento do corpo e da camada de acumulação (D), triodo no corpo e pinçamento da camada de acumulação (E) ou condução em triodo das duas regiões (F).

Figura 3 – Condições de polarização do transistor SOI nMOS modo acumulação



Fonte: Autor

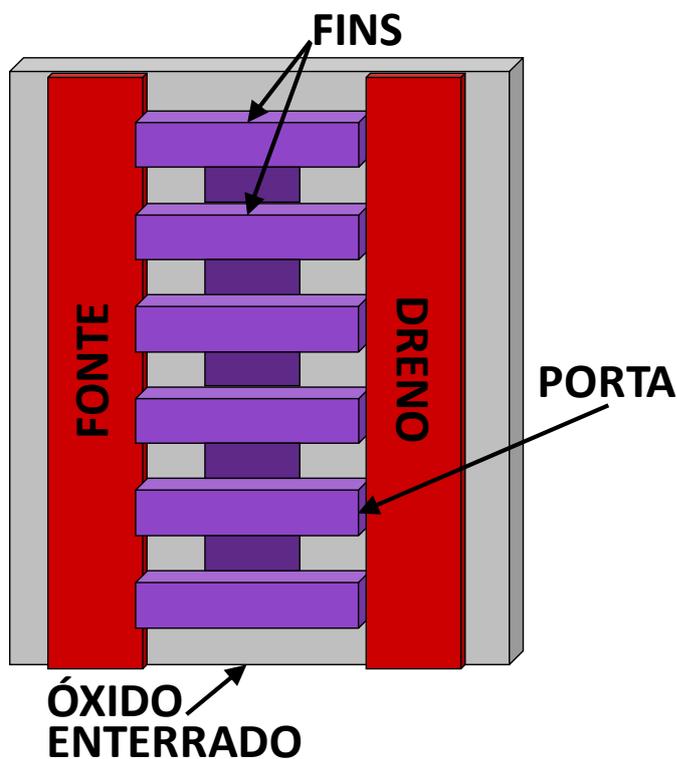
Legenda: A: Operação em sublimiar; B: Operação acima do limiar, $V_{GS} < V_{FB}$ com pinçamento do corpo; C: $V_{GS} < V_{FB}$ com corpo em triodo; D: $V_{GS} > V_{FB}$ com pinçamento da camada de acumulação e do corpo; E: $V_{GS} > V_{FB}$ com pinçamento da camada de acumulação e corpo em triodo; F: $V_{GS} > V_{FB}$ com camada de acumulação e corpo em triodo.

2.2 TRANSISTOR DE MULTIPLAS PORTAS

Mesmo após a adoção da tecnologia SOI, a estrutura CMOS clássica com transistores planares começou a atingir seus limites de escalamento. Com isso, novas alternativas são propostas para manter os efeitos de canal curto controlados ao projetar dispositivos com dimensões de dezenas de nanômetros. Dentre elas, a que mais se destaca é o transistor de múltiplas portas, que apresenta um modelo de porta que proporciona melhor controle eletrostático das cargas no canal, reduzindo a interferência do campo elétrico resultante da polarização do dreno (COLINGE, 2008). Isso ocorre porque mais componentes de corrente são adicionadas à corrente resultante por unidade de área. No caso do transistor porta tripla há três componentes de corrente atuando no canal: no topo e nas laterais do *fin* de silício, tendo múltiplos planos de condução, o que reduz a influência do campo elétrico lateral.

Outra característica dos transistores de múltiplas portas é a possibilidade de utilização de estruturas multi-*fins* ou multi-dedos para aumentar a corrente de dreno. Nelas, o transistor é fabricado a partir de um número de *fins* em paralelo, como ilustrado na Figura 4. Assim, a corrente de dreno total é dada pela corrente de um transistor multiplicada pelo número de *fins*. Porém, o uso de multi-*fins* só é compensado caso a corrente gerada por área seja maior que a de um transistor planar com mesma área total ocupada (COLINGE, 2008).

Figura 4 – Ilustração de um FinFET com múltiplos *fins*



Fonte: Autor

A origem da estrutura de múltiplas portas se deu com a concepção de um transistor de porta dupla, denominado XMOS (SEKIGAWA, HAYASHI, 1984), sendo feito em substrato *bulk*. Mais tarde, o primeiro transistor SOI de porta dupla foi sugerido, o DELTA (HISAMOTO et al., 1990), composto por uma torre de silício estreita, onde eram gerados dois canais de condução verticais, sobre os quais eram depositados o óxido e o material de porta. Essa estrutura serviu de modelo para o surgimento de diversas variações, dentre elas o FinFET (HISAMOTO, 2000). A principal distinção do FinFET é a presença de um óxido mais espesso no topo da estrutura, chamado de *hard mask*, que resulta na concentração da passagem de corrente pelas paredes laterais da estrutura, e não no topo. Devido à presença

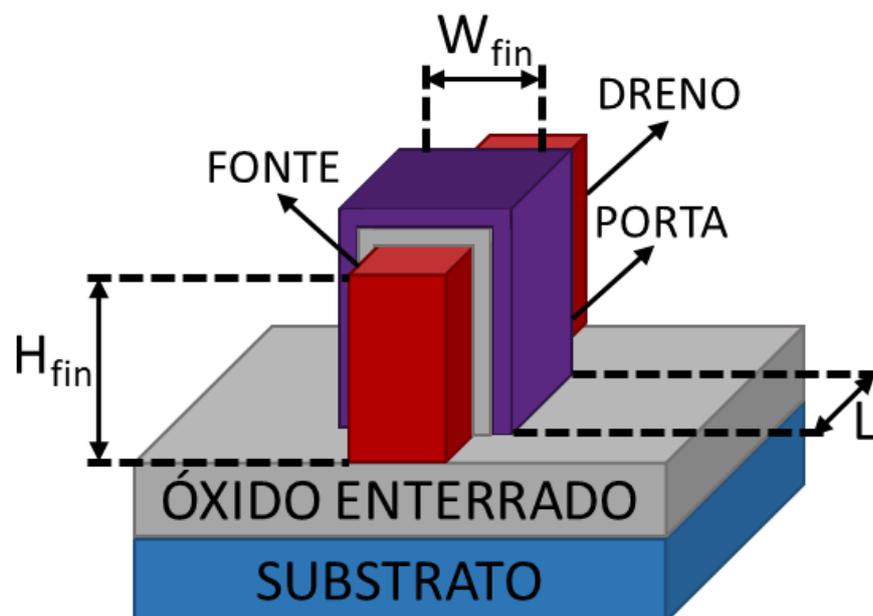
desse óxido, efeitos de canto decorrentes do encontro entre o topo e as laterais da mesa de silício são reduzidos. Com a oxidação do *hard mask* e equalização dos óxidos de porta das três interfaces, tem-se a criação de uma estrutura alternativa, denominada *Trigate* ou FinFET de porta tripla (COLINGE, 2008).

Outros dispositivos de múltiplas portas propostos são o transistor de porta circundante (GAA), o transistor cilíndrico vertical (CYNTHIA) (MIYANO, HIROSE, MASUOKA, 1992) o *Silicon-On-Nothing* (SON) (JURCZAK, 2000) e o *triangular-wire* SOI MOSFET (HIRAMOTO, 2001).

2.2.1 Transistor de porta tripla

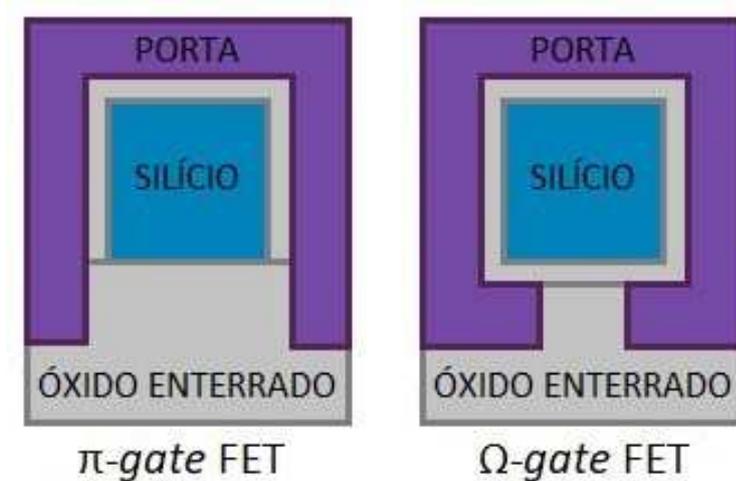
A Figura 5 ilustra o esquema de um transistor de porta tripla. A partir do modo como é feito o processo de corrosão na região entre o silício ativo e o óxido enterrado pode-se ter os dispositivos π -gate ou Ω -gate, que são variantes do transistor de porta tripla. Se a porta e o óxido de porta ocupam parte da região abaixo do *fin* de silício, gerando uma interface parcial próxima aos cantos inferiores do canal, o transistor é chamado de Ω -gate (YANG, 2002). Caso contrário, em que a porta se limita apenas às interfaces superior e laterais do silício e é estendida dentro do óxido enterrado, o transistor é chamado de π -gate (PARK, COLINGE, DIAZ, 2001). Os dois tipos de transistors são mostrados na Figura 6.

Figura 5 – Perspectiva de um MOSFET de porta tripla



Fonte: Autor

Figura 6 – Vista lateral de FinFETs de porta tripla π -gate e Ω -gate



Fonte: Autor “adaptado de” Colinge, 2008, p. 14

Assim como os transistores planares, o transistor de porta tripla também tem corrente proporcional à largura do canal. Porém, essa dimensão é calculada de forma diferente já que o canal é formado em três superfícies, tendo duas delas a dimensão H_{fin} (altura do *fin*) e uma a dimensão W_{fin} (largura do *fin*). Logo, a largura efetiva do FinFET porta tripla, W_{ef} , pode ser calculada como $(2H_{fin}+W_{fin})$. Por ter maior largura de canal que um transistor planar com mesma área do canal, o nível de corrente desses transistores é superior. Contudo, a presença de múltiplos canais de condução tem como consequência um maior campo elétrico nos cantos superiores gerado pela porta, devido à atuação de campo elétrico horizontal e vertical. Com isso, é observada uma maior concentração de portadores minoritários nesses cantos do que nas superfícies planas, o que pode ocasionar em diferenças nas tensões de limiar das duas regiões (FOSSUM, YANG, TRIVEDI, 2003).

Além disso, também é verificada diferença entre a mobilidade dos canais superior e laterais, relacionada à orientação cristalográfica do silício (LANDGRAF et al., 2006). Para transistores nMOS, a orientação $\langle 110 \rangle$ nas laterais tem mobilidade reduzida em relação à mobilidade no topo, onde a orientação é $\langle 100 \rangle$, e proporcionalmente a corrente de dreno também é menor nas laterais do que no topo, enquanto que para os pMOS o oposto é observado. Isso deve-se às diferenças de massa efetiva dos portadores nestas duas orientações cristalográficas (SUBRAMANIAN et al., 2007).

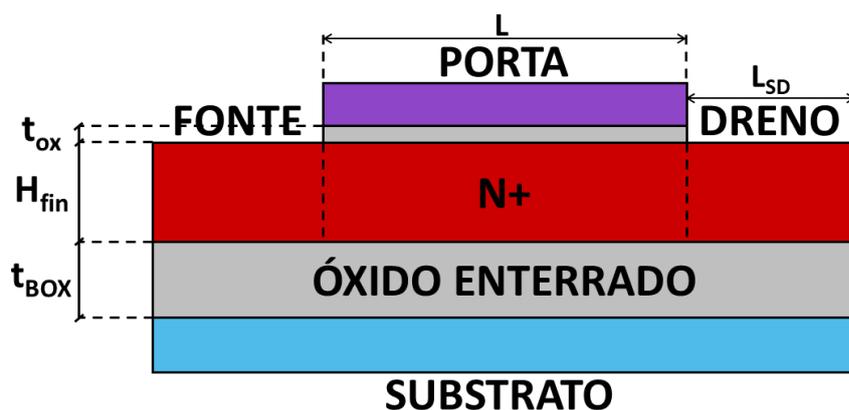
O conceito de nanofios transistores MOS é introduzido ao se ter FinFETs de porta tripla com altura e largura equivalentes e reduzidas à escala nanométrica. Com isso almeja-se estender os benefícios do controle eletrostático observado nas estruturas de múltiplas portas. Uma consequência da criação de dispositivos de dimensões tão reduzidas é o confinamento

quântico na superfície de condução, que pode ser um parâmetro relevante na melhoria da mobilidade devido ao efeito de inversão de volume, onde a corrente flui a uma certa distância da interface entre o silício e o óxido de porta (BALESTRA et al., 1987), que apresenta defeitos decorrentes do processo de corrosão para a definição da aleta de silício.

2.3 TRANSISTOR MOS SEM JUNÇÕES

A ideia principal do transistor sem junções consiste em ter uma concentração de dopantes uniforme e constante ao longo de toda a camada de silício, evitando a necessidade de criação de junções através da dopagem de fonte e dreno. A ausência dessa etapa tem se mostrado de grande relevância no processo de fabricação dos dispositivos, devido à miniaturização dos transistores. Ao ter comprimento de canal da ordem de dezenas de nanômetros, torna-se maior a dificuldade de criação de junções abruptas, com diferença de concentração de múltiplas décadas, entre fonte e dreno e o canal, em poucos nanômetros sem que haja difusão de impurezas dentro do canal, diminuindo também a causa de flutuação de dopantes (COLINGE et al., 2011). Com isso, a estrutura do transistor sem junções é similar à dos FinFETs, diferindo na ausência de variação de concentração e de tipo de portador na região ativa, entre fonte, canal e dreno, conforme mostrado na Figura 7.

Figura 7 – Perfil longitudinal de um transistor SOI nMOS sem junções



Fonte: Autor

Assim como nos nanofios transistores MOS, quando o transistor sem junções tem dimensões nanométricas e similares de altura e largura de fin, ele passa a ser denominado nanofio transistor sem junções.

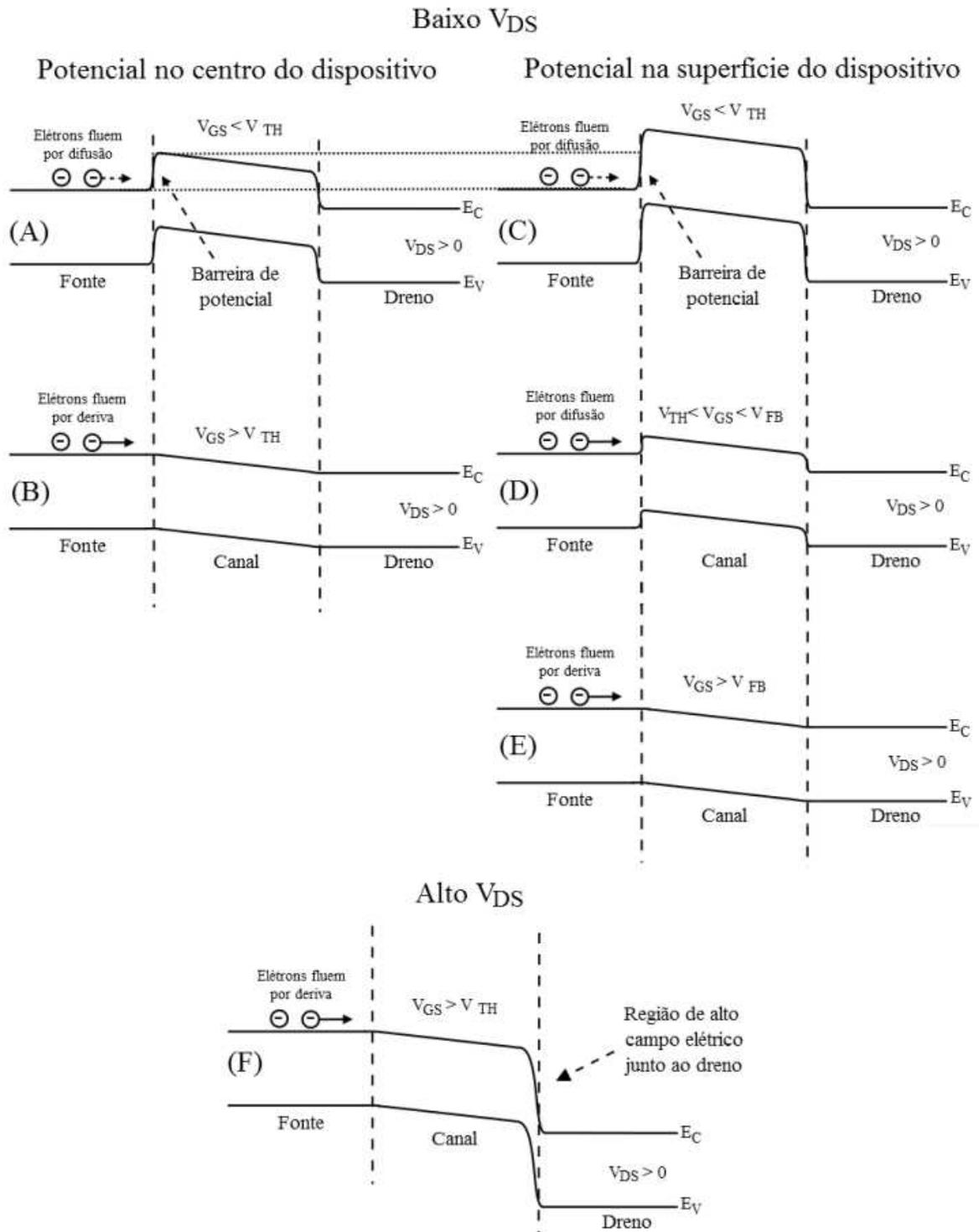
O transistor sem junções tem características específicas e essenciais para seu funcionamento, como por exemplo, a alta dopagem do silício, da ordem de 10^{19} cm^{-3} , em relação aos dispositivos modo inversão para controle da tensão de limiar e para elevar a corrente de corpo através da redução da resistência série do dispositivo (DORIA et al., 2012). Outra característica fundamental é que o transistor esteja totalmente depletado na condição de sublimiar, não havendo condução de corrente de deriva entre fonte e dreno assim como o transistor modo acumulação. A espessura da camada de silício e a concentração de dopantes precisam estar adequadas para que isso ocorra.

2.3.1 Operação do Transistor MOS Sem Junções

A operação dos nanofios transistores sem junções (*junctionless*) difere da dos transistores SOI modo acumulação no que se refere à região de condução, que no modo acumulação ocorre com a criação de uma camada de acumulação na interface silício óxido de porta, em $V_{GS} > V_{FB}$, enquanto que nos *junctionless* a condução de corrente ocorre majoritariamente no centro do corpo de silício, pois o dispositivo é usualmente polarizado para operar em depleção parcial, antes da acumulação ($V_{TH} < V_{GS} < V_{FB}$). Em ambos os transistores a camada de acumulação só é criada quando a tensão de porta é superior à tensão de faixa plana, mas nos transistores planares modo acumulação, diferente dos transistores sem junções, o valor de V_{FB} é baixo e próximo de V_{TH} , logo é facilmente superado com o aumento de V_{GS} . A Figura 8 exhibe o diagrama de faixas de energia do transistor nMOS sem junções para as diversas possibilidades de polarização de porta e de dreno.

Como dito anteriormente, com polarização abaixo do limiar (casos A e C) a condução de corrente de dreno no transistor ocorre apenas através de difusão, tendo valores não significativos, devido à presença de uma região de depleção que ocupa todo o silício envolto pelo eletrodo de porta. Quando a tensão de porta ultrapassa o limiar de condução (B e D), a região de depleção começa a reduzir no centro do canal, onde a diferença de potencial entre a região de canal e a fonte/dreno é zero, permitindo a condução de corrente de deriva da fonte para o dreno (B). Quanto mais a tensão de porta é elevada, mais a região de depleção reduz em direção às superfícies do óxido de porta e óxido enterrado, e a barreira de potencial entre a região de canal e a fonte/dreno é reduzida, até que se ultrapassa a tensão de faixa plana, onde o potencial no canal inteiro se torna igual ao potencial de fonte e dreno, e a condução ocorre conforme a operação em acumulação (E).

Figura 8 – Diagrama de faixas de energia do transistor nMOS sem junções



Fonte: Doria, 2013

Legenda: Centro do canal para V_{GS} abaixo (A) e acima (B) do limiar, na superfície para $V_{GS} < V_{TH}$ (C), $V_{TH} < V_{GS} < V_{FB}$ (D), $V_{GS} > V_{FB}$ (E) e para alto V_{DS} (F).

Para tensões de dreno elevadas (F), uma região de depleção é gerada próximo ao dreno, e a corrente de deriva é atraída para o dreno pelo alto campo elétrico longitudinal, mas a quantidade de corrente deixa de variar a partir do ponto no qual V_{DS} atinge a tensão de

saturação do dreno (V_{DSsat}), exceto pela modulação do comprimento de canal, assim como ocorre nos transistores MOS convencionais.

2.4 PROPRIEDADES ELÉTRICAS BÁSICAS

Nesta seção será feita uma discussão introdutória de algumas das características elétricas ligadas ao funcionamento dos nanofios transistores apresentados anteriormente e relacionadas ao desenvolvimento deste projeto, como a mobilidade e os fenômenos de espalhamento.

2.4.1 Tensão de Limiar

A definição de tensão de limiar pode ser dada como a tensão de porta que define o momento em que, nos transistores modo inversão, um grande volume de cargas de sinal oposto ao do corpo de silício (portadores minoritários) é atraído para próximo da interface Si-SiO₂ onde há uma região de depleção de cargas, criando com isso um canal de inversão (COLINGE, 2002). Já em transistores modo acumulação, a tensão de limiar é definida como a tensão aplicada à porta necessária para reduzir a região de depleção do centro do corpo de silício, permitindo a passagem de corrente entre a fonte e o dreno. Um segundo limiar de tensão de porta provoca ainda a criação de uma região de acumulação na interface Si-SiO₂, substituindo a camada de depleção da interface e gerando uma corrente de acumulação. Para transistores planares modo acumulação, o cálculo da tensão de limiar depende da condição e espessura das regiões de depleção da primeira e segunda interfaces, pois a área de condução da corrente não é limitada às interfaces Si-SiO₂, mas em todo o corpo de silício. Logo, considera-se que esses transistores possuem duas tensões de limiar: uma para a condução de corrente de corpo, o $V_{TH,body}$, expresso na equação (3) (COLINGE, 2004), e outra que define o limiar para condução de corrente de acumulação, que é a tensão de faixa plana (V_{FB}).

$$V_{TH,body} = V_{FB} + \frac{qN_A(t_{Si} - x_{d2})^2}{2\epsilon_{Si}} + \frac{qN_A(t_{Si} - x_{d2})}{C_{ox}'} \quad (3)$$

Onde t_{Si} é a espessura da camada de silício, x_{d2} é a espessura da região de depleção da segunda interface e C_{ox}' é a capacitância do óxido por unidade de área.

Quando o silício ativo possui concentração natural de dopantes, as equações da tensão de limiar mostradas deixam de ser válidas, devido ao baixo valor do potencial de Fermi. Para isso utilizam-se equações alternativas para descrever V_{TH} .

Para os MOSFETs sem junções, considera-se como tensão de limiar a polarização de porta que faz com que a região de depleção seja reduzida o suficiente para condução de corrente entre fonte e dreno, no interior da aleta de silício. Uma das formas de calcular a tensão de limiar, proposta por (TREVISOLI et al., 2011) é apresentada na equação (4), onde pode-se ver que há grande dependência com as dimensões físicas do transistor (H_{fin} e W_{fin}).

$$V_{TH} = V_{FB} - qN_D \left[\frac{W_{fin} H_{fin}}{C_{ox}} + \frac{1}{\epsilon_{Si}} \left(\frac{W_{fin} H_{fin}}{2H_{fin} + W_{fin}} \right)^2 \right] + \frac{\pi^2 \eta^2}{2qm^*} \left[\frac{1}{W_{fin}^2} + \frac{1}{H_{fin}^2} \right] \quad (4)$$

Onde N_D é a concentração de dopantes doadores, C_{ox} é a capacitância por unidade de comprimento, \hbar é a constante de Planck normalizada e m^* é a massa de confinamento do portador na direção transversal. Assim como nos transistores modo acumulação, quando a tensão de porta ultrapassa a tensão de faixa plana, além da condução de corrente pelo corpo, há a formação de uma camada de acumulação na interface Si-SiO₂ próximo à fonte que, dependendo dos valores de V_{GS} e V_{DS} , pode se estender por todo o canal até o dreno, gerando uma corrente de acumulação.

A extração da tensão de limiar nos transistores sem junções pode ser feita através do método g_m/I_{DS} (FLANDRE, KILCHYTSKA, RUDENKO, 2010), que consiste na criação de uma curva da razão de g_m por I_{DS} em função de V_{GS} , resultando em um degrau na região de sublimiar. A tensão de limiar é considerada como sendo o valor de V_{GS} em que o eixo g_m/I_{DS} apresenta a metade do valor do degrau.

2.4.2 Inclinação de Sublimiar

Esse parâmetro é utilizado para analisar como a corrente de dreno varia com a tensão de porta na região de sublimiar, quando a corrente tem valores baixos e ocorre pelo mecanismo de difusão (COLINGE, 2002), representando a eficiência da transição entre os estados ligado e desligado. O cálculo desse parâmetro é feito calculando a quantidade de tensão necessária para aumentar a corrente de dreno em uma década. Logo, sua definição se dá pela equação (5):

$$S = \frac{dV_{GS}}{d(\log(I_{DS}))} \quad (5)$$

Outra forma de analisar o comportamento do dispositivo abaixo do limiar é através da equação de I_{DS} em sublimiar, que está relacionada à equação da corrente de difusão, obtendo-se a equação (6) (COLINGE, 2002):

$$S = n \frac{kT}{q} \ln(10) \quad (6)$$

onde n é o fator de corpo, representando o acoplamento capacitivo e definido pelas equações (7), (8) e (9), para transistores planares convencionais, FD SOI e sem junções, respectivamente, desconsiderando as armadilhas de interface (TREVISOLI et al. 2014).

$$n = \left(1 + \frac{C_{D'}}{C_{ox}'} \right) \quad (7)$$

$$n_{FDSOI} = 1 + \frac{1}{C_{ox1}'} \left(\frac{C_{Si}' C_{ox2}'}{C_{Si}' + C_{ox2}'} \right) \quad (8)$$

$$n_{JNT} = 1 - \left[-\frac{1}{C_{ox1}'} - \frac{2Q_{Si}}{qN_D \epsilon_{Si} (2H_{fn} + W_{fn})^2} \right] \times \left(\frac{1}{C_{ox2}'^2} + \frac{2(V_{BS2} - V_{BS})}{qN_D \epsilon_{Si} W_{fn}^2} \right)^{-1/2} \quad (9)$$

onde C_D' é a capacitância de depleção por unidade de área, C_{Si}' é a capacitância do silício por unidade de área, C_{ox1}' e C_{ox2}' são a capacitância do óxido da primeira interface e da segunda interface por unidade de área, respectivamente, Q_{Si} é a densidade de cargas fixas, V_{BS} é a polarização de substrato e V_{BS2} é a mesma porém com uma função de suavização. O melhor caso de acoplamento capacitivo se dá quando o fator de corpo é igual a um, quando a capacitância de depleção é muito menor que a capacitância do óxido, sendo $n=1$ o limite teórico, com o qual se obtém uma inclinação de sublimiar de 60 mV/dec. Transistores SOI totalmente depletados em geral tem melhor acoplamento capacitivo e, portanto, menor inclinação de sublimiar, mas os dispositivos de múltiplas portas e sem junções são os mais próximos do limite teórico de S (AKARVARDAR et al., 2007).

2.4.3 Transcondutância

A transcondutância é um parâmetro associado ao controle da porta sobre a corrente de dreno, sendo definido como a variação na corrente de dreno provocada pelo aumento da tensão de porta. Através do valor máximo da transcondutância (g_{mmax}) é possível determinar a mobilidade máxima alcançada pelo transistor. A forma de calcular a transcondutância é apresentada na equação (10) (COLINGE, 2002):

$$g_m = \frac{dI_{DS}}{dV_{GS}} = \mu C_{ox} \frac{W}{L} (V_{DS}) \quad (10)$$

2.4.4 Condutância de Saída

Similarmente à transcondutância, a condutância de saída representa a variação na corrente de dreno devido à variação da tensão de dreno sendo, portanto, a inclinação da curva I_{DS} - V_{DS} na região de saturação. A equação da condutância de saída é apresentada em (11) (COLINGE, 2002):

$$g_D = \frac{dI_{DS}}{dV_{DS}} \quad (11)$$

2.4.5 Mobilidade

A mobilidade de elétrons e lacunas é definida como a velocidade média devido à aplicação de um campo elétrico, significando a movimentação dos portadores em um cristal semicondutor. Essa movimentação é deteriorada pelo fenômeno de espalhamento devido a diferentes fatores, incluindo o aumento da temperatura. Nessa seção serão definidos os tipos de espalhamento e sua influência na mobilidade resultante.

2.4.5.1 Espalhamento Fônon

O espalhamento fônon, ou em inglês *lattice scattering*, é provocado pela vibração da rede cristalina do semicondutor, afetando a movimentação dos portadores. A temperatura está diretamente relacionada à vibração do cristal, significando que quanto maior a temperatura, maior a frequência de vibração da rede, causando redução na mobilidade (BLUDAU,

ONTON, HEINKE, 1974). Esse fenômeno ocorre de maneira semelhante para elétrons e lacunas e é independente do campo elétrico, sendo expresso pela equação (12):

$$\mu_{psx} = \frac{1}{\frac{1}{\mu_{0xa} \cdot \left(\frac{T}{300}\right)^{-\alpha_x}} + \frac{1}{\mu_{0xb} \cdot \left(\frac{T}{300}\right)^{-\beta_x}}} \quad (12)$$

Sendo que o índice x pode se referir a elétrons ou lacunas substituindo-o por e ou h . No caso de elétrons, $\mu_{0ea}=4195 \text{ cm}^2/\text{Vs}$; $\mu_{0eb}=2153 \text{ cm}^2/\text{Vs}$; $\alpha_e=1,5$ e $\beta_e=3,13$. No caso de lacunas, $\mu_{0ha}=2502 \text{ cm}^2/\text{Vs}$; $\mu_{0hb}=591 \text{ cm}^2/\text{Vs}$; $\alpha_h=1,5$ e $\beta_h=3,25$.

2.4.5.2 Espalhamento por Impurezas Ionizadas

O espalhamento por impurezas ionizadas está relacionado à alta concentração de dopantes. Com isso, o aumento da temperatura, por provocar aumento do número de portadores ionizados, causa redução na mobilidade resultante. Logo, esse tipo de espalhamento não é proporcional ao campo elétrico. Pode-se encontrar uma equação que descreva ao mesmo tempo os mecanismos de espalhamento por impurezas ionizadas e fônon (CAUGHEY, THOMAS, 1967), sendo sua definição dada pela equação (13).

$$\mu_{psix} = \mu_{\min,x} + \frac{\mu_{psx} - \mu_{\min,x}}{1 + \left(\frac{N_A^-}{N_{\text{ref},x}}\right)^{\alpha_{ax}}} \quad (13)$$

Sendo que o índice x pode se referir a elétrons ou lacunas substituindo-o por e ou h . No caso de elétrons, $\mu_{\min,e}=197,17-45,505.\log(T)$; $N_{\text{ref},e}=1,12.10^{17} \cdot (T/300)^{3,2}$ e $\alpha_{ae}=0,72 \cdot (T/300)^{0,065}$. No caso de lacunas, $\mu_{\min,h}=110,90-25,597.\log(T)$; $N_{\text{ref},h}=2,23.10^{17} \cdot (T/300)^{3,2}$ e $\alpha_{ah}=0,72 \cdot (T/300)^{0,065}$.

2.4.5.3 Espalhamento Portador-Portador

O espalhamento portador-portador (*carrier-to-carrier scattering*) se torna relevante em dispositivos com alta densidade de portadores em relação ao número de dopantes, ou que possuem baixo volume da região de silício. Também há dependência com o tipo de impureza

presente no semicondutor e como os portadores interagem entre si. Em altas temperaturas, a interação entre os portadores é alta, causando redução da mobilidade. A equação (14) define a mobilidade considerando o espalhamento portador-portador (DORKEL, LETURCQ, 1980).

$$\mu_{CC} = \frac{2 \cdot 10^{17}}{\sqrt{N_{A,D}} \cdot \ln \left(1 + 8,28 \cdot 10^8 \cdot T^2 \cdot N_{A,D}^{-\frac{1}{3}} \right)} \quad (14)$$

2.4.5.4 Espalhamento por Impurezas Neutras

O mecanismo de espalhamento por impurezas neutras se faz presente quando em baixas temperaturas, situação em que a ionização dos portadores ainda não ocorreu. Este espalhamento apenas se torna relevante quando a concentração de impurezas neutras é superior a 10^{18} cm^{-3} e em baixas temperaturas, como descrito pela equação (15):

$$\mu_{nix} = C_0 \cdot \left(\frac{2}{3} \sqrt{\frac{kT}{E_{ni,x}}} + \frac{1}{3} \sqrt{\frac{E_{ni,x}}{kT}} \right) \quad (15)$$

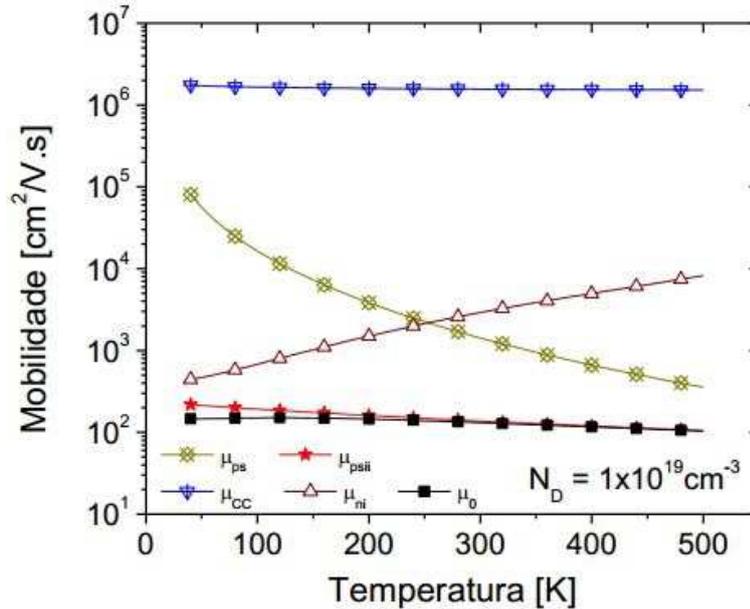
onde $C_0 = \frac{2\pi^3 q^3 m_{cx}^*}{5\epsilon_{Si} h^3 (N_{A,D} - N_{A,D}^-)}$ e $E_{ni,x} = 1,136 \cdot 10^{-19} \cdot \left(\frac{m_{cx}^*}{m_0} \right) \cdot \left(\frac{\epsilon_0}{\epsilon} \right)$. Sendo que o índice x pode se referir a elétrons ou lacunas substituindo-o por e ou h e m_{cx}^* é a massa efetiva de condução de elétrons ou de lacunas e m_0 é a massa do elétron.

2.4.5.5 Mobilidade independente do campo elétrico resultante

A mobilidade resultante leva em conta o mecanismo de espalhamento por impurezas ionizadas, que inclui o espalhamento fônon, o mecanismo de espalhamento portador-portador e o espalhamento por impurezas neutras, sendo todos independentes do campo elétrico, mas influenciados pela temperatura, podendo-se verificar essa influência pela curva da Figura 9. Assim, a equação que representa a mobilidade resultante se dá pela equação (16):

$$\mu_0 = \frac{1}{\frac{1}{\mu_{psii}} + \frac{1}{\mu_{CC}} + \frac{1}{\mu_{ni}}} \quad (16)$$

Figura 9 – Curva das componentes de mobilidade em função da temperatura



Fonte: Doria, 2013

2.4.5.6 Espalhamento por Rugosidade de Superfície

Esse tipo de espalhamento ocorre devido a flutuações na interface entre heterojunções ou entre o óxido e o semicondutor, limitando a mobilidade proporcionalmente ao campo elétrico. Quanto maior o campo aplicado, mais os portadores são atraídos para a superfície Si-SiO₂, dificultando sua movimentação devido aos defeitos de interface (VASILESKA, FERRY, 1997), sendo independente da temperatura. Portanto, a mobilidade efetiva (μ_{eff}) só se torna relevante para polarizações altas de porta e dreno, sendo calculada pela equação (17). Em transistores sem junções, a degradação causada pelas imperfeições na interface só ocorre na presença da camada de acumulação na interface entre silício e óxido de porta, ou seja, quando a tensão de porta ultrapassa V_{FB} .

$$\mu_{\text{eff}} = \frac{\mu_0}{1 + \alpha_S |E_{\text{eff}}|} \quad (17)$$

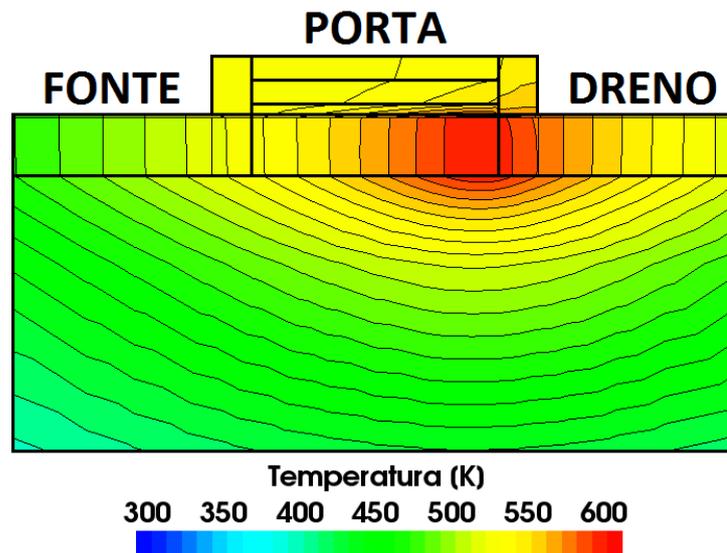
Onde α_S é a constante de espalhamento e E_{eff} é o campo elétrico médio no canal nas direções vertical e lateral.

2.5 AUTOAQUECIMENTO E SEUS EFEITOS NAS PROPRIEDADES ELÉTRICAS

A diferença entre a condutividade térmica do silício e do dióxido de silício é da ordem de 100 vezes: 148 W/mK para o silício, e 1,4 W/mK para o SiO₂. Isso faz com que a tecnologia SOI seja fortemente suscetível ao autoaquecimento, devido à presença de óxido cercado as superfícies da camada de silício. A intensidade do aumento de temperatura está fortemente relacionada à proporção entre a espessura da camada de silício e a espessura do óxido enterrado. Logo, para transistores que possuem camada de silício fina e óxido enterrado espesso, a ocorrência de autoaquecimento é elevada (POP, DUTTON, GOODSON, 2003).

Também se tem o conhecimento de que a concentração majoritária de calor acontece na região de canal próximo ao dreno e à porta, como apresentado na simulação de um transistor sem junções da Figura 10, e que em nanofios transistores MOS a dissipação ocorre principalmente pelo dreno e a fonte e não pelo material de porta (OTA et al., 2012). Logo, é possível testar a influência de parâmetros estruturais e de polarização no autoaquecimento desses dispositivos utilizando diferentes variações de medidas tanto na porta como no dreno.

Figura 10 – Corte transversal de um transistor sem junções com presença de autoaquecimento

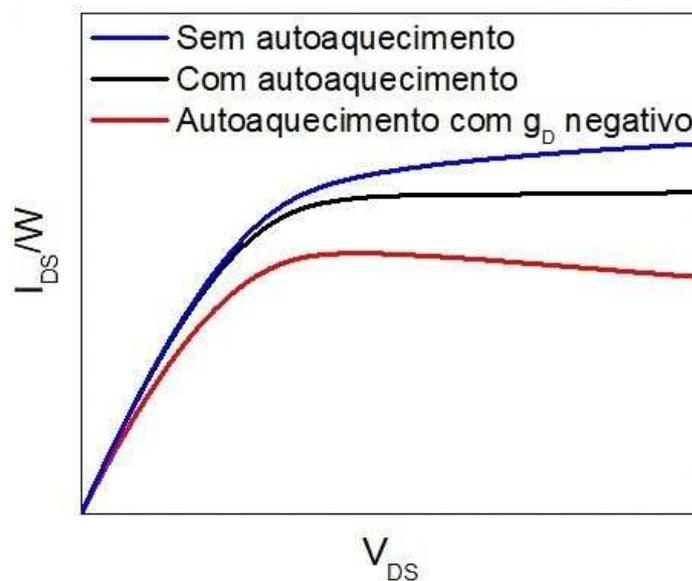


Fonte: Autor

Com a geração de calor devido a efeito Joule pela condução de corrente e a dificuldade de dissipação de calor, o aumento da temperatura causa degradações na mobilidade e conseqüentemente na corrente de dreno. Essa degradação está relacionada aos mecanismos de espalhamento que possuem dependência com a temperatura, mencionados na seção anterior.

Em casos onde o aumento de temperatura é muito intenso, a redução de corrente pode inverter a inclinação da curva I_{DS} - V_{DS} na saturação, resultando em condutância de saída (g_D) negativa (GOEL, TAN, 2006). A Figura 11 ilustra o comportamento da corrente em função da tensão de dreno, com mesma tensão de porta, em diferentes condições de temperatura. Existe, porém, a possibilidade de se ter benefícios na presença de autoaquecimento em alguns parâmetros analógicos, como o ganho intrínseco $\left(A_v = \frac{g_m}{g_D}\right)$: com uma temperatura controlada, a redução de g_D (curva preta) pode ser superior à redução de g_m , causando aumento do ganho intrínseco. No caso de inclinação negativa de I_{DS} , em que g_D é negativo (curva vermelha), esse benefício não é observado e a aplicação analógica do transistor não é válida.

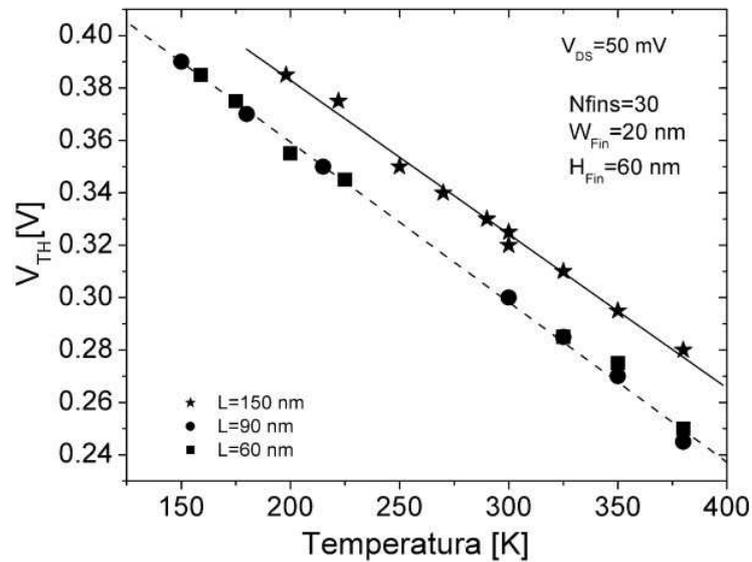
Figura 11 – Efeito de autoaquecimento ilustrado na corrente de dreno da curva I_{DS} - V_{DS}



Fonte: Autor

O aumento de temperatura traz também consequências em outras características elétricas dos transistores: a tensão de limiar sofre redução (em nMOS) com o aumento de temperatura devido à dependência com esta dos termos Φ_F , d_{max} e n_i . A influência da temperatura na tensão de limiar em FinFETs é exposta na Figura 12 (PAVANELLO et al., 2009). Com isso, sendo a equação de I_{DS} proporcional a $(V_{GS}-V_{TH})$, a redução de V_{TH} provoca aumento na corrente de dreno para baixa polarização, causando aumento também da corrente de desligamento. Para polarizações altas, a redução da mobilidade supera o aumento de $(V_{GS}-V_{TH})$, causando redução da corrente de estado ligado (GOEL, TAN, 2006).

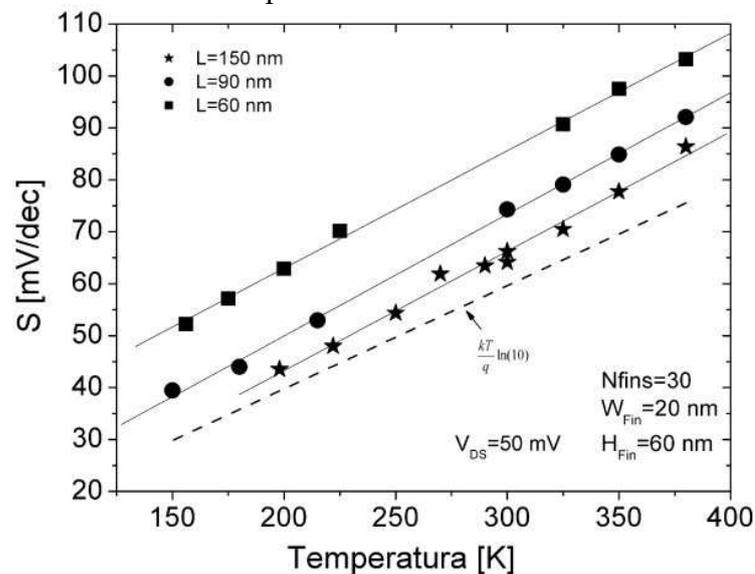
Figura 12 – Curvas de redução da tensão de limiar em função do aumento da temperatura em FinFETs



Fonte: Pavanello, 2009

A inclinação de sublimiar também é alterada com o aumento da temperatura. Há uma dependência direta de S com a temperatura, como evidenciado pela expressão que calcula esse parâmetro, exposta anteriormente. A Figura 13 apresenta o aumento de S causado pelo aumento da temperatura em FinFETs. Também foi constatada influência da temperatura em efeitos bipolares parasitários, em especial com a redução do comprimento de canal (DALLMANN, 1995).

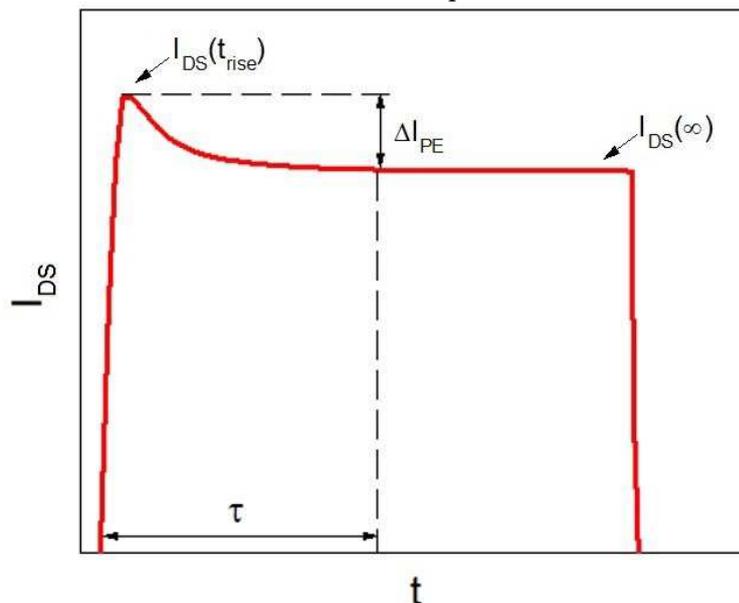
Figura 13 – Curvas de aumento da inclinação de sublimiar em função do aumento da temperatura em FinFETs



Fonte: Pavanello, 2009

Os efeitos de autoaquecimento são verificados não só em estado estacionário, mas também em regime transitório. É possível verificar a redução na corrente de dreno ao longo do tempo através da aplicação de um pulso de tensão e análise do transitório de corrente. Com isso, pode-se obter o tempo necessário para o dispositivo aquecer a ponto de causar a degradação máxima na corrente, quando já não há mais redução de I_{DS} com o tempo, sendo esse valor denominado constante de tempo de autoaquecimento (τ) (YASUDA et al., 1991) e observado na Figura 14, onde $I_{DS}(t_{rise})$ é o valor da corrente no tempo de t_{rise} , logo após a subida, $I_{DS}(\infty)$ é a corrente em que não há mais degradação com o tempo, ΔI_{PE} é a variação entre a corrente de pico ($I_{DS}(t_{rise})$) e a corrente após a degradação ($I_{DS}(\infty)$) e a variação máxima de corrente em relação ao pico determina o valor de τ .

Figura 14 – Efeito de autoaquecimento ilustrado no transitório de corrente de dreno e constante de autoaquecimento



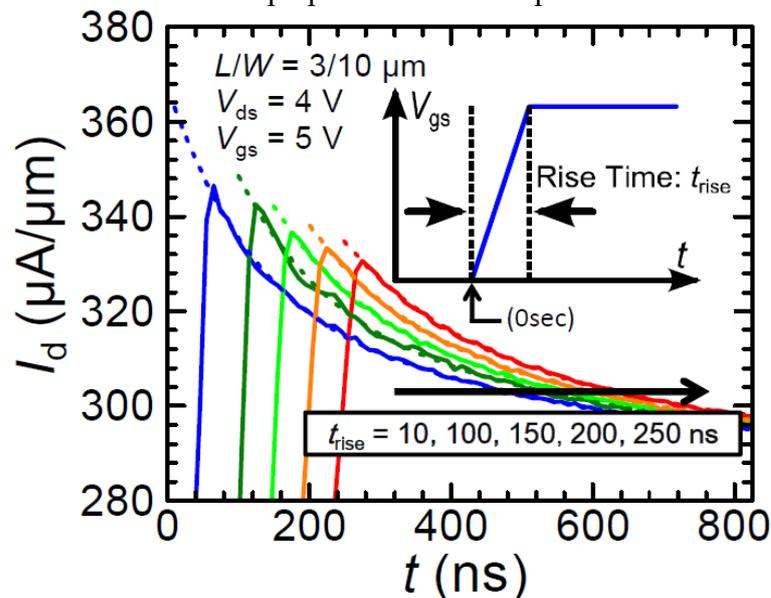
Fonte: Autor

O motivo de circuitos analógicos serem mais suscetíveis a efeitos de autoaquecimento do que circuitos digitais está relacionado à constante de tempo de autoaquecimento, que em geral é alta quando comparada ao período de chaveamento do último, enquanto que em circuitos analógicos a polarização é geralmente em corrente contínua ou em sinais alternados não discretos, em que a constante de tempo tem impacto na resposta de frequência de pequenos sinais (TENBROEK et al., 1998). Com isso, é possível analisar o comportamento de um transistor que sofre de autoaquecimento sem a influência da temperatura através de medidas pulsadas com tempos de transição inferiores à constante de tempo de

autoaquecimento. Isso é feito aplicando uma série de pulsos na porta variando, para cada pulso, a tensão DC no dreno e fazendo a aquisição da corrente de dreno no pico dos pulsos após a subida, antes que a redução seja observada. Pode-se, assim, criar uma curva $I_{DS}-V_{DS}$ com valores de corrente sem autoaquecimento e comparar, com uma curva DC, o desempenho do transistor com e sem a presença de SHE.

Os valores de corrente que melhor representam o comportamento sem degradação devido à temperatura são obtidos quanto menor o tempo de subida utilizado na medida. Ao se aumentar o tempo de subida do pulso, um padrão de variação do pico de corrente como o da Figura 15 é observado, sendo estudos experimentais com medidas pulsadas na porta de transistores SOI (BEPPU, ODA, UCHIDA, 2012). O motivo desta tendência está no autoaquecimento ocorrendo durante a subida do pulso: para os tempos de subida maiores o transistor aquece por mais tempo até chegar ao estado estável do que quando se aplica subidas rápidas.

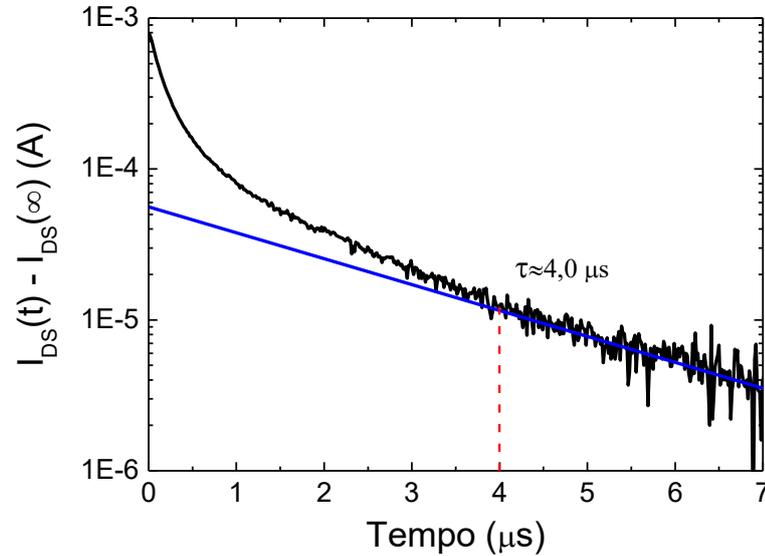
Figura 15 – Variação da degradação de corrente no tempo para diversos tempos de subida



Fonte: Beppu, 2012

A extração da constante de tempo de autoaquecimento pode ser feita através da análise da variação entre a corrente em função do tempo e o valor de corrente no infinito, ou seja, quando em estado estável. Observando essa variação em escala logarítmica e em função do tempo, obtém-se a curva da Figura 16. O ponto no tempo onde a variação de corrente apresenta característica linear é definido como a constante de tempo de autoaquecimento τ (YASUDA et al., 1991).

Figura 16 – Curva para obtenção da constante de tempo de autoaquecimento através da degradação da corrente de dreno no tempo



Fonte: Autor

Também é possível determinar o valor da constante de tempo de autoaquecimento através da equação 18, para transistores SOI planares, que mostra a forte influência da arquitetura e da geometria do dispositivo no autoaquecimento.

$$\tau = \frac{t_{\text{BOX}}}{k_{\text{SiO}_2}} \left[\rho_{\text{SiO}_2} c_{\text{SiO}_2} \left(t_{\text{pass}} + \frac{1}{2} t_{\text{BOX}} \right) + \rho_{\text{Si}} c_{\text{Si}} \left(t_{\text{Si}} + \frac{1}{L + 2\alpha\Lambda} t_{\text{porta}} \right) \right] \quad (18)$$

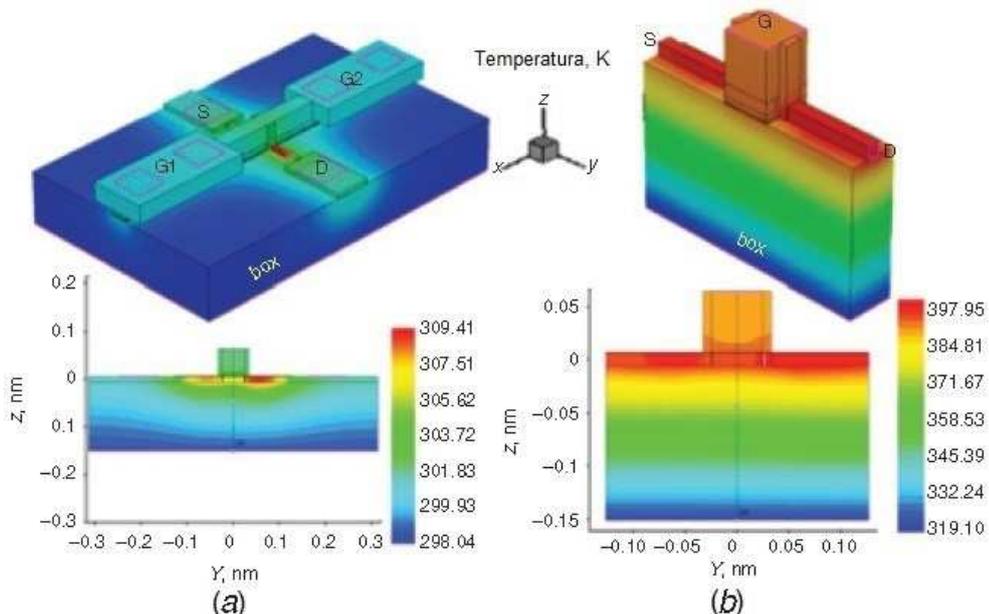
Onde k_{SiO_2} é a condutividade térmica do óxido, ρ_{SiO_2} e ρ_{Si} são a densidade do óxido e do silício, respectivamente, c_{SiO_2} e c_{Si} são os calores específicos do óxido e do silício, respectivamente, t_{pass} é a espessura do óxido de passivação, t_{porta} é a espessura do eletrodo de porta e $\alpha\Lambda$ é o comprimento do decaimento da temperatura nas regiões de fonte e dreno (YASUDA et al., 1991).

Além da análise através de medidas pulsadas, existem outros métodos de verificação do autoaquecimento em transistores MOS, alguns deles utilizando estruturas vizinhas ao transistor como um sensor de temperatura (MAUTRY, TRAGER, 1989). O método de extração da resistência de porta utiliza a estrutura com 4 terminais de porta para medir a resistência elétrica do metal de porta, uma vez que esta é dependente da temperatura do transistor, assumindo que a temperatura na porta é equivalente à temperatura média no canal. Com a polarização da porta e do dreno e aplicação de um pequeno sinal de corrente pelos contatos externo, é possível obter a resistência da porta medindo a diferença de potencial nos contatos internos. Como há condução de corrente de dreno no transistor, há um aumento de

temperatura no canal, que ocorre também na porta. Analisando a variação entre a resistência elétrica na porta à temperatura ambiente e após o aquecimento, determina-se o aumento de temperatura no canal.

Porém, para o funcionamento correto dessa técnica é necessário que haja compatibilidade entre as temperaturas observadas no canal e na porta, podendo-se assumir que a resposta observada no metal de porta representa o comportamento térmico do canal. A Figura 17 apresenta uma comparação do perfil térmico simulado de transistores de porta tripla com e sem a estrutura de porta usada para extração da resistência na porta. No primeiro caso, na Figura 17 (a), com a presença da estrutura, pode-se observar divergência entre as temperaturas do canal e da porta, que resultaria em imprecisão na análise do autoaquecimento no canal pela porta. Já no caso da Figura 17 (b), a temperatura da porta apresenta pouca variação em relação à alta temperatura no canal.

Figura 17 – Vista 3D de transistores de porta tripla com e sem estrutura com 4 terminais de porta com temperatura em escala de cores



Fonte: Mariniello, 2016

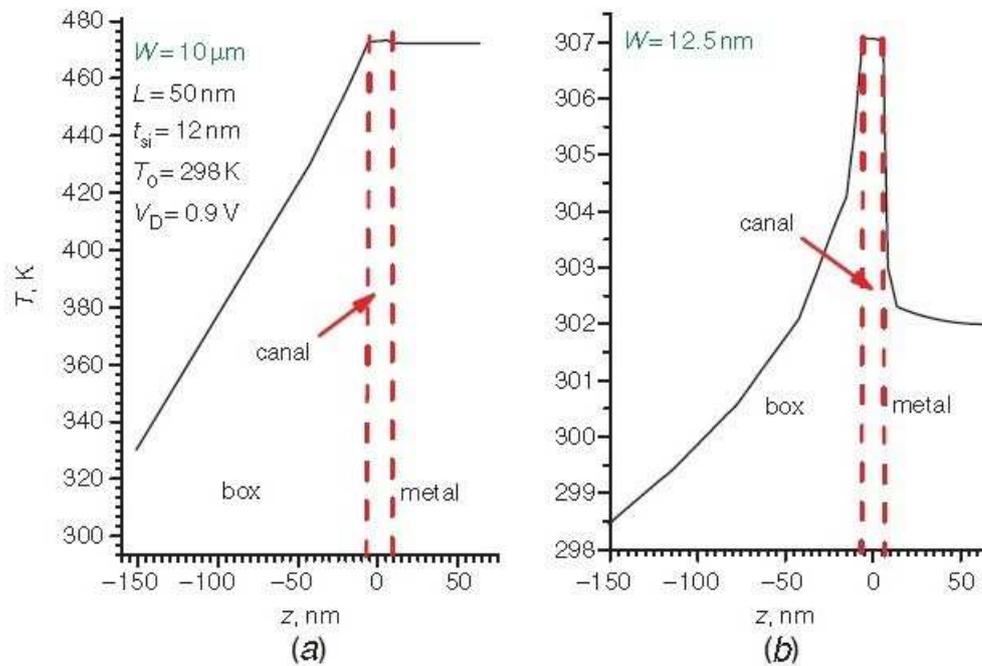
Legenda: (a) Estrutura com 4 terminais de porta;
(b) Estrutura de porta minimizada.

Já foi observado em estudos anteriores (MARINIELLO et al., 2016) que em nanofios transistores de porta-tripla modo inversão, a utilização de uma estrutura de porta com grandes dimensões pode causar diferença entre a resistência térmica extraída na porta e a resistência térmica presente no canal, devido à dissipação de calor pela estrutura de porta, fazendo com

que a caracterização do autoaquecimento seja subestimada. A ocorrência desse efeito está relacionada à área da região de canal em relação à área da estrutura de porta.

Na Figura 18 são exibidas curvas de temperatura em função da posição no eixo z para transistores de porta tripla com largura de canal grande e pequena, possuindo a estrutura com 4 terminais de porta. Enquanto o transistor com canal largo tem a temperatura no metal de porta igual à do canal, o transistor estreito apresenta variação entre as temperaturas do canal e da porta, sendo a mesma simulação da Figura 17 (a), em que parte do calor foi dissipado pelo metal de porta.

Figura 18 – Temperatura em função da posição no eixo z de transistores de porta tripla com estrutura de 4 terminais de porta com diferentes larguras de canal



Fonte: Mariniello, 2016

Legenda: (a) Transistor com largura de canal de $10 \mu\text{m}$;
(b) Transistor com largura de canal de $12,5 \text{ nm}$.

3 SIMULAÇÃO DO AUTOAQUECIMENTO

Neste capítulo serão apresentados e discutidos os resultados de simulação obtidos na análise do autoaquecimento em dispositivos sem junções com diferentes estruturas, a fim de se ter uma compreensão do comportamento dos transistores operando em temperatura elevada e criar diferentes variações de parâmetros dos quais não se tem acesso em medidas experimentais, para verificar sua influência no resultado final. Com isso, foram testadas duas estruturas de porta tripla, sendo variações de amostras reais usadas para definição das dimensões físicas. Essas estruturas foram submetidas a tensões DC e pulsos de tensão aplicados à porta e ao dreno a fim de caracterizar diversos parâmetros relacionados ao autoaquecimento. Os apêndices A a D apresentam os códigos utilizados no simulador para criação da estrutura e simulação das curvas DC e pulsada.

3.1 SIMULADOR

Para realizar as simulações tridimensionais necessárias para prever os comportamentos e testar diferentes métodos de medida, servindo como base de comparação com os resultados experimentais, é utilizado o simulador numérico *Sentaurus Device Simulator* (SDEVICE), uma das ferramentas da *Synopsys Data Systems* (SYNOPSYS, 2016). Este módulo especifica os modelos analíticos que descrevem os efeitos físicos de interesse. A solução é dada através do método de elementos finitos, onde é definida uma grade de pontos e em cada ponto é feita a solução de equações de Poisson e de continuidade, até alcançar o resultado.

Em conjunto com este, é utilizado o módulo *Sentaurus Structure Editor* (SYNOPSYS, 2016), para criação de estruturas através de sua geometria, dimensões, tipos de materiais e suas características, como concentração de dopantes. Também são utilizadas ferramentas auxiliares, como o *Sentaurus Visual*, para visualização de estruturas e grades criadas e o *Inspect*, que permite analisar os resultados de simulação em forma de gráficos e salvá-los individualmente em formato de tabela.

Para descrever com maior precisão os fenômenos físicos atuantes na operação dos transistores, os seguintes modelos foram incluídos nas simulações:

a) *HighFieldSaturation*:

- Este modelo, proposto por Canali (CANALI et al., 1975) faz com que seja considerada a velocidade de saturação como fator limitante da movimentação dos portadores

quando na presença de alto campo-elétrico, tendo o campo elétrico lateral maior influência na mobilidade resultante;

b) *PhuMob*:

- Este modelo trata da mobilidade de baixo campo, tornando-a dependente da temperatura e suscetível aos mecanismos de espalhamento que provocam degradação da mobilidade dos portadores. O modelo foi proposto por Klaassen (KLAASSEN, 1992);

c) *IALMob*:

- Este modelo descreve a degradação da mobilidade nas camadas de inversão e acumulação, baseado nos modelos PhuMob e Lombardi. Os espalhamentos por fônon, Coulomb e por rugosidade de superfície são levados em conta (MUJTABA, 1995);

d) *Enormal*:

- Este modelo inclui os efeitos provocados pelo campo elétrico transversal no comportamento dos portadores. Com isso, há maior influência do contato entre os portadores e as superfícies acima da região ativa. Como consequência, há o aumento da degradação por rugosidade de superfície (LOMBARDI et al., 1988);

e) *BandGapNarrowing*:

- Este modelo considera o estreitamento da faixa proibida devido à concentração de dopantes e à temperatura, sendo importante quando se pretende estudar o autoaquecimento;

f) *Thermodynamic*:

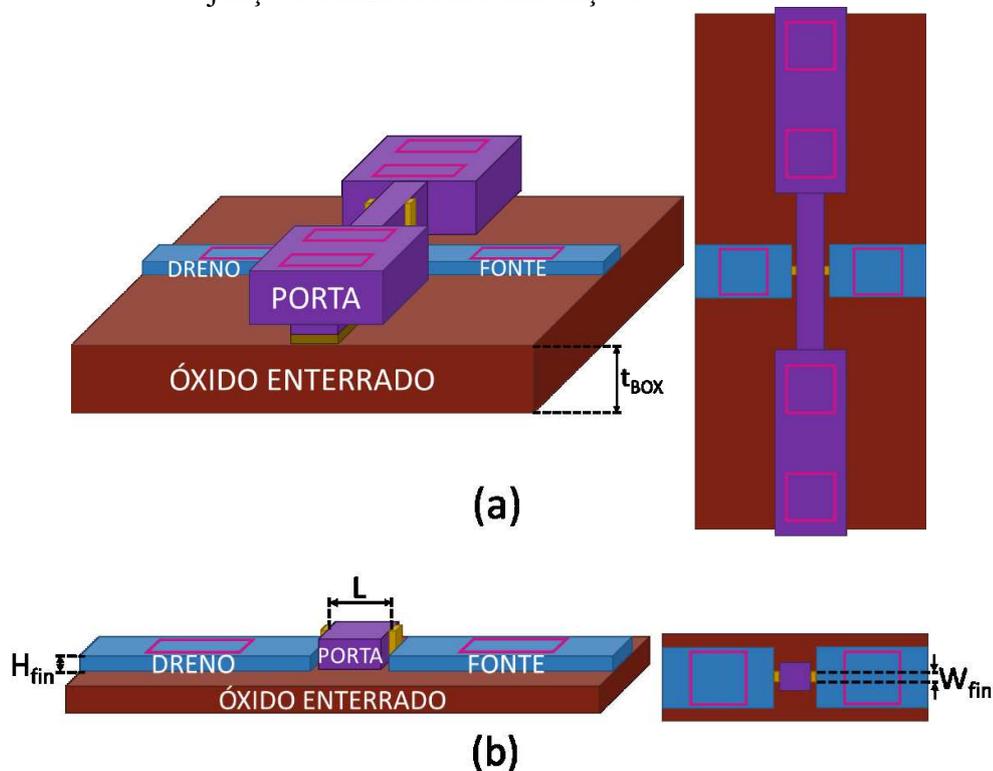
- Este modelo leva em conta o aumento da temperatura no dispositivo em cada ponto da grade de simulação. Com isso, a distribuição de calor devido ao autoaquecimento é calculada ao longo de toda a estrutura simulada (WACHUTKA, 1989). Por fim, as equações de Poisson e de continuidade são alteradas para incluir o gradiente de temperatura.

3.2 AUTOAQUECIMENTO EM REGIME ESTACIONÁRIO

Na etapa de simulação, os dispositivos utilizados foram nanofios transistores MOS sem junções com duas estruturas de porta diferentes. O primeiro deles, apresentado na Figura 19 (a), foi criado a partir da modificação de um dispositivo MOS de porta tripla modo

inversão já existente que possui na porta uma espessa camada de silício policristalino com 4 contatos, que é geralmente utilizada para caracterizar o autoaquecimento através do método da resistência de porta com estrutura de 4 terminais. O segundo dispositivo, apresentado na Figura 19 (b), possui as mesmas características físicas do anterior com exceção da porta, que tem área do silício policristalino minimizada somente cobrindo o *fin*. Ele foi criado com o objetivo de, através de comparação com a estrutura com 4 terminais de porta, verificar a influência da grande área de porta na dissipação de calor do canal e a precisão da extração do autoaquecimento pela resistência de porta nesse transistor.

Figura 19 – Esquemático e vista superior dos transistores MOS sem junções utilizados nas simulações



Fonte: Autor

Legenda: (a) Estrutura com 4 terminais de porta;

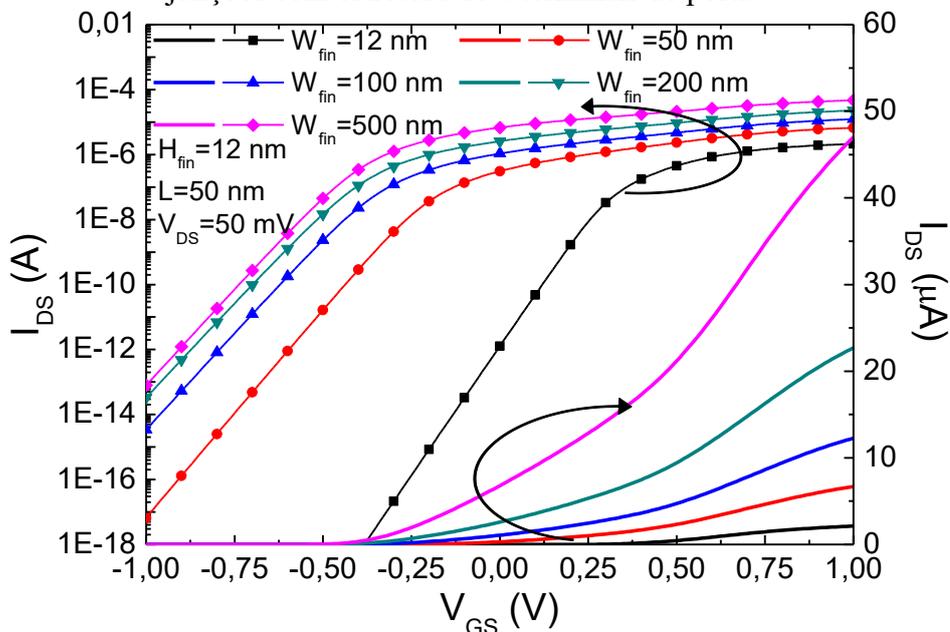
(b) Estrutura de porta minimizada.

As estruturas simuladas possuem as seguintes características físicas: comprimento de canal de 50 nm, largura do *fin* variando de 12 a 500 nm e altura do *fin* variando de 12 a 100 nm. A porta é composta por 50 nm (na estrutura de 4 terminais de porta) ou 5 nm (na estrutura de porta minimizada) de silício policristalino e 5 nm de TiN. O óxido enterrado tem 145 nm de espessura e o isolante de porta é composto por 2,1 nm de HfSiON e 0,6 nm de dióxido de silício, resultando em uma espessura equivalente de óxido de 1,25 nm. A concentração de

dopantes utilizada no canal foi de $5 \cdot 10^{18} \text{ cm}^{-3}$ de Arsênio. Os contatos térmicos, definidos no código de simulação, foram considerados como tendo a mesma resistividade térmica na porta, fonte, dreno e substrato com valor igual a $1,25 \cdot 10^{-4} \text{ cm}^2\text{K/W}$, obtido através de ajustes da simulação com resultados experimentais (MARINIELLO et al., 2016). O objetivo dessa abordagem é fixar a temperatura dos contatos do transistor, representando o mundo externo, enquanto os outros materiais tem temperatura flutuante e dependente das condições de polarização. Adicionalmente, foi considerada uma configuração de auto-orientação para alterar os valores de mobilidade devido à orientação cristalina nas interfaces Si-SiO₂ do canal com a porta, tal que a mobilidade nas interfaces laterais seja reduzida em relação à mobilidade na interface superior.

Primeiro, foi realizada uma simulação I_{DS} - V_{GS} isotérmica com baixo V_{DS} , cujo resultado é exposto na Figura 20, para extração de parâmetros básicos como inclinação de sublimiar, transcondutância máxima e tensão de limiar, extraída pelo método g_m/I_{DS} , sendo seu conhecimento necessário para as próximas etapas de simulação. Esses resultados são expostos na Tabela 1.

Figura 20 – Curva simulada da corrente de dreno em função da tensão de porta para diferentes larguras de fin do transistor sem junções com estrutura de 4 terminais de porta



Fonte: Autor

Legenda: Linhas: Corrente de dreno em escala linear;

Linhas com símbolos: Corrente de dreno em escala logarítmica.

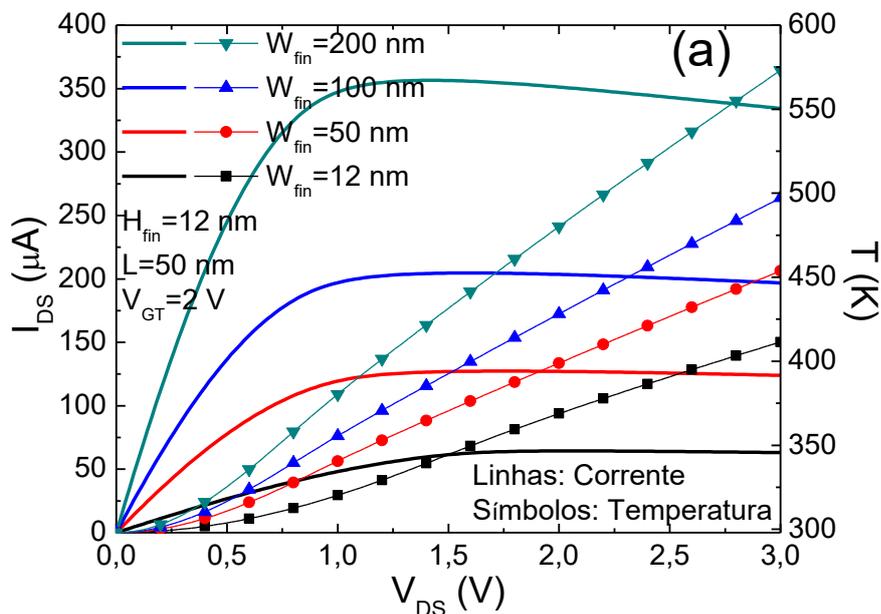
Tabela 1 – Parâmetros extraídos das curvas simuladas do transistor sem junções com 4 terminais de porta

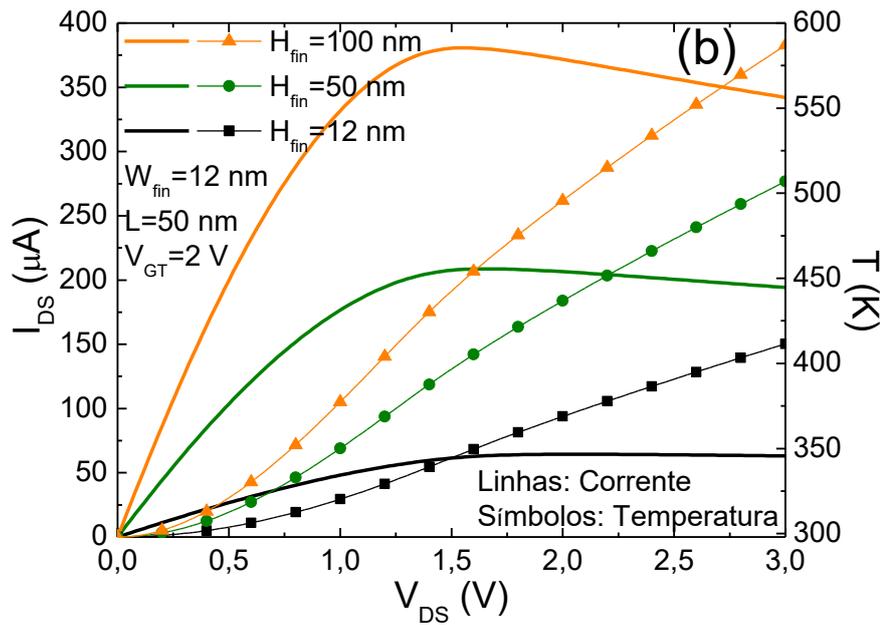
H_{fin} (nm)	12					50	100
W_{fin} (nm)	12	50	100	200	500	12	
V_{TH} (V)	0,33	-0,18	-0,31	-0,34	-0,36	0,25	0,24
S (mV/dec)	62,35	77,66	84,15	86,24	84,32	61,76	61,5
g_m (S)	$4,36 \cdot 10^{-5}$	$9,8 \cdot 10^{-6}$	$1,67 \cdot 10^{-5}$	$2,94 \cdot 10^{-5}$	$5,85 \cdot 10^{-5}$	$1,47 \cdot 10^{-5}$	$2,82 \cdot 10^{-5}$

Fonte: Autor

A fim de avaliar o impacto do autoaquecimento na corrente de dreno, foram simuladas curvas I_{DS} - V_{DS} variando a largura e altura do *fin*. A temperatura foi extraída no centro do canal nos três eixos e a sobretensão ($V_{GT}=V_{GS}-V_{TH}$) utilizada foi de 2 V. Os resultados são apresentados na Figura 21, que apresenta a curva da corrente de dreno e da temperatura em função da tensão de dreno. Conforme se aumenta as dimensões do canal é observado aumento da temperatura para mesma polarização de dreno, que é traduzida na característica I_{DS} - V_{DS} pela degradação da corrente na saturação. Os resultados também mostram que o transistor com W_{fin} de 200 nm apresenta níveis de corrente e temperatura similares ao transistor com H_{fin} de 100 nm, que tem metade do volume da região de canal, mas mesma área de condução de corrente, mostrando que a altura no transistor de porta tripla tem o dobro da importância da largura ao se tratar da potência elétrica e térmica dissipada (BERGAMASCHI, 2017).

Figura 21 – Curvas simuladas da corrente de dreno e temperatura em função de V_{DS} variando as dimensões do transistor sem junções com estrutura de 4 terminais de porta





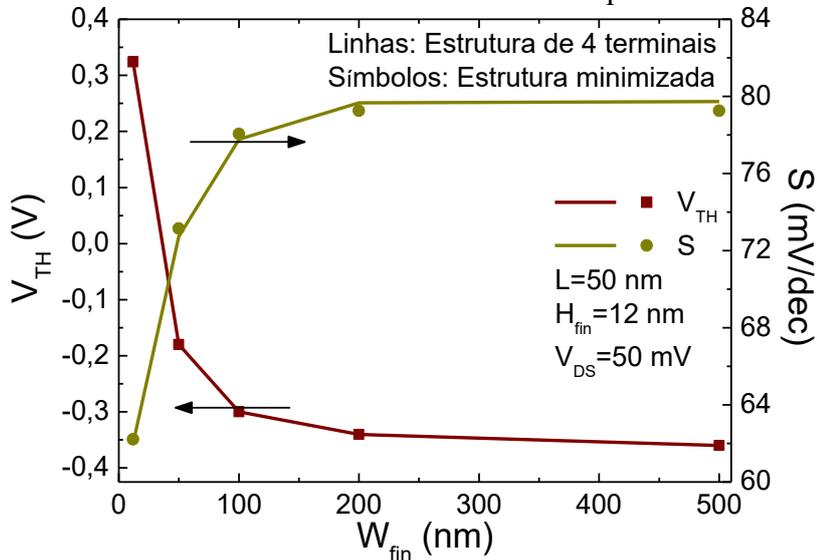
Fonte: Autor

Legenda: (a) Curvas variando a largura do fin ;

(b) Curvas variando a altura do fin .

Na segunda etapa de simulações, almejava-se analisar a influência da estrutura de porta utilizada no comportamento térmico do dispositivo, em relação à capacidade de se estimar a resistência térmica do canal através da porta. Assim, foram realizadas simulações nos dois tipos de dispositivo mencionados anteriormente: o transistor sem junções com estrutura de porta de 4 terminais e transistor sem junções com estrutura de porta minimizada. Simulando curvas I_{DS} - V_{GS} nos dois transistores, pode-se observar na Figura 22 que a estrutura

Figura 22 – Tensão de limiar e inclinação de sublimiar em função da largura do fin para as duas estruturas simuladas sem modelo de autoaquecimento

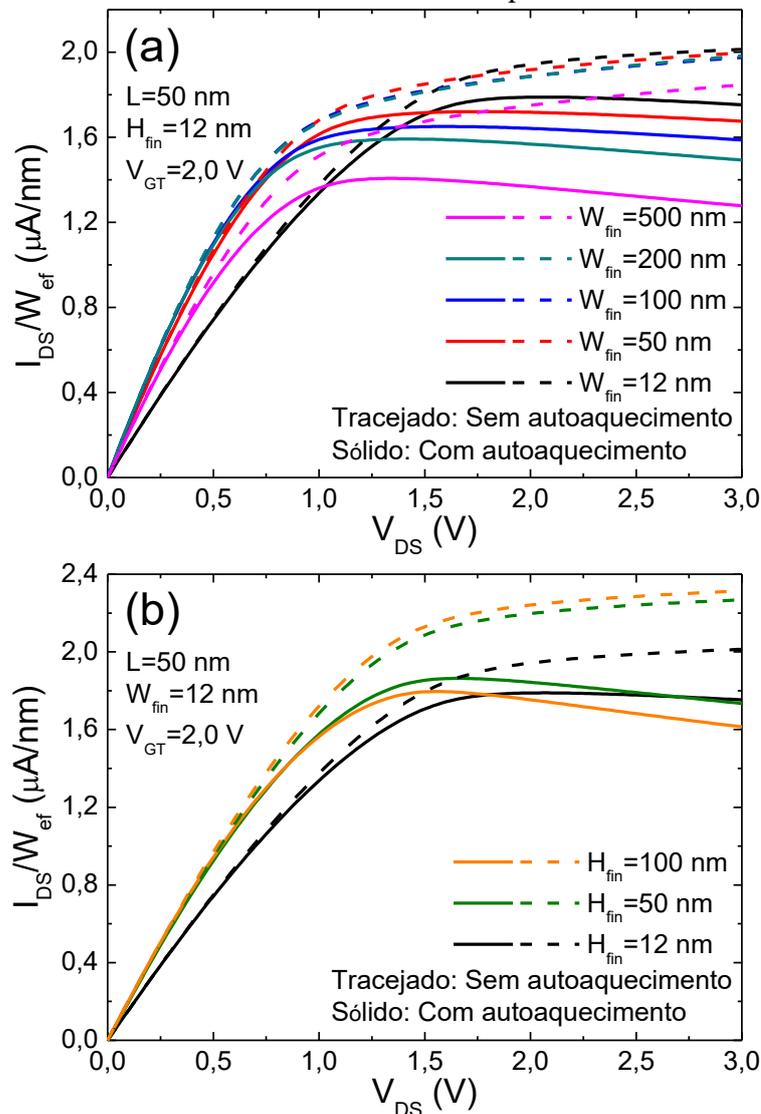


Fonte: Autor

de porta utilizada não provoca alteração nas características elétricas dos transistores antes de a temperatura ser levada em conta, tendo ambos os transistores mesmo V_{TH} e S .

Foi realizado também outro conjunto de simulações I_{DS} - V_{DS} no transistor com estrutura de 4 terminais, apresentadas na Figura 23, onde a corrente foi normalizada pela largura efetiva de canal ($2H_{fin} + W_{fin}$), eliminando sua influência na corrente, acrescentando também simulações sem considerar os modelos físicos de temperatura, obtendo-se curvas isotérmicas, a fim de constatar a degradação da corrente devido ao autoaquecimento. Sem a influência das dimensões na corrente é mais fácil perceber o aumento da temperatura causado pelo crescimento de W_{fin} , visto que os transistores mais largos tem corrente mais degradada.

Figura 23 – Curvas simuladas de corrente de dreno sobre largura efetiva de porta em função da tensão de dreno com e sem autoaquecimento



Fonte: Autor

Legenda: (a) Curvas variando a largura do fin ;

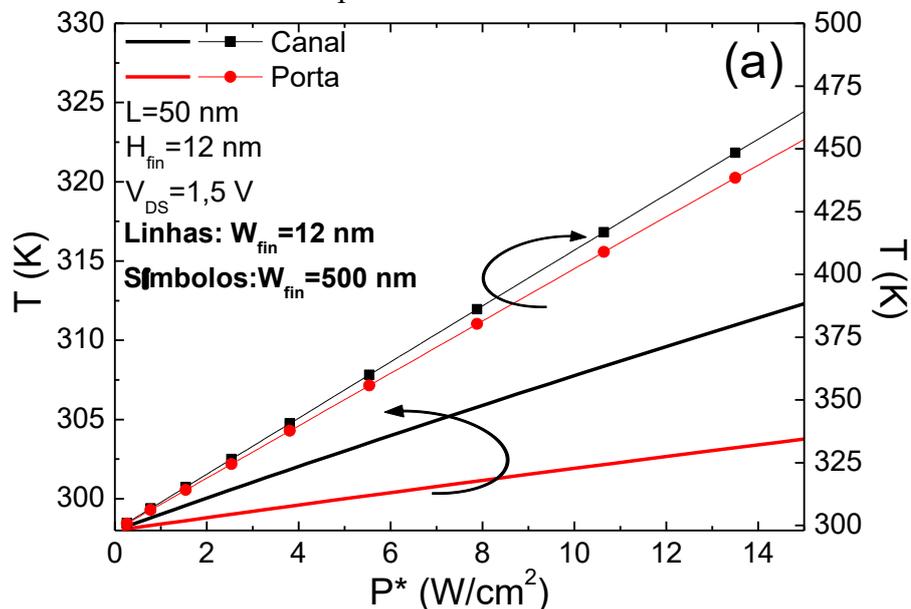
(b) Curvas variando a altura do fin .

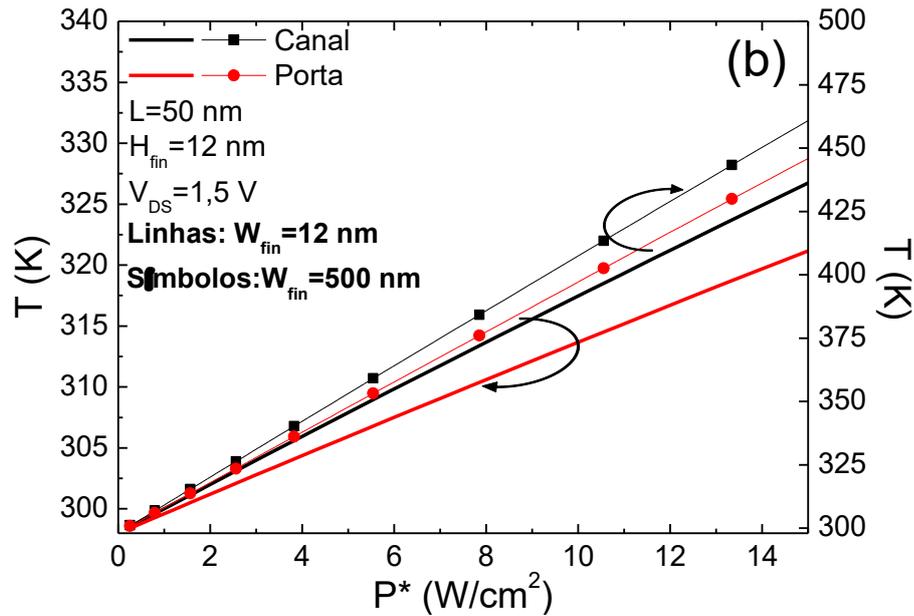
Como mencionado anteriormente, muitas das técnicas conhecidas de caracterização do autoaquecimento utilizam estruturas acopladas ao transistor para extração de parâmetros relacionados ao aumento de temperatura. No caso do método de extração da resistência de porta, a presença de uma estrutura de porta com dimensões muito maiores que a região de canal de nanofios modo inversão influencia os resultados dessa análise, diferindo do comportamento observado no mesmo transistor sem a estrutura de 4 terminais. Para verificar se esse também é o caso em nanofios sem junções, foram simuladas curvas $I_{DS}-V_{GS}$ com V_{DS} alto em transistores com e sem a estrutura de porta, extraindo a temperatura da porta e no canal próximo à interface entre o silício e o óxido de porta superior. Os resultados são exibidos na Figura 24 em função da potência dissipada normalizada pela área, mostrada na equação (19), removendo a influência do aumento da corrente de dreno devido à geometria dos dispositivos.

$$P^* = \frac{(V_{DS} I_{DS})}{(W_{fin} H_{fin})} \quad (19)$$

Pelos resultados obtidos, para a estrutura de 4 terminais de porta a temperatura extraída no canal e na porta apresentam valores diferentes em dispositivos estreitos (linhas), mas se aproximam quando transistores mais largos são usados (símbolos). Para a estrutura de porta minimizada, a diferença entre as temperaturas do canal e da porta ainda existem, mas são menores e variam menos com a largura do fin utilizada.

Figura 24 – Temperatura no canal e na porta em função da potência normalizada para as estruturas simuladas





Fonte: Autor

Legenda: Transistor com estrutura de porta (a) 4 terminais e (b) minimizada.

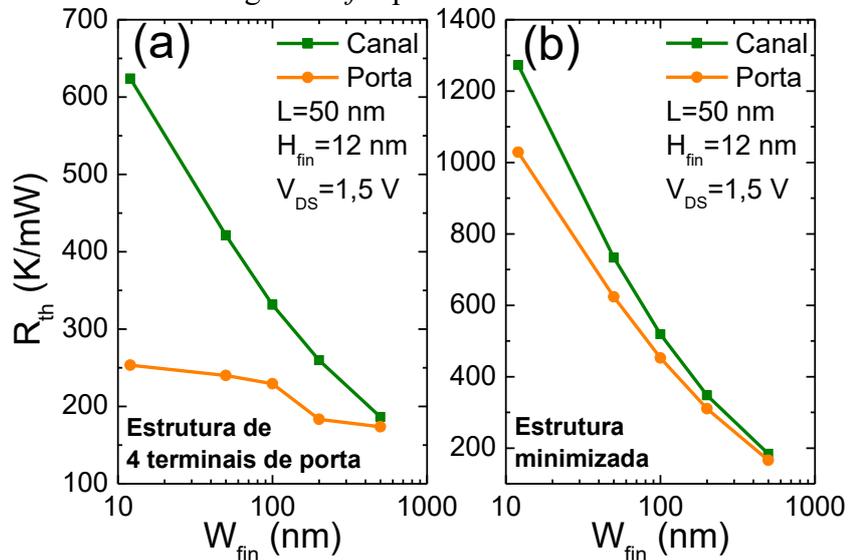
Para os transistores estreitos, a estrutura de 4 contatos de porta apresenta diferença entre o aumento de temperatura no canal e na porta de 42%, devido à dissipação de calor pela estrutura de porta, que é reduzida para 18% na estrutura de porta minimizada. Esses resultados indicam que transistores com canal estreito tem resistência térmica de porta e de canal diferentes com a presença da estrutura de porta com 4 terminais e semelhante na sua ausência, enquanto que transistores com canal largo tem resistência térmica de porta e de canal semelhantes com e sem a estrutura de porta, mostrando que a presença da estrutura de 4 contatos afeta o comportamento térmico de transistores sem junções com dimensões nanométricas.

Para confirmar essa afirmação, foram calculadas as resistências térmicas no canal e na porta para os mesmos transistores e nas mesmas condições, simulando em adição os transistores com variação da altura de *fin*, para verificar se o mesmo comportamento é observado. O cálculo da resistência térmica foi feito através da equação (20) (BURY et al, 2014).

$$R_{th} = \frac{(T - T_0)}{P} \quad (20)$$

Onde R_{th} é a resistência térmica, T é a temperatura medida no centro da região de canal, T_0 é a temperatura ambiente e P é a potência dissipada ($V_{DS} \times I_{DS}$). As Figuras 25 e 26 apresentam os resultados obtidos.

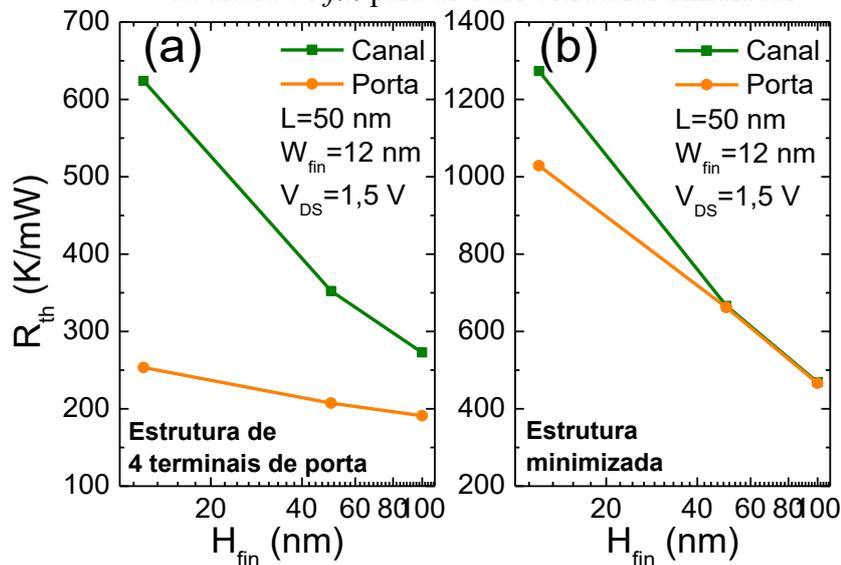
Figura 25 – Resistência térmica no canal e na porta em função da largura do *fin* para as duas estruturas simuladas



Fonte: Autor

Legenda: Transistor com estrutura de porta (a) 4 terminais e (b) minimizada.

Figura 26 – Resistência térmica no canal e na porta em função da altura do *fin* para as duas estruturas simuladas



Fonte: Autor

Legenda: Transistor com estrutura de porta (a) 4 terminais e (b) minimizada.

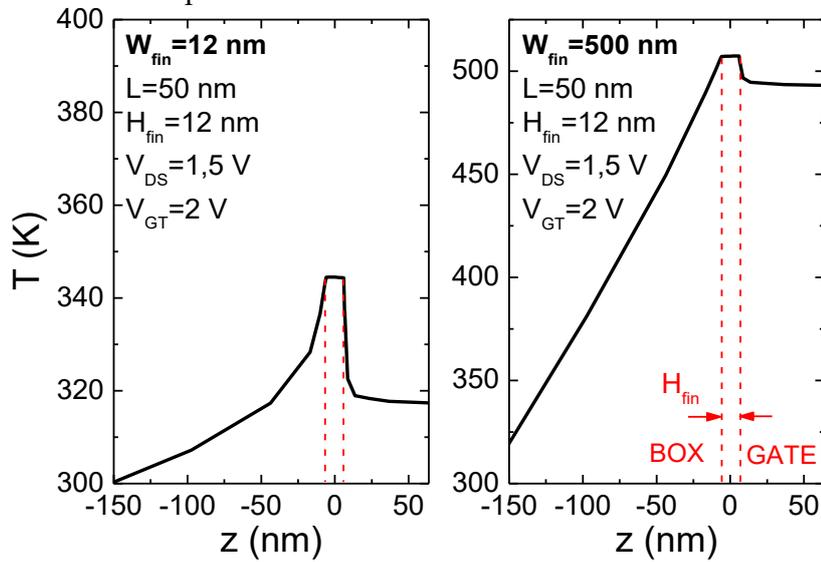
Observando as curvas em que se variou W_{fin} , pode-se confirmar que para a estrutura de 4 contatos de porta há de fato uma grande diferença entre as resistências térmicas do canal e da porta quando se tem canais estreitos. Aumentando a largura de *fin* é verificada uma aproximação das resistências térmicas, indicando que para $W_{fin}=500$ nm a previsão da temperatura do canal pela porta será precisa. Já no transistor com estrutura de porta minimizada nota-se que os valores de R_{th} do canal e da porta de todos os transistores foi

similar, apesar de haver divergência no transistor mais estreito. Ao repetir os testes em transistores variando a altura do fin , uma tendência similar é observada, tendo-se maior precisão nos transistores com porta minimizada e havendo melhora ao se aumentar a área dos transistores. Com essa análise é possível concluir que a espessa região de silício policristalino da estrutura com 4 contatos provoca o resfriamento da porta através da dissipação de calor, subestimando a caracterização do autoaquecimento em transistores pequenos onde o confinamento de calor é forte. Pelos resultados exibidos, isso ocorrerá em transistores com W_{fin} inferior a 500 nm e H_{fin} igual ou inferior a 100 nm. Quando a porta apenas encobre o fin de silício, a dissipação de calor pela porta é menor e, portanto, a previsão da temperatura do canal extraída pela porta é melhor (BERGAMASCHI, PAVANELLO, MARINIELLO, 2017).

Posteriormente foi obtido o perfil de temperatura no sentido de H_{fin} , passando pelo substrato e canal até a porta superior através do centro do canal. As curvas são apresentadas nas Figuras 27 e 28. Em concordância com os resultados anteriores, os transistores estreitos apresentaram menos autoaquecimento devido ao nível de corrente mais baixo. Porém, em relação ao transistor de mesmo W_{fin} com porta minimizada, o aumento da temperatura no canal também é mascarado devido à dissipação pela porta. Além disso, tendo como diferença apenas a presença da estrutura de 4 terminais, no W_{fin} de 12 nm a precisão do aumento de temperatura na porta em relação ao aumento de temperatura no canal passou de 82%, na Figura 28 para 43%, na Figura 27. Uma diferença assim não é observada nos transistores com W_{fin} de 500 nm, havendo pouca influência do tipo de porta no perfil térmico do transistor.

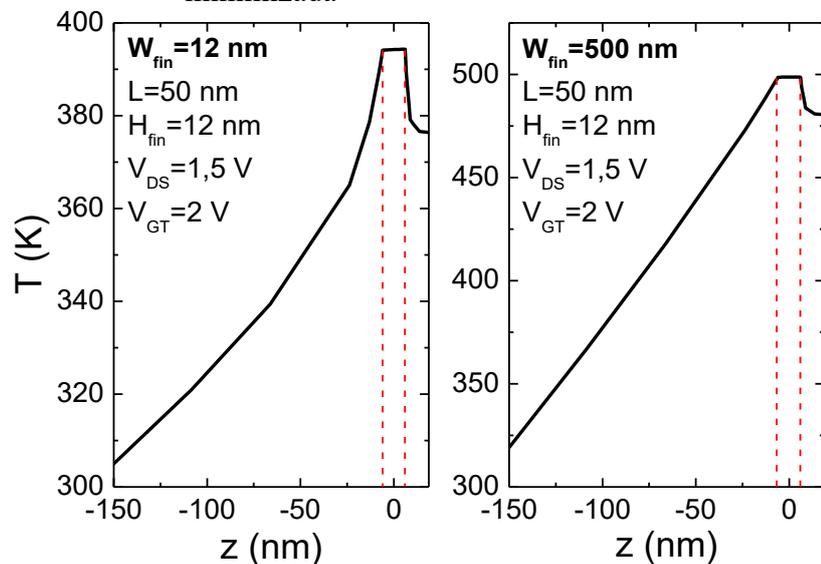
Nota-se, portanto, que assim como nos nanofios transistores modo inversão, dependendo das dimensões do transistor sem junções, especificamente a largura e altura de canal, a presença de uma estrutura de porta com 4 terminais para análise do autoaquecimento por extração da resistência de porta pode ser a causa de resultados equivocados de aumento de temperatura no canal, pois a grande estrutura de porta auxilia na dissipação de calor no canal, reduzindo o valor de R_{th} na porta e gerando, assim, uma previsão errada do R_{th} do canal.

Figura 27 – Temperatura em função da direção z pelo centro do transistor para a estrutura de 4 terminais de porta



Fonte: Autor

Figura 28 – Temperatura em função da direção z pelo centro do transistor para a estrutura de porta minimizada



Fonte: Autor

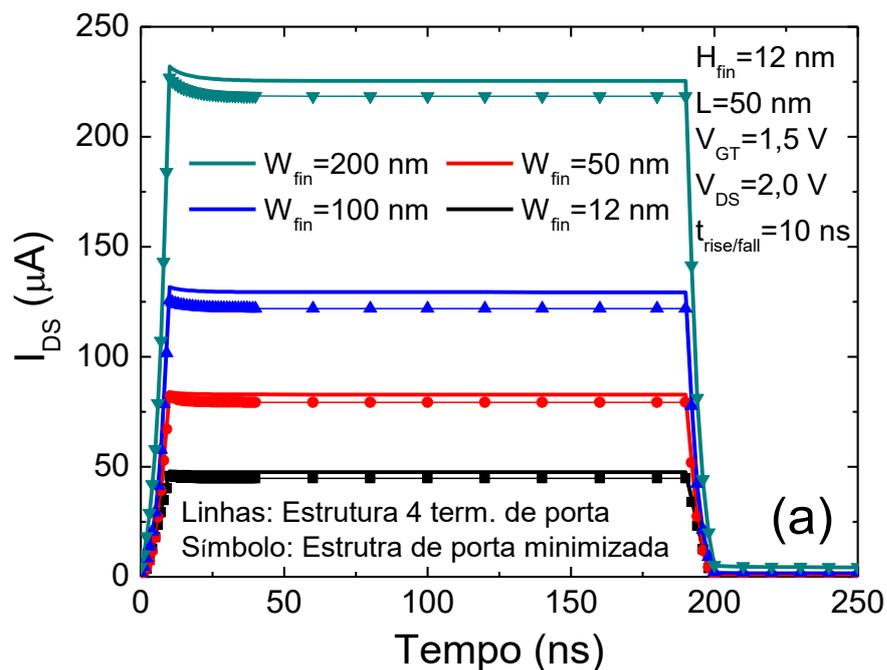
Sendo inviável a utilização do método de caracterização do autoaquecimento através da extração da resistência de porta em estruturas com 4 terminais de porta, foi necessário escolher um método que não necessitasse de uma estrutura acoplada à porta do transistor. Assim, foi escolhido o método de medidas pulsadas, onde a degradação da corrente em função do tempo é analisada para determinar como ocorre o aumento de temperatura e qual sua consequência nas características elétricas do transistor.

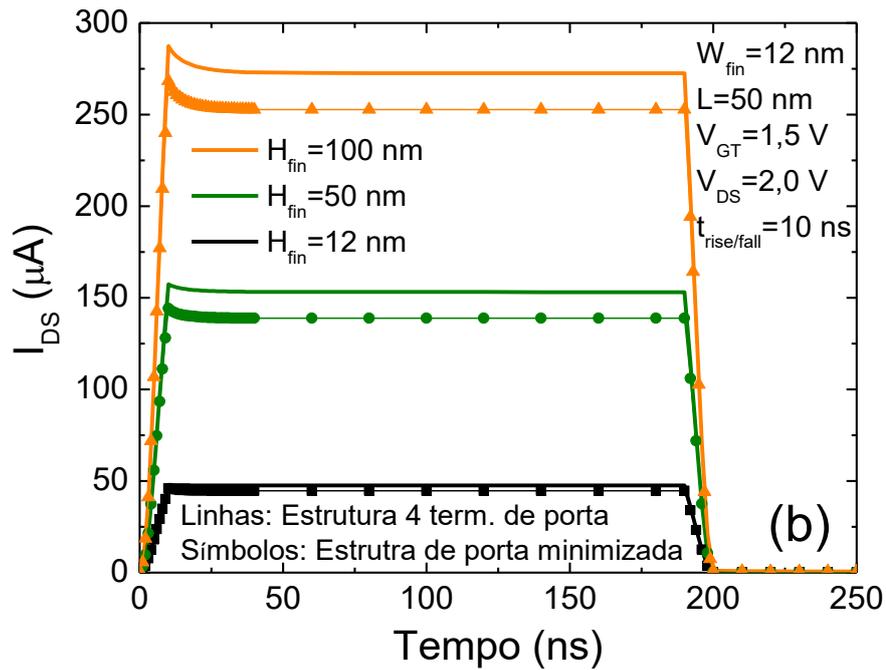
3.3 AUTOAQUECIMENTO EM REGIME TRANSITÓRIO

A fim de verificar o efeito do autoaquecimento na forma de transitório de corrente, foram simulados pulsos na porta dos nanofios sem junções com e sem a estrutura de 4 terminais de porta, mantendo uma tensão DC no dreno, gerando os resultados mostrados na Figura 29, que apresenta a corrente de dreno em função do tempo para $V_{GT}=1,5$ V e $V_{DS}=2,0$ V. O pulso foi configurado para ter tempos de subida e descida de 10 ns, tempo de estado estável de 180 ns e 50 ns de estado desligado, quando ocorre o resfriamento do dispositivo.

Uma tendência de degradação da corrente é observada para os diversos transistores, sendo o transistor com maior altura do *fin* o que apresenta efeitos de autoaquecimento mais evidentes, respeitando o mesmo padrão observado nas simulações DC. Também percebe-se que a estrutura de porta minimizada (símbolos) apresentou maior degradação da corrente, implicando que a temperatura no canal desses transistores é superior à dos transistores com estrutura de 4 terminais de porta, pois nesses últimos ocorre maior dissipação de calor do dispositivo pela estrutura de porta. Com esses resultados é possível estimar a constante de tempo de autoaquecimento mínima para esses transistores em aproximadamente 19 ns, para o transistor de W_{fin} e H_{fin} de 12 nm e seu valor máximo em 54 ns, para o transistor de mesma largura com H_{fin} de 100 nm.

Figura 29 – Curvas simuladas dos transitórios de corrente variando as dimensões do transistor sem junções com estrutura de 4 terminais de porta





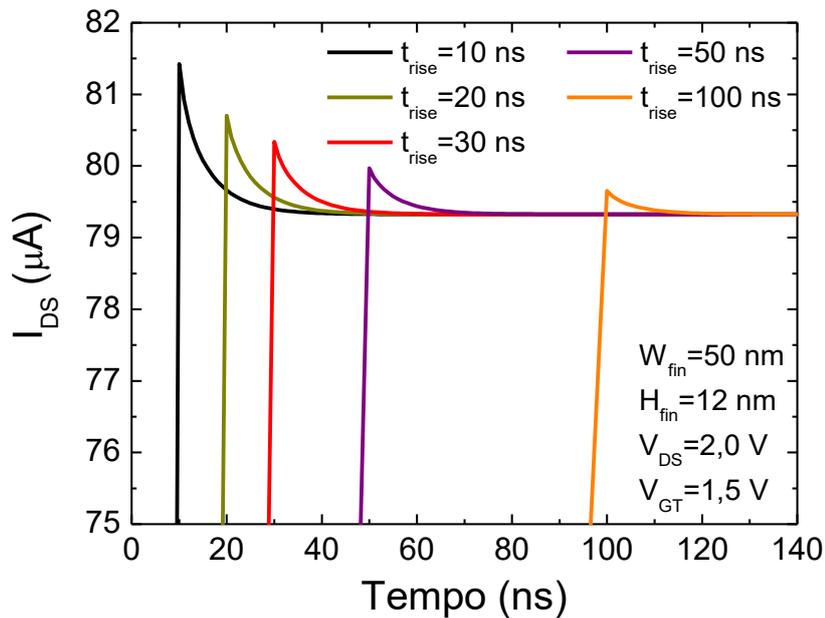
Fonte: Autor

Legenda: (a) Curvas variando a largura do *fin*;

(b) Curvas variando a altura do *fin*.

Visto que para este método de análise do autoaquecimento a presença da estrutura de 4 terminais de porta não é necessária, foram realizadas simulações nos transistores com porta minimizada, variando parâmetros de medida e construtivos a fim de prever comportamentos esperados nas medidas experimentais. A Figura 30 apresenta a resposta de corrente na subida,

Figura 30 – Corrente de subida na simulação de pulsos em nanofios sem junções variando o tempo de subida

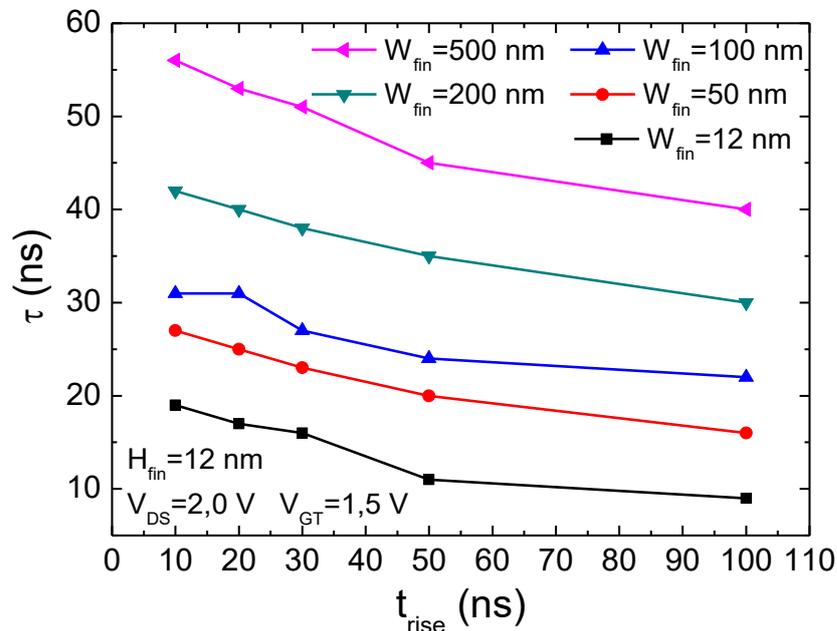


Fonte: Autor

devido à aplicação de pulsos na porta dos nanofios sem junções com largura de fin de 50 nm e altura de fin de 12 nm utilizando diversos tempos de subida, com o objetivo de verificar como esse parâmetro afeta a visualização da degradação da corrente provocada pelo autoaquecimento, visto que nas medidas experimentais não será possível utilizar valores de t_{rise} tão baixos como na simulação. As curvas foram simuladas com $V_{GT}=1,5$ V e $V_{DS}=2,0$ V.

Com isso, foram extraídas as constantes de tempo de autoaquecimento para cada tempo de subida, estendendo as simulações para diversas larguras de fin . Os resultados estão apresentados na Figura 31, que mostra curvas de τ em função do tempo de subida para diversos W_{fin} . O padrão observado é que os transistores com menores dimensões, por sofrerem menos autoaquecimento, tem menor constante de tempo de autoaquecimento, que reduz ainda mais para tempos de subida mais próximos da realidade prática, o que indica que haverá maior dificuldade em analisar o autoaquecimento nesses dispositivos durante as medidas experimentais.

Figura 31 – Constante de tempo de autoaquecimento em função do tempo de subida utilizado na simulação para diversas larguras de fin



Fonte: Autor

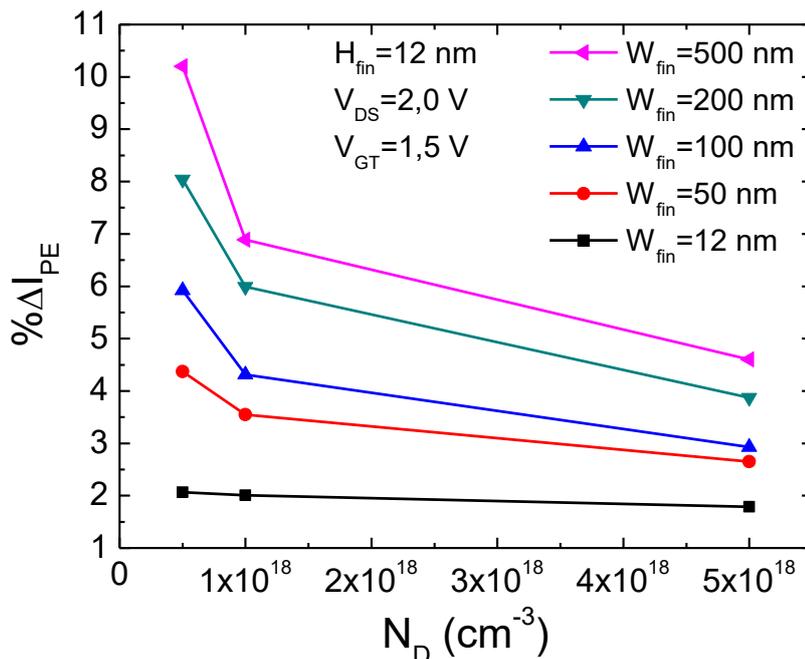
Em seguida, foram realizadas simulações variando a concentração de dopantes no canal, visando confirmar a hipótese de que a dependência da mobilidade com a temperatura varia com a concentração de dopantes do silício. As curvas são expostas na Figura 32. O modo escolhido de se comparar a degradação da mobilidade devido ao autoaquecimento foi

através do parâmetro $\% \Delta I_{PE}$, definido como a porcentagem de variação entre a corrente no pico na subida, $I_{DS}(t_{rise})$, e o valor estável da corrente, quando não há mais degradação, definido aqui como $I_{DS}(\infty)$. O cálculo desse parâmetro é dado pela equação (21):

$$\% \Delta I_{PE} = \frac{I_{DS}(t_{rise}) - I_{DS}(\infty)}{I_{DS}(\infty)} \times 100 \quad (21)$$

Apesar dos valores de N_D testados não serem altos como normalmente é visto em transistores sem junções, a dopagem foi escolhida para verificar se a dopagem mais baixa traria maior degradação na mobilidade pela temperatura do que dopagens mais altas, e valores mais altos que $5.10^{18} \text{ cm}^{-3}$ não foram testados, pois estes faziam com que os transistores não desligassem. Assim, a simulação conseguiu verificar a hipótese, pois os transistores com menor dopagem tiveram maior porcentagem de degradação da corrente, indicando que a mobilidade sofreu degradação maior. Além disso, a diferença na inclinação das retas, sendo menor para transistores mais estreitos, está ligada à menor corrente e, conseqüentemente, menor aquecimento de transistores menores. O resultado também indica que, sendo a dopagem convencional de transistores sem junções na ordem de 10^{19} cm^{-3} , a suscetibilidade desses dispositivos à degradação de corrente por autoaquecimento é normalmente reduzida.

Figura 32 – Porcentagem de degradação da corrente de dreno em função da concentração de dopantes no canal para várias larguras de fin



Fonte: Autor

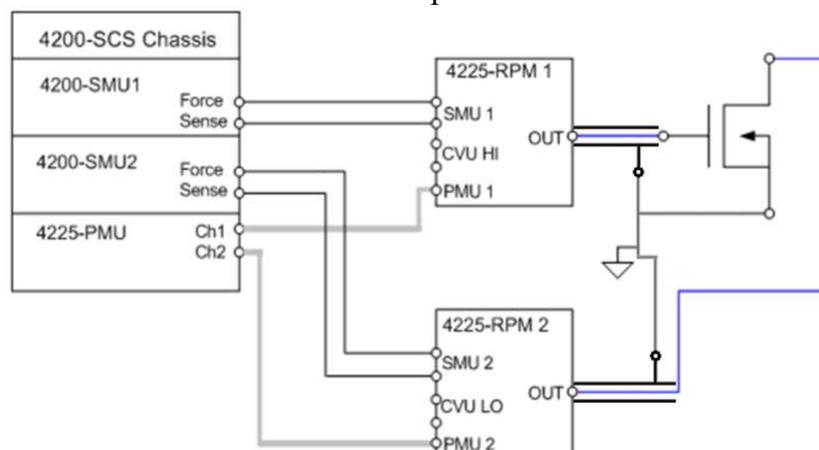
4 CARACTERIZAÇÃO ELÉTRICA DO AUTOAQUECIMENTO EM REGIME TRANSITÓRIO

Neste capítulo será abordado o estudo experimental realizado no módulo de medidas pulsadas denominado *Pulse Measure Unit* (PMU) presente no Sistema de Caracterização de Semicondutores Keithley 4200-SCS (*Semiconductor Characterization System*) para compreensão do procedimento de realização de medidas pulsadas consistentes e, assim, é realizada a análise do autoaquecimento nos transistores sem junções através de curvas de transitório de corrente. Este é o primeiro trabalho realizado no Centro Universitário FEI que utiliza o módulo de pulsos.

4.1 METODOLOGIA

O modelo 4225-PMU é um gerador de pulso de tensão de dois canais, incluindo também medidas simultâneas de tensão e corrente integradas com dois conversores A/D para cada canal. Além dele, são inclusos dispositivos adicionais chamados *Remote Pulse Module* (RPM) conectados posteriormente à PMU, sendo pré-amplificadores de corrente, possibilitando medidas em faixas de corrente de menor magnitude com alta velocidade. Além disso, também funcionam para chaveamento remoto entre o módulo de pulsos, o módulo DC e o módulo de capacitância. Na montagem exposta na Figura 33, estão conectados em cada RPM um canal do módulo DC (SMU) e um canal pulsado (PMU), facilitando o chaveamento entre medidas DC e pulsada.

Figura 33 – Conexão dos módulos SMU e PMU com o RPM e conexão com um dispositivo MOS



Fonte: Autor, “adaptado de” Keithley, 2016

Não é permitido, porém, o uso de SMUs para polarização DC durante medidas pulsadas, logo deve ser utilizada a própria PMU para aplicar tensão contínua em um terminal. Na Figura 33, a saída das RPMs tem os sinais de referência (em preto) conectados entre si e ligados à fonte, que está ligada ao substrato.

Durante a configuração da medida pulsada, além da escolha de tensões nos canais PMU e do tipo de pulso utilizado, também é feita a configuração das características de tempo do pulso. Assim, são determinados o período do pulso, que é o tempo de duração total da medida, os tempos de subida e descida, a largura do pulso, que equivale ao tempo de estado estável do pulso mais 50% dos tempos de subida e descida e, por fim, o tempo de espera para início do pulso, chamado *pulse delay* no equipamento. Os tempos devem ser escolhidos baseando-se na Tabela 2 de acordo com as grandezas de tensão e corrente utilizadas na medida. As recomendações são feitas com o objetivo de minimizar efeitos de *Overshoot* e amortecimento nas transições.

Tabela 2 – Tempos de configuração do pulso recomendados para montagem com a utilização de RPM

Faixa de tensão	10 V					
Faixa de corrente	100 nA	1 μA	10 μA	100 μA	1 mA	10 mA
Mínima largura de pulso recomendada	134 μ s	20,4 μ s	8,36 μ s	1,04 μ s	370 ns	160 ns
Mínimo tempo de transição recomendado	1 μ s	360 ns	360 ns	40 ns	30 ns	20 ns

Fonte: Keithley, 2016

Dentre os tipos de medida disponíveis no módulo, os mais comumente usados na análise de autoaquecimento são o trem de pulsos (*pulse train*), em que pulsos de mesma amplitude são aplicados, e a varredura de pulsos (*pulse sweep*), em que uma sequência de pulsos é aplicada variando a amplitude em uma faixa de tensão com determinado passo.

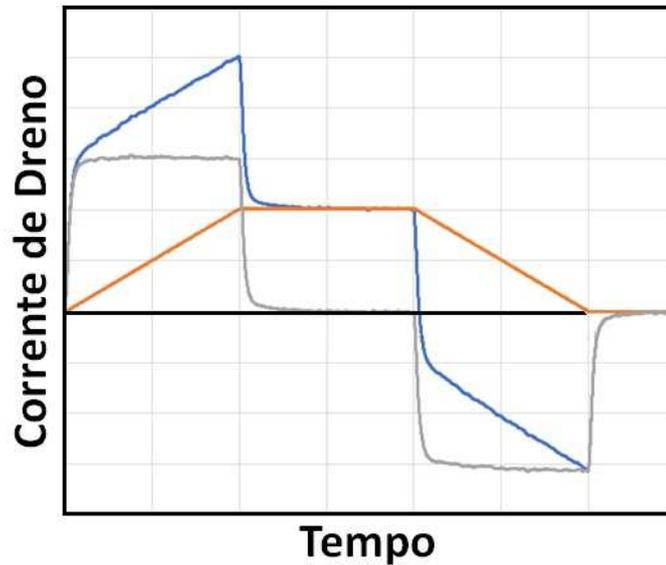
Apesar de todas as configurações e recomendações do equipamento, uma série de dificuldades foi encontrada na realização das medidas experimentais, resultando em curvas que não correspondem com o esperado. Algumas dessas dificuldades são citadas a seguir.

4.1.1 Capacitâncias do equipamento

O primeiro problema foi observado na corrente durante as transições (subida e descida) do pulso, onde um degrau de corrente era adicionado à rampa de subida e descida,

como observado na curva azul da Figura 34. A curva laranja, sendo a resposta esperada, foi obtida através da subtração da curva cinza da medida original do resistor, em azul.

Figura 34 – Corrente obtida com a aplicação de um pulso de tensão em um resistor



Fonte: Autor

Legenda: Vermelho: Resposta ao pulso esperada no resistor;
Cinza: Degrau de corrente adicionado à resposta;
Azul: Corrente total obtida pelo equipamento.

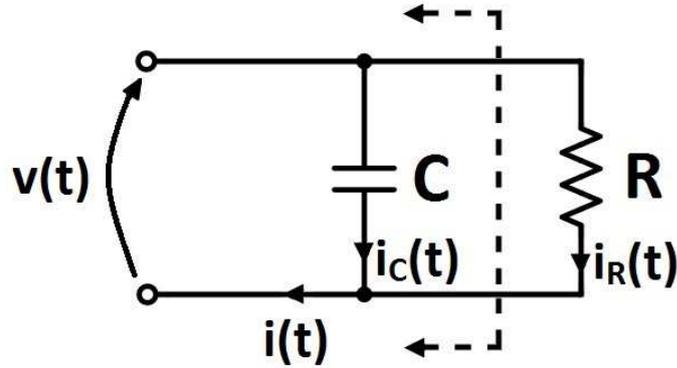
Ao aprofundar o estudo do comportamento do medidor de pulsos através de diversos testes realizados em resistores, que serão exibidos mais a frente, foi feito um equacionamento rápido da forma de onda resultante considerando o degrau de corrente nas transições como sendo proveniente da corrente um capacitor em paralelo com a carga. Assim a corrente total medida pelo equipamento se dá pelas equações (22) e (23):

$$i(t) = I_C(t) + I_R(t) \quad (22)$$

$$i(t) = C \frac{dv(t)}{dt} + \frac{v(t)}{R} \quad (23)$$

onde C é a capacitância assumida no circuito e R é a resistência utilizada como carga, como indicado na Figura 35.

Figura 35 – Esquemático do circuito elétrico enxergado pelo equipamento



Fonte: Autor

Separando-se a curva em três regiões: subida, estado estável e descida, pode-se expressar a tensão do pulso $v(t)$ em cada região através da equação (24):

$$v(t) = \begin{cases} \frac{V_P t}{t_{\text{rise}}} & \text{(região de subida)} \\ V_P & \text{(região de estado estável)} \\ V_P - \frac{V_P}{t_{\text{fall}}}(t - t_{\text{rise}} + W_P) & \text{(região de descida)} \end{cases} \quad (24)$$

onde V_P é a tensão de alto do pulso, t_{rise} é o tempo de subida, t_{fall} é o tempo de descida e W_P é a largura do pulso. Para cada região, portanto, é calculada a corrente total medida. Na região de subida a corrente é expressa pelas equações (25) e (26):

$$i(t) = C \frac{d}{dt} \left(\frac{V_P t}{t_{\text{rise}}} \right) + \frac{V_P}{R t_{\text{rise}}} t \quad (25)$$

$$i(t) = C \frac{V_P}{t_{\text{rise}}} + \frac{V_P}{R t_{\text{rise}}} t \quad (26)$$

Na região de estado estável a corrente é calculada pelas equações (27) e (28):

$$i(t) = C \frac{d}{dt} (V_P) + \frac{V_P}{R} \quad (27)$$

$$i(t) = \frac{V_P}{R} \quad (28)$$

E na região de descida a corrente é expressa pelas equações (29) e (30):

$$i(t) = C \frac{d}{dt} \left(V_P - \frac{V_P}{t_{\text{fall}}} (t - t_{\text{rise}} + W_P) \right) + \frac{V_P - \left(\frac{V}{t_{\text{fall}}} \right) (t - t_{\text{rise}} + W_P)}{R} \quad (29)$$

$$i(t) = -C \frac{V_P}{t_{\text{fall}}} + \frac{V_P}{R} - \frac{V_P}{R t_{\text{fall}}} (t - t_{\text{rise}} + W_P) \quad (30)$$

Pode-se concluir, portanto, que a componente de corrente devido à capacitância durante as transições sempre respeita a relação mostrada na equação (31):

$$i_{C,\text{rise}} = C \frac{V_P}{t_{\text{rise}}} \quad \text{e} \quad i_{C,\text{fall}} = C \frac{V_P}{t_{\text{fall}}} \quad (31)$$

Logo, pode-se definir o valor da capacitância associada ao circuito através da equação (32):

$$C = \frac{i_{C,\text{rise}} t_{\text{rise}}}{V_P} \quad \text{e} \quad C = \frac{i_{C,\text{fall}} t_{\text{fall}}}{V_P} \quad (32)$$

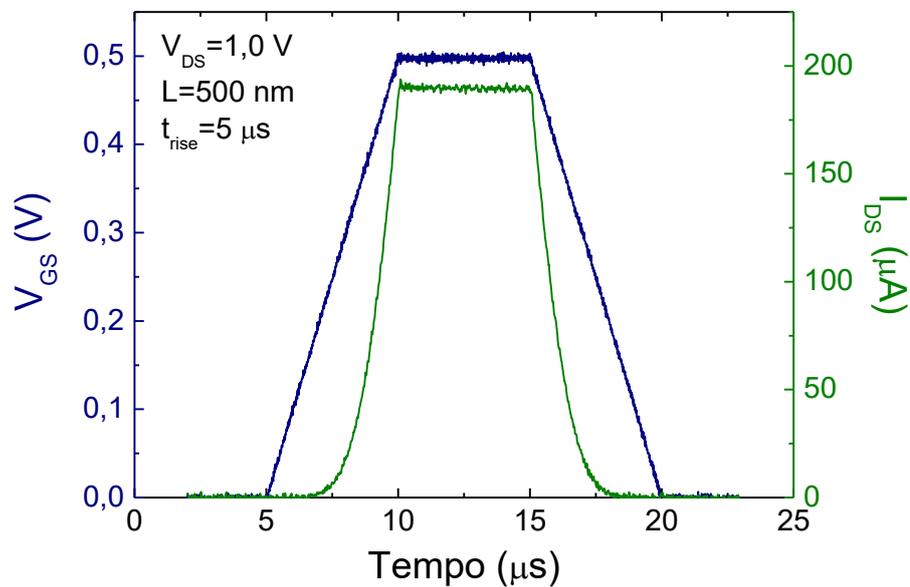
O valor dessas capacitâncias está associado à montagem usada na medida, ou seja, o comprimento dos cabos, os adaptadores e o circuito interno do equipamento contribuem diretamente para o aumento das capacitâncias. Através das equações, aplicadas a testes realizados variando as configurações do pulso, foi possível calcular o valor da capacitância total da montagem e do equipamento em 250 pF. Além disso, concluiu-se que os picos de corrente observados nas transições não correspondem à corrente que realmente conduz pela carga $i_R(t)$, mas à componente de corrente devido à capacitância $i_C(t)$, que é somada à corrente medida pelo equipamento $i(t)$.

4.1.2 Medidas e aquisições no mesmo canal de pulso

Prosseguindo com o estudo do módulo, foi descoberto que o problema acima mencionado ocorre somente no caso em que o mesmo canal que aplica o pulso é usado para fazer a medição da corrente. Ao se aplicar a tensão com um canal de pulso em um dos terminais e utilizar outro canal para medir a corrente, a resposta obtida não inclui a corrente devido às capacitâncias. Logo, no caso de transistores MOS, como se necessita de polarização na porta e no dreno, sendo um deles pulsado, e também se necessita da leitura da corrente de dreno, se o pulso for aplicado ao dreno, a medida da corrente de dreno incluirá a corrente

devido à capacitância. Então, para as medidas pulsadas realizadas em transistores foi necessário aplicar o pulso na porta e a tensão DC no dreno, possibilitando a medida correta da corrente de dreno. A medida da Figura 36 mostra como a resposta ao pulso fica ao se utilizar essa configuração, constatando que a corrente não é alterada pela presença da corrente de capacitância. Para essa medida, foram utilizados longos tempos de transição e baixa amplitude, resultando em uma resposta lenta, onde o tempo de subida provavelmente supera a constante de tempo de autoaquecimento e a polarização não é alta o suficiente para provocar aquecimento por dissipação de potência.

Figura 36 – Transitório de corrente pela aplicação de medida pulsada em um transistor FD SOI

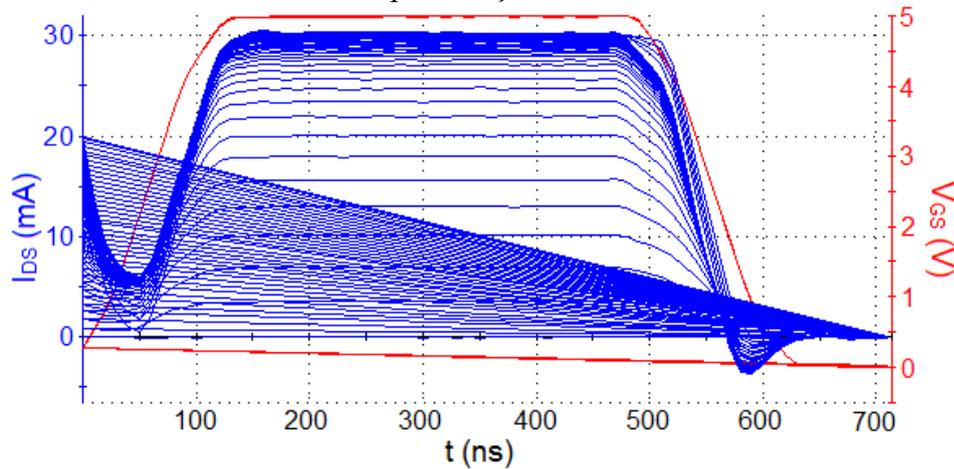


Fonte: Autor

4.1.3 Aplicação de pulsos com e sem tempo de atraso

Como já mencionado, uma das configurações de tempo do pulso permite selecionar um tempo de espera para início do pulso, chamado *pulse delay*. Caso não seja usado, quando um pulso rápido e de alta tensão é aplicado, o gerador de pulsos não consegue reduzir a tensão para o valor base (normalmente 0 V) a tempo de aplicar o próximo pulso, no caso de uma varredura de pulsos, iniciando a próxima medida com corrente ainda conduzindo no transistor. Um exemplo da ocorrência desse problema é exposto na Figura 37, onde um transistor nMOS encapsulado é polarizado chegando a altos valores de tensão de porta. Ao se ajustar um tempo de atraso com determinado valor, dependente da configuração do pulso, essa situação não é observada.

Figura 37 – Varredura de pulsos em um transistor nMOS sem tempo de atraso variando a polarização de dreno

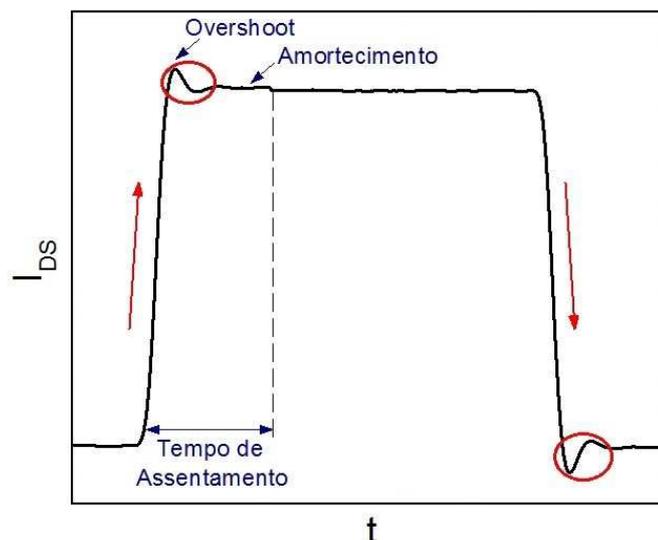


Fonte: Autor

4.1.4 *Overshoot* e amortecimento

Como em toda medida de transitório, em especial quando ocorre uma alta variação de corrente em um curto período de tempo, como é o caso do pulso, a presença de *overshoot* é um problema que exige atenção na configuração de medidas. Na Figura 38 é ilustrado o efeito de *overshoot* devido à aplicação de um pulso em um transistor MOS, sendo definido como um súbito aumento da resposta de corrente que excede o valor final esperado para o estado estável, e até que o assentamento seja alcançado, oscilação amortecida é observada, variando em torno do degrau.

Figura 38 – Ilustração de uma medida pulsada com efeito de *overshoot* na corrente

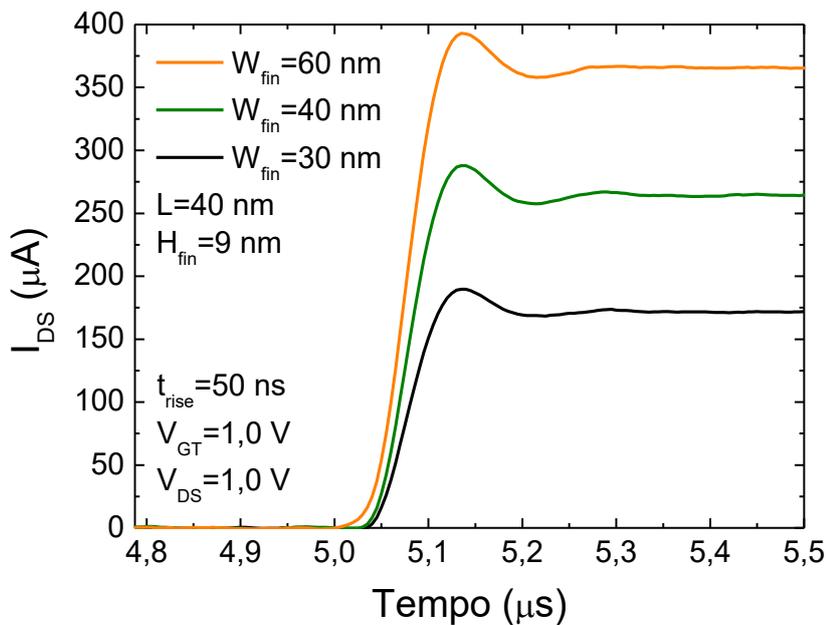


Fonte: Autor

O efeito também é observado na descida do pulso, onde a corrente ultrapassa a corrente de base antes de se estabilizar. Porém, na análise de autoaquecimento o mais importante é observar a corrente após uma rápida transição de subida, podendo o tempo de descida ser aumentado a fim de minimizar o *overshoot*.

Quando se tem alta variação de corrente por unidade de tempo, ocorrendo para tempos de subida/descida baixos, a transição ocorre em tempo menor que o tempo de assentamento (*settling time*), provocando o efeito de aumento súbito de corrente. Na Figura 39 um transistor MOS sem junções é submetido a medidas pulsadas com baixo tempo de subida e alta amplitude do pulso. O *overshoot* ocorre devido a um descasamento de impedâncias: se a impedância da carga é maior que a da fonte (equipamento), tem-se a ocorrência de *overshoot*.

Figura 39 – Medidas pulsadas em transistores sem junções com *overshoot* na subida



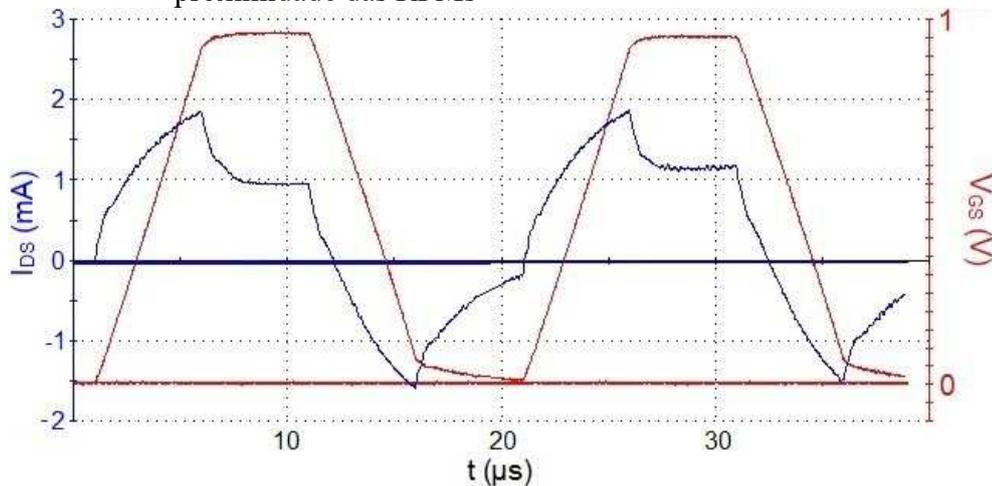
Fonte: Autor

4.1.5 Montagem e conexões

Após solucionar as dificuldades citadas anteriormente, um dos principais problemas que permanecia sem solução estava relacionado ao funcionamento aleatório do módulo, onde em certas ocasiões ocorria normalmente e em outras sem motivo aparente não havia medida de corrente no dispositivo. Sabia-se que o pulso de tensão estava sendo aplicado e medido corretamente, mas a leitura de corrente pelo segundo canal pulsado não acontecia, apresentando um resultado incoerente de resposta ao pulso.

Em princípio imaginou-se que o problema estava relacionado a um mal contato nos cabos que conectam as PMUs com os RPMs. Posteriormente foi constatado que o problema estava relacionado ao posicionamento das RPMs dentro do microprovador, mais especificamente a proximidade entre as duas RPMs. Quando colocadas lado a lado, acredita-se que o campo eletromagnético gerado durante a medida causa algum tipo de interferência na leitura da corrente, impossibilitando a aquisição correta dos valores de corrente pelo equipamento. Um exemplo desse comportamento é apresentado na Figura 40. Com isso, a solução é apenas, ao utilizar o módulo pulsado, deixar as duas RPMs a certa distância uma da outra, de modo a evitar tal interferência.

Figura 40 – Exemplo de aquisição de corrente com interferência devido à proximidade das RPMs



Fonte: Autor

4.1.6 Resultados dos testes

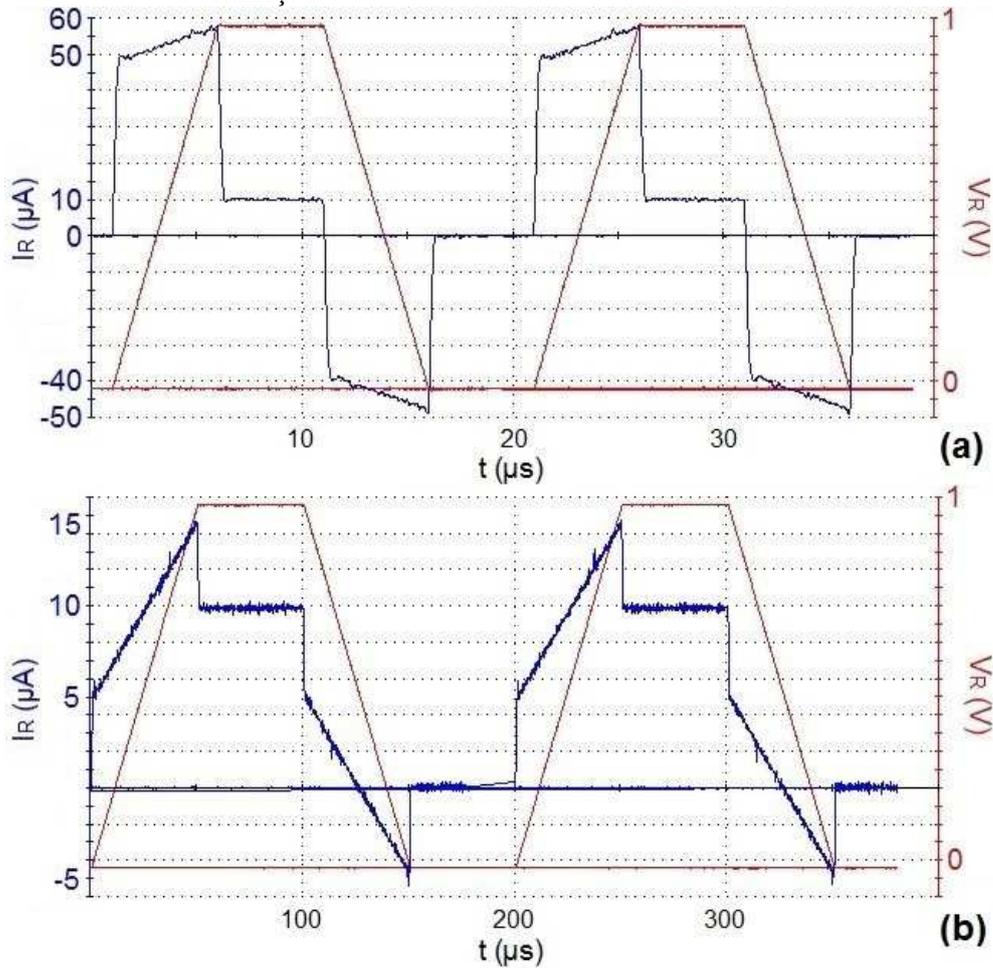
Nesta seção serão apresentados os principais resultados de medidas pulsadas obtidas para diferentes dispositivos testados durante a fase de estudo do módulo pulsado e como esses resultados contribuem para futura extração de autoaquecimento por análise de transitório.

4.1.6.1 Resistores

Os primeiros componentes a serem medidos foram resistores discretos de diversos valores de resistência, em especial 1 M Ω , 100 k Ω , 10 k Ω . Foram feitos testes variando também a configuração dos tempos do pulso, a fim de verificar sua influência na resposta da corrente.

Para o resistor de $100\text{ k}\Omega$, aplicando-se um pulso de amplitude 1 V resulta em uma corrente de $10\text{ }\mu\text{A}$. Na Figura 41 os pulsos tem tempo de transição de $5\text{ }\mu\text{s}$ e $50\text{ }\mu\text{s}$. Observa-se que o degrau de corrente durante a subida e descida aumenta em 10 vezes, estando de acordo com a equação (29). Além disso, não é alterada a corrente na região estável do pulso.

Figura 41 – Medidas pulsadas em resistor de $100\text{ k}\Omega$ com diferentes tempos de transição



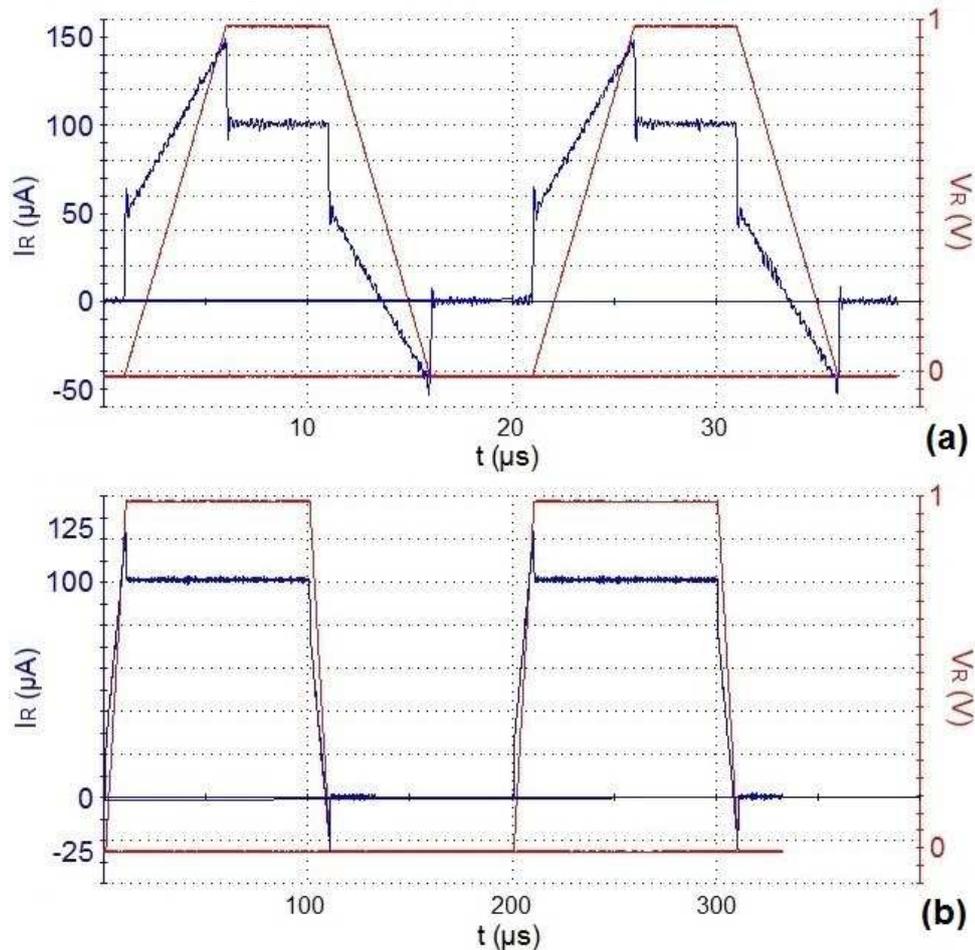
Fonte: Autor

Legenda: (a) Tempos de subida e descida de $5\text{ }\mu\text{s}$;
(b) Tempos de subida e descida de $50\text{ }\mu\text{s}$.

Para o resistor de $10\text{ k}\Omega$ observa-se que, caso os mesmos tempos de transição e amplitude do pulso sejam usados, o mesmo valor do degrau de corrente devido à capacitância é obtido independente do resistor usado: um degrau de 50 mA quando $t_{\text{rise/fall}}$ é de $5\text{ }\mu\text{s}$, nas Figuras 41 (a) e 42 (a). A proporção da capacitância com o tempo utilizado também se mantém, como verificado na Figura 42 (b), gerando um degrau de 25 mA quando $t_{\text{rise/fall}}$ é de $10\text{ }\mu\text{s}$.

Para que os efeitos capacitivos não sejam adicionados pela aquisição do equipamento é necessário usar um canal em um terminal para aplicar o pulso e outro no segundo terminal para fazer a leitura da corrente, obtendo-se como resposta a corrente no sentido inverso da que seria observada no primeiro terminal.

Figura 42 – Medidas pulsadas em resistor de 10 k Ω com diferentes tempos de transição



Fonte: Autor

Legenda: (a) Tempo de subida e descida de 5 μs ;

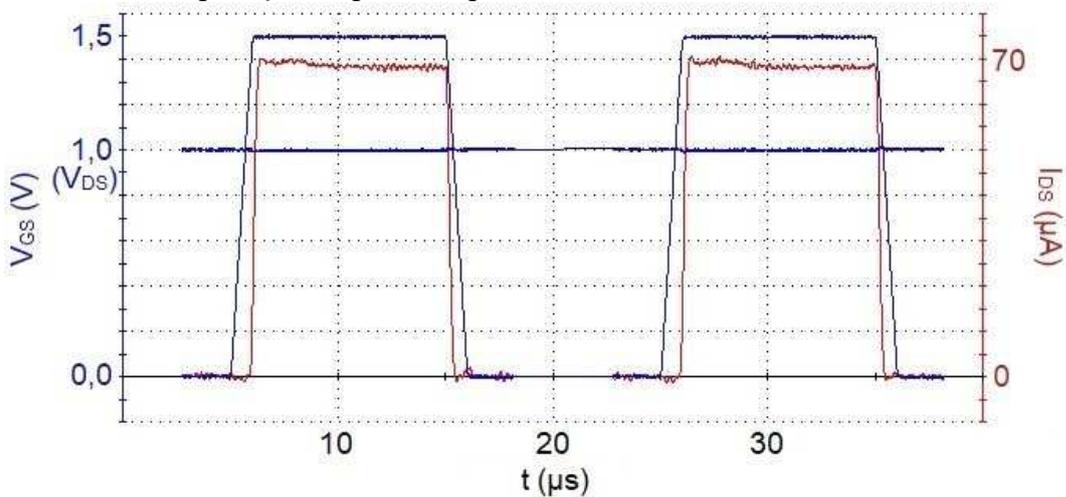
(b) Tempo de subida e descida de 10 μs .

4.1.6.2 Transistores MOS encapsulados

Em seguida foram medidos transistores nMOS convencionais encapsulados para testar as formas de medição com dois canais pulsados em dispositivos de 4 terminais. O transistor SD210DE é um MOSFET comercial fabricado pela Vishay, cujas características construtivas não são publicamente conhecidas.

No resultado exposto na Figura 43, um pulso de 1,5 V foi aplicado à porta e o dreno foi polarizado com 1 V. Sendo a medida da corrente feita no dreno, a anomalia na corrente não é verificada. Os tempos de subida e descida utilizados foram de 1,1 μs . Por se tratar de um dispositivo convencional e discreto não se pode afirmar se a breve redução da corrente se trata de efeito de autoaquecimento para essa polarização, já que as dimensões do dispositivo e a ausência de óxido enterrado facilitam a dissipação de calor.

Figura 43 – Medida pulsada feita em um transistor nMOS encapsulado com aplicação de pulso na porta

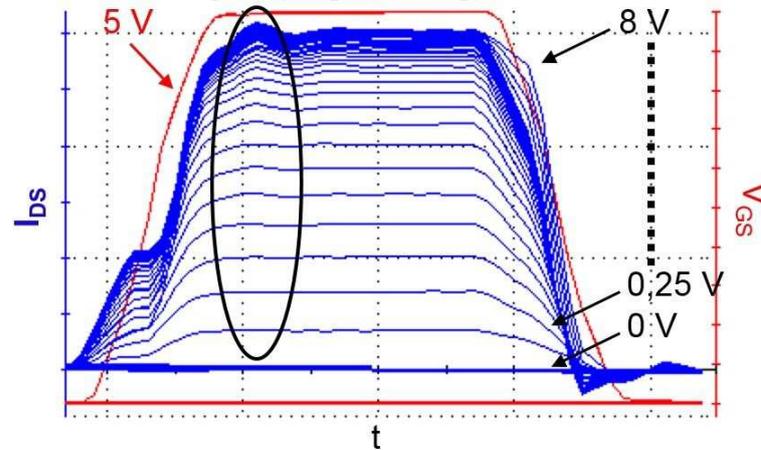


Fonte: Autor

Legenda: Curva azul: Tensão medida na porta (pulso) e no dreno (DC); Curva vermelha: corrente medida no dreno.

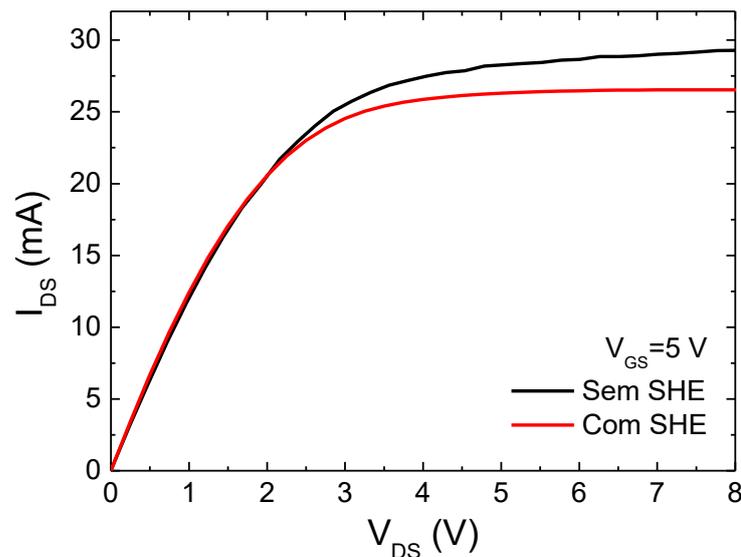
A seguir foi feita a primeira tentativa de verificação de autoaquecimento em um transistor MOS, utilizando uma configuração sugerida em um dos projetos do Keithley. Primeiramente foi obtida uma curva I_{DS} - V_{DS} da forma convencional, utilizando alta polarização de porta (5 V) e dreno variando de 0 a 8 V. Depois foi realizada uma série de medidas pulsadas com a mesma amplitude aplicada à porta (5 V) e baixo tempo de subida, fazendo uma varredura em V_{DS} pelos mesmos valores usados na curva DC, como apresentado na Figura 44. Para cada pulso variando V_{DS} foi extraído o valor da corrente após a subida e, ao juntar esses valores pode-se obter uma curva I_{DS} - V_{DS} com a corrente antes de a degradação ocorrer. Apesar do resultado final desse experimento apresentar uma aparência condizente com o que se espera obter da comparação entre uma I_{DS} - V_{DS} com e sem autoaquecimento, o fato de as medidas pulsadas utilizadas nesse teste apresentarem *overshoot* (é possível verificar amortecimento na Figura 44) deixa dúvidas quanto à precisão da medida, mas o aumento da corrente para V_{DS} alto confirma que o transistor não está sofrendo efeitos de autoaquecimento, como mostra a Figura 45.

Figura 44 – Varredura de pulsos em um transistor MOS para aquisição da corrente antes da degradação por autoaquecimento



Fonte: Autor

Figura 45 – Corrente de dreno em função da tensão de dreno com e sem efeitos de autoaquecimento



Fonte: Autor

4.1.6.3 Transistores MOS FD SOI

O conjunto seguinte de transistores a ser testado foi o dos transistores nMOS feitos em tecnologia SOI totalmente depletados (PAVANELLO et al., 2005), cujas amostras possuem largura de canal de 10 μm , espessura de silício de 30 nm, 100 nm de óxido enterrado e o isolante de porta consiste de 2,5 nm de óxido nítrico (NO). As características DC dos transistores com comprimento de canal de 250, 400 e 800 nm são apresentadas na Tabela 3.

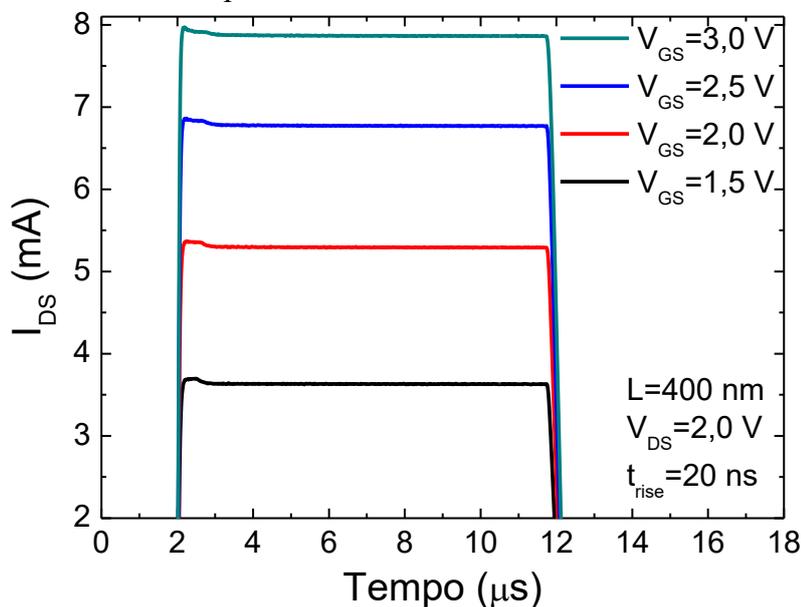
Tabela 3 – Características DC extraídas das curvas experimentais no transistor FD SOI

L (nm)	V_{TH} (V)	S (mV/dec)	$g_{m\max}$ (S)
250	0,21	69,8	$3,7 \cdot 10^{-4}$
400	0,25	65,4	$3,3 \cdot 10^{-4}$
800	0,28	62,9	$2,4 \cdot 10^{-4}$

Fonte: Autor

Primeiramente foi selecionado um dos transistores, com $L=400$ nm, e aplicados pulsos variando a tensão na porta, enquanto mantinha-se a tensão no dreno constante em 2 V. A Figura 46 exibe a corrente de dreno em função do tempo devido à aplicação dos pulsos na porta. Em comparação com os transistores MOS convencionais, em geral dispositivos com tecnologia SOI tem maior magnitude de corrente, o que aumenta a ocorrência de autoaquecimento.

Figura 46 – Transitório de corrente pela aplicação de pulsos na porta de um transistor FD SOI variando V_{GS}



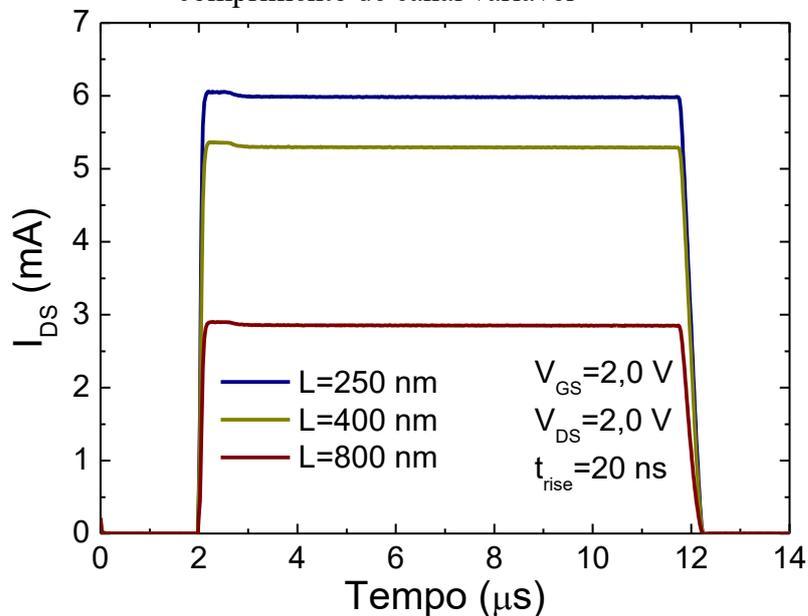
Fonte: Autor

As curvas mostram que para essa medida, o efeito de autoaquecimento na corrente está presente, apesar de fraco, atingindo maior degradação de corrente e constante de tempo de autoaquecimento para polarização de porta mais elevada, devido à maior dissipação de potência. Na Figura 47 foram repetidas as medidas em transistores variando comprimento de canal, onde percebe-se que a variação na redução da corrente com o comprimento de canal

não é grande o suficiente para fazer uma comparação da relação entre o aumento de temperatura e o comprimento do transistor, sendo esses dispositivos pouco suscetíveis a autoaquecimento. Por outro lado, nota-se que eles também são pouco suscetíveis ao *overshoot* na medida pulsada, visto que foram usados tempos de subida muito baixos, de até 20 ns, não sendo observada a ocorrência desse fenômeno.

Apesar de essas medidas não apresentarem resultados comparáveis de autoaquecimento, elas serviram para comprovar o funcionamento da montagem utilizando o módulo de medidas pulsadas em transistores em lâmina.

Figura 47 – Transitório de corrente pela aplicação de pulsos na porta de transistores FD SOI tipo n com comprimento de canal variável



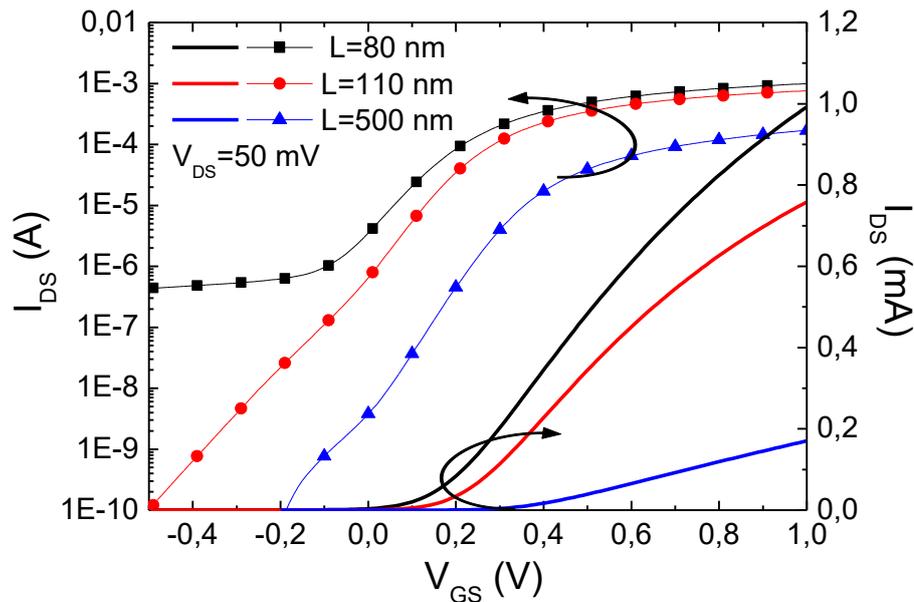
Fonte: Autor

4.1.6.4 Transistores MOS PD SOI

A motivação da análise do autoaquecimento na lâmina com transistores parcialmente depletados surgiu devido à hipótese de que, apesar da espessa camada de silício de 100 nm (cerca de 3,3 vezes maior que a dos transistores anteriores) fazer com que o transistor sofra menos confinamento térmico, estes demonstrariam mais efeitos de autoaquecimento em razão da presença de um óxido enterrado também mais espesso de 400 nm, 4 vezes maior que os anteriores, tendo, portanto, uma maior razão $t_{\text{BOX}}/t_{\text{Si}}$. Assim como no FD SOI, o isolante de porta possui 2,5 nm de óxido nítrico e a largura de canal é de 10 μm (PAVANELLO et al., 2005).

Como nos transistores totalmente depletados, em uma primeira análise, foram realizadas medidas I_{DS} - V_{GS} em transistores com comprimento de canal de 80, 110 e 500 nm, cujas curvas DC são expostas na Figura 48.

Figura 48 – Curvas experimentais da corrente de dreno em função da tensão de porta para transistores PD SOI variando o comprimento de canal.

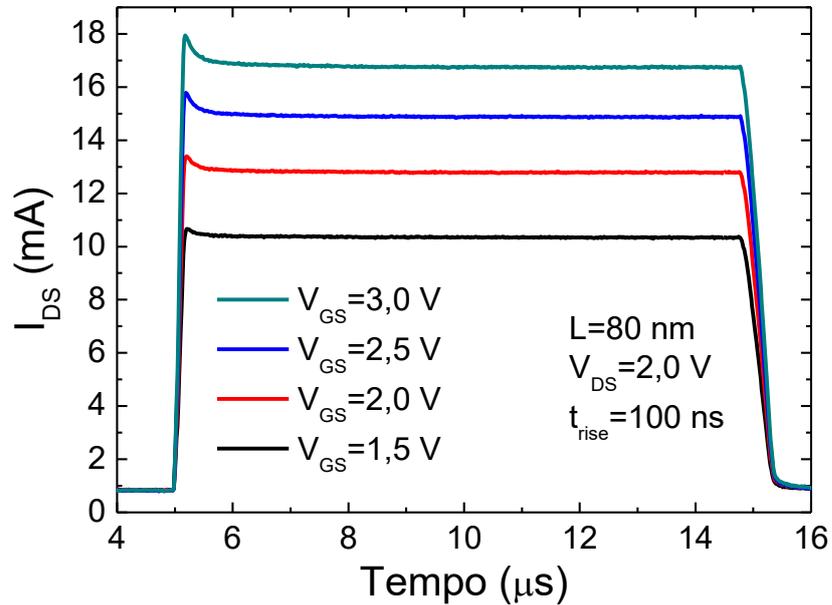


Fonte: Autor

Em seguida foram adquiridas as medidas pulsadas no transistor com comprimento de canal de 80 nm, alcançando tempo de subida mínimo de 100 ns sem distorções, sendo esse resultado exibido na Figura 49. É possível observar a degradação da corrente no início do pulso, indicando que o transistor está sofrendo efeitos de autoaquecimento. Também pode-se confirmar a ausência de influência do *overshoot* nas medidas pois a variação de corrente observada após a subida do pulso não se repete após a descida do pulso. É possível notar que os fortes indícios de redução da corrente nas curvas são proporcionais à tensão de porta aplicada, onde a maior corrente resulta em maior dissipação de potência, aumentando a temperatura no canal.

Este resultado, quando comparado aos resultados do transistor totalmente depletado, que tem como principal diferença nas características construtivas um óxido enterrado mais fino, mostra o quanto a espessura do BOX tem influência na ocorrência de autoaquecimento, devido à redução da condutividade térmica no transistor com óxido enterrado espesso.

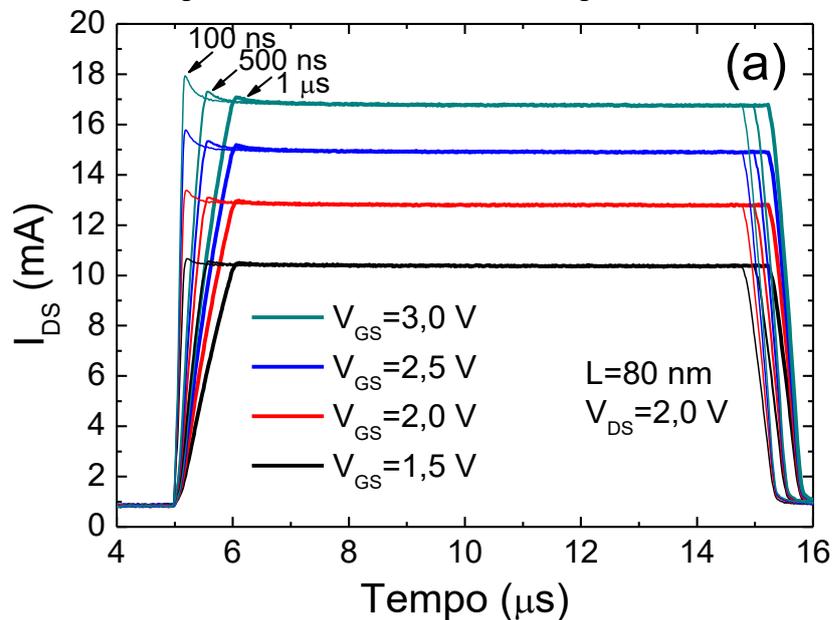
Figura 49 – Transitório de corrente pela aplicação de pulsos na porta de um transistor PD SOI com t_{rise} de 100 ns

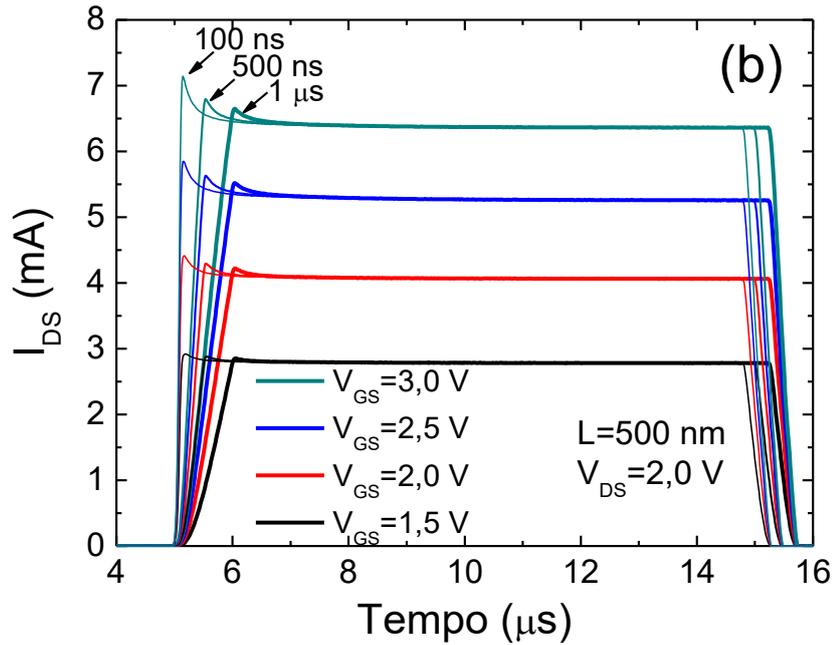


Fonte: Autor

Utilizando tempos de subida mais longos no mesmo transistor, assim como em um transistor com canal mais longo, percebe-se na Figura 50 a redução do pico de corrente atingido, que é o comportamento esperado em dispositivos sofrendo de autoaquecimento. Comparando com os resultados experimentais encontrados na literatura, na Figura 15, a característica da corrente na subida segue a mesma tendência de degradação com a variação do tempo de subida, ajudando a confirmar a ocorrência de autoaquecimento.

Figura 50 – Transitório de corrente pela aplicação de pulsos na porta de um transistor PD SOI para diferentes t_{rise}





Fonte: Autor

Legenda: (a) Transistor com L de 80 nm;

(b) Transistor com L de 500 nm.

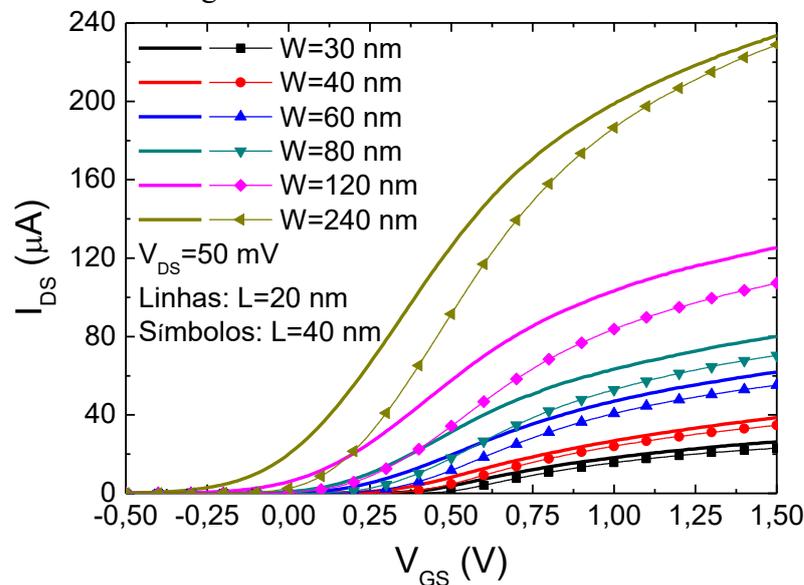
Para o transistor com comprimento de canal de 500 nm, calculando-se a porcentagem de diferença entre o pico de corrente e a corrente em estado estável, a $\% \Delta I_{PE}$, obteve-se que ela vai de 4,5%, na medida com t_{rise} de 1 μs , até 12%, com t_{rise} de 100 ns.

4.2 NANOFIOS TRANSISTORES MOS SEM JUNÇÕES

As medidas experimentais nos nanofios sem junções foram focadas na análise do autoaquecimento por medida de transitório de corrente, ou seja, com aplicação de medidas pulsadas. Os principais resultados são apresentados nessa seção. Contudo, previamente à obtenção dos resultados de autoaquecimento são obtidas curvas $I_{DS}-V_{GS}$, apresentadas na Figura 51, para extrair a tensão de limiar e, assim, fazer uma comparação justa com a sobretensão, V_{GT} , já que uma grande variação de V_{TH} é vista nesses transistores. Os valores extraídos de tensão de limiar e inclinação de sublimiar são exibidos na Tabela 4, onde nota-se que os transistores com melhores características tem W_{fin} de 30 a 60 nm.

As amostras foram fabricadas no CEA-LETI (BARRAUD et al., 2012), sendo dispositivos porta- π fabricados em tecnologia SOI com 145 nm de óxido enterrado, 10 nm de H_{fin} e isolante de porta composto por $HfSiON$ com espessura efetiva de óxido de 1,3 nm. A concentração de dopantes é de $7,7 \cdot 10^{18} \text{ cm}^{-3}$ de arsênio. As lâminas possuem diversas cascatas com variação do comprimento e da largura de canal. Para essas medidas iniciais foram utilizadas cascatas com 10 *fins* com L de 20 e 40 nm, variando W_{fin} de 30 a 240 nm.

Figura 51 – Corrente de dreno em função da tensão de porta em transistores sem junções com diversas larguras de canal



Fonte: Autor

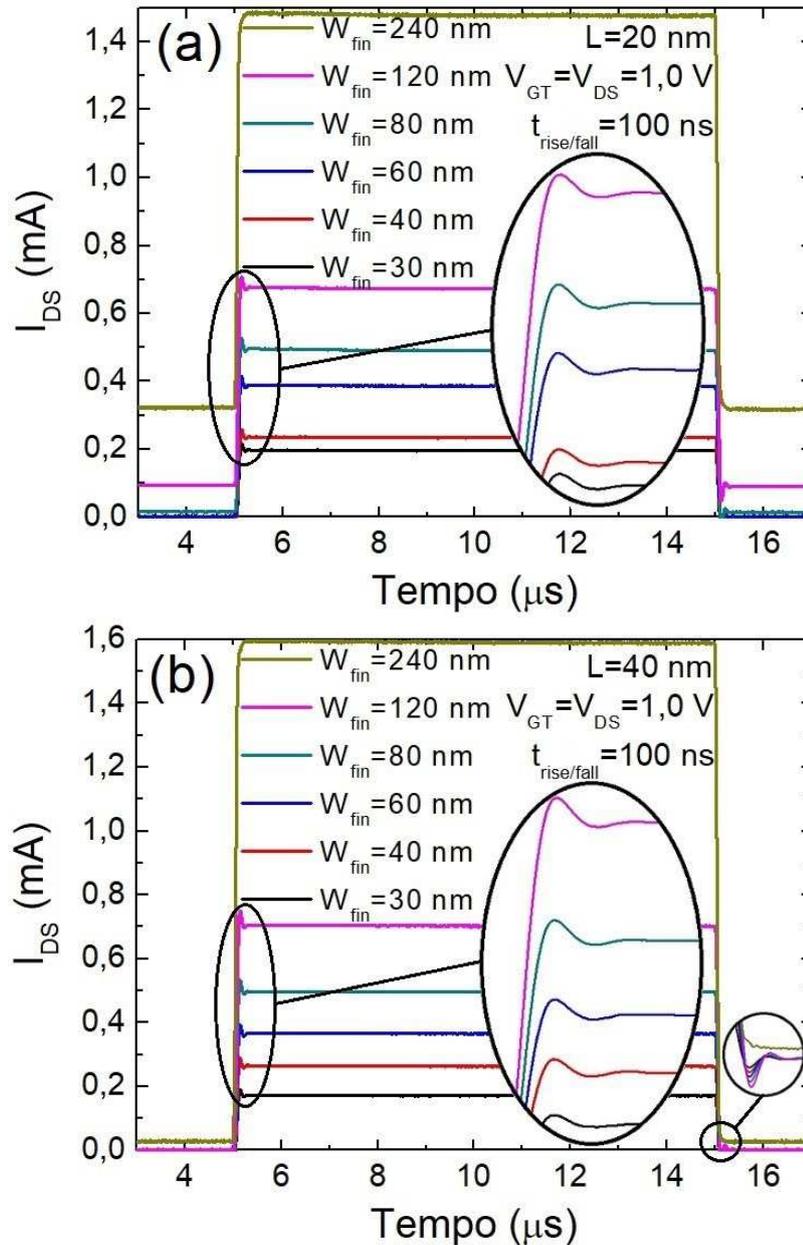
Tabela 4 – Tensão de limiar e inclinação de sublimiar extraídas das curvas experimentais do transistor sem junções

L (nm)	W_{fin} (nm)	30	40	60	80	120	240
20	V_{TH} (V)	0,36	0,09	0,04	-0,01	-0,22	-0,28
	S (mV/dec)	65,4	74,2	79,3	101,6	157,3	179,4
40	V_{TH} (V)	0,49	0,35	0,17	0,17	0,05	0
	S (mV/dec)	60,5	63,2	65,7	70,1	76,5	84,3

Fonte: Autor

Dentre todos os transistores medidos, os *Junctionless* apresentaram maior ocorrência de problemas relacionados ao *overshoot*. Logo, as medidas nesses dispositivos necessitaram de atenção especial para a configuração utilizada no módulo de pulsos. Na Figura 52 são mostradas as curvas de transitório pela aplicação de pulsos nos transistores com W_{fin} variável, com L de 20 e 40 nm. Para todos os transistores, com exceção do com largura de fin de 240 nm, as medidas pulsadas com tempos de subida baixos, de 100 ns, sofreram de problemas relacionados ao *overshoot*, dificultando a análise do autoaquecimento. Além da presença de amortecimento, pode-se comprovar o *overshoot* pela distorção após a descida na Figura 52 (b). Também percebe-se que no transistor com L=20 nm, os dispositivos mais largos, por apresentarem tensão de limiar negativa tiveram valor de corrente elevada mesmo na base do pulso, quando a tensão na porta é zero.

Figura 52 – Transitório de corrente pela aplicação de pulsos na porta de transistores sem junções com L de 20 e 40 nm



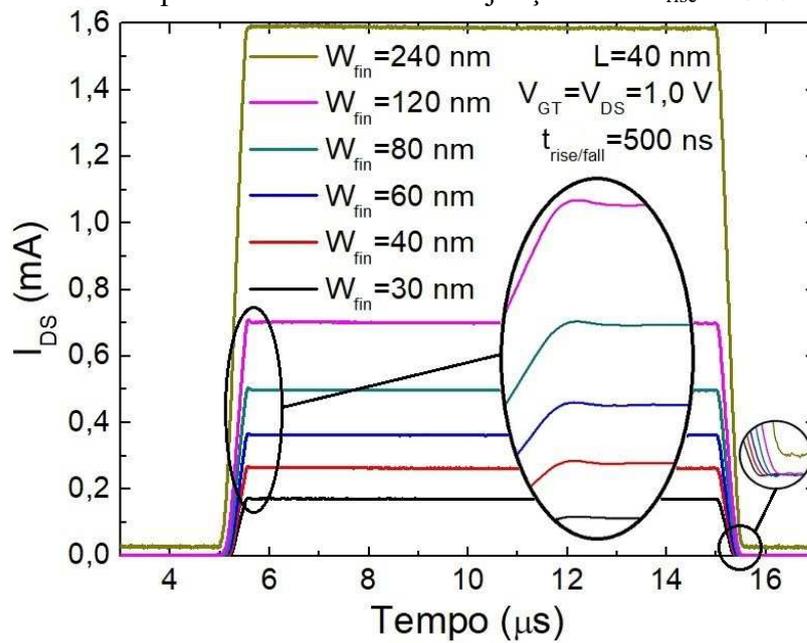
Fonte: Autor

Legenda: (a) Transistor com L de 20 nm;

(b) Transistor com L de 40 nm.

Apesar dos altos valores de corrente obtidos, por ter 10 *fin*s, o calor gerado em cada *fin* é proporcional à corrente fluindo no *fin* individual, ou seja, um décimo do valor de corrente mostrado nas curvas. O caso onde foram aplicados pulsos com tempo de subida de 500 ns, apresentado na Figura 53, resultou em menor distorção, deixando dúvida da causa da redução de corrente observada, já que ela não corresponde ao perfil observado na região de descida. Ainda assim, a degradação observada nos transistores mais estreitos tem baixa magnitude.

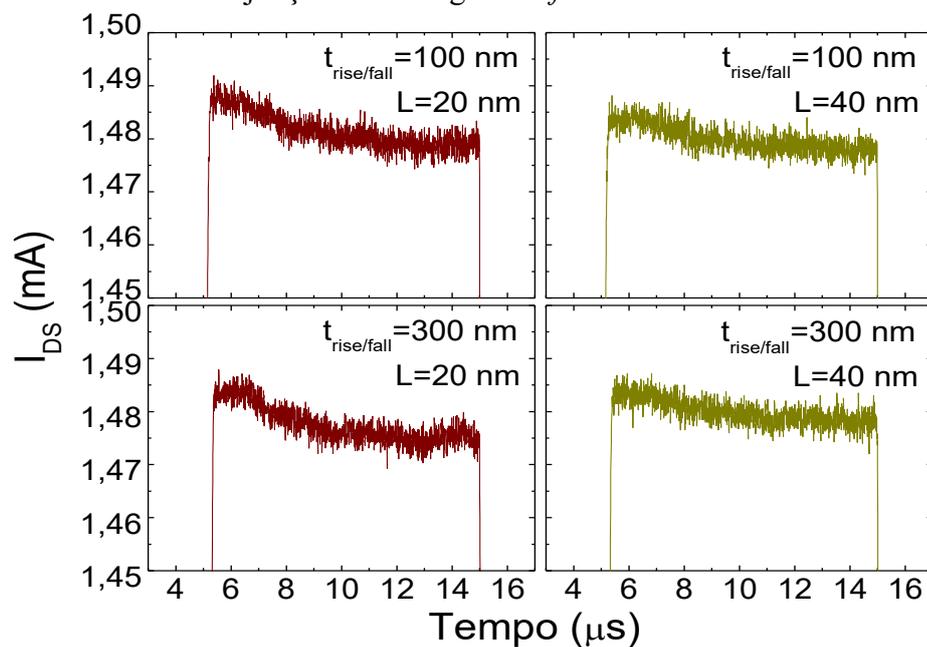
Figura 53 – Transitório de corrente pela aplicação de pulsos na porta de transistores sem junções com t_{rise} de 500 ns



Fonte: Autor

Um resultado muito próximo foi obtido ao se repetir as medidas no transistor de $L=20 \text{ nm}$. Ao aproximar a curva de corrente do transistor com W_{fin} de 240 nm no estado estável, para ambos valores de L , é possível verificar uma baixa redução da corrente, mostrada na Figura 54, sendo insignificante quando comparado ao valor total da corrente. A porcentagem de redução em relação ao valor estável foi calculada em aproximadamente $0,5\%$.

Figura 54 – Aproximação do transitório de corrente em transistores sem junções com largura de fin de 240 nm

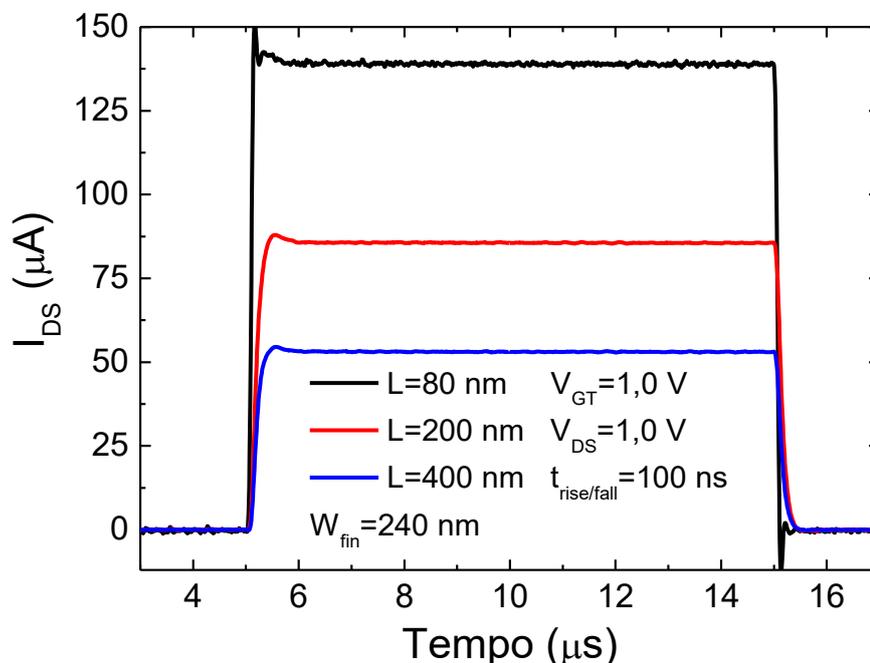


Fonte: Autor

Na tentativa de investigar a ocorrência de autoaquecimento nesses transistores seria necessário aplicar tensões de porta e dreno mais altas, como foi feito para os transistores SOI planares, o que foi evitado por receio de que os *junctionless* não suportassem a alta polarização devido às dimensões reduzidas, em especial o fino óxido de porta.

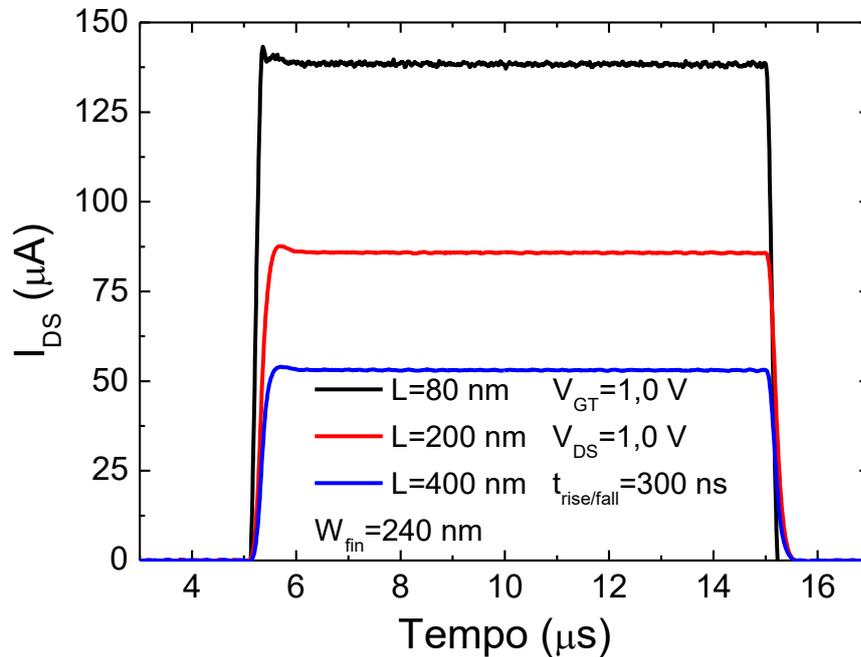
Posteriormente, foram repetidas as medidas nos transistores com W_{fin} de 240 nm, visto que estes não apresentaram o efeito de *overshoot*, porém desta vez utilizando outra cascata de transistores, com a diferença de que esses transistores tem um único *fin* e comprimentos de canal maiores. Os resultados são exibidos nas Figuras 55, 56 e 57. Para o transistor de menor L, o tempo de subida de 100 ns e 300 ns foi rápido o bastante para distorcer a curva na região de degradação da corrente, dificultando a análise, mas é possível perceber, principalmente na Figura 57, em que o tempo de subida é maior, que há um aumento da degradação com a redução de L, pois o transistor se torna mais confinado e há maior dissipação de potência, aumentando o autoaquecimento.

Figura 55 – Transitórios de corrente pela aplicação de pulsos na porta de transistores sem junções com largura de canal de 240 nm e $t_{rise/fall}$ de 100 ns



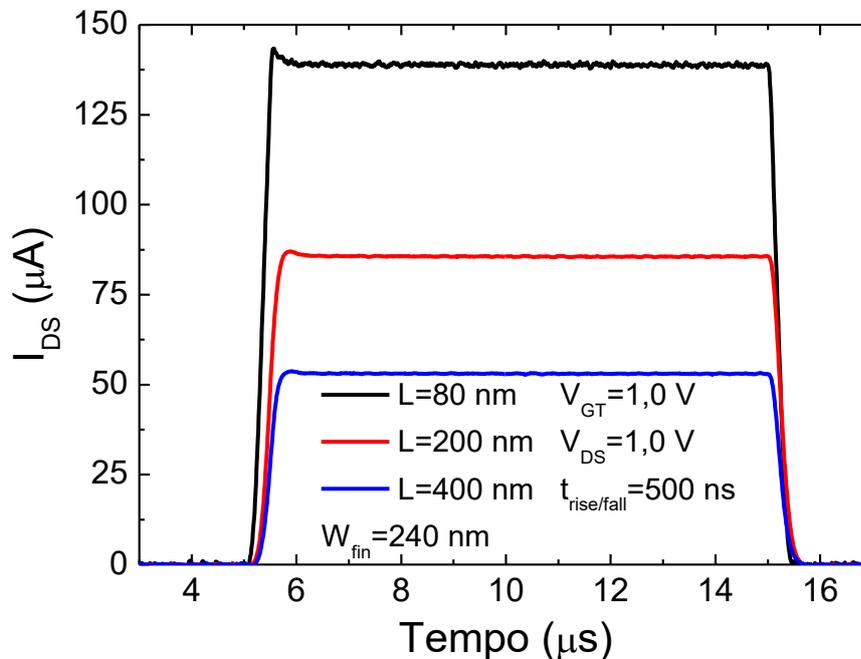
Fonte: Autor

Figura 56 – Transitórios de corrente pela aplicação de pulsos na porta de transistores sem junções com largura de canal de 240 nm e $t_{\text{rise/fall}}$ de 300 ns



Fonte: Autor

Figura 57 – Transitórios de corrente pela aplicação de pulsos na porta de transistores sem junções com largura de canal de 240 nm e $t_{\text{rise/fall}}$ de 500 ns



Fonte: Autor

Com esses dados, é possível criar uma tabela comparativa da porcentagem de degradação da corrente, $\% \Delta I_{PE}$, relacionando o valor de pico com o valor estável, variando tanto o comprimento de canal dos transistores como o tempo de subida utilizado. Essa

comparação é apresentada na Tabela 5 e na Figura 58. Observa-se que há uma relação entre a porcentagem de variação da corrente tanto com L quanto com o tempo de subida. Como mencionado a respeito das curvas anteriores, o aumento da degradação com a redução de L está relacionado a uma maior dissipação de potência em uma menor área de canal, provocando mais autoaquecimento. Também é possível concluir que o fato de os transistores de *fin* único apresentarem ordem de corrente menor que os dispositivos com 10 *fin*s contribuiu para a redução da ocorrência de *overshoot*, devido à menor inclinação da rampa de transição do pulso. A ausência da primeira linha da tabela e do primeiro ponto da curva é explicada pela presença de *overshoot* na curva para $L=80$ nm para os dois tempos de subida mais rápidos, o que é mitigado em comprimentos de canal mais longos ou subidas mais lentas.

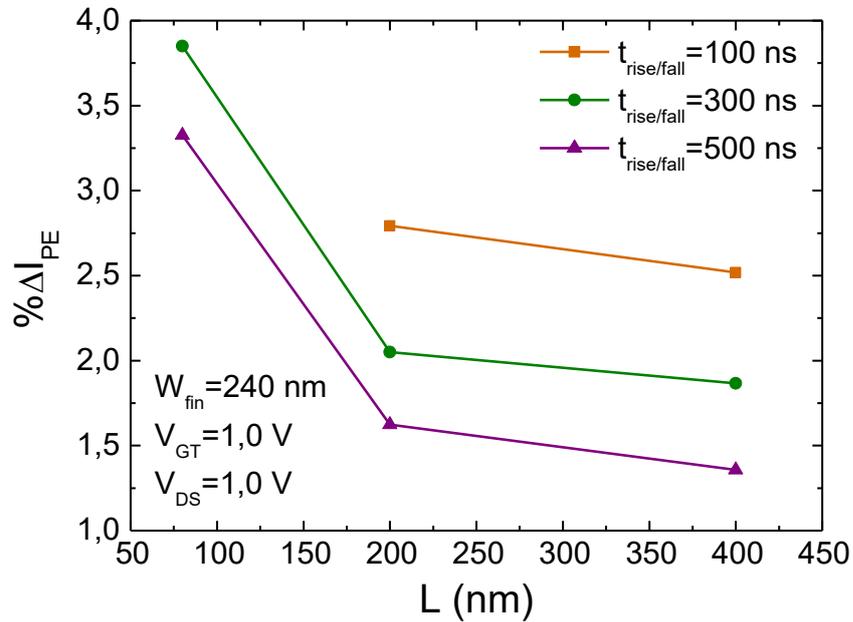
Nos resultados de simulação foi constatado que a variação do tempo de subida provoca alteração na constante de tempo de autoaquecimento da medida, reduzindo seu valor quanto maior for o tempo de subida do pulso. Isso implica em uma maior dificuldade de visualização da degradação de corrente após a subida, estando escondida no tempo anterior a t_{rise} , o que significa que a porcentagem de degradação presente na medida é maior do que a calculada pela $\% \Delta I_{PE}$ apresentado na Tabela 5.

Tabela 5 – Comparação da degradação de corrente em transistores sem junções com W_{fin} de 240 nm

L (nm)	$T_{rise/fall}=100$ ns $V_{GT}=V_{DS}=1,0$ V		
	Pico (μ A)	Estável (μ A)	$\% \Delta I_{PE}$
80	–	–	–
200	87,96	85,57	2,79
400	54,54	53,20	2,52
L (nm)	$T_{rise/fall}=300$ ns $V_{GT}=V_{DS}=1,0$ V		
	Pico (μ A)	Estável (μ A)	$\% \Delta I_{PE}$
80	143,25	137,94	3,85
200	87,63	85,87	2,05
400	54,02	53,03	1,87
L (nm)	$T_{rise/fall}=500$ ns $V_{GT}=V_{DS}=1,0$ V		
	Pico (μ A)	Estável (μ A)	$\% I_{PE}$
80	143,23	138,62	3,32
200	87,02	85,63	1,62
400	53,76	53,04	1,36

Fonte: Autor

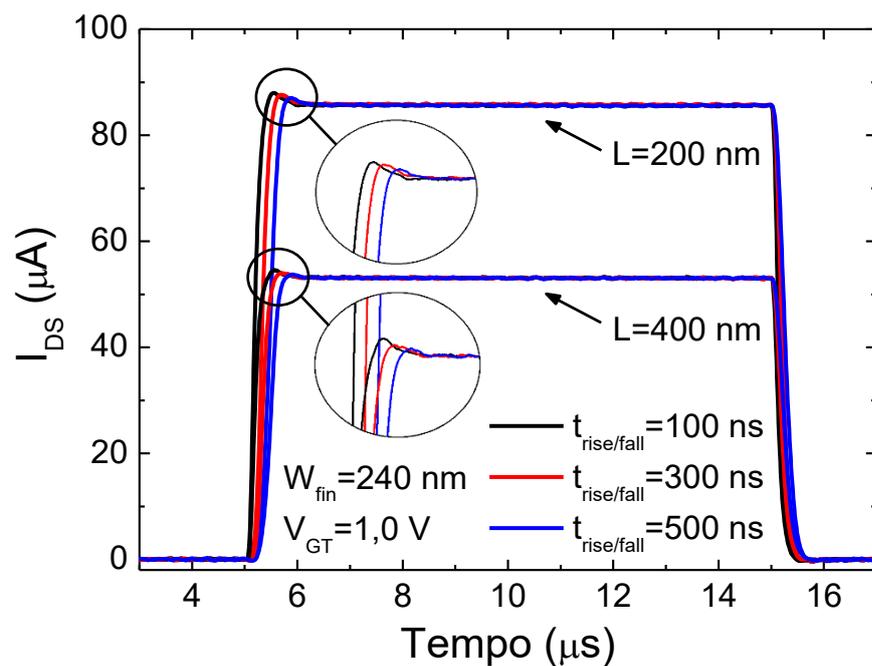
Figura 58 – Porcentagem de variação entre a corrente de pico e de estado estável em função de L para diversos $t_{\text{rise/fall}}$ em transistores com W_{fin} de 240 nm



Fonte: Autor

Para confirmar se a variação da $\% \Delta I_{PE}$ com o tempo de subida também está de acordo com a Figura 15, foram feitos gráficos com os mesmos dados das curvas acima, variando apenas os tempos de subida e descida, apresentando-os na Figura 59.

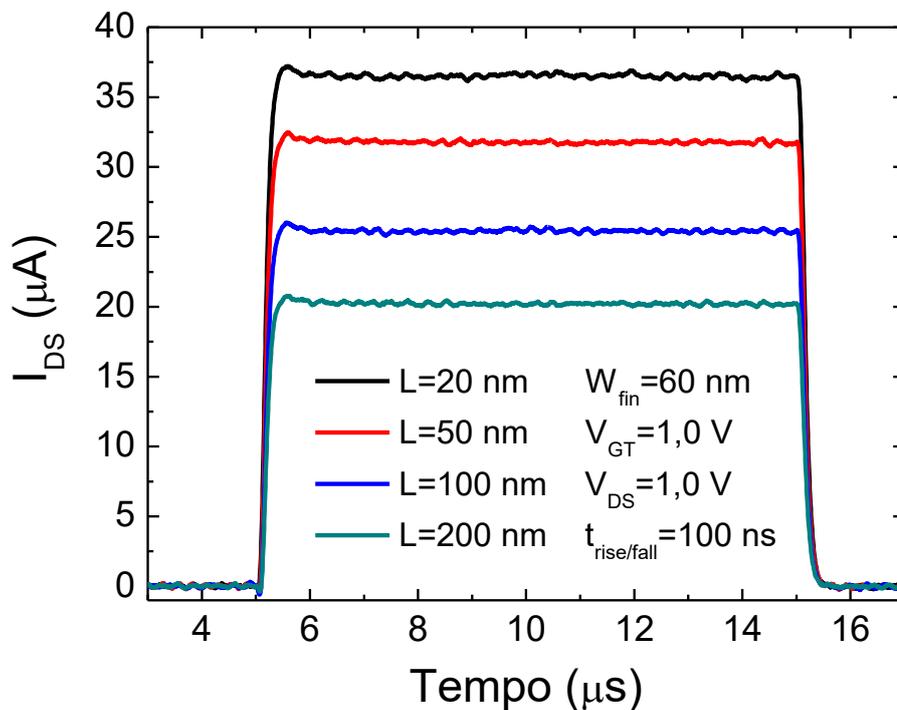
Figura 59 – Transitórios de corrente em transistores sem junções variando os tempos de subida/descida



Fonte: Autor

Visto que os transistores da cascata com L variável e fin único tiveram resultados mais interessantes, foram utilizados transistores da mesma cascata mas com largura de fin baixa, por terem melhores características elétricas, para verificar se estes, mesmo tendo nível de corrente mais baixo, também sofrem efeitos de autoaquecimento. Assim, foram aplicados pulsos na porta de transistores com W_{fin} de 60 nm, obtendo-se como resposta as curvas da Figura 60. O menor nível de corrente em relação às amostras anteriores, devido ao menor W_{fin} , teve influência no fato de não haver *overshoot* nas medidas, mas trouxe como consequência um nível de ruído mais elevado, o que reduz a precisão na extração dos valores de corrente.

Figura 60 – Transitórios de corrente pela aplicação de pulsos na porta de transistores sem junções com largura de canal de 60 nm e tempo de subida/descida de 100 ns

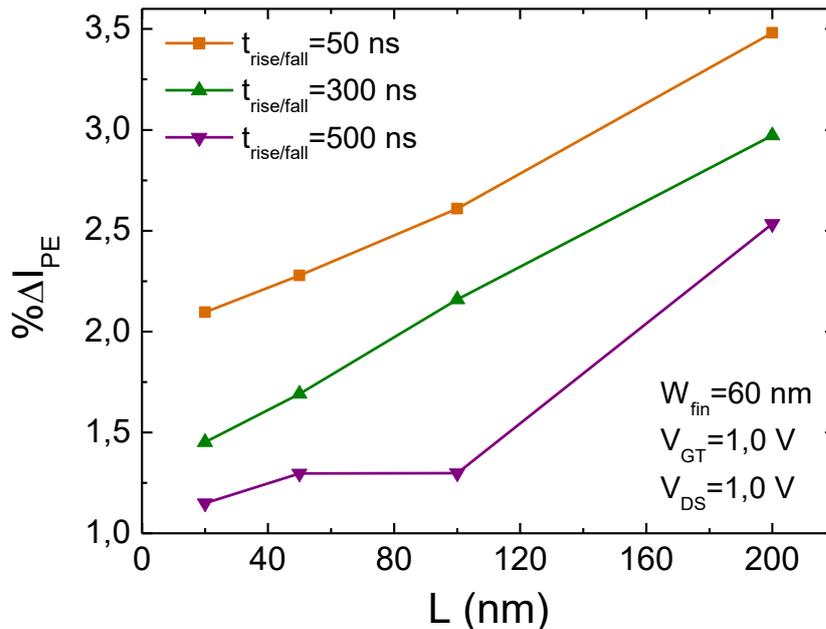


Fonte: Autor

Através dos resultados obtidos observa-se que a degradação de corrente ocorre de maneira similar aos transistores com W_{fin} de 240 nm. Porém, para comparar de forma exata, é necessário calcular a variação entre a degradação da corrente de todos os casos, sendo exibida na Figura 61. Apesar da degradação de corrente ser visualmente menos notável do que nos resultados com W_{fin} de 240 nm, o nível de corrente mais baixo fez com que fosse mantida a proporcionalidade, resultando em valores de $\% \Delta I_{PE}$ na mesma faixa dos transistores mais largos. Comparando a degradação nos transistores de 240 nm e 60 nm de largura, nota-se que

os transistores mais estreitos tem menor $\% \Delta I_{PE}$. Esses resultados condizem com os resultados de simulação, onde os transistores mais estreitos apresentaram menor degradação por aumento de temperatura por terem menor nível de corrente.

Figura 61 – Porcentagem de variação entre a corrente de pico e de estado estável em função de L para diversos $t_{rise/fall}$ em transistores com W_{fin} de 60 nm



Fonte: Autor

Ao observar a degradação em função do comprimento de canal, nota-se que o padrão obtido foi o inverso do observado nos transistores com W_{fin} de 240 nm: a $\% \Delta I_{PE}$ aumenta conforme se tem comprimentos de canal maiores, contradizendo a suposição de que os transistores mais curtos apresentam mais degradação de corrente devido à maior potência dissipada no dispositivo.

Sabe-se, porém, que existe uma dependência do comprimento de canal com o campo elétrico, e que o aumento do campo elétrico pode afetar a forma como a mobilidade varia com a temperatura. A saturação na velocidade dos portadores é definida a partir do ponto no qual o aumento do campo elétrico não provoca aumento na velocidade dos portadores, que é diretamente proporcional à mobilidade. A equação (33) mostra a influência da temperatura na velocidade de saturação.

$$v_{sat} = 10^7 \cdot \left(\frac{T}{300} \right)^{-0,87} \quad (33)$$

Nela, é possível notar que, quando a velocidade dos portadores está saturada, o aumento da temperatura causa pouca degradação na velocidade e, conseqüentemente, na mobilidade dos portadores. Logo, em transistores curtos, onde o campo elétrico é maior, a saturação da velocidade faz com que o aumento da temperatura tenha menos influência na degradação da mobilidade. Caso a redução da influência da temperatura tenha maior importância do que o aumento da potência térmica dissipada devido à redução do comprimento de canal, a curva de degradação da corrente em função do comprimento de canal apresentará tendência similar à da Figura 61. Isso também pode explicar o fato de que nos transistores com 10 *fins*, que tem comprimento de canal de 20 e 40 nm, não se observa uma degradação de corrente considerável, mesmo no transistor com W_{fin} de 240 nm, que não apresenta *overshoot*.

Analisando de forma geral o comportamento dos transistores sem junções medidos em relação ao autoaquecimento, a máxima degradação de corrente observada pela aplicação de medidas pulsadas não ultrapassou o valor de 4% em relação à corrente de estado estável do transistor. Com isso, pode-se afirmar que, mesmo para altas polarizações de porta e dreno, os efeitos provocados pelo autoaquecimento na corrente de dreno não resultam em uma degradação de corrente relevante nos transistores sem junções.

5 CONCLUSÕES E TRABALHOS FUTUROS

O estudo realizado neste trabalho resultou em diversas conclusões a respeito da ocorrência de efeitos de autoaquecimento em transistores MOS quando analisados em regime permanente através de simulações e em regime transiente através do método de medidas pulsadas efetuado experimentalmente.

Através dos resultados de simulação foi possível compreender o comportamento de transistores nanofios sem junções em relação ao seu perfil térmico e sua influência na corrente resultante, principalmente na região de saturação, onde o aumento da tensão de dreno aumenta a temperatura e, conseqüentemente, ocorre degradação da corrente de dreno. Também pode-se verificar como os diferentes parâmetros geométricos do transistor afetam a dificuldade de dissipação de calor na sua região de canal, onde foi visto que a temperatura aumenta proporcionalmente ao aumento tanto da largura quanto da altura do *fin*, mas a influência da altura do *fin* é muito mais forte no aquecimento do dispositivo. No estudo do método de extração da resistência de porta em estruturas de porta com 4 terminais observou-se que em dispositivos sem junções o uso dessa técnica é limitado para dispositivos com largura de *fin* superior a 500 nm e altura de *fin* superior a 100 nm, caso contrário parte do calor do canal será dissipado pela estrutura de 4 terminais de porta e a resistência térmica obtida na porta não será condizente com a resistência térmica presente no canal, levando a resultados subestimados de aquecimento do canal. A precisão da extração do aumento de temperatura foi reduzida de 82% para 43% devido à presença da estrutura de porta. Esses resultados contribuíram para motivar o uso do método de medidas pulsadas para análise do autoaquecimento. Assim, foram realizadas simulações de transitório que mostraram que tempos de subida maiores provocam redução na constante de tempo de autoaquecimento, reduzindo a capacidade de visualização da redução de corrente no tempo ao se usar valores de t_{rise} mais próximos dos usados experimentalmente, indicando que haverá mais efeito de autoaquecimento ocorrendo do que pode ser obtido pelas medidas experimentais. A simulação com diferentes concentrações de dopantes no canal mostrou que a mobilidade é menos variável com a temperatura quanto maior for a dopagem do silício. Logo, transistores sem junções, que em geral tem dopagem elevada, serão menos suscetíveis ao autoaquecimento por esse motivo.

A compreensão do funcionamento do módulo de medidas pulsadas foi essencial para que se pudesse obter curvas de transitório apropriadas para análise do autoaquecimento. Foi possível solucionar as dificuldades relacionadas às capacitâncias inerentes ao sistema e à

configuração de dispositivos de 4 terminais com apenas dois canais de pulso. Foram compreendidas as limitações do equipamento quanto às configurações de tempo do pulso para evitar distorções na resposta de corrente e criar uma montagem que satisfaz as necessidades para obtenção de medidas pulsadas. Com isso, iniciou-se o estudo de autoaquecimento por transitórios de corrente em lâminas de dispositivos SOI MOSFET, resultando em baixa degradação de corrente nos transistores planares totalmente depletados medidos, e em alta degradação nos transistores parcialmente depletados, que tem como principal diferença construtiva uma maior espessura do óxido enterrado, alcançando até 12% de degradação da corrente.

Ao passar para as medidas experimentais em nanofios transistores sem junções, foram verificados problemas mais frequentes de distorção devido ao *overshoot* do que em transistores planares. Em especial amostras com 10 *fin*s em paralelo, que possuem corrente elevada, limitando a redução dos tempos de subida e descida, cujos baixos valores são essenciais para análise do autoaquecimento em medidas pulsadas. Nessas cascatas não foi observada nos transistores sem junções medidos, utilizando sobretensão de porta máxima de 1 V, uma degradação da corrente de dreno considerável em relação ao nível de corrente fluindo no transistor, mesmo nos dispositivos com W_{fin} de 240 nm. Ao testar cascatas com *fin* único, tendo mesma largura de *fin* e L variável, de 80 a 400 nm, observou-se menor influência do *overshoot* e maior presença de degradação da corrente de dreno, chegando a um valor máximo de 3,85%, respeitando uma tendência compatível com o que se esperava baseando-se na teoria e em resultados vistos na literatura, confirmando que foi observado autoaquecimento nesses transistores. Foram então repetidas as medidas utilizando amostras com W_{fin} de 60 nm, já que transistores nanométricos apresentam características elétricas mais interessantes, chegando em resultados similares de porcentagem de degradação de corrente, com máximo em 3,5%, porém com uma tendência de degradação em função do comprimento de canal inversa ao verificado no resultado anterior. Isso indica que há outros fatores que influenciam a forma como o aumento da temperatura degrada a mobilidade, como o campo elétrico e a velocidade de saturação, presentes em transistores com canal curto, alterando o padrão de degradação em função do comprimento de canal. Para entender melhor como esses fatores alteram o comportamento do dispositivo, seria necessário aprofundar o estudo do autoaquecimento em relação aos mecanismos de transporte de cargas e aos fenômenos de espalhamento. Levando em conta todos os resultados de autoaquecimento por medidas pulsadas nos transistores sem junções, considerando sobretensão de porta de 1 V, é possível concluir que tais dispositivos

tem menor suscetibilidade aos efeitos do autoaquecimento na corrente de dreno, sendo esses os primeiros resultados experimentais de autoaquecimento em transistores sem junções.

No âmbito de trabalhos futuros, tem-se a possibilidade de realizar estudos similares utilizando o método de medidas pulsadas em nanofios transistores de porta tripla modo inversão, visto que a alta concentração dos transistores sem junções, ausente no canal de dispositivos modo inversão, tem influência na menor degradação da corrente devido ao autoaquecimento. Como mencionado anteriormente, também é possível expandir a discussão dos resultados obtidos ao se aprofundar o estudo dos fenômenos de transporte de cargas em relação ao campo elétrico e velocidade dos portadores e como esses parâmetros alteram a influência da temperatura na degradação da mobilidade. Outra possibilidade a ser explorada é a realização de medidas em baixas temperaturas, onde a influência do autoaquecimento será evidenciada devido à maior diferença entre a temperatura do dispositivo e a temperatura ambiente.

REFERÊNCIAS

AKARVARDAR, K. et al. A two-dimensional model for interface coupling in triple-gate transistors. **IEEE Transactions on Electron Devices**, v. 54, n. 4, p. 767-775, abr. 2007. Disponível em: <<http://ieeexplore.ieee.org/document/4142867/>>. Acesso em: 12 fev. 2018.

BALESTRA, F. et al. Double-gate silicon-on-insulator transistor with volume inversion: a new device with greatly performance. **IEEE Electron Device Letters**, v. 8, n. 9, p. 410-412, set. 1987. Disponível em: <<http://ieeexplore.ieee.org/document/1487227/>>. Acesso em: 14 ago. 2017.

BARRAUD, S. et al. Performance of omega-shaped-gate silicon nanowire MOSFET with diameter down to 8 nm. **IEEE Electron Device Letters**, v. 33, n. 11, p. 1526-1528, nov. 2012. Disponível em: <<http://ieeexplore.ieee.org/document/6303830/>>. Acesso em: 14 ago. 2017.

BARRAUD, S. et al. Scaling of trigate junctionless nanowire MOSFET with gate length down to 13 nm. **IEEE Electron Device Letters**, v. 33, n. 9, p. 1225-1227, set. 2012. Disponível em: <<http://ieeexplore.ieee.org/document/6243170/>>. Acesso em: 12 mar. 2018.

BARRAUD, S. et al. Scaling of Ω -gate SOI nanowire N- and P-FET down to 10nm gate length: size- and orientation-dependent strain effects. In: SYMPOSIUM ON VLSI TECHNOLOGY, 2013, Kyoto. **Anais eletrônicos... IEEE**, 2013. p. T230-T231. Disponível em: <<http://ieeexplore.ieee.org/document/6576656/>>. Acesso em: 1 ago. 2017.

BEPPU, N.; ODA, S.; UCHIDA, K. Experimental study of self-heating effect (SHE) in SOI MOSFETs: accurate understanding of temperatures during AC conductance measurement, proposals of 2ω method and modified pulsed IV. In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 2012, San Francisco. **Anais eletrônicos... IEEE**, 2013. p. 641-644. Disponível em: <<http://ieeexplore.ieee.org/document/6479120/>>. Acesso em: 22 set. 2017.

BERGAMASCHI, F. E.; PAVANELLO, M. A. Analysis of self-heating effects in junctionless nanowire transistors through current transients. In WORKSHOP ON SEMICONDUCTORS AND MICRO & NANO TECHNOLOGY (SEMINATEC), 2017, São Paulo.

BERGAMASCHI, F. E.; PAVANELLO, M. A.; MARININELLO, G. Self-heating-based analysis of gate structures on junctionless nanowire transistors. In: SYMPOSIUM ON MICROELECTRONICS TECHNOLOGY AND DEVICES (SBMICRO), 32., 2017, Fortaleza. **Anais eletrônicos...** IEEE, 2017. Disponível em: <<http://ieeexplore.ieee.org/document/8113025/>>. Acesso em: 22 jan. 2018.

BLUDAU, W.; ONTON, A.; HEINKE, W. Temperature dependence of the band gap of silicon. **Journal of Applied Physics**, v. 45, n. 4, p. 1846-1848, abr. 1974. Disponível em: <<http://aip.scitation.org/doi/abs/10.1063/1.1663501>>. Acesso em: 21 ago. 2017.

BURY, E. et al. Experimental validation of self-heating simulations and projections for transistors in deeply scaled nodes. In: INTERNATIONAL RELIABILITY PHYSICS SYMPOSIUM, 2014, Waikoloa. **Anais eletrônicos...** IEEE, 2014. p. XT.8.1-XT.8.6. Disponível em: <<http://ieeexplore.ieee.org/document/6861186/>>. Acesso em: 14 dez. 2017.

CANALI, C. et al. Electron and hole drift velocity measurements in silicon and their empirical relation to electric field and temperature. **IEEE Transactions on Electron Devices**, v. ED-22, n. 11, p. 1045-1047, nov. 1975. Disponível em: <<http://ieeexplore.ieee.org/document/1478102/>>. Acesso em: 13 set. 2017.

CAUGHEY, D. M.; THOMAS, R. E. Carrier mobilities in silicon empirically related to doping and field. **Proceedings of the IEEE**, v. 55, n. 12, p. 2192-2193, dez. 1967. Disponível em: <<http://ieeexplore.ieee.org/document/1448053/>>. Acesso em: 21 ago. 2017.

COLINGE, J. P. et al. Silicon-on-insulator 'gate-all-around device'. In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 1990, San Francisco. **Anais eletrônicos...** IEEE, 2002. p. 595-598. Disponível em: <<http://ieeexplore.ieee.org/document/237128/>>. Acesso em: 24 jul. 2017.

COLINGE, J. P. Conduction mechanisms in thin-film accumulation-mode SOI p-channel MOSFETs. **IEEE Transactions on Electron Devices**, v. 37, n. 3, p. 718-723, mar. 1990. Disponível em: <<http://ieeexplore.ieee.org/document/47777/>>. Acesso em: 05 dez. 2017.

COLINGE, J. P. **Physics of Semiconductor Devices**. 1. ed., Massachusetts: Kluwer Academic, 2002.

COLINGE, J. P. **Silicon-On-Insulator Technology: Materials to VLSI**. 3. ed., Massachusetts: Kluwer Academic, 2004.

COLINGE, J. P. **FinFETs and Other Multi-Gate Transistors**. 1. ed., Cambridge: Springer, 2008.

COLINGE, J. P. et al. SOI gated resistor: CMOS without junctions. In: IEEE INTERNATIONAL SOI CONFERENCE, 2009, Foster City. **Anais eletrônicos...** IEEE, 2009. p. 1-2. Disponível em: <<http://ieeexplore.ieee.org/document/5318737/>>. Acesso em: 28 jul. 2017.

COLINGE, J. P. et al. Junctionless nanowire transistor (JNT): properties and design guidelines. **Soild-State Electronics**, v. 65-66, n. 1, p. 33-37, jan. 2011. Disponível em: <<http://ieeexplore.ieee.org/document/5618216/>>. Acesso em: 15 ago. 2017.

COQUAND, R. et al. Strain-induced performance enhancement of tri-gate and omega-gate nanowire FETs scaled down to 10nm width. **IEEE Transactions on Electron Devices**, v. 60, n. 2, p. 727-732, feb. 2013. Disponível em: <<http://ieeexplore.ieee.org/document/6389768/>>. Acesso em: 1 ago. 2017.

DALLMANN, D. A.; SHENAI, K. Scaling constraints imposed by self-heating in submicron SOI MOSFET's. **IEEE Transactions on Electron Devices**, v. 42, n. 3, p. 489-496, mar. 1995. Disponível em: <<http://ieeexplore.ieee.org/document/368045/>>. Acesso em: 24 ago. 2017.

DORIA, Renan Trevisoli. **Operação e Modelagem de Transistores MOS Sem Junções**. 2013. 196 f. Tese (Doutorado em Engenharia Elétrica) – Centro Universitário FEI, São Bernardo do Campo, 2013.

DORIA, R. T. et al. Impact of the series resistance in the i-v characteristics of junctionless nanowire transistors and its dependence on the temperature. **Journal of Integrated Circuits and Systems**, v. 7, n. 2, p. 121-129, set. 2012. Disponível em: <<http://www.sbmicro.org.br/jics/>>. Acesso em: 15 ago. 2017.

DORKEL, J. M.; LETURCQ, Ph. Carrier mobilities in silicon semi-empirically related to temperature, doping and injection level. **Solid-State Electronics**, v. 24, n. 9, p. 821-825, out. 1980. Disponível em: <<http://www.sciencedirect.com/science/article/pii/0038110181900976>>. Acesso em: 24 out. 2017.

DOYLE, B. S. et al. High performance fully-depleted tri-gate CMOS transistors. **IEEE Electron Device Letters**, v. 24, n. 4, p. 263-265, abr. 2003. Disponível em: <<http://ieeexplore.ieee.org/document/1206858/>>. Acesso em: 25 jul. 2017.

FLANDRE, D., KILCHYTSKA, V., RUDENKO, T. g_m/I_d method for threshold voltage extraction applicable in advanced MOSFETs with nonlinear behavior above threshold. **IEEE Electron Device Letters**, v. 31, n. 9, p. 930-932, aug. 2010. Disponível em: <<http://ieeexplore.ieee.org/document/5545349/>>. Acesso em: 7 mar. 2018.

FOSSUM, J. G.; YANG, J. W.; TRIVEDI, V. P. Suppression of corner effects in triple-gate MOSFETs. **IEEE Electron Device Letters**, v. 24, n. 12, p. 745-747, dez. 2003. Disponível em: <<http://ieeexplore.ieee.org/document/1254605/>>. Acesso em: 13 ago. 2017.

GE, L.; FOSSUM, J. G.; GAMIZ, F. Mobility enhancement via volume inversion in double-gate MOSFETs. In: IEEE INTERNATIONAL SOI CONFERENCE, 2003, Newport Beach. **Anais eletrônicos... IEEE**, 2003. p. 153-154. Disponível em: <<http://ieeexplore.ieee.org/document/1242934/>>. Acesso em: 23 ago. 2017.

GOEL, A. K.; TAN, T. H. High-temperature and self-heating effects in fully depleted SOI MOSFETs. **Microelectronics Journal**, v. 37, n. 9, p. 963-975, set. 2006. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0026269206000188>>. Acesso em: 25 ago. 2017.

HAFEZ, I. M.; GHIBAUDO, G.; BALESTRA, F. Analytical modelling of the kink effect in MOS transistors. In: EUROPEAN SOLID STATE DEVICE RESEARCH CONFERENCE (ESSDERC), 19., 1989, Berlin. **Anais eletrônicos... IEEE**, 2010. p. 897-900. Disponível em: <<http://ieeexplore.ieee.org/document/5436458/>>. Acesso em: 05 dez. 2017.

HISAMOTO, D. et al. A fully depleted lean-channel transistor (DELTA) – A novel vertical ultrathin SOI MOSFET. **IEEE Electron Device Letters**, v. 11, n. 1, p. 36-38, jan. 1990. Disponível em: <<http://ieeexplore.ieee.org/document/46923/>>. Acesso em: 25 jul. 2017.

HISAMOTO, D. et al. FinFET – A self-aligned double-gate MOSFET scalable to 20 nm. **IEEE Transactions on Electron Devices**, v. 47, n. 12, p. 2320-2325, dez. 2000. Disponível em: <<http://ieeexplore.ieee.org/document/887014/>>. Acesso em: 25 jul. 2017.

HIRAMOTO, T. Nano-scale silicon MOSFET: towards non-traditional and quantum devices. IEEE INTERNATIONAL SOI CONFERENCE, 2001, Durango. **Anais eletrônicos...** IEEE, 2002. p. 8-10. Disponível em: <<http://ieeexplore.ieee.org/document/957959/>>. Acesso em: 11 ago. 2017.

JURCZAK, M. et al. Silicon-on-Nothing (SON) – An innovative process for advanced CMOS. **IEEE Transactions on Electron Devices**, v. 47, n. 11, p. 2179-2187, nov. 2000. Disponível em: <<http://ieeexplore.ieee.org/document/877181/>>. Acesso em: 11 ago. 2017.

KEITHLEY. **Model 4200-SCS Semiconductor Characterization System Reference Manual**. Keithley Instruments, inc., 2016.

KING, Y. C. et al. Small signal electron charge centroid model for quantization of inversion layer in a metal-on-insulator field-effect transistor. **Applied Physics Letters**, v. 72, n. 26, p. 3476-3478, jun. 1998. Disponível em: <<http://aip.scitation.org/doi/abs/10.1063/1.121671>>. Acesso em: 23 ago. 2017.

KLAASSEN D. B. M. A unified mobility model for device simulation- I. Model equations and concentration dependence. **Solid-State Electronics**, v. 35, n. 7, p. 953-959, jul. 1992. Disponível em: <<http://www.sciencedirect.com/science/article/pii/0038110192903257>>. Acesso em: 13 set. 2017.

LANDGRAF, E. et al. Influence of crystal orientation and body doping on trigate transistor performance. **Solid-State Electronics**, v. 50, n. 1, p. 38-43, jan. 2006. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0038110105003229>>. Acesso em: 14 ago. 2017.

LOMBARDI, C. et al. A physically based mobility model for numerical simulation of nonplanar devices. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, v. 7, n. 11, p. 1164-1171, nov. 1988. Disponível em: <<http://ieeexplore.ieee.org/document/9186/>>. Acesso em: 13 set. 2017.

MARINIELLO, G. et al. Underestimation of measured self-heating in nanowires by using gate resistance technique. **Electronic Letters**, v. 52, n. 23, p. 1935-1937, nov. 2016. Disponível em: <<http://ieeexplore.ieee.org/document/7728321/>>. Acesso em: 20 set. 2017.

MAUTRY, P. G.; TRAGER, J. Self-heating and temperature measurement in sub- μm -MOSFETs. In: EUROPEAN SOLID STATE DEVICE RESEARCH CONFERENCE (ESSDERC), 19., 1989, Berlin. **Anais eletrônicos... IEEE**, 2010. p. 675-678. Disponível em: <<http://ieeexplore.ieee.org/document/5436513/>>. Acesso em: 11 dez. 2017.

MIYANO, S.; HIROSE, M.; MASUOKA, F. Numerical analysis of a cylindrical thin-pillar transistor (CYNTHIA). **IEEE Transactions on Electron Devices**, v. 39, n. 8, p. 1876-1881, ago. 1992. Disponível em: <<http://ieeexplore.ieee.org/document/144678/>>. Acesso em: 11 ago. 2017.

MUJTABA S. A. **Advanced mobility models for design and simulation of deep submicrometer MOSFETs**, 1995. 170 f. Tese (Doctor of Philosophy) - Stanford University, Stanford, 1995. Disponível em: <<http://www-tcad.stanford.edu/tcad/pubs/theses/aonthesis.pdf>>. Acesso em: 13 set. 2017.

OTA, K. et al. Experimental study of self-heating effects in trigate nanowire MOSFETs considering device geometry. **IEEE Transactions on Electron Devices**, v. 59, n. 12, p. 3239-3242, dez. 2012. Disponível em: <<http://ieeexplore.ieee.org/document/6329420/>>. Acesso em: 1 ago. 2017.

OUISSSE, T. Self-consistent quantum-mechanical calculations in ultrathin silicon-on-insulator structures. **Journal of Applied Physics**, v. 76, n. 10, p. 5989-5995, nov. 1994. Disponível em: <<http://aip.scitation.org/doi/abs/10.1063/1.358382?journalCode=jap>>. Acesso em: 22 ago. 2017.

PARK, J. T.; COLINGE, J. P.; DIAZ, C. H. Pi-gate SOI MOSFET. **IEEE Electron Device Letters**, v. 22, n. 8, p. 405-406, ago. 2001. Disponível em: <<http://ieeexplore.ieee.org/document/936358/>>. Acesso em: 11 ago 2017.

PAVANELLO, M. A. et al. Analysis of temperature-induced saturation threshold voltage degradation in deep-submicrometer ultrathin SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 52, n. 10, p. 2236-2241, out. 2005. Disponível em: <<http://ieeexplore.ieee.org/document/1510914/>>. Acesso em: 12 mar. 2018.

PAVANELLO, M. A. et al. Impact of halo implantation on 0.13 μm floating body partially depleted SOI n-MOSFETs in low temperature operation. **Solid-State Electronics**, v. 49, n. 8, p. 1274-1281, ago. 2005. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S003811010500167X>>. Acesso em: 13 mar. 2018.

PAVANELLO, M. A. et al. Cryogenic operation of FinFETs aiming at analog applications. **Cryogenics**, v. 49, n. 11, p. 590-594, nov. 2009. Disponível em: <<https://www.sciencedirect.com/science/article/abs/pii/S0011227508002191>>. Acesso em: 8 mar. 2018.

POP, E.; DUTTON, R.; GOODSON, K. Thermal analysis of ultra-thin body device scaling (SOI and FinFET devices). In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 2003, Washington. **Anais eletrônicos... IEEE**, 2004. p. 8-10. Disponível em: <<http://ieeexplore.ieee.org/document/1269420/>>. Acesso em: 3 ago. 2017.

RAULY, E.; ÑIGUEZ, B.; FLANDRE, D. Investigation of deep submicron single and double gate SOI MOSFETs in accumulation mode for enhanced performance. **Electrothermal and Solid-State Letters**, v. 4, n. 3, p. G28-G30, 2001. Disponível: <https://www.researchgate.net/publication/239258942_Investigation_of_Deep_Submicron_Single_and_Double_Gate_SOI_MOSFETs_in_Accumulation_Mode_for_Enhanced_Performance>. Acesso em: 25 jul. 2017.

SAITO, T. et al. Suppression of short channel effects in triangular parallel wire channel MOSFETs. **IEICE Transactions on Electronics**, v. E-85C, n. 5, p. 1073-1078, maio 2002. Disponível em: <<http://ieeexplore.ieee.org/document/5435422/>>. Acesso em: 01 ago. 2017.

SEKIGAWA, T.; HAYASHI, Y. Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate. **Solid-State Electronics**, v. 27, n. 8-9, p. 827-828, set. 1984. Disponível em: <<http://www.sciencedirect.com/science/article/pii/0038110184900364>>. Acesso em: 10 ago. 2017.

SU, L. T. et al. Measurement and modeling of self-heating effects in SOI nMOSFETs. In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 1992, San Francisco. **Anais eletrônicos...** IEEE, 2002. p. 357-360. Disponível em: <<http://ieeexplore.ieee.org/document/307377/>>. Acesso em: 05/03/2018.

SUBRAMANIAN, V. et al. Impact of fin width on digital and analog performances of n-FinFETs. **Solid State Electronics**, v. 51, n. 4, p. 551-559, abr. 2007. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0038110107000548>>. Acesso em: 14 ago. 2017.

SYNOPSYS. **Sentaurus Device User Guide**. M-2016.12, Synopsys, 2016.

SYNOPSYS. **Sentaurus Structure Editor User Guide**. M-2016.12, Synopsys, 2016.

SZE, S. M. **Physics of Semiconductor Devices**. 2. ed. New York: John Wiley and Sons, 1981.

TENBROEK, B. M. et al. Impact of self-heating and thermal coupling on analog circuits in SOI CMOS. **IEEE Journal of Solid-State Circuits**, v. 33, n. 7, p. 1037-1046, jul. 1998. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=00701253>>. Acesso em: 01 ago. 2017.

TREVISOLI, R. D. et al. Analytical model for the threshold voltage of junctionless nanowire transistors. In: EUROSOI, 2011, Granada. **Anais...** IEEE, 2011. p. 67-68.

TREVISOLI, R. D. et al. Substrate bias influence on the operation of junctionless nanowire transistors. **IEEE Transactions on Electron Devices**, v. 61, n. 5, p. 1575-1582, maio 2014. Disponível em: <<http://ieeexplore.ieee.org/document/6774929/>>. Acesso em: 13 fev. 2018.

VASILESKA, D.; FERRY, D. K. Scaled silicon MOSFET's: universal mobility behavior. **IEEE Transactions on Electron Devices**, v. 44, n. 4, p. 577-583, abr. 1997. Disponível em: <<http://ieeexplore.ieee.org/document/563361/>>. Acesso em: 21 ago. 2017.

WACHUTKA, G. An extended thermodynamic model for the simultaneous simulation of the thermal and electrical behavior of semiconductor devices. In: INTERNATIONAL CONFERENCE ON THE NUMERICAL ANALYSIS OF SEMICONDUCTOR DEVICES AND INTEGRATED CIRCUITS, 1989, Dublin. **Anais...** International Conference on the Numerical Analysis of Semiconductor Devices and Integrated Circuits, 1989. p. 409-414.

WORKMAN, G. O. et al. Physical modeling of temperature dependences of SOI CMOS devices and circuits including self-heating. **IEEE Transactions on Electron Devices**, v. 45, n. 1, p. 125-133, jan. 1998. Disponível em: <<http://ieeexplore.ieee.org/document/658822/>>. Acesso em: 01 ago. 2017.

XIONG, W.; PARK, J. W.; COLINGE, J. P. Corner effect in multiple-gate SOI MOSFETs. In: IEEE INTERNATIONAL SOI CONFERENCE, 2003, Newport Beach. **Anais eletrônicos...** IEEE, 2003. p. 111-113. Disponível em: <<http://ieeexplore.ieee.org/document/1242919/>>. Acesso em: 05 dez. 2017.

YANG, F. L. et al. 25 nm CMOS omega FETs. In: IEEE INTERNATIONAL ELECTRON DEVICES MEETING (IEDM), 2002, San Francisco. **Anais eletrônicos...** IEEE, 2003. p. 255-258. Disponível em: <<http://ieeexplore.ieee.org/document/1175826/>>. Acesso em: 11 ago. 2017.

YASUDA, N. et al. Analytical device model of SOI MOSFETs including self-heating effect. **Japanese Journal of Applied Physics**, v. 30, n. 12B, p. 3677-3684, dez. 1991. Disponível em: <<http://iopscience.iop.org/article/10.1143/JJAP.30.3677/meta>>. Acesso em: 11 dez. 2017.

YOUNG, K. K. Short-channel effect in fully depleted SOI MOSFETs. **IEEE Transactions on Electron Devices**, v. 36, n. 2, p. 399-402, fev. 1989. Disponível em: <<http://ieeexplore.ieee.org/document/19942/>>. Acesso em: 05 dez. 2017.

APÊNDICE A – ARTIGOS PUBLICADOS

Durante o projeto de mestrado, os seguintes trabalhos foram aprovados para publicação:

Conferências internacionais:

- “*Self-Heating-based Analysis of Gate Structures on Junctionless Nanowire Transistors*”, realizado pelos autores Flávio Enrico Bergamaschi, Marcelo Antonio Pavanello e Genaro Mariniello, apresentado no 32nd Symposium on Microelectronics Technology and Devices – SBMicro 2017, Fortaleza – Brasil, de 28 de Agosto a 01 de Setembro de 2017.

Conferências nacionais:

- “*Simulation and Electrical Characterization of Fully Depleted SOI MOSFETs with 10 nm Thick Silicon Layer*”, realizado pelos autores Flávio Enrico Bergamaschi, Marcelo Antonio Pavanello, apresentado no 16th Microelectronics Student Forum – SForum 2016, Belo Horizonte – Brasil, de 29 de Agosto a 03 de Setembro de 2016.

- “*Analysis of Self-Heating Effects in Junctionless Nanowire Transistors Through Current Transients*”, realizado pelos autores Flávio Enrico Bergamaschi, Marcelo Antonio Pavanello, apresentado no XII Workshop on Semiconductors and Micro & Nano Technology – SEMINATEC 2017, São Paulo – Brasil, em 27 e 28 de Abril de 2017.

**APÊNDICE B – CÓDIGO PARA GERAÇÃO DA ESTRUTURA DE UM
TRANSISTOR MOS SEM JUNÇÕES NO SIMULADOR SENTAURUS**

```

(sde:clear)

(define tmet          0.005)
(define tmet2        0.050)
(define Wfin         (/ @Wfin@ 2000) )
(define Lfin         (/ @L@ 2000) )
(define Hfin         (/ @Hfin@ 2000) )
(define tox          0.0006)
(define tox2         0.0021)
(define sp           0.008)
(define extSDy       0.094)
(define ContSDx      0.045)
(define ContSDy      0.185)
(define tbox         0.145)
(define Wbox         (- (/ 0.99 2) 0.01395) )
(define Nd           5e+18)
(define Nsd          5e+20)

;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;; SILICIO
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;

; Define o canal 3D
(define r1 (sdegeo:create-cuboid (position (- Wfin) (- Lfin) (-
Hfin)) (position Wfin Lfin Hfin) "Silicon" "Canal"))

; Define a fonte 3D
(define r2 (sdegeo:create-cuboid (position (- Wfin) (- (+ Lfin sp))
(- Hfin)) (position Wfin (- Lfin) Hfin) "Silicon" "Fonte0"))

(define r3 (sdegeo:create-cuboid (position (- Wfin) (- (+ Lfin sp
extSDy)) (- Hfin)) (position Wfin (- (+ Lfin sp)) Hfin)
"Silicon" "Fonte1"))

(define r4 (sdegeo:create-cuboid (position (- (+ Wfin ContSDx)) (-
(+ Lfin sp extSDy ContSDy)) (- Hfin)) (position (+ Wfin ContSDx)
(- (+ Lfin sp extSDy)) Hfin) "Silicon" "Fonte2"))

(define CS (sdegeo:create-rectangle (position (- ContSDx) (- (+
Lfin sp extSDy (/ ContSDy 4))) Hfin) (position
ContSDx (- (+ Lfin sp extSDy (/ ContSDy 4) (/ ContSDy 2))) Hfin)
"Silicon" "FC01"))

(sdegeo:bool-unite (list r3 r4))

; Define o dreno 3D
(define r6 (sdegeo:create-cuboid (position (- Wfin) Lfin (- Hfin))
(position Wfin (+ Lfin sp) Hfin) "Silicon"
"Dreno0"))

(define r7 (sdegeo:create-cuboid (position (- Wfin) (+ Lfin sp) (-
Hfin)) (position Wfin (+ Lfin sp extSDy) Hfin) "Silicon"
"Dreno1"))

```

```
(define r8 (sdegeo:create-cuboid (position (- (+ Wfin ContSDx)) (+
Lfin sp extSDy) (- Hfin)) (position (+ Wfin ContSDx) (+ Lfin sp
extSDy ContSDy) Hfin) "Silicon" "Dreno2"))
```

```
(define CD (sdegeo:create-rectangle (position (- ContSDx) (+ Lfin
sp extSDy (/ ContSDy 4)) Hfin) (position ContSDx (+ Lfin
sp extSDy (/ ContSDy 4) (/ ContSDy 2)) Hfin) "Silicon" "DC01"))
```

```
(sdegeo:bool-unite (list r7 r8))
```

```
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;; OXIDO
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
```

```
; Define o oxido de porta 3D Superior
```

```
(define r10 (sdegeo:create-cuboid (position (- Wfin) (- Lfin) (+
Hfin tox)) (position Wfin Lfin Hfin) "Oxide"
"SiO2TOP"))
```

```
; Lateral Esquerdo
```

```
(define r11 (sdegeo:create-cuboid (position (- (+ Wfin tox)) (-
Lfin) (+ Hfin tox)) (position (- Wfin) Lfin (- Hfin)) "Oxide"
"SiO2ESQ"))
```

```
(define r12 (sdegeo:create-cuboid (position (- (+ Wfin tox)) (-
Lfin) (- Hfin)) (position (- (+ Wbox Wfin tox tox2 tmet) ) Lfin
(- (- Hfin tox))) "Oxide" "SiO2EXTESQ"))
```

```
; Lateral Direito
```

```
(define r13 (sdegeo:create-cuboid (position (+ Wfin tox) (- Lfin)
(+ Hfin tox)) (position Wfin Lfin (- Hfin)) "Oxide" "SiO2EDIR"))
```

```
(define r14 (sdegeo:create-cuboid (position (+ Wfin tox) (- Lfin)
(- Hfin)) (position (+ Wbox Wfin tox tox2 tmet) Lfin (- (- Hfin
tox))) "Oxide" "GOXEXTDIR"))
```

```
; Define o oxido2 de porta 3D Superior
```

```
(define r15 (sdegeo:create-cuboid (position (- (+ (+ Wfin tox)
tox2)) (- Lfin) (+ Hfin tox)) (position (+ (+ Wfin tox)
tox2) Lfin (+ (+ Hfin tox) tox2)) "HfO2" "HfO2TOP2"))
```

```
; Lateral Esquerdo2
```

```
(define r16 (sdegeo:create-cuboid (position (- (+ Wfin tox)) (-
Lfin) (+ Hfin (+ tox) tox2)) (position (- (+ (+ Wfin tox) tox2))
Lfin (- (- Hfin tox))) "HfO2" "HfO2ESQ"))
```

```

(define r17 (sdegeo:create-cuboid (position (- (+ (+ Wfin tox)
tox2)) (- Lfin) (- (- Hfin tox))) (position (- (+ Wbox Wfin tox
tox2 tmet)) Lfin (- (- Hfin (+ tox tox2)))) "HfO2" "HfO2EXTESQ"))

; Lateral Direito 2

(define r18 (sdegeo:create-cuboid (position (+ Wfin tox) (- Lfin)
(+ Hfin (+ tox) tox2)) (position (+ (+ Wfin tox) tox2) Lfin (- (-
Hfin tox))) "HfO2" "HfO2DIR"))

(define r19 (sdegeo:create-cuboid (position (+ (+ Wfin tox) tox2)
(- Lfin) (- (- Hfin tox))) (position (+ Wbox Wfin tox tox2 tmet)
Lfin (- (- Hfin (+ tox tox2)))) "HfO2" "HfO2EXTDIR"))

; Define o BOX

(define r20 (sdegeo:create-cuboid (position (- (+ Wbox Wfin tox
tox2 tmet)) (- (+ Lfin sp extSDy ContSDy)) (- Hfin)) (position (+
Wbox Wfin tox tox2 tmet) (+ Lfin sp extSDy ContSDy) (- (+ Hfin
tbox))) "Oxide" "BOX"))

;=====
;=====

; Define o oxido de fonte 3D Superior

(define r21 (sdegeo:create-cuboid (position (- (+ Wfin tox)) (-
Lfin) Hfin) (position (+ Wfin tox) (- (+ Lfin sp extSDy)) (+ Hfin
tox)) "Oxide" "SiO2FONTESUP"))

; Lateral Esquerdo

(define r22 (sdegeo:create-cuboid (position (- Wfin) (- Lfin) (-
Hfin)) (position (- (+ Wfin tox)) (- (+ Lfin sp extSDy)) (+ Hfin
tox)) "Oxide" "SiO2FONTESQ"))

; Lateral Direito

(define r23 (sdegeo:create-cuboid (position Wfin (- Lfin) (-
Hfin)) (position (+ Wfin tox) (- (+ Lfin sp extSDy)) (+ Hfin
tox)) "Oxide" "SiO2FONTEDIR"))

;=====
;=====

; Define o oxido de dreno 3D Superior

(define r24 (sdegeo:create-cuboid (position (- (+ Wfin tox)) Lfin
Hfin) (position (+ Wfin tox) (+ Lfin sp extSDy) (+ Hfin tox))
"Oxide" "SiO2DRENOSUP"))

; Lateral Esquerdo

(define r25 (sdegeo:create-cuboid (position (- Wfin) Lfin (- Hfin))
(position (- (+ Wfin tox)) (+ Lfin sp extSDy) (+ Hfin tox))
"Oxide" "SiO2DRENOESQ"))

```

```
; Lateral Direito
```

```
(define r26 (sdegeo:create-cuboid (position Wfin Lfin (- Hfin))
(position (+ Wfin tox) (+ Lfin sp extSDy) (+ Hfin tox))
"Oxide" "SiO2DRENODIR"))
```

```
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;; METAL
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
```

```
; Define o metal de porta 3D Superior
```

```
(define r27 (sdegeo:create-cuboid (position (- (+ (+ Wfin tox)
tox2)) (- Lfin) (+ (+ Hfin tox) tox2)) (position (+ (+ Wfin
tox) tox2) Lfin (+ (+ (+ Hfin tox) tox2) tmet)) "TiN"
"NitrSUP"))
```

```
; Define o metal de porta 3D Esquerdo
```

```
(define r28 (sdegeo:create-cuboid (position (- (+ (+ Wfin tox)
tox2)) (- Lfin) (+ (+ (+ Hfin tox) tox2) tmet)) (position (- (+
(+ (+ Wfin tox) tox2) tmet)) Lfin (- (- Hfin (+ tox tox2))))
"TiN" "NitrESQ"))
```

```
(define r29 (sdegeo:create-cuboid (position (- (+ (+ (+ Wfin tox)
tox2) tmet)) (- Lfin) (- (- Hfin (+ tox (+ tox2 tmet)))))
(position (- (+ Wbox Wfin tox tox2 tmet)) Lfin (- (- Hfin (+ tox
(+ tox2)))) "TiN" "NitrEXTESQ"))
```

```
; Define o metal de porta 3D Direito
```

```
(define r30 (sdegeo:create-cuboid (position (+ (+ Wfin tox) tox2)
(- Lfin) (+ (+ (+ Hfin tox) tox2) tmet)) (position (+ (+ (+ Wfin
tox) tox2) tmet) Lfin (- (- Hfin (+ tox tox2)))) "TiN"
"NitrDIR"))
```

```
(define r31 (sdegeo:create-cuboid (position (+ (+ (+ Wfin tox)
tox2) tmet) (- Lfin) (- (- Hfin (+ tox (+ tox2 tmet))))) (position
(+ Wbox Wfin tox tox2 tmet) Lfin (- (- Hfin (+ tox (+ tox2))))
"TiN" "NitrEXTDIR"))
```

```
; Define o metal de porta 3D Superior
```

```
(define r32 (sdegeo:create-cuboid (position (- (+ Wfin 0.145)) (-
Lfin) (+ (+ (+ Hfin tox) tox2) tmet)) (position (+ Wfin
0.145) Lfin (+ (+ (+ (+ Hfin tox) tox2) tmet) tmet2))
"GatePolySilicon" "PolySUP"))
```

```
(define r33 (sdegeo:create-cuboid (position (- (+ Wfin 0.145)) (+
Lfin 0.055) (+ (+ (+ Hfin tox) tox2) tmet)) (position (-
(+ Wfin 0.495)) (- (+ Lfin 0.055)) (+ (+ (+ (+ Hfin tox) tox2)
tmet) tmet2)) "GatePolySilicon" "PolySUPESQ"))
```

```
(define MC1 (sdegeo:create-rectangle (position (- (+ 0.16605 Wfin
tox tox2 tmet)) -0.045 (+ (+ (+ (+ Hfin tox) tox2) tmet) tmet2) )
(position (- (+ 0.16605 Wfin tox tox2 tmet 0.09)) 0.045 (+ (+ (+
(+ Hfin tox) tox2) tmet) tmet2)) "GatePolySilicon" "C01"))
```

```
(define MC2 (sdegeo:create-rectangle (position (- (+ 0.2 0.16605
Wfin tox tox2 tmet)) -0.045 (+ (+ (+ (+ Hfin tox) tox2) tmet)
tmet2) ) (position (- (+ 0.2 0.16605 Wfin tox tox2 tmet
0.09)) 0.045 (+ (+ (+ (+ Hfin tox) tox2) tmet) tmet2))
"GatePolySilicon" "C02"))
```

```
(define r36 (sdegeo:create-cuboid (position (+ Wfin 0.145) (+ Lfin
0.055) (+ (+ (+ Hfin tox) tox2) tmet)) (position (+ Wfin
0.495) (- (+ Lfin 0.055)) (+ (+ (+ (+ Hfin tox) tox2) tmet) tmet2))
"GatePolySilicon" "PolySUPDIR"))
```

```
(define MC3 (sdegeo:create-rectangle (position (+ 0.16605 Wfin tox
tox2 tmet) -0.045 (+ (+ (+ (+ Hfin tox) tox2) tmet) tmet2) )
(position (+ 0.16605 Wfin tox tox2 tmet 0.09) 0.045 (+ (+ (+ (+
Hfin tox) tox2) tmet) tmet2)) "GatePolySilicon" "C03"))
```

```
(define MC4 (sdegeo:create-rectangle (position (+ 0.2 0.16605 Wfin
tox tox2 tmet) -0.045 (+ (+ (+ (+ Hfin tox) tox2) tmet) tmet2) )
(position (+ 0.2 0.16605 Wfin tox tox2 tmet 0.09) 0.045 (+ (+ (+
(+ Hfin tox) tox2) tmet) tmet2)) "GatePolySilicon" "C04"))
```

```
;Poly inferior
```

```
(define r39 (sdegeo:create-cuboid (position (- (+ (+ (+ Wfin tox)
tox2) tmet) ) (- Lfin) (- (- Hfin (+ tox (+ tox2 tmet)))))
(position (- (+ Wbox Wfin tox tox2 tmet)) Lfin (+ (+ (+ Hfin
tox) tox2) tmet) ) "GatePolySilicon" "PolyINFESQ"))
```

```
(define r40 (sdegeo:create-cuboid (position (+ (+ (+ Wfin tox)
tox2) tmet) (- Lfin) (- (- Hfin (+ tox (+ tox2 tmet)))))
(position (+ Wbox Wfin tox tox2 tmet) Lfin (+ (+ (+ Hfin tox)
tox2) tmet)) "GatePolySilicon" "PolyINFDIR"))
```

```
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;; SPACER
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
```

```
; Spacer 1S
```

```
(define r41 (sdegeo:create-cuboid (position (- (+ (+ Wfin tox)
tox2)) (- Lfin) (+ Hfin tox)) (position (- (+ Wfin tox)) (- (+
Lfin sp)) (- Hfin)) "Si3N4" "spacer1S"))
```

```
; Spacer 2S
```

```

(define r42 (sdegeo:create-cuboid (position (+ (+ Wfin tox) tox2)
(- Lfin) (+ Hfin tox)) (position (+ Wfin tox) (- (+ Lfin sp)
(- Hfin)) "Si3N4" "spacer2S"))

; Spacer 3S

(define r43 (sdegeo:create-cuboid (position (- (+ (+ Wfin tox)
tox2)) (- Lfin) (+ Hfin tox) ) (position (+ (+ Wfin tox) tox2) (-
(+ Lfin sp)) (+ (+ (+ (+ Hfin tox) tox2) tmet) tmet2)) "Si3N4"
"spacer3S"))

; Spacer 1D

(define r44 (sdegeo:create-cuboid (position (- (+ (+ Wfin tox)
tox2)) Lfin (+ Hfin tox)) (position (- (+ Wfin tox)) (+ Lfin sp)
(- Hfin)) "Si3N4" "spacer1D"))

; Spacer 2D

(define r45 (sdegeo:create-cuboid (position (+ (+ Wfin tox) tox2)
Lfin (+ Hfin tox)) (position (+ Wfin tox) (+ Lfin sp) (-
Hfin)) "Si3N4" "spacer2D"))

; Spacer 3D

(define r46 (sdegeo:create-cuboid (position (- (+ (+ Wfin tox)
tox2)) Lfin (+ Hfin tox)) (position (+ (+ Wfin tox) tox2) (+
Lfin sp) (+ (+ (+ (+ Hfin tox) tox2) tmet) tmet2)) "Si3N4"
"spacer3D"))

;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
CONTATOS
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;

; Contato de portal

(sdegeo:define-contact-set "porta" 0.001 (color:rgb 1 0 0) "##")

(sdegeo:set-current-contact-set "porta")

(sdegeo:define-3d-contact (find-face-id (position (- (+ 0.16605
Wfin tox tox2 tmet 0.045)) 0 (+ (+ (+ (+ Hfin tox) tox2) tmet)
tmet2) )) (sdegeo:get-current-contact-set))

; Contato de porta2

(sdegeo:define-contact-set "porta2" 0.001 (color:rgb 1 0 0) "##")

(sdegeo:set-current-contact-set "porta2")

```

```

(sdegeo:define-3d-contact (find-face-id (position (- (+ 0.2
0.16605 Wfin tox tox2 tmet 0.045)) 0 (+ (+ (+ (+ Hfin tox)
tox2) tmet) tmet2) )) (sdegeo:get-current-contact-set))

; Contato de porta 3

(sdegeo:define-contact-set "porta3" 0.001 (color:rgb 1 0 0) "###")

(sdegeo:set-current-contact-set "porta3")

(sdegeo:define-3d-contact (find-face-id (position (+ 0.16605 Wfin
tox tox2 tmet 0.045) 0 (+ (+ (+ (+ Hfin tox) tox2) tmet)
tmet2) )) (sdegeo:get-current-contact-set))

; Contato de porta 4

(sdegeo:define-contact-set "porta4" 0.001 (color:rgb 1 0 0) "###")

(sdegeo:set-current-contact-set "porta4")

(sdegeo:define-3d-contact (find-face-id (position (+ 0.2 0.16605
Wfin tox tox2 tmet 0.045) 0 (+ (+ (+ (+ Hfin tox) tox2) tmet)
tmet2) )) (sdegeo:get-current-contact-set))

(sdegeo:delete-region MC1)
(sdegeo:delete-region MC2)
(sdegeo:delete-region MC3)
(sdegeo:delete-region MC4)

; Contato de dreno

(sdegeo:define-contact-set "dreno" 0.001 (color:rgb 0 1 0) "###")

(sdegeo:set-current-contact-set "dreno")

(sdegeo:define-3d-contact (find-face-id (position 0 (+ Lfin sp
extSDy (/ ContSDy 2)) Hfin )) (sdegeo:get-current-contact-
set))

(sdegeo:delete-region CD)

; Contato de fonte

(sdegeo:define-contact-set "fonte" 0.001 (color:rgb 0 1 0) "###")

(sdegeo:set-current-contact-set "fonte")

(sdegeo:define-3d-contact (find-face-id (position 0 (- 0 (+ Lfin
sp extSDy (/ ContSDy 2))) Hfin )) (sdegeo:get-current-contact-
set))

(sdegeo:delete-region CS)

```

```

; Contato do substrato

(sdegeo:define-contact-set "substrato" -0.001 (color:rgb 1 1 0)
"##")

(sdegeo:set-current-contact-set "substrato")

(sdegeo:define-3d-contact (find-face-id (position 0.000 0.000
(- (+ Hfin tbox) ) ) (sdegeo:get-current-contact-set))

;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;; DOPAGEM
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;

; Canal
(sdedr:define-constant-profile "definicao_perfil_constante_canal"
"ArsenicActiveConcentration" Nd)
(sdedr:define-constant-profile-region
"placement_perfil_constante_canal"
"definicao_perfil_constante_canal" "Canal")

; Fonte
(sdedr:define-constant-profile "definicao_perfil_constante_fonte0"
"ArsenicActiveConcentration" Nsd)
(sdedr:define-constant-profile-region
"placement_perfil_constante_fonte0"
"definicao_perfil_constante_fonte0" "Fonte0")

(sdedr:define-constant-profile "definicao_perfil_constante_fonte1"
"ArsenicActiveConcentration" Nsd)
(sdedr:define-constant-profile-region
"placement_perfil_constante_fonte1"
"definicao_perfil_constante_fonte1" "Fonte1")

(sdedr:define-constant-profile "definicao_perfil_constante_fonte2"
"ArsenicActiveConcentration" Nsd)
(sdedr:define-constant-profile-region
"placement_perfil_constante_fonte2"
"definicao_perfil_constante_fonte2" "Fonte2")

; Dreno
(sdedr:define-constant-profile "definicao_perfil_constante_dreno0"
"ArsenicActiveConcentration" Nsd)
(sdedr:define-constant-profile-region
"placement_perfil_constante_dreno0"
"definicao_perfil_constante_dreno0" "Dreno0")

(sdedr:define-constant-profile "definicao_perfil_constante_dreno1"
"ArsenicActiveConcentration" Nsd)

```

```

(sdedr:define-constant-profile-region
"placement_perfil_constante_drenol"
"definicao_perfil_constante_drenol" "Drenol")

(sdedr:define-constant-profile "definicao_perfil_constante_dreno2"
"ArsenicActiveConcentration" Nsd)
(sdedr:define-constant-profile-region
"placement_perfil_constante_dreno2"
"definicao_perfil_constante_dreno2" "Dreno2")

;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;; REFINO
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;

(sdedr:define-refinement-window "CanalGOX" "Cuboid"
(position (- Wfin) (- Lfin) (- Hfin 3E-4) )
(position
Wfin Lfin Hfin) )
(sdedr:define-refinement-window "CanalGOXESQ" "Cuboid"
(position (- (- Wfin 3E-4)) (- Lfin) (- Hfin) )
(position (- Wfin) Lfin
Hfin) )
(sdedr:define-refinement-window "CanalGOXDIR" "Cuboid"
(position (- Wfin 3E-4) (- Lfin) (- Hfin) )
(position
Wfin Lfin Hfin) )
(sdedr:define-refinement-window "SilicioFonte" "Cuboid"
(position (- Wfin) (- (- Lfin 3E-4)) (- Hfin) )
(position Wfin (- Lfin) Hfin) )
(sdedr:define-refinement-window "SilicioDreno" "Cuboid"
(position (- Wfin) (- Lfin 3E-4) (- Hfin) )
(position Wfin Lfin
Hfin) )

;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;; DEFINICAO DO REFINO ;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;

(sdedr:define-refinement-size "PolySilicon" (/ (* Wbox 2) 10) (/
(* (+ Lfin 0.055) 2) 2) (/ (+ (* Hfin 2) tmet2) 2) (/ (* Wbox 2)
10) (/ (* (+ Lfin 0.055) 2) 2) (/ (+ (* Hfin 2) tmet2) 2) )
(sdedr:define-refinement-size "TiN" (/ (* Wbox 2)
10) (/ (* Lfin 2) 10) (/ (+ (* Hfin 2) tmet2) 2)
(/ (* Wbox 2) 10) (/ (* Lfin 2) 10)
(/ (+ (* Hfin 2) tmet2) 2) )
(sdedr:define-refinement-size "Silicio" (/ (* Wfin 2) 10) (/
(* Lfin 2) 20) (/ (* Hfin 2) 6)
(/ (* Wfin 2) 10) (/ (*
Lfin 2) 20) (/ (* Hfin 2) 6) )
(sdedr:define-refinement-size "InterfaceH" (/ (* Wfin 2) 10) (/
(* Lfin 2) 20) 10E-4
(/ (* Wfin 2) 10) (/ (* Lfin 2) 20)
10E-4 )

```

```

(sdedr:define-refinement-size "InterfaceV"      10E-4 (/ (* Lfin 2)
20) (/ (* Hfin 2) 6)
                                10E-4 (/ (* Lfin 2) 20) (/ (* Hfin
2) 6) )
(sdedr:define-refinement-size "InterfaceV2"    (/ (* Wfin 2) 10)
10E-4 (/ (* Hfin 2) 6)
                                (/ (* Wfin 2) 10) 10E-4 (/ (*
Hfin 2) 6) )
(sdedr:define-refinement-size "FD0"            (/
(* Wfin 2) 4) (/ sp 3) (/ (* Hfin 2) 4)
                                (/ (* Wfin 2) 4) (/ sp 3) (/ (*
Hfin 2) 4) )
(sdedr:define-refinement-size "FonteDreno"     (/ (* (+ Wfin
ContSDx) 2) 6) (/ ContSDy 6) (/ (* Hfin 2) 2)
                                (/ (* (+ Wfin
ContSDx) 2) 6) (/ ContSDy 6) (/ (* Hfin 2) 2) )
(sdedr:define-refinement-size "TBOX"          (/ (* Wbox 2) 6) (/
(* (+ Lfin ContSDy sp) 2) 4) (/ tbox 2)
                                (/ (* Wbox 2) 6) (/ (* (+
Lfin ContSDy sp) 2) 4) (/ tbox 2) )

;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;
;; APLICACAO DO REFINO ;;
;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;

(sdedr:define-refinement-material              "RefPoly"
"PolySilicon"                                "GatePolySilicon")
(sdedr:define-refinement-material            "RefTiN"
"TiN"                                         "TiN")
(sdedr:define-refinement-region              "RefCanal"
"Silicio"                                    "Canal")
;(sdedr:define-refinement-placement          "RefSiGOX"
"InterfaceH"                                 "CanalGOX")
(sdedr:define-refinement-placement          "RefSiGOXESQ"
"InterfaceV"                                 "CanalGOXESQ")
(sdedr:define-refinement-placement          "RefSiGOXDIR"
"InterfaceV"                                 "CanalGOXDIR")
(sdedr:define-refinement-placement          "RefSiFonte"
"InterfaceV2"                                "SilicioFonte")
(sdedr:define-refinement-placement          "RefSiDreno"
"InterfaceV2"                                "SilicioDreno")
(sdedr:define-refinement-region              "RefFonte0"
"FD0"                                        "Fonte0")
(sdedr:define-refinement-region              "RefDreno0"
"FD0"                                        "Dreno0")
(sdedr:define-refinement-region              "RefFontel"
"FonteDreno"                                "Fontel")
(sdedr:define-refinement-region              "RefDreno1"
"FonteDreno"                                "Dreno1")
(sdedr:define-refinement-region              "RefFonte2"
"FonteDreno"                                "Fonte2")
(sdedr:define-refinement-region              "RefDreno2"
"FonteDreno"                                "Dreno2")
(sdedr:define-refinement-region              "RefBOX"
"TBOX"                                       "BOX")

```

```
////////////////////////////////////  
;; CONSTRUCAO DA GRADE ;;  
////////////////////////////////////
```

```
(sde:build-mesh "snmesh" ""  
"JNT_L@L@nmHfin@Hfin@nmW@Wfin@nm_n@node@_msh")
```

**APÊNDICE C – CÓDIGO EXEMPLO DE SIMULAÇÃO DC DE UM DISPOSITIVO
NO SIMULADOR SENTAURUS**

```

Device JNT {
Electrode {
    { Name="fonte"      Voltage=0.0 }
    { Name="dreno"     Voltage=0.0 }
    { Name="porta"     Voltage=0.0 }
    { Name="substrato" Voltage=0.0 }
}

#####
#####

Thermode{

    {Name = "substrato" Temperature=298 SurfaceResistance=1.25E-4}
    {Name = "fonte"     Temperature=298 SurfaceResistance=1.25E-4}
    {Name = "dreno"     Temperature=298 SurfaceResistance=1.25E-4}
    {Name = "porta"     Temperature=298 SurfaceResistance=1.25E-4}
    {Name = "porta2"    Temperature=298 SurfaceResistance=1.25E-4}
    {Name = "porta3"    Temperature=298 SurfaceResistance=1.25E-4}
    {Name = "porta4"    Temperature=298 SurfaceResistance=1.25E-4}
}

#####
#####

File {
    Grid      = "JNT_L@L@nmHfin@Hfin@nmW@Wfin@nm_@tdr@"
    Doping    = "JNT_L@L@nmHfin@Hfin@nmW@Wfin@nm_@tdr@"
    Parameter = "sdevice.par"

    Current   = "JNT_IDVD_L@L@nmHfin@Hfin@nmW@Wfin@nm_n@node@"
    Plot      = "JNT_IDVD_L@L@nmHfin@Hfin@nmW@Wfin@nm_n@node@"
}

#####
#####

Physics {
    Mobility (HighFieldSaturation Phumob ThinLayer (IALMob
(AutoOrientation)) Enormal)
    EffectiveIntrinsicDensity(BandGapNarrowing (OldSlotboom))
    Thermodynamic
}

#####
#####

CurrentPlot {
    Temperature ((0,0,0))
}

```

```
#####
#####
```

```
Plot {
  eDensity hDensity eCurrent hCurrent
  equasiFermi hquasiFermi
  ElectricField eEparallel hEparallel
  Potential SpaceCharge
  SRHRecombination Auger
  eMobility hMobility eVelocity hVelocity
  Doping DonorConcentration AcceptorConcentration
  ElectricField
  BandGap BandGapNarrowing Affinity ConductionBand valenceBand
  NearestInterfaceOrientation
  InterfaceOrientation
}
```

```
}
```

```
}
```

```
#####
#####
```

```
Math {
  ExitOnFailure
  number_of_threads = 4
  stacksize = 1000000
  Iterations=15
  Method= Ils
  CoordinateSystem {AsIs}
  AutoOrientation=(100,110)
}
```

```
}
```

```
#####
#####
```

```
System {
  JNT trans (dreno=d fonte=s porta=g substrato=b)
  Vsource_pset vd (d 0) {dc=0}
  Vsource_pset vs (s 0) {dc=0}
  Vsource_pset vg (g 0) {dc=0}
  Vsource_pset vb (b 0) {dc=0}
  plot "JNT_IDVD_L@L@nmHfin@Hfin@nmW@Wfin@nm_n@node@.txt" ( v(g s)
v(d s) i(trans s) )
}
```

```
}
```

```
#####
#####
```

```
Solve {
```

```
##### ZERO #####
```

```
  Poisson
```

```
Coupled { Poisson Electron Hole Temperature } CurrentPlot (time =
(-1))

##### PORTA #####

#define Vgs @<2+Vth1>@

    Quasistationary (
    MinStep=1E-3
    Goal { Parameter=vg.dc Voltage=Vgs}
    )
    { Coupled { Poisson Electron Hole Temperature } CurrentPlot (time
= (-1)) }

##### DRENO #####

    Quasistationary(
    MinStep=1E-3
    Goal{ Parameter=vd.dc Voltage=3}
    )
    { Coupled { Poisson Electron Hole Temperature } CurrentPlot (time
= (range = (0 1) intervals=150)) }

}
```

**APÊNDICE D – CÓDIGO EXEMPLO DE SIMULAÇÃO DE MEDIDA PULSADA DE
UM DISPOSITIVO NO SIMULADOR SENTAURUS**

```

Device JNT {
Electrode {
    { Name="fonte"      Voltage=0.0 }
    { Name="dreno"     Voltage=0.0 }
    { Name="porta"     Voltage=0.0 }
    { Name="substrato" Voltage=0.0 }
}

#####
#####

Thermode{

    {Name = "substrato" Temperature=298 SurfaceResistance=1.25E-4}
    {Name = "fonte"     Temperature=298 SurfaceResistance=1.25E-4}
    {Name = "dreno"     Temperature=298 SurfaceResistance=1.25E-4}
    {Name = "porta"    Temperature=298 SurfaceResistance=1.25E-4}
    {Name = "porta2"   Temperature=298 SurfaceResistance=1.25E-4}
    {Name = "porta3"   Temperature=298 SurfaceResistance=1.25E-4}
    {Name = "porta4"   Temperature=298 SurfaceResistance=1.25E-4}
}

#####
#####

File {
    Grid      = "JNT_L@L@nmHfin@Hfin@nmW@Wfin@nm_@tdr@"
    Doping    = "JNT_L@L@nmHfin@Hfin@nmW@Wfin@nm_@tdr@"
    Parameter = "sdevice.par"

    Current = "JNT_PULSED_VD_L@L@nmHfin@Hfin@nmW@Wfin@nm_n@node@"
    Plot    = "JNT_PULSED_VD_L@L@nmHfin@Hfin@nmW@Wfin@nm_n@node@"
}

#####
#####

Physics {
    Mobility (HighFieldSaturation Phumob ThinLayer (IALMob
(AutoOrientation)) Enormal)
    EffectiveIntrinsicDensity(BandGapNarrowing (OldSlotboom))
    Thermodynamic
}

#####
#####

CurrentPlot {
    Temperature ((0,0,0))
}

```

```
#####
#####
```

```
Plot {
  eDensity hDensity eCurrent hCurrent
  equasiFermi hquasiFermi
  ElectricField eEparallel hEparallel
  Potential SpaceCharge
  SRHRecombination Auger
  eMobility hMobility eVelocity hVelocity
  Doping DonorConcentration AcceptorConcentration
  ElectricField
  BandGap BandGapNarrowing Affinity ConductionBand valenceBand
  NearestInterfaceOrientation
  InterfaceOrientation
}

}
```

```
#####
#####
```

```
Math {
  ExitOnFailure
  number_of_threads = 4
  stacksize = 1000000
  Iterations=15
  AcceptNewtonParameter ( RhsMin=1.e-5 )
  Transient=BE
  Method= Ils
  CoordinateSystem {AsIs}
  AutoOrientation=(100,110)
}

}
```

```
#####
#####
```

```
System {
  JNT trans (dreno=d fonte=s porta=g substrato=b)
  Vsource_pset vd (d 0) {pulse = (0.0      #dc
                                3.0      #amplitude
                                1.0E-9   #tdelay
                                10.0E-9  #trise
                                10.0E-9  #tfall
                                200.0E-9 #thigh
                                250.0E-9) #period

  Vsource_pset vs (s 0) {dc=0}
  Vsource_pset vg (g 0) {dc=0}
  Vsource_pset vb (b 0) {dc=0}

  plot "JNT_PULSED_VD_L@L@nmHfin@Hfin@nmW@Wfin@nm_n@node@.txt" (
time() v(g s) v(d s) i(trans s) )
}

}
```

```
#####
#####
```

```
Solve {
```

```
##### ZERO #####
```

```
    Poisson
```

```
    Coupled { Poisson Electron Hole Temperature } CurrentPlot (time =
(-1))
```

```
##### PORTA #####
```

```
#define Vgs @<2.0+Vth2>@
```

```
    Quasistationary (
```

```
    MinStep=1.E-3
```

```
    Goal { Parameter=vg.dc Voltage=Vgs}
```

```
    )
```

```
    { Coupled { Poisson Electron Hole Temperature } CurrentPlot (time
= (-1))    }
```

```
##### DRENO #####
```

```
    Transient(
```

```
    AcceptNewtonParameter ( ReferenceStep=1.0E-9 )
```

```
    InitialTime=0 FinalTime=30.0E-9
```

```
    InitialStep=1.0E-9 MaxStep=1.0E-9 MinStep=0.1E-9
```

```
    )
```

```
    { Coupled { Poisson Electron Hole Temperature } }
```

```
    Transient(
```

```
    AcceptNewtonParameter ( ReferenceStep=1.0E-9 )
```

```
    InitialTime=30.0E-9 FinalTime=200.0E-9
```

```
    InitialStep=20.0E-9 MaxStep=20.0E-9 MinStep=0.1E-9
```

```
    )
```

```
    { Coupled { Poisson Electron Hole Temperature } }
```

```
    Transient(
```

```
    AcceptNewtonParameter ( ReferenceStep=1.0E-9 )
```

```
    InitialTime=200.0E-9 FinalTime=230.0E-9
```

```
    InitialStep=1.0E-9 MaxStep=1.0E-9 MinStep=0.1E-9
```

```
    )
```

```
    { Coupled { Poisson Electron Hole Temperature } }
```

```
    Transient(
```

```
    AcceptNewtonParameter ( ReferenceStep=1.0E-9 )
```

```
    InitialTime=230.0E-9 FinalTime=250.0E-9
```

```
    InitialStep=5.0E-9 MaxStep=5.0E-9 MinStep=0.1E-9
```

```
    )
```

```
    { Coupled { Poisson Electron Hole Temperature } }}
```

**APÊNDICE E – CÓDIGO EXEMPLO DE PARÂMETROS DE SIMULAÇÃO DE UM
DISPOSITIVO NO SIMULADOR SENTAURUS**

```
LatticeParameters {
  X = (1,-1,0)
  Y = (1,1,0)
}

Material = "Silicon" {

  IALMob "100":
  {
    mumax          =          220,220 #470.5
    mumin          =    115,44.9
    D1_acc         =    130,135.0
    C              =    4400,4400
    delta          =    2E13,2E13
  }

  IALMob "110":
  {
    mumax          =          200,200 #470.5
    mumin          =    70,44.9
    D1_acc         =    130,135.0
    C              =    4400,4400
    delta          =    2E12,2E12
  }

  HighFieldDependence:
  {
    alpha= 1.0,1.0
    beta0= 2.0,2.0
    betaexp = 0.0,0.0
  }
}
```