CENTRO UNIVERSITÁRIO DA FEI

RAFAEL NAVARENHO DE SOUZA

ESTUDO COMPARATIVO EXPERIMENTAL ENTRE O ESTILO DE LEIAUTE *WAVE* E O CONVENCIONAL EQUIVALENTE PARA IMPLEMENTAÇÃO DE CIRCUITOS INTEGRADOS ANALÓGICOS E DIGITAIS

São Bernardo do Campo

2012

RAFAEL NAVARENHO DE SOUZA

ESTUDO COMPARATIVO EXPERIMENTAL ENTRE O ESTILO DE LEIAUTE *WAVE* E O CONVENCIONAL EQUIVALENTE PARA IMPLEMENTAÇÃO DE CIRCUITOS INTEGRADOS ANALÓGICOS E DIGITAIS

Dissertação de mestrado apresentada ao Centro Universitário da FEI para a obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Salvador Pinillos Gimenez

São Bernardo do Campo

2012

Navarenho de Souza, Rafael

Estudo comparativo experimental entre o estilo de leiaute *Wave* e o convencional equivalente para implementação de circuitos integrados analógicos e digitais. / Rafael Navarenho de Souza. São Bernardo do Campo, 2012.

122f. : il.

Dissertação de Mestrado – Centro Universitário da FEI.

Orientador: Prof. Dr. Salvador Pinillos Gimenez.

1. *Wave*. 2. Leiaute 3. Medidas experimentais. 4. Parâmetros elétricos. I. Gimenez, Salvador Pinillos, orient. II. Título.

CDU 621.372.54

Centro Universitário da FEI

APRESENTAÇÃO DE DISSERTAÇÃO
ATA DA BANCA JULGADORA

PGE- 10

Programa de Mestrado de Engenharia Elétrica

Aluno: Rafael Navarenho de Souza Matrícula: 1101096

Título do Trabalho: **ESTUDO COMPARATIVO EXPERIMENTAL ENTRE O ESTILO DE LEIAUTE WAVE E O CONVENCIONAL EQUIVALENTE PARA IMPLEMENTAÇÃO DE CIRCUITOS INTEGRADOS ANALÓGICOS E DIGITAIS.**

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof. Dr. Salvador Pinillos Gimenez

ORIGINAL ASSINADA

Data da realização da defesa: 29 / maio / 2012

A Banca Julgadora abaixo-assinada atribuiu ao candidato o seguinte:

APROVADO ☒ REPROVADO ☐

São Bernardo do Campo, 29 / 05 / 2012.

MEMBROS DA BANCA JULGADORA

Prof. Dr. Salvador Pinillos Gimenez

Ass.: _____

Prof.ª Dr.ª Michele Rodrigues

Ass.: _____

Prof. Dr. Sebastião Gomes dos Santos Filho

Ass.: _____

VERSÃO FINAL DA DISSERTAÇÃO

ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS RECOMENDAÇÕES DA BANCA EXAMINADORA

_____

Aprovação do Coordenador do Programa de Pós-graduação

_____

Prof. Dr. Carlos Eduardo Thomaz

Aos meus pais Eduardo e Solange
pelo apoio, incentivo e carinho.

Aos meus irmãos Vinicius, Leonardo e Felipe
por estarem sempre ao meu lado.

Para a Alline por seu apoio incondicional em
todos os momentos.

AGRADECIMENTOS

Ao meu orientador, professor Dr. Salvador Pinillos Gimenez, pelo apoio, pela oportunidade de ser seu orientado, pela sua contribuição a este trabalho, por seu imenso comprometimento com a formação e educação dos seus orientados, pela disseminação do seu conhecimento e amizade construída neste período.

Aos professores Dr. Renato Camargo Giacomini e Dr.ª Michele Rodrigues pelo incentivo e contribuição em minha banca de Qualificação de mestrado.

Aos professores Dr. Marcelo Bellodi, Dr. Marcelo Antonio Pavanello, Dr.ª Paula Ghedini Der Agopian e Prof.ª Dr.ª Michelly de Souza pelas excelentes aulas ministradas.

A Adriana e Ricardo da secretaria do mestrado, pela total competência na condução dos trabalhos de secretaria.

Aos meus pais Antonio Eduardo de Souza e Solange Isabel Navarenho de Souza, pelo incentivo, carinho e amor que sempre foi me dado.

Aos meus irmãos Vinicius, Leonardo e Felipe que incentivaram, participaram e se interessaram por esse trabalho, bem como as importantes discussões, estudos e observações do também aluno Leonardo.

A minha namorada Alline Moraes Galdi por sua compreensão, paciência, apoio, incentivo, carinho e amor recebido durante esta jornada.

Aos meus amigos de infância, aos amigos da minha rua e da graduação que sempre me incentivaram nesta busca que eu tenho pelos conhecimentos na área de engenharia.

Aos amigos de turma, pela troca de informações e apoio.

Aos amigos da General Motors do Brasil que dividiram algumas aflições e sempre me apoiaram nesta empreitada.

A General Motors do Brasil por financiar parte do curso e por me incentivar o estudo científico.

Agradeço a vida concedida com proteção, saúde, paz, harmonia, felicidade, sabedoria e capacidade de seguir com os estudos.

Agradeço a Deus...

“Neste mundo não existe verdade universal. Uma mesma verdade pode apresentar diferentes fisionomias. Tudo depende das decifrações feitas através de nossos prismas intelectuais, filosóficos, culturais e religiosos."

Dalai Lama

RESUMO

Navarenho de Souza, R**. ESTUDO EXPERIMENTAL COMPARATIVO ENTRE O ESTILO DE LEIAUTE *WAVE* E O CONVENCIONAL EQUIVALENTE PARA IMPLEMENTAÇÃO DE CIRCUITOS INTEGRADOS ANALÓGICOS E DIGITAIS**. 2012 122f. Dissertação de Mestrado – Centro Universitário da FEI, São Bernardo do Campo, 2012.

O objetivo deste trabalho é comparar, por seus resultados experimentais, os parâmetros elétricos entre uma nova estrutura de leiaute de transistor, denominada de *Wave* nMOSFET, com a do nMOSFET convencional equivalente, visando às aplicações em circuitos integrados analógicos e digitais. Assim, para este trabalho foram usados MOSFETs projetados no Centro Universitário da FEI, com geometria retangular (convencional) e *Wave*, utilizando o processo de fabricação CMOS convencional da AMI *Semiconductor (On Semiconductor*) de 0,5 μm via o Programa Educacional do MOSIS (*MOSIS Education Program*, MEP). O *Wave* MOSFET é criado a partir do transistor com a porta em formato de anel circular e apresenta sua porta em formato de "S". No *Wave* MOSFET, o fluxo da corrente elétrica entre dreno e fonte é radial. Suas regiões de dreno e fonte são simétricas, ao contrário do transistor de porta em formato de anel circular. Neste trabalho foram realizadas medidas experimentais dos *Wave* nMOSFETs e convencionais equivalentes para as mesmas condições de polarização e diferentes comprimentos de canais e foram realizadas comparações do comportamento elétrico entre esses dispositivos. A partir das curvas da corrente de dreno em função da sobretensão de porta dos *Wave* nMOSFETs e dos convencionais equivalentes, foram extraídas e analisadas a tensão de limiar, a corrente de dreno normalizada pelo fator geométrico em função da sobretensão de porta na região Triodo, a resistência série entre fonte e dreno, a corrente de dreno estado ligado (I_{ON}), a corrente de dreno de estado desligado (I_{OFF}), a razão I_{ON}/ $I_{OFF,}$ a corrente de dreno de fuga, a inclinação de sublimiar, a transcondutância máxima, a razão da transcondutância pela corrente entre dreno e a fonte em função da corrente entre dreno e fonte normalizada pelo fator geométrico, a frequência de ganho de tensão unitário e ganho de tensão em malha aberta. A partir das curvas da corrente de dreno em função da tensão de dreno dos *Wave* nMOSFETs e dos convencionais equivalentes foram extraídas e analisadas a corrente de dreno normalizada pelo fator geomérico em função da tensão de dreno na região Saturação, a tensão *Early* e a resistência série entre fonte e dreno de estado ligado.

Foram verificados através dos resultados experimentais, considerando as mesmas condições de polarização, diferentes comprimentos de canal (2,3 μm, 6 μm e 12 μm) e praticamente o mesmo fator geométrico, entre o *Wave* nMOSFET e o nMOSFET convencional equivalente, um melhor desempenho do *Wave* nMOSFET na corrente de dreno normalizada pelo fator geométrico em função da sobretensão de porta na região Triodo de 13,67%, na resistência série entre fonte e dreno de 14,90%, na corrente de dreno estado ligado de 22,18%, na corrente de dreno de estado desligado de 4,65%, na razão I_{ON}/ I_{OFF} de 28,38%, na transcondutância máxima de 13,53%, na razão da transcondutância pela corrente entre dreno e fonte em função da corrente entre dreno e fonte normalizada pelo fator geométrico de 7,01% na inversão moderada e forte, na frequência de ganho de tensão unitário de 13,91%, na corrente de dreno normalizada pelo fator geométrico em função da tensão de dreno na região Saturação de 9,92% e na resistência série de estado ligado entre fonte e dreno de 10,85%. Os seguintes parâmetros tiveram comportamento similar no *Wave* nMOSFET comparado ao convencional equivalente, a corrente de dreno de fuga, a inclinação de sublimar, a razão da transcondutância pela corrente entre dreno e fonte em função da corrente entre dreno e fonte normalizada pelo fator geométrico na inversão fraca e o ganho de tensão em malha aberta. Por

sua vez a tensão *Early* do *Wave* nMOSFET teve um desempenho menor de 4,56% quando comparado ao convencional equivalente.

Palavras chave: *Wave*. Leiaute. Medidas experimentais. Parâmetros elétricos.

ABSTRACT

Navarenho de Souza, R**. EXPERIMENTAL COMPARATIVE STUDY BETWEEN THE WAVE LAYOUT STYLE AND ITS CONVENTIONAL COUNTERPAT FOR IMPLEMENTATION OF ANALOG AND DIGITAL INTEGRATED CIRCUITS**. 2012 122f. Master Science Dissertation – Centro Universitário da FEI, São Bernardo do Campo, 2012.

The proposal of this study is to compare, through the experimental results, the electrical behavior of a new layout structure transistor called Wave nMOSFET with the conventional MOSFET counterpart in order to verify its application in digital and analog integrated circuits. So that, for this study were used MOSFETs designed at FEI University Center, in rectangular geometry (conventional) and *Wave*, using conventional CMOS manufacturing process from AMI Semiconductor (On Semiconductor) of 0,5 μm by using MOSIS Education Program, MEP. The Wave MOSFET created based on the circular gate MOSFET presents "S" shape. The drain current that flows on the Wave MOSFET is radial. The drain and source regions of Wave MOSFET are symmetrical in contrast of the circular gate transistor. In this work experimental measurements were executed among the Wave nMOSFETs devices and conventional counterpart with the same bias conditions and different channel lengths. Comparisons of the electrical behavior among these devices were performed. Based on the current drain as a function of the voltage gate curves of the Wave nMOSFET and conventional counterpart, were extracted and analyzed the threshold voltage, the current drain normalized by the geometric factor as a function of the voltage gate in triode region, the series resistance between drain and source, the ON state drain current (I_{ON}), the OFF state drain current (I_{OFF}), the I_{ON}/ I_{OFF} ratio, the drain leakage current, the subthreshold slope, the maximum transconductance, the ratio of transconductance over the drain current as a function of the ratio of the drain current normalized by the geometric factor, the unity frequency voltage gain and the open loop gain voltage. Based on the current drain as a function of the voltage drain curves of the Wave nMOSFETs and conventional counterpart were extracted and analyzed the current drain normalized by the geometric factor as a function of the voltage drain in the saturation region, the early voltage and the ON state series resistance between drain and source.

Were verified by experimental results, considering the same bias conditions, different channel lengths (2,3 μm, 6 μm e 12 μm) and about the same geometric factor, between the *Wave* nMOSFET and conventional nMOSFET counterpart, a better performance of the *Wave* nMOSFET on the the current drain normalized by the geometric factor as a function of the voltage gate in the triode region of 13.67%, on the state series resistance between drain and source of 14.90%, on the ON state drain current of 22.18%, on the OFF state drain current of 4.65%, on the I_{ON}/ I_{OFF} ratio of 28.38%, on the maximum transconductance of 13.53%, on the ratio of transconductance over the drain current as a function of the ratio of the drain current normalized by the geometric factor of 7.01% on moderate and strong inversion, on the unity frequency voltage gain of 13.91%, on the current drain normalized by the geometric factor as a function of the voltage drain in saturation region of 9.92%, on the ON state resistance between drain and source of 10.85%. The following parameters had a similar behavior, the drain leakage current, the subtreshold slope, the ratio of transconductance between drain current as a function of the ratio of the drain current normalized by the geometric factor in the weak inversion and the open loop gain voltage. On the other hand the early voltage of the *Wave* nMOSFET had a worse performance than the conventional counterpart of 4.56 %.

Keyword: Wave. Layout. Experimental measurements. Electrical parameters.

LISTA DE FIGURAS

Figura 1.1 – Exemplo de uma seção transversal de um nMOSFET convencional (*bulk*).....23
Figura 1.2 – Exemplo de uma seção transversal de um SOI nMOSFET convencional.....23
Figura 1.3- Exemplo de um leiaute Multidedos posicionado em duas formas diferentes na lâmina de silício, uma em relação a X e outra em relação a Y e I_{DS} fluindo na direção de X (a) e I_{DS} fluindo na direção de Y (b).....25
Figura 1.4 – Exemplo de leiaute de um nMOSFET planar de potência (*Planar POWER* SOI nMOSFET) implementado com o leiaute *Waffle*.....26
Figura 1.5 – Resultado de uma simulação numérica tridimensional da densidade de corrente total (J_T) no SOI nMOSFET na região de cruzamentos das portas: (a) vista superior e (b) J_T em função das direções de x e y (AA' e BB' linhas tracejadas), onde J_x, J_{-x}, J_y, J_{-y} são componentes da densidade da corrente de dreno na direção x e y.....27
Figura 1.6 – Exemplo de um Exemplo de leiaute de um nMOSFET planar de potência implementado com *Wave* SOI nMOSFETs.....29
Figura 2.1 – Exemplo de uma seção transversal de um SOI nMOSFET.....31
Figura 2.2 – Exemplos de SOI MOSFETs de porta circular em configuração de polarização de dreno interno (a) e com configuração de polarização de dreno externo (b).....34
Figura 2.3 – Ilustração do fluxo de corrente de dreno radial e divergente do SOI MOSFET de porta circular em configuração de polarização de dreno interno (a) e radial e convergente do SOI MOSFET de porta circular em configuração de polarização de dreno externo (b).....35
Figura 2.4 - Circuitos equivalentes dos MOSFETs com as resistências séries parasitas de dreno, fonte e do canal na configuração de dreno interno e dreno externo, indicando a influência das diferenças entre as resistências séries de fonte nas configurações de dreno interno e dreno externo.....36
Figura 2.5 – Vista superior e seção transversal dos SOI nMOSFETs convencional (a), do SOI nMOSFET com porta em formato circular operando em configuração de dreno externo (b) e de dreno interno (c), contendo a indicação do sentido da corrente ao longo do canal.....37
Figura 2.6 – Exemplo do transistor de porta circular que foi cortado ao meio e deslocando-se os seus dois semicírculos até formar um “S”, gerando o *Wave* SOI MOSFET.....37
Figura 2.7 – Exemplo de leiaute de um *Wave* SOI nMOSFET.....39

Figura 2.8 – Ilustração do fluxo de corrente radial em cada semicírculo da estrutura *Wave* SOI MOSFET.....40
Figura 2.9 – Exemplo de uma curva da segunda derivada da corrente de dreno em função da tensão de porta do SOI nMOSFET, para extração da tensão de limiar.....42
Figura 2.10– Exemplo de uma curva Log I_{DS}/(W/L) em função de V_{GS} para um *Wave* nMOSFET e um nMOSFET convencional de comprimento de canal igual a 2,3 µm.....43
Figura 2.11 – Exemplo de um MOSFET indicando as tensões das resistências parasitas de dreno e de fonte.....44
Figura 2.12 – Exemplo de uma curva da resistência série em função de V_{GT} de um MOSFET convencional de comprimento de canal igual a 12µm para um V_{DS} de 10mV.....45
Figura 2.13 – Exemplo de uma curva experimental de I_{DS} em função de V_{DS} que é utilizada para extrair da resistência de estado ligado (R_{DSon}).....47
Figura 2.14 – I_{DS} em função de V_{DS} ilustrando a extrapolação da região linear na região Saturação para determinação de V_{EA}.....48
Figura 2.15 – Exemplo de uma curva experimental Log I_{DS} em função de V_{GS} de um MOSFET utilizada para extrair I_{ON}.....49
Figura 2.16 – Exemplo de uma curva de Log I_{DS} em função de V_{GS} experimental utilizada para extrair I_{OFF}.....50
Figura 2.17 – Exemplo de uma curva de Log I_{DS} em função de V_{GS} experimental utilizada para extrair I_{leak}.....51
Figura 2.18 – Exemplo de uma curva g_m/I_{DS} em função de [I_{DS}/(W/L)], com a identificação das regiões de inversão fraca, moderada e forte.....52
Figura 2.19 – Curvas de A_{V0} e f_T em função de [I_{DS}/(W/L)].....54
Figura 3.1 **–** Leiaute dos MOSFETs *Wave* (em formato de "S" à esquerda) bem como dos seus convencionais equivalentes (em formato retangular à direita) com L=2,3 µm (a) e L=6,0 µm (b) L=12,0 µm (c) utilizados neste trabalho.....56
Figura 3.2 – Imagem do *Wave* (a), bem como do seu convencional equivalente (b) com o comprimento de canal de 12µm.....58
Figura 4.1 – Micro provador *Cascade Microtech* (a) e o analisador de dispositivos semicondutores *Keithley* 4200 da *Keithley Instruments Inc.(*b) que foram usados para caracterizar eletricamente os dispositivos.....59
Figura 4.2 – Curva experimental de I_{DS}/(W/L) em função de V_{GT} para L=2,3 µm (a) L=6 µm (b) e L=12 µm (c) com V_{DS} = 0,4V e V_{DS} =0,6V, respectivamente do *Wave* MOSFET e do MOSFET convencional equivalente.....61

Figura 4.3 – Desvio em porcentagem de I_{DS}/(W/L) na região Triodo do *Wave* MOSFET em função do comprimento de canal quando comparado ao MOSFET convencional equivalente para V_{DS} =0,4V e V_{GT} =2V.....64
Figura 4.4 – Curva experimental da resistência série em função de V_{GT} para L = 12µm com V_{DS}=10mV do *Wave* MOSFET e do MOSFET convencional equivalente.....65
Figura 4.5 – Desvio em porcentagem da resistência de série do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente para V_{DS}= 10mV.....66
Figura 4.6 – Desvio em porcentagem de I_{ON} do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente para V_{DS} =3,5V.....68
Figura 4.7 – Desvio em porcentagem de I_{OFF} do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente para V_{DS} =3,5V e V_{GT} =0.....70
Figura 4.8 – Desvio em porcentagem de I_{ON} /I_{OFF} do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente para V_{DS} =3,5V.....72
Figura 4.9 – Desvio em porcentagem de I_{leak} do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente paraV_{DS} =3,5V e V_{GT} =-0,4.....74
Figura 4.10 – Curva experimental de I_{DS}/(W/L) em função de V_{DS} para L=2,3 µm (a) L=6 µm (b) e L=12 µm (c) com V_{GT} = 0,5V e V_{GT} =0,7V do *Wave* MOSFET e do MOSFET convencional equivalente.....75
Figura 4.11 – Desvio em porcentagem de I_{DS}/(W/L) na região Saturação do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente para V_{GT}=0,5V e V_{DS}=2V.....79
Figura 4.12 – Desvio em porcentagem de V_{EA} do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente para V_{GT} =0,5V.....80
Figura 4.13 – Desvio em porcentagem de R_{DSON} do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente V_{GT} =0,5V.....82
Figura 4.14 – Curva experimental de Log I_{DS}/(W/L) em função de V_{GT} para L=2,3 µm (a) L=6 µm (b) e L=12 µm (c) com V_{DS} = 0,4V, respectivamente do *Wave* MOSFET e do MOSFET convencional equivalente.....83
Figura 4.15 – Desvio em porcentagem da inclinação sublimiar do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente para V_{DS}=0,4V.....85

Figura 4.16 – Curva experimental de $g_m/(W/L)$ em função de V_{GT} para L=2,3 µm (a), L=6 µm (b) e L=12µm (c) com V_{DS} = 0,8V, respectivamente do *Wave* MOSFET e do MOSFET convencional equivalente.....86
Figura 4.17 – Desvio em porcentagem da transcondutância máxima do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente para V_{DS} =0,8V.....89
Figura 4.18 – Curva experimental de g_m/I_{DS} em função de I_{DS} /(W/L) para L=2,3 µm (a) L=6 µm (b) e L=12µm (c) com V_{DS} = 0,8V do *Wave* MOSFET e do MOSFET convencional equivalente.....91
Figura 4.19 – Desvio em porcentagem de g_m/I_{DS} (V^{-1}) do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente para V_{DS} =0,8V e $I_{DS}/(W/L) = 1X10^{-6}$ A.....93
Figura 4.20 – Curva experimental de f_T em função de I_{DS} /(W/L) para L=2,3µm (a) L=6µm (b) e L=12µm (c) com V_{DS} = 0,8V do *Wave* MOSFET e do MOSFET convencional equivalente.....94
Figura 4.20 – Desvio em porcentagem de f_T do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente para V_{DS} =0,8V e $I_{DS}/(W/L) = 4X10^{-5}$.....97
Figura 4.21 – Curva experimental de A_{V0} em função de I_{DS} /(W/L) para L=2,3µm (a), L=6µm (b) e L=12 µm (c) com V_{DS} = 0,8V do *Wave* MOSFET e do MOSFET convencional equivalente.....98
Figura 4.21 – Desvio em porcentagem de A_{V0} do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente para V_{DS} =0,8V e $I_{DS}/(W/L) = 1X10^{-6}$ A.....100

LISTA DE TABELAS

Tabela 1- Comparação entre as áreas e os fatores de integração dos leiautes Multidedos, *Waffle* e *Wave*.....30
Tabela 2 – L,W e W/L dos dispositivos experimentais utilizados neste trabalho.....57
Tabela 3 – L, W, fator geométrico e a tensão de limiar dos dispositivos estudados.....61
Tabela 4 – Valores de I_{DS}/ (W/L) na região Triodo para V_{DS} =0,4 V e V_{DS} = 0,6V com V_{GT} de 2V, bem como o desvio em porcentagem de I_{DS}/(W/L) do *Wave* MOSFET comparado ao MOSFET convencional equivalente.....63
Tabela 5 – Valores da $R_{Série}$ (Ω) para V_{DS} =10mV , bem como desvio em porcentagem de $R_{Série}$ do *Wave* MOSFET comparado ao MOSFET convencional equivalente.....66
Tabela 6– Valores de I_{ON} para V_{DS} =3,5V, bem como o desvio em porcentagem de I_{ON} do *Wave* MOSFET comparado ao MOSFET convencional equivalente.....68
Tabela 7– Valores de I_{OFF} para V_{DS} =3,5V e V_{GT} =0 , bem como desvio em porcentagem de I_{OFF} do *Wave* MOSFET comparado ao MOSFET convencional equivalente.....69
Tabela 8– Valores da razão I_{ON} /I_{OFF} para V_{DS} =3,5 V , bem como desvio em porcentagem da razão I_{ON}/I_{OFF} do *Wave* MOSFET comparado ao MOSFET convencional equivalente.....71
Tabela 9 – Valores de I_{leak} para V_{DS} =3,5V e V_{GT} = -0,4V , bem como o desvio em porcentagem de I_{leak} do *Wave* MOSFET comparado ao MOSFET convencional equivalente..... 73
Tabela 10 - Valores I_{DS}/ (W/L) na região Saturação para V_{GT} =0,5 V e V_{GT}= 0,7V com V_{DS}= 2V, bem como o desvio em porcentagem de I_{DS}/(W/L) do *Wave* MOSFET comparado ao MOSFET convencional equivalente.....77
Tabela 11 - Valores de tensão *Early* extraídos da curva I_{DS}/(W/L) em função de V_{DS} com V_{GT}=0,5V, bem como o desvio em porcentagem de V_{EA} do *Wave* MOSFET comparado ao MOSFET convencional equivalente.....78
Tabela 12 - Valores da resistência entre fonte e dreno extraídos da curva I_{DS}/(W/L) (A) em função de V_{DS} (V) com V_{GT}=0,5V, bem como o desvio em porcentagem de R_{DSON} do *Wave* MOSFET comparado ao MOSFET convencional equivalente.....81
Tabela 13– Valores de inclinação sublimiar para V_{DS} =0,4 V , bem como o desvio em porcentagem de Log I_{DS}/(W/L) do *Wave* MOSFET comparado ao MOSFET convencional equivalente.....85

Tabela 14 – Valores da transcondutância para V_{DS} =0,8 V com V_{GT} de 2V, bem como desvio em porcentagem de $g_m/(W/L)$ do *Wave* MOSFET comparado ao MOSFET convencional equivalente.....88
Tabela 15 – Valores da transcondutância máxima para V_{DS} =0,8 V , bem como o desvio em porcentagem de $g_{mmáx}/(W/L)$ do *Wave* MOSFET comparado ao MOSFET convencional equivalente.....89
Tabela 16 – Valores de g_m/ I_{DS} (V^{-1}) para V_{DS} =0,8 V e $I_{DS}/(W/L)$ de $1x10^{-6}$ (A), bem como o desvio em porcentagem de g_m/ I_{DS} (V^{-1}) do *Wave* MOSFET comparado ao MOSFET convencional equivalente.....93
Tabela 17 – Valores de f_T para V_{DS} =0,8 V e $I_{DS}/(W/L) = 4x10^{-5}$, bem como o desvio em porcentagem de f_T do *Wave* MOSFET comparado ao MOSFET convencional equivalente...96
Tabela 18 – Valores de A_{V0} (dB) para V_{DS} =0,8 V e $I_{DS}/(W/L) = 1x10^{-6}$, bem como desvio em porcentagem de A_{V0} do *Wave* MOSFET comparado ao MOSFET convencional equivalente.....100
Tabela 19 - Comparação das características elétricas entre o *Wave* nMOSFET e o seu nMOSFET convencional equivalente.....102

LISTA DE SÍMBOLOS

A_V	Ganho de tensão de malha aberta
C_L	Capacitância de carga (F)
C_{ox}	Capacitância do óxido de porta por unidade de área (F/cm^2)
E	Campo elétrico (V/cm)
ε_{si}	Permissividade do silício [1,06 x 10-12 F/cm]
f_g	Fator Geométrico (W/L)
f_T	Frequência de ganho de tensão unitário (Hz)
g_m	Transcondutância (S)
$g_{mmáx}$	Transcondutância máxima (S)
I_{OFF}	Corrente de dreno de estado desligado (A)
I_{ON}	Corrente de dreno de estado ligado (A)
I_{leak}	Corrente de dreno de fuga (A)
I_{DS}	Corrente de dreno (A)
I_{DStri}	Corrente de dreno operando na região Triodo (A)
I_{DSsat}	Corrente de dreno operando na região Saturação (A)
I_{DSx}	Corrente de dreno do SOI nMOSFET no sentido positivo do eixo x (A)
$I_{DS\text{-}y}$	Corrente de dreno do SOI nMOSFET no sentido negativo do eixo y (A)
I_{DSy}	Corrente de dreno do SOI nMOSFET no sentido positivo do eixo y (A)
$I_{DS\ Wave}$	Corrente de dreno do *Wave* SOI nMOSFET (A)
$I_{DS\ Convencional}$	Corrente de dreno do SOI nMOSFET convencional (A)
$I_{D\ Sub}$	Corrente de dreno na região de sublimiar (A)
L	Comprimento do canal (µm)
N_A	Concentração de dopantes no canal do transistor (cm^{-3})
n_i	Concentração intrínseca dos portadores (cm^{-3})
Q	Carga elementar do elétron ($1,6\ 10^{-19}$ C)
Q_{Deff}	Carga de depleção efetiva na camada de silício [C/cm^2]
$R_{Série}$	Resistência série do transistor (Ω)
$R_{Série\ total}$	Resistência série total do transistor (Ω)
R_D	Resistência de dreno (Ω)
R_S	Resistência de fonte (Ω)
R_C	Resistência do canal (Ω)

R1	Raio interno que define o início do canal do transistor (µm)
R2	Raio externo que define o final do canal do transistor (µm)
R3	Raio da região externa da fonte na configuração de polarização dreno interno ou o raio da região externa do dreno na configuração de polarização dreno externa (µm)
S	Inclinação de sublimiar (mV/década)
SiO_2	Dióxido de silício (m)
V_{DS}	Tensão entre dreno e fonte (V)
V_{DS_Sat}	Tensão de dreno de saturação (V)
t_{Si}	Espessura da camada de silício (m)
t_{ox}	Espessura do óxido de porta (m)
υ	Velocidade dos portadores móveis no canal (m^2/s)
V_B	Tensão de substrato (V)
V_D	Tensão de dreno (V)
V_G	Tensão de porta (V)
V_S	Tensão de fonte (V)
V_{FB}	Tensão de faixa plana (V)
V_{EA}	Tensão Early (V)
V_{GSeff}	Tensão de entre porta e fonte eficaz (V)
V_{GS}	Tensão aplicada à porta do transistor (V)
V_{GT}	Sobretensão de porta (V)
V_{TH}	Tensão de limiar (V)
V_{RD}	Diferença de potencial na resistência série do dreno (V)
V_{RF}	Diferença de potencial na resistência série da fonte (V)
W	Largura do canal (m)
$X_{dmáx}$	Espessura máxima da região de depleção (m)
μ	Mobilidade dos portadores no canal de um MOSFET (cm^2/Vs)
Φ_F	Potencial de Fermi (V)
α	Fator de acoplamento capacitivo do SOI MOSFET

LISTA DE ABREVIATURAS

MOSFET	*Metal Oxide Semiconductor Field Effect Transistor* (Transistor de efeito de campo Metal- Óxido- Semicondutor)
CI	Circuito Integrado
CIs	Circuitos Integrados
CMOS	*Complementary Metal Oxide Semiconductor* (Metal Óxido Semicondutor Complementar)
D%	Desvio em porcentagem obtido entre o *Wave* MOSFET e o correspondente MOSFET convencional equivalente em relação ao convencional equivalente
SOI	*Silicon- On- Insulator* (Silício Sobre Isolante)
MOS	*Metal Oxide Semiconductor* (Metal Óxido Semicondutor)
FinFET	*Fin Field Effect Transistor*
ESD	*Electrostatic Discharge* (Descarga eletrostática)
Wave	Transistor com formato do canal em S
DE	Configuração de polarização de dreno externo
DI	Configuração de polarização de dreno interno
PD	Parcialmente depletado (*Partialy Depleted*)
FD	Totalmente depletado (*Fully Depleted*)
NFD	Quase totalmente depletado (*Near Fully Depleted*)
OTA	Amplificador Operacional de Transcondutância

SUMÁRIO

1 INTRODUÇÃO.....22

2 CONCEITOS FUNDAMETAIS.....31

2.1 O SOI nMOSFET.....31

2.2 Classificação dos Tipos de SOI MOSFETs.....31

2.2.1 SOI parcialmente depletado (*Partially Depleted*, PD SOI).....32

2.2.2 SOI totalmente depletado (*Fully Depleted*, FD SOI)…….....32

2.2.3 SOI quase totalmente depletado (*Near-fully Depleted*, NFD SOI).....33

2.3 SOI MOSFET Convencional.....33

2.4 SOI MOSFET de Porta Circular.....33

2.5 *Wave* SOI MOSFET.....37

2.6 Tensão de Limiar.....40

2.7 Inclinação de Sublimiar.....42

2.8 Transcondutância.....43

2.9 Resistência Série entre Dreno e Fonte.....44

2.9.1 Resistência série de estado ligado.....46

2.10 Tensão Early.....47

2.11 Corrente de Dreno Estado Ligado.....48

2.12 Corrente de Dreno Estado Desligado.....49

2.13 Corrente de Dreno de Fuga.....50

2.14 Razão I_{ON}/ I_{OFF}.....51

2.15 Razão da Transcondutância pela Corrente de Dreno em Função da Corrente de Dreno Normalizada em Relação ao Fator Geométrico [g_m/I_{DS} em função de $I_{DS}/(W/L)$].....51

2.16 Frequência de Ganho de Tensão Unitário.....53

2.17 Ganho de Tensão de Malha Aberta.....53

3 PROJETO E FABRICAÇÃO DOS MOSFETs UTILIZADOS.....55

3.1 Descrição dos MOSFETs Utilizados e Leiaute.....55

4 MEDIDAS EXPERIMENTAIS.....59

4.1 Tensão de Limiar (V_{TH}).....59

4.2 Características das Curvas da Corrente de Dreno Normalizada pelo Fator Geométrico em Função da Sobretensão de Porta [I_{DS}/(W/L) em função de V_{GT}].....60

4.3 Resistência Série do *Wave* MOSFET e do MOSFET Convencional Equivalente.....65

4.4 Extração da Corrente de Dreno de Acionamento (I_{ON}).....67

4.5 Extração da Corrente de Dreno de Desacionamento (I_{OFF}).....69

4.6 Razão I_{ON} /I_{OFF}.....70

4.7 Extração da Corrente de Dreno de Fuga (I_{leak}).....72

4.8 Características das Curvas da Corrente de Dreno Normalizada pelo Fator Geométrico em Função da Tensão de Dreno [(I_{DS}/(W/L) em função de V_{DS})].....74

4.9 Tensão *Early* (V_{EA}).....79

4.10 Resistência Série de Estado Ligado (R_{DSON}).....81

4.11 Inclinação Sublimiar (S).....82

4.12 Transcondutância (g_m).....83

4.13 Razão da Transcondutância pela Corrente entre Dreno e Fonte em Função da Corrente entre Dreno e Fonte Normalizada pelo Fator Geométrico [g_m/I_{DS} em função de I_{DS}/(W/L)].....90

4.14 Frequência de Ganho de Tensão Unitário (f_T).....94

4.15 Ganho de Tensão em Malha Aberta (A_{V0}).....97

4.16 Quadro Comparativo dos Resultados Experimentais….....101

5 CONCLUSÕES E SEQUÊNCIA DE ESTUDO.....103

REFERÊNCIAS.....106

APÊNDICE A – Dados de fabricação dos dispositivos *Wave* MOSFET no MOSIS.....110

APÊNDICE B – Dedução do fator geométrico.....114

APÊNDICE C – Artigo EUROSOI 2012.....117

APÊNDICE D – Artigo SEMINATEC 2012.....120

1 INTRODUÇÃO

O MOSFET (Transistor de Efeito de Campo Metal-Óxido-Semicondutor) é um dispositivo que apresenta quatro terminais (dreno, porta, fonte e substrato), inventado por Julius Edgar Lilienfield e patenteado entre os anos de 1920 e 1930 [1,2]. O MOSFET é capaz de controlar o fluxo de corrente entre seus terminais de saída (dreno e fonte) através do campo elétrico vertical, aplicado na porta, que é isolada do canal do dispositivo por uma camada fina de óxido [1,2].

O MOSFET somente teve sucesso comercial a partir de 1960, devido ao avanço da tecnologia de fabricação do óxido de porta [2].

A lâmina de silício, do qual o dispositivo MOSFET é fabricado, possui uma espessura de aproximadamente 800 μm e apenas os primeiros micrometros superiores da lâmina de silício são usados para fabricar o dispositivo [3].

Com o crescente uso dos circuitos integrados (CIs) nas aplicações eletrônicas, houve uma procura constante pela redução de suas dimensões, para que um maior grau de integração fosse possível de ser realizado, ou seja, para obter um número maior de dispositivos por unidade de área (A). Com a redução das dimensões desses dispositivos, podem-se ter circuitos integrados mais velozes e com menores custos de fabricação [4].

Contudo, com a redução das dimensões dos dispositivos MOSFETs convencional (Figura 1.1) e com a interação entre as regiões ativa e do substrato de silício dos dispositivos surgem efeitos parasitários indesejados [3], tais como: o efeito de canal curto, a degradação da mobilidade dos portadores móveis do canal (elétrons ou lacunas) e o efeito tiristor parasitário [4, 5, 6].

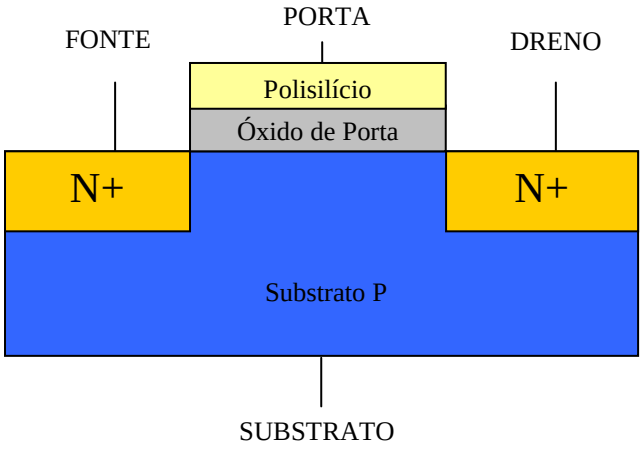


Figura 1.1 – Exemplo da seção transversal de um nMOSFET convencional (*bulk*).

Com o objetivo de minimizar os efeitos parasitários do MOSFET convencional [efeito de canal curto, a degradação da mobilidade dos portadores móveis do canal (elétrons ou lacunas) e o efeito tiristor parasitário], o SOI (Silício-Sobre-Isolante) MOSFET (Figura 1.2), que é da mesma época do MOSFET convencional e que nas décadas de 1980 e 1990 era de uso restrito das aplicações de circuitos integrados resistentes (robustos) à radiação e para uso em altas temperaturas, passou a ser estudado e analisado mais detalhadamente [7]. O SOI MOSFET se diferencia do MOSFET convencional, pois apresenta uma camada de óxido enterrado entre a região ativa e o substrato do dispositivo [7].

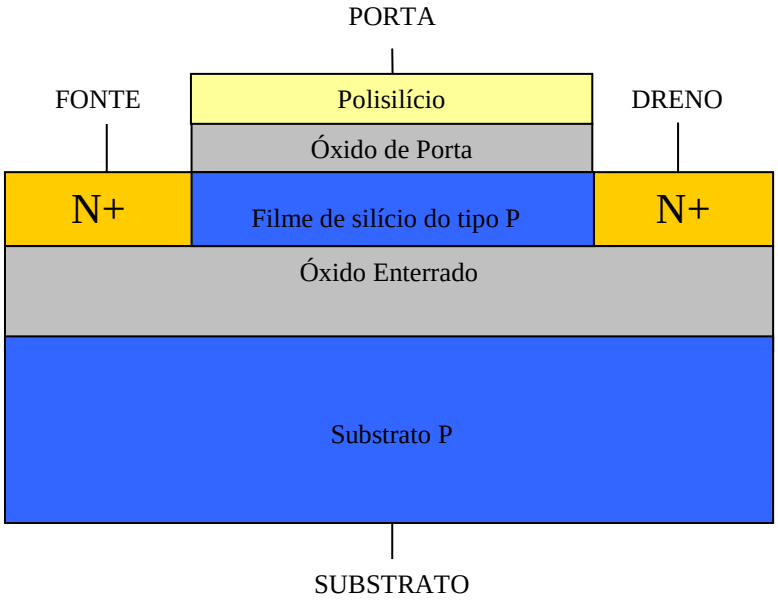


Figura 1.2 – Exemplo de uma seção transversal de um SOI nMOSFET convencional.

A tecnologia SOI MOSFET vem se desenvolvendo há vários anos, com o intuito de melhorar, a potência consumida, a velocidade, diminuir as capacitâncias parasitas e melhorar a integração dos dispositivos [8].

Uma das vertentes do desenvolvimento de novos dispositivos foca nos MOSFETs tridimensionais (3D) e aos seus processos de fabricação pertinentes a essa tecnologia, envolvendo altos custos financeiros. Outra importante vertente visa estudar novos estilos de leiaute diferentemente dos convencionais atualmente usados nos circuitos integrados analógicos e digitais (*Wave*, Circular, Diamante e Octo), que não requer qualquer custo adicional ligado ao processo de fabricação dos circuitos integrados planares.

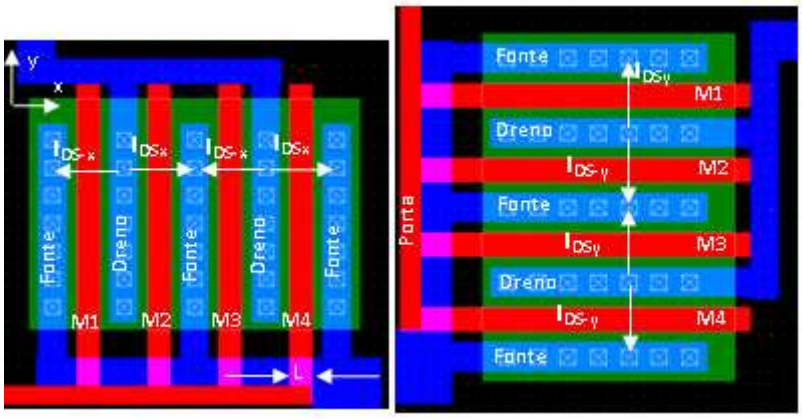
Portanto o estudo de novas geometrias de transistores fundamentou-se com uma nova frente de pesquisa e a motivação desde trabalho, obtendo uma maior longevidade da tecnologia atual.

Os transistores com elevados fatores geométricos (W/L), ou seja, transistores de grandes dimensões, geralmente são divididos em vários transistores com W menores, que são ligados em paralelo, onde os contatos de dreno, fonte e porta são compartilhados a fim de reduzir à área do dispositivo, a capacitância de junção e melhorar o casamento entre os transistores [9,10].

Atualmente dois leiautes são os mais usados com a intenção de melhorar as características elétricas dos dispositivos e aumentar a escalabilidade e são conhecidos como Multidedos (*Multifinger*) e *Waffle* (formato de porta em anel quadrado ou formato de cruz) [9,10].

No leiaute Multidedos, as correntes de dreno e fonte possuem apenas uma direção e esta pode ser no sentido de X ou de Y, conforme é mostrado na Figura 1.3. Este único sentido de corrente de dreno não é capaz de compensar os erros aleatórios (variações da área, da razão de aspecto do dispositivo, da variação da espessura do óxido de porta e etc.) e sistemáticos (desalinhamento das máscaras, difusão lateral e etc.), intrínsecos ao processo de fabricação e estes afetam a corrente de dreno nos sentidos de X e de Y ao mesmo tempo, portanto esse tipo de leiaute não é adequado para se obter um bom casamento entre os transistores em circuitos que necessitam de dispositivos casados para se ter um bom desempenho elétrico [8].

Observe que na Figura 1.3a, que a corrente de dreno (I_{DS}) flui apenas no sentido de X com $I_{DS\text{-}x}$ e I_{DSx}, dessa forma os efeitos das dispersões aleatórias na corrente $I_{DS\text{-}x}$ são compensadas por aquelas que afetam I_{DSx}, (compensação em apenas uma única direção), e da mesma forma, a Figura 1.3b mostra a corrente de dreno (I_{DS}) fluindo apenas no sentido de Y, com $I_{DS\text{-}y}$ e I_{DSy} [10].



(a) (b)

Figura 1.3- Exemplo de um leiaute Multidedos posicionado em duas formas diferentes na lâmina de silício, uma em relação a X e outra em relação a Y e I_{DS} fluindo na direção de X (a) e I_{DS} fluindo na direção de Y (b) [10].

Diferentemente da estrutura de leiaute Multidedos, a estrutura de leiaute *Waffle* apresenta duas componentes de corrente de dreno para cada direção (X e Y). Esta estrutura de leiaute apresenta uma maior corrente de dreno, menor área, melhor casamento entre transistores, menores capacitâncias de junções e são mais imunes aos erros sistemáticos e aleatórios, provocados pelo processo de fabricação, quando comparada com o leiaute Multidedos [10]. As variações aleatórias do processo de fabricação que ocorrem nas correntes de dreno I_{DS-x} e I_{DS-y} são compensadas pelas variações aleatórias do processo de fabricação que acontecem nas correntes de dreno I_{DSx} e I_{DSy}, respectivamente [10], como podem ser visto através da Figura 1.4, que apresenta um dispositivo Planar *POWER* SOI nMOSFET implementado com vários transistores *Waffle* interconectados em paralelo.

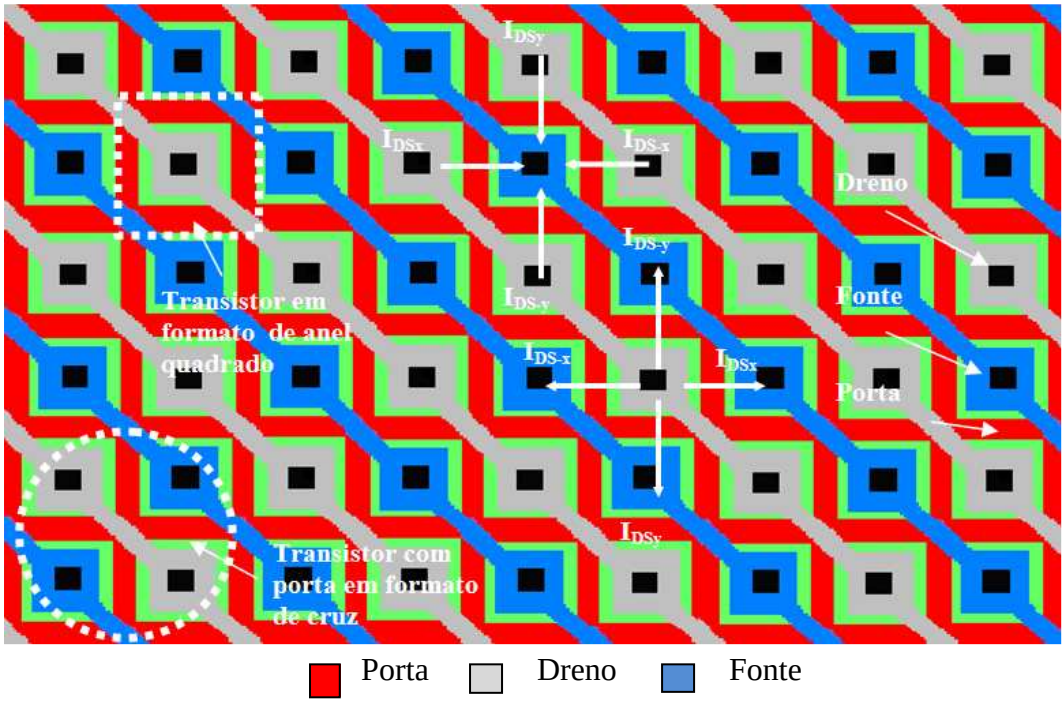
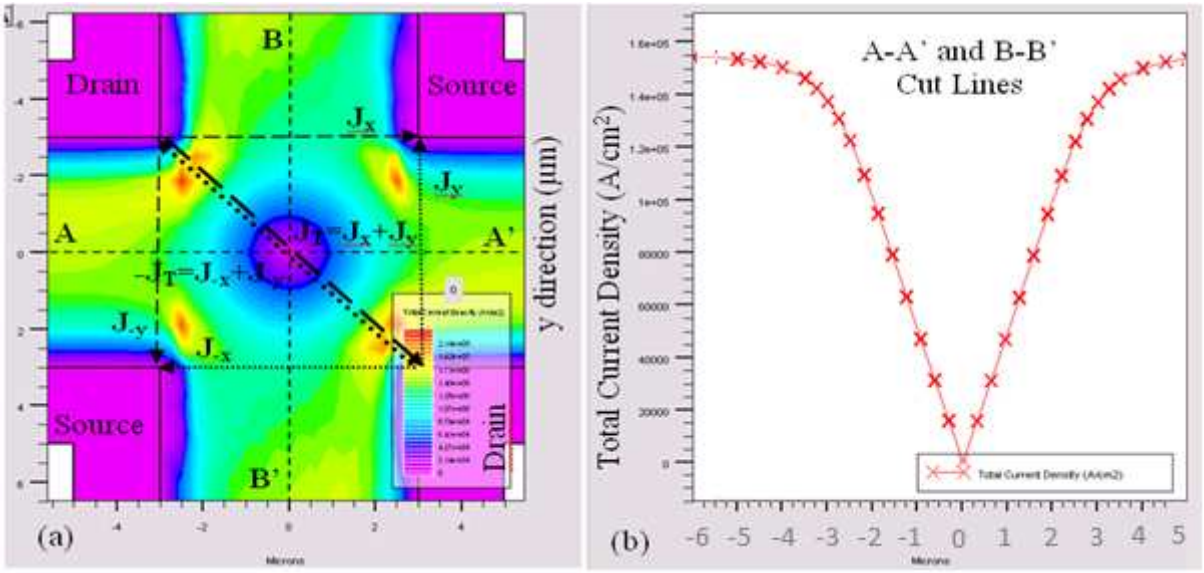


Figura 1.4 – Exemplo de leiaute de um nMOSFET planar de potência (*Planar POWER* SOI nMOSFET) implementado com o leiaute *Waffle* [10].

Pode-se considerar que o leiaute *Waffle* apresenta duas células básicas como pode ser observado na Figura 1.4 [10]. Uma dessas células básicas apresenta a geometria da porta em formato de anel quadrado e a outra em formato de cruz [10]. Através de simulações numéricas tridimensionais, realizadas com a região de porta em formato de cruz, verificou-se que o campo elétrico é nulo no centro da região de cruzamento das portas, e consequentemente a densidade de corrente de dreno é nula nesta região, de acordo com a Figura 1.5 [9,10]. Dessa forma, a região de cruzamento entre as regiões de porta, não opera como transistor e consome área adicional de silício [10]. Além disso, as regiões de fonte e dreno no leiaute *Waffle* possuem cantos de 90^0, que propicia um maior fenômeno de avalanche, reduzindo a dissipação da potência, e consequentemente degradando o seu comportamento com relação à descarga eletrostática (ESD) [9,10].



(a) (b)

Figura 1.5- Resultado de uma simulação numérica tridimensional da densidade de corrente total (J_T) no SOI nMOSFET na região de cruzamentos das portas: (a) vista superior e (b) J_T em função das direções de x e y (AA' e BB' linhas tracejadas), onde J_x, J_{-x}, J_y, J_{-y} são componentes da densidade da corrente de dreno na direção x e y [10].

Em relação aos transistores planares, novas formas geométricas tem sido e vem sendo estudadas com o objetivo de reduzir a área ocupada de silício. Por exemplo, sabe-se que a geometria circular apresenta uma razão perímetro sobre área menor que a do anel em formato quadrado e pode-se melhorar a integração da estrutura de leiaute *Waffle* MOSFET pela utilização de geometrias circulares de MOSFETs [10]. Portanto, estudos com novas topologias de geometrias estão sendo sugeridas de forma a entender o comportamento elétrico destes dispositivos e verificar seus benefícios.

Foi estudado o comportamento da tensão Early no SOI nMOSFET de porta circular [11], através de resultados de medidas experimentais e simulações numéricas tridimensionais. As comparações realizadas entre os SOI nMOSFETs de porta circular e o convencional equivalente mostraram que o transistor de porta circular em configuração de polarização de dreno externo, apresenta uma melhor tensão Early em relação à configuração de polarização de dreno interno e que a do convencional [11].

Na referência [12] foi estudada a corrente de dreno de fuga do SOI nMOSFET de porta circular, em ambas as configurações de polarização (dreno interno e externo), para altas temperaturas (300K a 573K) e comparado ao seu transistor de porta retangular equivalente. Constatou-se que para as mesmas condições de polarização, mesma temperatura de operação, mesmo comprimento e mesma largura de canal, a corrente de dreno fuga é menor no SOI

nMOSFET convencional, quando comparado com o SOI nMOSFET de porta circular, para ambas as configurações de polarização de dreno (interno e externo) [12]. A configuração de polarização dreno externo apresentou valores de corrente de dreno fuga menores, quando comparado com a configuração de polarização de dreno interno [12].

Na referência [13] foi realizado um estudo comparativo da distorção harmônica, entre o SOI nMOSFET de porta circular para ambas as configurações de polarização de dreno (interno e externo) e o seu equivalente convencional. Os resultados mostraram que a distorção harmônica total efetiva (THD), dividido pelo ganho de tensão em malha aberta (A_{V0}), em função da razão da transcondutância (g_m) sobre a corrente de dreno do SOI nMOSFET de geometria circular, operando em configuração de polarização dreno externo, é menor quando comparado com a configuração de polarização dreno interno e que por sua vez é menor que a do convencional [13]. Dessa forma, ele se torna uma alternativa de dispositivo para as aplicações de em circuitos integrados que necessitam de baixa distorção harmônica (filtros ativos, etc.) [13].

Um estudo comparativo realizado entre a razão da transcondutância sobre a corrente de dreno em função da corrente de dreno normalizada pelo fator geométrico [g_m/I_{DS} em função de $I_{DS}/(W/L)$] do SOI nMOSFET de porta circular e o seu equivalente convencional, foi relatado pela referência [14]. Os resultados experimentais e os por simulações numéricas tridimensionais mostraram que o g_m/I_{DS} em função de $I_{DS}/(W/L)$ do SOI nMOSFET de porta circular, operando na configuração de polarização dreno externo, nas regiões de inversão fraca e moderada, é maior que aquela observada no SOI MOSFET convencional equivalente, considerando as mesmas condições de polarização [14].

Com o objetivo de reduzir a área dos dispositivos, foi desenvolvida uma nova estrutura de leiaute, chamada *Wave* MOSFET, que apresenta sua porta em formato de “S”, que é criada a partir do circular, cortando-se ao meio e deslocando-se o semicírculo até formar um “S” [10]. Diferentemente do MOSFET de porta circular, essa nova estrutura é simétrica em relação às regiões de fonte e dreno.

A Figura 1.6 mostra um exemplo de uma estrutura MOSFET planar de potência que é implementada com *Wave* SOI nMOSFET [10]. Note que neste tipo de estrutura a corrente de dreno ocorre em todas as direções. Dessa forma as compensações dos efeitos aleatórios e sistemáticos do processo de fabricação sobre cada componente de corrente de dreno ocorrem em todas as direções, que pode reduzir significativamente os efeitos do processo de fabricação no desempenho desses dispositivos (melhorar o casamento entre dispositivos) [10].

Adicionalmente, no leiaute *Waffle*, os cantos dos transistores quadrados não ficam exatamente com um ângulo de 90°, devido ao processo de fabricação, isto é os seus cantos tornam-se arredondados enquanto que na estrutura *Wave* isso não acontece, pois é uma estrutura que não apresenta cantos [10].

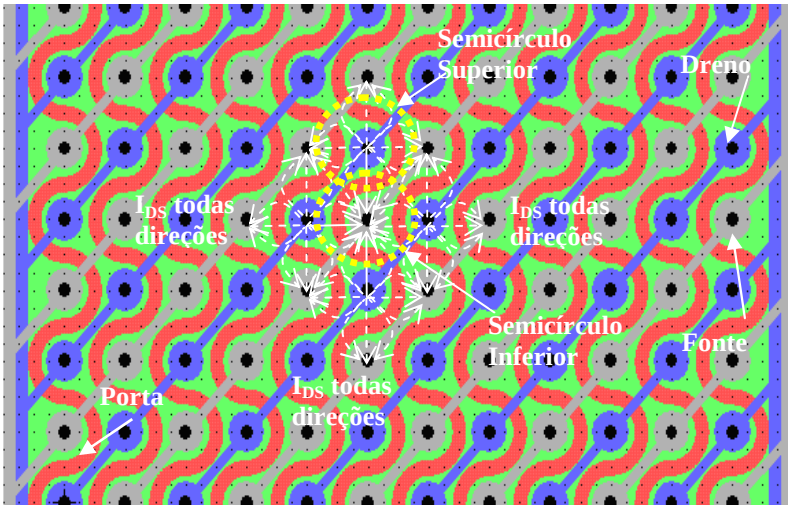


Figura 1.6 – Exemplo de um Exemplo de leiaute de um nMOSFET planar de potência implementado com *Wave* SOI nMOSFETs [10].

A Tabela 1 apresenta as comparações entre a área e o fator de integração [(W/L)/A] das estruturas *Wave* nMOSFET, Multidedos e *Waflfle*, considerando um comprimento de canal igual a 0,8 µm e um fator geométrico (W/L) igual a 750. As estruturas foram desenvolvidas utilizando-se o mesmo processo de fabricação e as mesmas regras de projeto [10].

Tabela 1- Comparação entre as áreas e os fatores de integração dos leiautes Multidedos, *Waffle* e *Wave* [10].

Leiaute	Área A (μm^2)	Ganho de área A (%)	Fator de integração (W/L)/A (μm^{-2})	Ganho de [(W/L)/A] (%)
Multidedos	2544	-	0,295	-
Waffle	2396	5,8	0,313	6,1
Wave	1872	26,4 (Multidedos) 21,8 (*Waffle*)	0,401	35,9 (Multidedos) 28,1 (*Waffle*)

Os resultados mostram que o MOSFET planar de potencia implementado com o estilo de leiaute *Wave* possui uma área (A) 26,4% menor em relação ao Multidedos e 21,8% menor

em relação ao *Waffle* e um fator de integração [(W/L)/A] 35,9% maior em relação ao Multidedos e 28,1% maior em relação ao *Waffle*, respectivamente [10].

Adicionalmente, um estudo comparativo do comportamento elétrico entre o *Wave* SOI nMOSFET e o convencional equivalente [15] através de simulações numéricas tridimensionais mostrou que *Wave* nMOSFET apresenta um melhor desempenho elétrico que o equivalente convencional. Esse trabalho considera diferentes comprimentos de canal (L) [100nm, 200nm, 400nm, 600nm e 800nm] e diferentes tensões de dreno (V_{DS}) [10mV, 100mV, 300mV, 500mV, 700mV e 900mV], onde a corrente de dreno do *Wave* SOI nMOSFET é sempre maior que a do equivalente convencional nas regiões saturação e triodo, com ganhos de 15 % a 42 % [15], a transcondutância normalizada em relação ao fator geométrico do *Wave* SOI nMOSFET é também sempre maior que a do convencional na região de saturação para qualquer valor de comprimento de canal com ganhos de 9 % a 35 %, dependendo do comprimento de canal analisado [15] . Foi verificado que o comportamento da curva do g_m/I_{DS} em função de $I_{DS}/(W/L)$ do *Wave* SOI nMOSFET é superior ao do convencional para qualquer comprimento de canal simulado na região de inversão moderada, (15,3% no melhor caso) [15].

Portanto esse novo estilo de leiaute torna-se mais uma alternativa a ser considerada, principalmente para as aplicações de circuitos integrados analógicos [15].

Todos esses estudos mostram que ainda existem muitas oportunidades de melhorias que podem ser exploradas na tecnologia de fabricação de circuitos planares, simplesmente pelo estudo de novos formatos de transistores e portanto a motivação desse trabalho é realizar um estudo comparativo experimental entre o estilo de leiaute *Wave* e o convencional equivalente de forma a comprovar os resultados obtidos por simulações numéricas tridimensionais.

Este trabalho está dividido em 5 capítulos, sendo o primeiro capítulo a introdução e a motivação deste trabalho. No segundo capítulo constam os conceitos fundamentais, que são a base teórica para a realização deste trabalho. O terceiro capítulo aborda o leiaute e a descrição dos dispositivos utilizados. O quarto capítulo aborda as medidas experimentais e seus resultados, onde são comparadas as características elétricas do *Wave* nMOSFET com as do nMOSFET convencional equivalente, para diferentes comprimentos de canal, considerando-se o fator geométrico e as mesmas condições de polarização. O quinto capítulo apresenta as conclusões e os possíveis trabalhos futuros.

2 CONCEITOS FUNDAMENTAIS

Este capítulo visa trazer os conceitos fundamentais que suportam esse trabalho e descrever as características básicas dos MOSFETs de porta convencional, circular e *Wave*.

2.1 O SOI nMOSFET

A Figura 2.1 apresenta um exemplo de uma seção transversal de um SOI nMOSFET [3].

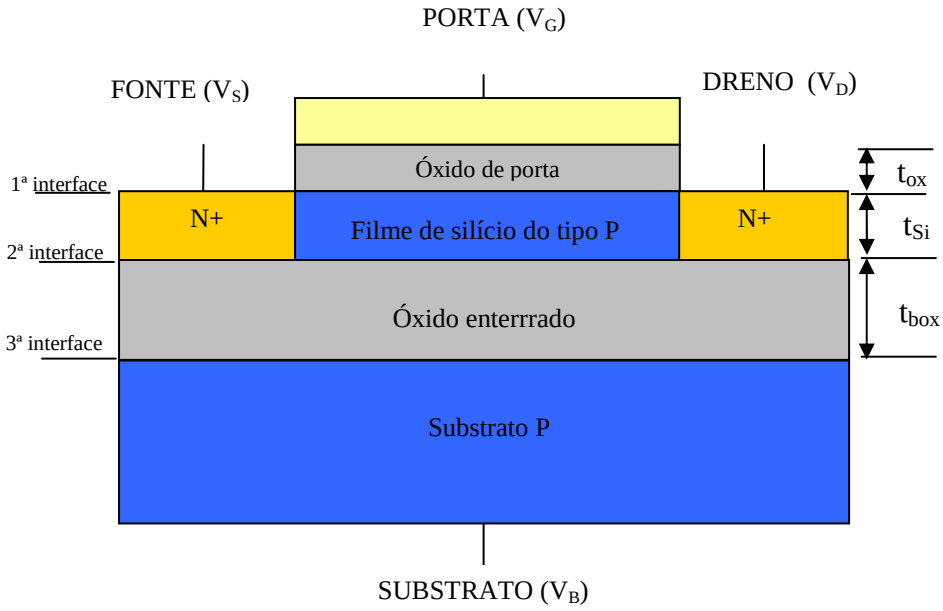


Figura 2.1 – Exemplo de uma seção transversal de um SOI nMOSFET.

Onde t_{ox} é a espessura do óxido de porta, t_{Si} é a espessura da camada de silício onde se forma o canal, t_{box} é a espessura do óxido enterrado, V_S é a tensão de fonte, V_G é a tensão de porta, V_D a tensão de dreno e V_B a tensão de substrato.

2.2 Classificação dos Tipos de SOI MOSFETs

Existem três tipos de transistores SOI MOSFETs que são classificados de acordo com a espessura da camada de silício da região do canal e da máxima profundidade da região de depleção do dispositivo.

A equação 2.1 define a máxima espessura da região de depleção ($X_{dmáx}$) [16]:

$$X_{dmáx} = \sqrt{\frac{4\,\varepsilon_{Si}\,\phi_F}{q\,N_A}} \tag{2.1}$$

Onde ε_{Si} é a permissividade do silício, q a carga elementar do elétron, N_A a concentração de dopantes no canal e Φ_F é o potencial de Fermi que é dado pela equação 2.2 [16]:

$$\phi_F = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) \tag{2.2}$$

Onde k é a constante de Boltzman, T a temperatura absoluta e n_i é a concentração intrínseca dos portadores no silício.

Os SOI MOSFETs podem se classificar como: SOI parcialmente depletado (*Partially Depleted*, PD SOI), SOI totalmente depletado (*Fully Depleted*, FD SOI) e SOI quase totalmente depletado (*Near-fully Depleted* , NFD SOI) [17].

2.2.1 SOI MOSFET parcialmente depletado (*Partially Depleted*, PD SOI)

No SOI MOSFET parcialmente depletado, a espessura da camada de silício (t_{Si}) é maior que duas vezes o valor de $X_{dmáx}$ [17]. Nesta configuração, não ocorre interação entre as regiões de depleção das interfaces, existindo uma região neutra entre essas regiões de depleção, funcionando de forma similar a um MOSFET convencional, se existir a presença de um contato de corpo e o mesmo estiver aterrado [17]. Se o contato de corpo for deixado sem referência apresentará os fenômenos de corpo flutuante típicos da tecnologia SOI CMOS [17,18].

2.2.2 SOI MOSFET totalmente depletado (*Fully Depleted*, FD SOI)

No SOI MOSFET totalmente depletado o t_{Si} é menor que $X_{dmáx}$ [17]. Qualquer valor de tensão aplicada à porta que seja maior que a tensão de limiar, fará com que a região de depleção decorrente da primeira interface consuma toda a camada de Si, independentemente

da tensão aplicada ao substrato do transistor [17]. Esta situação promove um acoplamento elétrico entre a primeira e segunda interface, devido à interação dos potenciais de superfície de cada interface [17]. A ocorrência do efeito de canal curto é menor no SOI totalmente depletado em relação ao SOI parcialmente depletado e também possui uma menor variação da tensão de limiar com a temperatura [19].

2.2.3 SOI MOSFET quase totalmente depletado (*Near-fully Depleted*, NFD SOI)

No SOI MOSFET quase totalmente depletado, t_{Si} está entre a máxima profundidade de depleção e duas vezes este mesmo valor [17]. Este dispositivo pode se comportar tanto como um dispositivo SOI MOSFET parcialmente depletado como um SOI MOSFET totalmente depletado, dependendo da tensão aplicada ao seu substrato [3].

2.3 SOI MOSFET Convencional

A partir da tecnologia CMOS convencional foram desenvolvidos os SOI MOSFETs. A principal diferença estrutural do SOI MOSFET em relação ao MOSFET convencional (*bulk*) é a inserção de uma camada de óxido enterrado entre a região ativa do transistor e o substrato [3].

Esta camada de óxido enterrado reduz os efeitos parasitários dos SOI MOSFETs, como também consegue reduzir em até 60 % o efeito de canal curto, além de reduzir em até 80% algumas capacitâncias parasitas [3]. A camada de óxido enterrado diminui a degradação da mobilidade dos portadores móveis e reduz os efeitos do tiristor parasitário [3].

2.4 SOI MOSFET de Porta Circular

O SOI MOSFET de porta circular tem assimetria entre as regiões de dreno e fonte, pois as dimensões das regiões de fonte e dreno são diferentes [3]. As configurações de polarização podem ser de dreno interno (DI) ou de dreno externo (DE) [3].

Um exemplo de leiaute do SOI MOSFET de porta circular é mostrado na Figura 2.2 com configuração de polarização de dreno interno (2.2a) e configuração de polarização de dreno externo (2.2b) [13] [20].

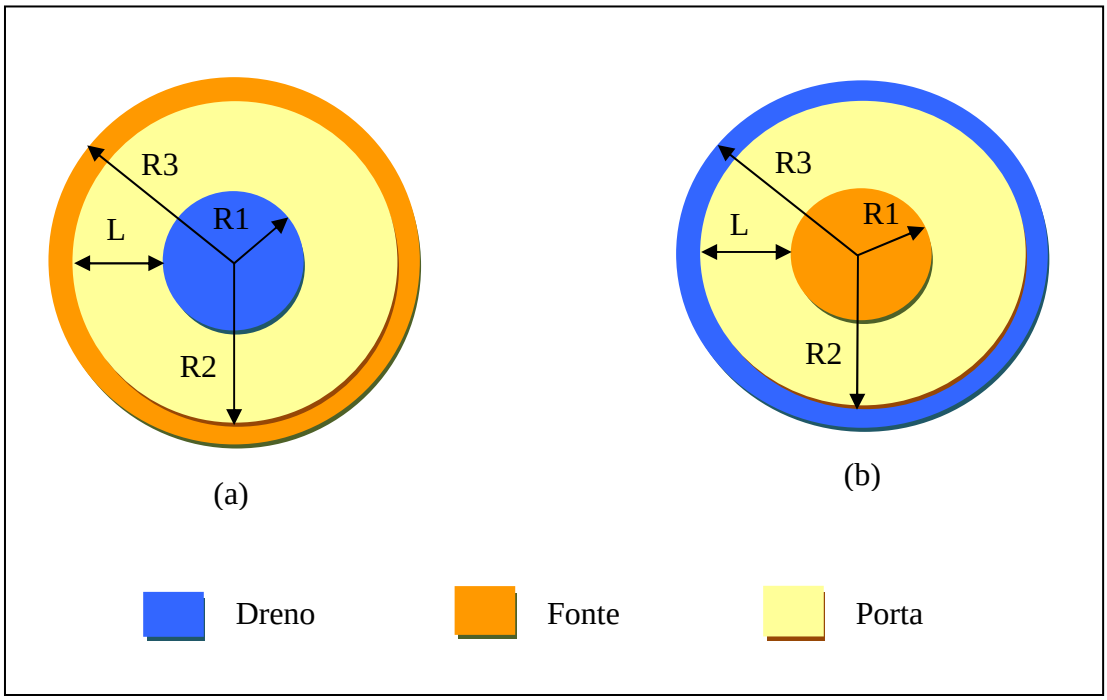


Figura 2.2- Exemplos de SOI MOSFETs de porta circular em configuração de polarização de dreno interno (a) e com configuração de polarização de dreno externo (b).

Na Figura 2.2, L é o comprimento de canal, R1 e R2 = R1+L são os raios interno e externo da região de canal, respectivamente e R3 é o raio da região externa da fonte na configuração de polarização dreno interno ou o raio da região externa do dreno na configuração de polarização dreno externo [13,15].

A Figura 2.3 apresenta o fluxo da corrente de dreno, que é radial e divergente no SOI MOSFET de porta circular na configuração de polarização de dreno interno e radial e convergente na configuração de polarização de dreno externo [13,20].

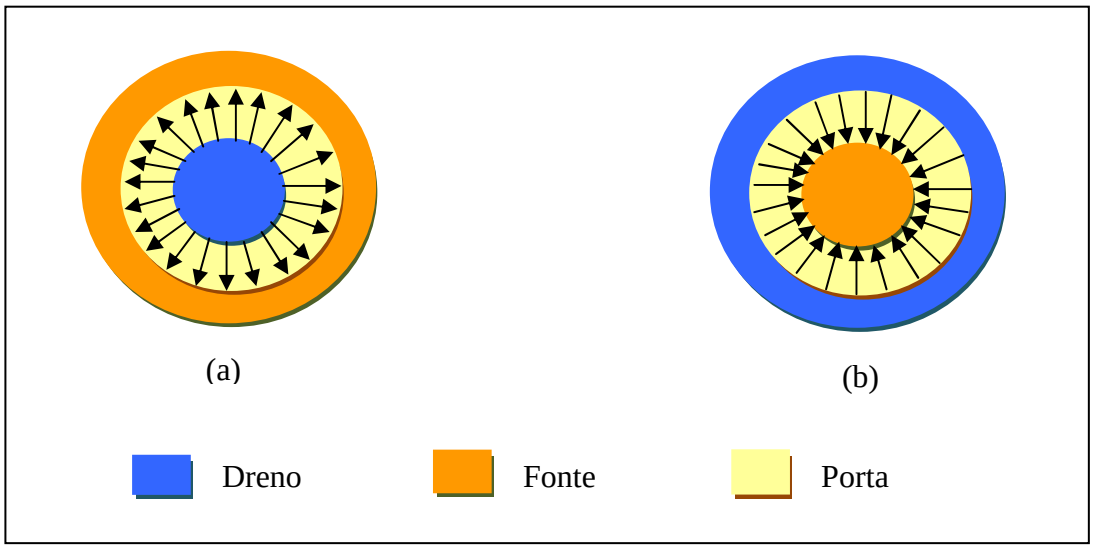


Figura 2.3- Ilustração do fluxo de corrente de dreno radial e divergente do SOI MOSFET de porta circular em configuração de polarização de dreno interno (a) e radial e convergente do SOI MOSFET de porta circular em configuração de polarização de dreno externo (b).

A corrente de dreno do SOI MOSFET em configuração de polarização de dreno interno é maior que a da configuração de polarização de dreno externo, devido às diferenças de áreas das regiões internas e externas de fonte e dreno que acarretam em diferentes resistências séries de fonte e dreno e consequentemente produzem diferentes V_{GS} efetivos para essas configurações conforme a Figura 2.4 [20].

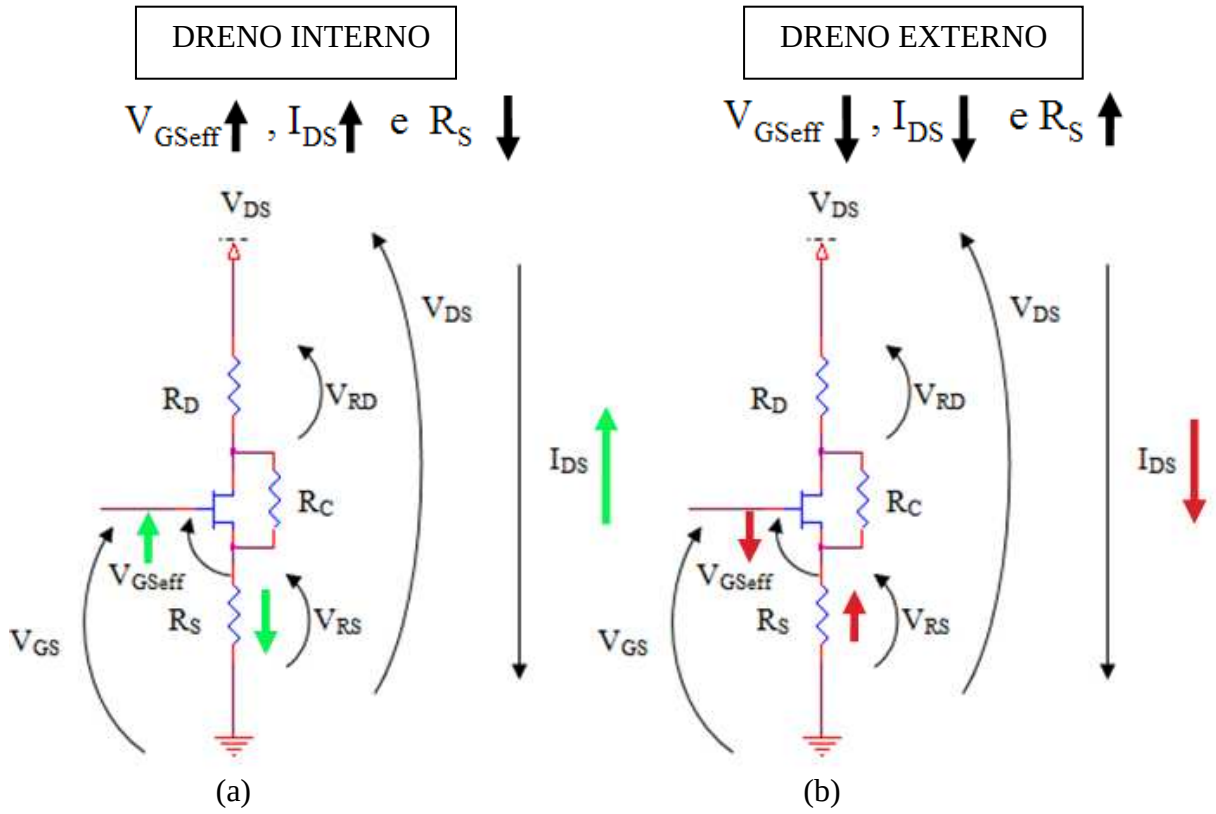


Figura 2.4 - Circuitos equivalentes dos MOSFETs com as resistências séries parasitas de dreno, fonte e do canal na configuração de dreno interno e dreno externo, indicando a influência das diferenças entre as resistências séries de fonte nas configurações de dreno interno e dreno externo.

Na Figura 2.4, verifica-se os circuitos equivalentes das resistências do MOSFET de porta circular na sua configuração de dreno interno (a) e dreno externo (b), bem como as indicações das tendências da tensão de porta eficaz (V_{GSeff}), da corrente de dreno (I_{DS}), originada pelas diferenças entre as resistências de fonte (R_S) da configuração de dreno interno e dreno externo. Ainda, verifica-se na Figura 2.4 a tensão entre dreno e fonte (V_{DS}), tensão entre porta e fonte (V_{GS}), tensão na resistência de dreno ($V_{RD)}$, tensão na resistência de fonte (V_{RS}), resistência de dreno (R_D) e resistência do canal (R_C).

Na configuração dreno interno observa-se uma resistência de fonte menor que por sua vez resulta num V_{GSeff} maior e um I_{DS} maior (flechas verdes). Na configuração dreno externo observa-se uma resistência de fonte maior que por usa vez resulta num V_{GSeff} menor e um I_{DS} menor (flechas vermelhas) [14].

A Figura 2.5 apresenta a vista superior e a seção transversal do SOI nMOSFET convencional (a) do SOI nMOSFET circular configuração dreno externo (b) do SOI nMOSFET circular configuração dreno interno (c). Nelas são indicados o sentido da corrente de dreno a longo do canal dos transistores.

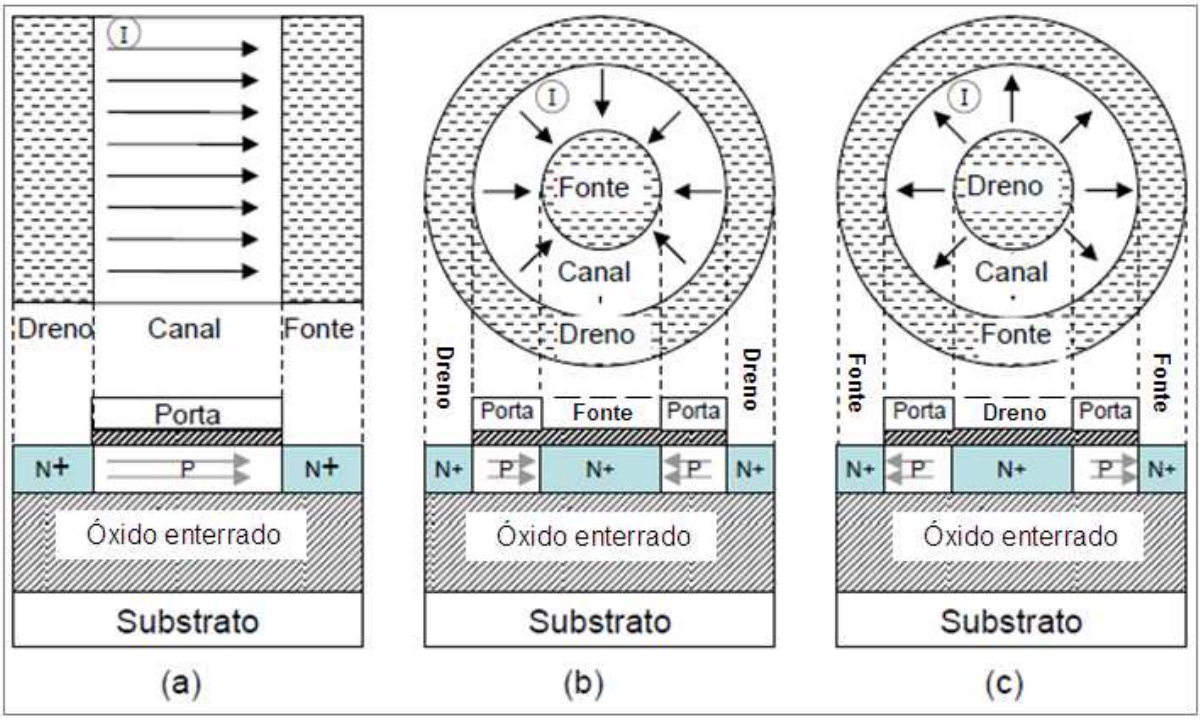


Figura 2.5 – Vista superior e seção transversal dos SOI nMOSFETs convencional (a), do SOI nMOSFET com porta em formato circular operando em configuração de dreno externo (b) e de dreno interno (c), contendo a indicação do sentido da corrente ao longo do canal [13].

2.5 *Wave* SOI MOSFET

A estrutura *Wave* SOI MOSFET surgiu a partir do corte do SOI MOSFET com a porta em anel circular, onde cortando-se o dispositivo ao meio e deslocando-se os dois semicírculos até obter uma geometria em forma de "S", conforme é mostrado na Figura 2.6 [10].

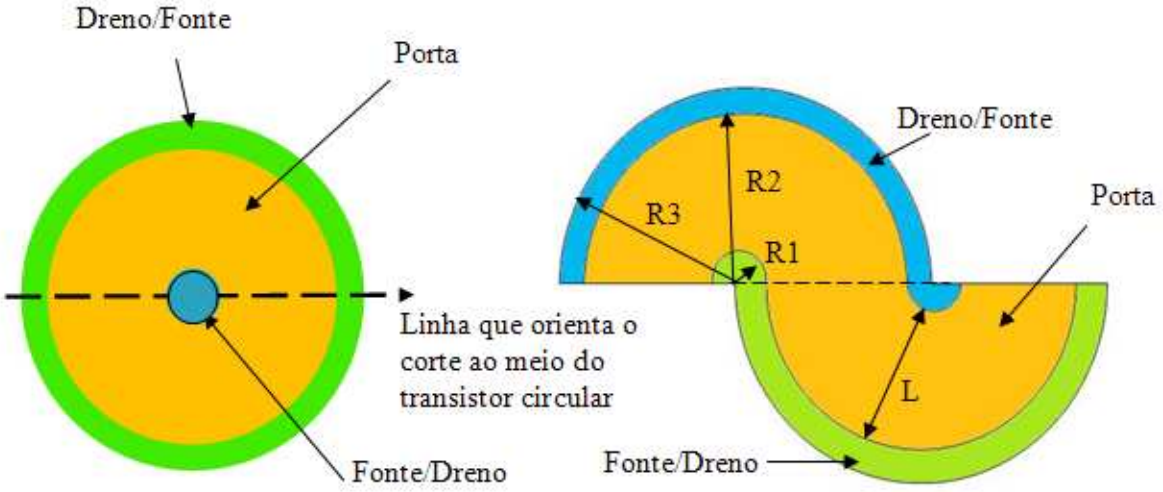


Figura 2.6 – Exemplo do transistor de porta circular que foi cortado ao meio e deslocando-se os seus dois semicírculos até formar um "S", gerando o *Wave* SOI MOSFET.

Verifica-se que R1 é o raio que indica o início da região de porta, R2 é o raio que indica o final da região de porta, L é o comprimento do canal (R2-R1) e R3 é o raio da região externa da fonte na configuração de polarização de dreno interno ou o raio da região externa do dreno na configuração de polarização de dreno externo.

As regiões de fonte e dreno do *Wave* são simétricas, diferentemente dos MOSFET de porta em anel circular [10].

A relação entre o fator geométrico (f_g) do SOI MOSFET convencional, do circular e do *Wave* é dado pela equação (2.1) [10].

$$fg = \left(\frac{W}{L}\right)_{re\tan gular} = \left[\frac{2\pi}{\ln\left(\frac{R2}{R1}\right)}\right]_{circular} = \left[\frac{2\pi}{\ln\left(1+\frac{L}{R1}\right)}\right]_{circular} = \left[\frac{2\pi}{\ln\left(1+\frac{L}{R1}\right)}\right]_{Wave} \qquad (2.3)$$

Detalhes sobre a dedução desta expressão são apresentados no Apêndice B.

O *Wave* SOI MOSFET possui uma simetria entre as suas regiões de dreno e fonte, pois essas regiões possuem as mesmas dimensões [10]. Observe que, em um semicírculo desse transistor tem-se a configuração de polarização de dreno interno e no outro semicírculo desse transistor tem-se a configuração de polarização de dreno externo [10].

A Figura 2.7 mostra um exemplo de leiaute de um transistor *Wave* SOI nMOSFET com as regiões definidas de dreno, porta e fonte.

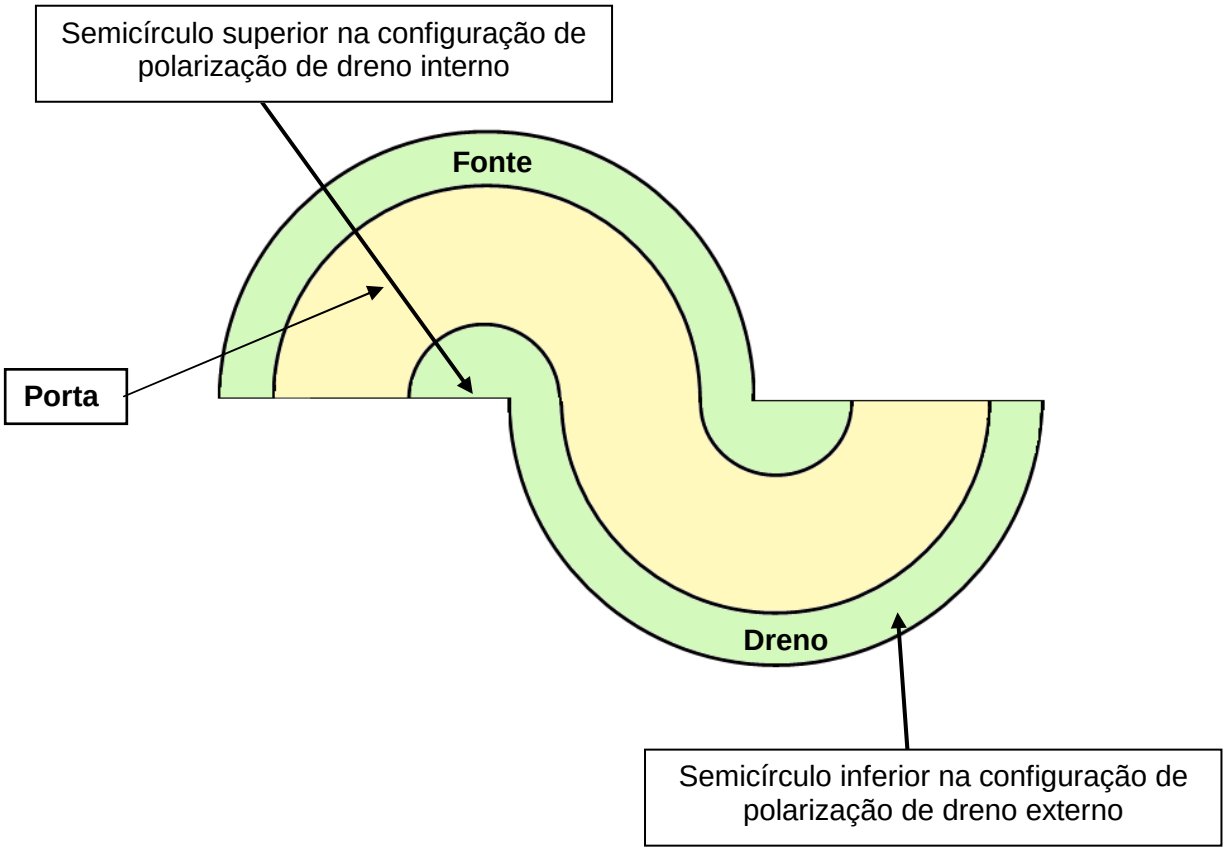


Figura 2.7 – Exemplo de leiaute de um *Wave* SOI nMOSFET.

A corrente elétrica é radial e divergente no semicírculo superior que se encontra na configuração de polarização de dreno interno e convergente no semicírculo inferior que se encontra na configuração de polarização de dreno externo [10], como pode ser visto na Figura 2.8.

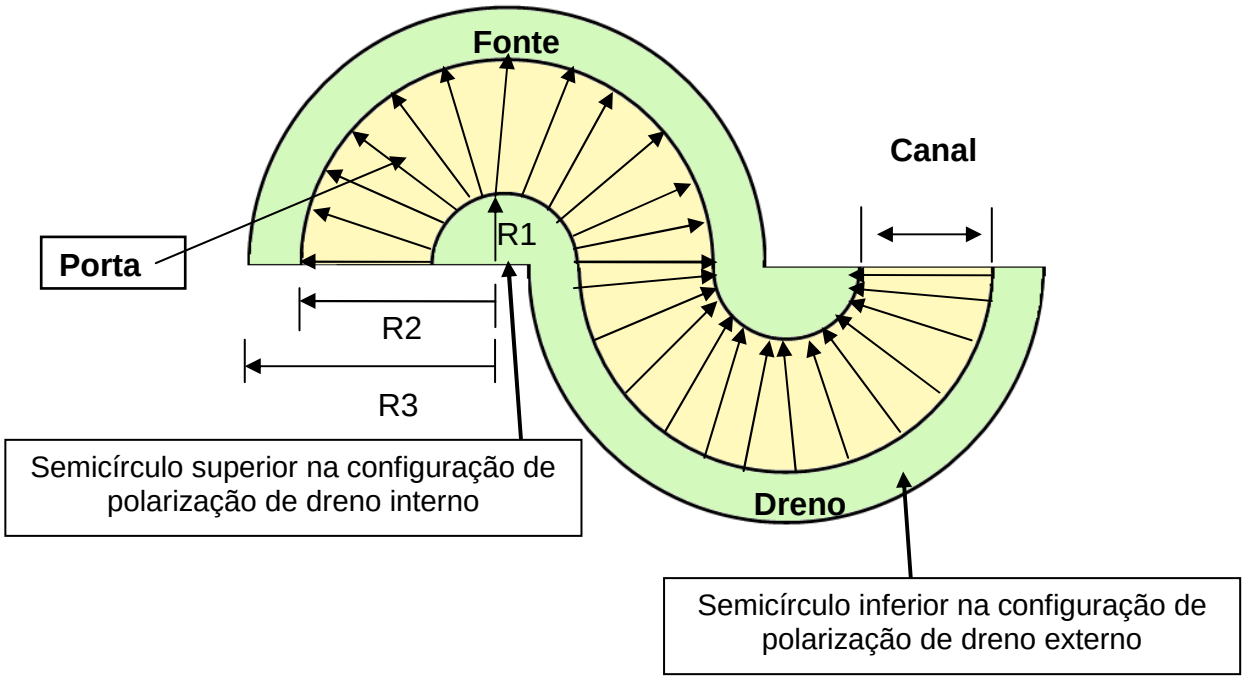


Figura 2.8 – Ilustração do fluxo de corrente radial em cada semicírculo da estrutura *Wave* SOI MOSFET.

A corrente de dreno na configuração de polarização de dreno interno é maior que aquela encontrada na configuração de polarização de dreno externo, conforme Figura 2.4. Isso é explicado pelo fato das áreas de dreno e fonte das configurações de polarização de dreno interno e externo serem diferentes, verifica-se uma área de fonte maior e uma área de dreno menor na configuração de polarização de dreno interno quando comparado a configuração de polarização de dreno externo, o que acarreta numa maior densidade de campo elétrico na configuração de polarização de dreno interno e consequentemente num maior campo elétrico na região de dreno interno, o que faz aumentar ainda mais a velocidade dos portadores de carga do canal nessa região e consequentemente aumenta a corrente de dreno ($I_{DS} = Qv$) [21]. Além disso é que na configuração de polarização de dreno interno, a resistência série da fonte é menor que na configuração de polarização de dreno externo, o que resulta numa menor diferença de potencial na resistência de fonte devido à polarização de V_{GS}, e consequentemente tem-se um maior V_{GS} efetivo aplicado à porta do transistor, o que acarreta numa maior corrente de dreno [10].

2.6 Tensão de Limiar

A tensão de limiar (V_{TH}) de um nMOSFET convencional é definida como a tensão de porta, que é capaz de criar uma camada de inversão na superfície do canal (interface SiO_2 e

Si), povoando-a com elétrons livres (portadores minoritários), que são capazes de conduzir corrente elétrica ao longo do canal [19].

Em primeira aproximação, os valores de tensão de porta acima do valor da tensão de limiar são capazes de formar uma camada de inversão, com concentração de portadores livres [13]. Como um SOI nMOSFET convencional parcialmente depletado (PD) se comporta como um MOSFET convencional a tensão de limiar é dada pela equação (2.4) [22,23,24].

$$V_{TH} = \frac{qN_A X_{dMAX}}{C_{OX}} + 2\phi_F + V_{FB} \tag{2.4}$$

Na equação 2.4, C_{OX} é a capacitância do óxido de porta por unidade de área e V_{FB} é a tensão de faixa plana [22,23,24].

Sabe-se que a espessura da camada de silício do SOI nMOSFET parcialmente depletado, é pelo menos duas vezes maior que a soma das larguras máximas das camadas de depleção das duas interfaces um de Si e outra de SiO_2, dessa forma essa característica garante que sempre há uma região do tipo p entre as camadas de depleção. Isso faz com que o SOI nMOSFET parcialmente depletado apresente a mesma tensão de limiar que um transistor nMOSFET convencional [25].

A tensão de limiar pode ser extraída pelo método da segunda derivada da curva de I_{DS} em função de V_{GS} para valores de V_{DS} próximos a zero. [26]. Este método usa o valor máximo de pico da curva da segunda derivada de I_{DS} em função de V_{GS}, traçando uma reta perpendicular ao eixo do V_{GS} verifica-se no cruzamento dessa reta com o eixo X, o valor da tensão de limiar [26]. Neste método, a extração da tensão de limiar independe da degradação da mobilidade e da resistência série parasita [22,23,24,25,26]. A Figura 2.9 mostra um exemplo de uma curva da segunda derivada de I_{DS} em função de V_{GS} e o valor que foi extraído de V_{TH}.

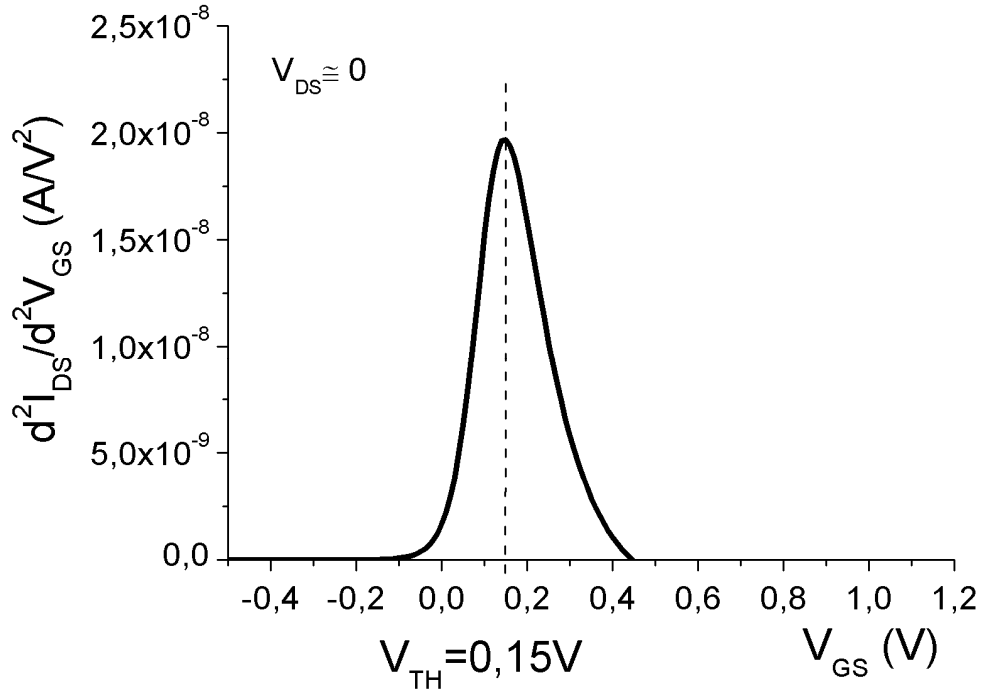


Figura 2.9 – Exemplo de uma curva da segunda derivada da corrente de dreno em função da tensão de porta do SOI nMOSFET, para extração da tensão de limiar.

2.7 Inclinação de Sublimiar

A inclinação de sublimiar (S) fornece o valor da tensão que deve ser aplicada ao contato de porta, para que haja o aumento de uma década na corrente de dreno do dispositivo [27].

A inclinação de sublimiar (S) é o inverso da inclinação da curva I_{DS} em função de V_{GS} em regime de sublimiar, com a corrente de dreno em escala logarítmica, conforme a expressão (2.5) [27]. Os valores de S são dados em milivolts por década (mV/década). Os valores típicos da inclinação de sublimiar de um SOI MOSFET se encontram dentro da faixa de 61 a 120 mV/década em temperatura ambiente [27]. Quanto menor for o valor da inclinação de sublimiar, mais rápida será a capacidade do transistor em realizar chaveamentos e consequentemente melhor o transistor será para as aplicações de circuitos integrados digitais [15].

$$S = \frac{1}{\frac{d(\log I_{DS})}{dV_{GS}}} \tag{2.5}$$

A Figura 2.10 apresenta um exemplo de curva Log(I_{DS}/(W/L)) em função de V_{GS} de um MOSFET para extração de S na região de sublimiar.

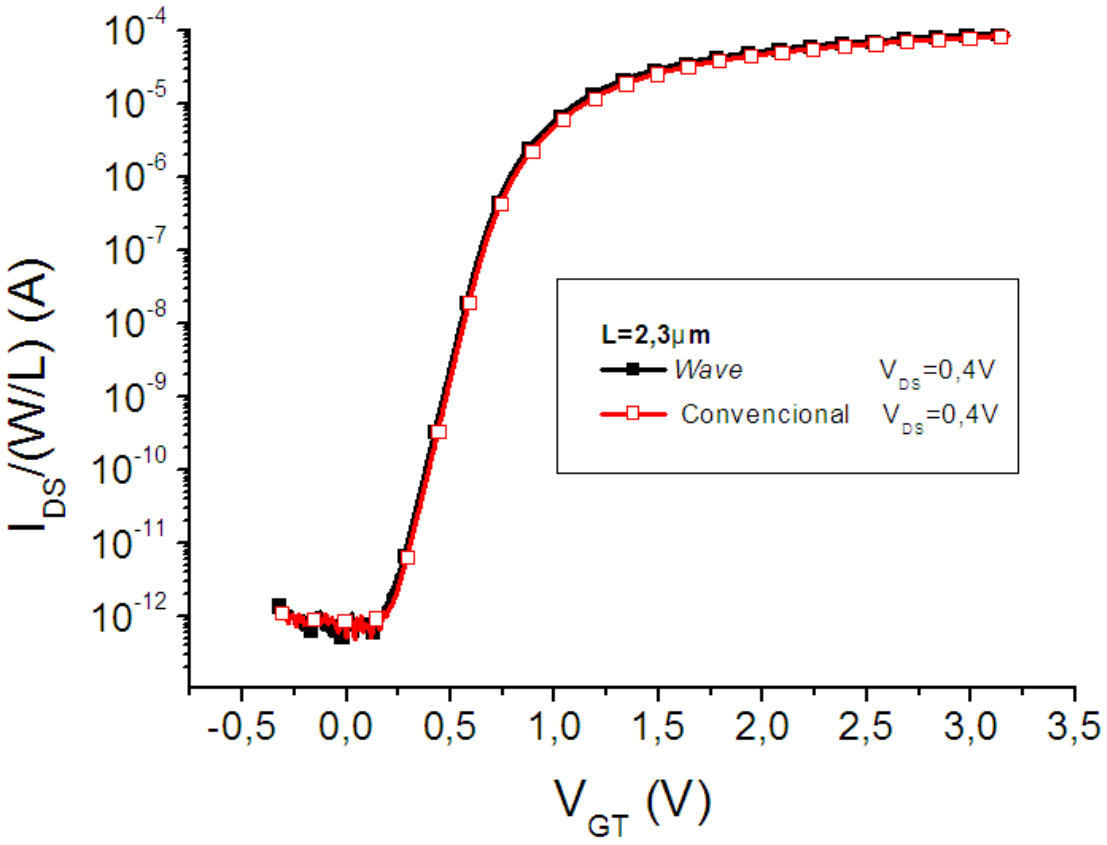


Figura 2.10– Exemplo de uma curva Log I_{DS}/(W/L) em função de V_{GS} para um *Wave* nMOSFET e um nMOSFET convencional de comprimento de canal igual a 2,3µm.

2.8 Transcondutância

A transcondutância (g_m) de um MOSFET é definida como o quão eficiente é o controle da tensão de porta sobre a corrente entre o dreno e a fonte, ou como a mudança da corrente de dreno se comporta em relação à mudança da tensão de porta [21,28]. A equação (2.6) define a transcondutância que é obtida através da derivada da corrente de dreno em relação ao potencial entre porta e fonte e é dada por [23]:

$$g_m = \frac{dI_{DS}}{dV_{GS}} \tag{2.6}$$

Para um MOSFET convencional, a transcondutância pode ser definida conforme a equação (2.7) [3]:

$$g_m = \frac{\mu C_{OX} W}{(1+\alpha)L}(V_{GS} - V_{TH}) \tag{2.7}$$

Onde α (fator de acoplamento) é igual $\varepsilon_{si}/(C_{OX} * X_{dmáx})$ [17], μ é a mobilidade dos portadores no canal, ε_{si} é a permissividade do silício, C_{OX} é a capacitância do óxido de porta por unidade de área, W é a largura do canal e L é o comprimento de canal.

2.9 Resistência Série entre Dreno e Fonte

A resistência série entre dreno e fonte ($R_{Série}$) do MOSFET pode ser definida como a soma das resistências parasitas do dreno, da fonte e a resistência do canal. Estas resistências são intrínsecas ao transistor [29, 30].

Na Figura 2.11 tem-se a tensão entre dreno e fonte, a tensão entre porta e fonte, a tensão na resistência de dreno, a tensão na resistência de fonte, a resistência de dreno, resistência de cana, resistência de fonte, corrente de dreno e tensão de porta eficaz.

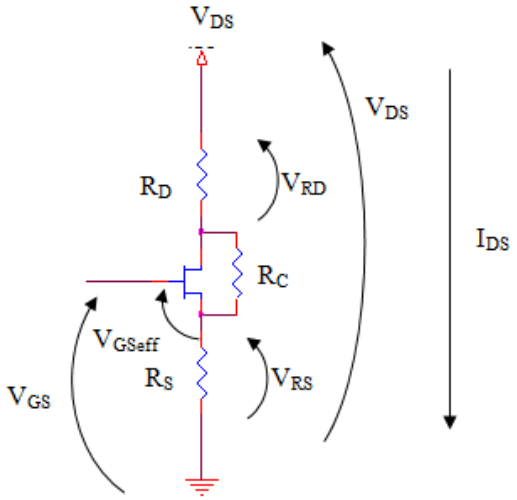


Figura 2.11 – Exemplo de um MOSFET indicando as tensões das resistências parasitas de dreno e de fonte.

A resistência série entre os terminais de fonte e dreno é dada pela expressão (2.8) [29, 30].

$$R_{Série} = R_D + R_S + R_C \tag{2.8}$$

Ao se aplicar baixos valores de V_{DS} e altos valores de V_{GS} (muito acima de V_{TH}) em um transistor, ocorre à inversão do canal e com isso a resistência do canal torna-se praticamente desprezível, face aos valores das resistências parasitas do dreno e da fonte. Assim a resistência série do transistor, pode ser expressa como a soma das resistências parasitas do dreno e da fonte, conforme a equação (2.9) [29, 30].

$$R_{Série} = R_D + R_S \tag{2.9}$$

Um método de se extrair a resistência série é a partir da curva da resistência ao longo do canal de R em função de V_{GT} para altos valores de V_{GT} e para baixos valores de V_{DS}, quando se observa um patamar paralelo ao eixo de V_{GT} [30]. $R_{Série}$ em função de V_{GT} é obtido a partir da curva de I_{DS} em função de V_{GT}, dividindo-se V_{DS} por I_{DS} para obter a curva da resistência série ao longo do canal em função de V_{GT}.

A curva da Figura 2.12 mostra um exemplo da curva da resistência série ao longo do canal em função de V_{GT} para V_{DS} igual a 10mV.

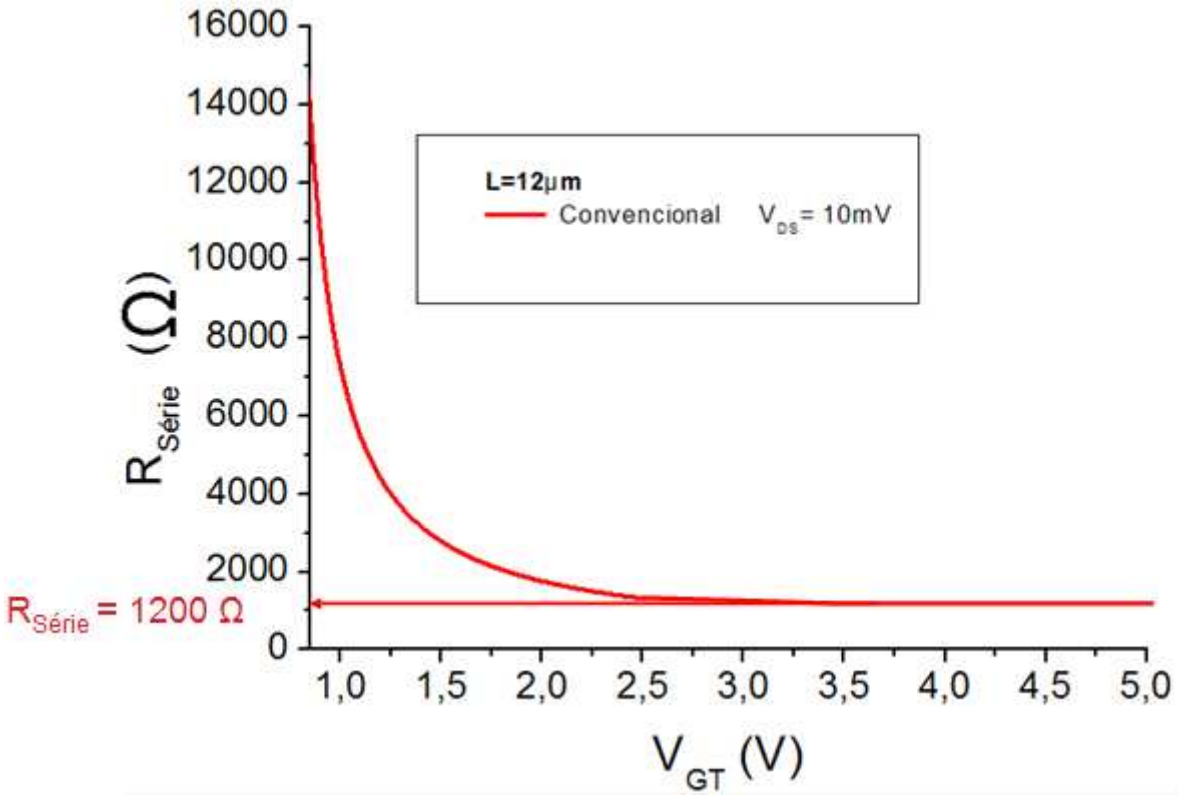


Figura 2.12 – Exemplo de uma curva da resistência série em função de V_{GT} de um MOSFET convencional de comprimento de canal igual a 12 µm para um V_{DS} de 10mv.

No exemplo da Figura 2.12, tem-se no exemplo um valor de resistência série total de dreno e de fonte próximo a 1200 Ω.

2.9.1 Resistência série de estado ligado

A resistência série de estado ligado (R_{DSon}) é um parâmetro muito importante em circuitos integrados digitais [31]. Quanto menor for o seu valor, menos ruído o transistor irá produzir e menor será a sua influência sobre o desempenho do circuito integrado [31]. Além disso, quando menor for o R_{DSon}, maior é a velocidade que o dispositivo pode atuar, devido ao produto de tempo de carga e descarga [31]. A equação (2.10) apresenta a fórmula de R_{DSon} [32], que é utilizada quando os MOSFETs trabalham saturados, ou seja, quando atuam como chave e na região Triodo.

$$R_{DSon} = \frac{V_{DS}}{I_{DS}} = \frac{V_{DS}}{\mu_n C_{ox}} \frac{L}{W} \frac{1}{(V_{GS} - V_{TH}) V_{DS} - \frac{{V_{DS}}^2}{2}} \tag{2.10}$$

A Figura 2.13 apresenta um exemplo de uma curva I_{DS} em função de V_{DS} que é utilizada para extrair o valor a resistência R_{DSon}.

A extração da resistência série de estado ligado pode ser feita graficamente a partir da divisão da tensão entre os contatos de dreno e fonte, pela corrente entre os contatos de dreno e fonte, para o transistor operando na região Triodo.

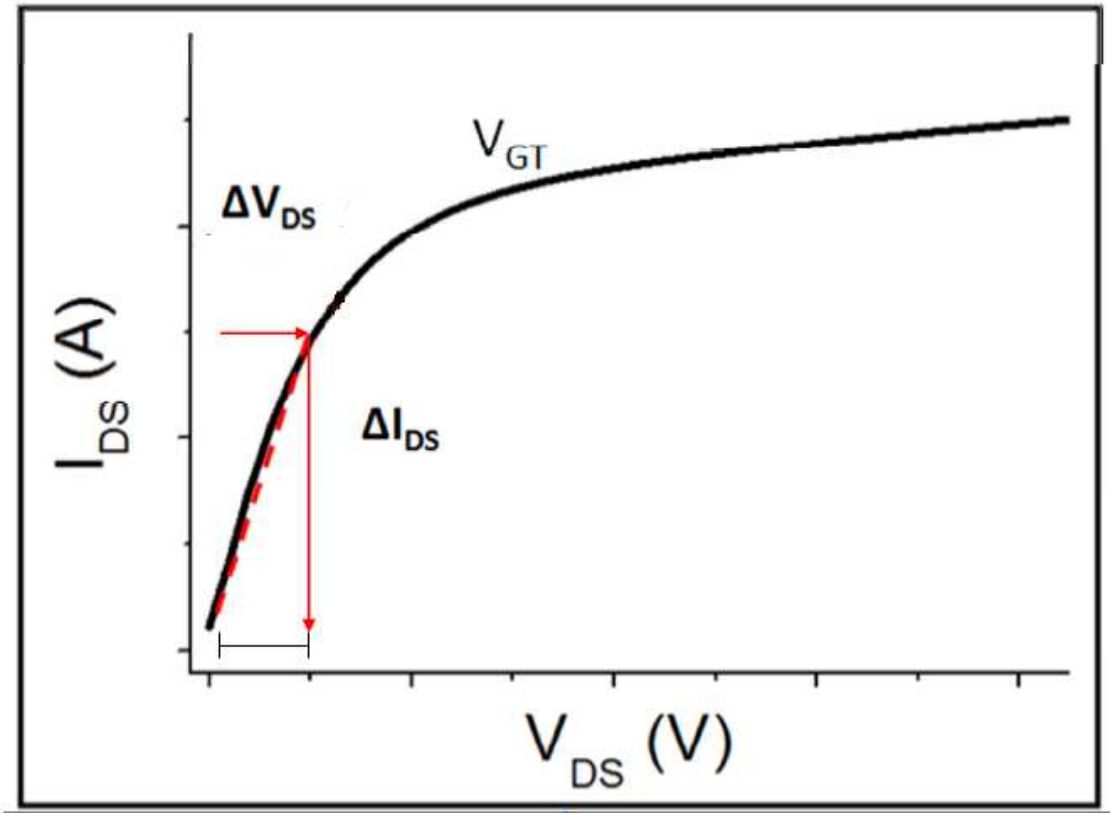


Figura 2.13 - Exemplo de uma curva experimental de I_{DS} em função de V_{DS} que é utilizada para extrair da resistência de estado ligado (R_{DSon}).

Na Figura 2.13 ΔI_{DS} é a variação da corrente entre dreno e fonte na região Triodo e ΔV_{DS} é variação da tensão entre dreno e fonte na região Triodo.

2.10 Tensão Early

A partir da curva de I_{DS} em função de V_{DS} para um determinado valor de $V_{GT} = V_{GS}$-V_{TH} é possível determinar a tensão Early (V_{EA}) por extrapolação da parte linear da região saturação até encontrar o eixo de V_{DS} [33]. Valores mais negativos de tensão Early, significam uma menor dependência da corrente de dreno de saturação em relação à tensão de dreno, para um determinado valor de sobretensão de porta [33]. Devido ao efeito da modulação do comprimento de canal, quando V_{DS} ultrapassa a tensão de dreno de saturação, o comprimento efetivo do canal diminui no sentido da região de dreno para a região de fonte, resultando no aumento da corrente de dreno na região saturação [33]. A Figura 2.14 apresenta um exemplo de um gráfico de I_{DS} em função de V_{DS}, para diferentes valores de V_{GT} [33].

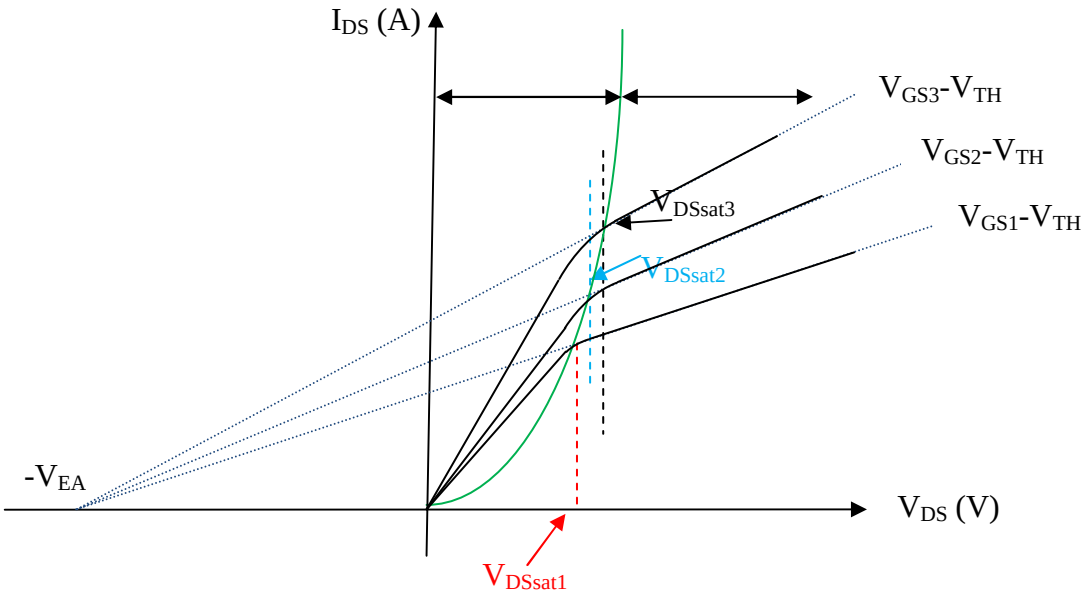


Figura 2.14 – I_{DS} em função de V_{DS} ilustrando a extrapolação da região linear da região saturação para determinação de V_{EA}.

Na Figura 2.14 V_{DSsat1} é o início da saturação da curva I_{DS} em função de V_{DS} para V_{GS1}-V_{TH}. V_{DSsat2} é o início da saturação da curva I_{DS} em função de V_{DS} para V_{GS2}-V_{TH}. V_{DSsat3} é o início da saturação da curva I_{DS} em função de V_{DS} para V_{GS3}-V_{TH}.

2.11 Corrente de Dreno de Estado Ligado

A corrente de dreno de estado ligado (I_{ON}) pode ser definida como o valor de I_{DS} para V_{GS} igual à tensão de V_{DS} e igual à tensão de alimentação (V_{DD}) [34].

I_{ON} pode ser extraída a partir da curva de Log I_{DS} em função de V_{GS}, prolongando-se a região linear da curva, quando o transistor esta operando em Triodo [34]. A Figura 2.15 apresenta um exemplo de curva experimental Log I_{DS} em função de V_{GS} de um MOSFET convencional utilizada para extrair a corrente de dreno estado ligado.

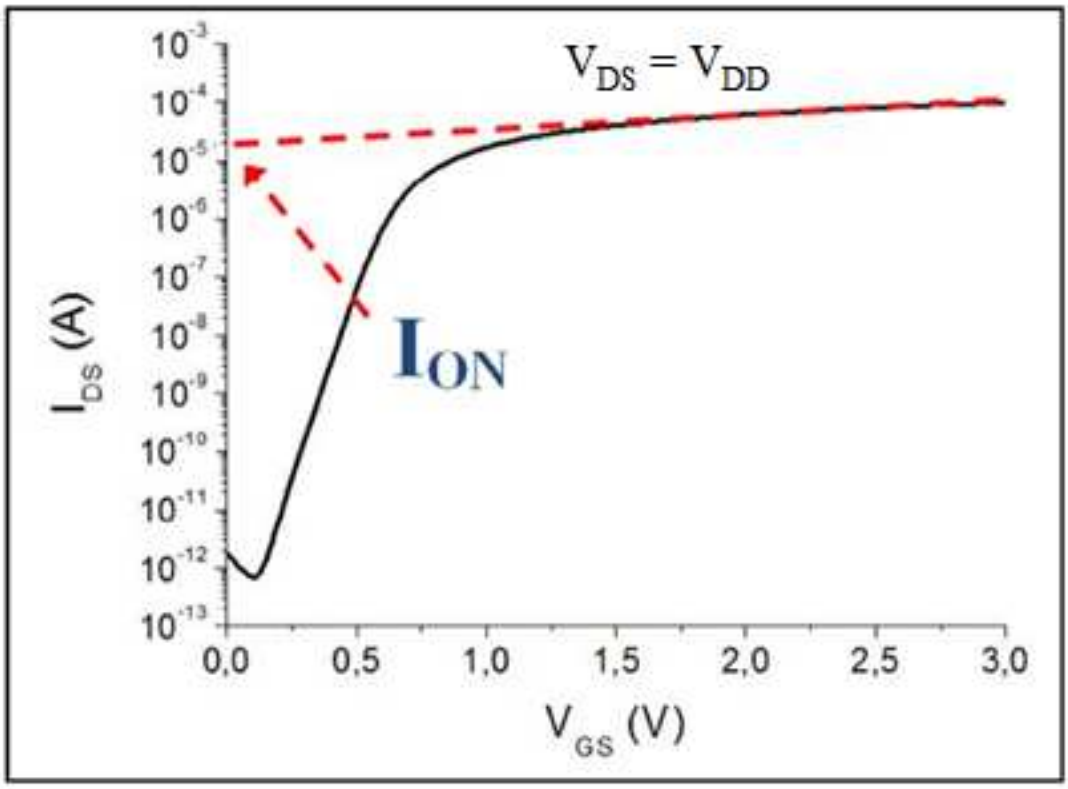


Figura 2.15- Exemplo de uma curva experimental Log I_{DS} em função de V_{GS} de um MOSFET convencional utilizada para extrair I_{ON}.

2.12 Corrente de Dreno de Estado Desligado

A corrente de dreno de estado desligado (I_{OFF}) é obtida quando V_G é nulo e V_{DS} é igual à V_{DD} [34].

Uma das formas de se extrair a corrente de dreno de estado desligado é a partir da curva de Log I_{DS} em função de V_{GS}, para V_{GS} igual 0 V.

I_{OFF} é um importante parâmetro para aplicações de circuitos integrados digitais [34].

A Figura 2.16 apresenta um exemplo de curva experimental Log I_{DS} em função de V_{GS} de um MOSFET convencional utilizada para extrair a corrente de dreno estado desligado.

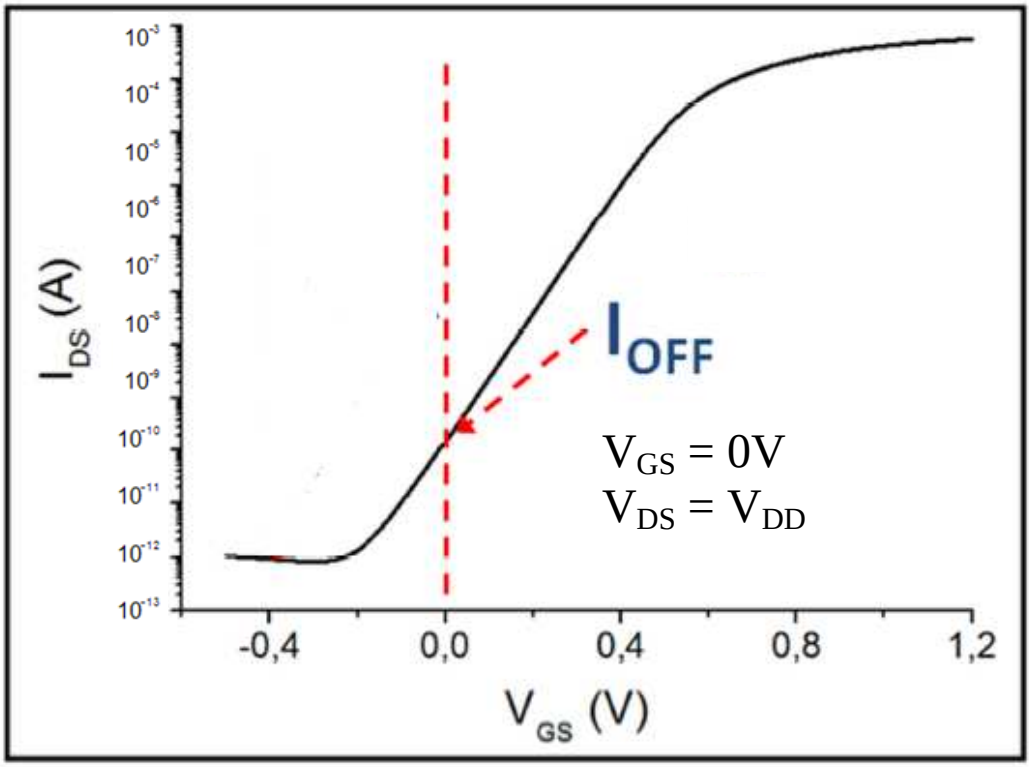


Figura 2.16- Exemplo de uma curva de Log I_{DS} em função de V_{GS} experimental utilizada para extrair I_{OFF}.

2.13 Corrente de Dreno de Fuga

Quando os MOSFETs estão em estado desligado, não deveria haver corrente elétrica entre os terminais de fonte e dreno, no entanto, mesmo que não haja um canal formado, há uma pequena corrente de dreno indesejável atravessando o canal do transistor [22]. Esta corrente é considerada como uma corrente dreno de fuga (I_{leak}).

A corrente de dreno de fuga pode ser afetada pelo ambiente externo, principalmente pelo aumento da temperatura, onde há o aumento da corrente de difusão do transistor [3].

Uma das formas de se extrair a corrente de dreno fuga (I_{leak}) é a partir da curva de Log I_{DS} em função de V_{GS}, considerando-se um valor negativo de V_{GS} [32].

Defini-se I_{leak} como sendo a corrente de dreno de fuga para tensões negativas de porta (importante parâmetro para aplicações analógicas quando o circuito é polarizado com fonte simétrica), como pode ser visto na Figura 2.17.

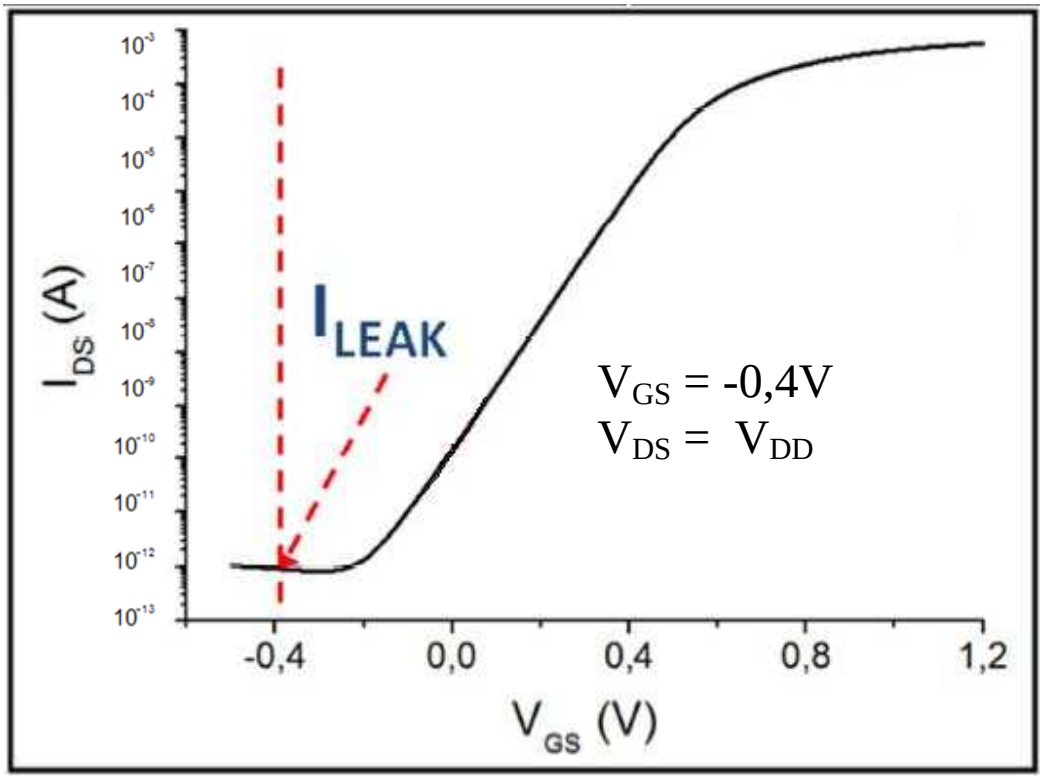


Figura 2.17 - Exemplo de uma curva de Log I_{DS} em função de V_{GS} experimental utilizada para extrair I_{leak} .

2.14 Razão I_{ON}/ I_{OFF}

A razão de I_{ON}/ I_{OFF} está diretamente relacionada com o desempenho do MOSFET operando em altas frequências e com consumo de potência [34]. Quanto maior a razão I_{ON}/ I_{OFF} melhor é o desempenho em alta frequência e o consumo de energia do dispositivo [34].

A razão da corrente de estado ligado dividida pela corrente de estado desligado (I_{ON}/I_{OFF}) é um parâmetro importante a ser estudado, para analisar se o circuito conseguirá distinguir um nível lógico alto de um baixo e entender a eficácia desta distinção [1].

A razão de I_{ON}/I_{OFF} mostra quanto o transistor pode fornecer de corrente elétrica a uma determinada carga, em relação ao que ele consome em estado desligado [34].

2.15 Razão da Transcondutância pela Corrente de Dreno em Função da Corrente de Dreno Normalizada em Relação ao Fator Geométrico [g_m/I_{DS} em função de $I_{DS}/(W/L)$]

A curva g_m/I_{DS} em função de $I_{DS}/(W/L)$ geralmente é usada para determinar e indicar em qual região de regime de inversão os transistores operam, ou seja, forte, moderada ou fraca [36]. Além disso, ela é usada nos projetos de circuitos integrados analógicos de baixa potência

e baixa tensão (*Low Power Low Voltage*) [31]. Essa curva está diretamente relacionada às características elétricas da resposta em freqüência dos circuitos integrados analógicos, tais como o ganho de tensão de malha aberta (A_{V0}), a frequência de ganho de tensão unitário (f_T), a margem de fase (PM) e taxa máxima de variação da tensão de saída em função do tempo (*slew rate*, SR) [37].

A Figura 2.18 traz um exemplo da curva g_m/I_{DS} em função de $I_{DS}/(W/L)$, onde estão indicadas as regiões de inversão fraca, moderada e forte. Como critério para definir as regiões será adotado que acima de 90% de g_m/I_{DS} encontra-se a região de inversão fraca, abaixo de 10% encontra-se a região de inversão forte e entre esses valores encontra-se a região de inversão moderada [38,39].

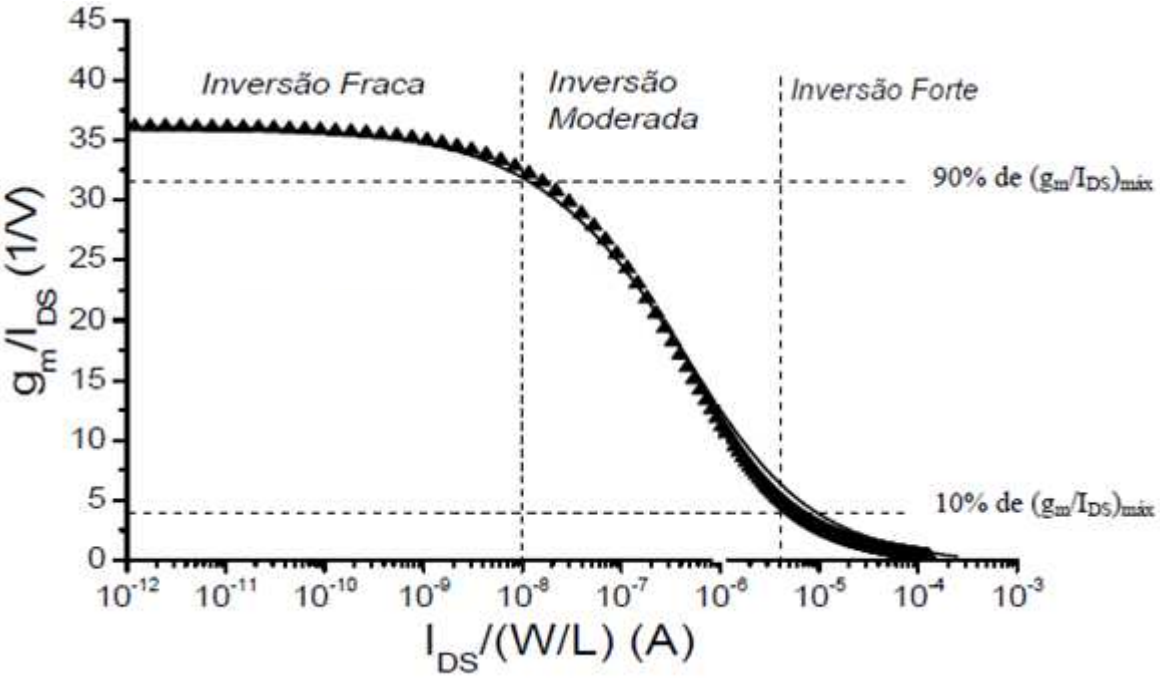


Figura 2.18 – Exemplo de uma curva g_m/I_{DS} em função de $[I_{DS}/(W/L)]$, com a identificação das regiões de inversão fraca, moderada e forte.

Quando o MOSFET é polarizado na região de regime de inversão fraca, podem-se alcançar maiores valores de ganho de tensão de malha aberta (A_{V0}) e os menores valores de freqüência de ganho de tensão unitário (f_T) [37]. Quando o transistor é polarizado na região de regime de inversão moderada, tem-se um bom compromisso entre os valores de ganho tensão de malha aberta (A_{V0}) e a frequência de ganho de tensão unitário (f_T). Quando polarizado na

região de regime de inversão forte, podem-se conseguir altos valores de freqüência de ganho de tensão unitário (f_T) e baixos valores de ganho de tensão de malha aberta (A_{V0}) [37, 38, 39].

2.16 Frequência de Ganho de Tensão Unitário

A frequência de ganho de tensão unitário (f_T) relaciona a transcondutância com a capacitância da carga (C_L)e é dada pela equação (2.11) [40].

$$f_T = \frac{1}{2\pi}\frac{g_m}{C_L} = \frac{1}{2\pi}\left(\frac{g_m}{I_{DS}}\right)\frac{I_{Ds}}{C_L} \tag{2.11}$$

Neste trabalho o C_L utilizado é de 10pF que pode ser considerado a capacitância da ponta de prova de um osciloscópio.

2.17 Ganho de Tensão de Malha Aberta de um Único Transistor

O ganho de tensão de malha aberta (A_{V0}) de um único MOSFET é dado pela equação (2.12) [40]. Quanto maior for a razão g_m/I_{DS} e quanto maior for V_{EA}, maior é o ganho de tensão de malha aberta do dispositivo (A_{V0}):

$$A_{V0} = \frac{g_m}{I_{DS}} V_{EA} \tag{2.12}$$

Onde g_m é a transcondutância, I_{DS} é a corrente de dreno em que se encontra polarizado o transistor e V_{EA} é a tensão Early.

O gráfico de A_{V0} em função de $I_{DS}/(W/L)$ para um MOSFET apresenta o mesmo comportamento do gráfico g_m/I_{DS} em função de $I_{DS}/(W/L)$, em que o valor do ganho de tensão aumenta proporcionalmente com o incremento do comprimento do canal, devido ao aumento da tensão Early [40].

Um dos principais "*trade offs*" é visualizado entre A_{V0} e f_T, nos parâmetros analógicos, pois enquanto f_T aumenta ao se incrementar $I_{DS}/(W/L)$, A_{V0} diminui, conforme ilustração na Figura 2.19 [41].

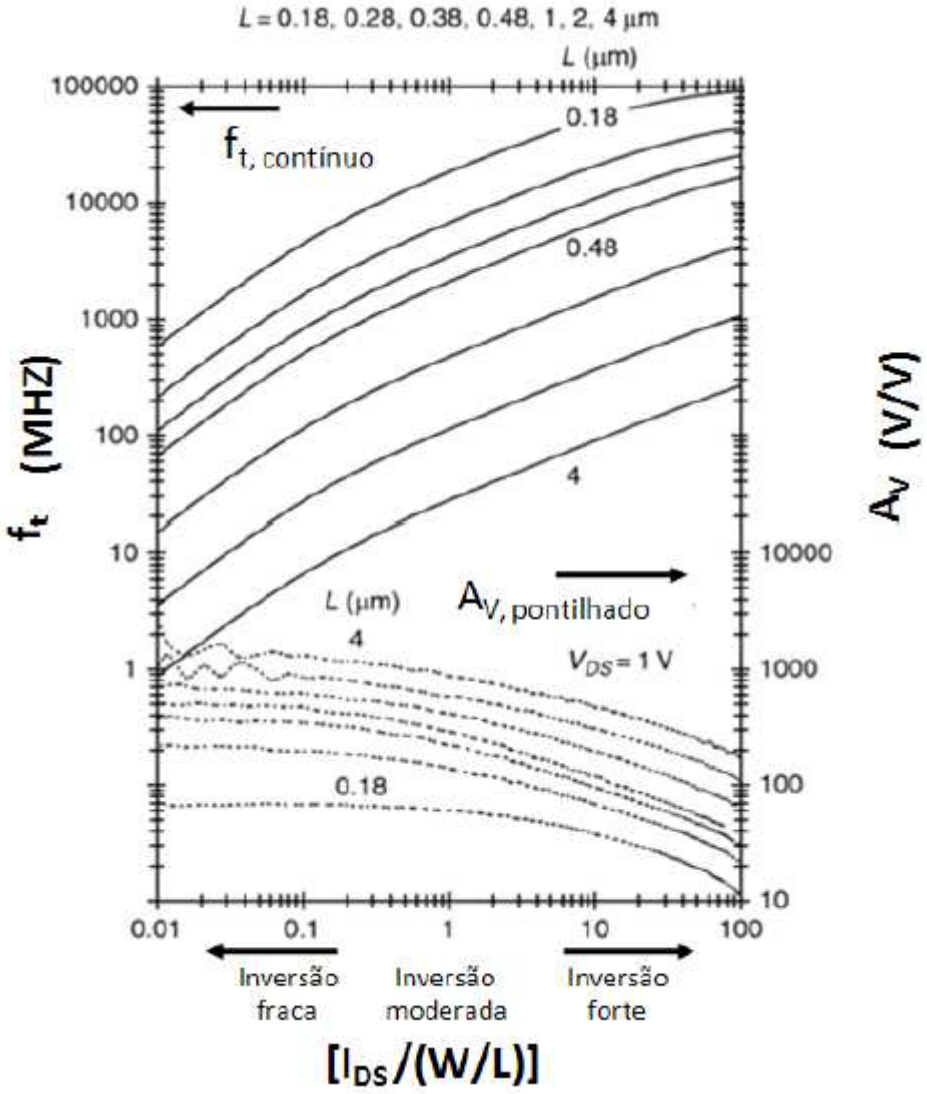


Figura 2.19 - Curvas de A_{V0} e f_T em função de $[I_{DS}/(W/L)]$ [41].

3 PROJETO E FABRICAÇÃO DOS MOSFETs UTILIZADOS

Para este trabalho foram projetados no Centro Universitário da FEI, MOSFETs nas geometrias retangular (Convencional) e *Wave* utilizando o processo de fabricação de circuito integrado CMOS convencional da AMI *Semiconductor* (*On Semiconductor*) de 0,5µm [42]. O apêndice A apresenta os parâmetros BSIM3 do programa SPICE referentes ao processo CMOS de fabricação [43].

Foi utilizado o processo CMOS convencional ao invés do SOI CMOS, pois não havia acesso ao processo de fabricação SOI, porém o comportamento do nMOSFET convencional é similar aos SOI nMOSFETs Parcialmente Depletados com contato de substrato [17], que foi o foco deste trabalho. Este processo de fabricação CMOS dá possibilidade de utilizar 3 camadas de metais e duas camadas de silício policristalino, suporta tensão de porta de até 5 V, dopado com concentração de $1,7*10^{17}$ cm^{-3} na região de canal e possui espessura do óxido de porta de 14,2nm [44]. Assim, com base nas regras de projeto desse processo de fabricação de CIs [45], foram projetados *MOSFETs* de geometria Convencional e *Wave* de comprimentos de canal de 2,3µm, 6µm e 12µm, os quais foram utilizados para realizar esse estudo experimental levando em conta os fatores geométricos (W/L).

Os transistores foram manufaturados gratuitamente por meio do Programa Educacional do MOSIS (*MOSIS Education Program*, MEP) [42], que é um programa de incentivo à fabricação de circuitos integrados para fins acadêmicos de pesquisa.

3.1 Descrição dos MOSFETs Utilizados e Leiaute

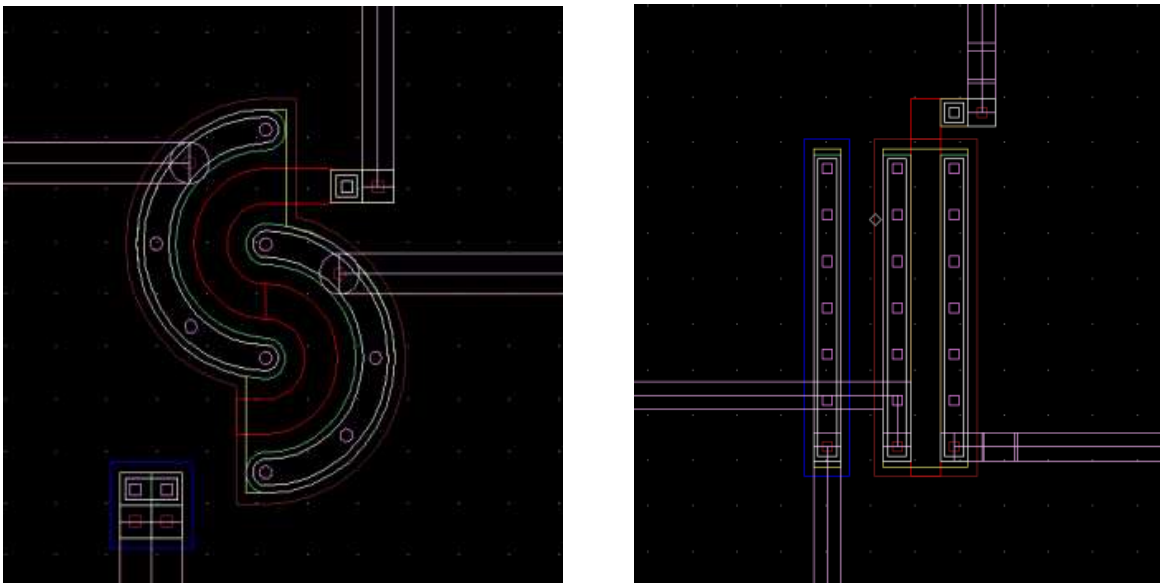
Os comprimentos de canal dos MOSFETs utilizados tanto do *Wave* quanto do convencional equivalente são de 2,3 µm, 6 µm e 12 µm e as larguras do canal do *Wave* são 24,50 µm, 30,87 µm e 44,59 µm, respectivamente e do convencional são 23,45 µm 32,22 µm e 44,49 µm respectivamente. Estas diferenças de W entre os dispositivos ocorrem por conta das imprecisões geradas devido ao lambda (λ) do processo de fabricação em questão, que deve ser definido no *IC Station* devido ao Wave MOSFET não ser uma geometria convencional retangular. Para eliminar as diferenças de geometria as curvas em questão estão normalizadas levando em conta o fator geométrico (W/L).

A Tabela 2 apresenta a largura e comprimento de canal dos dispositivos utilizados, bem como o valor W/L.

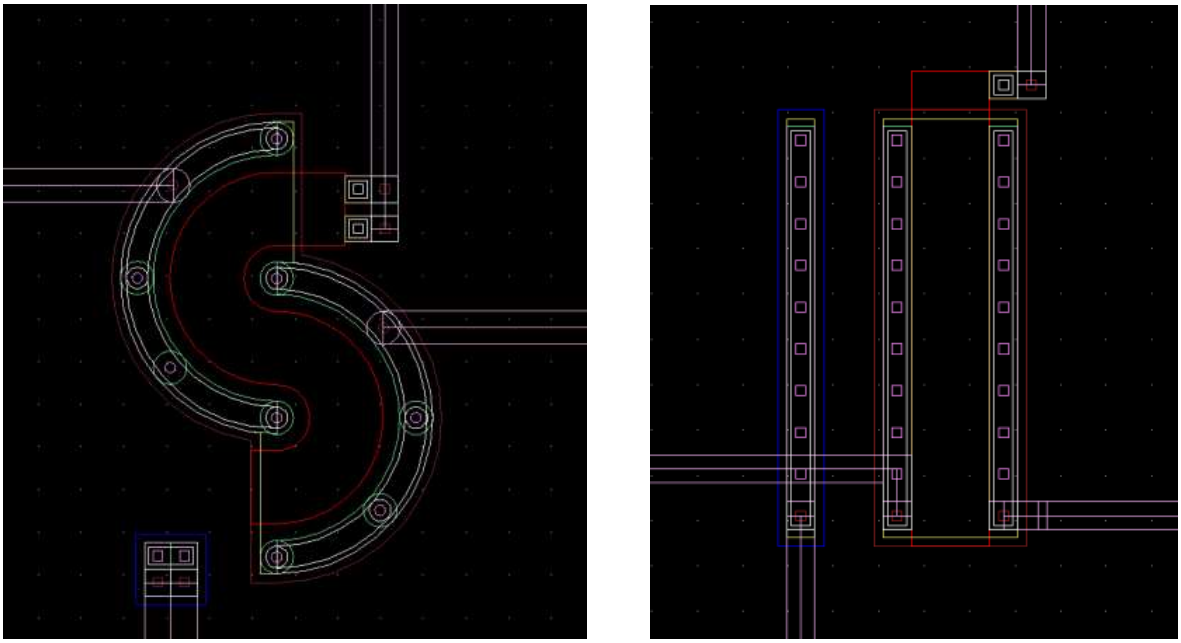
Tabela 2 – L, W e W/L dos dispositivos experimentais utilizados neste trabalho.

	Convencional		*Wave*	
L (µm)	W (µm)	W/L	W (µm)	W/L
2,3	24,50	10,65	23,45	10,19
6	30,87	5,14	32,22	5,37
12	44,59	3,71	44,49	3,70

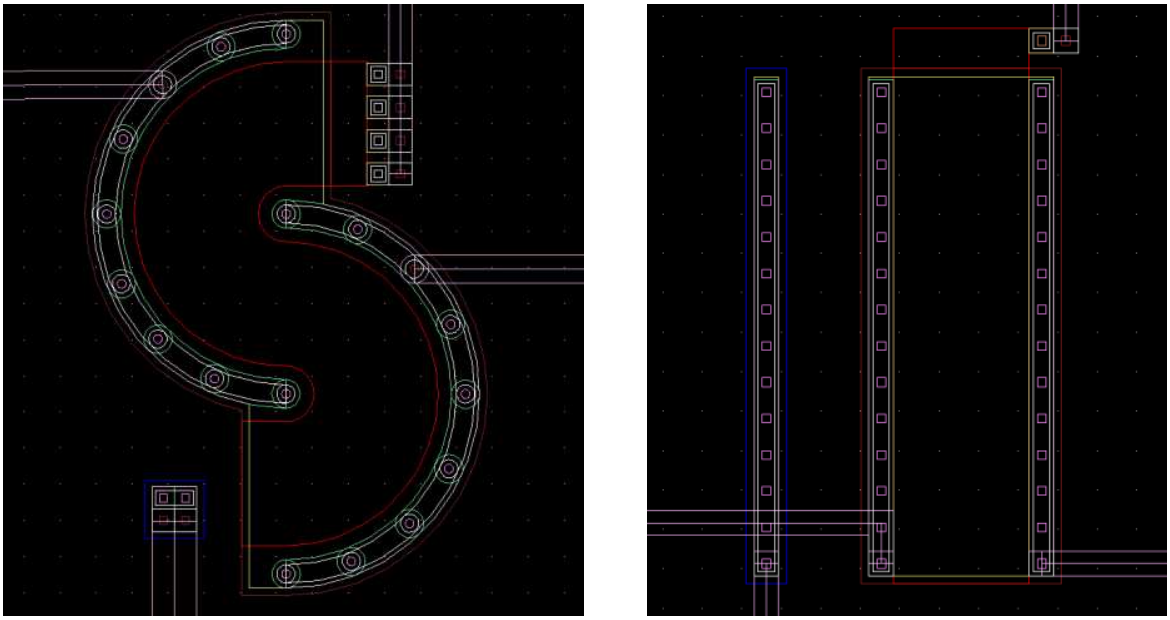
A Figura 3.1 apresenta os leiautes dos transistores *Waves* (em formato de “S” à esquerda) bem como dos seus convencionais equivalentes (em formato retangular à direita) com os comprimentos de canal L=2,3 µm (a), L=6 µm (b) e L=12 µm (c) que foram utilizados neste trabalho.



(a)



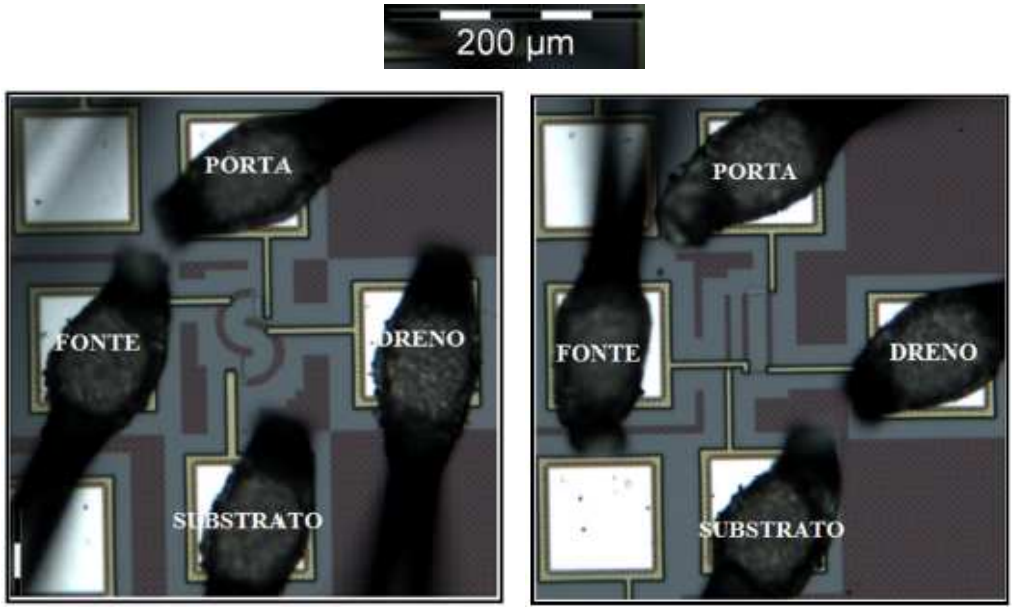
(b)



(c)

Figura 3.1 – Leiaute dos MOSFETs *Wave* (em formato de “S” à esquerda) bem como dos seus convencionais equivalentes (em formato retangular à direita) com L=2,3 µm (a) e L=6,0 µm (b) L=12,0 µm (c) utilizados neste trabalho [42].

A Figura 3.2 apresenta as imagens dos transistores *Wave* em formato de “S” (a), bem como do seu convencional equivalente (b) com o comprimento de canal de 2µm, com a identificação da porta, fonte, dreno e substrato.



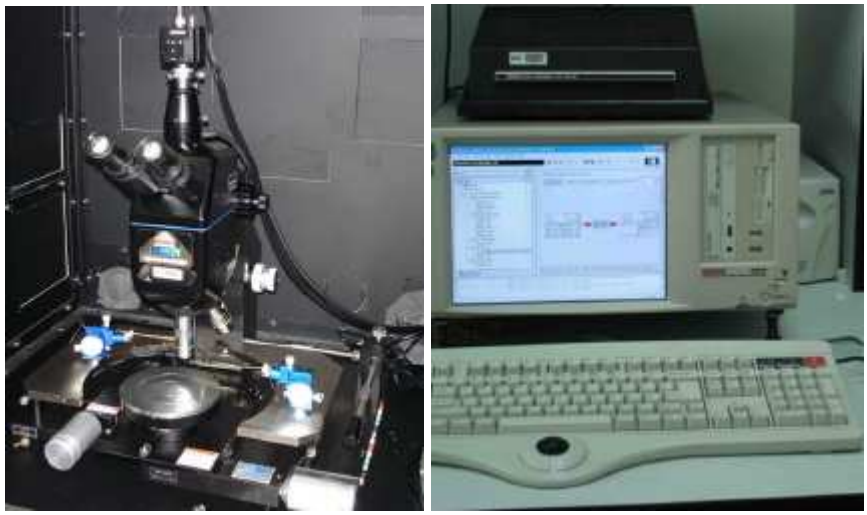
(a) (b)

Figura 3.2 – Imagem do *Wave* (a), bem como do seu convencional equivalente (b) com o comprimento de canal de 12µm.

4 RESULTADOS EXPERIMENTAIS

Neste capítulo são apresentadas as curvas características experimentais que foram usadas para extração dos principais parâmetros desses dispositivos.

A Figura 4.1 mostra o microprovador da *Cascade Microtech* (a) e do analisador de dispositivos semicondutores *Keithley* 4200, da *Keithley Instruments Inc.* (b) utilizados para caracterizar os dispositivos.



(a) (b)

Figura 4.1 - Micro provador *Cascade Microtech* (a) e o analisador de dispositivos semicondutores *Keithley* 4200 da *Keithley Instruments Inc.(*b) que foram usados para caracterizar eletricamente os dispositivos.

4.1 Tensão de Limiar (V_{TH})

Através do método da segunda derivada da curva de I_{DS} em função de $V_{GS,}$ com V_{DS} igual a 10 mV, extraíram-se as seguintes tensões de limiar dos MOSFETs estudados, conforme descrito na Tabela 3.

Tabela 3 –L, W, fator geométrico e a tensão de limiar dos dispositivos estudados.

	MOSFET Convencional			*Wave* MOSFET		
L (µm)	W (µm)	W/L	V_{TH} (V)	W (µm)	W/L	V_{TH} (V)
2,3	24,5	10,6	0,68	23,4	10,2	0,68
6	30,9	5,1	0,68	32,2	5,4	0,66
12	44,6	3,7	0,68	44,5	3,7	0,65

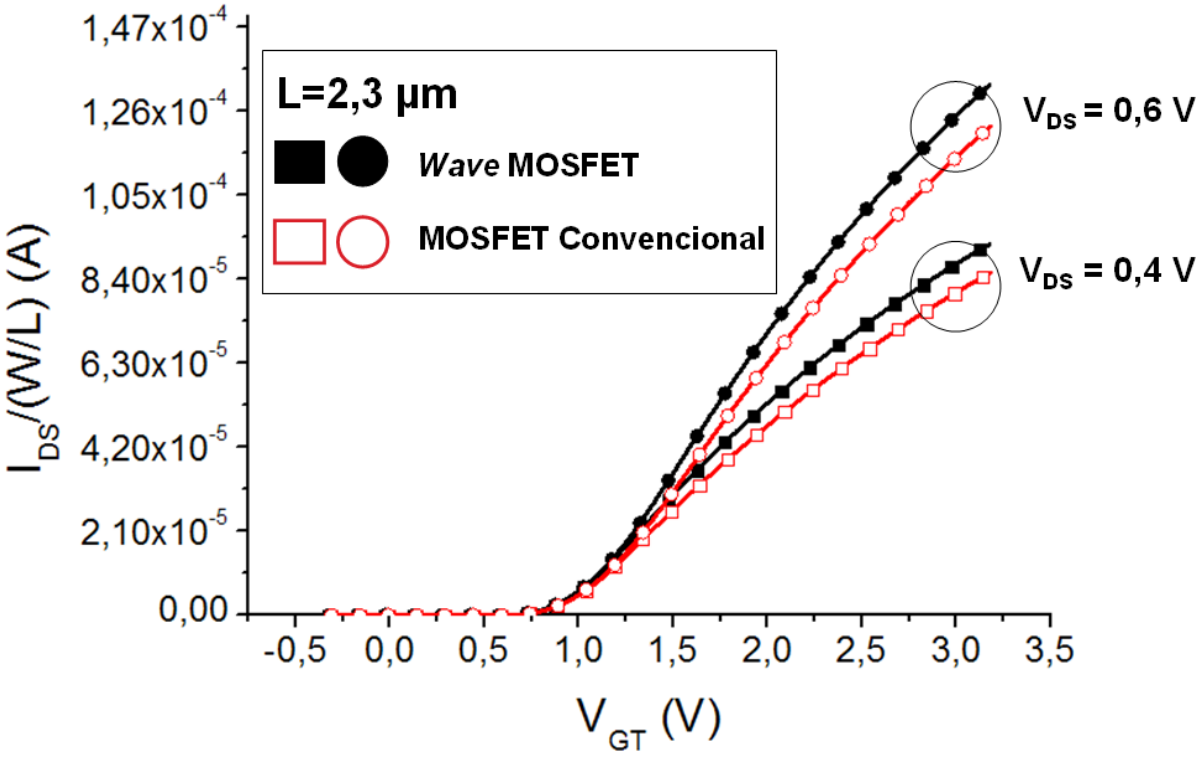
Percebe-se que os valores da tensão de limiar do MOSFET convencional mantêm-se constante, no entanto para o *Wave* há uma ligeira diminuição da tensão de limiar com o aumento do comprimento de canal. Diminui-se 0,02V da tensão de limiar do transistor com comprimento 2,3 µm para o de 6 µm e de 0,01V do dispositivo de 6 µm para o de 12 µm, mas se compararmos o de 2,3 µm com o 12 µm verifica-se uma variação da tensão de limiar em 0,03V. Este trabalho não tem por objetivo o estudo V_{TH} em função do comprimento de canal do *Wave* MOSFET e é um tema para trabalhos futuros. Como o V_{TH} variou entre o *Wave* MOSFET e o convencional equivalente, as comparações entre as características são realizadas em função da sobretensão de porta V_{GT} ($V_{GS} - V_{TH}$).

4.2 Características das Curvas da Corrente de Dreno Normalizada pelo Fator Geométrico em Função da Sobretensão de Porta [I_{DS}/(W/L) em função de V_{GT}].

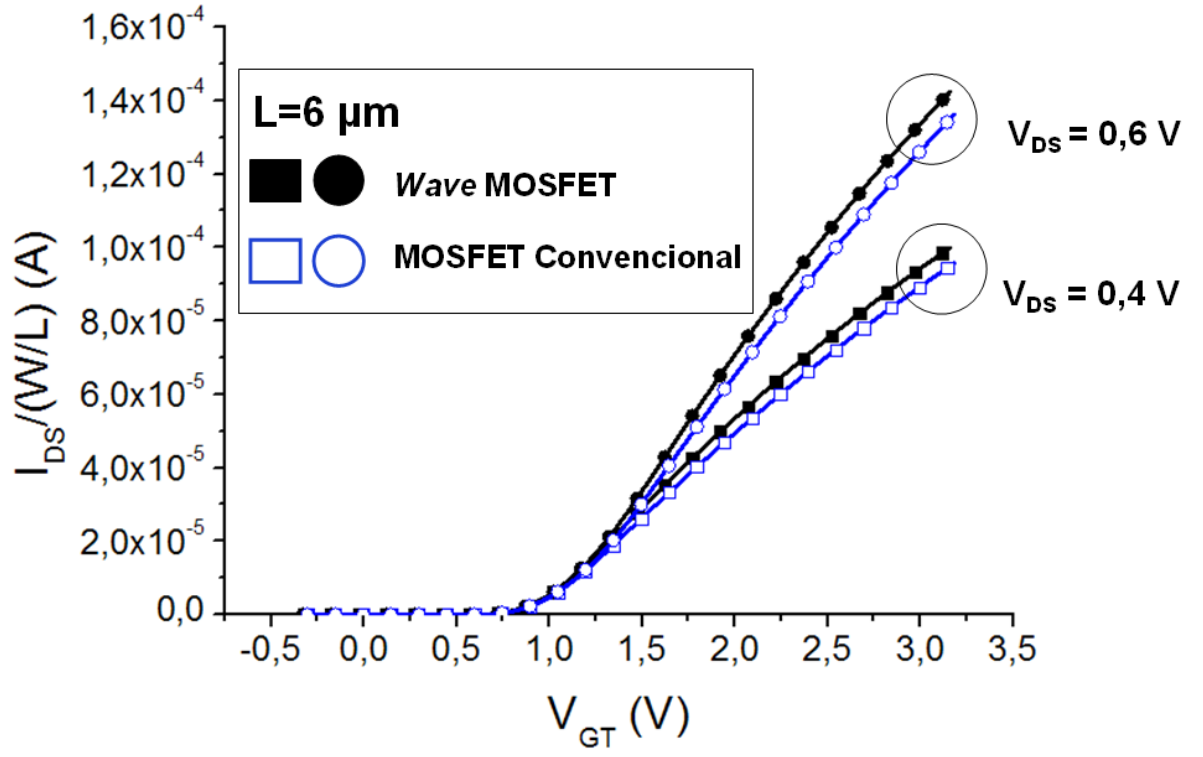
A corrente de dreno normalizada em relação ao fator geométrico [I_{DS}/(W/L)] em função da sobretensão de porta (V_{GT}), para diferentes V_{DS} dos MOSFETs do tipo *Wave* e convencional são usadas para extrair os principais parâmetros dos dispositivos (tensão de limiar, a corrente de dreno normalizada pelo fator geométrico em função da sobretensão de porta na região Triodo, a corrente de dreno de estado ligado, a corrente de dreno de estado desligado, a razão $I_{ON}/I_{OFF,}$ a corrente de dreno fuga, a inclinação de sublimiar, a transcondutância, a razão da transcondutância pela corrente entre dreno e fonte em função da corrente entre dreno e fonte normalizada pelo fator geométrico, a frequência de ganho de tensão unitário e o ganho de tensão em malha aberta) visando às implementações de circuitos analógicos e digitais. I_{DS}/(W/L) foi usado para eliminar as diferenças das geometrias dos MOSFETs, devido às regras de projeto do processo de fabricação CMOS e da estrutura não convencional de porta do *Wave* MOSFET.

A Figura 4.2 apresenta respectivamente as curvas I_{DS}/(W/L) em função de V_{GT} do *Wave* MOSFET e do MOSFET convencional equivalente para diferentes valores de L,

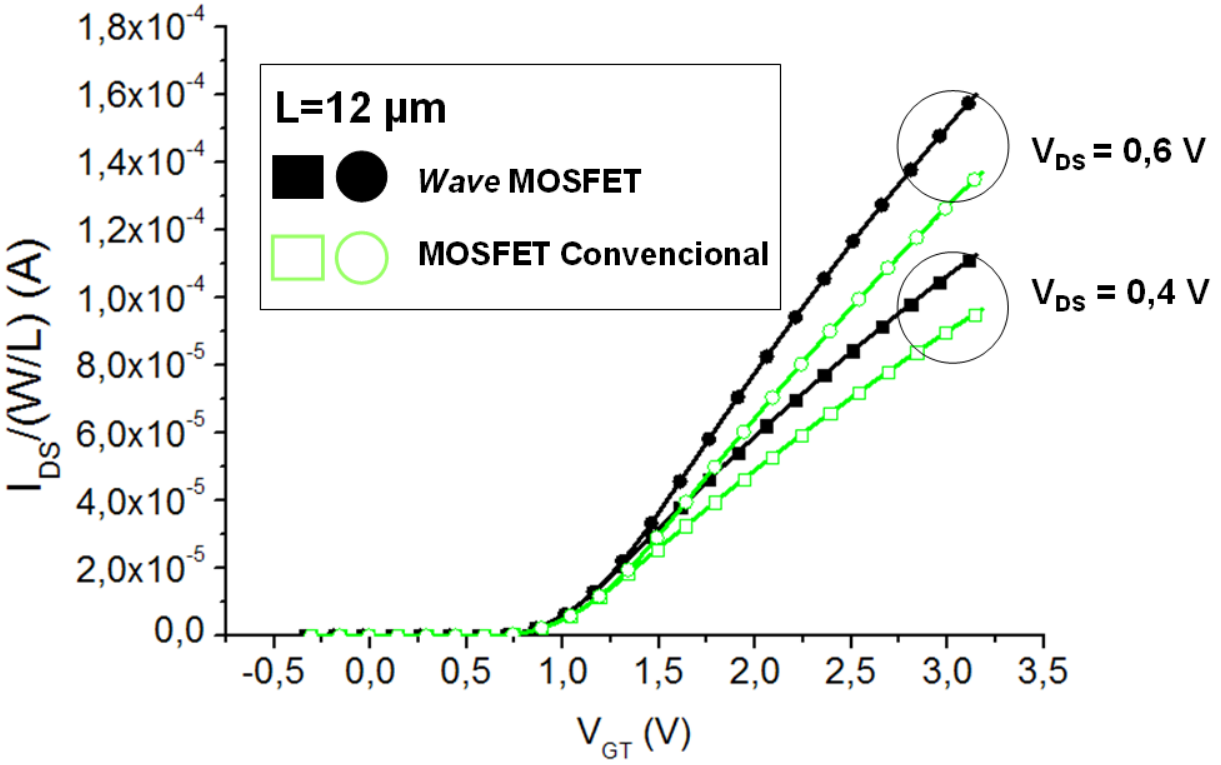
2,3 µm (a), 6 µm (b) e 12 µm (c) com V_{DS}= 0,4V e V_{DS}= 0,6V respectivamente, focando a região Triodo.



(a)



(b)



(c)

Figura 4.2 – Curva experimental de I_{DS}/(W/L) em função de V_{GT} para L=2,3 µm (a) L=6 µm (b) e L=12 µm (c) com V_{DS} = 0,4V e V_{DS} =0,6V, respectivamente do *Wave* MOSFET e do MOSFET convencional equivalente.

A Tabela 4 apresenta os valores da corrente de dreno na região Triodo extraídas das curvas da Figura 4.2, de I_{DS}/(W/L) em função de V_{GT}, para um V_{GT} de 2V com diferentes valores de comprimento de canal e diferentes V_{DS}.

Desvio em porcentagem (D%) corresponde ao desvio em porcentagem obtido entre o *Wave* MOSFET e o correspondente MOSFET convencional equivalente em relação ao convencional equivalente.

Neste caso, D positivo de I_{DS}/(W/L) quer dizer melhor desempenho do *Wave* MOSFET comparado ao MOSFET convencional equivalente.

Tabela 4 – Valores de I_{DS}/ (W/L) na região Triodo para V_{DS} =0,4 V e V_{DS} = 0,6V com V_{GT} de 2V, bem como o desvio em porcentagem de I_{DS}/(W/L) do *Wave* MOSFET comparado ao MOSFET convencional equivalente.

L=2,3µm – V_{GT} = 2 V - Região Triodo			
V_{DS} (V)	I_{DS}/(W/L) (A)		D% de I_{DS}/(W/L)
	Convencional	*Wave*	
0,4V	$4,70x10^{-5}$	$5,28x10^{-5}$	+12,34%
0,6V	$6,24x10^{-5}$	$7,03x10^{-5}$	+12,66%
L=6µm – V_{GT} = 2 V - Região Triodo			
V_{DS} (V)	I_{DS}/(W/L) (A)		D% de I_{DS}/(W/L)
	Convencional	*Wave*	
0,4V	$4,94x10^{-5}$	$5,35x10^{-5}$	+8,30%
0,6V	$6,52x10^{-5}$	$7,10x10^{-5}$	+8,90%
L= 12µm – V_{GT} = 2 V - Região Triodo			
V_{DS} (V)	I_{DS}/(W/L) (A)		D% de I_{DS}/(W/L)
	Convencional	*Wave*	
0,4V	$4,86x10^{-5}$	$5,85x10^{-5}$	+20,37%
0,6V	$6,44x10^{-5}$	$7,69x10^{-5}$	+19,41%

A Figura 4.3 apresenta o desvio em porcentagem de I_{DS}/(W/L) na região Triodo do *Wave* MOSFET em função do comprimento de canal, quando comparado ao MOSFET convencional equivalente para V_{DS} =0,4V e V_{GT}=2V.

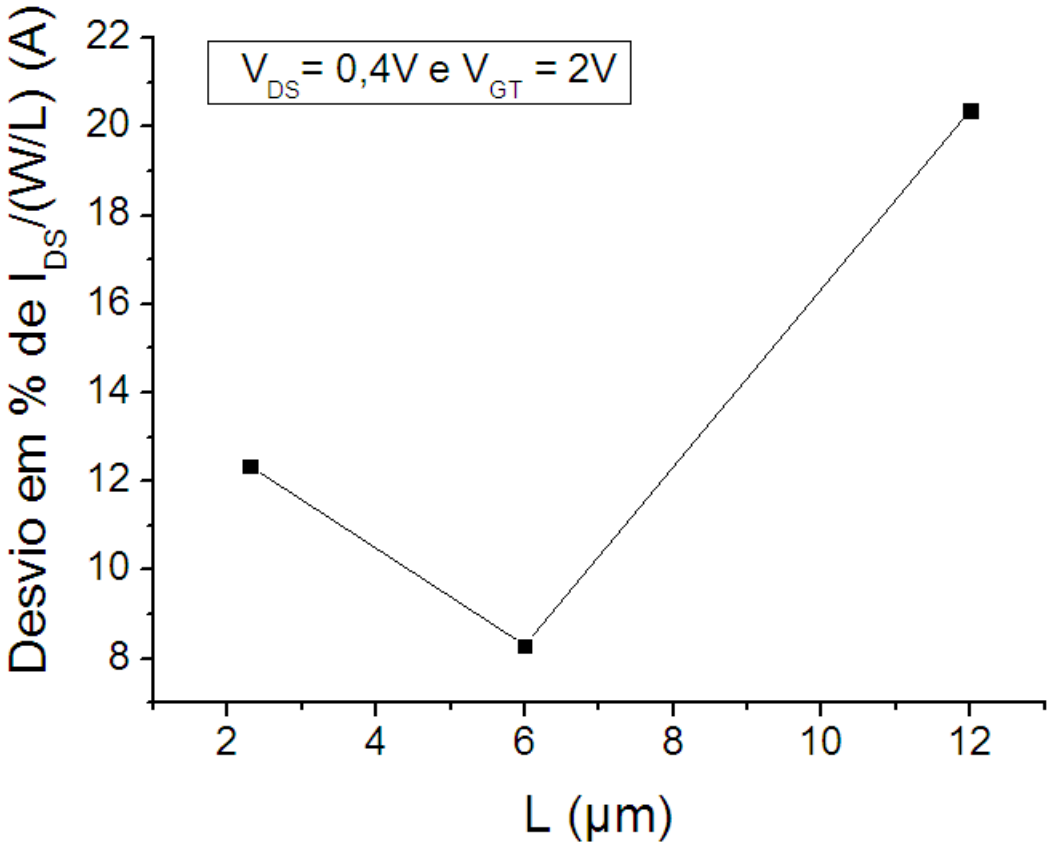


Figura 4.3 – Desvio em porcentagem de I_{DS}/(W/L) na região Triodo do *Wave* MOSFET em função do comprimento de canal quando comparado ao MOSFET convencional equivalente para V_{DS} =0,4V e V_{GT} =2V.

Analisando-se a Tabela 4 e a Figura 4.3, observa-se que os valores de I_{DS}/(W/L) na região Triodo do *Wave* MOSFET são sempre superiores aqueles observados nos MOSFETs convencionais equivalentes, considerando-se as mesmas condições de polarização e praticamente o mesmo fator geométrico para diferentes valores de V_{DS}.

Este resultado de aumento da I_{DS}/(W/L) pode ser justificado devido a dois efeitos. O primeiro diz respeito aos efeitos do maior campo elétrico longitudinal resultante na região de dreno do semicírculo da estrutura *Wave* MOSFET polarizado na configuração de polarização de dreno interno, quando comparado ao MOSFET convencional equivalente. O segundo efeito diz respeito ao efeito da resistência série de fonte do *Wave* MOSFET ser menor que a do MOSFET convencional equivalente, considerando-se praticamente o mesmo fator geométrico e as mesmas condições de polarização, conforme detalhadamente foi descrito no Capítulo 2.

Os resultados experimentais obtidos apresentam as mesmas tendências encontradas pelas simulações numéricas tridimensionais reportadas pela referência [15], reforçando então a hipótese do maior campo elétrico longitudinal do *Wave* MOSFET comparado ao MOSFET convencional equivalente. Dessa forma pela análise realizada de I_{DS}/(W/L) na região Triodo do *Wave* MOSFET ser sempre maior que a do convencional equivalente, faz do *Wave*

MOSFET uma outra alternativa de transistor para aumento de desempenho dos dispositivos que operam como chave nas aplicações de circuitos integrados digitais.

4.3 Resistência Série do *Wave* MOSFET e do MOSFET Convencional Equivalente.

A Figura 4.4 apresenta a curva da resistência série em função da sobretensão de porta do MOSFET convencional e do *Wave* MOSFET para L igual a 12 µm, considerando as mesmas condições de polarização e com V_{DS} de 10mV.

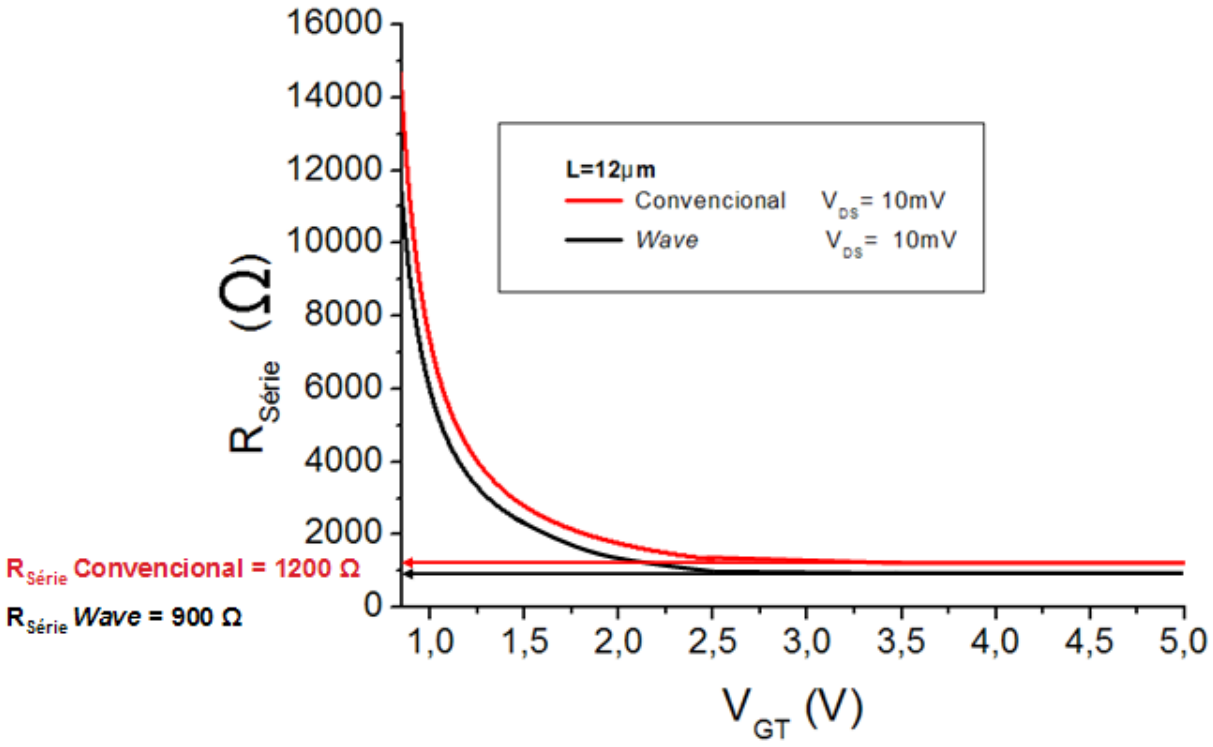


Figura 4.4 – Curva experimental da resistência série em função de V_{GT} para L = 12µm com V_{DS}=10mV do *Wave* MOSFET e do MOSFET convencional equivalente.

Analisando-se a Figura 4.4, nota-se que o valor da resistência série do *Wave* MOSFET com comprimento de canal de 12 µm é de 900Ω e do MOSFET convencional é de 1200Ω.

A Tabela 5 apresenta os valores da $R_{Série}$ (Ω) do *Wave* MOSFET e do MOSFET convencional equivalente. D% positivo de $R_{Série}$ (Ω) quer dizer melhor desempenho do *Wave* MOSFET comparado ao MOSFET convencional equivalente.

Tabela 5 – Valores da $R_{Série}$ (Ω) para V_{DS} =10mV , bem como desvio em porcentagem de $R_{Série}$ do *Wave* MOSFET comparado ao MOSFET convencional equivalente.

L=2,3µm			
V_{DS} (mV)	$R_{Série}$ (Ω)		D% de $R_{Série}$
	Convencional	*Wave*	
10mV	454	411	+9,47%
L=6µm			
V_{DS} (mV)	$R_{Série}$ (Ω)		D% de $R_{Série}$
	Convencional	*Wave*	
10mV	859	771	+10,24%
L= 12µm			
V_{DS} (mV)	$R_{Série}$ (Ω)		D% de $R_{Série}$
	Convencional	*Wave*	
10mV	1200	900	+25%

A Figura 4.5 apresenta o desvio em porcentagem de $R_{Série}$ do *Wave* MOSFET em função do comprimento de canal quando comparado ao MOSFET convencional equivalente.

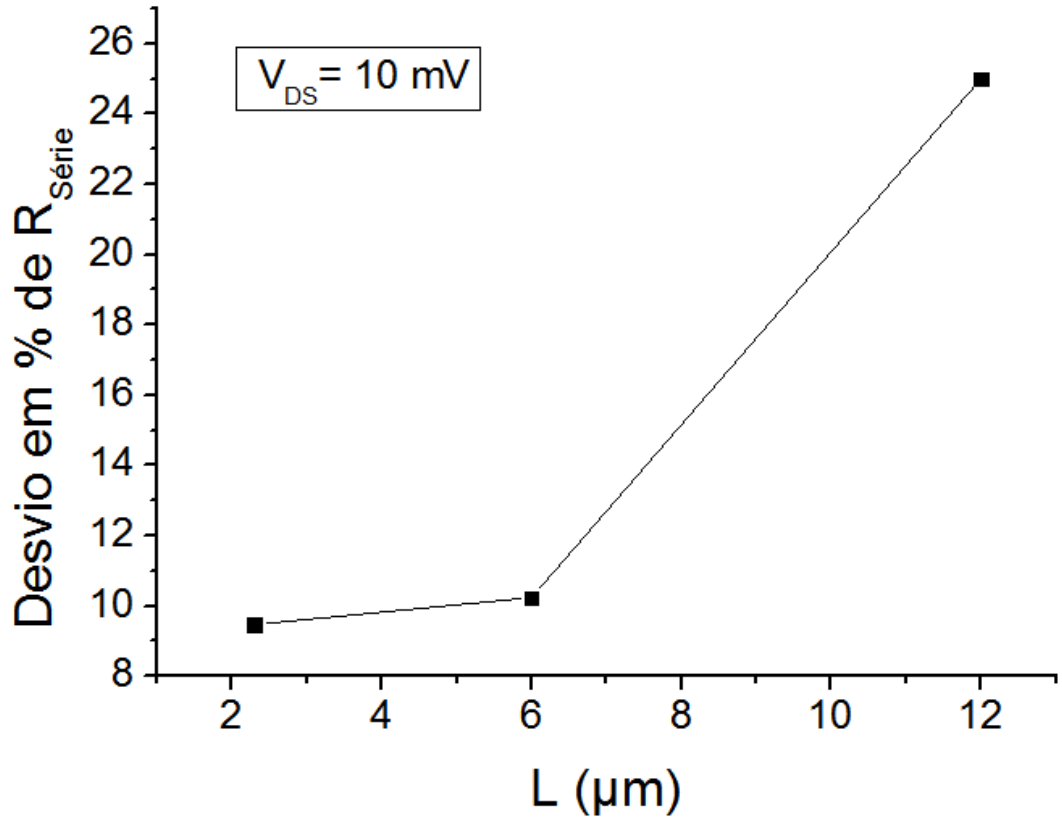


Figura 4.5 – Desvio em porcentagem da resistência de série do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente para V_{DS}= 10mV.

Analisando a Tabela 5 e a Figura 4.5, observa-se que os valores de $R_{Série}$ do *Wave* MOSFET são menores que aqueles observados nos MOSFETs convencionais equivalentes, considerando-se as mesmas condições de polarização e praticamente o mesmo fator geométrico.

Este resultado diz respeito ao efeito da resistência série de fonte do *Wave* MOSFET ser menor que a do MOSFET convencional equivalente, considerando-se praticamente o mesmo fator geométrico e as mesmas condições de polarização, conforme detalhadamente foi descrito no Capítulo 2.

Os resultados experimentais obtidos apresentam as mesmas tendências encontradas pelas simulações numéricas tridimensionais reportadas pela referência [15], reforçando então a hipótese da menor resistência série de fonte do *Wave* MOSFET quando comparado ao MOSFET convencional equivalente. Dessa forma pela análise realizada de $R_{Série}$ do *Wave* MOSFET ser sempre menor que a do convencional equivalente, faz do *Wave* MOSFET uma outra alternativa de transistor para aumento de desempenho dos dispositivos para aplicações de circuitos integrados digitais e analógicos.

4.4 Extração da Corrente de Dreno de Acionamento (I_{ON})

I_{ON} dos dispositivos foram extraídas da curva de Log I_{DS}/(W/L) em função de $V_{GT.}$

A extração de I_{ON} foi realizada de acordo com a explicação do Capítulo 2, para tal a variação de tensão de porta foi de -1,8V a 3V, a varredura utilizada (*voltage sweep*) foi com passo (*step*) de 10 mV, além de que o V_{DS} utilizado foi de 3,5V.

A Tabela 6 apresenta os valores de I_{ON} do *Wave* MOSFET e do MOSFET convencional equivalente. D% positivo de I_{ON} quer dizer melhor desempenho do *Wave* MOSFET comparado ao MOSFET convencional equivalente.

Tabela 6– Valores de I_{ON} para V_{DS} =3,5V, bem como o desvio em porcentagem de I_{ON} do *Wave* MOSFET comparado ao MOSFET convencional equivalente.

L=2,3 µm			
V_{DS} (V)	I_{ON} (A)		D% de I_{ON}
	Convencional	*Wave*	
3,5V	$3,1x10^{-3}$	$3,80x10^{-3}$	+22,58%
L=6 µm			
V_{DS} (V)	I_{ON} (A)		D% de I_{ON}
	Convencional	*Wave*	
3,5V	$1,81x10^{-3}$	$2,17x10^{-3}$	+19,89%
L= 12 µm			
V_{DS} (V)	I_{ON} (A)		D% de I_{ON}
	Convencional	*Wave*	
3,5V	$1,33x10^{-3}$	$1,65x10^{-3}$	+24,06%

A Figura 4.6 apresenta o desvio em porcentagem de I_{ON} do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente.

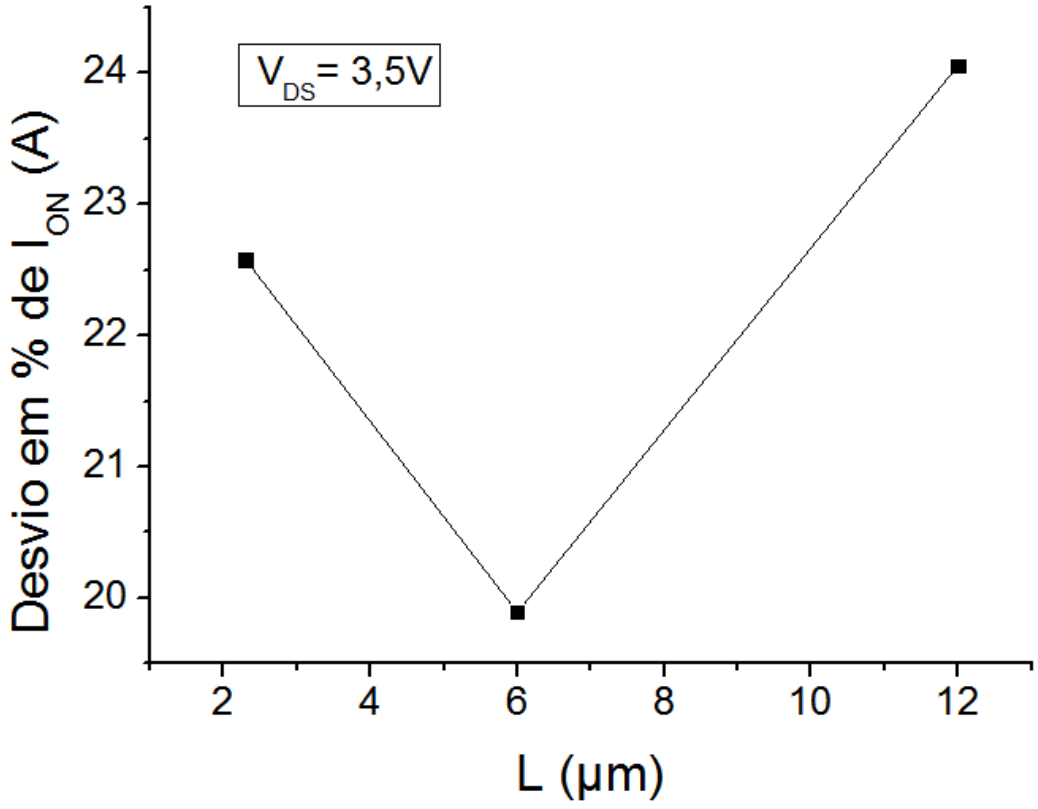


Figura 4.6 – Desvio em porcentagem de I_{ON} do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente para V_{DS} =3,5V.

Analisando-se a Tabela 6 e a Figura 4.6, observa-se que o desvio em porcentagem de I_{ON} do *Wave* MOSFET em relação ao MOSFET convencional equivalente é em média 22,18% melhor. Essa característica é importante para a implementação em circuitos integrados digitais.

4.5 Extração da Corrente de Dreno de Desacionamento (I_{OFF})

I_{OFF} dos dispositivos foram extraídas da curva de Log I_{DS}/(W/L) em função de $V_{GT.}$

A extração de I_{OFF} foi realizada de acordo com a explicação do capítulo 2, para tal a variação de tensão de porta foi de -1,8V a 3V, a varredura utilizada (*voltage sweep*) foi com passo (*step*) de 10 mV, além de que o V_{DS} utilizado foi de 3,5V. Foi extraído o valor de I_{OFF} quando V_{GT} =0V.

A Tabela 7 apresenta os valores da corrente I_{OFF} do *Wave* MOSFET e do MOSFET convencional equivalente. D% positivo de I_{OFF} quer dizer melhor desempenho do *Wave* MOSFET comparado ao MOSFET convencional equivalente.

Tabela 7– Valores de I_{OFF} para V_{DS} =3,5V e V_{GT} =0 , bem como desvio em porcentagem de I_{OFF} do *Wave* MOSFET comparado ao MOSFET convencional equivalente.

L=2,3 µm - V_{GT} =0			
V_{DS} (V)	I_{OFF} (A)		D% de I_{OFF}
	Convencional	*Wave*	
3,5V	$2,40x10^{-11}$	$2,28x10^{-11}$	+5,00%
L=6 µm - V_{GT} =0			
V_{DS} (V)	I_{OFF} (A)		D% de I_{OFF}
	Convencional	*Wave*	
3,5V	$2,33x10^{-11}$	$2,33x10^{-11}$	0%
L= 12 µm - V_{GT} =0			
V_{DS} (V)	I_{OFF} (A)		D% de I_{OFF}
	Convencional	*Wave*	
3,5V	$2,35x10^{-11}$	$2,14x10^{-11}$	8,94%

A Figura 4.7 apresenta o desvio em porcentagem de I_{OFF} do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente.

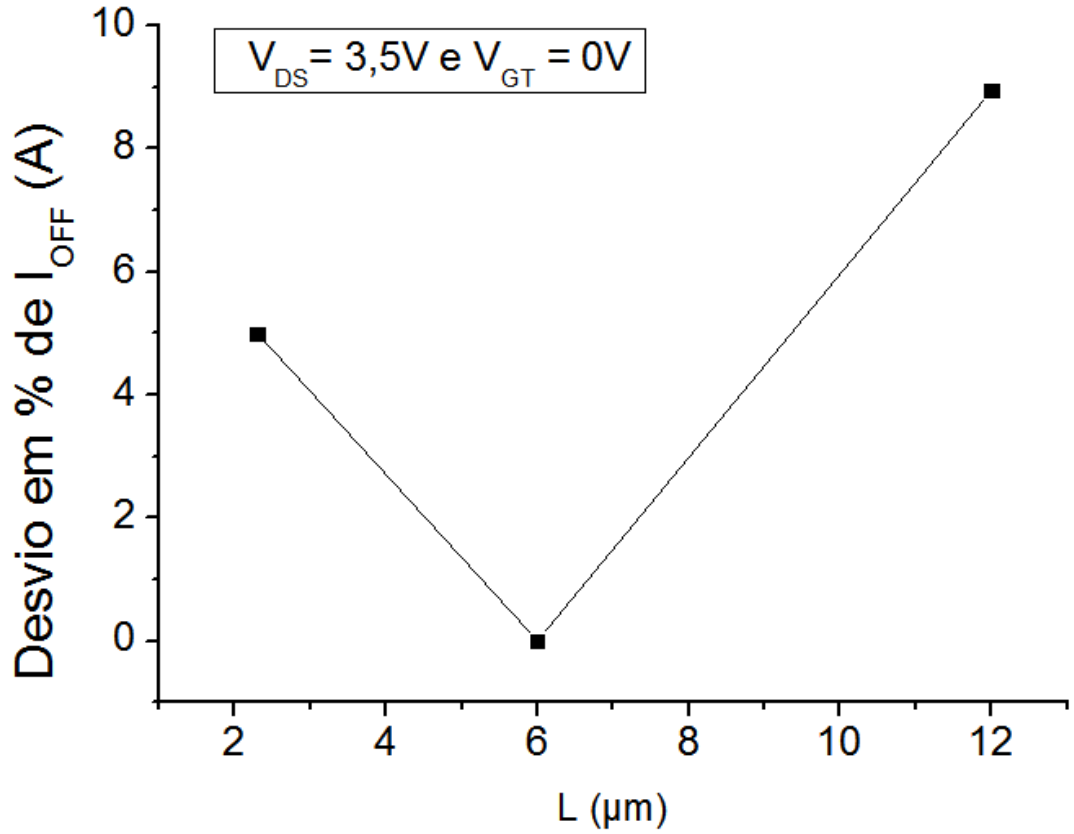


Figura 4.7 – Desvio em porcentagem de I_{OFF} do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente para V_{DS} =3,5V e V_{GT} =0.

Analisando-se a Tabela 7 e a Figura 4.7, observa-se que o desvio em porcentagem de I_{OFF} do *Wave* MOSFET em relação ao MOSFET convencional equivalente é em média 4,65% melhor. Essa característica é importante para a implementação em circuitos integrados digitais e assim como o I_{ON}, o I_{OFF} também contribui para o melhor resultado da razão I_{ON}/I_{OFF}.

4.6 Razão I_{ON} /I_{OFF}

A razão I_{ON} /I_{OFF} dos dispositivos foram extraídas da curva de Log I_{DS}/(W/L) em função de V_{GT} .

A extração deste parâmetro foi realizada de acordo com a explicação do Capítulo 2, para tal a variação de tensão de porta foi de -1,8V a 3V, a varredura utilizada (*voltage sweep*) foi com passo (*step*) de 10 mV, além de que o V_{DS} utilizado foi de 3,5V. Neste caso é realizado a divisão dos valores de I_{ON} e I_{OFF} dos dispositivos estudados para obter os valores dessa razão.

A Tabela 8 apresenta os valores da razão I_{ON}/I_{OFF} do *Wave* MOSFET e do MOSFET convencional equivalente. D% positivo de I_{ON}/I_{OFF} quer dizer melhor desempenho do *Wave* MOSFET comparado ao MOSFET convencional equivalente.

Tabela 8– Valores da razão I_{ON}/I_{OFF} para V_{DS} =3,5 V , bem como desvio em porcentagem da razão I_{ON}/I_{OFF} do *Wave* MOSFET comparado ao MOSFET convencional equivalente.

L=2,3 µm			
V_{DS} (V)	I_{ON}/I_{OFF}		D% da razão I_{ON}/I_{OFF}
	Convencional	*Wave*	
3,5V	$129{,}17x10^{+6}$	$166{,}67x10^{+6}$	+29,03%
L=6 µm			
V_{DS} (V)	I_{ON}/I_{OFF}		D% da razão I_{ON}/I_{OFF}
	Convencional	*Wave*	
3,5V	$77{,}68x10^{+6}$	$93{,}13x10^{+6}$	+19,89%
L= 12 µm			
V_{DS} (V)	I_{ON}/I_{OFF}		D% da razão I_{ON}/I_{OFF}
	Convencional	*Wave*	
3,5V	$56{,}60x10^{+6}$	$77{,}10x10^{+6}$	+36,22%

A Figura 4.8 apresenta o desvio em porcentagem da razão I_{ON}/I_{OFF} do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente.

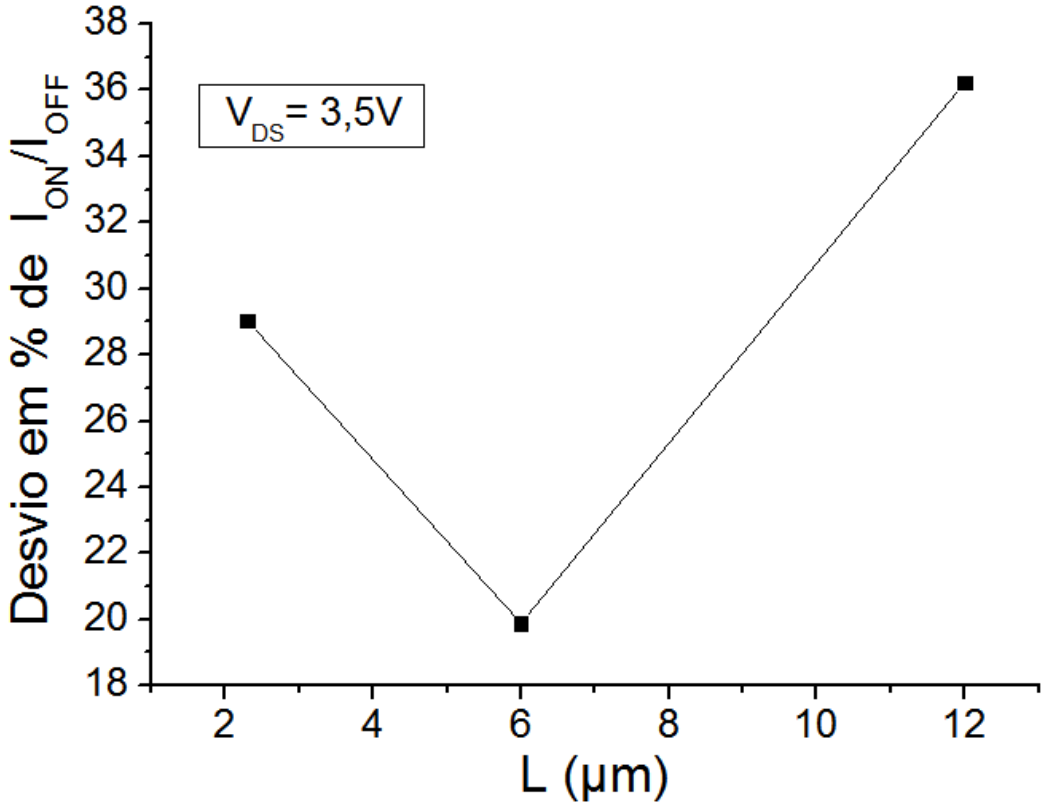


Figura 4.8 – Desvio em porcentagem de I_{ON} /I_{OFF} do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente para V_{DS} =3,5V.

Analisando a Tabela 8 e a Figura 4.8, observa-se que o desvio em porcentagem da razão I_{ON} /I_{OFF} do *Wave* MOSFET em relação ao MOSFET convencional equivalente é em média 28,38% maior. Essa característica é importante para a implementação em circuitos integrados digitais, uma vez que essa característica apresenta uma velocidade de chaveamento muito maior com relação ao MOSFET convencional equivalente.

4.7 Extração da Corrente de Dreno de Fuga (I_{leak})

I_{leak} dos dispositivos foram extraídas da curva de Log I_{DS}/(W/L) em função de $V_{GT.}$

A extração deste parâmetro foi realizada de acordo com a explicação do capítulo 2, para tal a variação de tensão de porta foi de -1,8V a 3V, a varredura utilizada (*voltage sweep*) foi com passo (*step*) de 10 mV, além de que o V_{DS} utilizado foi de 3,5V. Neste caso foi extraído o valor da corrente quando V_{GS} = -0,4V.

A Tabela 9 apresenta os valores de I_{leak} do *Wave* MOSFET e do MOSFET convencional. D% positivo de I_{leak} quer dizer melhor desempenho do *Wave* MOSFET com o convencional equivalente.

Tabela 9 – Valores de I_{leak} para V_{DS} =3,5V e V_{GT} = -0,4V , bem como o desvio em porcentagem de I_{leak} do *Wave* MOSFET comparado ao MOSFET convencional equivalente.

L=2,3 µm - V_{GT} = -0,4V			
V_{DS} (V)	I_{leak} (A)		D% de I_{leak}
	Convencional	*Wave*	
3,5V	$2,57x10^{-11}$	$2,64x10^{-11}$	-2,72%
L=6 µm - V_{GT} = -0,4V			
V_{DS} (V)	I_{leak} (A)		D% de I_{leak}
	Convencional	*Wave*	
3,5V	$2,60x10^{-11}$	$2,59x10^{-11}$	0,38%
L= 12 µm - V_{GT} = -0,4V			
V_{DS} (V)	I_{leak} (A)		D% de I_{leak}
	Convencional	*Wave*	
3,5V	$2,53x10^{-11}$	$2,43x10^{-11}$	3,96%

A Figura 4.9 apresenta o desvio em porcentagem de I_{leak} do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente.

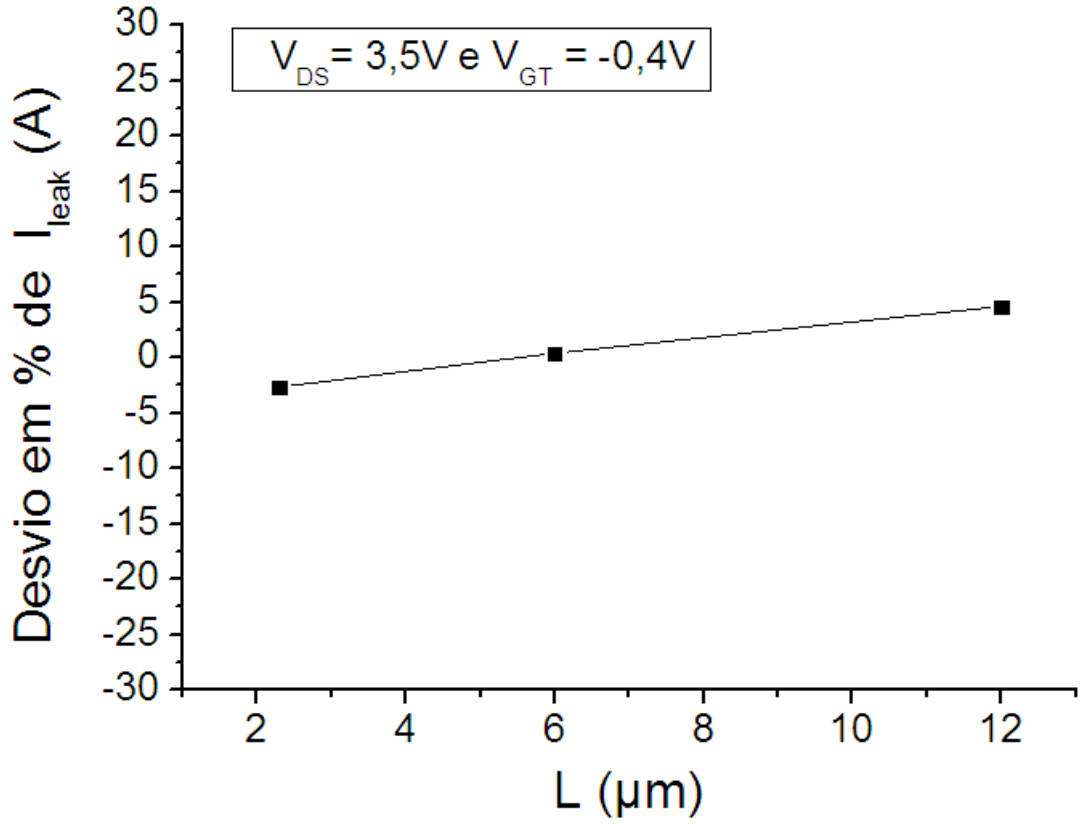


Figura 4.9 – Desvio em porcentagem de I_{leak} do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente para V_{DS} =3,5V e V_{GT} =-0,4.

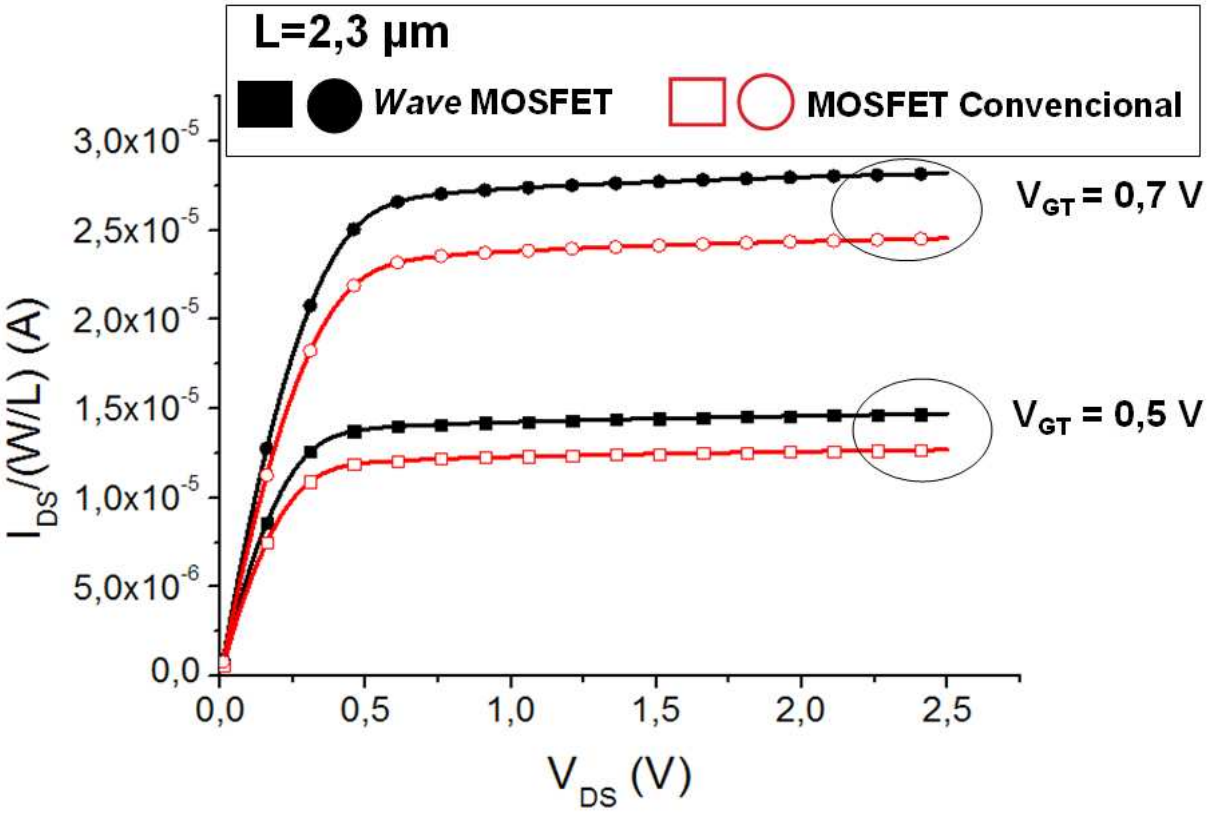
Analisando-se a Tabela 9 e a Figura 4.9, observa-se que o desvio em porcentagem de I_{leak} nem sempre é positivo para o *Wave* MOSFET em relação ao MOSFET convencional equivalente, porém por ter uma variação pequena considera-se que existe um comportamento similar neste parâmetro elétrico.

4.8 Características das Curvas da Corrente de Dreno Normalizada pelo Fator Geométrico em Função da Tensão de Dreno [(I_{DS}/(W/L) em função de V_{DS})]

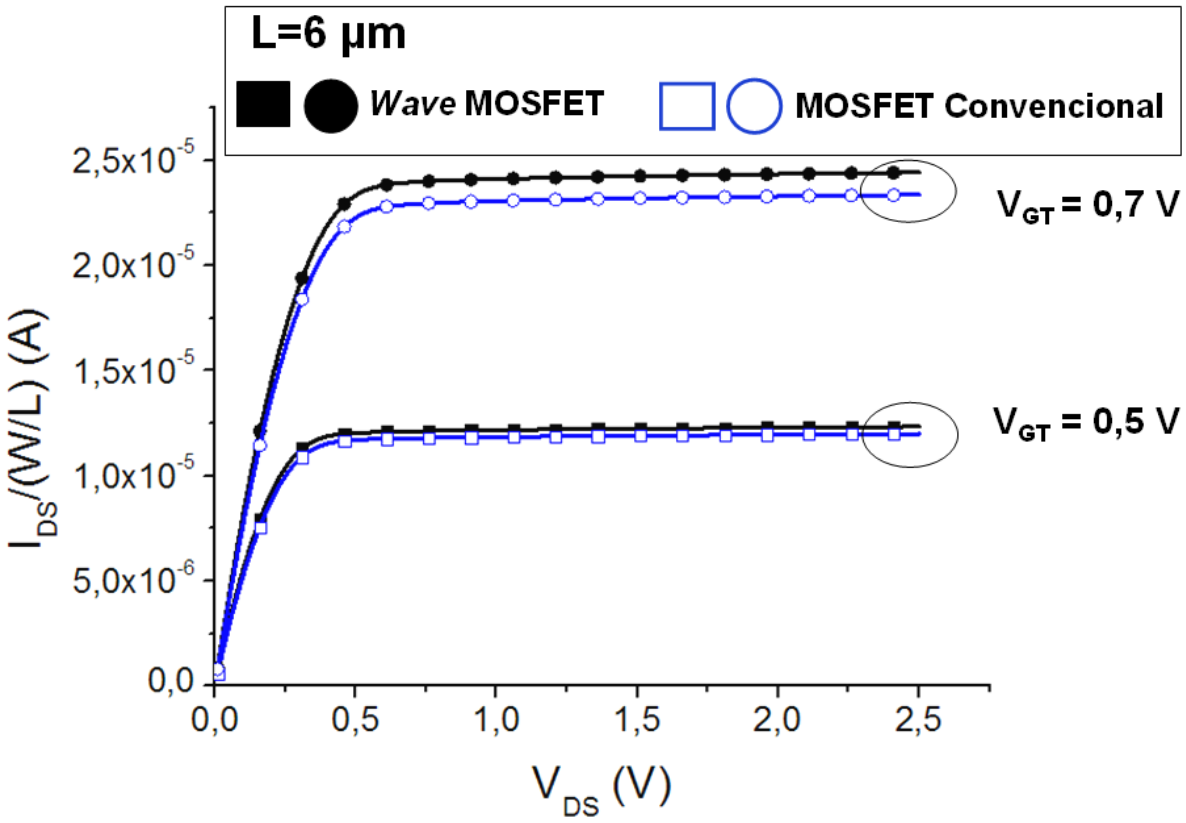
A corrente de dreno normalizada em função do fator geométrico I_{DS}/(W/L) em função da tensão de dreno (V_{DS}) para diferentes V_{GT} dos MOSFETs do tipo *Wave* e convencional são usadas para extrair parâmetros importantes dos dispositivos visando às implementações analógicas e digitais, tais como a corrente de dreno normalizada pelo fator geométrico em função da tensão de dreno na região Saturação, a tensão *Early* e a resistência série entre fonte e dreno de estado ligado. I_{DS}/(W/L) foi usado para eliminar as diferenças das geometrias dos

MOSFETs, devido às regras de projeto do processo de fabricação CMOS e da estrutura não convencional de porta do *Wave* MOSFET.

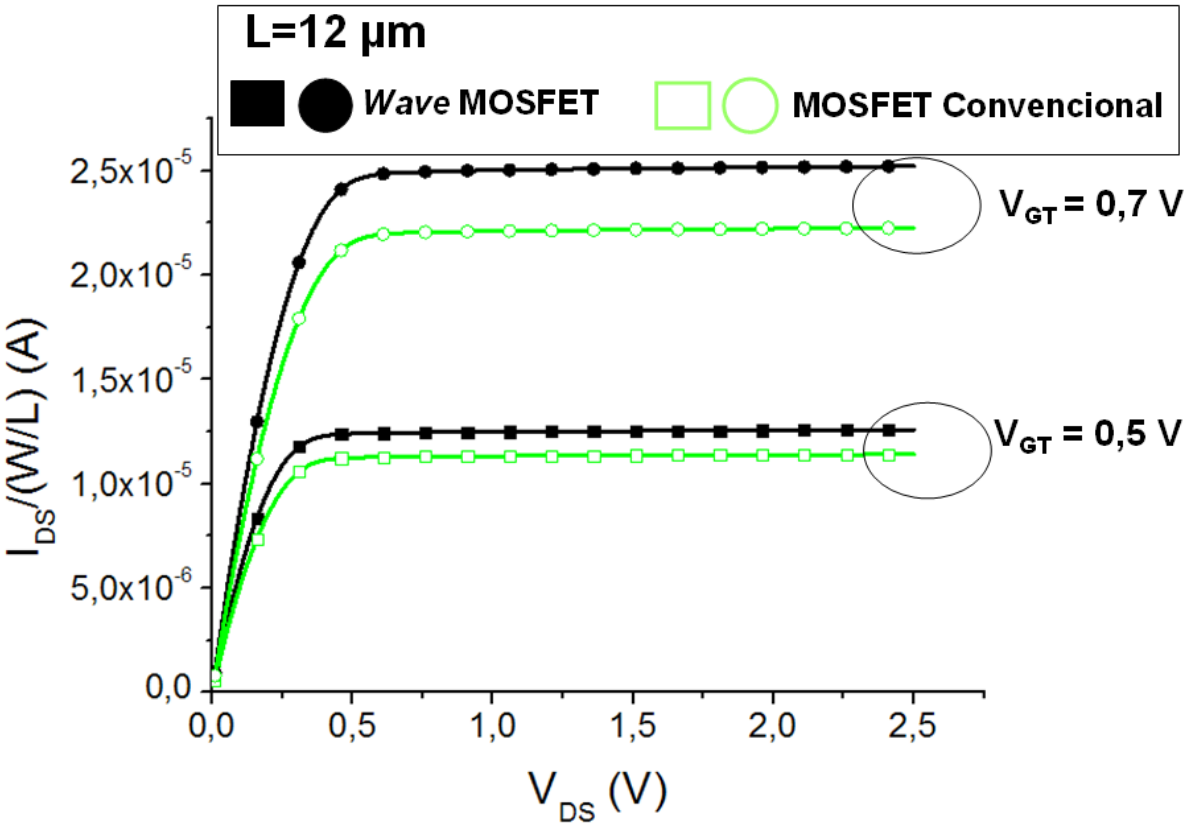
A Figura 4.10 apresenta respectivamente as curvas $I_{DS}/(W/L)$ em função de V_{DS} do *Wave* MOSFET e do MOSFET convencional equivalente para diferentes valores L, 2,3 µm (a), 6 µm (b) e 12 µm (c) respectivamente com V_{GT}= 0,5V e V_{GT}= 0,7V, focando a região Saturação.



(a)



(b)



(c)

Figura 4.10 – Curva experimental de $I_{DS}/(W/L)$ em função de V_{DS} para L=2,3 µm (a) L=6 µm (b) e L=12 µm (c) com V_{GT} = 0,5V e V_{GT} =0,7V do *Wave* MOSFET e do MOSFET convencional equivalente.

A Tabela 10 apresenta os valores da corrente de dreno na região Saturação extraídas das curvas da Figura 4.10, de $I_{DS}/(W/L)$ em função de V_{DS}, para um V_{DS} de 2V com diferentes valores de comprimento de canal e diferentes V_{GT}. D% positivo de $I_{DS}/(W/L)$ quer dizer melhor desempenho do *Wave* MOSFET comparado ao convencional equivalente.

Tabela 10 - Valores $I_{DS}/(W/L)$ na região Saturação para V_{GT} =0,5 V e V_{GT}= 0,7V com V_{DS}= 2V, bem como o desvio em porcentagem de $I_{DS}/(W/L)$ do *Wave* MOSFET comparado ao MOSFET convencional equivalente.

L=2,3 µm – V_{DS} = 2 V – Região Saturação			
V_{GT} (V)	$I_{DS}/(W/L)$ (A)		D% de $I_{DS}/(W/L)$
	Convencional	*Wave*	
0,5V	$1,26x10^{-5}$	$1,46x10^{-5}$	+15,87%
0,7V	$2,43x10^{-5}$	$2,80x10^{-5}$	+15,23%
L=6 µm – V_{DS} = 2 V - Região Saturação			
V_{GT} (V)	$I_{DS}/(W/L)$ (A)		D% de $I_{DS}/(W/L)$
	Convencional	*Wave*	
0,5V	$1,19x10^{-5}$	$1,23x10^{-5}$	+3,36%
0,7V	$2,33x10^{-5}$	$2,43x10^{-5}$	+4,30%
L= 12 µm – V_{DS} = 2 V – Região Saturação			
V_{GT} (V)	$I_{DS}/(W/L)$ (A)		D% de $I_{DS}/(W/L)$
	Convencional	*Wave*	
0,5V	$1,14x10^{-5}$	$1,26x10^{-5}$	+10,53%
0,7V	$2,22x10^{-5}$	$2,52x10^{-5}$	+13,51%

A Figura 4.11 apresenta o desvio em porcentagem de $I_{DS}/(W/L)$ na região Saturação do *Wave* MOSFET em função do comprimento de canal, quando comparado ao MOSFET convencional equivalente para V_{GT}=0,5V e V_{DS}=2V.

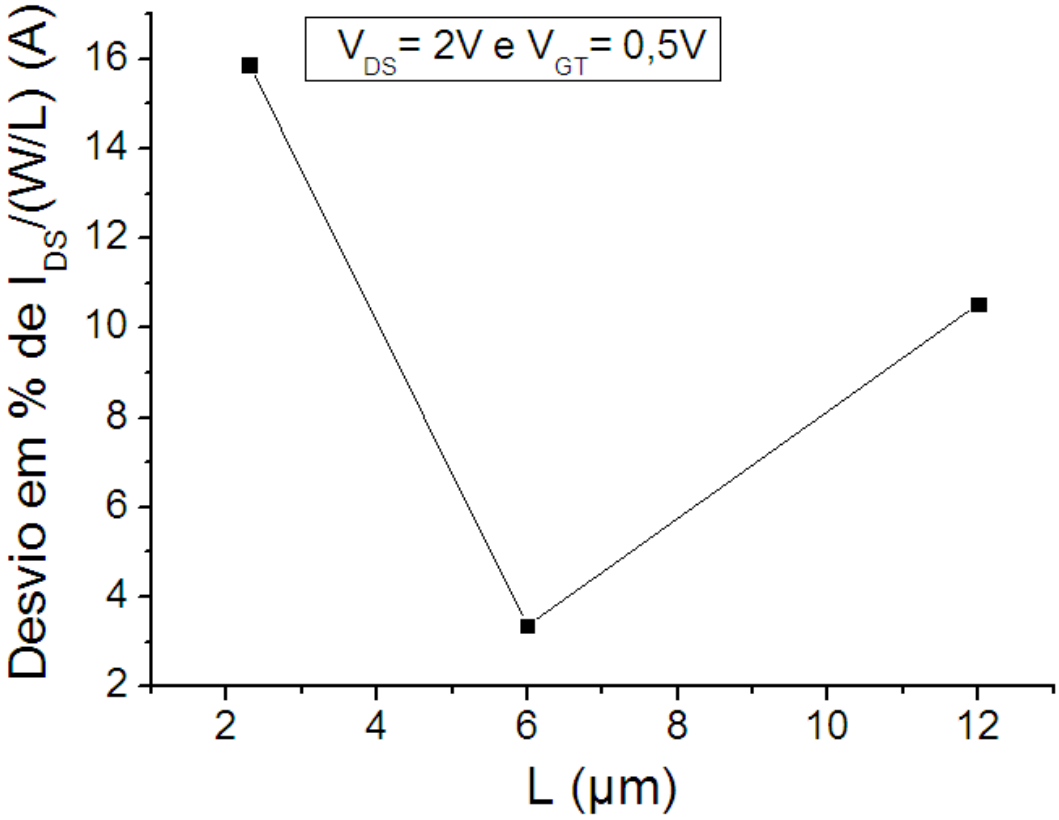


Figura 4.11 – Desvio em porcentagem de I_{DS}/(W/L) na região Saturação do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente para V_{GT}=0,5V e V_{DS}=2V.

Analisando a Tabela 10 e a Figura 4.11, observa-se que os valores de I_{DS}/(W/L) (A) na região Saturação do *Wave* MOSFET são sempre superiores aqueles observados nos MOSFETs convencionais equivalentes, considerando-se as mesmas condições de polarização e praticamente o mesmo fator geométrico para diferentes valores de V_{GT}.

Este resultado de aumento da I_{DS}/(W/L) pode ser justificado devido a dois efeitos explicados em detalhes no Capítulo 2 de maior campo elétrico longitudinal resultante na região de dreno do semicírculo da estrutura *Wave* MOSFET polarizado na configuração de polarização de dreno interno, quando comparado ao MOSFET convencional equivalente e da resistência série de fonte do *Wave* MOSFET ser menor que a do MOSFET convencional equivalente, considerando-se praticamente o mesmo fator geométrico e as mesmas condições de polarização.

Para esta análise os resultados experimentais obtidos também apresentam as mesmas tendências encontradas pelas simulações numéricas tridimensionais reportadas pela referência [15], reforçando então a hipótese do maior campo elétrico longitudinal do *Wave* MOSFET comparado ao MOSFET convencional equivalente. Dessa forma pela análise realizada de I_{DS}/(W/L) na região Saturação do *Wave* MOSFET ser sempre maior que a do convencional

equivalente, faz do *Wave* MOSFET uma outra alternativa de transistor para aumento de desempenho nos circuitos integrados digitais e analógicos.

4.9 Tensão *Early* (V_{EA})

A tensão *Early* dos dispositivos foram extraídas da curva $I_{DS}/(W/L)$ em função de V_{DS}.

A Tabela 11 apresenta os valores da tensão de V_{EA} (V) do *Wave* MOSFET e do MOSFET convencional equivalente. D% negativo de V_{EA} quer dizer pior desempenho do *Wave* MOSFET comparado ao convencional equivalente.

Tabela 11 - Valores de tensão *Early* extraídos da curva $I_{DS}/(W/L)$ em função de V_{DS} com V_{GT}=0,5V, bem como o desvio em porcentagem de V_{EA} do *Wave* MOSFET comparado ao MOSFET convencional equivalente.

L=2,3 µm			
V_{GT} (V)	V_{EA} (V)		D% de V_{EA}
	Convencional	*Wave*	
0,5V	-45,38	-45,00	-0,82%
L=6 µm			
V_{GT} (V)	V_{EA} (V)		D% de V_{EA}
	Convencional	*Wave*	
0,5V	-108,00	-107,89	-0,11%
L= 12 µm			
V_{GT} (V)	V_{EA} (V)		D% de V_{EA}
	Convencional	*Wave*	
0,5V	-196,51	- 171,44	-12,76%

A Figura 4.12 apresenta o desvio em porcentagem de V_{EA} do *Wave* MOSFET em função do comprimento de canal quando comparado ao MOSFET convencional equivalente para V_{GT}=0,5V.

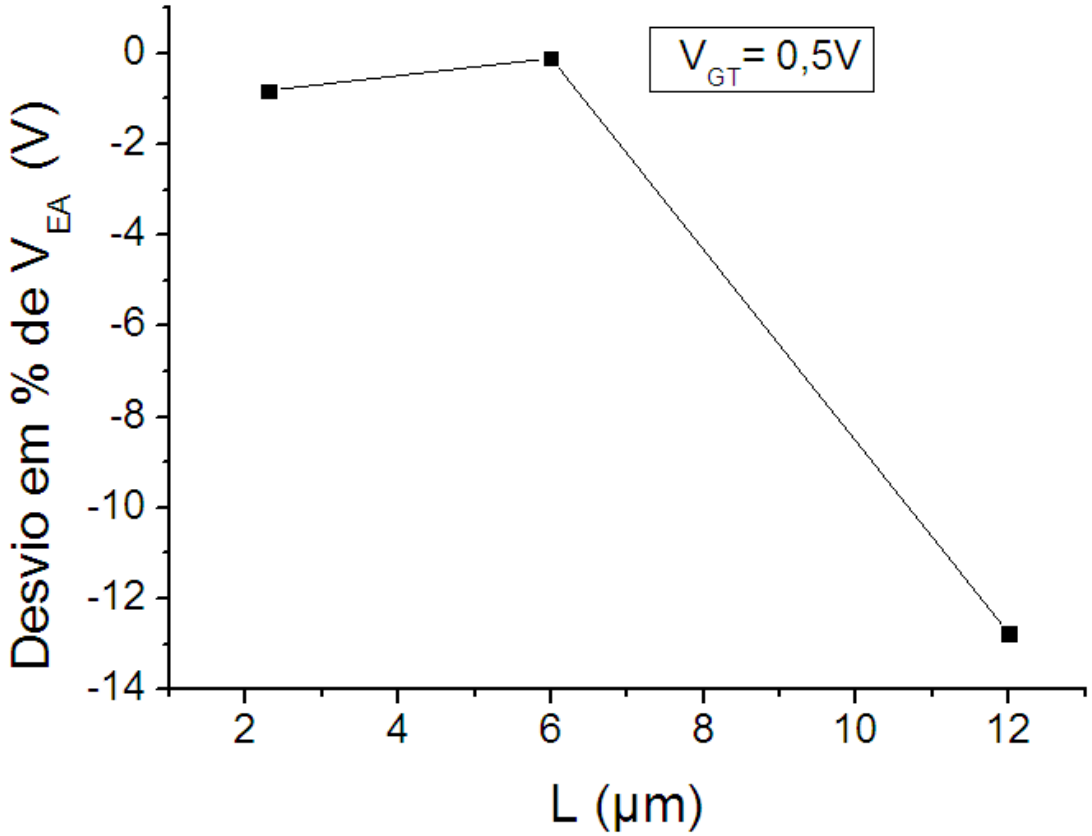


Figura 4.12 – Desvio em porcentagem de V_{EA} do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente para V_{GT} =0,5V.

Analisando-se a Tabela 11 e a Figura 4.12, observa-se valores mais negativos de tensão Early para o MOSFET convencional comparado ao *Wave* MOSFET, isto significa uma menor dependência da corrente de dreno em saturação em relação à tensão de dreno para um determinado valor sobretensão de porta no dispositivo convencional. No *Wave* MOSFET temos uma maior dependência da corrente de dreno em saturação em relação à tensão de dreno, seu dreno interno tem um alto campo elétrico fazendo com que pequenas variações de sobretensão de porta afetem mais a corrente de dreno do dispositivo, isto considerando-se as mesmas condições de polarização e praticamente o mesmo fator geométrico.

Os resultados experimentais obtidos apresentam as mesmas tendências encontradas pelas simulações numéricas tridimensionais reportadas pela referência [15], reforçando então a hipótese do maior campo elétrico longitudinal do *Wave* MOSFET quando comparado ao MOSFET convencional equivalente e devido a isto, há um ligeiro pior desempenho do Wave MOSFET (vide tabela 11). Considerando-se apenas os comprimentos de canais factíveis de 2,3µm e 6µm, observa-se um comportamento similar da tensão Early entre os dois dispositivos (*Wave* e convencional). Verifica-se que o dispositivo com 12µm possui um campo elétrico bastante elevado na região de dreno interno, isto se deve a fato de termos

apenas um contato no DI e vários contatos na região de fonte (forma que foi implementado o leiaute). O leiaute com comprimento de canal de 12µm foi realizado para justamente intensificar o campo elétrico longitudinal na região de dreno considerando-se a o semicírculo na configuração de dreno interno. Portanto, para leiautes com comprimentos de canais menor igual a 6µm, a tensão Early do *Wave* é praticamente a mesma do convencional equivalente. Para este trabalho foi realizado a média ponderada dos três comprimentos de canal estudados do valor de V_{EA} e nessa média observa-se um pior desempenho de V_{EA} em 4,56%.

4.10 Resistência Série de Estado Ligado (R_{DSON})

A resistência série de estado ligado dos dispositivos foram extraídas da curva $I_{DS}/(W/L)$ em função de $V_{DS.}$

A Tabela 12 apresenta os valores da resistência série de estado ligado do *Wave* MOSFET e do MOSFET convencional equivalente. D% positivo de R_{DSON} quer dizer melhor desempenho do *Wave* MOSFET comparado ao convencional equivalente.

Tabela 12 - Valores da resistência entre fonte e dreno extraídos da curva $I_{DS}/(W/L)$ (A) em função de V_{DS} (V) com V_{GT}=0,5V, bem como o desvio em porcentagem de R_{DSON} do *Wave* MOSFET comparado ao MOSFET convencional equivalente.

L=2,3 µm			
V_{GT} (V)	R_{DSON} (K Ω)		D% de R_{DSON}
	Convencional	*Wave*	
0,5V	22,5	19,8	+12,00%
L=6 µm			
V_{GT} (V)	R_{DSON} (K Ω)		D% de R_{DSON}
	Convencional	*Wave*	
0,5V	21,4	20,2	+5,61%
L= 12 µm			
V_{GT} (V)	R_{DSON} (K Ω)		D% de R_{DSON}
	Convencional	*Wave*	
0,5V	22,1	18,8	+14,93%

A Figura 4.13 apresenta o desvio em porcentagem de R_{DSON} do *Wave* MOSFET em função do comprimento de canal quando comparado ao MOSFET convencional equivalente para V_{GT}=0,5V.

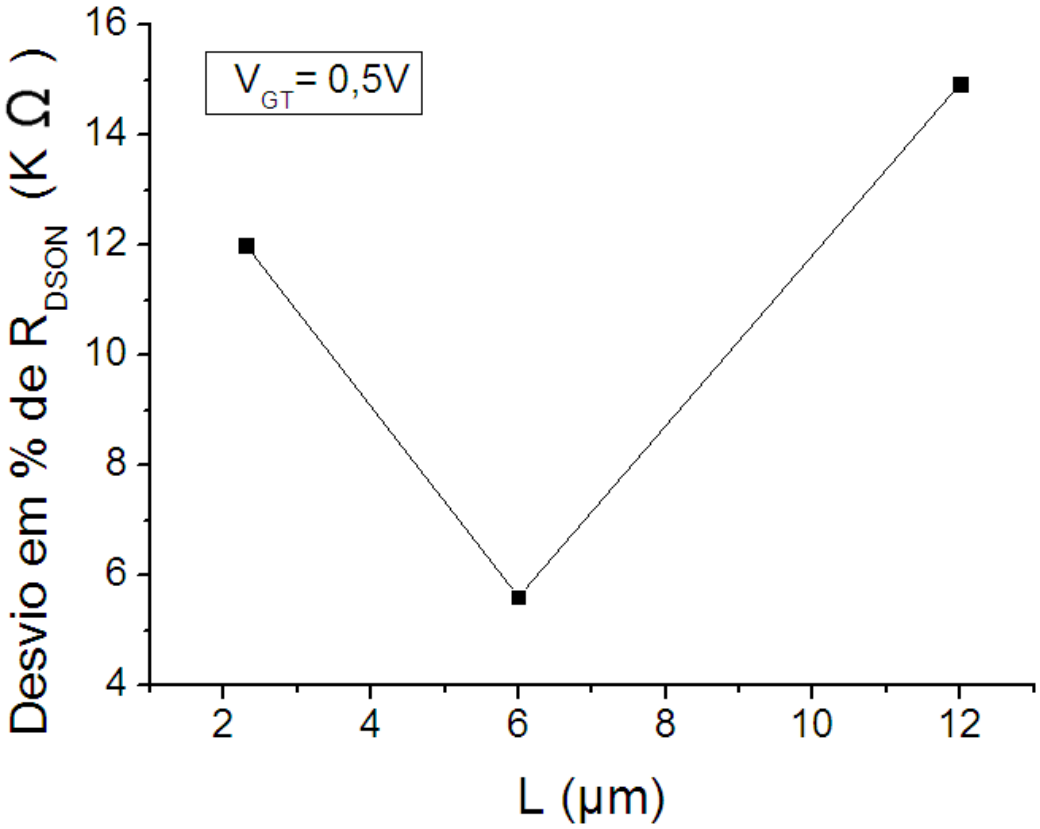


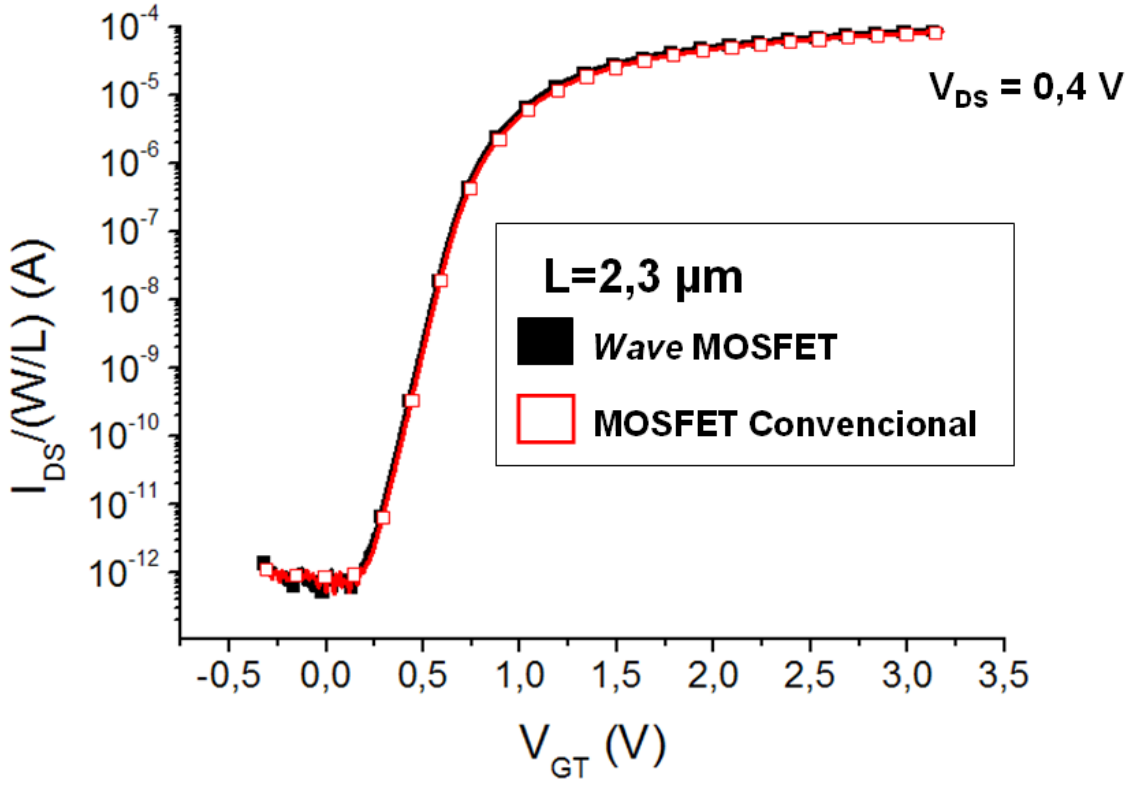
Figura 4.13 – Desvio em porcentagem de R_{DSON} do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente V_{GT} =0,5V.

Analisando-se a Tabela 12 e a Figura 4.12 pode-se afirmar que R_{DSON} do Wave MOSFET é menor em 10,85% em média comparado ao convencional equivalente. Os resultados apresentados apresentam um melhor o desempenho do *Wave* MOSFET com relação convencional equivalente considerando-se as mesmas condições de polarização e praticamente o mesmo fator geométrico para diferentes valores de V_{GT}.

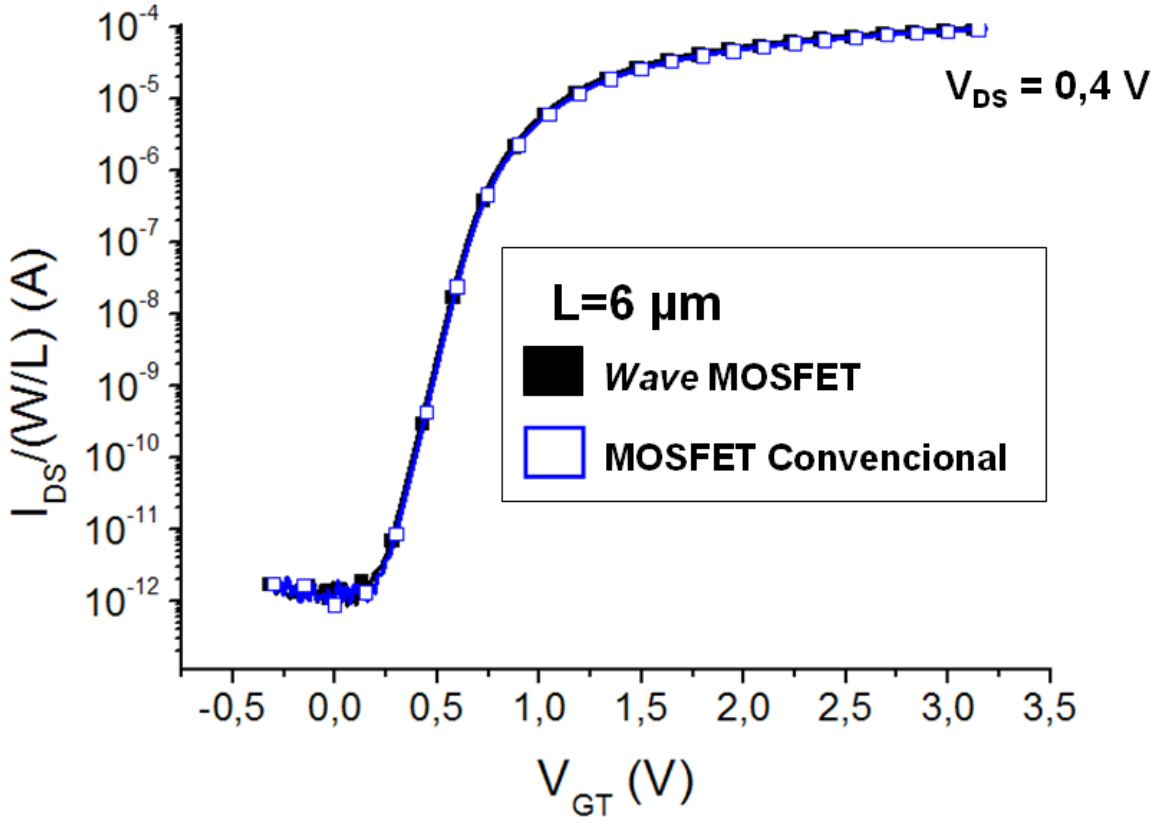
4.11 Inclinação Sublimiar (S)

A inclinação sublimiar dos dispositivos foram extraídas da curva de Log I_{DS}/(W/L) em função de $V_{GT.}$

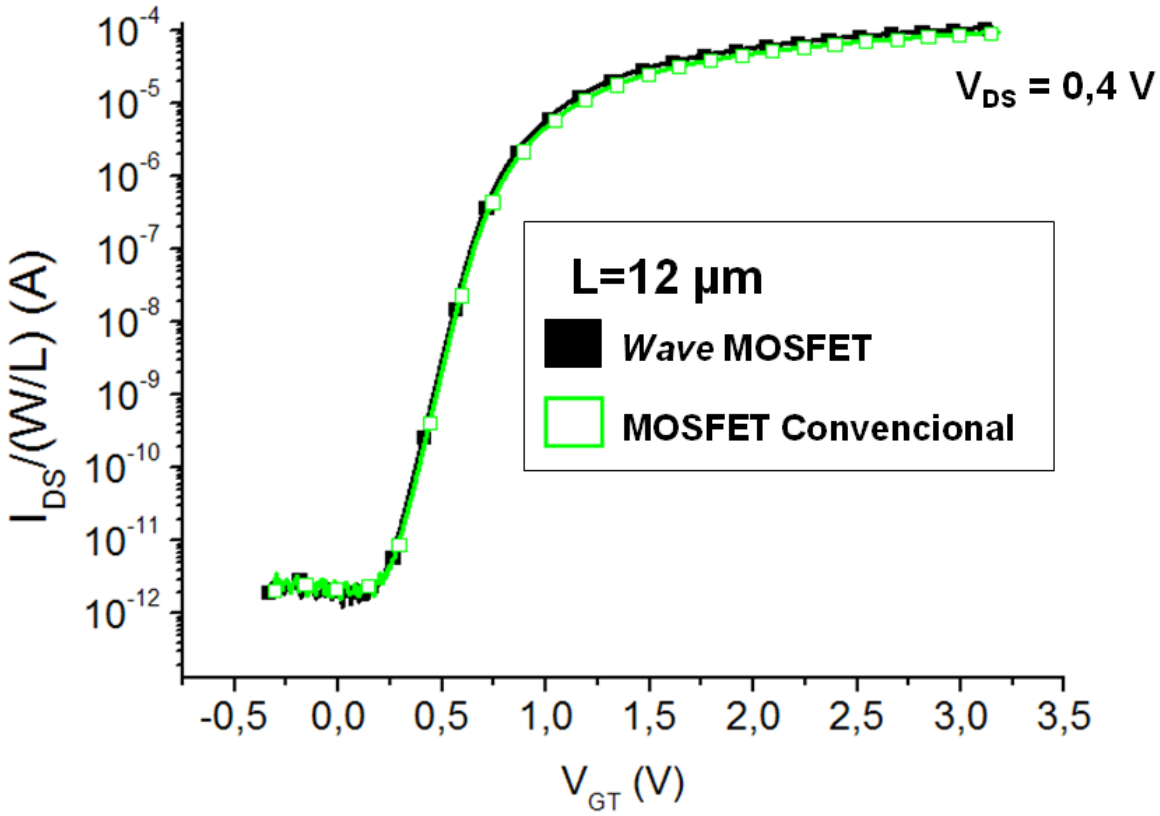
A Figura 4.14 apresenta respectivamente as curvas Log I_{DS}/(W/L) em função de V_{GT} do *Wave* MOSFET e do MOSFET convencional equivalente para diferentes valores de L, 2,3 µm (a) , 6 µm (b) e 12 µm (c) com V_{DS}= 0,4V.


V_{DS} = 0,4 V
L=2,3 µm
Wave MOSFET
MOSFET Convencional
$I_{DS}/(W/L)$ (A)
V_{GT} (V)

(a)


V_{DS} = 0,4 V
L=6 µm
Wave MOSFET
MOSFET Convencional
$I_{DS}/(W/L)$ (A)
V_{GT} (V)

(b)



(c)

Figura 4.14 – Curva experimental de Log $I_{DS}/(W/L)$ em função de V_{GT} para L=2,3 µm (a) L=6 µm (b) e L=12 µm (c) com V_{DS} = 0,4V, respectivamente do *Wave* MOSFET e do MOSFET convencional equivalente.

A Tabela 13 apresenta os valores da inclinação sublimiar das curvas de Log $I_{DS}/(W/L)$ em função de V_{GT} da Figura 4.14, dos dispositivos *Wave* MOSFET e do MOSFET convencional equivalente. D% negativo de Log $I_{DS}/(W/L)$ quer dizer pior desempenho do *Wave* MOSFET com o convencional equivalente.

Tabela 13– Valores de inclinação sublimiar para V_{DS} =0,4 V , bem como o desvio em porcentagem de Log I_{DS}/(W/L) do *Wave* MOSFET comparado ao MOSFET convencional equivalente.

L=2,3 µm			
V_{DS} (V)	Inclinação sublimiar (mv/ dec)		
	Convencional	*Wave*	D% de S
0,4V	$84{,}11x10^{-3}$	$84{,}62x10^{-3}$	-0,61%
L=6 µm			
V_{DS} (V)	Inclinação sublimiar (mv/ dec)		
	Convencional	*Wave*	D% de S
0,4V	$84{,}48x10^{-3}$	$85{,}15x10^{-3}$	-0,79%
L= 12 µm			
V_{DS} (V)	Inclinação sublimiar (mv/ dec)		
	Convencional	*Wave*	D% de S
0,4V	$84{,}79x10^{-3}$	$85{,}38x10^{-3}$	-0,66%

A Figura 4.15 apresenta o desvio em porcentagem de S do *Wave* MOSFET em função do comprimento de canal, quando comparado ao MOSFET convencional equivalente para V_{DS} =0,4V.

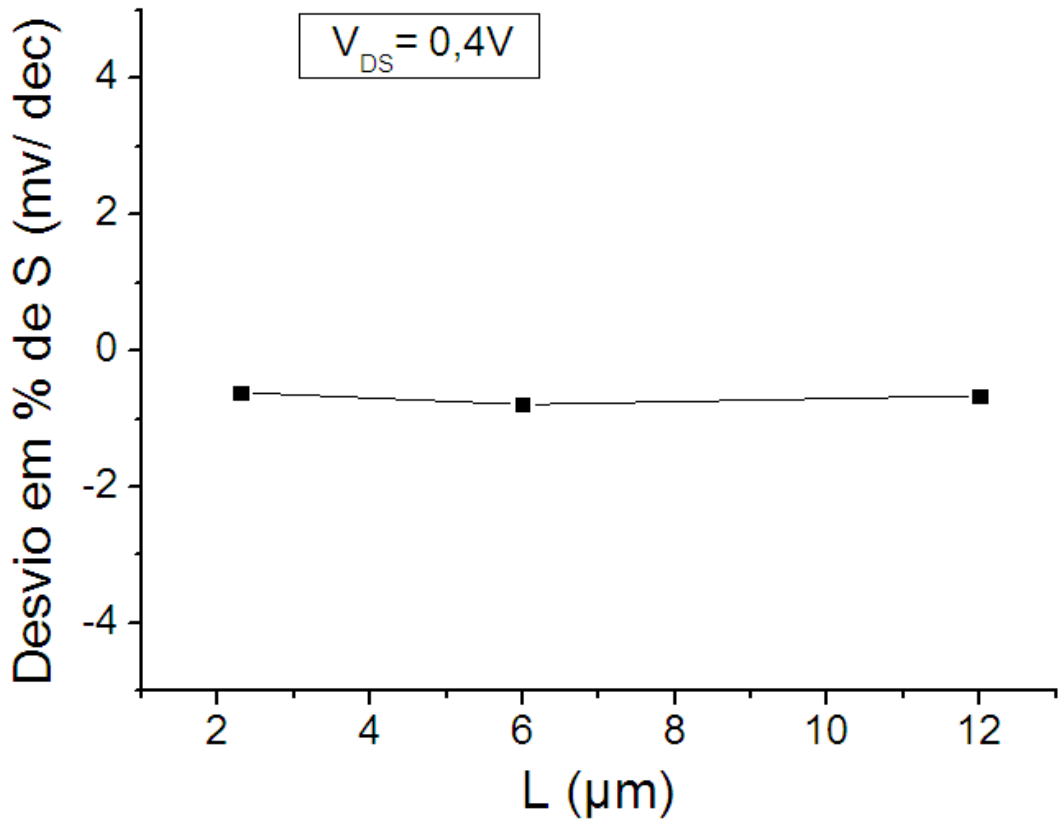


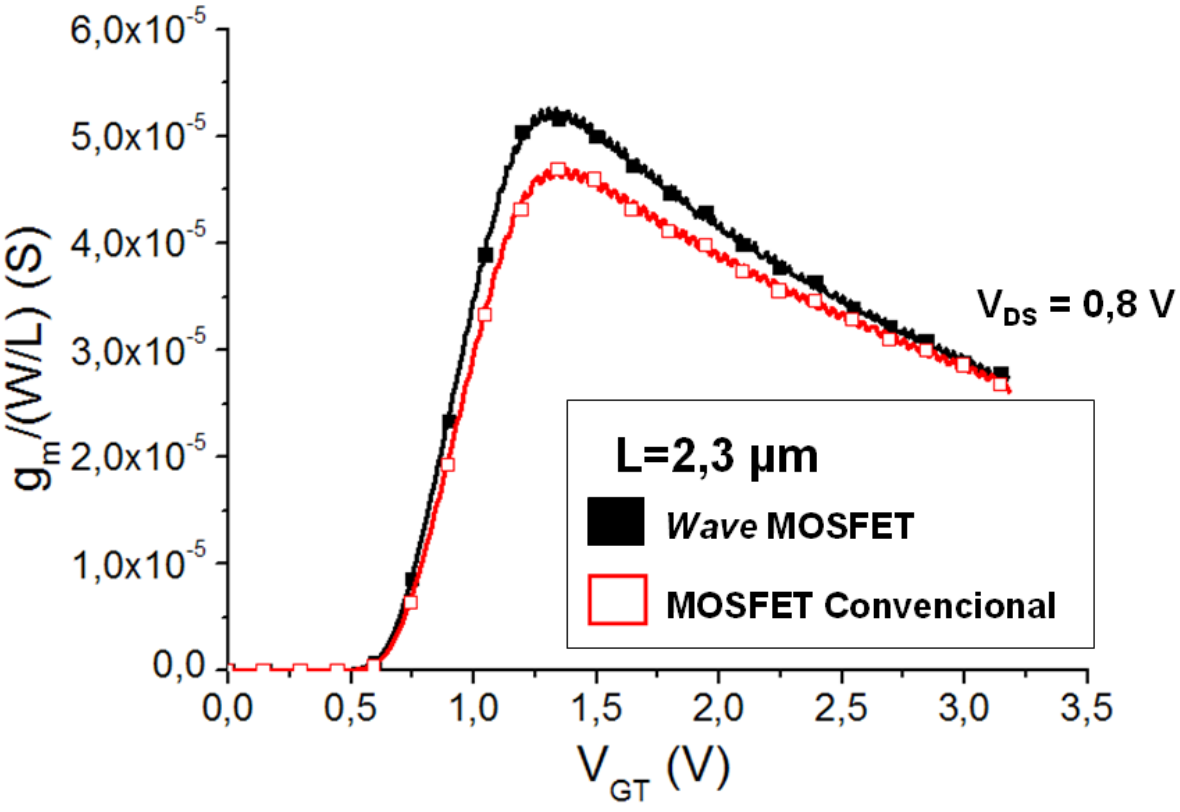
Figura 4.15 – Desvio em porcentagem da inclinação sublimiar do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente para V_{DS}=0,4V.

Analisando-se a Tabela 13 e a Figura 4.15, pode-se verificar que a inclinação sublimiar é similar do *Wave* MOSFET comparado ao convencional equivalente. Uma diferença menor de 1% não caracteriza um melhor ou pior desempenho para nenhum dos dispositivos. Diferentes V_{DS} apresentaram as mesmas tendências.

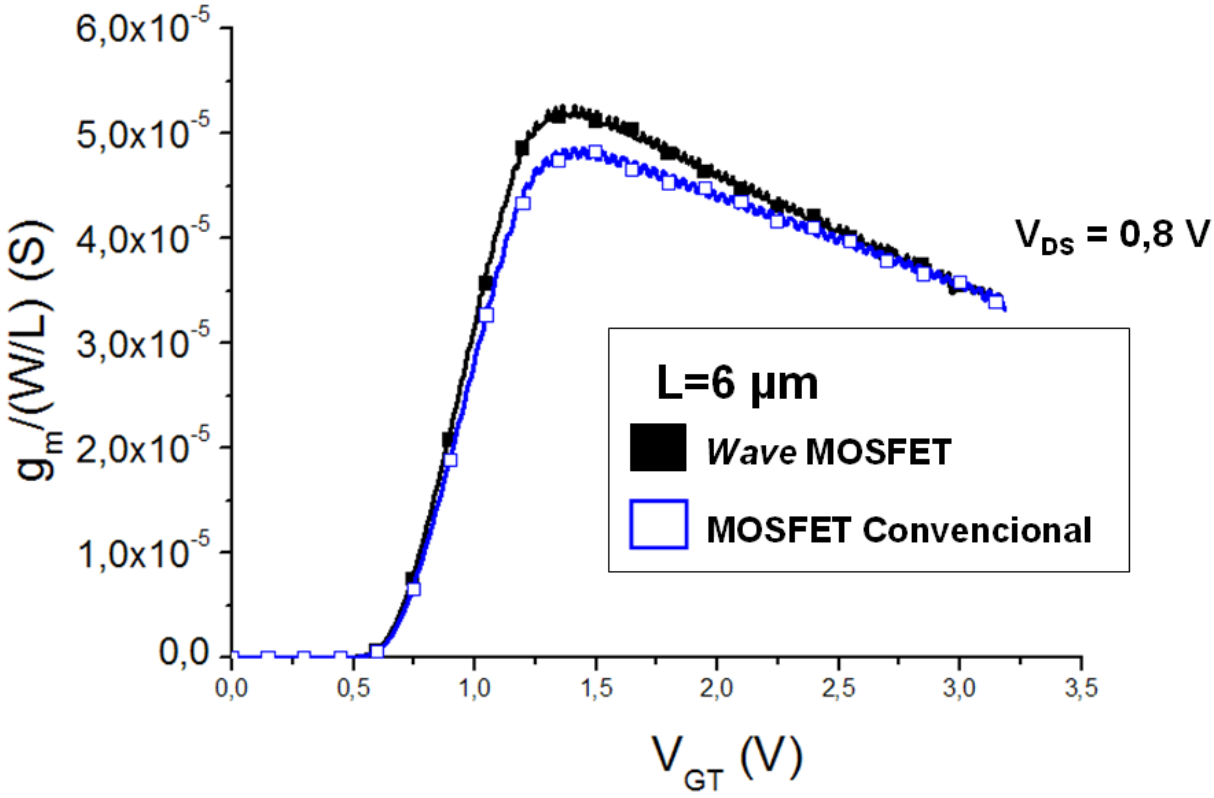
4.12 Transcondutância (g_m)

A transcondutância dos dispositivos foram extraídas da primeira derivada da curva $I_{DS}/(W/L)$ em função de V_{GT}.

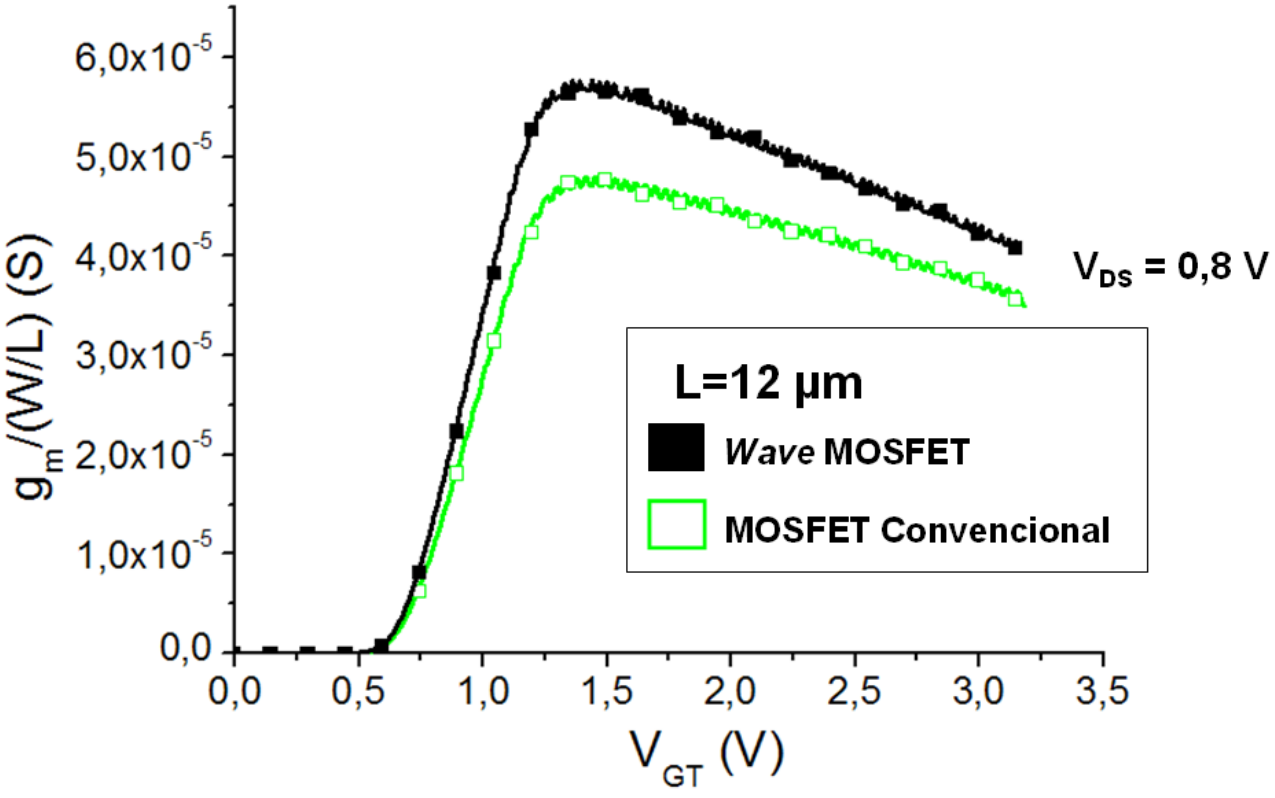
A Figura 4.16 apresenta as curvas $g_m/(W/L)$ em função de V_{GT} do MOSFET convencional e *Wave* MOSFET para diferentes valores de L, 2,3 µm (a), 6 µm (b) e 12 µm (c) com V_{DS}= 0,8V, respectivamente.



(a)



(b)



(c)

Figura 4.16 – Curva experimental de $g_m/(W/L)$ em função de V_{GT} para L=2,3 µm (a), L=6 µm (b) e L=12µm (c) com V_{DS} = 0,8V, respectivamente do *Wave* MOSFET e do MOSFET convencional equivalente.

A Tabela 14 apresenta os valores da transcondutância das curvas $g_m/(W/L)$ em função de V_{GT}, da Figura 4.16 dos dispositivos *Wave* MOSFET e do MOSFET convencional equivalente para um V_{GT} = 2V. D% positivo de $g_m/(W/L)$ quer dizer melhor desempenho do *Wave* MOSFET quando comparado ao convencional equivalente.

Tabela 14 – Valores da transcondutância para V_{DS} =0,8 V com V_{GT} de 2V, bem como desvio em porcentagem de $g_m/(W/L)$ do *Wave* MOSFET comparado ao MOSFET convencional equivalente.

L=2,3 µm – V_{GT} = 2 V			
V_{DS} (V)	$g_m/(W/L)$ (S)		D% de $g_m/(W/L)$
	Convencional	*Wave*	
0,8V	$3,86x10^{-5}$	$4,19x10^{-5}$	+8,55%
L=6 µm – V_{GT} = 2 V			
V_{DS} (V)	$g_m/(W/L)$ (S)		D% de $g_m/(W/L)$
	Convencional	*Wave*	
0,8V	$4,38x10^{-5}$	$4,62x10^{-5}$	+5,48%
L= 12 µm – V_{GT} = 2 V			
V_{DS} (V)	$g_m/(W/L)$ (S)		D% de $g_m/(W/L)$
	Convencional	*Wave*	
0,8V	$4,46x10^{-5}$	$5,22x10^{-5}$	+17,04%

Analisando a Tabela 14, observa-se que o aumento em porcentagem da transcondutância do *Wave* MOSFET em relação ao MOSFET convencional equivalente é em média 10,36% maior. Essa característica é importante para a implementação em circuitos integrados analógicos. Diferentes V_{DS} mostraram as mesmas tendências.

A Tabela 15 apresenta os valores da transcondutância máxima das curvas $g_m/(W/L)$ em função de V_{GT}, da Figura 4.16 dos dispositivos *Wave* MOSFET e do MOSFET convencional equivalente. D% positivo de $g_m/(W/L)$ quer dizer melhor desempenho do *Wave* MOSFET com o convencional equivalente.

Tabela 15 – Valores da transcondutância máxima para V_{DS} =0,8 V , bem como o desvio em porcentagem de $g_{mmáx}$/(W/L) do *Wave* MOSFET comparado ao MOSFET convencional equivalente.

L=2,3 µm			
V_{DS} (V)	$g_{mmáx}$ /(W/L) (S)		D% de $g_{mmáx}$ /(W/L)
	Convencional	*Wave*	
0,8V	$4,7x10^{-5}$	$5,25x10^{-5}$	+11,70%
L=6 µm			
V_{DS} (V)	$g_{mmáx}$ /(W/L) (S)		D% de $g_{mmáx}$ /(W/L)
	Convencional	*Wave*	
0,8V	$4,83x10^{-5}$	$5,27x10^{-5}$	+9,11%
L= 12 µm			
V_{DS} (V)	$g_{mmáx}$ /(W/L) (S)		D% de $g_{mmáx}$ /(W/L)
	Convencional	*Wave*	
0,8V	$4,80x10^{-5}$	$5,75x10^{-5}$	+19,79%

A Figura 4.17 apresenta o desvio em porcentagem de $g_{mmáx}$ do *Wave* MOSFET em função do comprimento de canal, quando comparado ao MOSFET convencional equivalente para V_{DS} =0,8V.

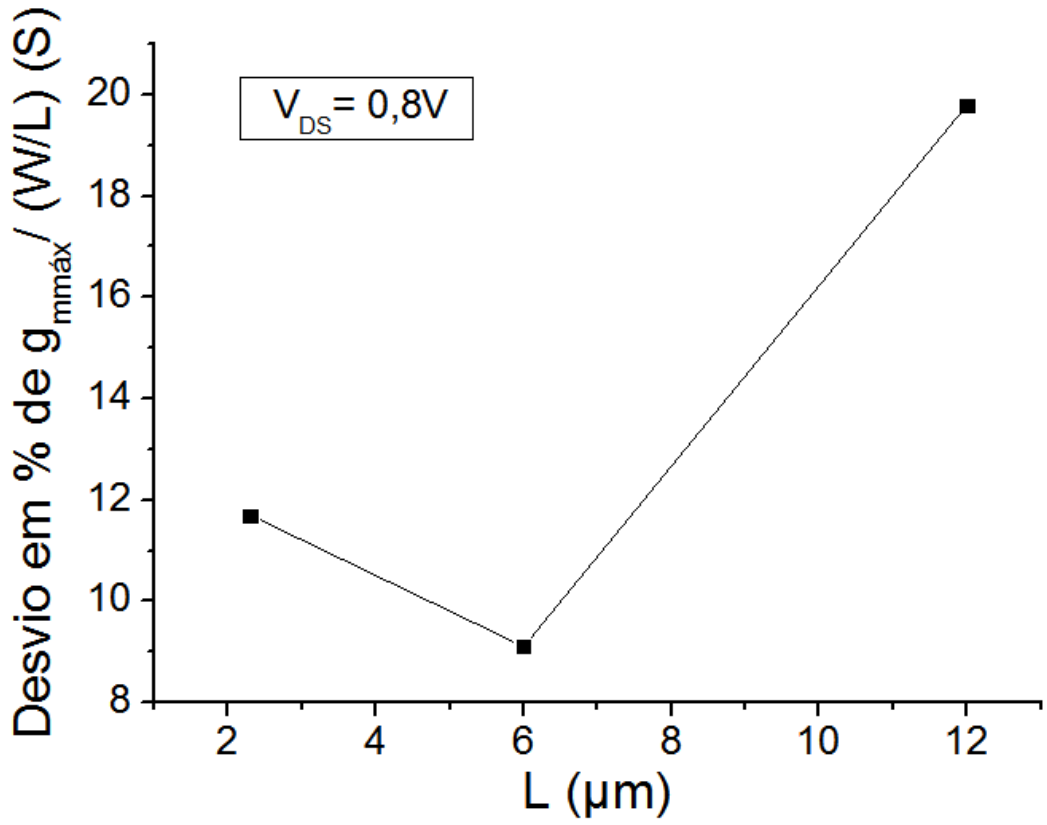


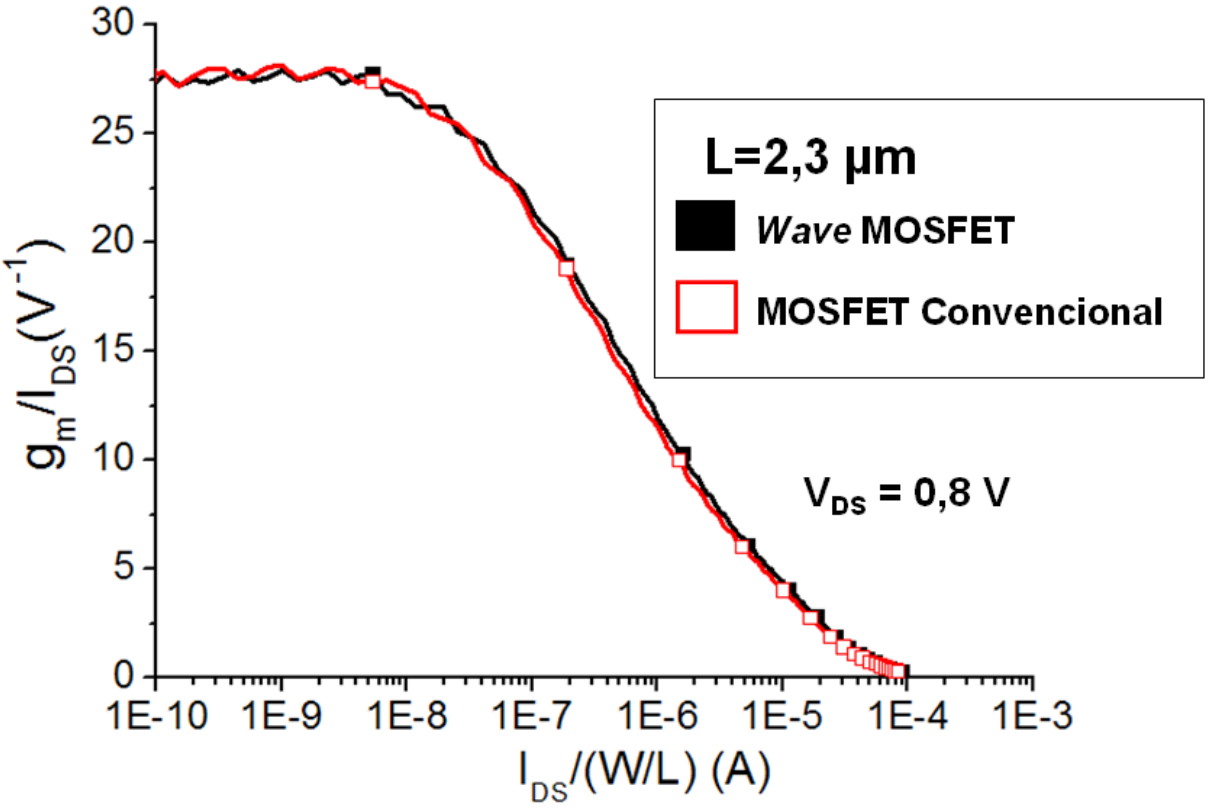
Figura 4.17 – Desvio em porcentagem da transcondutância máxima do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente para V_{DS} =0,8V.

Analisando-se a Tabela 15 e a Figura 4.17, observa-se que o desvio em porcentagem da transcondutância máxima do *Wave* em relação ao convencional é em média 13,53% maior, verifica-se que é ainda maior que a transcondutância apresentada na Tabela 14 para um V_{GT}=2V. Portanto, confirma-se que o *Wave* MOSFET é mais eficiente no controle da tensão de porta sobre a corrente entre o dreno e a fonte e uma nova alternativa de transistor para aumento de desempenho dos dispositivos em circuitos integrados analógicos. Diferentes V_{DS} mostraram as mesmas tendências.

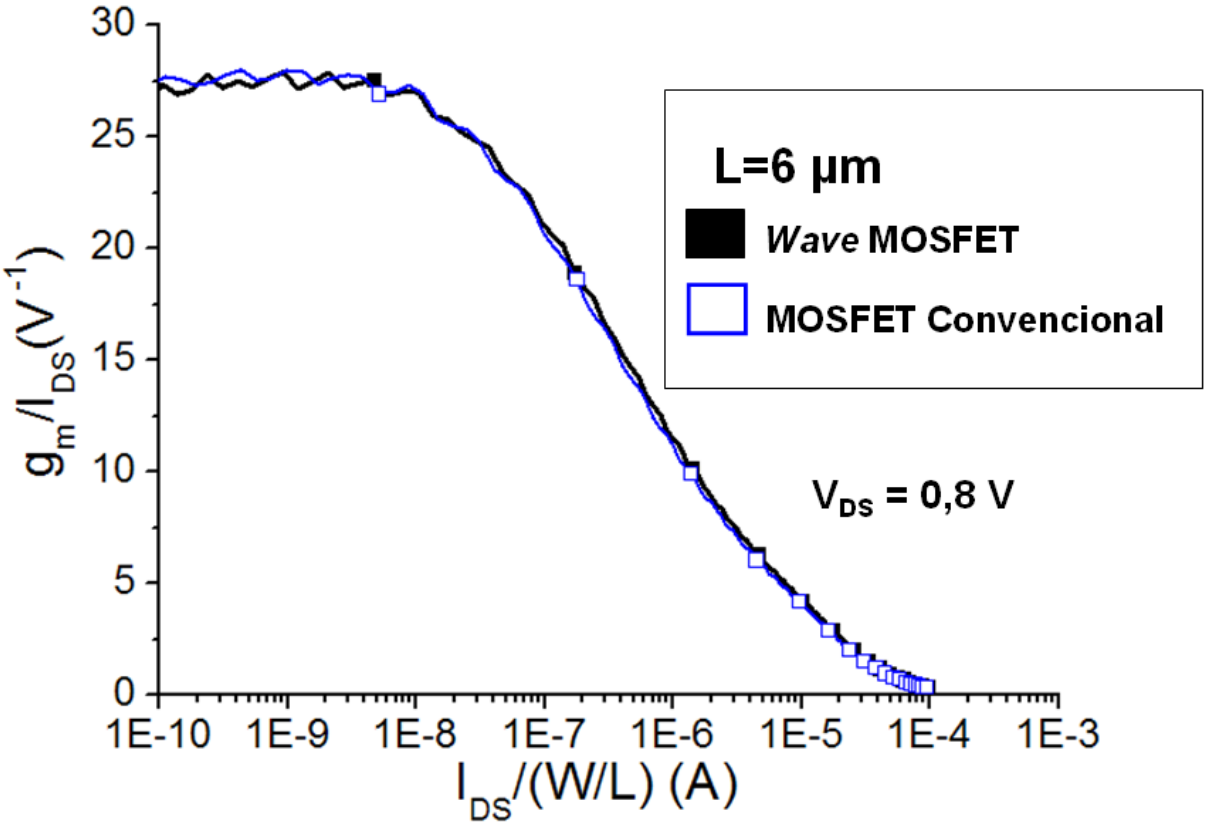
4.13 Razão da Transcondutância pela Corrente entre Dreno e Fonte em Função da Corrente entre Dreno e Fonte Normalizada pelo Fator Geométrico [g_m/I_{DS} em função de $I_{DS}/(W/L)$]

A razão g_m/I_{DS} em função de $I_{DS}/(W/L)$ dos dispositivos foram extraídas através da curva da transcondutância dividido pela corrente de dreno em função de $I_{DS}/(W/L)$.

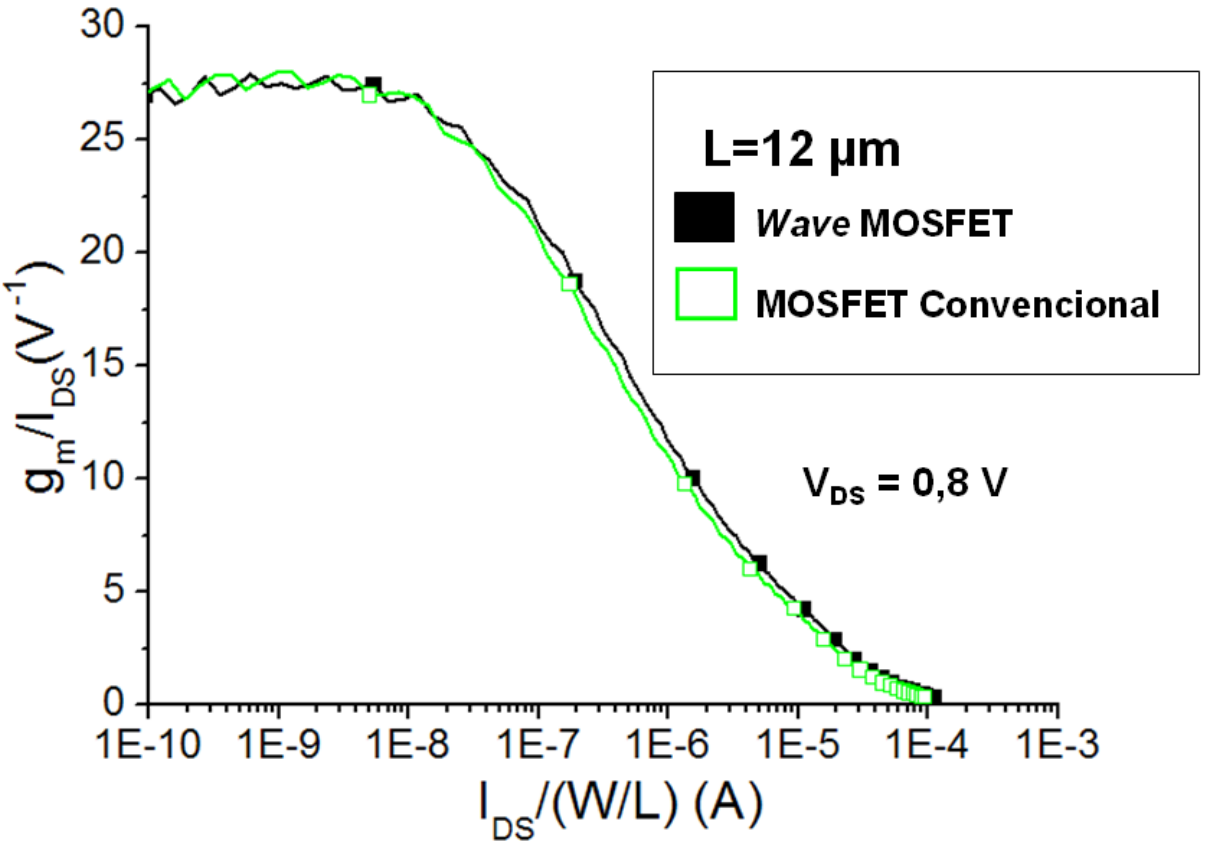
A Figura 4.18 apresenta as curvas g_m/I_{DS} em função de $I_{DS}/(W/L)$ do MOSFET convencional e *Wave* MOSFET para diferentes valores de L, 2,3 µm (a) , 6 µm (b) e 12 µm (c) com V_{DS}= 0,8V, respectivamente. Com a Figura 4.18 há condições de analisar e comparar o comportamento do *Wave* MOSFET frente ao convencional equivalente em sua inversão forte, moderada e fraca, explicado detalhadamente no Capítulo 2.


L=2,3 µm
Wave MOSFET
MOSFET Convencional
V_DS = 0,8 V
g_m/I_DS(V^-1)
I_DS/(W/L) (A)
30
25
20
15
10
5
0
1E-10
1E-9
1E-8
1E-7
1E-6
1E-5
1E-4
1E-3

(a)


L=6 µm
Wave MOSFET
MOSFET Convencional
V_DS = 0,8 V
g_m/I_DS(V^-1)
I_DS/(W/L) (A)
30
25
20
15
10
5
0
1E-10
1E-9
1E-8
1E-7
1E-6
1E-5
1E-4
1E-3

(b)



(c)

Figura 4.18 – Curva experimental de g_m/I_{DS} em função de I_{DS} /(W/L) para L=2,3 µm (a) L=6 µm (b) e L=12µm (c) com V_{DS} = 0,8V do *Wave* MOSFET e do MOSFET convencional equivalente.

A Tabela 16 apresenta os valores de g_m/I_{DS} em função de $I_{DS}/(W/L)$ extraídas das curvas da Figura 4.18, dos dispositivos *Wave* MOSFET e do MOSFET convencional equivalente. D% positivo de g_m/ I_{DS} (V^{-1}) quer dizer melhor desempenho do *Wave* MOSFET com o convencional equivalente.

Tabela 16 – Valores de g_m/ I_{DS} (V^{-1}) para V_{DS} =0,8 V e $I_{DS}/(W/L)$ de $1x10^{-6}$ (A), bem como o desvio em porcentagem de g_m/ I_{DS} (V^{-1}) do *Wave* MOSFET comparado ao MOSFET convencional equivalente.

L=2,3 µm – $I_{DS}/(W/L) = 1x10^{-6}$ (A)			
V_{DS} (V)	g_m/ I_{DS} (V^{-1})		D% de g_m/ I_{DS} (V^{-1})
	Convencional	*Wave*	
0,8V	11,60	12,56	+8,28%
L=6 µm – $I_{DS}/(W/L) = 1x10^{-6}$ (A)			
V_{DS} (V)	g_m/ I_{DS} (V^{-1})		D% de g_m/ I_{DS} (V^{-1})
	Convencional	*Wave*	
0,8V	11,17	12,00	+7,43%
L= 12 µm – $I_{DS}/(W/L) = 1x10^{-6}$ (A)			
V_{DS} (V)	g_m/ I_{DS} (V^{-1})		D% de g_m/ I_{DS} (V^{-1})
	Convencional	*Wave*	
0,8V	11,08	11,67	+5,32%

A Figura 4.19 apresenta o desvio em porcentagem de g_m/ I_{DS} (V^{-1}) do *Wave* MOSFET em função do comprimento de canal quando comparado ao MOSFET convencional equivalente na regiao de inversão moderada para V_{DS} =0,8V e $I_{DS}/(W/L)=1x10^{-6}$ A.

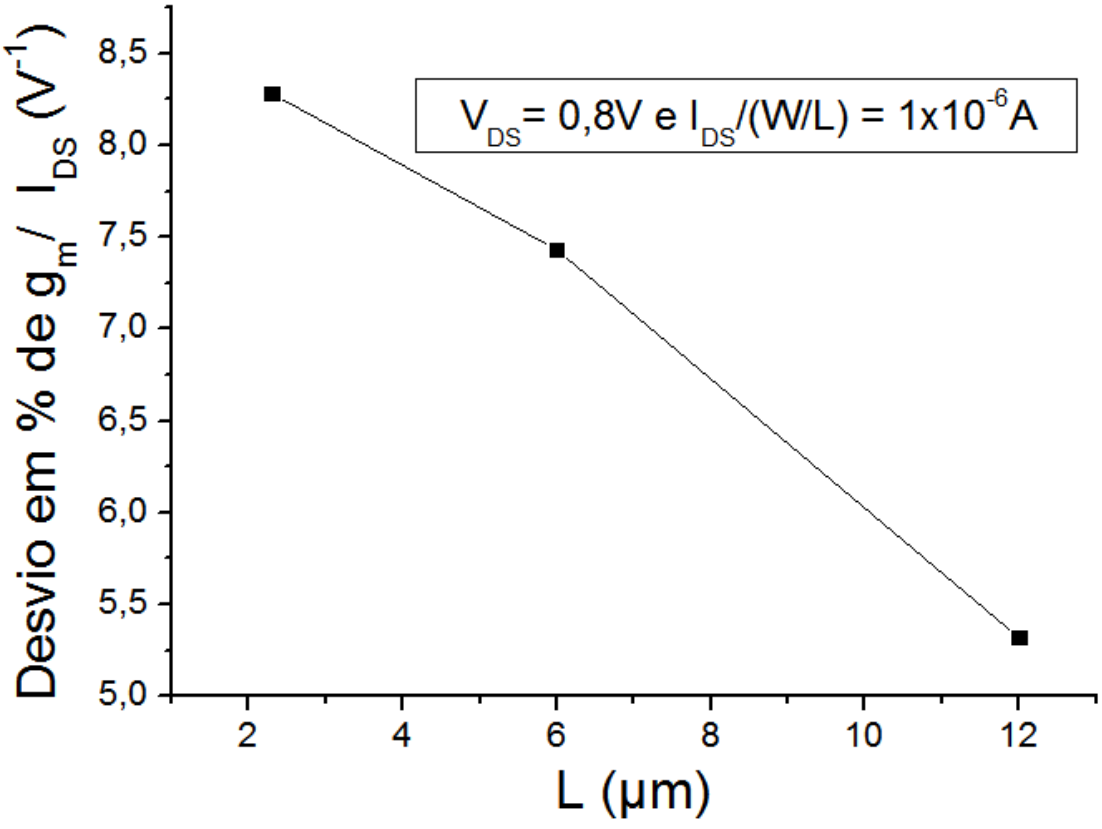


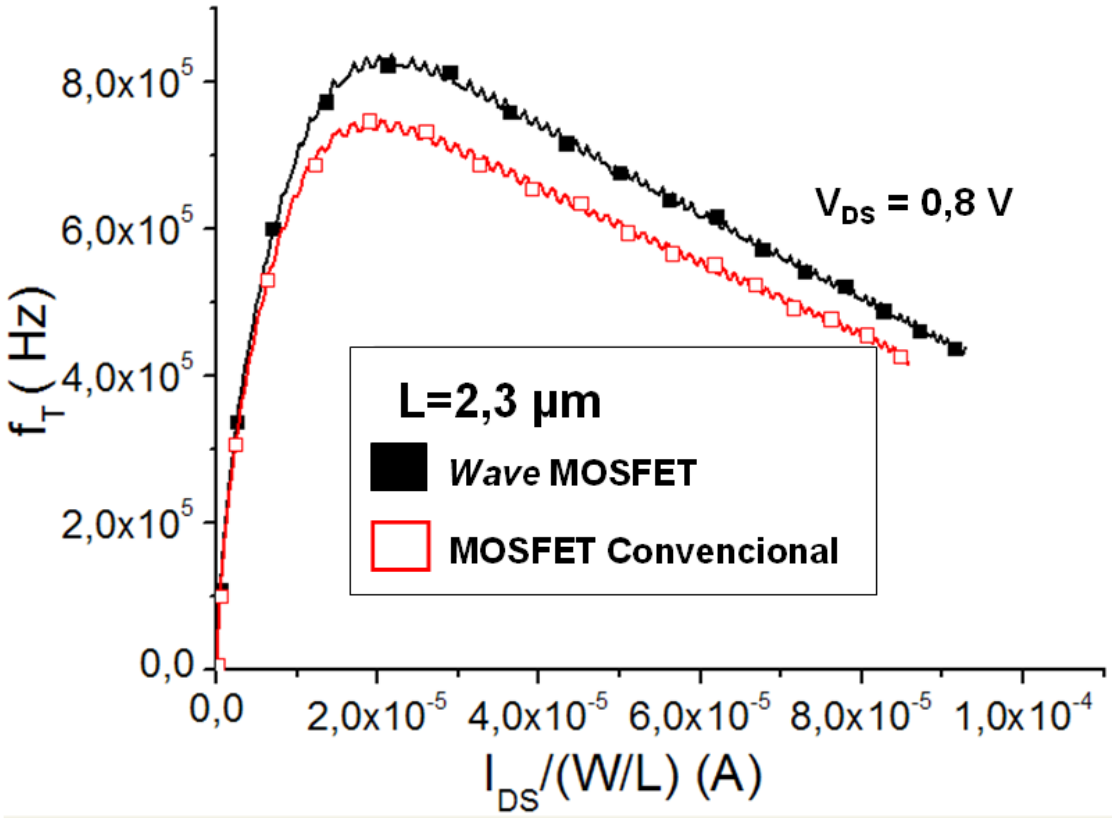
Figura 4.19 – Desvio em porcentagem de g_m/I_{DS} (V^{-1}) do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente para V_{DS} =0,8V e $I_{DS}/(W/L) = 1X10^{-6}$ A.

Analisando-se a Tabela 16 e a Figura 4.19, observa-se que os valores em porcentagem de g_m/ I_{DS} (V^{-1}) do *Wave* em relação ao convencional é em média 7,01% maior para $I_{DS}/(W/L)$ de $1x10^{-6}$ (A), onde nessa região encontra-se a inversão moderada, vide capítulo 2. A mesma tendência é observada na região forte, ou seja, o *Wave* MOSFET possue um melhor desempenho com relação ao convencional equivalente, porém na região de inversão fraca há uma similaridade no comportamento dos dispositivos, nenhum aumento de desempenho observado na inversão fraca. Dessa forma faz do *Wave* MOSFET uma outra alternativa de transistor para aumento de desempenho em circuitos integrados analógicos. Diferentes V_{DS} mostraram as mesmas tendências.

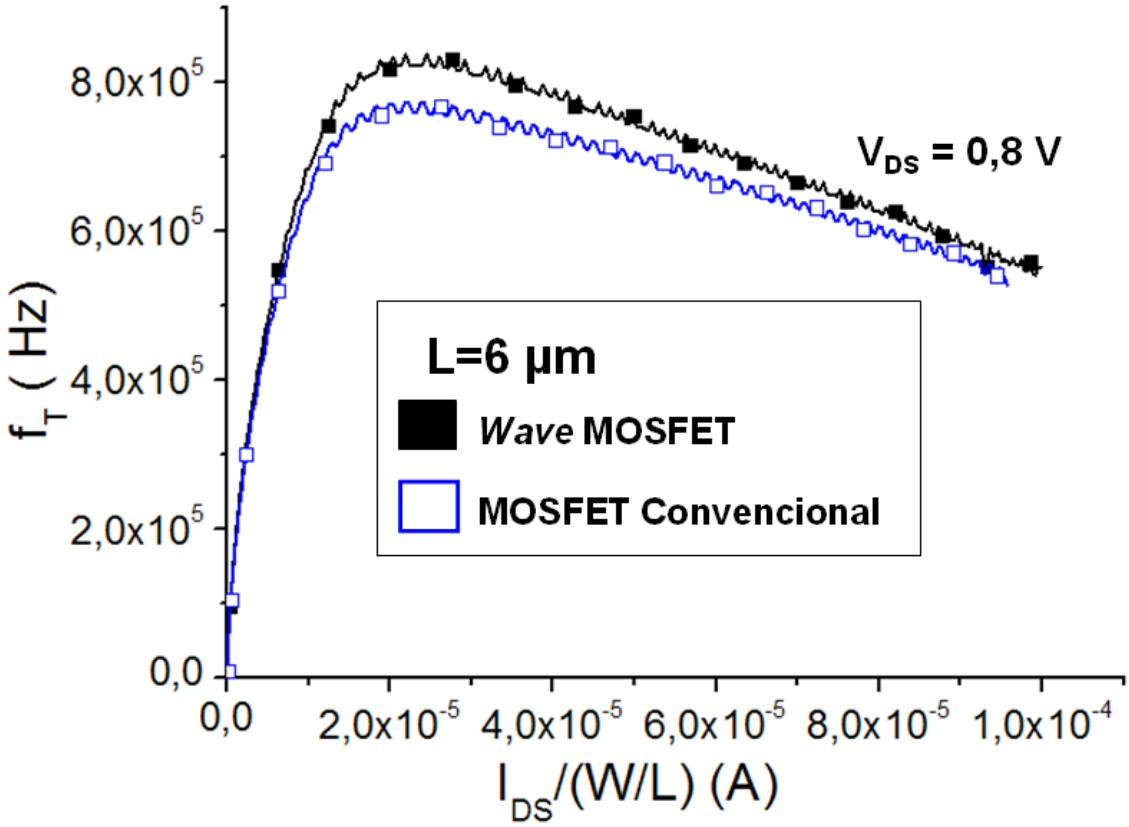
4.14 Frequência de Ganho de Tensão Unitário (f_T)

A frequência de ganho de tensão unitário (f_T) dos dispositivos foram extraídas das curvas da transcondutância por $2\pi CL$ (vide 2.16).

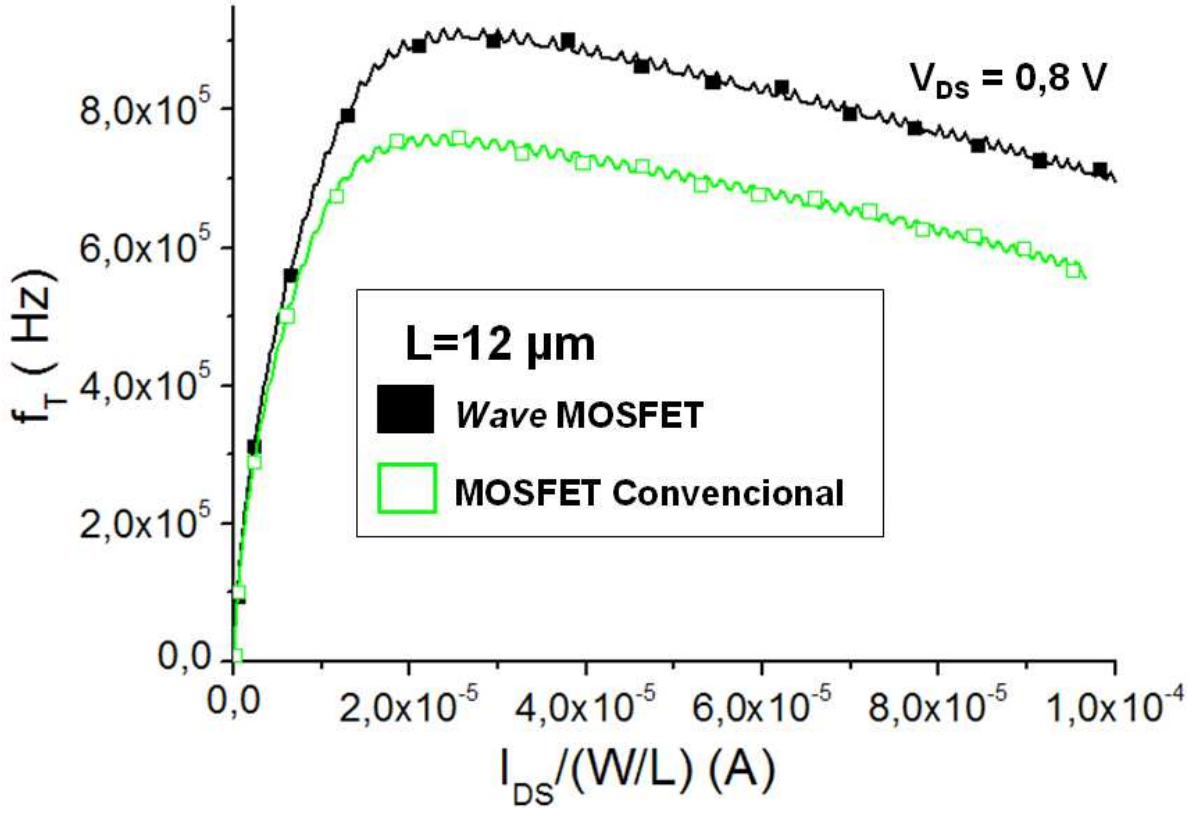
A Figura 4.20 apresenta as curvas f_T em função de $I_{DS}/(W/L)$ do MOSFET convencional e *Wave* MOSFET para diferentes valores de L, 2,3 µm (a) , 6 µm (b) e 12 µm (c) com V_{DS}=0,8V, respectivamente.



(a)



(b)



(c)

Figura 4.20 – Curva experimental de f_T em função de I_{DS} /(W/L) para L=2,3µm (a) L=6µm (b) e L=12µm (c) com V_{DS} = 0,8V do *Wave* MOSFET e do MOSFET convencional equivalente.

A Tabela 17 apresenta os valores da frequência em função de $I_{DS}/(W/L)$ extraídas das curvas da Figura 4.20, para uma $I_{DS}/(W/L)$ de $4x10^{-5}$, dos dispositivos *Wave* MOSFET e do MOSFET convencional equivalente. D% positivo de f_T quer dizer melhor desempenho do *Wave* MOSFET com o convencional equivalente.

Tabela 17 – Valores de f_T para V_{DS} =0,8 V e $I_{DS}/(W/L) = 4x10^{-5}$, bem como o desvio em porcentagem de f_T do *Wave* MOSFET comparado ao MOSFET convencional equivalente.

L=2,3 µm – $I_{DS}/(W/L) = 4x10^{-5}$ (A)			
V_{DS} (V)	f_T		
	Convencional	*Wave*	D% de f_T
0,8V	$66,07x10^4$	$74,02x10^4$	12,03%
L=6 µm – $I_{DS}/(W/L) = 4x10^{-5}$ (A)			
V_{DS} (V)	f_T		
	Convencional	*Wave*	D% de f_T
0,8V	$72,58x10^4$	$78,17\ x10^4$	7,70%
L= 12 µm – $I_{DS}/(W/L) = 4x10^{-5}$ (A)			
V_{DS} (V)	f_T		
	Convencional	*Wave*	D% de f_T
0,8V	$72,56x10^4$	$88,52x10^4$	22,00%

A Figura 4.20 apresenta o desvio em porcentagem de f_T do *Wave* MOSFET em função do comprimento de canal, quando comparado ao MOSFET convencional equivalente para V_{DS} =0,8V e $I_{DS}/(W/L) = 4x10^{-5}$.

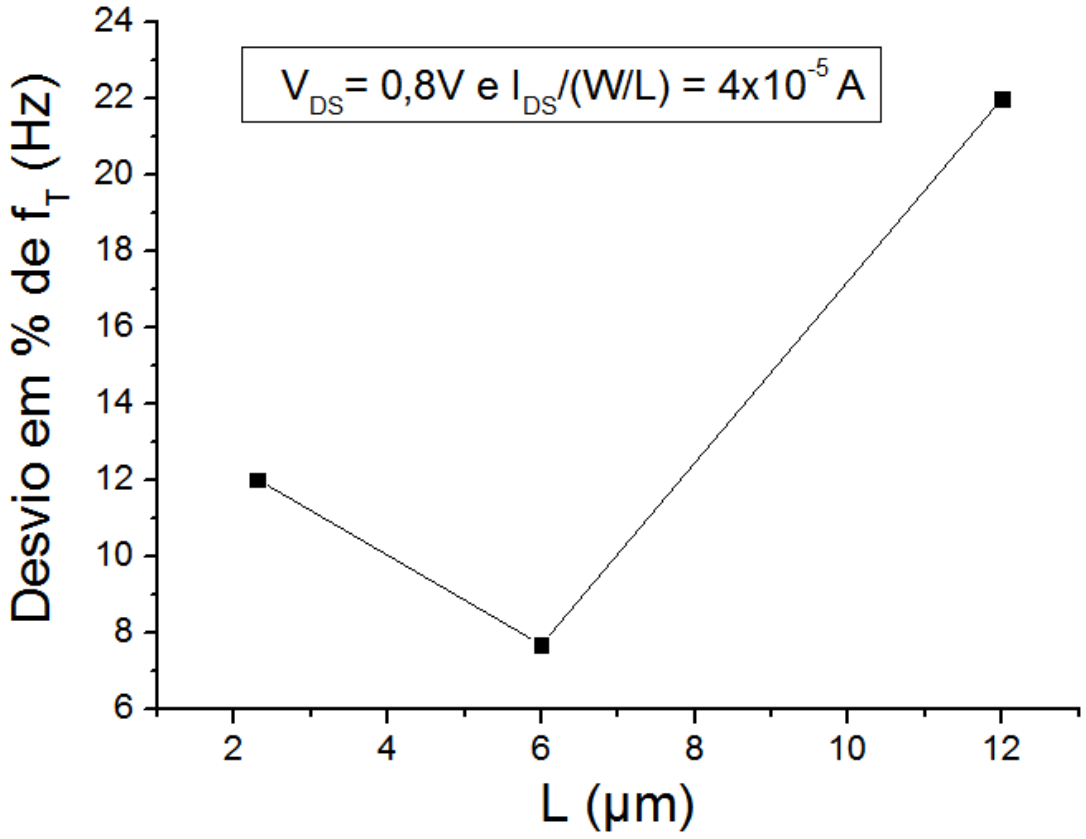


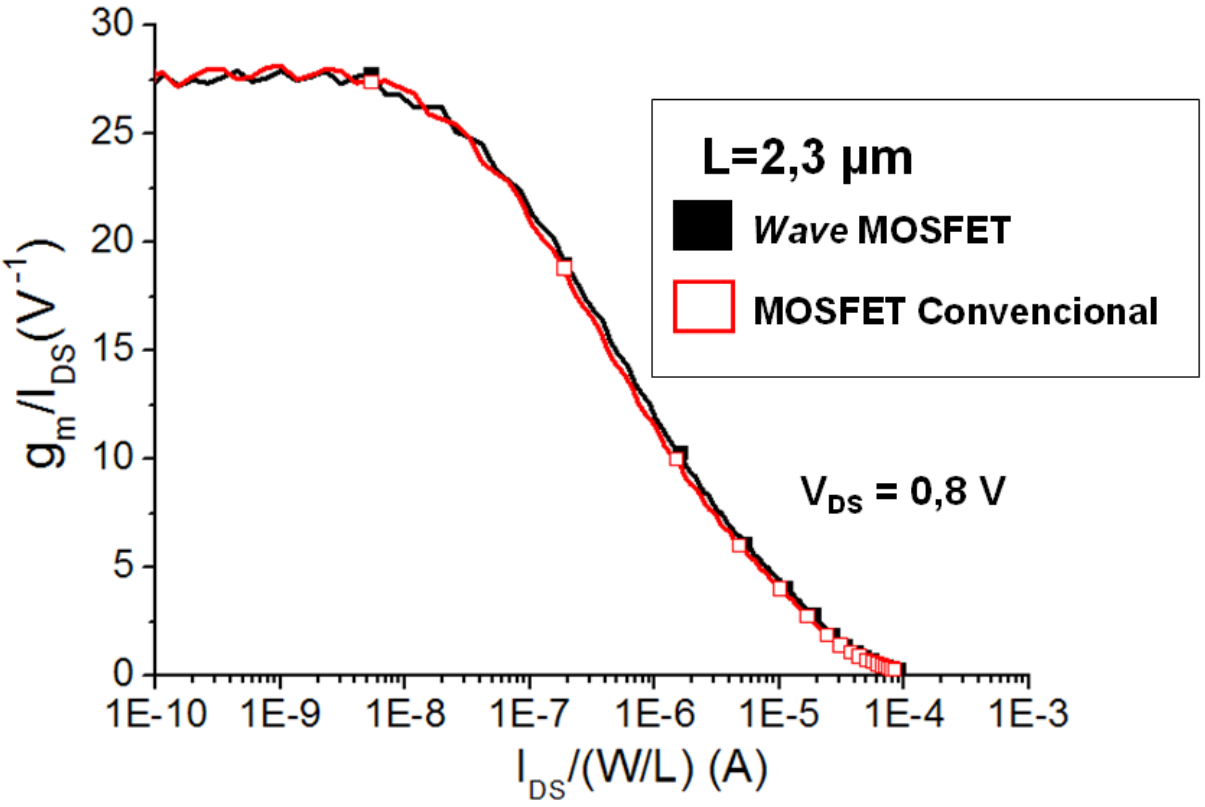
Figura 4.20 – Desvio em porcentagem de f_T do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente para V_{DS} =0,8V e I_{DS}/(W/L) = 4X10^{-5}.

Analisando-se a Tabela 17 e a figura 4.20, observa-se que o aumento em porcentagem de f_T do *Wave* em relação ao convencional é em média 13,91% maior para I_{DS}/(W/L) de 4x10^{-5} (A). A frequência de ganho de tensão unitário é um característica importante para a implementação em circuitos analógicos. Em uma OTA (amplificador operacional de transcondutância), por exemplo, essa característica é importante e o *Wave* MOSFET pode ser uma boa alternativa para o estágio de saída do OTA. Diferentes V_{DS} mostraram as mesmas tendências.

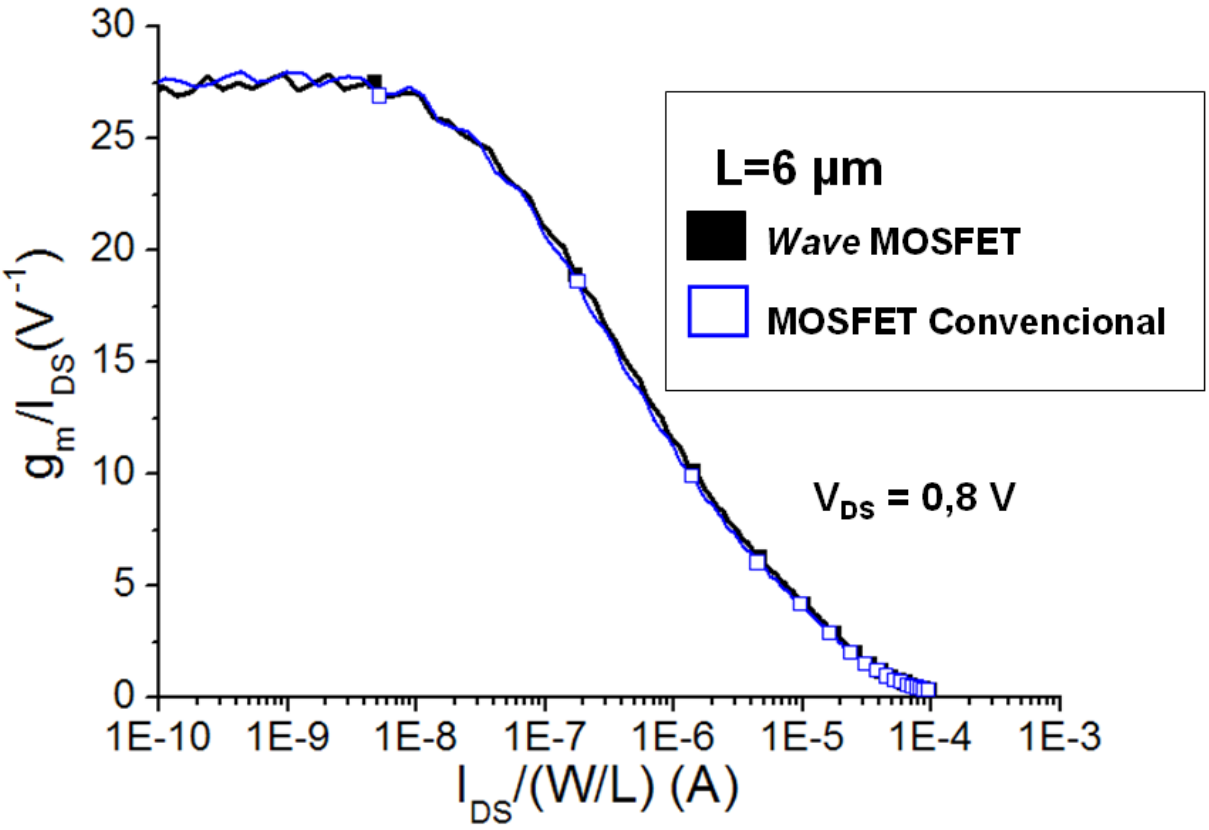
4.15 Ganho de Tensão em Malha Aberta (A_{V0})

O ganho de tensão em malha aberta (A_{V0}) foi extraído pela multiplicação da tensão Early pela transcondutância dividida pela corrente normalizada.

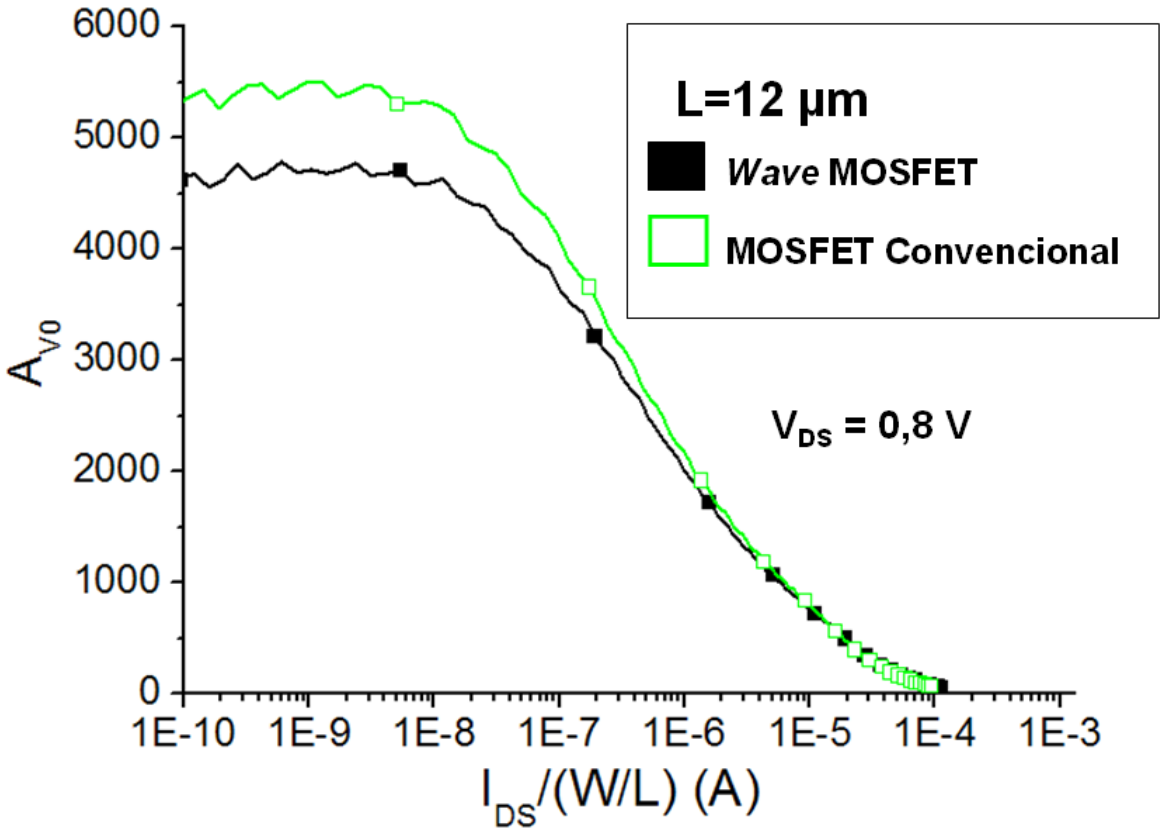
A Figura 4.21 apresenta as curvas de A_{V0} em função de I_{DS}/(W/L) do MOSFET convencional e *Wave* MOSFET para diferentes valores de L, 2,3 µm (a) , 6 µm (b) e 12 µm (c) com V_{DS}= 0,8V, respectivamente.


L=2,3 µm
Wave MOSFET
MOSFET Convencional
V_DS = 0,8 V
g_m/I_DS(V^-1)
I_DS/(W/L) (A)
30
25
20
15
10
5
0
1E-10
1E-9
1E-8
1E-7
1E-6
1E-5
1E-4
1E-3

(a)


L=6 µm
Wave MOSFET
MOSFET Convencional
V_DS = 0,8 V
g_m/I_DS(V^-1)
I_DS/(W/L) (A)
30
25
20
15
10
5
0
1E-10
1E-9
1E-8
1E-7
1E-6
1E-5
1E-4
1E-3

(b)



(c)

Figura 4.21 – Curva experimental de A_{V0} em função de I_{DS} /(W/L) para L=2,3µm (a), L=6µm (b) e L=12 µm (c) com V_{DS} = 0,8V do *Wave* MOSFET e do MOSFET convencional equivalente.

A Tabela 18 apresenta os valores do ganho de tensão em malha aberta em função de I_{DS}/(W/L) para uma I_{DS}/(W/L) = $1x10^{-6}$ (A), inversão moderada, das curvas da Figura 4.21, dos dispositivos *Wave* MOSFET e do MOSFET convencional equivalente. D% de A_{V0} (dB) positivo quer dizer melhor desempenho do *Wave* MOSFET com o convencional equivalente.

Tabela 18 – Valores de A_{V0} (dB) para V_{DS} =0,8 V e $I_{DS}/(W/L) = 1x10^{-6}$, bem como desvio em porcentagem de A_{V0} do *Wave* MOSFET comparado ao MOSFET convencional equivalente.

L=2,3 µm – $I_{DS}/(W/L) = 1x10^{-6}$ (A)			
V_{DS} (V)	A_V (dB)		D% de A_V (dB)
	Convencional	*Wave*	
0,8V	20log524,49=54,40	20log539,76= 54,64	+0,44%
L=6 µm – $I_{DS}/(W/L) = 1x10^{-6}$ (A)			
V_{DS} (V)	A_V (dB)		D% de A_V (dB)
	Convencional	*Wave*	
0,8V	20log1202,00=61,60	20log1242,87=61,89	+0,47%
L= 12 µm – $I_{DS}/(W/L) = 1x10^{-6}$ (A)			
V_{DS} (V)	A_V (dB)		D% de A_V (dB)
	Convencional	*Wave*	
0,8V	20log2161,80=66,69	20log1999,9= 66,02	-1,00%

A Figura 4.21 apresenta o desvio em porcentagem de A_{V0} do *Wave* MOSFET em função do comprimento de canal, quando comparado ao MOSFET convencional equivalente para V_{DS} =0,8V e $I_{DS}/(W/L) = 1x10^{-6}$.

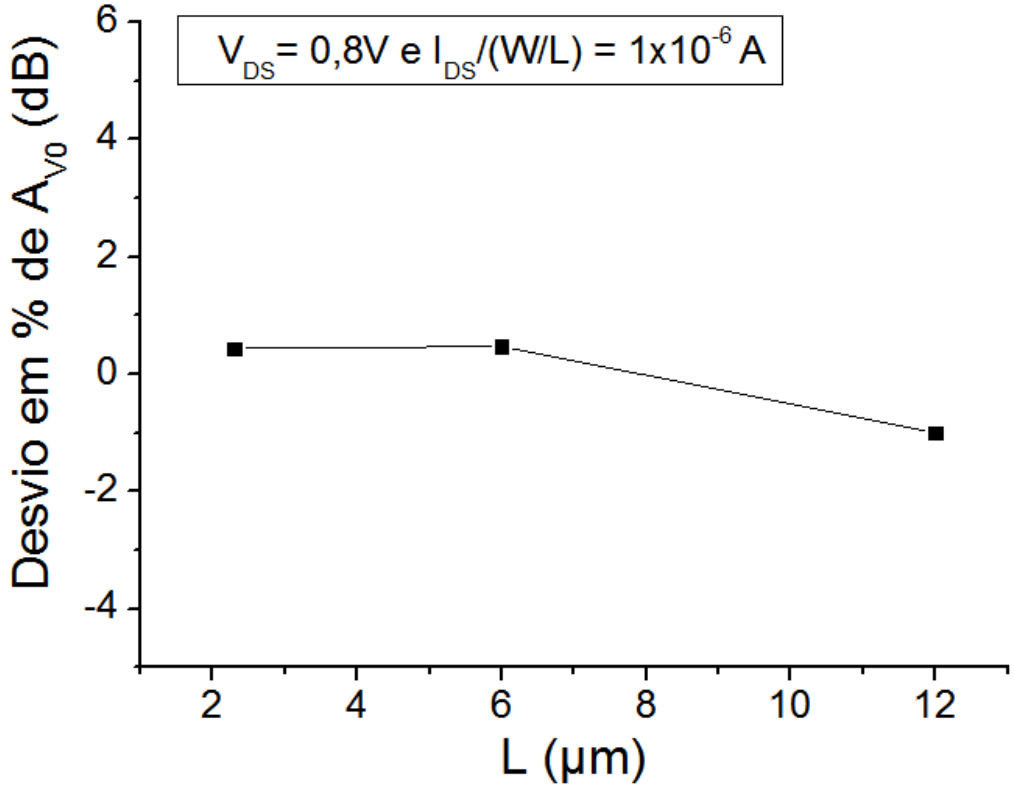


Figura 4.21 – Desvio em porcentagem de A_{V0} do *Wave* MOSFET em função do comprimento de canal comparado ao MOSFET convencional equivalente para V_{DS} =0,8V e $I_{DS}/(W/L) = 1X10^{-6}$ A.

Analisando-se a Tabela 18 e a Figura 4.21, observa-se que a melhoria de A_{V0} (dB) em $I_{DS}/(W/L)$ de $1x10^{-6}$ (A), inversão moderada, do *Wave* em relação ao convencional não é expressivo, portanto verifica-se um comportamento similar. Isto se deve ao fato da tensão *Early* ter um desempenho ligeiramente pior no *Wave* MOSFET comparado ao convencional equivalente (vide 4.9), mas de certa forma o resultado é compensado pelo maior desempenho da transcondutância. Essa tendência pode ser observada em diferentes correntes na inversão moderada e forte, portanto conclui-se que o *Wave* MOSFET não tem um maior A_{V0} (dB) que o convencional equivalente e vice-versa. Na inversão fraca, excluindo-se o comprimento de canal de 12µm que possui um alto campo elétrico no DI ocasionando um pior desempenho da tensão Early (vide 4.9), também verifica-se um desempenho similar de A_{V0} (dB) para o comprimento de canal de 2,3µm e 6µm.

Isto indica que para um par diferencial de um OTA, por exemplo, o *Wave* MOSFET deve ter um resultado similar em termos de ganho A_{V0} (dB) comparado ao convencional equivalente, porém sua resposta em frequência é superior . Por ter um melhor desempenho na região moderada e forte na curva g_m/I_{DS} em função de $I_{DS}/(W/L)$ há uma melhoria na linearidade considerando as regiões de inversão forte e moderada. Diferentes V_{DS} mostraram as mesmas tendências.

4.16 Quadro Comparativo dos Resultados Experimentais.

A Tabela 19 sumariza o desempenho do *Wave* MOSFET comparado ao MOSFET convencional equivalente considerando as mesmas condições de polarização e considerando-se praticamente o mesmo fator geométrico. Este quadro facilita a comparação dos parâmetros estudados do *Wave* MOSFET com o seu MOSFET convencional equivalente de modo a orientar para um dimensionamento de circuitos integrados analógicos e/ou digitais com um melhor desempenho baseado nas características elétricas.

Tabela 19 - Comparação das características elétricas entre o *Wave* nMOSFET e o seu nMOSFET convencional equivalente.

Características elétricas		
	nMOSFET Convencional	*Wave* nMOSFET
I_{DStri}	-	+ ou 13,67% melhor
$R_{Série}$	-	+ ou 14,90% melhor
I_{ON}	-	+ ou 22,18% melhor
I_{OFF}	-	+ ou 4,65% melhor
Razão I_{ON} /I_{OFF}	-	+ ou 28,38% melhor
I_{leak}	0	0
I_{DSsat}	-	+ ou 9,92% melhor
V_{EA}	+	- ou 4,56 % pior
S	0	0
R_{DSON}	-	+ ou 10,85% melhor
$g_{mmáx}$	-	+ ou 13,53% melhor
g_m/I_{DS} em função de $I_{DS}/(W/L)$	-	+ ou 7,01% melhor (região de inversão moderada e forte)
g_m/I_{DS} em função de $I_{DS}/(W/L)$	0	0 (região de inversão fraca)
f_T	-	+ ou 13,91% melhor
A_{V0}	0	0
(W/L)/A	-	+ ou 28,1% melhor comparado ao *Waffle*.

Nota: (+) corresponde a um melhor desempenho elétrico; (-) corresponde a um pior desempenho elétrico; (0) corresponde a praticamente um mesmo desempenho elétrico.

Na Tabela 19 verifica-se que a maioria dos parâmetros analisados do *Wave* nMOSFET apresentam um melhor desempenho elétrico quando comparado ao MOSFET convencional equivalente, considerando as mesmas condições de polarização e praticamente o mesmo fator geométrico, portanto o projetista tem em mãos mais uma alternativa de MOSFET com este leiaute em circuitos integrados analógicos e digitais.

5 CONCLUSÕES E SEQUÊNCIA DE ESTUDO.

Neste trabalho foi realizado um estudo comparativo experimental entre uma nova estrutura de leiaute para ser empregado em MOSFET, denominada de *Wave* MOSFET, e o convencional equivalente, visando aplicações de circuitos integrados analógicos e digitais. Dessa forma, foram comparados os valores dos principais parâmetros elétricos do *Wave* nMOSFET com o nMOSFET convencional equivalente, considerando-se os mesmos comprimentos de canal, as mesmas condições de polarização e praticamente o mesmo fator geométrico, a fim de verificar as vantagens e desvantagens da geometria *Wave* frente à geometria retangular do convencional equivalente.

Foram projetados para este trabalho, no Centro Universitário da FEI, MOSFETs com geometrias retangulares (Convencional) e *Wave* (em formato de "S") utilizando-se o processo de fabricação CMOS convencional da AMI *Semiconductor* (*On Semiconductor*) de 0,5 μm [42].

O estudo dos dispositivos nMOSFETs levaram em conta três diferentes comprimentos de canais (2,3 μm, 6 μm e 12 μm).

Os resultados do nMOSFET do tipo *Wave* frente ao convencional equivalente foram observados com duas características que diferenciam essas geometrias, o primeiro diz respeito ao comportamento do campo elétrico ao longo do canal do *Wave* MOSFET ser variável e maior do que o MOSFET convencional equivalente, o segundo diz respeito às diferenças entre as resistências séries desses dispositivos fazendo com que o V_{GS} efetivo varie de acordo com essas condições gerando um resultado final positivo para a geometria *Wave*, obtendo desta forma uma maior corrente em saturação de 9,92% e em triodo de 13,67%, considerando-se os mesmos comprimentos de canal, as mesmas condições de polarização e praticamente o mesmo fator geométrico, quando comparado ao convencional equivalente.

Verifica-se que o *Wave* nMOSFET apresenta um melhor desempenho elétrico quando comparado ao convencional equivalente, considerando-se os mesmos comprimentos de canal, as mesmas condições de polarização e praticamente o mesmo fator geométrico, na resistência série entre fronte e dreno de 14,90%, na corrente de dreno de acionamento de 22,18%, na corrente de dreno de desacionamento de 4,65%, na razão I_{ON}/ I_{OFF} de 28,38%, na transcondutância máxima de 13,53%, na razão da transcondutância pela corrente entre dreno e fonte em função da corrente entre dreno e fonte normalizada pelo fator geométrico de 7,01%, na inversão moderada e forte, na frequência de ganho de tensão unitário de 13,91% e na resistência de estado ligado entre fonte e dreno de 10,85%.

Portanto o *Wave* nMOSFET torna-se uma alternativa de leiaute que pode ser utilizada em transistores que operam como chave digital, pois possuem uma maior capacidade de fornecer e absorver corrente elétrica quando comparado ao MOSFET convencional equivalente. Eles também podem ser usados em circuitos integrados analógicos, como por exemplo, em estágios diferencias de amplificadores operacionais de transcondutância (OTAs), pois apresentam uma maior razão g_m/I_{DS} quando comparado ao convencional equivalente, considerando-se os mesmos comprimentos de canal, as mesmas condições de polarização e praticamente o mesmo fator geométrico. Além disso, por possuírem um menor R_{DSON} que o equivalente convencional, o *Wave* nMOSFET pode ser usado em circuitos digitais para aumentar a velocidade de operação (velocidade de *clock*).

Observa-se um comportamento similar do *Wave* nMOSFET com convencional equivalente, considerando-se os mesmos comprimentos de canal, as mesmas condições de polarização e praticamente o mesmo fator geométrico, na corrente de dreno de fuga, na inclinação de sublimar, na razão da transcondutância pela corrente entre dreno e fonte em função da corrente entre dreno e fonte normalizada pelo fator geométrico na inversão fraca e no ganho de tensão em malha aberta.

A desvantagem observada do *Wave* nMOSFET em relação ao nMOSFET convencional equivalente diz respeito à tensão Early (V_{EA}). Para este trabalho foi realizado a média ponderada dos três comprimentos de canal estudados e verificou-se que o V_{EA} do estilo de leiaute *Wave* é em média 4,56% pior, considerando-se os mesmos comprimentos de canal, as mesmas condições de polarização e praticamente o mesmo fator geométrico. Porém, excluindo-se o comprimento de canal de 12µm e fazer análise com os comprimentos de canais de 2,3µm e 6µm, verifica-se um comportamento similar da tensão Early. Observa-se que o dispositivo com 12µm possui um campo elétrico bastante elevado no dreno interno, isto se deve ao fato de haver apenas um contato no dreno interno e vários contatos na fonte. Portanto, observa-se que para leiautes com comprimentos de canais menor igual que 6µm, a tensão Early do *Wave* é praticamente a mesma do convencional equivalente.

Os resultados das medidas experimentais dos *Wave* nMOSFETs e dos convencionais equivalentes, considerando-se os mesmos comprimentos de canal, as mesmas condições de polarização e praticamente o mesmo fator geométrico, apresentam as mesmas tendências daquelas observadas pelos resultados das simulações numéricas tridimensionais [15].

Mediante os resultados alcançados por essa dissertação de mestrado, sugiro os seguintes temas como trabalhos futuros, são eles:

- Estudo comparativo de desempenho elétrico entre o MOSFET circular e o *Wave* MOSFET.

- Implementação de circuitos integrados analógicos e digitais com diferentes leiautes (*Wave, Waffle* e Multidedos) para estudo comparativo entre eles.
- Estudo dos MOSFETs planares de potência implementados somente com um semicírculo do estilo de leiaute *Wave* operando na configuração de polarização de dreno interno visando às aplicações de *buffer* de corrente em circuitos integrados digitais.
- Estudo da tensão de *breakdown* entre MOSFETs *Wave,* Circular e Convencional.
- Implementação e estudo do estilo de leiaute *Wave* em MOSFETs tridimensionais (*Multi-gates, Surrounding Gates* e etc.)

REFERÊNCIAS BIBLIOGRÁFICAS

[1] SEDRA, A. S.; SMITH, J. C. **Microeletrônica.** São Paulo: Makron *Books*, 2000.

[2] KAHNG, D. **A Historical Perspective on the Development of MOS Transistors and Related Devices**, IEEE Transactions on Electron Devices, v. 23, n. 7, p. 655-657, July 1976.

[3] COLINGE, J. P. **Silicon-On-Insulator Technology**: Materials to VLSI, 3. ed. Boston: Kluwer Academic, 2004.

[4] YU, B. et al. **Short-Channel Effect Improved by Lateral Channel-Engineering in Deep-Submicronmeter MOSFET's,** IEEE Transactions on Electron Devices, v. 44, n. 4, p. 627-634, April 1997.

[5] ZHU W. et al. **Mobility Measurement and Degradation Mechanisms of MOSFETs MadeWith Ultrathin High-k Dielectrics,** IEEE Transactions on Electron Devices, v. 51, n. 1, p. 8-105, January 2004.

[6] TROUTMAN, R.R. **Latchup in CMOS technology: The problem and its cure,** MA, USA: Kluwer Academic Norwell, 1986.

[7] SCHWANK, J R et al. **Radiation effects in SOI technologies**, IEEE Transactions on Nuclear Science. v. 50, nº 3, p. 522-538. June 2003

[8] SANG L. et al. **An enhanced compact waffle MOSFET with low drain capacitance from a standard submicron CMOS technology**, v. 47, p. 785-789, 2003.

[9] HASTINGS, A. **The Art of Analog Layou**t, New Jersey: Prentice Hall, 2001.

[10] GIMENEZ, S. P. **The Wave SOI MOSFET: A New Accuracy Transistor Layout to Improve Drain Current and Reduce Die Area for Current Drivers Applications**, 215th ECS Meeting, ECS Transactions, v. 19. p. 153-158, San Francisco, 2009.

[11] GIMENEZ, S. P.; FERREIRA, R. M. G; MARTINO, J. A. **Early Voltage Behavior in Circular Gate SOI nMOSFET Using 0.13 µM Partially-Depleted SOI CMOS Technology**. SBMicro; v. 4; p. 319, Ouro Preto, September 2006.

[12] ALMEIDA, L. M.; BELLODI, M. **Estudo do comportamento da corrente de fuga em transistores de portas circulares SOI MOSFET operando em altas temperaturas**. 2007. 75f. Dissertação (Mestrado em Dispositivos Eletrônicos) - Centro Universitário da FEI, São Bernardo do campo, 2007.

[13] DANTAS L. P., GIMENEZ S. P. **Estudo da Distorção Harmônica em Transistores de Porta Circular Usando Tecnologia SOI CMOS Sub- Micrométrica.** Dissertação (Mestrado em Dispositivos Eletrônicos) - Centro Universitário da FEI, São Bernardo do campo, 2009.

[14] SILVA W. A. J. **Estudo da Transcondutância e da Razão da Transcondutância sobre a Corrente de Dreno do SOI nMOSFET de Porta em Formato de Anel Circular**

utilizando Tecnologia SOI CMOS de 0,13 µm. Dissertação (Mestrado em Dispositivos Eletrônicos) - Centro Universitário da FEI, São Bernardo do campo, 2008.

[15] SILVA, A. L. DA. **Estudo comparativo do comportamento elétrico entre o *Wave* SOI nMOSFET e o Convencional.** Dissertação (Mestrado em Dispositivos Eletrônicos) - Centro Universitário da FEI, São Bernardo do campo, 2010.

[16] LIM, H. K.; FOSSUM, J. G. **Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's**. IEEE Transactions on Electron Devices, v. 30, n. 10, p. 1244-1451, 1983.

[17] COLINGE, J. P.; COLINGE, C. A. **Physics of Semiconductor Devices**, New York: Kluwer Academic Publishers, capítulo 7.7 p 201-206, 2003.

[18] HAMMAD, M. Y.; SCHRODER D. K. **Analytical Modeling of the Partially-Depleted SOI MOSFET** , IEEE Transactions on Electron Devices, vol. 48, n. 2, p. 252-258, February 2001.

[19] GROESENEKEN, G. et al. **Temperature dependence of threshold voltage in thin-film SOI MOSFETs**. IEEE Electron Device Letters. vol.11, n.8, p.329-331, 1990.

[20] GIMENEZ, S. P.; FERREIRA, R. M. G; MARTINO, J. A. **Early Voltage Behavior in Circular Gate SOI nMOSFET Using 0.13 µM Partially-Depleted SOI CMOS Technology**. SBMicro; vol. 4; p. 319-328, Ouro Preto, September 2006.

[21] NEAMEN, D. A. **Semiconductor physics and devices: basic principles**, 3. ed. Boston: McGraw-Hill Higher- Education, p. 498-499, 2003.

[22] MARTINO, J. A.; PAVANELLO, M. A.; VERDONK, P. B. **Caracterização Elétrica de Tecnologia e Dispositivos MOS**: Thomson, 2003.

[23] WESTE, N.; ESHRAGHIAN. **Principles of CMOS VLSI design,** A systems Perspective, Addison- Wesley, 1985.

[24] ORTIZ, C. A.; GARCIA S. F. J.; LIOU, J.J.; CERDEIRA, A, ESTRADA, M., YUE, Y; **A review of recent MOSFET threshold voltage extraction methods.** *Microelectronics Reliability*, v. 42, p. 583-596, December 2001.

[25] SCHRODER, D. K., **Semiconductor material and device characterization**, 3. ed. Arizona: Arizona State University Tempe, 2006

[26] TERAO, A.; FLANDRE, D.; LORA-TAMAYO, E.; VAN DE WIELE, F. **Measurement of threshold voltages of thin-film accumulation-mode PMOS/SOI transistors**, Electron Device Letters, IEEE; v. 12, p. 682 - 684, 1991.

[27] COLINGE, J. P.; COLINGE, C. A. **Physics of Semiconductor Devices**, New York: Kluwer Academic, 2003.

[28] S. M. SZE. **Physics of Semiconductor Devices**. 2nd Edition. Wiley Interscience Publications.

[29] HU GENDA J., CHI. C., YU T. C. **Gate Voltage dependent effective Channel Length and series resistance of LDD MOSFET´s,** IEEE Transaction on electron devices, n.12, p. 2469-2475, December 1987.

[30] LIM K. Y., ZHOU X. **A Physically-Based Semi-Empirical Series Resistance Model for Deep-Submicron MOSFET *I–V* Modeling,** IEEE Transactions on Electron Devices, v. 47, nº 6, p. 1300-1302, June, 2000.

[31] SAKAKIBARA, J., URAKAMI, Y., YAMAGUCHI, H. **Ultra Low On- Resistance Super 3D MOSFET Under 300V Breakdown Voltage**, 16thInternational Symposium on Power Semiconductor Devices & ICs, 2004, Kitakyushu.

[32] Datasheet FairChild Semiconductor, **Effects of On Resistance (Ron) to an Analog Switch**, Abril 2002.

[33] SEDRA A. S.;SMITH C. K. **Microeletronic Circuits**, ed. 5, Oxford University Press, p. 254-255, 2004.

[34] LI, Y.; CHOU, H-M. **" Comparative Study of Electrical Characteristic on Sub-10-nm Double-Gate MOSFETs"**, IEEE Transactions on NanotechnologyElectron, v.4, n.5, p. 645-647, September, 2005.

[35] TACHI, K. **A Study on Carrier Transport Properties of Vertically- Stacked Nanowire Transistors,** Tese (Doutorado). Tokyo Institute of Technology, 2011.

[36] LIM, H. K.; FOSSUM, J. G. **Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's**. IEEE Transactions on Electron Devices, v. 30, n. 10, p. 1244-1451, 1983.

[37] HAMMAD, M. Y.; SCHRODER D. K. **Analytical Modeling of the Partially-Depleted SOI MOSFET** , IEEE Transactions on Electron Devices, v. 48, n. 2, p. 252-258, February 2001.

[38] GROESENEKEN, G. et al. **Temperature dependence of threshold voltage in thin-film SOI MOSFETs**. IEEE Electron Device Letters. v.11, n.8, p.329-331, 1990.

[39] COLINGE, J. P. **Silicon-On-Insulator Technology**: Materials to VLSI, p.157, 3 ed. Boston: Kluwer Academic Publishers, 2004.

[40] SILVEIRA,F.; FLANDRE, D.; JESPER P.G.A. **A g_m/I_D Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a silicon-on-Insulator Micropower OTA**, IEEE journal of solid-state circuits, v. 31, n. 9, p.1314-1319, 1996.

[41] Binkley, D. M. **Tradeoffs and optimization in analog CMOS design.** England: John Wiley & Sons, 2008.

[42] The MOSIS Service, http://www.mosis.com/, 2012.

[43] http://www.mosis.com/cgi-bin/cgiwrap/umosis/swp/params/ami-c5/t99j-params.txt, 2012

[44] EURO PRACTICE. **Especificação da Tecnologia On Semiconductor 0,5 µmC05 N/F**.Disponível em: <http://www.europracticeic.com/technologies_AMIS.php?tech_id=05um>. Acesso em: Novembro de 2011.

[45] MOSIS. **Regras de Leiaute do Processo de Fabricação On Semiconductor 0,5µm**. Disponível em: <http://www.mosis.com/Technical/Layermaps/lmscmos_ scn3me.html>. Acesso em: Outubro de 2011.

APÊNDICE A – Dados de fabricação dos dispositivos *Wave* MOSFET no MOSIS

MOSIS WAFER ACCEPTANCE TESTS

RUN: T99J
TECHNOLOGY: SCN05

VENDOR: AMIS (ON-SEMI)
FEATURE SIZE: 0.5 microns
Run type: SKD

INTRODUCTION: This report contains the lot average results obtained by MOSIS from measurements of MOSIS test structures on each wafer of this fabrication lot. SPICE parameters obtained from similar measurements on a selected wafer are also attached.

COMMENTS: SMSCN3ME06_ON-SEMI

TRANSISTOR PARAMETERS	W/L	N-CHANNEL	P-CHANNEL	UNITS
MINIMUM	3.0/0.6			
Vth		0.78	-0.93	volts
SHORT	20.0/0.6			
Idss		466	-251	uA/um
Vth		0.66	-0.91	volts
Vpt		13.0	-12.3	volts
WIDE	20.0/0.6			
Ids0		< 2.5	< 2.5	pA/um
LARGE	50/50			
Vth		0.68	-0.96	volts
Vjbkd		10.8	-11.8	volts
Ijlk		<50.0	<50.0	pA
Gamma		0.48	0.57	V^0.5
K' (Uo*Cox/2)		58.6	-18.9	uA/V^2
Low-field Mobility		481.96	155.44	cm^2/V*s

COMMENTS: Poly bias varies with design technology. To account for mask bias use the appropriate value for the parameter XL in your SPICE model card.

Design Technology	XL (um)	XW (um)
SCMOS_SUBM (lambda=0.30)	0.10	0.00
SCMOS (lambda=0.35)	0.00	0.20

FOX TRANSISTORS	GATE	N+ACTIVE	P+ACTIVE	UNITS
Vth	Poly	>15.0	<-15.0	volts

PROCESS PARAMETERS	N+	P+	POLY	PLY2_HR	POLY2	M1	M2	UNITS
Sheet Resistance	84.4	105.9	22.9	1051	40.5	0.09	0.09	ohms/sq
Contact Resistance	60.7	152.9	16.3		26.4		0.80	ohms

Gate Oxide Thickness 142
angstrom

PROCESS PARAMETERS	M3	N\PLY	N_W	UNITS
Sheet Resistance	0.05	807	801	ohms/sq
Contact Resistance	0.82			ohms

COMMENTS: N\POLY is N-well under polysilicon.

CAPACITANCE PARAMETERS	N+	P+	POLY	POLY2	M1	M2	M3	N_W	UNITS
Area (substrate)	417	724	86		29	12	8	91	aF/um^2
Area (N+active)			2434		38	17	12		aF/um^2
Area (P+active)			2340						aF/um^2
Area (poly)				880	68	16	9		aF/um^2
Area (poly2)					57				aF/um^2
Area (metal1)						30	12		aF/um^2
Area (metal2)							31		aF/um^2
Fringe (substrate)	354	252			55	34	27		aF/um
Fringe (poly)					59	38	28		aF/um
Fringe (metal1)						57	33		aF/um
Fringe (metal2)							48		aF/um
Overlap (N+active)			182						aF/um
Overlap (P+active)			230						aF/um

CIRCUIT PARAMETERS	K		UNITS
Inverters			
Vinv	1.0	2.02	volts
Vinv	1.5	2.27	volts
Vol (225 uA)	2.0	0.27	volts
Voh (225 uA)	2.0	4.70	volts
Vinv	2.0	2.45	volts
Gain	2.0	-18.01	
Ring Oscillator Freq.			
DIV256 (31-stg,5.0V)		105.50	MHz
D256_WIDE (31-stg,5.0V)		156.92	MHz
Ring Oscillator Power			
DIV256 (31-stg,5.0V)		0.49	uW/MHz/gate
D256_WIDE (31-stg,5.0V)		1.00	uW/MHz/gate

COMMENTS: SUBMICRON

T99J SPICE BSIM3 VERSION 3.1 PARAMETERS

SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8

```
* DATE: Dec 22/09
* LOT: T99J                  WAF: 7101
* Temperature_parameters=Default
.MODEL CMOSN NMOS (                                LEVEL   = 49
+VERSION = 3.1            TNOM    = 27             TOX     = 1.42E-8
+XJ      = 1.5E-7         NCH     = 1.7E17         VTH0    = 0.6066706
+K1      = 0.8916583      K2      = -0.0984787     K3      = 23.6382023
+K3B     = -8.4234075     W0      = 3.807398E-8    NLX     = 1.509888E-9
+DVT0W   = 0              DVT1W   = 0              DVT2W   = 0
+DVT0    = 0.7849492      DVT1    = 0.3994002      DVT2    = -0.5
+U0      = 452.2685957    UA      = 1E-13          UB      = 1.176277E-18
+UC      = -5.73121E-14   VSAT    = 1.841184E5     A0      = 0.5371856
+AGS     = 0.0886407      B0      = 1.957761E-6    B1      = 5E-6
+KETA    = -2.530193E-3   A1      = 7.230825E-5    A2      = 0.315185
+RDSW    = 1.081837E3     PRWG    = 0.112333       PRWB    = -1.908309E-4
+WR      = 1              WINT    = 1.761404E-7    LINT    = 9.06256E-8
+XL      = 1E-7           XW      = 0              DWG     = -1.191345E-9
+DWB     = 5.413496E-8    VOFF    = -1.406284E-4   NFACTOR = 0.8085791
+CIT     = 0              CDSC    = 2.4E-4         CDSCD   = 0
+CDSCB   = 0              ETA0    = 1.449343E-3    ETAB    = 1
+DSUB    = 0.0129169      PCLM    = 2.2363819      PDIBLC1 = 1.729314E-4
+PDIBLC2 = 1.682325E-3    PDIBLCB = -0.5           DROUT   = 1.01633E-4
+PSCBE1  = 2.511791E9     PSCBE2  = 1E-3           PVAG    = 0
+DELTA   = 0.01           RSH     = 84.4           MOBMOD  = 1
+PRT     = 0              UTE     = -1.5           KT1     = -0.11
+KT1L    = 0              KT2     = 0.022          UA1     = 4.31E-9
+UB1     = -7.61E-18      UC1     = -5.6E-11       AT      = 3.3E4
+WL      = 0              WLN     = 1              WW      = 0
+WWN     = 1              WWL     = 0              LL      = 0
+LLN     = 1              LW      = 0              LWN     = 1
+LWL     = 0              CAPMOD  = 2              XPART   = 0.5
+CGDO    = 1.82E-10       CGSO    = 1.82E-10       CGBO    = 1E-9
+CJ      = 4.14902E-4     PB      = 0.839007       MJ      = 0.429248
+CJSW    = 3.600151E-10   PBSW    = 0.8            MJSW    = 0.2047744
+CJSWG   = 1.64E-10       PBSWG   = 0.8            MJSWG   = 0.2047744
+CF      = 0              PVTH0   = -0.0632742     PRDSW   = 203.232232
+PK2     = -0.07324       WKETA   = 2.457772E-3    LKETA   = -6.437462E-3
)
*
.MODEL CMOSP PMOS (                                LEVEL   = 49
+VERSION = 3.1            TNOM    = 27             TOX     = 1.42E-8
+XJ      = 1.5E-7         NCH     = 1.7E17         VTH0    = -0.9152268
+K1      = 0.553472       K2      = 7.871921E-3    K3      = 6.2769786
+K3B     = -0.4898254     W0      = 1.23924E-7     NLX     = 1.141647E-7
+DVT0W   = 0              DVT1W   = 0              DVT2W   = 0
+DVT0    = 0.9353874      DVT1    = 0.3671023      DVT2    = -0.1875761
+U0      = 201.3603195    UA      = 2.408572E-9    UB      = 1E-21
+UC      = -1E-10         VSAT    = 1.202516E5     A0      = 0.8828557
+AGS     = 0.088966       B0      = 5.175071E-7    B1      = 0
+KETA    = -4.865785E-3   A1      = 1.370912E-4    A2      = 0.4773832
+RDSW    = 3E3            PRWG    = -0.0281209     PRWB    = -0.0479695
+WR      = 1              WINT    = 2.309781E-7    LINT    = 1.226577E-7
+XL      = 1E-7           XW      = 0              DWG     = -5.470108E-9
+DWB     = -1.983267E-8   VOFF    = -0.0625678     NFACTOR = 1.1137245
+CIT     = 0              CDSC    = 2.4E-4         CDSCD   = 0
+CDSCB   = 0              ETA0    = 0              ETAB    = -0.2
+DSUB    = 1              PCLM    = 2.3939111      PDIBLC1 = 0.0494294
+PDIBLC2 = 3.663793E-3    PDIBLCB = -0.0364718     DROUT   = 0.2462657
+PSCBE1  = 1E8            PSCBE2  = 3.359223E-9    PVAG    = 0.0150055
+DELTA   = 0.01           RSH     = 105.9          MOBMOD  = 1
+PRT     = 0              UTE     = -1.5           KT1     = -0.11
```

```
+KT1L     = 0              KT2      = 0.022          UA1      = 4.31E-9
+UB1      = -7.61E-18      UC1      = -5.6E-11       AT       = 3.3E4
+WL       = 0              WLN      = 1              WW       = 0
+WWN      = 1              WWL      = 0              LL       = 0
+LLN      = 1              LW       = 0              LWN      = 1
+LWL      = 0              CAPMOD   = 2              XPART    = 0.5
+CGDO     = 2.3E-10        CGSO     = 2.3E-10        CGBO     = 1E-9
+CJ       = 7.238228E-4    PB       = 0.8735391      MJ       = 0.4909204
+CJSW     = 2.545206E-10   PBSW     = 0.8            MJSW     = 0.1987115
+CJSWG    = 6.4E-11        PBSWG    = 0.8            MJSWG    = 0.1987115
+CF       = 0              PVTH0    = 5.98016E-3     PRDSW    = 14.8598424
+PK2      = 3.73981E-3     WKETA    = 0.0104146      LKETA    = -8.958097E-3
)
*
```

APÊNDICE B – Dedução do fator geométrico

A dedução do fator geométrico que relaciona um transistor de canal circular com um de canal retangular ou convencional:

$$f_g = \left(\frac{W}{L}\right)_{Convencional} = \left[\frac{2\pi}{\ln\left(R2/R1\right)}\right]_{Circular} \qquad (A.1)$$

De acordo com a Figura A.1, R1 é o raio interno da coroa que define o início do canal, R2 é o raio externo da coroa que define o final do canal, L é o comprimento do canal (R2-R1).

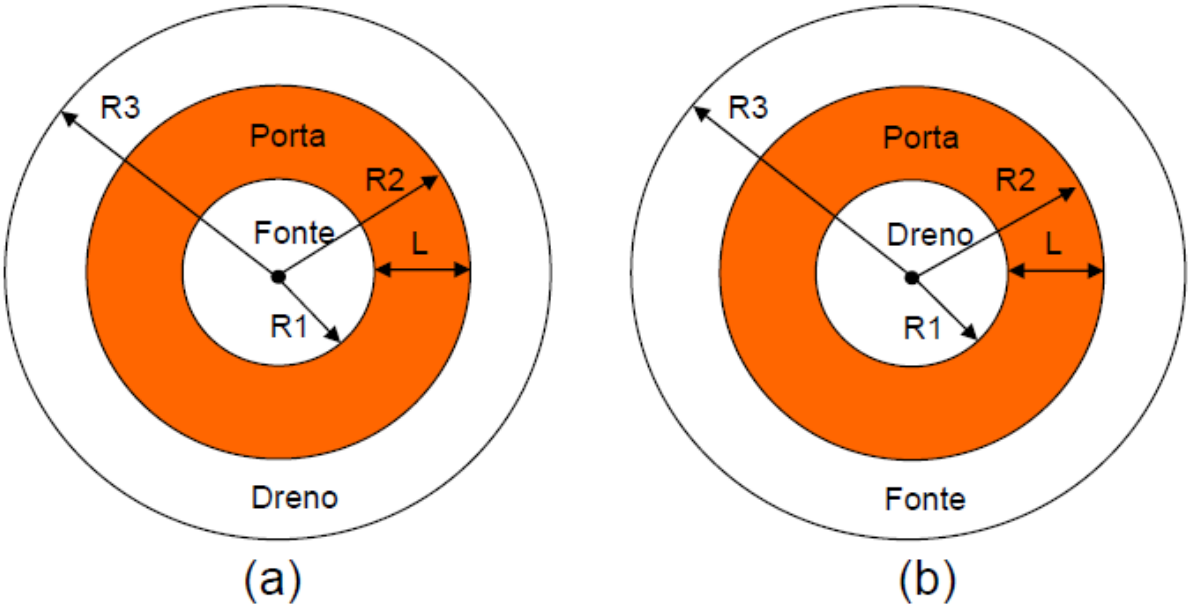


Figura A.1 – Leiaute de SOI MOSFETs circulares, onde a região interna circular pode operar ou como fonte (a) ou como dreno (b) [17].

Se considerarmos um transistor convencional, podemos representar a resistência do canal por meio da segunda lei de Ohm.

$$R_{convencional} = \rho \cdot \frac{L}{x \cdot W} \qquad (A.2)$$

Onde ρ é resistividade da região do canal, L é o comprimento do canal, x é a espessura do canal e W é a largura do canal. Sendo assim, $x \cdot W$ = área da seção transversal.

Já para determinação da resistência do canal do transistor circular é necessário resolver uma equação diferencial também baseada na segunda lei de Ohm.

$$\partial R_{circular} = \rho \cdot \frac{\partial y}{x \cdot 2\pi \cdot y} \qquad (A.3)$$

Onde ∂y é uma fração infinitesimal de L e $2\pi \cdot y$ é o perímetro da circunferência de raio y, isso equivale ao W do transistor convencional ao longo do canal. Vide Figura A.2

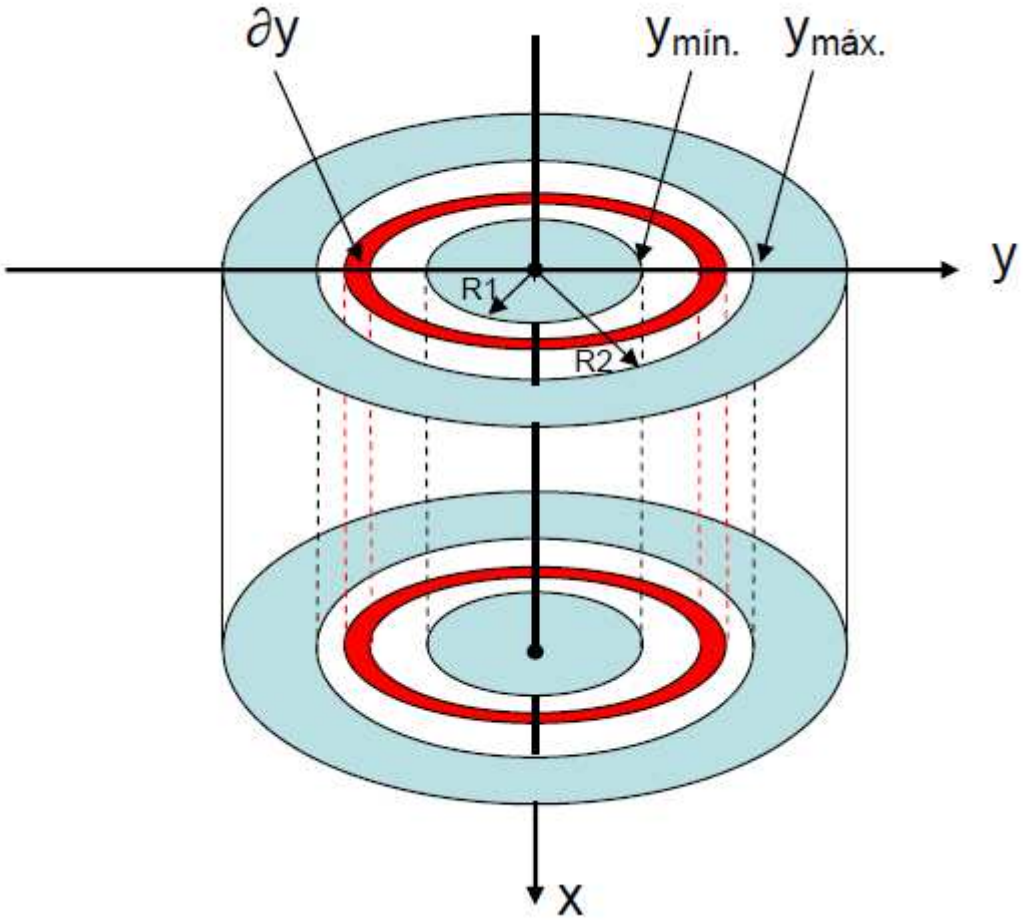


Figura A.2 – Representação 3D da região do canal de um SOI MOSFET de porta de geometria circular[17].

O próximo passo é integrarmos a função dos dois lados:

$$\int \partial R_{circular} = \int \rho \cdot \frac{\partial y}{x \cdot 2\pi \cdot y} \qquad (A.4)$$

$$\int \partial R_{circular} = \frac{\rho}{2\pi \cdot x} \int \frac{1}{y} \cdot \partial y \qquad (A.5)$$

$$R_{circular} = \frac{\rho}{2\pi \cdot x} \cdot \ln(y)\Big|_{y_{mín.}}^{y_{máx.}} \qquad (A.6)$$

Se $y_{máx.}$ = R2 e $y_{mín.}$ = R1, ficamos com:

$$R_{circular} = \frac{\rho}{2\pi \cdot x} \cdot \left(\ln(R2) - \ln(R1)\right) \qquad (A.7)$$

Lembrando que a subtração entre logaritmos de mesma base pode ser expressa como o logaritmo da divisão entre os fatores:

$$R_{circular} = \rho \cdot \frac{\ln\left(R2/R1\right)}{2\pi \cdot x} \qquad (A.8)$$

Igualando (A.2) e (A.8) temos com:

$$\left(\frac{W}{L}\right)_{Convencional} = \left[\frac{2\pi}{\ln\left(R2/R1\right)}\right]_{Circular} \qquad (A.9)$$

Onde o fator geométrico do *Wave* é:

$$fg = \left(\frac{W}{L}\right)_{re\,\tan\,gular} = \left[\frac{2\pi}{\ln\left(\frac{R2}{R1}\right)}\right]_{circular} = \left[\frac{2\pi}{\ln\left(1+\frac{L}{R1}\right)}\right]_{circular} = \left[\frac{2\pi}{\ln\left(1+\frac{L}{R1}\right)}\right]_{Wave} \qquad (A.10)$$

APÊNDICE C – Artigo EUROSOI 2012

Neste apêndice encontra-se se o artigo aceito apresentação para o EUROSOI 2012 – Montpellier, França. Fórum internacional para promover a interação e o intercâmbio entre grupos de pesquisa e parceiros industriais envolvidos em atividades de SOI em todo o mundo.

Experimental Study of the Wave Layout Style to Improve the Device Performance

Rafael Navarenho de Souza and Salvador Pinillos Gimenez

Centro Universitário da FEI, Av. Humberto de Alencar Castelo Branco, 3972, São Bernardo do Campo, 09850-901, São Paulo, Brazil.

1. Abstract

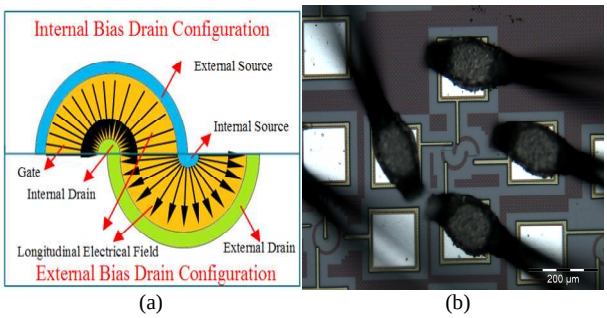
This paper presents an experimental comparative study between the Wave layout style ("S" shape gate geometry) and the Conventional (rectangular gate geometry) counterpart in order to verify and quantify the benefits that Wave structure can bring to improve the performance of devices and consequently of the integrated circuits. By using Wave structure instead conventional, it can improve the device performance in terms of drain current (I_{DS}) in the triode and saturation regions, transconductance (g_m) and g_m/I_{DS} ratio.

2. Introduction

Many researches are being carried to scale down the planar SOI MOSFET technology in order to enhance speed, drive current, devices integration capability, and to reduce the power consumption of the analog and digital integrated circuits (ICs) [1]. Normally, planar power SOI MOSFETs, with high geometric factor (f_g=W/L), where W and L are respectively the channel width and length, are implemented by connecting several identical devices with the same L in parallel, but with a small channel width (W'), given by W/N, where N is the number of the individual devices connected in parallel [2]. These layout structures are able to reduce the IC die area, parasitic junctions capacitances due to the sharing of the drain and source contacts between adjacent transistors and reducing device mismatching [2]. Usually, Multifinger and Waffle are the most used layouts to implement the planar power transistors [3]. Waffle layout is able to reduce die area of planar power SOI MOSFETs and improve the devices matching than the one observed in the Multifinger structure [4]. Thinking on further reduce the die area of the planar power transistors and the device matching, Wave layout style (S geometric shape) was proposed (Figure 1) and it was demonstrated that it can reduce around 20% the planar power transistor die area with f_g equal to 75 implemented with Waffle layout structure and also further improve the device matching [5].

3. Wave Layout Style

Figure 1 presents an example of the Wave nMOSFET (WnM) layout, where is represented the longitudinal electric field ($\varepsilon_{//}$) flux along of the channel and a picture.

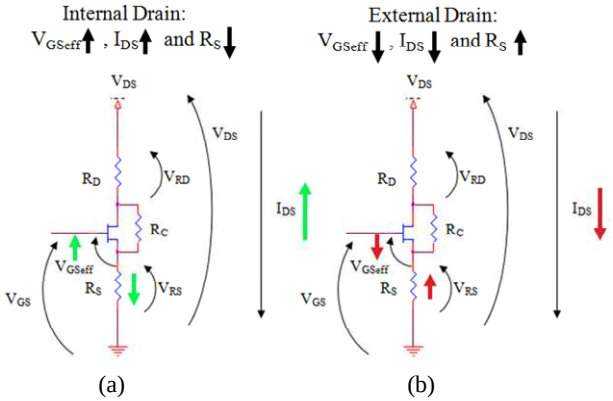


(a) (b)

Fig. 1. *Example of the WnM layout showing the $\varepsilon_{//}$ flux along of the L (a) and an example of a WnM picture (b).*

First of all, observe that each Wave semicircle is biased of different ways. The superior semicircle is biased in internal drain bias configuration (IDBC) while the inferior semicircle is biased in external drain bias configuration (EDBC). Second, notice that, the $\varepsilon_{//}$ varies along of the channel length (L). Note that, $\varepsilon_{//}$ in the drain region of the superior semicircle is higher than the one observed in the drain region of the inferior semicircle, due to the drain region area of the superior semicircle (A_{D_IDBC}) is smaller than the drain region area of the inferior semicircle (A_{D_EDBC}). So, this higher $\varepsilon_{//}$ in the drain region of the superior semicircle is responsible for producing a higher average drift velocity of the mobile carriers in the channel ($v_{//}$) in the superior semicircle than the one observed in the inferior semicircle and consequently the drain current (I_{DS}) in the superior semicircle is higher than the one found in the inferior semicircle. Besides that, the superior and inferior WnM semicircles present different drain/source series resistances due to the different drain/source regions areas. In the superior semicircle (IDBC), the source series resistance (R_S) is smaller than the one observed in the inferior semicircle (EDBC) due to the drain region area of the superior semicircle (A_{D_IDBC}) is smaller than the drain region area of the inferior semicircle (A_{D_EDBC}). So, when we apply a gate voltage (V_{GS}) in the WnM, the superior semicircle (IDBC) presents an effective gate voltage (V_{GSeff}) higher than the one observed in the inferior semicircle (EDBC), because the voltage drop in the R_S of the superior semicircle (IDBC) is smaller than the one found in the inferior semicircle (EDBC). Therefore, due to R_S effect in the WnM V_{GSeff}, the superior semicircle I_{DS} tends to

be higher than the one observed in the inferior semicircle, as indicated in the Figure 2.



(a) (b)

Fig. 2. *Superior (a) and Inferior (b) semicircles equivalents electrical circuits of the WnM (V_{DS}: drain voltage, V_{RD}, V_{RS}: voltage drop in R_D and R_S, respectively, R_D: drain series resistance).*

So, the objective of this paper is to perform an experimental comparative study between Wave and Conventional nMOSFETs counterpart in order to verify and quantify the benefits of the Wave layout style can bring to improve the device performance in terms of I_{DS} (triode and saturation regions), g_m and g_m/I_{DS} in comparison the conventional counterpart.

4. Experimental Results

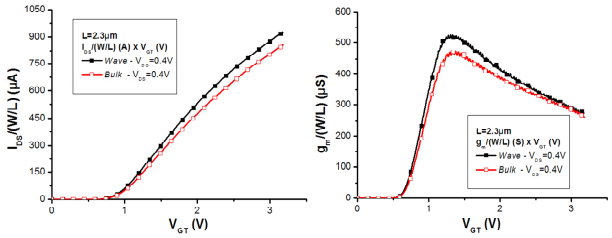
Table I presents the Conventional nMOSFETs (CnM) and Wave nMOSFETs (WnM) dimensions used to perform the experimental comparative study. By the fact that PD SOI MOSFETs present similar electrical behavior than one found in conventional (bulk) MOSFETs [6], the devices were manufactured by using the 0.35 µm AMI (On-Semiconductor) commercial conventional manufacture CMOS process, implemented via MOSIS Educational Program (MEP) [7].

Table I. *Dimensions and Threshold Voltage of the WnM and CnM.*

	Conventional nMOSFET			*Wave nMOSFET*		
L (µm)	W (µm)	W/L	V_{TH} (V)	W (µm)	W/L	V_{TH} (V)
2.3	24.5	10.6	0.68	23.4	10.2	0.68
6	30.9	5.1	0.68	32.2	5.4	0.66
12	44.6	3.7	0.68	44.5	3.7	0.65

Figure 3 presents the experimental I_{DS}/f_g (a) and g_m/f_g (b) as a function of overdrive gate voltage ($V_{GT}=V_{GS}-V_{TH}$, where V_{TH} are the threshold voltage) of the WnM CnM counterpart for L=2.3 µm and drain voltage (V_{DS}) equal to 0.4 V.

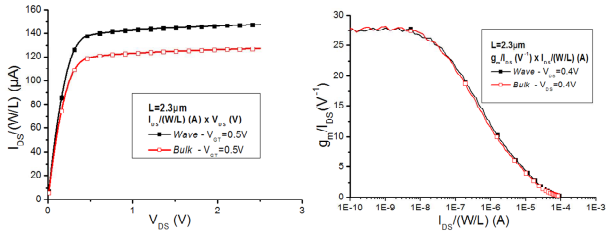
Analyzing Fig. 3.a and 3.b, we can see that WnM I_{DS}/f_g (V_{GT}=2V) and maximum normalized g_m (g_{m_max}/f_g) are respectively higher 12.3% and 10.2% than those observed in the CnM counterpart due to the higher superior semicircle I_{DS} (IDBC) of the WnM, that added to the inferior semicircle I_{DS} (EDBC) of the WnM results in WnM resultant I_{DS} higher than the one observed in the CnM counterpart, due to the $\varepsilon_{//}$ and R_S effects present in the WnM layout style (section 3).



(a) (b)

Fig. 3. I_{DS}/f_g (a) and g_m/f_g (b) *as a function of* V_{GT} *of the WnM and CnM counterpart (L=2.3 µm) for* V_{DS}*=0.4V.*

Figure 4 presents the, I_{DS}/f_g as a function of V_{DS} for V_{GT}=0.5V (a) and g_m/I_{DS} as a function of I_{DS}/f_g for V_{DS}=0.4V (b), respectively.



(a) (b)

Fig. 4. I_{DS}/f_g as a function of V_{DS} *(a) and* g_m/I_{DS} *as a function of* I_{DS}/f_g *((b) curves of the WnM and CnM counterpart.*

Observing Figures 4.a, we can see that WnM I_{DS}/f_g (V_{DS}=2V) and g_m/I_{DS} (I_{DS}/f_g=0.6µA/moderate inversion regime) are higher 15.9% and 5.25% respectively than those found in the CnM counterpart.

The same tends were obtained for the others transistors studied.

In conclusion, Wave layout style, in additional to the improvement of the planar power MOSFETs integration and the matching; it also presents improved performance in terms of current driver, g_m and g_m/I_{DS} ratio.

5. Conclusion

The main electrical characteristics of the Wave layout style were discussed. Besides, it is performed a comparative study between WnM and CnM counterpart for different channel lengths. It is demonstrated that Wave structure can bring important devices benefits in terms of current driver, transconductance and g_m/I_{DS} and consequently to help to improve the analog and digital ICs performance.

References

[1] J.P. Colinge, FinFETs O MGT, Springer, N. York (2008).
[2] A. Hastings, The Art Ana. Layout, P Hall, N Jersey (2001).
[3] Sang L, et. al., Solid-State Electronics, 47, 785 (2003).
[4] M. Pelgrom, et. al., IEEE J. Solid-S Circ., 24, 1433 (1989).
[5] S. P. Gimenez, ECS Trans., 19 (4), 153, (2009).
[6] Colinge, J. P.. Silicon-On-Insulator Technology: Materials to VLSI, p.1-2, 3 ed. Boston: Kluwer Academic Publishers, 2004.
[7] The MOSIS Service, http://www.mosis.com/, 2010.

APÊNDICE D – Artigo SEMINATEC 2012

Neste apêndice encontra-se o artigo aceito para apresentação no SEMINATEC 2012 – São Paulo, Brasil. *Workshop* sobre Semicondutores; Micro & Nano Tecnologia.

Experimental Study of the Wave MOSFET and its Improvement on Frequency Response in the Analog Integrated Circuits

Rafael Navarenho de Souza and Salvador Pinillos Gimenez

Centro Universitário da FEI, Av. Humberto de Alencar Castelo Branco, 3972, São Bernardo do Campo, 09850-901, São Paulo, Brazil.

1. Abstract

This paper presents an experimental comparative study between the Wave layout style ("S" shape gate geometry) and the Conventional (rectangular gate geometry) counterpart in order to verify and quantify the benefits that Wave structure can bring to improve the performance of devices in analog circuit, specially in the frequency response. By using Wave structure instead of conventional counterpart, it can improve the device performance in terms of drain current (I_{DS}) in the triode and saturation regions, consequently better results in g_m/I_{DS} ratio and frequency gain.

2. Introduction

Normally, planar power SOI MOSFETs, with high geometric factor (f_g=W/L), where W and L are respectively the channel width and length, are implemented by connecting several identical devices with the same L in parallel, but with a small channel width (W'), given by W/N, where N is the number of the individual devices connected in parallel [1]. These layout structures are able to reduce the IC die area, parasitic junctions capacitances due to the sharing of the drain and source contacts between adjacent transistors and reducing device mismatching [1]. A lot of researches are being carried to scale down the planar SOI MOSFET technology in order to enhance speed, drive current, devices integration capability, and to reduce the power consumption of the analog integrated circuits (ICs) [2]. Usually, Multifinger and Waffle are the most used layouts to implement the planar power transistors [3]. Waffle layout is able to reduce die area of planar power SOI MOSFETs and improve the devices matching than the one observed in the Multifinger structure [4]. Thinking on further reduce the die area of the planar power transistors and the device matching, Wave layout style (S geometric shape) was proposed (Figure 1) and it was demonstrated that it can reduce around 20% the planar power transistor die area with f_g equal to 75 implemented with Waffle layout structure and also further improve the device matching [5].

3. Wave Layout

Figure 1 presents an example of the Wave nMOSFET (WnM) layout, where is represented the longitudinal electric field ($\varepsilon_{//}$) flux along of the channel.

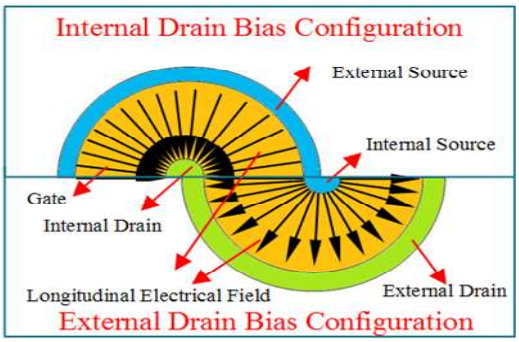
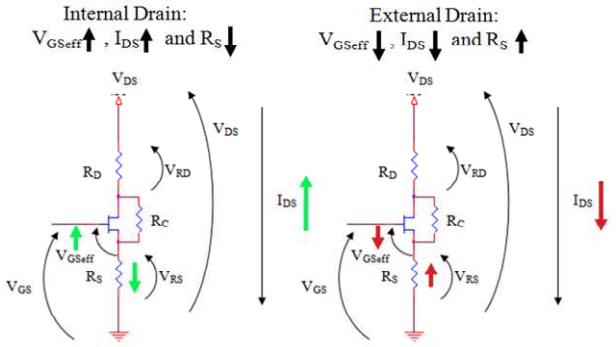


Fig. 1. *Example of the WnM layout showing the $\varepsilon_{//}$ flux along of the L.*

Firstly, observe that each Wave semicircle is biased of different ways. The superior semicircle is biased in internal drain bias configuration (IDBC) while the inferior semicircle is biased in external drain bias configuration (EDBC). Secondly, notice that, the $\varepsilon_{//}$ varies along of the channel length (L). Note that, $\varepsilon_{//}$ in the drain region of the superior semicircle is higher than the one observed in the drain region of the inferior semicircle, due to the drain region area of the superior semicircle (A_{D_IDBC}) is smaller than the drain region area of the inferior semicircle (A_{D_EDBC}). So, this higher $\varepsilon_{//}$ in the drain region of the superior semicircle is responsible for producing a higher average drift velocity of the mobile carriers in the channel ($v_{//}$) in the superior semicircle than the one observed in the inferior semicircle and consequently the drain current (I_{DS}) in the superior semicircle is higher than the one found in the inferior semicircle. Besides that, the superior and inferior WnM semicircles present different drain/source series resistances due to the different drain/source regions areas. In the superior semicircle (IDBC), the source series resistance (R_S) is smaller than the one observed in the inferior semicircle (EDBC) because the source region area of the superior semicircle (A_{S_IDBC}) is higher than the source region area of the inferior semicircle (A_{S_EDBC}). So, when we apply a gate voltage (V_{GS}) in the WnM, the superior semicircle (IDBC) presents an effective gate voltage (V_{GSeff}) higher than the one observed in the inferior semicircle (EDBC), because the voltage drop in the R_S of the superior semicircle (IDBC) is smaller than the one found in the inferior semicircle (EDBC). Therefore, due to R_S effect in the WnM V_{GSeff}, the superior semicircle I_{DS} tends to be higher than the one observed in the inferior semicircle, as indicated in the Figure 2.



(a) (b)

Fig. 2. *Superior (a) and Inferior (b) semicircles equivalents electrical circuits of the WnM (V_{DS}: drain voltage, V_{RD}, V_{RS}: voltage drops in R_D and R_S. R_D: drain series resistance and R_S: source series resistance; R_C: channel resistance.*

Therefore the objective of this paper is to perform an experimental comparative study between Wave and Conventional nMOSFETs counterpart in order to verify the improvement in the performance of Wave structure in analog integrated circuit, specially in the frequency response, as well as better results in the device performance in terms of drain current (I_{DS}) in the triode and saturation regions and in g_m/I_{DS} ratio.

1. Experimental Results

Table I presents the Conventional nMOSFETs (CnM) and Wave nMOSFETs (WnM) dimensions used to perform the experimental comparative study. By the fact that PD SOI MOSFETs present similar electrical behavior than one found in conventional (bulk) MOSFETs [6], the devices were manufactured by using the 0.35 µm AMI (On-Semiconductor) commercial conventional manufacture CMOS process, implemented via MOSIS Educational Program (MEP) [7].

Table I. *Wave channel Width (W) and f_g, threshold voltage (V_{TH}) of the CnM and WnM and the relation between the geometric factors (f_g=W/L) of the CnM, Circular and WnMOSFET [equation (1)].*

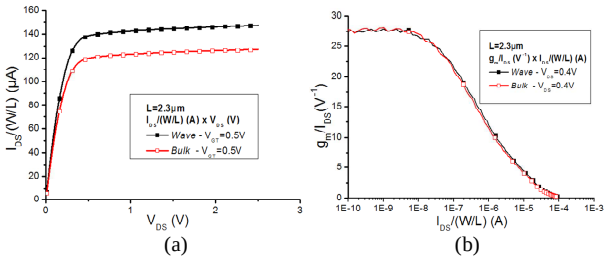
	Conventional nMOSFET			Wave nMOSFET		
L (µm)	W (µm)	W/L	V_{TH} (V)	W (µm)	W/L	V_{TH} (V)
2.3	24.5	10.6	0.68	23.4	10.2	0.68
6	30.9	5.1	0.68	32.2	5.4	0.66
12	44.6	3.7	0.68	44.5	3.7	0.65

$$fg=\left(\frac{W}{L}\right)_{retangular}=\left[\frac{2\pi}{\ln\left(\frac{R2}{R1}\right)}\right]_{circular}=\left[\frac{2\pi}{\ln\left(1+\frac{L}{R1}\right)}\right]_{circular}=\left[\frac{2\pi}{\ln\left(1+\frac{L}{R1}\right)}\right]_{Wave} \quad (1)$$

In equation (1), R1 and R2 are the radiuses that define the beginning and the ending of the channel region of the Wave structure [5].

Figure 3 presents the, I_{DS}/f_g as a function of V_{DS} for V_{GT}=0.5V (a) and g_m/I_{DS} as a function of I_{DS}/f_g for V_{DS}=0.4V (b), respectively.

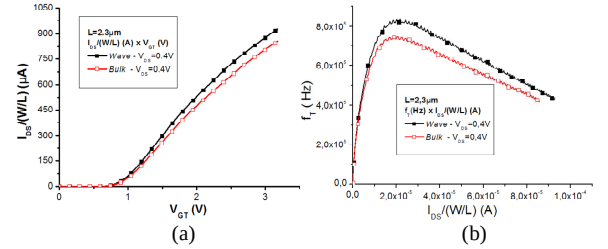
Observing Figures 3, we can see that WnM I_{DS}/f_g (V_{DS}=2V) is higher 15.9% (a) and g_m/I_{DS} (I_{DS}/f_g=0.6µA in moderate inversion regime) is higher 5.25% (b) than those found in the CnM counterpart. The same tends were obtained for the others transistors studied.



(a) (b)

Fig. 3. I_{DS}/f_g as a function of V_{DS} *(a) with* V_{GT}*=0.5V and* V_{TH}*=0.68V;* g_m/I_{DS} *as a function of* I_{DS}/f_g *((b) with* V_{DS}*=0.4V and* V_{TH}*=0.68V of the WnM and CnM counterpart (L=2.3µm).*

Figure 4 presents the experimental I_{DS}/f_g as a function of overdrive gate voltage ($V_{GT}=V_{GS}-V_{TH}$, where V_{TH} are the threshold voltage) (a) and unit voltage gain frequency (f_T) as a function of I_{DS}/f_g (b) of the WnM and CnM counterpart for L=2.3 µm and drain voltage (V_{DS}) equal to 0.4 V.



(a) (b)

Fig. 4. I_{DS}/f_g *as a function of overdrive gate voltage (a) and* f_t *as a function of* I_{DS}/f_g *(b) of the WnM and CnM counterpart (L=2.3µm) with* V_{DS}*=0.4V and* V_{TH}*=0.68V.*

Analyzing Fig. 4.a, we can see that WnM I_{DS}/f_g (V_{GT}=2V) is higher 10.2% than the one observed in the CnM counterpart. In the Fig 4.b we can verify that the f_T in the WnM is much higher than the CnM counterpart. In a current of $30.0\text{x}10^{-6}$/fg (A) the frequency is 11.3% higher. This is due to the $\varepsilon_{//}$ and R_S effects present in the WnM layout style (section 3).

2. Conclusion

So that, Wave layout style, in additional to the improvement of the planar power MOSFETs integration and the matching because of its shaping (IDBC and EDBC), it also presents better performance in terms of current driver, g_m/I_{DS} ratio and specially f_T.

References

[1] A. Hastings, The Art Ana. Layout, P Hall, N Jersey (2001).
[2] J.P. Colinge, FinFETs O MGT, Springer, N. York (2008).
[3] Sang L, et. al., Solid-State Electronics, 47, 785 (2003).
[4] M. Pelgrom, et. al., IEEE J. Solid-S Circ., 24, 1433 (1989).
[5] S. P. Gimenez, ECS Trans., 19 (4), 153, (2009).
[6] Colinge, J. P.. Silicon-On-Insulator Technology: Materials to VLSI, p.1-2, 3 ed. Boston: Kluwer A. Publishers, 2004.
[7] The MOSIS Service, http://www.mosis.com/, 2010.