

CENTRO UNIVERSITÁRIO DA FEI

RENATO DUGANIERI LEONI

**ESTUDO EXPERIMENTAL DA RESPOSTA EM FREQUÊNCIA ENTRE O
MOSFET DO TIPO DIAMANTE E O EQUIVALENTE CONVENCIONAL PARA
AS TECNOLOGIAS CMOS CONVENCIONAL E SOI**

São Bernardo do Campo
2013

RENATO DUGANIERI LEONI

**ESTUDO EXPERIMENTAL DA RESPOSTA EM FREQUÊNCIA ENTRE O
MOSFET DO TIPO DIAMANTE E O EQUIVALENTE CONVENCIONAL PARA
AS TECNOLOGIAS CMOS CONVENCIONAL E SOI**

Dissertação de Mestrado apresentada ao
Centro Universitário da FEI, para a obtenção
do título de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Salvador Pinillos
Gimenez

São Bernardo do Campo
2013

Leoni, Renato Duganieri

Estudo experimental da resposta em frequência entre o MOSFET do tipo diamante e o equivalente convencional para as tecnologias CMOS convencional e SOI / Renato Duganieri Leoni. São Bernardo do Campo, 2013.

113 f. : il.

Dissertação – Centro Universitário da FEI

Orientador: Prof. Dr. Salvador Pinillos Gimenez

1. Estilo de leiaute do tipo Diamante . 2. Resposta em frequência . 3. Caracterização elétrica experimental . I. Gimenez, Salvador Pinillos, orient. II. Título.

CDU 621.381



Centro Universitário da **FEI**

APRESENTAÇÃO DE DISSERTAÇÃO ATA DA BANCA JULGADORA

PGE-10

Programa de Mestrado de Engenharia Elétrica

Aluno: Renato Duganieri Leoni

Matrícula: 110110-4

Título do Trabalho: Estudo experimental da resposta em frequência entre o MOSFET do tipo diamante e o equivalente convencional para as tecnologias CMOS convencional e SOI.

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof. Dr. Salvador Pinillos Gimenez

Data da realização da defesa: 14/02/2013

ORIGINAL ASSINADA

A Banca Julgadora abaixo-assinada atribuiu ao aluno o seguinte:

APROVADO

REPROVADO

São Bernardo do Campo, 14 de Fevereiro de 2013.

MEMBROS DA BANCA JULGADORA

Prof. Dr. Salvador Pinillos Gimenez

Ass.: _____

Prof.^a Dr.^a Milene Galeti

Ass.: _____

Prof. Dr. Sebastião Gomes dos Santos Filho

Ass.: _____

VERSÃO FINAL DA DISSERTAÇÃO

ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS
RECOMENDAÇÕES DA BANCA EXAMINADORA

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz

A Deus e aos companheiros de todas as horas
A meu Pai Ubirajara Duganieri Leoni.

AGRADECIMENTOS

Ao meu orientador e Mestre, Professor Dr. Salvador Pinillos Gimenez, por ter acreditado e confiado em mim, para a realização deste importante trabalho de pesquisa. Desta forma, agradeço ao meu orientador, por permitir meu crescimento pessoal e profissional, por compartilhar comigo os seus conhecimentos e por ter toda a sua atenção e dedicação para com este trabalho.

Agradeço também aos meus pais, que sempre me ajudaram na busca do conhecimento e me ofereceram toda a educação para a formação do meu caráter.

A minha querida esposa, Patrícia Teixeira Leoni, que me deu incentivo e força em todos os momentos e a minha sogra, Marisa Ganança Teixeira da Silva, por revisar esta dissertação.

A todos os meus colegas de turma, em especial aos colegas Daniel Bello de Carvalho, Daniel Manha Alati, Raffaello, Leonardo, Rafael e Frederico.

Aos Professores Dr. Marcelo Antonio Pavanello, Dr. Marcello Bellodi, Dr. Renato Camargo Giacomini, Dra. Michelly de Souza, Dra. Paula Ghedini Der Agopian, pelos ensinamentos transmitidos nas disciplinas de cada período.

A toda equipe de laboratório de elétrica da FEI, que me forneceram total suporte e equipamentos para a realização da pesquisa.

A Deus, que permitiu a realização deste trabalho, junto com pessoas comprometidas e devotadas às pesquisas edificantes da ciência, ao proporcionar desta forma, mesmo que em pequena contribuição, um patrimônio que será somado para o benefício da humanidade.

“Se hoje enxergo um pouco mais longe é porque me apoiei nos ombros de gigantes”.

Sir Isaac Newton

RESUMO

As pesquisas atuais têm como objetivo a redução nas dimensões dos circuitos integrados, o que tem sido alcançado com o desenvolvimento de novas tecnologias de transistores, como por exemplo, os MOSFETs tridimensionais, (FinFETs, Surrounding Gates, entre outros). Contudo, devido a diminuição das dimensões desses dispositivos, surgem efeitos indesejados, que prejudicam o desempenho dos mesmos. Com este intuito, contudo, ainda explorando os recursos que a tecnologia planar tem a oferecer, foi criado o MOSFET com a geometria de porta hexagonal, ou também denominado de estilo de leiaute do tipo Diamante. Esta nova geometria de porta para os MOSFETs possibilita a melhoria pelo aumento na velocidade média de deriva dos portadores de carga móveis na região do canal, na corrente entre dreno e fonte, na transcondutância, no ganho de tensão de malha aberta e na frequência de ganho de tensão unitário, devido ao aumento do campo elétrico resultante longitudinal ao longo do canal, quando se compara ao MOSFET com a geometria de porta retangular equivalente, considerando a mesma área de porta e condições de polarização, tanto para a tecnologia CMOS convencional (bulk) como para a SOI. Simulações numéricas tridimensionais realizadas em trabalhos anteriores deram início a estes estudos, em que resultados do ganho dessa nova geometria de porta foram comprovados posteriormente com dados experimentais. Este trabalho tem como objetivo a comparação e o estudo experimental da resposta em frequência, entre MOSFETs do tipo enriquecimento, fabricados com geometrias de porta hexagonal e a equivalente convencional, manufaturados com duas diferentes tecnologias de fabricação de circuitos integrados, isto é, a CMOS convencional e a SOI CMOS. Um amplificador com um único MOSFET em configuração fonte comum é utilizado para o estudo comparativo experimental da resposta em frequência entre esses dispositivos com geometrias de portas diferentes. Os resultados experimentais obtidos desse estudo demonstram que houve melhorias significativas em algumas figuras de mérito tais como, no ganho de tensão em malha aberta e na frequência de ganho de tensão unitário, chegando a alcançar ganhos maiores que 100% em MOSFETs com geometria de porta hexagonal, para pequenos valores de ângulos α , quando comparados à geometria de porta convencional equivalente, tanto para a tecnologia CMOS convencional como para a SOI CMOS. No entanto, observa-se uma redução na tensão Early do MOSFET com a geometria de porta hexagonal, para um ângulo α menor que $126,9^\circ$, quando comparado ao MOSFET convencional equivalente, considerando-se a mesma área de porta, fator geométrico e sob as mesmas condições de polarização, devido ao efeito de ionização por impacto na região de dreno dos MOSFETs do tipo Diamante, embora essa característica não degrade o ganho de tensão do amplificador implementado com MOSFET Diamante em relação ao amplificador implementado com MOSFETs convencionais equivalentes.

Palavras-chave: Estilo de leiaute do tipo Diamante. Resposta em frequência. Caracterização elétrica experimental.

ABSTRACT

The current researches aim to reduce the dimensions of integrated circuits, what has been achieved with the development of new technologies for transistors, such as three-dimensional MOSFETs (FinFETs, Surrounding Gates, among others). However, due to the reduced dimensions of these devices, undesired effects arise that detract from their performance. With this focus, however, still exploring the features that planar technology has to offer, it was created the MOSFET with hexagonal gate geometry, called Diamond layout style. This new MOSFET gate geometry enables the improvement in the average drift velocity of mobile charge carriers in the channel region, the drain current, the transconductance, the open loop voltage gain and unit frequency voltage gain, due to the improvement in the longitudinal electric field along the channel, as compared to the MOSFET rectangular gate geometry counterpart, considering the same gate area and bias conditions for both conventional CMOS technology (bulk) and SOI CMOS. Three-dimensional numerical simulations performed in previous work, which demonstrated several benefits of this new gate geometry and after were proven with experimental data. This study aims a experimental comparative study of the frequency response between MOSFETs manufactured using hexagonal gate geometry and the conventional counterpart, which they were manufactured with two different technologies manufacturing of the integrated circuits, i.e, the conventional (bulk) CMOS and SOI CMOS. An amplifier implemented with only one MOSFET, in the common source configuration, is used to perform the experimental comparative study of the frequency response between amplifiers implemented with Diamond and Conventional counterparts. The experimental results of this study demonstrate significant improvements in some figures of merit, such as the voltage gain and the unit gain voltage frequency, reaching gains 100% higher in amplifiers implemented with Diamond MOSFETs (hexagonal gate geometry), for small values of α angle, as compared to the amplifiers implemented with conventional MOSFETs (rectangular gate geometry) for both conventional (bulk) CMOS and SOI CMOS technologies. However, there is a reduction in the Early voltage of MOSFETs implemented with hexagonal gate geometry, for an angle α less than 126.9° , when compared to the conventional MOSFET counterpart, regarding the same gate area, geometric factor and bias conditions, due to the impact ionization effect (high longitudinal electric field) at the drain region of Diamond MOSFETs, but this characteristic does not degrade the voltage gain of the amplifiers implemented with the Diamond layout style in comparison to those implemented with conventional counterpart.

Key words: Diamond layout style. Frequency response. Experimental electrical characteristics.

LISTA DE FIGURAS

Figura 1.1 – Estruturas tridimensionais dos nMOSFETs em tecnologia convencional (a) e com a geometria de porta hexagonal (b) dos SOI nMOSFETs com a geometria de porta retangular (c) e com a geometria de porta hexagonal (d).	24
Figura 1.2 - Vista superior de um MOSFET do tipo Diamante.	25
Figura 1.3 – Exemplo de leiaute implementado através do “IC Station” (a) e a foto correspondente do MOSFET do tipo Diamante implementado com a tecnologia CMOS de 0,35 μm da ON-Semiconductor, via MOSIS (b) [7].	28
Figura 2.1 – Estruturas tridimensionais do estilo de leiaute do tipo Diamante com a tecnologia CMOS convencional (a) e com a tecnologia SOI CMOS em (b).	31
Figura 2.2 – Representação dos dois efeitos presentes na estrutura com a geometria de porta hexagonal, o LCE e o PAMDLE: a vista de topo da estrutura do tipo Diamante com a área de porta dividida em vários transistores com diferentes comprimentos de canal (a); a representação do circuito elétrico equivalente dos N transistores associados em paralelo (b).	34
Figura 2.3 - Simulação 3D da densidade total de corrente por unidade de área do SOI nMOSFET do tipo Diamante, com α igual a 53,1° [4].	35
Figura 2.4 – Exemplo de uma curva da derivada segunda de I_{DS} em função de V_{GS} , com V_{DS} igual a 10 mV, utilizada para a determinação da tensão de limiar de um nMOSFET.	38
Figura 2.5 – Exemplo de um gráfico da raiz quadrada de I_{DS} em função da sobretensão de porta.	41
Figura 2.6 – A curva de I_{DS} em função de V_{DS} para diferentes valores de V_{GT} , indicando-se o acréscimo em I_{DS} devido ao efeito da modulação do comprimento de canal.	43
Figura 2.7 – Circuito amplificador típico de único estágio em configuração fonte comum com divisor de tensão conectado à porta do MOSFET.	46
Figura 2.8 – Exemplos de gráficos de i_{DS} em função de v_{GS} para V_{DS} igual a 1,5 V e com os sinais do tipo senoidal de pequena amplitude, entre porta e fonte, no MOSFET convencional em (a) e no MOSFET do tipo Diamante em (b).	49
Figura 2.9 – Representação da resposta em frequência de um amplificador fonte comum para as três faixas de frequência.	55
Figura 2.10 – Representação de um modelo para pequenos sinais do circuito amplificador utilizando o MOSFET em configuração fonte comum.	56

Figura 2.11 – Circuito amplificador fonte comum considerando as capacitâncias intrínsecas do MOSFET (a) e o circuito equivalente de pequenos sinais para determinação do ganho de tensão em altas frequências (b).....	58
Figura 2.12 – Gráfico do valor absoluto do ganho de tensão $ A_{VO} $ em função da frequência, destacando-se o comportamento do amplificador fonte comum, partindo das médias para as altas frequências.....	60
Figura 2.13 – Circuito elétrico equivalente de pequenos sinais do circuito amplificador em fonte comum utilizado para determinar a frequência de ganho de tensão unitário.	61
Figura 3.1 – O sistema de medições com o analisador de dispositivos semicondutores (Keithley 4200) em (a) e o microprovador interligado ao MOSFET sob teste via CN2 a CN5 em (b); vista do sistema de medições destacando-se a fonte de alimentação em (c); o gerador de funções e o osciloscópio em (d); o circuito auxiliar em (e) e o esquema elétrico detalhando as conexões através do microprovador entre o circuito amplificador e os instrumentos de medição em (f).....	65
Figura 3.2 – Gráfico da raiz quadrada da corrente de dreno em função da sobretensão de porta dos diferentes dispositivos estudados considerando α igual a $36,9^\circ$, W/L igual a 0,6 e V_{DS} igual a 1,5 V.	69
Figura 3.3 – Curvas de I_{DS} em função de V_{GT} para uma tensão de dreno de 10 mV, dos MOSFETs do tipo Diamante com α igual a $36,9^\circ$ e dos MOSFETs convencionais equivalentes, para as tecnologias CMOS de fabricação estudadas.....	71
Figura 3.4 – As curvas de I_{DS} em função de V_{GT} do MD e o seu equivalente MC e também as curvas de I_{DS} em função de V_{GT} do SMD e o seu equivalente SMC, polarizados na região de saturação.....	72
Figura 3.5 – As curvas de I_{DS}/C_{ox} em função de V_{GT} do MD e o seu equivalente MC e também do SMD e o seu equivalente SMC, polarizados na região de saturação.....	74
Figura 3.6 – Resultados experimentais da corrente de dreno com os MOSFETs polarizados na região de saturação em função do ângulo α , do MD e do seu equivalente MC em (a) e do SMD e do seu equivalente SMC em (b).....	75
Figura 3.7 – Gráfico de g_m em função de V_{GT} dos MOSFETs do tipo Diamante e seus equivalentes convencionais fabricados com as tecnologias CMOS (Bulk) e SOI CMOS.	77
Figura 3.8 - Gráfico de g_m em função de V_{GT} , dos MOSFETs do tipo Diamante e os convencionais equivalentes, com os dispositivos polarizados na região de saturação, para ambas as tecnologias de fabricação de CIs estudadas.	78

Figura 3.9 – Curvas da transcondutância normalizada pela capacitância do óxido de porta em função da sobretensão de porta dos MD, MC, SMD e SMC, com os dispositivos polarizados na região de saturação, para ambas as tecnologias de fabricação de CIs estudadas.....	80
Figura 3.10 – Gráfico das transcondutâncias em função do ângulo α do MC e do MD (a) e do SMC e SMD (b).....	81
Figura 3.11 – Curvas de I_{DS} em função de V_{DS} para diferentes valores de V_{GS} dos MOSFETs do tipo Diamante com α igual a $36,9^\circ$ e dos convencionais equivalentes para as tecnologias CMOS e SOI CMOS, utilizadas para a extração das tensões Early.	82
Figura 3.12 – Ganho da tensão Early dos MOSFETs do tipo Diamante em função do ângulo α em relação aos equivalentes convencionais, fabricados com a tecnologia CMOS convencional (a) e com a tecnologia SOI CMOS (b).....	84
Figura 3.13 – Curvas de i_{DS} em função de v_{GS} destacando-se a polarização dos dispositivos no ponto de operação. Em (a) MC, (b) MD, (c) SMC e (d) SMD.	88
Figura 3.14 – Formas de onda que foram registradas com o uso do osciloscópio no CACFCO implementado com os MOSFETs do tipo Diamante e dos respectivos convencionais equivalentes, apresentando os valores de v_{gspp} em amarelo (CH1) e v_{dspp} em verde (CH2) do MD em (a), MC em (b), SMD em (c) e SMC em (d), respectivamente.	91
Figura 3.15 – O ganho em porcentagem de A_{VO_MD} em relação ao A_{VO_MC} em função do ângulo α para a tecnologia CMOS convencional em (a) e para a tecnologia SOI CMOS em (b).....	93
Figura 3.16 – Gráfico do ganho de tensão em função da frequência do CACFCO implementado com o MD e o seu equivalente MC e também implementado com o SMD e o seu equivalente SMC.	95
Figura 3.17 – Gráfico do ganho normalizado em função da frequência do MD, MC, SMD e SMC.	97
Figura 3.18 – Defasagem dos sinais senoidais de saída v_{dspp} em relação à entrada v_{gspp} dos MOSFETs do tipo Diamante e dos convencionais equivalentes, das duas tecnologias estudadas, a CMOS (Bulk) e a SOI CMOS.	99
Figura A.1- CACFCO implementado com os MOSFETs sob teste	106

LISTA DE TABELAS

Tabela 3.1 – Dimensões dos MOSFETs convencionais e dos MOSFETs do tipo Diamante equivalentes para as tecnologias CMOS convencional (Bulk) e SOI CMOS, utilizados para o estudo experimental.	63
Tabela 3.2 – Valores das tensões de limiar dos MC, MD, SMC e SMD para diferentes ângulos α	68
Tabela 3.3 – Resultados experimentais da transcondutância de processo dos MOSFETs com a geometria de porta hexagonal e os convencionais equivalentes obtidos a partir das duas tecnologias estudadas, ou seja, a CMOS convencional e a SOI CMOS.....	70
Tabela 3.4 – Resultados experimentais dos ganhos de I_{DS} dos MOSFETs do tipo Diamante em relação aos MOSFETs convencionais equivalentes na região de saturação, para diferentes ângulos α	73
Tabela 3.5 – Transcondutâncias dos MOSFETs do tipo Diamante com diferentes ângulos α e os convencionais equivalentes para as tecnologias CMOS e SOI CMOS, operando na região de saturação. A tabela também mostra o ganho em percentual da transcondutância dos MOSFETs do tipo Diamante em relação aos convencionais equivalentes.	79
Tabela 3.6 – Módulos das tensões Early do MC e do seu equivalente MD e também do SMC e do seu equivalente SMD.	83
Tabela 3.7 – Valores calculados para realizar a polarização do MD e do seu equivalente MC, assim como para o SMD e o seu equivalente SMC.....	86
Tabela 3.8 – Os valores e a comparação entre os ganhos de tensão do CACFCO obtidos experimentalmente, utilizando os MOSFETs do tipo Diamante para diferentes α e os equivalentes convencionais, para ambas as tecnologias CMOS (Bulk e SOI).	92
Tabela 3.9 – As frequências do ganho de tensão unitário do CACFCO implementado com os MOSFETs do tipo Diamante e os equivalentes convencionais, para as duas diferentes tecnologias de fabricação de circuitos integrados estudadas, a CMOS e a SOI CMOS.....	96
Tabela 3.10 - As frequências de corte superiores dos MOSFETs do tipo Diamante e dos equivalentes convencionais, onde o ganho de tensão do CACFCO é reduzido em -3dB, para as duas tecnologias de fabricação de circuitos integrados estudadas, a CMOS e a SOI CMOS.	98

LISTA DE SÍMBOLOS

ΔV_{DS}	Variação na tensão entre dreno e fonte [V]
λ	Parâmetro da modulação do comprimento de canal [V^{-1}]
ω	Frequência angular [rad/s]
μ_n	Mobilidade dos elétrons na camada de inversão [$cm^2/(V.s)$]
ϵ_{si}	Constante da permissividade dielétrica do silício [F/cm]
ϵ_{ox}	Constante da permissividade dielétrica do óxido de silício [F/cm]
Φ_F	Potencial de Fermi [V]
Φ_{MSI}	Diferença de potencial da função trabalho entre metal e semiconductor [V]
A	Coefficiente angular da reta para determinação da transcondutância do processo [$A^{1/2}/V$]
A_G	Área da região de porta do MOSFET convencional e do MOSFET do tipo Diamante [μm^2]
A_{G_SOI}	Área da região de porta do SOI MOSFET convencional e do SOI MOSFET do tipo Diamante [μm^2]
A_{VO_MC}	Ganho de tensão do circuito amplificador com o MOSFET convencional [V/V]
A_{VO_MD}	Ganho de tensão do circuito amplificador com o MOSFET do tipo Diamante [V/V]
A_{VO_SMC}	Ganho de tensão do circuito amplificador com o MOSFET SOI convencional [V/V]
A_{VO_SMD}	Ganho de tensão do circuito amplificador com o MOSFET SOI do tipo Diamante [V/V]
b	Base menor que compõem o trapézio da região de porta hexagonal do MOSFET do tipo Diamante [μm]
B	Base maior que compõem o trapézio da região de porta hexagonal do MOSFET do tipo Diamante [μm]
B_w	Banda de passagem ou frequência intermediária [Hz]
c	Coefficiente linear da reta
C_1, C_2	Capacitores de acoplamento [F]
C_{gb}	Capacitância entre porta e canal e canal e substrato por unidade de área [F/ cm^2]
C_{gd}	Capacitância entre porta e dreno por unidade de área [F/ cm^2]

C_{gs}	Capacitância entre porta e fonte por unidade de área [F/cm ²]
C_{db}	Capacitância entre dreno e substrato por unidade de área [F/cm ²]
C_{sb}	Capacitância entre fonte e substrato por unidade de área [F/cm ²]
C_{ox}, C_{ox1}	Capacitância do óxido de porta por unidade de área [F/cm ²]
C_{ox_SOI}	Capacitância do óxido de porta por unidade de área para a tecnologia SOI [F/cm ²]
C_{ox2}	Capacitância do óxido da segunda interface por unidade de área [F/cm ²]
C_{si}	Capacitância da camada de silício por unidade de área [F/cm ²]
$d_{máx}$	Largura máxima da região de depleção [μm]
\vec{E}_1	Uma das componentes vetoriais de campo elétrico longitudinal ao longo do canal do MOSFET do tipo Diamante [V/cm]
\vec{E}_2	A outra componente vetorial de campo elétrico longitudinal ao longo do canal do MOSFET do tipo Diamante [V/cm]
\vec{E}_T	Vetor resultante do campo elétrico longitudinal ao longo do canal do MOSFET do tipo Diamante [V/cm]
f_{H_MC}	Frequência de corte superior do circuito amplificador com o MOSFET convencional [Hz]
f_{H_MD}	Frequência de corte superior do circuito amplificador com o MOSFET do tipo Diamante [Hz]
f_{H_SMC}	Frequência de corte superior do circuito amplificador com o MOSFET SOI convencional [Hz]
f_{H_SMD}	Frequência de corte superior do circuito amplificador com o MOSFET SOI do tipo Diamante [Hz]
f_L	Frequência de corte inferior [Hz]
f_{T_MC}	Frequência do ganho de tensão unitário do circuito amplificador com o MOSFET convencional [Hz]
f_{T_MD}	Frequência do ganho de tensão unitário do circuito amplificador com o MOSFET do tipo Diamante [Hz]
f_{T_SMC}	Frequência do ganho de tensão unitário do circuito amplificador com o MOSFET SOI convencional [Hz]
f_{T_SMD}	Frequência do ganho de tensão unitário do circuito amplificador com o MOSFET SOI do tipo Diamante [Hz]

g_m	Transcondutância do MOSFET fabricado com a tecnologia CMOS convencional [S]
g_{m_MC}	Transcondutância do MOSFET convencional [S]
g_{m_MD}	Transcondutância do MOSFET do tipo Diamante [S]
g_{m_SMC}	Transcondutância do MOSFET SOI convencional [S]
g_{m_SMD}	Transcondutância do MOSFET SOI do tipo Diamante [S]
g_{mmax_MC}	Transcondutância máxima na região de triodo do MOSFET convencional [S]
g_{mmax_MD}	Transcondutância máxima na região de triodo do MOSFET do tipo Diamante [S]
g_{mmax_SMC}	Transcondutância máxima na região de triodo do MOSFET SOI convencional [S]
g_{mmax_SMD}	Transcondutância máxima na região de triodo do MOSFET SOI do tipo Diamante [S]
i_{ds}	Componente instantânea alternada da corrente entre dreno e fonte [A]
I_{DS}	Componente cc da corrente entre dreno e fonte [A]
i_{DS}	Corrente entre dreno e fonte com as componentes contínua e alternada [A]
i_{DSmax_MC}	Corrente máxima de dreno com as componentes contínua e alternada do MOSFET convencional [A]
i_{DSmin_MC}	Corrente mínima de dreno com as componentes contínua e alternada do MOSFET convencional [A]
i_{DSmax_MD}	Corrente máxima de dreno com as componentes contínua e alternada do MOSFET do tipo Diamante [A]
i_{DSmin_MD}	Corrente mínima de dreno com as componentes contínua e alternada do MOSFET do tipo Diamante [A]
i_{DSmax_SMC}	Corrente máxima de dreno com as componentes contínua e alternada do MOSFET SOI convencional [A]
i_{DSmin_SMC}	Corrente mínima de dreno com as componentes contínua e alternada do MOSFET SOI convencional [A]
i_{DSmax_SMD}	Corrente máxima de dreno com as componentes contínua e alternada do MOSFET SOI do tipo Diamante [A]
i_{DSmin_SMD}	Corrente mínima de dreno com as componentes contínua e alternada do MOSFET SOI do tipo Diamante [A]
I_{DSQ}	Corrente ente dreno e fonte no ponto quiescente [A]

I_{DS_MC}	Componente cc da corrente entre dreno e fonte para o MOSFET com porta retangular [A]
I_{DS_MD}	Componente cc da corrente entre dreno e fonte para o MOSFET do tipo Diamante [A]
I_{DS_SMC}	Componente cc da corrente entre dreno e fonte para o SOI MOSFET com porta retangular [A]
I_{DS_SMD}	Componente cc da corrente entre dreno e fonte para o SOI MOSFET do tipo Diamante [A]
I_S	Corrente de entrada do amplificador fonte comum no domínio da frequência [A]
I_{DLeak}	Corrente de fuga no dreno [A]
I_o	Corrente de saída do amplificador fonte comum no domínio da frequência [A]
Kn_MC	Transcondutância de processo do MOSFET convencional [A/V^2]
Kn_MD	Transcondutância de processo do MOSFET do tipo Diamante [A/V^2]
Kn_SMC	Transcondutância de processo do MOSFET SOI convencional [A/V^2]
Kn_SMD	Transcondutância de processo do MOSFET SOI do tipo Diamante [A/V^2]
L_{ef}	Comprimento efetivo de canal do MOSFET [μm]
L_N	Comprimento médio de canal correspondente ao enésimo MOSFET [μm]
m	Coefficiente angular da reta para determinação da tensão Early [A/V]
n	Fator de corpo
N	Número de MOSFETs associados em paralelo
N_A	Concentração de átomos aceitadores [cm^{-3}]
q	Carga elementar do elétron [C]
Q_{OX1}	Densidade de cargas fixas na primeira interface [C/cm^2]
Q_{depl}	Carga total de depleção da camada de silício [C/cm^2]
R_{DS_ON}	Resistência entre dreno e fonte com o MOSFET em estado ligado [Ω]
r_o	Resistência diferencial de saída do MOSFET [Ω]
R_D	Resistência de polarização conectada ao dreno [Ω]
R_{G1}, R_{G2}	Resistências que compõem o divisor de tensão do circuito amplificador fonte comum [Ω]
t_{ox}	Espessura da camada de óxido de porta [μm]
t_{ox1}	Espessura da camada de óxido de porta da primeira interface [μm]
t_{si}	Espessura do filme de silício [μm]

t_{box}	Espessura da camada de óxido enterrado [μm]
V_{DD}	Fonte de tensão de alimentação contínua aplicada ao dreno [V]
V_{DS}	Tensão cc entre dreno e fonte [V]
v_{ds}	Componente instantânea alternada da tensão entre dreno e fonte [V]
v_{DS}	Tensão entre dreno e fonte com as componentes contínua e alternada [V]
$V_{\text{DSmax_MC}}$	Tensão de dreno máxima com as componentes contínua e alternada do MOSFET convencional [V]
$V_{\text{DSmin_MC}}$	Tensão de dreno mínima com as componentes contínua e alternada do MOSFET convencional [V]
$V_{\text{DSmax_MD}}$	Tensão de dreno máxima com as componentes contínua e alternada do MOSFET do tipo Diamante [V]
$V_{\text{DSmin_MD}}$	Tensão de dreno mínima com as componentes contínua e alternada do MOSFET do tipo Diamante [V]
$V_{\text{DSmax_SMC}}$	Tensão de dreno máxima com as componentes contínua e alternada do MOSFET SOI convencional [V]
$V_{\text{DSmin_SMC}}$	Tensão de dreno mínima com as componentes contínua e alternada do MOSFET SOI convencional [V]
$V_{\text{DSmax_SMD}}$	Tensão de dreno máxima com as componentes contínua e alternada do MOSFET SOI do tipo Diamante [V]
$V_{\text{DSmin_SMD}}$	Tensão de dreno mínima com as componentes contínua e alternada do MOSFET SOI do tipo Diamante [V]
V_{DSQ}	Tensão entre dreno e fonte no ponto quiescente [V]
V_{EA}	Tensão Early [V]
V_{FB}	Tensão de faixa plana [V]
v_{gs}	Componente instantânea alternada da tensão entre porta e fonte [V]
v_{gspp}	Componente instantânea alternada de pico-a-pico da tensão entre porta e fonte [V]
V_{G}	Tensão aplicada na camada de metal do capacitor MOS [V]
V_{G1}	Tensão da primeira porta [V]
V_{G2}	Tensão da segunda porta [V]
V_{GS}	Componente contínua da tensão entre porta e fonte [V]
v_{GS}	Tensão entre porta e fonte com as componentes contínua e alternada [V]
$V_{\text{GSmax_MC}}$	Tensão de porta máxima com as componentes contínua e alternada do MOSFET convencional [V]

V_{GSmin_MC}	Tensão de porta mínima com as componentes contínua e alternada do MOSFET convencional [V]
V_{GSmax_MD}	Tensão de porta máxima com as componentes contínua e alternada do MOSFET do tipo Diamante [V]
V_{GSmin_MD}	Tensão de porta mínima com as componentes contínua e alternada do MOSFET do tipo Diamante [V]
V_{GSmax_SMC}	Tensão de porta máxima com as componentes contínua e alternada do MOSFET SOI convencional [V]
V_{GSmin_SMC}	Tensão de porta mínima com as componentes contínua e alternada do MOSFET SOI convencional [V]
V_{GSmax_SMD}	Tensão de porta máxima com as componentes contínua e alternada do MOSFET SOI do tipo Diamante [V]
V_{GSmin_SMD}	Tensão de porta mínima com as componentes contínua e alternada do MOSFET SOI do tipo Diamante [V]
V_{gs}	Tensão entre porta e fonte representada no domínio da frequência [V]
V_{GSQ}	Tensão entre porta e fonte no ponto quiescente [V]
V_{GT}	Sobretensão de porta [V]
V_O	Tensão de saída no amplificador fonte comum no domínio da frequência [V]
V_S	Fonte de tensão representada no domínio da frequência [V]
V_T	Tensão de limiar [V]
V_{T_MD}	Tensão de limiar do MOSFET do tipo Diamante [V]
V_{T1acc2}	Tensão de limiar da primeira interface com a segunda interface acumulada do SOI MOSFET [V]
V_{T1inv2}	Tensão de limiar da primeira interface com a segunda interface invertida do SOI MOSFET [V]
$V_{T1depl2}$	Tensão de limiar da primeira interface com a segunda interface depletada do SOI MOSFET [V]
W	Largura do canal do MOSFET [μm]
α	Ângulo formado entre as junções metalúrgicas das regiões de fonte e dreno e a região de canal do MOSFET do tipo Diamante [$^\circ$]
β	Acoplamento capacitivo [adimensional]

LISTA DE ABREVIATURAS

ca	Componente alternada ou sinal variável no tempo
cc	Componente contínua ou sinal não variável no tempo
CMOS	“ <i>Complementary metal oxide semiconductor</i> ”, metal-óxido-semicondutor complementar
CACFCO	Circuito amplificador em configuração fonte comum
DIBL	“ <i>Drain-induced barrier lowering</i> ”, Redução da barreira de potencial induzida pelo dreno
FDSOI	“ <i>Fully depleted SOI</i> ”, SOI MOSFET totalmente depletado
LCE	“ <i>Longitudinal corner effect</i> ”, Efeito de canto na direção longitudinal ao longo do canal
MOSFET	“ <i>Metal oxide semiconductor field effect transistor</i> ”, Transistor de efeito de campo metal-óxido-semicondutor
MC	MOSFET com a porta retangular convencional
MD	MOSFET do tipo Diamante
MEP	“ <i>MOSIS Educational program</i> ”, Programa educacional do MOSIS
nMOSFET	Transistor de efeito de campo metal-óxido-semicondutor do tipo n
PAMDLE	“ <i>Parallel association of MOSFETs with different channel lengths effect</i> ”, Associação em paralelo de MOSFETs com diferentes comprimentos de canais
SOI	“ <i>Silicon on insulator</i> ”, Silício sobre isolante
SMC	SOI MOSFET com a porta retangular convencional
SMD	SOI MOSFET do tipo Diamante
UCL	“ <i>Université Catholique de Louvain</i> ”, Universidade católica de Leuven

SUMÁRIO

1	INTRODUÇÃO.....	23
2	CONCEITOS BÁSICOS.....	30
2.1	Estrutura do MOSFET com a geometria de porta hexagonal.....	30
2.2	Tensão de limiar	35
2.3	A corrente de saturação entre dreno e fonte do MOSFET convencional e seu equivalente MOSFET do tipo Diamante	38
2.4	Transcondutância de processo.....	40
2.5	Transcondutância.....	42
2.6	Tensão Early.....	43
2.7	O circuito amplificador fonte comum e a comparação entre as polarizações do MOSFET convencional e o seu equivalente MOSFET do tipo Diamante considerando-se o mesmo ponto de operação.....	45
2.8	Análise do MOSFET convencional operando como um circuito amplificador em configuração fonte comum.....	50
2.9	Análise do MOSFET do tipo Diamante operando como um circuito amplificador em configuração fonte comum.....	52
2.10	Resposta em frequência de um amplificador fonte comum e o modelo para pequenos sinais do MOSFET.....	54
2.11	O comportamento do circuito amplificador fonte comum para as altas frequências	57
2.12	A frequência de ganho unitário	61
3	RESULTADOS EXPERIMENTAIS.....	63
3.1	Os dispositivos usados para o estudo experimental da resposta em frequência ..	63
3.2	O sistema de medidas	64
3.3	O procedimento experimental.....	67
3.4	A tensão de limiar.....	68
3.5	A característica da raiz quadrada da corrente de dreno em função da sobretensão de porta	68
3.6	A característica da corrente I_{DS} em função da sobretensão de porta	71
3.7	Transcondutância.....	76
3.8	Tensão Early.....	82

3.9 A característica de I_{DS} em função de V_{GS} no ponto de operação e o ganho de tensão em baixas frequências.....	85
3.10 Resultados experimentais do ganho de tensão do CACFCO implementado com os MOSFETs em baixas frequências	89
3.11 O estudo experimental da resposta em frequência do circuito amplificador fonte comum implementado com os MOSFETs.....	94
3.12 O estudo da defasagem entre a tensão de dreno em relação à tensão de porta....	99
4 CONCLUSÕES E PRÓXIMAS ETAPAS DO TRABALHO	101
REFERÊNCIAS	104
APÊNDICE A	106

1 INTRODUÇÃO

Muitas pesquisas realizadas na atualidade têm por objetivo aumentar a capacidade de integração dos circuitos integrados, a redução nos custos dos processos de manufatura, no aumento do desempenho dos dispositivos, e focam principalmente nas aplicações de circuitos integrados (CIs) digitais, que envolvem grandes capacidades de processamento e armazenamento de dados [1]. Da mesma maneira, os circuitos integrados analógicos, tais como, os amplificadores, os filtros, os conversores de sinais analógicos para digitais e o processador digital de sinais, têm sido também alvo de estudos para maximizar o seu desempenho [1]. Muitos trabalhos publicados comprovam que, com a redução das dimensões dos transistores de efeito de campo do tipo metal-óxido-semicondutor (MOSFET), surgem efeitos indesejados, dentre eles, os efeitos de canal curto, que comprometem o funcionamento adequado dos dispositivos [2].

A tecnologia de silício sobre isolante (SOI), baseada em um processo que utiliza uma camada de óxido enterrado entre a região do canal e o substrato do MOSFET, contribuiu para a redução das dimensões dos dispositivos [2]. Através desta tecnologia pode-se reduzir o efeito de canal curto quando comparados à tecnologia metal-óxido-semicondutor complementar (CMOS) convencional (Bulk) [2]. No início, quando foi proposta, muitos fabricantes de semicondutores não deram credibilidade à nova tecnologia e diziam ser impraticável devido ao alto custo da lâmina de silício [3]. No entanto, atualmente ela vem sendo usada, pois proporciona um melhor desempenho elétrico para os circuitos integrados digitais, tais como, nas aplicações em microprocessadores, conquistando assim, a devida aceitação [3].

Os excelentes resultados alcançados pela tecnologia SOI motivaram os pesquisadores a buscarem inovações através da criação de novas estruturas de transistores. No início da década de 80, estudos foram realizados em transistores de múltiplas portas ou “Multigate FETs”, também conhecidos como dispositivos tridimensionais [3]. Essas novas estruturas de MOSFETs trazem benefícios, tais como, a redução de efeitos de canal curto e o efeito conhecido como a redução da barreira de potencial induzida pelo dreno, “*Drain induced barrier lowering*” (DIBL) [3].

Com foco na tecnologia planar, foi desenvolvido e patenteado no centro universitário da FEI e atualmente está sendo estudado um novo tipo de transistor, o MOSFET do tipo

Diamante (MD), assim chamado devido ao seu leiaute inovador, que modificou a geometria de porta retangular para a hexagonal [4].

A Figura 1.1.a mostra a estrutura tridimensional do MOSFET com canal do tipo N (nMOSFET) e com a geometria de porta retangular convencional. Já a Figura 1.1.b mostra a estrutura tridimensional do nMOSFET com a geometria de porta hexagonal ou nMOSFET do tipo Diamante, onde ambas as estruturas são representadas em um processo de fabricação de circuitos integrados com a tecnologia CMOS convencional (Bulk). Nas Figuras 1.1.c e 1.1.d estão representadas as estruturas tridimensionais do SOI nMOSFET convencional (SMC) e o SOI nMOSFET do tipo Diamante (SMD), respectivamente, ambos para a tecnologia SOI CMOS.

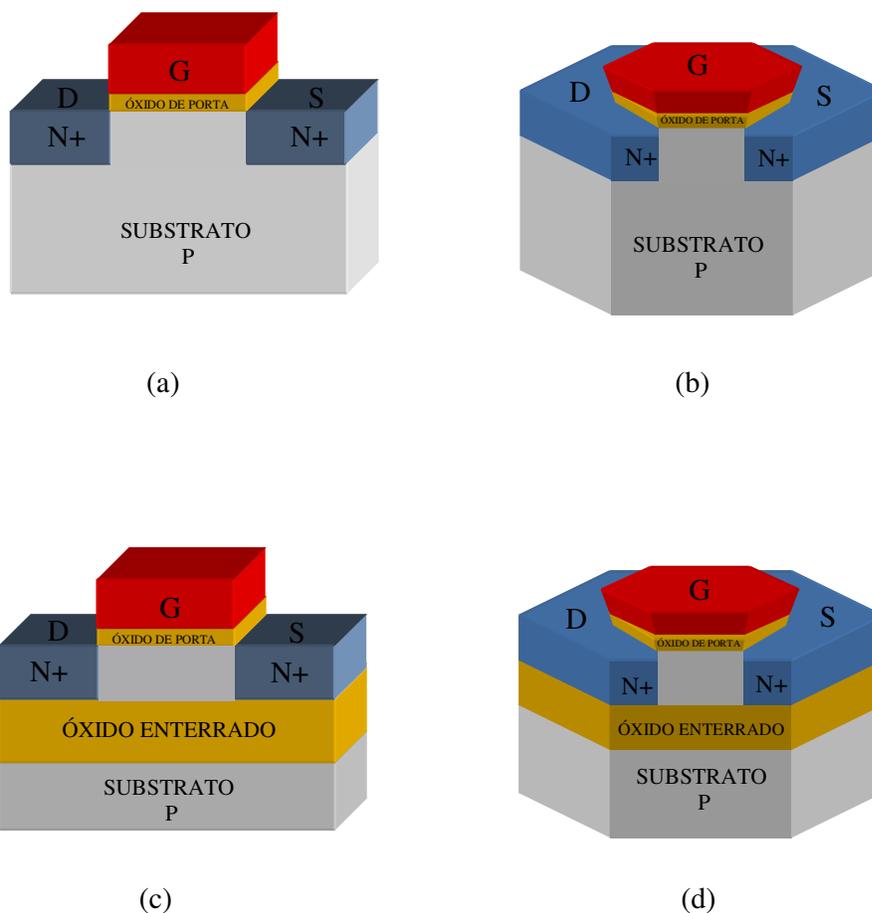


Figura 1.1 – Estruturas tridimensionais dos nMOSFETs em tecnologia convencional (a) e com a geometria de porta hexagonal (b) dos SOI nMOSFETs com a geometria de porta retangular (c) e com a geometria de porta hexagonal (d).

Na Figura 1.1 G, S e D são as regiões de porta, fonte e dreno, respectivamente, onde N+ são as regiões altamente dopadas com átomos pentavalentes e P corresponde à dopagem do tipo p (átomos aceitadores) do substrato.

A Figura 1.2 apresenta a vista superior de um MOSFET do tipo Diamante, destacando-se as regiões de dreno, porta e fonte.

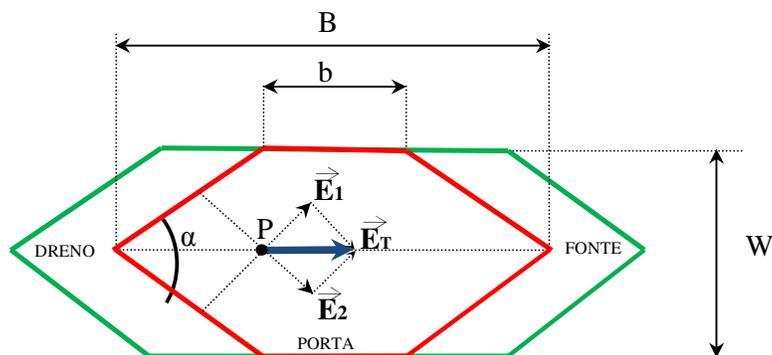


Figura 1.2 - Vista superior de um MOSFET do tipo Diamante.

Pode-se observar pela Figura 1.2, que dividindo-se ao meio a área hexagonal de porta, obtém-se dois trapézios, onde B e b definem respectivamente a base maior e a base menor desses trapézios. O W é a largura do canal; α é o ângulo formado pelas junções metalúrgicas do dreno e da fonte com o filme de silício da região do canal; \vec{E}_1 e \vec{E}_2 são as componentes vetoriais do campo elétrico longitudinal que são geradas devido à aplicação da polarização entre as regiões de dreno e fonte (V_{DS}). Já, \vec{E}_T é o vetor resultante do campo elétrico longitudinal ao longo do canal, que é dado pela soma vetorial das componentes vetoriais \vec{E}_1 e \vec{E}_2 [4].

A simples alteração do leiaute da região de porta retangular para a hexagonal equivalente permite uma série de benefícios no comportamento elétrico do MOSFET do tipo Diamante. Esta geometria de porta hexagonal proporciona ao transistor o efeito de canto na direção longitudinal do canal “*longitudinal corner effect*” (LCE), a qual é benéfica ao funcionamento do MOSFET do tipo Diamante, quando comparado ao equivalente convencional, considerando-se a mesma área de porta, fator geométrico e condições de polarização [4].

Um estudo comparativo entre os nMOSFETs parcialmente depletados de porta hexagonal e os equivalentes convencionais, para diferentes ângulos α , com a mesma área de porta e condições de polarização, foi realizado por simulações numéricas 3D em tecnologia

SOI. Este estudo reporta que há um aumento significativo no campo elétrico longitudinal, na região onde é formado o canal, onde o campo elétrico longitudinal do MOSFET do tipo Diamante para o ângulo de 55° é aproximadamente oito vezes maior que aquele encontrado no MOSFET convencional, o que resulta em uma maior velocidade média de deriva dos portadores móveis ao longo do canal, quando comparado ao equivalente convencional [4]. Este aumento no campo elétrico longitudinal ao longo do canal causa um aumento na corrente elétrica, entre as regiões de dreno e fonte (I_{DS}) dos MOSFETs do tipo Diamante em comparação ao seu equivalente convencional, considerando-se o mesmo fator geométrico, área de porta e condições de polarização [4]. Com um menor ângulo α , que neste estudo foi de $36,9^\circ$, o MOSFET do tipo Diamante para a tecnologia SOI CMOS apresentou como resultado de simulações numéricas 3D uma I_{DS} que é 139% maior que a do convencional equivalente, na região de saturação [4], [5]. Este maior valor de I_{DS} encontrado para o MOSFET do tipo Diamante, quando comparado ao valor do convencional equivalente, promove também um aumento na transcondutância (g_m) [5].

Um resultado também importante observado pelas simulações numéricas 3D é o fato em que as resistências série entre as regiões de dreno e fonte de estado ligado ($R_{DS_{on}}$) do MOSFET do tipo Diamante, mantiveram-se sempre menores que as dos convencionais equivalentes [5]. Dessa forma, para as aplicações de circuitos integrados digitais, onde a velocidade de operação é um fator preponderante, o estilo de leiaute do tipo Diamante oferece ao circuito integrado digital um desempenho melhor, quando comparado ao que pode ser oferecido pelos convencionais equivalentes, considerando-se a mesma área de porta, fator geométrico e condições de polarização [5].

Uma desvantagem da estrutura com a geometria de porta hexagonal em comparação à estrutura com a geometria de porta convencional, apontada nas simulações numéricas realizadas para os SOI nMOSFETs diz respeito a tensão Early (V_{EA}), principalmente quando o ângulo α é menor ou igual a 90° . Neste caso, a tensão Early do MOSFET do tipo Diamante é menor e portanto, apresenta um pior desempenho quando comparada aos seus equivalentes convencionais, devido ao maior campo elétrico longitudinal resultante na região de dreno dos MOSFETs do tipo Diamante [5].

À medida que o ângulo α do MOSFET do tipo Diamante aproxima-se de 180° , o seu comportamento se assemelha ao do convencional equivalente [5].

Elaborou-se também, através de simulações numéricas tridimensionais, um estudo relacionado ao comportamento das estruturas do tipo Diamante e do convencional para a tecnologia SOI CMOS, com o intuito de avaliar o comportamento em altas temperaturas, onde

neste caso o MOSFET do tipo Diamante apresenta uma maior corrente de dreno na região de sublimar, quando comparado ao seu equivalente convencional, para todos os ângulos α , devido à maior área de junção metalúrgica entre as regiões de dreno e do filme de silício onde o canal é formado, pois nessa região a corrente elétrica é regida pelo processo de difusão de portadores [6].

Ambos os transistores apresentam variação em I_{DS} em função do aumento da temperatura, contudo o MOSFET SOI do tipo Diamante apresenta uma maior variação nas correntes de fuga no dreno (I_{DLeak}) [6]. Conforme o ângulo α é reduzido, maior é o acréscimo em I_{DLeak} em relação ao equivalente convencional [6].

Os resultados obtidos, através dos estudos comparativos entre as estruturas com a geometria de porta hexagonal, em relação as estruturas de porta convencional, realizados por meio de simulações numéricas 3D, foram confirmados com a implementação de dispositivos, em um processo CMOS convencional com tecnologia de 0,35 μm da On-semiconductor, via o programa educacional do MOSIS (MEP), o qual possibilitou uma avaliação experimental e a comparação do desempenho elétrico entre o MOSFET do tipo Diamante, e o equivalente convencional [7]. Comprovou-se por meio destes resultados experimentais, que os MOSFETs com a geometria de porta hexagonal, para valores reduzidos de α , causam uma forte influência na I_{DS} [7]. A corrente de dreno do MOSFET do tipo Diamante, sob as mesmas condições de polarização, fator geométrico e área de porta, apresenta sempre um maior valor, chegando a ser 168% maior que aquele medido no convencional equivalente na região de triodo, para um ângulo α de 36,9° [7]. Os valores experimentais de I_{DS} , g_m , a razão g_m/I_{DS} e R_{DS_on} provaram que o desempenho dos MOSFETs do tipo Diamante são superiores a aqueles observados nos convencionais equivalentes [7].

A tensão Early obtida experimentalmente, do MOSFET do tipo Diamante com α menor que 126,9°, apresentou um pior desempenho que aquele encontrado para o convencional equivalente e portanto não seria conveniente sua aplicação em estágios de saída de circuitos integrados analógicos, mas sim, em circuitos integrados digitais, operando como chaves e “drivers” de corrente [7]. Isto ocorre porque o campo elétrico longitudinal na região de dreno, do estilo de leiaute do tipo Diamante, é maior que aquele existente no equivalente convencional [7].

A Figura 1.3 apresenta um exemplo de correspondência entre o leiaute e a fotografia do nMOSFET do tipo Diamante. Na Figura 1.3.a é mostrado o leiaute e na Figura 1.3.b, a fotografia do dispositivo fabricado com um processo CMOS convencional (Bulk) de 0,35 μm da On-Semiconductor, via MOSIS [7].

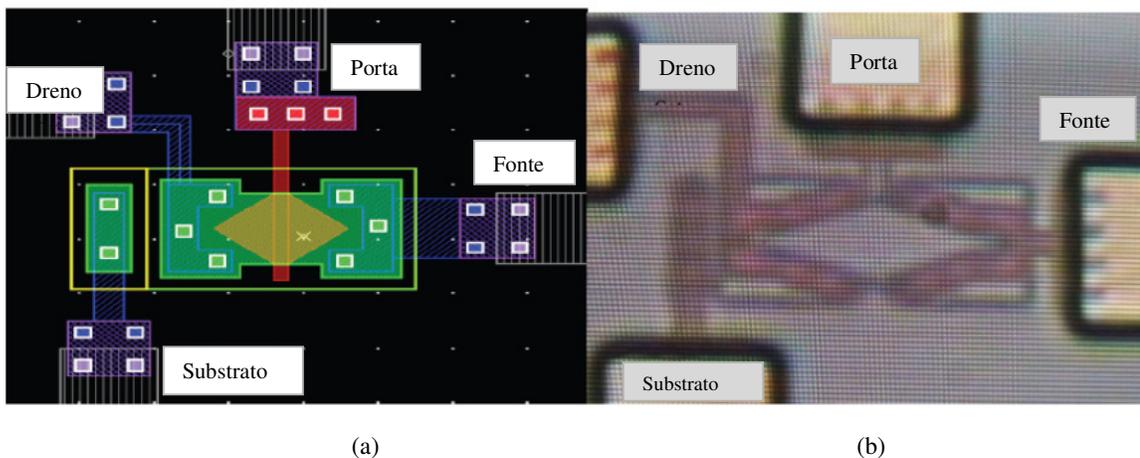


Figura 1.3 – Exemplo de leiaute implementado através do “IC Station” (a) e a foto correspondente do MOSFET do tipo Diamante implementado com a tecnologia CMOS de 0,35 μm da ON-Semiconductor, via MOSIS (b) [7].

Sabe-se que o ganho de tensão em malha aberta (A_{VO}) do MOSFET é diretamente proporcional à tensão Early e à razão da transcondutância pela corrente entre dreno e fonte (g_m/I_{DS}) [2]. Além disso, através da metodologia do desenvolvimento de projetos de CIs analógicos de baixa tensão, baixa potência (*low power low voltage*), que leva em consideração a curva característica universal de g_m/I_{DS} em função de $I_{DS}/(W/L)$, é possível verificar qual é o regime de inversão em que o MOSFET está operando, ou seja, regiões de inversão fraca, moderada ou forte [8]. Resultados obtidos experimentalmente, considerando-se as mesmas condições de polarização, área de porta e fator geométrico da estrutura do tipo Diamante e da convencional, mostraram que a razão g_m/I_{DS} do MOSFET do tipo Diamante é sempre maior que aquela observada no MOSFET convencional equivalente nas regiões de inversão moderada e forte [7], [9].

Os ganhos de tensão em malha aberta são maiores para os MOSFETs do tipo Diamante para todos os ângulos α estudados, quando comparados aos MOSFETs convencionais, pois a razão g_m/I_{DS} dos MOSFETs do tipo Diamante são numericamente maiores que a dos convencionais equivalentes, embora suas tensões Early sejam inferiores para ângulos α menores que $126,9^\circ$, quando comparadas a dos convencionais equivalentes [9].

O MOSFET do tipo Diamante para o ângulo α de $36,9^\circ$ apresentou um ganho de tensão em malha aberta de baixas frequências 80% maior que aquele encontrado experimentalmente para o MOSFET convencional equivalente [9]. Quanto menor for o ângulo α do MOSFET com geometria de porta hexagonal, maior é a diferença entre os ganhos de tensão em malha aberta, considerando-se as mesmas condições de polarização, fator

geométrico e área de porta, que aquele encontrado no MOSFET convencional equivalente [9]. Resultados semelhantes foram observados para a frequência de ganho de tensão unitário (f_T), do MOSFET do tipo Diamante, alcançando um valor 91% maior que aquele encontrado no MOSFET convencional equivalente [9]. Portanto, o estilo de leiaute do tipo Diamante é uma boa alternativa para a aplicação em circuitos integrados analógicos [9].

Os ótimos resultados obtidos para a resposta em frequência do MOSFET do tipo Diamante, em relação ao convencional equivalente, através de simulações numéricas tridimensionais e confirmados de forma experimental, motivaram o desenvolvimento deste trabalho.

Dessa forma, o objetivo desta pesquisa é realizar um estudo experimental completo da resposta em frequência entre o MOSFET do tipo Diamante e o seu convencional equivalente. Na pesquisa são considerados a mesma área de porta, o mesmo fator geométrico e a mesma corrente entre fonte e dreno, para a tecnologia CMOS convencional (Bulk) e a SOI CMOS.

Esta obra está organizada sob a forma de quatro capítulos. Neste primeiro capítulo, é apresentada uma descrição do MOSFET do tipo Diamante e o objetivo da pesquisa.

No segundo capítulo, são descritos os conceitos básicos que dão suporte teórico para o entendimento desta pesquisa. A estrutura do MOSFET do tipo Diamante é apresentada de forma mais detalhada no capítulo dois. Também são apresentados os conceitos sobre a tensão de limiar, a transcondutância, a tensão Early, e por fim é abordado o assunto de resposta em baixas e altas frequências, assim como seus modelos e equações que descrevem o seu comportamento.

No terceiro capítulo, são apresentados os resultados dos ensaios experimentais, da resposta em frequência do circuito amplificador em configuração fonte comum implementado com os MOSFETs do tipo Diamante, para diferentes ângulos α , e comparados aos convencionais equivalentes, considerando-se duas diferentes tecnologias de fabricação de circuitos integrados, a CMOS convencional (Bulk) e a SOI CMOS.

No quarto capítulo, é concluída a pesquisa e são sugeridas as possíveis etapas de outros estudos complementares a este.

2 CONCEITOS BÁSICOS

Neste capítulo, são apresentados os conceitos que dão suporte teórico para o entendimento do desenvolvimento deste trabalho, como a descrição da estrutura do MOSFET do tipo enriquecimento com a geometria de porta hexagonal, implementado em tecnologia CMOS convencional (bulk) e em tecnologia SOI CMOS. Apresentam-se também as características elétricas e geométricas do MOSFET do tipo Diamante, os conceitos sobre a tensão de limiar, a corrente de dreno na região de saturação, a transcondutância, a tensão Early, a transcondutância de processo, a polarização do circuito amplificador configurado em fonte comum com divisor de tensão na porta e o seu equacionamento para a caracterização elétrica da resposta em frequência dos dispositivos. São igualmente descritos os conceitos sobre o comportamento do circuito amplificador implementado com MOSFETs operando em baixas e altas frequências.

2.1 Estrutura do MOSFET com a geometria de porta hexagonal

As estruturas do MOSFET do tipo Diamante são apresentadas na Figura 2.1 em diferentes tecnologias de lâminas utilizadas pelo processo de fabricação de circuitos integrados CMOS.

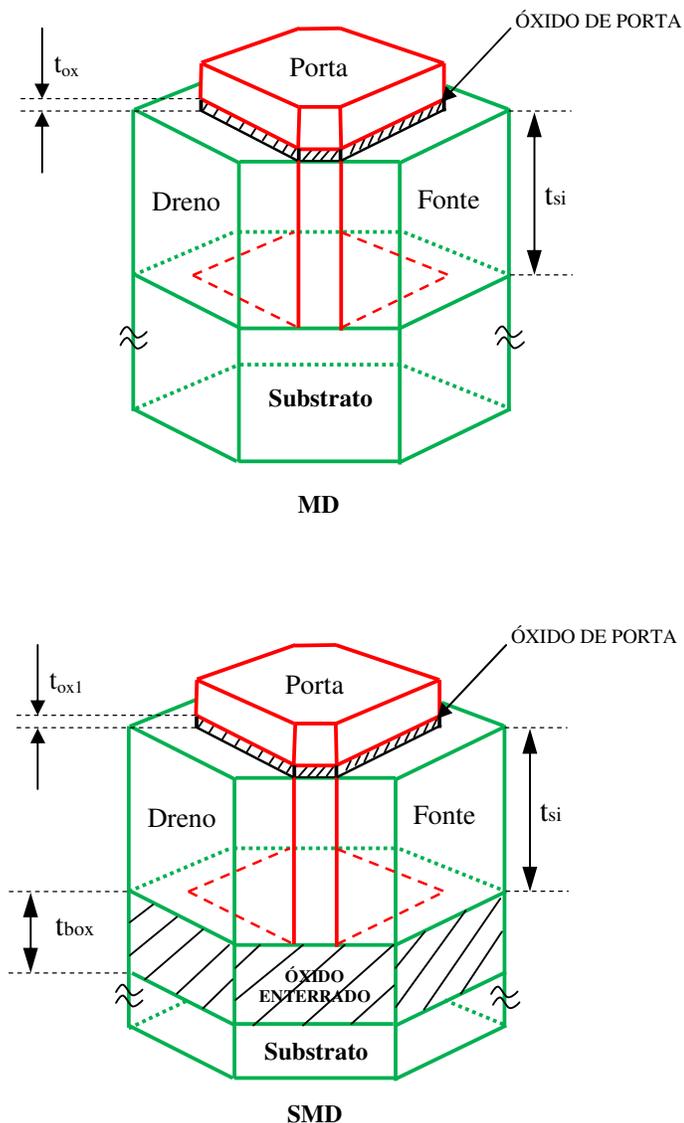


Figura 2.1 – Estruturas tridimensionais do estilo de leiaute do tipo Diamante com a tecnologia CMOS convencional (a) e com a tecnologia SOI CMOS em (b).

Na Figura 2.1, t_{ox} é a espessura da camada de óxido de porta, t_{ox1} é a espessura da camada de óxido de porta da primeira interface, t_{si} é a espessura do filme de silício e t_{box} é a espessura da camada de óxido enterrado.

A camada de óxido enterrado no substrato proporciona uma série de melhorias nas características elétricas, tais como, o aumento na corrente entre dreno e fonte e a redução das capacitâncias de junção de fonte e dreno do SOI MOSFET, em relação ao MOSFET convencional [2].

Devido à geometria de porta hexagonal do MOSFET do tipo Diamante, o efeito de canto longitudinal é gerado a partir da tensão V_{DS} , que é aplicada entre as regiões de dreno e fonte [5]. Dessa forma, são geradas duas componentes de campo elétrico longitudinal, \vec{E}_1 e \vec{E}_2 , que são perpendiculares às junções metalúrgicas entre as regiões de dreno/fonte e a região do canal [5]. Estas componentes são somadas vetorialmente, intensificando-se o campo elétrico longitudinal resultante \vec{E}_T na região do canal da estrutura do tipo Diamante em relação ao equivalente convencional. Como consequência, é gerada uma maior velocidade média de deriva dos portadores móveis na região do canal, potencializando-se a corrente elétrica entre as regiões de dreno e fonte e também a transcondutância, reduzindo-se substancialmente a resistência série entre dreno e fonte de estado ligado do MOSFET do tipo Diamante, quando comparado ao MOSFET convencional equivalente [4], [5].

Considerando-se que a região de porta hexagonal é formada por dois trapézios, como indicado na Figura 1.2, o comprimento do canal (L) pode ser encontrado, em primeira aproximação, através do valor médio dos comprimentos das bases menor e maior, de acordo com a equação (2.1) [4].

$$L = \frac{b+B}{2} \quad (2.1)$$

Pode-se obter as dimensões do MOSFET do tipo Diamante, a partir das dimensões W e L do seu equivalente convencional, Sendo assim, escolhendo-se o valor de b de tal forma que seja possível a implementação do MOSFET do tipo Diamante sem que ocorra o efeito de canal curto, obtém-se o comprimento de B de acordo com a equação (2.2) [5].

$$B = 2L - b \quad (2.2)$$

O ângulo α pode ser calculado a partir da equação (2.3) [4].

$$\alpha = 2 \tan^{-1} \left(\frac{W}{B - b} \right) \quad (2.3)$$

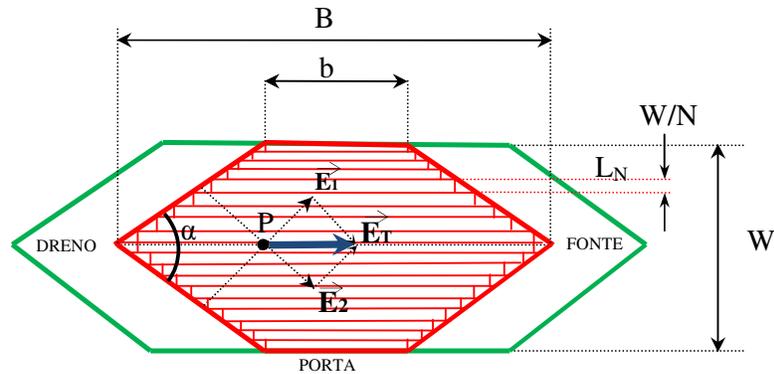
Considerando-se o mesmo valor de W , tanto para o MOSFET do tipo Diamante, assim como para o MOSFET convencional, sendo conhecida a dimensão de L da estrutura convencional, pode-se estabelecer uma equivalência entre a área de porta (A_G) do MOSFET do tipo Diamante com a área de porta do MOSFET convencional de acordo com a equação (2.4) [5].

$$A_G = \left(\frac{b+B}{2} \right) \frac{W}{2} 2 = WL \quad (2.4)$$

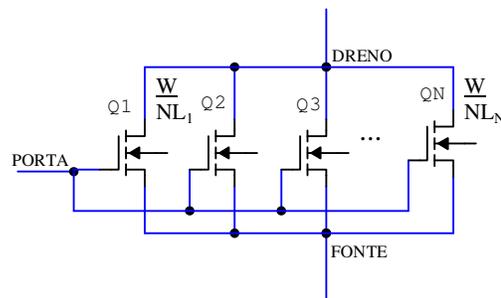
Desta forma é possível comparar-se o desempenho do MOSFET do tipo Diamante em relação ao convencional equivalente.

Quando o ângulo α se aproxima de 180° , o comportamento elétrico do MOSFET do tipo Diamante é praticamente o mesmo que aquele encontrado no convencional equivalente, considerando-se uma mesma área de porta, fator geométrico e condições de polarização [4]. Contudo, quando o ângulo α é reduzido tendendo a 0° , o campo elétrico longitudinal resultante ao longo do canal é significativamente aumentado e conseqüentemente aumentam-se a velocidade média de deriva dos portadores móveis ao longo do canal, a corrente elétrica entre as regiões de dreno e fonte, a transcondutância, e é reduzida a R_{DS_ON} [4].

Ocorrem dois efeitos simultaneamente na estrutura do MOSFET do tipo Diamante, o LCE, definido anteriormente e o segundo efeito é o da associação em paralelo de MOSFETs com diferentes comprimentos de canais “*Parallel association of MOSFETs with different channel lengths effect*”, (PAMDLE) [10]. Sendo assim, a estrutura do tipo Diamante pode também ser eletricamente representada como uma associação em paralelo de N transistores, sendo que a largura de canal de cada transistor da associação em paralelo representada por W/N e o comprimento de canal destes transistores variam de b a B como representado na Figura 2.2 [10].



(a)



(b)

Figura 2.2 – Representação dos dois efeitos presentes na estrutura com a geometria de porta hexagonal, o LCE e o PAMDLE: a vista de topo da estrutura do tipo Diamante com a área de porta dividida em vários transistores com diferentes comprimentos de canal (a); a representação do circuito elétrico equivalente dos N transistores associados em paralelo (b).

Onde N é o número de MOSFETs associados em paralelo e L_N é o comprimento médio de canal correspondente ao n ésimo MOSFET [10].

Em consequência deste segundo efeito, a corrente de dreno tende a fluir mais pelas bordas que pelo centro da região de porta, pois quanto menor for o comprimento de canal, maior será a corrente de dreno [10]. Sendo assim, o comprimento efetivo de canal (L_{ef}) do MOSFET do tipo Diamante é fornecido pela equação 2.5, para N maior que 8 [11].

$$L_{ef} = \frac{N}{\frac{1}{\left[b + \frac{W}{N} \right] \tan\left(\frac{\alpha}{2}\right)} + \frac{1}{\left[b + 3\frac{W}{N} \right] \tan\left(\frac{\alpha}{2}\right)} + \frac{1}{\left[b + 5\frac{W}{N} \right] \tan\left(\frac{\alpha}{2}\right)} + \dots + \frac{1}{\left[b + (N-1)\frac{W}{N} \right] \tan\left(\frac{\alpha}{2}\right)}} \quad (2.5)$$

Comparando-se a equação (2.5) com a equação (2.1), verifica-se que o L_{ef} é menor que L , desta forma, a contribuição destes dois efeitos, o LCE e o PAMDLE, faz com que seja intensificada a corrente de dreno do MOSFET do tipo Diamante quando comparada ao equivalente MOSFET convencional, com a mesma área de porta, fator geométrico e condições de polarização, como mostra a Figura 2.3, que representa a densidade total da corrente de dreno por unidade de área do SOI nMOSFET do tipo Diamante, com α igual a $53,1^\circ$, gerada a partir de uma simulação 3D [4], [10].

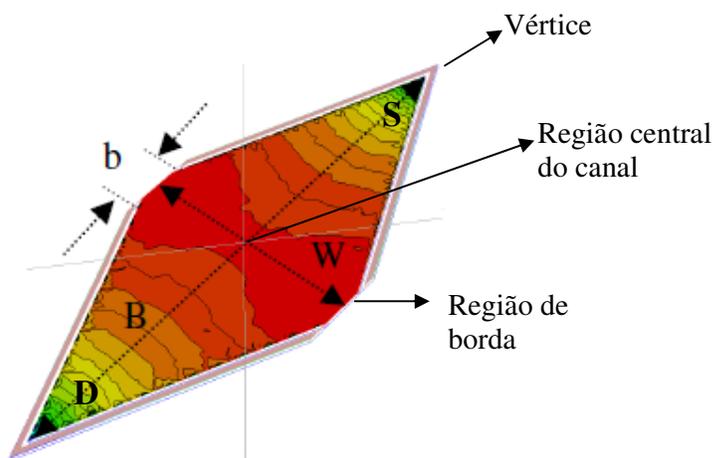


Figura 2.3 - Simulação 3D da densidade total de corrente por unidade de área do SOI nMOSFET do tipo Diamante, com α igual a $53,1^\circ$ [4].

Da Figura 2.3, observa-se que a densidade total da corrente de dreno por unidade de área, que está destacada em cor vermelha, é maior na região no centro do canal, decorrente dos efeitos LCE e PAMDLE, quando comparada com a densidade de corrente que flui na região dos vértices [4], [10].

2.2 Tensão de limiar

Quando aplicado um potencial negativo à porta no nMOSFET convencional do tipo enriquecimento, isto faz com que os portadores majoritários, no caso as lacunas, para um substrato tipo P, sejam atraídas para a região logo abaixo do óxido de porta. Nessa condição, o MOSFET está em regime de acumulação e conseqüentemente não conduz corrente elétrica entre as regiões de dreno e fonte [12], [13]. Com o aumento deste potencial passando a valores positivos, as lacunas serão repelidas criando uma região depleta de portadores livres [12]. Os portadores minoritários, no caso os elétrons, serão atraídos para esta região logo

abaixo do óxido de porta (regime de depleção) [12]. Se o potencial de porta continuar aumentando, mais elétrons serão atraídos e será criada uma superfície formada por elétrons que interligará as regiões de dreno e fonte, formando desta forma um canal (regime de inversão) [12]. Esses elétrons formarão um fluxo de corrente elétrica entre dreno e fonte caso exista uma diferença de potencial aplicada entre as regiões de dreno e fonte.

A tensão de limiar (V_T) é então definida como sendo a mínima tensão de porta que faz com que ocorra a formação de um canal de portadores livres entre as regiões de dreno e fonte e é representada para o MOSFET do tipo N, implementado com o processo de fabricação CMOS convencional pela equação (2.6) [13].

$$V_T = V_{FB} + 2\Phi_F + \frac{qN_A d_{\max}}{C_{ox}} \quad (2.6)$$

Onde V_{FB} é a tensão de faixa plana, Φ_F é o potencial de Fermi, q é a carga elementar do elétron, N_A é a concentração de átomos aceitadores, C_{ox} é a capacitância do óxido de porta por unidade de área e d_{\max} é a largura máxima da região de depleção.

O campo elétrico vertical, que é criado devido à aplicação de um potencial entre porta e fonte (V_{GS}), exerce o controle sobre as cargas elétricas na interface óxido-semicondutor, causando desta forma, influência sobre grandezas tais como, a mobilidade dos elétrons (μ_n) e a corrente entre as regiões de dreno e fonte [14].

Para o SOI MOSFET, o comportamento da tensão de limiar tem algumas diferenças em relação ao MOSFET convencional, pelo fato de existir uma camada de óxido enterrado entre a região do canal e o substrato. No SOI MOSFET parcialmente depletado, V_T é calculado da mesma forma como é calculado para o MOSFET convencional, ou seja, de acordo com a equação (2.6), pois não há interação entre as regiões de depleção da primeira e segunda interfaces [2].

São descritas as equações (2.7) a (2.9) para o SOI nMOSFET do tipo enriquecimento, de acordo com as diferentes condições de polarização da segunda interface [2].

A tensão de limiar da primeira interface com a segunda interface em acumulação (V_{T1acc2}) está representada na equação (2.7) [2].

$$V_{T1acc2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{si}}{C_{ox1}}\right) 2\Phi F - \frac{Q_{depl}}{2C_{ox1}} \quad (2.7)$$

Onde Φ_{MS1} é a diferença de função trabalho, Q_{ox1} é a densidade de cargas fixas na primeira interface por unidade de área, C_{ox1} é a capacitância do óxido por unidade de área da primeira interface, C_{si} é a capacitância da camada de silício por unidade de área e Q_{depl} é a carga total de depleção da camada de silício por unidade de área [2].

A tensão de limiar da primeira interface com a segunda interface invertida (V_{T1inv2}) está representada na equação (2.8) [2].

$$V_{T1inv2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + 2\Phi F - \frac{Q_{depl}}{2C_{ox1}} \quad (2.8)$$

A tensão de limiar da primeira interface com a segunda interface depletada ($V_{T1depl2}$) é dada pela equação (2.9) [2].

$$V_{T1depl2} = V_{T1acc2} - \frac{C_{si} C_{ox2}}{C_{ox1} (C_{si} + C_{ox2})} (V_{G2} - V_{G2acc}) \quad (2.9)$$

Onde C_{ox2} é a capacitância do óxido por unidade de área da segunda interface, V_{G2} é a tensão de porta da segunda interface e V_{G2acc} é a tensão de porta da segunda interface com a segunda interface em acumulação [2].

Nesta pesquisa será utilizado o método da segunda derivada da curva da corrente de dreno em função da tensão de porta, obtida com um baixo valor da tensão de dreno, para a extração da tensão de limiar dos dispositivos no estudo experimental [13].

A Figura 2.4 mostra um exemplo da curva da segunda derivada da corrente de dreno em função da tensão de porta, para V_{DS} igual a 10 mV, extraída através de uma das amostras que será apresentada no capítulo três.

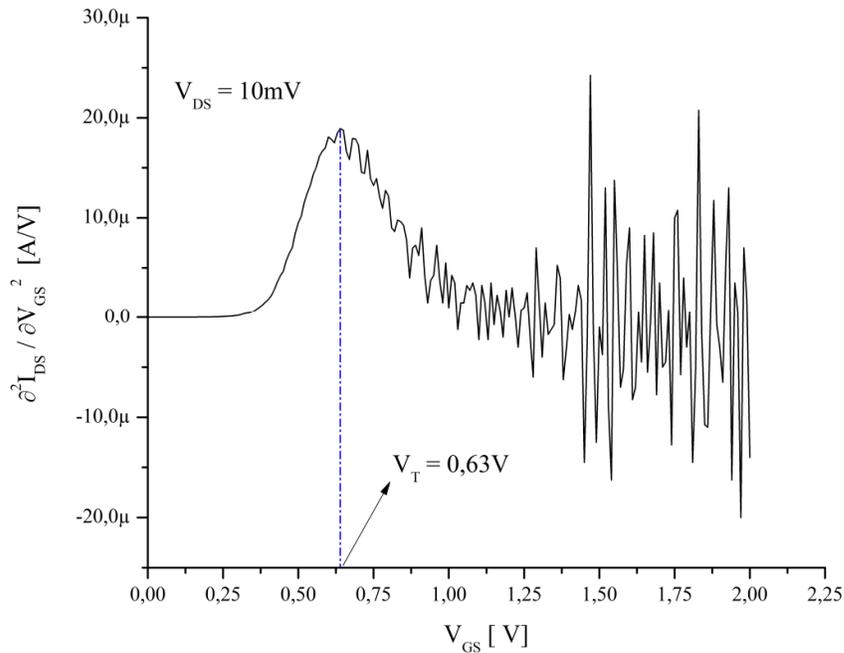


Figura 2.4 – Exemplo de uma curva da derivada segunda de I_{DS} em função de V_{GS} , com V_{DS} igual a 10 mV, utilizada para a determinação da tensão de limiar de um nMOSFET.

No gráfico da Figura 2.4, a tensão de limiar é obtida pelo valor máximo da curva, com uma pequena tensão entre as regiões do dreno e fonte, ou seja, para um baixo campo elétrico longitudinal ao longo do canal. Valores típicos da tensão de dreno aplicada para a extração da tensão de limiar estão na faixa entre 10 e 100 mV [13]. Neste caso, a tensão de limiar obtida é de 0,63 V.

2.3 A corrente de saturação entre dreno e fonte do MOSFET convencional e seu equivalente MOSFET do tipo Diamante

A equação (2.10) descreve o comportamento da corrente entre as regiões de dreno e fonte (I_{DS_MC}), para o nMOSFET com a geometria de porta retangular convencional fabricado com a tecnologia CMOS (Bulk), ao operar na região de saturação [12].

$$I_{DS_MC} = \mu_n \frac{\epsilon_{ox}}{t_{ox}} \frac{W}{2L_{ef}} (V_{GS} - V_T)^2 = \mu_n C_{ox} \frac{W}{2L_{ef}} (V_{GS} - V_T)^2$$

(2.10)

Na equação (2.10) ϵ_{ox} é a constante de permissividade dielétrica do óxido de silício.

Para o SOI MOSFET canal tipo N totalmente depletado (FDSOI), com a segunda interface depletada ou acumulada, a corrente de saturação (I_{DS_SMC}) é representada através da equação (2.11) [2].

$$I_{DS_SMC} = \mu_n \frac{\epsilon_{ox}}{t_{ox1}} \frac{W}{2nL_{ef}} (V_{G1} - V_T)^2 = \mu_n C_{ox1} \frac{W}{2nL_{ef}} (V_{G1} - V_T)^2 \quad (2.11)$$

Onde n é o fator de corpo, sendo dado pela equação (2.12) [2].

$$n = 1 + \beta \quad (2.12)$$

Este fator de corpo estabelece a eficiência do acoplamento capacitivo (β) entre a tensão de porta da primeira interface com o canal e o substrato, e é dado pela equação (2.13) [2].

$$\beta = \frac{C_{si} C_{ox2}}{C_{ox1} (C_{si} + C_{ox2})} \quad (2.13)$$

A equação característica da corrente entre as regiões de dreno e fonte para o MOSFET do tipo Diamante (I_{DS_MD}) é definida para a região de saturação como indicado na equação (2.14) [5].

$$I_{DS_MD} = \sqrt{2(1 + \cos \alpha)} \mu_n C_{ox} \frac{W}{2L_{ef}} (V_{GS} - V_T)^2 \quad (2.14)$$

Na equação (2.14) estão representados os dois efeitos que estão presentes na estrutura do tipo Diamante, sendo que o fator $\sqrt{2(1 + \cos \alpha)}$, para α entre 0° e 90° , corresponde ao efeito LCE, o qual intensifica a corrente de dreno na região central da porta ao longo do canal.

Já o L_{ef} nesta mesma equação (2.14), está associado ao efeito PAMDLE, o qual intensifica a corrente de dreno nas bordas da região da porta, devido ao menor comprimento efetivo de canal nas bordas da estrutura do tipo Diamante [5], [11]. O fator $\sqrt{2(1+\cos\alpha)}$ muda para $\sqrt{2+\cos\alpha}$, quando o ângulo α do MOSFET do tipo Diamante estiver entre 90° e 180° .

Como existe um fator de corpo para o FDSOI, a equação (2.15) representa a corrente de dreno de saturação para o SOI nMOSFET do tipo Diamante (I_{DS_SMD}).

$$I_{DS_SMD} = \sqrt{2(1+\cos\alpha)} \mu_n C_{ox} \frac{W}{2nL_{ef}} (V_{G1} - V_T)^2 \quad (2.15)$$

De forma análoga o fator $\sqrt{2(1+\cos\alpha)}$ corresponde ao efeito LCE para α entre 0° e 90° , onde este fator é igual a $\sqrt{2+\cos\alpha}$ para α entre 90° e 180° . O L_{ef} na equação (2.15) está associado ao efeito PAMDLE [2], [5].

2.4 Transcondutância de processo

Para o MOSFET com canal N, o produto da mobilidade dos elétrons, pela capacitância do óxido de porta por unidade de área e o fator geométrico, é uma constante conhecida como parâmetro de transcondutância de processo (Kn), a qual depende da tecnologia do processo de fabricação do MOSFET [12].

Através da curva característica de I_{DS} em função de V_{DS} para diferentes valores de V_{GS} é possível elaborar uma equação linear, como aquela que está representada pela equação (2.16) [2], [14], [17], [18].

$$\sqrt{I_{DS}} = \sqrt{\frac{Kn}{2}} (V_{GS} - V_T) = AV_{GT} \quad (2.16)$$

E ainda, na equação acima, V_{GT} é a sobretensão de porta e A é o coeficiente angular de uma reta que é dado pela equação (2.17).

$$A = \sqrt{\frac{Kn}{2}} = \frac{\Delta\sqrt{I_{DS}}}{\Delta V_{GT}} \quad (2.17)$$

Sendo $\Delta\sqrt{I_{DS}}$ a diferença entre dois valores escolhidos para o eixo da raiz de I_{DS} e ΔV_{GT} a diferença entre os dois valores de V_{GT} correspondentes aos dois valores escolhidos da $\sqrt{I_{DS}}$.

O valor de A na equação (2.17) neste trabalho é extraído da curva da raiz quadrada de I_{DS} em função de V_{GT} , calculado para um intervalo de valores de V_{GT} , com o MOSFET operando na região de saturação, tendo como resultado o exemplo de um gráfico na Figura 2.5 [2], [18].

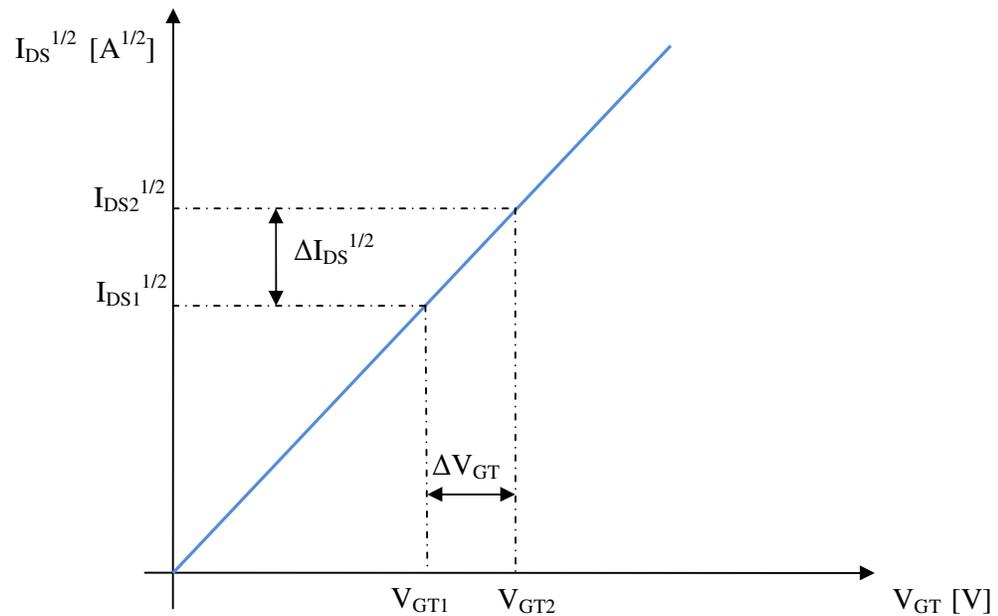


Figura 2.5 – Exemplo de um gráfico da raiz quadrada de I_{DS} em função da sobretensão de porta.

Pode-se calcular o valor de Kn para a região de saturação por meio da equação (2.18) [18].

$$K_n = 2(A)^2 \quad (2.18)$$

Esse procedimento de extração do parâmetro K_n pode ser tanto utilizado para o MOSFET do tipo Diamante, quanto para o MOSFET convencional, independentemente da tecnologia de fabricação, ou seja, a CMOS convencional e a SOI CMOS.

2.5 Transcondutância

A transcondutância é um parâmetro que indica a sensibilidade do dispositivo [1]. Representa a variação de I_{DS} em relação à variação da tensão de porta, com a tensão constante entre as regiões de dreno e fonte, sendo representada pela equação (2.19) [12], [13].

$$g_m = \left(\frac{\partial I_{DS}}{\partial V_{GS}} \right)_{V_{DS}=cte} \quad (2.19)$$

Onde $\partial I_{DS}/\partial V_{GS}$ é a taxa de variação instantânea da corrente entre as regiões de dreno e fonte, em relação à tensão de porta aplicada. A transcondutância é um parâmetro muito importante para os circuitos integrados analógicos, pois está diretamente relacionada com o ganho de tensão em malha aberta do MOSFET e faz parte do modelo do MOSFET para pequenos sinais [12].

Considerando-se um MOSFET canal do tipo N, implementado em tecnologia CMOS convencional, operando na região de saturação, a transcondutância (g_m) é dada pela equação (2.20) [1], [12].

$$g_m = \mu_n C_{ox} \frac{W}{L_{ef}} (V_{GS} - V_T) \quad (2.20)$$

A transcondutância para o FDSOI nMOSFET (g_{m_SOI}), operando na região de saturação com a segunda interface depleta é dada pela equação (2.21) [2].

$$g_{m_SOI} = \frac{\mu_n C_{ox} W}{nL_{ef}} (V_{G1} - V_T) \quad (2.21)$$

2.6 Tensão Early

O gráfico de I_{DS} em função de V_{DS} para diferentes valores de V_{GT} , representado na Figura 2.6, mostra o acréscimo em I_{DS} quando o dispositivo sofre o efeito da modulação do comprimento de canal e o efeito de ionização por impacto [2], [12]. Extrapolando-se a parte linear da curva característica de I_{DS} em função de V_{DS} , situada na região de saturação para diferentes valores de V_{GT} , até que se atinja o eixo V_{DS} , ou seja, onde I_{DS} é nula, os segmentos de reta tendem a coincidir num mesmo ponto do eixo de V_{DS} , o qual é conhecido como a Tensão Early (V_{EA}) [12].

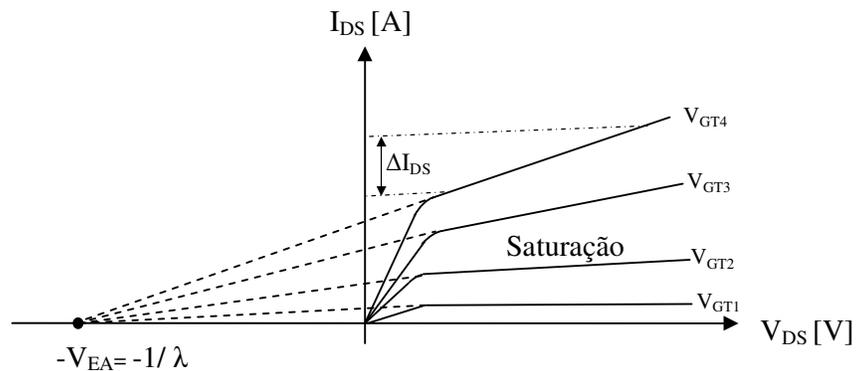


Figura 2.6 – A curva de I_{DS} em função de V_{DS} para diferentes valores de V_{GT} , indicando-se o acréscimo em I_{DS} devido ao efeito da modulação do comprimento de canal.

A tensão Early é um parâmetro tecnológico de processo, que é em primeira aproximação diretamente proporcional ao comprimento de canal do MOSFET [12].

Idealmente I_{DS} na região de saturação deveria ser independente da tensão V_{DS} , conforme indica a equação (2.10). Contudo, levando-se em consideração o efeito da modulação do comprimento de canal (λ), I_{DS} varia com a mudança de V_{DS} . Isto significa que,

em resposta a uma tensão entre dreno e fonte, para um determinado valor de V_{GT} fixo aplicado à porta do dispositivo, ocorrerá uma variação na corrente entre as regiões de dreno e fonte (ΔI_{DS}), o que causará uma inclinação de I_{DS} em função de V_{DS} não nula na região de saturação [12].

A equação (2.22) descreve o comportamento de I_{DS} na região de saturação, considerando-se o efeito da modulação do comprimento de canal decorrente da polarização entre as regiões de dreno e fonte de um nMOSFET implementado com processo de fabricação CMOS convencional [12].

$$I_{DS} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L_{ef}} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad (2.22)$$

A tensão Early está relacionada com a modulação do comprimento de canal, de acordo com a equação (2.23) [12].

$$V_{EA} = \frac{1}{\lambda} \quad (2.23)$$

A extração do valor da tensão Early, realizada neste trabalho experimental, é feita através da regressão linear da reta pertencente à região de saturação da curva de I_{DS} em função de V_{DS} para um determinado valor de V_{GT} , utilizando-se o método dos mínimos quadrados para ajuste de curva, descrito na equação (2.24) [14], [15], [16].

$$I_{DS} = mV_{DS} + c \quad (2.24)$$

Na equação (2.24), m é o coeficiente angular da reta e c é o coeficiente linear da reta.

Com a equação da reta obtida através da regressão linear, o valor da tensão Early será encontrado substituindo-se o valor de V_{DS} o qual torna I_{DS} nulo, como indicado na equação (2.25) [15].

$$V_{DS} = -\frac{c}{m} = -V_{EA} \quad (2.25)$$

Considerando-se o efeito da modulação do comprimento de canal, no modelo equivalente para pequenos sinais, a resistência incremental de saída (r_o) passa a ter um valor tipicamente elevado, porém finito, sendo calculada de acordo com a equação 2.26 [12].

$$r_o = \frac{1}{\lambda I_{DS}} = \frac{V_{EA}}{I_{DS}} \quad (2.26)$$

A resistência incremental de saída para o FDSOI MOSFET é calculada de forma idêntica ao MOSFET da tecnologia CMOS convencional [2]. Este parâmetro será empregado posteriormente no modelo equivalente para pequenos sinais [12].

2.7 O circuito amplificador fonte comum e a comparação entre as polarizações do MOSFET convencional e o seu equivalente MOSFET do tipo Diamante considerando-se o mesmo ponto de operação

O método analítico utilizado para calcular o ponto de operação (Q) de um circuito amplificador em configuração fonte comum, baseia-se na escolha de uma melhor região na qual o MOSFET pode ser polarizado, para operação como amplificador linear de pequenos sinais [12].

O circuito da Figura 2.7 constitui um circuito amplificador típico de único estágio em configuração fonte comum com um divisor de tensão conectado à porta do MOSFET.

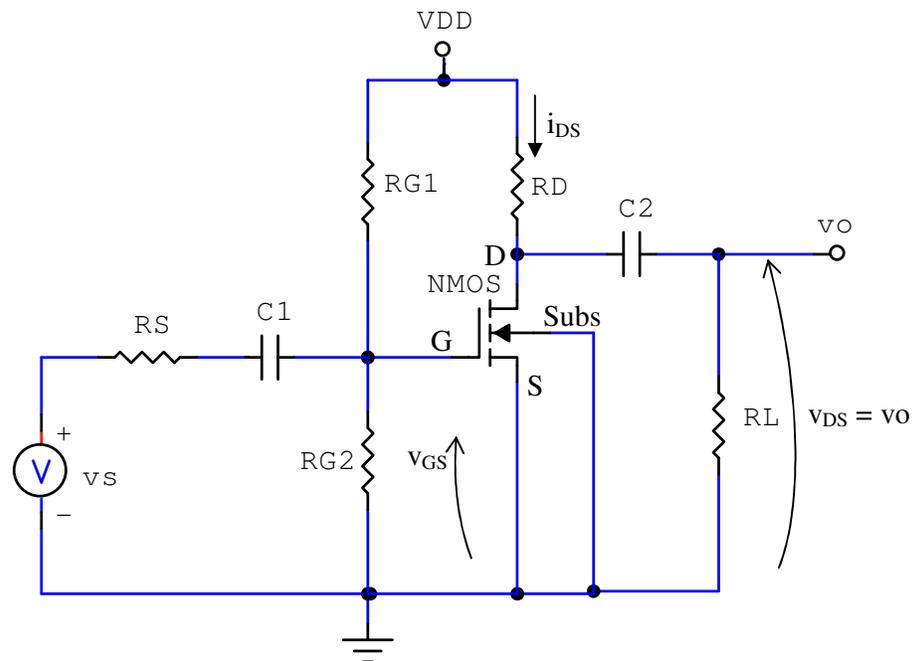


Figura 2.7 – Circuito amplificador típico de único estágio em configuração fonte comum com divisor de tensão conectado à porta do MOSFET.

Na Figura 2.7, V_{DD} representa a fonte de tensão contínua de alimentação do circuito amplificador e os resistores R_{G1} e R_{G2} formam um divisor de tensão conectado à porta do MOSFET, os quais definem um nível de tensão contínua de operação entre as regiões de porta e fonte, C_1 e C_2 são os capacitores de acoplamento, R_D é o resistor conectado ao dreno, R_L é a resistência de carga, V_S é o gerador de sinais e R_S é a resistência interna do gerador. Sendo que “Subs” na Figura 2.7 corresponde ao contato de corpo do MOSFET implementado com a tecnologia CMOS convencional.

Onde v_{DS} , v_{GS} e i_{DS} representam as componentes instantâneas resultantes da soma das componentes dos sinais contínuos no tempo (cc) com os sinais variáveis no tempo (ca), da tensão entre dreno e fonte, da tensão entre porta e fonte e da corrente entre dreno e fonte, respectivamente.

O capacitor de acoplamento C_1 não permite que o ponto de operação em nível contínuo do amplificador seja perturbado pelo sinal senoidal, que é fornecido através de um gerador de sinais [12]. Para uma faixa de frequências ao qual o C_1 comporta-se como um curto circuito, o sinal fornecido por V_S é acoplado à porta do dispositivo [12], [17]. O gerador de sinais tem como característica uma resistência interna R_S , podendo também R_S ser considerado como uma resistência equivalente do circuito de saída de outro estágio amplificador [12].

O dreno é acoplado à R_L através do capacitor C_2 , o qual atua como um curto circuito para uma faixa de frequências. Sendo assim, a tensão de saída v_O é praticamente igual à v_{DS} [12], [17].

O resistor R_D conectado ao dreno do MOSFET define o ponto de operação em nível contínuo de I_{DSQ} e conseqüentemente de V_{DSQ} .

O contato de corpo é colocado no mesmo potencial do terminal de fonte, ou seja, ambos conectados ao terra.

Como o circuito amplificador em configuração fonte comum (CACFCO) é um circuito que pode ser representado através de equações lineares na condição para pequenos sinais, pode-se também usar o teorema da superposição e realizar a análise de sinais contínuos no tempo, separadamente dos sinais variáveis no tempo, somando-se a contribuição de suas componentes, como representado através das equações (2.27) a (2.29) [17].

$$v_{DS} = V_{DSQ} + v_{ds} \quad (2.27)$$

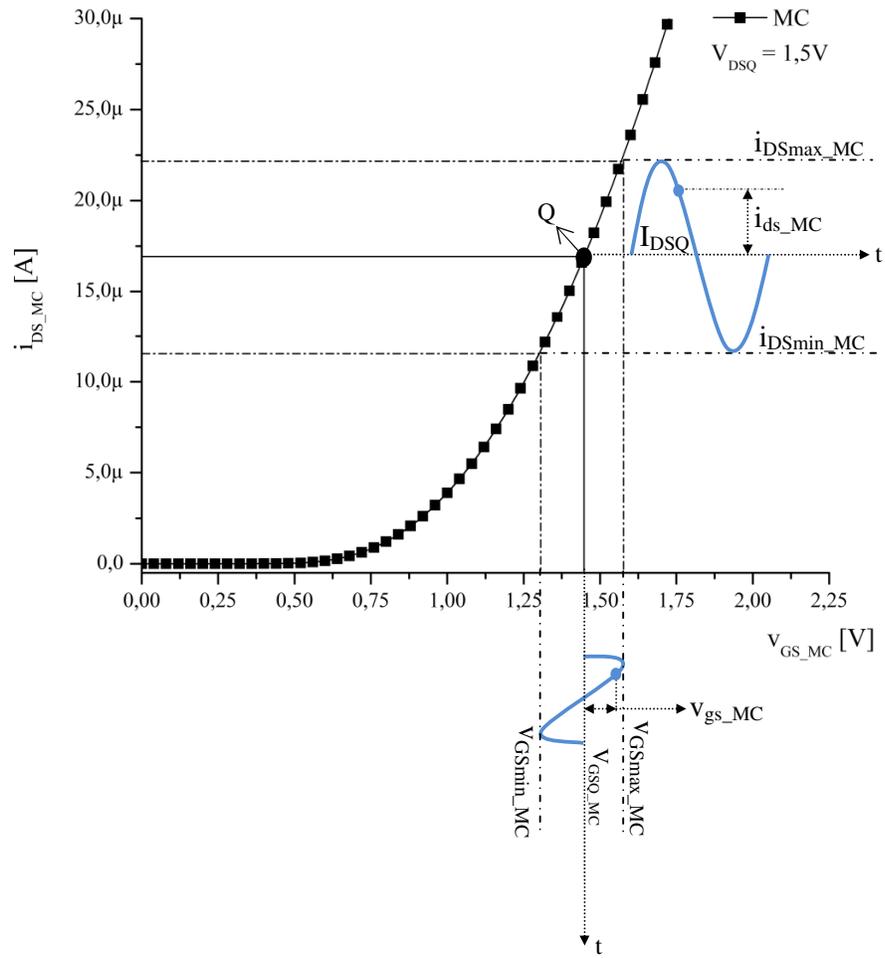
$$v_{GS} = V_{GSQ} + v_{gs} \quad (2.28)$$

$$i_{DS} = I_{DSQ} + i_{ds} \quad (2.29)$$

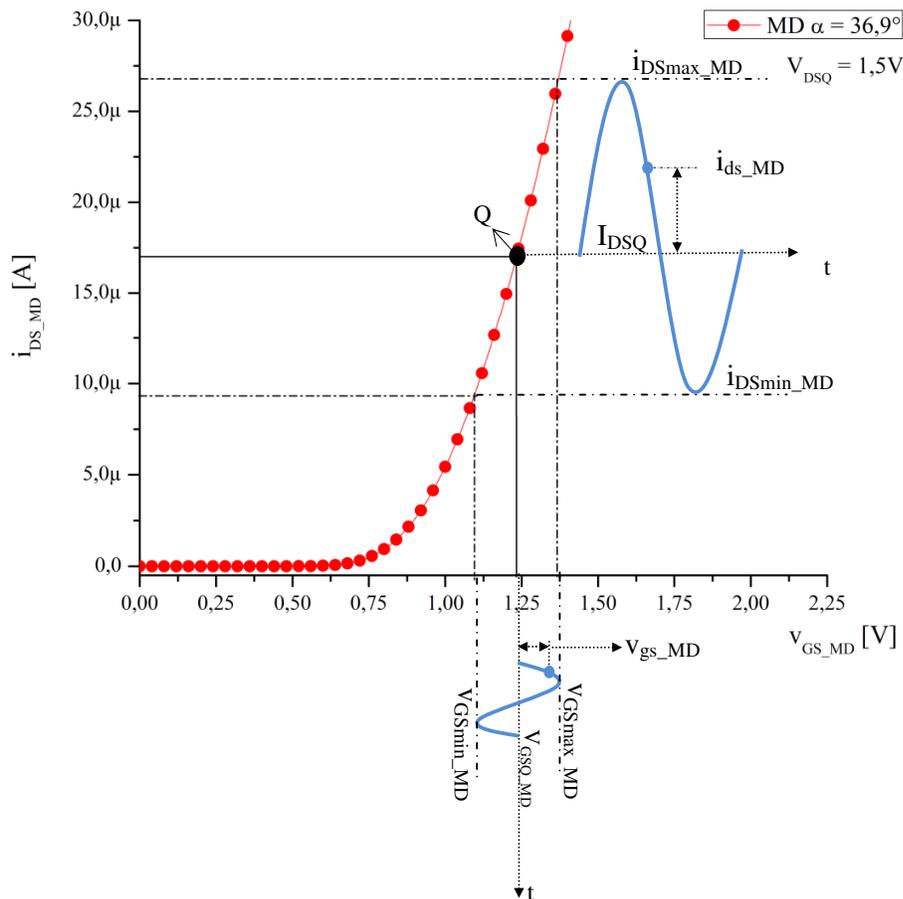
Das equações (2.27) a (2.29), as componentes dos sinais cc no ponto de operação do MOSFET são representadas por V_{DSQ} , V_{GSQ} e I_{DSQ} , e as componentes dos sinais ca do tipo senoidal são representadas por v_{ds} , i_{ds} e v_{gs} . [12], [17].

Quando o MOSFET é polarizado na região de saturação, v_{DS} varia linearmente com v_{GS} , desde que o sinal de excitação de entrada seja menor que duas vezes a sobretensão de porta que é a condição para pequenos sinais [12] [17].

A Figura 2.8 apresenta dois exemplos das curvas de i_{DS} em função de v_{GS} extraídas através de duas amostras, do MOSFET convencional na Figura 2.8.a e do MOSFET do tipo Diamante na Figura 2.8.b, com uma tensão de pequena amplitude entre porta e fonte, as quais serão apresentadas no capítulo três.



(a)



(b)

Figura 2.8 – Exemplos de gráficos de i_{DS} em função de v_{GS} para V_{DS} igual a 1,5 V e com os sinais do tipo senoidal de pequena amplitude, entre porta e fonte, no MOSFET convencional em (a) e no MOSFET do tipo Diamante em (b).

Na Figura 2.8, i_{DSmax_MC} , i_{DSmin_MC} , i_{DSmax_MD} e i_{DSmin_MD} são as correntes de dreno instantâneas máximas e mínimas do MC e do MD, respectivamente. Sendo v_{GSmax_MC} , v_{GSmin_MC} , v_{GSmax_MD} e v_{GSmin_MD} as tensões de porta instantâneas máximas e mínimas do MC e do MD, respectivamente. Onde V_{GSQ_MC} e V_{GSQ_MD} são as tensões cc no ponto de operação do MC e do seu equivalente MD, respectivamente.

Como são estudados dois tipos de tecnologias nesta pesquisa, para uma melhor definição da simbologia utilizada, sempre que aparecer o símbolo ($_MD$), este estará referindo-se à tensão ou à corrente do MOSFET do tipo Diamante para a tecnologia CMOS (Bulk). De forma análoga, o símbolo ($_MC$) estará referindo-se à tensão ou à corrente do MOSFET

convencional para a tecnologia CMOS (Bulk). O símbolo ($_SMD$) estará por sua vez se referindo à tensão ou corrente do SOI MOSFET do tipo Diamante para a tecnologia SOI CMOS, e o símbolo ($_SMC$) indicará a tensão ou corrente do SOI MOSFET convencional para a tecnologia SOI CMOS.

Observa-se na Figura 2.8 que no ponto de operação, definindo-se a mesma I_{DSQ} , tanto para o MC, quanto para o MD, que o estilo de leiaute do tipo Diamante necessita de uma menor V_{GSQ_MD} que o convencional equivalente, conseqüentemente também são menores as componentes cc em v_{GSmax_MD} e v_{GSmin_MD} , devido aos efeitos LCE e PAMDLE presentes nessa inovadora estrutura de MOSFET.

2.8 Análise do MOSFET convencional operando como um circuito amplificador em configuração fonte comum

Para polarizar o MOSFET convencional, utilizando-se o CACFCO da Figura 2.7, é usada a curva característica de I_{DS} em função de V_{GS} e também a curva de I_{DS} em função de V_{DS} , adotando-se os valores de V_{DD} , V_{DSQ} , I_{DSQ} , i_{DSmax_MC} e i_{DSmin_MC} . Este procedimento é realizado garantindo que o MOSFET opere na região de saturação em toda a excursão do sinal senoidal aplicado à porta. Com esses valores adotados, encontra-se a tensão de porta do MOSFET convencional no ponto de operação V_{GSQ_MC} , através da equação (2.30), considerando-se nulo o efeito da modulação do comprimento de canal [12].

$$V_{GSQ_MC} = \sqrt{\frac{2I_{DSQ}}{K_n}} + V_{T_MC} \quad (2.30)$$

Sendo que na equação anterior, V_{T_MC} é a tensão de limiar do MOSFET convencional.

Com V_{GSQ} determinado e com R_{G1} sendo um valor fixo definido, o valor de R_{G2} do divisor resistivo, que está conectado à porta do MOSFET, pode ser calculado através da equação (2.31).

$$R_{G2} = \frac{V_{GSQ_MC} R_{G1}}{V_{DD} - V_{GSQ_MC}} \quad (2.31)$$

O resistor R_D é calculado através da equação (2.32) de forma que a tensão V_{DSQ} seja a metade do valor de V_{DD} , para que o circuito possua a máxima excursão simétrica do sinal senoidal de saída, a partir do ponto de operação estabelecido para o MOSFET.

$$R_D = \frac{V_{DD} - V_{DSQ}}{I_{DSQ}} \quad (2.32)$$

Como condição de operação do MOSFET convencional na região de saturação, as tensões V_{DSQ} e V_{GSQ_MC} no ponto de operação devem satisfazer a equação (2.33) [12].

$$V_{DSQ} \geq V_{GSQ_MC} - V_{T_MC} \quad (2.33)$$

As tensões instantâneas V_{GSmax_MC} e V_{GSmin_MC} podem ser calculadas com o uso das equações (2.34) e (2.35), respectivamente.

$$V_{GSmax_MC} = \sqrt{\frac{2i_{DSmax_MC}}{K_n}} + V_{T_MC} \quad (2.34)$$

$$V_{GSmin_MC} = \sqrt{\frac{2i_{DSmin_MC}}{K_n}} + V_{T_MC} \quad (2.35)$$

Sendo que o valor da tensão de porta de pico a pico da componente do sinal alternado (v_{gspp}) é calculada através da equação (2.36).

$$v_{gspp} = V_{GSmax_MC} - V_{GSmin_MC} \quad (2.36)$$

Os valores das tensões instantâneas de dreno máxima (V_{DSmax_MC}) e mínima (V_{DSmin_MC}) podem ser calculadas com o uso das equações (2.37) e (2.38), respectivamente.

$$V_{DSmax_MC} = V_{DD} - R_D i_{DSmin_MC} \quad (2.37)$$

$$V_{DSmin_MC} = V_{DD} - R_D i_{DSmax_MC} \quad (2.38)$$

Portanto o valor da tensão de dreno pico a pico da componente do sinal alternado (v_{dspp_MC}) é definida através da equação (2.39).

$$V_{dspp_MC} = V_{DSmax_MC} - V_{DSmin_MC} \quad (2.39)$$

Para garantir que o dispositivo esteja operando na região de saturação em toda a excursão do sinal de saída, deve-se levar em conta o valor de V_{GSmax_MC} , o qual fará com que seja gerada uma correspondente tensão V_{DSmin_MC} na saída. Desta forma, esta condição para garantir a operação do MOSFET na região de saturação está indicada na equação (2.40) [12].

$$V_{DSmin_MC} \geq V_{GSmax_MC} - V_{T_MC} \quad (2.40)$$

2.9 Análise do MOSFET do tipo Diamante operando como um circuito amplificador em configuração fonte comum

O MOSFET do tipo Diamante, tem uma corrente de dreno sempre maior que aquela encontrada para o equivalente MOSFET convencional, para uma mesma área de porta, W/L e condições de polarização [7]. Dessa forma, para que a I_{DSQ} tenha o mesmo valor, tanto para o MOSFET do tipo Diamante, quanto para o seu equivalente convencional, é necessário que a V_{GSQ_MD} do MOSFET do tipo Diamante seja menor que a V_{GSQ_MC} do equivalente convencional [9]. Portanto, a tensão de porta do MD no ponto de operação é calculada de acordo com a equação (2.41).

$$V_{GSQ_MD} = \sqrt{\frac{2I_{DSQ}}{K_{n_MD}}} + V_{T_MD} \quad (2.41)$$

Onde V_{T_MD} é a tensão de limiar do MOSFET do tipo Diamante.

Como a V_{GSQ_MD} é menor que a V_{GSQ_MC} , os valores de v_{GSmax_MD} e v_{GSmin_MD} , serão também menores comparados a aqueles v_{GSmax_MC} e v_{GSmin_MC} como se pode observar da Figura 2.8. Sendo assim, considerando-se que a tensão v_{gspp} deverá ter a mesma amplitude tanto para o MOSFET do tipo Diamante quanto para o MOSFET convencional equivalente, o valor de v_{GSmax_MD} é calculado como indicado na equação (2.42).

$$v_{GSmax_MD} = V_{GSQ_MD} + \frac{v_{gspp}}{2} \quad (2.42)$$

A tensão v_{GSmin_MD} aplicada à porta é determinada de acordo com a equação (2.43).

$$v_{GSmin_MD} = V_{GSQ_MD} - \frac{v_{gspp}}{2} \quad (2.43)$$

As correntes de dreno para o MOSFET do tipo Diamante i_{DSmax_MD} e i_{DSmin_MD} são calculadas através das equações (2.44) e (2.45), respectivamente, levando-se em consideração os valores de v_{GSmax_MD} e v_{GSmin_MD} .

$$i_{DSmax_MD} = \frac{K_{n_MD}}{2} (v_{GSmax_MD} - V_{T_MD})^2 \quad (2.44)$$

$$i_{DSmin_MD} = \frac{K_{n_MD}}{2} (v_{GSmin_MD} - V_{T_MD})^2 \quad (2.45)$$

Para uma excursão do sinal amplificado na saída, em resposta ao sinal de entrada, podem-se calcular os valores das tensões instantâneas de dreno máxima (v_{DSmax_MD}) e mínima (v_{DSmin_MD}), respectivamente, de acordo com as equações (2.46) e (2.47) [12].

$$v_{DSmax_MD} = V_{DD} - R_D i_{DSmin_MD} \quad (2.46)$$

$$v_{DSmin_MD} = V_{DD} - R_D i_{DSmax_MD} \quad (2.47)$$

Sendo a amplitude do sinal de saída do MOSFET do tipo Diamante calculada através da equação (2.48).

$$V_{dspp_MD} = v_{DSmax_MD} - v_{DSmin_MD} \quad (2.48)$$

As equações definidas anteriormente com base no CACFCO para a polarização do MD e do seu equivalente MC, também são válidas para a polarização do SMD e do seu equivalente SMC.

2.10 Resposta em frequência de um amplificador fonte comum e o modelo para pequenos sinais do MOSFET

A avaliação do desempenho de um circuito amplificador para sinais senoidais com diferentes frequências é uma propriedade do circuito que é muito importante e esta caracterização é conhecida como a resposta em frequência de circuitos amplificadores [12].

A resposta em frequência completa é composta por dois estudos, o da resposta em módulo, o qual é definida como a razão entre a amplitude da senóide de saída, em relação à amplitude da senóide de entrada, e o da resposta da fase que considera o deslocamento de fase ou a defasagem do sinal de saída em relação ao sinal de entrada [12]. O ganho de tensão geralmente é expresso em decibéis (dB) e a defasagem em graus ($^{\circ}$).

A Figura 2.9 apresenta um exemplo de um gráfico típico do ganho de tensão (A_{VS}) em função da frequência de um circuito amplificador fonte comum [12]. Com este gráfico, pode-

se visualizar o comportamento do ganho de tensão do circuito amplificador para as frequências baixas, médias e altas [12].

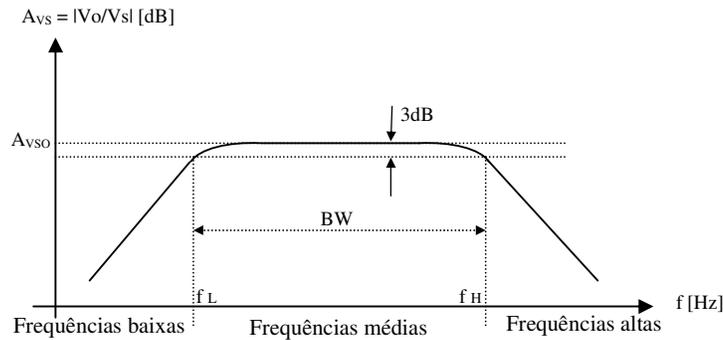


Figura 2.9 – Representação da resposta em frequência de um amplificador fonte comum para as três faixas de frequência.

Onde na Figura 2.9, A_{VS} é o ganho de tensão em malha aberta do amplificador quando se considera a ação da resistência interna do gerador de sinais e A_{VSO} é o valor máximo do ganho de tensão. Sendo f_L a frequência de corte inferior e f_H a frequência de corte superior.

A faixa de frequências médias (f_m) é a faixa útil de operação de um amplificador, que de acordo com o gráfico da Figura (2.9), essa faixa das frequências médias está entre a f_L e a f_H [12].

Os pontos f_L e f_H do gráfico são encontrados quando o ganho de tensão é reduzido em 3dB de A_{VSO} . Os valores entre f_L e f_H , onde estão as frequências médias, são conhecidos como a banda de passagem (B_W), e são determinados de acordo com a equação (2.49) [12].

$$B_W = f_H - f_L \quad (2.49)$$

Para uma faixa ampla das frequências médias, os capacitores de acoplamento C_1 e C_2 na Figura 2.7, apresentam um valor de impedâncias reduzidas e dessa forma comportam-se praticamente como um curto circuito, devido aos seus valores estarem normalmente na faixa de algumas dezenas de μF [12].

As capacitâncias intrínsecas do MOSFET, ou seja, a capacitância entre porta e dreno (C_{gd}), a capacitância entre porta e fonte (C_{gs}) e a capacitância entre dreno e substrato (C_{db}),

que fazem parte do modelo de pequenos sinais em altas frequências, são desprezadas para uma análise em baixas e médias frequências, por apresentarem valores na faixa de 10^{-15} F nesta tecnologia de circuitos integrados, e portanto elas atuam como um circuito aberto.

A capacitância entre a fonte e o substrato (C_{sb}) é considerada nula, pois as regiões entre a fonte e o substrato estão no mesmo potencial terra do circuito amplificador [12].

Observando-se o gráfico da Figura 2.9, conclui-se que o ganho de tensão do MOSFET é atenuado para as frequências abaixo de f_L , devido à ação das capacitâncias C_1 e C_2 , sendo também atenuado para valores de frequências acima de f_H , devido à ação das capacitâncias intrínsecas [12].

O modelo equivalente de pequenos sinais do circuito amplificador fonte comum é mostrado na Figura 2.10. Os terminais de porta, fonte e dreno estão representados por (G), (S) e (D), respectivamente. Para este modelo, o MOSFET tem um comportamento de uma fonte de corrente controlada por tensão, a qual tem um valor dado através do produto da transcondutância com a tensão v_{gs} aplicada à porta [12]. Tanto a transcondutância como a resistência incremental de saída são dependentes do ponto de operação cc do MOSFET [12].

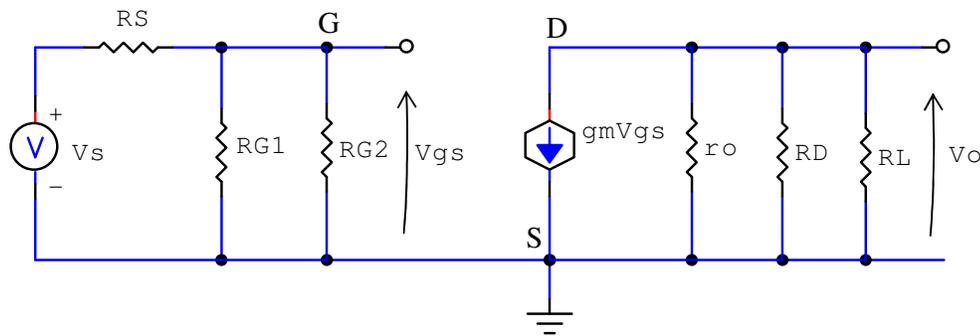


Figura 2.10 – Representação de um modelo para pequenos sinais do circuito amplificador utilizando o MOSFET em configuração fonte comum.

Baseado no modelo de pequenos sinais da Figura 2.10, pode-se determinar o ganho de tensão $A_{v_{SO}}$ para as médias frequências, o qual é dado pela equação (2.50) [12], [17].

$$A_{v_{SO}} = \frac{V_O}{V_S} = -g_m \left(\frac{r_o R_L R_D}{R_L r_o + R_L R_D + r_o R_D} \right) \left(\frac{\frac{R_{G1} R_{G2}}{R_{G1} + R_{G2}}}{\left(\frac{R_{G1} R_{G2}}{R_{G1} + R_{G2}} \right) + R_S} \right) \quad (2.50)$$

Como indica a equação (2.50), A_{VSO} é independente da frequência, dentro da faixa das frequências médias [17].

2.11 O comportamento do circuito amplificador fonte comum para as altas frequências

O circuito amplificador em configuração fonte comum e seu respectivo modelo para pequenos sinais em baixas frequências não consideram a ação das capacitâncias C_{gs} , C_{gd} e C_{db} , no entanto, quando aplicado um sinal variável no tempo em altas frequências, para uma melhor avaliação do comportamento do dispositivo, como velocidade de operação e ganho de tensão, essas capacitâncias passam a exercer influências significativas e devem ser consideradas [1].

A Figura 2.11 apresenta o circuito amplificador em configuração fonte comum levando-se em consideração as capacitâncias intrínsecas do MOSFET na Figura 2.11.a e o circuito equivalente de pequenos sinais para determinação do ganho de tensão em altas frequências na Figura 2.11.b.

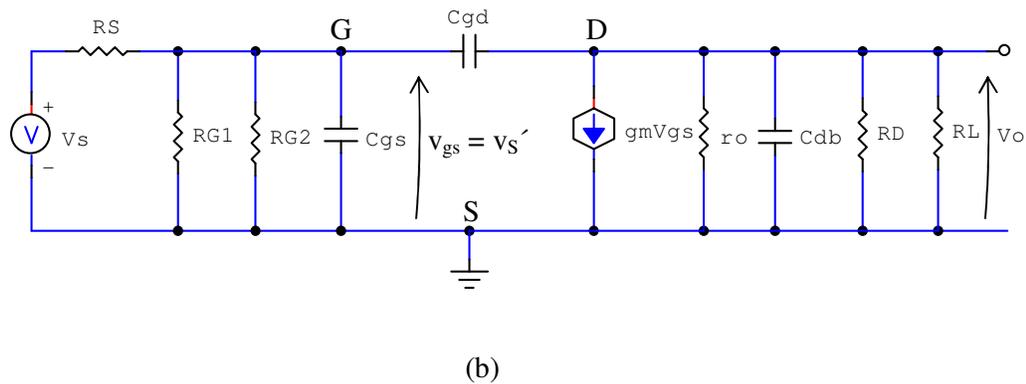
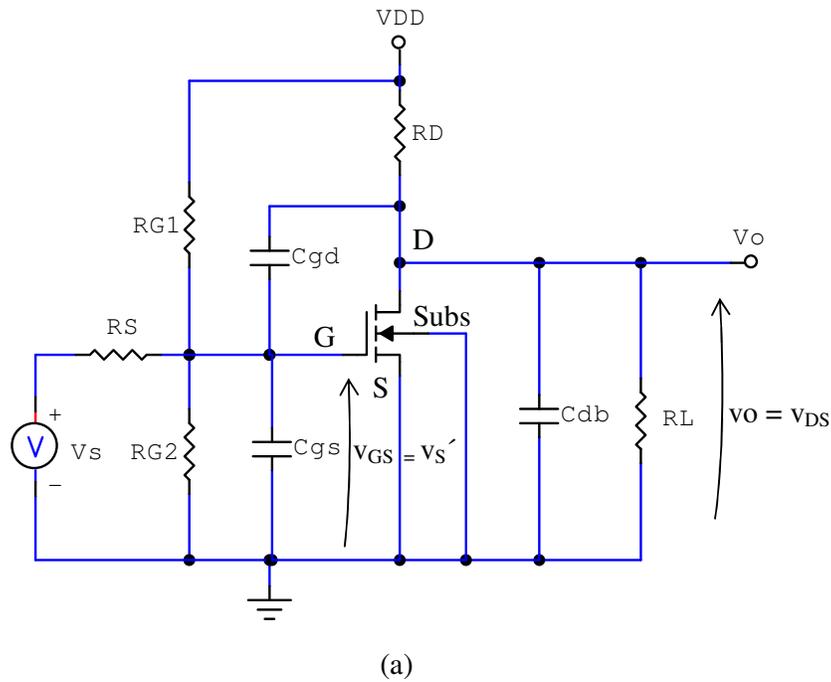


Figura 2.11 – Circuito amplificador fonte comum considerando as capacitâncias intrínsecas do MOSFET (a) e o circuito equivalente de pequenos sinais para determinação do ganho de tensão em altas frequências (b).

A função de transferência no domínio da frequência do circuito da Figura 2.11.b é dada pela equação (2.51), a qual foi obtida utilizando-se as técnicas convencionais de análise de circuitos elétricos, tais como, a transformada de Laplace e a análise nodal [1], [19].

$$\frac{V_O}{V_S} = \frac{r_o R_D R_{G1} R_{G2} (s C_{gd} - g_m)}{-R_S s C_{gd} (r_o R_D R_{G1} R_{G2}) (s C_{gd} - g_m) + \left(R_D + r_o + r_o R_D s C_{gd} + r_o R_D s C_{db} + \frac{r_o R_D}{R_L} \right) \left(\frac{R_{G1} R_{G2} - R_S R_{G2} + R_S R_{G1} +}{+ s C_{gs} R_S R_{G1} R_{G2} + s C_{gd} R_S R_{G1} R_{G2}} \right)} \quad (2.51)$$

Onde s é a frequência complexa. Considerando-se R_S nulo na equação (2.51), a função de transferência é dada pela equação (2.52) [12].

$$\frac{V_0}{V_{S'}} = \frac{sC_{gd} \cdot g_m}{\left(\frac{1}{r_o} + \frac{1}{R_D} + \frac{1}{R_L}\right) + (C_{gd} + C_{db})s} \quad (2.52)$$

Onde $V_{S'}$ é a tensão fornecida através do gerador de sinais considerando-se R_S nulo, e portanto v_{gs} torna-se igual a $V_{S'}$.

A resposta em frequência do amplificador é obtida através da função de transferência descrita na equação (2.53), a qual pode ser representada como um número complexo na forma retangular, em módulo e fase [17], [19]. Portanto, o módulo do ganho do amplificador fonte comum em função da frequência é determinado com o uso da equação (2.53).

$$\left| \frac{V_0}{V_{S'}} \right| = \sqrt{\left[\frac{-g_m \left(\frac{1}{r_o} + \frac{1}{R_D} + \frac{1}{R_L}\right) + C_{gd}(C_{gd} + C_{db})\omega^2}{\left(\frac{1}{r_o} + \frac{1}{R_D} + \frac{1}{R_L}\right)^2 + (C_{gd} + C_{db})^2 \omega^2} \right]^2 + \left[\frac{C_{gd} \left(\frac{1}{r_o} + \frac{1}{R_D} + \frac{1}{R_L}\right) \omega + g_m(C_{gd} + C_{db})\omega}{\left(\frac{1}{r_o} + \frac{1}{R_D} + \frac{1}{R_L}\right)^2 + (C_{gd} + C_{db})^2 \omega^2} \right]^2} \quad (2.53)$$

O valor do ganho de tensão pode ser expresso com a unidade de medida em decibéis [dB], como está indicado na equação (2.54) [12], [17].

$$A_{V0} = 20 \log \left| \frac{V_0}{V_{S'}} \right| \text{ [dB]} \quad (2.54)$$

O comportamento da fase em função da frequência é determinado por meio da equação (2.55).

$$\varphi = \tan^{-1} \left[\frac{C_{gd} \left(\frac{1}{r_O} + \frac{1}{R_D} + \frac{1}{R_L} \right) \omega + g_m (C_{gd} + C_{db}) \omega}{-g_m \left(\frac{1}{r_O} + \frac{1}{R_D} + \frac{1}{R_L} \right) + C_{gd} (C_{gd} + C_{db}) \omega^2} \right] \quad (2.55)$$

Um esboço do comportamento do amplificador fonte comum em função das altas frequências, assim como o ganho de tensão ($|A_{VO}|$) em função da frequência é apresentado na Figura 2.12, onde f_H indica a frequência para a qual o ganho é reduzido em 3dB do seu máximo valor. Também é indicado o ponto onde a frequência faz com que o ganho de tensão seja unitário (f_T) [1], [12], [20], [21].

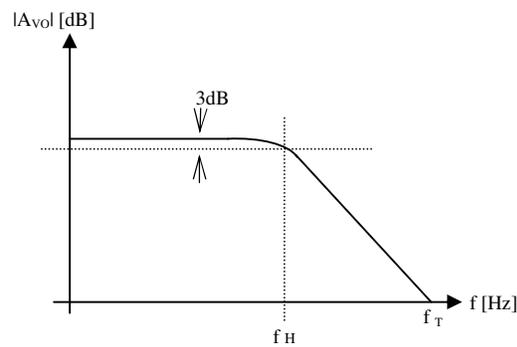


Figura 2.12 – Gráfico do valor absoluto do ganho de tensão $|A_{VO}|$ em função da frequência, destacando-se o comportamento do amplificador fonte comum, partindo das médias para as altas frequências.

Observando-se a equação (2.51), se ω tender a zero, ou seja, para frequências baixas, e com o valor de R_L praticamente infinito, o ganho de tensão do amplificador torna-se aproximadamente igual ao descrito na equação (2.56).

$$\frac{V_O}{V_S} \cong -g_m \frac{r_O R_D}{r_O + R_D} \quad (2.56)$$

Além disso, se r_O é ao menos dez vezes maior que R_D , o ganho de tensão é dado pela equação (2.57) [12], [17], [21].

$$\frac{V_0}{V_{s'}} \cong -g_m R_D$$

(2.57)

2.12 A frequência de ganho unitário

Pode-se definir a frequência de ganho de tensão unitário (f_T) como sendo a frequência em que o ganho de corrente de curto circuito torna-se unitário para o MOSFET operando como amplificador em configuração fonte comum [12], [17], [22]. Este é um parâmetro que define a qualidade dos dispositivos em aplicações como amplificadores [12], [17]. Quanto maior for a f_T , maior será a faixa de frequências em que o MOSFET terá um sinal de saída maior que o sinal de entrada [22].

A componente de corrente cc que circula na porta do MOSFET é praticamente nula, pois entre as camadas de metal e o semicondutor existe uma camada de óxido de silício, o qual se comporta como um material isolante [22]. Com o aumento da frequência, também aumenta a componente ca da corrente de porta, pois as capacitâncias intrínsecas do dispositivo passam a exercer influência sobre esta corrente, como mostra o modelo de pequenos sinais no circuito da Figura 2.13, onde pode ser obtido o ganho de corrente, que é a razão entre a corrente de curto circuito de saída (I_o) pela corrente de entrada do amplificador (I_s) [12], [22].

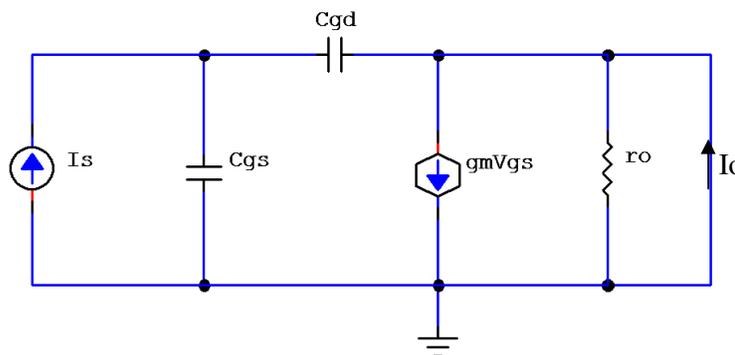


Figura 2.13 – Circuito elétrico equivalente de pequenos sinais do circuito amplificador em fonte comum utilizado para determinar a frequência de ganho de tensão unitário.

Através da análise do circuito da Figura 2.13, pode-se obter a função de transferência da corrente de saída pela corrente de entrada, conforme indica a equação (2.58) [12], [17], [22].

$$\frac{I_O}{I_S} = \frac{g_m}{s(C_{gd} + C_{gs})} \quad (2.58)$$

Pode-se determinar a velocidade angular de transição do circuito quando I_O for igual a I_S , de acordo com a equação (2.59) [12], [17], [22].

$$\omega = \omega_T = \frac{g_m}{(C_{gd} + C_{gs})} \quad (2.59)$$

A partir da equação (2.59), pode-se determinar a frequência do ganho de tensão unitário, a qual está representada pela equação (2.60) [12], [17], [22].

$$f_T = \frac{g_m}{2\pi(C_{gd} + C_{gs})} \quad (2.60)$$

A equação (2.60) mostra que a f_T é diretamente proporcional à transcondutância do MOSFET e inversamente proporcional à soma das capacitâncias intrínsecas C_{gd} e C_{gs} do MOSFET [12], [17].

3 RESULTADOS EXPERIMENTAIS

O objetivo deste capítulo é descrever o procedimento experimental que foi usado para o estudo comparativo do comportamento da resposta em frequência entre os MOSFETs do tipo Diamante e os convencionais equivalentes considerando-se a mesma área de porta e condições de polarização. Neste capítulo também serão apresentados os resultados da caracterização elétrica obtidos em laboratório dos dispositivos implementados em um circuito amplificador fonte comum. Este estudo considera dois tipos de tecnologias de fabricação de circuito integrado CMOS, ou seja, a convencional (Bulk) e a SOI.

3.1 Os dispositivos usados para o estudo experimental da resposta em frequência

A Tabela 3.1 apresenta as dimensões dos MOSFETs usados para este estudo experimental.

Tabela 3.1 – Dimensões dos MOSFETs convencionais e dos MOSFETs do tipo Diamante equivalentes para as tecnologias CMOS convencional (Bulk) e SOI CMOS, utilizados para o estudo experimental.

MOSFET DIAMANTE			A_G (μm^2)	W/L	W (μm)	MOSFET CONVENCIONAL
B (μm)	b (μm)	α				L (μm)
19,0	1,0	36,9°	60,0	0,60	6,0	10,0
13,0	1,0	53,1°	42,0	0,86	6,0	7,0
7,0	1,0	90,0°	24,0	1,50	6,0	4,0
4,0	1,0	126,9°	15,0	2,40	6,0	2,5
3,0	1,0	143,1°	12,0	3,00	6,0	2,0
SOI MOSFET DIAMANTE			A_{G_SOI} (μm^2)	W/L	W (μm)	SOI MOSFET CONVENCIONAL
B (μm)	b (μm)	α				L (μm)
38,0	2,0	36,9°	240,0	0,60	12,0	20,0
26,0	2,0	53,1°	168,0	0,86	12,0	14,0
14,0	2,0	90,0°	96,0	1,50	12,0	8,0
8,0	2,0	126,9°	60,0	2,40	12,0	5,0
6,0	2,0	143,1°	48,0	3,0	12,0	4,0

Sendo A_{G_SOI} a área de porta dos MOSFETs fabricados com a tecnologia SOI CMOS.

Os MOSFETs implementados com a tecnologia CMOS convencional (Bulk) foram fabricados na On-Semiconductor, via programa educacional do MOSIS (MEP), cujo comprimento mínimo de canal é de 0,35 μm , a espessura da camada de óxido de porta é de 14,2 nm e a concentração de dopantes na região do canal é igual a $1,7 \times 10^{17} \text{ cm}^{-3}$. Já, os dispositivos implementados com a tecnologia SOI CMOS totalmente depletados foram fabricados no laboratório de Microeletrônica da Universidade católica de Louvain, com

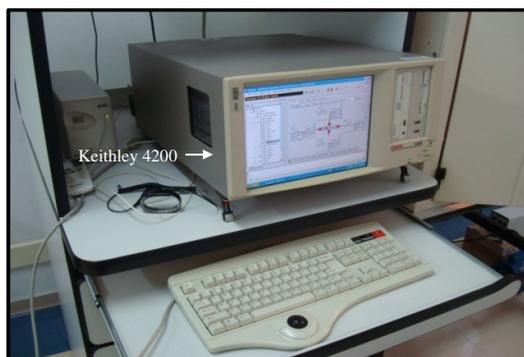
comprimento mínimo de canal de $0,5 \mu\text{m}$ e com lâminas SOI Unibond®, com concentração inicial de dopantes de 10^{15}cm^{-3} , espessura de óxido de porta de 30 nm, espessura de óxido enterrado de 390 nm, em uma camada de silício com espessura final de 80 nm.

No total foram realizadas medidas experimentais da resposta em frequência em vinte nMOSFETs não encapsulados produzidos com diferentes tecnologias de fabricação de circuitos integrados, dos quais foram selecionados cinco pares do MOSFET do tipo Diamante (MD) e os respectivos MOSFETs convencionais equivalentes (MC) e cinco pares do SOI MOSFET do tipo Diamante (SMD) e os respectivos SOI MOSFETs convencionais equivalentes (SMC).

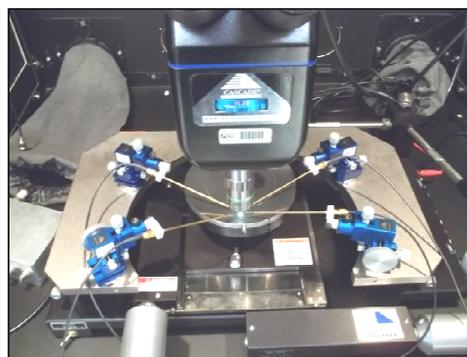
Observando-se a Tabela 3.1, verifica-se que a área de porta e o fator geométrico são idênticos para cada par de MOSFETs do tipo Diamante e os convencionais equivalentes.

3.2 O sistema de medidas

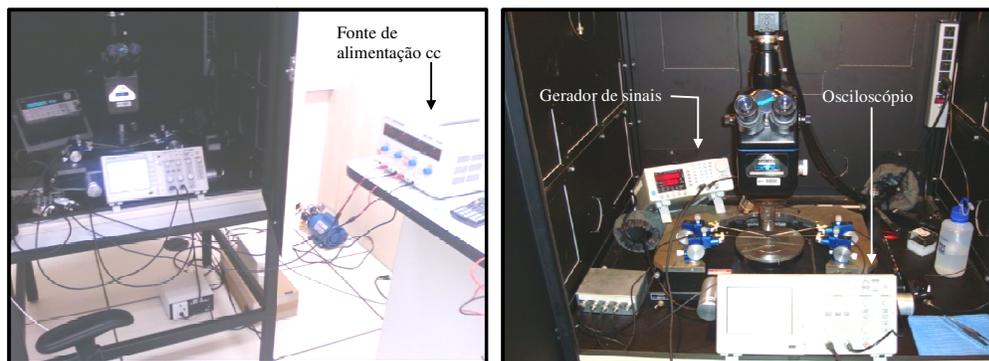
O sistema de medidas que foi utilizado para a realização do estudo da resposta em frequência está ilustrado na Figura 3.1. Esta Figura apresenta o analisador de dispositivos semicondutores Keithley 4200 (Figura 3.1.a), o microprovador (Figura 3.1.b), o sistema de medidas mostrando a fonte de alimentação cc (Figura 3.1.c), o gerador de sinais e o osciloscópio (Figura 3.1.d), já a Figura 3.1.e representa o CACFCO. O circuito elétrico da conexão do microprovador ao amplificador fonte comum contendo o MOSFET sob teste para o estudo da resposta em frequência, os instrumentos de medidas e o gerador de sinais, estão representados na Figura 3.1.f.



(a)



(b)

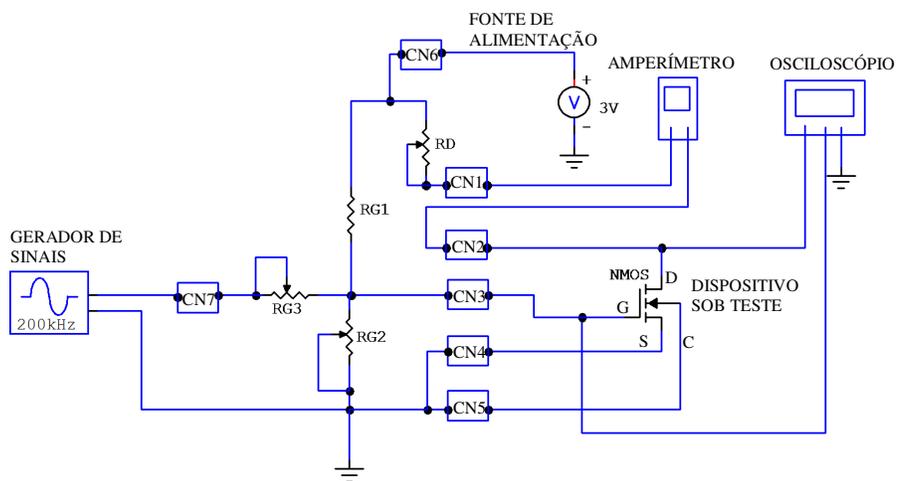


(c)

(d)



(e)



(f)

Figura 3.1 – O sistema de medições com o analisador de dispositivos semicondutores (Keithley 4200) em (a) e o microprovador interligado ao MOSFET sob teste via CN2 a CN5 em (b); vista do sistema de medições destacando-se a fonte de alimentação em (c); o gerador de funções e o osciloscópio em (d); o circuito auxiliar em (e) e o esquema elétrico detalhando as conexões através do microprovador entre o circuito amplificador e os instrumentos de medição em (f).

O Keithley 4200 e o microprovador possibilitaram a caracterização elétrica e a visualização das curvas I_{DS} em função de V_{GS} e I_{DS} em função de V_{DS} dos MOSFETs.

O sistema de medidas é formado por uma fonte de alimentação cc, um gerador de sinais um osciloscópio e um amperímetro, os quais foram interligados via microprovador ao circuito amplificador fonte comum contendo os MOSFETs sob teste não encapsulados, e com isso caracterizar a resposta em frequência dos dispositivos.

O amperímetro está em série para monitorar a corrente de dreno entre a fonte de tensão de alimentação contínua e o R_D que é do tipo variável, possibilitando uma excursão da resistência entre 0 a 100 K Ω . Este resistor influencia diretamente no ganho de tensão de malha aberta da configuração e também no ajuste da tensão V_{DSQ} [12].

Um osciloscópio com canal duplo teve como função indicar e registrar as formas de onda medindo-se a amplitude e a frequência do sinal de saída observado entre as regiões de dreno e fonte, podendo ser comparado ao sinal de entrada observado entre as regiões de porta e fonte no CACFCO.

Nesta aplicação as pontas de prova do osciloscópio comportam-se como uma carga capacitiva para o circuito de saída e também para a entrada do amplificador. Estas pontas apresentam tipicamente uma capacitância em torno de 13 a 120 pF e uma resistência com aproximadamente 10 M Ω .

Os conectores do tipo BNC (CN1 a CN6) via microprovador possibilitaram o acesso e a conexão do CACFCO com os terminais (PADs) de Porta, Fonte, Dreno e Substrato do MOSFET sob teste, pois os MOSFETs não foram encapsulados, dificultando muito todo o processo de caracterização elétrica da resposta em frequência desses dispositivos.

O circuito amplificador fonte comum foi construído em uma placa de fenolite padrão, com três potenciômetros R_{G2} , R_{G3} e R_D e um resistor fixo R_{G1} , permitindo assim o melhor ajuste do ponto de operação do MOSFET de forma a não haver distorções no sinal senoidal resultante de saída, observado entre o dreno e fonte.

O gerador de sinais foi configurado para fornecer um sinal variável no tempo do tipo senoidal com possibilidade de ajuste de amplitude e frequência. Este sinal foi aplicado na entrada do circuito amplificador fonte comum, a qual é composta pelo potenciômetro R_{G3} em série com o circuito divisor de tensão composto pelos componentes R_{G1} e R_{G2} .

O resistor R_{G1} tem um valor fixo de 1 K Ω 5%, já os potenciômetros R_{G2} e R_{G3} são de 1K Ω e 10 K Ω , respectivamente, com a finalidade de ajuste no nível de tensão V_{GS} na porta, pois, o circuito amplificador que foi utilizado para fazer a caracterização elétrica da resposta

em frequência dos MOSFETs não apresentam os capacitores de acoplamento C_1 e C_2 (Figura 3.1.f), para não influenciarem na resposta em frequência dos dispositivos sob teste.

3.3 O procedimento experimental

O estudo comparativo da resposta em frequência foi realizado entre o MOSFET com a geometria de porta hexagonal com diferentes ângulos α e o MOSFET com a geometria de porta retangular convencional, fixando-se um mesmo valor da corrente de dreno em ambos os transistores.

Para a realização deste estudo, o procedimento experimental foi dividido basicamente em duas etapas.

Etapa 1 - Obtenção das curvas I_{DS} em função de V_{GS} nas regiões de triodo e saturação e também as curvas de I_{DS} em função de V_{DS} dos MOSFETs.

Através das curvas características obtidas experimentalmente de I_{DS} em função de V_{GS} , foram extraídos os parâmetros de cada transistor, tais como, a tensão de limiar e a transcondutância. Com as curvas de I_{DS} em função de V_{DS} foram extraídas as tensões Early e a transcondutância de processo.

Etapa 2 - Através do circuito amplificador em configuração fonte comum foram ajustados e fixados os valores de I_{DSQ} , V_{GSQ} , e V_{DSQ} no ponto de operação em nível contínuo, variando-se os potenciômetros, polarizando desta forma o MC de maneira a permanecer operando na região de saturação, para possibilitar a máxima excursão do sinal de saída.

Posteriormente, foi aplicado um sinal senoidal na entrada do amplificador, com uma amplitude aproximadamente igual a 250 mV e com uma frequência inicial de 100 Hz, observando o sinal amplificado na saída do MC entre o dreno e fonte, registrando-se a variação da amplitude do sinal de saída em relação ao sinal de entrada em função da frequência, verificando-se também o comportamento da fase em função da frequência. Aumentou-se gradualmente a frequência até que se obtivesse um ganho de tensão unitário do MC.

Substituindo-se o MC pelo seu equivalente MD no CACFCO, foi necessário realizar um novo ajuste de V_{GSQ_MD} , para manter I_{DSQ} e V_{DSQ} com os mesmos valores ajustados para o MC e possibilitar a comparação entre as estruturas do tipo Diamante em relação às convencionais equivalentes. Com o mesmo sinal v_{gspp} de pequena amplitude e baixa frequência, aplicado na entrada do MC, foi refeito o procedimento de aplicação de sinal na entrada do amplificador para o MD, registrando-se a variação da amplitude do sinal

amplificado na saída em função da frequência e o comportamento da fase em função da frequência, até que fosse obtido um ganho de tensão unitário. Este procedimento foi aplicado também para o SMC e o seu equivalente SMD.

O procedimento para a polarização do CACFCO está descrito no apêndice A.

3.4 A tensão de limiar

As tensões de limiar foram extraídas das curvas I_{DS} em função de V_{GS} , pelo método da segunda derivada, considerando-se uma tensão de dreno de 10 mV [13]. Os valores das tensões de limiar extraídas dos MC, MD, SMC e o SMD foram descritas na Tabela 3.2 para diferentes ângulos α , considerando-se a mesma área de porta e fator geométrico.

Tabela 3.2 – Valores das tensões de limiar dos MC, MD, SMC e SMD para diferentes ângulos α .

MD $V_{DS} = 10\text{mV}$ V_T [V]	α	A_G (μm^2)	MC $V_{DS} = 10\text{mV}$ V_T [V]	W/L
0,69	36,9°	60,0	0,70	0,60
0,70	53,1°	42,0	0,70	0,86
0,65	90,0°	24,0	0,64	1,50
0,65	126,9°	15,0	0,69	2,40
0,64	143,1°	12,0	0,64	3,0
SMD $V_{DS} = 10\text{mV}$ V_T [V]	α	$A_{G, \text{SOI}}$ (μm^2)	SMC $V_{DS} = 10\text{mV}$ V_T [V]	W/L
0,23	36,9°	240,0	0,24	0,60
0,22	53,1°	168,0	0,24	0,86
0,22	90,0°	96,0	0,21	1,50
0,23	126,9°	60,0	0,22	2,40
0,22	143,1°	48,0	0,21	3,0

Analisando-se a Tabela 3.2, verifica-se que as tensões de limiar dos MOSFETs do tipo Diamante, com os dispositivos fabricados com a tecnologia CMOS (bulk), têm praticamente os mesmos valores que as tensões de limiar dos MOSFETs convencionais equivalentes. Este mesmo fato também ocorre com os dispositivos fabricados com a tecnologia SOI CMOS.

3.5 A característica da raiz quadrada da corrente de dreno em função da sobretensão de porta

A Figura 3.2 apresenta as curvas da raiz quadrada da corrente de dreno em função da sobretensão de porta dos diferentes MOSFETs estudados, extraídos na região de saturação de

forma experimental, considerando-se α igual a $36,9^\circ$ dos MOSFETs do tipo Diamante, W/L igual a 0,6 e V_{DS} igual a 1,5 V.

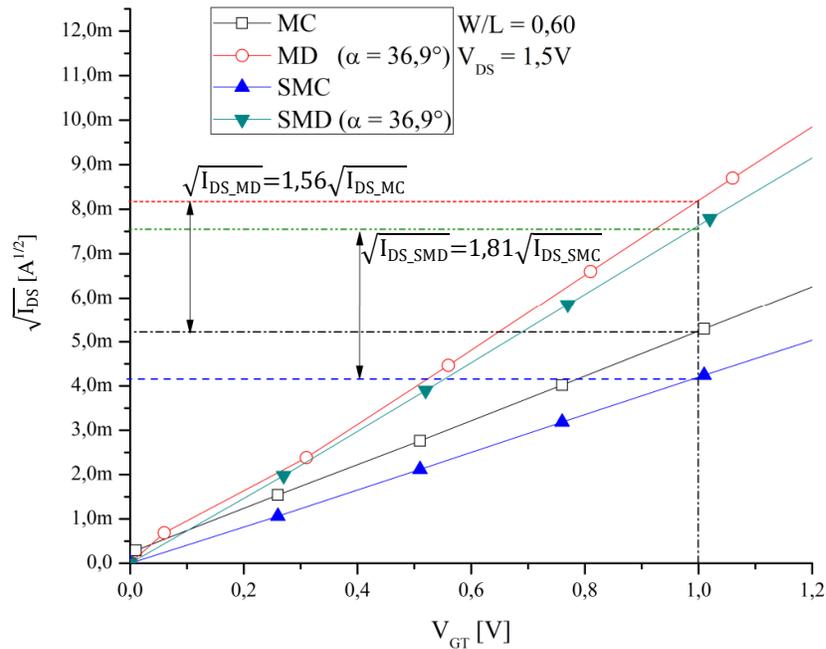


Figura 3.2 – Gráfico da raiz quadrada da corrente de dreno em função da sobretensão de porta dos diferentes dispositivos estudados considerando α igual a $36,9^\circ$, W/L igual a 0,6 e V_{DS} igual a 1,5 V.

Verifica-se no gráfico da Figura 3.2 que os MOSFETs com a geometria de porta hexagonal, possuem uma maior capacidade de condução da corrente de dreno, para uma V_{GT} igual a 1V, quando comparados aos seus equivalentes MOSFETs convencionais, considerando-se a mesma área de porta, fator geométrico e condições de polarização, para ambas as tecnologias estudadas, ou seja, a CMOS (Bulk) e a SOI CMOS.

A Tabela 3.3 apresenta os resultados experimentais da transcondutância de processo, extraídos através da curva da raiz quadrada de I_{DS} em função de V_{GT} , dos MOSFETs do tipo Diamante para diferentes ângulos α e dos seus equivalentes MOSFETs convencionais, para as duas tecnologias estudadas.

Tabela 3.3 – Resultados experimentais da transcondutância de processo dos MOSFETs com a geometria de porta hexagonal e os convencionais equivalentes obtidos a partir das duas tecnologias estudadas, ou seja, a CMOS convencional e a SOI CMOS.

MOSFET CONVENCIONAL (Kn_{MC}) [$\mu A/V^2$]	MOSFET DIAMANTE (Kn_{MD}) [$\mu A/V^2$]	α	Ganho do Kn_{MD} em relação ao Kn_{MC} (%)
51,57	133,30	36,9°	158,48
63,85	143,70	53,1°	125,05
121,70	196,50	90,0°	61,46
175,20	213,80	126,9°	22,03
245,0	266,90	143,1°	8,93
SOI MOSFET CONVENCIONAL (Kn_{SMC}) [$\mu A/V^2$]	SOI MOSFET DIAMANTE (Kn_{SMD}) [$\mu A/V^2$]	α	Ganho do Kn_{SMD} em relação ao Kn_{SMC} (%)
34,48	114,94	36,9°	233,35
49,65	128,0	53,1°	157,80
86,93	151,99	90,0°	74,84
139,0	187,08	126,9°	34,58
169,04	208,54	143,1°	23,36

Onde Kn_{MC} , Kn_{MD} , Kn_{SMC} e Kn_{SMD} são as transcondutâncias de processo dos MC, MD, SMC e SMD, respectivamente.

Observando-se a Tabela 3.3, pode-se dizer que à medida em que o ângulo α dos MOSFETs do tipo Diamante reduz, o ganho de Kn_{MD} em relação ao Kn_{MC} aumenta, para os dispositivos fabricados com a tecnologia CMOS (Bulk). Obteve-se de forma semelhante o aumento do ganho de Kn_{SMD} em relação ao Kn_{SMC} conforme se reduz o ângulo α dos MOSFETs SOI do tipo Diamante.

O ganho de Kn_{MD} chegou a 158,48 %, aproximadamente 2,6 vezes maior quando comparado àquele Kn_{MC} obtido no convencional equivalente, com a mesma A_G . Já, o Kn_{SMD} alcançou um ganho de 233,35 %, aproximadamente 3,3 vezes maior quando comparado ao Kn_{SMC} , com a mesma A_{G_SOI} , sendo que todos os MOSFETs tem o mesmo fator geométrico e foram submetidos às mesmas condições de polarização.

Estes ganhos das transcondutâncias de processo obtidos nas estruturas com a geometria de porta hexagonal quando comparados àqueles obtidos nas estruturas convencionais equivalentes, podem ser justificados pela presença dos efeitos LCE e PAMDLE nas estruturas do tipo Diamante, em ambas as tecnologias, ou seja, a CMOS (Bulk) e a SOI CMOS.

3.6 A característica da corrente I_{DS} em função da sobretensão de porta

A Figura 3.3 apresenta o gráfico contendo as curvas de I_{DS} em função de V_{GT} considerando-se uma tensão de dreno de 10 mV, dos MOSFETs do tipo Diamante com α igual a $36,9^\circ$ e dos MOSFETs convencionais equivalentes, de ambas as tecnologias CMOS de fabricação estudadas.

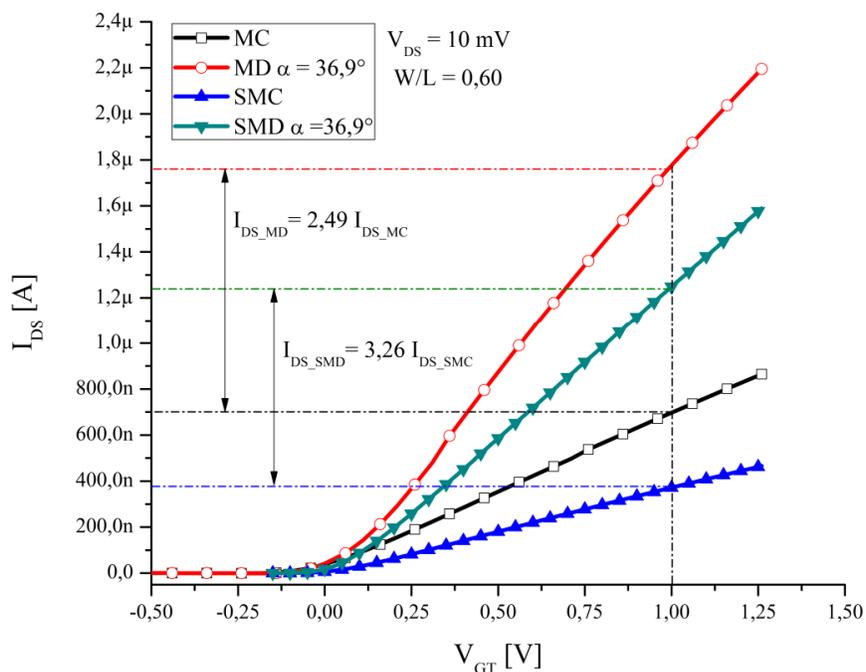


Figura 3.3 – Curvas de I_{DS} em função de V_{GT} para uma tensão de dreno de 10 mV, dos MOSFETs do tipo Diamante com α igual a $36,9^\circ$ e dos MOSFETs convencionais equivalentes, para as tecnologias CMOS de fabricação estudadas.

Analisando-se a Figura 3.3, existe um ganho de 149,0 % na corrente de dreno do MD com um ângulo α de $36,9^\circ$ em relação ao MC equivalente, ou seja, um ganho aproximadamente 2,5 vezes maior, considerando-se V_{GT} igual a 1 V, com a mesma A_G e fator geométrico.

Para o SMD com um ângulo α de $36,9^\circ$, observa-se que existe um ganho de 226,25 % na corrente de dreno em relação ao SMC, que equivale aproximadamente a um ganho 3,3 vezes maior, considerando-se V_{GT} igual a 1 V, com o mesmo fator geométrico e A_{G_SOI} .

Este resultado indica que as estruturas com a geometria de porta hexagonal apresentam uma maior I_{DS} na região de triodo, em comparação aos equivalentes convencionais, para as diferentes tecnologias de fabricação de circuitos integrados estudadas.

As curvas de I_{DS} em função de V_{GT} para os dispositivos polarizados na região de saturação, considerando-se uma tensão de dreno igual a 1,5 V, estão representadas na Figura 3.4.

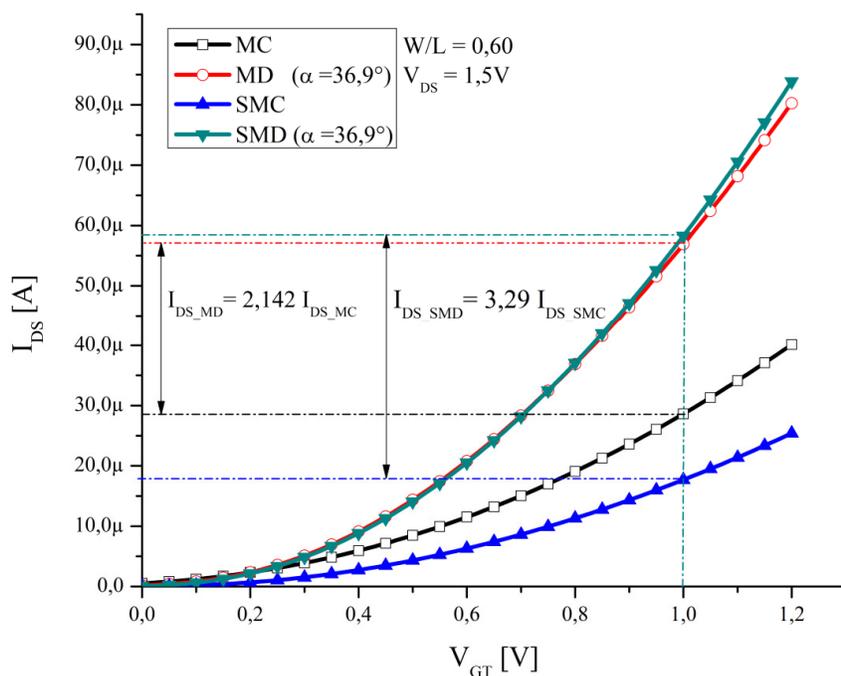


Figura 3.4 – As curvas de I_{DS} em função de V_{GT} do MD e o seu equivalente MC e também as curvas de I_{DS} em função de V_{GT} do SMD e o seu equivalente SMC, polarizados na região de saturação.

Observa-se no gráfico da Figura 3.4 que o MD com o ângulo α igual a $36,9^\circ$, apresenta um ganho de 114,26 % na corrente de dreno em relação ao valor encontrado no MC equivalente, considerando-se V_{GT} igual a 1 V, com a mesma A_G e fator geométrico.

Analogamente, verifica-se que a corrente de dreno do SMD apresentou um ganho de 229,35 % em relação àquela observada no seu equivalente SMC, considerando-se a mesma A_{G_SOI} , fator geométrico e V_{GT} igual a 1 V.

Os resultados experimentais dos ganhos de I_{DS} dos MOSFETs do tipo Diamante em relação aos MOSFETs convencionais equivalentes na região de saturação, para diferentes ângulos α estão representados na Tabela 3.4.

Tabela 3.4 – Resultados experimentais dos ganhos de I_{DS} dos MOSFETs do tipo Diamante em relação aos MOSFETs convencionais equivalentes na região de saturação, para diferentes ângulos α .

MOSFET DIAMANTE $V_{GT} = 1V$ (I_{DS_MD}) [μA]	α	MOSFET CONVENCIONAL $V_{GT} = 1V$ (I_{DS_MC}) [μA]	Ganho da I_{DS_MD} em relação à I_{DS_MC} em (%)
58,113	36,9°	27,122	114,26
74,6	53,1°	36,1	106,64
98,425	90,0°	56,98	72,736
105,75	126,9°	76,467	38,29
162,25	143,1°	120,70	34,42
SOI MOSFET DIAMANTE $V_{GT} = 1V$ (I_{DS_SMD}) [μA]	α	SOI MOSFET CONVENCIONAL $V_{GT} = 1V$ (I_{DS_SMC}) [μA]	Ganho da I_{DS_SMD} em relação à I_{DS_SMC} em (%)
58,293	36,9°	17,699	229,35
64,0	53,1°	26,3	143,34
79,076	90,0°	44,694	76,92
111,667	126,9°	87,999	26,89
118,93	143,1°	100,0	18,93

Os MOSFETs do tipo Diamante, fabricados com as duas diferentes tecnologias, apresentam uma maior capacidade de condução de corrente de dreno, para os dispositivos polarizados na região de saturação, quando comparados aos seus equivalentes convencionais, o que era esperado devido aos fatores Kn_{MD} e Kn_{SMD} . Além disso, observa-se que à medida que α dos MOSFETs do tipo Diamante diminui, esses ganhos nas correntes de dreno aumentam. Estes resultados da maior capacidade de condução de corrente de dreno são semelhantes aos encontrados em [7] para os dispositivos fabricados com a tecnologia CMOS convencional.

Os MOSFETs foram produzidos com diferentes tecnologias de processos de fabricação CMOS, e apresentam diferenças na espessura do óxido de porta, o qual para a tecnologia CMOS (Bulk) é de 14,2 nm e para a tecnologia SOI CMOS é de 30 nm. Desta forma, a Figura 3.5 apresenta o comportamento de I_{DS} normalizada em relação ao C_{ox} em função de V_{GT} , que pode ser utilizada tanto para realizar comparações entre os diferentes estilos de layout usados nesse trabalho, como também o de avaliar o desempenho da corrente de dreno entre as tecnologias, embora esse não seja o objetivo desta pesquisa.

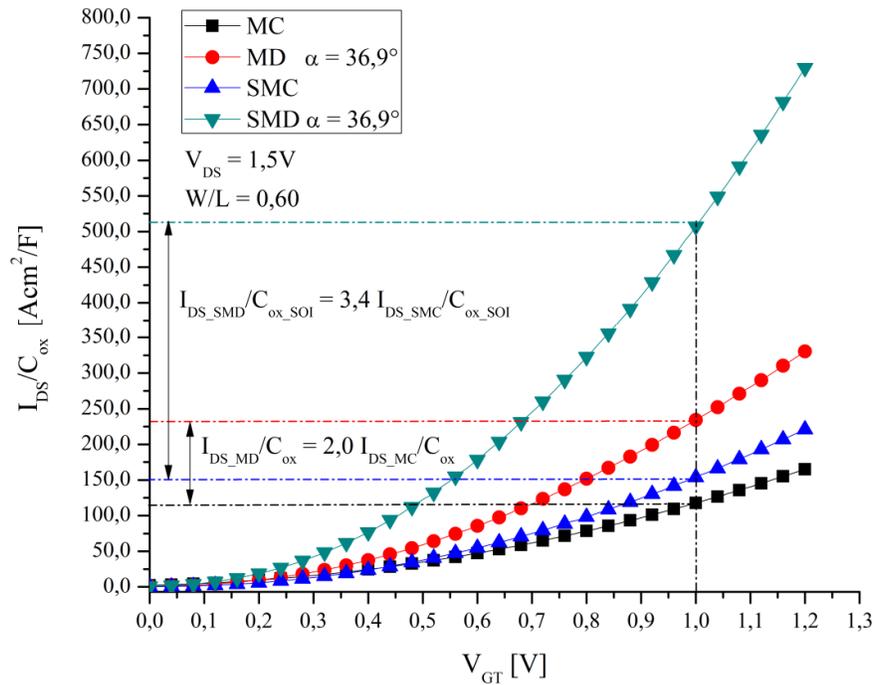


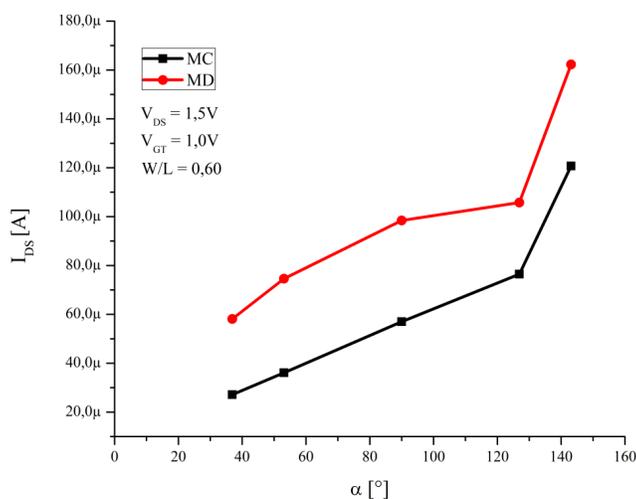
Figura 3.5 – As curvas de I_{DS}/C_{ox} em função de V_{GT} do MD e o seu equivalente MC e também do SMD e o seu equivalente SMC, polarizados na região de saturação.

Onde C_{ox_SOI} é a capacitância do óxido de porta por unidade de área dos SMD e SMC. Analisando-se a Figura 3.5, pode-se observar que a I_{DS_MD}/C_{ox} é 2,0 vezes maior quando comparada com a I_{DS_MC}/C_{ox} . Também se observa que a I_{DS_SMD}/C_{ox_SOI} é 3,4 vezes maior quando comparada com a I_{DS_SMC}/C_{ox_SOI} . Sendo assim, as estruturas com a geometria de porta hexagonal apresentam maiores correntes de dreno normalizadas pela capacitância do óxido de porta em função de V_{GT} , quando comparadas com aquelas obtidas nas estruturas com a geometria de porta retangular convencional para ambas as tecnologias.

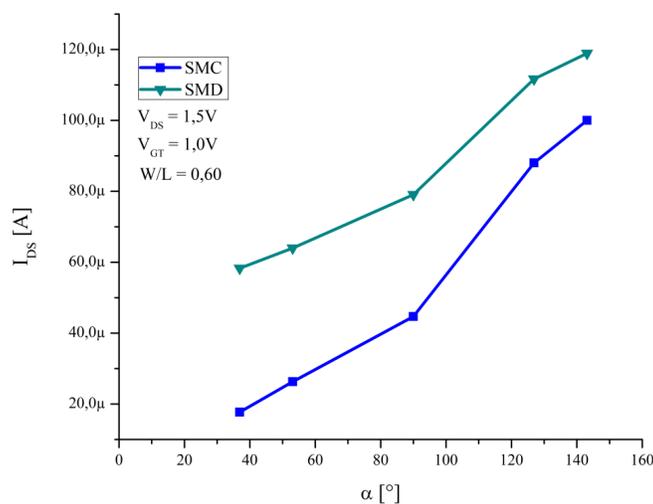
A I_{DS_SMD} normalizada por C_{ox_SOI} em função de V_{GT} , com um ângulo α igual a $36,9^\circ$, alcançou um valor que é 2,2 vezes maior quando comparada com a I_{DS_MD} normalizada por C_{ox} em função de V_{GT} , sob as mesmas condições de polarização e fator geométrico. Com este resultado há um maior ganho na corrente de dreno para a estrutura do tipo Diamante com um processo tecnológico de fabricação SOI, quando comparada à corrente de dreno observada na estrutura do tipo Diamante implementada com a tecnologia de fabricação CMOS convencional (Bulk). Isto ocorre devido à característica dos dispositivos FDSOI apresentarem

um menor fator de corpo quando comparados aos dispositivos fabricados com a tecnologia CMOS (Bulk).

A Figura 3.6 apresenta as curvas das correntes de dreno na região de saturação em função do ângulo α , dos MOSFETs do tipo Diamante e dos respectivos convencionais equivalentes que foram fabricados com a tecnologia CMOS convencional (Bulk) na Figura 3.6.a e SOI CMOS na Figura 3.6.b.



(a)



(b)

Figura 3.6 – Resultados experimentais da corrente de dreno com os MOSFETs polarizados na região de saturação em função do ângulo α , do MD e do seu equivalente MC em (a) e do SMD e do seu equivalente SMC em (b).

Na Figura 3.6, em ambos os gráficos de I_{DS} em função do ângulo α , ou seja, para as duas tecnologias de fabricação de CIs estudadas, a CMOS convencional e a SOI CMOS, verifica-se que conforme o ângulo α do MOSFET do tipo Diamante é reduzido, aumenta-se a diferença entre as correntes de dreno do MD e as do seu equivalente MC na Figura 3.6.a. Este resultado também foi verificado para o SMD em relação ao seu equivalente SMC na Figura 3.6.b. Este aumento no ganho da corrente de dreno, com os dispositivos polarizados na região de triodo e também na saturação, é devido aos dois efeitos presentes na estrutura com a geometria de porta hexagonal, ou seja, o LCE e o PAMDLE. A ação destes dois efeitos no aumento da corrente de dreno nas estruturas do tipo Diamante ficam mais evidentes quando observadas as equações (2.14) e (2.15). Estes dois efeitos contribuem de forma inversamente proporcional no comportamento da corrente de dreno, ou seja, observa-se que conforme se aumenta o ângulo α , reduz-se o efeito LCE devido ao fator $\sqrt{2(1+\cos\alpha)}$ para ângulos entre 0° e 90° , contudo aumenta-se o efeito PAMDLE devido ao fator $1/L_{ef}$.

3.7 Transcondutância

A Figura 3.7 apresenta o gráfico da transcondutância em função da sobretensão de porta, extraído a partir das curvas experimentais de I_{DS} em função de V_{GS} dos MOSFETs do tipo Diamante com o ângulo α igual a $36,9^\circ$ e os convencionais equivalentes, para ambas as tecnologias de fabricação de CIs, com o mesmo fator geométrico e com uma tensão de dreno igual a 10 mV.

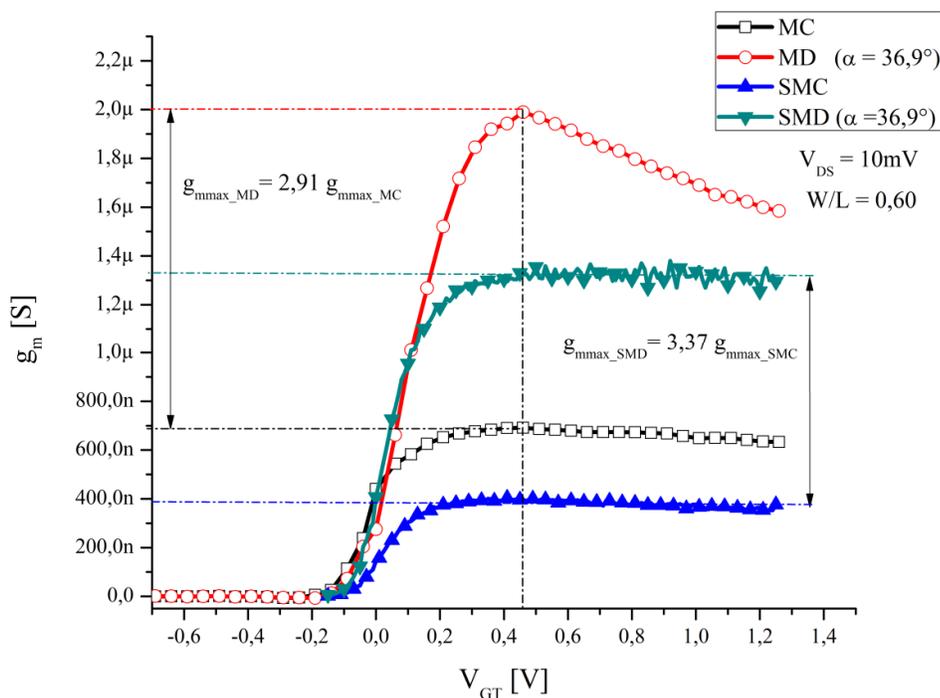


Figura 3.7 – Gráfico de g_m em função de V_{GT} dos MOSFETs do tipo Diamante e seus equivalentes convencionais fabricados com as tecnologias CMOS (Bulk) e SOI CMOS.

Analisando-se o gráfico da Figura 3.7, observa-se que o MD apresenta uma transcondutância máxima (g_{mmax_MD}) superior à do seu MC equivalente (g_{mmax_MC}), para uma mesma A_G , fator geométrico e condições de polarização. A g_{mmax_MD} alcançou um valor igual a $2,0 \mu S$, enquanto a g_{mmax_MC} do seu equivalente convencional chegou a um valor igual a $0,687 \mu S$. Este resultado indica que a g_{mmax_MD} é 191,12 % maior que aquela g_{mmax_MC} encontrada no equivalente convencional, isto é, um ganho da transcondutância máxima da estrutura do tipo Diamante que é aproximadamente 2,9 vezes maior que a encontrada para a estrutura convencional equivalente.

Analogamente, pode-se observar que o SMD tem uma transcondutância máxima (g_{mmax_SMD}) superior à do seu SMC equivalente (g_{mmax_SMC}), para uma mesma A_{G_SOI} , W/L e condições de polarização. No gráfico, a g_{mmax_SMD} tem um valor igual a $1,325 \mu S$, enquanto a g_{mmax_SMC} do seu equivalente convencional chegou a um valor de $0,393 \mu S$. Portanto, o ganho da g_{mmax_SMD} é de 237,15 %, ou seja, a g_{mmax_SMD} é aproximadamente 3,4 vezes maior que aquela g_{mmax_SMC} encontrada no equivalente convencional.

Observa-se uma maior degradação da g_{mmax_MD} , devido à influência do campo elétrico vertical sobre a mobilidade dos portadores móveis ao longo do canal próximo à região de interface óxido-silício, quando comparada com a g_{mmax_SMD} . Isto ocorre devido ao MD ter uma espessura de óxido de porta aproximadamente duas vezes menor em relação à espessura do óxido de porta do SMD.

A Figura 3.8 apresenta a característica da transcondutância em função da sobretensão de porta, do MD, MC, SMD e SMC operando em regime de saturação, com a tensão de dreno igual a 1,5 V.

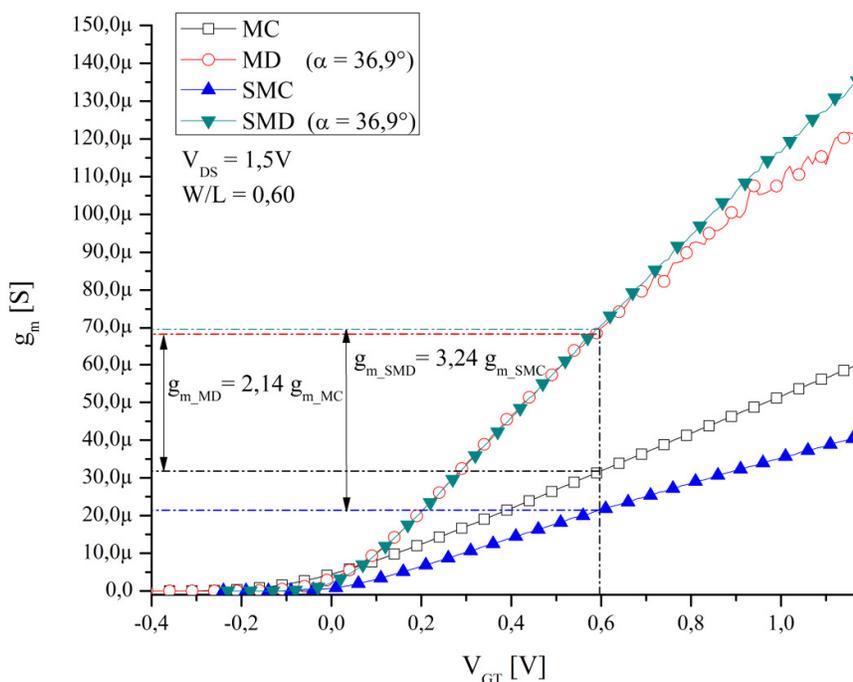


Figura 3.8 - Gráfico de g_m em função de V_{GT} , dos MOSFETs do tipo Diamante e os convencionais equivalentes, com os dispositivos polarizados na região de saturação, para ambas as tecnologias de fabricação de CIs estudadas.

Analisando a Figura 3.8, verifica-se que a transcondutância do MD com o ângulo α igual a $36,9^\circ$ alcançou um valor da g_{m_MD} igual a $68,14 \mu S$, e o seu equivalente MC apresenta uma g_{m_MC} igual a $31,76 \mu S$. Houve, portanto, um ganho na transcondutância do MD de $114,54 \%$, ou seja, aproximadamente 2,1 vezes maior quando comparada com aquela obtida para o seu equivalente MC, considerando-se uma mesma A_G , fator geométrico e para uma tensão de dreno igual a 1,5 V. De forma semelhante, o SMD apresentou um ganho na

transcondutância de 224,49 % que é aproximadamente 3,2 vezes maior que aquela obtida para o seu SMC equivalente, com a mesma A_{G_SOI} , fator geométrico e condições de polarização.

A Tabela 3.5 mostra os resultados da transcondutância do MC e do seu equivalente MD, considerando-se diferentes ângulos α . Essa tabela também mostra o ganho em percentual da transcondutância do MD quando comparada àquela observada no seu equivalente MC e o ganho em percentual da transcondutância do SMD quando comparada com aquela obtida no seu equivalente SMC.

Tabela 3.5 – Transcondutâncias dos MOSFETs do tipo Diamante com diferentes ângulos α e os convencionais equivalentes para as tecnologias CMOS e SOI CMOS, operando na região de saturação. A tabela também mostra o ganho em percentual da transcondutância dos MOSFETs do tipo Diamante em relação aos convencionais equivalentes.

MOSFET DIAMANTE $V_{GT} = 0,6 \text{ V}$ $g_{m_MD} [\mu\text{S}]$	α	MOSFET CONVENCIONAL $V_{GT} = 0,6 \text{ V}$ $g_{m_MC} [\mu\text{S}]$	Ganho da g_{m_MD} em relação à g_{m_MC} (%)
68,14	36,9°	31,76	114,54
90,74	53,1°	43,04	110,82
120,48	90,0°	69,19	74,12
137,41	126,9°	107,27	28,09
165,48	143,1°	148,95	11,09
MOSFET SOI DIAMANTE $V_{GT} = 0,6 \text{ V}$ $g_{m_SMD} [\mu\text{S}]$	α	MOSFET SOI CONVENCIONAL $V_{GT} = 0,6 \text{ V}$ $g_{m_SMC} [\mu\text{S}]$	Ganho da g_{m_SMD} em relação à g_{m_SMC} (%)
69,54	36,9°	21,43	224,49
77,79	53,1°	31,61	146,09
96,41	90,0°	54,37	77,32
129,0	126,9°	93,58	37,84
146,47	143,1°	122,63	19,44

Observa-se da Tabela 3.5 que para o menor ângulo α dos MOSFETs do tipo Diamante, maior é o ganho na transcondutância, quando comparados aos seus equivalentes convencionais, tanto para os MOSFETs, fabricados com a tecnologia CMOS convencional quanto para os MOSFETs fabricados com a tecnologia SOI CMOS.

A Figura 3.9 apresenta as curvas da transcondutância normalizada em função da capacitância do óxido de porta dos MD, MC, SMD e SMC.

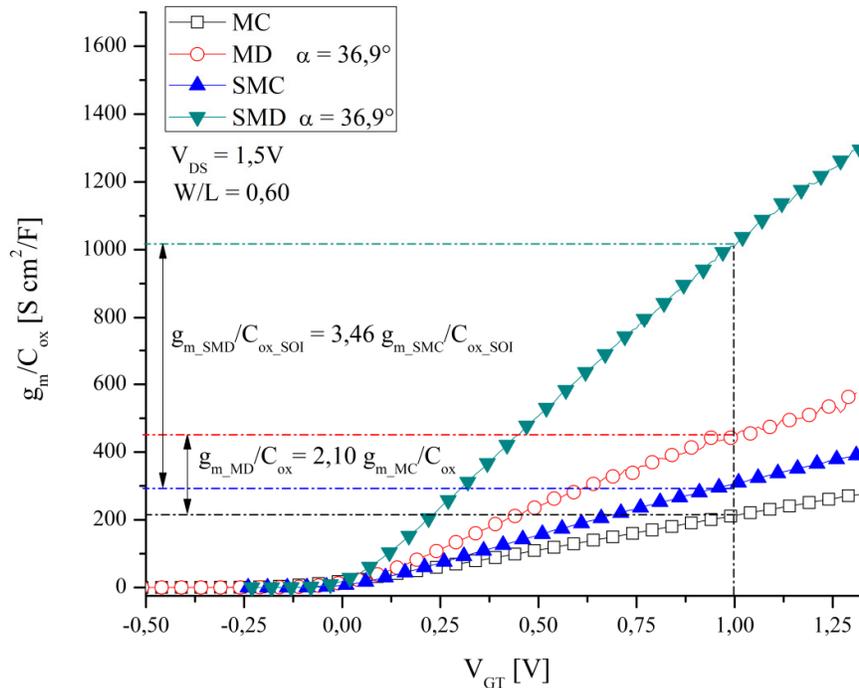
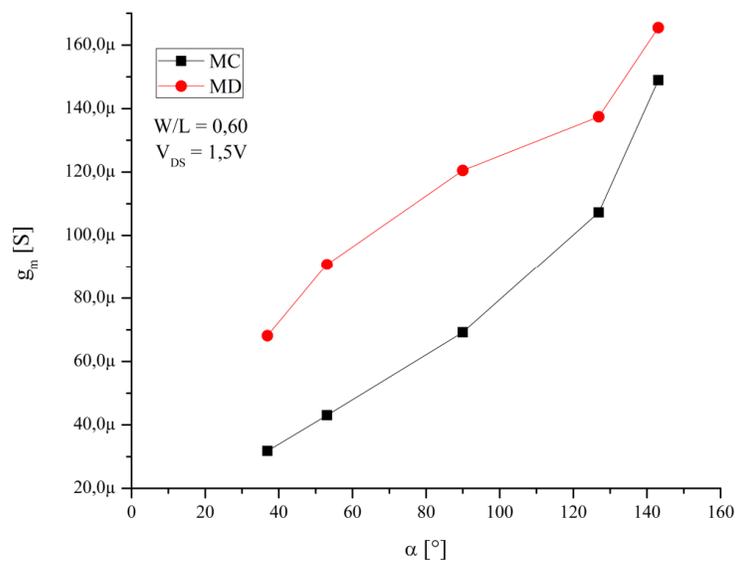


Figura 3.9 – Curvas da transcondutância normalizada pela capacitância do óxido de porta em função da sobre-tensão de porta dos MD, MC, SMD e SMC, com os dispositivos polarizados na região de saturação, para ambas as tecnologias de fabricação de CIs estudadas.

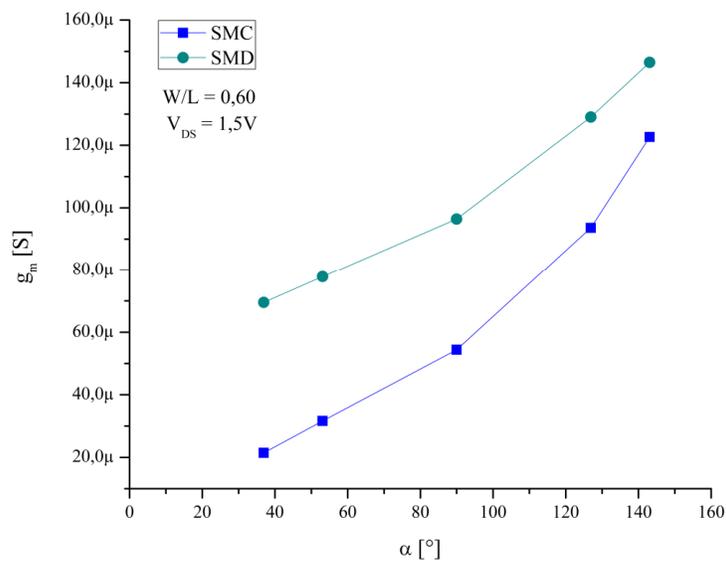
Verifica-se através da Figura 3.9 que a g_{m_MD} normalizada por C_{ox} em função de V_{GT} é 2,10 vezes maior quando comparada com a g_{m_MC} também normalizada por C_{ox} , considerando-se as mesmas condições de polarização, A_G e fator geométrico. Já para a g_{m_SMD} normalizada por C_{ox_SOI} em função de V_{GT} é 3,46 vezes maior quando comparada com a g_{m_SMC} normalizada por C_{ox_SOI} , considerando-se as mesmas condições de polarização, A_{G_SOI} e fator geométrico.

Uma informação que também se observa desta Figura 3.9 é o fato em que a g_{m_SMD} normalizada por C_{ox_SOI} em função de V_{GT} com um ângulo α igual a $36,9^\circ$, alcançou um valor que é 2,25 vezes maior quando comparada com a g_{m_MD} normalizada por C_{ox} , sob as mesmas condições de polarização e fator geométrico. Sendo assim, o MOSFET do tipo Diamante, fabricado com a tecnologia SOI, apresenta uma transcondutância maior quando comparada com aquela obtida no MOSFET do tipo Diamante fabricado com a tecnologia CMOS (Bulk), devido ao menor fator de corpo que os dispositivos FDSOI apresentam quando comparados aos dispositivos fabricados com a tecnologia CMOS (Bulk).

A Figura 3.10 mostra as curvas das transcondutâncias dos MOSFETs do tipo Diamante e os convencionais equivalentes em função de α , para ambas as tecnologias estudadas, ou seja, a CMOS convencional (Bulk) (Figura 3.10.a) e a tecnologia SOI CMOS (Figura 3.10.b).



(a)



(b)

Figura 3.10 – Gráfico das transcondutâncias em função do ângulo α do MC e do MD (a) e do SMC e SMD (b).

Através da Figura 3.10 observa-se que conforme é reduzido o ângulo α das estruturas do tipo Diamante, aumenta-se a diferença entre as transcondutâncias dos MOSFETs do tipo Diamante e a dos MOSFETs convencionais equivalentes, tanto para a tecnologia CMOS (Bulk) quanto para a SOI CMOS. Este melhor desempenho da transcondutância da estrutura com a geometria de porta hexagonal quando comparada à estrutura convencional equivalente, com a mesma área de porta, fator geométrico, condições de polarização, na região de triodo e também na região de saturação, é devido tanto ao maior campo elétrico longitudinal resultante ao longo do canal, como também ao efeito PAMDLE.

3.8 Tensão Early

As tensões Early dos MOSFETs do tipo Diamante para α igual a $36,9^\circ$ e dos seus equivalentes convencionais, para as duas tecnologias que foram utilizadas para estudo neste trabalho experimental, foram extraídas através das curvas I_{DS} em função de V_{DS} para diferentes valores de V_{GS} . Os diferentes valores de V_{GS} foram ajustados de modo a fornecerem a mesma corrente de dreno na região de saturação ($17\mu A$), as quais estão representadas na Figura 3.11.

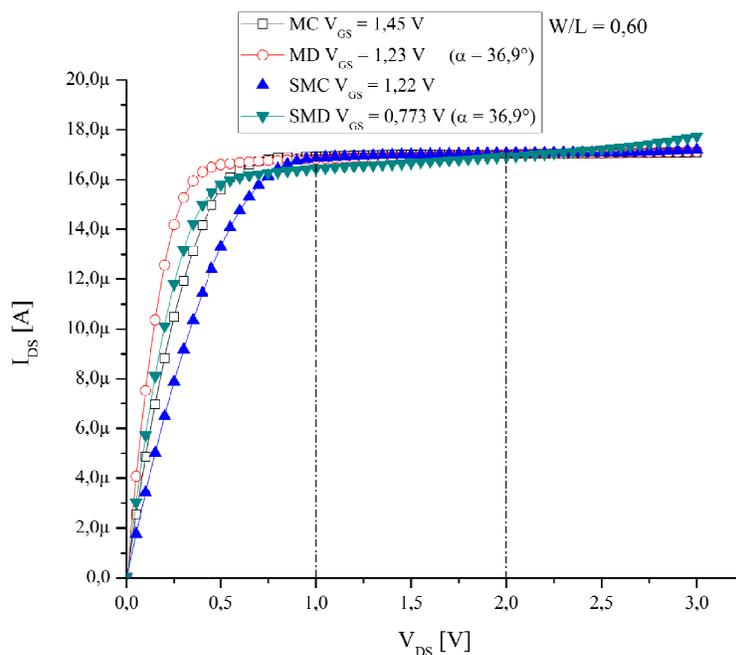


Figura 3.11 – Curvas de I_{DS} em função de V_{DS} para diferentes valores de V_{GS} dos MOSFETs do tipo Diamante com α igual a $36,9^\circ$ e dos convencionais equivalentes para as tecnologias CMOS e SOI CMOS, utilizadas para a extração das tensões Early.

Na Figura 3.11, foi selecionado um intervalo de valores de V_{DS} entre 1 V e 2 V para diferentes valores de V_{GS} , onde foram ajustados os pontos quiescentes dos MOSFETs a serem estudados, considerando-se uma I_{DS} na região de saturação igual a $17 \mu A$. Para cada segmento de reta foi encontrado o valor do coeficiente angular e do coeficiente linear da reta característica, fazendo-se uma regressão linear do segmento de reta existente nesse intervalo considerado. O valor da tensão Early foi extraído através do valor de V_{DS} no qual I_{DS} é nulo.

A Tabela 3.6 mostra as tensões Early em módulo, dos MOSFETs do tipo Diamante para diferentes ângulos α e dos MOSFETs convencionais equivalentes, para ambas as tecnologias, CMOS (bulk) e SOI CMOS.

Tabela 3.6 – Módulos das tensões Early do MC e do seu equivalente MD e também do SMC e do seu equivalente SMD.

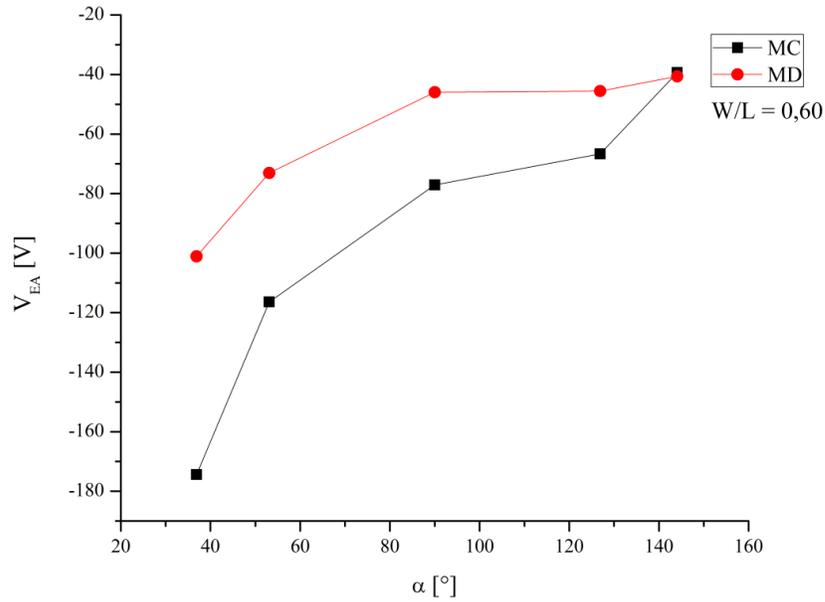
I_{DS} [A]	MOSFET DIAMANTE $ V_{EA} $ [V]	α	MOSFET CONVENCIONAL $ V_{EA} $ [V]	Ganho da V_{EA} do MD em relação à do MC (%)
17,0	101,09	36,9°	174,41	-42,03
16,0	73,04	53,1°	116,40	-37,25
25,0	45,94	90,0°	77,07	-40,39
55,0	45,54	126,9°	66,64	-31,66
50,0	40,62	143,1°	39,33	+3,27
I_{DS} [A]	SOI MOSFET DIAMANTE $ V_{EA} $ [V]	α	SOI MOSFET CONVENCIONAL $ V_{EA} $ [V]	Ganho da V_{EA} do SMD em relação à do SMC (%)
17,0	33,12	36,9°	99,90	-67,39
16,0	36,10	53,1°	47,76	-23,74
25,0	32,24	90,0°	47,17	-31,65
55,0	26,82	126,9°	28,60	-6,22
50,0	24,54	143,1°	19,03	+28,95

Observa-se da Tabela 3.6 que a tensão Early do MD é menor em módulo, quando comparada àquela encontrada no MC equivalente, a menos para o caso onde o ângulo α é igual a $143,1^\circ$, pois neste caso a tensão Early do MD apresentou um aumento em relação à observada no MC equivalente, com a mesma A_G , fator geométrico e condições de polarização.

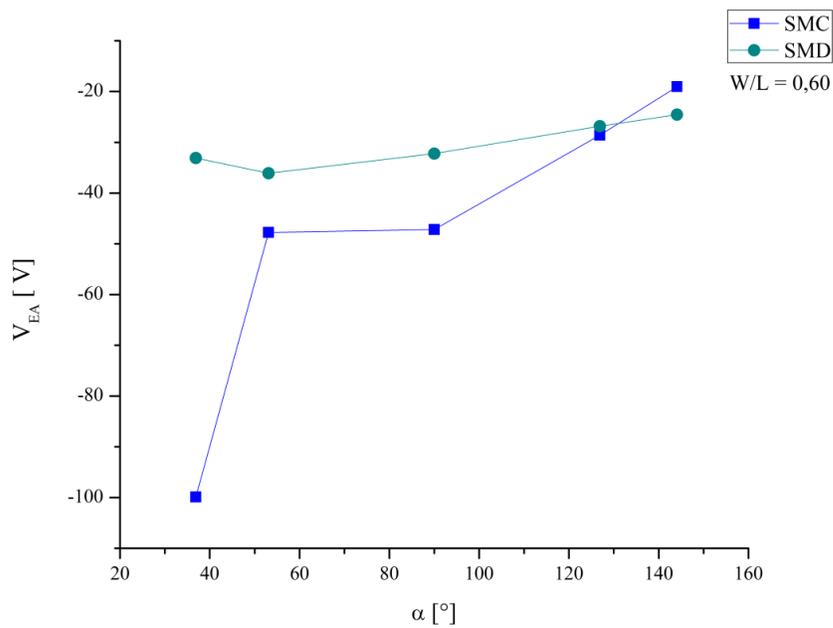
A tensão Early do SMD também é menor em módulo, comparada àquela encontrada no SMC equivalente, com a mesma A_{G_SOI} , fator geométrico e condições de polarização, no entanto, com o ângulo α igual a $143,1^\circ$, existe um aumento de 28,95% na tensão Early do SMD em relação ao SMC.

O ganho da tensão Early em função do ângulo α dos MOSFETs do tipo Diamante em relação aos convencionais equivalentes está representado na Figura 3.12, para o MD em

relação ao seu equivalente MC na Figura 3.12.a e para o SMD em relação ao seu equivalente SMC na Figura 3.12.b.



(a)



(b)

Figura 3.12 – Ganho da tensão Early dos MOSFETs do tipo Diamante em função do ângulo α em relação aos equivalentes convencionais, fabricados com a tecnologia CMOS convencional (a) e com a tecnologia SOI CMOS (b).

Observa-se através dos gráficos da Figura 3.12 que conforme o ângulo α aumenta, o ganho da tensão Early dos MOSFETs com estilo de leiaute do tipo Diamante em relação aos convencionais equivalentes também aumenta, tanto para a tecnologia CMOS (Bulk), quanto para a SOI CMOS. As tensões Early dos MOSFETs do tipo Diamante, para ângulos menores e iguais a $126,9^\circ$, são sempre menores que as encontradas nos equivalentes convencionais, tanto para a tecnologia CMOS como para a tecnologia SOI CMOS. Contudo, os estilos de leiaute do tipo Diamante para α igual a $143,1^\circ$, ocorre justamente o contrário ao observado para ângulos menores e iguais a $126,9^\circ$. Esse fenômeno pode ser justificado pelo fato de existir um alto campo elétrico longitudinal na região do dreno dos MOSFETs do tipo Diamante. Para α igual a $143,1^\circ$, embora exista o LCE, o campo elétrico longitudinal na região do dreno não é significativo para deslocar o ponto de estrangulamento “*pinch-off*” do MOSFET do tipo Diamante e conseqüentemente reduzir substancialmente o comprimento efetivo do canal (Efeito de modulação do comprimento de canal) [5], [7], [12].

Resultados experimentais semelhantes foram obtidos em [7], para os MOSFETs fabricados com a tecnologia CMOS convencional.

3.9 A característica de I_{DS} em função de V_{GS} no ponto de operação e o ganho de tensão em baixas frequências

Com as equações do circuito amplificador fonte comum, definidas no capítulo dois, são calculados os valores das tensões e correntes de polarização para estabelecer o ponto de operação dos MOSFETs do tipo Diamante com α igual a $36,9^\circ$ e os convencionais equivalentes, para as duas tecnologias estudadas, a CMOS (Bulk) e a SOI CMOS.

Inicialmente, com base nas curvas I_{DS} em função de V_{GS} e I_{DS} em função de V_{DS} são adotados os valores de V_{DSQ} , I_{DSQ} , i_{DSmax_MC} e i_{DSmin_MC} e então é calculado o valor de R_D . Posteriormente, é extraído o valor de Kn_{MC} e são calculadas as tensões V_{GSQ_MC} , V_{GSmin_MC} e V_{GSmax_MC} , sendo desta forma possível encontrar a amplitude da tensão v_{gspp} .

Com os valores das correntes i_{DSmax_MC} , i_{DSmin_MC} e R_D são calculadas as tensões V_{DSmin_MC} , V_{DSmax_MC} e a amplitude de v_{dspp_MC} . Por fim, é determinado o valor de A_{VO_MC} .

Como o MOSFET do tipo Diamante necessita de uma menor tensão entre porta e fonte para obter-se a mesma corrente de dreno do convencional equivalente, são então encontrados o valor do Kn_{MD} e as tensões V_{GSQ_MD} , V_{GSmin_MD} e V_{GSmax_MD} .

Com estes valores das tensões de porta, é possível obter as correntes i_{DSmin_MD} e i_{DSmax_MD} e também as tensões V_{DSmin_MD} , V_{DSmax_MD} e V_{dspp_MD} . Finalizando-se com a determinação do A_{VO_MD} .

Este mesmo procedimento foi realizado para os dispositivos fabricados com a tecnologia SOI CMOS.

A Tabela 3.7 contém os resultados das aplicações numéricas utilizando-se as equações descritas no capítulo dois nos itens 2.8 e 2.9, desenvolvidas através da análise teórica do CACFCO, cujo procedimento está disponível no apêndice A, para estabelecer o ponto de operação dos MOSFETs do tipo Diamante com α igual a $36,9^\circ$ e dos convencionais equivalentes, para as duas tecnologias estudadas, a CMOS (Bulk) e a SOI CMOS.

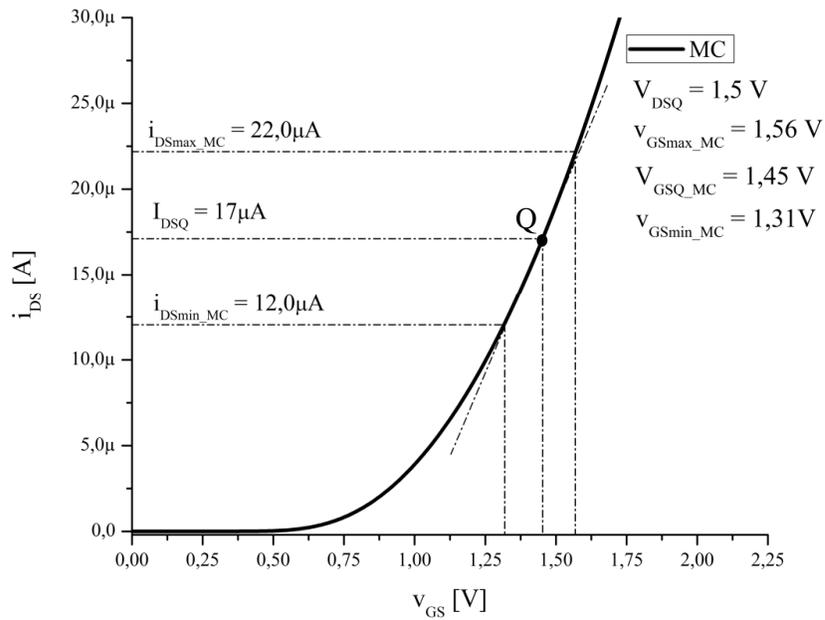
Tabela 3.7 – Valores calculados para realizar a polarização do MD e do seu equivalente MC, assim como para o SMD e o seu equivalente SMC.

TECNOLOGIA CMOS (BULK)				TECNOLOGIA SOI CMOS			
MOSFET CONVENCIONAL CMOS		MOSFET DIAMANTE CMOS $\alpha = 36,9^\circ$		SOI MOSFET CONVENCIONAL		SOI MOSFET DIAMANTE $\alpha = 36,9^\circ$	
L	10,0 μm	(B+b)/2	10,0 μm	L	20,0 μm	(B+b)/2	20,0 μm
W	6,0 μm	W	6,0 μm	W	12,0 μm	W	12,0 μm
A_G	60,0 μm^2	A_G	60,0 μm^2	A_{G_SOI}	240,0 μm^2	A_{G_SOI}	240,0 μm^2
V_{T_MC}	0,70 V	V_{T_MD}	0,69 V	V_{T_SMC}	0,24 V	V_{T_SMD}	0,23 V
K_{n_MC}	51,57 $\mu\text{A/V}$	K_{n_MD}	133,30 $\mu\text{A/V}$	K_{n_SMC}	34,48 $\mu\text{A/V}$	K_{n_SMD}	114,94 $\mu\text{A/V}$
V_{DD}	3,0 V	V_{DD}	3,0 V	V_{DD}	3,0 V	V_{DD}	3,0 V
V_{GSQ_MC}	1,51 V	V_{GSQ_MD}	1,19 V	V_{GSQ_SMC}	1,23 V	V_{GSQ_SMD}	0,773 V
V_{GSmax_MC}	1,62 V	V_{GSmax_MD}	1,31 V	V_{GSmax_SMC}	1,35 V	V_{GSmax_SMD}	0,891 V
V_{GSmin_MC}	1,38 V	V_{GSmin_MD}	1,07 V	V_{GSmin_SMC}	1,11 V	V_{GSmin_SMD}	0,655 V
v_{gs}	0,241 V	v_{gs}	0,241 V	v_{gs}	0,241 V	v_{gs}	0,241 V
I_{DSQ}	17,0 μA	I_{DSQ}	17,0 μA	I_{DSQ}	17,0 μA	I_{DSQ}	17,0 μA
i_{DSmax_MC}	22,0 μA	i_{DSmax_MD}	25,62 μA	i_{DSmax_SMC}	21,38 μA	i_{DSmax_SMD}	25,38 μA
i_{DSmin_MC}	12,0 μA	i_{DSmin_MD}	9,62 μA	i_{DSmin_SMC}	13,11 μA	i_{DSmin_SMD}	10,28 μA
V_{DSQ}	1,5 V	V_{DSQ}	1,5 V	V_{DSQ}	1,5 V	V_{DSQ}	1,5 V
V_{DSmax_MC}	1,94 V	V_{DSmax_MD}	2,15 V	V_{DSmax_SMC}	1,84 V	V_{DSmax_SMD}	2,09 V
V_{DSmin_MC}	1,05 V	V_{DSmin_MD}	0,73 V	V_{DSmin_SMC}	1,11 V	V_{DSmin_SMD}	0,76 V
V_{dspp_MC}	0,89 V	V_{dspp_MD}	1,42 V	V_{dspp_SMC}	0,73 V	V_{dspp_SMD}	1,33 V
R_D	88,23 K Ω	R_D	88,23 K Ω	R_D	88,23 K Ω	R_D	88,23 K Ω

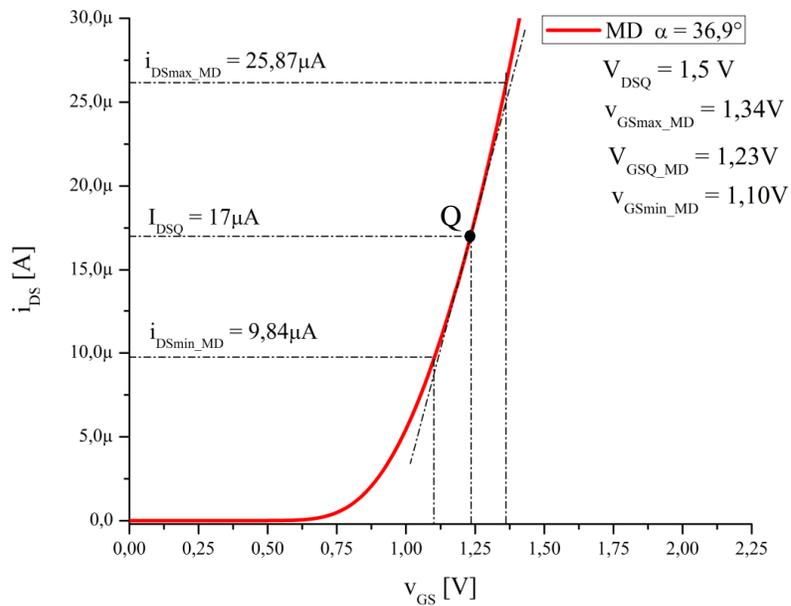
Conforme mostra a Tabela 3.7, observa-se que a V_{DD} , v_{gs} , R_D , V_{DSQ} e I_{DSQ} tem o mesmo valor para todos os MOSFETs implementados no CACFCO utilizados para a realização do estudo da resposta em frequência.

A Figura 3.13 mostra as curvas características de i_{DS} em função de v_{GS} , obtidas experimentalmente, indicando-se as tensões e correntes máximas e mínimas de polarização no

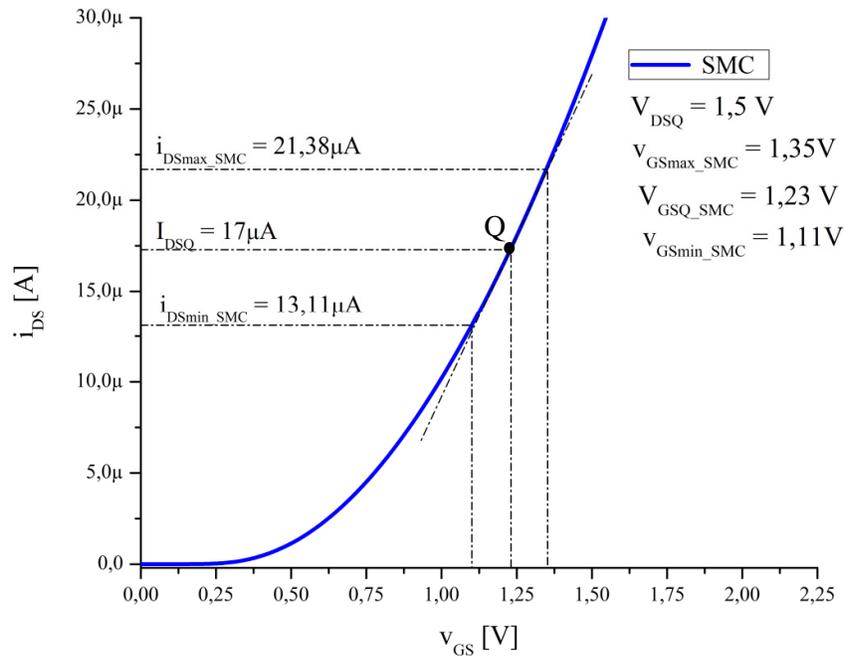
ponto de operação do MOSFET convencional (Figura 3.13.a), do MOSFET do tipo Diamante (Figura 3.13.b), do SOI MOSFET convencional (Figura 3.13.c) e do SOI MOSFET do tipo Diamante (Figura 3.13.d).



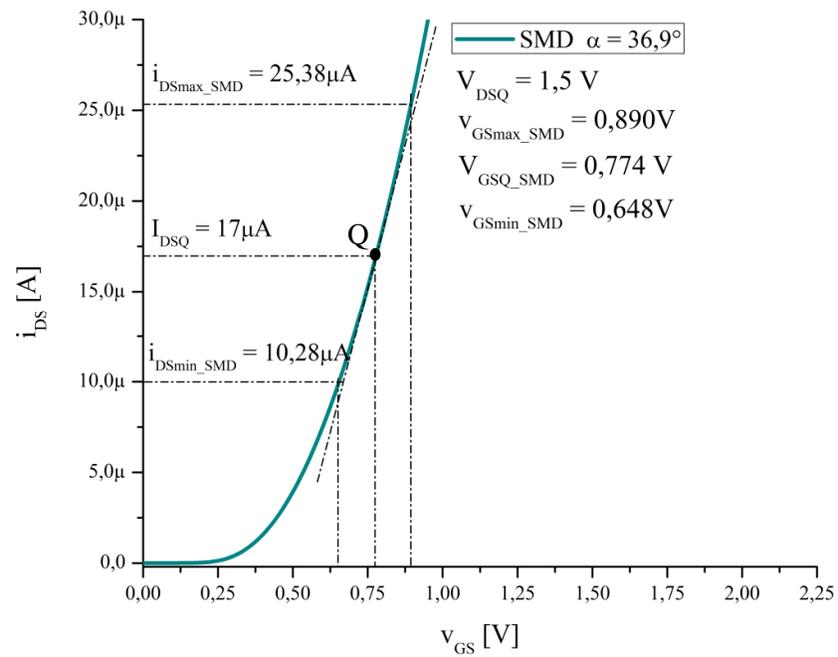
(a)



(b)



(c)



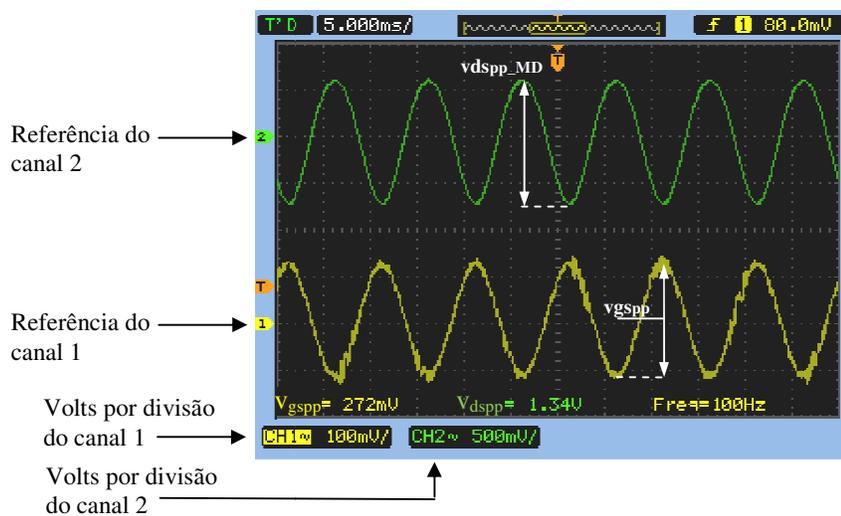
(d)

Figura 3.13 – Curvas de i_{DS} em função de v_{GS} destacando-se a polarização dos dispositivos no ponto de operação. Em (a) MC, (b) MD, (c) SMC e (d) SMD.

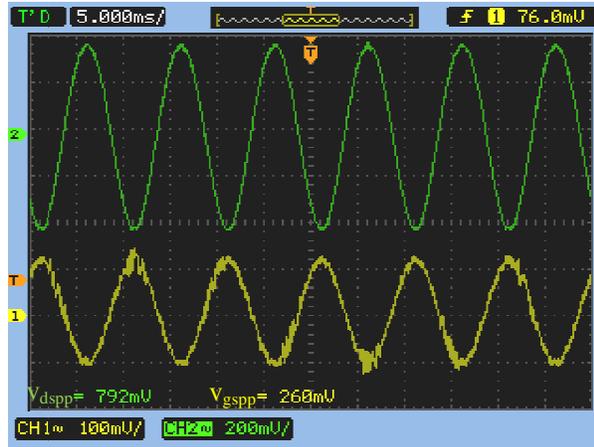
Estes resultados dão informações para a polarização desses transistores quando são usados no CACFCO para a etapa experimental da caracterização elétrica da resposta em frequência. Observa-se que nos MOSFETs com a geometria de porta hexagonal ocorre uma maior excursão do ponto quiescente quando comparados aos MOSFETs convencionais equivalentes, considerando-se a mesma v_{gspp} e V_{DSQ} .

3.10 Resultados experimentais do ganho de tensão do CACFCO implementado com os MOSFETs em baixas frequências

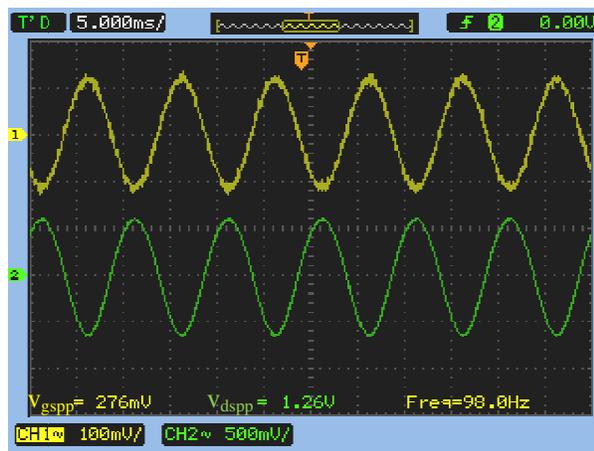
Com o uso de um osciloscópio de duplo canal foi possível registrar as formas de onda na porta e no dreno dos MOSFETs que são usados no CACFCO para realizar esse trabalho, como mostra a Figura 3.14. As senóides do MD, estão representadas na Figura 3.14.a, já as formas de onda do MC estão representadas na Figura 3.14.b, as do SMD na Figura 3.14.c e as do SMC na Figura 3.14.d.



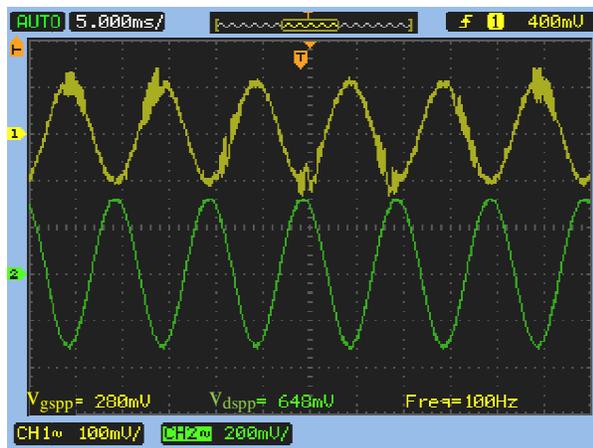
(a)



(b)



(c)



(d)

Figura 3.14 – Formas de onda que foram registradas com o uso do osciloscópio no CACFCO implementado com os MOSFETs do tipo Diamante e dos respectivos convencionais equivalentes, apresentando os valores de v_{gspp} em amarelo (CH1) e v_{dspp} em verde (CH2) do MD em (a), MC em (b), SMD em (c) e SMC em (d), respectivamente.

A ponta de prova do canal 1 (CH1) foi posicionada no CACFCO para medir a tensão v_{gspp} , indicada em amarelo. Já, a ponta de prova do canal 2 (CH2) foi posicionada no CACFCO para medir a tensão v_{dspp} dos MOSFETs.

Na parte inferior das figuras, estão indicados os valores medidos através do osciloscópio. Como pode ser observado, o sinal fornecido através de um gerador senoidal está ajustado inicialmente com uma baixa frequência, que neste caso é de 100 Hz.

Nota-se que existe uma defasagem inicial de 180° de v_{dspp} em relação à v_{gspp} em todos os sinais senoidais medidos em todos os dispositivos de ambas as tecnologias, mostrando que as capacitâncias intrínsecas dos MOSFETs, para baixas frequências, comportam-se como um circuito aberto.

A Tabela 3.8 apresenta a comparação entre os ganhos de tensão do CACFCO obtidos experimentalmente utilizando-se os MOSFETs do tipo Diamante para os diferentes ângulos α e os convencionais equivalentes, para as tecnologias CMOS (Bulk) e a SOI CMOS, respectivamente.

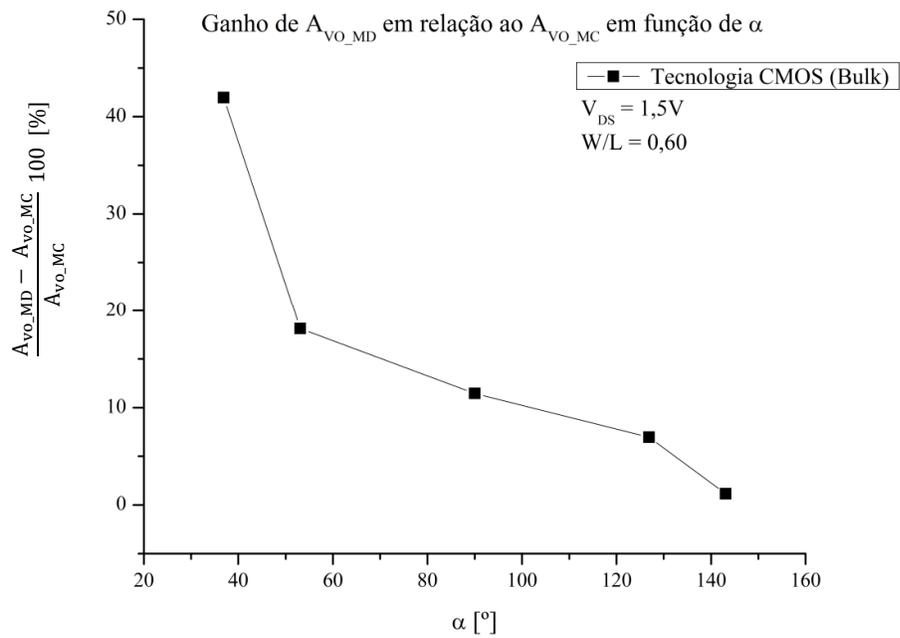
Tabela 3.8 – Os valores e a comparação entre os ganhos de tensão do CACFCO obtidos experimentalmente, utilizando os MOSFETs do tipo Diamante para diferentes α e os equivalentes convencionais, para ambas as tecnologias CMOS (Bulk e SOI).

I_{DS} [A]	MOSFET DIAMANTE (A_{VO_MD}) [dB]	α	MOSFET CONVENCIONAL (A_{VO_MC}) [dB]	Ganho de A_{VO_MD} em relação ao A_{VO_MC} (%)
17,0	13,73	36,9°	9,67	41,95
16,0	14,13	53,1°	11,96	18,12
25,0	13,73	90,0°	12,32	11,45
55,0	11,48	126,9°	10,73	6,94
50,0	13,13	143,1°	12,98	1,14
I_{DS} [A]	SOI MOSFET DIAMANTE (A_{VO_SMD}) [dB]	α	SOI MOSFET CONVENCIONAL (A_{VO_SMC}) [dB]	Ganho de A_{VO_SMD} em relação ao A_{VO_SMC} (%)
17,0	13,70	36,9°	7,80	75,73
16,0	15,43	53,1°	10,84	42,30
25,0	13,97	90,0°	11,39	22,67
55,0	11,48	126,9°	10,40	10,31
50,0	12,74	143,1°	11,92	6,87

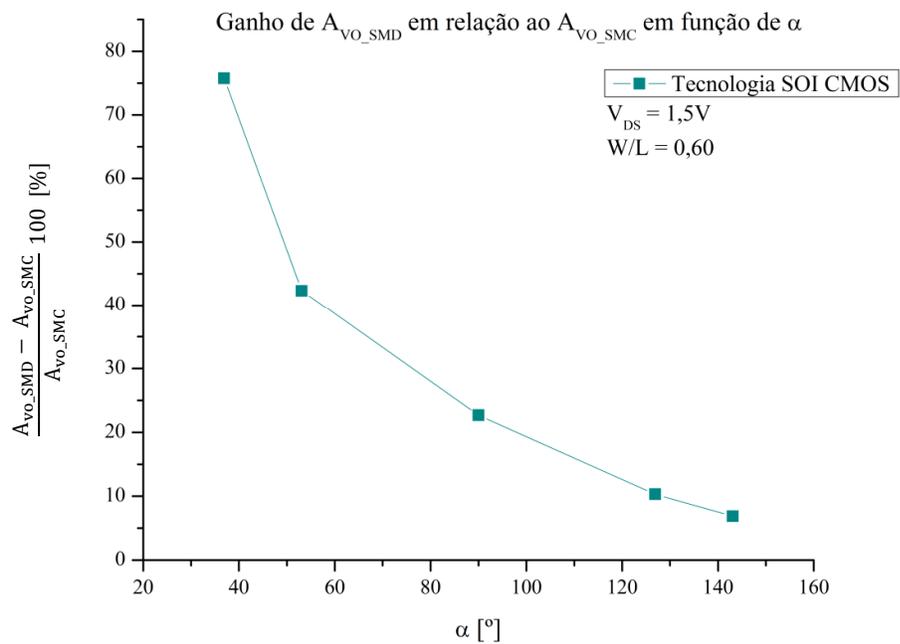
Analisando-se a Tabela 3.8, observa-se que os MOSFETs com a geometria de porta hexagonal implementados no CACFCO apresentam sempre um maior ganho de tensão, para pequenos sinais em baixas frequências, quando comparados com as estruturas convencionais equivalentes, tanto para a tecnologia CMOS (bulk) como para a tecnologia SOI CMOS.

O ganho de tensão no CACFCO com o MD para um ângulo α igual a 36,9° alcançou um valor de 13,73 dB, enquanto que o seu equivalente MC obteve um ganho de tensão igual a 9,67 dB, considerando-se uma mesma A_G , fator geométrico e condições de polarização. Portanto, o A_{VO_MD} obteve um ganho de 41,95 % que é aproximadamente 1,4 vezes maior que aquele A_{VO_MC} em dB. Já o ganho de tensão no CACFCO com o SMD para α igual a 36,9° alcançou um valor de 13,70 dB, sendo que o ganho de tensão obtido com o SMC equivalente é igual a 7,80 dB, considerando-se uma mesma A_{G_SOI} , fator geométrico e condições de polarização. Isto indica que o A_{VO_SMD} obteve um ganho de 75,73 % que é aproximadamente 1,8 vezes maior que aquele A_{VO_SMC} encontrado no seu equivalente SMC.

A Figura 3.15 apresenta os gráficos dos ganhos em porcentagem do ganho de tensão em função de α , do CACFCO implementado com os MOSFETs do tipo Diamante em relação àqueles observados quando implementados com os convencionais equivalentes, para os dispositivos fabricados com a tecnologia CMOS convencional (Bulk) (Figura 3.15.a) e os dispositivos fabricados com a tecnologia SOI CMOS (Figura 3.15.b).



(a)



(b)

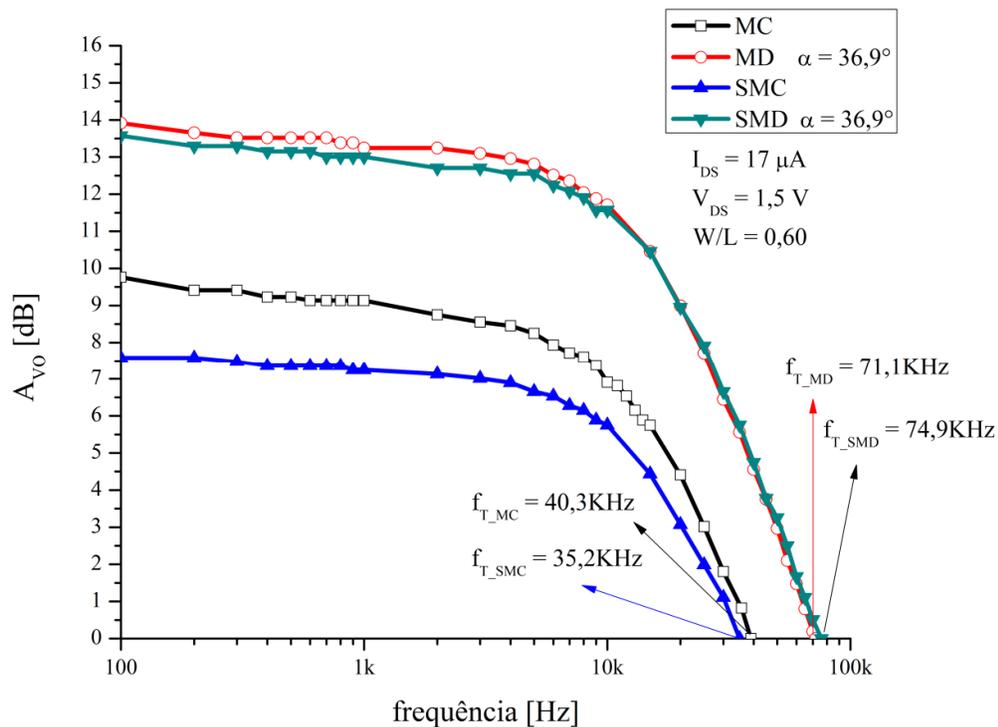
Figura 3.15 – O ganho em porcentagem de A_{VO_MD} em relação ao A_{VO_MC} em função do ângulo α para a tecnologia CMOS convencional em (a) e para a tecnologia SOI CMOS em (b).

Analisando-se a Figura 3.15, para as duas tecnologias de fabricação de CIs estudadas, verifica-se que o ganho de tensão dos MOSFETs do tipo Diamante, em relação ao ganho de tensão dos MOSFETs convencionais equivalentes, aumenta significativamente à medida que o ângulo α é reduzido. Isto pode ser justificado através de dois efeitos presentes no estilo de leiaute do tipo Diamante, ou seja, o efeito de canto longitudinal ao longo do canal e o PAMDLE. Além disso, como os MOSFETs do tipo Diamante necessitam de uma tensão de porta menor do que aquela encontrada nos MOSFETs convencionais equivalentes, isto indica que os MOSFETs do tipo Diamante operam mais próximos da região do regime de inversão fraca, com uma maior relação g_m/I_{DS} , que os equivalentes convencionais.

Um resultado verificado anteriormente, mostrou uma maior transcondutância normalizada pela capacitância do óxido de porta do SMD quando comparada à do MD com os MOSFETs operando na região de saturação, sob as mesmas condições de polarização e fator geométrico, isto implica diretamente em um maior ganho de tensão da estrutura do tipo Diamante fabricada com a tecnologia SOI CMOS, quando comparado ao ganho de tensão obtido na estrutura do tipo Diamante fabricada com a tecnologia CMOS (Bulk), devido à tecnologia SOI apresentar um menor fator de corpo.

3.11 O estudo experimental da resposta em frequência do circuito amplificador fonte comum implementado com os MOSFETs

As curvas experimentais do ganho de tensão em função da frequência dos MOSFETs do tipo Diamante com o ângulo α igual a $36,9^\circ$ e dos equivalentes convencionais, para as tecnologias CMOS (Bulk) e a SOI CMOS, são mostradas no gráfico da Figura 3.16.



(a)

Figura 3.16 – Gráfico do ganho de tensão em função da frequência do CACFCO implementado com o MD e o seu equivalente MC e também implementado com o SMD e o seu equivalente SMC.

Na Figura 3.16, $f_{T_{MD}}$, $f_{T_{MC}}$, $f_{T_{SMD}}$ e $f_{T_{SMC}}$, são as frequências do ganho de tensão unitário do CACFCO implementado, respectivamente, com os MD, MC, SMD e o SMC.

A frequência do ganho de tensão unitário do CACFCO implementado com os MOSFETs do tipo Diamante e os convencionais equivalentes com ambas as tecnologias estudadas, a CMOS convencional e a SOI CMOS, foram extraídas do gráfico de A_{VO} em função da frequência e apresentadas na Tabela 3.9.

Tabela 3.9 – As frequências do ganho de tensão unitário do CACFCO implementado com os MOSFETs do tipo Diamante e os equivalentes convencionais, para as duas diferentes tecnologias de fabricação de circuitos integrados estudadas, a CMOS e a SOI CMOS.

I_{Ds} [A]	MOSFET DIAMANTE $A_{VO_MD} = 1$ (f_{T_MD}) [KHz]	α	MOSFET CONVENCIONAL $A_{VO_MC} = 1$ (f_{T_MC}) [KHz]	Ganho da f_{T_MD} em relação à f_{T_MC} (%)
17,0	71,1	36,9°	40,3	76,42
16,0	85,0	53,1°	55,0	54,54
25,0	110,0	90,0°	90,0	22,22
55,0	210,0	126,9°	180,0	16,66
50,0	220,0	143,1°	210,0	4,76
I_{Ds} [A]	SOI MOSFET DIAMANTE $A_{VO_SMD} = 1$ (f_{T_SMD}) [KHz]	α	SOI MOSFET CONVENCIONAL $A_{VO_SMC} = 1$ (f_{T_SMC}) [KHz]	Ganho da f_{T_SMD} em relação à f_{T_SMC} (%)
17,0	74,9	36,9°	35,2	112,78
16,0	85,0	53,1°	52,0	63,46
25,0	116,0	90,0°	87,0	33,33
55,0	188,0	126,9°	160,0	17,5
50,0	200,0	143,1°	175,0	14,28

A f_{T_MD} do CACFCO implementado com o MOSFET do tipo Diamante com α igual a 36,9° alcançou um valor de 71,1 KHz, enquanto a f_{T_MC} obtida pelo CACFCO implementado com o MOSFET convencional equivalente, foi de 40,3 KHz. Com este resultado, o ganho da f_{T_MD} é de 76,42 % que é aproximadamente 1,8 vezes maior quando comparada a f_{T_MC} , considerando-se a mesma A_G , fator geométrico e condições de polarização. Já o ganho da f_{T_SMD} do CACFCO implementado com o MOSFET SOI do tipo Diamante é de 112,78 %, isto é, aproximadamente 2,1 vezes maior que aquela f_{T_SMC} obtida do CACFCO utilizando o MOSFET SOI convencional equivalente considerando-se uma mesma A_{G_SOI} , W/L e condições de polarização.

Existe um aumento nas frequências de ganho de tensão unitário do CACFCO utilizando os MOSFETs com a geometria de porta hexagonal, quando comparadas com as observadas no CACFCO utilizando os dispositivos convencionais equivalentes, isso implica, de acordo com a equação (2.60), que uma maior transcondutância causa um aumento também na f_T . Sendo assim, como as estruturas com a geometria de porta hexagonal apresentam um maior valor da transcondutância quando comparadas com aquelas obtidas nas estruturas convencionais equivalentes, tanto para a tecnologia CMOS (Bulk) e mais ainda para a SOI CMOS, devido ao menor valor do fator de corpo que é característico da tecnologia SOI, há também um aumento na frequência do ganho de tensão unitário das estruturas do tipo Diamante quando comparadas com as observadas no CACFCO utilizando os dispositivos convencionais equivalentes.

A Figura 3.17 mostra o gráfico do comportamento do ganho normalizado de tensão em função da frequência, dos dispositivos em estudo, o MD, MC, SMD e SMC.

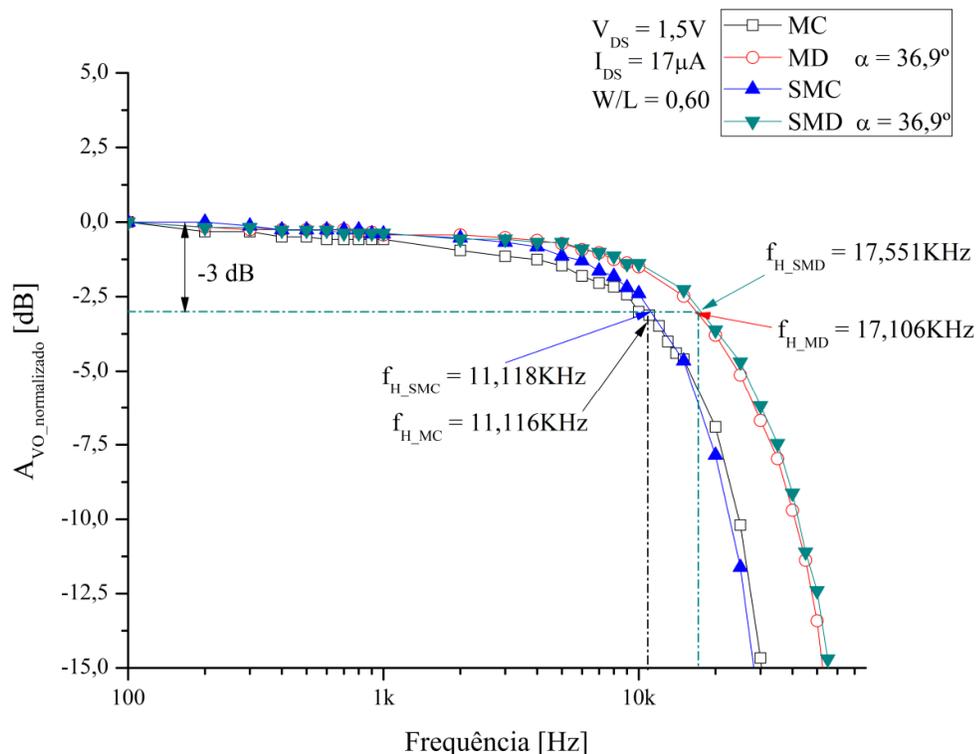


Figura 3.17 – Gráfico do ganho normalizado em função da frequência do MD, MC, SMD e SMC.

Onde, f_{H_MD} , f_{H_MC} , f_{H_SMD} e f_{H_SMC} são as frequências de corte superiores dos MD, MC, SMD e SMC, respectivamente.

Esta representação do ganho de tensão normalizado em função da frequência torna-se melhor para a visualização da queda em -3dB do valor máximo do ganho de tensão do amplificador, onde é extraído o valor da frequência de corte superior. O ganho normalizado de tensão tem um valor inicial igual a zero dB para uma frequência igual a 100 Hz, sendo atenuado conforme é aumentada a frequência do sinal senoidal. Esta atenuação do ganho de tensão ocorre devido à ação das capacitâncias intrínsecas do MOSFET, somadas às capacitâncias associadas aos cabos do sistema de medidas, que deixam de se comportar como um circuito aberto para as altas frequências [12].

A Tabela 3.10 mostra as frequências de corte superiores dos MOSFETs do tipo Diamante e dos convencionais equivalentes, onde o ganho de tensão em cada dispositivo é reduzido em -3 dB.

Tabela 3.10 - As frequências de corte superiores dos MOSFETs do tipo Diamante e dos equivalentes convencionais, onde o ganho de tensão do CACFCO é reduzido em -3dB, para as duas tecnologias de fabricação de circuitos integrados estudadas, a CMOS e a SOI CMOS.

I_{Ds} [A]	MOSFET DIAMANTE $A_{VO_MD} = -3dB$ f_{H_MD} [KHz]	α	MOSFET CONVENCIONAL $A_{VO_MC} = -3dB$ f_{H_MC} [KHz]	Ganho da f_{H_MD} em relação à f_{H_MC} (%)
17,0	17,106	36,9°	11,116	53,88
16,0	12,809	53,1°	11,427	12,09
25,0	19,672	90,0°	17,767	10,72
55,0	46,918	126,9°	45,770	2,50
50,0	41,839	143,1°	41,700	0,33
I_{Ds} [A]	SOI MOSFET DIAMANTE $A_{VO_SMD} = -3dB$ f_{H_SMD} [KHz]	α	SOI MOSFET CONVENCIONAL $A_{VO_SMC} = -3dB$ f_{H_SMC} [KHz]	Ganho da f_{H_SMD} em relação à f_{H_SMC} (%)
17,0	17,551	36,9°	11,116	57,88
16,0	12,890	53,1°	11,408	12,99
25,0	19,803	90,0°	17,976	10,16
55,0	46,926	126,9°	45,219	3,77
50,0	41,956	143,1°	41,717	0,572

De acordo com a Tabela 3.10, o MOSFET do tipo Diamante com α igual a 36,9° apresentou uma f_{H_MD} com um valor igual a 17,106 KHz, enquanto a f_{H_MC} chegou a um valor igual a 11,116 KHz, ou seja, o ganho de tensão normalizado com a estrutura com a geometria de porta hexagonal, para a tecnologia CMOS (Bulk), foi reduzido em -3dB do valor máximo com uma frequência de corte que é 1,53 vezes maior que a frequência de corte obtida para o equivalente convencional, com a mesma A_G , fator geométrico e condições de polarização.

Analisando-se a Tabela 3.10, por meio dos resultados obtidos para os dispositivos fabricados com a tecnologia SOI CMOS, observa-se que o SMD com α igual a 36,9° apresentou uma f_{H_SMD} com um valor igual a 17,551 KHz, enquanto a f_{H_SMC} chegou a um valor igual a 11,116 KHz. Sendo assim, o ganho de tensão do CACFCO foi reduzido em -3dB do valor máximo com uma frequência de corte que é 1,58 vezes maior que a frequência de corte obtida para o equivalente convencional, com a mesma A_{G_SOI} , fator geométrico e condições de polarização.

Conclui-se também das curvas de $A_{VO_normalizado}$ em função da frequência do MC, SMC, MD e SMD, que o ganho normalizado de tensão em função da frequência é reduzido para as frequências acima das frequências de corte, sendo que as capacitâncias intrínsecas aos dispositivos sob teste não atuam nessa faixa de frequências e as capacitâncias das pontas de prova do osciloscópio é que definem esse único pólo [12]. Sendo assim, as estruturas do tipo Diamante de ambas as tecnologias apresentam praticamente o mesmo comportamento em relação à f_H , ou seja, a f_{H_MD} é aproximadamente igual à f_{H_SMD} .

3.12 O estudo da defasagem entre a tensão de dreno em relação à tensão de porta.

O estudo da defasagem em função da frequência do CACFCO o qual foi implementado com os MOSFETs do tipo Diamante e com os convencionais equivalentes em ambas as tecnologias, a CMOS (Bulk) e a SOI CMOS, foi realizado registrando-se os sinais senoidais de saída v_{dspp} em relação à entrada v_{gspp} através do osciloscópio. Com o uso do recurso de posicionamento de cursores, uma função disponível no osciloscópio, foi possível verificar em qual instante de tempo a amplitude de cada senóide alcançou o seu valor máximo e utilizando-se a equação (3.1), pode-se calcular a defasagem (φ).

$$\varphi = f (t_s - t_e) 360^\circ \quad (3.1)$$

Sendo t_s e t_e os instantes de tempo em que são registrados o máximo valor da amplitude da tensão v_{dspp} e v_{gspp} , respectivamente.

A Figura 3.18 apresenta o gráfico da defasagem dos MD, MC, SMD e SMC.

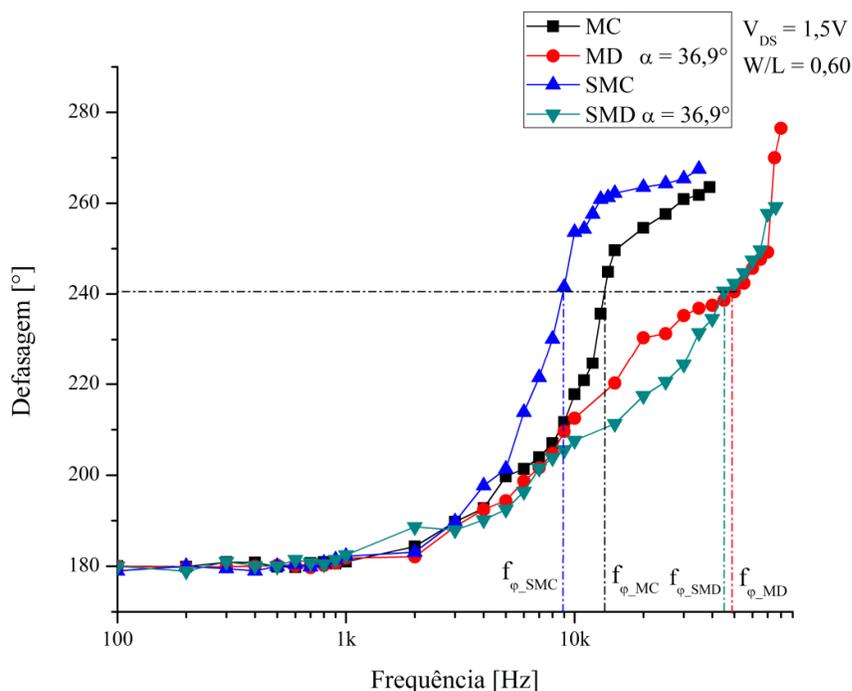


Figura 3.18 – Defasagem dos sinais senoidais de saída v_{dspp} em relação à entrada v_{gspp} dos MOSFETs do tipo Diamante e dos convencionais equivalentes, das duas tecnologias estudadas, a CMOS (Bulk) e a SOI CMOS.

Onde, f_{ϕ_SMC} , f_{ϕ_MC} , f_{ϕ_MD} e f_{ϕ_SMD} são as frequências para as quais o SMC, o MC, o MD e o SMD, respectivamente, defasaram 60° em relação aos 180° .

Observa-se do gráfico da Figura 3.18 que todos os dispositivos iniciaram com uma defasagem de 180° , pois o circuito amplificador em configuração fonte comum é um circuito inversor. Esta defasagem aumenta conforme o aumento da frequência. Contudo, a f_{ϕ_MD} é igual a 48,86 KHz, enquanto a f_{ϕ_MC} alcançou um valor igual a 13,70 KHz, ou seja, o MD defasou 60° em relação aos 180° com uma frequência aproximadamente 3,56 vezes maior que a frequência do MC equivalente, para uma mesma A_G , fator geométrico e condições de polarização.

A f_{ϕ_SMD} chegou a um valor igual a 45,22 KHz, sendo que a f_{ϕ_SMC} é igual a 8,82 KHz, desta forma, o SMD defasou 60° em relação aos 180° com uma frequência aproximadamente 5,12 vezes maior que a frequência do SMC equivalente, para uma mesma A_{G_SOI} , fator geométrico e condições de polarização.

Verifica-se que os MOSFETs com a geometria de porta hexagonal alcançaram um mesmo deslocamento de fase de 60° em relação aos 180° , para um maior valor de frequência, comparados aos convencionais equivalentes em ambas as tecnologias estudadas, a CMOS convencional e a SOI CMOS. Isto ocorre devido à maior transcondutância apresentada pelos dispositivos com a geometria de porta hexagonal. Este comportamento da fase em função da frequência é fortemente influenciado pela transcondutância, conforme indica a equação (2.55), que foi descrita no capítulo 2.

4 CONCLUSÕES E PRÓXIMAS ETAPAS DO TRABALHO

Esta pesquisa teve como objetivo realizar um estudo experimental comparativo da resposta em frequência entre o MOSFET com a geometria de porta hexagonal com diferentes ângulos α e a resposta em frequência do equivalente MOSFET convencional, com uma mesma área de porta, fator geométrico e condições de polarização, utilizando-se dispositivos fabricados com as diferentes tecnologias, a CMOS convencional (Bulk) e a tecnologia SOI CMOS.

A partir de um circuito integrado fabricado com a tecnologia CMOS convencional, foram selecionados para o estudo realizado neste trabalho, cinco MOSFETs do tipo Diamante e cinco MOSFETs convencionais equivalentes. Em outro circuito integrado fabricado com a tecnologia SOI CMOS também foram selecionados cinco MOSFETs do tipo Diamante e cinco MOSFETs convencionais equivalentes.

Com a caracterização das curvas de I_{DS} em função de V_{GS} e I_{DS} em função de V_{DS} , foi possível avaliar o comportamento elétrico dos MOSFETs do tipo Diamante e o dos equivalentes MOSFETs convencionais. Destas curvas fundamentais, puderam ser extraídas as tensões de limiar, as transcondutâncias de processo, as tensões Early, as transcondutâncias e também realizar-se a polarização do ponto de operação do circuito amplificador em configuração fonte comum.

Com o enriquecimento do campo elétrico longitudinal resultante ao logo do canal, e o efeito PAMDLE da geometria de porta hexagonal dos MOSFET do tipo Diamante, os parâmetros tais como, a corrente de dreno e a transcondutância, aumentaram significativamente o seu valor quando comparados aos obtidos com os equivalentes MOSFETs convencionais, para os dispositivos polarizados tanto na região de triodo quanto na região de saturação.

Observou-se que quanto menor o ângulo α , melhor é a performance do MOSFET do tipo Diamante quando comparado ao MOSFET convencional equivalente, tanto para a tecnologia CMOS (Bulk) e mais ainda para a SOI CMOS, com exceção da tensão Early, pois houve uma pior performance da tensão Early do MOSFET do tipo Diamante para o ângulo α menor que $144,1^\circ$. Esta degradação da tensão Early deve-se ao efeito da ionização por impacto pelo fato de existir um maior campo elétrico longitudinal resultante na região do dreno.

Houve também um acréscimo no ganho de tensão em malha aberta no circuito amplificador fonte comum implementado com os MOSFETs e na frequência do ganho de

tensão unitário, pois estes parâmetros estão diretamente relacionados à transcondutância. Como resultado para a tecnologia CMOS convencional, obteve-se um maior ganho de tensão do circuito amplificador com o MOSFET do tipo Diamante, chegando a ser 41,95 % maior que aquele obtido para o MOSFET convencional equivalente. Observou-se também uma maior frequência do ganho de tensão unitário para a estrutura com a geometria de porta hexagonal, chegando a 76,42 % maior que a estrutura convencional equivalente.

Com o SOI MOSFET do tipo Diamante, obteve-se um excelente desempenho também com um maior ganho de tensão do circuito amplificador fonte comum, chegando a ser 75,73% maior que aquele obtido para o SOI MOSFET convencional equivalente e também uma maior frequência de ganho de tensão unitário, alcançando um valor 112,78 % maior que a obtida para o SOI MOSFET convencional equivalente.

As estruturas com a geometria de porta hexagonal implementados no circuito amplificador fonte comum também apresentaram uma maior frequência de corte superior chegando a ser 53,88 % maior quando comparadas com aquelas obtidas nas estruturas convencionais equivalentes, para a tecnologia CMOS (Bulk). Já as estruturas com a geometria de porta hexagonal fabricadas com a tecnologia SOI CMOS também apresentaram maior frequências de corte superior chegando a ser 57,88 % maior quando comparadas com aquelas obtidas nas estruturas convencionais equivalentes, em consequência de uma maior transcondutância observada nas estruturas do tipo Diamante.

A resposta da fase em função da frequência dos MOSFETs do tipo Diamante apresentou uma defasagem de 60° em relação aos 180° para uma frequência 256 % maior quando comparados aos equivalentes convencionais fabricados com a tecnologia CMOS (bulk). Já, a resposta da fase em função da frequência dos MOSFETs do tipo Diamante fabricados com a tecnologia SOI CMOS apresentou uma defasagem de 60° para uma frequência 412,6 % maior quando comparados aos equivalentes convencionais, devido à maior transcondutância das estruturas com a geometria de porta hexagonal quando comparadas com as estruturas convencionais equivalentes.

Em amplificadores de transcondutância, na topologia destes circuitos são utilizados vários transistores. Existe na entrada deste amplificador um par diferencial e outros transistores configurados como espelhos de corrente. A aplicação do MOSFET do tipo Diamante nos circuitos espelhos de corrente é uma ótima opção, pois o mesmo possui uma maior capacidade de condução de corrente entre as regiões de dreno e fonte. Contudo, a aplicação do MOSFET do tipo Diamante não é uma boa opção para os estágios de saída de amplificadores de transcondutância, visto que há uma degradação das tensões Early,

reduzindo-se desta forma o ganho de tensão em malha aberta. Sendo assim, uma possível prática de projeto destes amplificadores com uma boa performance seria a utilização do MOSFET do tipo Diamante especificando-se o valor do ângulo α dependendo em qual estágio do amplificador seria melhor aplicada a estrutura do tipo Diamante, ou seja, com menor ângulo α para os circuitos configurados como espelhos de corrente e maior ângulo α para o estágio de saída do amplificador.

O MOSFET com a geometria de porta hexagonal também é uma boa opção para aplicações em circuitos integrados digitais, pois a estrutura do tipo Diamante apresenta uma maior capacidade de condução da corrente de dreno, isto implica em uma menor área necessária para a implementação em circuitos integrados, quando comparado aos circuitos integrados implementados com MOSFETs com a geometria de porta retangular convencional.

Uma sugestão para projetos futuros seria a caracterização do MOSFET do tipo Diamante, para obter-se uma maior quantidade de parâmetros e realizar a extração dos parâmetros SPICE, com a finalidade de conseguir resultados mais precisos em simulações, a fim de projetar circuitos integrados com o uso do MOSFET com a geometria de porta hexagonal.

REFERÊNCIAS

- [1] RAZAVI, Behzad. **Design of Analog CMOS Integrated Circuits**. Singapore: Mcgraw-Hill Higher education, 2001.
- [2] COLINGE, J. P. **Silicon-On-Insulator Technology Materials to VLSI 3**. ed. Boston: Kluwer Academic Publishers, 2004.
- [3] COLINGE, J. P. **FinFETs and other Multi-gate Transistors**. New York: Springer, 2008.
- [4] GIMENEZ, S. P.; BELLODI, Marcello. **Diamond SOI MOSFET A New Drain and Source/Channel Interface Layout to Improve Drain Current**. In: EURO SOI 2009, 2009, Gotemburgo. **Fifth WorkShop of the Tematic Network on Silicon on Insulator Technology Devices and Circuits...**Gotemburgo: NanoSIL Network of Excellence, 2009. v.1, p.87-88.
- [5] GIMENEZ, S. P. **Diamond MOSFET An innovative layout to improve performance of ICs**. **Solid-State Electronics**, USA, v. 54, p. 1690-1699, August 2010.
- [6] BELLODI, Marcello; GIMENEZ, S. P. Drain Leakage Current Evaluation in the Diamond SOI nMOSFET at High Temperatures. In: 216TH ECS MEETING, ECS Transactions, 2009, Viena, Austria. E1 - **Analytical Techniques for Semiconductor Materials and Process Characterization 6**. Pennington, New Jersey : Electrochemical Society, ECS Transactions, ISSN 1938-5862 (print) 1938-6737 (online), 2009. v. 1. p. 1-1.
- [7] Alati, Daniel M.; GIMENEZ, S.P. Comparative Experimental Study Between Diamond And Conventional MOSFET. In: 218th ECS MEETING, 2010, Las Vegas. NV. E14 ~ E22 - **SiGe, Ge, and Related Compounds: Materials, Processing, and Devices 4**, 2010, Las Vegas.
- [8] SILVEIRA, F.; FLANDRE, D.; JESPERS, P. G. A. A g_m/I_D Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Siliconon. **Insulator Micropower OTA IEEE Journal of Solid-State Circuits**, v. 31, no. 9, p. 1314-1319, 1996.
- [9] GIMENEZ, S. P.; Claser, Raffaello ; Alati, Daniel M. **Using Diamond SOI nMOSFET to Improve the Frequency Response of the Analog Integrated Circuits**. In: EUROSIOI 2011, 2011, Granada. **EUROSIOI 2011, VII Workshop of the Thematic Network on Silicon On Insulator Technology, Devices and Circuits**. Granada: Universidade de Granada, 2011. v. 1. p. 109-110.
- [10] GIMENEZ, S. P.; BELLODI, Marcello **Using Numerical Simulations to study and Design Semicoductors Devices in Micro and Nanoelectronics**. In: JOZIPOVIC, Marina (Org.). **Numerical Simulation: From Theory to Industry-Chapter 13**, Rijeka, Croacia: InTech, 2012. v. 1, p. 275-288.

- [11] Gimenez, S. P et al. **Improving proton radiation-robustness of integrated circuits by using Diamond layout styles**. In: RADECS 2012, 2012, Biarritz. RADECS 2012, 2012 v.1.
- [12] SEDRA, Adel S.; SMITH, Kenneth C. **Microeletrônica** 5. ed. São Paulo: Pearson Education do Brasil, 2000.
- [13] MARTINO, João A.; PAVANELO, Marcelo A.; VERDONCK, Patrick B. **Caracterização Elétrica de Tecnologia e Dispositivos MOS** São Paulo: Pioneira Thomson Learning, 2003.
- [14] STREETMAN, Ben G.; BANERJEE, Sanjay K. **Solid State Electronic Devices** 6. ed. New Jersey, USA: Pearson Prentice Hall, 2006.
- [15] LEITHOLD, Louis. **O cálculo com geometria analítica** 3. ed. São Paulo: Harbra Ltda, 1994.
- [16] BARROSO, L. C. et al. **Cálculo Numérico (Com Aplicações)**, 2. ed. São Paulo: Arbra, 1987.
- [17] NEAMEN, Donald A. **Microelectronics Circuit Analysis and Design** 4. ed. New York: McGraw-Hill, 2010.
- [18] ALLEN, Phillip E.; HOLBERG, Douglas R. **CMOS Analog Circuit Design** 2. ed. New York: Oxford Universit Press, 2002.
- [19] HAYT, William H. JR.; KEMMERLY, Jack E. **Análise de Circuitos em Engenharia** Rio de Janeiro: Mcgraw-Hill do Brasil, 1973.
- [20] BOYLESTAD, Robert; NASHELSKY, Louis **Dispositivos Eletrônicos e Teoria de Circuitos**, 5. ed. Rio de Janeiro: Prentice Hall do Brasil, 1994.
- [21] RAZAVI, Behzad ; **Fundamentals of Microelectronics**, Preview edition, USA: Wiley, 2006.
- [22] GRAY, Paul R.; et al **Analysis And Design of Analog Integrated Circuits** 4. ed. New York: John Wiley & Sons, 2001.
- [23] ORIGIN 8.0 SR0, v7.0220 (B220), OriginLab Corporation, Northampton, MA 01060, USA: 2002.
- [24] MICROSOFT OFFICE EXCEL 2007, Microsoft Corporation USA: 2006.
- [25] Circuitmaker student V6.2c, Protel technology, Inc. USA: 1999.
- [26] MATLAB 6.5, The Mathworks, Inc. MA 01760-2098 USA: 2000.

APÊNDICE A – Procedimento para a polarização do CACFCO

Neste apêndice serão apresentadas as aplicações numéricas das equações de polarização, apresentadas no capítulo dois, onde a Figura A.1 apresenta o CACFCO implementado com os MOSFETs sob teste para realizar a caracterização da resposta em frequência nos diferentes estilos de leiaute estudados.

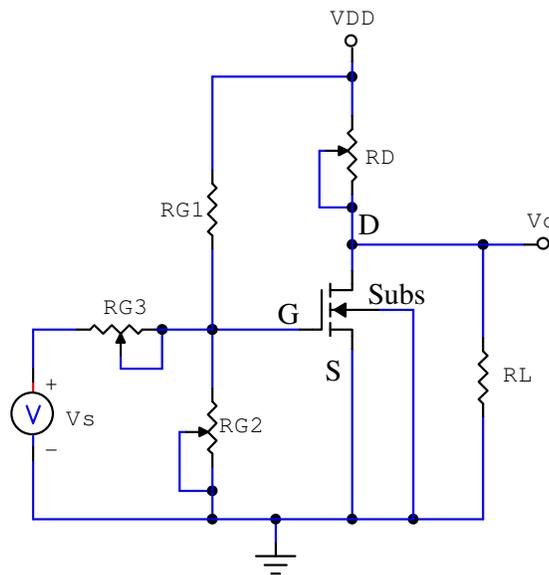


Figura A.1- CACFCO implementado com os MOSFETs sob teste

Na Figura A.1, R_L representa a resistência da ponta de prova do osciloscópio e a sua influência na saída do circuito amplificador, sendo seu valor aproximadamente igual a $10\text{M}\Omega$. Inicia-se a polarização cc, adotando-se os valores de V_{DD} , V_{DSQ} , I_{DSQ} , i_{DSmax_MC} e i_{DSmin_MC} igual a 3 V, 1,5 V, 17 μA , 22 μA e 12 μA , respectivamente, e com o valor de Kn_MC igual a 51,57 $\mu\text{A/V}$, encontra-se a tensão de porta do MOSFET convencional no ponto de operação V_{GSQ_MC} , através da equação (A1).

$$V_{GSQ_MC} = \sqrt{\frac{2I_{DSQ}}{Kn}} + V_{T_MC} = \sqrt{\frac{2 \cdot 17 \cdot 10^{-6}}{51,57 \cdot 10^{-6}}} + 0,70 = 1,51 \text{ V} \quad (A1)$$

A corrente I_{DSQ} foi inicialmente adotada com o valor de 15 μA , contudo, observou-se através das curvas I_{DS} em função de V_{DS} que a polarização cc do CACFCO quando

implementado com os SMD e SMC estava operando muito próximo da região de triodo, sendo assim, foi aumentado o valor da I_{DSQ} para $17 \mu\text{A}$.

Como R_{G1} no circuito da Figura A.1 tem um valor fixo de $1 \text{ K}\Omega$, o valor de R_{G2} é calculado através da equação (A2).

$$R_{G2} = \frac{V_{GSQ_MC} R_{G1}}{V_{DD} - V_{GSQ_MC}} = \frac{1,51 \cdot 10^3}{3 - 1,51} = 771,81 \Omega \quad (\text{A } 2)$$

O resistor R_D é calculado através da equação (A3) de forma que a tensão V_{DSQ} seja a metade do valor de V_{DD} .

$$R_D = \frac{V_{DD} - V_{DSQ}}{I_{DSQ}} = \frac{3 - 1,5}{17 \cdot 10^{-6}} = 88,23 \text{ K}\Omega \quad (\text{A } 3)$$

De acordo com a equação (A4) observa-se que o MC está operando na região de saturação, pois a tensão V_{DSQ} adotada é maior que a diferença entre as tensões V_{GSQ_MC} e V_{T_MC} .

$$V_{DSQ} \geq 1,51 - 0,70 \geq 0,81 \text{ V} \quad (\text{A } 4)$$

As tensões de porta instantâneas máxima e mínima V_{GSmax_MC} e V_{GSmin_MC} , respectivamente, podem ser calculadas com o uso das equações (A5) e (A6), respectivamente.

$$V_{GSmax_MC} = \sqrt{\frac{2i_{DSmax_MC}}{K_n}} + V_{T_MC} = \sqrt{\frac{2,22 \cdot 10^{-6}}{51,57 \cdot 10^{-6}}} + 0,70 = 1,62 \text{ V} \quad (\text{A } 5)$$

$$V_{GSmin_MC} = \sqrt{\frac{2i_{DSmin_MC}}{K_n}} + V_{T_MC} = \sqrt{\frac{2,12 \cdot 10^{-6}}{51,57 \cdot 10^{-6}}} + 0,70 = 1,38 \text{ V} \quad (\text{A } 6)$$

Desta forma, o valor da tensão v_{gspp} que deve ser aplicada no MC é calculada através da equação (A7).

$$v_{gspp} = v_{GSmax_MC} - v_{GSmin_MC} = 1,62 - 1,38 = 0,24 \text{ V} \quad (\text{A } 7)$$

A tensão v_{GS} resultante da soma das componentes cc e ca aplicadas à porta do MC irá produzir uma tensão resultante de dreno, obtida em R_D , devido ao amplificador estar em configuração fonte comum, sendo os valores das tensões instantâneas de dreno v_{DSmax_MC} e v_{DSmin_MC} calculadas com o uso das equações (A8) e (A9), respectivamente.

$$v_{DSmax_MC} = V_{DD} - R_D i_{DSmin_MC} = 3 - 88,23 \cdot 10^3 \cdot 12 \cdot 10^{-6} = 1,94 \text{ V} \quad (\text{A } 8)$$

$$v_{DSmin_MC} = V_{DD} - R_D i_{DSmax_MC} = 3 - 88,23 \cdot 10^3 \cdot 22 \cdot 10^{-6} = 1,05 \text{ V} \quad (\text{A } 9)$$

Desta forma, o valor da tensão de dreno v_{dspp_MC} é calculada através da equação (A10).

$$v_{dspp_MC} = v_{DSmax_MC} - v_{DSmin_MC} = 1,94 - 1,05 = 0,89 \text{ V} \quad (\text{A } 10)$$

A condição para garantir a operação do MOSFET na região de saturação está indicada na equação (A11).

$$v_{DSmin_MC} \geq 1,62 - 0,70 \geq 0,92 \text{ V} \quad (\text{A } 11)$$

Esta equação é satisfeita, pois v_{DSmin_MC} é igual a 1,05 V que é um valor maior que 0,92 V, sendo assim, o MC está operando na região de saturação em toda a excursão do sinal.

O MOSFET do tipo Diamante, tem uma corrente de dreno sempre maior que aquela encontrada para o equivalente MOSFET convencional, sendo assim, para que a I_{DSQ} tenha o mesmo valor para ambas as estruturas, é necessário que a v_{GSQ_MD} do MOSFET do tipo

Diamante seja menor que a V_{GSQ_MC} do equivalente convencional. Portanto, a tensão de porta V_{GSQ_MD} no ponto de operação é calculada de acordo com a equação (A12), considerando-se o valor de Kn_MD igual a $133,30\mu A/V$.

$$V_{GSQ_MD} = \sqrt{\frac{2I_{DSQ}}{Kn_MD}} + V_{T_MD} = \sqrt{\frac{2.17.10^{-6}}{133,30.10^{-6}}} + 0,69 = 1,19 \text{ V} \quad (\text{A } 12)$$

É necessário calcular-se os valores de v_{GSmax_MD} e v_{GSmin_MD} , devido a V_{GSQ_MD} ser menor que a V_{GSQ_MC} , com isso também serão menores os valores de v_{GSmax_MD} e v_{GSmin_MD} . Sendo assim, considerando-se a mesma amplitude da tensão v_{gspp} tanto para o MOSFET do tipo Diamante quanto para o MOSFET convencional equivalente, o valor da tensão v_{GSmax_MD} e a tensão v_{GSmin_MD} são calculadas como indicado nas equações (A13) e (A14), respectivamente.

$$v_{GSmax_MD} = V_{GSQ_MD} + \frac{v_{gspp}}{2} = 1,19 + 0,120 = 1,31 \text{ V} \quad (\text{A } 13)$$

$$v_{GSmin_MD} = V_{GSQ_MD} - \frac{v_{gspp}}{2} = 1,19 - 0,120 = 1,07 \text{ V} \quad (\text{A } 14)$$

As correntes i_{DSmax_MD} e i_{DSmin_MD} são calculadas através das equações (A15) e (A16), respectivamente, levando-se em consideração os valores de v_{GSmax_MD} e v_{GSmin_MD} .

$$i_{DSmax_MD} = \frac{Kn_MD}{2} (v_{GSmax_MD} - V_{T_MD})^2 = \frac{133,30}{2} (1,31 - 0,69)^2 = 25,62 \mu A \quad (\text{A } 15)$$

$$i_{DSmin_MD} = \frac{Kn_MD}{2} (v_{GSmin_MD} - V_{T_MD})^2 = \frac{133,30}{2} (1,07 - 0,69)^2 = 9,62 \mu A \quad (\text{A } 16)$$

As tensões instantâneas v_{DSmax_MD} e v_{DSmin_MD} , respectivamente, são calculadas de acordo com as equações (A17) e (A18).

$$v_{DSmax_MD} = V_{DD} - R_D i_{DSmin_MD} = 3 - 88,23 \cdot 10^3 \cdot 9,62 \cdot 10^{-6} = 2,15 \text{ V} \quad (\text{A } 17)$$

$$v_{DSmin_MD} = V_{DD} - R_D i_{DSmax_MD} = 3 - 88,23 \cdot 10^3 \cdot 25,62 \cdot 10^{-6} = 0,74 \text{ V} \quad (\text{A } 18)$$

Sendo a amplitude do sinal de saída do MOSFET do tipo Diamante calculada através da equação (A19).

$$V_{dspp_MD} = v_{DSmax_MD} - v_{DSmin_MD} = 2,15 - 0,74 = 1,41 \text{ V} \quad (\text{A } 19)$$

A condição para garantir a operação do MOSFET na região de saturação está indicada na equação (A20).

$$v_{DSmin_MD} \geq 1,31 - 0,69 \geq 0,62 \text{ V} \quad (\text{A } 20)$$

Da mesma forma como foi verificada a condição de saturação para o MC, esta equação também é satisfeita, pois v_{DSmin_MD} é igual a 0,74V que é um valor maior que 0,62V, sendo assim, o MD também está operando na região de saturação em toda a excursão do sinal.

O procedimento definido anteriormente também é válido para a polarização do SMD e do seu equivalente SMC, aplicando-se as equações definidas no capítulo dois.