

CENTRO UNIVERSITÁRIO DA FEI

Ana Paula Borges Ziliotto

**AVALIAÇÃO DO COMPORTAMENTO ELÉTRICO DE
CAPACITORES MOS EM ALTAS TEMPERATURAS**

São Bernardo do Campo

2008

Ana Paula Borges Ziliotto

**AVALIAÇÃO DO COMPORTAMENTO ELÉTRICO DE
CAPACITORES MOS EM ALTAS TEMPERATURAS**

Dissertação de Mestrado apresentada ao
Centro Universitário da FEI para a obtenção
do título de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Marcello Bellodi

São Bernardo do Campo

2008

Ziliotto, Ana Paula Borges

Avaliação do comportamento elétrico de capacitores MOS em altas temperaturas / Ana Paula Borges Ziliotto. São Bernardo do Campo, 2008.

86f: il.

Dissertação de Mestrado – Centro Universitário da FEI.

Orientador: Prof. Dr. Marcello Bellodi

1. Capacitor. 2. MOS. 3. Curva C-V. 4. Alta temperatura. 5. Alta frequência. I. Bellodi, Marcello, orient. II. Título

CDU 621.381

Dedico este trabalho ao meu querido esposo Maurício pelo amor, compreensão e incentivo durante todo o tempo em que me dediquei a este trabalho.

Aos meus pais, Cesar e Sileni, por terem me ensinado a sempre acreditar e lutar pelos meus sonhos e objetivos.

À minha filha que, mesmo ainda não tendo nascido, me motivou a cumprir mais esta etapa.

A Deus pela minha maravilhosa vida.

AGRADECIMENTOS

Ao mestre Prof. Dr. Marcello Bellodi pela atenciosa orientação dada ao longo deste trabalho.

Aos professores Dr. Marcelo Antonio Pavanello, Dr. João Antonio Martino, Dr. Salvador Pinillos Gimenez e Dr. Renato Camargo Giacomini pelos ensinamentos durante o período do mestrado.

Aos meus queridos amigos que tive a chance de conhecer durante o curso de mestrado Almir, Gustavo e Wellington pelas discussões, apoio, momentos de descontração, e por estarem sempre dispostos a ajudar.

À General Motors do Brasil, pelo incentivo financeiro para a realização de mais este objetivo profissional.

Aos professores Dr. Mário C. Fernandes Garrote e Dr. Jose Carlos de Souza Junior pela confiança ao me recomendarem para este programa de mestrado.

Ao meu esposo Maurício, pela infinita compreensão durante os momentos de ausência e pelo seu amor incondicional.

Aos meus pais, irmão e avós pelo incentivo, apoio e dedicação durante todos os momentos da minha vida.

À minha filha, por existir.

A todas as pessoas que, de alguma forma, contribuíram para a realização deste trabalho e que foram aqui involuntariamente omitidas.

“Algo só é impossível até que alguém duvida e resolve provar o contrário.”

(Albert Einstein)

RESUMO

Este trabalho apresenta o estudo do comportamento do capacitor da tecnologia MOS por meio da análise da curva característica da capacitância em função da tensão de polarização aplicada à porta do dispositivo, operando em alta frequência e exposto a temperaturas de até 300°C.

É feita a variação de algumas características físicas do capacitor MOS, como concentração de dopantes que compõe o substrato do dispositivo, o tipo do material de porta e de substrato, com o objetivo de verificar os efeitos provocados em sua curva característica C-V e analisar as tendências de comportamento resultantes na região de inversão do capacitor, quando operando em altas temperaturas.

Os resultados obtidos por meio de simulações numéricas bidimensionais demonstram a importância da escolha cuidadosa dos materiais e dopagens utilizados em cada região da estrutura MOS para que a mesma seja apropriada para operar em temperaturas elevadas sem que haja a degeneração de suas características elétricas, principalmente na região de inversão operando em alta frequência.

Apresentamos ainda resultados experimentais que confirmam as tendências observadas no comportamento do capacitor MOS em altas temperaturas obtidas através das simulações numéricas, possibilitando a explicação dos efeitos físicos que surgem neste tipo de estrutura quando submetida a temperaturas na faixa de 27°C a 300°C, como é o caso do estreitamento da faixa proibida e aumento significativo da concentração intrínseca do substrato de silício que influi diretamente no valor total da capacitância medida na região de inversão da estrutura MOS estudada.

Palavras-chave: capacitor, MOS, curva C-V, alta temperatura, alta frequência.

ABSTRACT

This work presents the study of the MOS capacitor behavior through the analysis of the capacitance versus gate voltage characteristic curves operating at high frequency and temperatures up to 300°C.

Some physical parameters of the MOS capacitor are analyzed, such as substrate doping concentration, gate and substrate material aiming to verify the effects that these parameters cause in the high frequency C-V curves and besides that, analyze the tendencies observed when the devices are operating at the inversion region.

The results obtained from the bi-dimensional numerical simulation demonstrate the importance of choosing the correct specification for materials and doping concentration for each MOS structure, to allow the device suitability for high temperature environments minimizing the risk of degeneration regarding its electrical characteristics, especially for the high frequency C-V curve in the inversion region.

Experimental results also are presented to confirm the MOS capacitor tendency behavior when exposed to high temperatures that were obtained through simulations, enabling the explanation of substrate physical effects that take place during operation for temperatures in the range of 27°C to 300°C, such as band gap narrowing and silicon intrinsic carrier concentration increase, which directly affect the total capacitance value of MOS structure when operating in the inversion region.

Keywords: capacitor, MOS, C-V curve, high temperature, high frequency.

LISTA DE FIGURAS

Figura 1 – Diagrama esquemático de um capacitor MOS.	20
Figura 2 – Curva C-V típica de alta frequência de um capacitor ideal com substrato do tipo P	21
Figura 3 – Representação do diagrama de faixas de energia do capacitor MOS com substrato de Si tipo P e porta de metal nos regimes de (a) faixa plana, (b) acumulação.	22
Figura 3 – Representação do diagrama de faixas de energia do capacitor MOS com substrato de Si tipo P e porta de metal nos regimes de (c) depleção e (d) inversão.	23
Figura 4 – Tipos de cargas no óxido em uma estrutura MOS.	28
Figura 5 – Representação da capacitância total equivalente do capacitor MOS.	28
Figura 6 – Representação da estrutura de faixas de energia: (a) material isolante, (b) material semicondutor, (c) metal.	31
Figura 7 – Representação da estrutura de faixas de energia de um material semicondutor dopado com impurezas do tipo n, com a indicação do posicionamento do nível de Fermi entre o nível intrínseco e a faixa de condução.	33
Figura 8 – Representação da estrutura de faixas de energia de um material semicondutor dopado com impurezas do tipo p, com a indicação do posicionamento do nível de Fermi entre a faixa de valência e o nível intrínseco.	34
Figura 9 – Concentração intrínseca de portadores intrínsecos do Ge, Si e GaAs em função da temperatura.	36
Figura 10 – Largura da faixa proibida dos materiais GaAs, Si e Ge em função da temperatura.	38
Figura 11 – Nível de Fermi para o silício em função da temperatura e da concentração de dopantes.	39
Figura 12 – Seção transversal da estrutura do capacitor MOS.	43
Figura 13 – Curva C-V típica do capacitor MOS com substrato do tipo P operando em alta frequência.	44
Figura 14 – Imagem dos equipamentos utilizados na caracterização elétrica do capacitor MOS.	45
Figura 15 – Curvas C-V de alta frequência com $t_{ox}=2,5$ nm, $N_A=5 \times 10^{17}$ cm ⁻³ e porta de silício policristalino com $N_D=1 \times 10^{21}$ cm ⁻³ operando em altas temperaturas.	48
Figura 16 – Representação esquemática da associação em série das capacitâncias que compõe a capacitância total da estrutura MOS.	49

Figura 17 – Curva de alta frequência da capacitância em função da tensão de porta para capacitor MOS com substrato tipo P, porta e silício policristalino com $N_D=1 \times 10^{21} \text{ cm}^{-3}$, espessura de óxido $t_{ox}=2,5 \text{ nm}$ e concentração de substrato variando de $N_A=5 \times 10^{15} \text{ cm}^{-3}$ até $N_A=5 \times 10^{19} \text{ cm}^{-3}$ para a temperatura $T=27^\circ\text{C}$	52
Figura 18 – Curva de alta frequência da capacitância em função da tensão de porta para capacitor MOS com substrato tipo P, porta e silício policristalino com $N_D=1 \times 10^{21} \text{ cm}^{-3}$, espessura de óxido $t_{ox}=2,5 \text{ nm}$ e concentração de substrato variando de $N_A=5 \times 10^{15} \text{ cm}^{-3}$ até $N_A=5 \times 10^{19} \text{ cm}^{-3}$ para a temperatura $T=300^\circ\text{C}$	53
Figura 19 – Curva C-V de alta frequência de um capacitor MOS com substrato tipo P e área igual a $9 \times 10^{-4} \text{ cm}^2$ medida experimentalmente desde a temperatura de ambiente até 300°C ..	54
Figura 20 - Curva C-V de alta frequência de um capacitor MOS com substrato tipo P e área igual a $9 \times 10^{-4} \text{ cm}^2$ medida experimentalmente com variação de temperatura de 250°C a 300°C	55
Figura 21 – Curvas C-V de alta frequência em temperatura de 27°C com variação da concentração do material de porta Si policristalino e concentração do substrato $N_A=5 \times 10^{17} \text{ cm}^{-3}$	56
Figura 22 – Modelo equivalente da associação em série de capacitâncias e perfil do capacitor MOS com porta de silício policristalino.....	57
Figura 23 – Representação em corte do capacitor MOS com porta de silício policristalino com baixa dopagem e indicação das regiões de depleção no silício poli e no substrato com $V_G=2,0 \text{ V}$, operando em alta frequência na região de inversão com $T=27^\circ\text{C}$ e concentração de substrato $N_A=5 \times 10^{17} \text{ cm}^{-3}$	58
Figura 24 – Curvas C-V de alta frequência em temperatura de 250°C com variação da concentração do material de porta Si policristalino e concentração de substrato $N_A=5 \times 10^{17} \text{ cm}^{-3}$	59
Figura 25 – Curvas C-V de alta frequência em temperatura de 300°C com variação da concentração do material de porta Si policristalino e concentração do substrato de silício $N_A=5 \times 10^{17} \text{ cm}^{-3}$	60
Figura 26 – Representação em corte do capacitor MOS com porta de silício policristalino com baixa dopagem e indicação das regiões de depleção no silício poli e no substrato com $V_G=2,0 \text{ V}$, operando em alta frequência na região de inversão com $T=300^\circ\text{C}$ e concentração de substrato $N_A=5 \times 10^{17} \text{ cm}^{-3}$	61
Figura 27 – Representação em corte do capacitor MOS com porta de silício policristalino altamente dopado e região de depleção no apenas substrato de silício com $V_G=2,0 \text{ V}$,	

operando em alta frequência na região de inversão com $T=300^{\circ}\text{C}$ e concentração de substrato $N_A=5 \times 10^{17} \text{ cm}^{-3}$	62
Figura 28 - Curvas características C-V de alta frequência para capacitor MOS com porta de TiN operando em altas temperaturas com concentração de substrato $N_A=5 \times 10^{17} \text{ cm}^{-3}$	63
Figura 29 - Curvas características C-V de alta frequência para diferentes materiais de porta em temperatura de 300°C com concentração de substrato $N_A=5 \times 10^{17} \text{ cm}^{-3}$	64
Figura 30 – Curvas C-V de alta frequência de um capacitor MOS com substrato de SiC com temperatura de trabalho variando de 27°C a 300°C e concentração de substrato $N_A=5 \times 10^{17} \text{ cm}^{-3}$	66

LISTA DE TABELAS

Tabela 1 – Valores das constantes apresentadas na equação (2.3.2.2) para o cálculo do valor da largura da faixa proibida em função da temperatura [5, 17].	38
Tabela 2 – Valores da concentração intrínseca em função da temperatura.	51
Tabela 3 – Materiais semicondutores e seus respectivos valores de E_g [9].	65
Tabela 4 – Concentração intrínseca do 3H-SiC em função da temperatura.	67

LISTA DE SÍMBOLOS

α_r	- constante de proporcionalidade que depende do mecanismo de recombinação
χ	- afinidade eletrônica [eV]
ϕ_F	- potencial de Fermi do silício [V]
ϕ_M	- função trabalho do metal [V]
ϕ_{MS}	- diferença da função trabalho entre metal e semiconductor [V]
ϕ_{Si}	- função trabalho do silício [V]
ϵ_{ox}	- permissividade do óxido [F/cm]
ϵ_{Si}	- permissividade do silício [F/cm]
ϕ_s	- potencial de superfície do silício [V]
C	- capacitância [F/cm ²]
C_{max}	- capacitância máxima equivalente [F/cm ²]
C_{min}	- capacitância mínima equivalente [F/cm ²]
C_{ox}	- capacitância total do óxido [F/cm ²]
C_{poli}	- capacitância da porta de silício policristalino [F/cm ²]
C_T	- capacitância total do capacitor MOS [F/cm ²]
d_{poli}	- largura da região de depleção do silício policristalino [nm]
E	- nível de energia [eV]
E_{VACUO}	- nível de vácuo [eV]
E_C	- nível de energia da faixa de condução [eV]
E_F	- nível de Fermi do silício [eV]
E_{FM}	- nível de Fermi do metal [eV]
E_g	- largura da faixa proibida [eV]
E_i	- nível intrínseco do silício [eV]
E_V	- nível de energia da faixa de valência [eV]
g_i	- taxa de geração de portadores [pares elétron-lacuna/(cm ³ s)]
k	- constante de Boltzmann [eV/K]
n	- concentração de elétrons [cm ⁻³]
n_0	- concentração de elétrons no equilíbrio térmico [cm ⁻³]
N_A	- concentração de dopantes do tipo P [cm ⁻³]
N_D	- concentração de dopantes do tipo N [cm ⁻³]
n_i	- concentração intrínseca [cm ⁻³]
p	- concentração de lacunas [cm ⁻³]

p_0	- concentração de lacunas no equilíbrio térmico [cm^{-3}]
q	- carga elementar do elétron [C]
Q_{it}	- cargas de armadilhas de interface [C/cm^2]
Q_{of}	- cargas fixas no óxido [C/cm^2]
Q_{om}	- cargas móveis no óxido [C/cm^2]
Q_{os}	- carga na interface óxido-silício [C/cm^2]
Q_{si}	- carga no silício [C/cm^2]
Q_{ss}	- carga efetiva equivalente [C/cm^2]
r_i	- taxa de recombinação de portadores [pares elétron-lacuna/ (cm^3s)]
T	- temperatura [K]
t_{ox}	- espessura da camada de óxido [nm]
t_{si}	- espessura da camada de silício [nm]
V	- tensão [V]
V_{FB}	- tensão de faixa plana [V]
V_G	- tensão de polarização de porta [V]
V_{ox}	- potencial do óxido [V]
V_T	- tensão de limiar [V]
W_d	- largura da região de depleção [nm]
$W_{dmáx}$	- largura máxima da região de depleção [nm]

SUMÁRIO

1	INTRODUÇÃO	16
1.1	OBJETIVO E ESTRUTURA DO TRABALHO	18
2	CONCEITOS PRINCIPAIS.....	20
2.1	CAPACITOR MOS.....	20
2.2	CARGAS NO ÓXIDO	27
2.3	CARACTERÍSTICAS FÍSICAS E ELÉTRICAS DO SILÍCIO	29
2.3.1	Faixas de Energia	30
2.3.2	Variação das Características do Silício com a Temperatura	35
2.4	OPERAÇÃO EM ALTAS TEMPERATURAS	40
3	CARACTERÍSTICAS DOS DISPOSITIVOS SIMULADOS E MEDIDOS	43
3.1	SIMULAÇÕES.....	43
3.2	MEDIÇÕES EXPERIMENTAIS	45
4	RESULTADOS DAS SIMULAÇÕES	46
4.1	SIMULAÇÕES NUMÉRICAS E RESULTADOS PRELIMINARES.....	46
4.1.1	Simulador ATLAS	46
4.1.2	Modelos utilizados	46
4.2	RESULTADOS OBTIDOS	47
4.3	DISCUSSÃO DOS RESULTADOS	67
5	CONCLUSÃO E PERSPECTIVAS FUTURAS.....	71
	REFERÊNCIAS BIBLIOGRÁFICAS.....	74
	APÊNDICE 1	78
	APÊNDICE 2	80
	APÊNDICE 3	85

1 INTRODUÇÃO

A crescente utilização de dispositivos da tecnologia Metal-Óxido-Semicondutor (MOS) em ambientes onde a temperatura de operação é considerada alta, em torno de 300°C, demanda a necessidade de estudos mais específicos da utilização desta tecnologia nessas temperaturas, o que constitui o objeto do estudo aqui apresentado. Projetos de dispositivos que apresentem funcionamento robusto e preciso principalmente em temperaturas mais elevadas que a ambiente, têm se tornado cada vez mais desafiadores, especialmente pelo fato de não ser desejável que estes dispositivos ocupem área grande na lâmina de silício, devido à complexidade de seu projeto [1].

O estudo do comportamento da curva característica de capacitância (C) pela tensão (V) aplicada à porta de um dispositivo MOS em ambientes de temperaturas extremas é de grande interesse para mercados variados, como por exemplo, o automotivo, o aeronáutico e a exploração espacial [2, 3, 4].

A crescente utilização de circuitos integrados MOS em aplicações que necessitam de dispositivos que operem em altas temperaturas criou uma demanda para estruturas de silício que sejam apropriadas para este tipo de aplicação e um dos mercados onde a demanda tem crescido significativamente é, por exemplo, o automotivo [3, 4]. É bastante comum encontrar módulos de controle eletrônico instalados dentro do compartimento do motor dos veículos onde a temperatura pode atingir até 200°C [2], dependendo da região do motor. Devido a este fato, fica evidente a necessidade do estudo e conhecimento do comportamento dos dispositivos MOS quando submetidos às altas temperaturas.

Se por um lado a espessura do óxido de porta precisa ser escalada proporcionalmente à redução do comprimento de canal do dispositivo para que haja o controle sobre as cargas presentes no canal, por outro lado, a exposição às altas temperaturas prejudica o seu funcionamento por meio do surgimento de efeitos inerentes ao tipo de material semicondutor utilizado, tais como a geração térmica de portadores livres que, em temperatura ambiente, não é um efeito significativo a ponto de interferir no comportamento elétrico da estrutura MOS controlada pela tensão de porta mas que, em temperaturas mais elevadas, passa a ter influência sobre o comportamento do dispositivo [5, 6].

Neste contexto, foi selecionado o dispositivo capacitor da tecnologia MOS como estrutura base deste estudo devido à simplicidade de sua construção e ao fato de ser a estrutura mais elementar de qualquer transistor presente tanto na tecnologia MOS convencional como na tecnologia silício sobre isolante (Silicon-on-Insulator SOI).

Apesar da tecnologia SOI MOSFET ser atualmente a mais apropriada para aplicações em altas temperaturas por apresentar menor sensibilidade dos seus parâmetros às variações da temperatura, como por exemplo a tensão de limiar [7], foi escolhido para este estudo o capacitor da tecnologia MOS pelo fato de existir a necessidade de conhecermos o comportamento deste tipo de estrutura quando exposta a temperaturas elevadas, assunto esse que não foi muito investigado pelo que pudemos encontrar na bibliografia pesquisada e também por termos acesso a uma amostra de capacitor da estrutura MOS que possibilita a caracterização elétrica.

No caso da tecnologia SOI, não foi feito neste trabalho o estudo da característica C-V desta estrutura pois para tal precisaríamos dispor de amostras de capacitores com 3 terminais para possibilitar as medições experimentais da curva de capacitância pela tensão aplicada à porta para contribuir com o estudo aqui apresentado, uma vez que o óxido enterrado no substrato de silício não possibilita a caracterização da curva C-V somente com um terminal de porta de outro de substrato, é necessário o terceiro terminal no canal para permitir as medições.

Esta possibilidade de disponibilidade de amostra permitiu realizar o comparativo entre o dispositivo medido e simulado, sustentando as conclusões obtidas neste estudo.

O fato de trabalharmos atualmente com óxidos de porta cada vez mais finos sugere a consideração dos efeitos devido ao tunelamento de portadores através do óxido. Veremos que estes efeitos, em conjunto com o aumento da temperatura de trabalho do dispositivo, resultarão em curvas características do capacitor da tecnologia MOS com alguns aspectos diversos da conhecida característica em temperatura ambiente, tais como valores de capacitância na região de inversão com tendência a sofrer elevação de seu valor dependendo da temperatura a que estão expostos.

Este estudo também leva em consideração algumas variações do tipo de material utilizado na porta da estrutura MOS, material esse que pode também alterar a curva característica introduzindo efeitos como a depleção do silício policristalino na curva de capacitância pela tensão de porta, provocando elevações significativas no valor da capacitância total na região de inversão do dispositivo MOS, devido à adição da parcela da capacitância de depleção do silício policristalino em série com a capacitância do isolante e do substrato de silício [8].

A variação da dopagem do substrato de silício apresenta grande influência no surgimento dos efeitos devidos à exposição do capacitor MOS a altas temperaturas. Ela pode, por exemplo, alterar a o valor da temperatura a partir da qual o valor da concentração de

portadores existentes no substrato não dopado (intrínseco) supera o valor da concentração de portadores introduzidos através do processo de dopagem do silício, fato este que mostrará ser de grande influência para este tipo de estrutura MOS.

1.1 Objetivo e estrutura do trabalho

Neste trabalho é apresentado o estudo do comportamento de capacitores MOS submetidos à operação desde a temperatura ambiente até em altas temperaturas, isto é, de 27°C a 300°C.

Este estudo está baseado no comportamento das curvas de capacitância (C) em função da tensão de porta (V_G) em alta frequência, variando-se alguns parâmetros do dispositivo tais como a concentração de dopantes do substrato, material aplicado à porta e material aplicado ao substrato, por meio de simulações numéricas bidimensionais utilizando o simulador ATLAS [9].

Além das simulações realizadas, é apresentada a caracterização elétrica de um dispositivo MOS em laboratório a fim de confirmar os efeitos observados nas curvas obtidas através do simulador.

O trabalho está dividido em cinco capítulos, cujo conteúdo está descrito a seguir:

Capítulo 2 - são apresentados os conceitos básicos e teóricos sobre o capacitor MOS, análise dos diagramas de energia do capacitor e uma breve abordagem sobre os conceitos principais do material semiconductor, sua exposição a altas temperaturas e aplicações práticas de dispositivos eletrônicos em ambiente de temperatura elevada.

Capítulo 3 - são apresentadas as características físicas do capacitor MOS utilizado neste estudo com substrato do tipo P, bem como a descrição das características do capacitor MOS medido em laboratório.

Capítulo 4 - é feita uma introdução sobre o simulador utilizado neste trabalho bem como a descrição dos modelos considerados nos arquivos de simulação e, conseqüentemente, a apresentação dos resultados obtidos ressaltando os efeitos físicos observados nas curvas obtidas. Serão apresentados os resultados referentes aos estudos da influência da dopagem do substrato, material de porta e material do substrato nas curvas C-V de alta frequência do capacitor MOS quando submetemos a estrutura a altas temperaturas. As curvas medidas em laboratório são comparadas às curvas simuladas para validação das conclusões apresentadas no capítulo 5.

Capítulo 5 - são apresentadas as conclusões referentes a este trabalho desenvolvido para dispositivos MOS em altas temperaturas e propostas de estudos futuros e perspectivas futuras.

2 CONCEITOS PRINCIPAIS

Neste capítulo é realizada a revisão bibliográfica sobre o capacitor MOS, o material semiconductor silício e os efeitos decorrentes da exposição em altas temperaturas, que são os conceitos nos quais se baseia este trabalho.

2.1 Capacitor MOS

O capacitor MOS é a estrutura fundamental de um transistor MOS composta de uma porta de material condutor (alumínio, silício policristalino altamente dopado, etc), uma camada de isolante (dióxido de silício, oxinitreto de silício, etc) e um semiconductor (silício). Esta estrutura difere do capacitor de placas paralelas pela troca de uma das placas metálicas por material semiconductor e este tipo de estrutura insere na capacitância total (C_T) do dispositivo uma capacitância adicional, a do semiconductor, a qual encontra-se em série com a capacitância convencional do elemento isolante. A capacitância total do dispositivo varia com a aplicação de tensão de polarização à porta, e podemos analisar o seu comportamento através de sua curva característica C-V (capacitância total em função da tensão de polarização de porta) [10, 11, 12].

É uma estrutura de fácil fabricação e cuja caracterização elétrica é bastante conhecida no que se refere à extração de parâmetros elétricos e de processo, usados para a calibração de processos de fabricação e compreensão do comportamento elétrico de estruturas MOS submetidas a condições distintas de operação [10].

O capacitor MOS convencional está representado na figura 1.

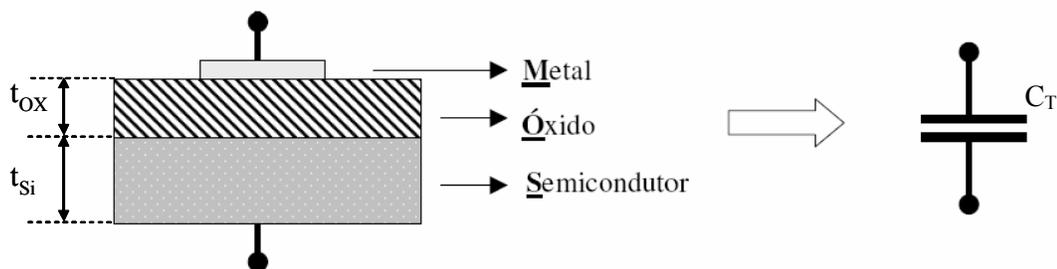


Figura 1 – Diagrama esquemático de um capacitor MOS.

onde:

t_{ox} - espessura da camada de óxido de porta

t_{si} - espessura da camada de silício

Um capacitor MOS ideal não apresenta cargas no óxido ou na interface silício-óxido de silício (Si/SiO₂) e tem as funções trabalho do semicondutor e do metal idênticas, além da distribuição de dopantes no substrato ser uniforme.

O substrato de um dispositivo real possui cargas aprisionadas na sua rede cristalina que introduzem um valor de capacitância adicional à capacitância do isolante. A capacitância do isolante seria a única capacitância considerada num dispositivo ideal, e esta capacitância adicional devido ao semicondutor, assume valores diferentes em função da tensão aplicada à porta do dispositivo pois depende da largura da região de depleção que varia com a tensão de polarização.

O esboço da curva característica C-V em alta frequência de um capacitor MOS ideal é apresentada na figura 2.

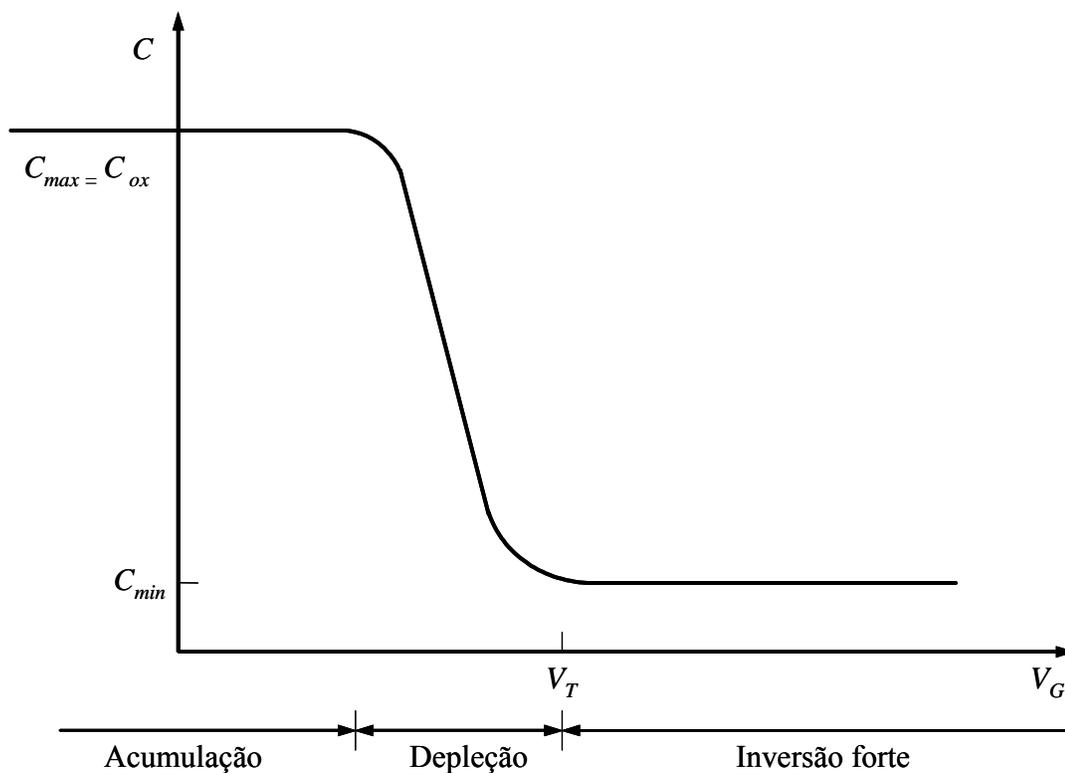


Figura 2 – Curva C-V típica de alta frequência de um capacitor ideal com substrato do tipo P [13].

onde:

C_{max} - capacitância máxima total do capacitor MOS

C_{ox} - capacitância do óxido

C_{min} - capacitância mínima total do capacitor MOS

V_T - tensão de limiar

V_G - tensão aplicada à porta do capacitor MOS

Existem três regiões distintas na curva C-V descrita na figura 2: acumulação, depleção e inversão.

Na figura 3 encontramos a representação por meio de diagramas de faixas de energia das diferentes regiões que podem ser observadas nas curvas C-V da figura 2 [10, 14, 15].

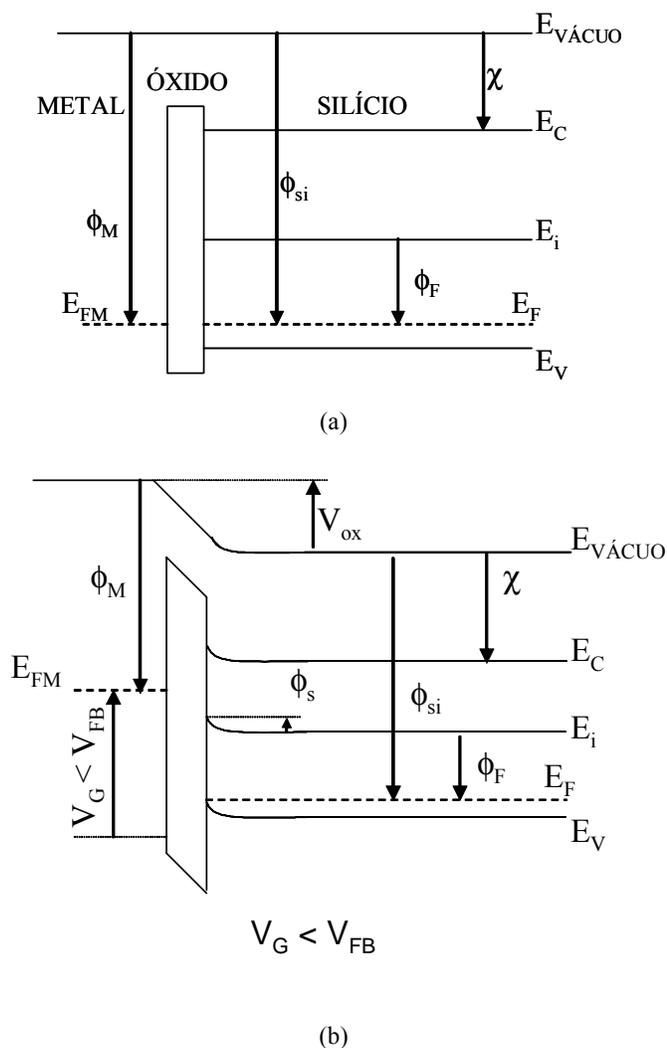


Figura 3 – Representação do diagrama de faixas de energia do capacitor MOS com substrato de Si tipo P e porta de metal nos regimes de (a) faixa plana, (b) acumulação [10, 11, 15].

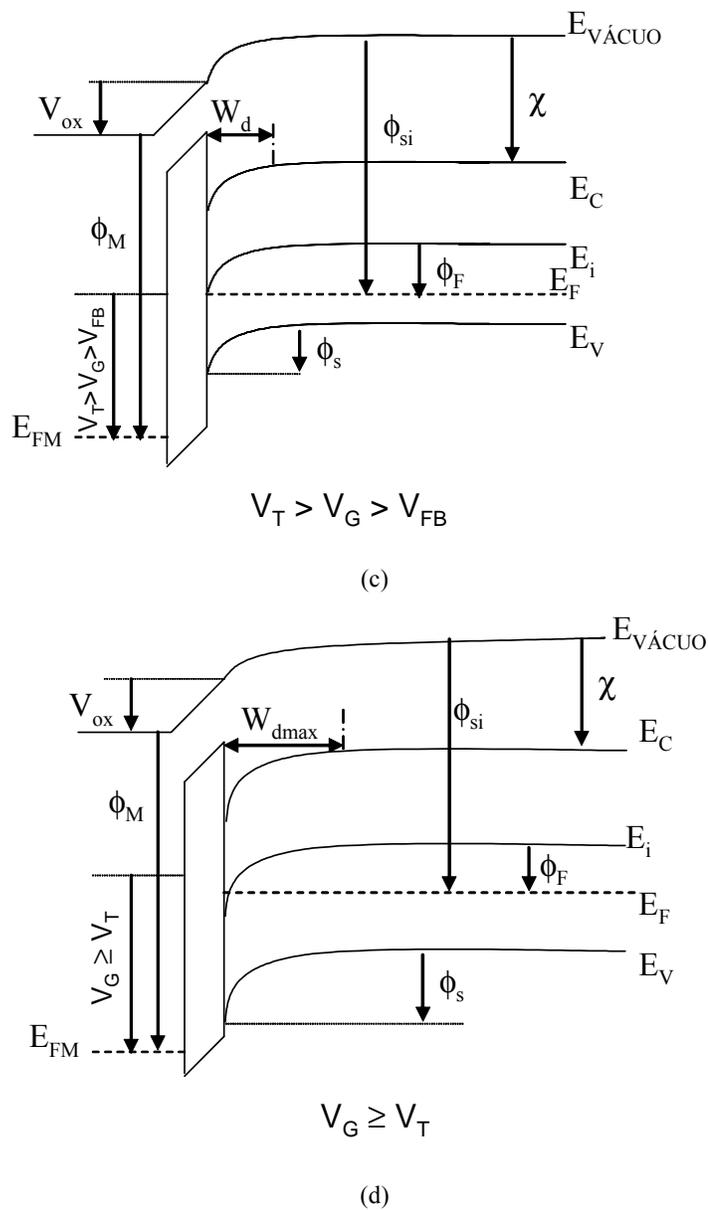


Figura 3 – Representação do diagrama de faixas de energia do capacitor MOS com substrato de Si tipo P e porta de metal nos regimes de (c) depleção e (d) inversão [10, 11, 14, 15].

onde:

- V_G - tensão de polarização de porta
- V_{FB} - tensão de faixa plana
- V_T - tensão de limiar
- V_{ox} - potencial do óxido
- E_{FM} - nível de Fermi do metal
- E_C - nível de energia da faixa de condução
- E_i - nível intrínseco do silício

E_F	- nível de Fermi do silício
E_V	- nível de energia da faixa de valência
$E_{VÁCUO}$	- nível de energia do vácuo
χ	- afinidade eletrônica
ϕ_{si}	- função trabalho do silício
ϕ_s	- potencial de superfície do silício
ϕ_M	- função trabalho do metal
ϕ_F	- potencial de Fermi do silício
W_d	- largura da região de depleção
W_{dmax}	- largura máxima da região de depleção

Podemos observar que a variação da tensão aplicada à porta do capacitor (V_G) ocasiona o deslocamento entre os níveis de Fermi do metal e do semiconductor no valor igual a V_G .

Para $V_G=0$ V, como a função trabalho do metal (ϕ_M) é diferente da função trabalho do semiconductor (ϕ_{si}), a diferença de função trabalho entre metal e semiconductor (ϕ_{MS}) é diferente de zero havendo uma diferença de potencial no óxido (V_{ox}) e no potencial de superfície do silício (ϕ_s). Devido ao nível de Fermi do metal (E_{FM}) ser maior que o nível de Fermi do silício (E_F), ocorrerá a migração de elétrons do metal para o silício, tornando o metal mais positivo que o silício. Essa migração só é encerrada ao atingir-se o equilíbrio térmico, quando os níveis de Fermi do metal e do silício assumem valores iguais. O potencial resultante desta migração divide-se parte no óxido (V_{ox}) e parte no silício (ϕ_s).

A queda de tensão ao longo da estrutura do capacitor, no equilíbrio, pode ser expressa pela diferença das funções trabalho entre metal (ϕ_M) e silício (ϕ_{si}), considerando-se o caso de uma camada de óxido livre de cargas, como mostrado pela equação (2.1.1) [14].

$$\phi_{MS} = \phi_M - \phi_{si} \quad (2.1.1)$$

onde:

ϕ_{MS}	- diferença da função trabalho entre metal e semiconductor
ϕ_M	- função trabalho do metal
ϕ_{si}	- função trabalho do silício

Como a função trabalho do silício depende da dopagem do substrato, podemos representar ϕ_{si} em função de parâmetros deste material e da afinidade eletrônica (χ), descrito na equação (2.1.2) [14].

$$\phi_{si} = \chi + \frac{E_g}{2q} + \phi_F \quad (2.1.2)$$

onde:

- ϕ_{si} - função trabalho do silício
- q - carga elementar do elétron ($1,6 \times 10^{-19}$ C)
- χ - afinidade eletrônica (4,15 eV para o silício)
- E_g - largura da faixa proibida (1,11 eV para o silício em temperatura ambiente)
- ϕ_F - potencial de Fermi do silício

Podemos também escrever a expressão do potencial de Fermi (ϕ_F) em função do tipo de dopante do substrato, neste caso do tipo P, pela equação (2.1.3) [14].

$$\phi_F = \frac{E_i - E_F}{q} = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (2.1.3)$$

onde:

- E_i - nível intrínseco do silício
- E_F - nível de Fermi do silício
- k - constante de Boltzmann
- T - temperatura
- N_A - concentração de dopantes no substrato tipo P
- n_i - concentração intrínseca

Um conceito importante a ser definido é a tensão de faixa plana (V_{FB}). Esta consiste na tensão aplicada à porta do capacitor MOS que resulta em todas as faixas de energia ficarem planas, isto é, V_{FB} é igual à diferença da função trabalho entre o metal e o semiconductor quando o isolante está livre de cargas. Esta condição está representada na figura 3(a).

Analisando o diagrama de faixas de energia apresentado na figura 3(b), observamos que quando é aplicado um valor de $V_G < V_{FB}$ haverá acúmulo de portadores majoritários próximo à superfície do silício, na sua interface com o óxido isolante, resultando no regime de acumulação.

A figura 3(c) mostra que, quando a tensão aplicada à porta (V_G) é aumentada de modo a ser maior que a tensão de faixa plana (V_{FB}) e ao mesmo tempo menor que a tensão de limiar (V_T), as lacunas próximas à superfície do silício são repelidas formando uma região repleta de cargas fixas negativas, pois neste caso o substrato é do tipo P, resultando no regime de depleção. Nesta condição, V_G pode ser escrito pela equação (2.1.4) [10].

$$V_G = V_{ox} + \phi_s + \phi_{MS} \quad (2.1.4)$$

onde:

- V_G - tensão de polarização aplicada à porta
- V_{ox} - potencial do óxido
- ϕ_s - potencial de superfície do silício
- ϕ_{MS} - diferença da função trabalho entre metal e semiconductor

À medida que aumentamos o valor de V_G , a largura da região de depleção no substrato (W_d) aumenta. Ao atingir a condição de $\phi_s = \phi_F$, temos o início da região de inversão fraca, onde a concentração de elétrons e lacunas é exatamente igual à concentração intrínseca do material semiconductor.

A região de inversão só termina de ser formada quando $W_d = W_{dmax}$, isto é, quando a largura da região de depleção atinge seu valor máximo a partir do qual o potencial de superfície se mantém praticamente constante pois a largura máxima da região de depleção W_{dmax} não aumenta mais. Neste caso, $\phi_s = 2\phi_F$ e a tensão que foi aplicada à porta para atingir o valor de W_{dmax} é chamada de tensão de limiar (V_T), que é a tensão que leva o dispositivo a operar no regime de inversão forte, conforme pode ser visto na figura 3(d).

Neste regime, a tensão aplicada à porta é dada pela equação (2.1.5) [10].

$$V_G = V_{OX} + 2\phi_F + \phi_{MS} \quad (2.1.5)$$

onde:

- V_G - tensão de polarização aplicada à porta
 V_{ox} - potencial do óxido
 ϕ_F - potencial de Fermi do silício
 ϕ_{MS} - diferença da função trabalho entre metal e semicondutor

Sem considerar a existência de cargas no óxido, toda a análise e expressões apresentadas até este ponto são válidas. No entanto, sabe-se que o óxido obtido pelos processos de fabricação de lâminas de silício não possui esta característica ideal e, para tanto, vamos analisar o efeito que estas cargas têm sobre a estrutura do capacitor MOS real [10].

2.2 Cargas no Óxido

O óxido crescido no silício possui cargas positivas devido à presença de íons de metal contaminante e ligações imperfeitas de silício e oxigênio, principalmente junto à interface Si-SiO₂, sendo que estas cargas podem ser fixas ou móveis dentro da camada de óxido, respectivamente. Íons móveis, de sódio e potássio por exemplo, podem mover-se quando submetidos a um campo elétrico se estiverem operando a uma temperatura alta o suficiente.

Existem quatro tipos de cargas presentes na camada de óxido dos dispositivos MOS que devem ser levadas em consideração:

- Q_{os} – carga na interface óxido-silício, que advém do processo de fabricação;
- Q_{of} – cargas fixas no óxido, devido ao aprisionamento de íons durante o processo de crescimento do óxido na lâmina e também devido à reação incompleta do oxigênio com o silício;
- Q_{om} – cargas móveis no óxido, que são íons positivos como sódio ou potássio que migram dentro do óxido para posições diferentes, o que causa instabilidade que prejudica o dispositivo;
- Q_{it} – cargas de armadilhas de interface, que são geradas por ligações incompletas na interface Si-SiO₂ e podem aprisionar ou liberar elétrons em função do potencial de superfície.

Na temperatura ambiente, a quantidade das cargas ou a mobilidade destas cargas pode ser considerada reduzida e pode ser representada de maneira simplificada por um valor Q_{ss} efetivo de cargas, que posicionado entre o óxido e o silício, na camada de óxido do capacitor,

produz o mesmo efeito elétrico no silício do que os quatro tipos de carga (Q_{os} , Q_{of} , Q_{om} e Q_{it}), como ilustrado na figura 4 [10, 14, 15].

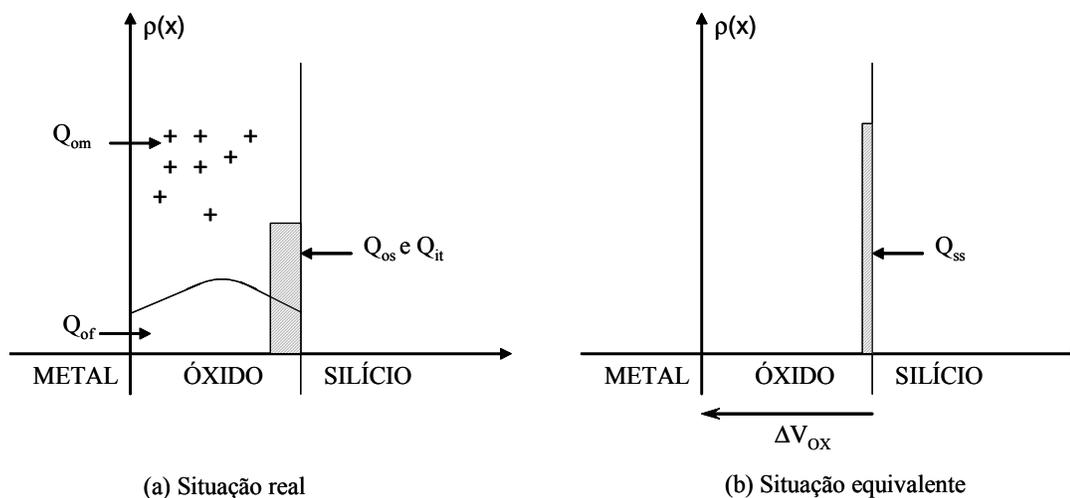


Figura 4 – Tipos de cargas no óxido em uma estrutura MOS [10].

Essa carga efetiva equivalente Q_{ss} dá origem a uma variação de potencial sobre o óxido (ΔV_{ox}) que pode ser expressa pela equação (2.2.1) [10].

$$\Delta V_{ox} = -\frac{Q_{ss}}{C_{ox}} \quad (2.2.1)$$

onde C_{ox} é a capacitância total do óxido.

A figura 5 indica a queda de tensão V_{ox} sobre o capacitor que é, em seguida, representada pela equação (2.2.2) [10].

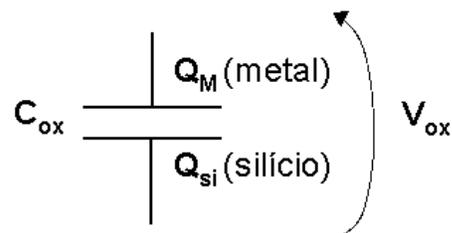


Figura 5 – Representação da capacitância total equivalente do capacitor MOS [10].

Pode-se considerar que a queda de tensão do óxido V_{ox} pode ser escrita conforme a equação (2.2.2) [10], quando desprezamos as cargas no óxido.

$$V_{ox} = -\frac{Q_{si}}{C_{ox}} \quad (2.2.2)$$

onde:

Q_{si} - carga no silício
 C_{ox} - capacitância total do óxido

Adicionando à equação (2.2.2) a variação de tensão no óxido dada pela equação (2.2.1), obtemos a equação (2.2.3) [14, 15].

$$V_{ox} = -\frac{Q_{si}}{C_{ox}} + \Delta V_{ox} = -\frac{Q_{si}}{C_{ox}} - \frac{Q_{ss}}{C_{ox}} \quad (2.2.3)$$

Com isso, a expressão da tensão aplicada à porta, levando-se em consideração os efeitos devido às cargas presentes no óxido, pode ser representada pela equação (2.2.4) [10, 14, 15].

$$V_G = -\frac{Q_{si}}{C_{ox}} - \frac{Q_{ss}}{C_{ox}} + \phi_s + \phi_{MS} \quad (2.2.4)$$

2.3 Características físicas e elétricas do silício

O silício, em seu estado intrínseco, possui características físicas e elétricas definidas que, à medida que é submetido aos processos de fabricação de dispositivos MOS, sofrem alterações devido às dopagens recebidas, processos de fabricação aos quais é exposto, além de ter também suas propriedades alteradas quando exposto a temperaturas de trabalho mais elevadas.

Abordaremos brevemente as principais características e propriedades do silício que são afetadas pelas altas temperaturas e que farão parte das discussões dos resultados obtidos nas simulações e medições experimentais apresentadas no capítulo 4.

2.3.1 Faixas de Energia

Todos os materiais sólidos possuem sua estrutura de faixas de energia característica, sendo esta responsável por um grande número de características elétricas do material [14, 15].

No caso do silício, sua composição de faixa de energia na condição de 0K (zero Kelvin) apresenta sua faixa de valência totalmente ocupada por elétrons e sua faixa de condução vazia, sem nenhum elétron livre. Como não há posições vazias na faixa de valência e também não há elétrons na faixa de condução, não existe a possibilidade de haver movimentação de cargas na estrutura do silício e, por isso, é uma estrutura considerada de resistividade muito elevada, como é o caso da maioria dos materiais isolantes [5, 14].

Este fato se repete para a maioria dos materiais semicondutores a 0K, isto é, comportam-se como uma estrutura de material isolante. A grande diferença entre as estruturas dos materiais semicondutores e dos isolantes é a largura da faixa proibida (E_g), que é a distância entre a faixa de valência e a de condução, onde não há estados de energia disponíveis para serem preenchidos por portadores livres. Regiões de energia são permitidas acima e abaixo desta faixa proibida, sendo que a faixa acima desta faixa é denominada faixa de condução e a que está abaixo é a faixa de valência [5, 14, 15].

A faixa proibida é uma das características mais importantes dos semicondutores e sua largura é bem menor que no caso dos materiais isolantes, conforme está representado nas figuras 6(a) e 6(b) [5, 14]. Na temperatura ambiente, a faixa proibida tem o valor de aproximadamente 1,1 eV para o silício, 0,66 eV para o germânio e 5,0 eV para o diamante [5, 14]. A vantagem da menor faixa proibida nos materiais semicondutores em relação aos isolantes é a possibilidade de, por meio de energia térmica ou óptica, os elétrons serem excitados a ponto de poderem transpor a faixa proibida e passar da faixa de valência para a faixa de condução, tornando-se portadores livres. Essa quantidade de portadores livres nos materiais semicondutores pode ser aumentada à medida que se aplica maior energia térmica ou óptica ao material [14, 15].

Somente a título de comparação, nos metais, materiais condutores por natureza, as faixas de valência e condução se sobrepõem ou estão apenas parcialmente ocupadas por elétrons, dessa maneira os elétrons podem mover-se livremente quando submetidos a um campo elétrico, o que confere aos materiais metálicos uma alta condutividade, como ilustrado na figura 6(c) [15].

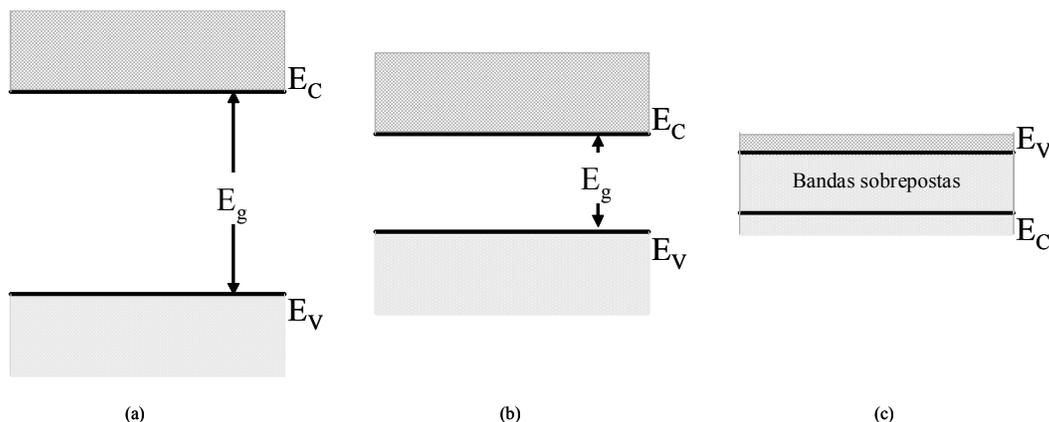


Figura 6 – Representação da estrutura de faixas de energia: (a) material isolante, (b) material semiconductor, (c) metal [14, 15].

Desta forma, é bem mais simples visualizar e compreender o mecanismo de condução de corrente elétrica nos materiais condutores onde existe uma grande quantidade de elétrons livres disponíveis, bastando a imposição de um campo elétrico externo direcionado para ocorrer o fenômeno da condução de corrente elétrica. Por outro lado, esse mecanismo nos materiais semicondutores é um pouco mais complexo [14, 15].

Como foi mencionado anteriormente, para um elétron se deslocar da faixa de valência para a de condução no silício, por exemplo, é necessária uma elevação da temperatura para promover a excitação dos elétrons para que transponham a faixa proibida. Ao atingirem a faixa de condução, os elétrons que saíram da faixa de valência deixam espaços vazios nessa faixa que contribuem com o processo de condução. Estes espaços vazios que ficam na faixa de valência são chamados de lacunas e denomina-se “geração par elétron-lacuna” ao processo que promove a ida de um elétron para a faixa de condução criando ao mesmo tempo uma lacuna na faixa de valência. Significa dizer que toda vez que o elétron transpõe a faixa proibida, é gerado um par elétron-lacuna na estrutura do semiconductor [14, 15].

A introdução de impurezas (dopantes) nos materiais semicondutores, como o silício, afeta a disponibilidade de portadores livres na estrutura de faixas de energia e permite maior flexibilidade e controle das características elétricas dos semicondutores [5, 14]

O semiconductor dito perfeito não possui nenhuma impureza ou defeito em sua estrutura cristalina e, portanto, pode ser denominado como semiconductor intrínseco. Na

condição de 0K não há movimentação de cargas nas suas faixas de energia. Com a elevação da temperatura, são gerados os pares elétron-lacuna à medida que os elétrons da faixa de valência movem-se para a faixa de condução, e estes pares elétron-lacuna constituem os únicos tipos de portadores num material intrínseco [15].

Como os elétrons e as lacunas são gerados aos pares, a concentração de elétrons na faixa de condução n é igual à concentração de lacunas na faixa de valência p (cada uma destas concentrações sendo indicada em portadores por cm^3) [14, 15]. Cada uma destas concentrações de portadores no material intrínseco pode ser denominada n_i pois, como demonstra a equação (2.3.1) [14], a concentração de portadores do tipo n e p é igual à concentração de portadores intrínsecos.

$$n = p = n_i \quad (2.3.1)$$

A uma determinada temperatura (em equilíbrio térmico), existe uma concentração de pares elétron-lacuna n_i associada, em equilíbrio térmico. A taxa de recombinação de pares elétron-lacuna é igual à taxa de geração de pares elétron-lacuna num material intrínseco em equilíbrio térmico. A recombinação ocorre quando um elétron da faixa de condução retorna à faixa de valência preenchendo um dos espaços livres na faixa de valência, eliminado o par que havia sido gerado [14]. Denominando-se a taxa de geração dos pares elétron-lacuna como g_i e a taxa de recombinação como r_i , no equilíbrio térmico podemos afirmar que ambos possuem valor iguais, como descrito na expressão (2.3.2) [14].

$$r_i = g_i \quad (2.3.2)$$

Cada uma destas taxas depende da temperatura à qual o material está exposto. Por exemplo, a taxa de geração g_i aumenta com a elevação da temperatura e um novo valor da concentração intrínseca n_i é estabelecido de forma que a taxa de recombinação r_i fique balanceada com o novo valor da taxa de geração g_i [14]. Em qualquer temperatura é possível estimar a taxa de recombinação de elétrons e lacunas uma vez que ela é proporcional ao equilíbrio entre as concentrações de elétrons n_0 e lacunas p_0 , e podemos representar esta relação através da equação (2.3.3) [14].

$$r_i = \alpha_r \cdot n_0 \cdot p_0 = \alpha_r \cdot n_i^2 = g_i \quad (2.3.3)$$

O fator α_r é uma constante de proporcionalidade que depende do mecanismo pelo qual a recombinação ocorre [14].

Adicionalmente aos portadores gerados no material intrínseco por meio da elevação da temperatura, é possível criar portadores no material semiconductor pela introdução de impurezas em sua estrutura cristalina, sendo este processo denominado dopagem. Esta é a técnica mais comum para que possamos variar as características de condutividade do material semiconductor [14, 15].

Através da dopagem, a estrutura cristalina é alterada de modo a possuir maior predominância de elétrons ou lacunas, transformando o material semiconductor em tipo n (maioria de elétrons) ou tipo p (maioria de lacunas). Quando a rede cristalina está em equilíbrio e a concentração de elétrons n_0 e lacunas p_0 é diferente da concentração intrínseca de portadores n_i , o material é classificado como extrínseco [14, 15].

Com a introdução dos dopantes, novos níveis de energia permitidos aparecem entre a estrutura de faixas de energia do silício cristalino e esses novos níveis são localizados dentro da faixa proibida. Os novos níveis de energia induzidos por elemento dopante do tipo doador estarão repletos de elétrons e localizados próximo à faixa de condução. Dessa forma, apenas uma pequena elevação da temperatura pode excitar os elétrons a ponto de fazer com que eles atinjam a faixa de condução, como está ilustrado na figura 7 [5, 14]. Por este motivo, materiais semicondutores dopados com este tipo de impureza são classificados como material tipo-n, onde a concentração de elétrons no semiconductor é muito superior à de lacunas [5, 14].

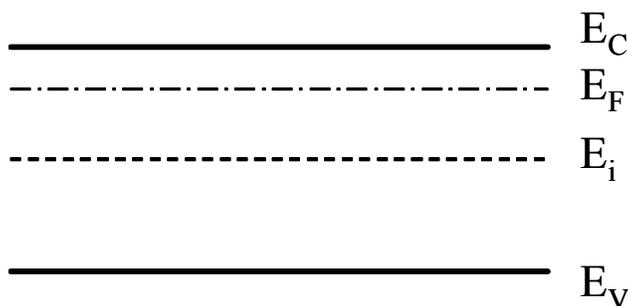


Figura 7 – Representação da estrutura de faixas de energia de um material semiconductor dopado com impurezas do tipo n, com a indicação do posicionamento do nível de Fermi entre o nível intrínseco e a faixa de condução.

Da mesma forma, com a introdução de dopantes do tipo aceitador, novos níveis permitidos de energia são induzidos na faixa de valência, os quais estarão desprovidos de elétrons. Uma pequena elevação da temperatura faz com que a faixa de valência fique repleta de lacunas [14, 15]. Neste caso, a concentração de lacunas no semiconductor é muito superior à

de elétrons, sendo este tipo denominado material tipo-p e sua estrutura de faixa de energia está ilustrada na figura 8.

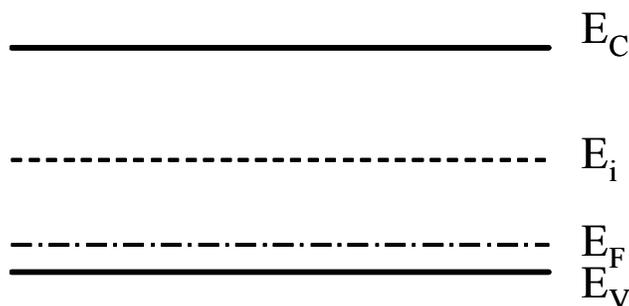


Figura 8 – Representação da estrutura de faixas de energia de um material semicondutor dopado com impurezas do tipo p, com a indicação do posicionamento do nível de Fermi entre a faixa de valência e o nível intrínseco.

Quando um semicondutor é dopado com impurezas tipo p ou tipo n, um tipo de portador é dominante. No caso de um material tipo n, os elétrons são os portadores majoritários e, portanto, as lacunas são portadores minoritários [14, 15].

Para possibilitar o cálculo das características elétricas do material semicondutor e analisar o seu comportamento, é necessário conhecer o número de portadores por cm^3 existentes no material. [14].

Os elétrons seguem uma distribuição denominada de Fermi-Dirac nos materiais sólidos e a expressão (2.3.4) representa a densidade de probabilidade de preenchimento dos níveis de energia disponíveis, no equilíbrio térmico [5, 14, 15].

$$f(E) = \frac{1}{1 + e^{\frac{(E-E_F)}{kT}}} \quad (2.3.4)$$

onde k é a constante de Boltzmann ($k = 8,62 \times 10^{-5} \text{ eV/K} = 1,38 \times 10^{-23} \text{ J/K}$).

O parâmetro E_F é denominado nível de Fermi e representa um parâmetro bastante importante para a análise do comportamento dos materiais semicondutores [5, 14]. Observamos que para um nível de energia E igual ao nível de Fermi E_F , a probabilidade de ocupação deste nível por um elétron é dada pela equação (2.3.5) [14].

$$f(E_F) = [1 + e^{\frac{(E_F-E_F)}{kT}}]^{-1} = \frac{1}{1+1} = \frac{1}{2} \quad (2.3.5)$$

Portanto, um nível de energia no nível de Fermi tem a probabilidade de $\frac{1}{2}$ de ser ocupado por um elétron num material semiconductor intrínseco ou extrínseco, desde que E_F seja um nível de energia permitido [5, 14].

Para um material intrínseco, sabemos que a concentração de elétrons na faixa de valência é idêntica à concentração de lacunas na faixa de condução e o seu nível de Fermi E_F encontra-se no meio da faixa proibida [5, 14, 15].

Em materiais do tipo n há uma grande concentração de elétrons na faixa de condução quando comparada à concentração de lacunas na faixa de valência e, nesse caso, o nível de Fermi E_F localiza-se acima do nível de Fermi do material intrínseco E_i . Analogamente, em materiais do tipo p, o nível de Fermi E_F localiza-se próximo à faixa de valência e abaixo do nível de Fermi do material intrínseco E_i [5, 14].

2.3.2 Variação das Características do Silício com a Temperatura

A dependência da concentração intrínseca de portadores em relação à temperatura pode ser representada pela equação (2.3.2.1) [6, 16].

$$n_i = 3,9 \cdot 10^{16} \cdot T^{3/2} \cdot e^{-E_g/2kT} \quad (2.3.2.1)$$

A equação (2.3.2.1) mostra claramente que o aumento da concentração de portadores no material intrínseco n_i é proporcional ao aumento da temperatura à qual o material está exposto, o que significa dizer que com o aumento da temperatura de trabalho do semiconductor Si, teremos também o aumento da concentração intrínseca n_i [6]. Apenas como exemplo deste comportamento, podemos observar na figura 9 esta tendência para o Germânio, Silício e Arseneto de Gálio.

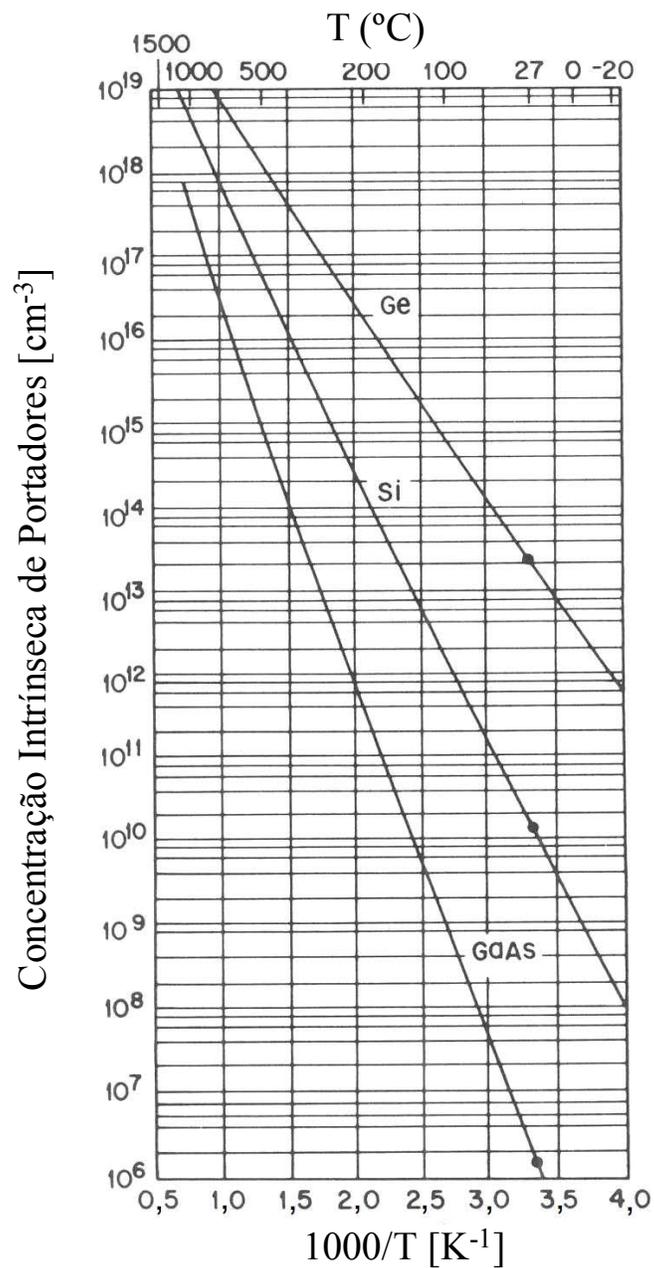


Figura 9 – Concentração intrínseca de portadores intrínsecos do Ge, Si e GaAs em função da temperatura [5].

Na temperatura ambiente, a densidade de portadores intrínsecos é baixa se comparada às concentrações de dopantes no semiconductor. No entanto, a concentração intrínseca n_i aumenta rapidamente com o aumento da temperatura, e chega a ter seu valor dobrado a cada elevação de 11°C na temperatura para o caso do material silício [5].

Acima da temperatura ambiente, o processo dominante para a geração de portadores livres no semiconductor é o efeito térmico [5, 15], o que explica o aumento exponencial da concentração de portadores no material intrínseco após ultrapassarmos a temperatura ambiente na operação de um dispositivo semiconductor.

Se for considerado como exemplo um substrato de silício dopado com impurezas do tipo n, teremos um determinado valor de concentração de elétrons que será denominado N_d . Na temperatura ambiente, é comum que N_d seja de ordem de grandeza igual ao valor da concentração intrínseca de portador n_i do material silício, sendo que os portadores dominantes dentro do semiconductor são os elétrons neste exemplo.

Com o aumento da temperatura, a concentração intrínseca do silício n_i aumenta e pode chegar a ser de mesmo valor ou superior à concentração de dopantes do tipo n, fazendo com que os portadores dominantes no silício sejam, neste exemplo, os portadores relativos ao substrato de silício gerados pela excitação térmica à qual o substrato foi submetido.

Usualmente, uma vez determinada a máxima temperatura de operação do dispositivo, é feita a dopagem do silício com uma concentração de impurezas que seja superior em ordem de grandeza ao máximo valor que a concentração intrínseca pode chegar de modo a sempre haver o controle da concentração de portadores, que o projeto do dispositivo especifica, como dominante na estrutura do semiconductor.

Adicionalmente à concentração intrínseca de portadores, outras características do material semiconductor sofrem influência da temperatura. A expressão (2.3.2.2) [5, 17] representa a dependência da largura da faixa proibida em função da temperatura. Da mesma forma podemos observar na figura 10 o comportamento decrescente do valor da faixa proibida com o aumento da temperatura nos materiais silício, germânio e arseneto de gálio [5, 17].

$$E_g(T) = E_g(0) - \frac{\alpha T^2}{(T + \beta)} \quad (2.3.2.2)$$

onde os valores de $E_g(0)$, α e β são constantes e estão representados na tabela 1 para os materiais Arseneto de gálio, silício e germânio, respectivamente [5, 17].

Tabela 1 – Valores das constantes apresentadas na equação (2.3.2.2) para o cálculo do valor da largura da faixa proibida em função da temperatura [5, 17].

MATERIAL	$E_g(0)$	α ($\times 10^{-4}$)	β
GaAs	1,519	5,405	204
Si	1,170	4,73	636
Ge	0,7437	4,774	235

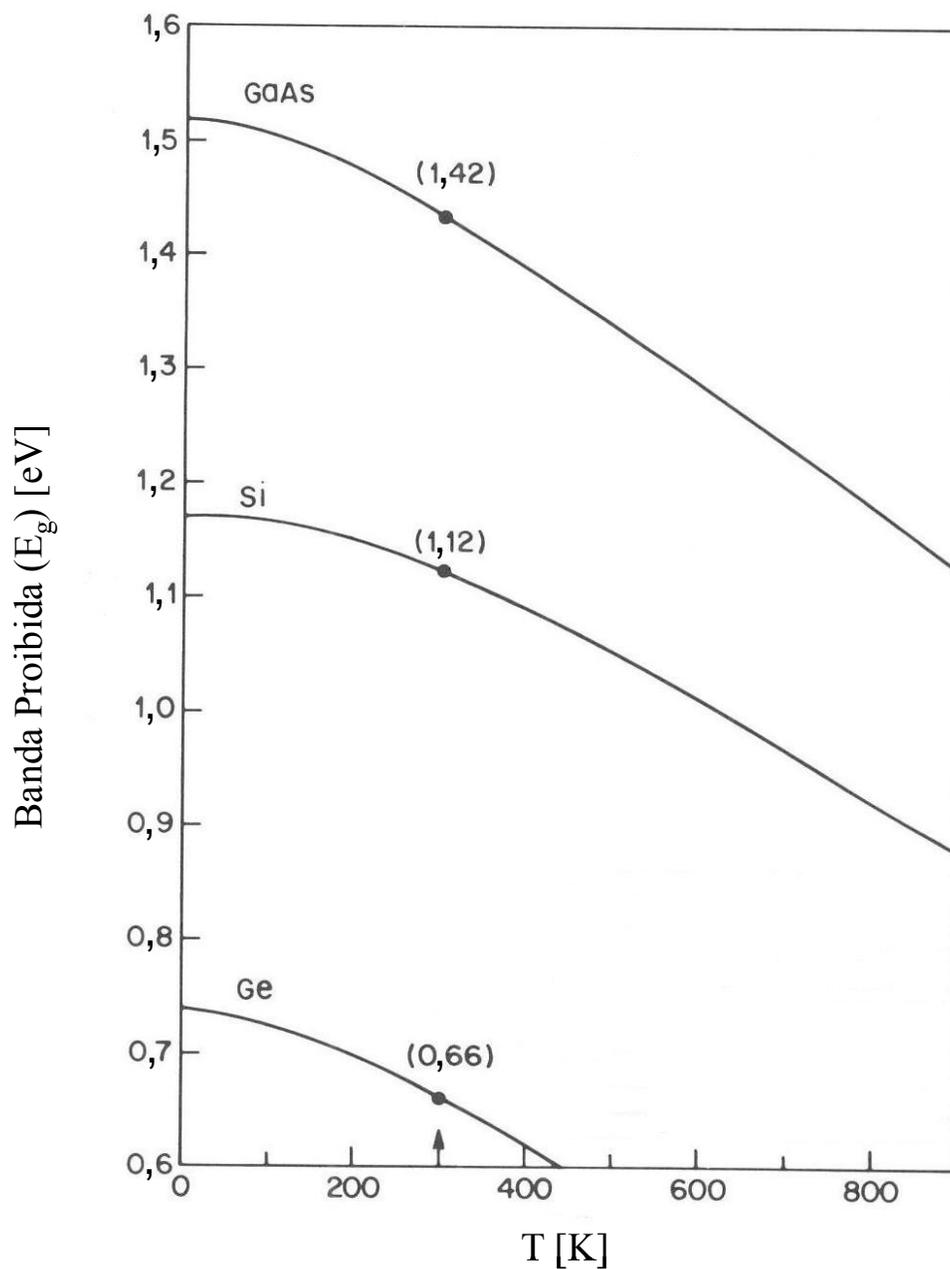


Figura 10 – Largura da faixa proibida dos materiais GaAs, Si e Ge em função da temperatura [5].

Adicionalmente a n_i e E_g , o potencial de Fermi (ϕ_F) também sofre influência da temperatura e a equação (2.1.3) apresentada anteriormente descreve esta relação [5, 14, 15].

A figura 11 apresenta o comportamento no nível de Fermi em função da temperatura e da concentração de dopantes, para o caso do material silício [5].

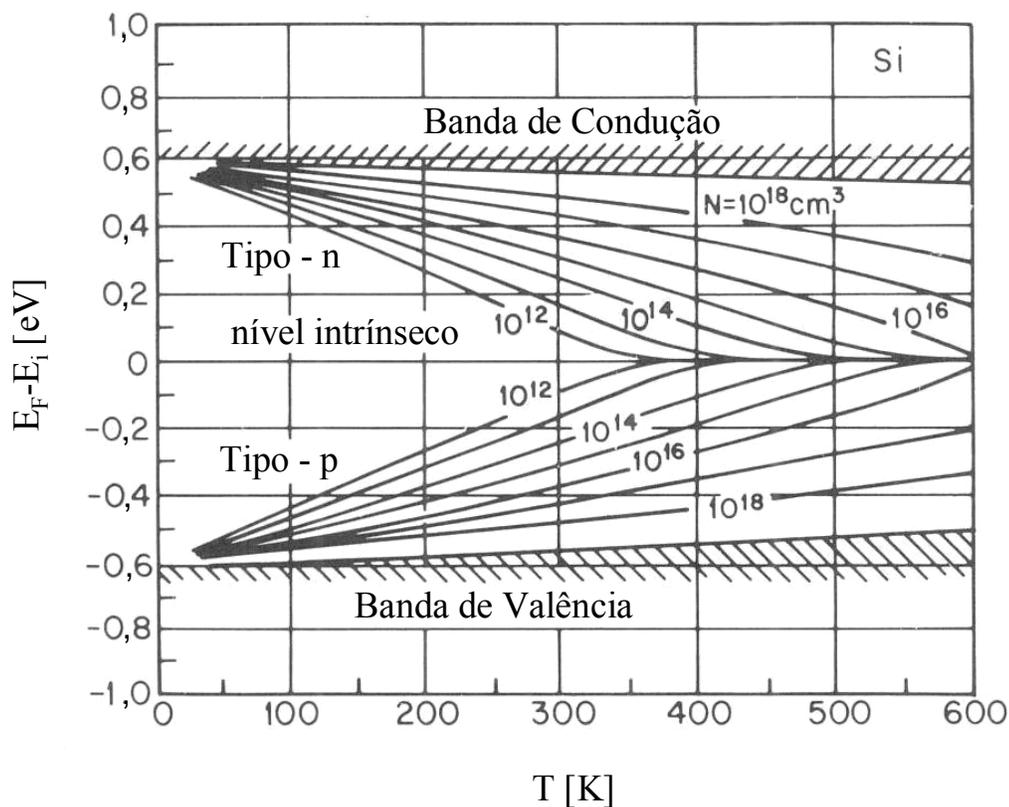


Figura 11 – Nível de Fermi para o silício em função da temperatura e da concentração de dopantes [5].

É importante notar que a figura 11 incorpora também o estreitamento da faixa proibida do silício com o aumento da temperatura, como podemos observar nas linhas das faixas de valência e de condução da figura 11.

Outra característica que pode ser observada quando analisamos o comportamento de um capacitor MOS operando em altas temperaturas, é o ponto ZTC (Zero Temperature Coefficient) que é um ponto de polarização comum a todas as curvas e independente da temperatura de operação do dispositivo [18, 19]. Para estruturas MOS tipo transistor, no ponto ZTC, dois efeitos opostos no semiconductor se compensam: o aumento da corrente de dreno

devido à redução da tensão de limiar e a redução da corrente de dreno devido à diminuição da mobilidade dos portadores, fazendo com que este ponto seja comum para condições de operação em temperaturas distintas em um mesmo dispositivo [20, 21, 22, 23].

Desta forma, poderíamos aplicar circuitos com dispositivos MOS até 300°C se polarizássemos os mesmos para trabalharem no ponto ZTC, pois é possível manter a tensão de limiar estável próximo a este ponto com variações abaixo de 5% para a faixa de temperatura entre ambiente e 300°C, por isso o ponto ZTC é considerado uma característica de grande importância no projeto de dispositivos que necessitem operar numa larga faixa de temperaturas [19, 20].

No caso dos capacitores MOS, este ponto ZTC também é observado nas curvas C-V obtidas, como poderá ser verificado nos resultados apresentados no capítulo 4.

2.4 Operação em Altas Temperaturas

O comportamento amplamente conhecido dos dispositivos semicondutores é estável até um determinado valor de temperatura, da ordem de 150°C [2, 3, 4, 24]. Dentro desta faixa, os dispositivos MOS apresentam comportamento elétrico constante e próximo do ideal teórico.

As aplicações de dispositivos eletrônicos em ambientes submetidos a altas temperaturas podem ser encontradas, por exemplo, em:

- Dispositivos eletrônicos usados em motores de combustão interna;
- Aplicações em aeronaves espaciais, aviões comerciais e militares;
- Indústria energética na perfuração de poços para extração de petróleo;
- Dispositivos eletrônicos que operam com alta potência para controle de motores elétricos;
- Monitoramento de reatores nucleares;
- Monitoramento de motores a combustão em atividades espaciais de exploração por meio de sondas da atmosfera de planetas mais próximos ao Sol,

que constituem atualmente os mercados que impõe as mais altas temperaturas para os dispositivos à base de silício [2, 3, 4, 25, 26, 27, 28, 29].

É fato que o custo de aplicações de dispositivos eletrônicos na indústria automobilística e de aviação pode ser expressivamente reduzido se houver a possibilidade de instalação e operação do dispositivo em regiões expostas a altas temperaturas. Esta redução de custo se deve, principalmente, à eliminação de isolamento térmico, mecanismos de

refrigeração e dispositivos que mantenham a temperatura ambiente dentro dos limites atualmente toleráveis pelo silício para manutenção de suas características de funcionamento conforme especificações de projeto, em torno de 75°C para aplicações comerciais [28] e 125°C para aplicações militares [2, 25, 26, 27, 29].

Há vantagens também em relação à massa final de um avião ou veículo. Estima-se que, no caso de um avião modelo F16, essa redução de massa seja da ordem de 270 kg devido à eliminação de cabos elétricos, conectores, isolamento térmico e sistemas de refrigeração quando é possível instalar os dispositivos eletrônicos de controle diretamente em suas áreas de operação, onde a temperatura ambiente está acima dos usuais 125°C [2].

As vantagens continuam quando vislumbramos a possibilidade de substituição de controle hidráulicos e pneumáticos por controladores eletrônicos que operam com alta potência, ocasionando maior aquecimento dos circuitos integrados que o compõe. Além da evidente redução de massa que esse tipo de substituição traz, há também a eliminação de vazamentos de lubrificantes, soluções de limpeza, e fluídos, muitas vezes tóxicos, o que acarreta da mesma forma a redução do custo de manutenção destes sistemas [2, 29].

Com o aumento da temperatura, a faixa proibida do material semicondutor tende a estreitar-se possibilitando maior taxa de passagem de portadores da faixa de valência para a de condução, ocasionando um efeito de fuga que independe das tensões de polarização do dispositivo, mas sim da temperatura [2].

A aplicação de dispositivos eletrônicos em altas temperaturas com manutenção de suas características próximas ao comportamento em temperatura ambiente (27°C) só é possível com a utilização de materiais semicondutores diferentes do silício puro ou usando a tecnologia SOI, sendo esta tecnologia atualmente limitada a aplicações até 300°C aproximadamente [4, 29, 30, 31].

Vários estudos estão sendo realizados com materiais que apresentam maior largura da faixa proibida e, com isso, o aparecimento dos efeitos parasitários, tais como o aumento da geração de portadores livres, só passa a ocorrer em temperaturas bem mais elevadas quando comparado ao silício puro [2, 29, 32, 33].

Além disso, a espessura do óxido de porta, cada vez mais fino, é outro gerador de efeitos parasitários que contribuem para que o dispositivo seja desviado de seu comportamento teórico ideal como, por exemplo, o efeito das correntes de tunelamento através do material de porta convencional SiO₂ [12]. Esses efeitos, combinados com o aumento da temperatura de operação tornam o dispositivo eletrônico inadequado para as

aplicações descritas devido ao fato de não apresentar o comportamento para o qual foi projetado nas condições extremas aqui apontadas.

3 CARACTERÍSTICAS DOS DISPOSITIVOS SIMULADOS E MEDIDOS

3.1 Simulações

A estrutura do capacitor MOS, apresentada na figura 12, foi utilizada para as inúmeras simulações realizadas neste trabalho e é constituída de uma porta de silício policristalino tipo N com concentração $N_D=1 \times 10^{21} \text{ cm}^{-3}$, óxido de porta SiO_2 com espessura $t_{\text{ox}} = 2,5 \text{ nm}$, substrato de silício tipo P com dopagem $N_A = 5 \times 10^{17} \text{ cm}^{-3}$ e espessura do filme de silício de $t_{\text{si}} = 600 \text{ nm}$. Foi adotado para grande parte das simulações comprimento de canal $L=1 \text{ }\mu\text{m}$ e, como foram realizadas simulações bidimensionais, a largura do canal é sempre $W=1 \text{ }\mu\text{m}$.

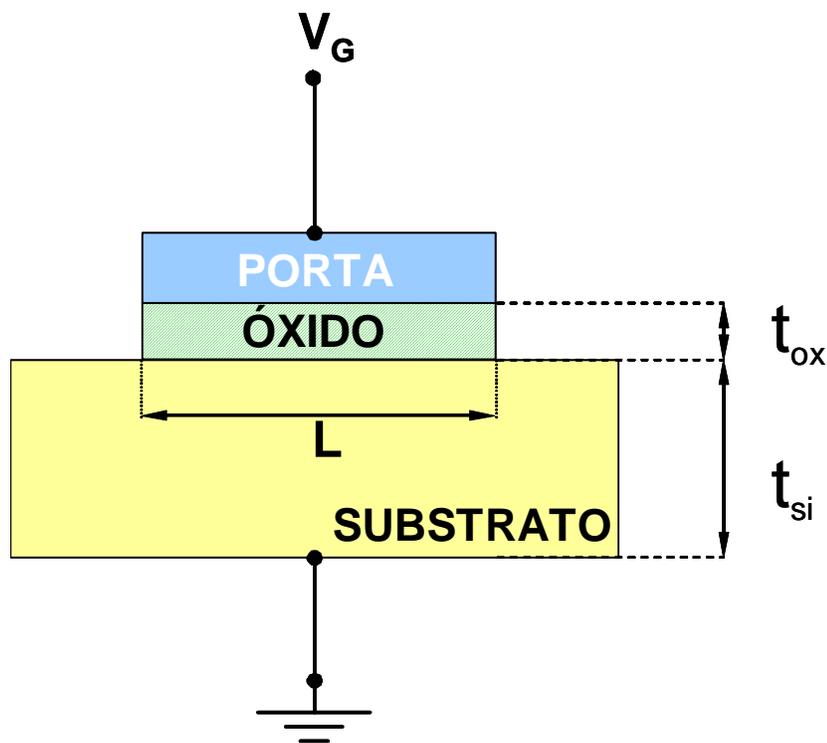


Figura 12 – Seção transversal da estrutura do capacitor MOS.

Foi aplicada uma tensão V_G contínua (DC) à porta, variando de -3 V a 3 V e realizada a análise em corrente alternada (AC) da curva C-V de alta frequência, fixando-se o valor da frequência em 1 MHz para todas as simulações.

Foram obtidas curvas C-V para diferentes temperaturas, variando de 50°C a 300°C em intervalos de 50°C entre cada uma delas e foi utilizada a curva C-V em temperatura ambiente (27°C) como base de comparação para as análises do comportamento do dispositivo em tais condições de operação.

Para cada conjunto de curvas, algumas características físicas foram modificadas na estrutura do dispositivo MOS: a concentração de dopantes do substrato (N_A), o tipo de material de porta e o tipo de material de substrato, com o intuito de possibilitar a observação e identificação de tendências observadas nas curvas C-V em altas temperaturas.

Todas as simulações realizadas foram obtidas com o uso do simulador numérico ATLAS [9].

A curva C-V típica de alta frequência de um capacitor MOS com substrato do tipo P é apresentada na figura 13.

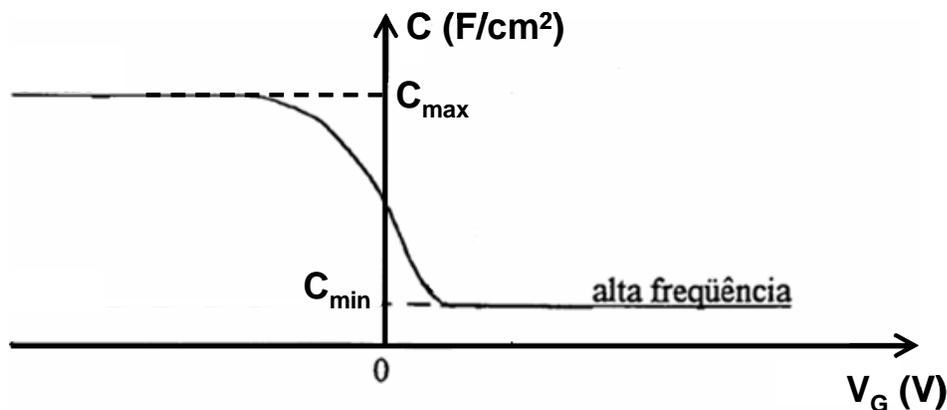


Figura 13 – Curva C-V típica do capacitor MOS com substrato do tipo P operando em alta frequência.

Foram selecionadas somente as curvas C-V de alta frequência, neste caso foi utilizado 1MHz.

3.2 Medições Experimentais

Para a realização da caracterização elétrica do capacitor MOS operando em altas temperaturas, foi utilizado o equipamento denominado Keithley 590 CV Analyzer. Como a amostra de capacitor utilizado estava disposta em um pedaço de lâmina de silício (chip), foi utilizado um microprovador com pontas de prova para possibilitar o contato elétrico entre os terminais do capacitor e o equipamento Keithley 590, conforme ilustra a figura 14.

A variação da temperatura foi realizada através do equipamento K-20 Programmable Temperature Controller, que possui uma resistência elétrica controlada por um sistema eletrônico, possibilitando a variação da temperatura entre 80K e 600K, com incremento mínimo de 1K (limitação do equipamento).

O processo de medição baseou-se na variação da temperatura à qual a amostra foi exposta e a respectiva obtenção dos dados para a curva C-V de alta frequência.

A amostra utilizada para a caracterização elétrica possui substrato do tipo P, com geometria quadrada de 300 μm de comprimento por 300 μm de largura, com concentração de substrato $N_A \cong 2,9 \times 10^{17} \text{ cm}^{-3}$ e espessura de óxido de porta $t_{\text{ox}} \cong 15 \text{ nm}$.

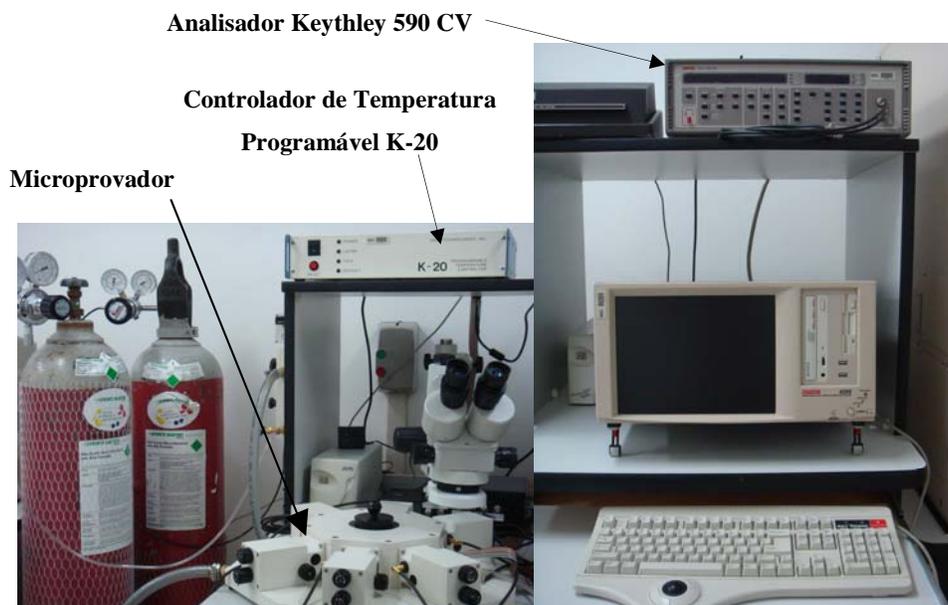


Figura 14 – Imagem dos equipamentos utilizados na caracterização elétrica do capacitor MOS.

4 RESULTADOS DAS SIMULAÇÕES

4.1 Simulações Numéricas e Resultados Preliminares

4.1.1 Simulador ATLAS

O simulador ATLAS possibilita a realização de simulações bidimensionais e tridimensionais de dispositivos semicondutores. Baseado em equações físicas derivadas das leis de Maxwell, o simulador ATLAS permite a modelagem do comportamento em regime de corrente contínua, alternada e transitório de uma estrutura que seja especificada através de uma grade de pontos, chamados nós, que resultam da previsão de comportamento da movimentação dos portadores ao longo da estrutura especificada.

Para obter essa previsão de comportamento elétrico do dispositivo semicondutor, é necessário especificar qual a condição de polarização à qual o dispositivo será exposto, quais os modelos numéricos adequados para a simulação que se deseja e as características físicas da estrutura.

Ao criar um arquivo de simulação, a primeira etapa é a determinação da grade de pontos que seja adequada à estrutura a ser simulada. Em seguida, definimos as diferentes regiões que desejamos estudar no dispositivo, estabelecemos também os eletrodos, dopagens das regiões, propriedades das interfaces entre os diferentes materiais do dispositivo, modelos físicos que melhor se aplicam e, por fim, as condições de polarização para obtenção das curvas características.

Um exemplo do arquivo utilizado na simulação das curvas que são apresentadas neste trabalho pode ser encontrado no apêndice 1.

A seguir, será apresentada uma breve descrição dos modelos utilizados nas simulações realizadas ao longo deste trabalho.

4.1.2 Modelos utilizados

Os modelos apresentados a seguir foram escolhidos de modo a definir os mecanismos físicos para a modelagem da mobilidade, recombinação de portadores, ionização por impacto e temperatura de operação do dispositivo.

- ANALYTIC – Modelo que prevê a dependência da mobilidade da concentração com a temperatura. Aplicado em temperaturas de operação entre 77 K e 450 K [9];
- FLDMOB (Parallel Electric Field Dependence) – Modelo de mobilidade que depende do efeito de campo elétrico horizontal considerando a velocidade de saturação do portador, utilizado em estruturas de silício e arseneto de gálio [9];
- CONSRH – Modelo de recombinação de portadores baseado na teoria de Shockley-Read-Hall que determina o tempo de vida dos portadores como função da concentração de dopantes [9];
- FERMIDIR – Modelo baseado na aproximação estatística para determinação da redução de concentração de portadores em regiões altamente dopadas [9];
- AUGER – Especifica a recombinação Auger [9];
- BGN (Bandgap Narrowing) – Modelo que especifica o estreitamento da faixa proibida de energia devido à alta dopagem, incluindo a variação espacial da concentração intrínseca e o deslocamento das margens das faixas de energia em função da temperatura [9];
- TEMP – Especifica a temperatura de operação da estrutura [9].

4.2 Resultados Obtidos

O primeiro conjunto de curvas C-V, obtido através de simulações, para o capacitor MOS descrito anteriormente está mostrado na figura 15. Observa-se que, quando é aplicada uma tensão positiva à porta do capacitor ($V_G > 0$ V), a curva C-V a partir da temperatura de 200°C apresenta um comportamento diferente do perfil esperado tipicamente para a operação em alta frequência. Este comportamento assemelha-se à curva C-V característica de baixa frequência quanto mais a temperatura se aproxima de 300°C, apesar de ter sido mantida constante a frequência em 1 MHz durante toda a simulação [34].

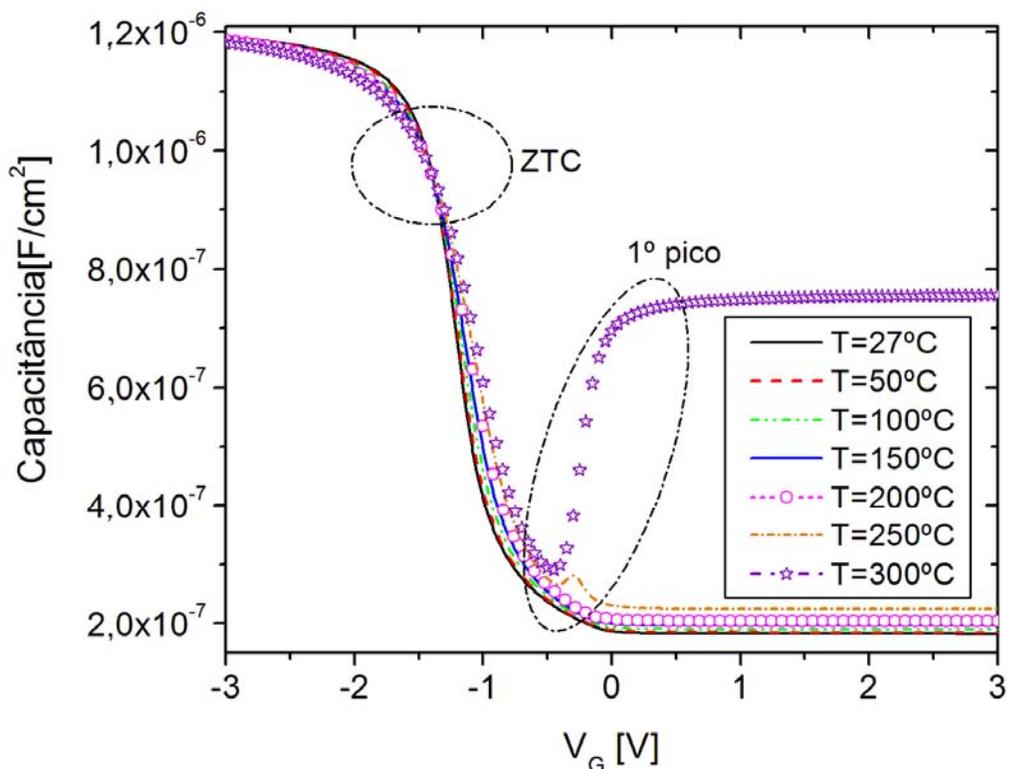


Figura 15 – Curvas C-V de alta frequência com $t_{ox}=2,5$ nm, $N_A=5 \times 10^{17}$ cm $^{-3}$ e porta de silício policristalino com $N_D=1 \times 10^{21}$ cm $^{-3}$ operando em altas temperaturas.

O aumento do valor da capacitância para valores positivos de V_G , observado a partir da temperatura de 200°C (figura 15) e que será referenciado a partir de agora como “1º pico”, indica que existem outros efeitos físicos agindo sobre a estrutura do capacitor MOS. Estes efeitos agem mais precisamente no substrato de silício uma vez que, sendo a capacitância total da estrutura MOS apresentada neste trabalho a associação em série da capacitância da camada de óxido com a capacitância do substrato de silício, exemplificado pela figura 16, podemos considerar que a capacitância devido ao óxido é constante para a mesma espessura de t_{ox} e que, portanto, os efeitos físicos que estão causando o 1º pico da curva C-V a partir de 200°C estão agindo sobre o valor da capacitância do substrato.

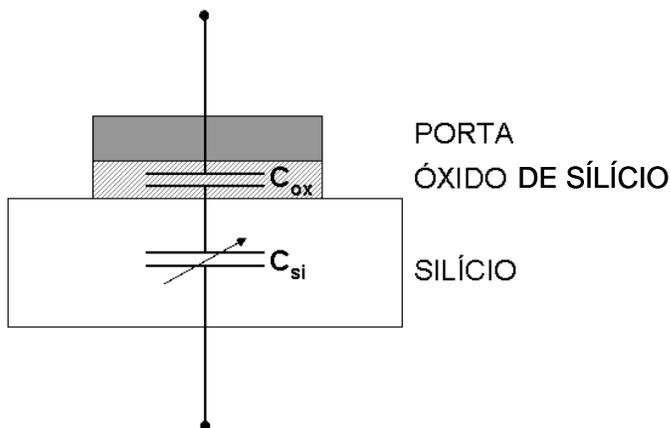


Figura 16 – Representação esquemática da associação em série das capacitâncias que compõe a capacitância total da estrutura MOS.

As expressões (4.2.1) [8], (4.2.2) [8] e (4.2.3) [8] apresentam as equações para o cálculo da capacitância total do dispositivo capacitor MOS (C_T), capacitância devido ao óxido (C_{ox}) e capacitância devido ao substrato de silício (C_{si}), respectivamente.

$$\frac{1}{C_T} = \frac{1}{C_{ox}} + \frac{1}{C_{si}} \quad (4.2.1)$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (4.2.2)$$

$$C_{si} = \frac{\epsilon_{si}}{W_{dmax}} \quad (4.2.3)$$

onde:

- C_T - capacitância total do capacitor MOS
- C_{ox} - capacitância total do óxido
- C_{si} - capacitância do substrato de silício
- ϵ_{ox} - permissividade do óxido
- ϵ_{si} - permissividade do silício
- t_{ox} - espessura da camada de óxido de porta
- W_{dmax} - largura máxima da região de depleção no silício

É possível observar através das curvas apresentadas na figura 15 a presença do ponto ZTC (Zero Temperature Coefficient), que é o ponto onde as características elétricas do dispositivo assumem o mesmo valor, isto é, para o mesmo valor de V_G a capacitância é constante e independente da temperatura.

O efeito indicado na figura 15 como 1º pico é devido ao aumento da capacitância no substrato de silício durante a operação na região de inversão. Em temperatura ambiente (27°C) este fenômeno não pode ser observado uma vez que a geração de portadores no substrato não está ainda sob forte influência da elevação da temperatura. Quando o dispositivo é exposto a temperatura mais elevadas, o mecanismo predominante na geração de portadores livres no substrato passa a ser a geração térmica [5, 14] o que provoca o aumento da concentração intrínseca do silício (n_i), que assume valores mais elevados com a elevação da temperatura.

Este fato é explicado quando analisamos a equação apresentada no item 2.3.2, que demonstra a dependência do valor da concentração intrínseca do material semiconductor em função da temperatura.

Para temperaturas da ordem de 300°C, o valor assumido pela concentração intrínseca no silício chega a $n_i=3,9 \times 10^{15} \text{ cm}^{-3}$ o que representa um aumento de 5 ordens de grandeza no valor de n_i quando comparado ao seu valor em temperatura ambiente 27°C.

A influência que os portadores gerados pela ação térmica possuem sobre as cargas inicialmente implantadas na fase da dopagem do substrato não pode mais ser considerada desprezível e, em casos de substratos com dopagem baixa, o valor de N_A (dopagem estabelecida no processo de fabricação do dispositivo) chega a ser menor ou igual à concentração intrínseca do silício em condições de operação em alta temperatura.

Esses portadores presentes no substrato de silício, que em temperatura ambiente não possuem influência significativa no valor da capacitância do substrato na região de inversão da curva C-V, passam a ter papel importante e até dominante na determinação da capacitância do substrato e, por esse motivo, os portadores da camada de inversão passam a não responder às variações de tensão aplicadas à porta do dispositivo, e ainda entram em processo de recombinação com os novos portadores gerados pela ação térmica, levando o capacitor MOS a demonstrar um comportamento diferente em relação ao de uma curva C-V de alta frequência em temperatura ambiente.

Para efeito de exemplo, a tabela 2 mostra a evolução dos valores da concentração intrínseca do silício em função da temperatura.

Tabela 2 – Valores da concentração intrínseca em função da temperatura.

T (°C)	n_i (cm ⁻³)
27	$1,5 \times 10^{10}$
50	$1,7 \times 10^{11}$
100	$3,5 \times 10^{12}$
150	$3,6 \times 10^{13}$
200	$2,4 \times 10^{14}$
250	$1,1 \times 10^{15}$
300	$3,9 \times 10^{15}$

De modo a estudar com mais detalhes o 1º pico observado na curva C-V de alta frequência do capacitor MOS operando em altas temperaturas, foi feita a análise da influência da concentração do substrato N_A para o mesmo dispositivo operando em condições idênticas. Podemos observar na figura 17 o resultado das simulações da estrutura MOS com a concentração de substrato variando de $N_A = 5 \times 10^{15} \text{cm}^{-3}$ a $N_A = 5 \times 10^{19} \text{cm}^{-3}$ para temperatura ambiente 27°C.

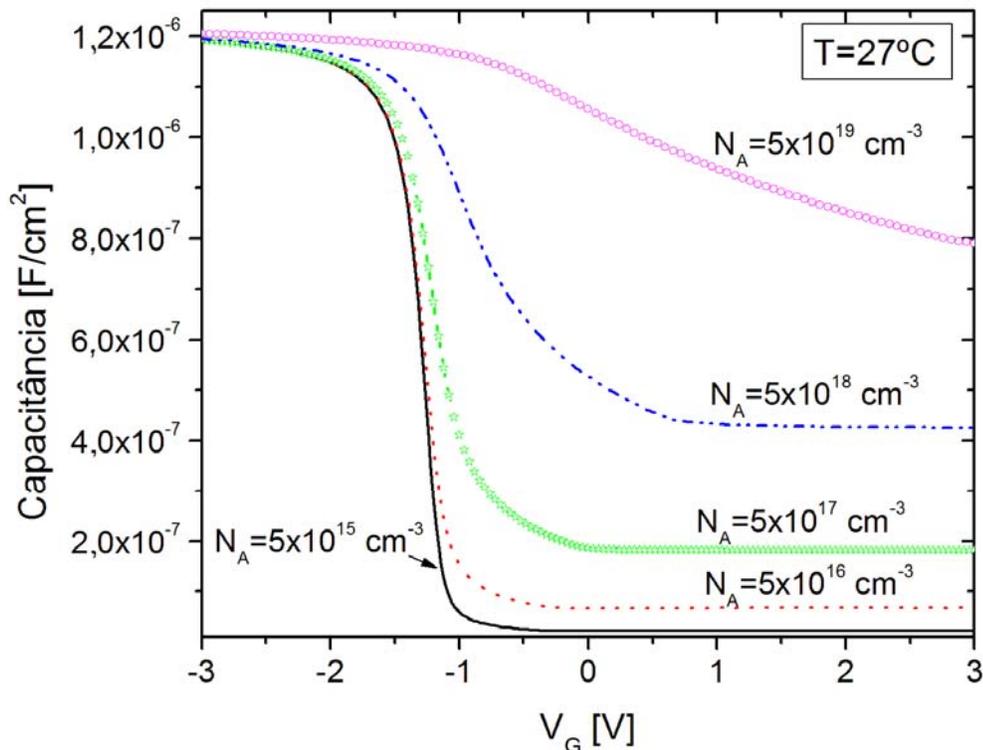


Figura 17 – Curva de alta frequência da capacitância em função da tensão de porta para capacitor MOS com substrato tipo P, porta e silício policristalino com $N_D=1 \times 10^{21} \text{ cm}^{-3}$, espessura de óxido $t_{ox}=2,5 \text{ nm}$ e concentração de substrato variando de $N_A=5 \times 10^{15} \text{ cm}^{-3}$ até $N_A=5 \times 10^{19} \text{ cm}^{-3}$ para a temperatura $T=27^\circ\text{C}$.

Podemos observar pelas tendências de comportamento da curva C-V apresentadas na figura 17 que a concentração de dopantes do substrato faz com que o valor mínimo de capacitância na região de inversão sofra alterações, o que é realmente esperado uma vez que o valor mínimo da capacitância nessa região é resultado da associação em série entre a capacitância do óxido de porta e a capacitância da região de depleção do substrato de silício.

Sendo a expressão para o cálculo da capacitância da região de depleção do substrato de silício dependente da largura da região de depleção, como mostra a equação (4.2.3) e, sendo a largura da região de depleção dada pela equação (4.2.4) [14], concluímos que o aumento da concentração do substrato provoca a diminuição da largura máxima da região de depleção e, como a capacitância devido ao substrato é inversamente proporcional ao valor da largura da região de depleção, teremos como resultado um valor maior dessa capacitância que, em série com a capacitância devido à camada de óxido de porta, será sempre um valor maior à medida que a concentração do substrato aumenta.

$$W_{d\max} = \sqrt{\frac{2 \cdot \epsilon_{\text{si}} \cdot 2 \cdot \phi_F}{q \cdot N_A}} \quad (4.2.4)$$

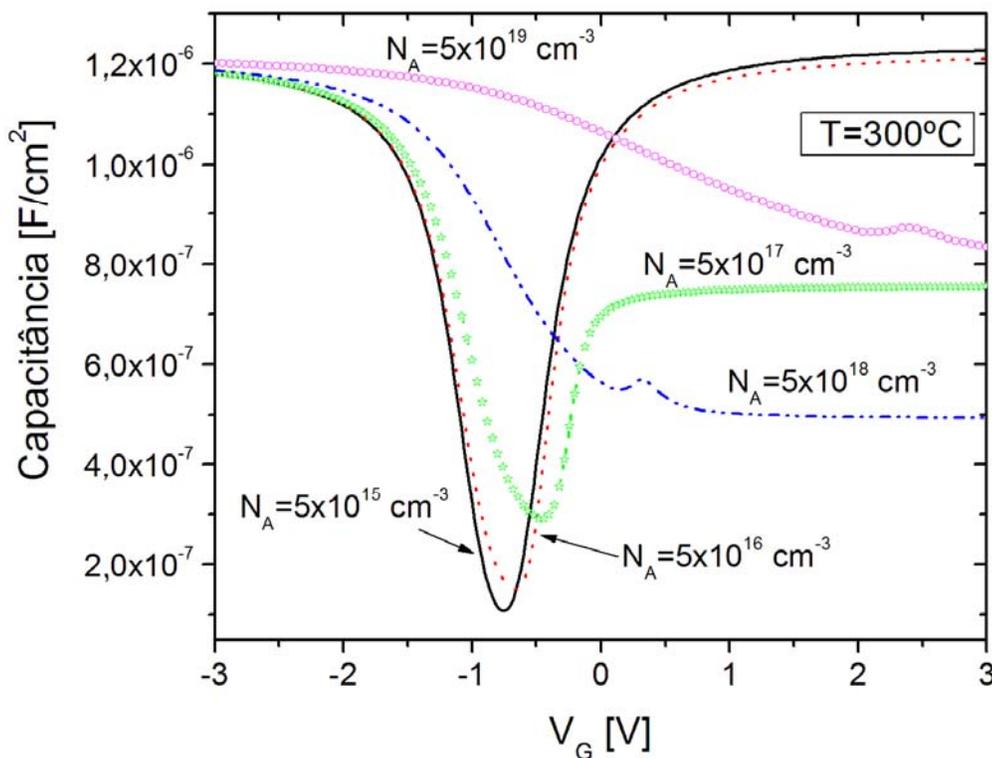


Figura 18 – Curva de alta frequência da capacitância em função da tensão de porta para capacitor MOS com substrato tipo P, porta e silício policristalino com $N_D=1 \times 10^{21} \text{ cm}^{-3}$, espessura de óxido $t_{\text{ox}}=2,5 \text{ nm}$ e concentração de substrato variando de $N_A=5 \times 10^{15} \text{ cm}^{-3}$ até $N_A=5 \times 10^{19} \text{ cm}^{-3}$ para a temperatura $T=300^\circ\text{C}$.

A figura 18 demonstra o comportamento das curvas C-V com a concentração do substrato variando na mesma faixa de valores da figura 17, mas para a temperatura de 300°C . Em altas temperaturas, é possível verificar através da figura 18 o surgimento do 1º pico de capacitância na região de inversão do dispositivo que é devido ao efeito térmico de geração de portadores livres no substrato, resultado do aumento da concentração intrínseca de portadores do semiconductor.

Podemos notar que para os valores menores da concentração de substrato, $N_A=5 \times 10^{15} \text{ cm}^{-3}$ e $N_A=5 \times 10^{16} \text{ cm}^{-3}$, o “1º pico” observado na curva C-V de alta frequência se assemelha a um comportamento de uma curva C-V de baixa frequência devido ao fato da concentração intrínseca dos portadores no silício ser de mesma ordem de grandeza que a concentração de dopantes do substrato, o que provoca uma descaracterização do capacitor MOS quando

operando em altas frequências pois os portadores minoritários presente na região de inversão se recombinando com os portadores gerados pelo efeito térmico no substrato de silício, mecanismo este que, quando trabalhamos com substrato de baixa dopagem, torna o dispositivo MOS bastante susceptível à estes efeitos que afetam seu comportamento elétrico em alta temperatura. Este efeito só poderia ser minimizado se a dopagem do substrato tivesse um valor mais elevado como, por exemplo, $N_A=5 \times 10^{19} \text{ cm}^{-3}$.

A fim de investigar se este aumento da capacitância na região de inversão da curva C-V poderia ser observado fisicamente ao caracterizar um capacitor MOS real, foram obtidas as curvas C-V para a faixa de temperaturas de ambiente até 300°C.

A figura 19 apresenta os resultados obtidos para a amostra submetida a altas temperaturas.

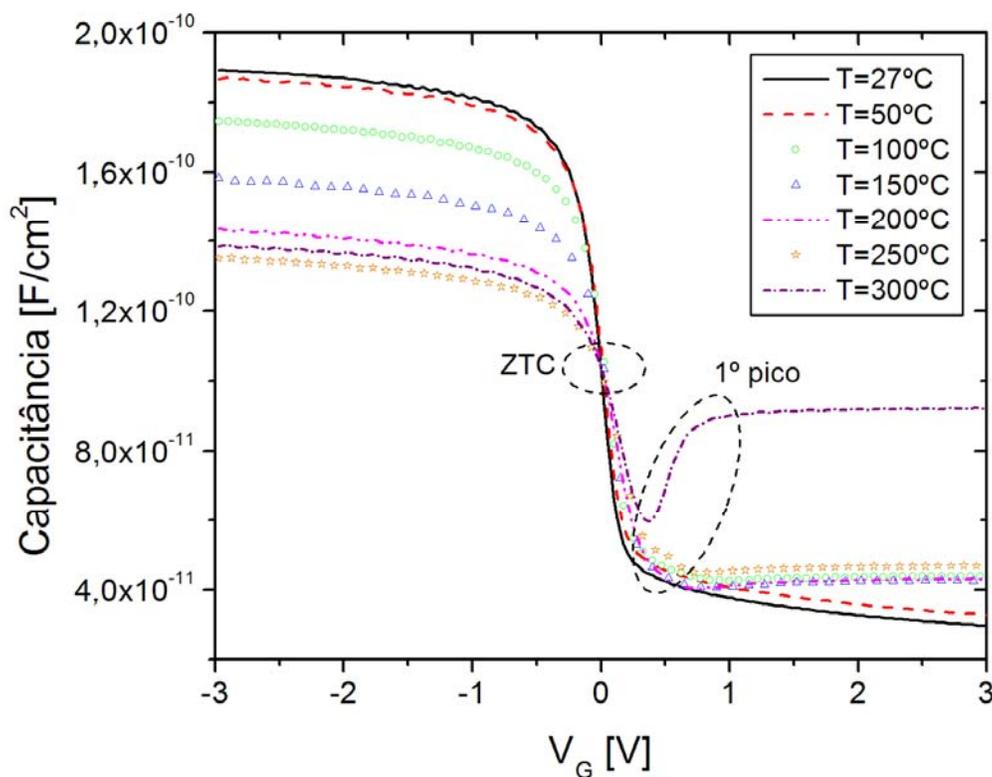


Figura 19 – Curva C-V de alta frequência de um capacitor MOS com substrato tipo P e área igual a $9 \times 10^{-4} \text{ cm}^2$ medida experimentalmente desde a temperatura de ambiente até 300°C.

Podemos notar que as curvas apresentadas na figura 19 possuem como característica o ponto ZTC, da mesma forma que obtivemos nas curvas simuladas e apresentadas pela figura 16. Também é possível observar a presença do 1º pico de capacitância na região de inversão

da curva, a partir de aproximadamente 250°C de temperatura o que confirma os resultados obtidos ao longo das simulações.

A variação nos valores de capacitância na região de acumulação das curvas C-V da figura 19 são devidas ao tunelamento de portadores na interface óxido-semicondutor. Como na região de acumulação a influência da capacitância do silício é desprezível por não haver uma região de depleção formada no substrato de silício próximo à interface com o óxido, a capacitância do óxido de porta é predominante no valor de capacitância total do dispositivo MOS até o início da região de depleção, que ocorre no caso da figura 19 próximo ao ponto onde está localizado o ZTC.

Com a intenção de melhor observar a formação do 1º pico de capacitância no dispositivo real medido, a figura 20 apenas mostra o comportamento da curva C-V de alta frequência em temperaturas elevadas com mais detalhes no intervalo compreendido entre 250°C e 300°C.

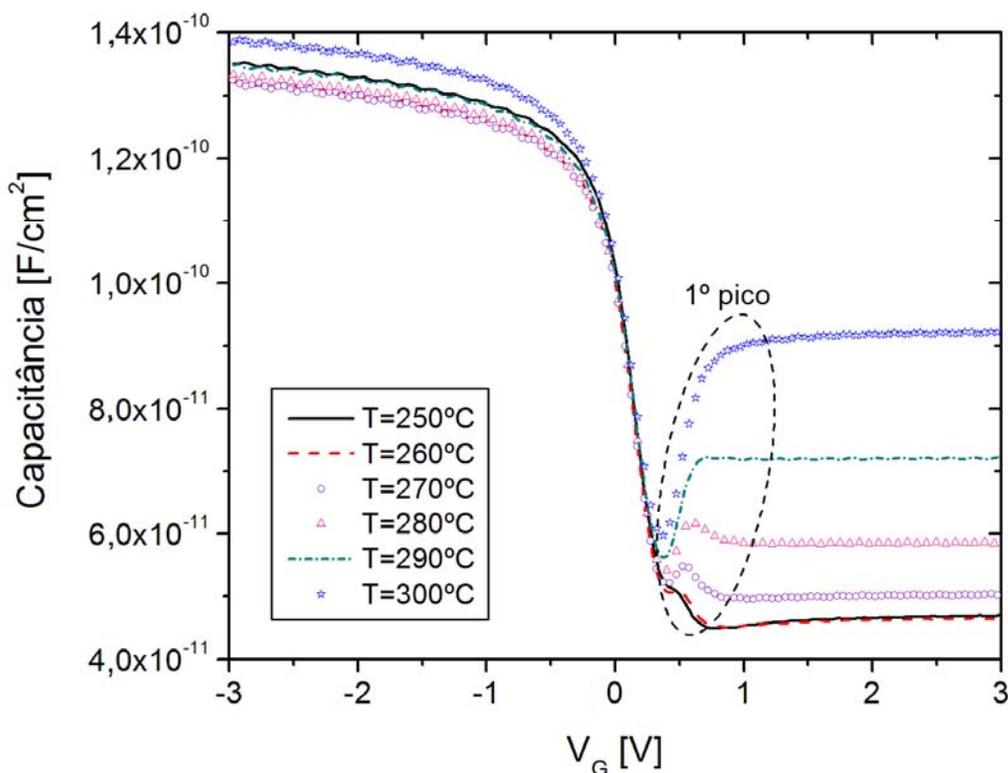


Figura 20 - Curva C-V de alta frequência de um capacitor MOS com substrato tipo P e área igual a $9 \times 10^{-4} \text{ cm}^2$ medida experimentalmente com variação de temperatura de 250°C a 300°C.

Uma vez que as medidas experimentais das curvas C-V de alta frequência confirmaram a validade das tendências de comportamento obtidas nas simulações, para permitir uma investigação mais detalhada da influência de outros parâmetros do capacitor MOS em seu comportamento em altas temperaturas foram realizadas novas simulações variando a concentração do silício policristalino, que compõe o material de porta do capacitor MOS nas simulações aqui apresentadas.

Obtivemos como resultado as curvas mostradas na figura 21 para a temperatura de 27°C. As curvas foram obtidas para três concentrações diferentes do material de porta: $N_D=1 \times 10^{19} \text{ cm}^{-3}$, $N_D=1 \times 10^{20} \text{ cm}^{-3}$ e $N_D=1 \times 10^{21} \text{ cm}^{-3}$, sendo esta última concentração usada como base de comparação para as demais pois é a mais elevada e que, portanto, mais se aproxima do comportamento de uma porta de metal.

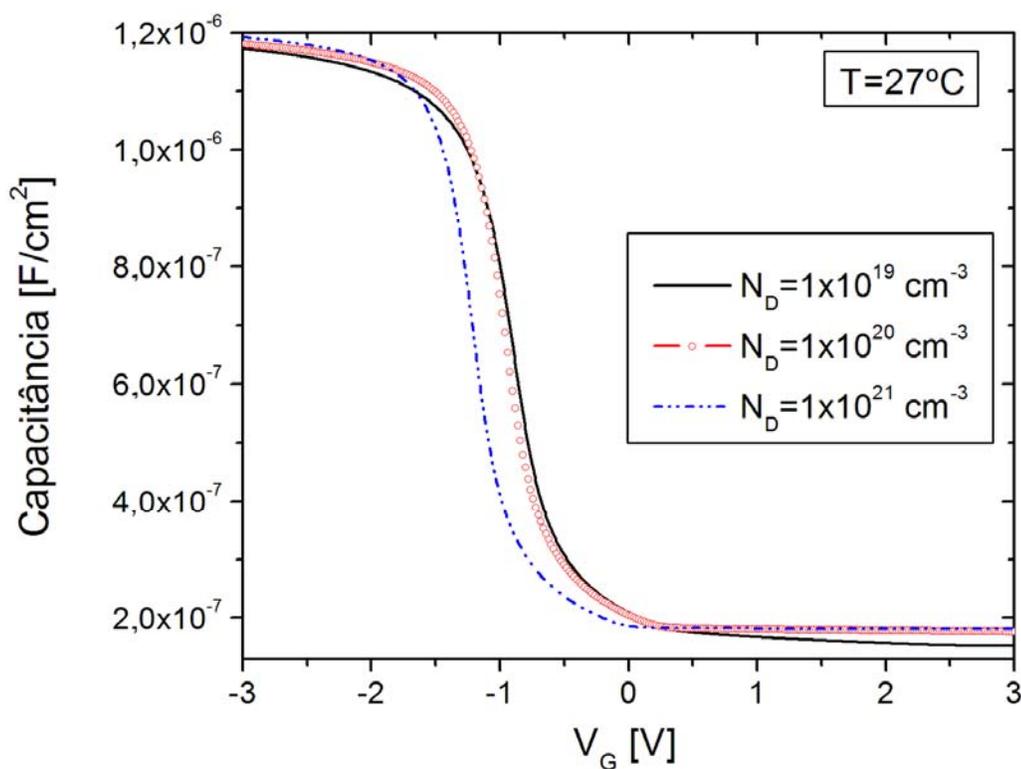


Figura 21 – Curvas C-V de alta frequência em temperatura de 27°C com variação da concentração do material de porta Si policristalino e concentração do substrato $N_A=5 \times 10^{17} \text{ cm}^{-3}$.

A figura 21 mostra que ao diminuirmos a concentração do silício policristalino presente na porta do dispositivo MOS, na região de inversão da curva ($V_G > 0 \text{ V}$), passamos a observar o efeito da depleção do silício policristalino que é provocada pelo fato de passarmos

a ter efetivamente uma região de depleção formada na camada de porta e, portanto, a capacitância total do dispositivo MOS passa a ser a associação em série da capacitância do óxido de porta (C_{ox}), da camada de depleção no substrato de silício (C_{Si}) e da camada de depleção do silício policristalino presente na porta (C_{poli}) [8].

A figura 22 mostra o desenho esquemático do capacitor MOS e a representação da associação em série das três capacitâncias mencionadas.

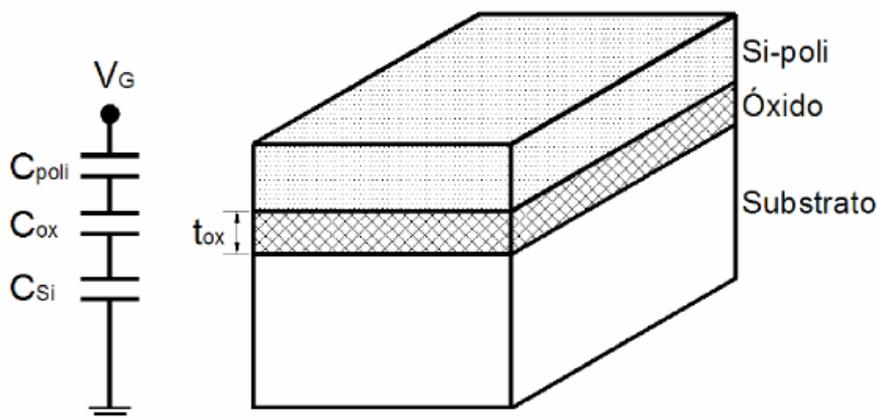


Figura 22 – Modelo equivalente da associação em série de capacitâncias e perfil do capacitor MOS com porta de silício policristalino [8].

O novo cálculo da capacitância total do dispositivo MOS quando a porta de silício policristalino possui baixa dopagem passa ser a apresentada na equação (4.2.5) [8].

$$\frac{1}{C_T} = \frac{1}{C_{ox}} + \frac{1}{C_{Si}} + \frac{1}{C_{poli}} \quad (4.2.5)$$

onde:

- C_T - capacitância total do capacitor MOS
- C_{ox} - capacitância total do óxido
- C_{Si} - capacitância do substrato de silício
- C_{poli} - capacitância da porta de silício policristalino

A capacitância devido à região de depleção formada no silício policristalino pode ser calculada como mostra a expressão (4.2.6) [8].

$$C_{\text{poli}} = \frac{\epsilon_{\text{si}}}{d_{\text{poli}}} \quad (4.2.6)$$

onde d_{poli} é a largura máxima da região de depleção no silício policristalino e ϵ_{si} é a permissividade do material silício [8].

Analisando o comportamento da estrutura MOS em corte, podemos verificar na figura 23 a formação da região de depleção para o caso do silício policristalino com concentração $N_D=1 \times 10^{19} \text{ cm}^{-3}$ e $V_G=2,0 \text{ V}$, operando a 27°C .

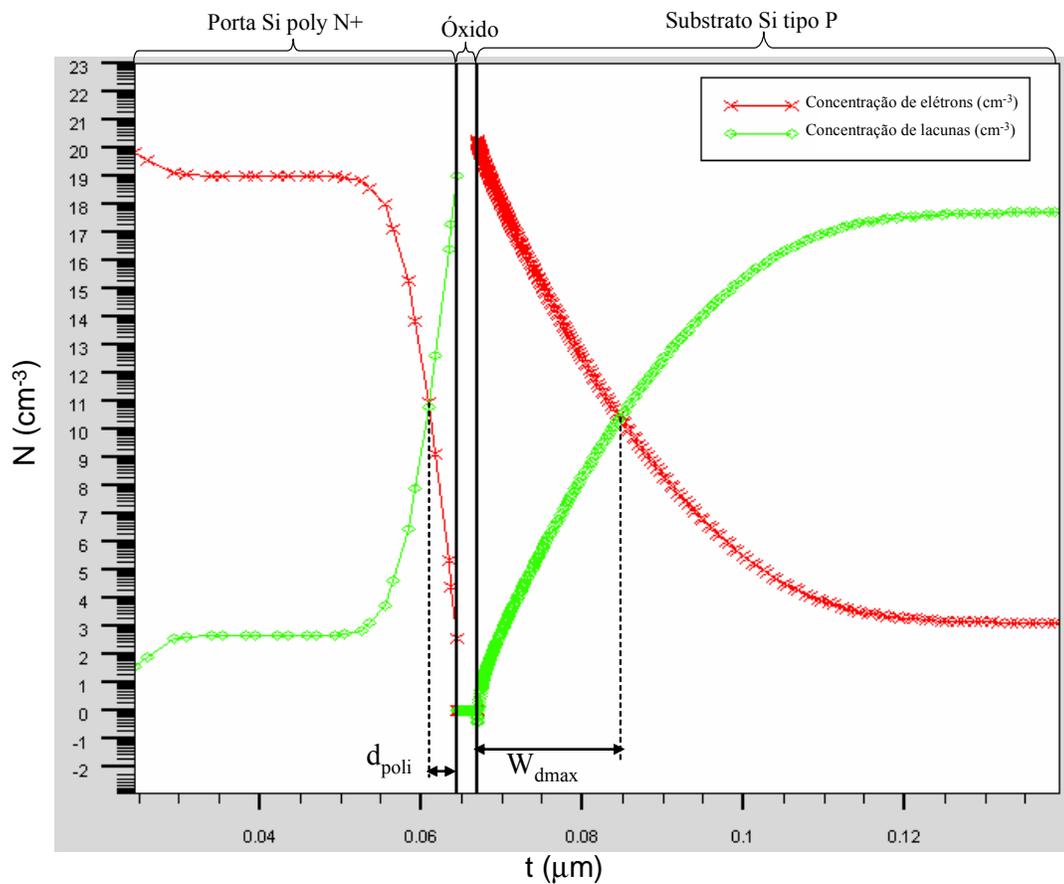


Figura 23 – Representação em corte do capacitor MOS com porta de silício policristalino com baixa dopagem e indicação das regiões de depleção no silício poli e no substrato com $V_G=2,0 \text{ V}$, operando em alta frequência na região de inversão com $T=27^\circ\text{C}$ e concentração de substrato $N_A=5 \times 10^{17} \text{ cm}^{-3}$.

A região de depleção do silício policristalino é representada na figura 23 pela dimensão d_{poli} , e a região de depleção do substrato de silício, pela dimensão W_{dmax} , em ambos os casos foi adotada a aproximação de largura máxima da região de depleção como sendo o ponto onde a concentração do silício assume valor igual à metade de seu valor originalmente implantado no processo de fabricação do dispositivo [9].

Foram também realizadas simulações das curvas C-V de alta frequência para as mesmas concentrações de silício policristalino em altas temperaturas, como pode ser verificado nas figuras 24 e 25, que são relativas às temperaturas de 250°C e 300°C respectivamente.

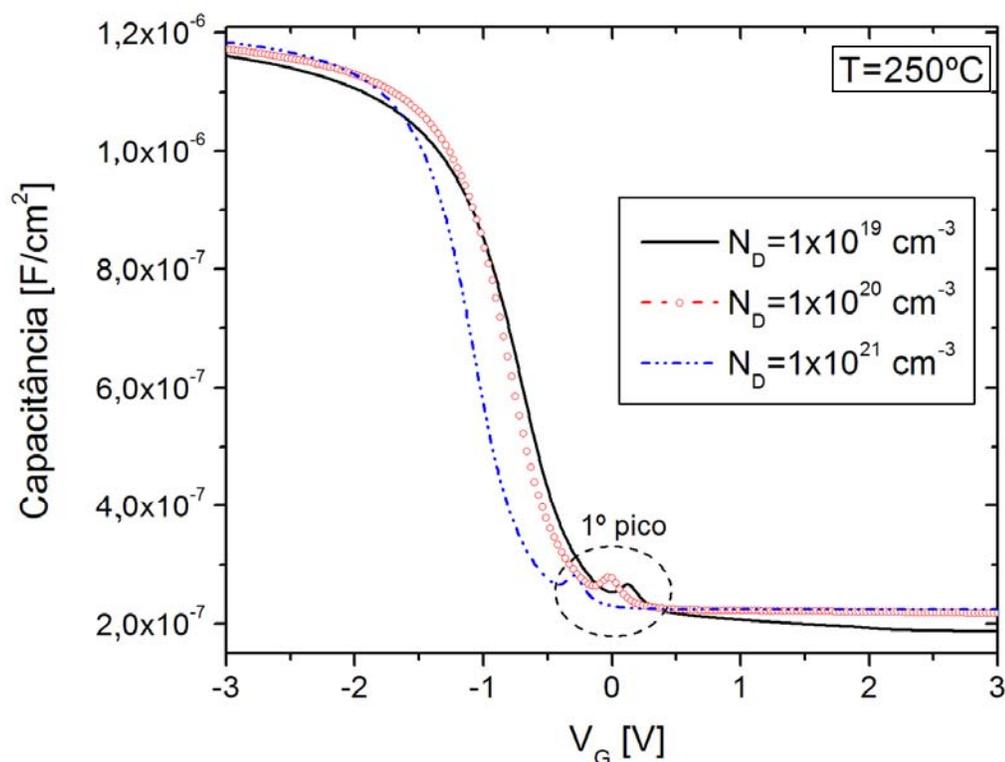


Figura 24 – Curvas C-V de alta frequência em temperatura de 250°C com variação da concentração do material de porta Si policristalino e concentração de substrato $N_A=5 \times 10^{17} \text{ cm}^{-3}$.

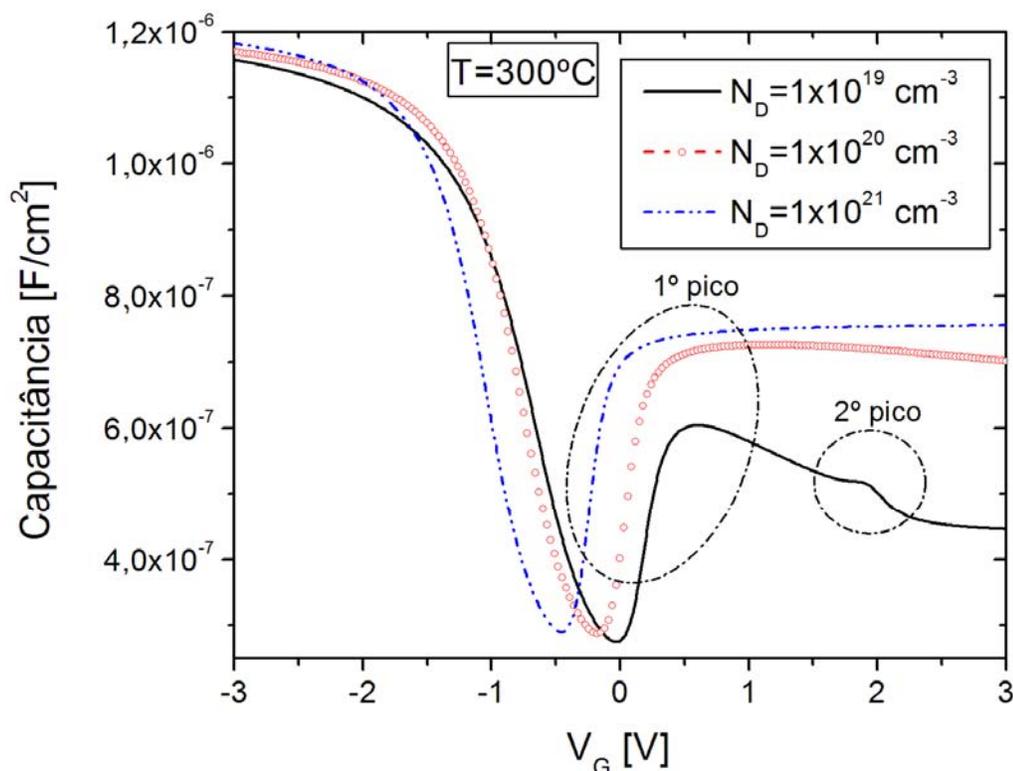


Figura 25 – Curvas C-V de alta frequência em temperatura de 300°C com variação da concentração do material de porta Si policristalino e concentração do substrato de silício $N_A=5 \times 10^{17} \text{ cm}^{-3}$.

Ao analisarmos as curvas da figura 24, verifica-se que o 1º pico de aumento de capacitância para $V_G > 0 \text{ V}$ está presente em todas as curvas, o que demonstra que o efeito de geração térmica de portadores no substrato de silício não sofre influência do tipo de material de porta mas, ainda assim, podemos notar o efeito da depleção do silício policristalino causando uma diminuição no valor mínimo da capacitância para a curva de $N_D=1 \times 10^{19} \text{ cm}^{-3}$, que é a de menor concentração.

Ao atingirmos a temperatura de 300°C, conforme ilustra a figura 25, notamos que para a concentração mais baixa do silício policristalino surge, além do 1º pico, um 2º pico de capacitância para $V_G > 1,5 \text{ V}$. Este 2º pico não está presente para dopagens maiores do material de porta, indicando que a capacitância do silício policristalino, combinada com o efeito de elevação da concentração do substrato pela geração térmica de portadores livres e também à própria elevação da concentração do silício policristalino presente na porta do dispositivo, ocasionam no capacitor MOS mais uma variação no valor da capacitância total do dispositivo

que demonstra o quanto é importante a correta escolha do material de porta de uma estrutura MOS para evitar comportamentos elétricos advindos das variáveis inerentes aos materiais utilizados, devido à sua baixa concentração, para operarem de maneira eficaz quando submetidos a altas temperaturas.

Podemos observar na figura 26 a estrutura do capacitor MOS em corte para visualização das regiões de depleção formadas para a temperatura de 300°C com $V_G=2,0$ V e concentração $N_D=1 \times 10^{19} \text{ cm}^{-3}$ do silício policristalino.

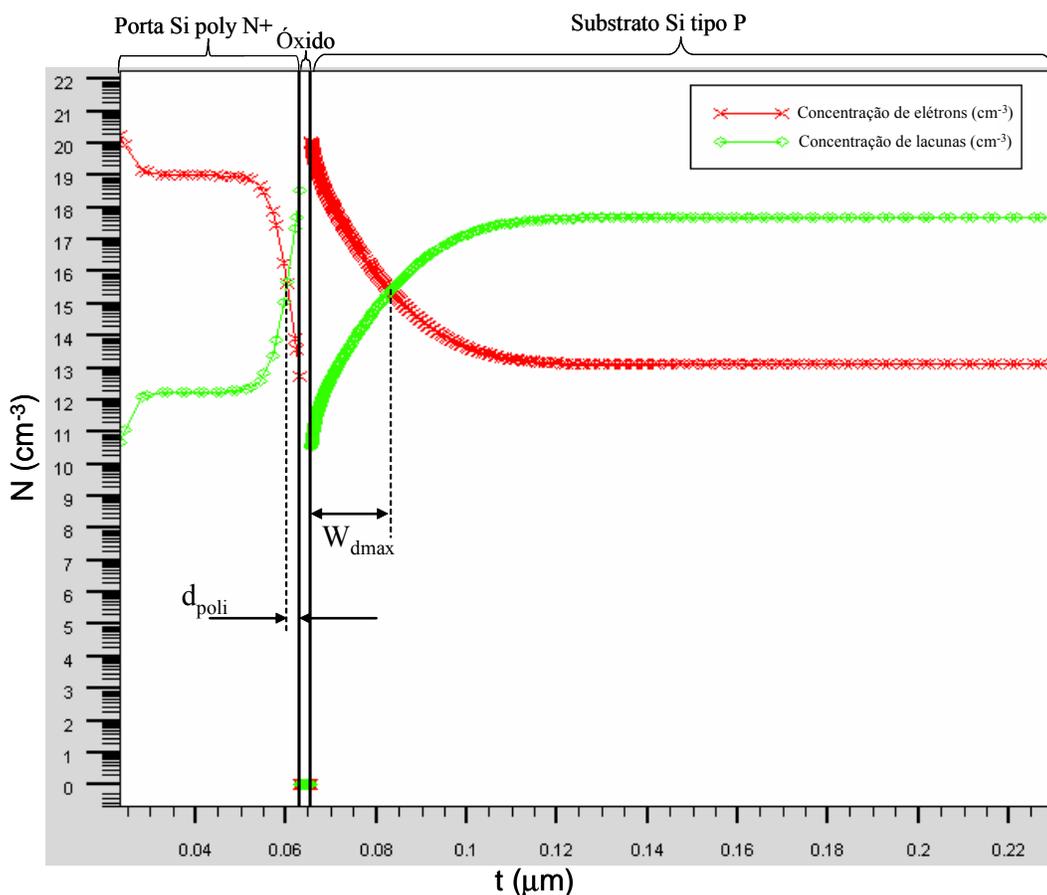


Figura 26 – Representação em corte do capacitor MOS composta de silício policristalino com baixa dopagem e indicação das regiões de depleção no silício poli e no substrato com $V_G=2,0$ V, operando em alta frequência na região de inversão com $T=300^\circ\text{C}$ e concentração de substrato $N_A=5 \times 10^{17} \text{ cm}^{-3}$.

Se analisarmos a mesma estrutura em corte, para tensão de porta $V_G=2,0$ V e com o silício policristalino altamente dopado $N_D=1 \times 10^{21} \text{ cm}^{-3}$, veremos que essa região de depleção com largura d_{poli} não surge, conforme podemos verificar na figura 27.

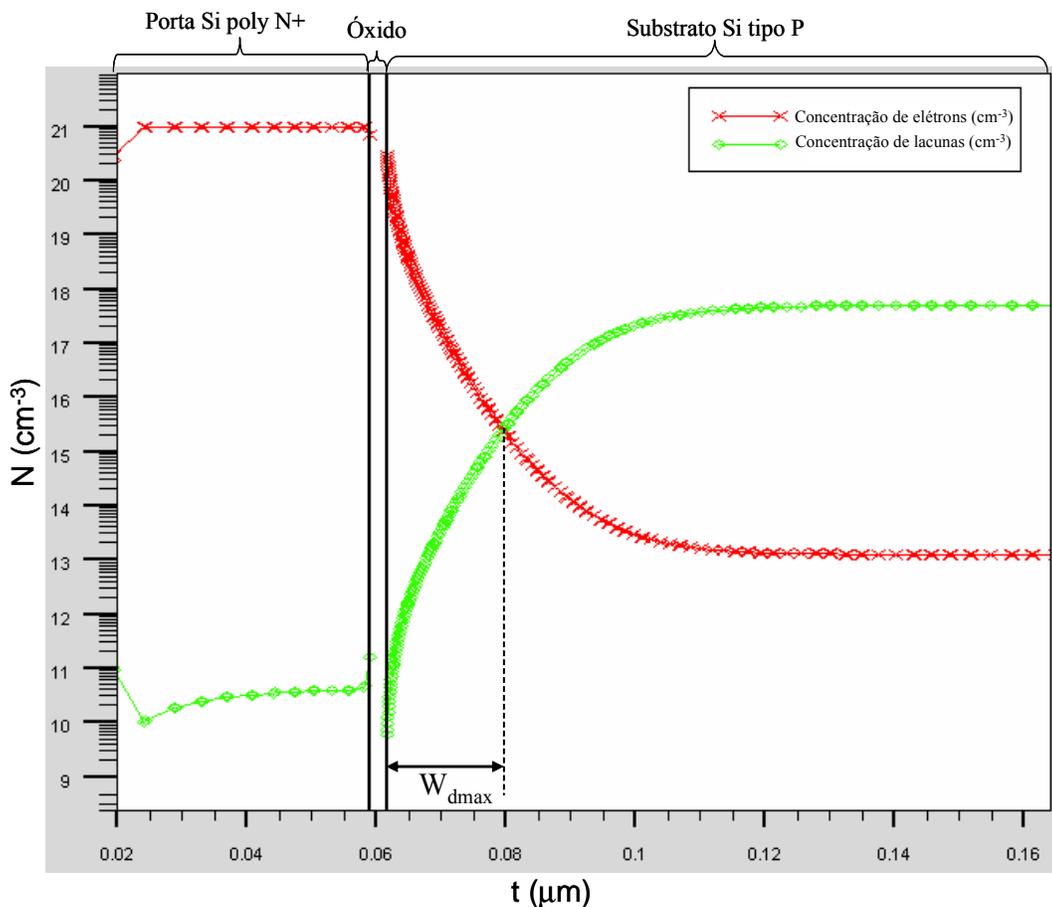


Figura 27 – Representação em corte do capacitor MOS com porta de silício policristalino altamente dopado e região de depleção no apenas substrato de silício com $V_G=2,0 \text{ V}$, operando em alta frequência na região de inversão com $T=300^\circ\text{C}$ e concentração de substrato $N_A=5 \times 10^{17} \text{ cm}^{-3}$.

Para efeito de comparação, foram feitas simulações trocando o material de porta de silício policristalino para metal, e utilizamos o nitreto de titânio (TiN) e o alumínio (Al) nestas análises.

A figura 28 mostra o comportamento das curvas C-V com a temperatura variando de ambiente até 300°C , considerando porta de TiN para o capacitor MOS.

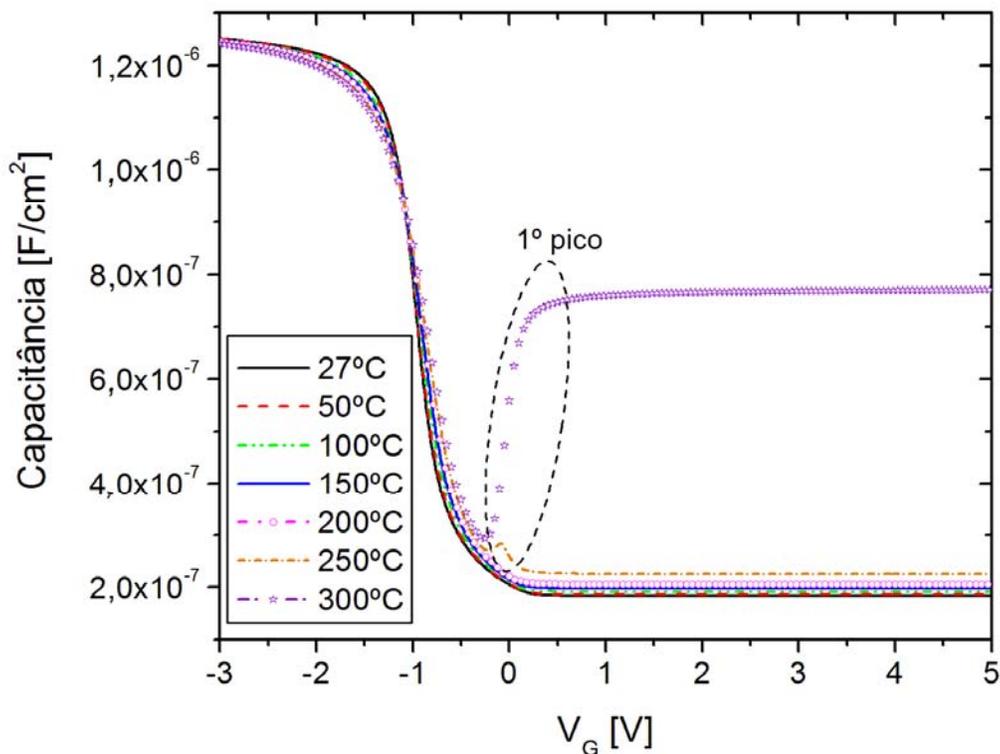


Figura 28 - Curvas características C-V de alta frequência para capacitor MOS com porta de TiN operando em altas temperaturas com concentração de substrato $N_A=5 \times 10^{17} \text{ cm}^{-3}$.

Observamos que o dispositivo MOS com porta de metal apresenta o comportamento em altas temperaturas livre do efeito de depleção na região de porta, apresentando apenas o 1º pico como característica em altas temperaturas.

Ao observamos a figura 29, podemos notar claramente como o material de porta contribui com a deterioração ou não da curva C-V de alta frequência. No caso da figura 29, apenas está sendo mostrado o comportamento para temperatura de 300°C, que é a mais elevada temperatura que consideramos neste trabalho.

O patamar de valor mínimo de capacitância para $V_G > 0 \text{ V}$ é praticamente constante no material de porta TiN e Al se comparados com o silício policristalino em qualquer uma das dopagens estudadas ao longo deste trabalho.

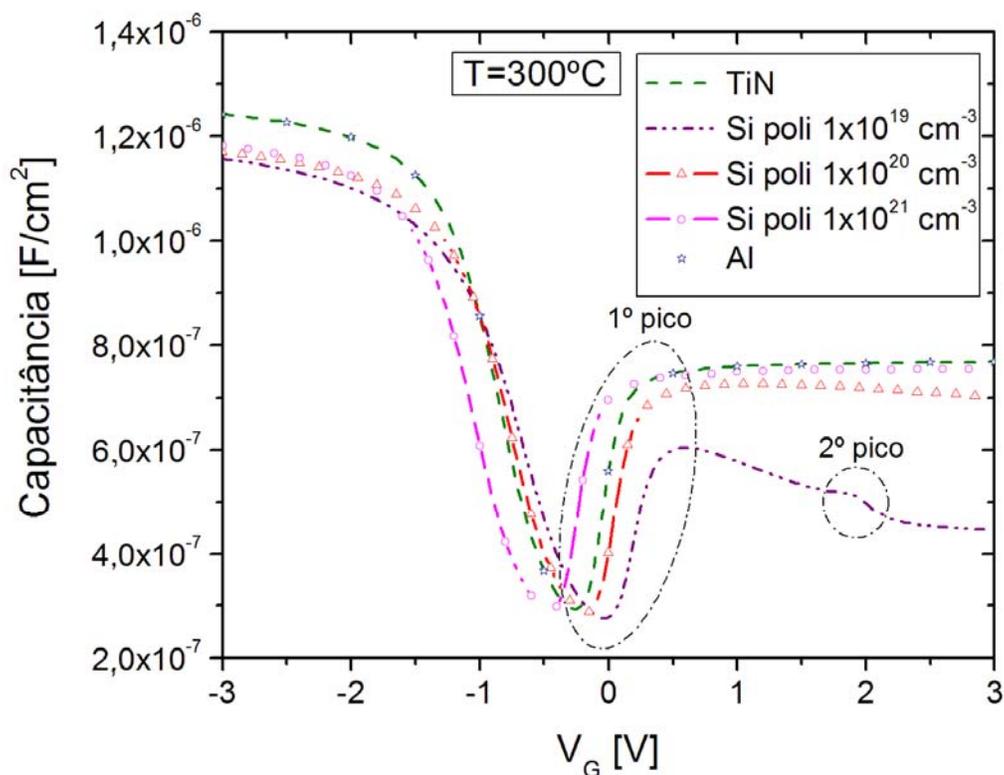


Figura 29 - Curvas características C-V de alta frequência para diferentes materiais de porta em temperatura de 300°C com concentração de substrato $N_A=5 \times 10^{17} \text{ cm}^{-3}$.

Continuando a investigação dos parâmetros do dispositivo que podem influenciar o comportamento das curvas C-V de alta frequência operando em altas temperaturas, foi feita a variação do material semiconductor que compõe o substrato do capacitor MOS.

O silício é um dos materiais mais amplamente utilizados para a fabricação de dispositivos MOS, no entanto, ele possui limitações em relação à sua utilização quando é necessária a aplicação em temperaturas mais elevadas, como por exemplo acima de 150° C [2, 21, 22].

Dessa forma, sabendo que um dos parâmetros que provoca essa limitação de aplicação é a largura da faixa proibida do silício, existem vários pesquisadores estudando a utilização de outros materiais semicondutores no lugar do silício, como por exemplo o carbeto de silício (SiC).

A tabela 3 mostra alguns exemplos de valores de E_g (faixa proibida) para alguns materiais semicondutores atualmente sendo pesquisados e utilizados para a fabricação de dispositivos MOS [2, 28, 29, 33].

Tabela 3 – Materiais semicondutores e seus respectivos valores de E_g [9].

MATERIAL		E_g (eV)
Si (silício)		1,08
SiC (carbeto de silício)	6H-SiC	2,9
	4H-SiC	3,26
	3H-SiC	2,2
GaN (nitreto de gálio)		3,42
AlN (nitreto de alumínio)		6,13
GaAs (arseneto de gálio)		1,42
Diamante		5,45

A figura 30 foi obtida em simulações considerando o substrato de SiC com concentração $N_A=5 \times 10^{17} \text{ cm}^{-3}$, $t_{ox}=2,5 \text{ nm}$ e porta de silício policristalino com concentração $N_D=1 \times 10^{21} \text{ cm}^{-3}$, o que demonstra que somente o material semicondutor foi modificado em relação às curvas da figura 14 a fim de nos permitir a comparação entre estas estruturas devido à troca do material de substrato, operando nas mesmas condições de polarização e temperatura.

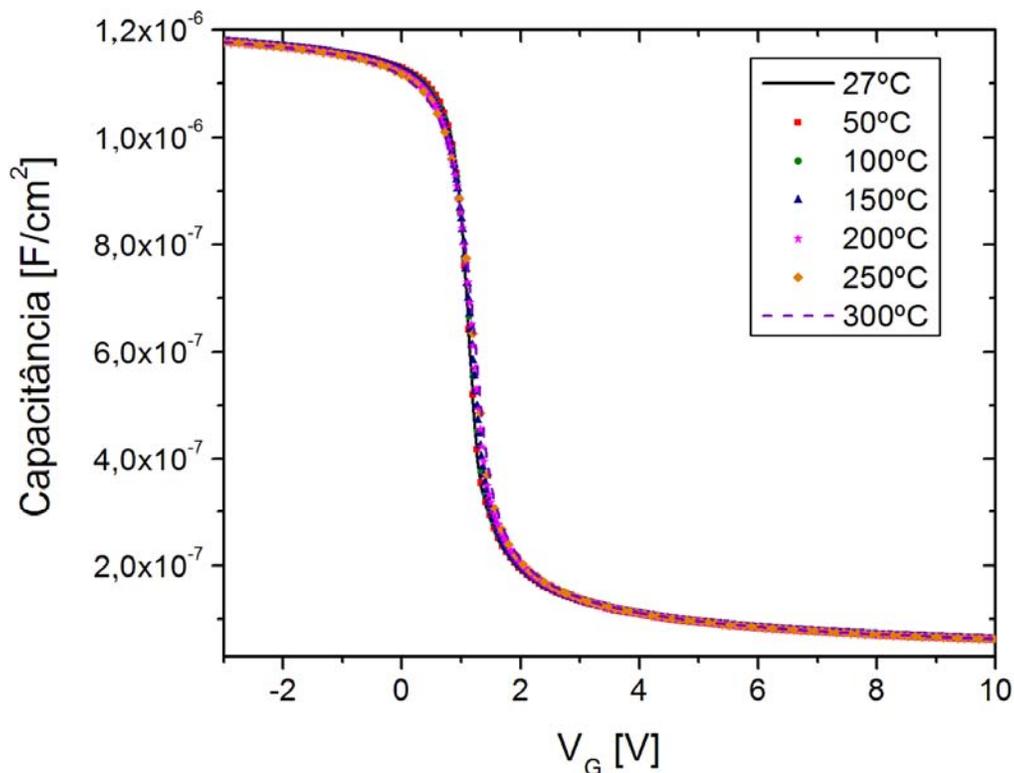


Figura 30 – Curvas C-V de alta frequência de um capacitor MOS com substrato de SiC com temperatura de trabalho variando de 27°C a 300°C e concentração de substrato $N_A=5 \times 10^{17} \text{ cm}^{-3}$.

Devido ao SiC ter uma largura de faixa proibida maior em relação ao silício, em altas temperaturas não temos o efeito do 1º pico de capacitância manifestando-se no substrato pois o valor da concentração intrínseca no SiC ainda é bem inferior ao valor da dopagem do substrato, evitando que a geração de portadores livres por efeito térmico venha influenciar o controle das cargas da região de depleção pela tensão de porta V_G em temperaturas da ordem de 300°C, como ocorre no caso de substratos de silício. A tabela 4 mostra um exemplo de valores da concentração intrínseca para o SiC (por exemplo na configuração 3H-SiC).

Tabela 4 – Concentração intrínseca do 3H-SiC em função da temperatura.

T (°C)	n_i (cm ⁻³)
27	$6,81 \times 10^1$
50	$1,57 \times 10^3$
100	$3,90 \times 10^5$
150	$2,68 \times 10^7$
200	$7,70 \times 10^8$
250	$1,18 \times 10^{10}$
300	$1,14 \times 10^{11}$

É interessante observar que a figura 30 mostra o comportamento das curvas C-V de alta frequência com V_G aumentando até 10 V o que, na prática, não seria aplicável pois é uma tensão muito elevada mas, em termos de simulação, demonstra que mesmo em região de inversão forte, ainda assim as características do substrato SiC mantêm-se sob controle da tensão V_G para o capacitor MOS operando em altas temperaturas o que, com certeza, é uma grande vantagem quando necessitamos de aplicações em ambiente onde a temperatura de trabalho atinja valores tão elevados, com necessidade de dispositivos que sejam robustos e precisos para garantir o correto funcionamento nesse ambiente de temperaturas extremas.

4.3 Discussão dos Resultados

O comportamento das curvas C-V de alta frequência em altas temperaturas apresenta distanciamento do comportamento típico em temperatura ambiente para tensões de polarização de porta positivas ($V_G > 0$ V) no caso do capacitor MOS com substrato de silício tipo P.

A temperatura a partir da qual surge o efeito do 1º pico de capacitância é dependente da dopagem do substrato e também do tipo de material semiconductor utilizado.

Uma das razões para explicar esta influência do tipo de material sobre o comportamento da curva C-V em função da temperatura é a largura da faixa de energia proibida, que é uma característica física inerente ao material semiconductor utilizado na

estrutura MOS que é exemplificado no capítulo 2 através da figura 10 e pelos valores presentes na tabela 3. As características elétricas dos semicondutores se modificam à medida que a temperatura de trabalho aumenta pois ocorre o estreitamento da faixa proibida do material e adicionalmente, o aumento da concentração intrínseca de portadores do substrato de silício bem como a diminuição do valor do nível de Fermi do semiconductor. Estes efeitos dão origem a uma variação substancial da condutividade do dispositivo em temperaturas elevadas devido à geração de portadores livres no substrato pela ação térmica provocada pelas altas temperaturas [5, 6, 31, 35, 36, 37].

Esta degradação da condutividade é devida principalmente ao fato da concentração intrínseca de portadores do silício aumentar significativamente com o aumento da temperatura, a ponto do novo valor assumido por n_i igualar-se e até superar a ordem de grandeza da concentração das impurezas que foram implantadas no substrato de silício, desde que essa dopagem seja de valores pouco elevados, da ordem de 10^{15} a 10^{16} cm^{-3} , como foi exemplificado pelos valores de $n_i(T)$ do silício na tabela 2. Este comportamento da concentração intrínseca em função da temperatura é explicado através da equação (2.3.2.1).

Deste modo, uma concentração de dopantes (N_A) da ordem de 10^{15} a 10^{16} cm^{-3} originalmente implantada no substrato durante a fabricação do dispositivo, só será maior que a concentração intrínseca de portadores do silício (n_i) até atingir temperaturas elevadas pois, a partir de um determinado valor de temperatura, o aumento da concentração intrínseca n_i ultrapassará o valor de N_A causando os efeitos de surgimento do 1º pico nas curvas de capacitância bastante pronunciado, como é mostrado na figura 18. Ao impor-se uma temperatura mais elevada ao dispositivo, a influência dos portadores intrínsecos na condutividade é suficientemente significativa a ponto de degradar o comportamento elétrico da estrutura. No caso das curvas apresentadas, esta degradação é percebida pelo comportamento da curva C-V de alta frequência que passa a assumir características de uma curva C-V típica de baixa frequência quando submetida à operação em temperaturas elevadas, sem no entanto estarmos alterando o valor da frequência. Este fenômeno é devido aos portadores minoritários presentes na camada de inversão do substrato passarem a sofrer influência não somente da tensão de porta V_G aplicada à estrutura MOS, mas também a receberem influência dos mecanismos de geração térmica de portadores no substrato, ocasionando o aumento do valor da capacitância total na região de inversão [5, 10, 36, 37, 38].

Ao analisarmos as curvas apresentadas na figura 18, onde a concentração do substrato mais baixa simulada é a de $N_A=5 \times 10^{15}$ cm^{-3} , podemos perceber que esta é a situação onde o

comportamento da curva C-V de alta frequência em altas temperaturas apresenta maiores valores de capacitância total mínima, na região de inversão, assemelhando-se ainda mais a uma curva C-V de baixa frequência, apesar de em todas as simulações a frequência ter sido mantida constante em 1 MHz.

Estas curvas C-V em altas temperaturas apresentam uma elevação repentina no valor da capacitância total da estrutura MOS em alta frequência e valores elevados de capacitância para tensões de polarização positivas ($V_G > 0$ V) justamente pelo fato dos portadores minoritários do substrato de silício, no caso os elétrons para o substrato do tipo P analisado, a partir da temperatura de 150°C, assumirem a concentração de mesma ordem de grandeza que a concentração de dopantes (lacunas) do substrato tipo P e, como no caso da figura 18, a temperatura a partir da qual $n_i \geq N_A$ é menor e, portanto, o 1º pico é mais facilmente observado em relação à curva onde $N_A = 5 \times 10^{19} \text{ cm}^{-3}$, por exemplo.

Por outro lado, ao analisarmos novamente as curvas apresentadas na figura 18, para $N_A = 5 \times 10^{19} \text{ cm}^{-3}$, a variação observada nas curvas C-V só começa a ser percebida a partir de 300°C e de forma bastante sutil. A explicação novamente recai sobre o fato de, como neste caso a concentração de dopantes do tipo P implantados no substrato do dispositivo ser maior, a concentração intrínseca do silício somente supera este valor de concentração do substrato em temperaturas mais elevadas que 300°C, que é o limite do estudo apresentado neste trabalho. Se continuássemos a elevar a temperatura nas simulações, observaríamos o 1º pico bastante destacado do patamar de capacitância total mínima na região de inversão para temperaturas acima de 300°C no caso desta concentração mais elevada do substrato de silício.

Devido a esta limitação física do material semiconductor Si é que outras alternativas de materiais semicondutores com maior largura de faixa proibida são considerados atualmente pelos pesquisadores. A figura 30 demonstra como o carbeto de silício (SiC) usado como material de substrato na estrutura MOS mostra-se mais apropriado para aplicações em alta temperatura e, da mesma forma, o arseneto de gálio (GaAs), o nitreto de alumínio (AlN), o nitreto de gálio (GaN) e o diamante também não apresentam aumento significativo de concentração intrínseca em temperaturas da ordem de 300°C, sendo mais adequados, confiáveis e robustos para aplicações eletrônicas de alta temperatura devido a terem uma faixa de energia proibida mais larga que a do silício [31, 32, 36, 37, 39].

No entanto, apesar da grande variedade de possíveis materiais semicondutores para substituir o silício, por razões de custo e desempenho o carbeto de silício (SiC) tem se apresentado, até o momento, como uma das alternativas mais viáveis para atender aplicações que requerem temperaturas de operação acima de 500° C. Contudo, ainda é uma tecnologia

em desenvolvimento cuja aplicação em alta escala não pode ser considerada economicamente disponível, restando o uso da tecnologia SOI que, apesar de não poder atingir temperaturas de operação tão elevadas como o SiC com boa confiabilidade funcional dos dispositivos, já é disponível a um custo competitivo e viável para aplicações comerciais [31].

A influência do material de porta da estrutura MOS mostrou ser de grande importância para evitar a degradação da característica C-V em altas temperaturas devido à adição da parcela referente à capacitância relativa à região de depleção do silício policristalino, quanto este apresenta baixa dopagem [40].

Pelos resultados provenientes das simulações apresentadas nas figuras 25 e 29, fica clara a vantagem do metal e do silício policristalino altamente dopado sobre o de baixa dopagem e, apesar dos custos serem mais elevados para uso de materiais metálicos ou mais próximos às características do metal, a aplicação do dispositivo em altas temperaturas requer este tipo de especificação de projeto a fim de garantir o funcionamento do dispositivo evitando influência adicional de mecanismos que não são possíveis de controlar, a não ser pela escolha do material mais adequado de porta para a aplicação desejada [40].

Os resultados experimentais, apesar de terem sido obtidos com apenas uma amostra de capacitor da tecnologia MOS, confirmaram as tendências observadas através das simulações no comportamento em altas temperaturas e alta frequência, o que significa dizer que se houvesse a possibilidade de obtenção de amostras variando as características de dopagem do substrato, material de substrato, material de porta, enfim, de todas as características que variamos durante as simulações, obteríamos resultados experimentais compatíveis com as curvas obtidas através das simulações.

5 CONCLUSÃO E PERSPECTIVAS FUTURAS

Os estudos realizados ao longo deste trabalho sobre o comportamento do capacitor MOS operando em altas temperaturas indicam que não apenas a dopagem do substrato possui influência sobre a evolução do comportamento da característica C-V em alta frequência, como também os materiais utilizados na implementação da porta e do substrato da estrutura MOS.

Foi observado que, para valores positivos de tensão aplicados à porta ($V_G > 0$ V), que é correspondente à região de inversão no caso do capacitor com substrato tipo P, os valores da capacitância se modificam com o aumento da temperatura na qual os dispositivos estão submetidos. Além disso, foi possível constatar que, para valores menores da concentração de dopantes do substrato, a curva C-V de alta frequência apresenta alterações em seu comportamento tendo um aumento no valor da capacitância total em temperaturas a partir de 150°C, e que este fato se deve predominantemente a alterações observadas no valor de capacitância do substrato de silício já que a capacitância devido ao óxido de porta se mantém constante para um determinado valor da espessura do óxido de porta t_{ox} .

A alteração do valor da capacitância do substrato em altas temperaturas, ocorre devido ao valor de concentração intrínseca do silício (n_i) ser maior do que em temperatura ambiente, anteriormente confirmado pela equação (2.3.2.1). Nesse caso, se a concentração de dopantes utilizada no substrato for baixa, como por exemplo $N_A = 5 \times 10^{15} \text{ cm}^{-3}$, quando o capacitor MOS atingir a temperatura de 300°C, onde o comportamento da capacitância total apresenta-se bastante distante do comportamento típico para a estrutura MOS em estudo, o valor da concentração intrínseca do silício (n_i) será de ordem de grandeza idêntica ao da concentração implantada no substrato de N_A . Esta condição caracteriza para o substrato não mais a predominância do controle das cargas da região de depleção pela tensão de polarização aplicada à porta, mas na verdade os portadores gerados pelo efeito térmico influenciam os portadores minoritários da região de depleção ocasionando a elevação do valor da capacitância devido ao substrato.

Para tornar a estrutura MOS menos susceptível à influência dos portadores intrínsecos do silício, quando submetida a altas temperaturas, pode-se implantar uma maior concentração de dopantes na estrutura, como é o caso da estrutura MOS que foi simulada com $N_A = 5 \times 10^{19} \text{ cm}^{-3}$. No entanto, para o comportamento de um dispositivo MOS, a implantação de uma dopagem desta ordem de grandeza no caso, por exemplo, de um transistor MOS, irá ocasionar o aumento da tensão de limiar do dispositivo necessitando de maior tensão de polarização para formação do canal e início da condução de corrente, o que não é desejável

uma vez que, quanto maior a tensão de polarização necessária, maior a potência dissipada e, portanto, dará origem ao auto-aquecimento do dispositivo sendo este efeito indesejado para a aplicação deste tipo de estrutura.

Quando utilizamos um material de porta do tipo silício policristalino com baixa dopagem, surge em altas temperaturas o segundo pico de capacitância observado nas curvas características C-V que destaca-se na região de inversão onde $V_G \gg 0$ V. Este segundo pico é devido à região de depleção do silício policristalino ter seu valor de capacitância C_{poli} alterado em altas temperaturas também pela geração térmica de portadores livres no material de porta.

Desta forma, foi evidenciado através dos resultados provenientes das simulações que a utilização de silício policristalino altamente dopado ou, preferencialmente, de um material condutor como o TiN e Al, contribuem para tornar o dispositivo menos susceptível aos efeitos da exposição a altas temperaturas.

Em adição à escolha do material de porta, o uso de materiais semicondutores com maior largura de faixa proibida também torna a estrutura MOS mais adequada para suportar a operação em temperaturas da ordem de 300°C. A largura da faixa proibida do silício, em temperaturas elevadas, torna-se mais estreita possibilitando a passagem de portadores da faixa de valência para a faixa de condução necessitando para isto de menor energia para esta transição. Neste aspecto, o carbeto de silício (SiC) como material de substrato torna o capacitor MOS mais robusto para uso em temperaturas elevadas por possuir faixa proibida maior e, portanto, requerer maior energia para mover um portador da faixa de valência para a faixa de condução.

A caracterização da amostra de capacitor MOS em altas temperaturas contribuiu para que pudéssemos confirmar as tendências observadas no comportamento das curvas C-V de alta frequência obtidas através das simulações bidimensionais e, a partir destes resultados foi possível extrapolar os estudos da estrutura do capacitor MOS variando as características anteriormente mencionadas, como material de porta e substrato, além da concentração de dopantes.

Também foram realizadas simulações com a espessura de óxido de porta mais fino levando em consideração os efeitos de tunelamento Fowler-Nordheim, mas os resultados obtidos não foram conclusivos. Seria ideal possuímos amostras com óxido de porta fino para possibilitar a calibração dos parâmetros relativos ao modelo de tunelamento para proporcionar a análise das curvas simuladas com maior precisão.

Para futura continuidade dos trabalhos podemos citar, por exemplo, o estudo do ponto ZTC para as curvas C-V de alta frequência em altas temperaturas, a análise das regiões de

acumulação e depleção em detalhes, uma vez que neste trabalho foi dada ênfase aos efeitos observados na região de inversão do capacitor MOS, e finalmente o estudo de capacitores da tecnologia SOI operando em altas temperaturas.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Liu, C.P., Huang, H.P., “Hybrid voltage and current references based on double ZTC points”, IEEE International – SOS Conference Proceedings, p.19-23, Setembro/2003.
- [2] McDonnald, J.A., “Proving they can take the heat”, HTE Report, III-Vs Review, Vol. 9, Nº 5, pp. 63-67, 1996.
- [3] Shoucair, F.S., “Analytical and experimental methods for zero-temperature-coefficient biasing of MOS transistors”, Electronic Letters, Vol. 25, Edição 17, p. 1196-1198, Agosto,1989.
- [4] Klein, J.W., “Silicon and gallium arsenide in high temperature electronics applications”, ISSSE Proceedings – URSI International Symposium on Signals, Systems and Electronics, p. 157-162, Outubro,1995.
- [5] Sze, S.M., Physics of Semiconductor Devices, 2ª edição, John Wiley & Sons, New York, 1981.
- [6] Colinge, J.P., Silicon-on-Insulator Technology: Materials to VLSI, 3ª edição, Kluwer Academic Publishers, Massachusetts, 2004.
- [7] Osman, A.A., Osman, M.A., Dogan, N.S., Imam, M.A., “Zero-temperature-coefficient biasing point of partially depleted SOI MOSFET’s”, IEEE Transactions on Electron Devices, Vol. 42, nr. 9, p.1709-1711, Setembro/1995.
- [8] Rodrigues, M., Caracterização elétrica de capacitores obtidos através de tecnologia ultra-submicrométrica, Dissertação de mestrado, USP, São Paulo, 2006.
- [9] ATLAS Device Simulation Framework, version 5.10.0.R, Silvaco International, 2005.
- [10] Martino, J.A., Pavanello, M.A., Verdonck, P.B., Caracterização Elétrica de Tecnologia e Dispositivos MOS, Thomson, São Paulo, 2003.

- [11] Albertin, K.F., Estudo e Fabricação de Capacitores MOS com camada isolante de SiO_xN_y depositada por PECVD, Dissertação de Mestrado, USP, São Paulo, 2003.
- [12] Albertin, K.F., Pereyra, I., Alayo, M.I., “MOS Capacitors with PECVD SiO_xN_y Insulating Layer”, *Materials Characterization*, N° 50, pp.149-154, 2003.
- [13] Kano, K., *Semiconductor Devices*, Prentice Hall, New Jersey, 1998.
- [14] Streetman, B.G., Banerjee, S.K., *Solid State Electronic Devices* 6th Edition, Prentice Hall, New Jersey, 2000.
- [15] Colinge, J.P., Colinge, C.A., *Physics of Semiconductor Devices*, Kluwer Academic Publishers, Massachusetts, 2002.
- [16] Muller, R.S., Kamins, T.I., *Device Electronics for Integrated Circuits*, 2^a edição, Wiley, New York, 1986.
- [17] Yuan, J.S., Liou, J.J., *Semiconductor Device Physics and Simulation*, Plenum Press, New York, 1998.
- [18] Adriaensen, S., Dessard, V., Flandre, D., “A bandgap circuit operating up to 300°C using lateral bipolar transistors in thin-film CMOS-SOI technology”, *IEEE International SOI Conference*, Outubro, 1999.
- [19] Filanovsky, I.M., Lim, S.T., “Interaction of threshold voltage and mobility temperature dependencies applied to stabilization of current and voltage”, *Proceedings of the 43rd IEEE Midwest Symposium on Circuits and Systems*, Vol. 3, Agosto, 2000.
- [20] Eggermont, J.P., Dessard, V., Vandooren, A., Flandre, D., Colinge, J.P., “SOI Current and Voltage Reference Sources for Applications up to 300°C”, *IEEE*, 1998.
- [21] Prijic, Z., Pavlovic, Z., Ristic, S., Stojadinovic, N., “Zero Temperature Coefficient (ZTC) biasing of power VDMOS transistors”, *Electronic Letters*, Vol. 29, Nr. 5, Março, 1993.

- [22] Eftimie, S., Rusu, A., "The influence of diffusion current on the zero- t_c point of a MOS transistor", IEEE, 2005.
- [23] Rebello, N.S., Shoucair, F.S., Palmour, J.W., "6H silicon carbide MOSFET modeling for high temperature analogue integrated circuits (25-500° C)", IEE Proc.- Circuits Devices Syst., Vol. 143, No. 2, Abril,1996.
- [24] Mallison, E.R., Rogers, J., Ohme, B., "High Temperature SOI CMOS Electronics Development - The Deep Trek Project", HiTen Conference Paris, 2005.
- [25] Bellodi, M., Estudo das Componentes e Modelagem das Correntes de Fuga em Dispositivos SOI MOSFET Operando em Altas Temperaturas, Tese de Doutorado, USP, São Paulo, 2001.
- [26] Grabinski, W., Stricker, A., Fichtner, W., "A Versatile Setup for Semiconductor Testing up to 550°C", HITEC 1998, USA, pp. 143-147, 1998.
- [27] Osman, A.A., Osman, M.A., "Investigation of High Temperature Effects on MOSFET Transconductance (gm)", HITEC 1998, USA, pp. 301-304, 1998.
- [28] Chen, L.Y., McCluskey, P., "Microsystem Packaging for High Temperature Environments", EEE Links, Vol. 8, pp.46-50, Agosto, 2002.
- [29] McDonald, J.A., "HiTec: International Focal Point for High Temperature Applications", HTE Report, III-Vs Review, Vol. 9, N° 4, pp. 57-59, 1996.
- [30] Houk, Y., Iñiguez, B., Flandre, D., Nazarov, A., "C_∞-continuous High-temperature model for low-doped accumulation mode silicon-on-insulator pMOSFETs", Solid-State Electronics, Vol. 50, pp. 1261-1268, Julho, 2006.
- [31] Toygur, L., "Interface Circuits in SOI-CMOS for High-Temperature Wireless Micro-Sensors", Tese de Doutorado, Case Western Reserve University, Cleveland, Janeiro, 2004.

- [32] Zhou, F., Kotru, S., Pandey, R.K., “Pulsed laser-deposited ilmenite-hematite films for application in high-temperature electronics”, *Thin Solid Films*, N° 408, pp. 33-34, 2002.
- [33] Lande, S., “The E-MRS High Temperature Electronics Symposium”, *Proceedings of Symposium E*, Strasbourg, 1996.
- [34] Ziliotto, A.P.B., Bellodi, M., “Study of high temperature influence on high frequency C-V characteristics of MOS capacitor”, *VII Microelectronics Student Forum, SFORUM 2007*, Rio de Janeiro, Setembro, 2007.
- [35] Mizuno, K., Ohta, K., Kitagawa, F., Nagase, H., “Analog CMOS Integrated Circuits for High-Temperature Operation with Leakage Current Compensation”, *HITEC 1998, USA*, pp. 41-44, 1998.
- [36] Neudeck, P.G., Okojie, R.S., Chen, L.Y., “High-Temperature Electronics – A Role for Wide Bandgap Semiconductors?”, *Proceedings of the IEEE*, Vol. 90, N° 6, pp.1065-1067, Junho, 2002.
- [37] Johnson, R.W., Evans, J.L., Jacobsen, P., Thompson, J.R., Christopher, M., “The Changing Automotive Environment: High-Temperature Electronics”, *IEEE Transactions on Electronics Packaging Manufacturing*, Vol. 27, No. 3, pp. 164-11, Julho, 2004.
- [38] Schroder, D.K., *Semiconductor Material and Device Characterization*, 3ª edição, John Wiley & Sons, New Jersey, 2006.
- [39] Berberich, S., Godignon, P., Locatelli, M.L., Millán, J., Hartnagel, H.L., “High Frequency CV Measurements of SIC MOS Capacitors”, *Solid-State Electronics*, Vol. 42, No. 6, pp. 915-916, 1997.
- [40] Ziliotto, A.P.B., Bellodi, M., “Study of High Temperature Influence on MOS Capacitor High Frequency C-V Curves Behavior”, *IV Seminaterc*, São Paulo, 2008.

APÊNDICE 1

MODELO DE ARQUIVO DE SIMULAÇÃO ATLAS PARA OBTENÇÃO DA CURVA C-V DE ALTA FREQUÊNCIA DE UM CAPACITOR MOS

Abaixo segue o arquivo de simulação ATLAS do dispositivo capacitor MOS com substrato tipo P com temperatura de 573K, espessura de óxido de porta $t_{ox}=2,5$ nm, concentração de substrato $N_A=5 \times 10^{17}$ cm^{-3} e material de portal silício policristalino tipo N com concentração $N_{poli}=1 \times 10^{19}$ cm^{-3} :

```
# TITLE Simulação de Capacitor pMOS
# tsi=600nm toxf=2,5nm Na= 5e17 Sipoli N+ com Npoli= 1e19
# CxV HF=1MHz
# Temperatura = 573k

go atlas
#
#
mesh space.mult=1.0
#
x.mesh loc=0.00 spac=0.05
x.mesh loc=1.0 spac=0.05

#
y.mesh loc=-0.0425 spac=0.005
y.mesh loc=-0.0025 spac=0.005

y.mesh loc=-0.0025 spac=0.00005
y.mesh loc=0.00 spac=0.00005

y.mesh loc=0.00 spac=0.005
y.mesh loc=0.3 spac=0.01
y.mesh loc=0.6 spac=0.01

# REGIÕES DA ESTRUTURA

region num=1 x.min=0 x.max=1.0 y.min=-0.0425 y.max=-0.0025 poly
region num=2 x.min=0 x.max=1.0 y.min=-0.0025 y.max=0.0 oxide
region num=3 x.min=0 x.max=1.0 y.min=0 y.max=0.6 silicon

***** definição dos eletrodos *****
# 1-GATE 2-SUBSTRATE

Electrode top NAME=gate
Electrode bottom NAME=substrate
```

```
***** definição das concentrações *****
#
doping  region=1  n.type  concentration=1e19  uniform
doping  region=3  p.type  concentration=5e17  uniform

save          outf=capacitor.str

# cargas das interfaces do óxido
interf      qf=5e10  y.max=0.015
interf      qf=1e11  y.min=0.015

# definição da função trabalho dos contatos
contact     name=gate  n.poly
contact     name=substrate  workfunc=4.95

# definição dos modelos
models analytic fldmob consrh fermidir auger bgn print temp=573

# polarização inicial
solve init
solve prev
solve vgate=0
solve vsubstrate=0

# obtenção da curva CV
solve vgate=-0.01
solve vgate=-0.02
solve vgate=-0.5
solve vgate=-1.0
solve vgate=-1.5
solve vgate=-2.0
solve vgate=-2.5
solve vgate=-3.0

save          outf=tox25NAnorm300HF.str

log          outf=tox25NAnormcurv_CV300.log
solve       vgate=-3.0  vstep=0.01  vfinal=3.0  name=gate  ac  freq=1e6

tonyplot    tox25NAnormcurv_CV300.log

quit
```

APÊNDICE 2

ARTIGO TÉCNICO

Neste apêndice está apresentado o artigo publicado no *VII Microelectronics Student Fórum – SForum 2007*, Rio de Janeiro, 03 a 06 de setembro de 2007.

STUDY OF HIGH TEMPERATURE INFLUENCE ON HIGH FREQUENCY C-V CHARACTERISTICS OF MOS CAPACITOR

Ana Paula B. Ziliotto and Marcello Bellodi

Centro Universitário da FEI
Av. Humberto de Alencar Castelo Branco, 3972 – SBC – SP – 09850-901 – Brazil
anapbz@yahoo.com.br

ABSTRACT

The study of MOS capacitor capacitance versus voltage (C-V) curves in AC high frequency analysis is performed for temperatures from room temperature up to 573K. Bi-dimensional simulations were performed to evaluate the analysis of MOS capacitor structures with different substrate doping concentration values and different insulator layer thicknesses.

1. INTRODUCTION

The increasing utilization of MOS devices in applications involving high temperature environments has demanded for further knowledge on components behavior up to 573K.

The study of C-V curves behavior in harsh environmental conditions is subject of great interest for electronic controls employed on avionics, internal combustion engines and geothermal oil wells applications, which are currently the most demanding markets for reliable high temperature silicon based devices [1, 2, 3, 4].

It is a fact that the overall cost of electronic devices applied to automobiles and airplanes can be expressively reduced if they can operate directly in hot areas [1, 2, 3, 4]. This would also eliminate the necessity of insulation and cooling mechanisms or devices to maintain the temperature within the limits tolerated by silicon, currently around 398K [1].

The MOS capacitor was selected to be studied in this context, especially due to its simple structure and presence in almost every MOS device, being the elementary MOS transistor structure.

The MOS capacitor structure is shown in figure 1, which one is composed by a metal gate, an insulator layer and a semiconductor substrate which enables, through the simulated capacitance versus gate voltage curves, the study of parasitic effects caused by the temperature increases.

In this paper, the results presented were obtained through the bi-dimensional simulator ATLAS [5]. The high frequency C-V curves were analyzed for a temperature range starting at room temperature (300K) and raised up to 573K.

For each group of curves, two parameters were analyzed in order to demonstrate the temperature influences on C-V characteristics: the silicon substrate doping concentration and the oxide layer thickness.

2. DEVICE CHARACTERISTICS

The MOS capacitor used in this work is composed by a poly-silicon N+ gate, an SiO₂ insulator layer $t_{ox}=2.5$ nm, a P silicon substrate layer $t_{Si}=150$ nm and the substrate doping concentration being $N_A=5 \times 10^{17}$ cm⁻³, as presented in figure 1.

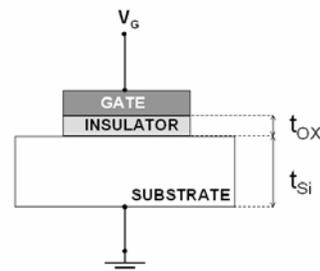


Figure 1 – MOS Capacitor structure.

A DC voltage varying from -3V to 3V was applied to the gate (V_G) and the AC analysis was performed using a 1 MHz frequency.

Simulations were performed for different temperatures with an interval of 50K between each simulation and the C-V curves obtained for room temperature was used as the mainstream for all the comparative analysis.

3. SIMULATION RESULTS

The first C-V curve obtained is shown in figure 2 where it can be observed that, for positive voltages applied in the capacitor gate ($V_G > 0V$), the curve presents a deviation from typical high frequency C-V curve when it is operating up to 473K. This behavior tends to approach to the typical low frequency C-V curves, although the frequency was maintained constant at 1 MHz during all simulations. Another point to be further investigated is the second peak observed in the C-V curves when V_G is larger than 0V and for the temperature being 573K.

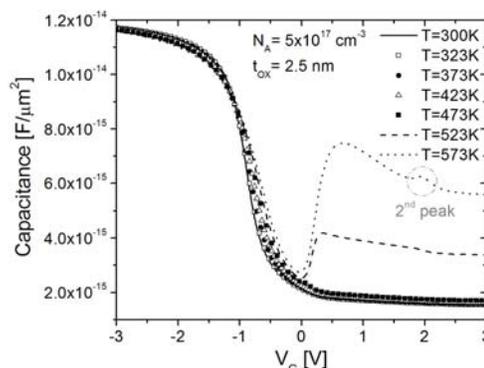


Figure 2 – C-V curves for $N_A=5 \times 10^{17}$ cm⁻³ and $t_{ox}=2.5$ nm operating at high temperatures.

In order to investigate the deviation observed in the MOS C-V curves at high temperatures, the substrate doping concentration N_A influence was analyzed for the same structure operating at same conditions. Some results are shown in figures 3 and 4, for N_A being $5 \times 10^{15} \text{ cm}^{-3}$ and $5 \times 10^{19} \text{ cm}^{-3}$, respectively.

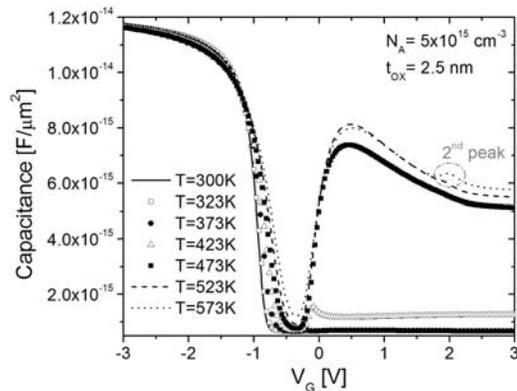


Figure 3 – C-V characteristic curves for $N_A = 5 \times 10^{15} \text{ cm}^{-3}$ and $t_{\text{ox}} = 2.5 \text{ nm}$.

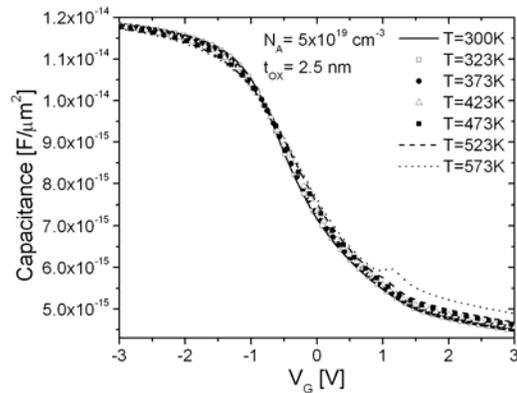


Figure 4 – C-V characteristic curves for $N_A = 5 \times 10^{19} \text{ cm}^{-3}$ and $t_{\text{ox}} = 2.5 \text{ nm}$.

From the results, it is possible to observe that the doping concentration variation influences directly in the C-V curves behavior as the temperature increases. It can be seen that as N_A increases, the deviation point appears at higher temperatures, as following. For example, figure 4 shows that for $N_A = 5 \times 10^{19} \text{ cm}^{-3}$, only at 573K the capacitance increase effect is present for $V_G > 0V$. Similar behavior is also observed for the curves shown in figure 3, where $N_A = 5 \times 10^{15} \text{ cm}^{-3}$. In this case, the deviation effect appears earlier (at 423K) when compared to the results presented in figure 2.

Besides that, from the results showed in figures 2 to 4, it can be seen that the second peak observed in the C-V curves for $V_G \gg 0V$ also depends on substrate concentration and temperature, meaning that for higher doping concentrations, the necessary temperature for the MOS capacitor to presents this effect would be higher than the upper temperature limit range analyzed in this paper.

Further investigation was then performed for different oxide layer thicknesses in order to understand the high frequency capacitance behavior at high temperatures.

Figures 5 to 7 show the results concerned to the MOS capacitor with $t_{\text{ox}} = 4 \text{ nm}$. The overall C-V curve tendency is similar to the one observed for $t_{\text{ox}} = 2.5 \text{ nm}$, which demonstrates that the oxide film thickness is not a parameter that can neither degenerate nor improve the C-V characteristic behavior at high temperatures operation.

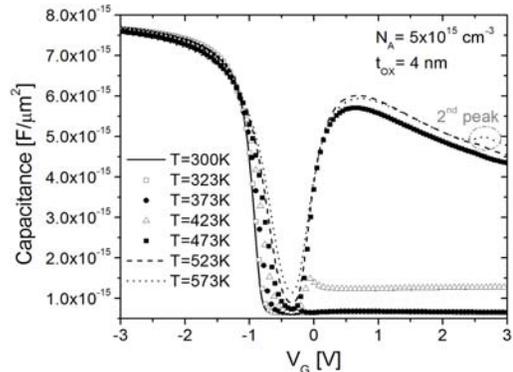


Figure 5 – High frequency C-V curves for $N_A = 5 \times 10^{15} \text{ cm}^{-3}$ and $t_{\text{ox}} = 4 \text{ nm}$.

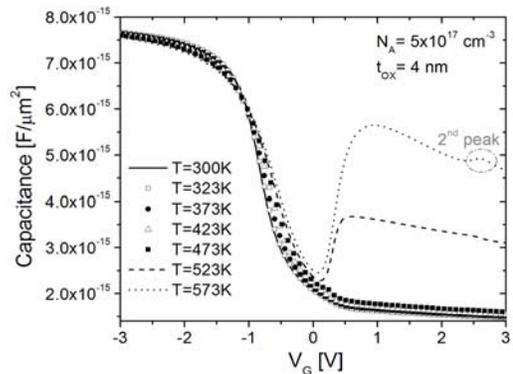


Figure 6 – High frequency C-V curves for $N_A = 5 \times 10^{17} \text{ cm}^{-3}$ and $t_{\text{ox}} = 4 \text{ nm}$.

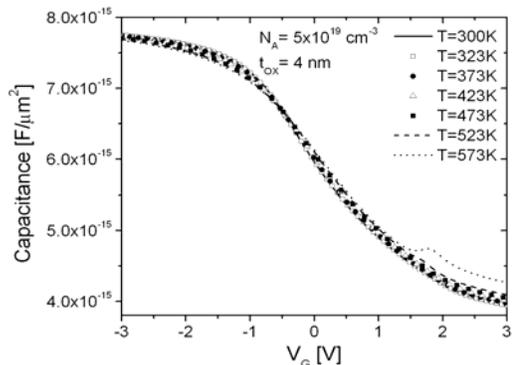


Figure 7 – High frequency C-V curves for $N_A = 5 \times 10^{19} \text{ cm}^{-3}$ and $t_{\text{ox}} = 4 \text{ nm}$.

Similar results were observed for the MOS capacitors with $t_{ox}=2$ nm, as it can be seen in figures 8 to 10.

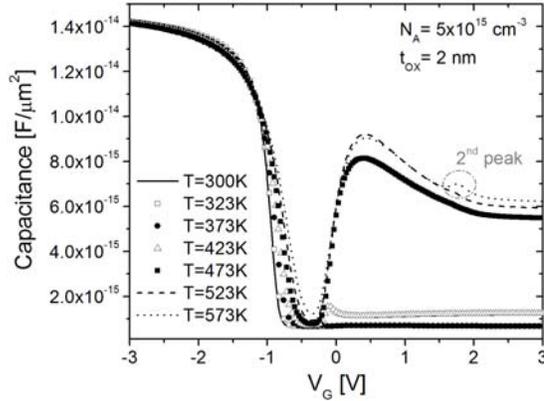


Figure 8 – C-V curve for $N_A= 5 \times 10^{15} \text{ cm}^{-3}$ and $t_{ox}= 2$ nm operating at high frequency.

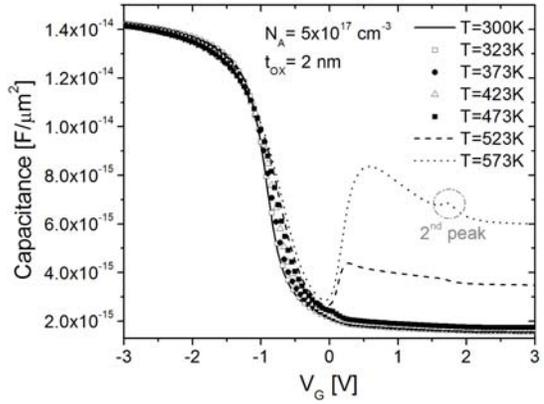


Figure 9 – C-V curve for $N_A= 5 \times 10^{17} \text{ cm}^{-3}$ and $t_{ox}= 2$ nm operating at high frequency.

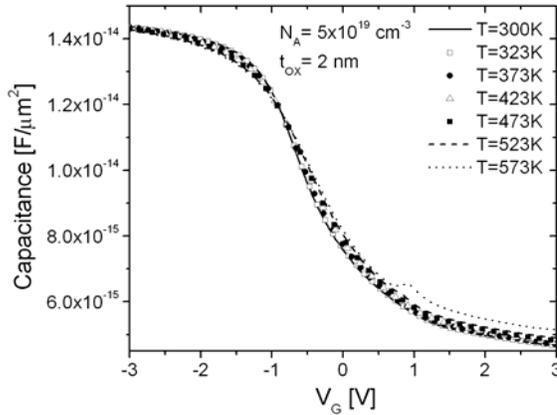


Figure 10 – C-V curve for $N_A= 5 \times 10^{19} \text{ cm}^{-3}$ and $t_{ox}= 2$ nm operating at high frequency.

4. RESULTS AND DISCUSSIONS

The C-V curves deviation observed in this work, when compared to the expected behavior when $V_G > 0$ V and for temperatures higher than 423K, is due to some silicon physical limits.

One of the reasons for these electrical characteristics which changes with the temperature increases, is the silicon bandgap reduction. This effect originates an electrical conductivity degradation in the device operation as the temperature increases [6, 7, 8].

The electrical conductivity degradation is mainly due to the substrate intrinsic carriers concentration that at high temperatures, rises significantly enough to overcome any other carrier concentration on silicon substrate, as expected by equation (4.1). Although the doping concentration, that was originally implanted on the substrate during the device fabrication, is higher than the intrinsic silicon concentration at room temperature, when an elevated temperature is applied on the device, the influence of silicon intrinsic carriers on conductivity is significantly high to degenerate the device's electrical operation behavior [7, 8].

$$n_i = \sqrt{N_c \cdot N_v} \cdot e^{-E_g/2kT} \quad (4.1)$$

where:

- n_i – intrinsic carrier concentration
- N_c – effective density of states in the conduction band
- N_v – effective density of states in the valence band
- E_g – energy bandgap of semiconductor
- k – Boltzmann's constant
- T – absolute temperature

The electrical conductivity difficulty is clearly observed in the simulated curves as shown in figures 3, 5 and 8 for $N_A= 5 \times 10^{15} \text{ cm}^{-3}$. The C-V curves present strong deviation from the typical high frequency C-V behavior and quite high capacitance values for $V_G > 0$ V. In addition, for $N_A= 5 \times 10^{19} \text{ cm}^{-3}$, the conductivity difficulty in the substrate is almost inexist as shown in figures 4, 7 and 10.

Due to this physical limitation, many researchers are studying other possible semiconductor materials like SiC (silicon carbide) that presents wider bandgap and, consequently a lower intrinsic carrier concentration when exposed to 573 K, becoming more reliable and suitable for high temperature operation applications [7, 8, 9, 10].

Regarding the oxide layer thickness, the simulation results show that this parameter has no significant influence on MOS capacitor high frequency C-V curves at high temperatures. The analysis of the energy band diagram, that represents the simulated MOS capacitor presented in figure 11, demonstrates that both the Fermi potential at the semiconductor (ϕ_F) and the depletion region maximum value (d_{max}) do not depend on the oxide layer thickness, which is confirmed by equations (4.2) and (4.3) where the parameter t_{ox} has no influences [11, 12, 13].

$$d_{max} = \sqrt{\frac{2 \cdot \epsilon_{Si} \cdot 2\Phi_F}{q \cdot N_A}} \quad (4.2)$$

$$\Phi_F = \frac{k.T}{q} \ln \frac{NA}{ni} \quad (4.3)$$

where:

d_{max}	– depletion layer maximum width
ϵ_{Si}	– permittivity of silicon
Φ_F	– Fermi potential of semiconductor
q	– electron charge magnitude
k	– Boltzmann's constant
T	– absolute temperature

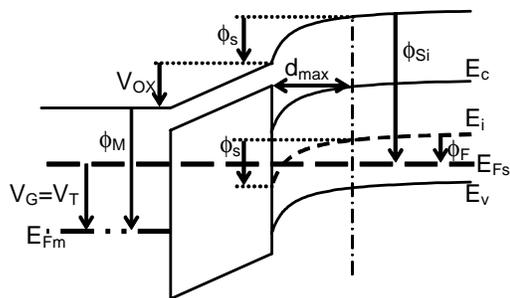


Figure 11 – The MOS capacitor with P substrate energy band diagram.

Therefore, this confirms that C-V curves behavior observed for high temperature application does not depend on t_{ox} thickness. However, accurate investigations will be done in order to understand the mechanisms that appear in MOS structure operating in such conditions.

5. CONCLUSIONS

These initial studies of the MOS capacitor operating at high temperatures indicate that the doping substrate concentration influences on high frequency C-V curves behavior.

It was observed that for the gate voltage higher than 0V, the capacitance values change as the temperature increases. Besides that, it was also noticed that for lower doping substrate concentration the high frequency C-V curves behavior changes, indicating that the capacitance due to the substrate significantly influence in these conditions (bias and temperature).

The second peak that was observed in the high frequency C-V curves operating at high temperatures needs an accurate studies in order to elucidate the physical effects that create this deviation observed in MOS capacitor operating at such conditions.

6. REFERENCES

- [1] McDonald, J.A., "Proving they can take the heat", HTE Report, III-Vs Review, Vol. 9, No 5, pp. 63-67, 1996.
- [2] Bellodi, M., Estudo das Componentes e Modelagem das Correntes de Fuga em Dispositivos SOI MOSFET Operando em Altas Temperaturas, Doctor Thesis, USP, São Paulo, 2001.
- [3] Grabinski, W., Stricker, A., Fichtner, W., "A Versatile Setup for Semiconductor Testing up to 550°C", HITEC 1998, USA, pp. 143-147, 1998.
- [4] Osman, A.A., Osman, M.A., "Investigation of High Temperature Effects on MOSFET Transconductance (gm)", HITEC 1998, USA, pp. 301-304, 1998.
- [5] ATLAS Device Simulation Framework, version 5.10.0.R, Silvaco International, 2005.
- [6] Mizuno, K., Ohta, K., Kitagawa, F., Nagase, H., "Analog CMOS Integrated Circuits for High-Temperature Operation with Leakage Current Compensation", HITEC 1998, USA, pp. 41-44, 1998.
- [7] Neudeck, P.G., Okojie, R.S., Chen, L.Y., "High-Temperature Electronics – A Role for Wide Bandgap Semiconductors?", Proceedings of the IEEE, Vol. 90, No. 6, pp.1065-1067, June 2002.
- [8] Johnson, R.W., Evans, J.L., Jacobsen, P., Thompson, J.R., Christopher, M., "The Changing Automotive Environment: High-Temperature Electronics", IEEE Transactions on Electronics Packaging Manufacturing, Vol. 27, No. 3, pp. 164-11, July 2004.
- [9] Berberich, S., Godignon, P., Locatelli, M.L., Millán, J., Hartnagel, H.L., "High Frequency CV Measurements of SIC MOS Capacitors", Solid-State Electronics, Vol. 42, No. 6, pp. 915-916, 1997.
- [10] Zhou, F., Kotru, S., Pandey, R.K., "Pulsed laser-deposited ilmenite-hematite films for application in high-temperature electronics", Thin Solid Films, No. 408, pp. 33-34, 2002.
- [11] Streetman, B.G., Banerjee, S.K., Solid State Electronic Devices 6th Edition, Prentice Hall, New Jersey, 2000.
- [12] Martino, J.A., Pavanello, M.A., Verdonck, P.B., Caracterização Elétrica de Tecnologia e Dispositivos MOS, Thomson, São Paulo, 2003.
- [13] Kano, K., Semiconductor Devices, Prentice Hall, New Jersey, 1998.

APÊNDICE 3

ARTIGO TÉCNICO

Neste apêndice está apresentado o artigo publicado no *IV Seminatec – Workshop on Semiconductors and Micro & Nano Technology*, São Paulo, 10 a 11 de Abril, 2008.

Study of High Temperature Influence on MOS Capacitor High Frequency C-V Curves Behavior

*Ana Paula Borges Ziliotto and Marcello Bellodi

Centro Universitário da FEI, São Bernardo do Campo, São Paulo, 09850-901, Brazil

[*anapbz@yahoo.com.br](mailto:anapbz@yahoo.com.br)

The increase of MOS technology applications in high temperature environments has demanded for further knowledge on devices behavior when operating at temperatures up to 573K. The MOS capacitor structure was selected for this study since it is the elementary structure that is present in MOS transistor devices.

Numerical bi-dimensional simulations were performed using ATLAS simulator, and the results concern the high frequency capacitance versus voltage (C-V) characteristic of the MOS capacitor operating from room temperature up to 573K using AC analysis.

The results show that the C-V curves behavior is influenced by substrate doping concentration, substrate material types, poly-silicon gate doping concentration and also by gate material type. These tendencies were confirmed by experimental results.

A DC voltage (V_G) was applied to the capacitor gate and the AC analysis of the C-V curve was performed maintaining the frequency at 1MHz for all simulations. It was observed that the low silicon substrate doping concentration degenerates the C-V curves behavior starting at 423K, generating the capacitance value increase in the inversion region, which is not expected for the typical MOS capacitor.

When the poly-silicon gate concentration is low, there is also a high temperature effect that is present in the C-V curves which is a secondary capacitance value increase in the strong inversion region, which means, if the MOS capacitor utilized has low silicon substrate doping and also a low doped poly-silicon gate material, the high frequency C-V curves behavior will present two different and well distinguished effects that influence the inversion region capacitance behavior.

It was concluded that a wide band gap material for the substrate as well as the use of a metal gate material instead of poly-silicon are necessary to minimize the possibility of high frequency C-V characteristic deterioration in high temperature operation.