

**CENTRO UNIVERSITÁRIO DA FEI**

**Juliana Pinheiro Nemer**

**DESEMPENHO DE TRANSISTORES GC SOI MOSFETs  
SUBMICROMÉTRICOS**

**São Bernardo do Campo**

**2012**

**Juliana Pinheiro Nemer**

**DESEMPENHO DE TRANSISTORES GC SOI MOSFETs  
SUBMICROMÉTRICOS**

Dissertação de Mestrado apresentada ao Centro Universitário da FEI como parte dos requisitos necessários para a obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Marcelo Antonio Pavanello

**São Bernardo do Campo**

**2012**

Nemer, Juliana Pinheiro.

Desempenho de Transistores GC SOI Submicrométricos /  
Juliana Pinheiro Nemer. São Bernardo do Campo, 2012.  
106 f. : il.

Dissertação (Mestrado) - Centro Universitário da FEI.  
Orientador: Prof. Dr. Marcelo Antônio Pavanello

1. SOI. 2. GC. 3. Parâmetros analógicos. 4.  
Submicrométrico. 5. Temperatura. I. Pavanello, Marcelo Antonio,  
orient. II. Título.

CDU 621.381



Centro Universitário da **FEI**

## APRESENTAÇÃO DE DISSERTAÇÃO ATA DA BANCA JULGADORA

PGE- 10

### Programa de Mestrado de Engenharia Elétrica

Aluno: Juliana Pinheiro Nemer

Matrícula: 1101070

Título do Trabalho: **DESEMPENHO DE TRANSISTORES GC SOI MOSFETs SUBMICROMÉTRICOS.**

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof. Dr. Marcelo Antonio Pavanello

**ORIGINAL ASSINADA**

Data da realização da defesa: 23 / maio / 2012

A Banca Julgadora abaixo-assinada atribuiu ao candidato o seguinte:

APROVADO

REPROVADO

São Bernardo do Campo, 23 / maio / 2012.

#### MEMBROS DA BANCA JULGADORA

Prof. Dr. Marcelo Antonio Pavanello

Ass.: \_\_\_\_\_

Prof.<sup>a</sup> Dr.<sup>a</sup> Paula Ghedini Der Agopian

Ass.: \_\_\_\_\_

Prof.<sup>a</sup> Dr.<sup>a</sup> Katia Franklin Albertin Torres

Ass.: \_\_\_\_\_

#### **VERSÃO FINAL DA DISSERTAÇÃO**

**ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS  
RECOMENDAÇÕES DA BANCA EXAMINADORA**

\_\_\_\_\_

Aprovação do Coordenador do Programa de Pós-graduação

\_\_\_\_\_  
Prof. Dr. Carlos Eduardo Thomaz

Primeiramente a Deus que me deu discernimento e perseverança para atingir este objetivo. Ao meu marido, meus pais e irmã, que me deram incentivo, amor, palavras de sabedoria e que sempre estiveram ao meu lado.

## **AGRADECIMENTOS**

Primeiramente a Deus que me fez sonhar todos estes projetos e que me colocou onde hoje estou, me dando sabedoria, discernimento e força em todo instante.

Aos meus pais e irmã que foram como uma base sólida e firme em todos os momentos me incentivando, dando palavras que confortavam, exortando e que ao final me instruíam no caminho certo.

Ao meu marido Thiago que nunca hesitou em me ajudar, estando ao meu lado apoiando incentivando cada passo que eu dava e o mais importante nunca perdendo a paciência.

Ao meu Orientador Prof. Dr. Marcelo Antonio Pavanello que acreditou em mim desde o começo e que mesmo antes de iniciar o mestrado, me despertou o interesse pelo curso e assim segui para este desafio. Muito obrigada pelos conselhos, pela compreensão nos momentos de dificuldade, pelas correções por cada palavra que me fez crescer e aprender a cada dia mais.

Á Dr. Michelly de Souza que sempre esteve por perto, prestando maior auxílio nos momentos mais difíceis com toda a dedicação e carinho. Agradeço por sua amizade e paciência.

Aos professores, Dr. Salvador Pinillos Gimenez, Dr. Marcello Bellodi, Dr. Renato Giacomini, Dr. Paula Agopian, pelos ensinamentos que contribuiram para este trabalho.

Às professoras Dr. Mileni Galeti e Dr. Katia Franklin Albertin, pela ajuda e contribuição para a finalização deste projeto.

A todos os colegas de pesquisa, Genaro, João, Daniel, Cristiano, Renan, Rodrigo, Márcio, Ariane, Bruna, André, que dividiram momentos de aprendizado, alegria, que com incentivo, apoio, discussões técnicas, dedicação, convivência e amizade, me ajudaram na execução e término deste estudo.

Ao CNPq e ao Centro Universitário da FEI pelo suporte financeiro durante estes dois anos aos quais não seria possível a conclusão do mesmo.

*Eu segurei muitas coisas em minhas mãos, e eu perdi tudo; mas tudo que eu coloquei nas mãos de Deus eu ainda possuo.*

*Martin Luther King*

## RESUMO

Este trabalho tem como objetivo demonstrar o desempenho do transistor SOI de canal gradual (*Graded-Channel* - GC) submicrométrico a partir da comparação com o transistor SOI MOSFET convencional, detalhando suas características elétricas, suas vantagens e comparando as melhoras atingidas pela adoção do GC SOI totalmente depletado de tecnologia de 150 nm variando o comprimento de canal, a concentração de dopantes e a temperatura.

Para analisarmos com mais propriedade este dispositivo, foi necessário realizar a calibração do simulador numérico bidimensional, com objetivo de podermos simular outros comprimentos de canal e concentração de dopantes. Para esta calibração, utilizamos inúmeras extrações experimentais e a partir destas, ajustamos modelos e parâmetros do simulador.

A partir desta calibração, foram feitas diversas simulações numéricas bidimensionais variando comprimento de canal, comprimento da região fracamente dopada e da temperatura. A partir destas simulações, foram geradas curvas da corrente de dreno pela tensão aplicada ao dreno e curvas da corrente de dreno pela tensão aplicada à porta, e extraídas as curvas da transcondutância em função da tensão aplicada à porta e da condutância de dreno em função da tensão aplicada ao dreno, para calcular os resultados de ganho intrínseco de tensão.

Com as curvas geradas foram extraídas a tensão de limiar, a inclinação de sublimiar, a transcondutância, a condutância de saída, o ganho intrínseco de tensão em malha aberta e a frequência de ganho unitário, variando o comprimento de canal, a concentração de dopante e a temperatura. Os resultados obtidos serão apresentados ao longo do trabalho, apontando que, na tecnologia estudada, este dispositivo com comprimento de canal de  $L=150$  nm atinge ganho intrínseco máximo de 41 dB e frequência de ganho unitário igual a 363 MHz para GC SOI com comprimento da região menos dopada próximo a 100 nm, comparado com  $A_V$  de 33 dB e frequência de ganho unitário igual a 226 MHz para SOI MOSFET. Nota-se também que os dispositivos GC SOI da OKI Semiconductors estudado, apresenta um ponto de ganho de tensão máximo para  $L_{LD}$  (comprimento da região fracamente dopada) aproximadamente igual a 100nm, independente do comprimento de canal, concentração de dopantes e temperatura.

Palavras-chave: SOI, GC, parâmetros analógicos, submicrométrico, temperatura.

## ABSTRACT

This study aims to demonstrate the performance of the silicon-on-insulator graded-channel transistors (GC SOI MOSFET) in comparison to standard SOI MOSFET, detailing electrical features, advantages and comparing the improvements achieved by the adoption of the GC SOI in a 150 nm long fully depleted SOI technology varying the channel length.

In order to analyze the GC SOI behavior, it was necessary to adjust of the simulator in an effort to simulate different total channel lengths, doping concentration and temperatures. Analytical model and parameters were adjusted using the experimental data.

Several two-dimensional numerical simulations have been done varying the channel length and the channel length of the lightly doped region, after adjusting the simulator. From these simulations on curves of the drain current as function of drain voltage and curves of drain current as function of gate voltage were generated. The transconductance as function of the gate voltage and the output conductance as function of the drain voltage were extracted in order to present the intrinsic voltage gain as function of the length of the lightly doped region. From these curves the threshold voltage, subthreshold slope, transconductance, output conductance, voltage intrinsic gain were extracted. The obtained results is shown through this study, showing that in the studied technology, this device achieves the maximum intrinsic gain equals to 41 dB and unit-gain frequency of 363 MHz for GC SOI with total channel length equals to 150 nm and length of lightly doped region equal to 100 nm, compared with SOI MOSFET for total channel length equal to 150 nm, which presents maximum intrinsic gain equals to 33 dB and unit-gain frequency of 226 MHz. Also, we can note the maximum intrinsic gain is achieved for  $L_{LD}$  (lightly doped region length) around 150nm, regardless the total channel length, doping concentration and temperature.

Keywords: GC SOI MOSFETs, submicron GC, analog parameters, temperature

## LISTA DE FIGURAS

Figura 2.1 – Perfil transversal do transistor SOI nMOSFET. ....	23
Figura 2.2 – Diagramas de faixas de energia: (A) transistor MOS convencional e (B) transistor PD SOI parcialmente depletado.....	25
Figura 2.3 – Diagrama de faixa de energia para o dispositivo FD SOI.....	26
Figura 2.4 – Variação da tensão de limiar em função da tensão aplicada no substrato, indicando as condições da segunda interface com relação ao potencial aplicado ao substrato[3].....	31
Figura 2.5 – Curva das componentes da mobilidade independente do campo em função da Temperatura [32].....	35
Figura 2.6 – Curva da mobilidade independente do campo elétrico pela temperatura para diversas concentrações de dopantes [32].....	35
Figura 2.7 – Curva simulada $\log(I_{DS}) \times V_{GF}$ evidenciando a região de sublimiar para $V_{DS} = 50mV$ para um SOI MOSFET.....	38
Figura 2.8 – Distribuição das cargas de depleção em dispositivos de canal longo, lado esquerdo, e a direita, efeito de canal curto, para dispositivos MOS convencionais e para SOI MOSFETs. Onde $Q_{dl}$ é a carga de depleção controlada pela porta.....	40
Figura 2.9 – Esquema de representação do mecanismo de ionização por impacto.....	42
Figura 2.10 – Curva $I_{DS}/W$ em função de $V_{DS}$ de um transistor SOI parcialmente depletado, indicado a ocorrência do Efeito de Elevação da Corrente.....	43
Figura 2.11 – Esquema do transistor bipolar parasitário em um SOI MOSFET.....	44
Figura 2.12 – Curvas $I_{DS}$ em função de $V_{GF}$ . Para a situação (A) temos o transistor em operação normal; para (B) inclinação de sublimiar infinita em varredura positiva e negativa em (C) de $V_{GF}$ (histerese); efeito STLU(D).....	46
Figura 2.13 – Esquema do Amplificador Operacional de Transcondutância.....	47
Figura 2.14 – Curva $g_m/I_{DS}$ em função de $I_{DS}/(W/L_{eff})$ , demonstrando a inversão fraca, inversão forte e moderada.....	49
Figura 2.15 – Perfil transversal do transistor GC- SOI MOSFET. ....	50
Figura 2.16 – Curvas experimentais da corrente de dreno ( $I_{DS}$ ) em função da tensão aplicada à porta ( $V_{GF}$ ), com tensão de dreno ( $V_{DS}=0,1V$ ) para os dispositivos GC SOI [45].....	51

Figura 2.17 – Curvas experimentais da transcondutância ( $g_m$ ) em função da tensão aplicada à porta ( $V_{GF}$ ), com tensão de dreno de ( $V_{DS} = 0,1V$ ) para transistor de comprimento de canal igual a $4\mu m$ [45].....	52
Figura 2.18 – Curvas $I_{DS} \times V_{DS}$ dos transistores GC SOI, variando a relação ( $L_{LD}/L$ ), e SOI convencional, para $L=4\mu m$ e $L=2\mu m$ [45]. ....	53
Figura 2.19 – Curvas da condutância de dreno pela tensão aplicada ao dreno para transistores GC SOI e para transistores convencionais [45].....	54
Figura 2.20 – Curva da corrente de dreno normalizada em escala linear e logarítmica para vários comprimentos de canal, comparando o GC SOI submicrométrico com o SOI convencional para um $V_{DS}=1,7V$ [47].....	55
Figura 2.21 – Curva da transcondutância normalizada para vários comprimentos de canal, comparando o GC SOI submicrométrico com o nMOS convencional, com $V_{DS}=1,7V$ [47]. ....	56
Figura 2.22 – Curvas normalizadas $I_{DS}$ em função da tensão de dreno $V_{DS}$ dos dispositivos GC MOS e nMOS convencional com comprimento de canal de $0,24\mu m$ , e com $V_{GF} = 0,5$ até $1,7V$ [47].....	57
Figura 2.23 – Curvas da frequência de corte e da transcondutância pela corrente de dreno [50], comparando transistores GC SOI submicrométricos com transistores convencionais. ...	57
Figura 2.24 – Curvas de $I_{DS}$ por $V_{GF}$ em escala linear e em escala logarítmica, para dispositivos GC SOI MOSFETS OKI, com $V_{DS} = 50mV$ $L_{LD}/L=0,5$ , e para diversas temperaturas [51], as linhas contínuas são dos dispositivos de $L=0,24\mu m$ e a tracejada corresponde a $L= 1\mu m$ .....	58
Figura 2.25 – Curva da Tensão de limiar em função da temperatura para dispositivo GC SOI da OKI e da UCL, para diferentes comprimentos de canais[51].....	59
Figura 2.26 – Inclinação de sublimiar em função da temperatura para GC SOI MOSFETs OKI e para diversos comprimentos de canal [51]. ....	60
Figura 2.27 – Curva da transcondutância máxima pela variação da temperatura para diversos comprimentos de canal, com $L_{LD}/L=0.5$ e $V_{DS}=50mV$ [51]. ....	60
Figura 4.1 – Seção transversal de um GC SOI MOSFET gerado no Sentaurus, indicando suas concentrações.....	66
Figura 4.2 – Corte realizado na região do canal da estrutura GC SOI MOSFET demonstrando a concentração de dopantes ao longo do comprimento de canal. ....	66
Figura 4.3 – Apresenta a direita o esquema do método proposto por Faynot para a extração da mobilidade [61] e a esquerda a curva experimental extraída do dispositivo GC SOI com	

L=0,5 $\mu\text{m}$ e W=240 $\mu\text{m}$ em linha preta contínua e em vermelho tracejado uma média para a extração da inclinação.....	67
Figura 4.4 – Comparação entre curvas experimentais e simuladas da corrente de dreno em função da tensão de dreno do dispositivo GC SOI com L=500nm e com W=80 $\mu\text{m}$ , para $V_{GT} = 300\text{mV}$ , e da condutância de dreno pela tensão de dreno.....	68
Figura 4.5 – Curvas da Corrente de dreno e da transcondutância pela tensão de porta experimentais e simuladas dos dispositivos GC SOI, com $V_{DS}=50\text{mV}$ .....	69
Figura 4.6 – Comparação das curvas $I_{DS}/W$ por $V_{GF}$ em triodo, extraídas experimentalmente e simuladas, para diversos L.....	70
Figura 4.7 – Curvas de $g_m/W$ em função de $V_{GF}$ para diversos comprimentos de canal, extraídas experimentalmente e comparadas com arquivos simulados. ....	70
Figura 4.8 – Comparação das curvas $I_{DS}/W$ por $V_{GF}$ em saturação, extraídas experimentalmente e simuladas, para diversos L. ....	71
Figura 4.9 – Comparação das curvas $I_{DS}/W$ por $V_{DS}$ para $V_{GT}=200\text{mV}$ , extraídas experimentalmente e simuladas, para diversos L. ....	71
Figura 5.1 – Curvas simuladas da corrente de dreno pela tensão de porta para dispositivos GC SOI com diversos comprimentos de canal, com $V_{DS} = 50\text{mV}$ e $L_{LD}/L=0,5$ . ....	73
Figura 5.2 – Curva simulada da transcondutância pela tensão de porta dos dispositivos GC SOI para transistores com diversos comprimentos de canal e $L_{LD}/L=0,5$ .....	74
Figura 5.3 – Curvas simuladas da corrente de dreno pela tensão de porta para dispositivos GC SOI com diversos comprimentos de canal, com $V_{DS} = 0,8\text{V}$ e $L_{LD}/L=0,5$ . ....	75
Figura 5.4 – Curva simulada da transcondutância pela tensão de porta dos dispositivos GC SOI para transistores com diversos comprimentos de canal e $L_{LD}/L=0,5$ , com tensão de dreno de 0,8V. ....	75
Figura 5.5 – Curva simulada da corrente de dreno pela tensão de dreno dos dispositivos GC SOI para transistores com diversos comprimentos de canal e $L_{LD}/L=0,5$ para $V_{GT}$ de 200mV. ....	76
Figura 5.6 – Curva simulada da condutância de saída em função da tensão de dreno dos dispositivos GC SOI para transistores, com diversos comprimentos de canal e $L_{LD}/L=0,5$ para $V_{GT}$ de 200mV. ....	76
Figura 5.7 – Curva do ganho intrínseco de tensão por $L_{LD}/L$ para diversos L com $V_{DS}=0,8\text{V}$ e $V_{GT}=200\text{mV}$ , dos dispositivos GC SOI MOSFET. ....	78
Figura 5.8 – Simulação do ganho intrínseco de tensão em função do comprimento da região menos dopada para GC MOSFET OKI, com diversos L e $L_{LD}$ , extraídos com $V_{DS}=0,8\text{V}$	

e $V_{GT}=V_{GF}-V_{Th}=200mV$ , e sobrepostas as curvas de ganho de tensão para a variação de $L_{LD}/L$ .....	79
Figura 5.9 – Curva da Transcondutância( $g_m$ ) vs Comprimento da região fracamente dopada ( $L_{LD}$ ) para todos os comprimentos de canal estudados, para $V_{DS}=0,8V$ e $V_{GT}= 200mV$ .	80
Figura 5.10 – Curva simulada do frequência de ganho unitário em função do comprimento de canal da região fracamente dopada, para GC SOI , com $V_{DS}=0,8V$ e $V_{GT}=200mV$ , para diversos comprimentos de canal. ....	80
Figura 5.11 – Simulação da condutância de dreno por comprimento de canal da região menos dopada , para diversos comprimentos de canal e com $V_{DS}=0,8V$ e $V_{GT}=200mV$ .....	81
Figura 5.12 – Curvas simuladas de $g_m/I_{DS}$ em função de $I_{DS}/(W/L_{eff})$ , com $V_{DS}=0,8$ para diversos $L_{LD}/L$ .....	82
Figura 5.13 – (A) Curva simulada da $I_{DS} \times V_{GT}$ e (B) $g_m \times V_{GT}$ dos transistores GC SOI com $V_{DS}=1V$ para diferentes $L$ e $N_{AH}$ . ....	83
Figura 5.14 – (A) Curva $I_{DS} \times V_{DS}$ e (B) $g_D \times V_{DS}$ dos transistores GC SOI com $V_{GT}=200 mV$ para diferentes $L$ e $N_{AH}$ .....	84
Figura 5.15 – Curva $I_{DS} \times V_{GF}$ , dos transistores GC SOI com $V_{DS}=1V$ e $N_{AH}=2.10^{17}cm^{-3}$ , variando $L_{LD}/L$ .....	84
Figura 5.16 – (A) Curvas simuladas da $g_m \times L_{LD}$ e (B) $g_m \times V_{GT}$ dos transistores GC SOI com $V_{DS}=50mV$ e $N_{AH}=2x10^{17} cm^{-3}$ para diferentes valores de $L$ e $L_{LD}/L$ . ....	85
Figura 5.17 – Curvas simuladas de $I_{DS}$ e $g_D$ em função de $V_{GF}$ dos dispositivos GC SOI com $V_{GT}=200mV$ , $L=250nm$ e $N_{AH}=2x10^{17} cm^{-3}$ . ....	86
Figura 5.18 – Curva $g_D \times L_{LD}$ com $V_{DS}=1V$ , $V_{GT}=200mV$ , para transistores GC SOI MOSFET variando $N_{AH}$ e $L$ . ....	86
Figura 5.19 – $A_V$ em função de $L_{LD}$ com $V_{DS}= 1V$ , $V_{GT}=200mV$ , para GC SOI MOSFET (A) para diferentes valores de $N_{AH}$ e $L=250nm$ , (B) variando comprimento de canal ( $L$ ). ....	87
Figura 5.20 – Comparação simulado e experimental da tensão de limiar em função da temperatura, com $V_{DS}=50mV$ e $L_{LD}/L =0,5$ para tecnologia OKI com diversos comprimentos de canal e $L_{LD}/L=0,5$ [51].....	88
Figura 5.21 – Curva experimental e simulada da inclinação de sublimiar em função da temperatura, para transistores GC SOI com $L=0,24 \mu m$ e $V_{DS}=50mV$ [51].....	89
Figura 5.22 – Curvas simuladas de $g_m$ em função de $L_{LD}$ (A) e de $T$ (B), com $V_{GT}=200mV$ , $L=250nm$ , $N_{AH}=2.10^{17} cm^{-3}$ , para GC SOI MOSFET, variando a temperatura e $L_{LD}/L$ ...	90

Figura 5.23 – (A) Curva simulada de $g_D \times L_{LD}$ , para GC SOI MOSFET com $V_{GT}=200\text{mV}$ e $400\text{mV}$ , variando a temperatura. (B) $g_D \times T$ , com $V_{GT}=200\text{mV}$ , $L=250\text{nm}$ , $N_{AH}=2.10^{17}\text{cm}^{-3}$ para diversos valores de $L_{LD}/L$ .....	92
Figura 5.24 – Curva simulada do $A_v \times L_{LD}$ (A), com $V_{GT}=200\text{mV}$ e $400\text{mV}$ , para três temperaturas diferentes, e a curva $A_v \times T$ (B), variando $L_{LD}$ , com $V_{DS}=1\text{V}$ , $L=250\text{nm}$ , $N_{AH}=2.10^{17}\text{cm}^{-3}$ , para GC SOI MOSFET.....	93

## LISTA DE TABELAS

Tabela 4.1 – Ganho Dispositivo GC SOI OKI $W=240\mu\text{m}$ e $L=0,5\mu\text{m}$ $V_{GT}=100\text{mV}$ .....	69
Tabela 4.2 – Inclinação de sublimiar para os dispositivos GC SOI da OKI simulados com diversos comprimentos de canal.....	72
Tabela 4.3 – Comparação simulado experimental da transcondutância máxima para diversos $L$ .....	72
Tabela 5.1 – Tensão de limiar para os dispositivos GC SOI da OKI simulados com diversos comprimentos de canal e $L_{LD}/L$ .....	77
Tabela 5.2 – Relação da variação de $g_m$ com a temperatura para diversos $L_{LD}$ . ....	91
Tabela 5.3 – Relação da variação de $g_D$ com a temperatura para diversos $L_{LD}$ . ....	92

## LISTA DE SÍMBOLOS

- $A_v$  – Ganho de tensão de malha aberta em baixa frequência.
- $BV_{CBO}$  – Tensão de ruptura de coletor com base aterrada [V].
- $BV_{CEO}$  – Tensão de ruptura do coletor com a base aberta [V].
- $BV_{DS}$  – tensão de ruptura de dreno GC SOI [V].
- $C_D$  – Capacitância da região de depleção por unidade de área [ $F/cm^2$ ].
- $C_L$  – Capacitância de carga [F].
- $C_{ox}$  – Capacitância de óxido de porta do transistor MOS convencional por unidade de área [ $F/cm^2$ ].
- $C_{oxb}$  – Capacitância de óxido enterrado por unidade de área [ $F/cm^2$ ].
- $C_{oxf}$  – Capacitância de óxido de porta do transistor SOI por unidade de área [ $F/cm^2$ ].
- $C_{Si}$  – Capacitância da camada de silício por unidade de área [ $F/cm^2$ ].
- $E_C$  – Nível de energia inferior da faixa de condução [eV].
- $E_{eff}$  – Campo elétrico efetivo na primeira interface [V/cm].
- $E_F$  – Nível de Fermi do semiconductor [eV].
- $E_i$  – Nível de Fermi intrínseco [eV].
- $E_{FM}$  – Nível de Fermi do metal [eV].
- $E_{SF}$  – Campo elétrico na primeira superfície [V/cm].
- $E_V$  – Nível de energia superior da faixa de valência [eV].
- $f_T$  – Frequência de ganho unitário [Hz].
- $g_D$  – Condutância de dreno [S].
- $g_m$  – Transcondutância de saída do transistor [S].
- $I_b$  – Fonte de corrente constante do amplificador operacional OTA [A].
- $I_C$  – Corrente do coletor do transistor bipolar parasitário [A].

$I_{ch}$  – Corrente controlada pela porta, flui pela superfície do canal sem a parcela devido a ionização por impacto [A].

$I_{desl}$  – Corrente de deslocamento [A].

$I_{DS}$  – Corrente de dreno e fonte [A].

$I_{Dsat}$  – Corrente de dreno em saturação [A].

$I_I$  – Corrente de lacunas geradas pela ionização por impacto [A].

$k$  – Constante de Boltzmann [ $1.38066 \times 10^{-23}$  J/K].

$L$  – Comprimento de canal do transistor [ $\mu\text{m}$ ].

$L_{LD}$  – Comprimento da região fracamente dopada no transistor GC SOI [ $\mu\text{m}$ ].

$L_{eff}$  – Comprimento efetivo do canal do transistor GC SOI [ $\mu\text{m}$ ].

$L_{LD}/L$  – Relação entre o comprimento da região fracamente dopada e o comprimento de canal, no transistor GC SOI [ $\mu\text{m}$ ].

$m$  – Fator de correção da equação da mobilidade de baixo campo elétrico.

$M$  – Fator de multiplicação devido ao elevado campo elétrico.

$N_a$  – Concentração de portadores aceitadores da camada de silício [ $\text{cm}^{-3}$ ].

$N_{AL}$  – Concentração de portadores aceitadores da região menos dopada do transistor GC SOI [ $\text{cm}^{-3}$ ].

$N_{AH}$  – Concentração de portadores aceitadores da região mais dopada do transistor GC SOI [ $\text{cm}^{-3}$ ].

$n$  – Fator de corpo (*body factor*).

$N_{af}$  – Concentração de portadores aceitadores no canal [ $\text{cm}^{-3}$ ].

$n_i$  – Concentração intrínseca de portadores [ $\text{cm}^{-3}$ ].

$q$  – Carga elementar do elétron [ $1,6 \times 10^{-19}$  C].

$Q_{depl}$  – Carga de depleção na camada de silício [ $\text{C}/\text{cm}^2$ ].

$Q_{inv1}$  – Carga de inversão na primeira superfície [ $\text{C}/\text{cm}^2$ ].

$Q_{ox}$  – Densidade de carga fina no óxido de porta [ $C/cm^2$ ].

$Q_{oxb}$  – Carga efetiva do óxido enterrado por unidade de área [ $C/cm^2$ ].

$Q_{oxf}$  – Carga efetiva do óxido de porta por unidade de área [ $C/cm^2$ ].

$Q_{SB}$  – Carga no silício na segunda interface [ $C/cm^2$ ].

$S$  – Inclinação de Sublimiar on fator  $S$  [ $mV/década$ ].

$T$  – Temperatura absoluta [ $K$ ].

$t_{oxb}$  – Espessura do óxido enterrado [ $\mu m$ ].

$t_{oxf}$  – Espessura do óxido de porta [ $\mu m$ ].

$t_{Si}$  – Espessura do camada de silício [ $\mu m$ ].

$V_D$  – Tensão aplicada no dreno do transistor [ $V$ ].

$V_{DS}$  – Tensão entre dreno e fonte [ $V$ ].

$V_{EA}$  – Tensão de Early [ $V$ ].

$V_{FB}$  – Tensão de Faixa Plana da estrutura MOS [ $V$ ].

$V_{GB}$  – Tensão de substrato do transistor SOI convencional e GC SOI [ $V$ ].

$V_{GB,acc}$  – Tensão aplicada ao substrato para que a superfície do silício na segunda interface acumule [ $V$ ].

$V_{GF}$  – Tensão entre porta e fonte do transistor SOI e GC SOI [ $V$ ].

$V_{GS}$  – Tensão entre porta e fonte do transistor MOSFET [ $V$ ].

$V_{GT}$  – Sobretensão de limiar [ $V$ ].

$V_{th}$  – Tensão limiar [ $V$ ].

$V_{th,acc2}$  – Tensão limiar com a 2ª interface em acumulação [ $V$ ].

$V_{th,depl2}$  – Tensão limiar com a 2ª interface em depleção [ $V$ ].

$V_{th,inv2}$  – Tensão limiar com a 2ª interface invertida [ $V$ ].

$W$  – Largura do canal do transistor [ $\mu m$ ].

$x$  – Constante utilizada para a determinação da tensão de ruptura com base aberta no transistor bipolar, variando de 3 a 6 tipicamente.

$x_{dm\acute{a}x}$  – Profundidade de depleção máxima [ $\mu\text{m}$ ].

$\alpha$  – acoplamento capacitivo entre canal, a porta e o substrato.

$\epsilon_{ox}$  – Permissividade do óxido de silício [ $3,45 \cdot 10^{-13} \text{F/cm}$ ].

$\epsilon_{Si}$  – Permissividade do silício [ $1,6 \cdot 10^{-12} \text{F/cm}$ ].

$\Phi_F$  – Potencial de Fermi[V].

$\Phi_M$  – Função trabalho do Metal [V].

$\Phi_{MS}$  – Diferença de função trabalho entre o metal de porta e semiconductor no transistor MOS [V].

$\Phi_{ms2}$  – Diferença de função trabalho entre o substrato e a camada de silício[V].

$\Phi_{ms1}$  – Diferença de função trabalho entre o metal de porta e a camada de silício[V].

$\Phi_{Si}$  – Função trabalho do silício[V].

$\Phi_{SB}$  – Potencial de superfície na segunda interface[V].

$\Phi_{SF}$  – Potencial de superfície na primeira interface[V].

$\mu_0$  – Mobilidade dos portadores independente do campo elétrico [ $\text{cm}^2/\text{V.s}$ ].

$\mu_{CC}$  – Mobilidade dos portadores lacunas devido ao espalhamento portador-portador [ $\text{cm}^2/\text{V.s}$ ].

$\mu_{ii}$  – Mobilidade dos portadores devido ao espalhamento por impurezas ionizadas [ $\text{cm}^2/\text{V.s}$ ].

$\mu_n$  – Mobilidade efetiva de elétrons na região do canal [ $\text{cm}^2/\text{V.s}$ ].

$\mu_{ni}$  – Mobilidade dos portadores devido ao espalhamento por impurezas neutras [ $\text{cm}^2/\text{V.s}$ ].

$\mu_{pe}$  – Mobilidade dos elétrons devido ao espalhamento por rede [ $\text{cm}^2/\text{V.s}$ ].

$\mu_{ph}$  – Mobilidade das lacunas devido ao espalhamento por rede [ $\text{cm}^2/\text{V.s}$ ].

$\mu_{ps}$  – Mobilidade dos portadores devido ao espalhamento por rede [ $\text{cm}^2/\text{V.s}$ ].

$\mu_{psii}$  – Mobilidade dos portadores devido aos espalhamentos por rede e por impurezas ionizadas [ $\text{cm}^2/\text{V.s}$ ].

$\mu_{psiih}$  – Mobilidade das lacunas devido aos espalhamentos por rede e por impurezas ionizadas [ $\text{cm}^2/\text{V.s}$ ].

$\mu_{psie}$  – Mobilidade dos elétrons devido aos espalhamentos por rede e por impurezas ionizadas [ $\text{cm}^2/\text{V.s}$ ].

## LISTA ABREVIATURAS

CMOS – *Complementary Metal-Oxide-Semiconductor*

DIBL – *Drain Induced Barrier Lowering*(redução da barreira induzida pelo dreno)

FD – *Fully Depleted*

GC – *Graded-Channel*

HD – *Highly Doped*

LD – *Lightly Doped*

LDD – *Lightly Doped Drain*

LPLV – *Low power Low voltage*

MOSFET – *Metal-Oxide-Semiconductor Field-Effect Transistor*

NFD – *Near-fully Depleted*

PD – *Partially Depleted*

STLU – *Single- Transistor latchup*

SOI – *Silicon-on-Insulator*

VLSI – *Very Large Scale Integration*

ZTC – *zero temperature coefficient*

# SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO</b> .....	<b>21</b>
<b>2</b>	<b>CONCEITOS FUNDAMENTAIS</b> .....	<b>23</b>
2.1	TECNOLOGIA SOI MOSFET .....	23
<b>2.1.1</b>	<b>Modos de funcionamento dos SOI MOSFETs</b> .....	<b>24</b>
<b>2.1.2</b>	<b>Vantagens do SOI totalmente depletado</b> .....	<b>26</b>
<b>2.1.3</b>	<b>Principais Características Elétricas dos transistores SOI</b> .....	<b>28</b>
2.1.3.1	Tensão de limiar.....	29
2.1.3.2	Mobilidade .....	32
2.1.3.3	Transcondutância .....	36
2.1.3.4	Inclinação de Sublimiar.....	37
2.1.3.5	Efeito de Canal Curto.....	39
2.1.3.6	Ionização por Impacto.....	41
<b>2.1.4</b>	<b>Características analógicas dos dispositivos</b> .....	<b>47</b>
2.2	TECNOLOGIA GC SOI MOSFET.....	50
2.3	GC SOI SUBMICROMÉTRICO.....	55
<b>2.3.1</b>	<b>GC SOI Submicrométrico considerando a influência da redução da Temperatura</b> .....	<b>58</b>
<b>3</b>	<b>SIMULAÇÕES NUMÉRICAS BIDIMENSIONAIS</b> .....	<b>62</b>
3.1	O SIMULADOR SENTAURUS .....	62
3.2	MODELOS UTILIZADOS .....	63
<b>4</b>	<b>DISPOSITIVOS UTILIZADOS E CALIBRAÇÃO</b> .....	<b>65</b>
4.1	CARACTERÍSTICAS DO DISPOSITIVO .....	65
4.2	CALIBRAÇÃO DO SIMULADOR SENTAURUS .....	65
<b>5</b>	<b>RESULTADOS</b> .....	<b>73</b>
5.1	INFLUÊNCIA DO COMPRIMENTO DE CANAL $L$ NAS CARACTERÍSTICAS DOS GC SOI SUBMICROMÉTRICOS	73
5.2	INFLUÊNCIA DO COMPRIMENTO $L_{LD}$ NAS CARACTERÍSTICAS DOS GC SOI SUBMICROMÉTRICOS .....	77
5.3	INFLUÊNCIA DA VARIAÇÃO DA CONCENTRAÇÃO DE DOPANTES ( $N_{AH}$ ) NAS CARACTERÍSTICAS DOS GC SOI SUBMICROMÉTRICOS .....	82
5.4	INFLUÊNCIA DA VARIAÇÃO DA TEMPERATURA ( $T$ ) NAS CARACTERÍSTICAS DOS GC SOI SUBMICROMÉTRICOS .....	88
<b>6</b>	<b>CONCLUSÃO</b> .....	<b>95</b>
	<b>REFERÊNCIAS</b> .....	<b>98</b>
	<b>APÊNDICE A- ARQUIVO DE ENTRADA PARA A SIMULAÇÃO DA CURVA <math>I_{DS}</math> X <math>V_{GF}</math> DO DISPOSITIVO GC SOI NO SENTAURUS</b> .....	<b>105</b>

# 1 INTRODUÇÃO

A necessidade de miniaturização dos transistores tipo Metal-Óxido-Semicondutor (MOS) para desenvolvimento de circuitos integrados de altíssima escala de integração (ULSI-*Ultra large Scale Integration*) tem apresentado certos limites [1], que estão relacionados com problemas como os efeitos de canal curto (a diminuição da tensão de limiar com a redução do comprimento do canal do transistor e o aumento da inclinação de sublimiar, degradando a velocidade de chaveamento do transistor, e da corrente de fuga).

Com isto, foi incentivado o desenvolvimento de uma nova tecnologia com o intuito de proporcionar um melhor resultado, dando origem aos dispositivos fabricados na tecnologia silício sobre isolante (SOI-*Silicon-On-Insulator*). Estes dispositivos tem grande capacidade de integração [2], e diversas vantagens sobre o MOS convencional, como o aumento da mobilidade [3], da transcondutância, além da diminuição das capacitâncias parasitárias entre fonte e dreno, dos efeitos de canal curto e da inclinação de sublimiar.

Por outro lado, seu óxido enterrado funciona como um isolante térmico, dificultando a dissipação de calor gerado pela condução da corrente elétrica, degradando a mobilidade de portadores, o que ocasiona alterações nas características elétricas dos dispositivos [3]. Outra grande deficiência do SOI convencional, é que ele apresenta intrinsecamente um transistor bipolar parasitário onde a base (canal do Transistor MOS) fica eletricamente flutuando, resultando na redução da tensão de ruptura [4-6].

Com a intenção de reduzir, principalmente, os efeitos devido ao alto campo elétrico próximo a região do dreno, foi projetado um novo transistor chamado de canal gradual (GC SOI *Graded-Channel*) [7]. Este transistor apresenta uma concentração de dopantes assimétrica na região do canal, sendo a região próxima à fonte fortemente dopada, com o intuito de fixar a tensão de limiar, e a região próxima ao dreno fracamente dopada, para diminuir a barreira de potencial da junção canal-dreno, reduzindo a ionização por impacto.

Nos últimos anos, devido ao seu grande desempenho, inúmeros artigos surgiram comprovando a superioridade dos GC SOI considerando características analógicas [7,8] comparadas ao dispositivo SOI convencional. No entanto, estes resultados eram apresentados para uma tecnologia mínima de 1,0 $\mu$ m de comprimento de canal. Recentemente, alguns artigos surgiram analisando o comportamento de transistores GC SOI submicrométricos, de

tecnologia 0,15 $\mu$ m industrial da OKI Semiconductors com a relação de  $L_{LD}/L=0,5$  (relação entre a região menos dopada pelo comprimento de canal) e a partir destes dispositivos é que estudaremos sua performance analógica bem como características elétricas.

Devido a limitação no processo de fabricação, não foi possível a fabricação de transistores GC SOI submicrométricos com outras relações de  $L_{LD}/L$  que 0,5, ou seja, metade do canal com a concentração de dopantes da lâmina e a outra a implantação de uma concentração de dopagem alta. Portanto, para estudar o comportamento do GC SOI MOSFET submicrométricos em outras relações  $L_{LD}/L$ , serão utilizadas simulações numéricas bidimensionais.

Para atingirmos este resultado, uma calibração foi realizada a partir dos dados experimentais extraídos dos dispositivos GC SOI Submicrométricos com  $L_{LD}/L=0,5$  conhecidos. Modelos analíticos implementados no simulador foram acrescentados para que um ótimo ajuste fosse alcançado.

A partir destes ajustes e comparações, inúmeras simulações foram realizadas, variando esta relação  $L_{LD}/L$ . Posteriormente, viu-se necessária a análise deste dispositivo variando a concentração de dopantes da região próxima à fonte, e então uma análise deste dispositivo GC SOI MOSFET submicrométrico em baixa temperatura.

No capítulo 2, são apresentados conceitos básicos necessários para fundamentar este trabalho. Uma breve introdução ao dispositivo SOI MOSFET é realizada, suas principais características físicas, elétricas, parâmetros analógicos são descritas bem como a influência da temperatura. O transistor GC SOI MOSFET é apresentado também nesta seção com o objetivo de expor suas características físicas para que possamos aprofundar nas características dos GC SOI Submicrométricos.

No capítulo 3, o simulador numérico bidimensional utilizado nas simulações é apresentado, descrevendo os modelos físicos utilizados em todas as simulações.

As características do dispositivo GC SOI utilizadas para a calibração do simulador, bem como os dados experimentais extraídos para a validação com os resultados simulados, estão descritos no capítulo 4.

No capítulo 5, os resultados simulados dos dispositivos GC SOI variando primeiramente o comprimento de canal com  $L_{LD}/L=0,5$  são apresentados e a após uma análise destes dispositivos variando a relação  $L_{LD}/L$  para diversas concentrações de dopagem e outras temperaturas são abordados.

Por fim no capítulo 6, são apresentadas as conclusões obtidas ao longo do trabalho.

## 2 CONCEITOS FUNDAMENTAIS

Nesta seção será apresentada uma revisão bibliográfica sobre a tecnologia SOI, tipos de dispositivos SOI e suas características analógicas. Será apresentado também o transistor de canal gradual (GC SOI MOSFETs *Graded-Channel*) demonstrando modelo, características físicas e elétricas, aplicações e suas particularidades.

### 2.1 Tecnologia SOI MOSFET

A tecnologia silício sobre isolante (SOI - *Silicon-On-Insulator*), que consiste na fabricação de circuitos integrados em uma camada de silício sobre uma camada de material isolante, surgiu como alternativa para a tecnologia CMOS convencional na fabricação de circuitos integrados em altíssima escala de integração [3]. Este isolamento entre os dispositivos e o substrato, ocasionado pela camada de isolante, reduz os efeitos parasitários, como capacitâncias parasitárias e a efeito de corpo flutuante inerente a tecnologia CMOS decorrentes da redução das dimensões da tecnologia MOS convencional [9].

A Figura 2.1 apresenta o perfil transversal de um transistor SOI MOSFET.

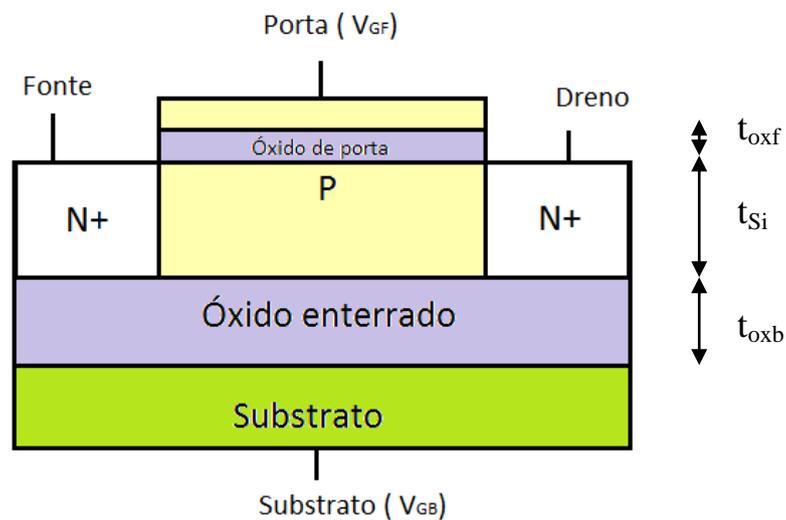


Figura 2.1 – Perfil transversal do transistor SOI nMOSFET.

Onde  $t_{\text{oxf}}$  é espessura do óxido de porta,  $t_{\text{si}}$  espessura da camada de silício,  $t_{\text{oxb}}$  espessura do óxido enterrado,  $V_{\text{GF}}$  e  $V_{\text{GB}}$  representam os eletrodos de porta e substrato, respectivamente.

### 2.1.1 Modos de funcionamento dos SOI MOSFETs

As características elétricas dos dispositivos SOI MOSFETs dependem da espessura, da concentração de dopantes e da temperatura, que influenciam na extensão da camada de depleção.

Assim, o modo de funcionamento dos dispositivos SOI pode ser de três maneiras: SOI totalmente depletado (FD- *fully depleted*); SOI parcialmente depletado (PD- *partially depleted*) e dispositivos que tem a camada de depleção perto da depleção total (NFD SOI - *Near fully depleted*), depletado dependendo da tensão aplicada ao substrato.

Para esta classificação é necessária a determinação da profundidade máxima de depleção ( $x_{\text{dmáx}}$ ), que está representada na equação 2.1 [10]:

$$x_{\text{dmáx}} = \sqrt{\frac{2\varepsilon_{\text{Si}} \cdot 2\phi_{\text{F}}}{q \cdot N_{\text{A}}}} \quad (2.1)$$

onde  $\varepsilon_{\text{Si}}$  é a permissividade do silício,  $q$  é a carga elementar do elétron,  $N_{\text{A}}$  é a concentração de impurezas aceitadoras do substrato e  $\phi_{\text{F}}$  é o potencial de Fermi, dado por  $\phi_{\text{F}} = \frac{kT}{q} \cdot \ln\left(\frac{N_{\text{A}}}{n_i}\right)$  [10], onde  $k$  é a constante de Boltzmann,  $T$  é a temperatura absoluta e  $n_i$  é a concentração intrínseca de portadores.

Para o dispositivo PD SOI, a espessura da camada de silício ( $t_{\text{si}}$ ) é maior que  $2x_{\text{dmáx}}$ . Então, não há interação entre as camadas de depleção induzidas a partir da primeira interface e da segunda interface, existindo uma região neutra entre elas.

A Figura 2.2 apresenta os diagramas de faixas de energia para o transistor MOS convencional (A) e para o transistor PD SOI (B), onde  $E_{\text{C}}$  representa o nível energético inferior da faixa de condução,  $E_{\text{V}}$  o nível energético superior da faixa de valência,  $E_{\text{i}}$  o nível intrínseco,  $E_{\text{F}}$  o nível de Fermi da camada do semiconductor (silício, no caso da tecnologia SOI),  $E_{\text{FM}}$  o nível de energia do eletrodo de porta e  $E_{\text{FB}}$  o nível de Fermi do substrato.

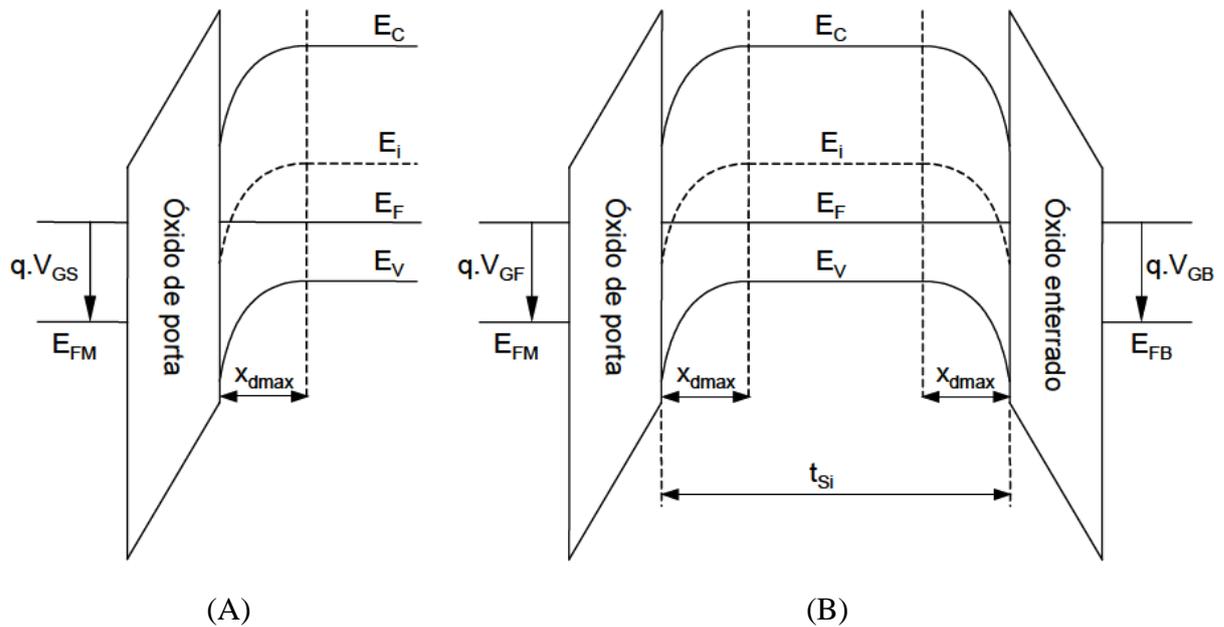


Figura 2.2 – Diagramas de faixas de energia: (A) transistor MOS convencional e (B) transistor PD SOI parcialmente depletado.

Observa-se, na Figura 2.2 (B) para transistor PD SOI, uma região neutra entre as regiões de depleção. Caso exista o contato de elétrico e este já aterrado, o dispositivo terá comportamento semelhante ao de um transistor MOS convencional. Caso contrário, esta região ficará eletricamente flutuando e o transistor apresentará efeitos de corpo flutuante [11], como efeito da elevação abrupta de corrente ( Efeito *Kink* ) e efeito bipolar parasitário.

As primeiras aplicações industriais da tecnologia SOI utilizaram a opção PD SOI [12-14], exatamente pela similaridade de operação em relação aos MOSFETs convencionais, combinada com a redução das capacitâncias de junção [15].

Se a espessura da camada de silício for menor que  $x_{dmáx}$ , as regiões de depleção da primeira e segunda interfaces estarão em contato, como apresentado na Figura 2.3. Assim, certamente, a camada de silício estará totalmente depletada para tensões de porta maiores que a tensão de limiar, independente da tensão aplicada ao substrato. Com exceção da possível presença de uma fina camada de acumulação ou inversão na segunda interface, se uma alta tensão negativa ou positiva for aplicada ao substrato, respectivamente.

Esta interação entre as regiões de depleção faz com que os potenciais de superfície da primeira e segunda interfaces ( $\Phi_{SF}$  e  $\Phi_{SB}$ ) estejam relacionados, promovendo acoplamento

eletroestático da estrutura. Neste caso, temos o dispositivo FD SOI (totalmente depletado), que apresenta características mais atrativas entre os transistores SOI, tais como redução do campo elétrico horizontal [16], maior mobilidade dos portadores na região do canal [17], menor variação da tensão de limiar com a temperatura [18], menor ocorrência de efeitos de canal curto [19], entre outras.

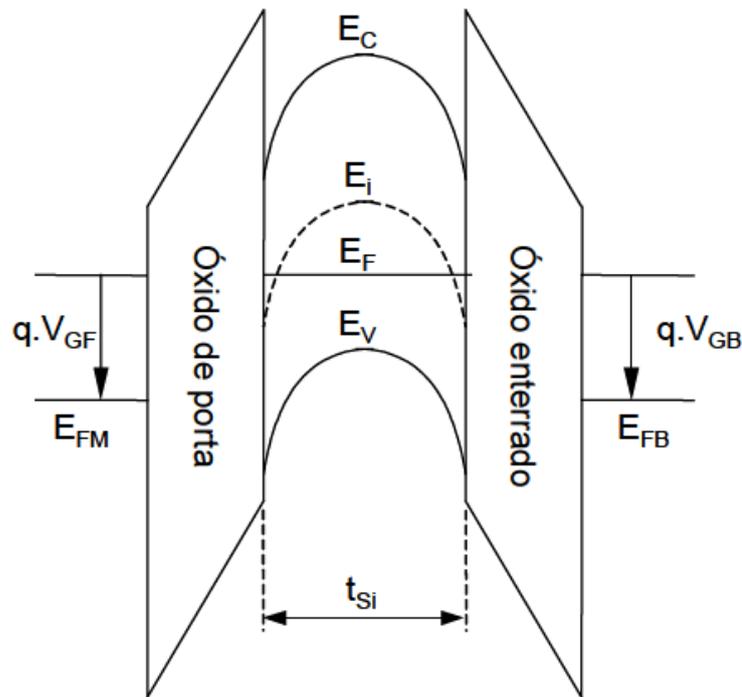


Figura 2.3 – Diagrama de faixa de energia para o dispositivo FD SOI.

Os NFD SOI, dispositivos de camada média, são aqueles que apresentam  $x_{dm\acute{a}x} < t_{Si} < 2.x_{dm\acute{a}x}$ , ou seja, as regiões de depleção da primeira e segunda interface poderão ou não, estar em contato dependendo da tensão aplicada ao substrato ( $V_{GB}$ ). Assim podendo apresentar comportamento elétrico de parcialmente ou totalmente depletado.

## 2.1.2 Vantagens do SOI totalmente depletado

Grande parte da superioridade do dispositivo FD SOI MOSFET em relação ao transistor MOS convencional e ao dispositivo PD SOI MOSFET está associado ao fator de corpo (*body factor*) [20], o qual está relacionado diretamente com a corrente fornecida pelo dispositivo e a sua inclinação de sublimiar. Este fator pode ser interpretado como uma força

contrária ao controle que a porta tem sobre o potencial de superfície na interface óxido de porta silício [20], dado por:

$$n=1+\alpha \quad (2.2)$$

onde  $\alpha$  é o fator de acoplamento capacitivo do transistor MOS, portanto apresenta um fator diferente para cada tipo de dispositivo SOI:

$$\alpha = \frac{C_D}{C_{ox}} \quad (2.3)$$

para transistores MOS convencionais e PD SOI;

$$\alpha = \frac{C_{Si}}{C_{oxf}} \quad (2.4)$$

para transistores FD SOI com a segunda interface acumulada;

$$\alpha = \frac{C_{Si}C_{oxb}}{C_{oxf}(C_{Si}+C_{oxb})} \quad (2.5)$$

para transistores FD SOI com a segunda interface depletada.

Onde  $C_D$  é capacitância da região de depleção por unidade de área igual a  $\frac{\epsilon_{Si}}{x_{dmáx}}$ ;  $C_{oxf}$  é a capacitância de óxido de porta por unidade de área, igual a  $\frac{\epsilon_{ox}}{t_{oxf}}$ ;  $C_{oxb}$  é a capacitância de óxido enterrado por unidade de área, igual a  $\frac{\epsilon_{ox}}{t_{oxb}}$ ;  $C_{Si}$  é a capacitância da camada de silício por unidade de área, igual a  $\frac{\epsilon_{Si}}{t_{Si}}$  e  $\epsilon_{ox}$  é a permissividade do óxido.

Verifica-se que o valor de  $n$  é menor nos dispositivos SOI totalmente depletados que nos dispositivos MOS convencionais [21], se aproximando da unidade. Os valores numéricos de  $n$  seguem a seguinte tendência:

$$n \text{ SOI totalmente depletado} < n \text{ MOS convencional} < n \text{ SOI com a segunda interface acumulada}$$

O fator de corpo também influencia a corrente de dreno ( $I_{DS}$ ) do transistor SOI, como demonstrado na equação da corrente na região de triodo [22]:

$$I_{DS} \cong \frac{W\mu_n C_{oxf}}{L} \left[ (V_{GF} - V_{th})V_{DS} - n \frac{V_{DS}^2}{2} \right] \quad (2.6)$$

e na região de saturação:

$$I_{DSSat} \cong \frac{W\mu_n C_{oxf}}{2Ln} (V_{GF} - V_{th})^2 \quad (2.7)$$

onde  $W$  e  $L$  são, respectivamente, largura e o comprimento de canal do transistor,  $\mu_n$  é a mobilidade efetiva dos elétrons no canal e  $V_{th}$  é a tensão de limiar do transistor.

Conforme apresentado anteriormente, o SOI totalmente depletado apresenta menor fator de corpo, que implica em uma maior intensidade de corrente quando comparado com MOS convencional e SOI com a segunda interface acumulada, com a mesma tensão de limiar e com mesma polarização.

Os transistores SOI totalmente depletados ultimamente tem sido utilizados pelas indústrias de semicondutores, devido às vantagens em relações aos outros dispositivos convencionais [23,24,25]. Resultados como redução de mais de 60% no consumo da potência [23] e redução da tensão de alimentação de circuitos analógicos para 0,5V tem sido apresentados, comprovando a sua eficiência quando comparados com MOS convencionais [25].

### 2.1.3 Principais Características Elétricas dos transistores SOI

Esta seção apresenta os principais parâmetros elétricos dos transistores SOI que serão de grande importância para análises futuras, enfatizando o comportamento de dispositivos totalmente depletados.

### 2.1.3.1 Tensão de limiar

A Tensão de Limiar ( $V_{th}$ ) [1] é o valor de tensão aplicada à porta capaz de inverter a superfície de silício, formando um canal de condução entre fonte e dreno. Esta tensão é obtida quando o potencial induzido na superfície do silício é aproximadamente  $2\Phi_F$ .

A tensão de limiar de um transistor MOS convencional é dada pela equação (2.8) [10].

$$V_{th} = V_{FB} + 2\Phi_F + \frac{qN_{af}X_{dm\acute{a}x}}{C_{ox}} \quad (2.8)$$

Onde  $V_{FB}$  é a tensão de faixa plana, igual a  $\Phi_{MS} - \left(\frac{Q_{ox}}{C_{ox}}\right)$ ,  $\Phi_{MS}$  é a diferença de função trabalho entre metal de porta e semiconductor,  $Q_{ox}$  é a densidade de carga fixa no óxido de porta por unidade de área,  $x_{dm\acute{a}x}$  é a espessura máxima de depleção,  $N_{af}$  é a concentração de impurezas aceitadoras do canal,  $C_{ox}$  é a capacitância do óxido de porta por unidade de área ( $C_{ox} = \epsilon_{ox}/t_{oxf}$ ),  $t_{oxf}$  é a espessura do óxido de porta e  $\epsilon_{ox}$  é a permissividade do óxido de silício .

No transistor PD SOI ,onde não há interação entre as duas interfaces pois  $t_{Si} > 2x_{dm\acute{a}x}$ , a tensão de limiar é a mesma como no MOS convencional, dada pela equação (2.8).

Com relação ao transistor FD SOI, onde há interação entre as regiões de depleção, pode-se obter sua tensão de limiar através das equações de Lim & Fossum [20], desprezando as armadilhas de interface:

$$V_{GF} = \phi_{MSF} - \frac{Q_{oxf}}{C_{oxf}} + \left(1 + \frac{C_{Si}}{C_{oxf}}\right) \phi_{SF} - \frac{C_{Si}}{C_{oxf}} \phi_{SB} - \frac{\frac{1}{2}Q_{depl} + Q_{nf}}{C_{oxf}} \quad (2.9)$$

$$V_{GB} = \phi_{MSB} - \frac{Q_{oxb}}{C_{oxb}} - \frac{C_{Si}}{C_{oxb}} \phi_{SF} + \left(1 + \frac{C_{Si}}{C_{oxb}}\right) \phi_{SB} - \frac{\frac{1}{2}Q_{depl} + Q_{SB}}{C_{oxb}} \quad (2.10)$$

onde  $Q_{oxf}$  e  $Q_{nf}$  são, respectivamente, as densidades de carga fixa no óxido de porta por unidade de área e de carga de inversão na primeira interface ( $Q_{nf} < 0$ ) do transistor SOI,  $Q_{depl}$  é a densidade de carga de depleção total na camada de silício por unidade de área, igual a  $-qN_A t_{Si}$ ,  $Q_{oxb}$  corresponde à densidade de carga fixa no óxido enterrado por unidade de área

e  $Q_{SB}$  é a densidade de carga de inversão ( $Q_{SB}<0$ ) ou de acumulação ( $Q_{SB}>0$ ) na segunda interface, ambos por unidade de área,  $\Phi_{MSF}$  e  $\Phi_{MSB}$  são diferenças de função trabalho entre o eletrodo de porta e de camada de silício e entre o substrato e a camada de silício.

Devido ao acoplamento entre os potenciais aplicados à porta e ao substrato, que resultam em uma dependência da tensão de limiar do SOI nMOSFET de camada fina com polarização de substrato, há equações diferenciadas segundo os seguintes casos abaixo, lembrando que estas equações abaixo só são válidas se a espessura das camadas de inversão e acumulação forem desprezíveis em relação à espessura da camada de silício.

- a) Com a segunda interface acumulada ( $V_{th, accB}$ ), onde  $\Phi_{SB}=0$ ,  $Q_{inf}=0$ ,  $\Phi_{SF}=2\Phi_F$ :

$$V_{th,accB} = \phi_{MSF} - \frac{Q_{oxf}}{C_{oxf}} + \left(1 + \frac{C_{Si}}{C_{oxf}}\right) 2\phi_F - \frac{Q_{depl}}{2C_{oxf}} \quad (2.11)$$

- b) Com a segunda interface invertida ( $V_{th, invB}$ ), onde  $\Phi_{SB}=2\Phi_F$ ,  $Q_{inf}=0$ ,  $\Phi_{SF}=2\Phi_F$ :

$$V_{th,invB} = \phi_{MSF} - \frac{Q_{oxf}}{C_{oxf}} + 2\phi_F - \frac{Q_{depl}}{2C_{oxf}} \quad (2.12)$$

- c) Com a segunda interface depletada ( $V_{th, deplB}$ ), onde  $0 < \Phi_{SB} < 2\Phi_F$ ,  $Q_{inf}=0$ ,  $\Phi_{SF}=2\Phi_F$ :

$$V_{th,deplB} = V_{thf,accB} - \frac{C_{Si} \cdot C_{oxb}}{C_{oxf}(C_{Si} + C_{oxb})} \cdot (V_{GB} - V_{GB,accB}) \quad (2.13)$$

onde  $V_{GB,accB}$  é a tensão aplicada ao substrato para que a segunda interface acumule, com  $\Phi_{SB}=0$ ,  $2\Phi_F=\Phi_{SF}$  e  $Q_{SB}=0$ .

Na Figura 2.4 o comportamento da tensão de limiar em função da variação da tensão aplicada ao substrato é apresentado:

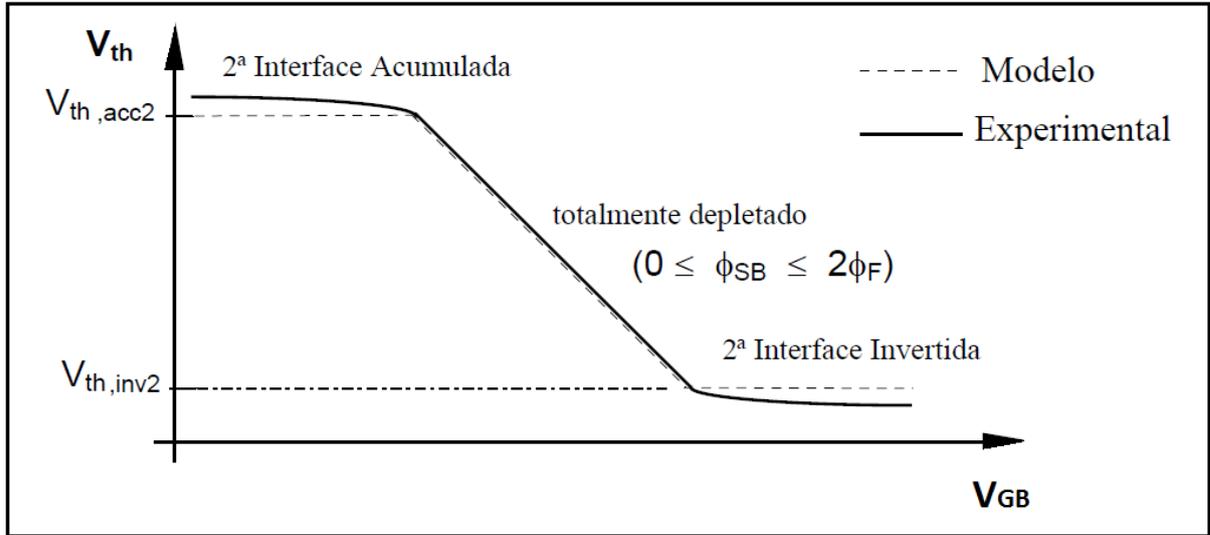


Figura 2.4 – Variação da tensão de limiar em função da tensão aplicada no substrato, indicando as condições da segunda interface com relação ao potencial aplicado ao substrato[3].

Com relação à dependência com a temperatura, em um transistor MOSFET convencional ou SOI parcialmente depletado, a tensão de limiar sofre alterações devido ao aumento do potencial de Fermi fazendo com que a parcela de armadilhas de interface ( $N_{it}$ ) seja mais significativa. Reduzindo a temperatura estas armadilhas de interface deixam de ser desprezíveis como no equacionamento da tensão de limiar demonstrado anteriormente e passa a ser descrita como [26]:

$$V_{th} = \phi_{MS} - \frac{Q_{ox}}{C_{ox}} + \frac{2 \cdot q \cdot N_{it} \cdot \phi_F}{C_{ox}} + 2 \cdot \phi_F + \frac{q \cdot N_A \cdot x_{dmax}}{C_{ox}} \quad (2.14)$$

Em transistores MOS convencionais e SOI parcialmente depletados, a densidade de carga de depleção,  $Q_{depl}$  é dada por  $Q_{depl} = -qN_A x_{dmáx}$ . Assim a equação (2.14) será reescrita, para estes transistores, com relação a temperatura na equação (2.15) [26].

$$\frac{dV_{th}}{dT} = \frac{d\phi_F}{dT} \left[ 1 + \alpha_{VT} \frac{q}{C_{oxf}} \left( \frac{\epsilon_{Si} N_A}{kT \ln(N_A/n_i)} \right)^{1/2} + \frac{qN_{itf}}{C_{oxf}} \right] \quad (2.15)$$

onde  $\alpha_{VT}=1$ .

Para SOI totalmente depletado, a espessura da camada de silício é menor que  $x_{dm\acute{a}x}$ , e a tensão de limiar é independente da profundidade da camada de depleção. Assim, a carga de depleção torna-se função da espessura da camada de silício, e sua variação com a temperatura pode ser desprezada, sendo representada pela equação (2.15) com  $\alpha_{V_T} = 0$ .

Caso o dispositivo FDSOI apresente a mesma  $N_{it}$  que um MOS convencional, a variação da tensão de limiar com a temperatura no FDSOI será menor que no MOS convencional. Caso as armadilhas de interface fossem desprezadas, a variação da tensão de limiar com a temperatura no transistor FDSOI será a própria variação de  $\Phi_F$  [3].

### 2.1.3.2 Mobilidade

A mobilidade dos portadores é definida como a facilidade com que os elétrons e lacunas atravessam a rede cristalina de um material. Este parâmetro está relacionado diretamente com a capacidade de fornecimento de energia do dispositivo. Quanto menor for a resistência do material, menor será a perda de energia, e assim, maior mobilidade dos portadores [3].

O movimento dos portadores em um cristal semiconductor não é livre e é limitado por mecanismos de espalhamento que reduzem sua mobilidade. Estes mecanismos de degradação que são fortemente dependentes da temperatura, podem ser classificados como: espalhamento de rede, espalhamento por impurezas ionizadas, espalhamento portador-portador e espalhamento por impurezas neutras [27]. A seguir serão apresentados os principais mecanismos de espalhamentos e suas respectivas dependências com a temperatura.

a) Espalhamento de rede ou por fônons (*lattice scattering*):

O espalhamento de rede está relacionado com a interação entre portadores e as vibrações na rede cristalina, que são os fônons. Com a redução da temperatura estas vibrações diminuem, aumentando a mobilidade. Para os elétrons, esse espalhamento pode ser descrito através do modelo de Sah *et al* [28] :

$$\mu_{pse} = \frac{1}{\left( \frac{1}{\mu_{0ea} \left(\frac{T}{300}\right)^{-\alpha e}} + \frac{1}{\mu_{0eb} \left(\frac{T}{300}\right)^{-\beta e}} \right)} \quad (2.16)$$

onde  $\mu_{0ea} = 4195 \text{ cm}^2/\text{Vs}$ ,  $\mu_{0eb} = 2153 \text{ cm}^2/\text{Vs}$ ,  $\alpha_e = 1.5$  e  $\beta_e = 3.13$ . Para o caso das lacunas, o índice  $e$  deve ser substituído por  $h$  e os coeficientes são dados por  $\mu_{0ha} = 2502 \text{ cm}^2/\text{Vs}$ ,  $\mu_{0hb} = 591 \text{ cm}^2/\text{Vs}$ ,  $\alpha_e = 1.5$  e  $\beta_e = 3.25$ . Neste modelo a combinação dos fônons ópticos e acústicos é feita pela regra de Mathiessen [27].

b) Espalhamento por impurezas ionizadas (*ionized impurity scattering*) :

Este mecanismo refere-se à redução da mobilidade dos portadores devido à alta concentração de dopantes. O modelo empírico de Caughey e Thomas [29] considera os mecanismos de espalhamento por rede e por impurezas em uma única equação(2.17).

$$\mu_{psie} = \mu_{min,e} + \frac{\mu_{pse} - \mu_{min,e}}{1 + \left(\frac{N_A^-}{N_{ref,e}}\right)^{\alpha_{ae}}} \quad (2.17)$$

onde  $\mu_{min,e} = 197,17 - 45.505 \cdot \log(T)$ ;  $N_{ref,e} = 1,12 \cdot 10^{17} \left(\frac{T}{300}\right)^{3,2}$  e  $\alpha_{ae} = 0,72 \left(\frac{T}{300}\right)^{0,065}$  .

Para as lacunas, o índice  $e$  deve ser substituído por  $h$  e os coeficientes são dados por onde  $\mu_{min,h} = 110,9 - 25.597 \cdot \log(T)$ ;  $N_{ref,h} = 2,23 \cdot 10^{17} \left(\frac{T}{300}\right)^{3,2}$  e  $\alpha_{ae} = \alpha_{ah}$ .

c) Espalhamento portador-portador (*carrier-to-carrier scattering*):

Este mecanismo apresenta grande influência em dispositivos que possuem alta densidade de portadores (quando esta se torna maior que a de dopantes)[30] como transistores submicrométricos ou dispositivos de potência. Para um semiconductor com concentração de dopantes aceitadores o mecanismo é dado por [30]:

$$\mu_{CC} = \frac{2 \cdot 10^{17}}{\sqrt{N_A} \cdot \ln(1 + 8,28 \cdot 10^8 \cdot T^2 \cdot N_A^{-1/3})} \quad (2.18)$$

Para semiconductor tipo n, deve-se apenas substituir  $N_A$  por  $N_D$  na equação (2.18).

d) Espalhamento por impurezas neutras (*neutral-impurity scattering*):

Este mecanismo de espalhamento está relacionado com as impurezas não ionizadas devido à baixa temperatura e tem influência na mobilidade apenas para concentrações de dopante acima de  $10^{18} \text{ cm}^{-3}$ . Para elétrons, este mecanismo pode ser modelado por [31]:

$$\mu_{ni} = C_0 \cdot \left[ \frac{2}{3} \sqrt{\frac{kT}{E_{ni,e}}} + \frac{1}{3} \sqrt{\frac{E_{ni,e}}{kT}} \right] \quad (2.19)$$

onde  $C_0 = \left( \frac{2\pi^3 q^3 m_e^*}{5\epsilon_{Si} h^3 (N_A - N_A^-)} \right) 10^{-2}$  e  $E_{ni,e} = 1,136 \cdot 10^{-19} \left( \frac{m_e^*}{m_0} \right) \left( \frac{\epsilon_0}{\epsilon_{Si}} \right)^2$ , sendo  $m_e^*$  a massa efetiva dos elétrons,  $m_0$  a massa do elétron e  $\epsilon_0$  a permissividade do vácuo [27]. Para o caso de lacunas deve-se substituir na equação (2.19) a massa efetiva dos elétrons pela das lacunas.

Estes mecanismos de espelhamento não dependem das tensões aplicadas e combinados pela regra de Mathiessen, definem a mobilidade independente do campo elétrico  $\mu_0$ :

$$\mu_0 = \left( \frac{1}{\frac{1}{\mu_{psii}} + \frac{1}{\mu_{CC}} + \frac{1}{\mu_{ni}}} \right) \quad (2.20)$$

Pode-se observar na equação (2.20) que o mecanismo de espalhamento por rede, dado por  $\mu_{ps}$ , não entra no cálculo de  $\mu_0$ , pois o termo  $\mu_{psii}$  já considera tal espalhamento juntamente com o espalhamento por impurezas ionizadas.

Na Figura 2.5 são apresentadas as componentes da mobilidade que compõe a mobilidade independente de campo em função da temperatura para uma concentração de dopantes de  $10^{17} \text{ cm}^{-3}$  [32].

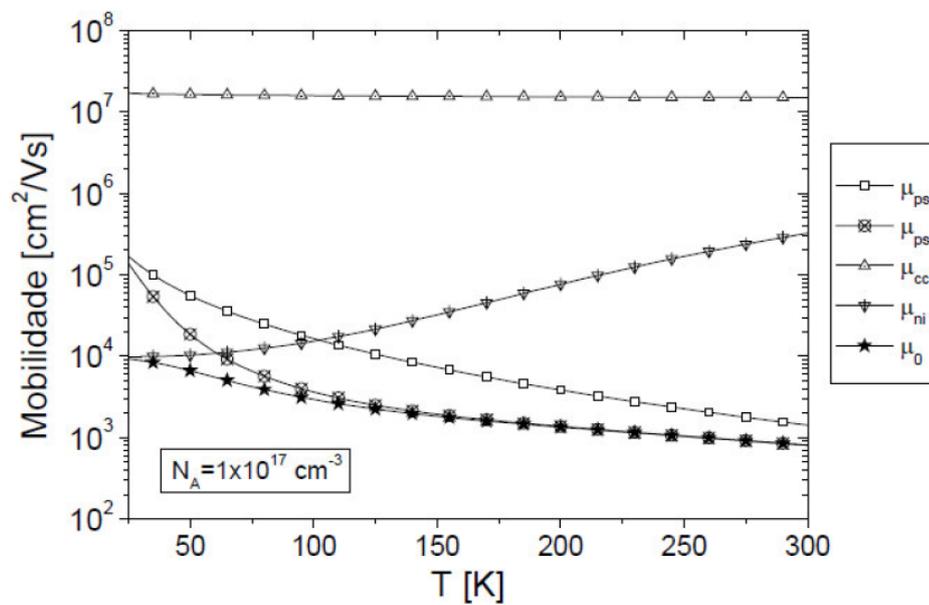


Figura 2.5 – Curva das componentes da mobilidade independente do campo em função da Temperatura [32].

A Figura 2.6 mostra a mobilidade independente de campo em função da temperatura para diversas concentrações de dopantes. Pode-se observar que o aumento de mobilidade com a redução de “T” é maior para a menor concentração [32].

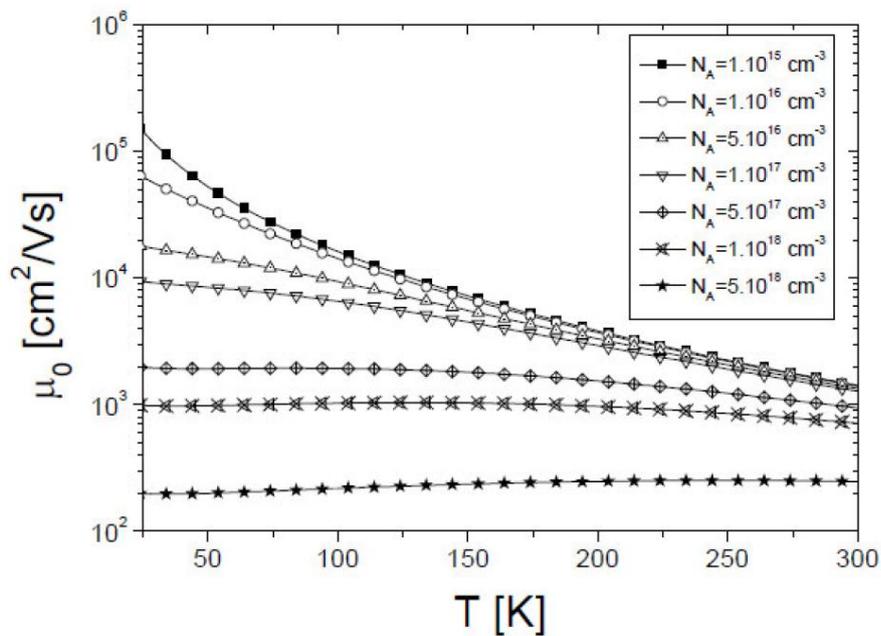


Figura 2.6 – Curva da mobilidade independente do campo elétrico pela temperatura para diversas concentrações de dopantes [32].

A aplicação de tensão à porta gera um campo elétrico vertical que atrai os portadores para a interface silício/óxido, provocando uma diminuição da mobilidade devido à rugosidade da superfície [26]. Através da saturação da velocidade, o campo elétrico lateral também contribui para a diminuição da mobilidade. Para um dispositivo SOI totalmente depletado, o campo elétrico é menor em relação ao MOS convencional, reduzindo a degradação da mobilidade [17].

A mobilidade degradada pode ser expressa pela equação (2.21) [71]:

$$\mu_{n,eff} = \frac{\mu_0}{1 + \alpha_S |E_{eff}|} \quad (2.21)$$

onde  $\alpha_S$  é o coeficiente de espalhamento e  $E_{eff}$  é o campo elétrico efetivo nas direções vertical e horizontal.

A mobilidade dependente de campo ( $\mu_{n,eff}$ ) apresenta uma dependência com a temperatura através do potencial de Fermi  $\Phi_F$ . Este potencial aumenta com a redução da temperatura, aumentando o campo elétrico efetivo e, conseqüentemente, aumentando a degradação da mobilidade [27].

### 2.1.3.3 Transcondutância

A transcondutância ( $g_m$ ) pode ser definida como a eficiência do controle da corrente de dreno pela tensão de porta do dispositivo, dada por:

$$g_m = \frac{dI_{DS}}{dV_{GF}} \quad (2.22)$$

Para transistores totalmente depletados, suas equações da transcondutância podem ser obtidas através da diferenciação das equações de corrente descritas pelo modelo Lim & Fossum [20]. Nas regiões de triodo e saturação descritas, respectivamente, nas equações (2.23) e (2.24):

$$g_m = \frac{dI_{DS}}{dV_{GF}} = \mu_n \cdot C_{ox1} \cdot \frac{W}{L} \cdot V_{DS} \quad (2.23)$$

$$g_m = \frac{dI_{DS}}{dV_{GF}} = \frac{\mu_n \cdot C_{ox1}}{(1+\alpha)} \cdot \frac{W}{L} \cdot (V_{G1} - V_{Th}) \quad (2.24)$$

Após analisar a equação (2.24) nota-se que a transcondutância em saturação depende do fator de corpo. Assim, como o fator de corpo é menor para transistores SOI totalmente depletados, maior será a transcondutância para os dispositivos de camada fina garantindo, melhor controle da corrente de dreno pela porta. Com a redução de temperatura as armadilhas de interface assumem valores significativos, não podendo mais ser desconsideradas. Assim, com a redução de temperatura, ocorre um aumento das capacitâncias de armadilhas de interface, se opondo ao aumento da transcondutância na região de saturação.

Outro ponto a ser destacado é com relação à mobilidade de portadores, nas equações (2.23) e (2.24) nota-se sua dependência direta com a transcondutância, podendo ser adotado como um parâmetro de referência para analisar a mobilidade. Com a redução da temperatura, a mobilidade aumenta e conseqüentemente a transcondutância também.

#### 2.1.3.4 Inclinação de Sublimiar

A inclinação de sublimiar (S) é o inverso da taxa de variação logarítmica da corrente de dreno ( $I_{DS}$ ) pela tensão aplicada na porta ( $V_{GF}$ ) na região sublimiar e define a variação da tensão de porta, para tensões abaixo da tensão de limiar, necessária para variar a corrente de dreno em uma década. É dada pela equação 2.25 [26].

$$S = \frac{dV_{GF}}{d(\log I_{DS})} \quad (2.25)$$

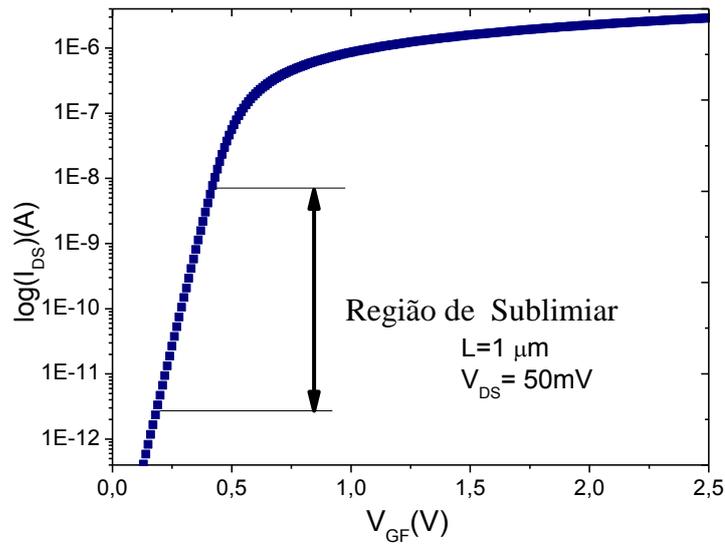


Figura 2.7 – Curva simulada  $\log(I_{DS}) \times V_{GF}$  evidenciando a região de sublimiar para  $V_{DS} = 50\text{mV}$  para um SOI MOSFET.

A inclinação de sublimiar demonstrada esquematicamente na Figura 2.7 é extraída na região de sublimiar, onde a passagem de corrente elétrica deve-se predominantemente pelo mecanismo da difusão [10].

Este parâmetro é importante para medir a velocidade de resposta do transistor MOSFET, quanto menor o seu valor, mais rápido e eficiente será o mecanismo de corte e condução do dispositivo.

Utilizando a equação da corrente de dreno em sublimiar, e algumas simplificações [33], obtém-se:

$$S = \frac{kT}{q} \cdot \ln(10) (1 + \alpha) = n \frac{kT}{q} \cdot \ln(10) \quad (2.26)$$

onde  $k$  é a constante de Boltzmann,  $T$  a temperatura absoluta,  $q$  a carga elementar do elétron e  $\alpha$  o acoplamento capacitivo.

Nota-se, então, a partir da equação (2.26), que a inclinação de sublimiar depende diretamente do fator de corpo do transistor. Como visto na seção 2.1.2, transistores SOI totalmente depletados apresentam menor fator de corpo que os outros dispositivos apresentados. Como resultado, temos que:

$$S_{FD\ SOI} < S_{MOS\ convencional} < S_{SOI\ com\ segunda\ interface\ acumulada}$$

A inclinação de sublimiar dos transistores SOI totalmente depletados aproxima-se muito do limite teórico de 60mV/dec em temperatura ambiente, enquanto que nos transistores MOS convencionais este valor é de aproximadamente 100mV/dec. Assim, menores valores de tensão de limiar podem ser utilizados, sem elevar o valor da corrente de fuga dos transistores, o que é significativo para reduzir as tensões de alimentação[34].

Considerando as armadilhas de interface, podemos reescrever as equações de acoplamento capacitivo do MOS convencional e do SOI totalmente depletado, respectivamente demonstradas abaixo:

$$\alpha = \frac{C_D + C_{it1}}{C_{ox}} \quad (2.27)$$

$$\alpha = \frac{C_{it1}}{C_{ox1}} + \frac{C_{Si}}{C_{ox1}} - \frac{\frac{C_{Si}^2}{C_{ox1} \cdot C_{ox2}}}{1 + \frac{C_{it2}}{C_{ox2}} + \frac{C_{Si}}{C_{ox2}}} \quad (2.28)$$

onde  $C_D$  é a capacitância da região de depleção,  $C_{it1} = q \cdot N_{it1}$  e  $C_{it2} = q \cdot N_{it2}$ , respectivamente, as capacitâncias das armadilhas de interface na primeira e segunda interface, onde  $N_{it1}$  e  $N_{it2}$  são as densidades de armadilhas da interface na primeira e segunda interface.

Como visto na equação (2.26), a dependência direta da inclinação de sublimiar com a temperatura, ou seja, reduzindo-se a temperatura é reduzida também a inclinação de sublimiar. Por outro lado com a redução da temperatura torna-se significativo o aumento da parcela das capacitâncias de armadilha de interface, atenuando a diminuição da inclinação de sublimiar em baixas temperaturas.

### 2.1.3.5 Efeito de Canal Curto

Com a redução do comprimento de canal, surgem efeitos indesejáveis devido a miniaturização dos dispositivos, chamados de efeito de canal curto [35]. Devido a redução do comprimento de canal, as regiões de depleção do dreno e fonte tendem a se aproximar, interferindo no controle de cargas pela porta, ou seja, a carga de depleção controlada pela porta não pode ser mais expressa por  $Q_{depl} = -q \cdot N_A \cdot X_{dmax}$ , como no MOS convencional, mas sim

como uma fração dela ( $Q_{depl,ef}$ ). Assim, quando  $Q_{depl,ef} < Q_{depl}$  haverá uma redução na tensão de limiar e um aumento da inclinação de sublimiar [10,36,37].

Conforme a Figura 2.8, é apresentado um esquema do comportamento do efeito de canal curto nos dispositivos convencionais e SOI MOSFETs. No transistor MOS convencional de canal longo, apresentado na Figura 2.8(a), mostra as regiões de depleção tanto do dreno como da fonte distanciadas, então o dispositivo é controlado praticamente pela porta ( $Q_{d1}$ ) e podem ser calculada considerando a geométrica de sua área como um trapézio, onde a base maior e a base menor são aproximadamente do tamanho do comprimento de canal(L), resultando na equação (2.29) [3]:

$$Q_{d1} = Q_{depl} = -q \cdot N_A \cdot x_{dmax} \quad (2.29)$$

Por outro lado para transistores MOS de canal curto, Figura 2.8(b), a base inferior é reduzida significativamente, devido à região de depleção próximas, assim a área das cargas a ser calculada se aproxima de um triângulo e pode ser expressa por [3]:

$$Q_{d1} = Q_{depl} \cdot \left[ 1 - \frac{r_j}{L} \cdot \left( \sqrt{1 + \frac{2 \cdot x_{dmax}}{r_j}} - 1 \right) \right] \quad (2.30)$$

onde  $r_j$  é a profundidade de junção de fonte e dreno, definida na Figura 2.8(b).

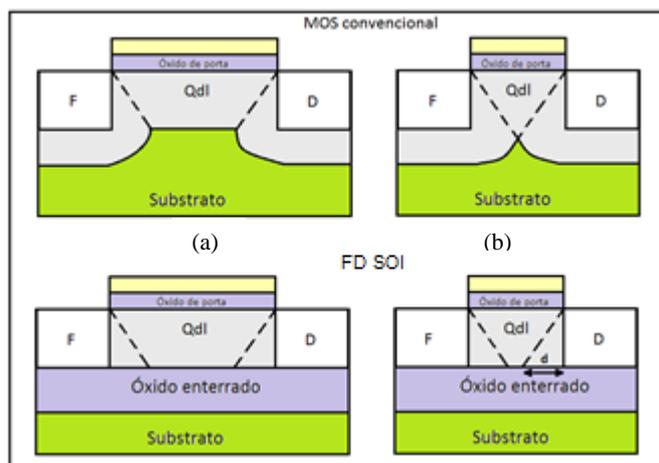


Figura 2.8 – Distribuição das cargas de depleção em dispositivos de canal longo, lado esquerdo, e a direita, efeito de canal curto, para dispositivos MOS convencionais e para SOI MOSFETs. Onde  $Q_{d1}$  é a carga de depleção controlada pela porta.

Para transistores SOI totalmente depletados, esse efeito de redução do comprimento de canal torna-se menos pronunciado, devido a presença do óxido enterrado, assim a redução do controle das cargas da região de depleção pela porta é menor.

Em transistores FD SOI MOSFETs a carga de depleção controlada pela porta nos transistores de canal longo e canal curto são dadas, respectivamente, pelas equações (2.31) e (2.32):

$$Q_{d1} = Q_{depl} = -q \cdot N_A \cdot t_{Si} \quad (2.31)$$

$$Q_{dl} = Q_{depl} \left(1 - \frac{d}{L}\right) \quad (2.32)$$

onde  $d$  é a distância definida na Figura 2.8(b) inferior.

Portanto, os transistores SOI apresentam menor efeito de canal curto, pois a redução das cargas de depleção controladas pela porta é menor.

A redução da temperatura tende a reduzir a ocorrência dos efeitos de canal curto, devido à redução da porcentagem da carga total que sofre influência das regiões de depleção de fonte e dreno [38].

### 2.1.3.6 Ionização por Impacto

Devido ao alto campo elétrico próximo ao dreno, os portadores do canal recebem energia e colidem com elétrons na rede cristalina o que gera pares elétron-lacuna. Este fenômeno é chamado de ionização por impacto [40], representado pela Figura 2.9. No caso dos transistores SOI totalmente depletados os elétrons migram para a região de maior potencial, o dreno, no caso das lacunas estas migram para parte de menor potencial, região da fonte. Como nestes dispositivos a junção fonte-corpo está polarizada diretamente devido a depleção da camada de silício, as lacunas se recombinam a fonte, sem aumentar sensivelmente o potencial de corpo, ao contrário dos transistores parcialmente depletados[3].

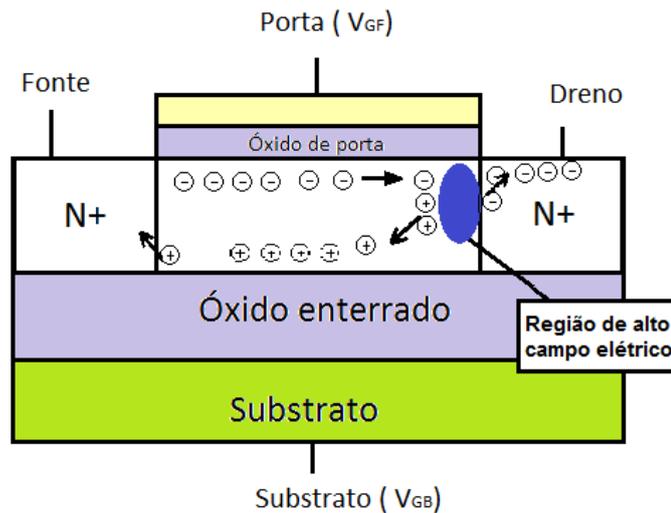


Figura 2.9 – Esquema de representação do mecanismo de ionização por impacto.

Este aumento do nível de corrente causado pela ionização por impacto pode levar a perda do controle da porta sobre a corrente ou a ruptura prematura da junção.

Com a redução da temperatura, há presença de menor quantidade de portadores na região de canal (devida à ionização incompleta das impurezas) e com menor vibração da rede cristalina, ocorre o aumento da mobilidade. Com o aumento da mobilidade e assim o aumento da energia de portadores, favorecem a geração de pares elétron-lacuna, aumentando consideravelmente a parcela de corrente proveniente da ionização por impacto, em baixas temperaturas, ocasionando no aumento da condutância de dreno na região de saturação e consequentemente a redução da tensão Early.

#### 2.1.3.6.1 Efeito da Elevação Abrupta da Corrente

Em transistores PD SOI ocorre uma anomalia na curva de saída chamada de efeito de elevação abrupta da corrente (*Kink effect*) demonstrado abaixo pela Figura 2.10, em que observa-se uma “quebra” em  $I_{DS}$  na região de saturação com alto  $V_{DS}$ .

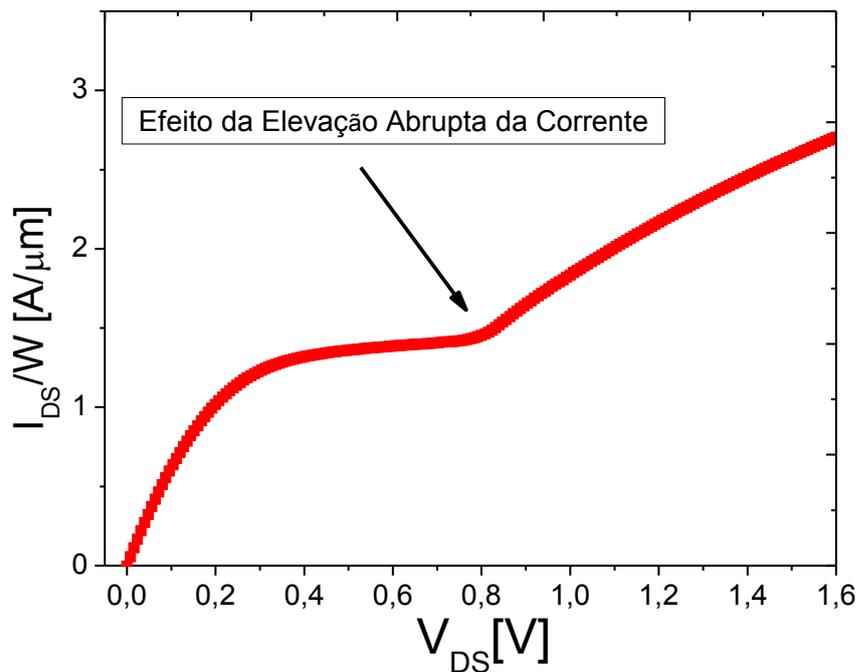


Figura 2.10 – Curva  $I_{DS}/W$  em função de  $V_{DS}$  de um transistor SOI parcialmente depletado, indicado a ocorrência do Efeito de Elevação da Corrente.

Este efeito ocorre da seguinte maneira: as lacunas geradas pelo mecanismo de ionização por impacto na região de elevado campo elétrico próxima ao dreno, migram para a região de menor potencial ao longo da camada de silício, que é a região neutra presente devido a depleção incompleta e então o potencial desta região é elevado, resultando na diminuição da tensão de limiar e, como consequência, uma elevação na corrente de dreno do transistor. A junção canal fonte então é diretamente polarizada.

Uma forma de coletar as lacunas geradas pelo mecanismo de ionização por impacto junto ao dreno é utilizar contatos de corpo.

Os transistores FD SOI são intrinsecamente imunes a este efeito, uma vez que a junção canal fonte encontra-se diretamente polarizada devido à depleção completa da camada de silício, não havendo variação na tensão de limiar com o aumento da geração de portadores por impacto junto ao dreno.

### 2.1.3.6.2 Efeitos bipolares parasitários

É peculiar aos transistores MOS a presença em sua estrutura de um transistor bipolar parasitário NPN (BJT), fonte (emissor), Canal (base) e dreno (coletor), apresentado na Figura 2.11. O BJT é ativado pelo aumento do potencial de dreno do transistor, responsável por elevar o campo elétrico nesta região e aumentar a ionização por impacto do dispositivo.

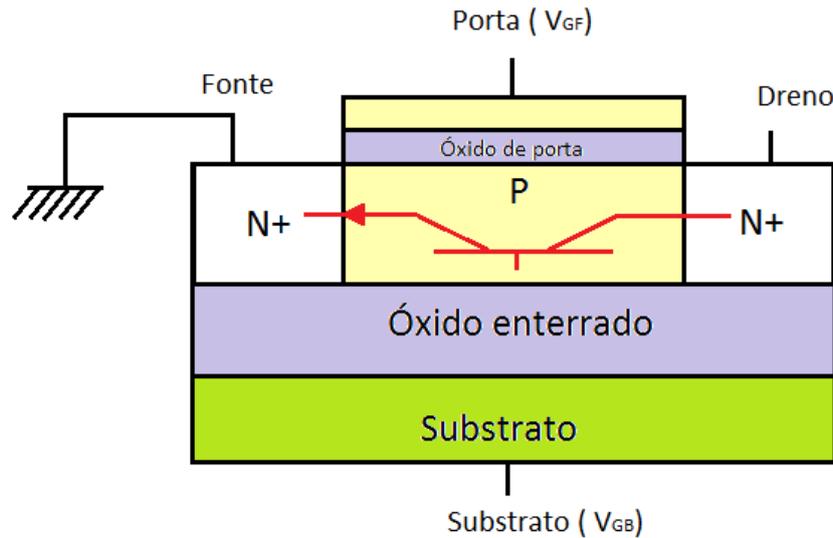


Figura 2.11 – Esquema do transistor bipolar parasitário em um SOI MOSFET.

Nos dispositivos SOI, sem contato de corpo, o canal (que é a base do transistor bipolar) está flutuando. Esse transistor bipolar pode amplificar a corrente de ionização por impacto agravando ainda mais seus efeitos. Como a concentração da fonte (emissor) é muito maior que a concentração do canal (base), uma grande quantidade de elétrons será injetada na região do canal e coletada pelo dreno (coletor) do transistor, gerando assim uma corrente de coletor relevante. Essa corrente soma-se com a corrente de dreno, aumentando a ionização por impacto, causando a ruptura prematura da junção ou perda do controle pela porta.

Assim como o efeito da elevação abrupta da corrente, os pares elétron-lacuna são gerados na região de alto campo elétrico junto ao dreno, porém ao aplicar uma tensão suficientemente grande esse efeito pode ocorrer na região de sublimar, mesmo com baixa corrente de dreno, onde as lacunas geradas pela ionização por impacto se deslocam para o canal do dispositivo, elevando o potencial desta região, diminuindo a tensão de limiar.

Como resultado temos o aumento da corrente de dreno ( $I_{DS}$ ) para uma mesma tensão aplicada à porta ( $V_{GF}$ ) ocasionando uma redução do inverso da inclinação de sublimiar ( $S$ ), podendo atingir valores menores que o limite teórico de 60mV/déc. Esse efeito pode ocorrer tanto em FD SOI e PD SOI com a superfície do silício na região da segunda interface tanto depletada, como acumulada, apresentando neste último caso efeitos ainda piores.

O problema é intensificado em dispositivos SOI de camada fina.

Da literatura tem-se a equação [41,42]:

$$I_C = \beta I_I \quad (2.33)$$

Onde  $I_C$  é a corrente de coletor,  $\beta$  o ganho de corrente do transistor bipolar parasitário e  $I_I$  a corrente de lacunas geradas pela ionização por impacto.

A corrente de lacunas geradas pela ionização por impacto é expressa por:

$$I_I = (M - 1)(I_{ch} + I_C) \quad (2.34)$$

onde  $I_{ch}$  é a corrente controlada pela porta, sem a parcela ocasionada pela ionização por impacto,  $M$  é o fator de multiplicação devido ao elevado campo elétrico.

A equação abaixo apresenta a relação entre as duas equações acima e apresenta a corrente total que flui através do canal.

$$I_{DS} = M(I_{ch} + I_C) = \frac{M I_{ch}}{1 - \beta(M - 1)} \quad (2.35)$$

Com elevação na corrente de dreno a geração de portadores por impacto aumenta, o que resulta em um ciclo com realimentação positiva, incrementando rapidamente a corrente de dreno e resultando em uma inclinação de sublimiar infinita conforme a figura 2.10 B abaixo apresentada. O disparo do transistor ocorre quando o produto  $\beta(M - 1)$  tende a 1.

O ciclo de realimentação é auto-limitado: a elevação de  $V_{GF}$  incrementa a tensão de saturação de dreno, assim reduzindo o campo elétrico próximo ao dreno e conseqüentemente a quantidade de lacunas geradas por impacto demonstrada na Figura 2.12 (B).

Considerando a variação decrescente de  $V_{GF}$ , notamos que em um determinado  $V_{GF}$  a corrente total de dreno não é mais capaz de manter o volume de ionização por impacto

necessária para sustentar a realimentação positiva, provocando uma súbita redução da corrente de dreno, o que resulta na inclinação de sublimiar infinita como na Figura 2.12 (C).

A tensão  $V_{GF}$  necessária para provocar a inclinação de sublimiar infinita, para varredura positiva em  $V_{GF}$ , é maior que a tensão necessária pra neutralizá-la na varredura negativa. Assim tem-se uma histerese conforme apresentado na Figura 2.12 B e C.

No entanto se a tensão de dreno for suficientemente alta, ocorre o fenômeno conhecido como *single-transistor latchup* (STLU) representado na figura abaixo pela letra D. Este fenômeno deve-se a tensão de dreno alta assim a corrente por ionização por impacto promove uma ativação da estrutura bipolar parasitária independente da tensão  $V_{GF}$ , perdendo o controle pela porta do dispositivo.

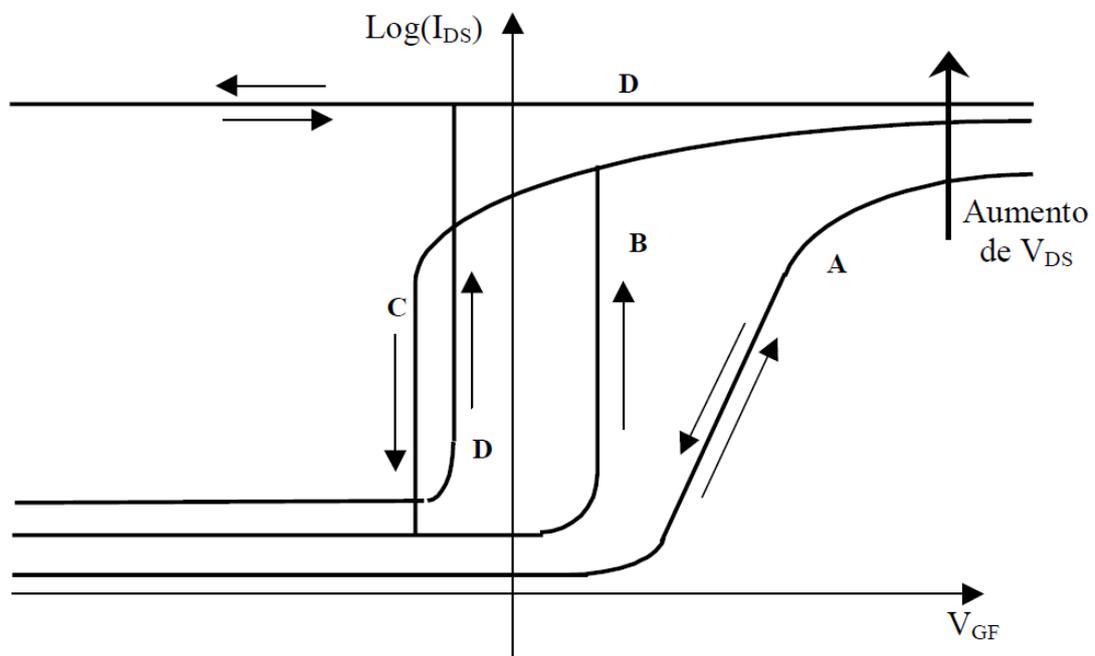


Figura 2.12 – Curvas  $I_{DS}$  em função de  $V_{GF}$ . Para a situação (A) temos o transistor em operação normal; para (B) inclinação de sublimiar infinita em varredura positiva e negativa em (C) de  $V_{GF}$  (histerese); efeito STLU(D).

### 2.1.3.6.3 Tensão de Ruptura

Devido ao campo elétrico máximo próximo à junção canal-dreno ser menor em dispositivos SOI do que em dispositivos MOS convencionais, espera-se maior tensão de ruptura dos dispositivos SOI. Contudo, a presença intrínseca do transistor bipolar parasitário com base flutuante diminui a tensão de ruptura, pois a tensão de ruptura do coletor (dreno) de

transistores bipolares com base aberta ( $BV_{CEO}$ ) é menor que quando o transistor tem sua base aterrada ( $BV_{CBO}$ ).

$$BV_{CEO} = \frac{BV_{CBO}}{x\sqrt{\beta}} \quad (2.36)$$

onde  $x$  varia tipicamente de 3 a 6, e  $\beta$  é o ganho de corrente do transistor bipolar parasitário.

Contudo pode-se observar que o dispositivo atingirá a tensão de ruptura ( $BV_{CEO}$ ) quando o produto  $\beta(M-1)$  tender a unidade. E a redução da tensão de ruptura pode ser amenizada quando o tempo de vida dos portadores minoritário é baixo.

### 2.1.4 Características analógicas dos dispositivos

Para sua análise analógica utiliza-se o circuito simples que representa um Amplificador Operacional de Transcondutância, demonstrado na Figura 2.13, com um único transistor MOS.

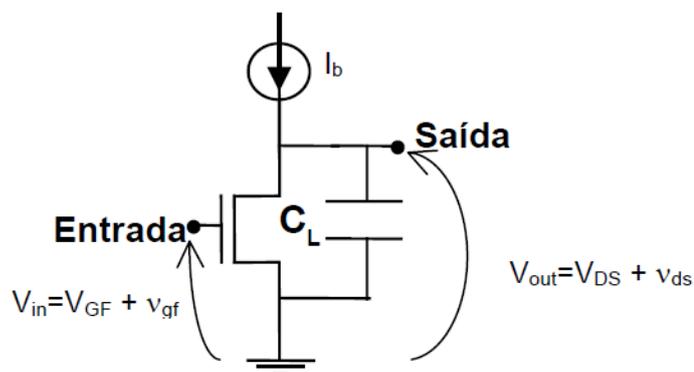


Figura 2.13 – Esquema do Amplificador Operacional de Transcondutância.

No bloco apresentado na Figura 2.13 o transistor é polarizado por uma fonte de corrente constante ( $I_b$ ), que fixa o ponto de polarização do transistor, e permite que a parcela alternada ( $V_{gf}$ ) da tensão aplicada à porta ( $V_{in} = V_{GF} + V_{gf}$ ) seja amplificada, compondo assim a parcela alternada da tensão de saída ( $V_{out} = V_{DS} + v_{ds}$ ). O ganho de tensão em malha aberta em baixa frequência é dado pela equação [43]:

$$A_V = \frac{V_{out}}{V_{in}} = \frac{g_m}{g_D} = \frac{g_m}{I_{DS}} V_{EA} \quad (2.37)$$

Onde  $g_D$  representa a condutância de saída de dreno e  $V_{EA}$  é a tensão Early.

O parâmetro  $g_m/I_{DS}$  é a medida da eficiência do dispositivo onde, a transcondutância ( $g_m$ ) está associada à amplificação fornecida pelo dispositivo e a corrente de dreno ( $I_{DS}$ ) representa a energia dissipada nesta amplificação [43].

A equação (2.38) apresenta  $g_m/I_{DS}$  no regime de inversão fraca, conforme mostrado na Figura 2.14.

$$\frac{g_m}{I_{DS}} = \frac{dI_{DS}}{I_{DS}dV_{GF}} = \frac{\ln(10)}{S} = \frac{q}{(1+\alpha)kT} \quad (2.38)$$

Para o regime de inversão forte  $g_m/I_{DS}$  [33] é dado por:

$$\frac{g_m}{I_{DS}} = \sqrt{\frac{2\mu C_{ox} \left(\frac{W}{L}\right)}{(1+\alpha)I_{DS}}} \quad (2.39)$$

Devido ao fator de corpo  $n=(1+\alpha)$ , em dispositivos SOI totalmente depletados, a relação  $g_m/I_{DS}$  é maior em dispositivos SOI totalmente depletados que em transistores convencionais. Tipicamente, o valor máximo de  $g_m/I_{DS}$  em um transistor FD SOI MOSFET é de  $35V^{-1}$ , enquanto em MOSFETs convencionais atingem cerca de  $25 V^{-1}$ [21].

A Figura 2.14 apresenta a curva da relação  $g_m/I_{DS}$  em função da corrente de dreno normalizada ( $I_{DS}/(W/L)$ ).

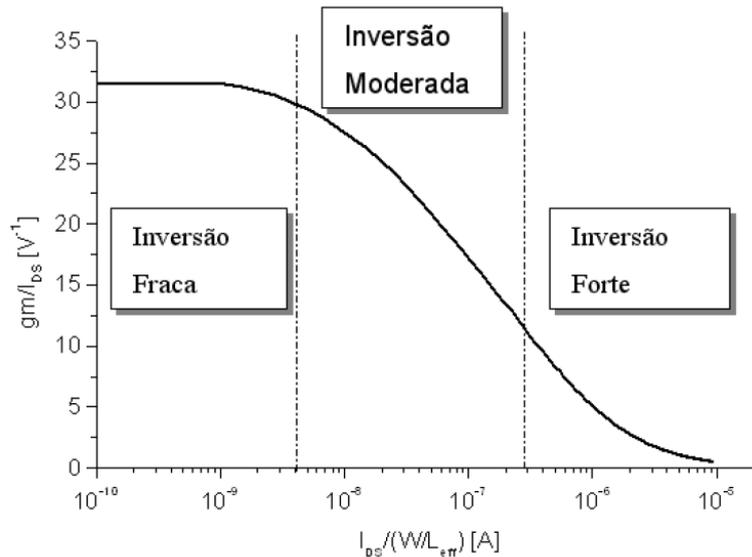


Figura 2.14 – Curva  $g_m/I_{DS}$  em função de  $I_{DS}/(W/L_{eff})$ , demonstrando a inversão fraca, inversão forte e moderada.

A partir da equação (2.38), que descreve a relação  $g_m/I_{DS}$  em inversão fraca, pode-se notar sua dependência direta com o inverso da temperatura. Já na inversão forte está é dependente da temperatura, através da raiz quadrada da mobilidade. Assim nota-se que com a redução da temperatura há aumento da relação  $g_m/I_{DS}$  nos três regimes de inversão ( fraca, moderada e forte).

Como na inversão fraca o aumento de  $g_m/I_{DS}$  tende a ser maior devido a dependência direta com a redução da temperatura, assim pode-se admitir que o fator de corpo seja independente da temperatura.

A relação  $g_m/I_{DS}$  também é utilizada para a extração de um parâmetro importante, a frequência de ganho unitário ( $f_T$ ) que é a frequência onde o ganho de malha aberta é igual a 1.

A frequência de ganho unitário ( $f_T$ ), em primeira aproximação, pode ser definida pela equação (2.40):

$$f_T = \left(\frac{g_m}{I_{DS}}\right) \cdot \frac{I_{DS}}{2\pi C_L} \quad (2.40)$$

Onde  $C_L$  é a capacitância de carga.

## 2.2 Tecnologia GC SOI MOSFET

O dispositivo GC SOI MOSFET (*Graded-Channel SOI MOSFET*) [8] foi desenvolvido de modo a satisfazer os requisitos de redução da ionização por impacto junto a região de dreno. Esta estrutura apresenta um perfil assimétrico de dopantes na região do canal do transistor, ou seja, a estrutura foi dividida em duas partes: uma com concentração de dopantes habitualmente usado em transistores SOI totalmente depletados convencionais ( $N_{AH}$ ) próximo a fonte, responsável por fixar a tensão de limiar, e do outro lado, com intuito de diminuir o termo (M-1), uma concentração reduzida perto do dreno ( $N_{AL}$ ).

Dispositivos estudados até hoje apresentavam certa limitação imposta pela tecnologia, não podendo diminuir  $L$  devido ao processo de fabricação. Para a fabricação do GC SOI foi adicionada uma etapa fotolitográfica para a dopagem parcial do canal. Nesta etapa fotolitográfica adicionada há a implantação iônica para ajuste da tensão de limiar dos transistores nMOS, que é feita apenas em uma parte do canal com uma máscara, porém quanto menor for o comprimento do canal dos transistores mais os dopantes difundem no lado menos dopado da lâmina diminuindo o  $L_{LD}/L$ , e muitas vezes eliminando a região menos dopada, dependendo da quantidade e duração das etapas térmicas do processo de fabricação.

A Figura 2.15 apresenta a seção transversal do transistor GC-SOI MOSFET.

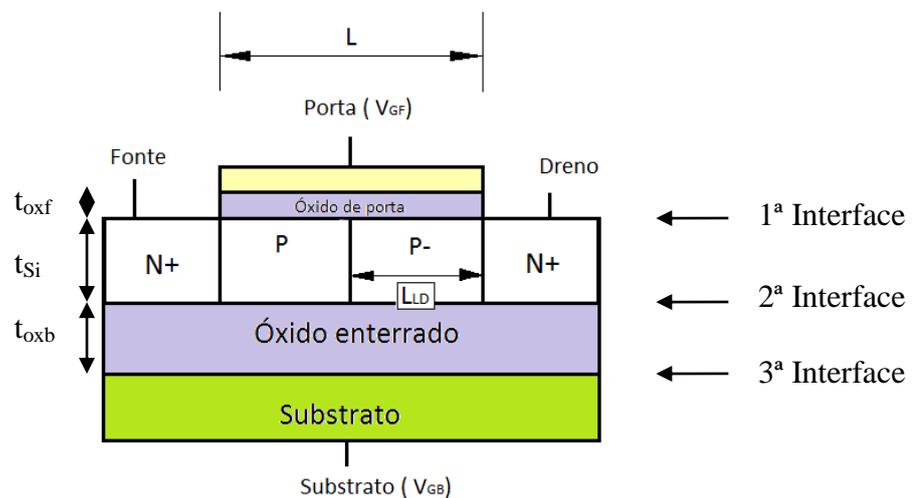


Figura 2.15 – Perfil transversal do transistor GC- SOI MOSFET.

Onde,  $t_{oxf}$  é a espessura do óxido de porta,  $t_{Si}$  é a espessura da camada de silício,  $t_{oxb}$  é a espessura do óxido enterrado,  $L$  é o comprimento de canal,  $L_{LD}$  é o comprimento do canal

com dopagem reduzida,  $N_{AL}$  e  $N_{AH}$  são concentrações do dopantes das regiões fracamente e fortemente dopadas respectivamente.

A região fracamente dopada apresenta uma tensão de limiar reduzida ou inferior a zero, encontrando-se invertida antes que a região fortemente dopada atinja a tensão de limiar do dispositivo. Deste modo, esta região pode ser interpretada como uma extensão do dreno para o interior do canal, por meio da camada de inversão assim diminuindo o comprimento efetivo do canal do dispositivo ( $L_{eff}=L-L_{LD}$ ). Esta redução da concentração de dopantes do lado do dreno, além de diminuir o comprimento efetivo do canal, causa uma diminuição na resistência de canal, uma vez que a concentração de portadores na camada de inversão da região menos dopada é inversamente proporcional à concentração de dopantes.

Diminuindo-se a concentração de dopantes em um dos lados da junção obtém-se uma redução da barreira de potencial e conseqüentemente, do campo elétrico. Com menor campo elétrico, menor quantidade de portadores é gerada por ionização por impacto, diminuindo o fator de multiplicação de corrente do transistor bipolar, responsável pela amplificação da corrente de lacunas que é injetada na fonte.

Na Figura 2.16 uma curva da corrente de dreno pela tensão de porta para os transistores GC SOI da primeira geração os quais apresentavam  $L$  mínimo de  $1\mu\text{m}$ ,  $t_{oxf}=20\text{ nm}$ ,  $t_{Si}=80\text{ nm}$ ,  $t_{oxb}=400\text{ nm}$ ,  $N_{AH}=1\times 10^{17}\text{ cm}^{-3}$  e  $N_{AL}=1\times 10^{15}\text{ cm}^{-3}$ , é demonstrada em comparação com o transistor SOI convencional. Esta curva foi medida em transistores com  $L=4\mu\text{m}$  e  $V_{DS}=0,1\text{ V}$ . No caso dos GC SOI, diversas regiões  $L_{LD}/L$  foram exploradas.

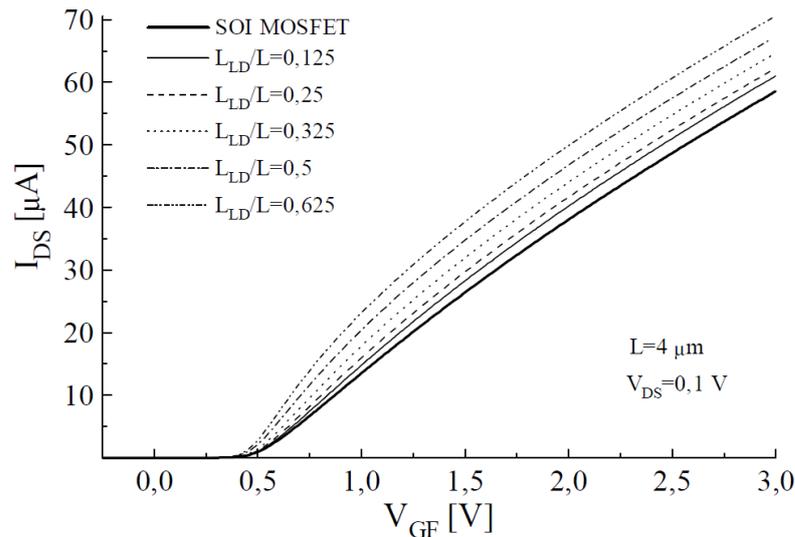


Figura 2.16 – Curvas experimentais da corrente de dreno ( $I_{DS}$ ) em função da tensão aplicada à porta ( $V_{GF}$ ), com tensão de dreno ( $V_{DS}=0,1\text{ V}$ ) para os dispositivos GC SOI [45].

Conforme a Figura 2.16 observa-se que qualquer dos transistores GC SOI MOSFET apresenta maior corrente de dreno que o transistor SOI totalmente depletado, sendo utilizado em circuitos mais rápidos. Tal fato deve-se à redução do comprimento efetivo de canal, que ocorre à medida que a relação  $L_{LD}/L$  aumenta. Este transistor mostra-se atrativo, pois promoveu elevação da corrente de dreno, sem diminuição do comprimento de porta, alterando somente o comprimento efetivo de canal.

Com base nas curvas da Figura 2.16, extraiu-se a transcondutância ( $g_m$ ) em função da tensão aplicada à porta ( $V_{GF}$ ), para os dispositivos GC SOI com diferentes relações de  $L_{LD}/L$  e SOI convencional, todos com comprimento de canal  $L=4\ \mu\text{m}$ .

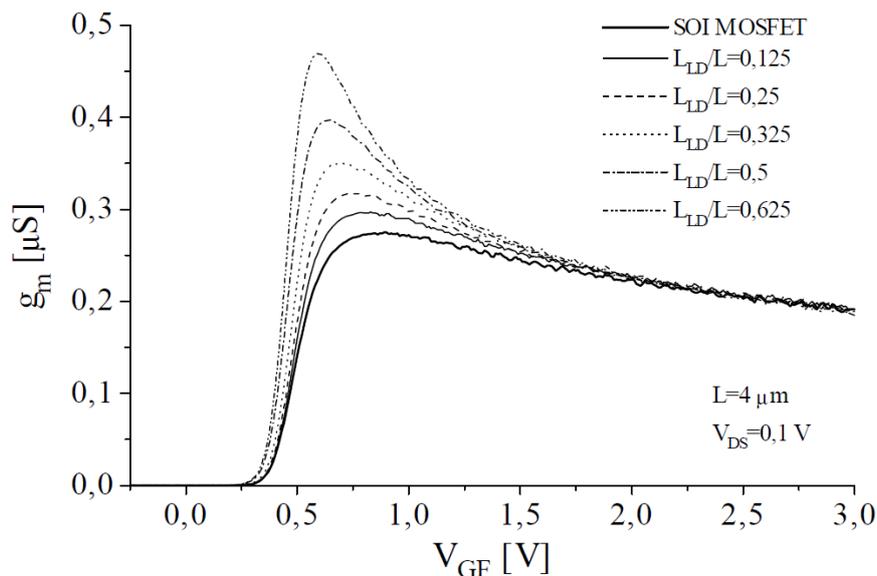


Figura 2.17 – Curvas experimentais da transcondutância ( $g_m$ ) em função da tensão aplicada à porta ( $V_{GF}$ ), com tensão de dreno de ( $V_{DS} = 0,1\text{V}$ ) para transistor de comprimento de canal igual a  $4\mu\text{m}$  [45].

A transcondutância no GC SOI é superior ao transistor SOI convencional para todas as relações de  $L_{LD}/L$  analisadas com tensões de porta inferiores a 1V, isso devido a redução do comprimento efetivo de canal com o aumento de  $L_{LD}$ . Para  $V_{GF} > 1,5\text{V}$ , a degradação da mobilidade na região fracamente dopada é responsável por provocar uma queda brusca na transcondutância, igualando a do SOI convencional [45].

A Figura 2.18 apresenta as curvas  $I_{DS}$  por  $V_{DS}$  dos transistores GC SOI com comprimento de canal de  $4\mu\text{m}$  e SOI MOSFET convencional com  $L=4\ \mu\text{m}$  e  $L=2\ \mu\text{m}$ . Estas

curvas foram obtidas todas com sobretensão de limiar de 0,5V ( $V_{GT}=V_{GF}-V_{th}=0,5V$ ), uma vez que a ocorrência de efeitos parasitários é mais pronunciada em tensões de porta próximas à tensão de limiar [46].

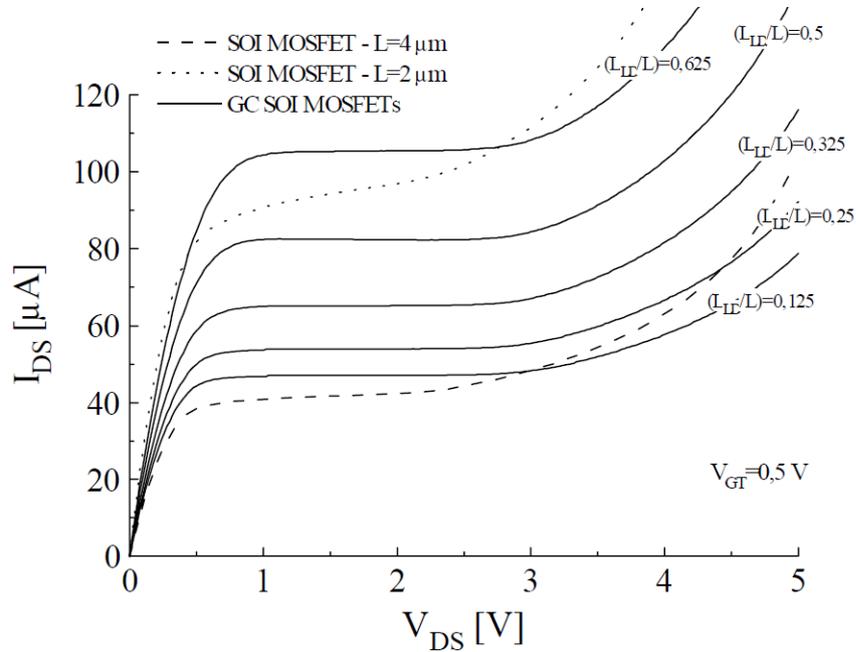


Figura 2.18 – Curvas  $I_{DS}$  x  $V_{DS}$  dos transistores GC SOI, variando a relação  $(L_{LD}/L)$ , e SOI convencional, para  $L=4\mu\text{m}$  e  $L=2\mu\text{m}$  [45].

A corrente de dreno dos GC SOI aumenta conforme aumenta a relação  $L_{LD}/L$ . Além disto, observa-se uma grande melhora na condutância de dreno dos GC SOI em relação aos transistores convencionais na faixa de tensão  $1 \leq V_{DS} \leq 3$  V. Para tensões de dreno superiores a 3 V, observa-se a ativação da estrutura bipolar parasitária, com conseqüente elevação da corrente de dreno, a qual leva o dispositivo para a região de ruptura. Entretanto, a elevação de  $I_{DS}$  é maior nos transistores SOI convencionais que nos GC SOI.

A Figura 2.19 apresenta a condutância de dreno por unidade de largura de canal ( $g_D/W=dI_{DS}/dV_{DS}$ ), para transistores GC SOI com  $L_{LD}/L$  de 0,13 e 0,51 comparando com o transistor SOI MOSFET de  $1\mu\text{m}$  e  $2\mu\text{m}$  comprimento de canal, com  $V_{GT}=0,15V$ .

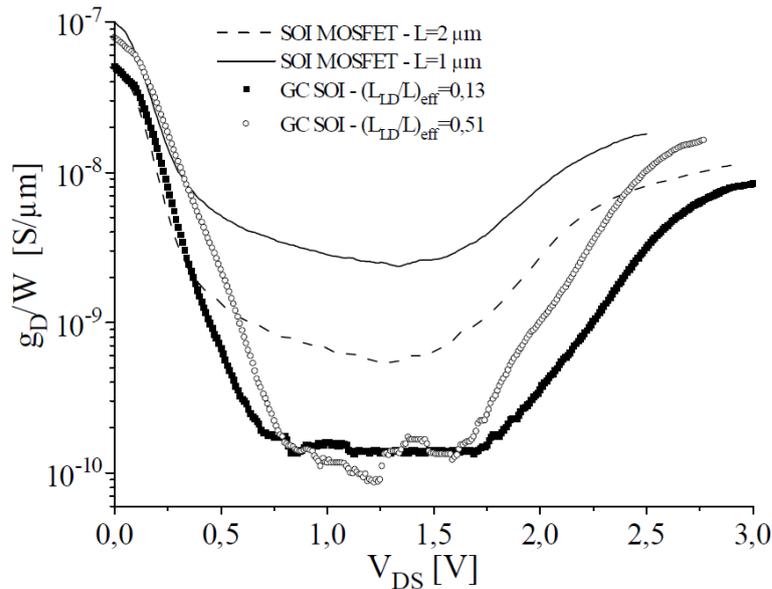


Figura 2.19 – Curvas da condutância de dreno pela tensão aplicada ao dreno para transistores GC SOI e para transistores convencionais [45].

A condutância de dreno dos GC SOI é sempre menor do que a de ambos transistores SOI convencionais. Comparando-se inicialmente os dispositivos SOI com  $L=2\ \mu\text{m}$  e GC SOI com  $(L_{LD}/L)_{\text{eff}}=0,13$ , uma redução de aproximadamente 8 vezes em  $g_D$  pode ser obtida com o GC SOI, com aumento da faixa de tensão  $V_{DS}$  para a qual  $g_D$  encontra-se em seu valor mínimo, o que é também um forte indicativo de elevação da tensão de ruptura de dreno. Similarmente, tomando-se os dispositivos SOI convencional com  $L=1\ \mu\text{m}$  e GC SOI com  $(L_{LD}/L)=0,51$ , observa-se uma significativa redução de uma ordem de grandeza e meia em  $g_D$ , também com significativo aumento da tensão de ruptura de dreno.

Além de apresentar o aumento da corrente de dreno e da transcondutância máxima, a estrutura GC SOI proporciona uma significativa melhora na condutância de dreno, devido a menor ocorrência de efeitos parasitários decorrente do alto campo elétrico junto ao dreno. Por consequência há uma elevação da tensão de Early [45], comparada com SOI convencionais a qual aumenta conforme aumenta a relação  $L_{LD}/L$ .

Levando em consideração todas as vantagens até aqui apresentadas, o transistor GC SOI surgiu como uma excelente alternativa para aplicações em circuitos analógicos [28]. Estudos realizados com espelhos de corrente apresentaram uma melhora na precisão de espelhamento, aumento de mais de 50% na excursão de saída e resistência de saída três vezes maior do que espelhos de corrente implementados com transistores SOI convencionais de

mesma dimensão. Amplificadores operacionais também foram usados para esta comparação e apresentaram um aumento no ganho de tensão, sem degradação da margem de fase [48].

## 2.3 GC SOI Submicrométrico

Recentemente, transistores GC SOI foram fabricados com dimensões submicrométricas pela OKI Semiconductors, utilizando a tecnologia SOI com comprimento mínimo de canal de 150nm,  $t_{oxf}$  igual a 2,5 nm,  $t_{Si}$  igual a 40 nm,  $t_{oxb}$  igual a 145 nm,  $N_{AH}$  equivalente a  $2 \times 10^{18} \text{ cm}^{-3}$  e  $N_{AL}$  igual a  $1 \times 10^{15} \text{ cm}^{-3}$ . A seguir serão apresentados algumas características e parâmetros encontrados nestes dispositivos submicrométricos.

As curvas de corrente de dreno em função da tensão de porta, em escala linear e em escala logarítmica, bem como a curva da transcondutância, em temperatura ambiente estão demonstradas [49] na Figura 2.20 e na Figura 2.21:

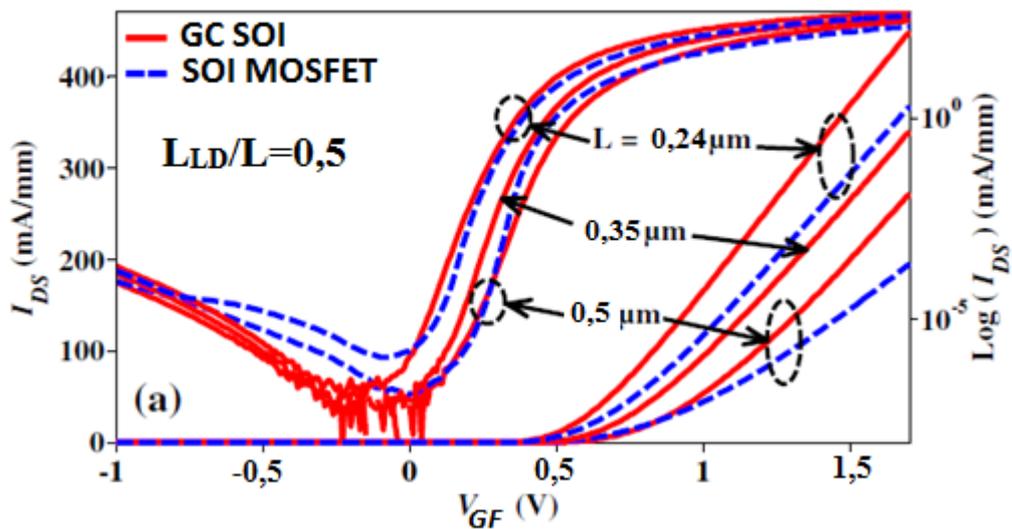


Figura 2.20 – Curva da corrente de dreno normalizada em escala linear e logarítmica para vários comprimentos de canal, comparando o GC SOI submicrométrico com o SOI convencional para um  $V_{DS}=1,7V$  [47].

Uma interessante redução na corrente de fuga do transistor GC SOI é claramente vista na Figura 2.20 onde o transistor de GC MOS de  $L=0,5 \mu\text{m}$  apresenta menor corrente de fuga que o transistor  $L=0,24 \mu\text{m}$  SOI MOSFET convencional. Além disto, em qualquer  $L$  a corrente é maior nos transistores GC SOI MOSFETs.

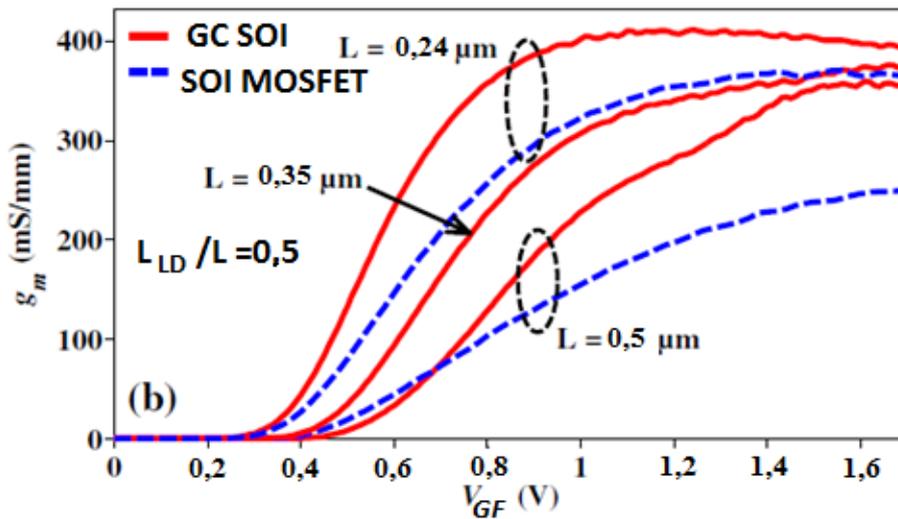


Figura 2.21 – Curva da transcondutância normalizada para vários comprimentos de canal, comparando o GC SOI submicrométrico com o nMOS convencional, com  $V_{DS}=1,7V$  [47].

Sabe-se que os transistores GC SOI MOSFETs apresentam melhores performances comparados a transistores convencionais [49]. As figuras (2.20) e (2.21) mostram que mesmo para os transistores submicrométricos, este desempenho relativo permanece inalterado, especialmente para alta polarização de  $V_{GF}$  onde a transcondutância do GC nos transistores de comprimento de canal de  $0,5$  e  $0,35 \mu m$  competem com o transistor SOI convencional de comprimento de canal de  $0,24 \mu m$ .

A Figura 2.22 apresenta a curva  $I_{DS}$  por  $V_{DS}$  dos dispositivos SOI convencional e do GC SOI ambos com  $0,24 \mu m$  de comprimento de canal. Nestas curvas está bem claro que o efeito *kink* apresentado nos dispositivos SOI convencionais foram suprimidos devido a redução da ionização por impacto na região menos dopada nos dispositivos GC SOI.

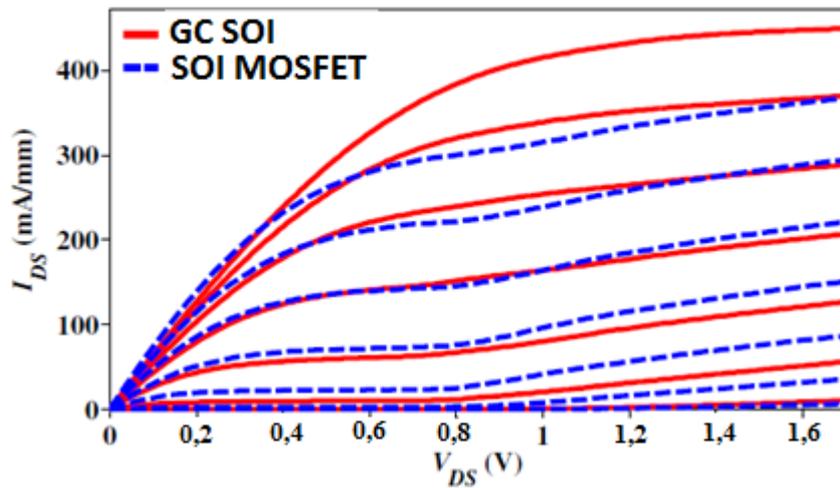


Figura 2.22 – Curvas normalizadas  $I_{DS}$  em função da tensão de dreno  $V_{DS}$  dos dispositivos GC MOS e nMOS convencional com comprimento de canal de  $0,24\mu\text{m}$ , e com  $V_{GF}=0,5$  até  $1,7\text{V}$  [47].

O desempenho dos transistores GC SOI em RF também é muito atrativa visto que é superior a transistores SOI MOSFETs convencionais [50]. A Figura 2.23 apresenta a frequência de ganho unitário em função da corrente de polarização para transistores SOI MOSFETs e para GC SOI com  $L_{LD}/L=0,5$ , ambos com  $V_{DS}=1,2\text{V}$  e  $L=0,5\mu\text{m}$ .

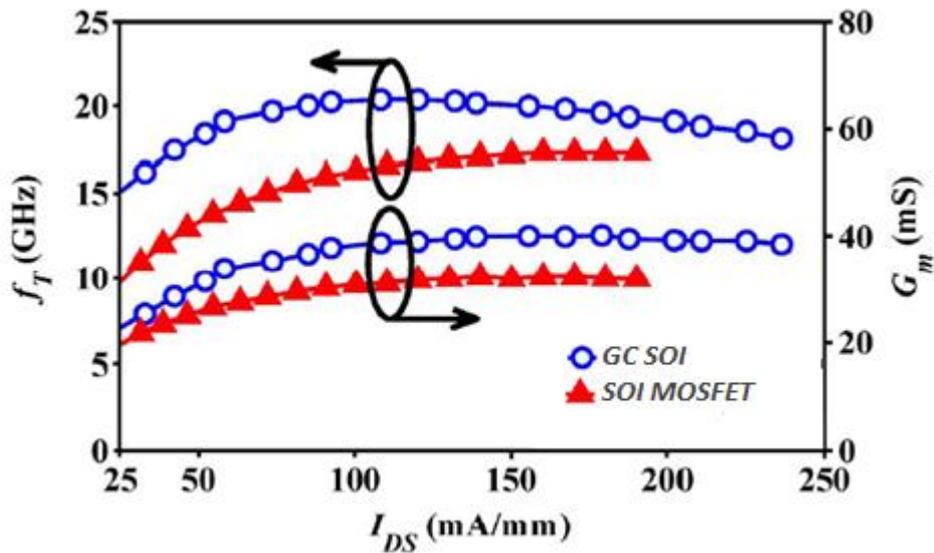


Figura 2.23 – Curvas da frequência de corte e da transcondutância pela corrente de dreno [50], comparando transistores GC SOI submicrométricos com transistores convencionais.

Considerando a Figura 2.23 fica evidente que as características analógicas e em RF do GC são altamente incrementadas, com uma frequência de corte maior do que os transistores SOI convencionais [50].

### 2.3.1 GC SOI Submicrométrico considerando a influência da redução da Temperatura

Esta seção apresenta curvas experimentais dos dispositivos GC SOI submicrométricos, com  $L_{LD}/L=0,5$ , evidenciando o comportamento dos seus parâmetros elétricos com a variação da temperatura.

A Figura 2.24 apresenta  $I_{DS}$  versus  $V_{GF}$  em escalas linear e logarítmica para dois comprimentos de canal  $L=1\ \mu\text{m}$  e  $L=0,24\ \mu\text{m}$ , ambos com  $L_{LD}/L=0,5$  e  $V_{DS}=50\text{mV}$ , variando a temperatura de 90K a 380K dos transistores GC SOI OKI.

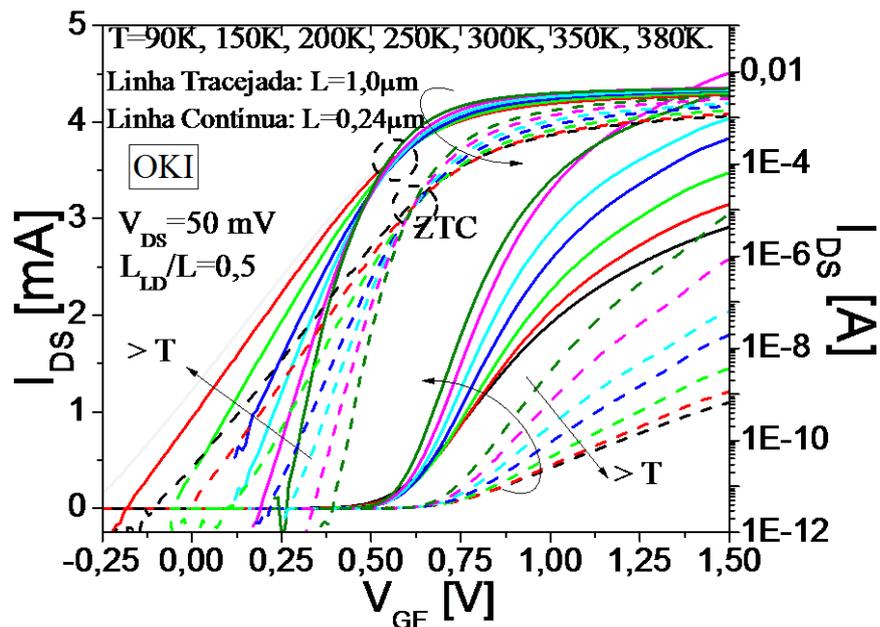


Figura 2.24 – Curvas de  $I_{DS}$  por  $V_{GF}$  em escala linear e em escala logarítmica, para dispositivos GC SOI MOSFETS OKI, com  $V_{DS}=50\text{mV}$   $L_{LD}/L=0,5$ , e para diversas temperaturas [51], as linhas contínuas são dos dispositivos de  $L=0,24\ \mu\text{m}$  e a tracejada corresponde a  $L=1\ \mu\text{m}$ .

Os dois dispositivos apresentaram um esperado decréscimo da inclinação de sublimiar, o aumento da corrente com a redução da temperatura, e um ponto de polarização invariante com a temperatura (ZTC- *zero temperature coefficient*) é encontrado[51].

A Figura 2.25 apresenta a curva da tensão de limiar com a variação da temperatura (100K a 375K), para dispositivos GC SOI obtidos de duas tecnologias diferentes: a do comprimento mínimo de canal de 150nm da OKI Semiconductors e a de 1 $\mu$ m da UCL. A tensão de limiar foi extraída através do ponto máximo da segunda derivada da curva  $I_{DS}$  em função  $V_{GF}$  com baixa polarização de dreno.

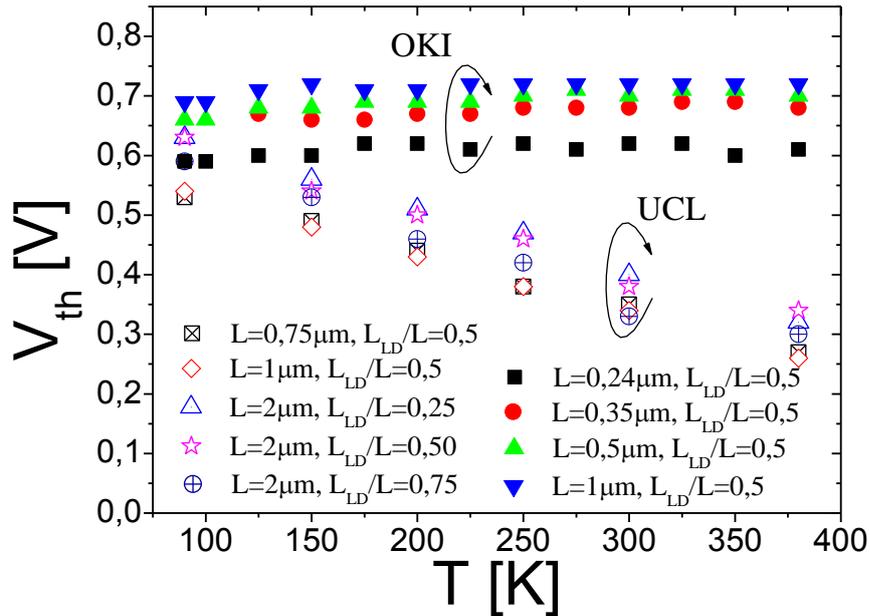


Figura 2.25 – Curva da Tensão de limiar em função da temperatura para dispositivo GC SOI da OKI e da UCL, para diferentes comprimentos de canais[51].

De acordo com a Figura 2.25, a degradação da tensão de limiar devido ao efeito de canal curto (SCE) é mais pronunciado nos dispositivos da UCL que nos dispositivos da OKI, os quais apresentam  $V_{th}$  praticamente constante com a temperatura, isto devido  $V_{th}$  ser virtualmente independente da variação da temperatura devido ao ponto ZTC encontrado na Figura 2.24, que coincide com a tensão de limiar do dispositivo [51].

A inclinação de sublimiar em função da temperatura para dispositivos GC SOI OKI, com vários comprimentos de canal e  $L_{LD}/L=0,5$ , é extraído da curva  $I_{DS} \times V_{GF}$  para  $V_{DS}=50\text{mV}$  e comparada com o limite teórico, como apresentado na Figura 2.26.

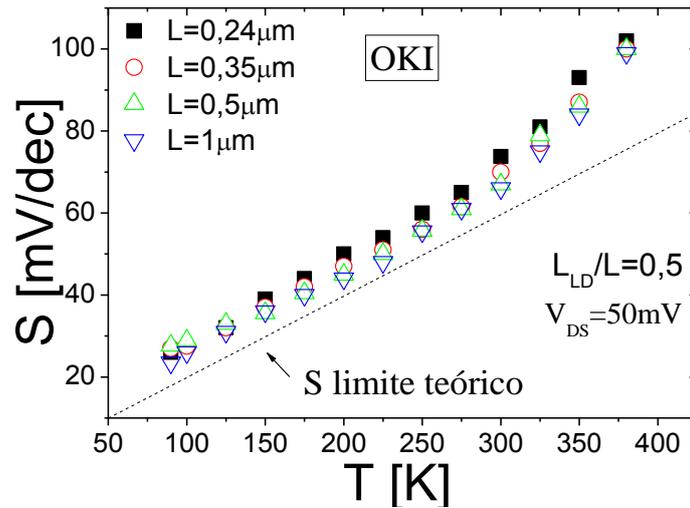


Figura 2.26 – Inclinação de sublimiar em função da temperatura para GC SOI MOSFETs OKI e para diversos comprimentos de canal [51].

Na curva Figura 2.26 nota-se que os dispositivos da OKI para todos os comprimentos de canal apresentam resultados próximos ao limite teórico até 300K. Considerando a variação de  $S$  para mesma temperatura notamos que para temperaturas mais baixas a inclinação de sublimiar permanece inalterada variando  $L$ , porém aumentando a temperatura notamos que para menores  $L$  encontramos maiores  $S$ .

A partir da curva  $I_{DS} \times V_{GF}$  foi extraído a transcondutância do dispositivo da OKI com comprimento de canal igual a  $0,24\mu\text{m}$ ,  $0,35\mu\text{m}$ ,  $0,5\mu\text{m}$  e  $1\mu\text{m}$ ,  $L_{LD}/L=0,5$ , e  $V_{DS}=50\text{mV}$  e, função da temperaturas de 90 K a 380K.

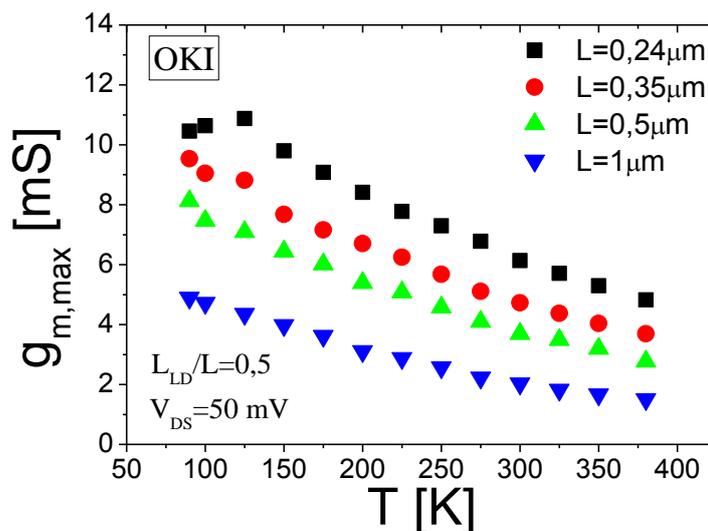


Figura 2.27 – Curva da transcondutância máxima pela variação da temperatura para diversos comprimentos de canal, com  $L_{LD}/L=0.5$  e  $V_{DS}=50\text{mV}$  [51].

A máxima transcondutância  $g_{m,máx}$  para  $V_{DS}=50mV$  é apresentado na Figura 2.27 em função da temperatura. A redução da temperatura promove um aumento da transcondutância máxima devido ao aumento da mobilidade. Nota-se que quanto menor o dispositivo mais ele sofre com a variação da temperatura, ou seja, para o dispositivo  $L=1\mu m$   $g_{m,máx}$  aumenta em aproximadamente  $3,4mS$ , no entanto nota-se que para o transistores de  $L=0,24\mu m$  reduzindo a temperatura  $g_{m,máx}$  aumenta  $6,07mS$  [51].

### 3 SIMULAÇÕES NUMÉRICAS BIDIMENSIONAIS

Nesta seção serão apresentadas as características do simulador utilizado durante todo o trabalho bem como seus modelos e a sua calibração com a finalidade de poder obter um dispositivo simulado mais próximo possível do dispositivo experimentalmente medido.

#### 3.1 O Simulador SENTAURUS

Para a determinação da estrutura inicial foi utilizado *Sentaurus Process* [52] usado para a simulação do processo de fabricação. Para posteriores simulações foram utilizados o editor *Sentaurus Structure Editor*[53], o simulador *Sentaurus Devices* [54], desenvolvidos pela Synopsys, o qual realiza a simulação numérica do dispositivo, e outros do mesmo pacote Synopsys como Tecplot [55], Inspect [56], que realizam a visualização das estruturas e dos resultados respectivamente.

O Simulador Sentaurus utiliza as leis fundamentais da física de semicondutores para a realização de suas simulações, pois calcula as características elétricas associadas a estrutura e suas condições de polarização isto devido a aproximação pelo método dos elementos finitos do dispositivo em duas ou três dimensões, com suas respectivas grades de pontos, sendo esta aproximação para cada um dos pontos da estrutura.

A seguir será apresentada uma breve descrição de cada programa empregado e modelos utilizados do Sentaurus.

Primeiramente, a geração de uma estrutura pode ser feita de três maneiras, em simulação de processo em forma de texto pelo *Sentaurus Process* [52] utilizado para gerar a primeira estrutura, em simulação de processo em modo gráfico pelo *Sentaurus Ligament Editor*, e editando as estruturas em modo gráfico e/ou modo texto pelo *Sentaurus Structure Editor*, no caso este último método no modo gráfico foi utilizado para as demais simulações realizadas. Neste modo iterativo utilizado através do ambiente gráfico são declarados as regiões, o material, e a concentração de dopantes para cada região, bem como a distribuição de grade do dispositivo com o objetivo de chegar mais próximo possível do dispositivo real.

O Sentaurus Device tem como função simular numericamente o comportamento elétrico de um dispositivo semiconductor ou de um circuito de dispositivos semicondutores, podendo ser unidimensionais (1D), bidimensionais (2D) ou tridimensionais (3D). Uma série de equações são resolvidas numericamente através de interpolações dos pontos da grade para gerar uma simulação do comportamento elétrico do dispositivo estudado. Dentre as equações são utilizadas a equação de Poisson, equação para continuidade para elétrons e lacunas, densidade de corrente, além de um pacote variado de modelos físicos e analíticos que podem ser acrescentados de acordo com a necessidade de detalhamento do comportamento de cada dispositivo. Um arquivo de simulação do dispositivo estudado está anexado no Apêndice 1.

Um software importante é o Tecplot SV, pois permite a visualização das estruturas geradas pela ferramentas inclusas no pacote Sentaurus, bem como suas regiões detalhadas, concentração de dopantes, grade, contatos, deformação. Podem ser visualizadas também através deste software parâmetros provenientes de simulações como campo elétrico, densidade de corrente e lacunas, potencial elétrico, entre outros.

O Inspect como mencionado anteriormente é também uma ferramenta que nos permite a visualização e neste caso dos resultados das curvas geradas, possibilitando analisá-las utilizando as funções matemáticas disponibilizadas para extração de parâmetros, podendo também exportá-las para outros programas auxiliares.

### **3.2 Modelos Utilizados**

Abaixo está a relação e uma breve apresentação dos modelos utilizados para que o dispositivo atingisse os mesmos parâmetros do dispositivo real.

a) PhuMob (Philips Unified Mobility Model) é o modelo de mobilidade unificado Philips, proposto por Klaasen [57], que descreve de forma unificada a mobilidade dos portadores minoritários e majoritários, assim como a dependência da mobilidade com a temperatura considerando os mecanismos de degradação da mobilidade devido ao espalhamento por impurezas e portador-portador.

b) Enormal é um modelo proposto por Lombardi [58] que considera a degradação da mobilidade nas interfaces, considerando o efeito de alto campo elétrico transversal, que aumenta a interação dos portadores com a interface semiconductor-isolante, aumentando a degradação devido aos mecanismos de espalhamento por fônons acústicos e pela rugosidade

na superfície. Depende da temperatura e da concentração de dopantes sendo descrito pela equação:

$$\frac{1}{\mu_{eff}} = \frac{1}{\mu_{sr}} + \frac{1}{\mu_{ac}} + \frac{1}{\mu_B} \quad (3.1)$$

onde  $\mu_{sr}$  descreve o espalhamento por rugosidade de superfície,  $\mu_{ac}$  descreve espalhamento de rede e  $\mu_B$  mobilidade do substrato.

c) HighFieldSaturation é um modelo de mobilidade proposto por Canali [59] que considera o alto campo elétrico, onde a mobilidade não é mais proporcional ao campo elétrico devido a velocidade de saturação dos portadores. Este modelo também considera a dependência com a temperatura.

d) IncompleteIonization: Este modelo considera a dependência da mobilidade com a temperatura devido a ionização incompleta dos portadores, considerando também, as cargas associadas aos defeitos de superfície, armadilhas de interface e o congelamento de impurezas.

e) SRH (Shockley–Read–Hall): Modelo de geração-recombinação de portadores, este processo envolve a troca de portadores entre a faixa de condução e de valência. Foi utilizado com dois sub modelos, DopingDep e TempDep, que consideram, respectivamente os efeitos da concentração de dopantes e o efeito da redução da temperatura em conjunto com tempo de vida dos portadores na recombinação.

f) Avalanche: Modelo que considera a ionização por impacto com dependência da temperatura. É uma variação do modelo de Chynoweth, proposto por van Overstraeten e de Man [60].

g) BandGapNarrowing (OldSlotboom): Este é um modelo dependente da temperatura que considera o estreitamento da faixa proibida devido ao alto campo elétrico.

## 4 DISPOSITIVOS UTILIZADOS E CALIBRAÇÃO

Nesta seção serão apresentados os dispositivos utilizados suas dimensões e características elétricas, assim, como a calibração do simulador para atingir todos os parâmetros do dispositivo real. Para a realização deste trabalho foram utilizado transistores de canal gradual da OKI Semiconductors [24] totalmente depletados com tecnologia de 0,15 $\mu\text{m}$ . Estes dispositivos apresentam espessura do óxido de porta ( $\text{SiO}_2$ ) de 2,5nm, espessura do óxido enterrado de 145nm, e espessura da camada de silício de 40 nm, concentração de dopantes do lado da fonte de  $N_{\text{AH}}= 2 \times 10^{18} \text{ cm}^{-3}$ , para a região do canal próximo ao dreno  $N_{\text{AL}}= 1 \times 10^{15} \text{ cm}^{-3}$  e as regiões de dreno e fonte dopadas com  $N_{\text{D}}= 5 \times 10^{20} \text{ cm}^{-3}$ .

### 4.1 Características do dispositivo

Os dispositivos utilizados apresentam comprimento de canal de  $L=0,24 \mu\text{m}$ ,  $L=0,35 \mu\text{m}$ ,  $L= 0.5 \mu\text{m}$  e  $1.0 \mu\text{m}$ , com 32 dedos de largura de  $2,5 \mu\text{m}$  totalizando  $W= 80 \mu\text{m}$  e outro de 96 dedos de largura de  $2,5 \mu\text{m}$ , totalizando  $W= 240 \mu\text{m}$ , um outro conjunto de dispositivos apresenta  $W=39,6 \mu\text{m}$ ,  $W=118,8 \mu\text{m}$ , e  $W=158,8 \mu\text{m}$ , todos com  $L_{\text{LD}}/L=0,5$ . O layout dos dispositivos apresenta 6 contatos sendo 4 fontes, 1 dreno e 1 porta.

### 4.2 Calibração do Simulador Senturus

Foram analisados os modelos que melhores supriam nossa necessidades quanto aos parâmetros a serem extraídos e também as condições aplicadas, como por exemplo a variação da temperatura e ao alto índice de campo elétrico aplicado.

Primeiramente foram feitas várias simulações com concentração de dopantes da região fortemente dopada para que encontrássemos a tensão de limiar igual a experimental e então encontramos  $N_{\text{AH}}=2 \times 10^{18} \text{ cm}^{-3}$ .

Na Figura 4.1 será apresentada a seção transversal do dispositivo GC SOI OKI simulado com  $L=0,5\mu\text{m}$ , concentração da região mais dopada igual a  $2 \times 10^{18} \text{ cm}^{-3}$ , e região fracamente dopada com  $1 \times 10^{15} \text{ cm}^{-3}$ , onde estas concentrações serão evidenciadas e na Figura 4.2.

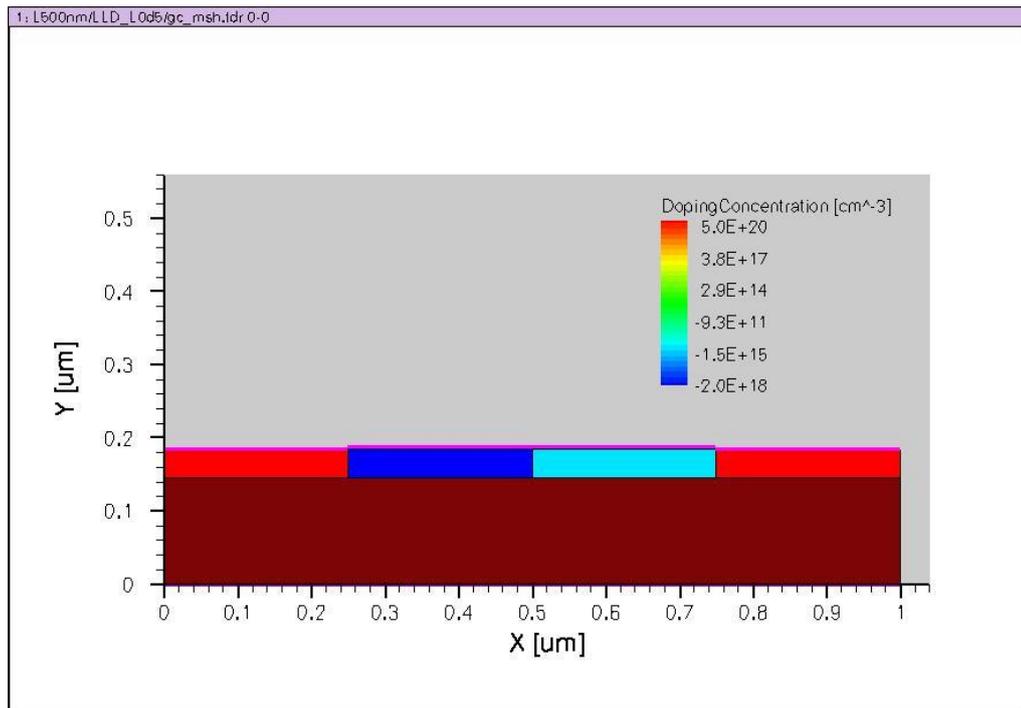


Figura 4.1 – Seção transversal de um GC SOI MOSFET gerado no Sentaurus, indicando suas concentrações.

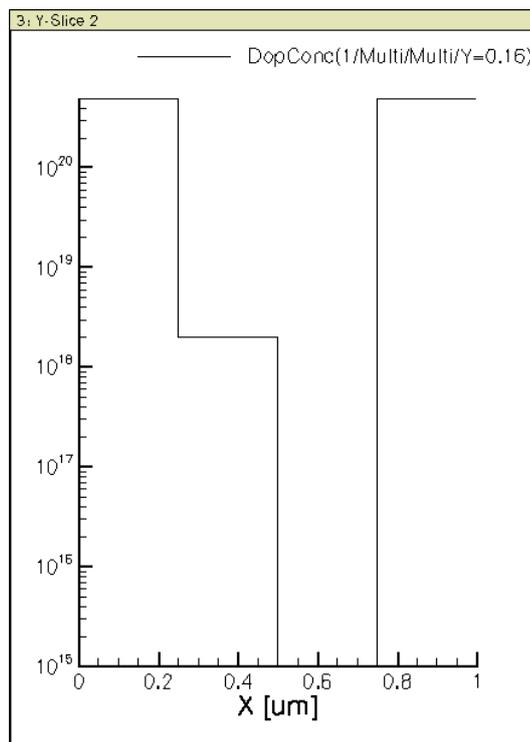


Figura 4.2 – Corte realizado na região do canal da estrutura GC SOI MOSFET demonstrando a concentração de dopantes ao longo do comprimento de canal.

Ao comparar os resultados experimentais com os simulados foi observado um alto nível de corrente do simulado em comparação ao experimental. Foi então que através de

alguns métodos de extração da mobilidade notamos que a mobilidade do dispositivo estudado era bem menor que a mobilidade imposta pelo modelo de phumob default ( $\mu_0$ ) que era igual a  $1438 \text{ cm}^2/\text{V.s}$ .

Um método descrito por Faynot [61] para extração da mobilidade, para dispositivos com a espessura da camada do oxido de porta muito finas, foi então utilizado para a extração da mobilidade de portadores dos dispositivos para serem alterados no simulador. O método consiste no uso das equações abaixo:

$$F_2(V_G) = \left[ \frac{\partial^2 \left( \frac{1}{I_D} \right)}{\partial V_G^2} \right]^{-\frac{1}{3}} = \left( \frac{2}{A} \right)^{-\frac{1}{3}} (V_G - V_T) \quad (4.1)$$

onde :

$$A = \frac{\mu_0 C_{OX} W V_D}{L - \Delta L} \quad (4.2)$$

A Figura 4.3 apresenta o método proposto por Faynot [61] e o resultado experimental do método aplicado aos dispositivos, nota-se que há uma aproximação feita na curva experimental devido alguns ruídos encontrados.

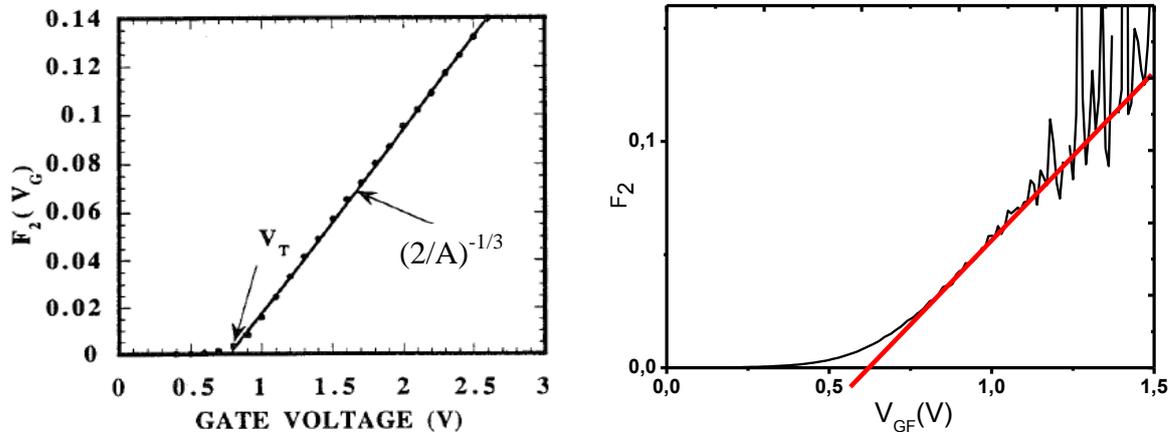


Figura 4.3 – Apresenta a direita o esquema do método proposto por Faynot para a extração da mobilidade [61] e a esquerda a curva experimental extraída do dispositivo GC SOI com  $L=0,5 \mu\text{m}$  e  $W=240 \mu\text{m}$  em linha preta contínua e em vermelho tracejado uma média para a extração da inclinação.

Conforme a figura acima demonstra a inclinação da curva  $F_2$  por  $V_{GF}$  é igual a  $(2/A)^{-1/3}$  e através da substituição na equação (4.2) obtém o valor da mobilidade de portadores.

Para o dispositivo estudado foi obtida uma mobilidade de  $\mu_0= 248\text{cm}^2/\text{V.s}$ . Então a partir deste valor calibramos o parâmetro  $\mu_0$  do modelo phumob para  $250 \text{ cm}^2/\text{V.s}$ , pois foi o que melhor se adequou aos resultados experimentais.

Foram alterados também parâmetros do modelo Avalanche (Van Over Straeten), pois foi observado que a ionização por impacto introduzida pelo modelo Avalanche era muito superior à experimental. Por esta razão, foi necessário fazer alterações nos coeficientes de ionização por impacto dos elétrons, seguindo a referencia [62]. Os coeficientes utilizados no modelo do Sentaurus foram obtidos de forma empírica por Van Overstraeten e de Man em [52], sendo eles  $a(\text{low}) = a(\text{high}) = 7,03 \times 10^5 \text{ cm}^{-1}$ ,  $b(\text{low}) = b(\text{high}) = 1,231 \times 10^6 \text{ V/cm}$ , onde para baixos campo elétricos (de  $1,75 \times 10^5 \text{ V/cm}$  a  $4 \times 10^5 \text{ V/cm}$ ) são aplicados os valores  $a(\text{low})$  e  $b(\text{low})$  e para altos campos elétricos (de  $4 \times 10^5 \text{ V/cm}$  a  $6 \times 10^5 \text{ V/cm}$ ) os valores de  $a(\text{high})$  e  $b(\text{high})$ . Por padrão os valores para os elétrons em alto e baixo campo elétrico são iguais. Os novos valores utilizados para os coeficientes de ionização por impacto para os elétrons foram:  $a(\text{low}) = a(\text{high}) = 2 \times 10^6 \text{ cm}^{-1}$  e  $b(\text{low}) = b(\text{high}) = 2,5 \times 10^6 \text{ V/cm}$ . Devido a pequena influencia das lacunas os valores dos seus coeficientes foram mantidos.

As curvas  $I_{DS} \times V_{DS}$  e a condutância de saída e as curvas  $I_{DS} \times V_{GF}$  e a transcondutância dos dispositivos GC SOI com  $N_{AH} = 2 \times 10^{18} \text{ cm}^{-3}$ , extraídas experimentalmente e simuladas, são apresentados na Figura 4.4 e na Figura 4.5 respectivamente. Tendo como objetivo de demonstrar que as curvas experimentais e simuladas apresentam uma boa concordância, representando uma ótima calibração do simulador e assim validando as simulações.

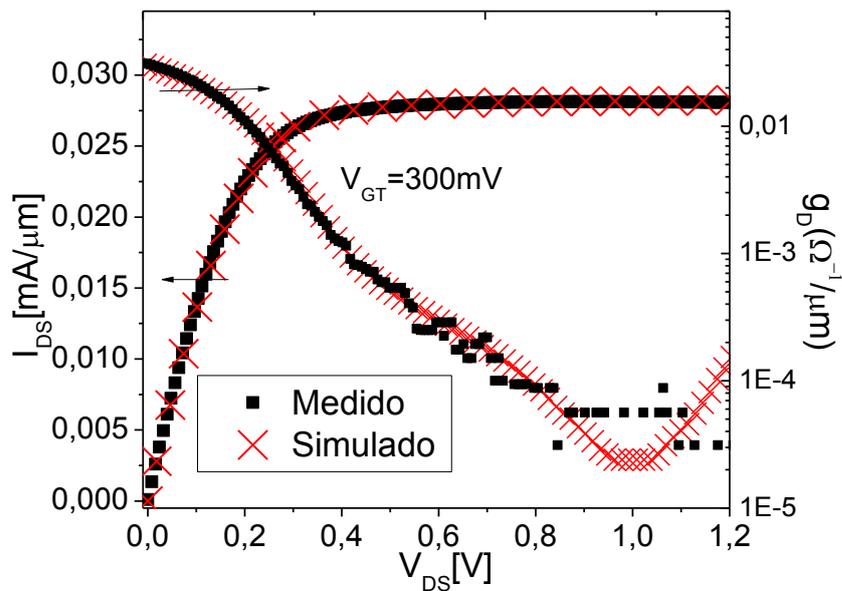


Figura 4.4 – Comparação entre curvas experimentais e simuladas da corrente de dreno em função da tensão de dreno do dispositivo GC SOI com  $L=500\text{nm}$  e com  $W=80\mu\text{m}$ , para  $V_{GT} = 300\text{mV}$ , e da condutância de dreno pela tensão de dreno.

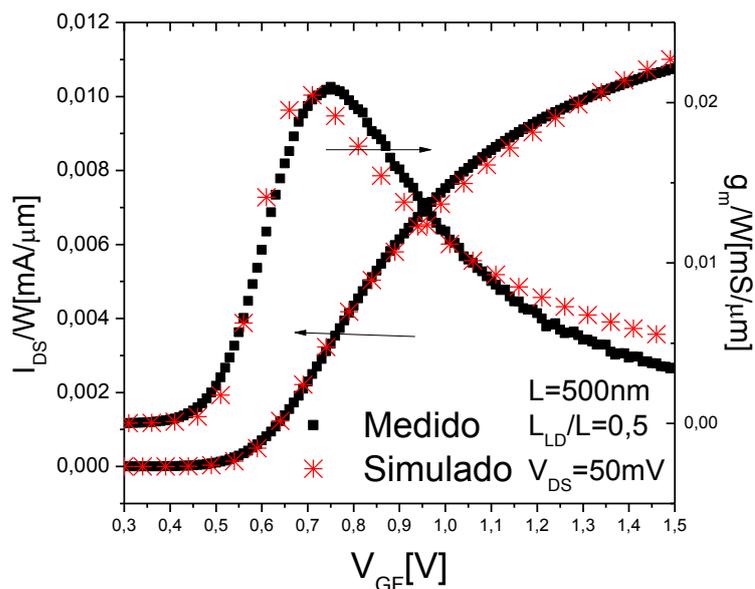


Figura 4.5 – Curvas da Corrente de dreno e da transcondutância pela tensão de porta experimentais e simuladas dos dispositivos GC SOI, com  $V_{DS}=50mV$ .

A partir destas curvas simuladas,  $g_m$ ,  $g_D$  e  $A_V$  foram extraídos e apresentados na Tabela 4.1, para compararmos com os resultados experimentais.

Tabela 4.1 – Ganho Dispositivo GC SOI OKI  $W=240\mu m$  e  $L=0,5\mu m$   $V_{GT}=100mV$

$V_{DS}(V)$	$g_m (mS/\mu m)$		$g_D(\Omega^{-1})$		$A_V$			
	Simulado	Experimental	Simulado	Experimental	Simulado		Experimental	
					(V/V)	dB	(V/V)	dB
$V_{GT}=100mV$								
<b>0,5</b>	4,03	4,63	6,28e-6	9,95e-6	641,7	56,15	465,83	53,36
<b>1,0</b>	4,51	4,56	7,71e-7	7,47e-7	5849	75,34	6104	75

Analisando a tabela notamos que os valores simulados e experimentais estão bem próximos, e que o dispositivo apresentou o ganho de tensão para  $V_{DS}=1V$  igual a 75 dB maior que o SOI convencional o qual apresentou, em outros estudos, um ganho DC igual a 60dB para  $L=1\mu m$ .

Outra calibração foi realizada para dispositivos GC SOI submicrométricos, porém com  $N_{AH}=3 \times 10^{18} cm^{-3}$ . Para este conjunto de ajustes foi utilizado dados do GC SOI experimentalmente extraídos, variando o comprimento de canal em  $L=240nm$ ,  $L=500nm$  e  $L=100nm$ , todos com  $L_{LD}/L=0,5$ . Na Figura 4.6 a curva  $I_{DS}/W$  em função de  $V_{GF}$  é

apresentada em triodo e a partir desta curva foi extraído  $g_m/W$  em função de  $V_{GF}$  e apresentada na Figura 4.7.

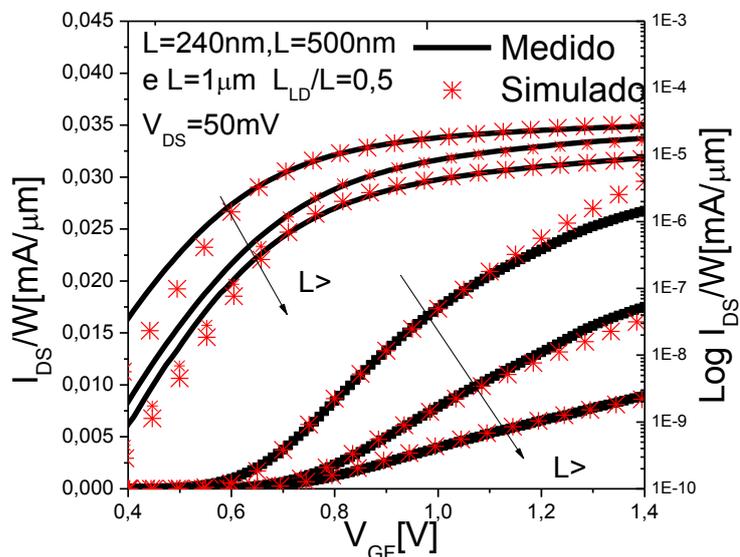


Figura 4.6 – Comparação das curvas  $I_{DS}/W$  por  $V_{GF}$  em triodo, extraídas experimentalmente e simuladas, para diversos  $L$ .

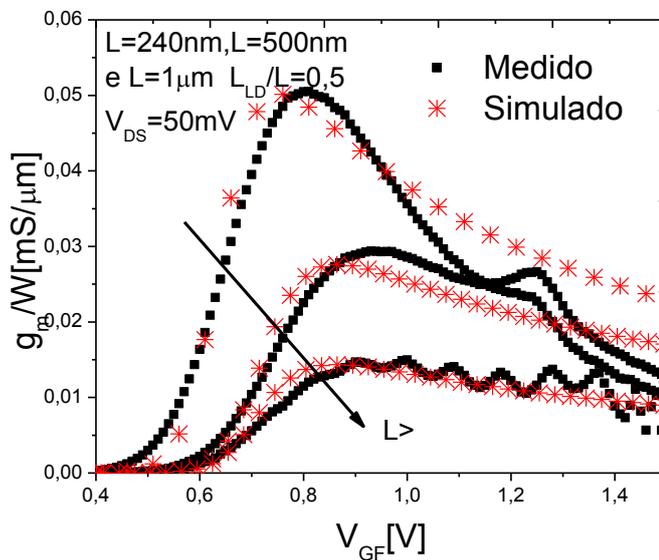


Figura 4.7 – Curvas de  $g_m/W$  em função de  $V_{GF}$  para diversos comprimentos de canal, extraídas experimentalmente e comparadas com arquivos simulados.

Curvas experimentais de  $I_{DS}/W$  em função de  $V_{GF}$  em saturação também foram utilizadas para a calibração e apresentadas na Figura 4.8, bem como curvas  $I_{DS}$  em função de  $V_{DS}$  variando o comprimento de canal são comparadas na Figura 4.9.

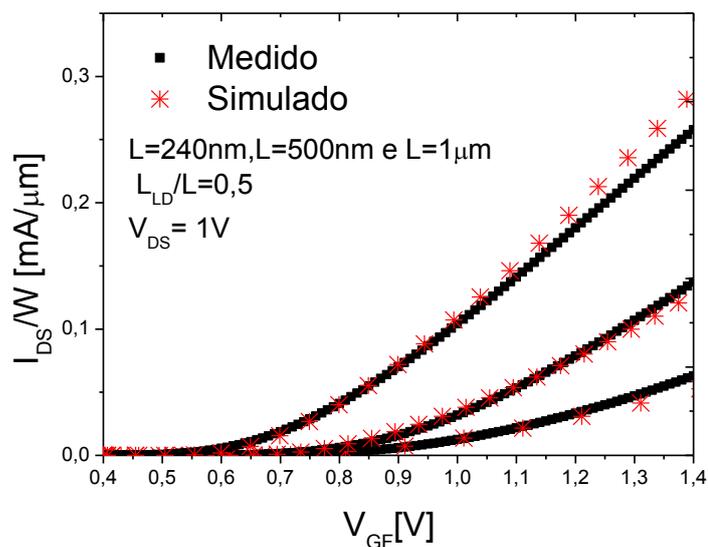


Figura 4.8 – Comparação das curvas  $I_{DS}/W$  por  $V_{GF}$  em saturação, extraídas experimentalmente e simuladas, para diversos  $L$ .

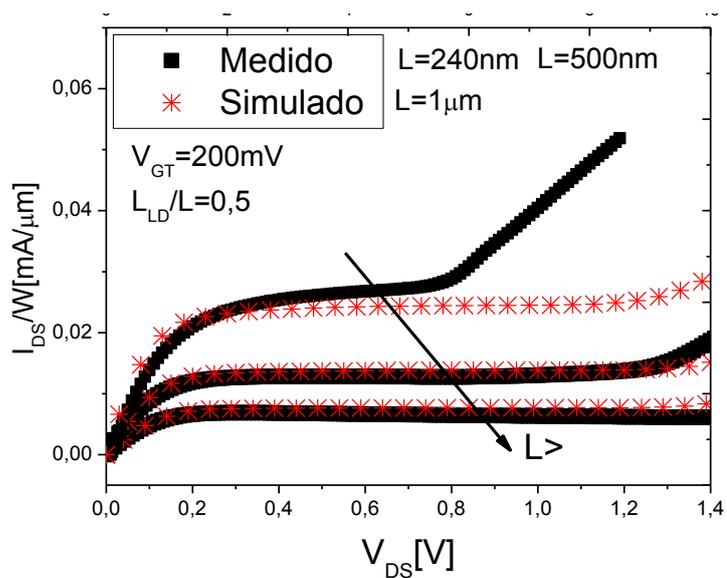


Figura 4.9 – Comparação das curvas  $I_{DS}/W$  por  $V_{DS}$  para  $V_{GT}=200\text{mV}$ , extraídas experimentalmente e simuladas, para diversos  $L$ .

A Tabela 4.2 apresenta a inclinação de sublimiar destas curvas experimentais e simuladas, para diversos comprimentos de canal. E em seguida na Tabela 4.3 a transcondutância máxima dos dispositivos simulados e dos experimentalmente extraídos são apresentados.

Tabela 4.2 – Inclinação de sublimiar para os dispositivos GC SOI da OKI simulados com diversos comprimentos de canal.

<b>L</b>	<b>S (mV/déc)</b>	
	Simulado	Experimental
<b>240nm</b>	80	78
<b>500nm</b>	83	77
<b>1000nm</b>	83	77

Tabela 4.3 – Comparação simulado experimental da transcondutância máxima para diversos L.

<b>L</b>	<b><math>g_{m,máx}</math>(mS/<math>\mu</math>m)</b>	
	Simulado	Experimental
<b>240nm</b>	0,051	0,051
<b>500nm</b>	0,028	0,029
<b>1000nm</b>	0,014	0,015

Nota-se que para a inclinação de sublimiar apresentada na Tabela 4.2 os dispositivos com L=500 nm e L=100 nm sofreram uma variação de aproximadamente 6mV/déc. Com relação a  $g_{m,máx}$  na Tabela 4.3 notamos os resultados similares entre os dados simulados e os experimentais para todos os comprimentos de canal.

## 5 RESULTADOS

Até este ponto do trabalho foram feitas inúmeras análises para garantir o ajuste do simulador Sentaurus e a partir desta validação utilizar das simulações para extrapolarmos condições não disponíveis nos conjuntos de dispositivos da OKI Semiconductor para o estudo. Nesta seção simulações dos dispositivos GC SOI da OKI serão apresentadas e analisadas considerando a influência da variação do comprimento de canal, da relação  $L_{LD}/L$ , da concentração de dopantes ( $N_{AH}$ ) e por fim da temperatura.

### 5.1 Influência do comprimento de canal $L$ nas características dos GC SOI submicrométricos

Nesta seção apresentamos simulações de algumas curvas em triodo e saturação dos dispositivos GC SOI da OKI variando comprimento de canal (150, 250, 300, 400, 500, 750, 1000 nm).

Na Figura 5.1 estão apresentadas as curvas simuladas  $I_{DS}$  em função da tensão da tensão aplicada à porta ( $V_{GF}$ ), em escala linear e logarítmica, para os dispositivos GC SOI com  $L_{LD}/L=0,5$  variando o comprimento de canal, todas com tensão de dreno igual a 50mV. A seguir, na Figura 5.2 as curvas da transcondutância em função da tensão aplicada a porta para os dispositivos GCSOI simulados são apresentados na região de triodo, para os diversos comprimentos de canal e com  $L_{LD}/L=0,5$ .

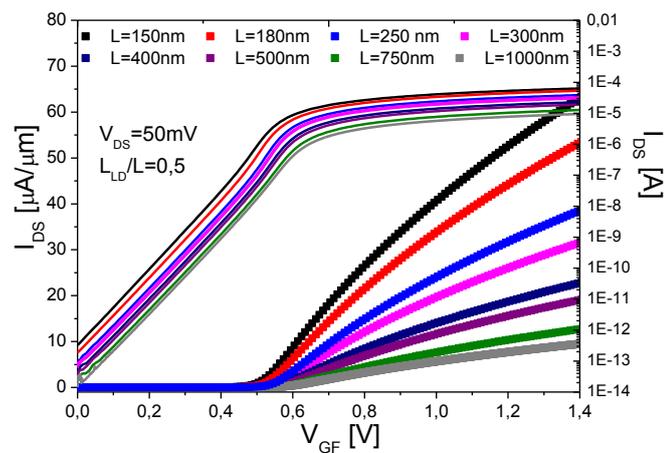


Figura 5.1 – Curvas simuladas da corrente de dreno pela tensão de porta para dispositivos GC SOI com diversos comprimentos de canal, com  $V_{DS} = 50\text{mV}$  e  $L_{LD}/L=0,5$ .

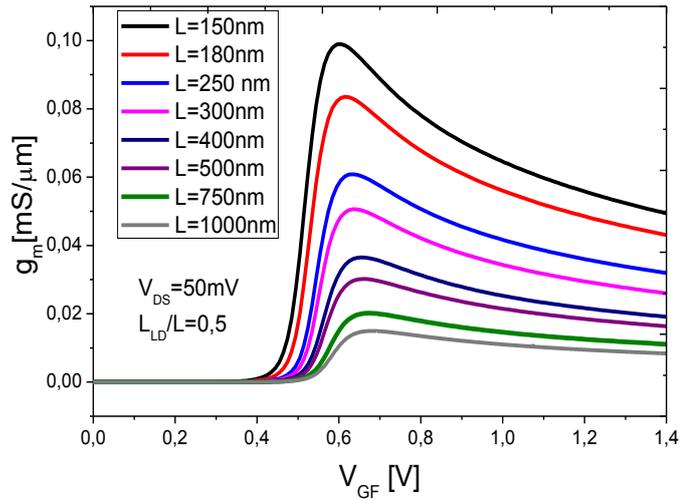


Figura 5.2 – Curva simulada da transcondutância pela tensão de porta dos dispositivos GC SOI para transistores com diversos comprimentos de canal e  $L_{LD}/L=0,5$ .

Na Figura 5.1, nota-se o maior nível de corrente para os transistores menores, e conforme há o aumento do comprimento de canal efetivo, menor é o nível de corrente de dreno, nesta figura também observa-se o comportamento da curva  $I_{DS} \times V_{GF}$  em escala logarítmica o que evidencia a região de sublimiar. Na transcondutância apresentada na Figura 5.2 notamos a mesma tendência da  $I_{DS} \times V_{GF}$ .

Uma vez que o comprimento efetivo de canal dos transistores GC SOI pode ser aproximado para o comprimento da região fortemente dopada, a corrente de dreno dos transistores GC SOI ( $I_{DS,GC}$ ) quando operando em saturação [47], pode ser expressa pela seguinte equação:

$$I_{DS,GC} = \frac{\mu_n C_{ox} f W}{2(L-L_{LD})n} (V_{GF} - V_{thF})^2 \quad (4.3)$$

Na saturação também, foram feitas simulações para apresentarem a corrente de dreno em função da tensão aplicada à porta, variando o comprimento de canal, para  $L_{LD}/L=0,5$  e com tensão de dreno igual a 0,8V apresentada na Figura 5.3. A partir destas curvas extraiu-se a transcondutância, sendo apresentada na Figura 5.4 a curvas  $g_m$  em função de  $V_{GF}$ , para todos os comprimentos de canal estudados.

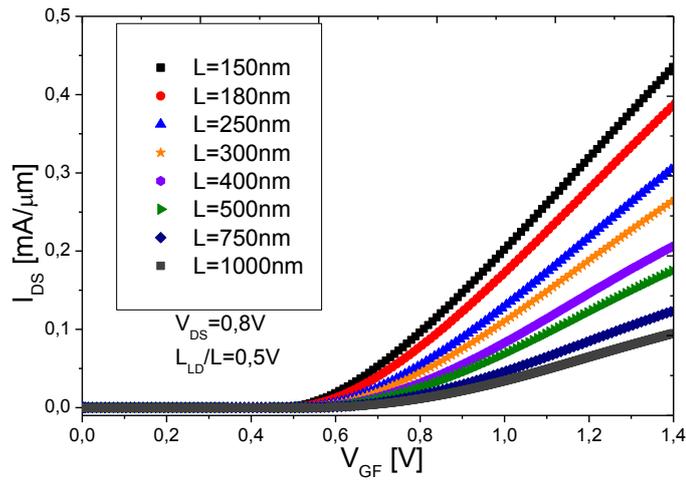


Figura 5.3 – Curvas simuladas da corrente de dreno pela tensão de porta para dispositivos GC SOI com diversos comprimentos de canal, com  $V_{DS} = 0,8V$  e  $L_{LD}/L = 0,5$ .

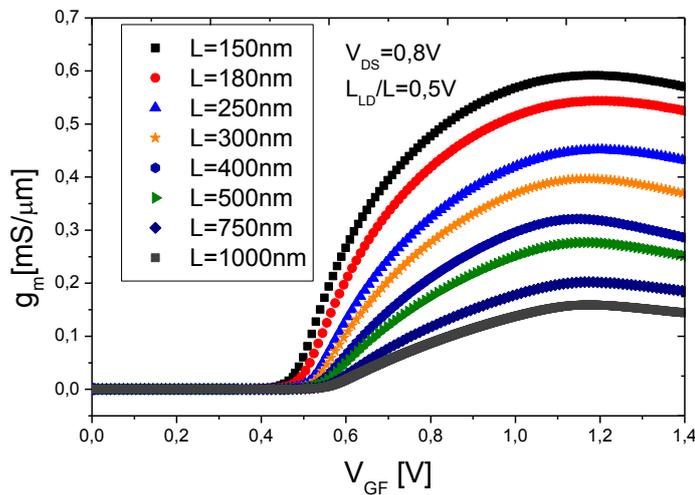


Figura 5.4 – Curva simulada da transcondutância pela tensão de porta dos dispositivos GC SOI para transistores com diversos comprimentos de canal e  $L_{LD}/L = 0,5$ , com tensão de dreno de 0,8V.

A corrente de dreno dos transistores GC SOI aumentam conforme reduzimos o comprimento de canal, e da mesma maneira a transcondutância.

Na Figura 5.5 é mostrada a curva simulada da  $I_{DS} \times V_{DS}$ , obtida com  $V_{GT} = 200mV$ , dos transistores GC SOI com  $L_{LD}/L = 0,5$ . Considerando os dispositivos apresentados Figura 5.5 extraiu-se a condutância de dreno, sendo apresentada na Figura 5.6 a curva  $g_D$  em função de  $V_{DS}$ .

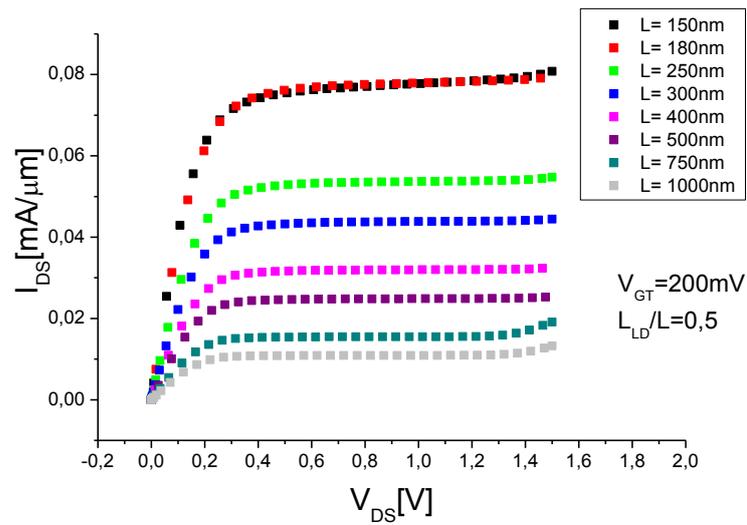


Figura 5.5 – Curva simulada da corrente de dreno pela tensão de dreno dos dispositivos GC SOI para transistores com diversos comprimentos de canal e  $L_{LD}/L=0,5$  para  $V_{GT}$  de 200mV.

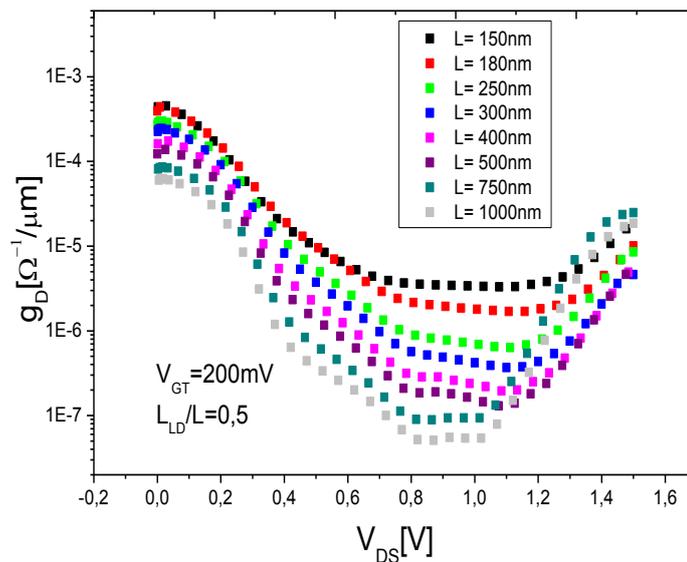


Figura 5.6 – Curva simulada da condutância de saída em função da tensão de dreno dos dispositivos GC SOI para transistores, com diversos comprimentos de canal e  $L_{LD}/L=0,5$  para  $V_{GT}$  de 200mV.

Comparando os resultados na Figura 5.5 dos transistores GC SOI, observa-se uma melhora nas características de saída do GC SOI quanto menor seu comprimento de canal. Na Figura 5.6, notou-se que quanto maior o comprimento de canal melhor a condutância de saída.

## 5.2 Influência do comprimento $L_{LD}$ nas características dos GC SOI submicrométricos

A partir do ajuste do simulador apresentado até agora por diversos parâmetros, foram simulados os transistores GC SOI variando a relação  $L_{LD}/L$ , ou seja, condições não disponíveis experimentalmente. A partir destes resultados obteve-se a tensão de limiar, extraída através do ponto máximo da segunda derivada da curva  $I_{DS}$  em função  $V_{GF}$  com baixa polarização de dreno, para diversos comprimentos de canal, e variando também a relação  $L_{LD}/L$  para cada dispositivo e comparando com o SOI convencional representado pelo  $L_{LD}/L=0$ .

Tabela 5.1 – Tensão de limiar para os dispositivos GC SOI da OKI simulados com diversos comprimentos de canal e  $L_{LD}/L$ .

$L_{eff}$	$V_{th}$ (V)					
	$L_{LD}/L=0$	$L_{LD}/L=0,1$	$L_{LD}/L=0,2$	$L_{LD}/L=0,3$	$L_{LD}/L=0,4$	$L_{LD}/L=0,5$
<b>150nm</b>	0,562	0,559	0,554	0,551	0,528	0,514
<b>180nm</b>	0,563	0,563	0,555	0,554	0,543	0,524
<b>250nm</b>	0,610	0,574	0,574	0,564	0,554	0,544
<b>300nm</b>	0,609	0,584	0,574	0,574	0,564	0,554
<b>400nm</b>	0,611	0,586	0,584	0,574	0,570	0,565
<b>500nm</b>	0,611	0,593	0,589	0,584	0,574	0,564
<b>750nm</b>	0,611	0,603	0,603	0,593	0,583	0,582
<b>1000nm</b>	0,611	0,607	0,58	0,590	0,593	0,585

Analisando os valores de tensão de limiar, apresentada na Tabela 5.1, fica evidente que quanto menor o comprimento de canal mais o dispositivo sofre uma degradação. Para o transistor de comprimento de canal igual a 1000 nm notou-se que há um decréscimo de até 5% na tensão de limiar, para o transistor de  $L=500$  nm a degradação chega em até 8%, sendo que para o transistor de 150nm esta degradação atingiu 9% com relação ao transistores SOI convencional ( $L_{LD}/L=0$ ).

Curvas simuladas do ganho intrínseco pela relação do comprimento de canal do lado fracamente dopado por comprimento de canal total são apresentadas na Figura 5.7 para diversos comprimentos de canal.

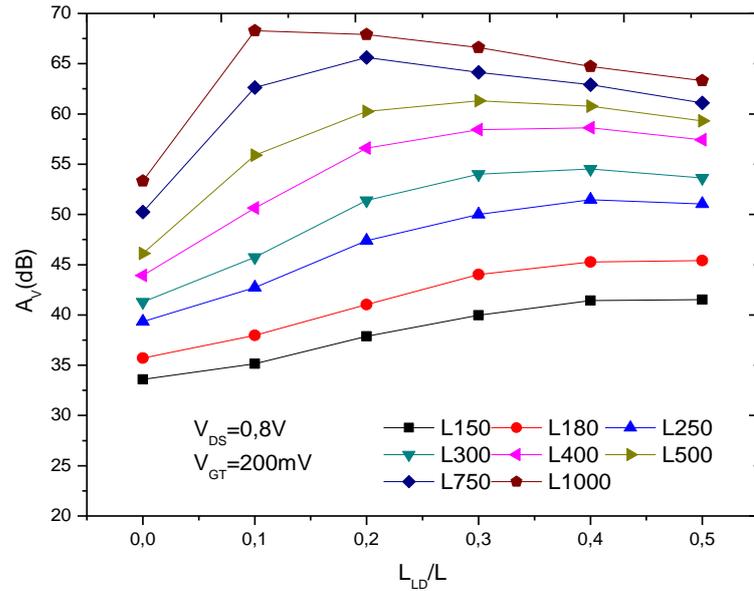


Figura 5.7 – Curva do ganho intrínseco de tensão por  $L_{LD}/L$  para diversos  $L$  com  $V_{DS}=0,8V$  e  $V_{GT}=200mV$ , dos dispositivos GC SOI MOSFET.

Em estudos recentes com dispositivos GC SOI da UCL com comprimento de canal de  $1 \mu m$  já demonstraram um grande avanço no ganho DC [63]. O máximo  $A_V$  encontrado ocorre com  $L_{LD}/L$  igual a 0,39 e 0,47, atingindo 60dB. No entanto os dispositivos GC SOI OKI estudados com  $L=1\mu m$  apresentaram o ganho intrínseco de tensão máximo de 68 dB para  $L_{LD}/L=0,1$ . Comparando estas duas tecnologias é evidente que os transistores OKI apresentam um acréscimo de aproximadamente 8dB.

Através da Figura 5.7 observou-se que para o transistor de  $L=1000$  nm encontra-se o maior  $A_V$  para  $L_{LD}/L=0,1$  que corresponde a  $L_{LD}=100nm$ , já para o transistor de  $L=400nm$  em  $L_{LD}/L=0,3$  com  $L_{LD}=120nm$ , para  $L=250nm$  o maior ganho encontra-se próximo a  $L_{LD}/L=0,4$  que corresponde a  $L_{LD}=100nm$ . A partir desta análise notamos que os maiores resultados de  $A_V$  para cada comprimento de canal foram obtidos próximo de  $L_{LD}=100nm$ . Na Figura 5.8 também apresenta  $A_V$  por  $L_{LD}$  porem enfatizando o comportamento de  $A_V$  para cada valor de  $L_{LD}/L$  através das linhas tracejadas.

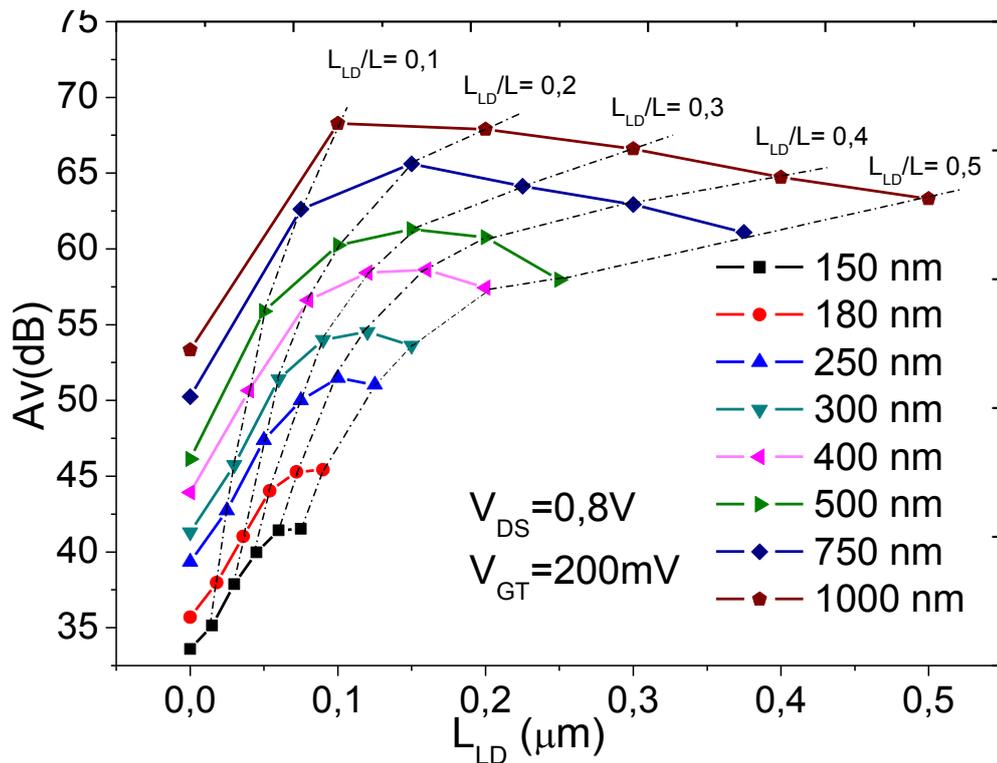


Figura 5.8 – Simulação do ganho intrínseco de tensão em função do comprimento da região menos dopada para GC MOSFET OKI, com diversos  $L$  e  $L_{LD}$ , extraídos com  $V_{DS}=0,8V$  e  $V_{GT}=V_{GF}-V_{Th}=200mV$ , e sobrepostas as curvas de ganho de tensão para a variação de  $L_{LD}/L$ .

A partir das curvas acima foi possível notar que o transistor GC SOI MOSFET com  $L=1\mu\text{m}$  apresentou um ganho máximo de 68dB, que ocorre com  $L_{LD}/L=0,1$ , e assim para todos os outros comprimentos de canal que apresentaram seu melhor ganho na região de  $L_{LD}=100\text{nm}$  aproximadamente. Assim, concluímos que os dispositivos nestas condições de operação apresentam seu melhor desempenho na região de operação com  $L_{LD} = 100\text{nm}$  independente do comprimento de canal [64].

As curvas de transcondutância, frequência de ganho unitário e condutância de dreno estão apresentadas na Figura 5.9, Figura 5.10 e na Figura 5.11 respectivamente.

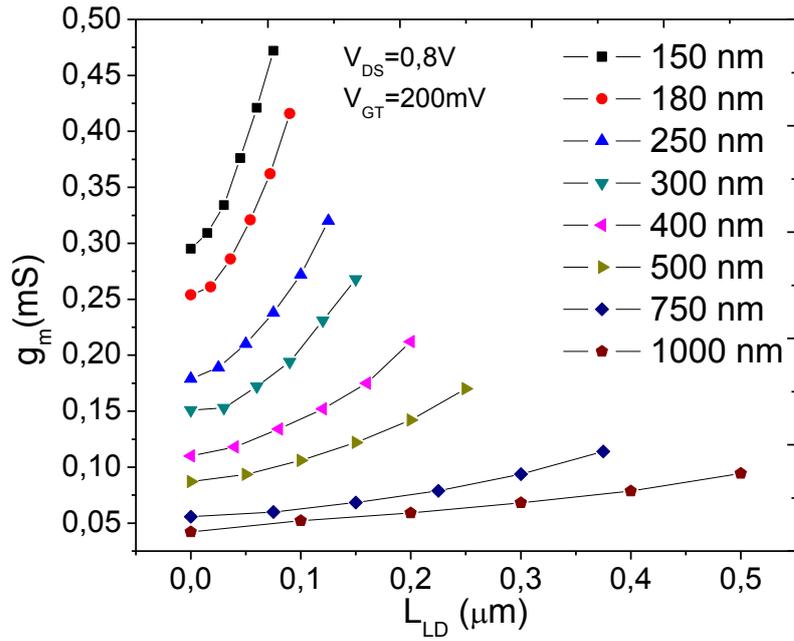


Figura 5.9 – Curva da Transcondutância( $g_m$ ) vs Comprimento da região fracamente dopada ( $L_{LD}$ ) para todos os comprimentos de canal estudados, para  $V_{DS}=0,8\text{V}$  e  $V_{GT}= 200\text{mV}$ .

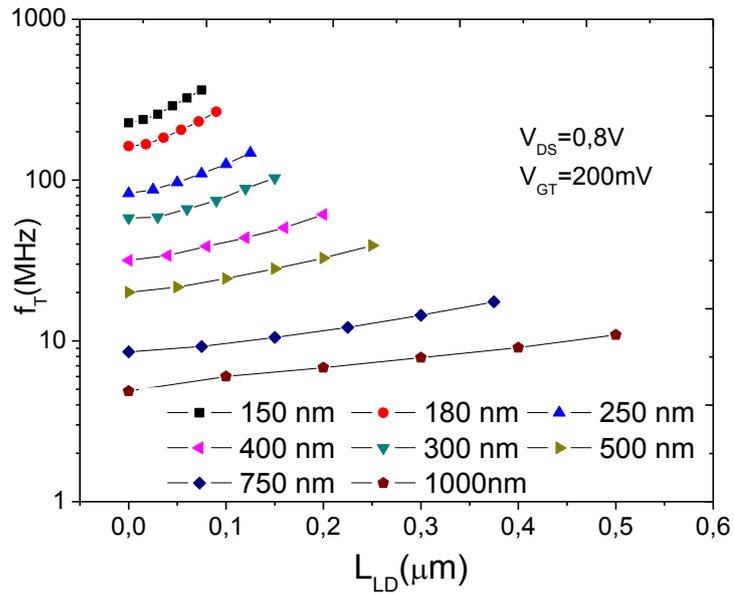


Figura 5.10 – Curva simulada do frequência de ganho unitário em função do comprimento de canal da região fracamente dopada, para GC SOI , com  $V_{DS}=0,8\text{V}$  e  $V_{GT}=200\text{mV}$ , para diversos comprimentos de canal.

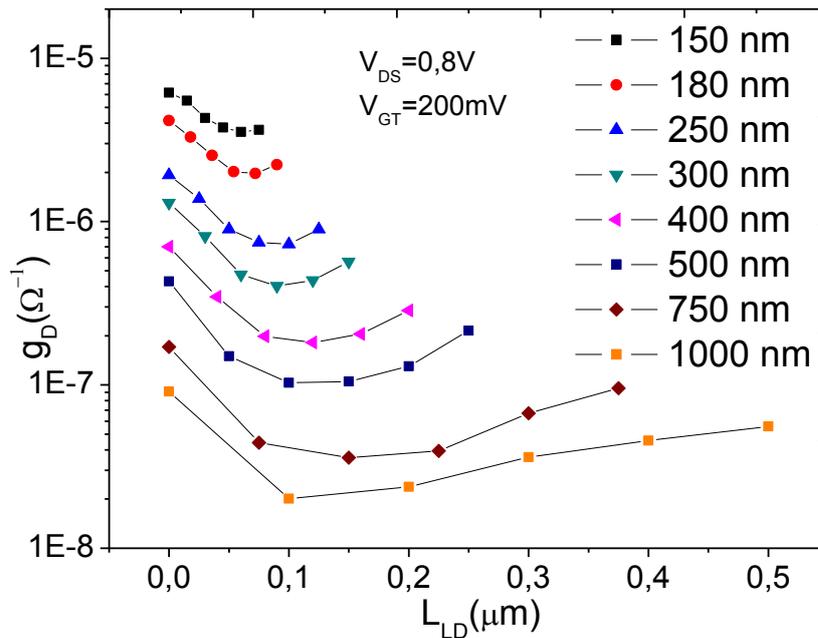


Figura 5.11 – Simulação da condutância de dreno por comprimento de canal da região menos dopada, para diversos comprimentos de canal e com  $V_{DS}=0,8V$  e  $V_{GT}=200mV$ .

Analisando a transcondutância na Figura 5.9 notamos que há um crescimento gradual através do comprimento de canal da região fracamente dopada, por exemplo, quanto maior  $L_{LD}$  menor é o comprimento efetivo de canal ( $L_{eff}$ ) e assim maior a transcondutância [64]. Apresentada também a curva da frequência de ganho unitário pelo comprimento da região menos dopada, Figura 5.10 a qual apresenta um aumento de  $f_T$  com a redução de  $L$  e com o acréscimo de  $L_{LD}$ , devido a sua relação direta com transcondutância. Contudo, analisando os resultados de  $A_v$  combinados com  $f_T$  para aplicações analógicas, nota-se que o dispositivos que apresenta melhores características, ou seja, maior ganho intrínseco de tensão e maior  $f_T$ , seria  $L = 150nm$ , onde apresenta  $A_v = 41,52 dB$  e  $f_T = 362 MHz$  para  $L_{LD} = 100nm$ .

Por outro lado, fica claro que a condutância de dreno na Figura 5.11 sofre uma degradação a partir de  $L_{LD} > 150 nm$  aproximadamente. Primeiramente pois aumentando a tensão de dreno, a região de *pinch-off* aumenta, reduzindo ainda mais a região efetiva do canal do dispositivo degradando a condutância de saída, este efeito conhecido como efeito de modulação de canal (CLM). A ocorrência deste efeito pode explicar o porquê dos dispositivos GC SOI OKI apresentarem o melhor ganho intrínseco de tensão próximo a  $L_{LD} = 100nm$ .

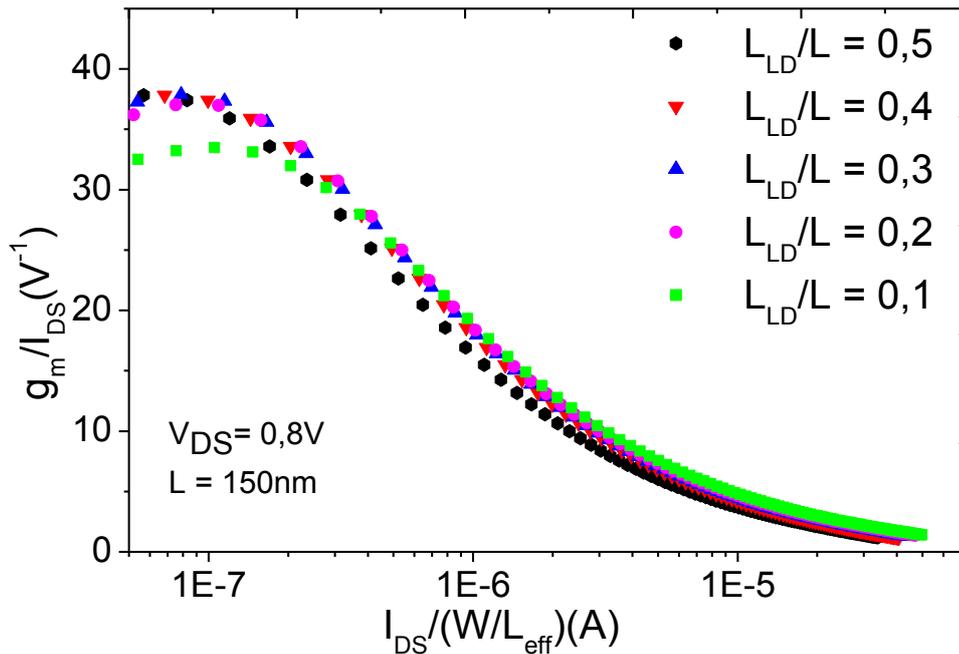


Figura 5.12 – Curvas simuladas de  $g_m/I_{DS}$  em função de  $I_{DS}/(W/L_{eff})$ , com  $V_{DS}=0,8$  para diversos  $L_{LD}/L$ .

Figura 5.12 apresenta a variação de  $g_m/I_{DS}$  por  $I_{DS}/(W/L_{eff})$  para dispositivos GC SOI com  $L_{LD}$  igual a 100nm e diferentes comprimentos de canal. Esta variação permanece praticamente inalterado independente do comprimento de canal total e efetivo, principalmente na inversão forte. Este comportamento da condutância de saída afeta diretamente o  $A_V$ , que apresenta maiores valores para  $L_{LD}$  a onde a condutância é mínima, e a transcondutância é máxima.

### 5.3 Influência da variação da concentração de dopantes ( $N_{AH}$ ) nas características dos GC SOI submicrométricos

A seguir uma análise do dispositivo GC SOI MOSFET foi realizada, para duas diferentes concentrações da região  $L_{HD}$ , correspondentes a  $N_{AH}=2 \times 10^{17} \text{cm}^{-3}$  e  $N_{AH}=2 \times 10^{18} \text{cm}^{-3}$  com  $V_{th}=0,1\text{V}$  e  $V_{th}=0,6\text{V}$ , respectivamente.

Na Figura 5.13, apresenta-se as curvas  $I_{DS}$  e  $g_m \times V_{GT}$  do GC SOI MOSFET com  $V_{DS}=1\text{V}$  e  $L_{LD}/L=0,5$  para duas dopagens  $N_{AH}$  diferentes, variando o comprimento de canal. A partir dos resultados exibidos nestas curvas nota-se que diminuindo os valores de  $N_{AH}$  incrementamos a mobilidade e da mesma maneira  $I_{DS}$  e a máxima transcondutância para o mesmo comprimento de canal(L).

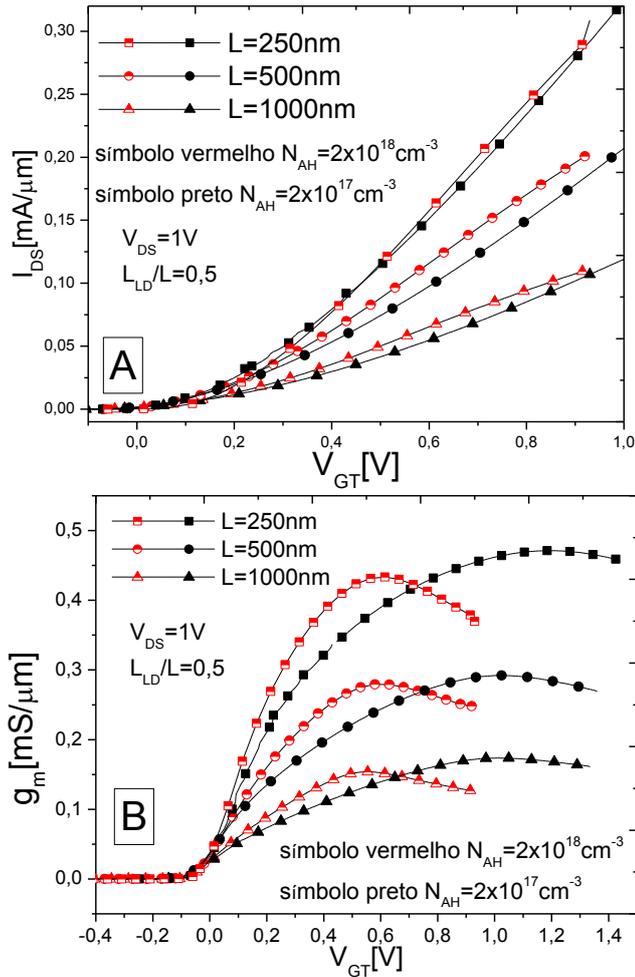
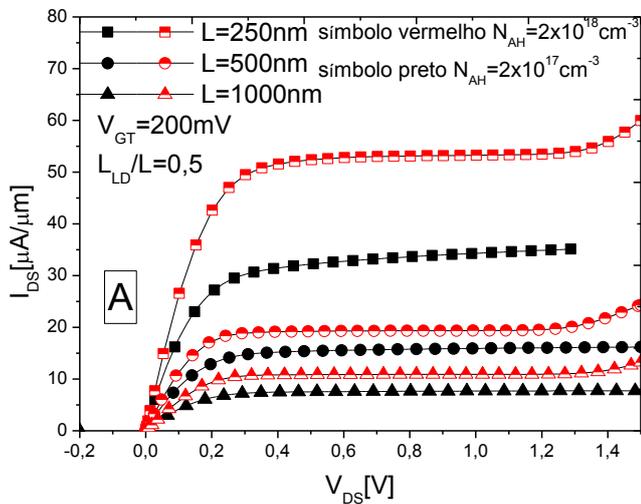


Figura 5.13 – (A) Curva simulada da  $I_{DS}$  x  $V_{GT}$  e (B)  $g_m$  x  $V_{GT}$  dos transistores GC SOI com  $V_{DS}=1\text{V}$  para diferentes  $L$  e  $N_{AH}$ .

A Figura 5.14 demonstra curvas simuladas de  $I_{DS}$  x  $V_{DS}$  para GC SOI MOSFET. A partir desta curva a condutância de dreno foi extraída com  $V_{GT}=200\text{mV}$ ,  $L_{LD}/L=0,5$  para dois diferentes valores de  $N_{AH}$ .



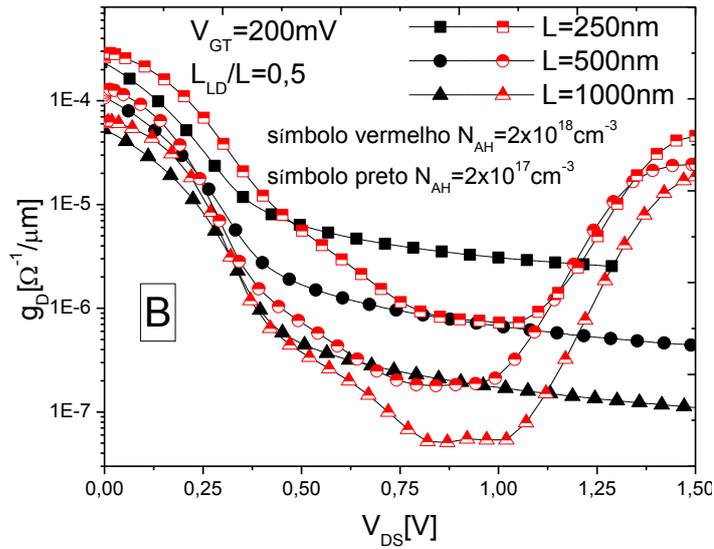


Figura 5.14 – (A) Curva  $I_{DS} \times V_{DS}$  e (B)  $g_D \times V_{DS}$  dos transistores GC SOI com  $V_{GT}=200$  mV para diferentes  $L$  e  $N_{AH}$ .

A partir das curvas da transcondutância apresentadas na Figura 5.13 (B) nota-se que o valor de  $g_m$  aumenta diminuindo  $L$ . Por outro lado, na Figura 5.14(B) pode-se observar melhores resultados de  $g_D$  para maiores valores de comprimentos de canal. Considerando o aumento da concentração de dopantes é evidente que há uma melhora em  $g_D$ , ou seja, menores valores são encontrados embora aumentando esta concentração, a ionização por impacto torna-se mais pronunciada e assim reduzindo a tensão de ruptura do dispositivo.

As curvas apresentadas até este momento foram para a relação  $L_{LD}/L=0,5$ , com objetivo de investigar o comportamento deste dispositivo variando esta relação a Figura 5.15 apresenta a curva  $I_{DS} \times V_{GF}$  dos dispositivos GC SOI MOSFET para dois comprimentos de canal (250nm e 500nm),  $V_{DS}=1V$ ,  $N_{AH}=2 \times 10^{17} \text{cm}^{-3}$ , variando a relação  $L_{LD}/L$ .

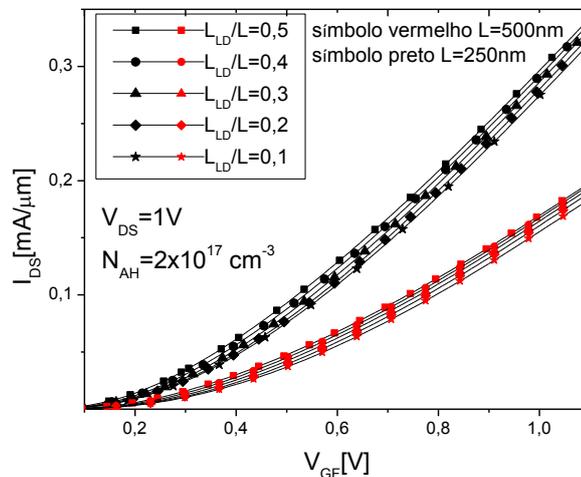


Figura 5.15 – Curva  $I_{DS} \times V_{GF}$ , dos transistores GC SOI com  $V_{DS}=1V$  e  $N_{AH}=2 \cdot 10^{17} \text{cm}^{-3}$ , variando  $L_{LD}/L$ .

Com relação a variação de  $L_{LD}/L$  é possível notar que independente do total comprimento de canal o nível  $I_{DS}$  permanece em crescimento com o aumento de  $L_{LD}/L$ . Do mesmo modo encontramos um aumento no nível da corrente de dreno para menores valores de comprimento de canal.

Através desta curva foram extraídos o valor da transcondutância com  $V_{DS}=1V$  e  $V_{GT}=200mV$ , para cada relação de  $L_{LD}/L$ , variando o comprimento de canal e  $N_{AH}$ , que está apresentada na Figura 5.16 (A) em função de  $L_{LD}$ . Notamos que  $g_m$  exibiu um crescimento gradual considerando o aumento de  $L_{LD}$ .

Para analisarmos o resultado de  $g_m$  em relação ao aumento de  $N_{AH}$ , apresentamos na Figura 5.16 (B) a curva da transcondutância em função de  $V_{GT}$ . É claro que a transcondutância máxima de  $N_{AH}=2 \times 10^{17} cm^{-3}$  é superior à dopagem  $N_{AH}=2 \times 10^{18} cm^{-3}$ , no entanto, ao observarmos os valores de  $g_m$  encontrados para  $V_{GT}$  até aproximadamente 200mV, é possível ver que devido a diferença na inclinação, melhores valores de  $g_m$  são encontrados aumentando  $N_{AH}$ .

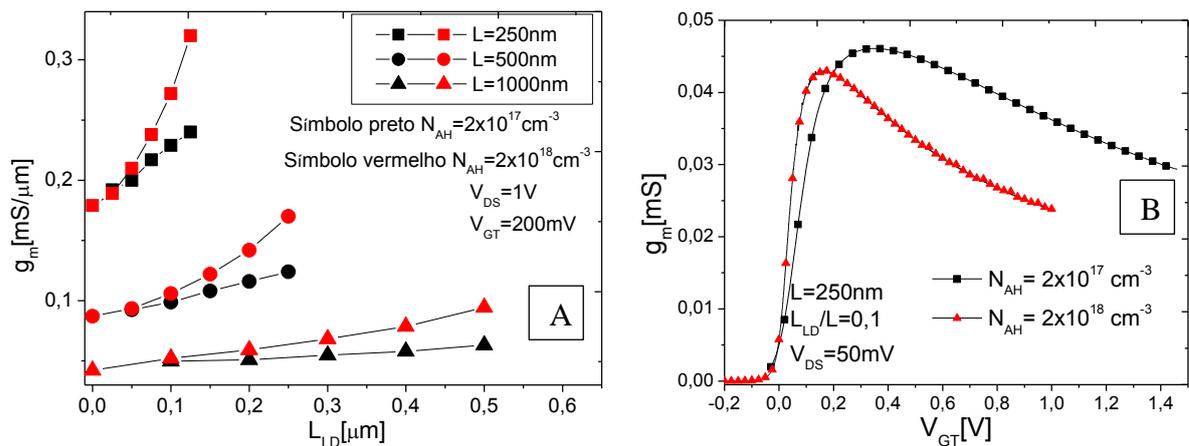


Figura 5.16 – (A) Curvas simuladas da  $g_m \times L_{LD}$  e (B)  $g_m \times V_{GT}$  dos transistores GC SOI com  $V_{DS}=50mV$  e  $N_{AH}=2 \times 10^{17} cm^{-3}$  para diferentes valores de  $L$  e  $L_{LD}/L$ .

A curva  $I_{DS} \times V_{DS}$  é apresentada na Figura 5.17, e a partir desta foi extraída a condutância de saída em função de  $V_{DS}$  para os transistores GC SOI MOSFET com  $L=250$  nm,  $V_{GT}=200$  mV,  $N_{AH} = 2 \times 10^{17} cm^{-3}$  variando  $L_{LD}/L$  de 0,1 a 0,5 com passos de 0,1.

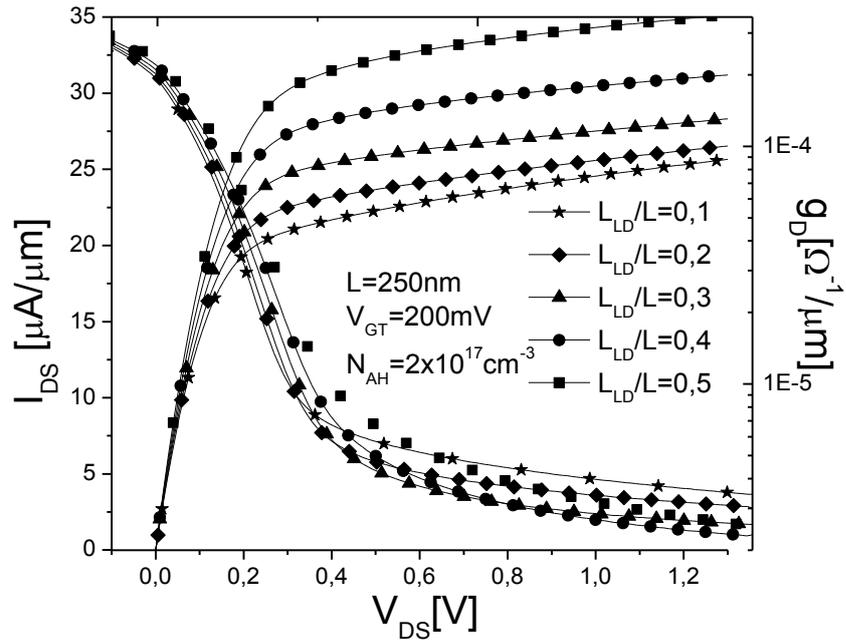


Figura 5.17 – Curvas simuladas de  $I_{DS}$  e  $g_D$  em função de  $V_{GF}$  dos dispositivos GC SOI com  $V_{GT}=200\text{mV}$ ,  $L=250\text{nm}$  e  $N_{AH}=2 \times 10^{17}\text{cm}^{-3}$ .

Como pode-se observar na Figura 5.17 o nível de corrente reduz diminuindo a relação  $L_{LD}/L$ , no entanto, se observando a condutância de saída nota-se que a partir de  $L_{LD}/L=0,1$  a condutância melhora continuamente até  $L_{LD}/L=0,4$ , porém para  $L_{LD}/L=0,5$  a condutância de saída piora apresentando um valor mínimo maior que o encontrado em  $L_{LD}/L=0,3$ . Contudo, foi necessário apresentar o comportamento de  $g_D$  em função de  $L_{LD}$ , demonstrada na Figura 5.18.

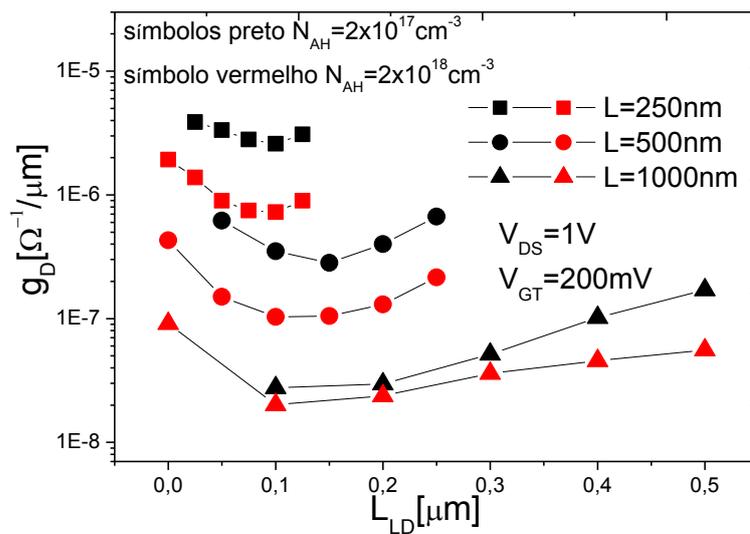


Figura 5.18 – Curva  $g_D \times L_{LD}$  com  $V_{DS}=1\text{V}$ ,  $V_{GT}=200\text{mV}$ , para transistores GC SOI MOSFET variando  $N_{AH}$  e  $L$ .

Assim como observamos na Figura 5.17, que  $g_D$  não decrescia gradualmente com o aumento da relação  $L_{LD}/L$ , na Figura 5.18 fica claro que este mesmo efeito ocorre para todos os  $L$  e para as duas concentrações de dopantes apresentadas também. O comportamento de  $g_D$  foi alterado a partir de aproximadamente 150nm considerando a variação da relação  $L_{LD}$  para as duas  $N_{AH}$ . Esta redução de  $g_D$  até  $L_{LD}=150$ nm, deve-se a redução do campo elétrico e assim ao efeito da modulação do comprimento de canal. Entretanto a partir de  $L_{LD}=150$ nm  $g_D$  começa a degradar pois ao aumentar  $L_{LD}$ ,  $L_{eff}$  reduz e assim os transistores GC SOI da OKI ficam mais propícios ao efeito da modulação de canal.

Como resultado das curvas na Figura 5.16(A) e na Figura 5.18,  $g_m$  e  $g_D$  respectivamente, na Figura 5.19 apresentamos o ganho intrínseco de tensão em função de  $L_{LD}$  para os transistores GC SOI MOSFET (A) para três concentrações de dopantes diferentes  $N_{AH}=2 \times 10^{17} \text{ cm}^{-3}$ ,  $N_{AH}=5 \times 10^{17} \text{ cm}^{-3}$  e  $N_{AH}=2 \times 10^{18} \text{ cm}^{-3}$ , mantendo  $L$  constante igual a 250nm, (B) para três comprimentos de canal diferentes (250nm, 500nm e 1000nm) e com duas concentrações de dopantes diferentes  $N_{AH}=2 \times 10^{17} \text{ cm}^{-3}$  e  $N_{AH}=2 \times 10^{18} \text{ cm}^{-3}$ , as duas curvas com  $V_{DS}=1\text{V}$  e  $V_{GT}=200\text{mV}$ .

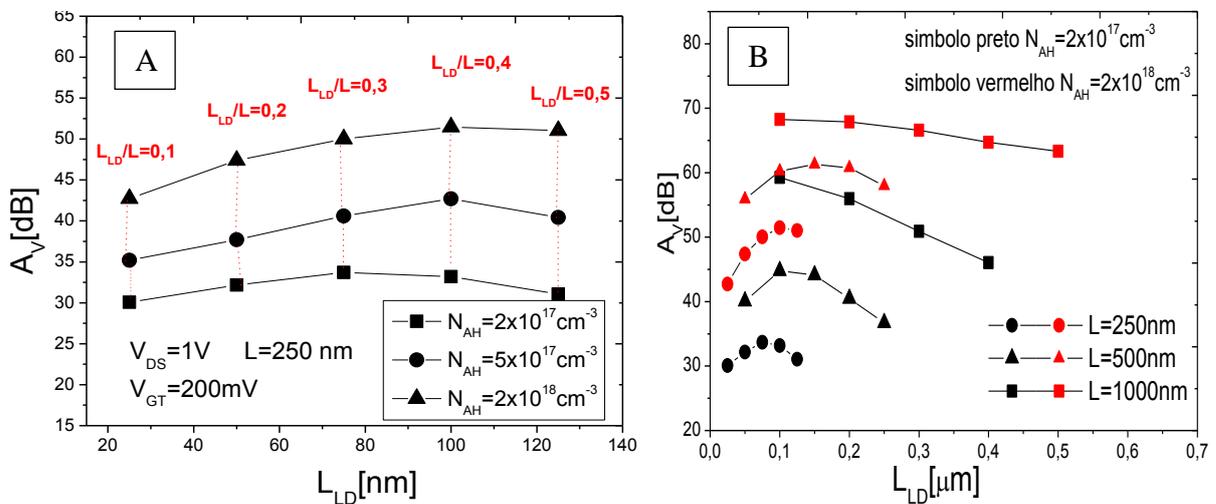


Figura 5.19 –  $A_V$  em função de  $L_{LD}$  com  $V_{DS}=1\text{V}$ ,  $V_{GT}=200\text{mV}$ , para GC SOI MOSFET (A) para diferentes valores de  $N_{AH}$  e  $L=250\text{nm}$ , (B) variando comprimento de canal ( $L$ ).

A partir das curvas na Figura 5.19 notamos quanto a condutância de dreno influencia no resultado de  $A_V$ . O aumento de  $N_{AH}$  promove a redução de  $g_D$  que combinado com o aumento de  $g_m$  é responsável pelos valores máximos de  $A_V$  [65]. Assim concluímos que

obtivemos os resultados mais interessantes de  $A_V$  para  $L_{LD}$  aproximadamente igual a 100 nm, independente da concentração de dopantes.

Como já mencionado na seção anterior, o maior valor de  $A_V$  encontrado ocorreu para  $L_{LD}=100$  nm, como confirmado na Figura 5.19(B) que para  $N_{AH}=2 \times 10^{17} \text{ cm}^{-3}$  e  $N_{AH}=2 \times 10^{18} \text{ cm}^{-3}$ , foram obtidos  $A_V$  igual a 59.3 dB e 68.3 dB, respectivamente.

## 5.4 Influência da variação da temperatura (T) nas características dos GC SOI submicrométricos

Nesta seção serão apresentadas comparações das características elétricas,  $V_{th}$  e  $S$  simuladas e experimentais dos dispositivos GC SOI MOSFET com  $L=250$  nm,  $L_{LD}/L=0,5$   $V_{DS}=50$  mV, em baixa temperatura até a temperatura ambiente. Posteriormente, através das simulações, analisamos o comportamento dos dispositivos GC SOI para diversas relações de  $L_{LD}/L$  em baixa temperatura.

Na Figura 5.20 a curva da tensão de limiar em função da temperatura é apresentada comparando os valores extraídos do transistor GC SOI experimentalmente com os transistores simulados no Sentaurus extraídos pelo método da segunda derivada da curva  $I_{DS}$  por  $V_{GF}$ , na região de triodo, e pelo método de  $g_m/I_{DS}$ . Ambos dispositivos GC SOI têm como parâmetros,  $L=240$ nm,  $V_{DS}= 50$ mV e  $L_{LD}/L=0,5$ .

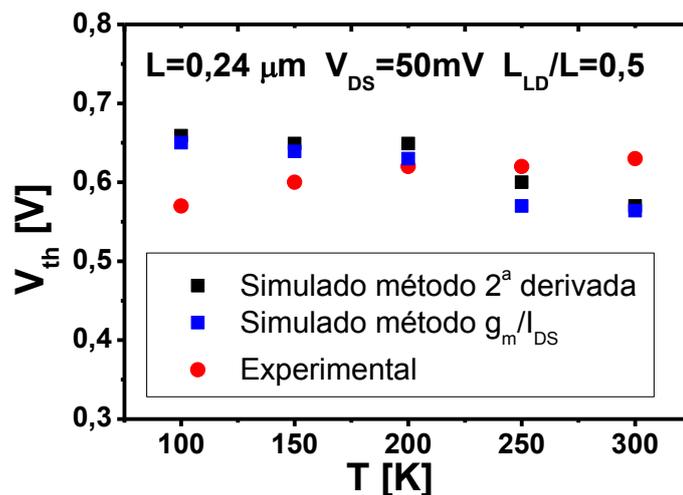


Figura 5.20 – Comparação simulado e experimental da tensão de limiar em função da temperatura, com  $V_{DS}=50$ mV e  $L_{LD}/L =0,5$  para tecnologia OKI com diversos comprimentos de canal e  $L_{LD}/L=0,5$  [51].

Como tensão de limiar dos dispositivos da OKI ficou praticamente inalterada, simulamos nossos dispositivos calibrados para comprovar este fenômeno e ele também quase não se alterou com a variação da temperatura. Este fenômeno deve-se ao fato da presença do ponto ZTC, citado na seção 2.3 na Figura 2.24, onde nota-se que este ZTC coincide com a tensão de limiar do transistor [51].

Outra análise a ser realizada é com relação à inclinação de sublimiar em função da temperatura, demonstrada na Figura 5.21, comparando resultados experimentais com simulados para GC SOI com  $L=240\text{nm}$ ,  $V_{DS}=50\text{mV}$  e  $L_{LD}/L=0,5$ .

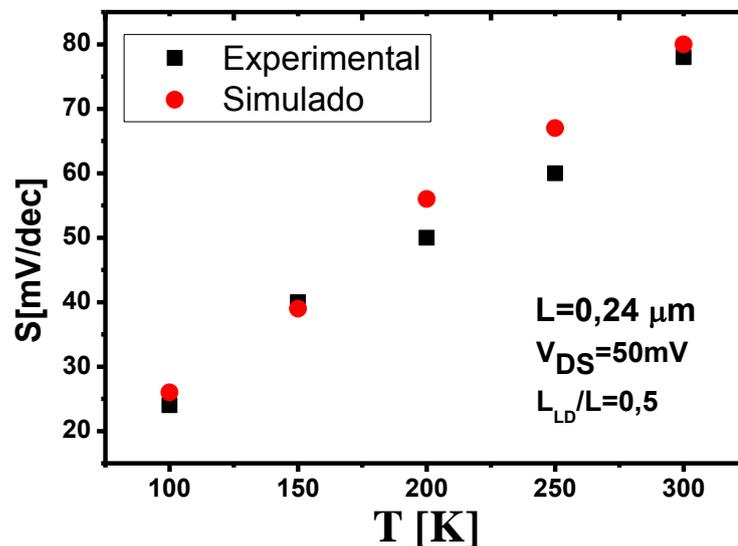


Figura 5.21 – Curva experimental e simulada da inclinação de sublimiar em função da temperatura, para transistores GC SOI com  $L=0,24\ \mu\text{m}$  e  $V_{DS}=50\text{mV}$  [51].

Como foi visto, a inclinação de sublimiar apresenta um fator proporcional à temperatura e neste caso também foram feitas simulações com o intuito de comparar o efeito da inclinação, reparem que os dados experimentais apresentaram duas inclinações diferentes e já o simulado apresentou apenas uma inclinação com a variação da temperatura. No entanto conseguimos comprovar que os dispositivos GC SOI submicrométricos conservam suas características até com tamanhos reduzidos.

Com objetivo de analisar o comportamento de GC SOI MOSFET em baixa temperatura, simulações foram realizadas variando a temperatura em 100K, 200K e 300K, para diferentes valores de  $L$  e relações de  $L_{LD}/L$ . O modelo analítico considerando a ionização

incompleta das impurezas dopantes para temperaturas reduzidas foi adicionado em todas as simulações.

A partir da curva  $I_{DS} \times V_{GF}$  com  $V_{DS}=1V$  foram extraídos as curvas  $g_m$  em função de  $L_{LD}$  e em função da temperatura para os transistores GC SOI MOSFETs com  $L=250nm$ ,  $V_{GT}=200mV$ ,  $N_{AH}=2 \times 10^{17} cm^{-3}$ , variando  $L_{LD}/L$  são apresentadas na Figura 5.22 (A) e (B).

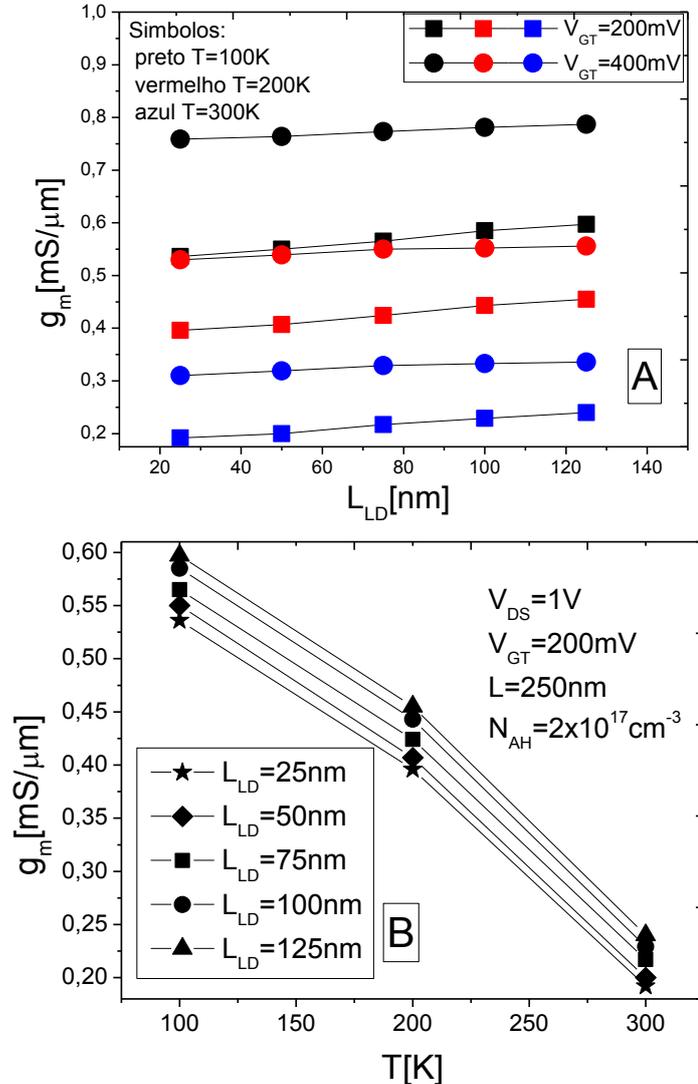


Figura 5.22 – Curvas simuladas de  $g_m$  em função de  $L_{LD}$  (A) e de T (B), com  $V_{GT}=200mV$ ,  $L=250nm$ ,  $N_{AH}=2.10^{17} cm^{-3}$ , para GC SOI MOSFET, variando a temperatura e  $L_{LD}/L$ .

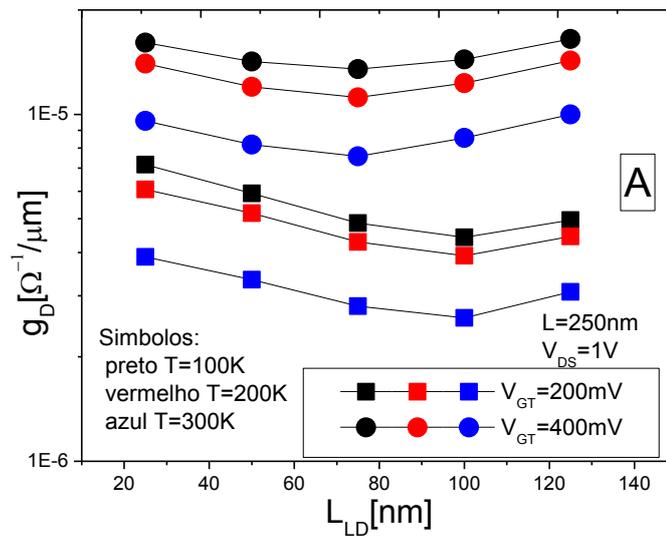
Pode-se observar na Figura 5.22 (A) e (B), maiores níveis de  $g_m$  foram encontrados com o aumento de  $L_{LD}/L$  e a diminuição da T. Este aumento de  $g_m$  com a temperatura é acusado pelo aumento da mobilidade com a redução da temperatura. Os resultados obtidos mostram que o aumento de  $g_m$  com o acréscimo de  $L_{LD}$ , apresenta uma variação ligeiramente maior para baixas temperaturas, ou seja, para  $T=300 K$  o aumento de  $g_m$  é da ordem de  $48\mu S$ , variando  $L_{LD}$  de  $0,125\mu m$  a  $0,025\mu m$ . Porém para  $T=200K$  e  $100K$  obtivemos um acréscimo

de 59  $\mu\text{S}$  e 61  $\mu\text{S}$ , respectivamente. A partir da Figura 5.22 podemos observar que para o mesmo  $L_{LD}$  variando a temperatura obtemos a Tabela 5.2, onde notamos quanto  $g_m$  aumenta com o decréscimo da temperatura.

Tabela 5.2 – Relação da variação de  $g_m$  com a temperatura para diversos  $L_{LD}$ .

$L_{LD}$ (nm)	$\Delta g_m$ , variando Temperatura (mS/ $\mu\text{m}$ )
25	0,344
50	0,350
75	0,348
100	0,356
125	0,357

A partir da curva  $I_{DS} \times V_{DS}$  extraímos os valores de  $g_D$  e o apresentamos na Figura 5.23 (A) em função de  $L_{LD}$  e (B) da T, com  $V_{GT}=200$  e 400mV,  $L=250\text{nm}$ ,  $N_{AH}=2 \times 10^{17} \text{cm}^{-3}$ , variando  $L_{LD}$ .



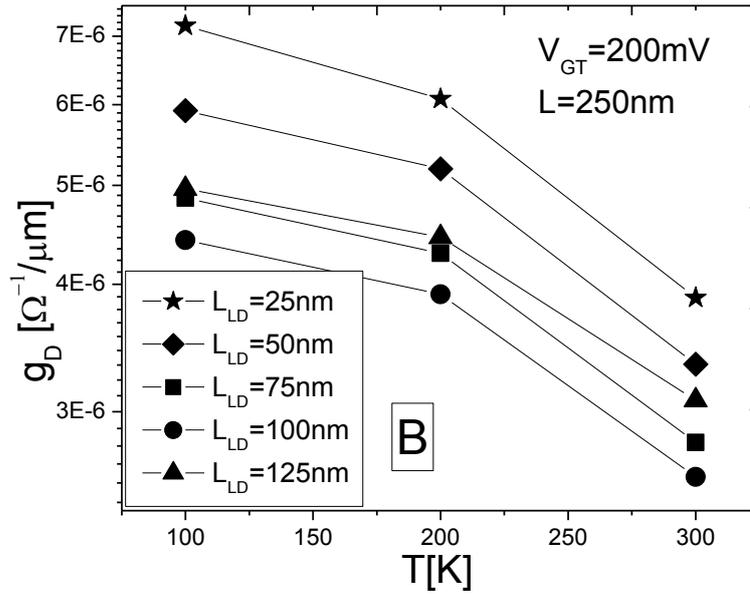


Figura 5.23 – (A) Curva simulada de  $g_D \times L_{LD}$ , para GC SOI MOSFET com  $V_{GT}=200$ mV e 400mV, variando a temperatura. (B)  $g_D \times T$ , com  $V_{GT}=200$ mV,  $L=250$ nm,  $N_{AH}=2.10^{17}$  cm<sup>-3</sup> para diversos valores de  $L_{LD}/L$ .

Reduzindo a temperatura, notamos que  $g_D$  degrada. A condutância de saída reduz até  $L_{LD}/L=0,4$  para qualquer temperatura com  $V_{GT}=200$ mV. Diferentemente de  $g_m$ , a redução da temperatura causa diferentes degradações de  $g_D$  considerando o aumento de  $L_{LD}$ . A partir da Figura 5.23 extraímos a degradação de  $g_D$  para cada valor de  $L_{LD}$  com a redução de temperatura apresentado na Tabela 5.3. Notamos que o dispositivo apresenta uma degradação crescente com o aumento de  $L_{LD}$  considerando a redução da temperatura, com exceção do dispositivo de  $L_{LD}=125$  nm que apresenta maior degradação comparado ao dispositivo de  $L_{LD}=100$  nm.

Tabela 5.3 – Relação da variação de  $g_D$  com a temperatura para diversos  $L_{LD}$ .

$L_{LD}$ (nm)	$\Delta g_D$ , variando Temperatura ( $\mu\Omega^{-1}/\mu m$ )
25	3,29
50	2,58
75	2,06
100	1,83
125	1,88

Figura 5.24(A) apresenta o comportamento de  $A_V$  em função de  $L_{LD}$  variando a temperatura e  $V_{GT}$ , com  $V_{DS}=1V$ ,  $L=250nm$  e  $N_{AH}=2 \times 10^{17} cm^{-3}$ . Já na Figura 5.24(B) a curva o comportamento de  $A_V$  em função da temperatura é apresentado.

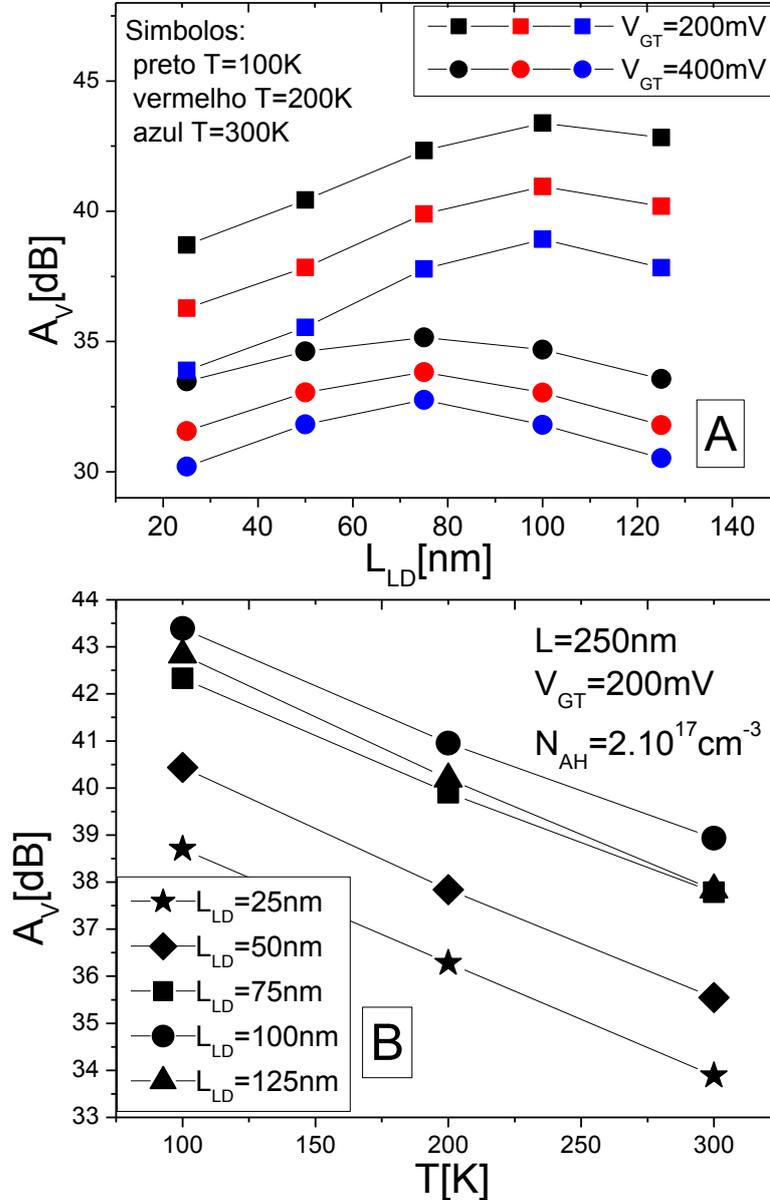


Figura 5.24 – Curva simulada do  $A_V$  x  $L_{LD}$  (A), com  $V_{GT}=200mV$  e  $400mV$ , para três temperaturas diferentes, e a curva  $A_V$  x  $T$  (B), variando  $L_{LD}$ , com  $V_{DS}=1V$ ,  $L=250nm$ ,  $N_{AH}=2.10^{17} cm^{-3}$ , para GC SOI MOSFET.

Na Figura 5.24 (A) o ganho intrínseco máximo para todas as temperaturas foi encontrado para  $L_{LD}=100 nm$  para  $V_{GT}=200 mV$ , porém notamos que alterarmos a sobretensão aplicada para  $V_{GT}=400 mV$ , o ponto de  $A_V$  máximo sofre uma ligeira alteração para aproximadamente  $L_{LD}=80 nm$ . A partir da Figura 5.24(B) outro ponto a ser notado é que para

$T=300$  K, um aumento na variação de  $A_V$  considerando a variação de  $L_{LD}$  foi encontrada, ou seja, para esta temperatura a variação de  $A_V$  foi de aproximadamente 5 dB, considerando o aumento de  $L_{LD}$  de  $0,025 \mu\text{m}$  a  $0,125 \mu\text{m}$ . No entanto, considerando esta mesma variação de  $L_{LD}$  só que para  $T=100$  K encontramos uma variação de  $A_V=4$  dB.

## 6 CONCLUSÃO

Neste trabalho foi realizado o estudo do comportamento dos dispositivos GC SOI MOSFETs submicrométricos, analisando principalmente suas características analógicas, bem como o comportamento de alguns parâmetros com a variação da temperatura.

As estruturas utilizadas foram geradas em um editor de estruturas com características e dimensões similares aos transistores SOI e GC SOI fabricados pela OKI Semiconductors. Posteriormente foram realizadas inúmeras simulações bidimensionais, utilizando o simulador Sentaurus, explorando a variação do comprimento de canal, da relação do comprimento da região fracamente dopada com o comprimento de canal ( $L_{LD}/L$ ), da concentração de dopantes e da temperatura.

Para atingir o objetivo, foi realizado um trabalho de calibração do simulador Sentaurus, alterando alguns parâmetros padrões para se aproximar ainda mais das características elétricas dos dados experimentalmente extraídos. A partir da validação, resultados foram gerados pelas simulações e comparados com algumas medidas experimentais com objetivo de investigar seu comportamento.

Uma análise, através de simulações, dos dispositivos GC SOI MOSFET, foi efetuada em triodo e em saturação, através de curvas  $I_{DS} \times V_{GF}$  e  $I_{DS} \times V_{DS}$ , extraíndo a transcondutância e a condutância de dreno, para uma larga variação do comprimento de canal a relação  $L_{LD}/L$ , a concentração de dopantes ( $N_{AH}$ ) e a temperatura.

Considerando a variação do comprimento de canal dos transistores GC SOI MOSFETs da tecnologia OKI notamos que aumentando  $L$  maiores valores de  $A_V$  foram encontrados, além disso, o  $A_V$  igual a de 68dB para  $L=1\mu\text{m}$  atingiu seu valor máximo para  $L_{LD}/L=0,1$ . A partir desta análise foi possível notar que para cada comprimento de canal o máximo  $A_V$  foi encontrado para diferentes relações de  $L_{LD}/L$ . Por exemplo, para o transistor de  $L=400\text{nm}$   $A_V$  atingiu seu valor máximo em  $L_{LD}/L=0,3$  e para  $L=250\text{nm}$  o maior ganho encontra-se próximo a  $L_{LD}/L=0,4$ . A partir desta análise traçamos a curva  $A_V$  versus  $L_{LD}$  e então notamos que os maiores resultados de  $A_V$  para cada comprimento de canal foram obtidos próximo de  $L_{LD}=100\text{nm}$ , independente do comprimento de canal.

Considerando aplicação em circuitos analógicos, pode-se obter através destas análises o melhor comprimento de canal, a fim de atingir melhor desempenho, ou seja, maior  $A_V$  e  $f_T$ .

Assim observa-se que o dispositivo que apresentou estas características foi de comprimento de canal igual a 150 nm apresentando ,  $A_V = 41,52$  dB e  $f_T = 362$  MHz para  $L_{LD} = 100$ nm.

A seguir uma análise do dispositivo GC SOI MOSFET foi realizada, para duas diferentes concentrações de dopantes na região  $L_{HD}$ , correspondentes a  $N_{AH} = 2 \times 10^{17} \text{cm}^{-3}$  e  $N_{AH} = 2 \times 10^{18} \text{cm}^{-3}$ . A partir destes dados notamos o quanto  $g_D$  influencia no resultado de  $A_V$ . O aumento de  $N_{AH}$  promoveu a redução de  $g_D$ , que combinado com o aumento de  $g_m$  foi responsável pelos valores máximos de  $A_V$ . Assim, concluímos que obtivemos os resultados mais interessantes de  $A_V$  para  $N_{AH} = 2 \times 10^{17} \text{cm}^{-3}$  e  $N_{AH} = 2 \times 10^{18} \text{cm}^{-3}$  igual a 59.3dB e 68.3dB, respectivamente, para  $L_{LD}$  aproximadamente igual a 100nm, independente da concentração de dopantes.

O ganho intrínseco máximo para todas as temperaturas foi encontrado para  $L_{LD} = 100$ nm para  $V_{GT} = 200$ m, porém notamos que alterarmos a sobretensão aplicada para  $V_{GT} = 400$ mV, o ponto de  $A_V$  máximo sofreu uma ligeira alteração para aproximadamente  $L_{LD} = 80$ nm. Outro ponto a ser notado é que para  $T = 300$ K, um aumento na variação de  $A_V$  considerando a variação de  $L_{LD}$  foi encontrada, ou seja, para esta temperatura a variação de  $A_V$  foi de aproximadamente 5dB, considerando o aumento de  $L_{LD}$  de  $0,025 \mu\text{m}$  a  $0,125 \mu\text{m}$ . No entanto, considerando esta mesma variação de  $L_{LD}$ , neste caso para  $T = 100$ K, encontramos uma variação de  $A_V = 4$ dB.

Neste trabalho mostramos que o ganho intrínseco de tensão é beneficiado pela arquitetura do transistor de canal gradual. O aumento do ganho em comparação com dispositivos convencionais relacionado à melhora da transcondutância e da condutância de saída do dispositivo estudado. Embora o acréscimo do comprimento de canal da região fracamente dopada que eleva os níveis de transcondutância e de ganho de frequência unitário, podemos notar que os melhores resultados de ganho de tensão foram obtidos para comprimento de canal da região fracamente dopada em torno de 100nm independente do comprimento de canal.

Com este trabalho obteve-se resultados de extrema relevância, que culminaram na submissão e aceitação para apresentação oral de dois artigos. O primeiro artigo: “*Analog Performance of Submicron GC SOI MOSFETs*” apresentado no congresso internacional “*8<sup>th</sup> International Caribbean Conference on Devices, Circuits and Systems - ICCDCS*”, ocorrido em Playa del Carmen, México, em maio de 2012. Em seguida o artigo apresentado no “*VII Workshop on Semiconductors and Micro & Nano Technology-SEMINATEC 2012*”, intitulado “*Influence of the Doping Concentration and Length on the Analog Behavior of GC SOI*

*Submicron Devices*”, realizado no Centro Universitário da FEI em São Bernardo do Campo, São Paulo.

Para trabalhos futuros seria interessante continuar investigando a razão deste dispositivo apresentar melhores resultados de  $A_V$  para o comprimento  $L_{LD}$  próximo a 100nm, independente do comprimento de canal, relação  $L_{LD}/L$ , concentração de dopantes  $N_{AH}$  e temperatura. Analisar outros parâmetros que influenciem neste comportamento, ou implementar um modelo seriam algumas opções pra a continuação deste trabalho.

## REFERÊNCIAS

- [1] SEDRA, A. S.; SMITH, K. C., **Microeletrônica**, São Paulo: MAKRON Books, 2000.
- [2] RYMASZEWSKI, E. J.; Dense, Denser, Denser, **Journal Electron Master**, v.18, no.2, p.217-220, 1989.
- [3] COLINGE, J.P. **Silicon-On-Insulator Technology: Materials to VLSI**. 3<sup>rd</sup> ed. Massachusetts: Kluwer Academic Publishers, 2004.
- [4] LERAY, J.L. et al. From substrate to VLSI: investigation of hardened SIMOX without epitaxy, for dose, dose rate and SEU phenomena. **IEEE Transactions on Nuclear Science**, vol.35, n.6, p.1355 – 1360, 1988.
- [5] KRULL, W. A.; LEE, J. C. Demonstration of the benefits of SOI for high temperature operation. In: **Proceedings of SOS/SOI Technology Workshop**, p. 69, 1988.
- [6] CRISTOLOVEANU, S., Institute of Microelectronics, Electromagnetism and Photonics (UMR 5531), **ENSERG**, BP 257, 38016 Grenoble Cedex 1, France New physics mechanisms enabled by advanced SOI CMOS engineering.
- [7] PAVANELLO, M. A.; MARTINO, J.A.; FLANDRE, D.; Analog performance and application of graded-channel fully depleted SOI MOSFETs. **Solid-State Electron**, v. 44, p. 1219,2000.
- [8] PAVANELLO, M. A.; MARTINO, J.A.; FLANDRE, D. Graded-channel fully depleted silicon-on-insulator nMOSFET for reducing the parasitic bipolar effects. **Solid-State Electron**, v. 44, p. 917, 2000.
- [9] CRISTOLOVEANU, S., LI, S.S., **Electrical Characterization of Silicon-on-Insulator Materials and Devices**, Kluwer Academic Publishers, 2<sup>nd</sup> ed, 1995.

- [10] SZE, S.M.; **Physics of Semiconductor devices**, 2<sup>nd</sup> ed. New York (EUA): John Wiley and Sons,1981.
- [11] KRISHNAN, S.; FOSSUM, J.G. Grasping SOI floating-body effects. **IEEE Circuits and Devices Magazine**, v.14, n.4, p32-37, 1998.
- [12] HIROAKI, M. SOI Becomes Practicable. Seiko Epson: Watch Type IC with Partially Depleted SOI. **Semiconductor World**, v.19, n.2, p.74-77, 2000.
- [13] CURRAN, B, E. FLUHR , J. PAREDES , L. SIGAL , J. FRIEDRICH , Y.-H. CHAN , C. HWANG. Power-constrained high-frequency circuits for the IBM POWER6 microprocessor. **IBM Journal of Research and Development**, v.51, n.6, p.715-731, 2007.
- [14] <http://www.eetimes.com/showArticle.jhtml?articleID=196701745>.
- [15] [29] SHAHIDI, G. G. SOI technology for the GHZ era. **IBM Journal of Research and Development**,v.46, p.1217-1221, 1994.
- [16] KISTLER, N.; WOO, J. Detailed characterization and analysis of the breakdown voltage in fully depleted SOI n-MOSFET's , **IEEE Transactions on Electron Devices**, v.41,n.7, p.127-1221,1994.
- [17] YOSHIMI, M.; HAZAMA, H.; TAKAHASHI, M.; KAMBAYASHI, S.; WADA, T.;TANGO, H. Two-dimensional simulation and measurement of high-performance MOSFETs made on a very thin SOI film. **IEEE Transactions on Electron Devices**, v.36, n.3, p.493-503, 1989.
- [18] GROESENEKEN, G.; COLINGE, J.P.; MAES, H.E.; ALDERMAN, J.C.; HOLT, S. Temperature dependence of threshold voltage in thin-film SOI MOSFETs. **IEEE Electron Device Letters**, v.11, n.8, p.329-331, 1990.
- [19] YOUNG, K.K.; Short-channel effect in fully depleted SOI MOSFETs. **IEEE Transactions on Electron Device Letters**, v.36, n.2, p.399-402, 1989.

- [20] LIM, H.K.; FOSSUM, J.G. Threshold voltage of thin-film silicon-on-insulator(SOI) MOSFET`s. **IEEE Transactions on Electron Letters**, v.30, p.1244-1251, 1983.
- [21] FLANDRE, D. et al. Comparison of SOI versus bulk performances of CMOS micropower single-stage OTAs. **Electronics Letters**, v.30, n.23,p.1933-1934,1994.
- [22] LIM, H.K.; FOSSUM, J.G. Current-voltage characteristics of thin-film silicon-on-insulator(SOI) MOSFET`s in strong inversion . **IEEE Transactions on Electron Letters**, v.31, p.401-408, 1984.
- [23] ICHIKAWA, F. et al. Fully depleted SOI process and device technology for digital and RF applications. **Solid-State Electronics**, v.48, n.6 , p.999-10006,2004.
- [24] <http://www.oki.com/en/press/2002/z01114e.html>
- [25] <http://www.emmicroelectronic.com/DetailNews.asp?IdNews=37>
- [26] COLINGE, J. P.; COLINGE, C. A. **Physics of Semiconductor Devices**. Massachusetts: Kluwer Academic Publishers, 436p., 2002.
- [27] GUTIERREZ, E. A. et al; Low Temperature Electronics: Physics, Devices, Circuits and Applications, **Academic Press**, 1991.
- [28] SAH, C. T.; CHAN, P. C. H.; WANG, C. K.; YAMAKAWA, K. A. *et al.*; Effect of zinc impurity on silicon solar-cell efficiency, **IEEE Transactions on Electron Devices**, v. 28, n. 3, p. 304-313, 1981.
- [29] CAUGHEY, D.; THOMAS, R. E.; Carrier mobilities in silicon empirically related to doping and field, **Proceedings of the IEEE**, v. 55, n. 12, p. 2192-2193, 1967.
- [30] DORKEL, J.M.; LETURCQ, Ph.; Carrier mobilities in silicon semi-empirically related to temperature, doping and injection level. **Solid-State Electronics**, v.24, n.9, p.821-825,1981.

- [31] LI, S.S.; THURBER, W. R.; The dopant density and temperature dependence of electron mobility and resistivity in n-type silicon. **Solid-State Electronics**, v.20, p.609-616, 1977.
- [32] SOUZA, M. Modelagem, simulação e fabricação de circuitos analógicos com transistores SOI convencionais e de canal gradual operando em temperaturas criogênicas, 2008. 197p. Tese de Doutorado – Escola Politécnica da Universidade de São Paulo, São Paulo, 2008.
- [33] J. R. BREWS,.; Subthreshold behavior of uniformly and nonuniformly doped long-channel MOSFET. **IEEE Transactions on Electron Devices**, v. 26, p. 1282-1291, 1979.
- [34] COLINGE, J.P.; Advanced CMOS devices made in thin SOI films. **Extended Abstracts of 5<sup>th</sup> International Workshop on Future Electron Devices**, Miyagi-Zao, Japão, p.105-112, 1998.
- [35] VEERARAGHAVAN, S.; FOSSUM, J.G. A. Short-channel effects in SOI MOSFETs. **IEEE Transactions on Electron Devices**, v.36, n. 3, p. 522-528, 1989.
- [36] MULLER, R. S.; KAMINS, T.I. **Device Electronics for Integrated Circuits**. Wiley-Interscience Publication,1986.
- [37] VEERARAGHAVAN, S.; FOSSUM, J.G. A Physical short-channel model for the thin-film SOI MOSFET applicable to device and circuit CAD,IEEE Transactions on Electron Devices, v.35, p. 1866-1875, 1988.
- [38] J. C. S WOO; J. D. PLUMMER; Short-channel effects in MOSFET` s at Liquid-Nitrogen Temperature. IEEE Transaction on Electron Devices, v.33, n.7, p.1012-1019, 1986.
- [39] M. A. PAVANELLO et al. Analysis of Temperature- Induced Saturation Threshold Voltage Degradation in Deep-Submicrometer Ultrathin SOI MOSFETs, **IEEE Transaction on Electron Devices**, v.52, n.10, p.2236-2242, 2005.
- [40] DIERICKX, B. et al, IEEE Trans. **On Electron Devices**, v.35, p. 1120, 1988.

- [41] J. Y. CHOI; J. G. FOSSUM, **IEEE Transactions on Electron Devices**. v. 38, n. 6, p. 1384, 1991.
- [42] E. P. VER PLOEG, et al. **IEEE Transactions on Electron Devices**. v. 41, n. 6, p. 970, 1994.
- [43] VITTOZ, E. A.; Low power design: ways to approach the limits. Digest of Technical Papers, 41st ISSCC, p.14-18,1994.
- [44] SILVEIRA, F. et.al; A  $g_m/I_D$  based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. **IEEE Journal of Solid- State Circuits**, v.31, n.9, p.1314-1319, 1996.
- [45] M. de SOUZA; FLANDRE, D. ; PAVANELLO, M. A. Study of Matching Properties of Graded-Channel SOI MOSFETs. JICS. **Journal of Integrated Circuits and Systems**, v. 3, p. 69-75, 2008.
- [46] ARMSTRONG, G. A. et al. **IEEE Transactions on Electron Devices**. v. 38, n. 2, p. 328, 1991.
- [47] M.A. PAVANELLO et al; An asymmetric channel SOI nMOSFET for reducing parasitic effects and improving output characteristics. **Electrochemical and Solid- State Letters**, v.1, p.50- 52, 2000.
- [48] M. A. PAVANELLO, ; MARTINO, J.A.; FLANDRE, D.; Analog Circuit design using graded-channel silicon-on-insulator nMOSFETs, **Solid-State Electronics**, v.46, p.1215-1225, 2002.
- [49] M. EMAM , A. KUMAR , J. Ida , F. DANNEVILLE , D.VANHOENACHER-JANVIER and J.-P, RASKIN, DC and RF Temperature Behavior of Deep Submicron Graded Channel MOSFETs, **IEEE International SOI Conference**,p.1-2, 2009.

- [50] M. EMAM, P. SAKALAS, A. KUMAR, J. IDA, D. VANHOENACKER-JANVIER, J.-P. RASKIN and F. DANNEVILLE, Proceedings of the 5th European Microwave Integrated Circuits Conference, pp. 170-173, 2010.
- [51] M. de SOUZA, M. EMAM, D. VANHOENACKER-JANVIER, J.-P. RASKIN, D. FLANDRE and M. A. PAVANELLO, Comparison Between the Behavior of Submicron Graded-Channel SOI nMOSFETs with Fully- and Partially-Depleted Operations in a Wide Temperature Range, **IEEE International Conference Proceedings**, v. 1, p.82-83, 2010.
- [52] Sentaurus Process User guide, Versão A-2007.12, Dezembro 2007.
- [53] Sentaurus Structure Editor guide, Versão Y-2006.06, Junho 2006.
- [54] Sentaurus Device User guide, Versão Y-2006.06, Junho 2006.
- [55] Tecplot SV User guide, Versão A-2007.12, Dezembro 2007.
- [56] Inspect User guide, Versão A-2007.12, Dezembro 2007.
- [57] KLAASSEN, D. B. M.; A Unified Mobility Model for Device Simulation – II. Temperature Dependence of Carrier Mobility and Lifetime, **Solid-State Electronics**, v. 35, no. 7, p. 961-967, 1992.
- [58] LOMBARDI, C., MANZINI, S., SAPORO, A. e VANZI, M., A Physically Based Mobility Model for Numerical Simulation of Nonplanar Devices, **IEEE trans on Computer Aided Design**, v. 7, n. 11, p. 1164-1171, 1988.
- [59] CANALI, C. et al. Electron and hole drift velocity measurements in silicon and their relation to electric field and temperature, **IEEE Transactions on Electron Devices**, v. 22, p.1045-1047, 1975.
- [60] OVERSTRAETEN, V., MAN, H., Measurement of the Ionization Rates in Diffused Silicon p-n Junctions, **Solid-State Electronics**, v. 13, pp. 583–608, 1970.

- [61] O. FAYNOT, S. CRISTOLOVEANU, P. MCLARTY, C. RAYNAUD e J. GAUTIER. A new parameter extraction method for ultra-thin oxide SOI MOSFET`s, IEEE SOI Conference, pp.17-18,1994.
- [62] JUNIOR, J. M. da S., Estudo do efeito de redução de barreira induzida pelo dreno em temperaturas criogênicas para transistores SOI ultra-submicrométricos. 2009 96 f., Dissertação (Mestrado) – Centro Universitário da FEI, São Bernardo do Campo, 2009.
- [63] M. A. PAVANELLO, J. A. MARTINO, D. FLANDRE “Analog circuits design using Graded-Channel SOI MOSFETs”,14<sup>th</sup> Integrated circuits and Systems Design, p.130-135, 2001.
- [64] J. P. NEMER, M. SOUZA, D. FLANDRE e M. A. PAVANELLO. Analog Performance of Submicron GC SOI MOSFETs. **8<sup>th</sup> International Caribbean Conference on Devices Circuits and Systems-ICCDACS**, v.1, p1-4, 2012.
- [65] J. P. NEMER, M. SOUZA, e M. A. PAVANELLO. Influence of the Doping Concentration and Length on the Analog Behavior of GC SOI Submicron Devices. **VII Workshop on Semiconductors and Micro & Nano Technology- SEMINATEC.**, v.1, p35-36, 2012.

# APÊNDICE A- ARQUIVO DE ENTRADA PARA A SIMULAÇÃO DA CURVA $I_{DS}$ X $V_{GF}$ DO DISPOSITIVO GC SOI NO SENTAURUS

```

File{
  * input files:
  Grid = gc_msh.tdr
  Doping = gc_msh.tdr
  Parameter = Silicon.par
  * output files:
  Plot = idvg_vds_des.tdr
  Current = idvg_vds_des.plt
  Output = idvg_vds_des.log
}

Electrode {
  {Name="Fonte" Voltage=0.000 }
  {Name="Dreno" Voltage=0.05 }
  {Name="Porta" Voltage=0.0 workfunction=4.15}
  {Name="Corpo" Voltage=0.000 Workfunction=4.95}
}

Physics{
  Mobility(PhuMob
           Enormal
           HighFieldSaturation)
  Recombination(SRH(DopingDep)Avalanche(vanOverstraeten))
  EffectiveIntrinsicDensity(BandGapNarrowing (OldSlotboom))
  Temperature=300
}

Plot {
  eDensity hDensity eCurrent hCurrent
  Potential SpaceCharge ElectricField
  eMobility hMobility eVelocity hVelocity
  Doping DonorConcentration AcceptorConcentration
}

Math {
  Extrapolate
  RelErrControl
  iterations=100
}

Solve {
  #initial solution:
  Poisson
  Plugin{Poisson Electron hole}
  #ramp gate:
  Quasistationary(InitialStep= 0.006666667 Maxstep= 0.006666667
  Minstep= 0.006666667
                 Goal{Name="Porta" Voltage=1.5})
  {Coupled{Poisson Electron hole}}
}

```